

Wellington Avelino do Amaral

## **Referência de Tensão CMOS com Correção de Curvatura**

Tese de Doutorado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: Engenharia de Computação.

Orientador: Prof. Dr. José Antônio Siqueira Dias

Campinas, SP  
2009



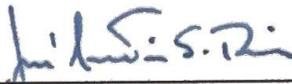
## COMISSÃO JULGADORA - TESE DE DOUTORADO

**Candidato:** Wellington Avelino do Amaral

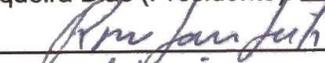
**Data da Defesa:** 29 de julho de 2009

**Título da Tese:** "Referência de Tensão CMOS com Correção de Curvatura"

Prof. Dr. José Antonio Siqueira Dias (Presidente):



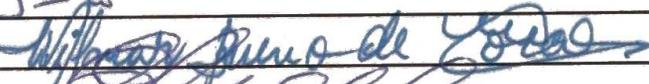
Dr. Rogério Lara Leite:



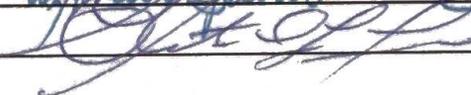
Dr. Saulo Finco:



Prof. Dr. Wilmar Bueno de Moraes:



Prof. Dr. Elnatan Chagas Ferreira:



# Resumo

Este trabalho teve como finalidade o projeto e prototipagem de uma referência de tensão CMOS (*Complementary Metal Oxide Semiconductor*) baseada na tensão de limiar do transistor MOS (*Metal Oxide Semiconductor*). A inovação apresentada neste trabalho é a utilização de uma arquitetura original e com alto desempenho. Nas medidas realizadas em laboratório o circuito apresentou uma variação de  $11\text{ppm}/^{\circ}\text{C}$ . Desempenho este comparável às referências do tipo *bandgap*. Também foi projetado um sensor de temperatura com coeficiente térmico igual a  $1\text{mV}/^{\circ}\text{C}$ .

Portanto, dois circuitos foram enviados para fabricação (o circuito ceinv35 e o circuito ceinv66). O circuito ceinv35, utilizando suas estruturas de *trimmer*, pode operar como referência de tensão ou como sensor de temperatura. O circuito ceinv66 foi a principal configuração estudada. Ele utiliza um circuito extrator de  $V_{th}$ , um circuito de *start-up* e um amplificador operacional. O circuito extrator de  $V_{th}$  utiliza uma topologia inovadora. Nos dois circuitos (ceinv35 e ceinv66) foram utilizadas estruturas de *trimmer* para possibilitar ajustes externos.

No capítulo de introdução é apresentado um “*overview*” dos circuitos utilizados como referência de tensão. São analisadas algumas referências do tipo *bandgap* e algumas técnicas usualmente utilizada para o projeto de referências de tensão CMOS.

No capítulo 2 são analisados o princípio de funcionamento e todo o equacionamento do circuito proposto.

No capítulo 3 são apresentados os resultados de simulação. O circuito ceinv35 apresentou um coeficiente térmico igual a  $1\text{mV}/^{\circ}\text{C}$ , funcionando ele como sensor de temperatura. Já operando como referência de tensão, a variação apresentada foi de  $4.06\text{ppm}/^{\circ}\text{C}$ . O circuito ceinv66 apresentou uma variação de apenas  $3.14\text{ppm}/^{\circ}\text{C}$ .

O capítulo 4 cobre o projeto dos *layouts* dos circuitos. Eles foram projetados utilizando a tecnologia da AMS (*Austria Microsystems*) de comprimento mínimo de canal igual a  $0.35\mu\text{m}$ .

No capítulo 5 são apresentados os resultados da extração de parasitas dos circuitos. Após esta análise foi verificada a necessidade de reajuste dos circuitos, utilizando as estruturas de *trimmer*.

No capítulo 6 são fornecidos os resultados experimentais dos dois circuitos.

No capítulo 7 é apresentada uma alternativa para o projeto da referência de tensão sem a necessidade da utilização do circuito de *start-up*. Neste mesmo capítulo também é apresentada uma proposta de metodologia para projeto dos *trimmers* do circuito.

No capítulo 8 são discutidas as inovações propostas neste trabalho e algumas conclusões sobre o projeto apresentado.

**Palavras-chave:** Referência de Tensão, CMOS, Tensão de Limiar, Circuitos Integrados Analógicos.

# Abstract

The objective of this work is to design and prototype a CMOS voltage reference based on the threshold voltage of the MOS transistor. The innovation presented in this work is the use of an original architecture with high performance. In the laboratory measurements the circuit presented  $11ppm/^{\circ}C$  of variation. This performance is comparable to the bandgap references. A temperature sensor was also designed and presented a temperature coefficient of  $1mV/^{\circ}C$ .

Therefore, two circuits were prototyped (the ceinv35 circuit and the ceinv66 circuit). The circuit ceinv35, using the trimmer structures, can operate as a voltage reference or a temperature sensor. The circuit ceinv66 was the main topology studied. It uses a  $V_{th}$  extractor circuit, a start-up circuit and an operational amplifier. The  $V_{th}$  extractor circuit uses an original topology. In both circuits (ceinv35 and ceinv66) were used trimmer structures to make possible off-chip adjusts.

In the introduction chapter is presented an overview of the circuits used as voltage references. Some bandgap references and some techniques used to design CMOS voltage references are analyzed.

In chapter 2 are shown the operation principles and the equations extracted of the proposed circuit.

In chapter 3 are shown the simulation results. The circuit ceinv35 presented a temperature coefficient of  $1mV/^{\circ}C$ , working as a temperature sensor. On the other side, working as a voltage reference, the variation presented was  $4.06ppm/^{\circ}C$ . The circuit ceinv66 presented a variation of just  $3.14ppm/^{\circ}C$ .

The chapter 4 covers the layout design of the circuits. The AMS (Austria Microsystems) technology with a minimum channel length of  $0.35\mu m$  was used.

In chapter 5 are presented the parasitic extraction simulations. After this analyses new adjusts were made in the circuits. The trimmers structures were used for this adjusts.

In chapter 6 are provided the experimental results of both circuits.

In chapter 7 is presented an alternative for the voltage reference design without using a start-up circuit. In this chapter is also presented a methodology for the trimmers design.

In chapter 8 are discussed the proposed innovations and some conclusions about the design presented.

**Keywords:** Voltage Reference, CMOS, Threshold voltage, Analog Integrated Circuits.

# Agradecimentos

Aos meus pais José Wellington do Amaral Brito e Elizabeth Avelino do Amaral cujo amor e apoio incondicional foram fundamentais para que eu atravessasse todos os intempéries dessa jornada.

Aos meus irmãos Roberto Avelino do Amaral, Flávia Avelino do Amaral Cerqueira e Retana Amaral Toda cujo amor foi sempre presente em todos os momentos que necessitei.

Ao professor Wilmar Bueno de Moraes, por ter compartilhado comigo um pouco de sua sabedoria, humildade e demais qualidades que fazem dele uma pessoa extraordinária e um profissional brilhante.

Ao meu orientador, o professor José Antônio Siqueira Dias, por ter conduzido sua orientação sempre de maneira atenciosa e solícita. Seus conselhos fortes e um auxílio sutil e certo foram sempre no intuito de valorizar ao máximo o meu trabalho.

Ao Centro de Tecnologia Renato Archer, em especial aos senhores Saulo Finco e Wellington Romero, pelo apoio no desenvolvimento deste trabalho.

À Divisão de Qualificação e Análise de Produtos Eletrônicos (DAPE/CTI), em especial aos senhores Rodrigo Farias de Sousa, Wolfgang Biben e Vagner Pardino, pelo auxílio na realização das medidas no CI.

A Lívia Fernandes da Gama, cujo amor sempre me ajudou a manter minha sanidade perante o turbilhão de acontecimentos que atravessei durante esta fase.

*Aos meus pais, que tanto amo*

# Sumário

<b>Lista de Figuras</b>	<b>xi</b>
<b>Lista de Tabelas</b>	<b>xiii</b>
<b>Glossário</b>	<b>xv</b>
<b>Lista de Símbolos</b>	<b>xv</b>
<b>Trabalhos Publicados Pelo Autor</b>	<b>xvii</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Referência de Tensão <i>Bandgap</i> . . . . .	1
1.2 Variação da Corrente de dreno do Transistor MOS em Temperatura . . . . .	3
1.3 Utilização do Transistor MOS polarizados na região Sub-limiar . . . . .	6
1.4 Utilização das tensões $V_{gs}$ de transistores PMOS e NMOS . . . . .	7
<b>2 Circuito Proposto</b>	<b>9</b>
2.1 Princípio de Funcionamento . . . . .	10
2.2 Extrator de $V_{th}$ . . . . .	10
2.3 Circuito de <i>Start-Up</i> . . . . .	12
2.4 Gerador de Tensão PTAT . . . . .	14
2.4.1 Variação da Tensão de Saída com a Temperatura . . . . .	17
2.4.2 Cálculo dos coeficientes do Gerador de Tensão PTAT . . . . .	19
2.5 Amplificador Operacional . . . . .	20
2.6 Equação de Projeto da Referência de Tensão Proposta . . . . .	21
2.7 Correção de Curvatura . . . . .	23
2.8 Circuitos para Ajuste ( <i>Trimmer</i> ) . . . . .	24
<b>3 Resultados de Simulação</b>	<b>29</b>
3.1 Ceinv 35 . . . . .	29
3.1.1 Circuito de <i>Start-Up</i> . . . . .	30
3.1.2 Referência de Tensão / Sensor de Temperatura . . . . .	32
3.2 Ceinv 66 . . . . .	34
3.2.1 Correção de Curvatura . . . . .	38

---

<b>4</b>	<b><i>Layout</i></b>	<b>39</b>
4.1	Ceinv 35 . . . . .	39
4.2	Ceinv 66 . . . . .	39
<b>5</b>	<b>Extração de parasitários</b>	<b>41</b>
5.1	Ceinv 35 . . . . .	41
5.2	Ceinv 66 . . . . .	43
<b>6</b>	<b>Resultados Experimentais</b>	<b>45</b>
6.1	Ceinv 66 . . . . .	45
6.1.1	Relação dos equipamentos utilizados . . . . .	48
6.1.2	Procedimento de Teste . . . . .	48
6.1.3	Análise DC do circuito . . . . .	50
6.1.4	Testes na câmara térmica . . . . .	50
6.1.5	Regulação da Fonte . . . . .	52
6.2	Ceinv 35 . . . . .	53
6.2.1	Testes na câmara térmica . . . . .	54
<b>7</b>	<b>Análise dos Resultados e Proposta para Trabalhos Futuros</b>	<b>59</b>
7.1	Análise dos Resultados Obtidos . . . . .	59
7.2	Projeto dos <i>trimmers</i> utilizando a Análise de <i>Corners</i> . . . . .	61
7.3	Projeto dos <i>trimmers</i> utilizando passos binários . . . . .	64
7.4	Ajuste “ <i>On-Wafer</i> ” da Referência de Tensão . . . . .	65
7.5	Alteração no Extrator de $V_{th}$ . . . . .	66
<b>8</b>	<b>Conclusão</b>	<b>69</b>
	<b>Referências bibliográficas</b>	<b>71</b>

# Lista de Figuras

1.1	Referência de tensão <i>Bandgap</i> . . . . .	2
1.2	Coeficiente de Temperatura da Condutância do Canal. . . . .	5
1.3	Referência de Tensão CMOS com transistores operando em sub-limiar. . . . .	6
1.4	Comportamento de $V_{THP}$ e $V_{THN}$ em temperatura. . . . .	7
1.5	Referência de Tensão CMOS com diferença $V_{THP}$ e $V_{THN}$ . . . . .	8
2.1	Diagrama de Blocos da Referência de Tensão proposta. . . . .	9
2.2	Esquemático do Extrator de $V_{th}$ . . . . .	11
2.3	Fonte de corrente utilizando um resistor. . . . .	12
2.4	Fonte de corrente utilizando realimentação . . . . .	13
2.5	Esquemático do circuito de <i>Start-up</i> . . . . .	13
2.6	Gerador de Tensão PTAT. . . . .	15
2.7	Amplificador Operacional. . . . .	20
2.8	Nó V25 e Amplificador operacional. . . . .	21
2.9	Tensão de referência com correção de curvatura no ponto $T_0$ . . . . .	23
2.10	Tensão de referência com correção de curvatura. . . . .	24
2.11	Circuito de Ajuste ( <i>Trimmer</i> ). . . . .	24
2.12	Gerador de tensão PTAT com circuitos de <i>trimmer</i> . . . . .	26
2.13	Extrator de $V_{th}$ com circuitos de <i>trimmer</i> . . . . .	27
3.1	Diagrama de Blocos do circuito Ceinv35. . . . .	30
3.2	Esquemático do bloco <i>trimmers</i> . . . . .	31
3.3	Estímulo utilizado no circuito de <i>Start-Up</i> . . . . .	32
3.4	Saída do circuito de <i>Start-Up</i> . . . . .	32
3.5	<i>Testbench</i> utilizado na simulação. . . . .	33
3.6	Simulação do <i>testbench</i> da figura 3.5 . . . . .	33
3.7	Ceinv 35 como sensor de temperatura. $V_{ref}$ (V) x temperatura ( $^{\circ}C$ ). . . . .	34
3.8	Esquemático do circuito Ceinv66. . . . .	35
3.9	<i>Testbench</i> utilizado na simulação. . . . .	36
3.10	$V_{th}$ x Temperatura. . . . .	36
3.11	Coeficiente positivo com relação a temperatura. . . . .	37
3.12	Simulação do <i>textbench</i> da figura 3.9 . . . . .	37
3.13	Simulação do PSRR do circuito Ceinv66 . . . . .	38
3.14	Simulação das derivadas das tensões V25 e $V_{gsMR2}$ . . . . .	38

4.1	<i>Layout</i> do circuito ceinv 35 ( $865\mu\text{m} \times 755\mu\text{m}$ ). . . . .	40
4.2	<i>Layout</i> do circuito ceinv 66 ( $975\mu\text{m} \times 755\mu\text{m}$ ). . . . .	40
5.1	Simulação do circuito extraído. . . . .	41
5.2	Simulação do circuito extraído após modificações nos <i>trimmers</i> . . . . .	42
5.3	<i>Testbench</i> utilizado na extração de parasitários. . . . .	42
5.4	Simulação do circuito extraído. . . . .	43
5.5	Simulação do circuito extraído após modificações nos <i>trimmers</i> . . . . .	44
5.6	<i>Testbench</i> utilizado na extração de parasitários. . . . .	44
6.1	Encapsulamento utilizado no circuito Ceinv66. . . . .	45
6.2	Esquemático da Referência de Tensão Ceinv66. . . . .	46
6.3	Foto em microscópio do circuito Ceinv66. Vista 1 . . . . .	47
6.4	Foto em microscópio do circuito Ceinv66. Vista 2 . . . . .	47
6.5	Foto em microscópio do circuito Ceinv66. Vista 3 . . . . .	47
6.6	<i>Setup</i> dos testes. . . . .	48
6.7	<i>Start off-chip</i> . . . . .	50
6.8	Tensão de Saída x Temperatura. . . . .	51
6.9	Tensão no nó 25. . . . .	51
6.10	Tensão de Saída x Temperatura (Câmara VOSTSCH). . . . .	52
6.11	Tensão de Saída ( $V_{\text{ref}}$ ) x VDD. . . . .	53
6.12	Encapsulamento utilizado no circuito Ceinv35. . . . .	53
6.13	Esquemático do Sensor de Temperatura (Ceinv35). . . . .	55
6.14	Foto em microscópio do circuito Ceinv35. Vista 1 . . . . .	56
6.15	Foto em microscópio do circuito Ceinv35. Vista 2 . . . . .	56
6.16	Foto em microscópio do circuito Ceinv35. Vista 3 . . . . .	56
6.17	Resultados experimentais do sensor de temperatura. . . . .	57
7.1	Simulações de <i>Corners</i> da referência de tensão Ceinv66. . . . .	62
7.2	Simulação com <i>corner</i> de resistores em <i>Worst Power</i> . . . . .	63
7.3	<i>Trimmer</i> utilizando no Gerador de Tensão PTAT . . . . .	63
7.4	Simulação utilizando o <i>trimmer</i> apresentado na figura 7.3 . . . . .	64
7.5	Nó monitorado no circuito de <i>start-up</i> . . . . .	66
7.6	Extrator de $V_{\text{th}}$ sem circuito de <i>start-up</i> . . . . .	67
7.7	Ceinv66 com extrator de $V_{\text{th}}$ proposto. . . . .	67

# Lista de Tabelas

6.1	Relação dos pinos da Referência de Tensão. . . . .	49
6.2	Resultados Experimentais . . . . .	52
6.3	Relação dos pinos do Sensor de Temperatura. . . . .	54
7.1	Análise Comparativa . . . . .	59
7.2	Comparação com Referências de Tensão CMOS da literatura . . . . .	60
7.3	parâmetros utilizados na análise de <i>corners</i> . . . . .	61
7.4	<i>Corners</i> analisados. . . . .	62
7.5	Dimensões dos <i>trimmers</i> necessários . . . . .	64
7.6	Combinação dos <i>trimmers</i> . . . . .	65
7.7	Tensão no Resistor do <i>start-up</i> . . . . .	66

# Lista de Símbolos

$V_{g0}$  - Tensão de *bandgap* do semiconductor na temperatura 0K  
 $T_0$  - Temperatura em que os parâmetros do processo são extraídos  
 $V_{BE0}$  - Tensão Base-Emissor em  $T_0$   
 $q$  - Carga do elétron  
 $k$  - Constante de Boltzmann  
 $J$  - Densidade de corrente no transistor bipolar  
 $V_{th}$  - Tensão de limiar do transistor MOS  
 $\mu$  - Mobilidade do portador de carga  
 $C_{ox}$  - Capacitância do óxido de silício  
 $\Phi_F$  - Potencial de Fermi do substrato  
 $Q_B$  - Quantidade de cargas por unidade de área contida na região superficial de depleção  
 $Q_{SS}$  - Densidade de cargas em estado de superfície por unidade de área  
 $\Phi_{MS}$  - Diferença das funções trabalho entre metal e semiconductor  
 $C_B$  - Magnitude da concentração de impurezas do substrato  
 $X$  - Espessura da região onde a corrente do transistor flui  
 $D_n$  - Constante de difusão para os elétrons  
 $N_{q0}$  - Concentração de elétrons no substrato no equilíbrio  
 $V_T$  - Tensão termodinâmica  
 $E_0$  - Campo elétrico na camada de inversão  
 $T_{ox}$  - Espessura do óxido de gate  
 $\mu T_e$  - Coeficiente de variação em temperatura da mobilidade  
 $\mu_0$  - Mobilidade do portador de carga na temperatura  $T_0$   
 $R_0$  - Resistência do dispositivo na temperatura  $T_0$   
 $gm$  - Transcondutância do transistor  
 $V_{th_0}$  - Tensão de limiar do transistor MOS na temperatura  $T_0$

# Trabalhos Publicados Pelo Autor

1. Wellington Avelino do Amaral, José Antônio de Siqueira Dias, Wilmar Bueno de Moraes, “CMOS Voltage Reference Based on Threshold Voltage Summation”, *8th WSEAS International Conference on Microelectronics, Nanoelectronics, Optoelectronics (MINO '09)*, Istanbul, Turkey, May 2009.
2. Wellington Avelino do Amaral, José Antônio de Siqueira Dias, Wilmar Bueno de Moraes, “Exploiting the  $V_{th}$  behavior to design CMOS Voltage References and Temperature Sensors”, *NAUN International Journal of Circuits, Systems and Signal Processing*, Issue 3, Volume 3, 2009

# Capítulo 1

## Introdução

A necessidade de referência de tensão estáveis e confiáveis é notória no projeto de circuitos integrados. Em conversores A/D [1], conversores D/A [2], reguladores de tensão, duplicadores de frequência [3] e em aplicações onde a influência da temperatura é um fator limitante, as referências de tensão exercem um papel fundamental.

Inicialmente, o diodo zener era utilizado para fornecer esta referência e em algumas aplicações ele ainda é satisfatoriamente utilizado. Sua tensão de ruptura reversa faz o papel desta referência de tensão. Contudo, para aplicações que utilizam baixas tensões de alimentação este dispositivo não pode ser empregado.

### 1.1 Referência de Tensão *Bandgap*

As referências de tensão do tipo *bandgap* surgiram para transpor as limitações do diodo zener. Elas fazem uso de algumas características do transistor bipolar. O seu funcionamento é baseado na somatória de duas tensões, uma tensão CTAT (*Complementary to Absolute Temperature*), com coeficiente negativo em relação à temperatura e uma tensão PTAT (*Proportional to Absolute Temperature*), com gradiente positivo em relação à temperatura, para fornecer uma tensão estável. A primeira é baseada na tensão em base e emissor do transistor. Ela é dada pela equação 1.1 [4, 5]. A tensão  $V_{g0}$  é a tensão de *bandgap* do material para 0 K,  $q$  é a carga de um elétron,  $n$  é a constante que depende de como o material é feito,  $k$  é a constante de Boltzmann,  $T$  é a temperatura em K,  $I_c$  é a corrente de coletor e  $V_{BE0}$  é a tensão em emissor e base na temperatura  $T_0$  e corrente  $I_{c0}$ .

$$V_{BE} = V_{g0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \left(\frac{T}{T_0}\right) + \frac{nkT}{q} \ln \left(\frac{T_0}{T}\right) + \frac{kT}{q} \ln \frac{I_c}{I_{c0}} \quad (1.1)$$

A tensão com coeficiente positivo é dada pela diferença entre duas tensões base-emissor. Ela é

comanda pela equação 1.2 [5].

$$\Delta_{BE} = \frac{kT}{q} \ln \frac{J_1}{J_2} \quad (1.2)$$

onde  $J$  é a densidade de corrente no transistor. A utilização destas duas tensões (PTAT e CTAT) produz uma referência com pouca variação em temperatura.

Dentre as referências que utilizam este conceito, podem ser citadas topologias clássicas como a de Brokaw [6], a de Widlar [5], a de Ahmed [7], a de Meijer [8, 9] e a de Dobkin [10, 11]. Na figura 1.1 é apresentada uma topologia que foi proposta por Widlar [5]. Seu comportamento é comandado pelas equações 1.3 a 1.5. Este circuito tem um valor histórico, sendo ele a primeira referência do tipo *bandgap* apresentada. Como apresentado na equação 1.3, a corrente sobre R3 é proporcional às tensões base emissor dos transistores Q1 e Q2 (portanto, uma corrente PTAT). Como apresentado na equação 1.5, a tensão de saída é dada pela somatória de uma tensão PTAT (R3 multiplicado por  $I$ ) e uma tensão CTAT (tensão  $V_{be}$  do transistor Q3) sendo, portanto, estável em temperatura.

$$I = \frac{V_{be1} - V_{be2}}{R3} \quad (1.3)$$

$$I = \frac{V_{ref} - V_{be3}}{R2} \quad (1.4)$$

$$V_{ref} = V_{be3} + \frac{R2}{R3} (V_{be1} - V_{be2}) \quad (1.5)$$

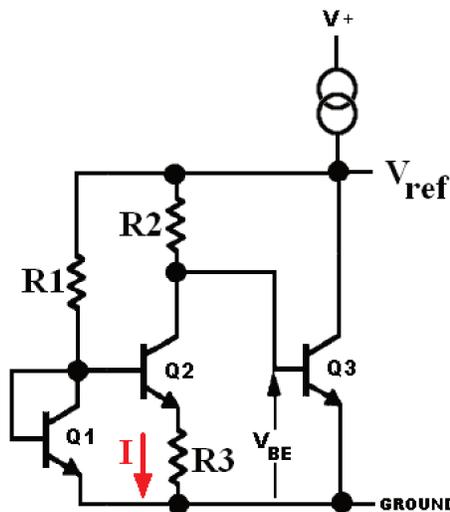


Fig. 1.1: Referência de tensão *Bandgap*.

## 1.2 Variação da Corrente de dreno do Transistor MOS em Temperatura

Devido a crescente necessidade de circuitos que operem em *Low-Power* e *Low-Voltage*, uma barreira enfrentada pelas referências do tipo *bandgap* é o fato de que o *bandgap* do silício ser de aproximadamente 1.12eV [12], limitando a utilização destes circuitos para determinadas aplicações. Além disto, também é crescente a necessidade de circuitos integrados monolíticos que utilizem tecnologia CMOS. Uma tecnologia mais barata, mas que dispõe apenas de transistores bipolares de baixa qualidade (baixo beta), o que limita o desempenho de referências do tipo *bandgap* projetadas com esta tecnologia. Em função destes fatores, surgiram as referências de tensão baseadas na tensão de limiar ( $V_{th}$ ) do transistor MOS. Neste tipo de circuito a tensão de referência é dada pela soma algébrica de duas tensões, sendo uma delas a tensão  $V_{th}$  e a outra uma parcela da tensão que depende da corrente de dreno e da mobilidade. Esta última parcela deve apresentar um coeficiente de variação com a temperatura positivo.

Para um estudo mais detalhado da dependência da corrente de dreno do transistor MOS com a temperatura deve-se atentar a dois parâmetros; a tensão de limiar ( $V_{th}$ ) e a mobilidade ( $\mu$ ). Como será apresentado a seguir, existe uma condição de operação do transistor que proporciona uma variação nula da corrente de polarização com a temperatura.

A tensão de limiar do transistor MOS é dada pela equação 1.6 [13].

$$V_{th} = \Phi_{MS} - \frac{Q_{SS}}{C_{ox}} + 2\Phi_F - \frac{Q_B}{C_{ox}} \quad (1.6)$$

Onde:

- $\Phi_F$  é o potencial de Fermi do substrato. Seu comportamento é expresso pela equação 1.7.

$$\Phi_F = \pm \frac{kT}{q} \ln \left( \frac{C_B}{n_i} \right) \quad (1.7)$$

- $Q_B$  é igual à quantidade de cargas por unidade de área contida na região superficial de depleção. Esta quantidade é expressa pela equação 1.8.

$$Q_B = \pm q C_B x_{d_{max}} = \pm \sqrt{2K_S \epsilon_0 q C_B 2 |\Phi_F|} \quad (1.8)$$

- $Q_{SS}$  é a densidade de cargas em estado de superfície por unidade de área.
- $\Phi_{MS}$  é a diferença das funções trabalho entre metal e semiconductor

- $C_{ox}$  é a capacitância do óxido por unidade de área

$$C_{ox} = \frac{K_0 \epsilon_0}{x_e} \quad (1.9)$$

- $C_B$  é a magnitude da concentração de impurezas do substrato

Derivando  $V_{th}$  com relação à temperatura obtém-se a equação 1.10.

$$\frac{dV_{th}}{dT} = \frac{d\Phi_F}{dT} \left[ 2 - \frac{1}{C_{ox}} \frac{Q_B}{2\Phi_F} \right] \quad (1.10)$$

Onde;

$$\frac{\Phi_F}{dT} \cong \pm \frac{1}{T} \left[ \frac{E_{G0}}{2q} - |\Phi_F| \right] \quad (1.11)$$

Onde,  $E_{G0} = 1.21eV$ .

A dependência da mobilidade dos portadores com a temperatura é expressa pela equação 1.12

$$\frac{1}{\mu} \frac{d\mu}{dT} \cong -\frac{1}{T} \quad (1.12)$$

A corrente de dreno do transistor MOS é dada pela equação 1.13

$$I_D(T) = \mu(T) C_{ox} \left( \frac{W}{L} \right) \frac{(V_{GS} - V_T(T))^2}{2} \quad (1.13)$$

Derivando a corrente de dreno do transistor com a temperatura obtém-se a equação 1.14.

$$\frac{dI_D}{dT} = \frac{\partial I_D}{\partial \mu} \frac{d\mu}{dT} + \frac{\partial I_D}{\partial V_T} \frac{dV_T}{dT} \quad (1.14)$$

Da equação 1.14 obtém-se a equação 1.15.

$$\frac{dI_D}{dT} = \frac{C_{ox} W}{2 L} (V_{GS} - V_T)^2 \frac{d\mu}{dT} - \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) \frac{dV_T}{dT} \quad (1.15)$$

Substituindo as equações 1.10 e 1.12 na equação 1.15 obtém-se a equação 1.16 [14].

$$\frac{dI_D}{dT} = I_D \left\{ -\frac{1}{T} - \frac{2}{V_{GS} - V_T} \left[ \frac{1}{T} \left( \varphi_F + \frac{E_{g0}}{2q} \right) \left( 2 + \frac{Q_d}{2C_{ox} |\varphi_F|} \right) \right] \right\} \quad (1.16)$$

Escrevendo uma equação geral que vale tanto para o transistor de canal N como para o de canal P, obtém-se a equação 1.17.

$$\frac{dI_D}{dT} = \underbrace{-\frac{I_D}{T}}_{(a)} + \underbrace{\frac{2I_D}{|V_{GS}| - |V_T|} \left[ \frac{1}{T} \left( \frac{E_{g0}}{2q} - |\varphi_F| \right) \left( 2 + \frac{|Q_d|}{2C_{ox}|\varphi_F|} \right) \right]}_{(b)} \quad (1.17)$$

Observa-se que a componente (a) da equação 1.17 possui sinal negativo, enquanto a componente (b) possui sinal positivo. Logo, é possível ajustar a polarização do transistor de modo que as componentes (a) e (b) se anulem, produzindo  $\frac{dI_D}{dT} = 0$ . Ou seja, é possível polarizar o transistor de tal maneira que a variação da corrente de dreno com a temperatura seja nula.

Também é possível observar que;

1. se  $|V_{GS}| \leq |V_T| \longrightarrow \frac{dI_D}{dT} > 0$  (Coeficiente de Temperatura POSITIVO)
2. se  $|V_{GS}| \gg |V_T| \longrightarrow \frac{dI_D}{dT} < 0$  (Coeficiente de Temperatura NEGATIVO)
3. Existe um  $|V_{GS}|$  tal que:  $\frac{dI_D}{dT} = 0$

Na figura 1.2 é apresentado o resultado de um estudo semelhante realizado por Vadasz [13]. Neste caso, a dependência do coeficiente de temperatura da condutância do canal com a tensão de gate foi o objeto de estudo. Pode ser visualizado que o coeficiente de temperatura (T.C. *Temperature Coefficient*) do dispositivo pode ser positivo, zero ou negativo, dependendo da tensão de gate.

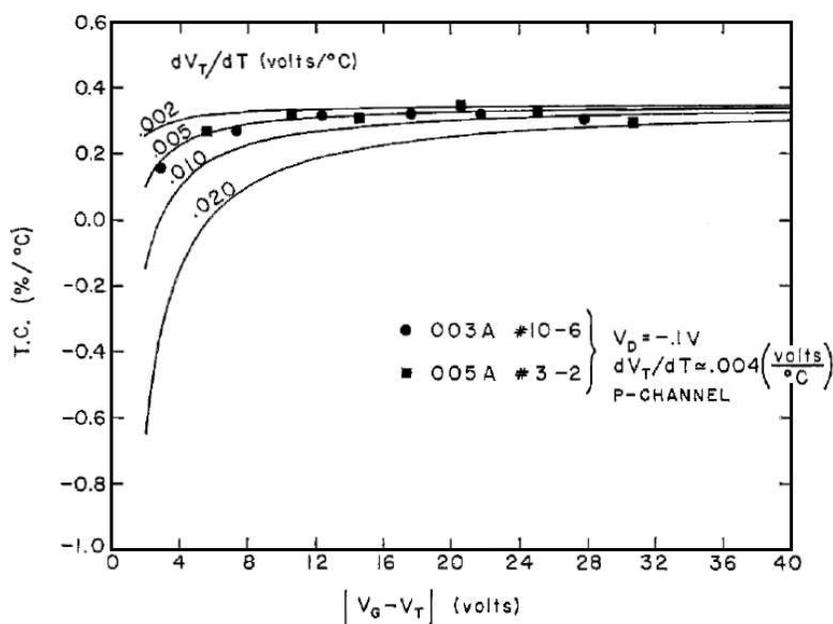


Fig. 1.2: Coeficiente de Temperatura da Condutância do Canal.

### 1.3 Utilização do Transistor MOS polarizados na região Sub-limiar

Usualmente, para a obtenção de referências de tensão CMOS são utilizados transistores polarizados na região sub-limiar [15] - [22]. Nesta condição, a corrente de dreno é calculada a partir da equação 1.18 [15]. Através desta equação pode ser observado que o transistor se comporta de maneira semelhante a um transistor bipolar. Na figura 1.3 é apresentado um circuito que utiliza este mecanismo [15].

$$I_D = \frac{W}{L} I_t \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right) \quad (1.18)$$

Onde:

- $I_t = qXD_nN_{q0}\exp(C/V_T)$
- $n$  é o fator da rampa de sub-limiar.
- $V_T = KT/q$
- $C$  é uma constante.

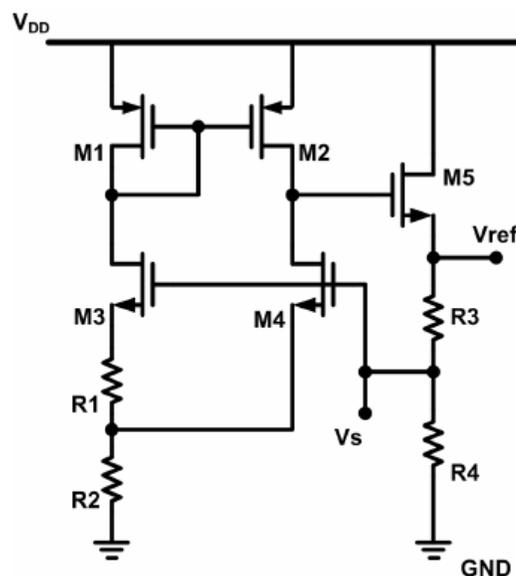


Fig. 1.3: Referência de Tensão CMOS com transistores operando em sub-limiar.

No circuito da figura 1.3 os transistores M3 e M4 estão operando em sub-limiar. A tensão de saída do circuito é dada pela equação 1.19. A equação 1.20 descreve o comportamento da tensão no nó  $V_S$ . Pode ser visualizado que as parcelas “a” e “c” desta equação possuem um comportamento PTAT (são proporcionais a tensão termodinâmica  $V_T$ ), enquanto a parcela “b” possui um comportamento CTAT. Logo, ajustando os valores dos resistores R1 e R2, assim como as dimensões dos transistores M3 e M4, é obtida na saída uma tensão estável em temperatura.

$$V_{ref} = \left(1 + \frac{R_3}{R_4}\right) V_S \quad (1.19)$$

$$V_S = \underbrace{nV_T \ln\left(\frac{nV_T \ln(N)}{K_3 I_t R_1}\right)}_{(a)} + \underbrace{V_{th}}_{(b)} + \underbrace{(nV_T \ln(N)) \left(1 + 2\frac{R_2}{R_1}\right)}_{(c)} \quad (1.20)$$

## 1.4 Utilização das tensões Vgs de transistores PMOS e NMOS

Outra estratégia para a obtenção de referências de tensão CMOS é a utilização da diferença de tensões Vgs entre transistores PMOS e NMOS [23]. Na figura 1.4 é apresentado o comportamento em temperatura das tensões  $V_{th}$  dos transistores PMOS e NMOS. Na figura 1.5 é apresentado um circuito que utiliza o princípio citado [24].

No circuito da figura 1.5 a corrente no resistor R2 é dada pela equação 1.21. Como esta corrente é proporcional a  $V_{thn}$  ela terá um comportamento CTAT.

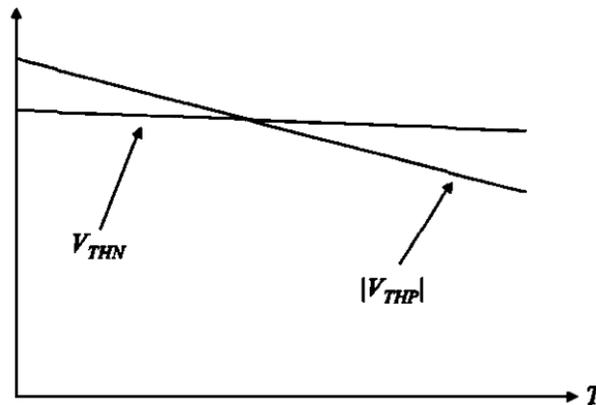


Fig. 1.4: Comportamento de  $V_{THP}$  e  $V_{THN}$  em temperatura.

Na equação 1.22 é apresentada a equação da tensão de saída deste circuito. Como pode ser visualizado, ela é comandada por uma tensão CTAT (tensão  $V_{GSn}$  do transistor MN + R1 multiplicado pela corrente  $I$ ) e uma tensão PTAT (dada por  $-|V_{GSp}|$ ), obtendo-se na saída do circuito uma tensão estável em temperatura.

$$I = \frac{V_{GSn}}{R2} \quad (1.21)$$

$$V_{REF} = \left(1 + \frac{R1}{R2}\right) V_{GSn} - |V_{GSp}| \quad (1.22)$$

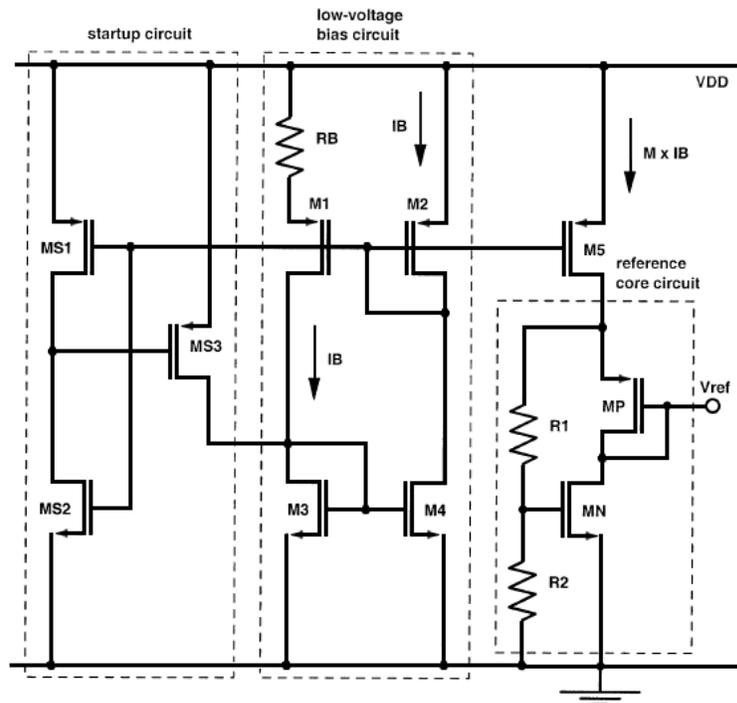


Fig. 1.5: Referência de Tensão CMOS com diferença  $V_{THP}$  e  $V_{THN}$ .

# Capítulo 2

## Circuito Proposto

O circuito proposto está apresentado na figura 2.1. Ele é composto por 4 blocos básicos: um Extrator de  $V_{th}$  (Vth\_Extractor), um circuito de *Start-up*, um Gerador de Tensão PTAT (PTAT\_Voltage) e um Amplificador Operacional (OpAmp). Seu princípio de funcionamento e equacionamento completo serão apresentados nas seções 2.1 a 2.8.

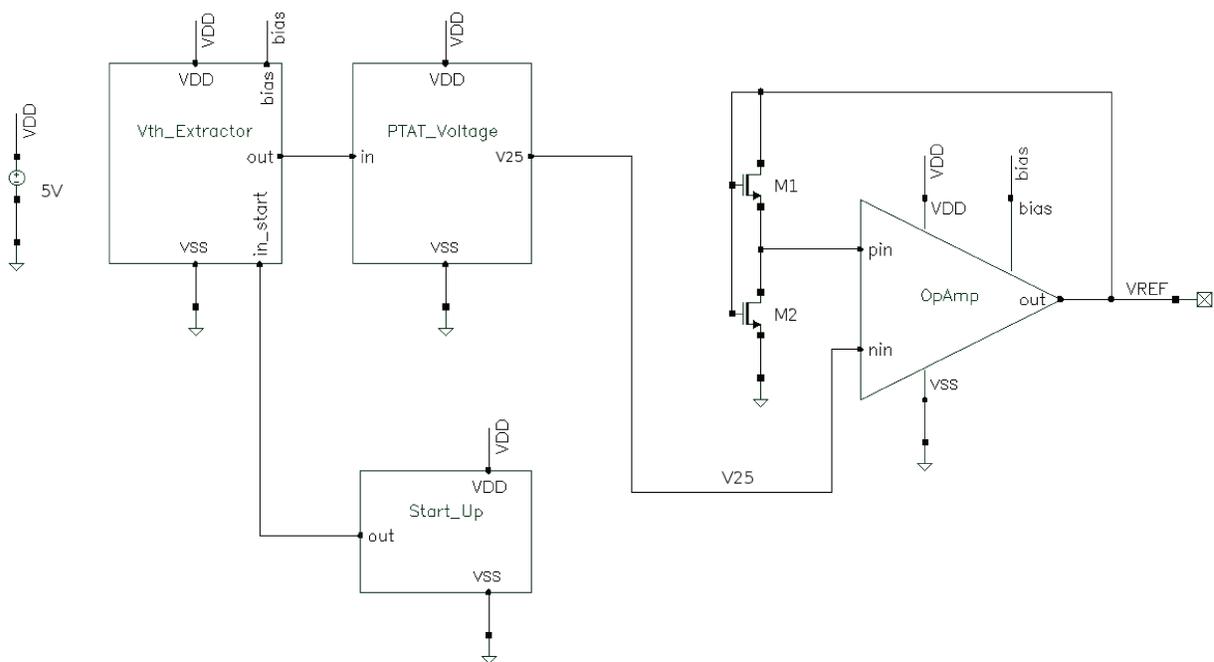


Fig. 2.1: Diagrama de Blocos da Referência de Tensão proposta.

## 2.1 Princípio de Funcionamento

O princípio de funcionamento do circuito apresentado na figura 2.1 é baseado na somatória de duas tensões, uma tensão CTAT, com gradiente negativo em relação à temperatura, e uma tensão PTAT, com gradiente positivo em relação à temperatura. Ambas extraídas a partir da tensão de limiar do transistor MOS. Seu funcionamento pode ser explicado da seguinte forma; o circuito Extrator de  $V_{th}$  gera internamente uma tensão sempre igual à tensão de limiar do transistor MOS ( $V_{th}$ ). O Extrator de  $V_{th}$  faz surgir no bloco Gerador de Tensão PTAT uma corrente proporcional a  $V_{th}^2$ . Em seguida, o Gerador de Tensão PTAT utilizando espelhos de corrente e um transistor na região linear gera uma tensão PTAT em sua saída. A tensão PTAT é então inserida em um amplificador operacional. Em função do terra virtual do amplificador operacional, esta tensão é então transmitida à entrada positiva do amplificador. O transistor M1 (situado entre a entrada P do amplificador e a saída VREF) faz surgir na equação da tensão de saída (VREF) uma tensão  $V_{th}$ . A tensão  $V_{th}$  é do tipo CTAT. Logo, a utilização da tensão PTAT em conjunto com esta tensão  $V_{th}$  acarreta no surgimento de uma tensão estável em temperatura.

## 2.2 Extrator de $V_{th}$

Na figura 2.2 é apresentado o esquemático do Extrator de  $V_{th}$ . Neste circuito, a corrente de polarização é gerada pelo transistor M1V<sub>th</sub>. Neste transistor, a tensão  $V_{gs}$  é dada pela somatória das tensões  $V_{gs}$  dos transistores M1B e M2B menos a tensão  $V_{gs}$  do transistor M1A, como apresentado na equação 2.1.

$$V_{gs_{M1V_{th}}} = V_{gs_{M1B}} + V_{gs_{M2B}} - V_{gs_{M1A}} \quad (2.1)$$

A corrente no transistor PMOS é dada pela equação 2.2. A partir desta equação é possível obter a equação 2.3.

$$I_D = \frac{\mu_P C_{ox}}{2} \left( \frac{W}{L} \right) (V_{gs} + V_{th_P})^2 \quad (2.2)$$

$$V_{gs} = \sqrt{\frac{2I_D}{\mu C_{ox} \left( \frac{W}{L} \right)}} - V_{th_P} \quad (2.3)$$

Logo, com base nas equações 2.1 e 2.3 é possível obter a equação 2.4.

$$V_{gs_{M1V_{th}}} = 2 \sqrt{\frac{2I_2}{\mu C_{ox} \left( \frac{W}{L} \right)_{M1B}}} - 2V_{th_P} - \sqrt{\frac{2I_1}{\mu C_{ox} \left( \frac{W}{L} \right)_{M1A}}} + V_{th_P} \quad (2.4)$$

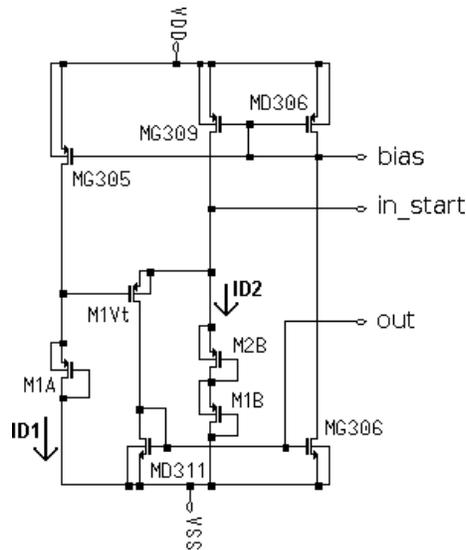


Fig. 2.2: Esquemático do Extrator de Vth.

Portanto, para a obtenção de uma tensão igual a  $V_{th}$  em  $V_{gs_{M1Vt}}$  a igualdade apresentada na equação 2.5 deve ser respeitada.

$$\sqrt{\frac{2I_1}{\mu C_{ox} \left(\frac{W}{L}\right)_{M1A}}} = 2 \sqrt{\frac{2I_2}{\mu C_{ox} \left(\frac{W}{L}\right)_{M1B}}} \quad (2.5)$$

Após algumas manipulações na equação 2.5 é possível obter a equação 2.6.

$$\frac{I_1}{\left(\frac{W}{L}\right)_{M1A}} = \frac{4I_2}{\left(\frac{W}{L}\right)_{M1B}} \quad (2.6)$$

Analisando a equação 2.6 é possível concluir que uma das duas situações é necessária ser garantida:

Primeira situação:

$$\left(\frac{W}{L}\right)_{M1A} = \left(\frac{W}{L}\right)_{M1B} \quad (2.7)$$

$$I_1 = 4I_2 \quad (2.8)$$

Segunda situação:

$$I_1 = I_2 \quad (2.9)$$

$$\left(\frac{W}{L}\right)_{M1B} = 4 \left(\frac{W}{L}\right)_{M1A} \quad (2.10)$$

Após a escolha de uma das situações, uma corrente proporcional a  $V_{th}$  é obtida no transistor  $M1Vt$ .

## 2.3 Circuito de *Start-Up*

Nas figuras 2.3 e 2.4 são apresentados dois circuitos utilizados para a geração de correntes de polarização. No circuito da figura 2.3 a corrente de saída é função direta da tensão de alimentação. Logo, caso ocorram alterações na tensão de alimentação, a corrente de saída também será modificada.

No circuito da figura 2.4 (a), assumindo que o *loop* formado por esta conexão tenha um ponto de operação estável, a corrente fluindo pelo circuito será muito mais insensível à fonte de alimentação que no caso onde se utiliza um resistor de polarização [25]. As duas variáveis chave para o entendimento deste circuito são a corrente de entrada ( $I_{IN}$ ) e a corrente de saída ( $I_{OUT}$ ). A relação entre elas é governada tanto pela fonte de corrente, como pelo espelho de corrente. Pelo ponto de vista da fonte de corrente, a corrente de saída é quase independente da corrente de entrada por uma larga faixa de correntes de entrada, como apresentado na figura 2.4 (b). Pelo ponto de vista do espelho de corrente, a corrente de saída será sempre igual a corrente de entrada, assumindo que o espelho tenha ganho unitário. O ponto de operação do circuito deve satisfazer às duas condições. Na figura 2.4 (b), duas possibilidades são apresentadas (dadas pela interseção das duas curvas características). O ponto A é a condição desejada e o ponto B é a condição indesejada. Logo, para circuitos que utilizam este conceito, é necessária a utilização de circuitos de *Start-up* para garantir que eles não partam na condição de corrente igual a 0A (ponto B).

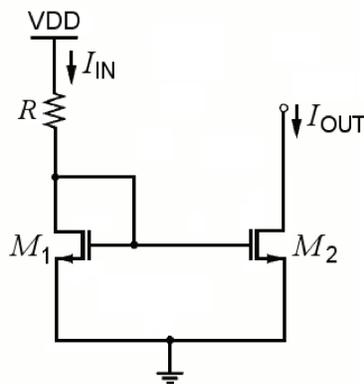


Fig. 2.3: Fonte de corrente utilizando um resistor.

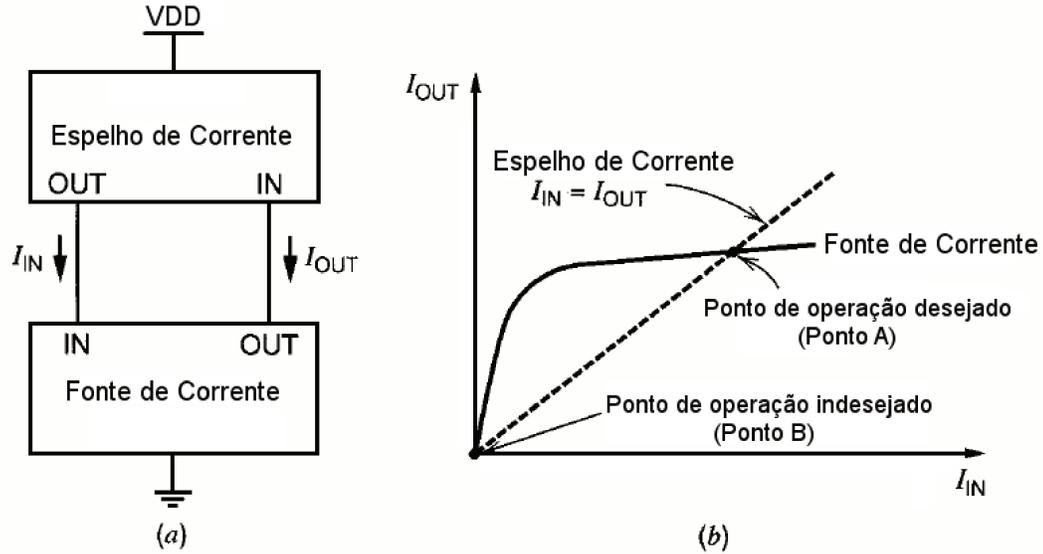
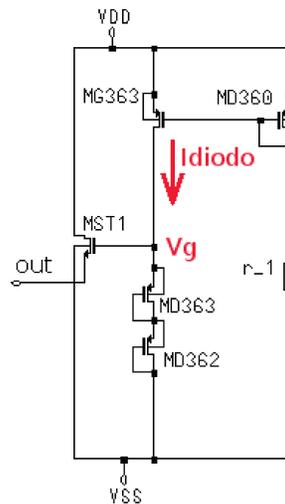


Fig. 2.4: Fonte de corrente utilizando realimentação

Na figura 2.5 é apresentado o esquemático do circuito de *Start-up* utilizado. Seu projeto deve seguir os seguintes passos:

1. Projeto do transistor de saída (MST1)
2. Cálculo da corrente sobre os transistores conectados como diodo
3. Dimensionamento do resistor ( $r_1$ )

Fig. 2.5: Esquemático do circuito de *Start-up*.

No passo 1, utilizando a equação 2.11, é encontrada a tensão de *gate* necessária para fornecer a corrente de *start* desejada. Na equação 2.11 foi considerado que na porta “*out*” estaria presente uma tensão igual à 0V. Esta seria a tensão apresentada na porta *in\_start* (figura 2.2) do Extrator de *V<sub>th</sub>*, caso este circuito não partisse.

$$Vg = \sqrt{\frac{I_{out}}{\frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{MST1}}} - Vth \quad (2.11)$$

Para o passo 2 são utilizadas as equações 2.12 e 2.13. Nestas equações foi desprezado o efeito de corpo sobre os transistores.

$$Vg = 2Vg_{sMD362} \quad (2.12)$$

$$I_{diodo} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{MD363} \left(\frac{Vg}{2} - Vth\right)^2 \quad (2.13)$$

Para o passo 3 são utilizadas as equações 2.14 e 2.15.

$$Vg_{sMG363} = \sqrt{\frac{I_{diodo}}{\frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{MG363}}} - Vth \quad (2.14)$$

$$r_{-1} = \left(\frac{VDD - Vg_{sMG363}}{I_{diodo}}\right) \frac{\left(\frac{W}{L}\right)_{MD363}}{\left(\frac{W}{L}\right)_{MD360}} \quad (2.15)$$

## 2.4 Gerador de Tensão PTAT

Na figura 2.6 é apresentado o esquemático do Gerador de Tensão PTAT. Como mencionado anteriormente, este bloco, utilizando espelhos de corrente e um transistor na região linear, gera uma tensão PTAT em sua saída.

Analisando o circuito observasse que a corrente proporcional a *V<sub>th</sub>*, obtida na saída do Extrator de *V<sub>th</sub>*, é então refletida para o transistor MG206. Logo, no gate do transistor MG211 é produzida uma tensão igual 2*V<sub>th</sub>*, dado que os transistores MD206 e MD207 (conectados como diodo) estão polarizados pela mesma corrente que passa por MG206. Na equação 2.16 é apresentada a equação da corrente em MG211.

$$I_{2Vth} = \frac{\mu_P C_{ox}}{2} \left(\frac{W}{L}\right)_{MG211} (2Vth_P - Vth_P)^2 = \frac{K_P \left(\frac{W}{L}\right)_{MG211}}{2} Vth_P^2 \quad (2.16)$$

A corrente no transistor MG24 é dada pela reflexão da corrente *I<sub>2V<sub>th</sub></sub>*

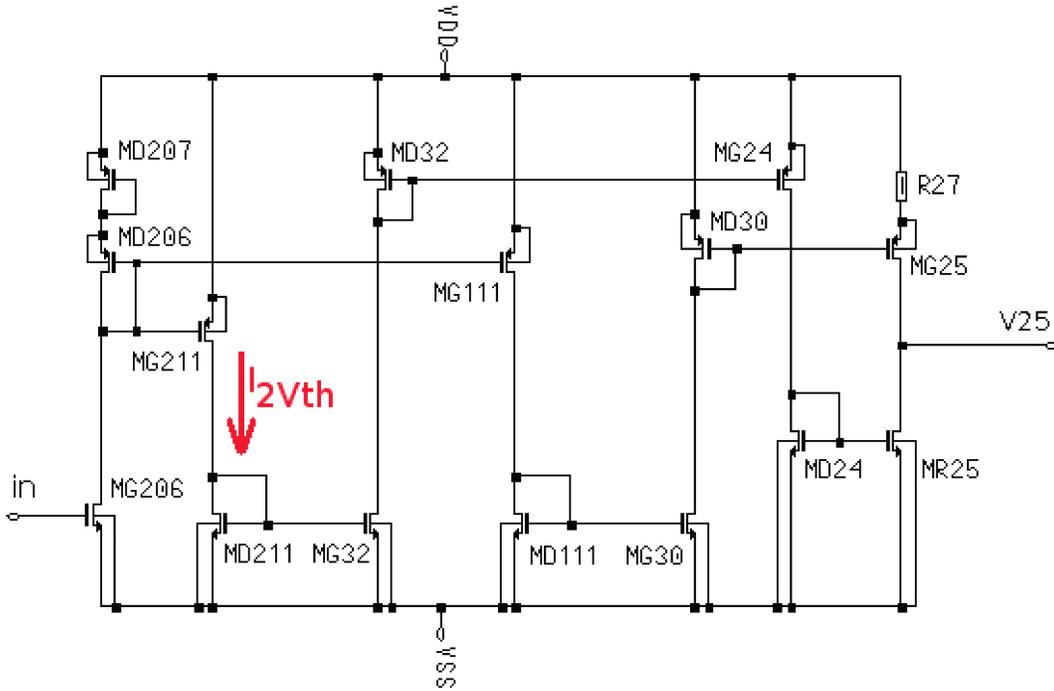


Fig. 2.6: Gerador de Tensão PTAT.

de corrente, como apresentada na equação 2.17.

$$I_{MG24} = \frac{\left(\frac{W}{L}\right)_{MG32}}{\left(\frac{W}{L}\right)_{MD211}} \frac{\left(\frac{W}{L}\right)_{MG24}}{\left(\frac{W}{L}\right)_{MD32}} I_{2Vth} \quad (2.17)$$

A equação 2.17 pode ser simplificada como apresentada na equação 2.18.

$$I_{MG24} = \lambda \mu_P V_{th_P}^2 \quad (2.18)$$

Onde:

$$\lambda = \frac{\left(\frac{W}{L}\right)_{MG32}}{\left(\frac{W}{L}\right)_{MD211}} \frac{\left(\frac{W}{L}\right)_{MG24}}{\left(\frac{W}{L}\right)_{MD32}} \frac{C_{ox}}{2} \left(\frac{W}{L}\right)_{MG211} \quad (2.19)$$

Supondo que o transistor MR25 esteja na região linear de operação, sua corrente de dreno será dada pela equação 2.20.

$$I_{MR25} = \mu C_{ox} \left(\frac{W}{L}\right)_{MR25} (V_{gsMR25} - V_{th_N}) V_{DS} \quad (2.20)$$

Onde:

$$V_{DS} = V_{25} \quad (2.21)$$

Rearranjando a equação 2.20 é possível obter a equação 2.22.

$$V_{25} = \frac{I_{MR25}}{\mu_N C_{ox} \left(\frac{W}{L}\right)_{MR25} (V_{gsMR25} - V_{thN})} \quad (2.22)$$

Para a obtenção da tensão  $V_{gsMR25}$  é necessário o equacionamento da corrente  $I_{MD24}$ , como apresentado na equação 2.23.

$$I_{MD24} = \frac{\mu_N C_{ox}}{2} \left(\frac{W}{L}\right)_{MD24} (V_{gsMR25} - V_{thN})^2 \quad (2.23)$$

Rearranjando a equação 2.23 obtém-se  $V_{gsMR25}$ , como apresentado na equação 2.24.

$$V_{gsMR25} = \sqrt{\frac{2I_{MD24}}{\mu C_{ox} \left(\frac{W}{L}\right)_{MD24}}} + V_{thN} \quad (2.24)$$

Substituindo a equação 2.18 na equação 2.24 obtém-se a equação 2.25.

$$V_{gsMR25} = \sqrt{\frac{2\lambda\mu_P V_{thP}^2}{\mu C_{ox} \left(\frac{W}{L}\right)_{MD24}}} + V_{thN} \quad (2.25)$$

Para a obtenção da corrente  $I_{MR25}$  (equação 2.22) é utilizada a equação 2.26.

$$\gamma V_{thP} = V_{gsMG25} + V_{R27} \quad (2.26)$$

Equacionando a tensão no resistor R27 e supondo que o transistor MG25 esteja na saturação, obtém-se a equação 2.27.

$$\gamma V_{thP} = \sqrt{\frac{2I_{MG25}}{\mu C_{ox} \left(\frac{W}{L}\right)_{MG25}}} + V_{thP} + I_{MG25} R_{27} \quad (2.27)$$

Utilizando a aproximação apresentada na equação 2.28 é possível obter a equação 2.29.

$$\gamma V_{thP} \approx V_{thP} + I_{MG25} R_{27} \quad (2.28)$$

$$I_{MG25} = \frac{V_{thP}(\gamma - 1)}{R_{27}} \quad (2.29)$$

Substituindo as equações 2.25 e 2.29 na equação 2.22 obtém-se a equação 2.30.

$$V_{25} = \frac{\left[ \frac{V_{thP}(\gamma-1)}{R_{27}} \right]}{\mu_N C_{ox} \left( \frac{W}{L} \right)_{MR25} \left[ \sqrt{\frac{2\lambda\mu_P V_{thP}^2}{\mu_N C_{ox} \left( \frac{W}{L} \right)_{MD24}}} \right]} \quad (2.30)$$

Fazendo algumas simplificações na equação 2.30 é possível obter a equação 2.31. Esta é a equação da tensão de saída do Gerador de Tensão PTAT.

$$V_{25} = \frac{(\gamma - 1)}{C_{ox} \left( \frac{W}{L} \right)_{MR25} \left[ \sqrt{\frac{2\lambda}{C_{ox} \left( \frac{W}{L} \right)_{MD24}}} \right] \left( \frac{\sqrt{\mu_P}}{\sqrt{\mu_N}} \right) \mu_N R_{27}} \quad (2.31)$$

A equação 2.32 modela a variação da mobilidade com a temperatura [26]. Logo, com um aumento da temperatura, diminui a mobilidade. Supondo que  $\mu_P$  e  $\mu_N$  possuem a mesma lei de variação, o produto  $\sqrt{\frac{\mu_P}{\mu_N}}$  não varia com a temperatura. Dado que R27 tem um gradiente negativo com a temperatura, sua resistência diminui. Como resultado geral, a tensão  $V_{25}$  irá aumentar.

Ou seja:

$$\uparrow \text{Temperatura} \quad \Rightarrow \quad \downarrow \text{mobilidade} \quad \downarrow R_{27} \quad \uparrow V_{25}$$

$$\mu(T) = \mu_0 \left( \frac{T}{T_0} \right)^{-\mu T e} \quad (2.32)$$

### 2.4.1 Variação da Tensão de Saída com a Temperatura

Para comprovar o comportamento mencionado no fim da seção anterior é necessária a obtenção da equação que modela a variação da tensão  $V_{25}$  com a temperatura.

A equação 2.33 modela o comportamento da resistência (resistor de *poly* com camada de alta resistividade) em temperatura [27] [28]. Inserindo as equações 2.32 e 2.33 na equação 2.31 obtém-se a equação 2.34. Esta é a equação que modela a variação da tensão  $V_{25}$  com a temperatura.

$$R(T) = R_0 + tcr (T - T_0) R_0 \quad (2.33)$$

$$V_{25}(T) = \frac{(\gamma-1)}{C_{ox} \left( \frac{W}{L} \right)_{MR25} \left[ \sqrt{\frac{2\lambda}{C_{ox} \left( \frac{W}{L} \right)_{MD24}}} \right] \left( \frac{1}{\sqrt{3}} \right) \left[ \mu_{0N} \left( \frac{T}{T_0} \right)^{-\mu T e} \right] \left[ R_{027} + tcr(T-T_0)R_{027} \right]} \quad (2.34)$$

Para a obtenção da equação 2.34 foi considerado que  $\mu_P$  possui a mesma lei de variação de  $\mu_N$ . Além disto, foi considerado que  $\mu_N$  é 3 vezes maior que  $\mu_P$ . Logo;

$$\frac{\mu_P(T)}{\mu_N(T)} = \frac{\mu_{0P} \left(\frac{T_0}{T}\right)^{\mu_{Te}}}{\mu_{0N} \left(\frac{T_0}{T}\right)^{\mu_{Te}}} = \frac{\mu_{0P}}{\mu_{0N}} = \frac{\mu_{0P}}{3\mu_{0P}} = \frac{1}{3}$$

Para facilitar a visualização, a equação 2.34 pode ser simplificada como apresentado na equação 2.35. Os coeficientes  $a$  e  $b$ , utilizados na equação 2.35, são calculados utilizando as expressões 2.36 e 2.37.

$$V_{25}(T) = \frac{b}{a [R_{0_{27}} + tcr (T - T_0) R_{0_{27}}] \left(\frac{T_0^{\mu_{Te}}}{T^{\mu_{Te}}}\right)} \quad (2.35)$$

Onde;

$$a = C_{ox} \left(\frac{W}{L}\right)_{MR25} \left[ \sqrt{\frac{2\lambda}{C_{ox} \left(\frac{W}{L}\right)_{MD24}}} \right] \left(\frac{1}{\sqrt{3}}\right) \mu_{0N} \quad (2.36)$$

$$b = (\gamma - 1) \quad (2.37)$$

O valor de  $\mu_{Te}$  (equação 2.35) pode variar de 1.5 a 2.42 [29] [12]. Logo, considerando  $\mu_{Te} = 2$  obtém-se a equação 2.38.

$$V_{25}(T) = \frac{b}{\frac{tcr R_{0_{27}} T_0^2}{T} + (a R_{0_{27}} T_0^2 - tcr R_{0_{27}} T_0^3) \frac{1}{T^2}} \quad (2.38)$$

Desta equação conclui-se que; para que a tensão V25 seja linear (esta condição é necessária para a obtenção da tensão de saída estável em temperatura) é necessário ajustar os parâmetros do circuito para “zerar” a parcela proporcional a  $T^2$ . Desta maneira, obtém a igualdade apresentada na equação 2.39.

$$a = tcr T_0 \quad (2.39)$$

Ajustando o circuito como apresentado na equação 2.39, obtém-se a equação 2.40. Logo, através da equação 2.40 é possível comprovar que V25 será PTAT e além disto, também é possível comprovar que, ajustando corretamente os parâmetros do circuito é possível obter uma tensão com uma variação “linear” em temperatura.

$$V_{25} = \frac{b}{tcr R_{0_{27}} T_0^2} T \quad (2.40)$$

### 2.4.2 Cálculo dos coeficientes do Gerador de Tensão PTAT

Para a obtenção do coeficiente  $\gamma$ , presente na equação 2.31, é utilizada a equação 2.41. Ela descreve a corrente no transistor MD30.

$$I_{MD30} = \frac{\left(\frac{W}{L}\right)_{MG30}}{\left(\frac{W}{L}\right)_{MD111}} I_{2Vth} \quad (2.41)$$

A equação 2.41 pode ser simplificada, como apresentado na equação 2.42.

$$I_{MD30} = \beta \mu_p Vth_P^2 \quad (2.42)$$

Onde:

$$\beta = \frac{\left(\frac{W}{L}\right)_{MG30}}{\left(\frac{W}{L}\right)_{MD111}} \left(\frac{W}{L}\right)_{MD111} \frac{C_{ox}}{2} \quad (2.43)$$

A corrente no transistor MD30 também pode ser dada pela equação 2.44.

$$I_{MD30} = \frac{\mu_P C_{ox}}{2} \left(\frac{W}{L}\right)_{MD30} (Vg_{sMD30} - Vth_P)^2 \quad (2.44)$$

Através da equação 2.44 é possível obter a equação 2.45.

$$Vg_{sMD30} = \sqrt{\frac{2I_{MD30}}{\mu_P C_{ox} \left(\frac{W}{L}\right)_{MD30}}} + Vth_P \quad (2.45)$$

Substituindo a equação 2.41 na equação 2.45 é possível obter a equação 2.46.

$$Vg_{sMD30} = \left( \sqrt{\frac{2\beta\mu_P}{\mu_P C_{ox} \left(\frac{W}{L}\right)_{MD30}}} \right) Vth_P + Vth_P \quad (2.46)$$

Após algumas simplificações na equação 2.46 é obtida a equação 2.47.

$$Vg_{sMD30} = Vth_P \left( 1 + \sqrt{\frac{2\beta}{C_{ox} \left(\frac{W}{L}\right)_{MD30}}} \right) \quad (2.47)$$

Logo, o coeficiente  $\gamma$  da equação 2.31, é dado pela equação 2.48.

$$\gamma = \left( 1 + \sqrt{2 \frac{\left(\frac{W}{L}\right)_{MG30}}{\left(\frac{W}{L}\right)_{MD111}} \left(\frac{W}{L}\right)_{MG111} \frac{C_{ox}}{2} \frac{1}{C_{ox} \left(\frac{W}{L}\right)_{MD30}}} \right) \quad (2.48)$$

Após algumas simplificações na equação 2.48 é possível obter a equação 2.49.

$$\gamma = \left( 1 + \sqrt{\frac{\left(\frac{W}{L}\right)_{MG30} \left(\frac{W}{L}\right)_{MG111}}{\left(\frac{W}{L}\right)_{MD111} \left(\frac{W}{L}\right)_{MD30}}}\right) \quad (2.49)$$

## 2.5 Amplificador Operacional

Na figura 2.7 está apresentado o esquemático do amplificador operacional utilizado. Na equação 2.50 é apresentada a equação do ganho deste circuito. Como pode ser observado nas figuras 2.1 e 2.2, a polarização deste circuito (pino “bias”) é fornecida pelo bloco Extrator de Vth.

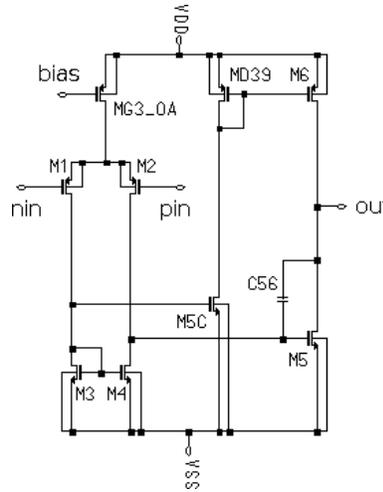


Fig. 2.7: Amplificador Operacional.

$$A_v = [g_{m1} (rd_2 // rd_4)] [g_{m5} (rd_5 // rd_6)] \quad (2.50)$$

Considerando:

$$\left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M2} \quad (2.51)$$

$$\left(\frac{W}{L}\right)_{M3} = \left(\frac{W}{L}\right)_{M4} \quad (2.52)$$

$$\left(\frac{W}{L}\right)_{M3} = \left(\frac{W}{L}\right)_{M5C} \quad (2.53)$$

$$\left(\frac{W}{L}\right)_{M5C} = \left(\frac{W}{L}\right)_{MD39} \quad (2.54)$$

$$\left(\frac{W}{L}\right)_{M6} = 4 \left(\frac{W}{L}\right)_{MD39} \quad (2.55)$$

$$\left(\frac{W}{L}\right)_{M5} = \left(\frac{W}{L}\right)_{M4} \quad (2.56)$$

## 2.6 Equação de Projeto da Referência de Tensão Proposta

Observando a porção do esquemático da referência de tensão apresentada na figura 2.8 é possível extrair as equações 2.57 e 2.58.

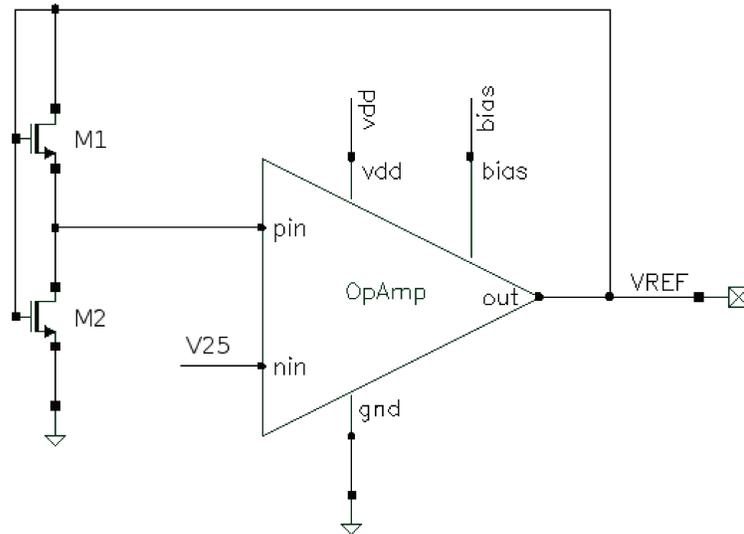


Fig. 2.8: Nó V25 e Amplificador operacional.

$$V_{25} + V_{gsMR2} = V_{ref} \quad (2.57)$$

$$V_{ref} = V_{25} + V_{gsMR2} \quad (2.58)$$

Considerando que o transistor MR2 esteja na região de saturação é possível extrair a equação da tensão  $V_{gsMR2}$ . Deste modo é possível obter a equação 2.59. Nesta equação foi desprezado o efeito de corpo nos transistores.

$$V_{ref} = V_{25} + \sqrt{\frac{2I_{MR2}}{\mu_N C_{ox} \left(\frac{W}{L}\right)_{MR2}}} + V_{thN} \quad (2.59)$$

A corrente  $I_{MR2}$  é encontrada a partir do transistor MR1 e considerando que ele esteja na linear, como apresentado na equação 2.60.

$$I_{MR2} = I_{MR1} = \mu_N C_{ox} \left( \frac{W}{L} \right)_{MR1} (V_{ref} - V_{th_N}) V_{25} \quad (2.60)$$

Substituindo a equação 2.60 em 2.59 o resultado é apresentado na equação 2.61.

$$V_{ref} = V_{25} + \sqrt{\frac{2\mu_N C_{ox} \left( \frac{W}{L} \right)_{MR1} (V_{ref} - V_{th_N}) V_{25}}{\mu C_{ox} \left( \frac{W}{L} \right)_{MR2}}} + V_{th_N} \quad (2.61)$$

Após algumas simplificações na equação 2.61 obtém-se a equação 2.62.

$$V_{ref} = V_{25} + \sqrt{\frac{2 \left( \frac{W}{L} \right)_{MR1} (V_{ref} - V_{th_N}) V_{25}}{\left( \frac{W}{L} \right)_{MR2}}} + V_{th_N} \quad (2.62)$$

Considerando  $V_{ref}$  aproximadamente igual a 1V,  $V_{th}$  igual 0.8V e  $V_{25}$  da ordem de 200mV, a parcela  $\sqrt{\frac{2 \left( \frac{W}{L} \right)_{MR1} (V_{ref} - V_{th_N}) V_{25}}{\left( \frac{W}{L} \right)_{MR2}}}$  pode ser desprezada <sup>1</sup>. Desta forma, é possível obter a equação da tensão de saída. Ela está apresentada na equação 2.63.

$$V_{ref} = V_{th_N} + V_{25} \quad (2.63)$$

A variação da tensão de limiar com a temperatura pode ser expressa como apresentado na equação 2.64 [27]. Através dela é possível observar que a tensão de limiar diminui com o aumento da temperatura. Desta forma, analisando a equação 2.64 (e com base na equação 2.63), verifica-se que é possível obter uma tensão de saída estável em temperatura ajustando os parâmetros do circuito.

$$V_{th}(T) = V_{th_0} - \alpha (T - T_0) \quad (2.64)$$

Para que a tensão de saída seja estável em temperatura é necessário que sua derivada seja igual a 0 (como apresentado na equação 2.65).

$$\frac{dV_{ref}}{dT} = \frac{dV_{25}}{dT} + \frac{d(V_{th_N})}{dT} = 0 \quad (2.65)$$

Na equação 2.66 é apresentada a equação da tensão de saída em função da temperatura.

$$V_{ref} = \frac{b}{tcr R_{027} T_0^2} T + V_{th_{0N}} - \alpha (T - T_0) \quad (2.66)$$

<sup>1</sup>Esta simplificação foi realizada para facilitar o equacionamento e a visualização do comportamento do circuito. Contudo, foi verificado em simulação que a parcela desprezada tem influência sobre o comportamento do circuito. Logo, foi necessário um ajuste fino do circuito utilizando o simulador.

Derivando a equação 2.66 obtém-se a equação 2.67. Igualando está equação a 0, obtém-se a equação 2.68. O parâmetro  $\alpha$  é a taxa de variação de  $V_{th}$  em temperatura. Seu valor é aproximadamente  $2mV/^{\circ}C$ .

Portanto, como mencionado anteriormente, ajustando os parâmetros do circuito de maneira a respeitar a equação 2.68 obtém-se uma tensão de saída estável em temperatura.

$$\frac{dV_{ref}}{dT} = \frac{b}{tcr R_{027} T_0^2} - \alpha \quad (2.67)$$

$$\frac{b}{tcr R_{027} T_0^2} = \alpha \quad (2.68)$$

## 2.7 Correção de Curvatura

Na figura 2.9 é apresentada uma técnica para correção de curvatura onde é utilizada uma dedução de correntes de duas referências do tipo *bandgaps* diferentes [30]. Nesta técnica é assumido que a característica em temperatura de dois tipos de transistores bipolares diferentes são exatamente iguais. Logo, a compensação é realizada apenas no ponto  $T_0$  e a corrente  $I_{out}$  possuirá um perfil parabólico, como o apresentado na figura 2.9.

A técnica utilizada neste trabalho é baseada na equação 2.58. Logo, para a obtenção de uma tensão estável em temperatura é necessário que a derivada desta equação seja igual a 0 (como apresentado na equação 2.69). Contudo, diferente da técnica apresentada anteriormente, a compensação é realizada em mais de uma temperatura, como apresentado na figura 2.10. No capítulo 3 serão apresentados mais detalhes e simulações da técnica utilizada.

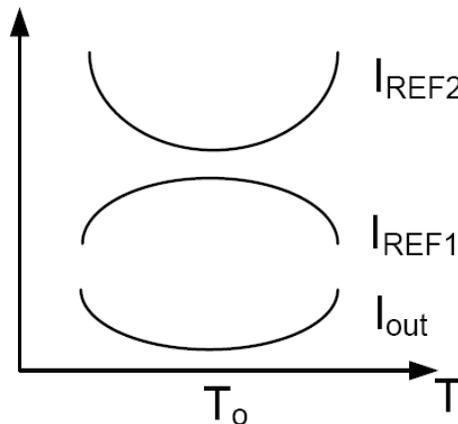


Fig. 2.9: Tensão de referência com correção de curvatura no ponto  $T_0$ .

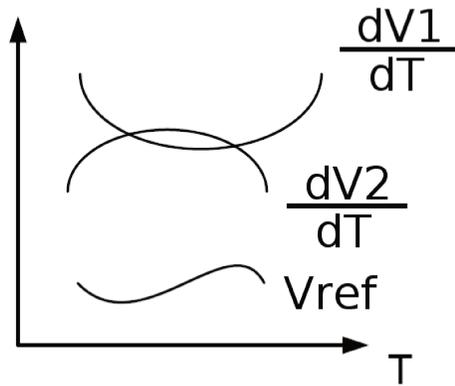


Fig. 2.10: Tensão de referência com correção de curvatura.

$$\frac{dV_{ref}}{dT} = \frac{dV_{25}}{dT} + \frac{d(V_{gsMR2})}{dT} = 0 \quad (2.69)$$

## 2.8 Circuitos para Ajuste (*Trimmer*)

Na figura 2.11 é apresentado o circuito de *trimmer* utilizado. Ele foi inserido no bloco Gerador de Tensão PTAT.

No circuito da figura 2.11 é possível aumentar ou diminuir a corrente  $I_{out}$  conectando o terminal  $MT1\_D$  em  $MG30\_D$  ou em  $MD111\_D$ , respectivamente.

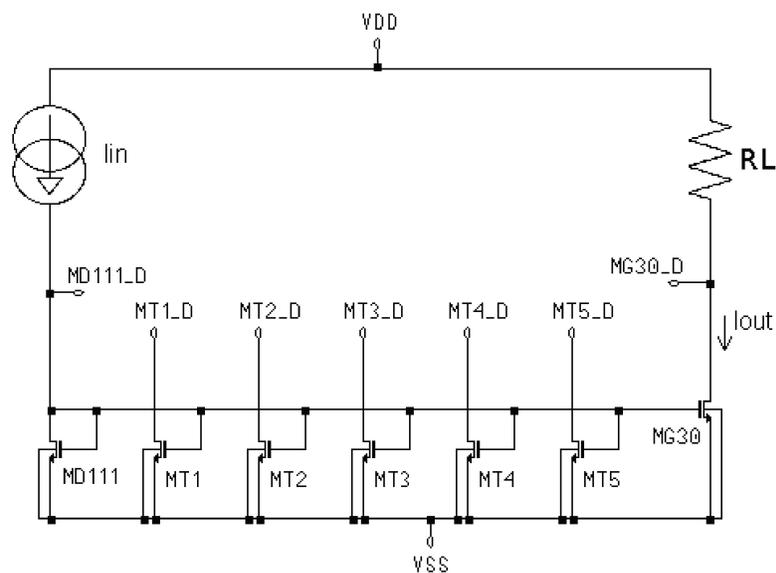


Fig. 2.11: Circuito de Ajuste (*Trimmer*).

Logo, caso os *trimmers* não sejam utilizados:

$$I_{out} = \frac{\left(\frac{W}{L}\right)_{MG30}}{\left(\frac{W}{L}\right)_{MD111}} I_{in} \quad (2.70)$$

Conectando MT1\_D em MG30\_D e considerando que os transistores MT1 e MG30 possuem o mesmo  $L$ :

$$I_{out} = \frac{\left(\frac{W_{MG30} + W_{MT1}}{L}\right)}{\left(\frac{W}{L}\right)_{MD111}} I_{in} \quad (2.71)$$

Conectando MT1\_D em MD111\_D e considerando que os transistores MT1 e MD111 possuem o mesmo  $L$ :

$$I_{out} = \frac{\left(\frac{W}{L}\right)_{MG30}}{\left(\frac{W_{MD111} + W_{MT1}}{L}\right)} I_{in} \quad (2.72)$$

O mesmo ocorre ao utilizar os terminais MT2\_D, MT3\_D, MT4\_D e MT5\_D. Utilizando esta técnica é possível ajustar a inclinação da curva de tensão no nó V25 (figura 2.1). MT1, MT2, MT3, MT4 e MT5 foram projetados de forma a produzir diferentes inclinações em V25 e eles podem ser utilizados em paralelo, produzindo ainda mais combinações.

Na figura 2.12 é apresentado um esquemático do Gerador de Tensão PTAT contendo os dispositivos de ajuste. Na figura 2.13 é apresentado um esquemático do Extrator de  $V_{th}$  contendo uma estratégia de *trimmers* semelhante. No circuito da figura 2.13 o pino “in\_start” foi substituído pelo pino “MG309\_D”.

No circuito integrado fabricado, o critério utilizado para a escolha das dimensões dos *trimmers* foi puramente empírico, baseado em testes realizados em simulação. Contudo, no capítulo 7 serão apresentadas metodologias mais rigorosas para o projeto destas estruturas.

A quantidade de *trimmers* utilizada nos circuitos deve-se ao intuito de se investigar em detalhes o conceito e a topologia proposta. Contudo, para aplicações comerciais não seria necessário esta quantidade excessiva de *trimmers*. No capítulo 7 também será apresentada uma metodologia para minimizar a quantidade de *trimmers* através da utilização de “passos binários”.

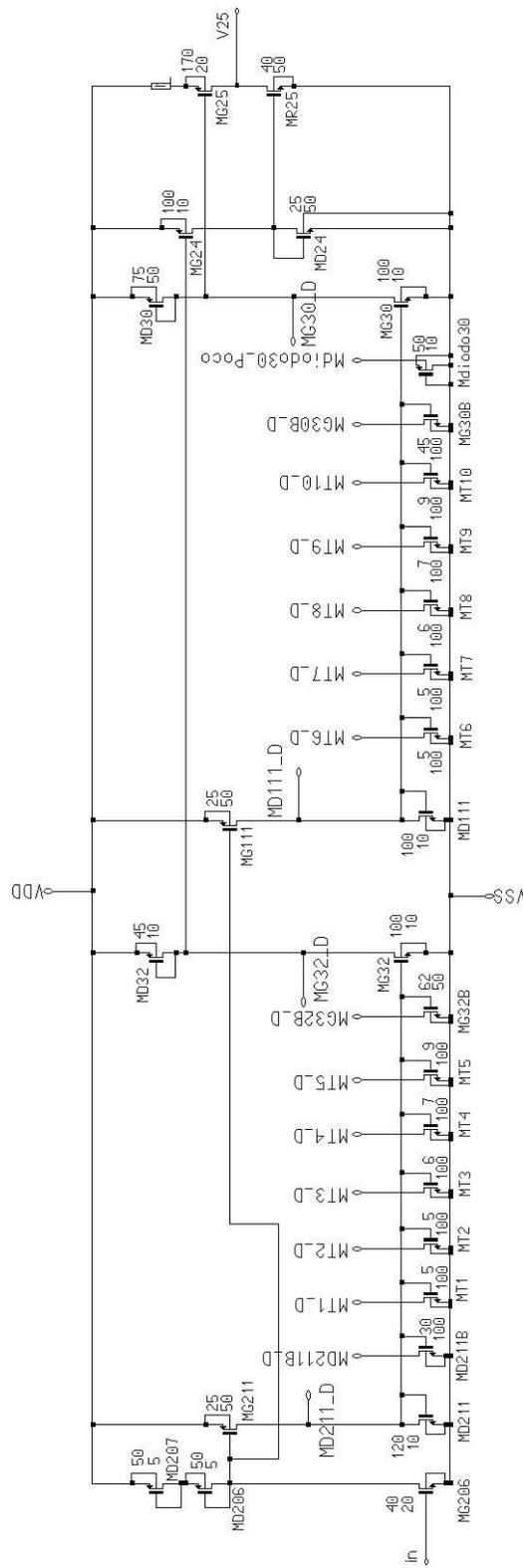


Fig. 2.12: Gerador de tensão PTAT com circuitos de trimmer.

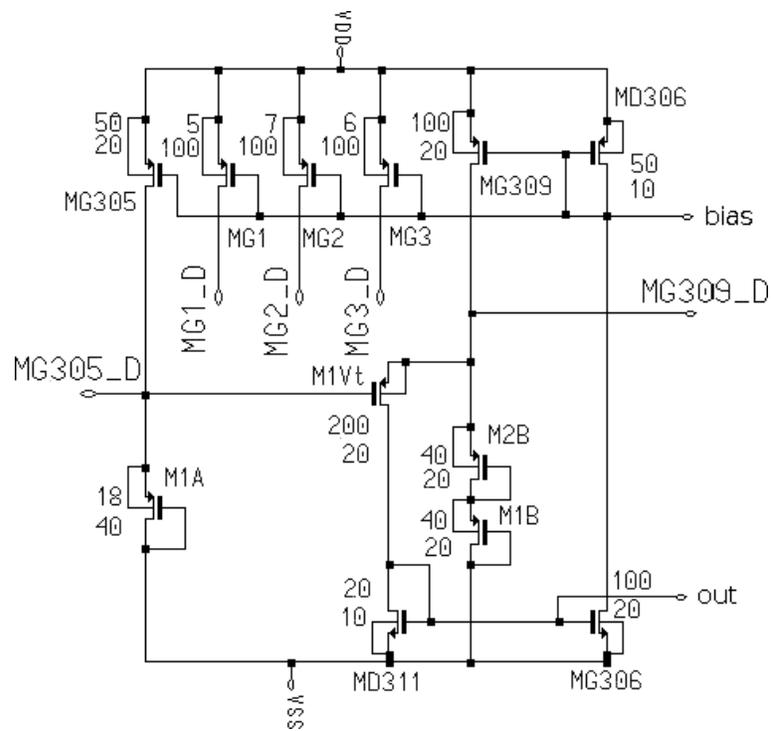


Fig. 2.13: Extrator de  $V_{th}$  com circuitos de *trimmer*.

# Capítulo 3

## Resultados de Simulação

Neste capítulo serão apresentados os resultados de simulação obtidos em dois circuitos projetados. O circuito Ceinv 66 (apresentado na seção 3.2) é a principal configuração estudada. O circuito Ceinv 35 (seção 3.1) é uma versão intermediária, projetada para validar características específicas da referência de tensão.

### 3.1 Ceinv 35

O circuito utilizado na simulação está apresentado na figura 3.1. Na figura 3.2 é apresentado o esquemático do bloco “*trimmers*”. Pode ser visualizado (através da figura 3.1) que o circuito Ceinv35 está dividido em três blocos básicos:

1. Circuito extrator de  $V_{th}$
2. Circuito de *Start-up*
3. Bloco de *trimmer*

Neste circuito o Extrator de  $V_{th}$  exerce o papel mais importante. Seu esquemático está apresentado na figura 2.13. Utilizando o bloco “*trimmers*” e suas estruturas de ajuste é possível fazer com que o circuito se comporte tanto como um sensor de temperatura, como uma fonte de referência. Em seu funcionamento como sensor de temperatura é explorado o fato de que a tensão  $V_{th}$  apresenta um comportamento quase linear com a temperatura. Desta forma, utilizando as estruturas de *trimmer*, é possível obter diferentes “coeficientes de variação” (expressos em  $V/^\circ C$ ).





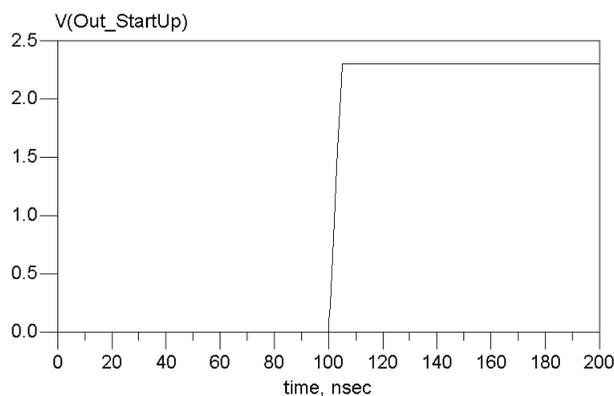


Fig. 3.3: Estímulo utilizado no circuito de *Start-Up*

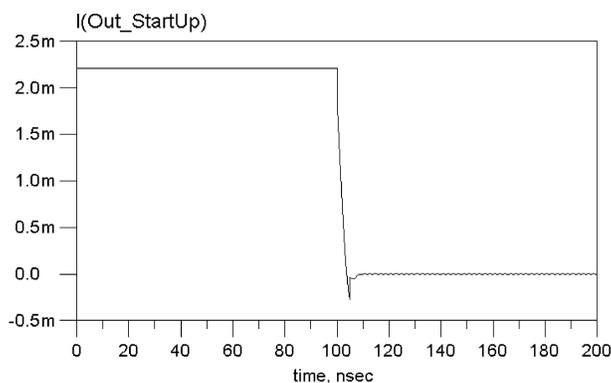


Fig. 3.4: Saída do circuito de *Start-Up*

### 3.1.2 Referência de Tensão / Sensor de Temperatura

Inicialmente foi averiguado o funcionamento do circuito como referência de tensão. Na figura 3.5 está apresentado o testbench utilizado para a simulação. Podem ser visualizadas todas as fontes e ligações realizadas no circuito.

A disposição apresentada no *testbench* do circuito da figura 3.5 foi a que apresentou melhores resultados, isto é, menor variação da tensão de referência, expressa em “*ppm/°C*”. O resultado da simulação deste circuito está apresentado na figura 3.6. Pôde-se verificar que de  $-30^{\circ}C$  a  $120^{\circ}C$  foi apresentada uma variação de  $781 \mu V$  na tensão de saída. Logo, a variação em *ppm/°C* foi de:

$$\frac{\frac{781}{1.281}}{120 + 30} = 4.06 ppm/^{\circ}C$$

Em seguida foi averiguado o funcionamento do circuito como sensor de temperatura. Na figura 3.7 está apresentado o resultado de simulação. Observando a curva é possível constatar que o circuito apresentou um coeficiente de temperatura igual a  $1.1 mV/^{\circ}C$ .

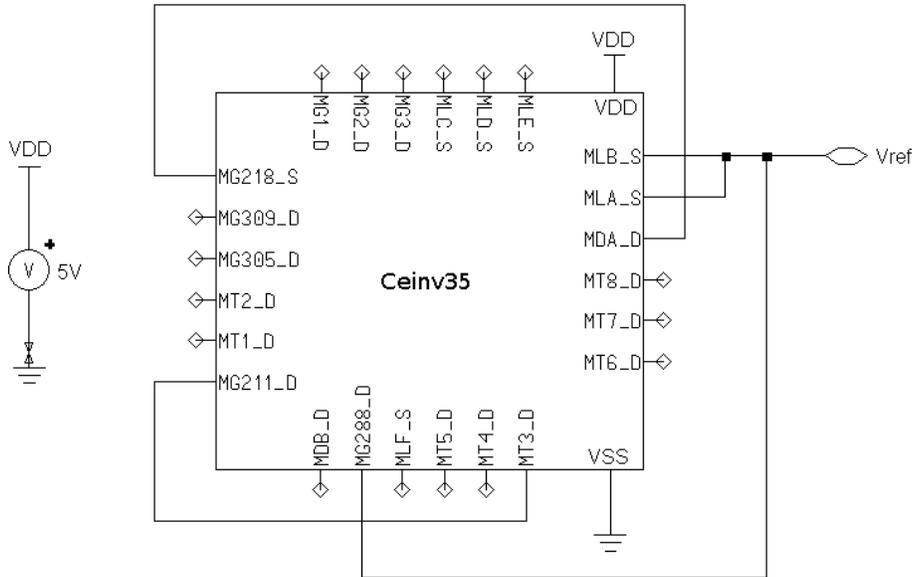


Fig. 3.5: Testbench utilizado na simulação.

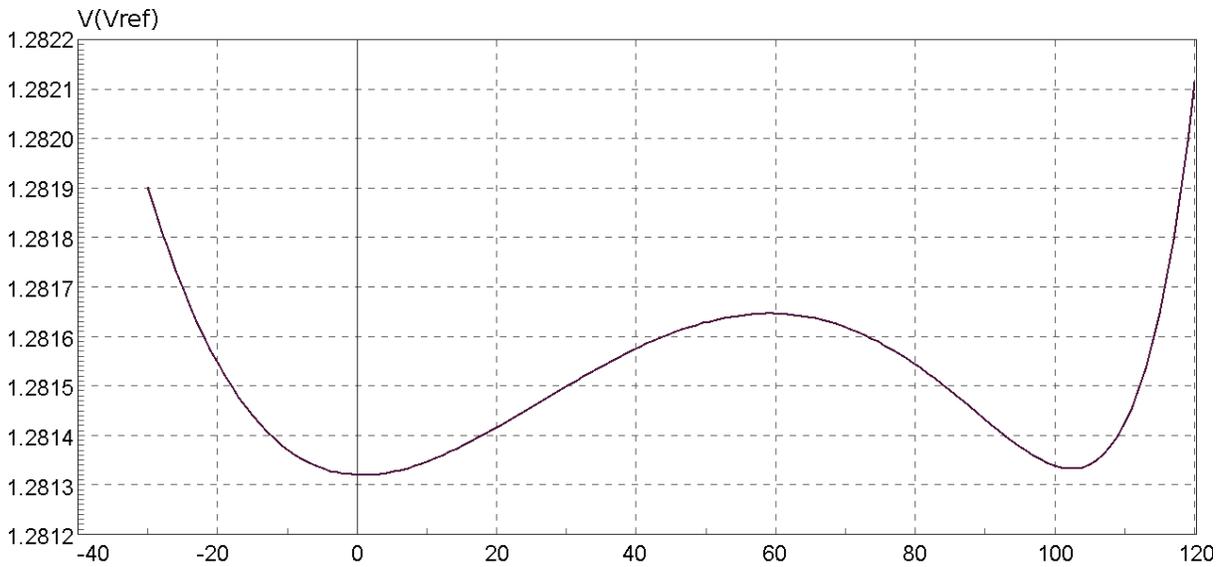


Fig. 3.6: Simulação do testbench da figura 3.5

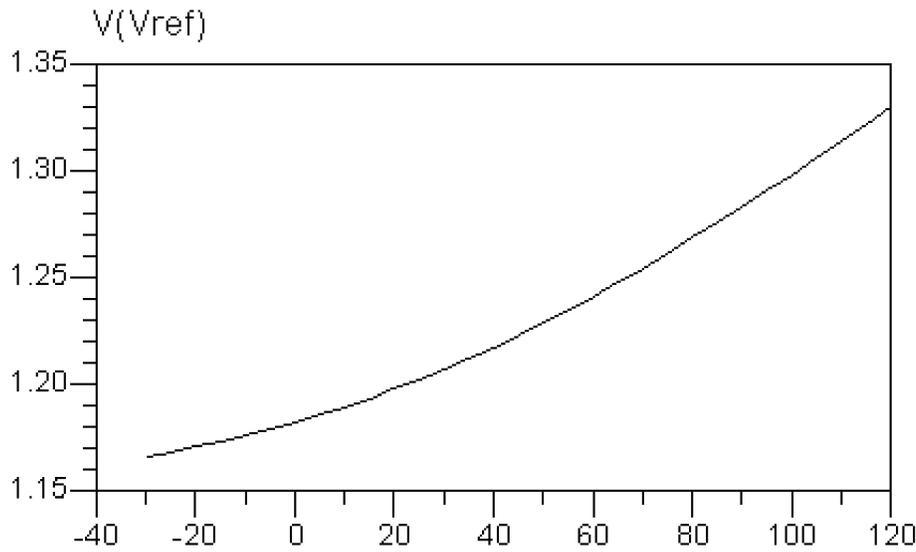


Fig. 3.7: Ceinv 35 como sensor de temperatura. Vref (V) x temperatura ( $^{\circ}C$ ).

## 3.2 Ceinv 66

O circuito utilizado na simulação está apresentado na figura 3.8. Na figura 3.9 está apresentado o *testbench* utilizado para a simulação. No bloco que representa a fonte de tensão Ceinv66 é possível visualizar todos os pinos dos dispositivos de *trimmer*.

A disposição apresentada no *testbench* da figura 3.9 foi a que apresentou melhores resultados, isto é, menor variação da tensão de referência, expressa em “*ppm/°C*”.

A referência de tensão apresentada é baseada na somatória de duas tensões; uma com coeficiente negativo e outra com coeficiente positivo em relação a temperatura. A primeira tensão pode ser observada na figura 3.10. Já a segunda pode ser observada na figura 3.11.

A tensão apresentada na figura 3.10 foi obtida aferindo-se a diferença das tensões nos terminais MG309\_D e MG305\_D. Estes dois pinos são saídas do bloco “Extrator de Vth” (figura 2.13). Logo, a diferença das tensões nestes dois pinos deve ser igual a Vth (como apresentado no capítulo 2). Desta maneira, é possível averiguar a dependência da tensão Vth com a temperatura. Pode ser observado que ela decai com uma taxa de  $2mV/^{\circ}C$ .

A curva apresentada figura 3.11 foi extraída do pino M2\_G. Esta é a tensão de saída do Gerador de Tensão PTAT (bloco “PTAT\_Volt\_Trimmers” no esquemático da figura 3.8).

Na figura 3.12 está apresentado o sinal de saída do circuito. Pode-se verificar que de  $-30^{\circ}C$  a  $120^{\circ}C$  foi apresentada uma variação de  $514 \mu V$  na tensão de saída. Logo, a variação em *ppm/°C* foi de:

$$\frac{\frac{514}{1.093}}{120 + 30} = 3.14ppm/^{\circ}C$$



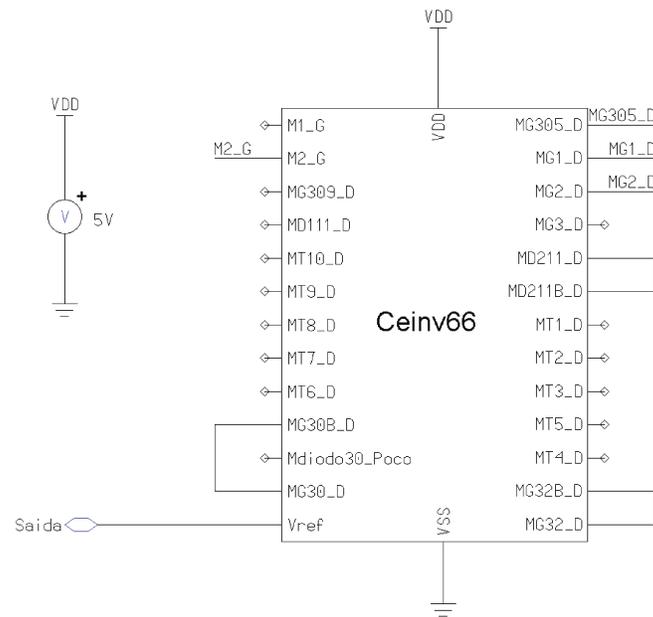


Fig. 3.9: Testbench utilizado na simulação.

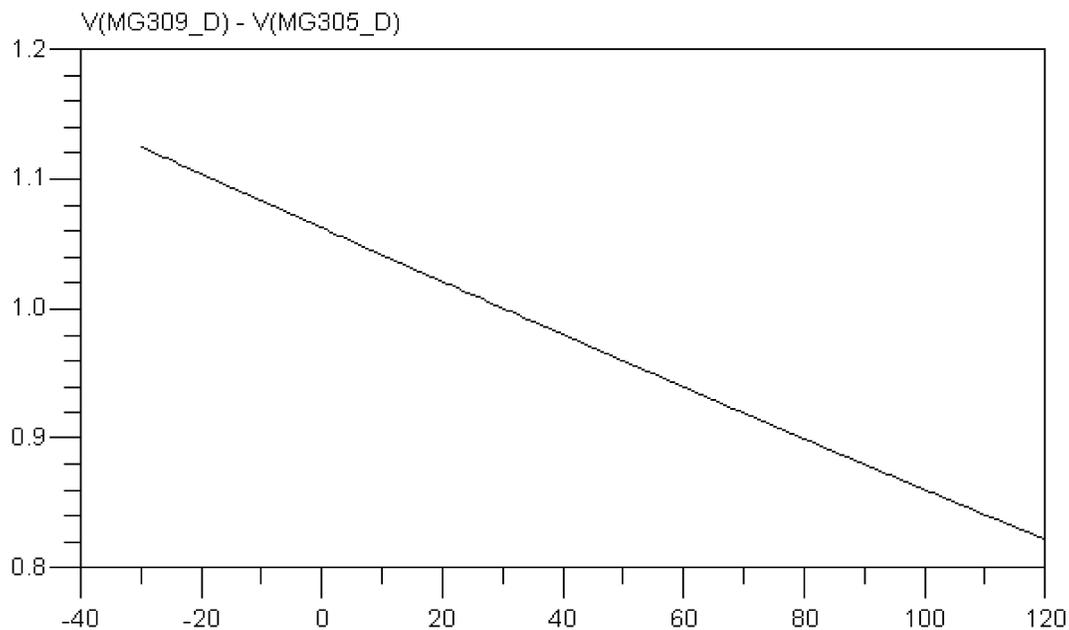


Fig. 3.10: Vth x Temperatura.

Na figura 3.13 é apresentada uma simulação do PSRR (*Power Supply Rejection Ratio*) do circuito Ceinv66. Ele apresentou uma rejeição de fonte igual a -75dB para a frequência de 100Hz, -62dB para a frequência de 10KHz e -45dB para a frequência de 100KHz.

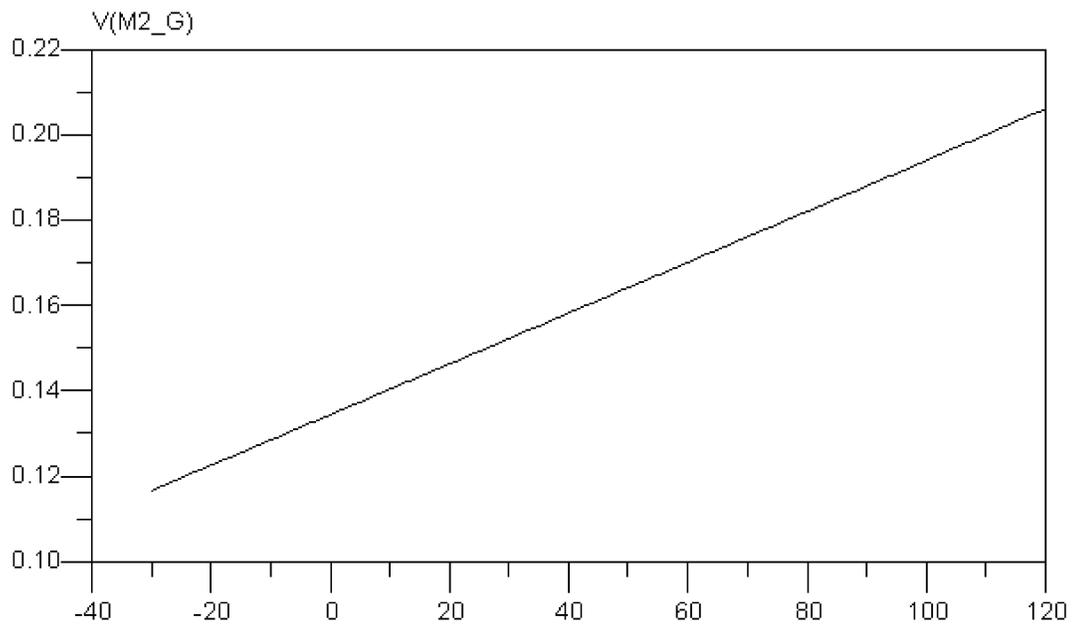
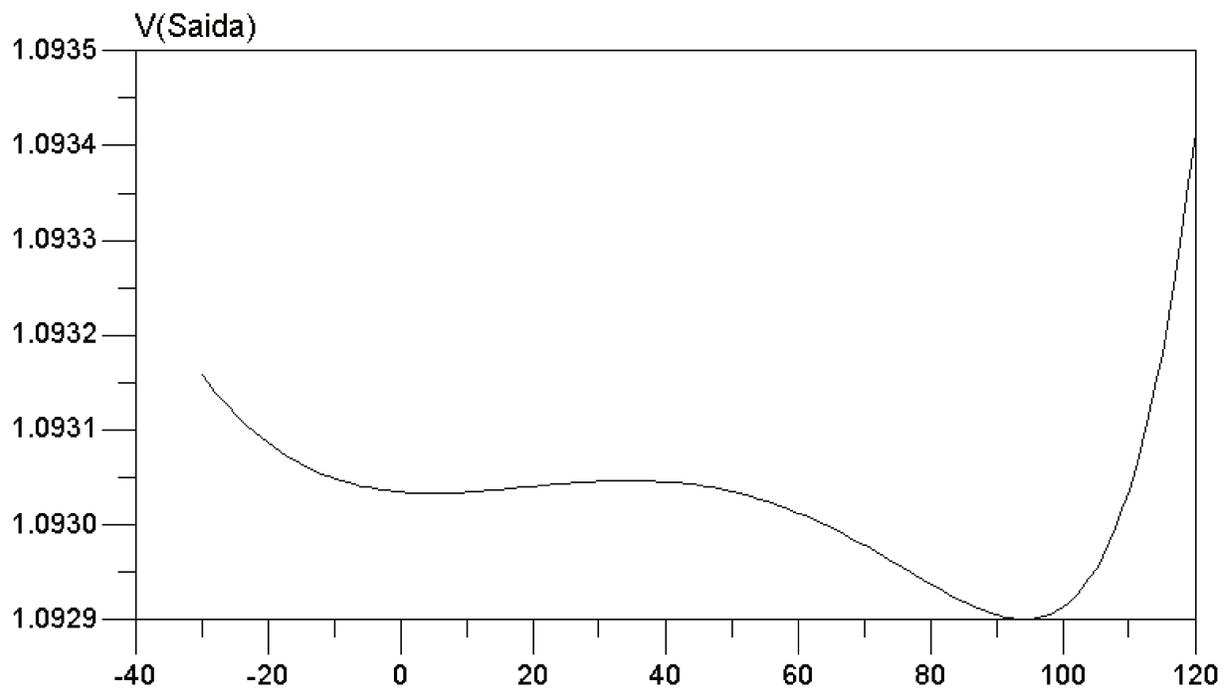


Fig. 3.11: Coeficiente positivo com relação a temperatura.

Fig. 3.12: Simulação do *textbench* da figura 3.9

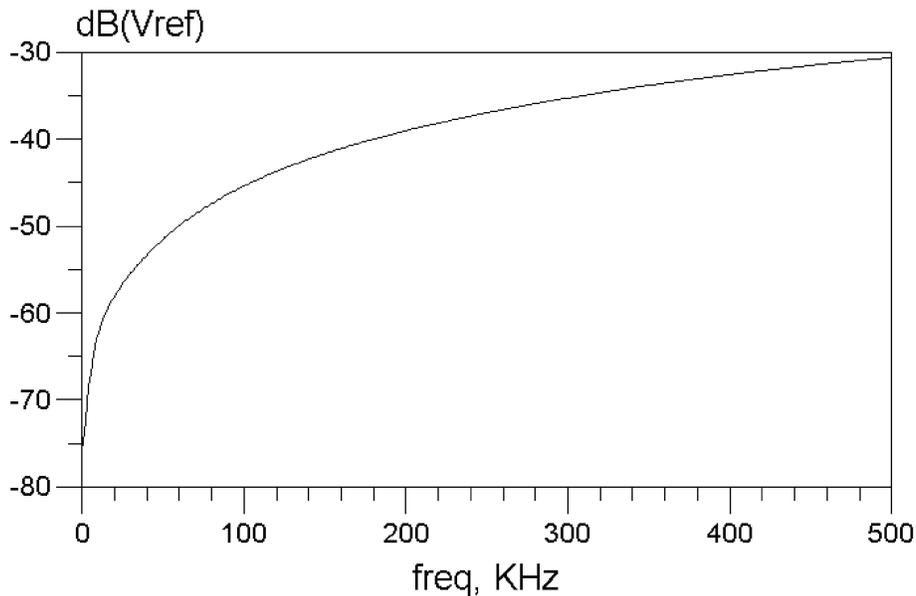
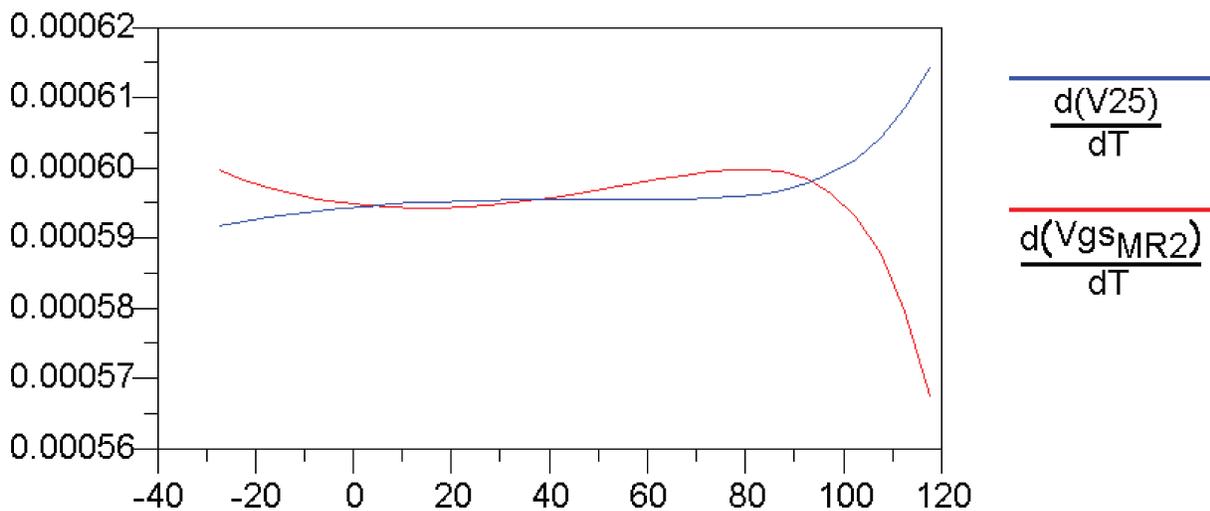


Fig. 3.13: Simulação do PSRR do circuito Ceinv66

### 3.2.1 Correção de Curvatura

Na figura 3.14 é apresentada a simulação das derivadas das tensões  $V_{25}$  e  $V_{gs_{MR2}}$ . É possível observar que as duas curvas se intercedem em 3 pontos diferentes;  $3.5^{\circ}C$ ,  $37.5^{\circ}C$  e  $93.5^{\circ}C$ . Logo, a situação de derivada igual a 0 é obtida nestas 3 temperaturas, como pode ser comprovado através da simulação da tensão de saída, apresentada figura 3.12. Desta maneira foi possível constatar o cumprimento da condição imposta pela equação 2.69, necessária para a obtenção de uma tensão de saída com correção de curvatura.

Fig. 3.14: Simulação das derivadas das tensões  $V_{25}$  e  $V_{gs_{MR2}}$

# Capítulo 4

## *Layout*

Após a validação dos circuitos através de simulação foi iniciado o processo de *layout*. Foi utilizada a tecnologia  $0.35\mu m$ , 4 níveis de metal e dois níveis de *poly* da AMS. Foram utilizados resistores do tipo RpolyH e capacitores do tipo Cpoly. Os transistores são de óxido espesso, permitindo a utilização de uma tensão de alimentação com até 5V.

### 4.1 Ceinv 35

O *layout* deste circuito está apresentado na figura 4.1. Ele consumiu uma área de  $0.65\text{ mm}^2$ , considerando a área ocupada pelos *pads*. Desconsiderando a área ocupada pelos *pads*, o circuito ocupou  $0.17\text{ mm}^2$ . Esta versão apresentou uma área reduzida, com relação às demais, por não apresentar em seu circuito um amplificador operacional.

### 4.2 Ceinv 66

O *layout* deste circuito está apresentado na figura 4.2. Ele consumiu uma área de  $0.74\text{ mm}^2$ , considerando a área ocupada pelos *pads*. Desconsiderando a área ocupada pelos *pads*, o circuito ocupou  $0.27\text{ mm}^2$ . Pode ser visualizada a presença de transistores interdigitais em alguns pontos do circuito. Sua utilização foi justificada pela economia de área no *layout*.

Todos os transistores tipo P, que compartilhavam o mesmo potencial de poço, foram agrupados no mesmo poço. Foi utilizado um anel de guarda para os transistores tipo N para reforçar o contato com o substrato.

A camada de *poly* (em amarelo) que circunda o circuito foi acrescentada para que fosse respeitada a especificação de densidade mínima de *poly* necessária.

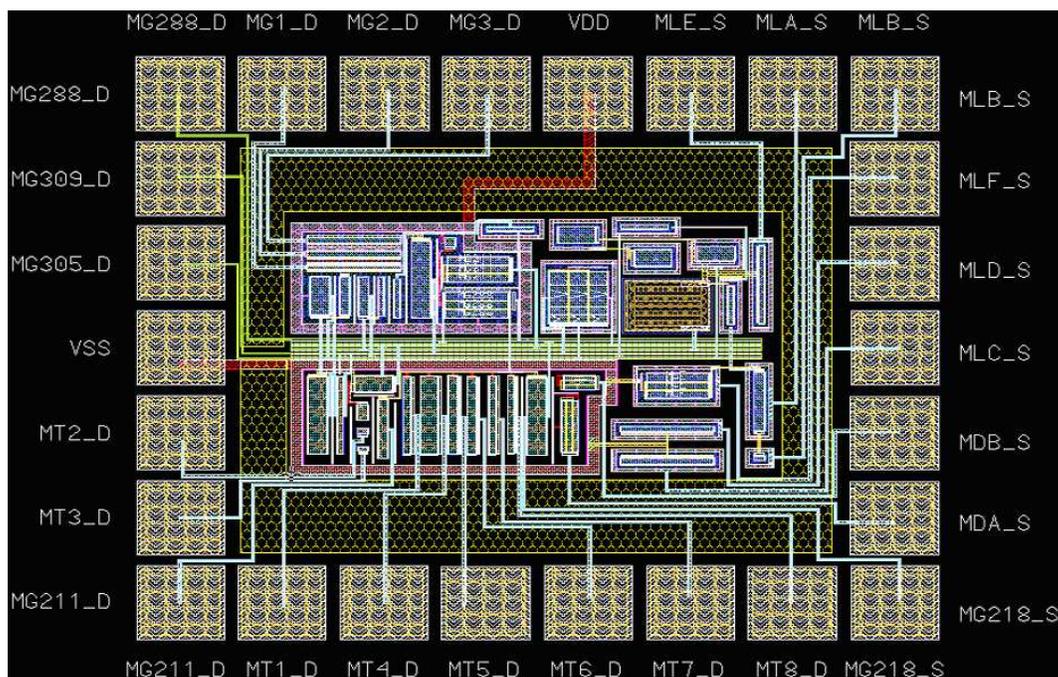


Fig. 4.1: Layout do circuito ceinv 35 ( $865\mu\text{m} \times 755\mu\text{m}$ ).

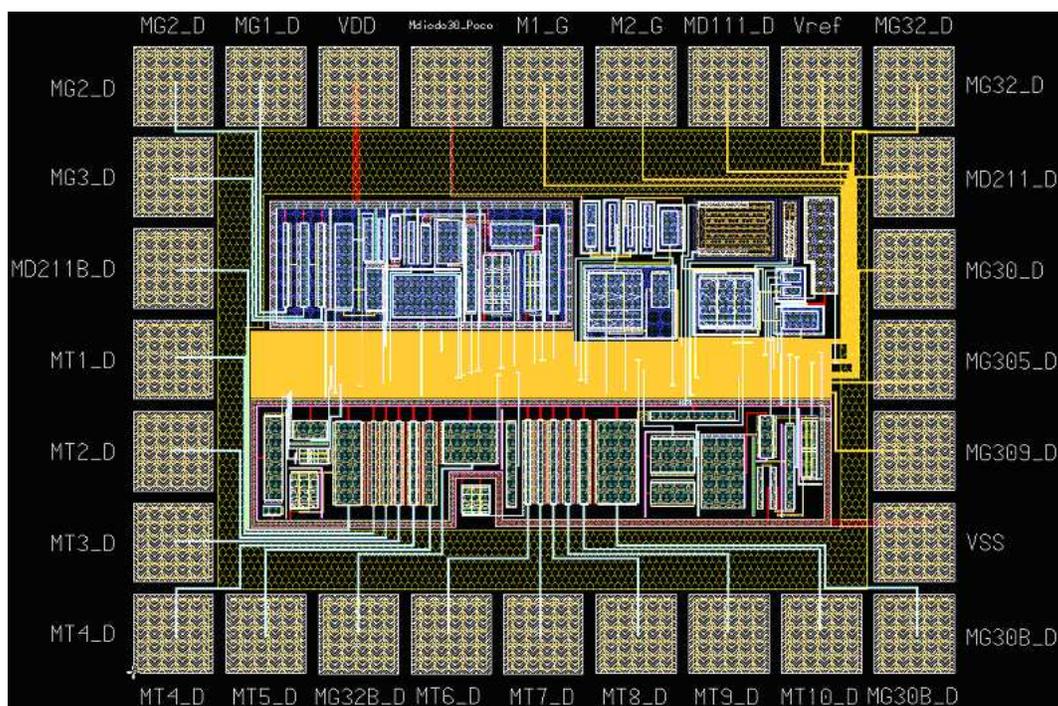


Fig. 4.2: Layout do circuito ceinv 66 ( $975\mu\text{m} \times 755\mu\text{m}$ ).

# Capítulo 5

## Extração de parasitários

Após o *layout* dos circuitos foi averiguada a influência de dispositivos parasitas. Por se tratarem de circuitos puramente analógicos e de baixo consumo de potência, era esperado que estes parasitários não influenciassem expressivamente no funcionamento. Este foi o resultado encontrado.

### 5.1 Ceinv 35

O resultado da extração de parasitários está apresentado na figura 5.1. Nota-se, portanto, a necessidade de um novo ajuste no circuito.

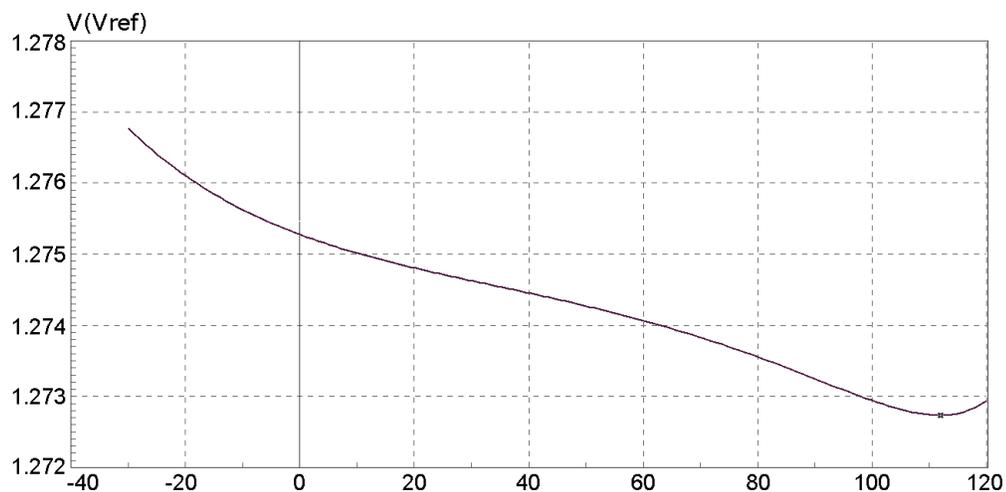


Fig. 5.1: Simulação do circuito extraído.

Utilizando os dispositivos de *trimmer*, o *testbench* foi re-configurado e a simulação refeita. O resultado está apresentado na figura 5.2.

Na figura 5.3 está apresentado o *testbench* utilizado nesta simulação, contendo a combinação de *trimmers* necessária para a obtenção do resultado apresentado na figura 5.2.

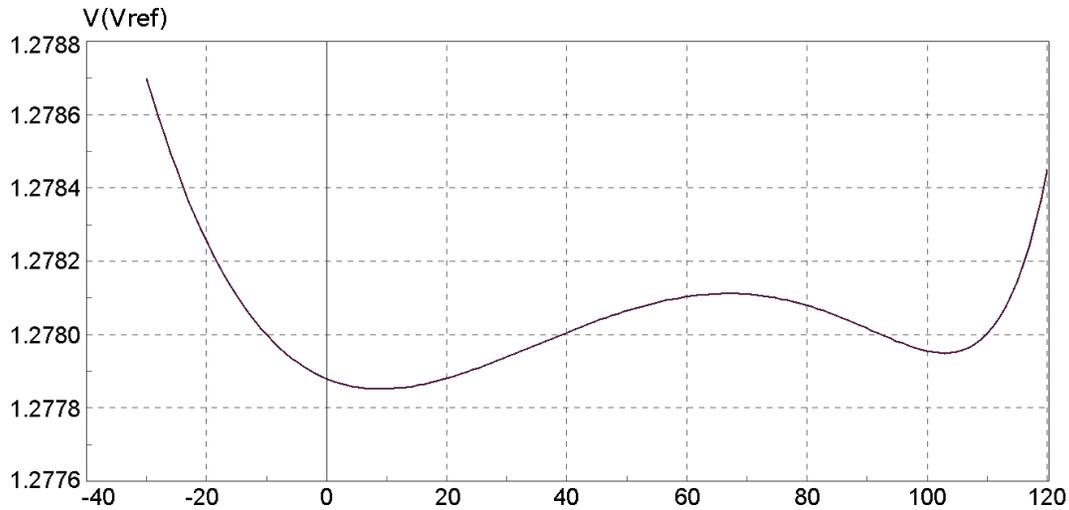


Fig. 5.2: Simulação do circuito extraído após modificações nos *trimmers*.

Pode-se verificar que de  $-30^{\circ}C$  a  $120^{\circ}C$  foi apresentada uma variação de  $793 \mu V$  na tensão de saída. Logo, a variação em  $ppm/^{\circ}C$  foi de:

$$\frac{\frac{793}{1.281}}{120 + 30} = 4.17 ppm/^{\circ}C$$

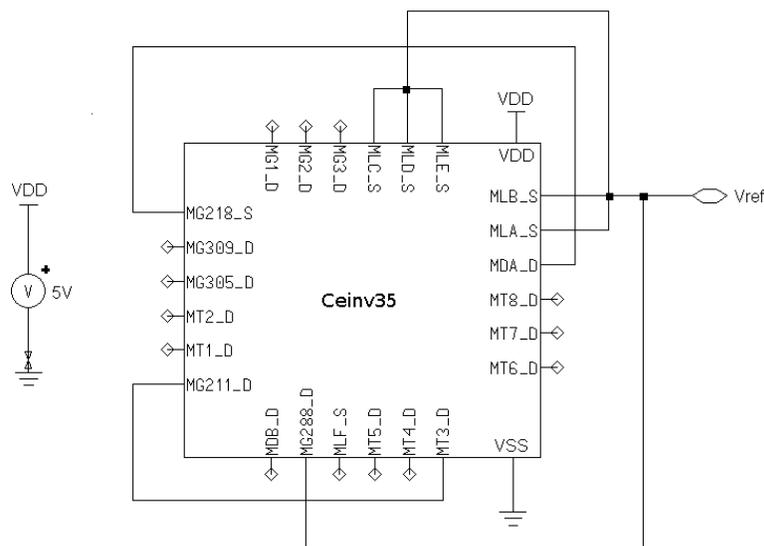


Fig. 5.3: *Testbench* utilizado na extração de parasitários.

No funcionamento do circuito como sensor de temperatura os parasitários não influenciaram expressivamente.

## 5.2 Ceinv 66

O resultado da extração de parasitários esta apresentado na figura 5.4. Utilizando os dispositivos de *trimmer*, o *testbench* foi re-configurado e a simulação refeita. O resultado está apresentado na figura 5.5.



Fig. 5.4: Simulação do circuito extraído.

Na figura 5.6 está apresentado o *testbench* utilizado nesta simulação, contendo a combinação de *trimmers* necessária para a obtenção do resultado apresentado na figura 5.5. Pode-se verificar que de  $-30^{\circ}C$  a  $120^{\circ}C$  foi apresentada uma variação de  $215 \mu V$  na tensão de saída. Logo, a variação em  $ppm/^{\circ}C$  foi de:

$$\frac{\frac{215}{1.093}}{120 + 30} = 1.31ppm/^{\circ}C$$

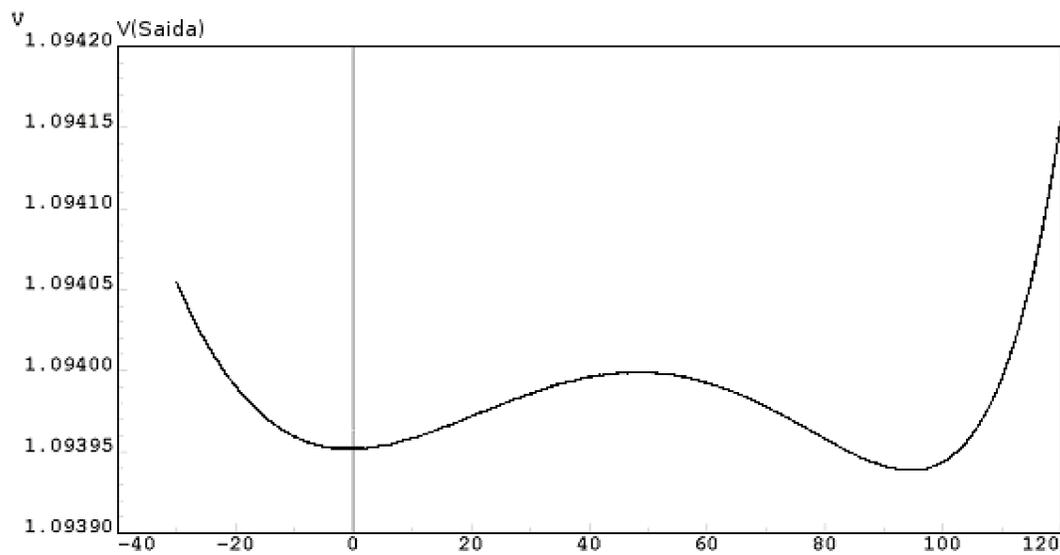


Fig. 5.5: Simulação do circuito extraído após modificações nos *trimmers*.

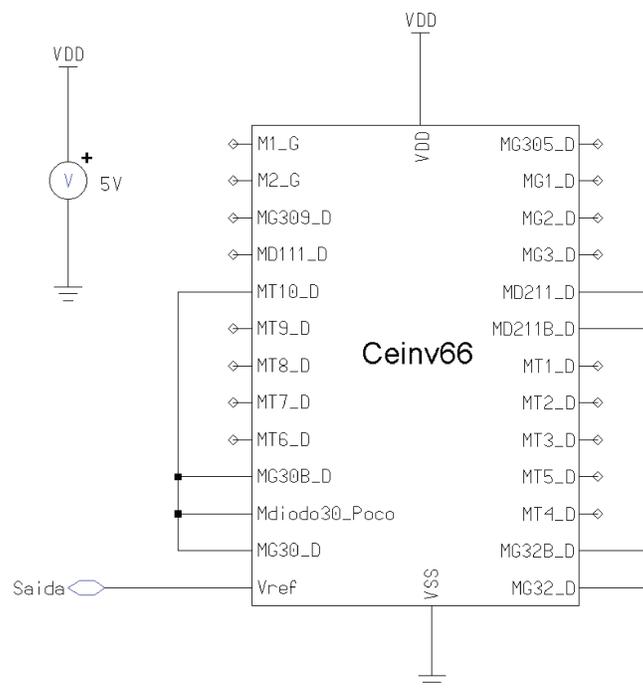


Fig. 5.6: *Testbench* utilizado na extração de parasitários.

# Capítulo 6

## Resultados Experimentais

Inicialmente, os testes foram realizados utilizando apenas 3 valores de temperatura;  $40^{\circ}C$ ,  $80^{\circ}C$  e  $120^{\circ}C$ . O objetivo era ajustar o circuito (utilizando os circuitos de *trimmer*) buscando um ponto ótimo de funcionamento. Para estas medidas foi utilizada a câmara térmica ABMTM que fornece apenas temperaturas positivas.

Após a realização destes testes iniciais, foi utilizada a câmara VOSTSCH que permite variações de temperatura na escala desejada ( $-30^{\circ}C$  a  $120^{\circ}C$ ).

### 6.1 Ceinv 66

Uma foto do chip, contendo sua pinagem, está apresentada na figura 6.1. O esquemático do circuito está apresentado na figura 6.2. Nas figuras 6.3 a 6.5 estão apresentadas fotos de microscópio do *layout* do circuito.

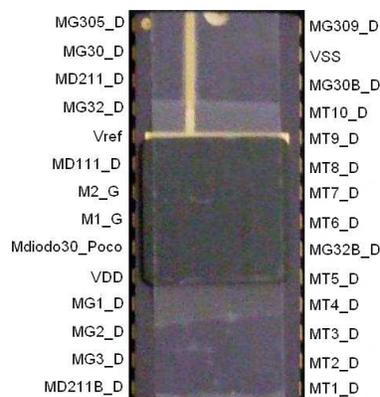


Fig. 6.1: Encapsulamento utilizado no circuito Ceinv66.



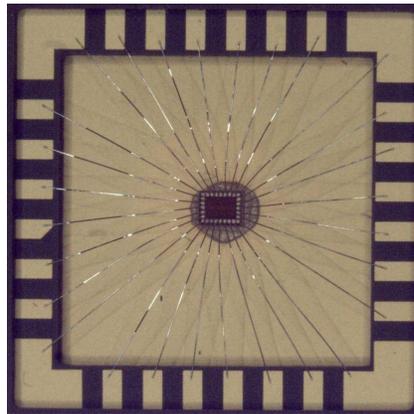


Fig. 6.3: Foto em microscópio do circuito Ceinv66. Vista 1

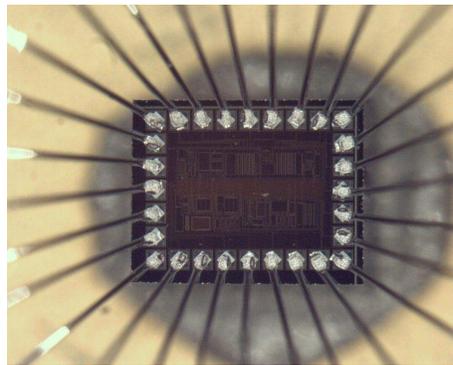


Fig. 6.4: Foto em microscópio do circuito Ceinv66. Vista 2

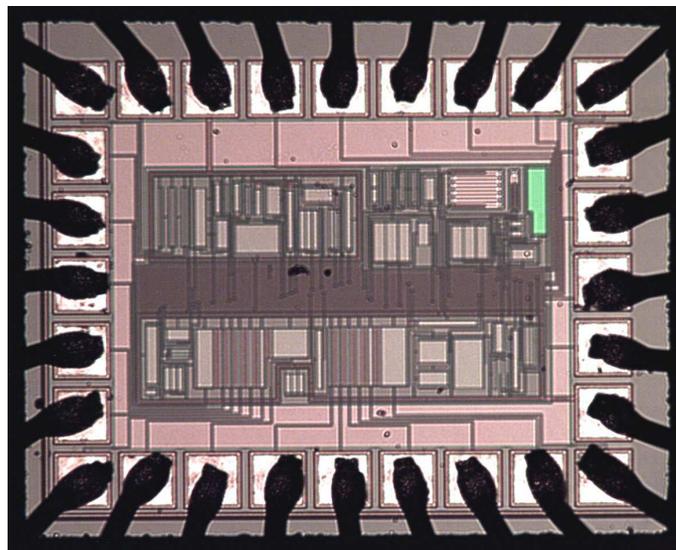


Fig. 6.5: Foto em microscópio do circuito Ceinv66. Vista 3

### 6.1.1 Relação dos equipamentos utilizados

Para a realização das medidas foram utilizados os seguintes equipamentos:

1. HP E3630A - DC Power Supply
2. HP 34401A - Digital Multimeter
3. Agilent 34411A - Digital Multimeter
4. Termistor de 5K
5. Interface GPIB da HP
6. Câmara Térmica ABMTM
7. Câmara Térmica VOSTSCH modelo VT 7012 S3

### 6.1.2 Procedimento de Teste

Na tabela 6.1 está apresentada uma relação dos pinos deste chip. Nesta tabela estão apresentadas as funções dos pinos, a tensão que deve ser aplicada ao circuito e a tensão esperada em sua saída. Para a realização dos testes foi utilizada a configuração apresentada na figura 6.6. A alimentação do circuito foi fornecida pela fonte de tensão HP E3630A. O termistor de 5K foi conectado ao multímetro digital Agilent 34411A para que fosse realizado o monitoramento da temperatura na câmara. O multímetro HP 34401A foi conectado à saída do circuito.

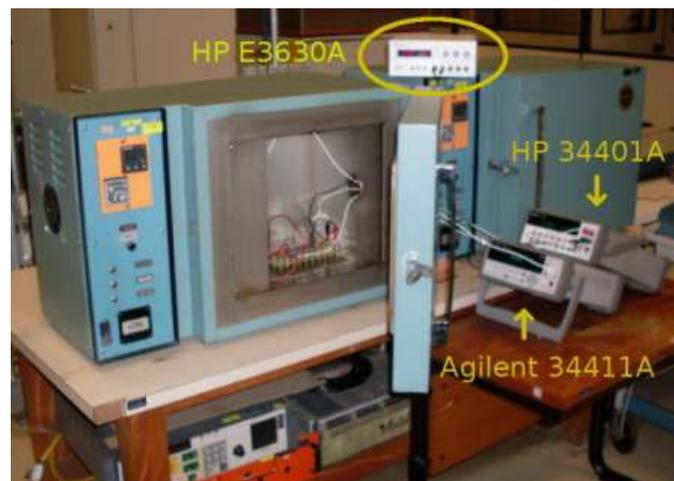


Fig. 6.6: *Setup dos testes.*

Pino	Nome	Função	Alimentação (V)	Tensão Esperada (V)
1	MG305_D	<i>Trimmer</i>	-	1.30
2	MG30_D	<i>Trimmer</i>	-	3.40
3	MD211_D	<i>Trimmer</i>	-	0.86
4	MG32_D	<i>Trimmer</i>	-	3.68
5	Vref	Tensão de Saída	-	1.11
6	MD111_D	<i>Trimmer</i>	-	0.87
7	M2_G	<i>Trimmer</i>	-	0.15
8	M1_G	<i>Trimmer</i>	-	0.15
9	Mdiodo30_Poco	<i>Trimmer</i>	-	0
10	VDD	Tensão Positiva da Fonte	5	-
11	MG1_D	<i>Trimmer</i>	-	5
12	MG2_D	<i>Trimmer</i>	-	5
13	MG3_D	<i>Trimmer</i>	-	5
14	MD211B_D	<i>Trimmer</i>	-	0
15	MT1_D	<i>Trimmer</i>	-	0
16	MT2_D	<i>Trimmer</i>	-	0
17	MT3_D	<i>Trimmer</i>	-	0
18	MT4_D	<i>Trimmer</i>	-	0
19	MT5_D	<i>Trimmer</i>	-	0
20	MG32B_D	<i>Trimmer</i>	-	0
21	MT6_D	<i>Trimmer</i>	-	0
22	MT7_D	<i>Trimmer</i>	-	0
23	MT8_D	<i>Trimmer</i>	-	0
24	MT9_D	<i>Trimmer</i>	-	0
25	MT10_D	<i>Trimmer</i>	-	0
26	MG30B_D	<i>Trimmer</i>	-	0
27	VSS	Terra da Fonte	0	-
28	MG309_D	<i>Trimmer</i>	-	2.31

Tab. 6.1: Relação dos pinos da Referência de Tensão.

### 6.1.3 Análise DC do circuito

Inicialmente foi realizado uma análise das tensões DC apresentadas pelo circuito. Ele foi polarizado com uma alimentação igual a 5 V e foram verificadas as tensões apresentadas nos *pads* de teste. Analisando a tensão no *pad* Vref foi verificado que o circuito não conseguiu “partir”. Logo, concluiu-se que a “corrente de partida” fornecida pelo circuito de *start-up* foi subdimensionada.

Em função deste problema apresentado foi necessária a aplicação de uma corrente de partida externa. Esta corrente foi fornecida diretamente no *pad* MG309\_D, através de um divisor resistivo, como apresentado na figura 6.7. Contudo, tal procedimento não invalida o equacionamento apresentado no capítulo 2, dado que após a “partida” do circuito seu funcionamento fica independente do circuito de *start-up*, com seu comportamento sendo comandado pela equação 2.58.

No capítulo seguinte será apresentada uma proposta para alteração do circuito onde não será mais necessária a utilização do circuito de *start-up*.

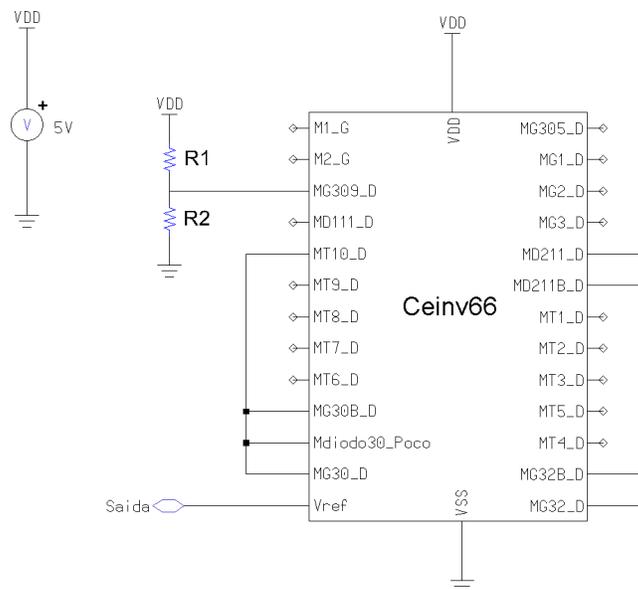


Fig. 6.7: *Start off-chip*

### 6.1.4 Testes na câmara térmica

Inicialmente, para esta medida, foi utilizada a câmara térmica da ABMTM. Estes testes tiveram como objetivo encontrar o melhor ajuste de forma que o circuito apresentasse uma boa estabilidade em temperatura. Os ajustes foram realizados utilizando os pinos de *trimmer* disponíveis no chip. Estes pinos permitem alterar a curvatura da característica “Tensão x Temperatura” da referência de tensão. Na figura 6.8 estão apresentados os resultados das medidas utilizando 4 combinações dos

trimmers. Na figura 6.9 está apresentada a tensão encontrada no nó 25 utilizando o *trimmer* 4. Após a realização destes testes na câmara ABMTM, a câmara térmica da VOSTSCH foi utilizada para a extração da tensão de saída na temperatura de  $0^{\circ}C$ . O resultado está apresentado na figura 6.10.

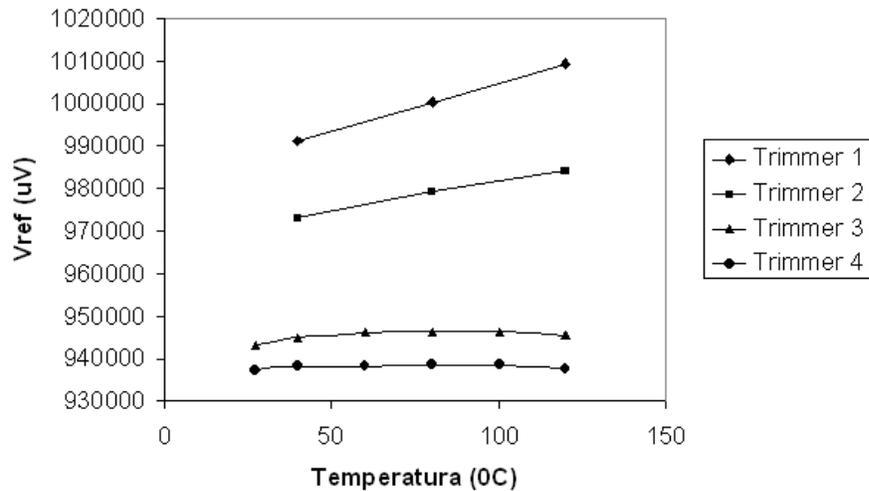


Fig. 6.8: Tensão de Saída x Temperatura.

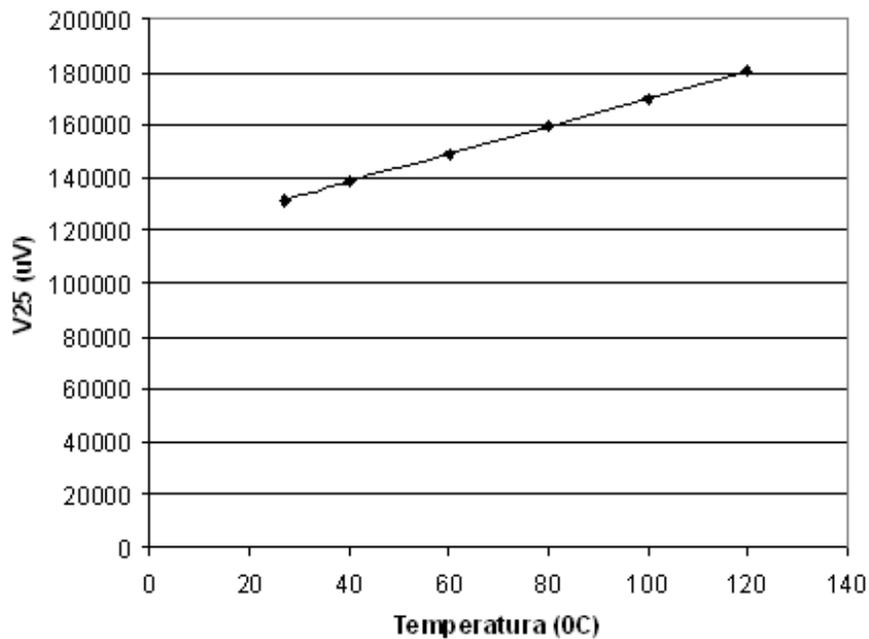


Fig. 6.9: Tensão no nó 25.

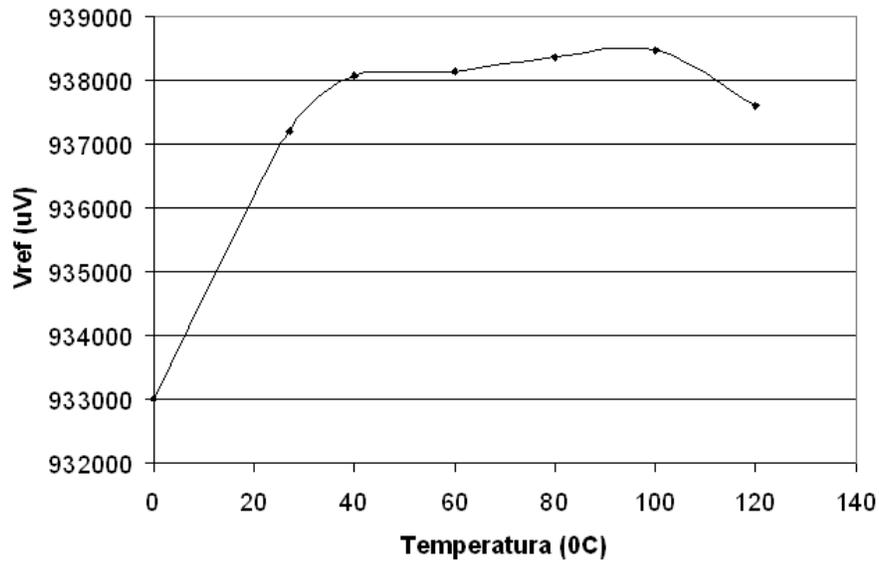


Fig. 6.10: Tensão de Saída x Temperatura (Câmara VOSTSCH).

Para o caso apresentado na figura 6.8 a variação encontrada (de  $27^{\circ}C$  a  $120^{\circ}C$ ) foi de aproximadamente  $1mV$ . Logo, o coeficiente de temperatura da referência de tensão encontrado foi igual a  $11 ppm/^{\circ}C$ . Para o caso apresentado na figura 6.10 a variação encontrada (de  $0^{\circ}C$  a  $120^{\circ}C$ ) foi de aproximadamente  $4.6mV$ . Logo, o coeficiente de temperatura da referência de tensão encontrado foi igual a  $41 ppm/^{\circ}C$ .

### 6.1.5 Regulação da Fonte

Na figura 6.11 está apresentado o resultado experimental do circuito. Para esta análise foram utilizados diversos valores de VDD, observando a tensão de saída (Vref). Pode ser verificado que para VDD igual 3.25 o circuito deixa de funcionar. Na tabela 6.2 estão apresentados os resultados obtidos nesta referência de tensão.

Coeficiente Térmico ( $ppm/^{\circ}C$ )	VDD(V)	Consumo de Corrente ( $\mu A$ )
11	5	91

Tab. 6.2: Resultados Experimentais

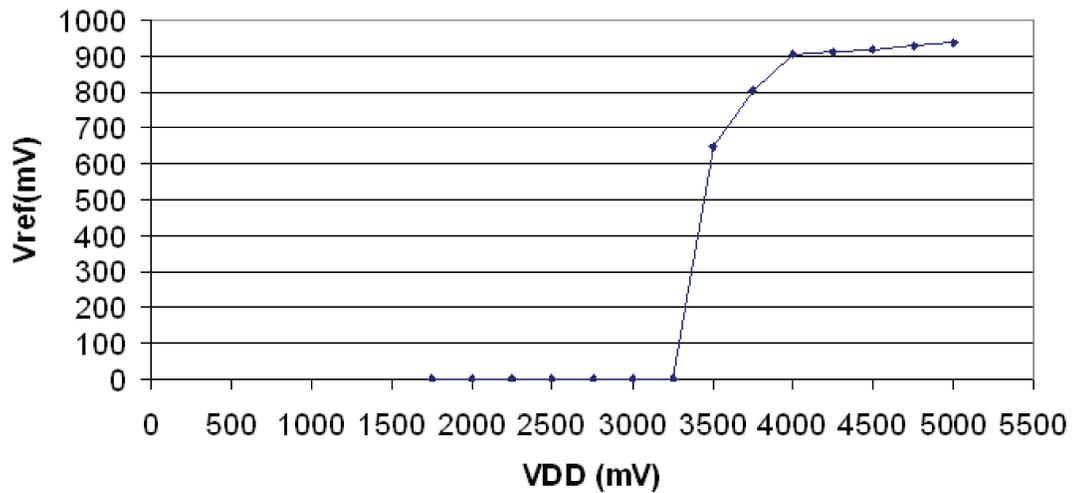


Fig. 6.11: Tensão de Saída (Vref) x VDD.

## 6.2 Ceinv 35

O procedimento adotado para o teste do sensor de temperatura foi o mesmo que o apresentado no item 6.1.2. Na figura 6.12 está apresentada uma foto do chip contendo sua pinagem. Na tabela 6.3 está apresentada uma relação dos pinos contendo suas funções e as tensões esperadas. Na figura 6.13 está apresentado o esquemático do circuito. Nas figuras 6.14 a 6.16 estão apresentadas fotos de microscópio do *layout* do circuito.

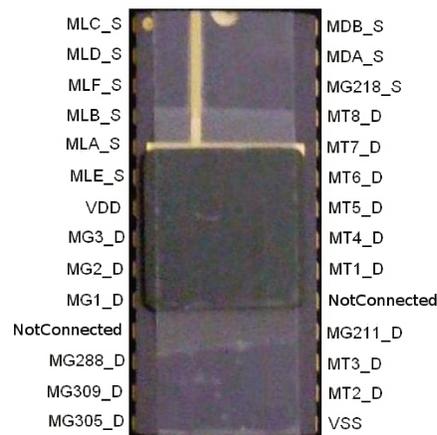


Fig. 6.12: Encapsulamento utilizado no circuito Ceinv35.

### 6.2.1 Testes na câmara térmica

Para a realização destes testes foi utilizado o mesmo *setup* apresentado na figura 6.6. O resultado das medidas está apresentado na figura 6.17. Como pode ser verificado, neste caso foi avaliado o desempenho do circuito funcionando como sensor de temperatura. Como apresentado na figura 6.17, o circuito apresentou uma resposta aproximadamente linear. O coeficiente de temperatura obtido foi de  $1\text{mV}/^{\circ}\text{C}$ .

Não foi possível avaliar o comportamento do circuito como referência de tensão, pois os circuito de *trimmer* não permitiram o ajuste do circuito para esta aplicação.

Pino	Nome	Função	Alimentação (V)	Tensão Esperada (V)
1	MG305_D	<i>Trimmer</i>	-	1.29
2	MG1_D	<i>Trimmer</i>	-	5.00
3	MG2_D	<i>Trimmer</i>	-	5.00
4	MG3_D	<i>Trimmer</i>	-	5.00
5	MG309_D	<i>Trimmer</i>	-	2.30
6	MG211_D	<i>Trimmer</i>	-	1.71
7	MT1_D	<i>Trimmer</i>	-	0
8	MT2_D	<i>Trimmer</i>	-	0
9	MT3_D	<i>Trimmer</i>	-	0
10	MT4_D	<i>Trimmer</i>	-	0
11	MT5_D	<i>Trimmer</i>	-	0
12	MT6_D	<i>Trimmer</i>	-	0
13	MT7_D	<i>Trimmer</i>	-	0
14	MT8_D	<i>Trimmer</i>	-	0
15	MG218_S	<i>Trimmer</i>	-	1
16	MDA_D	<i>Trimmer</i>	-	0
17	MDB_D	<i>Trimmer</i>	-	0
18	MLA_S	<i>Trimmer</i>	-	0
19	MLB_S	<i>Trimmer</i>	-	0
20	MLC_S	<i>Trimmer</i>	-	0
21	MLD_S	<i>Trimmer</i>	-	0
22	MLE_S	<i>Trimmer</i>	-	0
23	MLF_S	<i>Trimmer</i>	-	0
24	MG288_D	<i>Trimmer</i>	-	5
25	VDD	Tensão Positiva da Fonte	5	-
26	VSS	Terra da Fonte	0	-

Tab. 6.3: Relação dos pinos do Sensor de Temperatura.

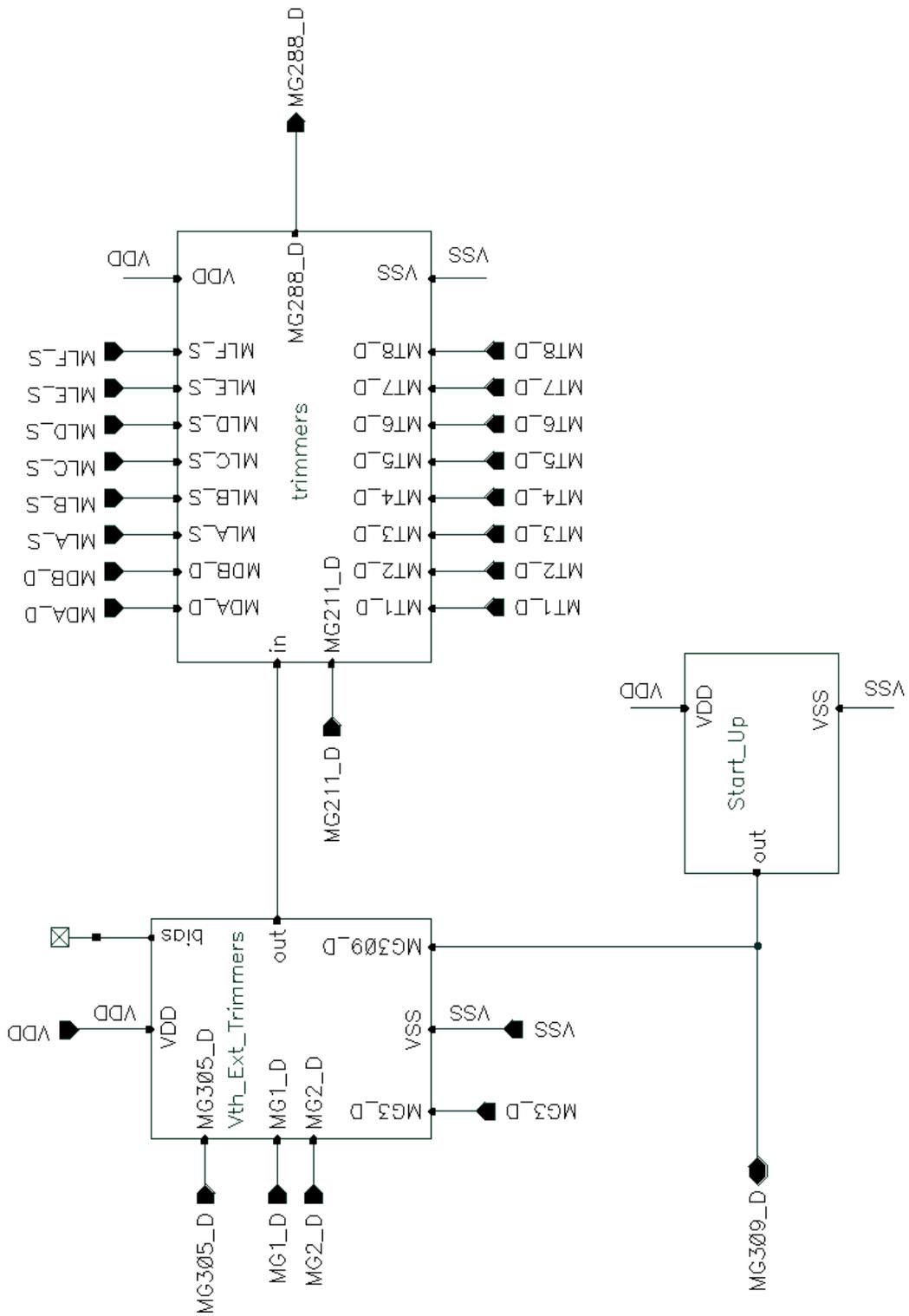


Fig. 6.13: Esquemático do Sensor de Temperatura (Ceinv35).

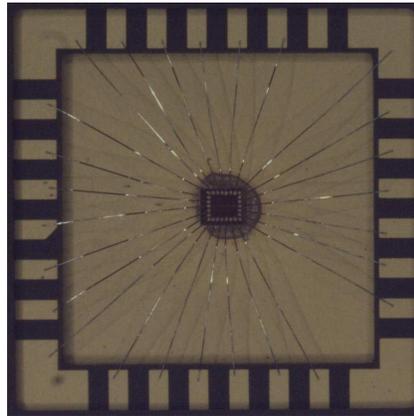


Fig. 6.14: Foto em microscópio do circuito Ceinv35. Vista 1

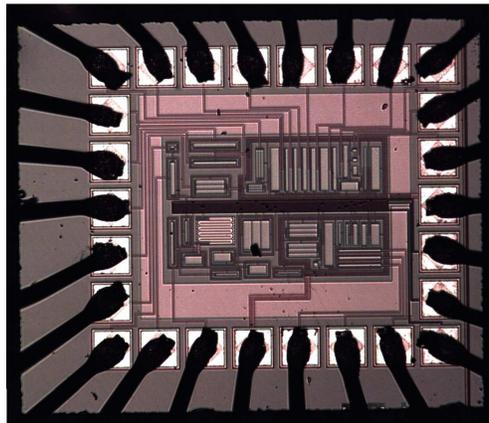


Fig. 6.15: Foto em microscópio do circuito Ceinv35. Vista 2

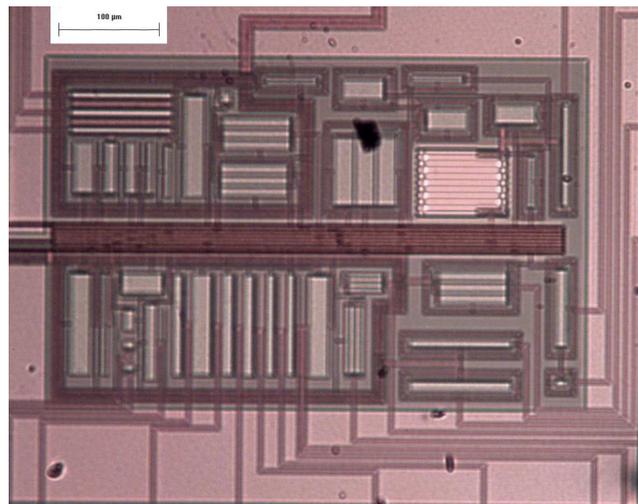


Fig. 6.16: Foto em microscópio do circuito Ceinv35. Vista 3

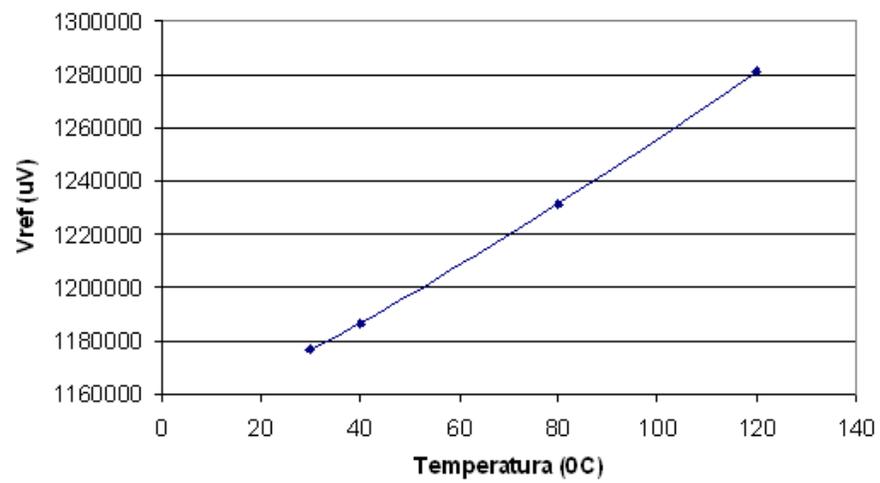


Fig. 6.17: Resultados experimentais do sensor de temperatura.

# Capítulo 7

## Análise dos Resultados e Proposta para Trabalhos Futuros

Na seção 7.1 será apresentada uma análise dos resultados laboratoriais obtidos. Estes resultados serão confrontados com dados presentes em alguns artigos sobre trabalhos de mesma natureza. Já nas seções 7.2, 7.4 e 7.5 serão apresentadas propostas para a melhoria do desempenho do circuito.

### 7.1 Análise dos Resultados Obtidos

Na tabela 7.1 é apresentada uma análise comparativa entre os resultados obtidos neste trabalho e algumas referências da literatura. Pode ser visualizado que a referência projetada apresentou um desempenho superior entre referências de tensão CMOS analisadas e um desempenho próximo das referências do tipo *bandgap*.

Na tabela 7.2 é apresentada uma comparação do desempenho da referência de tensão Ceinv66 com referências de tensão CMOS apresentadas na literatura. Nesta tabela é possível avaliar o estado da arte para este tipo de circuito.

Referência	Variação	Tipo de Circuito
[9]	$5ppm/K$	<i>bandgap</i>
[8]	$10ppm/K$	<i>bandgap</i>
[17]	$20ppm/^{\circ}C$	Referência de Tensão CMOS
[15]	$11.4ppm/^{\circ}C$	Referência de Tensão CMOS
[18]	$18.5ppm/^{\circ}C$	Referência de Tensão CMOS
Este trabalho	$11ppm/^{\circ}C$	Referência de Tensão CMOS

Tab. 7.1: Análise Comparativa

	Este Trabalho (Ceinv66)	[31]	[32]	[24]	[20]
Processo	0.35 $\mu m$	0.35 $\mu m$	0.35 $\mu m$	0.6 $\mu m$	1.2 $\mu m$
Temperatura	27 a 120 <sup>0</sup> C	-20 a 80 <sup>0</sup> C	0 a 80 <sup>0</sup> C	0 a 100 <sup>0</sup> C	-25 a 125 <sup>0</sup> C
VDD	3.5 a 5V	1.4 a 3V	0.9 a 4V	1.4 a 3V	1.2V
$V_{REF}$	938mV	745mV	670mV	309.3mV	295mV
Consumo	455 $\mu W$	0.3 $\mu W$	0.036 $\mu W$	29.1 $\mu W$	4.3 $\mu W$
Coefficiente de Temperatura	10ppm/ <sup>0</sup> C	7ppm/ <sup>0</sup> C	10ppm/ <sup>0</sup> C	36.9ppm/ <sup>0</sup> C	119ppm/ <sup>0</sup> C
PSRR	-75dB @ 100Hz	-45 dB @ 100Hz	-47 dB @ 100Hz	-47 dB @ 100Hz	N.A.
Área	0.27mm <sup>2</sup>	0.052mm <sup>2</sup>	0.045mm <sup>2</sup>	0.055mm <sup>2</sup>	0.23mm <sup>2</sup>

Tab. 7.2: Comparação com Referências de Tensão CMOS da literatura

O estudo realizado na tabela 7.2 não contemplou a análise de referências de tensão que utilizam memórias analógicas do tipo *Floating-Gates* [33]. Estes circuitos utilizam técnicas de projeto muito distintas das aplicadas nas demais configurações. Nesta tabela é possível constatar que o desempenho apresentado pelo circuito Ceinv66 é comparável aos apresentados, sendo seu PSRR superior aos demais.

## 7.2 Projeto dos *trimmers* utilizando a Análise de *Corners*

A análise de *corners* é uma ferramenta tradicionalmente aplicada para avaliar a influência das variações de processo. Para transistores MOS na análise de *corners* para a situação de “*Worst Power*” o comprimento mínimo de canal, a largura máxima de canal, a tensão de limiar mínima e a máxima mobilidade são configuradas para seus valores extremos [34]. Este princípio pode ser ilustrado levando-se em consideração a equação simplificada da corrente do transistor MOS na saturação (equação 7.1). A maximização/minimização de  $I_{DS}$  (utilizada nos *corners* “*Worst Power*” e “*Worst Speed*”) pode ser obtida configurando os parâmetros do dispositivo para seus limites máximos e mínimos, como apresentado na tabela 7.3.

$$I_{DS} = \frac{\mu_0 \epsilon_{0x} (W + xw)}{tox (L + xl)} (V_{GS} - v_{th_0})^2 \quad (7.1)$$

Na tabela 7.4 estão apresentados os 9 *corners* fornecidos pela tecnologia da AMS.

Na figura 7.1 estão apresentados os resultados obtidos nesta análise. Logo, para cada *corner* analisado seria necessário o projeto de um *trimmer* específico que estabilizasse o circuito em temperatura.

Como exemplo, tomemos o resultado obtido na análise de *corners* com os resistores em “*Worst Power*”. Na figura 7.2 é apresentado o resultado desta simulação. Como pode ser observado, foi apresentada uma variação de aproximadamente 33mV, o que equivale a 202ppm/ $^{\circ}C$ .

Parâmetros	<i>Worst Power</i>	<i>Worst Speed</i>
$v_{th_0}$	min	max
$xw$	max	min
$xl$	min	max
$tox$	min	max
$\mu_0$	max	min
$n_{sub}$	min	max
$n_{ch}$	min	max
$r_{sh}$	min	max

Tab. 7.3: parâmetros utilizados na análise de *corners*

Utilizando o *trimmer* apresentado na figura 7.3 foi obtida a resposta apresentada na figura 7.4, ou seja, uma variação de 2mV, o que equivale a 12ppm/ $^{\circ}C$ .

Corner	Descrição
Typical	Dispositivos com valores típicos
Mos WS	Transistores Mos em “Worst Speed”
Mos WP	Transistores Mos em “Worst Power”
Res WS	Resistores em “Worst Speed”
Res WP	Resistores em “Worst Power”
Mos WS / Res WS	Transistores Mos em “Worst Speed” e Resistores em “Worst Speed”
Mos WP / Res WP	Transistores Mos em “Worst Power” e Resistores em “Worst Power”
Mos WS / Res WP	Transistores Mos em “Worst Speed” e Resistores em “Worst Power”
Mos WP / Res WS	Transistores Mos em “Worst Power” e Resistores em “Worst Speed”

Tab. 7.4: Corners analisados.

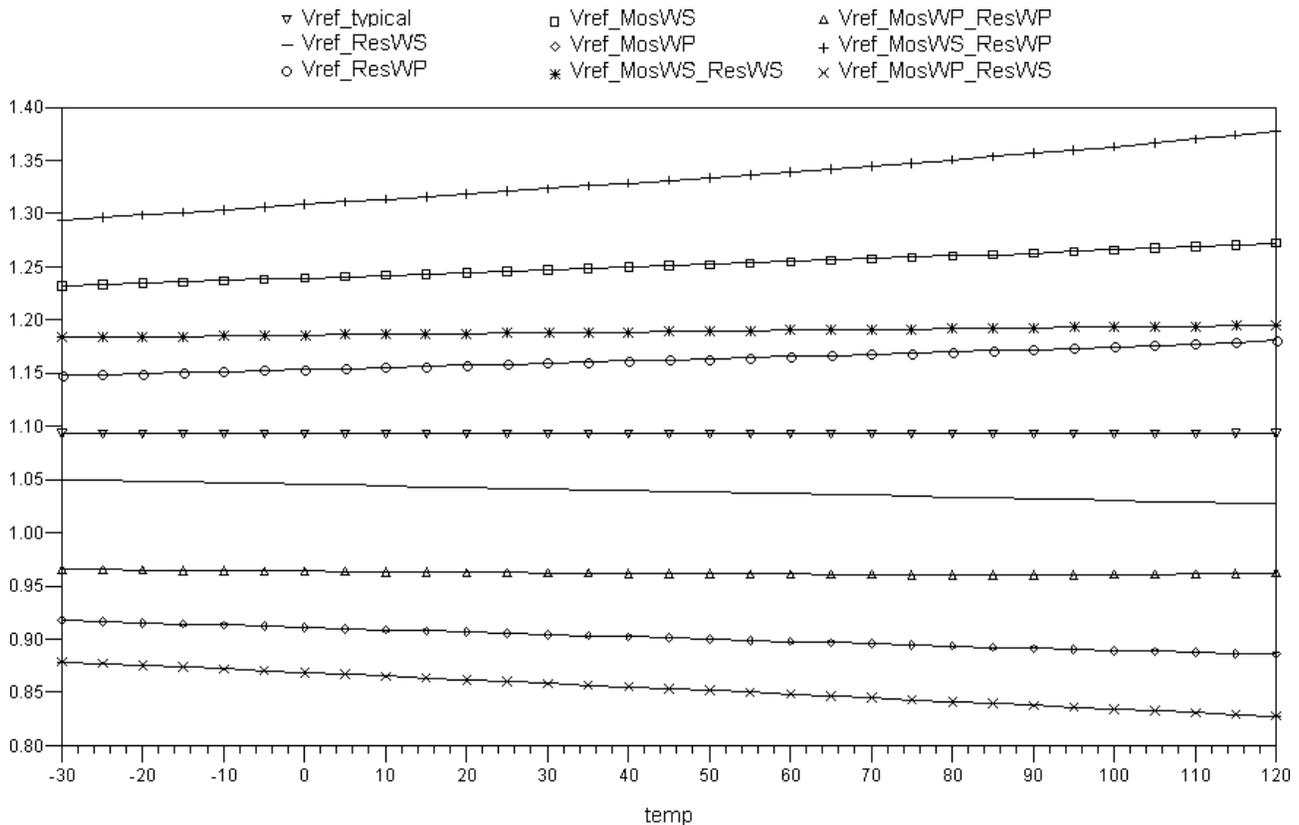


Fig. 7.1: Simulações de *Corners* da referência de tensão Ceinv66.

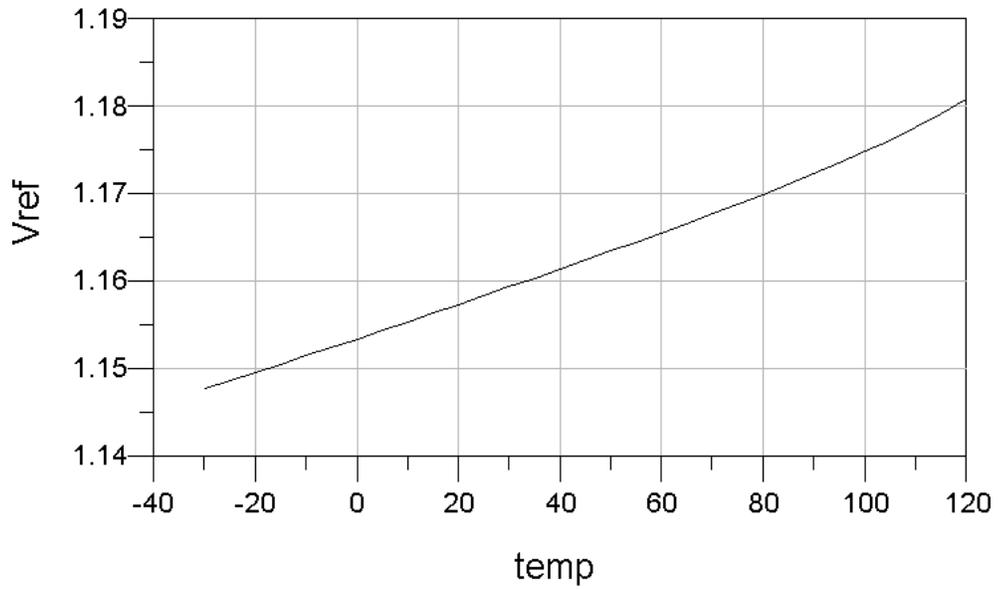


Fig. 7.2: Simulação com *corner* de resistores em *Worst Power*

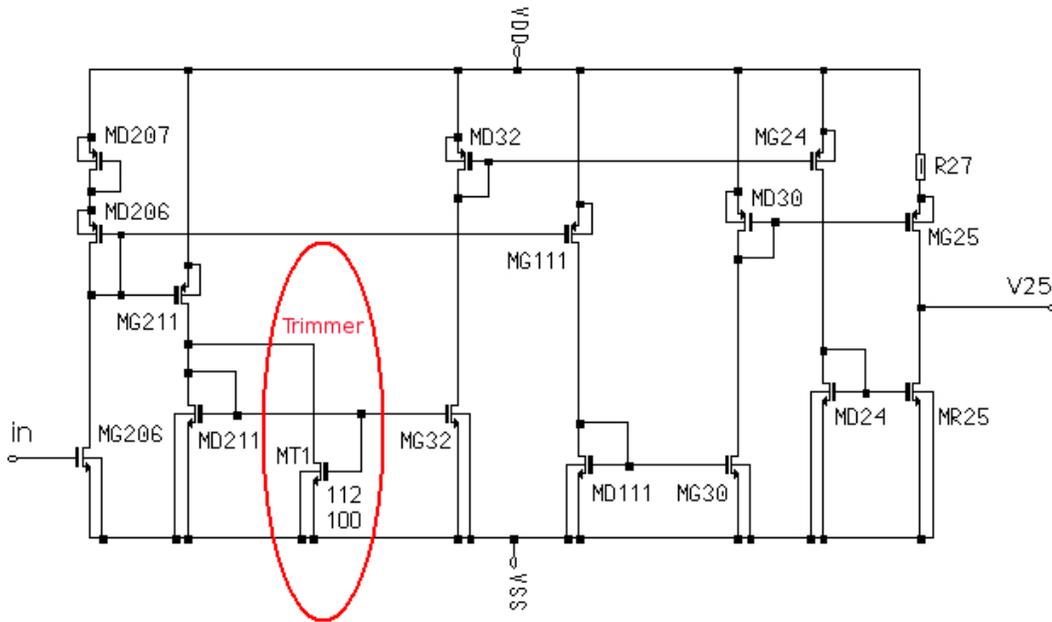


Fig. 7.3: *Trimmer* utilizando no Gerador de Tensão PTAT

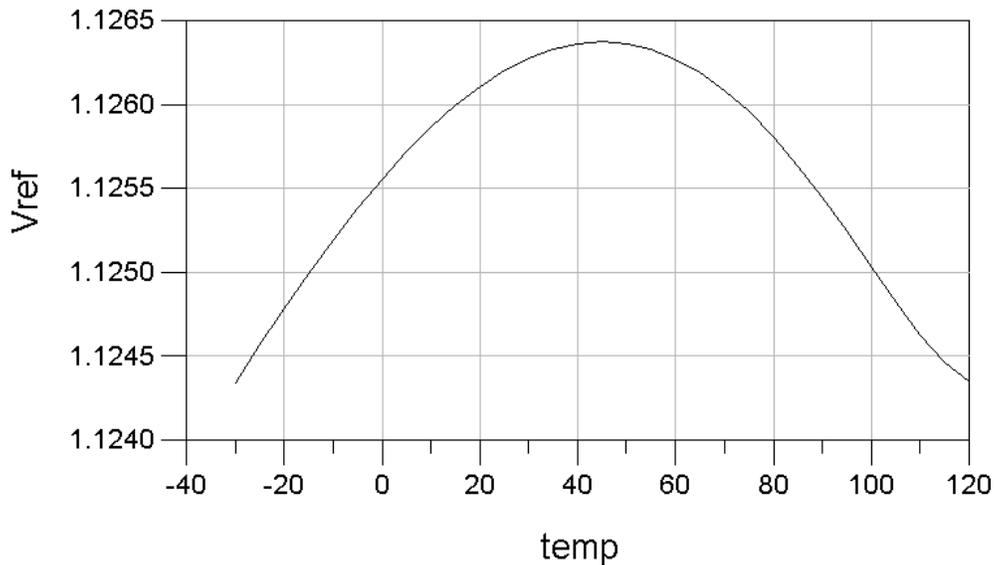


Fig. 7.4: Simulação utilizando o *trimmer* apresentado na figura 7.3

### 7.3 Projeto dos *trimmers* utilizando passos binários

Para o projeto dos *trimmers*, a escolha das dimensões destes dispositivos pode seguir uma distribuição binária. Como exemplo, tomemos a situação apresentada na seção 7.2, onde foi verificada a necessidade da utilização de um transistor com dimensões iguais a  $W = 112\mu m$   $L = 100\mu m$ . Logo, é possível “quebrar” este transistor em diferentes dimensões, permitindo que a conexão em paralelo destes dispositivos obedeçam “passos” iguais. Procedendo desta forma seria possível o ajuste gradual do circuito. Nas tabelas 7.5 e 7.6 foi utilizada esta metodologia. Nestas tabelas estão apresentados os *trimmers* utilizados e as combinações possíveis. Para todos os transistores utilizados nas tabelas 7.5 e 7.6 foi utilizado um comprimento de canal igual a  $100\mu m$ .

Logo, caso fossem utilizados 3 bits (ou seja, caso fossem utilizados 3 transistores de *trimmer*) seriam possíveis  $2^3$  combinações. Como  $\frac{112\mu m}{8-1}$  é igual a  $16\mu m$  (onde  $112\mu m$  é a largura do *trimmer* encontrado para o caso estudado na seção 7.2), os *trimmers* necessários podem ser calculados como apresentado na tabela 7.5.

Cálculo dos <i>trimmers</i>	$2^0 16$	$2^1 16$	$2^2 16$
W ( $\mu m$ )	16	32	64

Tab. 7.5: Dimensões dos *trimmers* necessários

Na tabela 7.6 são apresentadas as combinações possíveis, caso sejam utilizados os *trimmers* apresentados na tabela 7.5. Por exemplo, caso fosse utilizada a combinação de *trimmers* 011, um transistor de  $W = 16\mu m$  seria conectado em paralelo com um transistor de  $W = 32\mu m$ . Este procedimento

seria equivalente a utilizar um transistor com  $W_{TOTAL} = 48\mu m$ .

No exemplo, o projeto dos *trimmer* foi realizado apenas para o caso em que os resistores estão no *corner* de “*worst power*”. Contudo, caso seja feito o ajuste do circuito para outro *corner* e seja verificada a necessidade da utilização de um *trimmer* com um valor que esteja dentro do *range* apresentado na tabela 7.6, estes *trimmers* apresentados já proporcionariam o ajuste para estas duas situações. Caso fosse verificada a necessidade de um *trimmer* com  $W = 48\mu m$  e  $L = 100\mu m$  para a situação de transistores em *worst speed* (este exemplo não foi comprovado em simulação, sendo citado apenas como uma hipótese) também seria possível realizar este ajuste utilizando apenas os *trimmers* apresentados na tabela 7.6.

Combinação dos trimmers	$W_{TOTAL} (\mu m)$
000	0
001	16
010	32
011	48
100	64
101	80
110	96
111	112

Tab. 7.6: Combinação dos *trimmers*

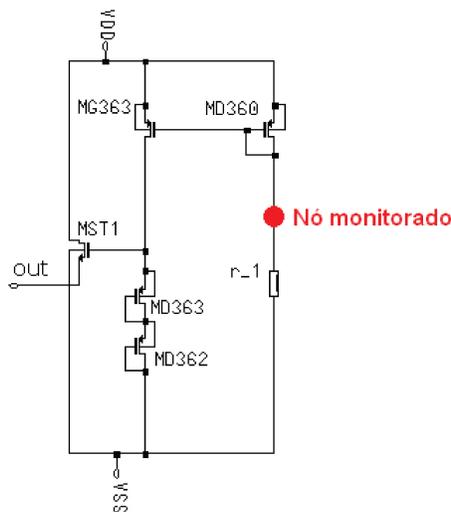
## 7.4 Ajuste “On-Wafer” da Referência de Tensão

Uma limitação da referência de tensão ceinv66 é a necessidade de ajuste no circuito através das suas estruturas de *trimmer*. Além disto, tal ajuste deve ser realizado através de sucessivas ciclagens térmicas. Este tipo de ajuste inviabilizaria a utilização desta referência de tensão para aplicações comerciais.

Uma alternativa para transpor essa limitação seria a utilização de medidas DC no circuito (em temperatura ambiente) para identificar em qual *corner* o processo estaria. Neste intuito, é necessária a utilização de um nó que apresente características mais distintas possíveis para cada *corner* analisado. Na figura 7.5 é apresentado o nó escolhido.

Na tabela 7.7 são apresentados os valores da tensão no nó monitorado. Pode ser visualizado que para cada *corner* simulado é apresentado um valor distinto de tensão.

Logo, utilizando esta metodologia, seria identificado o *corner* que o processo estaria. Em seguida, através de uma EEPROM ou utilizando uma lógica digital, seriam acionados os *trimmers* necessários para estabilizar o circuito em temperatura.

Fig. 7.5: Nó monitorado no circuito de *start-up*

<i>Corner</i>	Tensão no Resistor do <i>start-up</i> (V)
<i>Typical</i>	3.59
Mos WS	3.46
Mos WP	3.78
Res WS	3.63
Res WP	3.55
Mos WS / Res WS	3.50
Mos WP / Res WP	3.74
Mos WS / Res WP	3.42
Mos WP / Res WS	3.81

Tab. 7.7: Tensão no Resistor do *start-up*

## 7.5 Alteração no Extrator de $V_{th}$

Na figura 7.6 é apresentada uma proposta de alteração do circuito extrator de  $V_{th}$ . Neste esquemático foi utilizado um espelho de corrente simples para polarizar o circuito extrator de  $V_{th}$ . Aplicando esta alteração não seria mais necessária a utilização do circuito de *start-up*. Na figura 7.7 é apresentada a simulação do circuito ceinv66 utilizando este circuito extrator de  $V_{th}$  proposto. Pode ser visualizado que o circuito apresentou uma variação de aproximadamente  $305\mu V$ , o que equivale a  $1.86ppm/^{\circ}C$ .

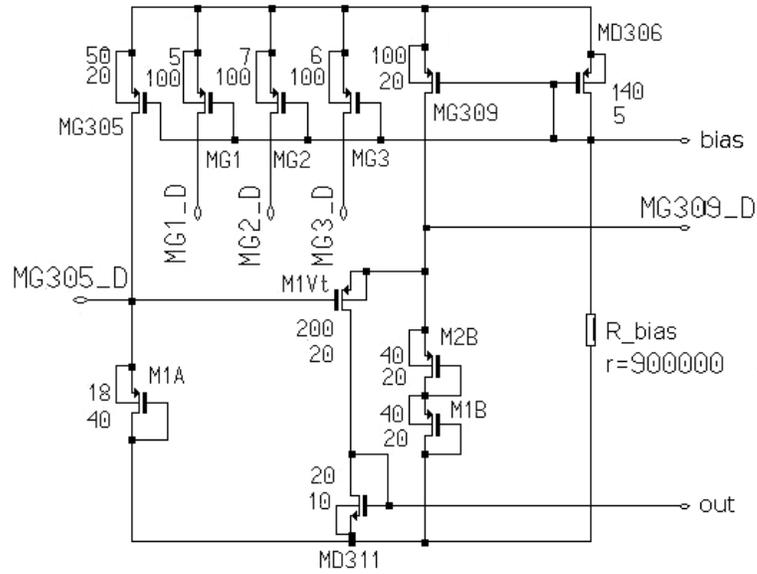


Fig. 7.6: Extrator de Vth sem circuito de *start-up*

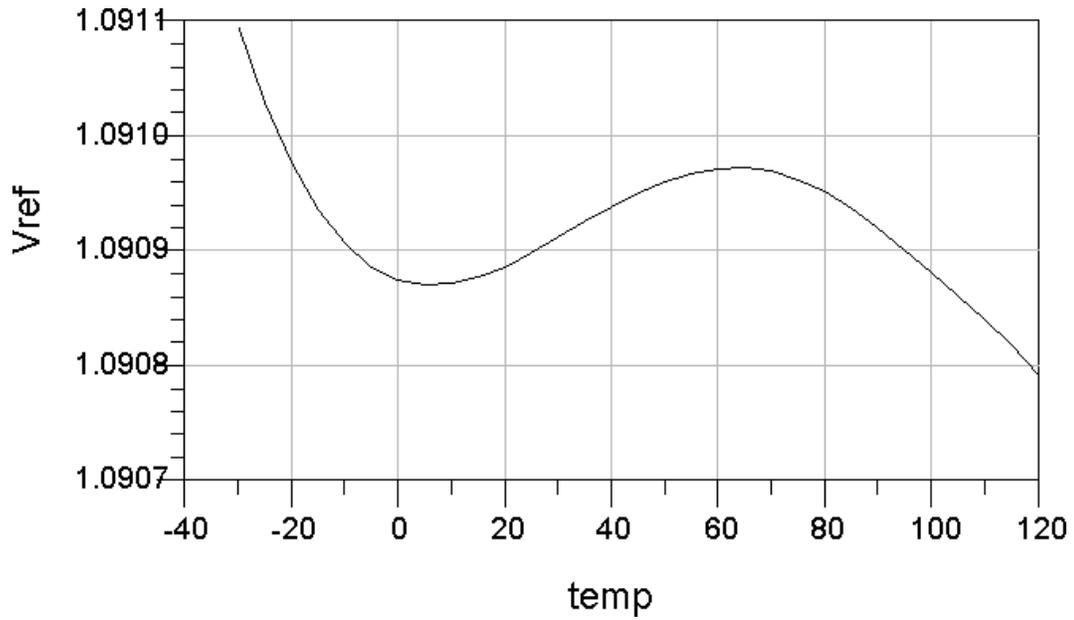


Fig. 7.7: Ceinv66 com extrator de Vth proposto.

# Capítulo 8

## Conclusão

Neste trabalho foi apresentada uma nova técnica para projeto de referências de tensão e de sensores de temperatura usando tecnologia CMOS, sem empregar os transistores bipolares verticais disponíveis normalmente no processo.

A nova técnica usa a característica térmica dos  $V_{th}$  dos transistores MOS para gerar tensões e correntes com comportamento térmico conhecido, para obter tanto tensões estáveis com a temperatura ou sensores de temperatura com coeficiente térmico bem conhecido. A técnica desenvolvida utiliza uma corrente proporcional a  $V_{th}^2$  para gerar uma correção de curvatura na referência de tensão. A utilização do circuito de correção de curvatura, quando comparado em simulação com a mesma referência sem a correção de curvatura, melhora o desempenho em pelo menos uma ordem de grandeza.

Nos circuitos projetados neste trabalho não foram utilizadas proteções contra ESD (*electrostatic discharge* - descarga eletrostática) nos *pads*. A razão foi evitar que qualquer influência dos dispositivos de proteção (como correntes de fulga) interferisse no comportamento do circuito. Os *layouts* dos circuitos foram projetados visando uma máxima densidade de dispositivos e, desta forma, evitando que gradientes de temperatura influenciassem de maneira irregular o comportamento do circuito. Os resistores com camada de alta resistividade foram utilizados por duas razões; o baixo consumo de área e sua não-linearidade. Com relação ao segundo motivo, foi verificado em simulação que esta característica melhorava a estabilidade do circuito em temperatura.

Os resultados das medidas de caracterização do circuito, onde foi obtido um coeficiente de temperatura de apenas 11 ppm/ $^{\circ}C$  na faixa de 27 a 120  $^{\circ}C$ , mostram que a fonte de referência proposta apresenta um desempenho comparável às referências do tipo *bandgap* [35]. Uma segunda versão do CI, onde os *trimmers* pudessem ser melhor ajustados, certamente proporcionaria um resultado ainda melhor, haja vista que os *trimmers* do CI fabricado estão “deslocados” em relação aos valores previstos na simulação. Contudo, observando a tabela 7.2 foi possível constatar que as características do circuito são comparáveis ao estado da arte.

No caso do circuito ceinv35 foi possível avaliar nos testes apenas suas características como sensor de temperatura. Os *trimmers* utilizados estavam muito “deslocados” em relação aos valores previstos na simulação e não permitiram avaliar seu comportamento como referência de tensão. O desempenho deste circuito como sensor de temperatura foi bom, sendo possível obter um coeficiente térmico de aproximadamente  $1 \text{ mV}^{\circ}\text{C}$  nos testes realizados. Mais estudos serão necessários para tentar fazer com que o coeficiente térmico do sensor apresente maior linearidade, e seja, portanto, mais simples de ser utilizado em aplicações comerciais.

No capítulo 7 é apresentada uma análise de *corners* do circuito ceinv66, onde é possível verificar que o circuito apresentou uma resposta diferente para cada *corner* utilizado. Uma possível solução para este problema é apresentada em um estudo feito em [36], onde propõe-se o dimensionamento dos *trimmers* com base na análise de *corners* do circuito. Com isso, para cada um dos 9 *corners* avaliados seria projetado um conjunto de *trimmers* que poderiam estabilizar corretamente o circuito em temperatura. Neste capítulo também é apresentada uma proposta para o ajuste do circuito sem a necessidade da utilização de sucessivas ciclagens térmicas, baseado apenas em características DC, viabilizando sua utilização para aplicações comerciais.

# Referências Bibliográficas

- [1] J. HAZE, R. VRBA, L. FUJCIK, M. SKOCDOPOLE. Low Power SC Pipelined ADC Using Op-Amp Sharing Approach. *WSEAS TRANSACTIONS on CIRCUITS AND SYSTEMS, Issue 9*, 3, November 2004.
- [2] MIRCEA TOMOROGA, LUCIAN JURCA. Study of Matching Errors in Unit Element Approach of Current-Steering Segmented DAC Design. *WSEAS ICOSSE'07*, November 2007.
- [3] HWANG-CHERNG CHOW and HSING-CHUNG LIANG. Novel Frequency Doubler Circuits and Dividers Using Duty Cycle Control Buffers. *9th WSEAS International Conference on CIRCUITS*, July 2005.
- [4] J. S. Brugler. Silicon Transistor Biasing for Linear Collector Current Temperature Dependence. *IEEE J. Solid-State Circuits*, SC-2:57–58, June 1967.
- [5] R. J. WIDLAR. New Developments in IC Voltage Regulator. *IEEE Journal of Solid-States Circuits*, SC-6(1), February 1971.
- [6] A. PAUL BROKAW. A Simple Three-terminal IC Bandgap Reference. *IEEE Journal of Solid-States Circuits*, SC-9(6), December 1974.
- [7] Adel Abdel Aziz Ahmed. Semiconductor Circuits For Generating Reference Potentials with Predictable Temperature Coefficients. *US Patent*, (4,059,793), November 1977.
- [8] GERARD C. M. MEIJER and JAN B. VERHOEFF. An Integrated Bandgap Reference. *IEEE Journal of Solid-State Circuits*, June 1976.
- [9] GERARD C. M. MEIJER, PETER C. SCHMALE, and KLAAS VAN ZALINGE. A New Curvature-Corrected Bandgap Reference. *IEEE Journal of Solid-States Circuits*, SC-17(6), December 1982.
- [10] Robert C. Dobkin. Monolithic Temperature Stabilized Voltage Reference with  $0.5 \text{ ppm}/^\circ$  Drift. *IEEE International Solid-State Circuits Conference*, February 1976.

- [11] Carl R. Palmer and Robert C. Dobkin. A Curvature Corrected Micropower Voltage Reference. *IEEE International Solid-State Circuits Conference*, February 1981.
- [12] S. M. Sze and Kwok K. Ng. *Physics of Semiconductor Devices, third edition*. J. Wiley, New York, 2007.
- [13] L. VADASZ, A. S. GROVE. Temperature Dependence of MOS Transistor Characteristics Below Saturation. *IEEE Transactions on Electronic Devices*, ED-13(12), December 1966.
- [14] Wilmar Bueno de Moraes. classroom lectures.
- [15] Chia-Wei Chang, Tien-Yu Lo, Chia-Min Chen, Kuo-His Wu and Chung-Chih Hung. A Low-Power CMOS Voltage Reference Circuit Based On Subthreshold Operation. *IEEE International Symposium on Circuits and Systems, 2007. ISCAS 2007.*, May 2007.
- [16] Joseph Tso-sheng Tsai and Harming Chiueh. High Linear Voltage References for on-chip CMOS Smart Temperature Sensor from  $-60^{\circ}C$  to  $140^{\circ}C$ . *13th IEEE International Conference on Electronics, Circuits and Systems, 2006. ICECS '06.*, December 2006.
- [17] Luís Henrique de Carvalho Ferreira and Tales Cleber Pimenta. A CMOS VOLTAGE REFERENCE FOR ULTRA LOW-VOLTAGE APPLICATIONS. *12th IEEE International Conference on Electronics, Circuits and Systems, 2005. ICECS 2005.*, December 2005.
- [18] Jirong Ma, Yongming Li, Chun Zhang, Zhihua Wang. A 1V Ultra-Low Power High Precision CMOS Voltage Reference. *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007.*, December 2007.
- [19] Doyle, J.; Young Jun Lee; Yong-Bin Kim; Wilsch, H.; Lombardi, F. A CMOS subbandgap reference circuit with 1-v power supply voltage. *IEEE Journal of Solid-State Circuits*, 39, Jan. 2004.
- [20] Giustolisi, G.; Palumbo, G.; Criscione, M.; Cutri, F. A low-voltage low-power voltage reference based on subthreshold MOSFETs. *IEEE Journal of Solid-State Circuits*, 38, Jan. 2003.
- [21] Di Naro, G.; Lombardo, G.; Paolino, C.; Lullo, G. A Low-Power Fully-Mosfet Voltage Reference Generator for 90 nm CMOS Technology. *IEEE International Conference on Integrated Circuit Design and Technology*, 2006.
- [22] Adl, A.-H.; El-Sankary, K.; El-Masry, E. Bandgap reference with curvature corrected compensation using subthreshold MOSFETs. *IEEE International Symposium on Circuits and Systems*, May 2009.

- [23] Philip K.T. Mok and Ka Nang Leung. Design Considerations of Recent Advanced Low-Voltage Low-Temperature-Coefficient CMOS Bandgap Voltage Reference. *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference.*, October 2004.
- [24] K.N. Leung and P.K.T. Mok. A CMOS Voltage Reference Based on Weighted  $\Delta V_{GS}$  for CMOS Low-Dropout Linear Regulators. *IEEE Journal of Solid-State Circuits*, 38, January 2003.
- [25] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits, Fourth Edition*. J. Wiley, New York, 2001.
- [26] Luis Toledo, Walter Lancioni, Pablo Petrashin, Carlos Dualibe, Carlos Vázquez. A new CMOS voltage reference scheme based on  $V_{th}$ -difference principle. *IEEE International Symposium on Circuits and Systems. ISCAS 2007*, May 2007.
- [27] Austria Microsystems. Process parameters document of AMS 0.35 CMOS technology.
- [28] Weidong Liu, Xiaodong Jin, Xuemei Xi, James Chen, Min-Chie Jeng, Zhihong Liu, Yuhua Cheng, Kai Chen, Mansun Chan, Kelvin Hui, Jianhui Huang, Robert Tu, Ping K. Ko and Chenming Hu. “BSIM3v3.3 MOSFET Model. Users Manual”. *Department of Electrical Engineering and Computer Sciences University of California, Berkeley, CA 94720*, May 2005.
- [29] Leistiko, O., Jr.; Grove, A.S.; Sah, C.T. Electron and Hole Mobilities in Inversion Layers on Thermally Oxidized Silicon Surface. *IEEE Transactions on Electron Devices*, 12:248 – 254, May 1965.
- [30] M. D. Ker and J. S. Chen. New Curvature-Compensation Technique for CMOS Bandgap Reference with Sub-1-V Operation. *IEEE Trans. Circuits Syst.II*, 53(8):667–671, August 2008.
- [31] Ken Ueno, Tetsuya Hirose, Tetsuya Asai, and Yoshihito Amemiya. A 300 nW, 7 ppm/ $^{\circ}C$  CMOS Voltage Reference Circuit based on Subthreshold MOSFETs. *Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific*, Jan. 2009.
- [32] Giuseppe De Vita and Giuseppe Iannaccone. A Sub-1-V, 10 ppm/ $^{\circ}C$ , Nanopower Voltage Reference Generator. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, July 2007.
- [33] Cook, S.A. Layton, K.D. Marble, W.J. Comer, D.T. Comer, D.J. Petrie, C. A programmable floating-gate voltage reference in 0.5 $\mu m$  CMOS. *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference.*, pages 647–650, Oct. 2004.

- 
- [34] Gerhard Rappitsch, Ehrenfried Seebacher, Michael Kocher, and Ernst Stadlober. SPICE Modeling of Process Variation Using Location Depth Corner Models. *IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING*, 17(2), May 2004.
- [35] Ka Nang Leung and Philip K. T. Mok. A CMOS Voltage Reference Based on Weighted Difference of Gate-Source Voltages between PMOS and NMOS Transistors for Low Dropout Regulators. *Proceedings of the 27th European Solid-State Circuits Conference, 2001. ESSCIRC 2001.*, September 2001.
- [36] Wellington Romero de Melo. Relatório de atividades do projeto de uma Referência de tensão de baixa potência e alta precisão vinculado ao objeto H0 - 03/0560 - Método de projetos de circuitos analógicos e potência, objeto este integrante do projeto de capacitação institucional PRJ02.52 - Capacitação em Desenvolvimento de Hardware da DCSH. 2009.