

Campinas, 1997

DISSERTAÇÃO

preparada no

**Departamento de Eletrônica e Microeletrônica
da Faculdade de Engenharia Elétrica e de Computação da UNICAMP**

visando a obtenção

do Título de Mestre em Engenharia Elétrica FEEC/UNICAMP

Especialidade: Eletrônica

por

Edison Ramalho
Engenheiro Elétrico

Projeto e Fabricação de um Modulador de Largura de Pulso em Tecnologia CMOS Digital

Banca Examinadora:

Prof. Dr. José Antonio Siqueira Dias (Orientador) - DEMIC/FEEC/UNICAMP
Prof. Dr. Elnatan Chagas Ferreira - DEMIC/FEEC/UNICAMP
Prof. Dr. Nivaldo Vicençoto Serran - FASTEC/Campinas

Este exemplar corresponde à redação final da tese
defendida por Edison Ramalho

e aprovada pela Comissão

Julgadora em 30 / 01 / 97


Orientador

Edison Ramalho



8718046

UNIDADE	BC
N.º CHAMADA:	T/Unicamp
R141p	
V.	Ex
TOMBO BC	31019
PROC.	281/97
C	☐
D	☒
PREÇO	R\$11,00
DATA	12/07/97
N.º CPD	

CM-00099303-2

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

R141p Ramalho, Edison
Projeto e fabricação de um modulador de largura de pulso em tecnologia CMOS digital / Edison Ramalho.-- Campinas, SP: [s.n.], 1997.

Orientador: José Antônio Siqueira Dias.
Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Modulação de pulso (Eletrônica)* 2. Modulação de duração do pulso.* 3. Modulação digital.* I. Dias, José Antônio Siqueira. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Meus agradecimentos:

Aos meus pais pelo apoio e compreensão.

Ao meu orientador José Antonio Siqueira Dias, pela troca de idéias e informações

A Patricia Serazzi e Saulo Finco do CTI pela ajuda no layout e fabricação do circuito.

RESUMO

Este trabalho objetiva a implementação em tecnologia CMOS de um circuito integrado modulador de largura de pulso composto apenas de circuitos digitais (PWM digital). O PWM digital é um circuito muito utilizado como interface de saída de microcontroladores, pois pode ser implementado na mesma tecnologia usada para fabricar circuitos digitais CMOS, além de possuir várias aplicações como a de conversor D/A, fontes chaveadas, controle de chaves, dimmer e etc. A implementação descrita nesse trabalho permite não só o controle da largura do pulso como também o controle de fase do sinal modulado.

O circuito foi implementado em tecnologia CMOS 1um do PMU oferecido pelo CTI, usando PSPICE 6.0, LASI5.2 e TANNER 6.0 para DOS e WINDOWS, por não termos o “design kit” completo a primeira parte do trabalho foi a elaboração de uma biblioteca de células, depois usando esta biblioteca foi feito o projeto do PWM digital.

No final deste trabalho sugerimos algumas aplicações práticas como o conversor D/A, e fonte chaveada.

ÍNDICE

I. Introdução	I.1
1. Biblioteca de Células	1.1
1.1. Introdução	1.1
1.2. Definições	1.1
1.2.1. Tempo de atraso de propagação	1.1
1.2.2. Dissipação Estática	1.2
1.2.3. Dissipação Dinâmica	1.2
1.3. Células e Parâmetros	1.3
1.4. Cálculo dos Tempos de Atraso	1.6
1.5. Conclusões	1.8
2. PWM Digital	2.1
2.1. Introdução	2.1
2.2. Especificações	2.1
2.3. Descrição do circuito	2.2
2.3.1. Descrição Geral	2.2
2.3.2. Descrição Detalhada	2.4
Contador	2.4
Comparador	2.5
Registradores	2.6
Flip-Flop SR	2.7
Circuito para Eliminação de “SPIKES”	2.8
Circuito Completo	2.9
2.4. Layout	2.12
2.5. Dissipação de Potência	2.14
2.6. Resultado de Simulação	2.15
2.6.1. Precisão	2.15
2.7. Conclusões	2.17
3. Aplicações	3.1
3.1. Introdução	3.1
3.2. Conversor D/A	3.1
3.2.1. Introdução	3.1
3.2.2. Geração de Sinal Contínuo	3.2
3.2.3. Geração de Sinal Alternado	3.3
3.3. Fonte Chaveada	3.6
3.4. Conclusões	3.8
4. Referências Bibliográficas	4.1

Introdução

Neste trabalho foi projetado um circuito modulador de largura de pulso usando tecnologia CMOS digital, a esse circuito daremos o nome de PWM (Pulse Width Modulation) Digital. O PWM Digital é um circuito capaz de gerar um sinal modulado em largura de pulso composto apenas de portas lógicas, cuja as entradas são palavras digitais que determinam a largura do pulso. Essas palavras podem ser geradas por qualquer circuito digital, como por exemplo um microprocessador.

Por ser implementado na mesma tecnologia usada para fabricar circuitos digitais CMOS, é um circuito muito utilizado como interface de saída em microcontroladores.

O PWM possui várias aplicações, tais como a de conversor D/A, fontes chaveadas, controle de chaves, dimmer e etc., constituindo uma importante interface dos circuitos digitais com o mundo externo.

O desenvolvimento de interfaces de circuitos digitais é uma área que vem despertando muito interesse, principalmente com o avanço dos microcomputadores na nossa vida diária. Interfaces menores e mais versáteis tornam os sistemas digitais mais poderosos.

O circuito foi implementado em tecnologia CMOS 1um do PMU oferecido pelo CTI, usando para captura de esquemático e simulações o PSPICE 6.0, para editor de layout o LASI 5.2 e o TANNER 6.0 e para DRC (Design Rule Check) e LVS (Layout Versus Schematic) foi usado o TANNER 6.0.

A diferença neste circuito é a implementação do controle da posição do pulso gerado, podendo controlar tanto a posição da borda de subida como a posição borda de descida do sinal gerado, aumentando a versatilidade do circuito.

O trabalho foi dividido em duas etapas :

A primeira etapa foi a elaboração de uma biblioteca de células de circuitos digitais, para ser usada no projeto do PWM digital.

A segunda parte foi o projeto elétrico e layout do circuito do PWM Digital.

Esta descrição do projeto está dividida em três partes:

1- Biblioteca de Células: Descrição das características e parâmetros de cada célula.

2- Projeto do PWM Digital: Descrição do circuito final, parâmetros e especificações do projeto final.

3- Aplicações: Descrição de algumas aplicações práticas do circuito.

Capítulo 1

BIBLIOTECA DE CÉLULAS

1.1. Introdução.

Biblioteca de células é um conjunto de circuitos com funções e características bem definidas. Esses circuitos são usados para o projeto de circuitos mais complexos, onde essas células são usadas como caixas pretas (interessando a sua função e características elétricas, e não seus componentes internos). A biblioteca de células facilita e possibilita o projeto de circuitos mais complexos.

Para o nosso projeto criamos uma biblioteca de células, que foi elaborada em tecnologia CMOS 1µm duplo metal, onde cada célula desempenha uma função lógica específica. O projetista tem disponível o “layout” e os parâmetros que caracterizam as células.

Relacionamos a seguir as células disponíveis na biblioteca:

INVERSOR
BUFFER
NAND de 2, 3 ENTRADAS
NOR de 2 ENTRADAS
AND de 2, 3 ENTRADAS
OR de 2 ENTRADAS
OR EXCLUSIVO
NOR EXCLUSIVO
FLIP-FLOP TIPO D
FLIP-FLOP TIPO D COM RESET
PAD DE ENTRADA
PAD DE SAÍDA

O projeto elétrico, esquemático e simulações foram feitos usando o PSPICE 6.0. A obtenção dos parâmetros de cada célula foi obtida por simulação elétrica do circuito.

O “layout” de cada célula foi elaborado usando o TANNER 6.0 e LASI 5.2 . O DRC (Design Rule Check) e o LVS (Layout Versus Schematic) foram feitos com o TANNER 6.0 . Os “layouts” das células estão disponíveis nos formatos TANNER 6.0, LASI 5.2 e GDSII.

1.2. Definições.

Antes de prosseguirmos na análise da biblioteca, iremos definir e analisar alguns parâmetros.

1.2.1. Tempo de atraso de propagação.

t_{m} é o tempo de atraso entre o sinal de entrada e saída, quando a saída vai de seu estado baixo (low) para seu estado alto (high).

t_{hl} é o tempo de atraso entre o sinal de entrada e saída, quando a saída vai de seu estado alto (high) para seu estado baixo (low) . [5]

Os tempos de atraso são medidos entre os níveis de 50% da tensão de VDD.

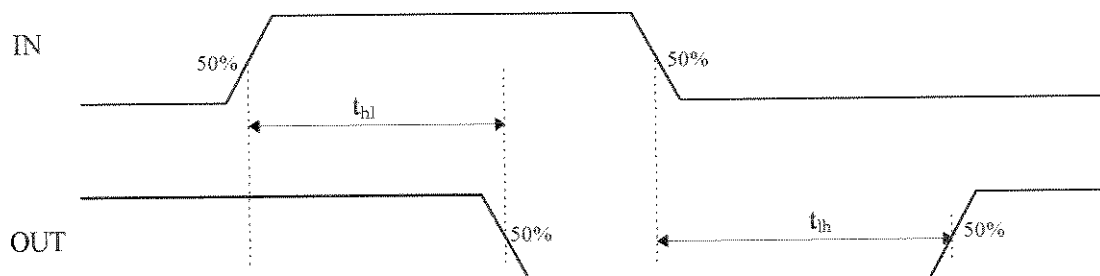


Figura 1.1 - Tempo de atraso de Propagação.

Nas portas lógicas CMOS, os tempos de propagação possuem uma parcela constante e uma que depende da capacitância de carga (capacitâncias de entradas das portas conectadas a saída e a capacitância da trilha de interconexão). Essa capacitância denominamos de C_L e os tempos de propagação podem ser calculados através da equação 1.1:

$$t_p = t_{p0} + K \cdot C_L \quad (\text{Eq.1.1}) \quad [1][9]$$

onde: t_p = tempo de propagação
 t_{p0} = tempo de propagação para $C_L = 0$
 K = Constante
 C_L = capacitância de carga

1.2.2.Dissipação Estática.

Em princípio, os circuitos CMOS não consomem potência DC, pois em estado estático um transistor sempre corta a corrente. Entretanto, há alguma dissipação DC em razão das correntes de fuga das junções dreno-substrato e fonte-substrato reversamente polarizadas.

A dissipação estática é, portanto, o produto da somatória das correntes reversas nas junções pela tensão de fonte V_{DD} [13][9], ou seja:

$$P_s = \sum_{j=1}^n I_j \cdot V_{DD} \quad (\text{Eq.1.2})$$

onde n é o número de dispositivos.

Essa dissipação só é significativa em circuitos muito densos como microprocessadores.

1.2.3.Dissipação Dinâmica.

Durante as transições há uma considerável dissipação, principalmente pela corrente requerida para carregar e descarregar o capacitor de carga C_L .

A dissipação dinâmica pode ser calculada através da equação 1.3, que é obtida analisando a potência dissipada durante um ciclo de relógio num inversor, e generalizando para o circuito todo [13][9].

$$P_D = C_L \cdot V_{DD}^2 \cdot fp \quad (\text{Eq.1.3})$$

Onde:

V_{DD} - é a tensão de alimentação do circuito.
 C_L - é a capacitância de carga das portas lógicas.
 fp - é a frequência do chaveamento das portas. Como as portas não trabalham na mesma frequência, torna-se difícil a quantificação deste parâmetro. Geralmente recorremos a um valor médio estatisticamente determinado, que estimamos em 20% da frequência do relógio do sistema [9].

À capacitância C_L pode ser somado mais um termo que representa capacitâncias internas das portas e outros fenômenos internos que têm a mesma dependência que a capacitância de carga.

A essa parcela daremos o nome de W_L , capacitância interna da porta. Desta forma a Eq.1.3 fica:

$$P_D = (C_L + W_L) \cdot V_{DD}^2 \cdot fp \quad (\text{Eq.1.4})$$

1.3. Células e Parâmetros.

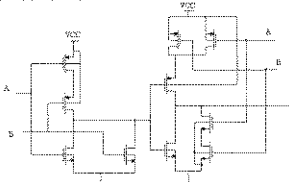
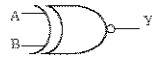
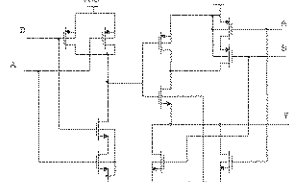
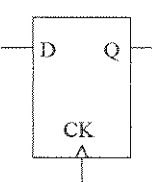
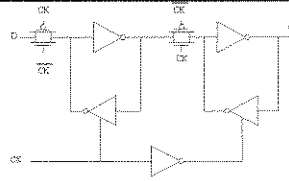
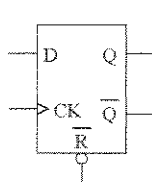
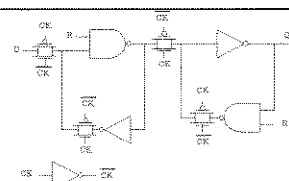
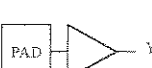
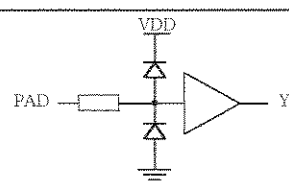
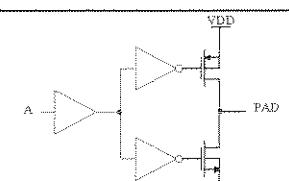
No projeto de circuitos digitais tenta-se ao máximo reduzir as capacitâncias pois, como já foi visto, elas implicam em maiores atrasos e maior consumo. Por isso usamos o tamanho mínimo dos transistores.

Outro objetivo é o de igualar ao máximo os tempo de propagação ($t_{hl} = t_{lh}$), evitando a produção de erro no tamanho da largura dos pulsos, e facilitando o projeto lógico, já que os sinais não se deformam ao se propagar nas portas. Assim, não usamos o transistor de canal P mínimo, por ser mais lento, mas sim um transistor canal P com a largura de canal maior.

Mostramos, na tabela 1.1, as células disponíveis e suas características.

Tabela 1.1. Parâmetros Células digitais.

Célula	Símbolo	Características	Esquema elétrico						
INVERSOR		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$137 + 2.62 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$133 + 2.66 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 21 \text{ fF}$ $W_L = 29 \text{ fF}$		equação de td(ps)	t_{th}	$137 + 2.62 * C_L \text{ (fF)}$	t_{hl}	$133 + 2.66 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$137 + 2.62 * C_L \text{ (fF)}$								
t_{hl}	$133 + 2.66 * C_L \text{ (fF)}$								
BUFFER		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$488 + 0.75 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$492 + 0.80 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 21 \text{ fF}$ $W_L = 220 \text{ fF}$		equação de td(ps)	t_{th}	$488 + 0.75 * C_L \text{ (fF)}$	t_{hl}	$492 + 0.80 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$488 + 0.75 * C_L \text{ (fF)}$								
t_{hl}	$492 + 0.80 * C_L \text{ (fF)}$								
NAND2		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$190 + 2.65 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$163 + 2.92 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 24 \text{ fF}$ $W_L = 45 \text{ fF}$		equação de td(ps)	t_{th}	$190 + 2.65 * C_L \text{ (fF)}$	t_{hl}	$163 + 2.92 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$190 + 2.65 * C_L \text{ (fF)}$								
t_{hl}	$163 + 2.92 * C_L \text{ (fF)}$								
NAND3		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$282 + 2.71 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$263 + 3.10 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 24 \text{ fF}$ $W_L = 81 \text{ fF}$		equação de td(ps)	t_{th}	$282 + 2.71 * C_L \text{ (fF)}$	t_{hl}	$263 + 3.10 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$282 + 2.71 * C_L \text{ (fF)}$								
t_{hl}	$263 + 3.10 * C_L \text{ (fF)}$								
NOR2		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$229 + 3.50 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$250 + 2.81 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 31 \text{ fF}$ $W_L = 63 \text{ fF}$		equação de td(ps)	t_{th}	$229 + 3.50 * C_L \text{ (fF)}$	t_{hl}	$250 + 2.81 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$229 + 3.50 * C_L \text{ (fF)}$								
t_{hl}	$250 + 2.81 * C_L \text{ (fF)}$								
AND2		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$372 + 2.83 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$394 + 2.86 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 24 \text{ fF}$ $W_L = 96 \text{ fF}$		equação de td(ps)	t_{th}	$372 + 2.83 * C_L \text{ (fF)}$	t_{hl}	$394 + 2.86 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$372 + 2.83 * C_L \text{ (fF)}$								
t_{hl}	$394 + 2.86 * C_L \text{ (fF)}$								
AND3		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$517 + 3.07 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$500 + 3.11 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 27 \text{ fF}$ $W_L = 134 \text{ fF}$		equação de td(ps)	t_{th}	$517 + 3.07 * C_L \text{ (fF)}$	t_{hl}	$500 + 3.11 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$517 + 3.07 * C_L \text{ (fF)}$								
t_{hl}	$500 + 3.11 * C_L \text{ (fF)}$								
OR2		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{th}</td><td>$457 + 2.79 * C_L \text{ (fF)}$</td></tr><tr><td>$t_{hl}$</td><td>$464 + 3.06 * C_L \text{ (fF)}$</td></tr></table> $C_{in} = 30 \text{ fF}$ $W_L = 85 \text{ fF}$		equação de td(ps)	t_{th}	$457 + 2.79 * C_L \text{ (fF)}$	t_{hl}	$464 + 3.06 * C_L \text{ (fF)}$	
	equação de td(ps)								
t_{th}	$457 + 2.79 * C_L \text{ (fF)}$								
t_{hl}	$464 + 3.06 * C_L \text{ (fF)}$								

Célula	Símbolo	Características	Esquema elétrico						
XOR		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{lh}</td><td>557 + 3.39 * C_L (fF)</td></tr><tr><td>t_{hl}</td><td>544 + 3.01 * C_L (fF)</td></tr></table> Cin = 52 fF W_L = 148 fF		equação de td(ps)	t _{lh}	557 + 3.39 * C _L (fF)	t _{hl}	544 + 3.01 * C _L (fF)	
	equação de td(ps)								
t _{lh}	557 + 3.39 * C _L (fF)								
t _{hl}	544 + 3.01 * C _L (fF)								
XNOR		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{lh}</td><td>416 + 2.80 * C_L (fF)</td></tr><tr><td>t_{hl}</td><td>437 + 3.04 * C_L (fF)</td></tr></table> Cin = 52 fF W_L = 119 fF		equação de td(ps)	t _{lh}	416 + 2.80 * C _L (fF)	t _{hl}	437 + 3.04 * C _L (fF)	
	equação de td(ps)								
t _{lh}	416 + 2.80 * C _L (fF)								
t _{hl}	437 + 3.04 * C _L (fF)								
FFD		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{lh} CK-Q</td><td>510 + 3.00 * C_L (fF)</td></tr><tr><td>t_{hl} CK-Q</td><td>613 + 3.33 * C_L (fF)</td></tr></table> Cin = 61 fF W_L = 128 fF		equação de td(ps)	t _{lh} CK-Q	510 + 3.00 * C _L (fF)	t _{hl} CK-Q	613 + 3.33 * C _L (fF)	
	equação de td(ps)								
t _{lh} CK-Q	510 + 3.00 * C _L (fF)								
t _{hl} CK-Q	613 + 3.33 * C _L (fF)								
FFD_R		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{lh} CK-Q</td><td>667 + 3.30 * C_L (fF)</td></tr><tr><td>t_{hl} CK-Q</td><td>650 + 3.21 * C_L (fF)</td></tr></table> Cin = 64 fF W_L = 200 fF		equação de td(ps)	t _{lh} CK-Q	667 + 3.30 * C _L (fF)	t _{hl} CK-Q	650 + 3.21 * C _L (fF)	
	equação de td(ps)								
t _{lh} CK-Q	667 + 3.30 * C _L (fF)								
t _{hl} CK-Q	650 + 3.21 * C _L (fF)								
PADIN		<table><tr><td></td><td>equação de td(ps)</td></tr><tr><td>t_{lh}</td><td>782 + 0.53 * C_L (fF)</td></tr><tr><td>t_{hl}</td><td>833 + 0.58 * C_L (fF)</td></tr></table> Cin = 734 fF W_L = 551 fF		equação de td(ps)	t _{lh}	782 + 0.53 * C _L (fF)	t _{hl}	833 + 0.58 * C _L (fF)	
	equação de td(ps)								
t _{lh}	782 + 0.53 * C _L (fF)								
t _{hl}	833 + 0.58 * C _L (fF)								
PADOUT		<table><tr><td></td><td>equação de td(ns)</td></tr><tr><td>t_{lh}</td><td>1.36 + 0.036 * C_L (pF)</td></tr><tr><td>t_{hl}</td><td>1.34 + 0.036 * C_L (pF)</td></tr></table> Cin = 21 fF W_L = 5826 fF		equação de td(ns)	t _{lh}	1.36 + 0.036 * C _L (pF)	t _{hl}	1.34 + 0.036 * C _L (pF)	
	equação de td(ns)								
t _{lh}	1.36 + 0.036 * C _L (pF)								
t _{hl}	1.34 + 0.036 * C _L (pF)								

Obs. Dados obtidos para V_{DD}= 5V , T = 27°C e parâmetros do processo típico.

Usando os dados da tabela 1.1, foi montada uma biblioteca no PSPICE 6.0 para a simulação digital. O PSPICE 6.0 possui um simulador digital com interface para o simulador analógico. Assim, numa mesma simulação, pode ser feita a simulação analógica e digital, facilitando a análise do circuito.

Os pads de entrada e saída têm características especiais. Os pads de entrada têm proteção para descarga estática de até 500V e os de saída têm que drenar corrente para chavear em 20MHz com carga de 30pF (capacitância de uma ponta de prova). Isso exige um “layout” especial, principalmente para drenar muita corrente.

1.4. Cálculo dos Tempos de Atraso.

Os tempos de atraso constantes da tabela 1.1. foram obtidos considerando as seguintes condições (condições típicas):

- Parâmetros de processo de fabricação típicos.
- Tensão de alimentação de 5 volts.
- Temperatura de 27 graus Celsius.

Para outras condições de funcionamento do circuito, devem-se considerar desvios do atraso de propagação proporcionais às condições de operação em relação às condições normais, conforme as equações abaixo [9][10]:

$t_{hl} = t_{hl0} \cdot K_V \cdot K_T \cdot K_P$ (Eq.1.5)

$t_{lh} = t_{lh0} \cdot K_V \cdot K_T \cdot K_P$ (Eq.1.6)

Onde t_{hl0} e t_{lh0} são os atrasos calculados nas condições típicas, já considerando o efeito da capacitância associado ao pino, usando a equação 1.1.

K_V , K_T e K_P são coeficientes que corrigem os tempos de propagação com a tensão de alimentação, com temperatura e com os parâmetros do processo, respectivamente.

Os valores de K_V , K_T e K_P podem ser obtidos através dos gráficos mostrados a seguir.

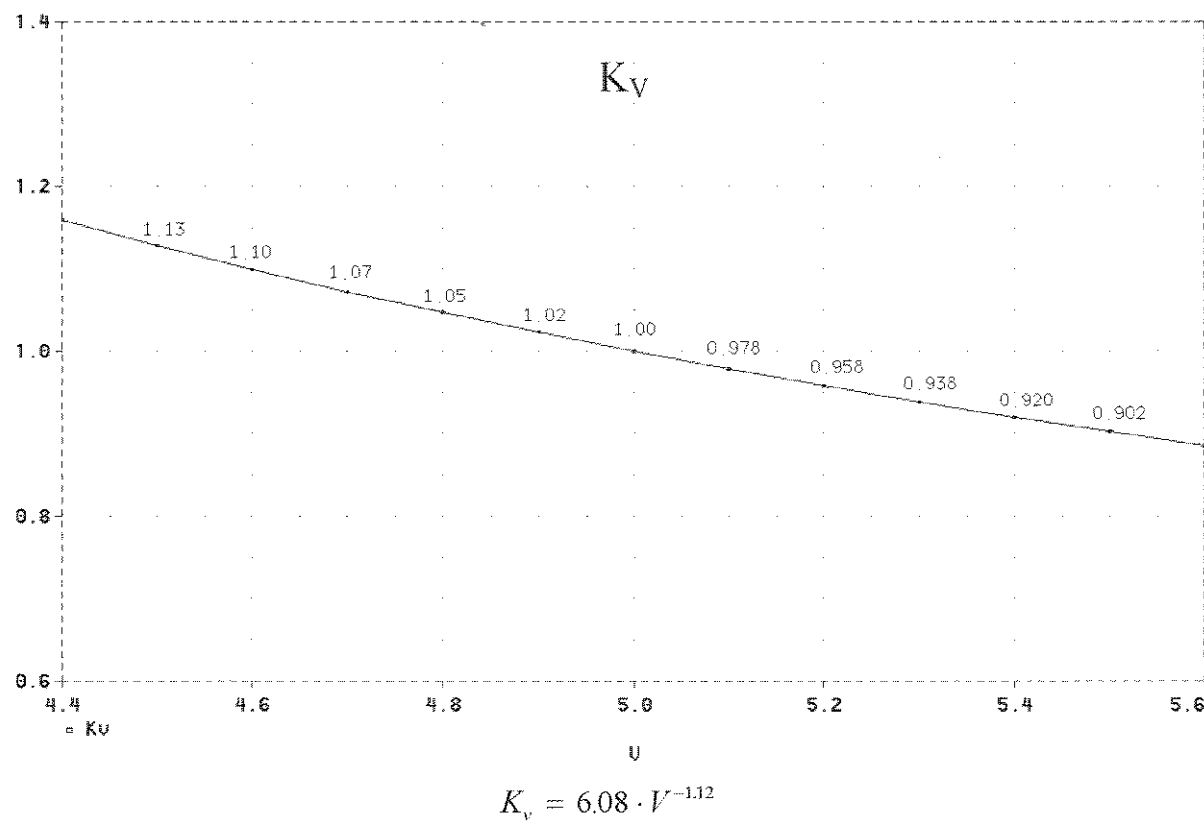


Figura 1.2 - Variação de K_V em função da tensão de alimentação (em volts).

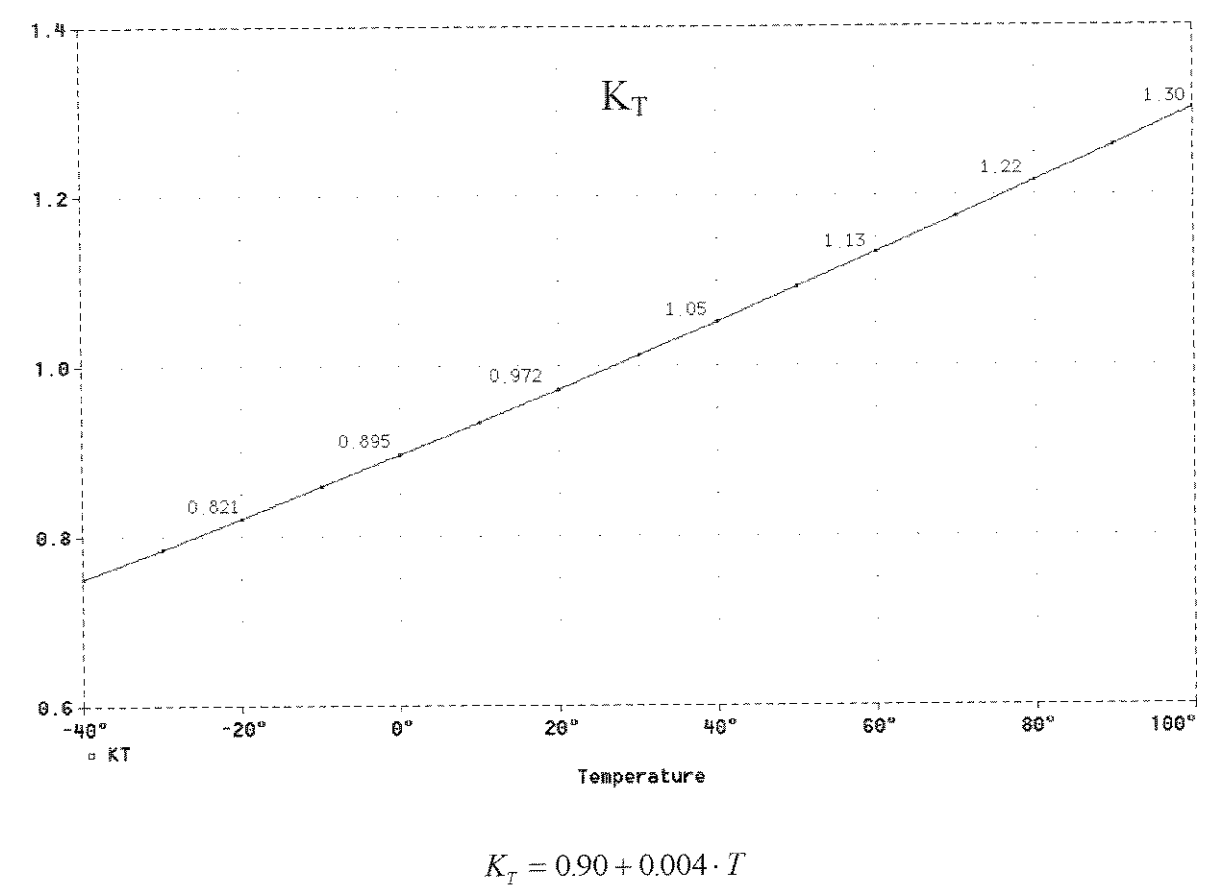


Figura 1.3 - Variação de K_T em função da temperatura (em graus Celsius).

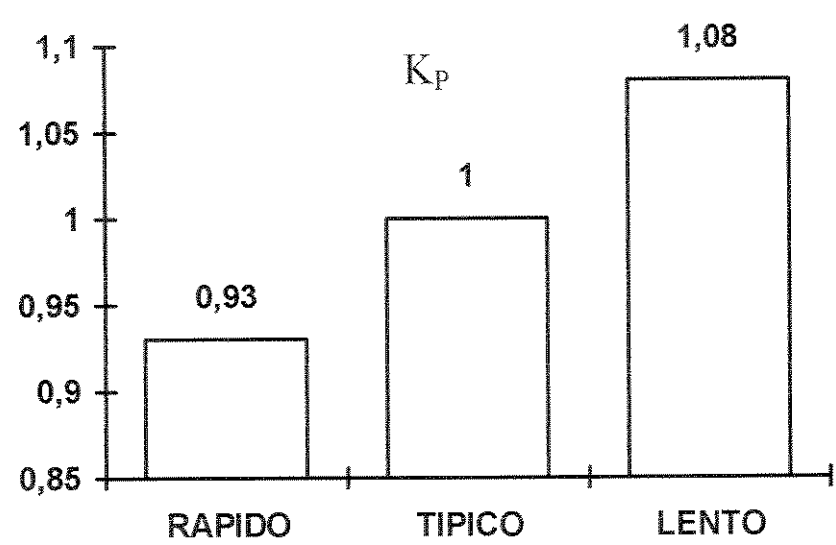


Figura 1.4 - Variação de K_P em função dos parâmetros do processo.

Esses gráficos foram obtidos por simulação medindo-se a variação do período de oscilação de um anel de 11 inversores.

Para as simulações digitais no PSPICE 6.0 foi definido um parâmetro K que corrige os tempos de propagação para condições diferentes da normal, sendo K calculado da seguinte forma:

$$K = K_v \cdot K_T \cdot K_p \quad (\text{Eq. 1.7})$$

O parâmetro K deve ser definido no esquemático antes da simulação digital.

1.5. Conclusões.

Essa primeira etapa foi a mais demorada, pois além de muito trabalhosa, tínhamos poucas informações sobre quais parâmetros devem ser otimizados e quais estruturas são mais confiáveis e adequadas para a nossa aplicação. Isso gerou uma série de simulações apenas de teste não mostradas nesse capítulo.

O principal critério usado foi o de confiabilidade, por ser o primeiro circuito que fazemos nessa tecnologia.

Hoje, com mais experiência posso sugerir algumas modificações nas células principalmente com relação ao layout dos pads de entrada e saída. Ao contrário de alguns meses atrás considero o tamanho da células mais importante que algumas características elétricas. Fazer os pads menores e mais próximos é mais importante que não haver conexões de vias entre os pads, o VDD e o GND. O tamanho dos circuitos é determinado principalmente pelo tamanho dos pads, com pads menores o circuito fica menor aumentando o "yield".

Capítulo 2

PWM DIGITAL

2.1. Introdução.

O circuito modulador de largura de pulso, conhecido como PWM (Pulse Width Modulation), é muito usado em circuitos digitais, pois pode ser implementado usando apenas circuitos digitais, tendo como entrada palavras digitais. A essa implementação daremos o nome de PWM Digital.

O PWM é amplamente usado como interface de saída de circuitos digitais. Nos microcontroladores mais antigos, o PWM é implementado através de software, usando temporizadores e interrupções, mas isto consome muito tempo de processamento da CPU. Nos processadores mais modernos é usado um hardware dedicado para gerar o pulso modulado e consumindo da CPU apenas o tempo de escrita de uma palavra em um registrador, o qual indica a largura do pulso.

A saída em PWM pode ser utilizada para várias funções, tais como a de conversor A/D, controle do ciclo de trabalho de chaves, sincronizar eventos, enviar sinais modulados em largura de pulso, dimmer, etc.

No circuito implementado neste trabalho foram usados dois registradores, os quais determinam a largura e a posição do pulso, permitindo sincronizar o pulso com outros eventos, escolher o momento para ligar e desligar chaves para comutação suave, fazer modulação em posição de pulso, etc.

2.2. Especificações:

Como um dos objetivos é a utilização do circuito para controle de fontes chaveadas, especificamos a frequência de relógio do sistema em 20MHz, o que, com 8 bits, irá gerar sinal modulado em 78,1KHz. Essa frequência é boa para o acionamento dos transistores das fontes chaveadas e, se necessitarmos de frequências mais baixas, basta reduzir a frequência do relógio (por exemplo, com 16MHz a frequência do sinal modulado será de 62KHz) .

A precisão especificada foi de 1%, por ser adequadas aos objetivos do circuito, e não requerer nenhum circuito ou técnica especial para ser atingida.

A tecnologia usada foi a CMOS 1 μ m, oferecida pelo PMU do CTL.

A seguir mostramos as especificações gerais usadas para o projeto.

Frequência de relógio (F_{CLK}):	20 MHz
Frequência de modulação (F_0):	78,1KHz ($F_{CLK}/2^8$)
Resolução :	8 bits ou 0,4%
Precisão:	1%
Largura de pulso mínima:	50 ns
Tensão de alimentação (V_{DD})	5 V $\pm$ 10%
Temperatura da junção	-20°C a 100°C
Tecnologia	CMOS 1 μ m

2.3. Descrição do Circuito.

Primeiramente iremos descrever o circuito com os principais blocos funcionais. Detalharemos depois a descrição desses blocos, explicando a inclusão de alguns circuitos adicionais.

2.3.1. Descrição Geral

O circuito do PWM digital segue o mesmo raciocínio do PWM analógico, onde o gerador de rampa é substituído por um contador, os comparadores analógicos por comparadores digitais, e os níveis de comparação são dados por palavras armazenadas em registradores.

Na figura 2.1 temos um diagrama geral de blocos do circuito de PWM.

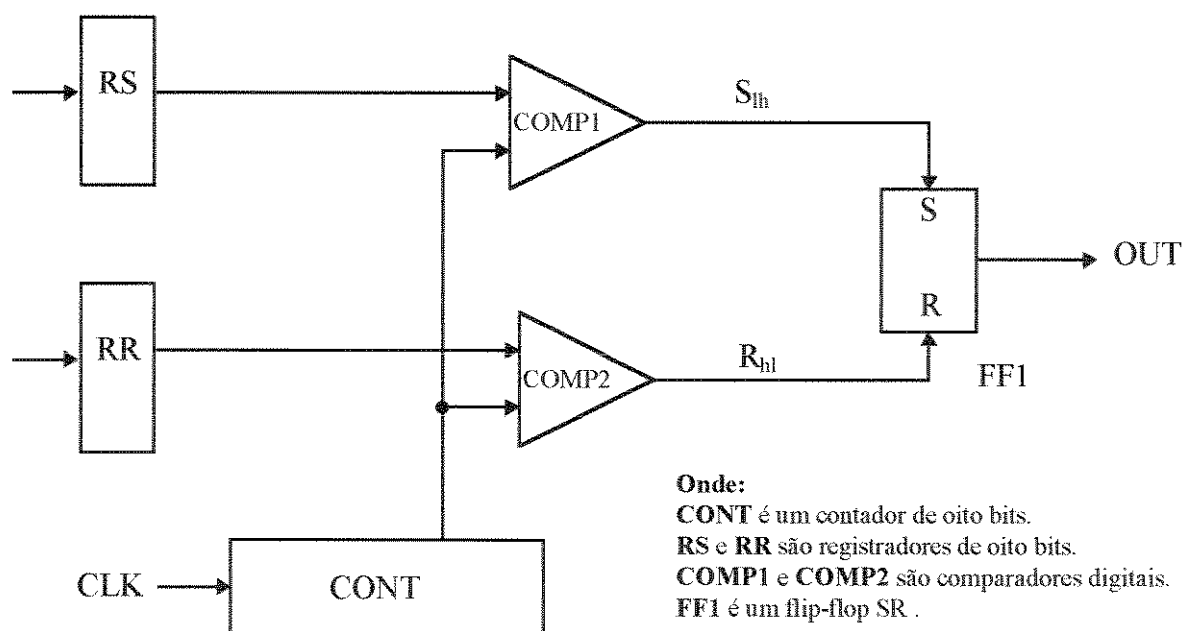


Figura 2.1 - Diagrama de Blocos do Circuito PWM.

O contador (**CONT**) gera uma palavra de 8 bits, iniciando em 00h. É incrementada de 1 a cada ciclo de relógio, até FFh, retornando depois a 00h e reiniciando o ciclo, gerando um sinal equivalente ao de uma rampa.

O contador determina o período do sinal modulado T_0 , que é dado por:

$$T_0 = 2^8 \cdot T_{CLK} \quad (\text{Eq.2.1})$$

onde T_{CLK} é o período do relógio do sistema.

Os registradores (RS e RR) armazenam palavras oito bits provenientes de circuitos externos (microcontroladores, conversores A/D, etc.) . RS controla a posição da transição de subida do sinal de saída e RR controla a posição da transição de descida do sinal de saída.

Os comparadores (COMP1 COMP2) comparam a palavra gerada pelo contador com as palavras dos registradores. Quando elas se igualam, eles setam ou resetam o flip-flop da saída, mudando o estado do sinal de saída.

COMP1 compara a palavra armazenada no registrador RS com a palavra gerada pelo contador. Quando elas forem iguais, o comparador seta o flip-flop FF1, levando a saída (OUT) para nível 1 (5 V).

COMP2 compara a palavra armazenada no registrador RR com a palavra gerada pelo contador. Quando elas forem iguais, o comparador reseta o flip-flop FF1, levando a saída (OUT) para nível 0 (0 V).

Desta forma montamos o sinal modulado em largura de pulso. RS determina a posição inicial do pulso δ_0 , a diferença entre RR e RS determina a largura de pulso do sinal τ_0 , e a frequência do relógio determina o período do sinal modulado T_0 ($2^8 \cdot T_{CLK}$).

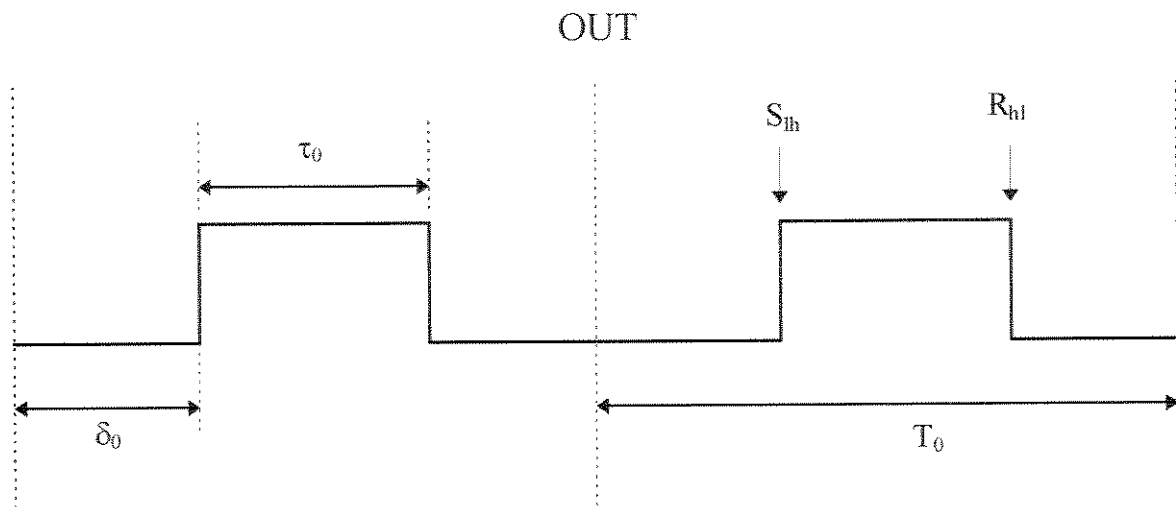


Figura 2.2 - Sinal de saída do PWM.

Então temos que a posição inicial do pulso é dada por:

$$\delta_0 = RS \cdot T_{CLK} \quad (\text{Eq.2.2})$$

E a largura de pulso é dada por:

$$\tau_0 = (RR - RS) \cdot T_{CLK} \quad (\text{Eq.2.3})$$

Também podemos gerar um pulso modulado invertido, com o pulso em nível lógico 0 . Basta fazer RS maior que RR: teríamos o mesmo comportamento, só que RR determinaria a posição inicial do pulso δ_0 , e a diferença entre RS e RR determinaria a largura de pulso do sinal τ_0 .

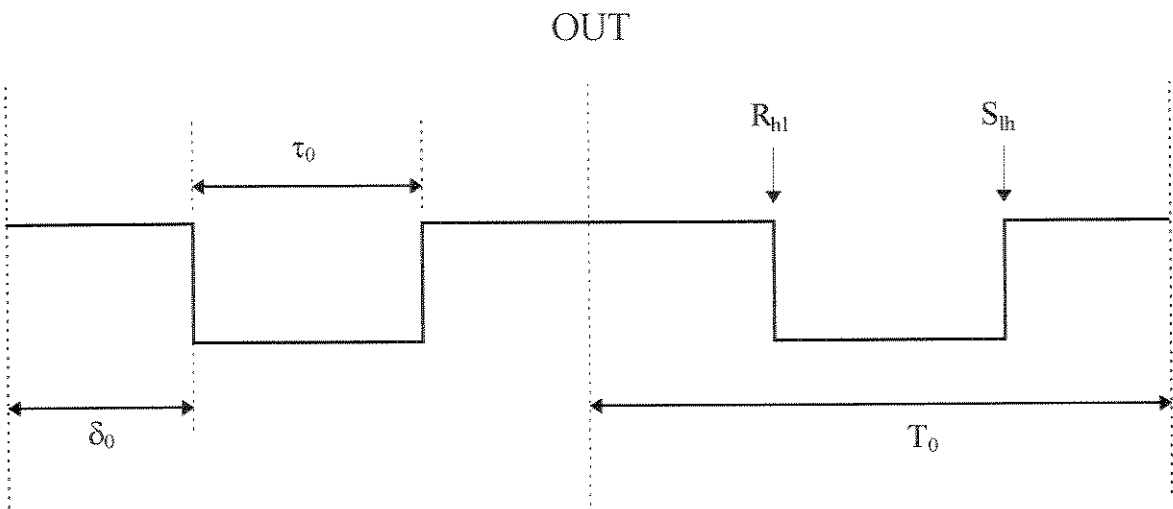


Figura 2.3 - Sinal de saída do PWM pulso negativo.

Então nesse caso temos que a posição inicial do pulso é dada por:

$$\delta_0 = RR \cdot T_{CLK} \quad (Eq.2.4)$$

E a largura de pulso é dada por:

$$\tau_0 = (RS-RR) \cdot T_{CLK} \quad (Eq.2.5)$$

2.3.2. Descrição Detalhada.

Iremos fazer uma descrição mais detalhada do circuito. Descreveremos cada um dos blocos já citados e alguns circuitos adicionais que foram incluídos para resolver problemas não citados anteriormente.

Usando as células básicas descritas no capítulo anterior, montamos os componentes básicos do nosso circuito.

Contador.

Na figura 2.4 é mostrado o esquema elétrico do contador. É um contador assíncrono de oito bits com SET e um sinal de indicação de overflow (OVER) , e é acionado na borda de subida do sinal de relógio.

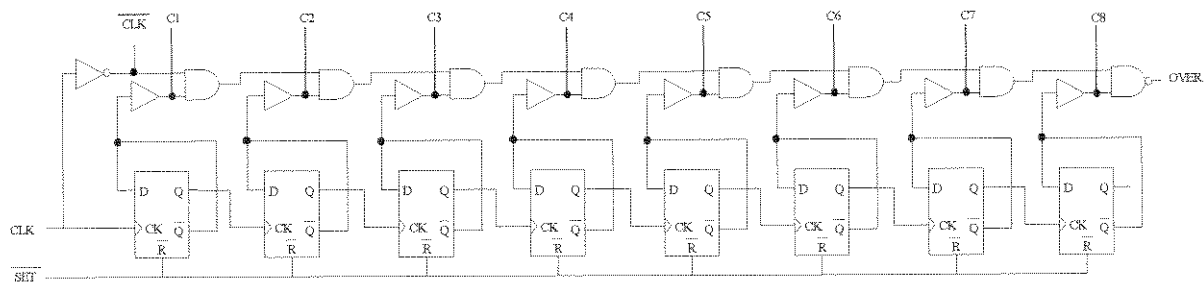


Figura 2.4 - Esquema Elétrico Contador.

Na figura 2.5 temos a simulação do contador no início da contagem e no final do ciclo de contagem. Na inicialização o contador esta setado. Sua saída (C[8-1]) estará em FFh e o sinal de OVER em 0, indicando a ocorrência de um overflow. Após se retirar o sinal de set, ao primeiro ciclo de relógio, o contador irá iniciar a contagem em 00h e o sinal de OVER irá para 1, e a cada ciclo do relógio a saída é incrementada de 1.

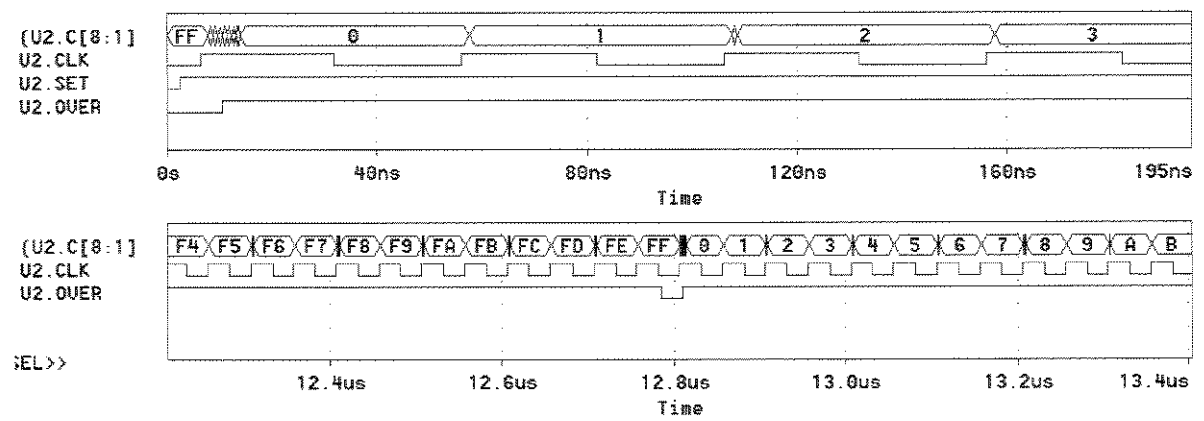


Figura 2.5 - Simulação do Contador.

No final da contagem em FFh é gerado um pulso negativo no OVER, indicando o fim da contagem, e o contador reinicia a contagem em 00h.

O sinal de OVER será usado para permitir a leitura das entradas no final de cada ciclo do contador. Da forma que foi implementada, as entradas serão lidas no primeiro ciclo de relógio após a retirada do SET, e a cada início de contagem.

Por ser o contador assíncrono, após o acionamento há uma demora considerável até a estabilização da saída, como podemos observar na figura 2.5 . Esse tempo foi determinado através de simulação. Para as condições normais, o tempo encontrado foi de 7,76ns e, para o pior caso (100°C, 4,5V e processo lento, K=1,5), obtivemos o tempo de 11,26ns. Esse tempo irá limitar a frequência máxima de operação, como veremos mais tarde.

Para tentar reduzir esse tempo de estabilização, os sinais de saída (C1 a C8) são obtidos das saídas $\overline{Q}$ dos flip-flops FFD_R, evitando assim aumentar a capacitância de carga nas conexões entre flip-flops por onde o sinal é propagado.

Comparador.

Na figura 2.6 é mostrado o esquema elétrico do comparador. Quando as entradas A e B forem iguais, a saída estará em nível “0”, caso contrário, permanecerá em “1”, como é mostrado no exemplo de simulação da figura 2.7 . Usando os dados da tabela 1.1, calculamos o tempo de propagação do sinal. Para condições normais ele é de $1500ps + 2.92 * C_L$ (fF) , como será visto mais tarde; a saída será conectada a um flip-flop tipo D e assim teremos um tempo de propagação de 1680ps e, no pior caso, 2520ps (100°C, 4,5V e processo lento, K=1,5).

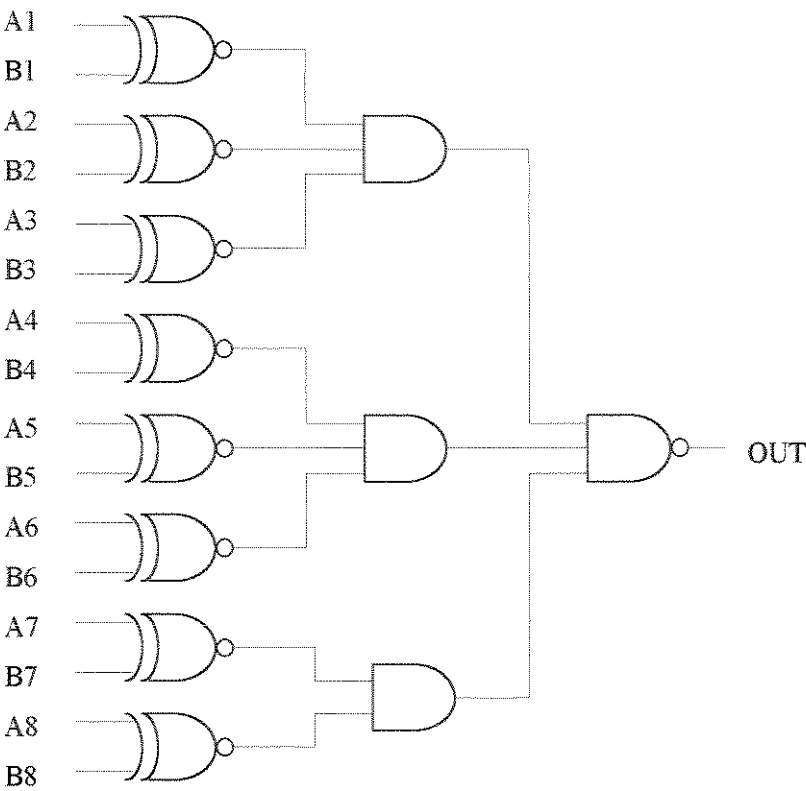


Figura 2.6 - Esquema Elétrico Comparador.

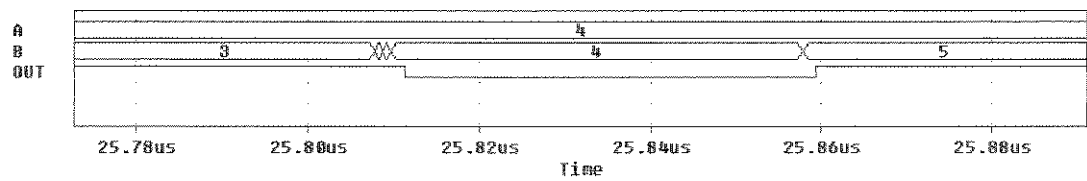


Figura 2.7 - Simulação exemplo de do comparador.

Registadores.

Na figura 2.8 é mostrado o esquema elétrico dos registradores de entrada que farão a leitura e armazenarão os sinais de entrada. A leitura é feita na borda de subida do sinal CK, como mostra a figura 2.9.

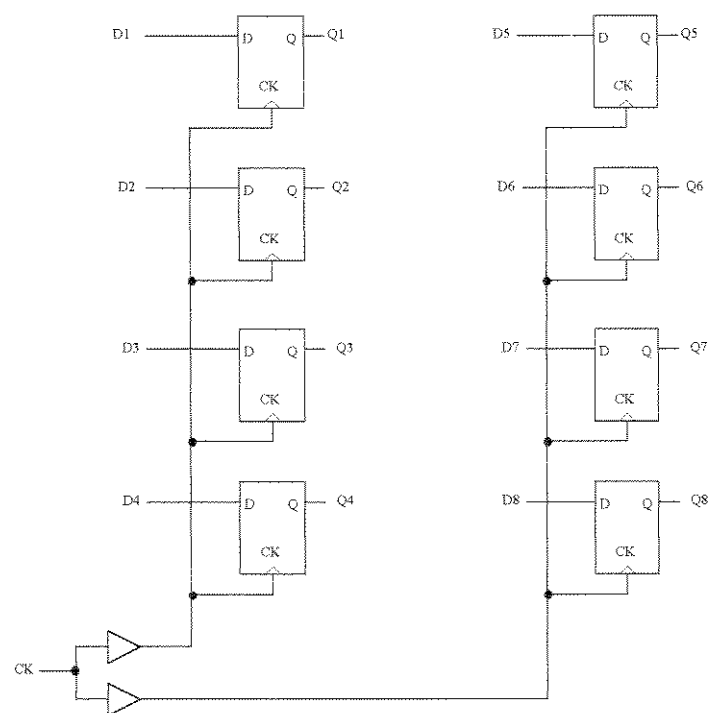


Figura 2.8 - Esquema Elétrico Registradores.

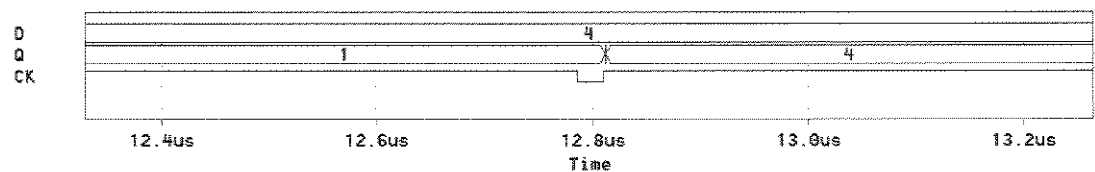


Figura 2.9 - Exemplo de simulação do registrador.

Na entrada CK será conectado o sinal de OVER do contador. Assim, a cada início de contagem, quando o sinal de OVER vai de nível 0 para 1, as entradas serão lidas; isto evita que esses registradores sejam modificados a qualquer momento, gerando formas de ondas indesejáveis. Desta forma, os valores dos registradores permanecem constantes durante todo o ciclo.

Flip-Flop SR.

Como último módulo básico temos o flip-flop SR, que armazena o estado da saída. Seu esquema elétrico é apresentado na figura 2.10. Usando os dados da tabela 1.1, calculamos os seguintes tempos de propagação:

$$t_{lh} = 797ps + 0,75 \cdot C_L \text{ (fF)}$$
$$t_{hl} = 1040ps + 0,80 \cdot C_L \text{ (fF)}$$

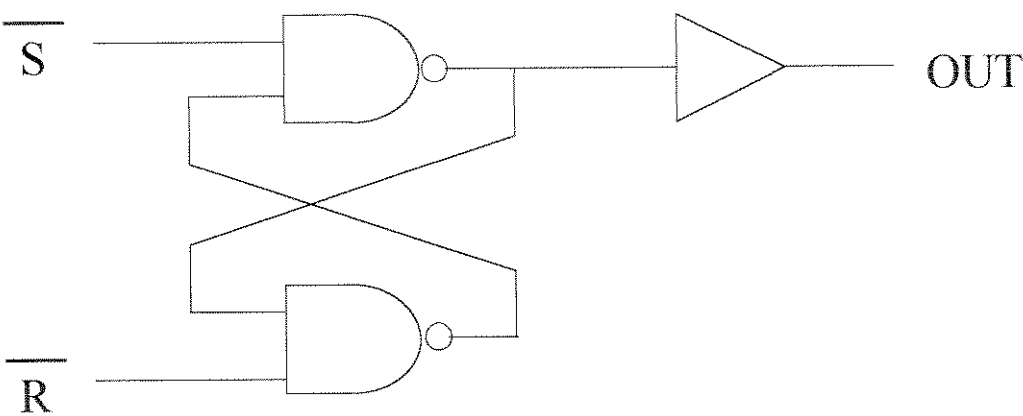


Figura 2.10 - Esquema Elétrico Flip-Flop SR.

Quando os dois registradores de entrada tiverem o mesmo valor, os sinais de set e reset irão ser acionados ao mesmo tempo. Isto foi considerado uma indeterminação, apesar da saída sempre ir para nível lógico 1. Aconselhamos que o circuito externo (microcontrolador) que fornece os dados de entrada evite esse estado.

Circuito para Eliminação de “Spikes”.

Um cuidado que deve der tomado é com relação ao aparecimento de “spikes” . Neste circuito eles aparecem na saída dos comparadores e são causados principalmente pelo fato do contador passar por vários estados intermediários antes de se estabilizar. Num desses estados ele pode acionar o comparador, gerando um “spike”, que pode causar uma transição falsa na saída. Isto é mostrado na figura 2.11, no sinal Rhl, onde vemos o aparecimento de “spikes”.

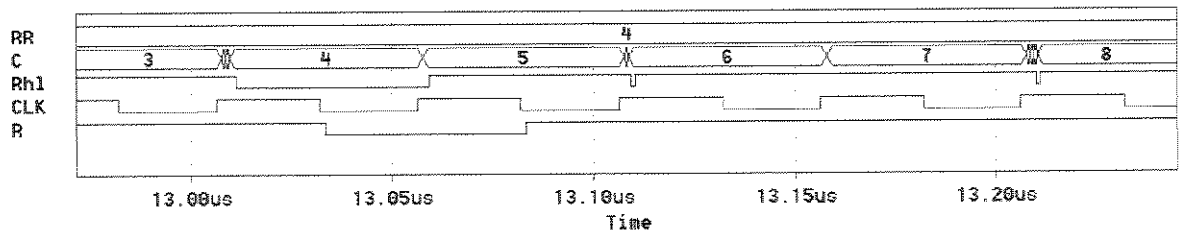


Figura 2.11 - Gráfico eliminação de spikes.

Para eliminar esses “spikes” foram colocados flip-flops D sensíveis à borda nas saídas dos comparadores. Esses flip-flops só irão ler os sinais S_{lh} e R_{hl} após estarem estáveis. Como o contador é acionado na borda de subida do relógio, escolhemos a borda de descida para a leitura dos sinais S_{lh} e R_{hl} , assim estes sinais têm meio ciclo de relógio para se estabilizarem. É o que mostra a figura 2.11, onde o sinal Rhl só é lido na borda de descida do CLK quando ele está estável, eliminando o “spike”, e gerando o sinal R.

Desta forma, o tempo de estabilização dos sinais S_{lh} e R_{hl} irá limitar a frequência máxima do relógio em:

$$f_{max} = \frac{1}{2 \cdot t_{estab}} \quad (\text{Eq.2.6})$$

onde t_{estab} é o tempo de estabilização.

Esse tempo já pode ser calculado como a soma do tempo de estabilização do contador com o tempo de atraso do comparador. No pior caso (100°C, 4,5V e processo lento, K=1,5), $t_{estab} = 13.78\text{ns}$ assim $f_{max} = 36\text{MHz}$, estando dentro das especificações.

Circuito Completo

Na figura 2.12 mostramos o esquema elétrico do circuito completo.

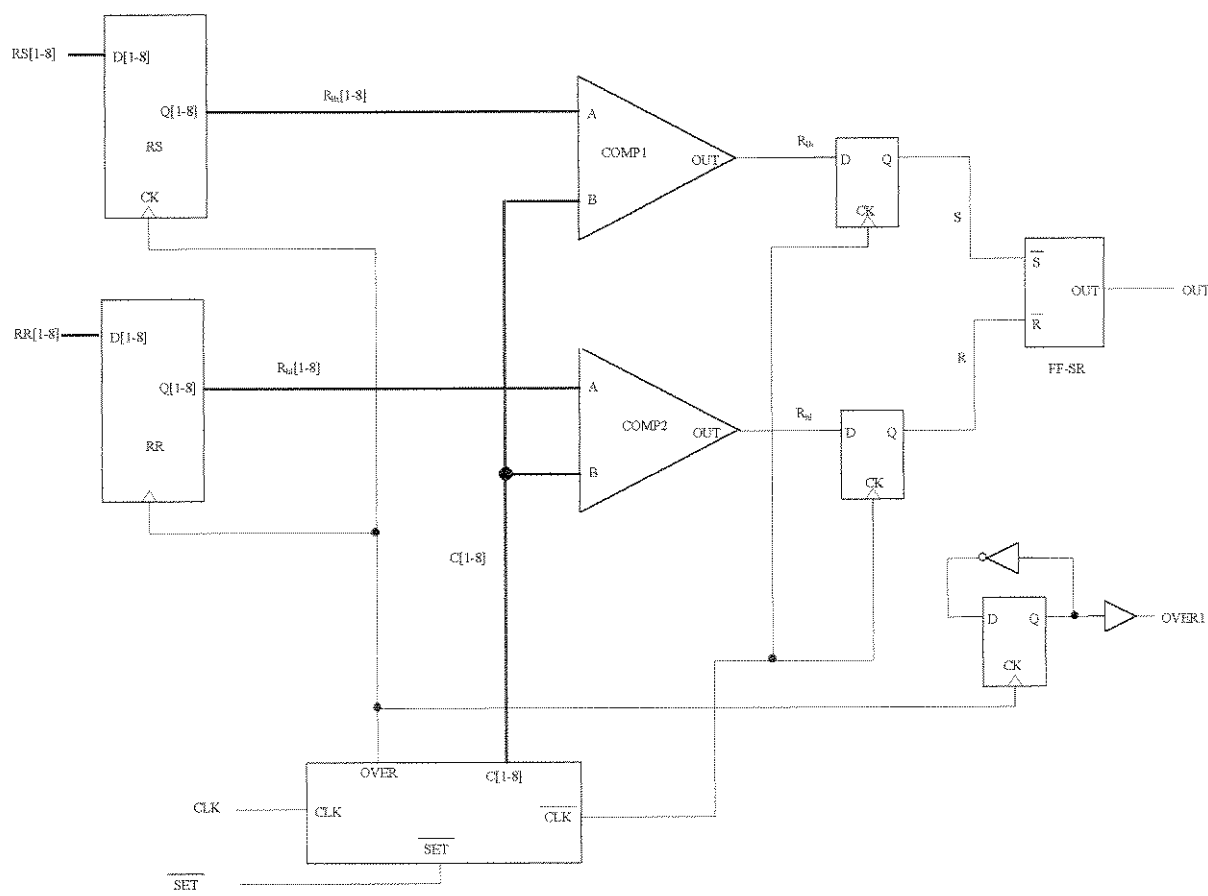


Figura 2.12 - Esquema Elétrico Circuito PWM Digital.

No circuito final foi incluído o sinal OVER1 com o objetivo de monitorar o sinal OVER do contador e criar um sinal para sincronismo. O sinal de OVER gera um pulso muito estreito ($T_{CLK}/2$), isto dificulta a sua monitoração em um osciloscópio, por isso este sinal foi conectado a entrada de um flip-flop T (toggle), gerando o sinal OVER1, mais fácil de ser

monitorado. O sinal OVER1 terá o dobro do período do sinal modulado e como está sincronizado com o ciclo do contador, pode ser usado como sinal de “trigger”, permitindo medir a posição do pulso do sinal modulado (τ_0) no osciloscópio.

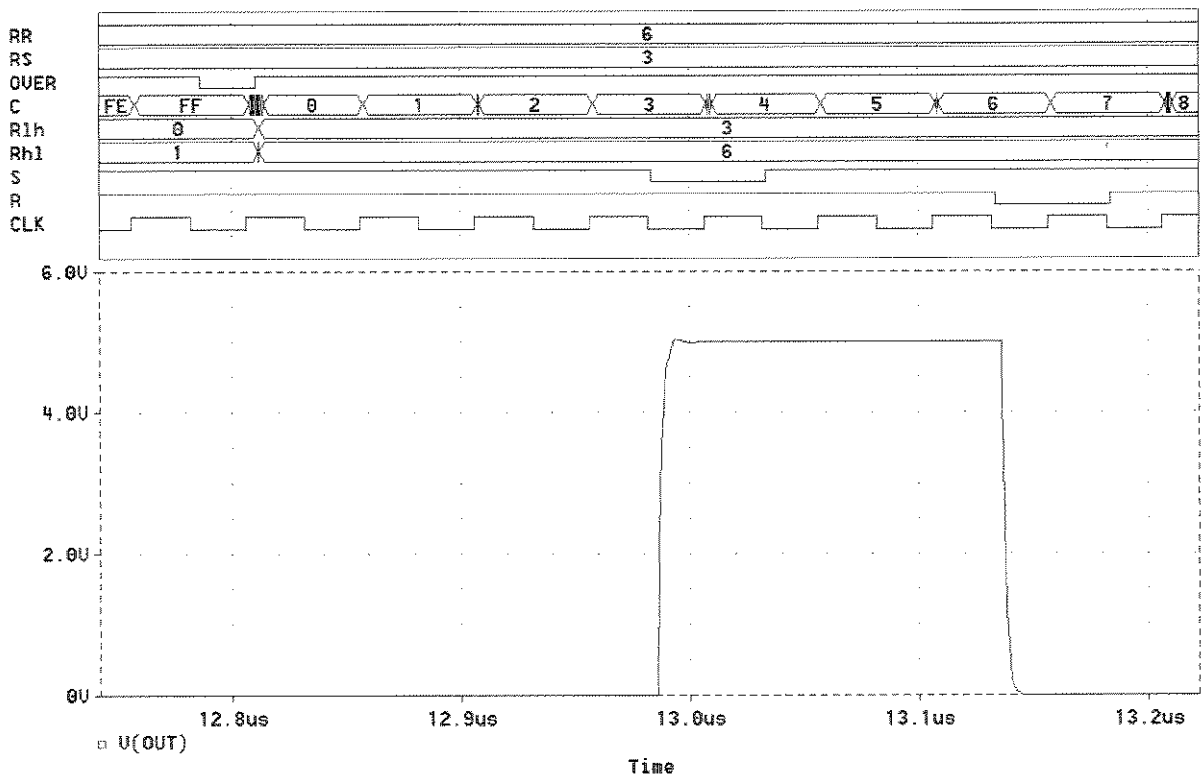


Figura 2.13 - Simulação do Circuito PWM Digital.

A figura 2.13 mostra uma simulação do circuito completo. Nota-se que os sinais Rlh e Rhl são atualizados na borda de subida do sinal OVER, ou seja no reinício da contagem do contador.

Quando o sinal do contador se iguala ao sinal Rlh, meio ciclo depois o sinal de set (S) aparece e a saída (OUT) vai para 5V. Quando o sinal do contador se iguala ao sinal Rhl, meio ciclo depois aparece o sinal reset e o sinal de saída (OUT) volta para 0V, construindo o pulso do PWM.

Na figura 2.14 mostramos uma simulação com geração de pulso com nível 0. Colocamos 03h em RR e 06h em RS, e notaremos a geração do pulso invertido em relação ao da figura 2.13.

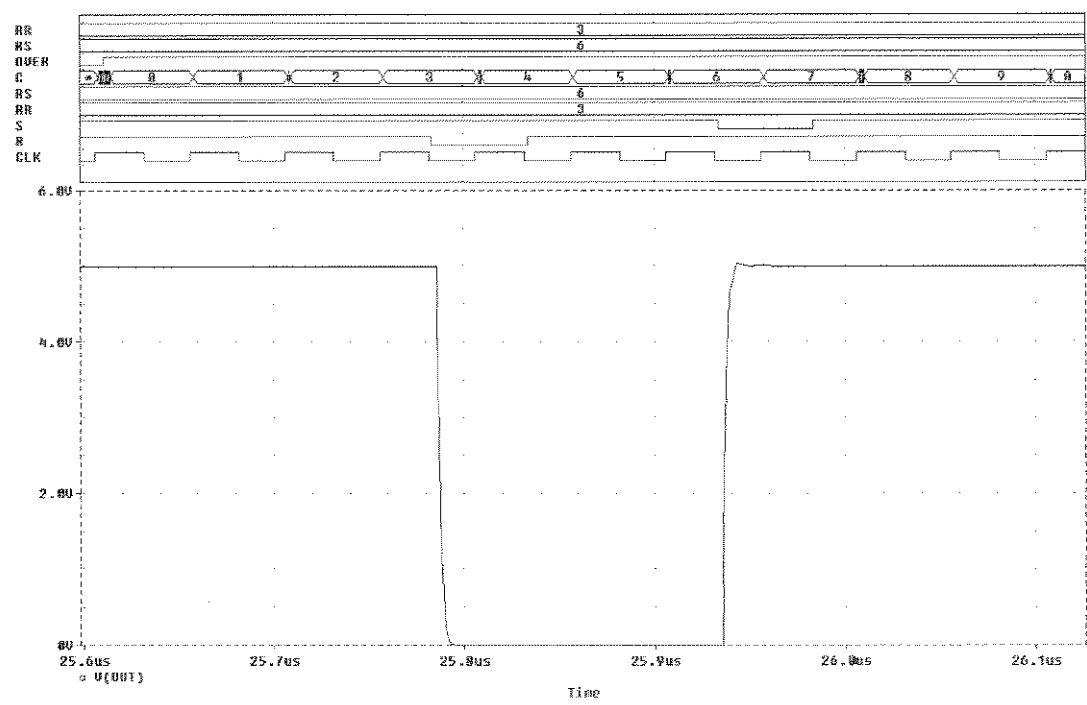


Figura 2.14 - Simulação do Circuito PWM Digital Pulso Invertido.

2.4. Layout.

O “layout” foi feito a partir da biblioteca de células e usando o LASI 5.2 e o TANNER 6.0 como editores. A área ocupada pelo circuito integrado foi determinada principalmente pelos pads.

Na elaboração do “layout” houve uma preocupação especial com as trilhas de alimentação dos pads de saída. Supondo que irão ter uma carga de 30pF, consumirão muita corrente para o chaveamento. Para evitar que a tensão de alimentação caia muito durante o chaveamento, foi feita uma trilha especial com metal 2 entre o VDD e os pads de saída, com $1,85\Omega$. Simulando para o pior caso (-20°C , 5.5V, rápido), produzirá picos de 105mA na alimentação durante o chaveamento, como é mostrado na figura 2.15. Observamos uma queda na alimentação de 0,2V, o que não é suficiente para causar problemas na lógica CMOS.

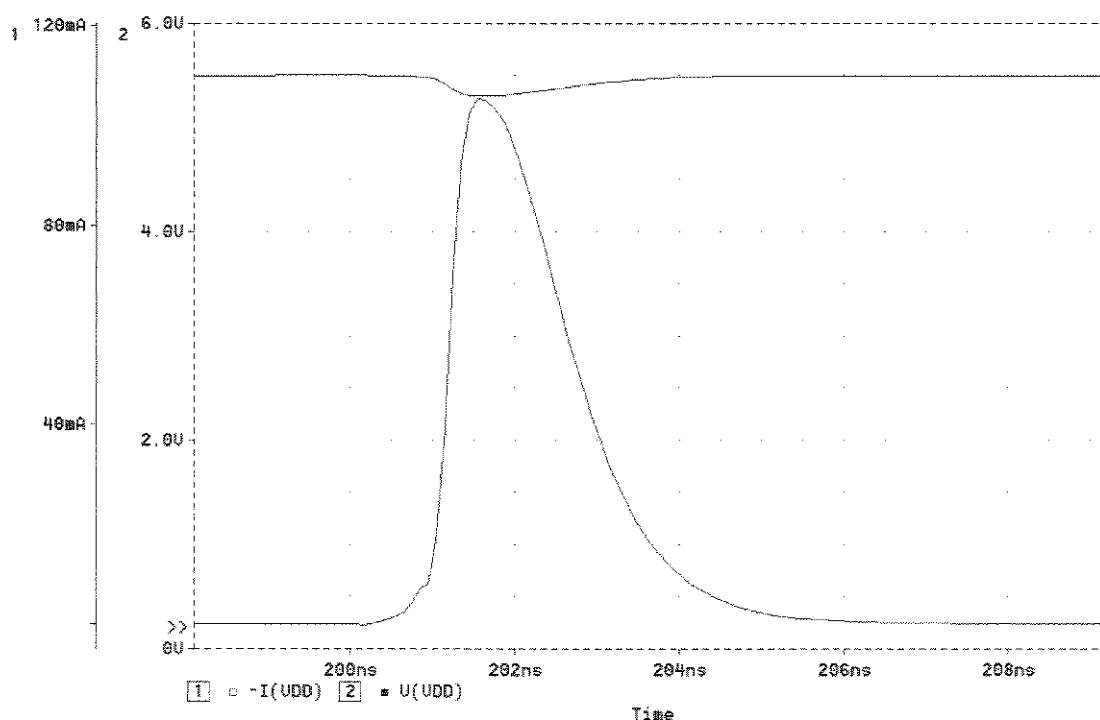


Figura 2.15 - Pico de corrente no PAD de saída.

O circuito final ocupou uma área de $2,86\text{ mm}^2$, com 22 pads, 18 de entrada, dois de saída, um VDD e um GND.

O “layout” passou pelos testes de DRC e LVS. Está em processo de fabricação pelo PMU oferecido pelo CTI, e estamos aguardando as amostras.

Na figura 2.16 mostramos o “layout” final do circuito.

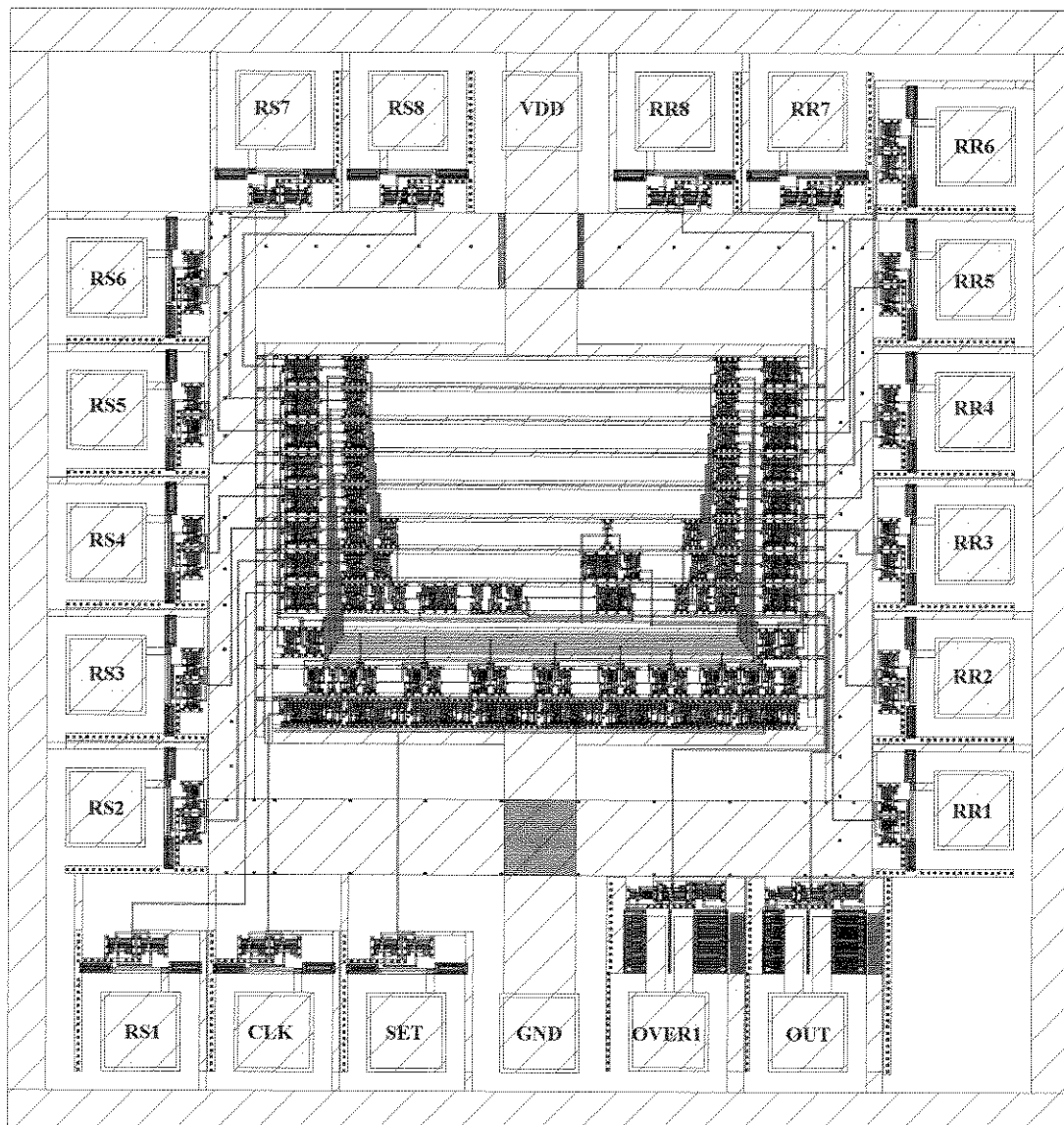


Figura 2.16 - Layout Circuito PWM Digital

2.5. Dissipação de potência.

Para o cálculo da dissipação de potência, usaremos a equação 1.4. . De início iremos dividir o circuito em núcleo e pads: o núcleo é o circuito lógico e os pads são os circuitos de entrada e saída.

No núcleo temos as seguintes portas:

Portas	Quantidade	C _{IN}	W _L
Buffer	14	294 fF	3080 fF
Inversor	3	63 fF	87 fF
Nand 2	3	72 fF	135 fF
Nand 3	6	144 fF	486 fF
And 2	9	216 fF	864 fF
And 3	4	108 fF	536 fF
Xnor	16	832 fF	1904 fF
FFD	19	2318 fF	2432 fF
FFD_R	8	1024 fF	1600 fF
interconexões	-	810 fF	————
Total	82	5881 fF	11124 fF

A frequência do relógio é de 20MHz. Estimando uma média de 20% na frequência de chaveamento das portas teremos:

$$P_{nucleo} = (C_L + W_L) \cdot V_{DD}^2 \cdot fp = (5881 + 11124) \cdot 10^{-15} \cdot 25 \cdot 20 \cdot 10^6 \cdot 0,2$$

$$P_{nucleo} = 1,7mW$$

Nos pads, a frequência pode ser melhor estimada e, como os pads de saída têm uma capacitância de carga alta, é conveniente fazer uma estimativa mais precisa .

Consideramos que os sinais nos pads de entrada dos registradores e do set são muito baixos e, portanto, a dissipação será considerada desprezível nesses pads. Assim temos:

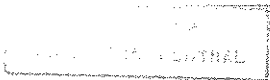
Pad	C _{IN}	W _L	C _L	Frequência
CLK entrada	————	551 fF	————	20 MHz
OUT saída	21 fF	5826 fF	30.000fF	78 KHz
Overl saída	21 fF	5826 fF	30.000fF	39 KHz

Calculando a potência dissipada obtemos:

$$P_{pads} = 0,379\text{ mW}$$

A dissipação de potência total é:

$$P_{total} = P_{nucleo} + P_{pads} = 2,08\text{ mW}$$



Usando os dados do encapsulamento DIL cerâmico de 40 pinos temos:

$$\text{temperatura do semiconductor} = \text{temperatura ambiente} + 40^{\circ}\text{C} * P_{\text{total}}$$

Assim para temperatura ambiente de 27°C, a temperatura do semiconductor será de 27,08°C . Isto indica que não teremos problemas com dissipação de potência e este fator será muito importante quando este circuito estiver inserido em um circuito maior, como o de um microcontrolador.

2.6. Resultados de Simulação.

As simulações foram feitas no PSPICE 6.0, usando o seu simulador digital. Este simulador possui interface para a simulação analógica e, assim, a simulação interna do CI foi feita digital, e a externa analógica.

2.6.1. Precisão.

A precisão é a última especificação ainda não analisada.

A precisão é definida como a diferença percentual entre a largura de pulso que queremos obter e a largura de pulso obtida. Como os sinais de set e reset do flip-flop de saída são sincronizados com o relógio, a precisão será definida apenas pela diferença de atraso de propagação entre o set e o reset do sinal de saída. Como esses atrasos não dependem da largura de pulso, o pior caso de precisão será para o pulso de largura mínima, 50ns para f_{CLK}=20MHz .

Para se determinar a precisão, com a frequência do relógio em 20MHz, geramos um pulso de tamanho mínimo. Na entrada RS colocamos 04h e na RR 05h, e carga de 30pF nos pads de saída, e para pior caso (100°C, 4,5V e processo lento, K=1,5) , como a diferença é de 01h a largura do pulso gerado teria que ser de 50ns.

O resultado é mostrado na figura 2.17 .

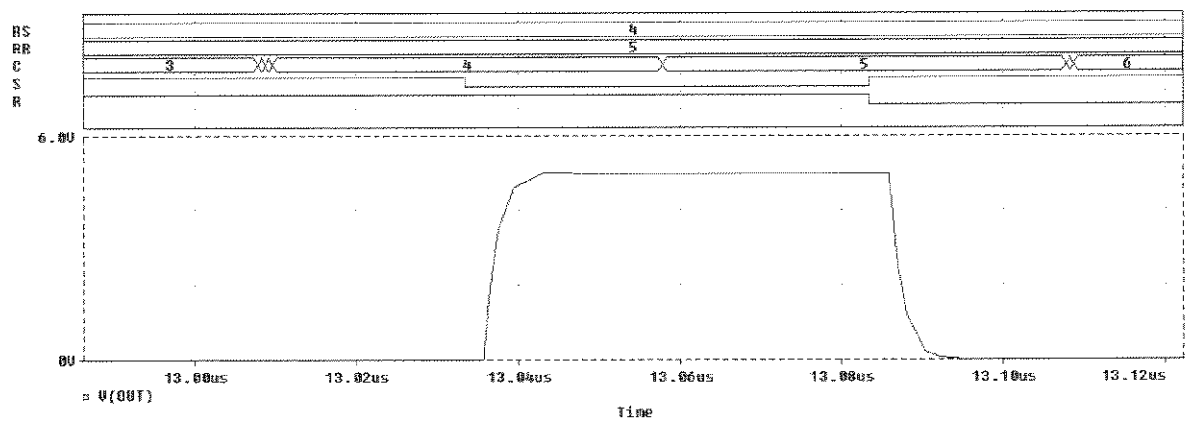


Figura 2.17 - Simulação PWM Digital precisão.

A largura de pulso obtida foi de 50,402ns então:

$$\text{Precisão} = \frac{50,402 - 50}{50} * 100\% = 0,8\%$$

A precisão de 0,8%, está dentro da especificação desejada. Nota-se que esse é o pior caso de precisão; para larguras de pulso maiores, a precisão irá melhorar significativamente.

Como os sinais de set e reset são sincronizados com o relógio, esse erro é causado pela diferença entre o tempo de propagação desses sinais até a saída. Se fossem iguais, só provocaria um deslocamento do pulso.

Na figura 2.18 temos um gráfico mostrando o que ocorre. τ_0 é a largura desejada, que vai se refletir na distância entre os sinais de S e R. Como $t_{hl} > t_{lh}$, isso irá aumentar o tamanho do pulso gerado $\tau_1 > \tau_0$, sendo que $\tau_1 - \tau_0 = t_{hl} - t_{lh}$.

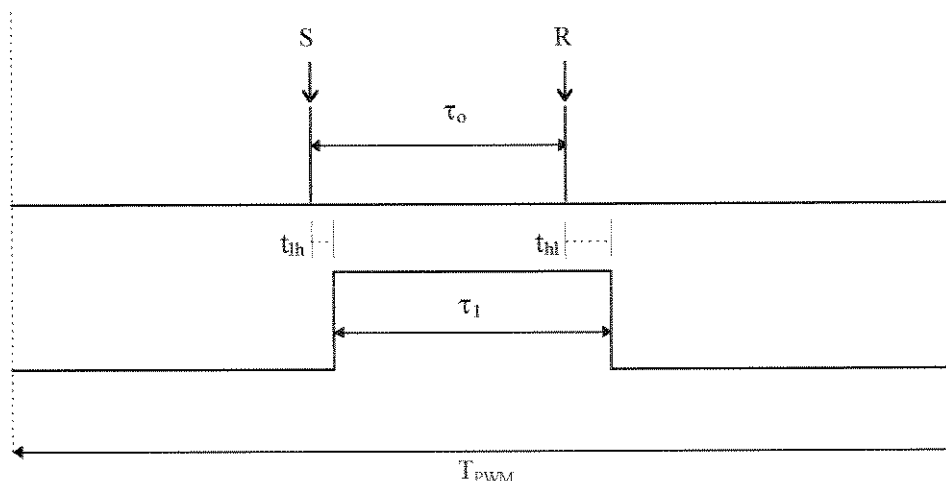


Figura 2.18 - Erro Largura de pulso.

Essa diferença é provocada pelo flip-flop SR e pelo PAD de saída, que têm tempo de propagação diferentes $t_{lh} \neq t_{hl}$. Calculamos a diferença entre esses tempos de propagação, para o pior caso, obtivemos 400ps, que é a diferença obtida na simulação.

Essa diferença entre os tempos de propagação se mantém constante com a largura do pulso. Assim a precisão pode ser calculada da seguinte forma:

$$\text{Precisão} = \frac{0,4\text{ns}}{\tau_0} * 100\% \quad (\text{Eq.2.7})$$

Notamos que a maior causa de erro é no flip-flop SR. Assim, a precisão pode ser melhorada sincronizando o sinal de saída do flip-flop SR com a borda de subida do relógio. Isto pode ser feito colocando um flip-flop D entre o flip-flop SR e o PAD, como é mostrado na figura 2.19. Fazendo uma experiência com essa implementação, obtivemos 0,3% de precisão. Como com o circuito anterior já atingimos as especificações, essa implementação fica como sugestão para um futuro circuito, necessitando de uma análise mais detalhada.

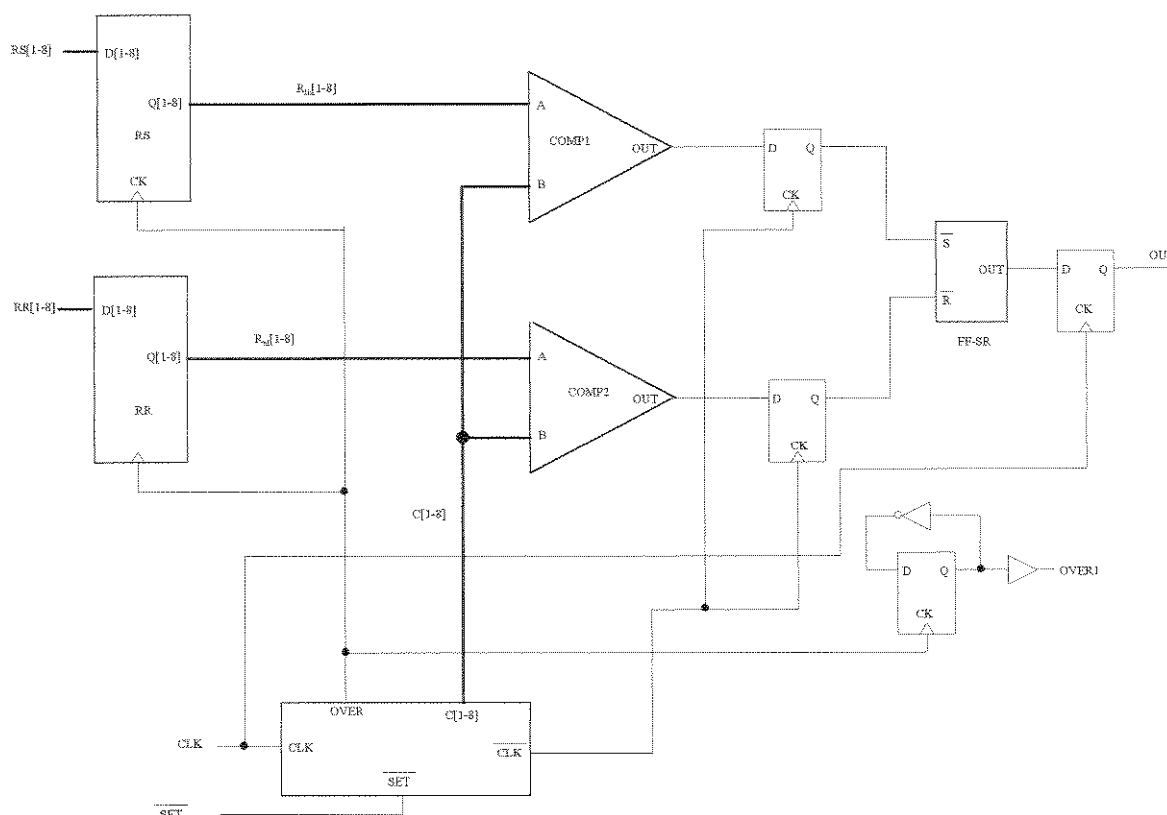


Figura 2.19 - Esquema elétrico PWM Digital sugerido (precisão).

2.7. Conclusões.

O projeto atingiu seus objetivos, criamos um circuito de modulador de largura de pulso usando apenas portas lógicas, e atendeu todas as especificações do projeto.

Este circuito foi projetado para poder ser usado como célula de um circuito mais complexo, como o de um microcontrolador. Podendo ser implementado em qualquer tecnologia Digital, só mudando as características das células básicas usadas e, portanto, as características do circuito final.

Durante a implementação do circuito, a maior dificuldade foi a elaboração do “layout” e, como já foi dito, no projeto das células de pads de entrada e saída deveria der ser dada maior prioridade ao tamanho e a conexão mais simples com o VDD e com o GND, para reduzir o tamanho do circuito.

Estamos apenas aguardando as amostras, para a confirmação dessas especificações através de testes em bancada.

O projeto deste circuito deixou uma grande quantidade de ferramentas e informações para auxiliar o projeto de circuitos digitais, tais como uma biblioteca de células digitais, quais os problemas mais importantes no projeto de circuitos digitais, como calcular várias características dos circuitos, etc.

Essas informações serão muito úteis para futuros projetos.

Capítulo 3

APLICAÇÕES

3.1. Introdução.

Neste capítulo iremos mostrar algumas aplicações práticas para o circuito de PWM Digital. Como a principal aplicação do circuito é como interface de saída de microcontroladores, então nesse capítulo iremos imaginar que as entradas dos dados virão da CPU de um microcontrolador. Como aplicações mostraremos a de um conversor D/A e o controle de uma fonte chaveada.

Para facilitar as simulações dessas aplicações, criamos um macro modelo comportamental do circuito, permitindo uma simulação mais rápida e facilitando, ou melhor, tornando possível a análise dos circuitos.

O esquema elétrico do circuito comportamental é mostrado na figura 3.1.

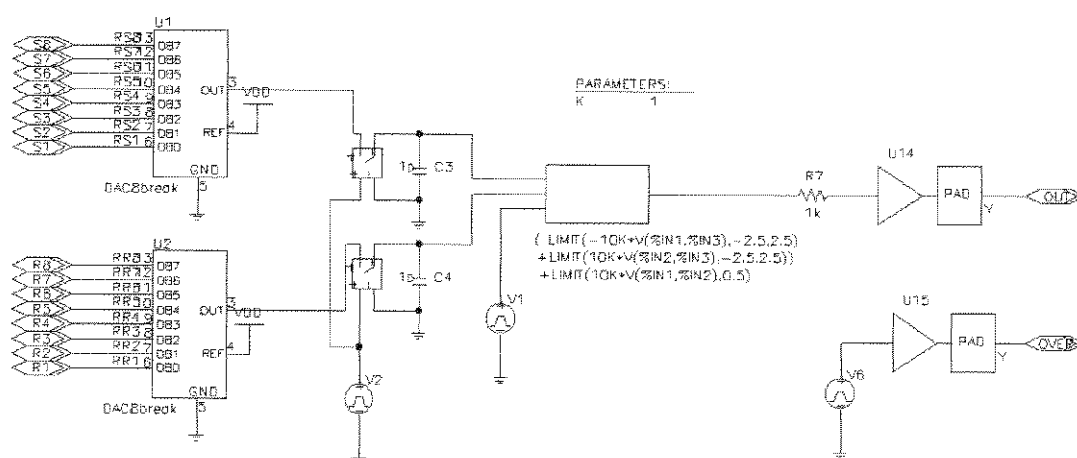


Figura 3.1 - Modelo Comportamental PWM Digital.

3.2. Conversor D/A .

3.2.1. Introdução.

O uso do PWM como D/A é relativamente simples. Para recuperar o sinal modulado em largura de pulso, é necessário apenas um filtro passa baixa. Para baixas frequências (sinais de comando, níveis de referência, etc.), podemos usar apenas um circuito RC como filtro; com filtros mais sofisticados, pode-se trabalhar com frequências mais altas. Como o nosso modulador opera em uma frequência relativamente alta, pode ser usada para aplicações mais ousadas, por exemplo um sintetizador de voz.

O espectro de frequência de um sinal senoidal modulado em largura de pulso é mostrado na figura 3.2.

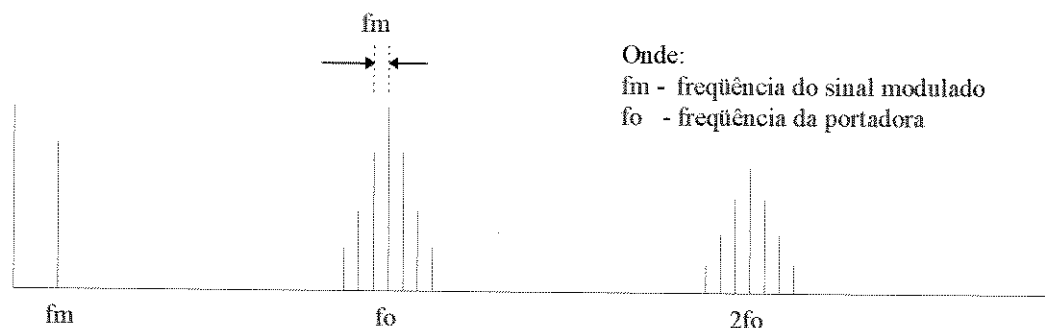


Figura 3.2 - Espectro de frequência do sinal modulado

O sinal modulado é composto do próprio sinal (com uma componente DC e sua componente em f_m), componentes em frequências múltiplas de f_o e componentes distantes destas, de f_m e seus múltiplos [3]. Usando um filtro passa baixa, podemos eliminar as componentes de alta frequência e recuperar o sinal modulado.

3.2.2. Geração de Sinal Contínuo.

Essa é uma das aplicações mais simples deste circuito. Com o circuito de PWM geramos sinais de tensão contínuos (níveis de tensão), usados para referência ou comando de outros circuitos.

Iremos gerar um sinal de tensão contínua proporcional à palavra digital presente na entrada RR. O filtro usado foi um RC simples, com $R = 10K$ e $C = 16nF$, com frequência de corte em 994Hz. Na entrada RS colocamos 00h e na entrada RR colocamos, inicialmente, 55h e em 1,5ms mudamos a entrada para AAh. O circuito usado é mostrado na figura 3.3.

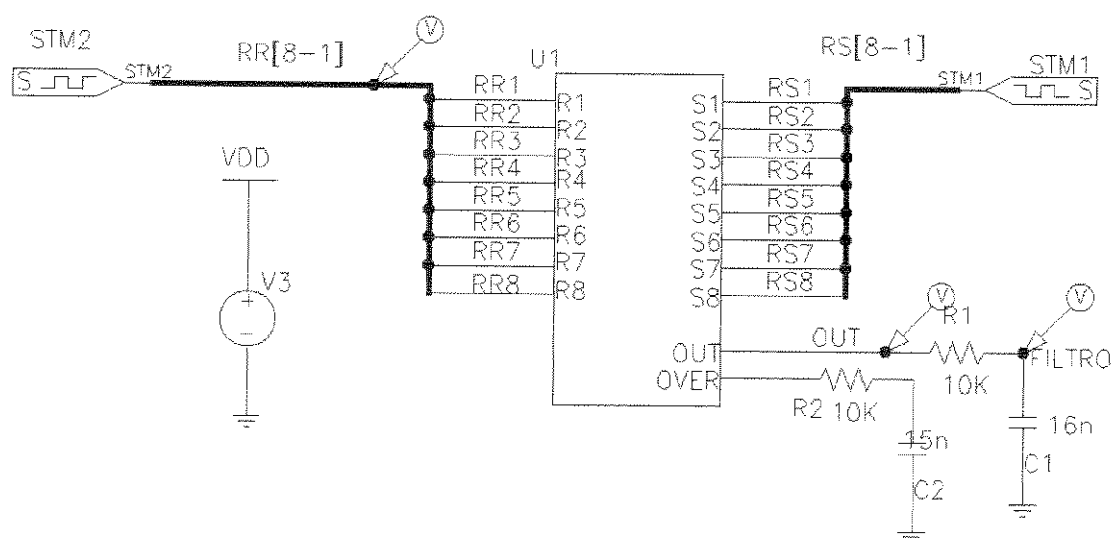


Figura 3.3 - circuito conversor D/A

A tensão média na saída será a tensão de alimentação (VDD) multiplicada pelo ciclo de trabalho (δ). Temos que o ciclo de trabalho é dado por:

$$\delta = \frac{RR}{256} \quad (\text{Eq. 3.1})$$

Como após o filtro esperamos ter apenas a tensão média, então:

$$V_{\text{filtro}} = \frac{RR}{256} \cdot VDD \quad (\text{Eq. 3.2})$$

Com $VDD = 5V$, quando a entrada estiver com 55h (85) teremos que obter na saída 1,66V e, quando a entrada estiver com AAh (170), teremos que obter 3,32V. Na figura 3.4 temos os resultados da simulação.

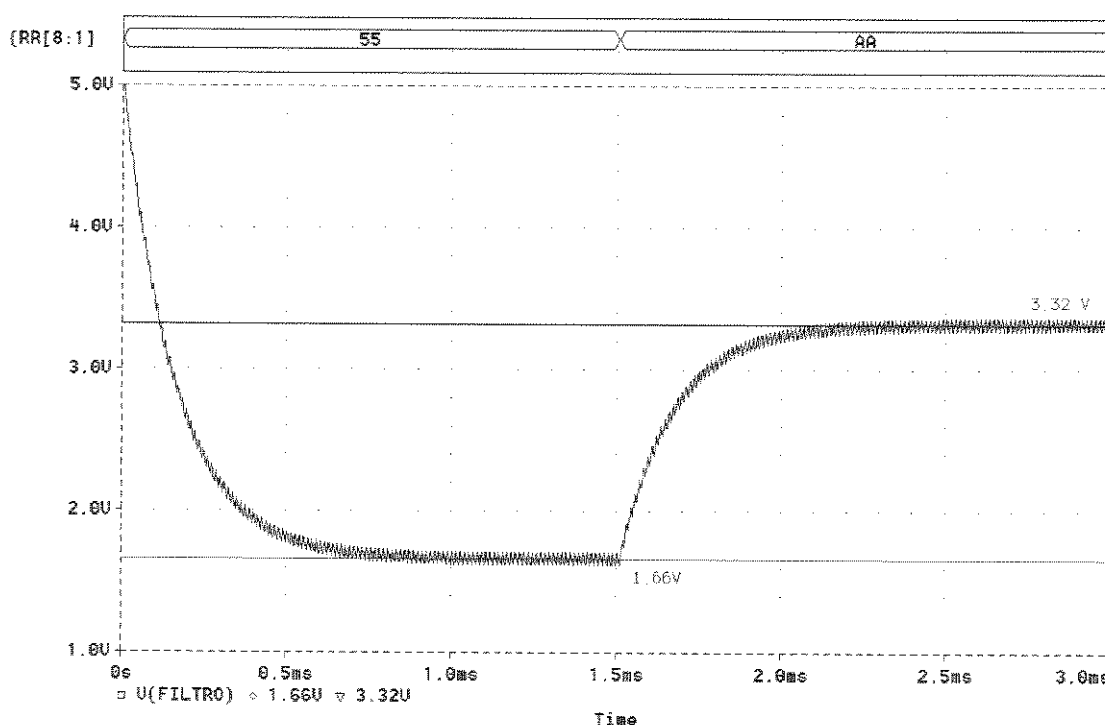


Figura 3.4 - simulação conversor D/A

Na simulação podemos observar que, quando a entrada é 55h, a saída do filtro depois de um tempo se estabiliza em 1,66V e, quando a entrada vai para AAh, a saída do filtro vai para 3,32V, como esperado. Nós observamos um “ripple” no sinal de saída, que pode ser reduzido diminuindo a frequência de corte do filtro.

Com este circuito podemos gerar um sinal com o nível de tensão controlado por uma palavra digital, para ser usada como referência ou como comando de outros circuitos.

3.2.3. Geração de sinal Alternado.

Outra aplicação possível é gerar um sinal senoidal. Manteremos a entrada RS em com 00h, e na entrada RR injetaremos uma seqüência de palavras representando os pontos de uma

senóide. Em um microcontrolador essas palavras estarão em uma tabela, ou serão geradas por uma função. Para produzirmos essa seqüência de palavras no PSPICE, usamos um conversor A/D, tendo como entrada um sinal senoidal.

Para essa aplicação é necessário usar um filtro de melhor qualidade e, por isso, usamos o filtro chebyshev passa baixa, fornecido pela biblioteca do pspice. O circuito gerará um sinal senoidal de 1KHz, com amplitude de 2V e 2,5V de nível DC. Na figura 3.5 mostramos o esquema elétrico do circuito.

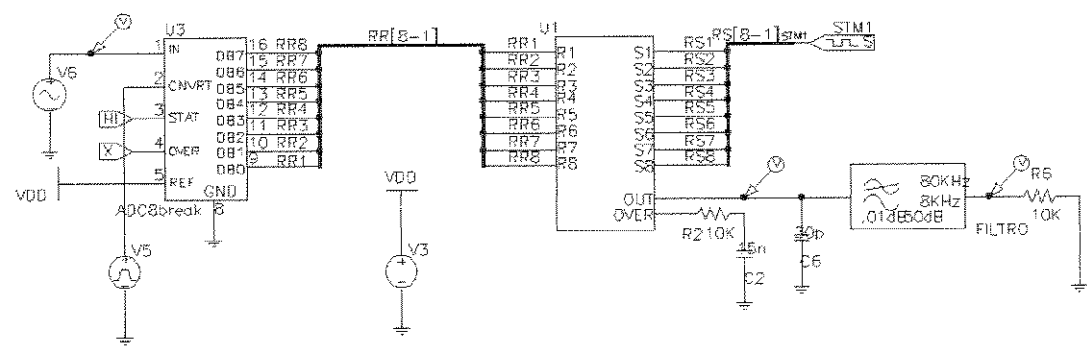


Figura 3.5 - gerador de senoide.

Note-se que, na verdade, não estaremos modulando um sinal senoidal, mas sim um sinal senoidal amostrado com período de T_o (12,8 μ s), o qual possui componentes em alta freqüência, como mostra a figura 3.6 .

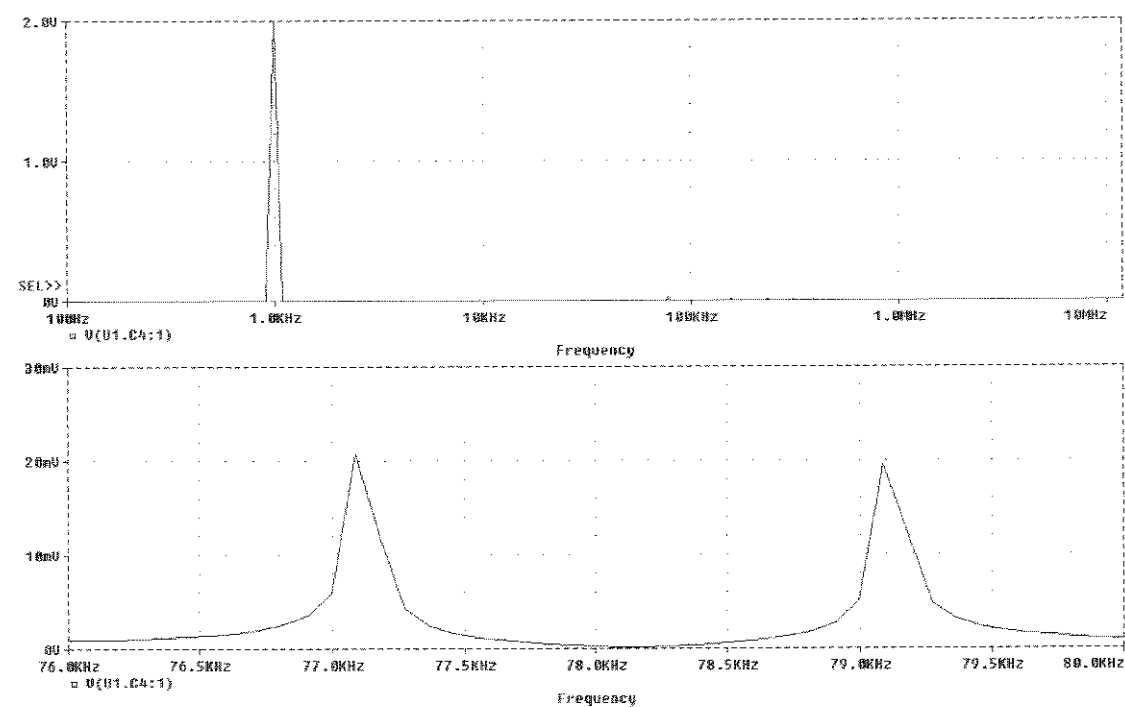


Figura 3.6 - Espectro de freqüência do sinal senoidal amostrado

A componente de 77,1 KHz irá produzir no sinal modulado uma componente em 2KHz que não poderá ser filtrado e aparecerá no sinal gerado. E a componente de 79,1 KHz irá produzir uma componente DC que, por ser muito pequena, pode ser desprezada.

O resultado da simulação é mostrado na figura 3.7.

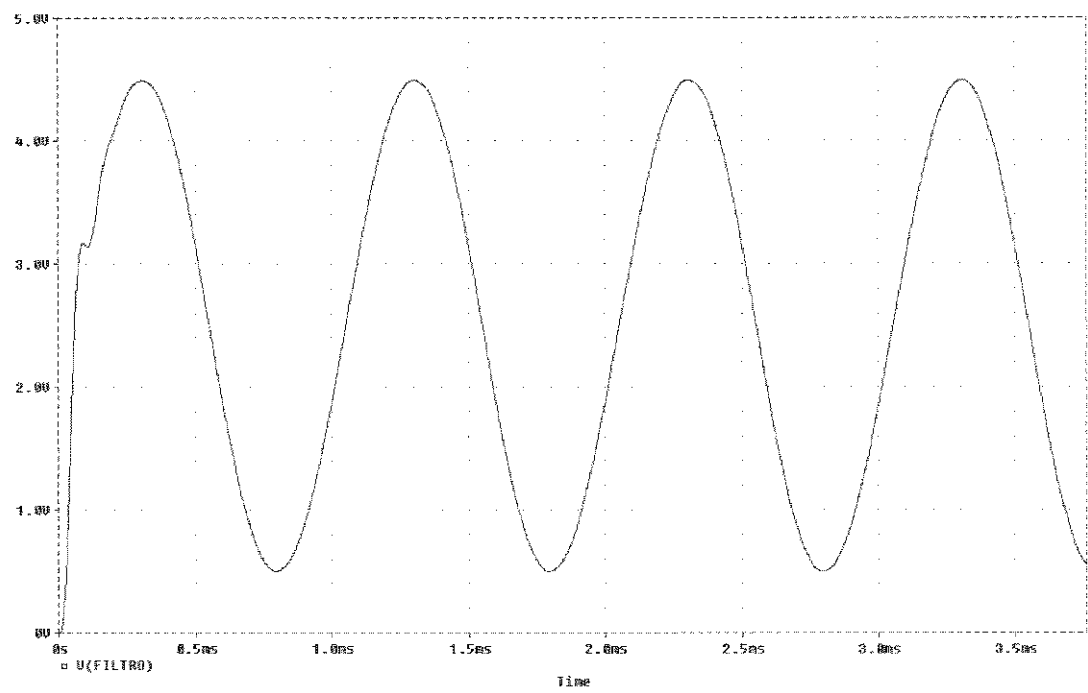


Figura 3.7 - resultados da simulação do gerador de senóide.

Na figura 3.7 é mostrado o sinal na saída do filtro, indicando que é possível gerar um sinal senoidal com o PWM.

Na figura 3.8 é mostrada a transformada de Fourier do sinal modulado e do sinal gerado após do filtro.

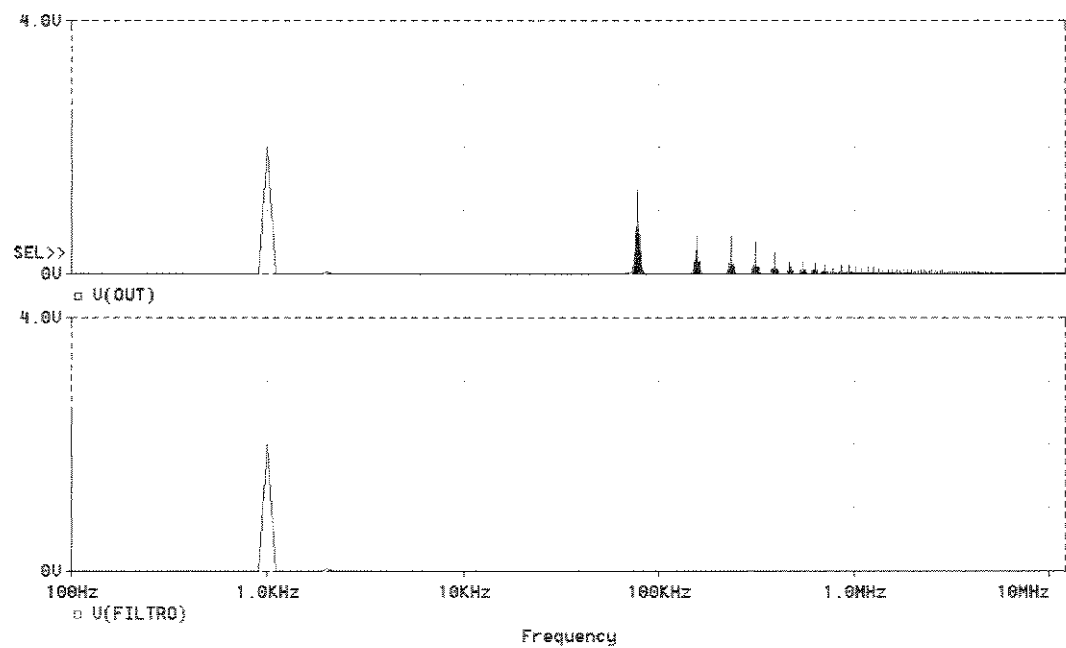


Figura 3.8 - espectro de frequência do gerador de senóide.

O espectro de frequência do sinal modulado segue o que era esperado: uma harmônica em 1KHz e depois grupos de harmônicas a cada 78.1KHz. Nota-se, no sinal gerado, uma componente harmônica em 2KHz como esperávamos.

A seguir mostramos a análise de Fourier do sinal gerado.

DC COMPONENT = 2.495734E+00

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	1.000E+03	1.997E+00	1.000E+00	-1.868E+01	0.000E+00
2	2.000E+03	3.285E-02	1.645E-02	1.430E+02	1.617E+02
3	3.000E+03	1.266E-03	6.338E-04	-5.164E+01	-3.296E+01
4	4.000E+03	2.629E-04	1.317E-04	-7.837E+01	-5.968E+01
5	5.000E+03	1.299E-03	6.504E-04	-6.328E+01	-4.459E+01
6	6.000E+03	4.979E-04	2.494E-04	1.078E+02	1.265E+02
7	7.000E+03	8.810E-04	4.412E-04	1.272E+02	1.458E+02
8	8.000E+03	4.484E-04	2.245E-04	-6.193E+00	1.249E+01

TOTAL HARMONIC DISTORTION = 1.654574E+00 PERCENT

Na análise de Fourier observamos que geramos um sinal de 1KHz com amplitude de 2,0V, e 2,5V de nível DC com queríamos. Também mostra 1,65% de distorção harmônica, o que, para a maioria das aplicações, é mais que satisfatório.

3.3. Fonte Chaveada.

Outra aplicação muito útil é o controle de fontes chaveadas. Como geramos um sinal modulado em largura de pulso, podemos controlar o ciclo de trabalho de um elemento usado como chave.

Como exemplo mostraremos um abaixador de tensão, onde a tensão de saída é proporcional ao ciclo de trabalho ($V_s = V_E \cdot \delta$) [2]. Para uma tensão de entrada de $V_E = 12V$, para obtermos uma tensão de saída de $V_s = 5V$, o ciclo de trabalho deve ser de $\delta = 41,7\%$. Mantendo 00h em RS, então deve ser colocado 6Bh em RR (equação 3.1).

Nesta fonte iremos fazer uma partida suave. Aumentaremos lentamente o ciclo de trabalho em 4 etapas, evitando um pico de tensão na partida. A figura 3.9 mostra o circuito usado.

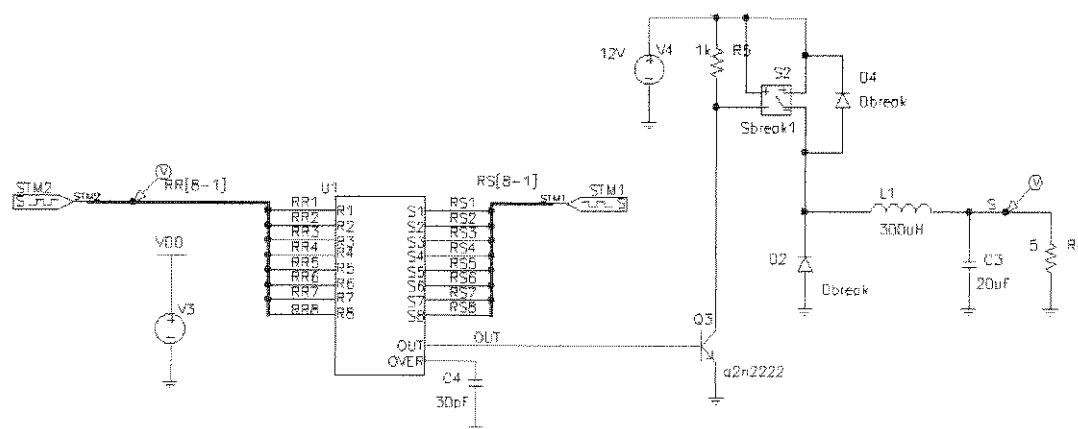


Figura 3.9 - Fonte chaveada de 5V.

O resultado é mostrado na figura 3.10.

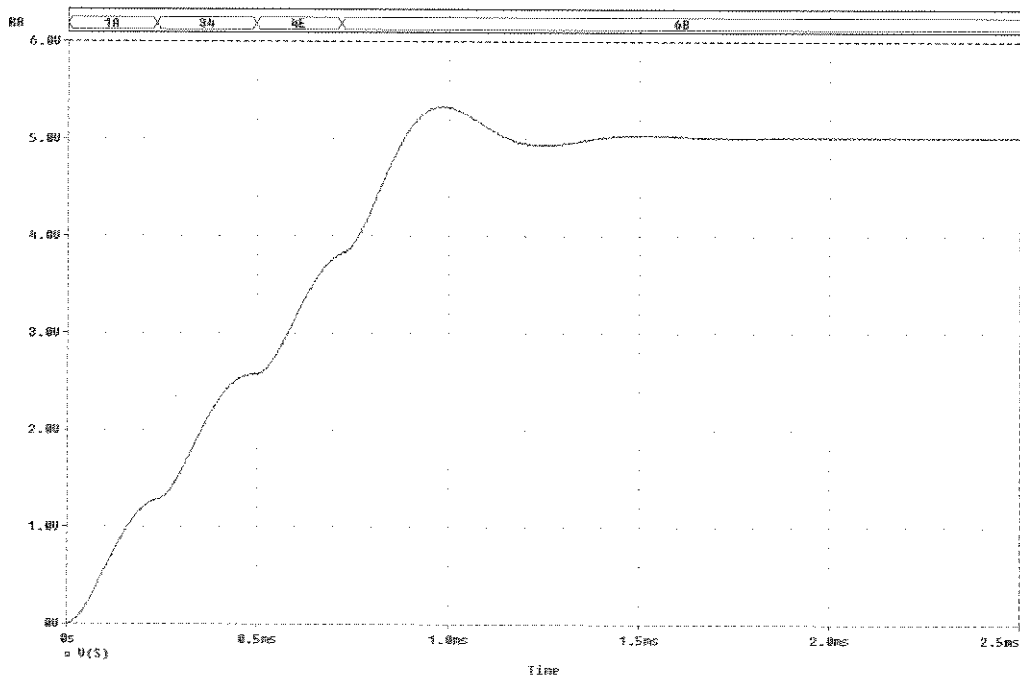


Figura 3.10 - Fonte chaveada de 5V.

Nota-se que a partida foi realmente suave, e a saída se estabilizou em 5.01V, indicando erro muito pequeno.

Este tipo de controle abre um novo espectro no controle de fontes chaveadas. O controle poderia ser feito por um microcontrolador, monitorando-se a saída com um conversor A/D, como mostra a figura 3.11, fazendo um controle inteligente e usando várias técnicas avançadas (processamento digitais de sinais, lógica fuzzy, etc.). Podemos também incluir alarmes, proteções e enviar sinalização para outros dispositivos.

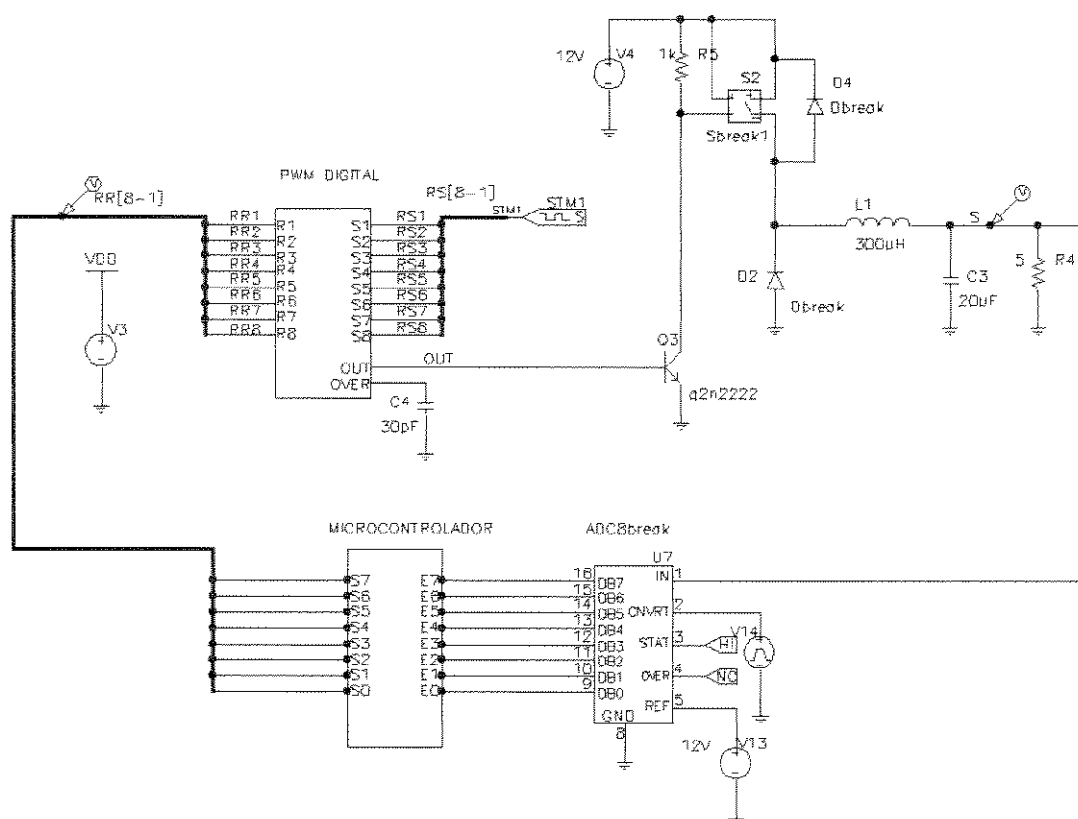


Figura 3.11 - Controle microprocessado para Fontes chaveadas .

3.4. Conclusões.

Esse capítulo mostra a grande versatilidade desse circuito. O uso como conversor D/A e em fontes chaveadas , aqui explicado, é apenas uma amostra das possibilidades. O PWM digital pode ser usado para o envio de sinais modulados em largura ou posição de pulso, controle de dimmers para aquecimento e iluminação, controle de inversores, controle de motores, etc.

Todas essas aplicações podem ser controladas por microprocessador, permitindo a implementação de controle de sistemas complexos com um número reduzido de componentes.

Podemos imaginar um microcontrolador com várias interfaces PWM e junto com vários conversores A/D. Este componente pode monitorar e controlar sistemas complexos, com grande poder de interagir com o mundo externo e controlá-lo. É essa linha que seguem os microcontroladores mais modernos.

O aperfeiçoamento das interfaces de microcontrolador com o mundo externo sempre é um tema de muito interesse, pois promove o aprimoramento dos sistemas digitais, diminuindo o tamanho e a complexidade e aumentando a capacidade desses sistemas.

4. Referências Bibliográficas.

- [1] - J. A. de Lima ; “Introdução ao Projeto de Circuitos Integrados Digitais VLSI em Tecnologia CMOS”,
Apostila de aula, 1996

- [2] - J. A. Pomilio ; “Fontes Chaveadas”,
Apostila de aula, 1996

- [3] - Gomes, Alcides Tadeu ; “Telecomunicações: transmissão recepção AM-FM: Sistemas Pulsados”
São Paulo: Érica, 1985.

- [4] - Luiz Fernando Pereira de Mello ; “Projeto de fontes chaveadas”
São Paulo : Érica, 1987.

- [5] - Herbert Taub ; “Circuitos digitais e microprocessadores”
São Paulo: McGraw do Brasil,1984

- [6] - Paul R. Gray, Robert G. Meyer ; “Analysis and design of analog integrated circuits”- 3rd ed.
John Wiley & Sons Inc.,1993.

- [7] - Hebert Taub, Donald Schilling ; “Eletrônica digital”
São Paulo: McGraw do Brasil,1982.

- [8] - B. P. Lathi ; “Sistemas de Comunicação”
Rio de Janeiro: Guanabara,1987.

- [9] - “Design Kit”, Dual Layer Metal 1.0 um Logic CMOS (ECPD10) ;

- [10] - F.H. Behrens, S. Finco, R.P.Ribas, F. Chavez, L. A. Razera Jr.
“Matriz Gate Array CMOS avançada, configurável por um único nível de metal”
Fundação Centro Tecnológico para Informática,1995.

- [11] - MicroSim PSpice A/D & Basics - User's Guide

- [12] - MicroSim PSpice A/D - Reference Manual
- [13] - Weste N. & Eshraghian K., "Principles of CMOS VLSI Design: a system perspective"
Addison-Wealey Publishing Co, 1985
- [14] - Tom Burd, "Power CMOS Library Design Methodology"
www.infopad.EECS.Berkeley.EDU , 1994