

**UNICAMP - UNIVERSIDADE ESTADUAL DE CAMPINAS**  
**FEEC – FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO**  
**DSIF – DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTOS**  
**E FOTÔNICA**

**DESENVOLVIMENTO DE DISPOSITIVOS  
BASEADOS EM SUBSTRATO DE GAAS COM  
PASSIVAÇÃO POR PLASMA ECR**

Tese apresentada ao Departamento de Semicondutores, Instrumentos e Fotônica da Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica.

**Leonardo Breseghello Zoccal**

Orientador: **Prof. Dr. José Alexandre Diniz**

Comissão Julgadora:

**Prof. Dr. Everson Martins – FEG/UNESP**  
**Prof. Dr. Newton Cesario Frateschi – IFGW/UNICAMP**  
**Prof. Dr. Jacobus Willibrordus Swart – FEEC/UNICAMP**  
**Prof. Dr. Peter Jürgen Tatsch – FEEC/UNICAMP**  
**Prof. Dr. Ioshiaki Doi – FEEC/UNICAMP**

**Campinas**  
**Dezembro de 2007**

FICHA CATALOGRÁFICA ELABORADA PELA  
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Z72d	<p>Zoccal, Leonardo Breseghello Desenvolvimento de dispositivos baseados em substrato de GaAs com passivação por plasma ECR / Leonardo Breseghello Zoccal. --Campinas, SP: [s.n.], 2007.</p> <p>Orientador: José Alexandre Diniz. Tese (doutorado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.</p> <p>1. Transistores bipolares. 2. Transistores de efeito de campo. 3. Nitreto de silício. 4. Arseneto de gálio. I. Diniz, José Alexandre. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.</p>
------	--

Título em Inglês: Development of devices based on GaAs substrate with passivation by ECR plasma.

Palavras-chave em Inglês: HBT, MISFET, MESFET, Passivation, Silicon nitride film.

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica.

Titulação: Doutor em Engenharia Elétrica

Banca examinadora: Everson Martins, Newton Cesário Frateschi, Jacobus Willibrordus Swart, Peter Jürgen Tatsch e Ioshiaki Doi.

Data da defesa: 05/12/2007

Programa de Pós-Graduação: Engenharia Elétrica

## COMISSÃO JULGADORA - TESE DE DOUTORADO

**Candidato:** Leonardo Breseghello Zoccal

**Data da Defesa:** 5 de dezembro de 2007

**Título da Tese:** "Desenvolvimento de Dispositivos Baseados em Substrato de GaAs com Passivação por Plasma ECR"

Prof. Dr. José Alexandre Diniz (Presidente): José Alexandre Diniz  
Prof. Dr. Everson Martins: Everson Martins  
Prof. Dr. Newton Cesario Frateschi: Newton Cesario Frateschi  
Prof. Dr. Jacobus Willibrordus Swart: Jacobus Willibrordus Swart  
Prof. Dr. Peter Jürgen Tatsch: Peter Jürgen Tatsch  
Prof. Dr. Ioshiaki Doi: Ioshiaki Doi

## RESUMO

Este trabalho apresenta um método simples de passivação de superfícies semicondutoras III-V de substratos de arseneto de gálio (GaAs) e de heteroestruturas de fosfeto de gálio-índio sobre arseneto de gálio (InGaP/GaAs), que são utilizados em transistores de efeito de campo, MESFET (*Metal-Semiconductor Field Effect Transistor*) e MISFET (*Metal-Insulator-Semiconductor Field Effect Transistor*), e transistores bipolares de heterojunção (HBT), respectivamente. O processo de passivação visa à máxima redução da densidade de estados de superfícies semicondutoras para níveis menores que  $10^{12} \text{ cm}^{-2}$ . A alta densidade de estados na superfície do GaAs provoca corrente de fuga nas regiões ativas dos transistores MESFET e HBT, reduzindo o desempenho destes dispositivos. Além disso, impossibilita a formação de dispositivos MISFET sobre os substratos de GaAs, devido à alta densidade de estados na região da interface isolante-semicondutor. Para o estudo da passivação de superfícies, filmes de nitreto de silício ( $\text{SiN}_x$ ) são depositados diretamente por plasma ECR-CVD (*Electron Cyclotron Resonance - Chemical Vapor Deposition*) sobre substratos de GaAs e heteroestruturas do tipo InGaP/GaAs. Os plasmas ECR foram analisados por espectroscopia de emissão óptica (OES), e identificou-se baixa formação de espécies H e NH na fase gasosa para pressão de processo de 2,5 mTorr. Os filmes de  $\text{SiN}_x$  foram caracterizados estruturalmente por espectroscopia de absorção do infravermelho (FTIR) e por elipsometria, que indicaram, respectivamente, a formação de ligações Si-N e valores de índice de refração em torno de 2,0 nos filmes de nitreto de silício. Capacitores MIS e transistores MISFET e HBT foram fabricados para avaliar os efeitos da passivação sobre os dispositivos. Os excelentes resultados obtidos, tais como transistores HBT passivados apresentando maiores ganhos de corrente do que os não-passivados, e os transistores MISFET apresentando maiores valores de transcondutância do que os MESFET (que foram usados como dispositivos de controle), indicam que o nosso processo de passivação é muito eficiente, sendo completamente compatível com a tecnologia de fabricação de circuitos integrados monolíticos de microondas (MMIC).

## ABSTRACT

This work presents a simple passivation method for III-V semiconductor surfaces of gallium arsenide (GaAs) substrates and indium-gallium phosphide on gallium arsenide (InGaP/GaAs) heterostructures, which are used in field effect transistors MESFET (Metal-Semiconductor Field Effect Transistor) and MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) and heterojunction bipolar transistors (HBT), respectively. The passivation process aims the maximum reduction of semiconductor surface state density at levels lower than  $10^{12}$  states/cm<sup>2</sup>. The high surface state density on GaAs surface produces current leakage in active regions of MESFET and HBT transistors, reducing the device performance. Furthermore, the MISFET device formation on GaAs substrate is not allowed, due to high surface states at the insulator-semiconductor interface region. For surface passivation study, silicon nitride films (SiN<sub>x</sub>) are deposited by ECR-CVD (Electron Cyclotron Resonance - Chemical Deposition Vapor) plasma directly over GaAs substrate and InGaP/GaAs heterostructures. The ECR plasmas were analyzed by optical emission spectroscopy, (OES), and low formation of H and NH molecules in the gas phase was detected at process pressure of 2.5 mTorr. The SiN<sub>x</sub> film structural characterization was obtained by infra-red absorption spectrometry (FTIR) and ellipsometry, which, respectively, indicate the Si-N bond formation and refractive index values of about 2.0 at the silicon nitride films. MIS capacitors, MISFET and HBT transistors were fabricated to verify the passivation process effect on devices. The excellent results obtained, such as higher current gain of passivated device compared to unpassivated HBTs and higher transconductances of MISFET devices compared to MESFET (which were used as control devices), indicate that our simple passivation process is very efficient, being fully compatible with monolithic microwave integrated circuits (MMIC).

## DEDICATÓRIA

Após uma longa caminhada este foi concluído. Durante este período algumas pessoas foram muito importantes. Algumas “chegaram”, outras estiveram e estarão sempre ao meu lado, independentemente do que aconteça e, infelizmente, outras “partiram” e não puderam ver a conclusão deste trabalho. A estas pessoas gostaria de dedicar meu trabalho:

Aos meus pais, *Nair e José Cezar*, pelo amor, carinho, respeito, preocupação e por estarem sempre ao meu lado me dando forças para enfrentar as dificuldades e que muitas vezes deixaram de realizar seus sonhos para realizarem os meus. Tudo que sou hoje devo a vocês, por isso, meu muito obrigado e gostaria de dizer que amo muito vocês.

Ao meu irmão, *Daniel*, minha cunhada, *Polyana*, e meu afilhado, *Vinicius*, pelo carinho, companheirismo e por me apoiarem e me incentivarem.

A todos os meus familiares. De modo especial gostaria de dedicar à memória de meus avós maternos e paternos, de minha tia, *Maria Geni Breseghello*, e meu padrinho, *Lúcio Antônio Zocal*, que infelizmente não estão mais fisicamente aqui e que certamente estariam felizes por eu ter concluído este trabalho.

Por fim, gostaria de dedicar este trabalho a uma pessoaal muito especial em minha vida, que é a *Ana Lúcia*. A você devo grande parte deste trabalho. Você me ensinou o valor de coisas simples, como respeito e humildade. Você me mostrou que precisamos ter muita força e perseverança no dia a dia, principalmente nos momentos mais difíceis, mesmo que eles pareçam não acabar nunca. O que aprendi e aprendo com você a cada dia é muito valioso, por isso, meu amor, respeito, admiração e carinho por você cresce a cada dia.

Este trabalho foi realizado com o apoio das seguintes entidades:

- **CNPq (através do programa PNM) e Celestica – Auxílio Bolsa;**
- **CCS/UNICAMP;**
- **DSIF/FEEC/UNICAMP;**
- **LPD-IFGW/UNICAMP.**

## AGRADECIMENTOS

Gostaria de agradecer todas as pessoas e instituições que contribuíram de alguma forma, seja ela direta ou indireta, para a realização deste trabalho. Em particular gostaria de agradecer:

- A Deus, por ter me dado paciência e perseverança para a conclusão deste trabalho;
- Ao Prof. José Alexandre Diniz pela orientação, confiança, oportunidade e amizade;
- Aos amigos e funcionários do CCS, em especial à Regina, Godoy, Fábio, Cléber, Roberto, Marcelo, Felipe, André e Juliana;
- Ao amigo Leandro pelas medidas de ruído;
- Aos funcionários do LPD-IFGW/UNICAMP que participaram do processo de fabricação do *chip*, Antônio Celso Ramos e Antônio Augusto de Godoy von Zuben;
- Aos novos amigos que fiz durante esta caminhada, em especial, Marta, Graciela e Márcio;
- Ao CNPq, que através do programa PNM (Programa Nacional de Microeletrônica), financiou este projeto;
- E a todos, que de alguma forma, tornaram este trabalho possível.

# SUMÁRIO

Lista de símbolos, siglas e abreviações	xi
Capítulo 1 - Introdução	1
1.1 Estados de superfícies semicondutoras	1
1.2 Distribuição e propriedades dos estados de interface em estruturas I-S	5
1.3 Métodos de passivação	8
1.3.1 Passivação por deposição ECR-CVD de SiN <sub>x</sub>	12
1.4 Motivação	13
1.5 Objetivos da tese	14
1.6 Organização da tese	16
Capítulo 2 - Processo de fabricação dos capacitores MIS, transistores bipolares de heterojunção (HBT) e transistores de efeito de campo (MESFET e MISFET)	19
2.1 Capacitores MIS	19
2.2 Transistores HBT	23
2.3 Transistores MESFET e MISFET	36
Capítulo 3 - Resultados e discussões	43
3.1 Espectroscopia de emissão óptica (OES)	44
3.2 Espectroscopia de absorção do infravermelho (FTIR) e Elipsometria	45
3.3 Estruturas MIS	49
3.3.1 Estruturas MES e a concentração de dopantes no canal dos transistores MISFET e MESFET	55
3.4 Transistores HBT	56
3.4.1 Medidas DC dos transistores HBT	57
3.4.2 Medidas RF dos transistores HBT	63
3.5 Transistores MESFET e MISFET	80
Capítulo 4 - Conclusões e perspectivas	87
Referências Bibliográficas	91
Anexo A - Sistemas de deposição de filmes de nitreto de silício	107
A.1 Definição de Plasma	107
A.2 Processos de deposição a partir da fase vapor (CVD)	108
A.2.1 Aspectos básicos do processo CVD	108
A.2.2 Técnicas do processo CVD	111
A.2.3 Técnicas do processo CVD auxiliadas por plasma	113
A.2.4 ECR-CVD ( <i>Electron Cyclotron Resonance - CVD</i> )	113
A.3 Filmes de nitreto de silício	114
Anexo B - Técnicas para análises do plasma e dos filmes depositados (medidas físicas)	117
B.1 Espectroscopia de emissão óptica (OES)	117

B.2 Elipsometria	119
B.3 Espectroscopia de absorção do infravermelho (FTIR)	119
B.4 Microscopia óptica	122
B.5 Perfilometria	123
Anexo C - Dispositivos elétricos utilizados na caracterização dos filmes de nitreto de silício	125
C.1 Capacitores MIS	125
C.1.1 Determinação da resistência série ( $R_S$ )	133
C.1.2 Determinação da densidade de estados na estrutura MIS	134
C.1.3 Ruptura do isolante e característica I-V	138
C.2 Transistores bipolares de heterojunção (HBT)	139
C.2.1 Princípio de operação de um HBT	140
C.2.2 Característica elétrica de um HBT	142
C.3 Transistores de efeito de campo (MESFET e MISFET)	148
C.3.1 Corrente de dreno abaixo da saturação	150
C.3.2 Corrente de dreno além da saturação	153
C.3.3 Parâmetros característicos de um FET	155
Anexo D - Descrição do conjunto de máscaras	159
D.1 Conjunto de máscaras utilizadas para a fabricação dos transistores de efeito de campo MESFET e MISFET	159
Anexo E - Novo conjunto de máscaras para os transistores HBT	165
Anexo F - Relação de publicações	171

## LISTA DE SÍMBOLOS, SIGLAS E ABREVIACÕES

- $\tau$  ou  $\tau_F$ : tempo de trânsito direto;
- $\beta$ : ganho de corrente do transistor bipolar;
- $\alpha_0$ : ganho de corrente em pequenos sinais para o transistor bipolar;
- (1-p)**: quantidade do canal aberto;
- $\tau_B$ : tempo de trânsito da região de depleção da base;
- $\tau_{BC}$ : tempo de carga da capacitância da junção base/coletor;
- $\tau_C$ : tempo de trânsito da região de depleção do coletor;
- $\tau_{EB}$ : tempo de carga da capacitância da junção base/emissor;
- $\Delta E_C$ : descontinuidade na banda de condução;
- $\tau_{EC}$ : tempo de trânsito do emissor ao coletor;
- $\Delta E_G$ : diferença na região de banda proibida através da junção;
- $\beta_F$ : máximo ganho de corrente do transistor bipolar;
- (kT/q)**: energia térmica (0,0258 V para 300K);
- A**: probabilidade de transição (quando na análise OES);
- A**: área do eletrodo superior (quando na estrutura MIS);
- A**: área ativa (quando no transistor MISFET ou MESFET);
- AFM**: microscopia de força atômica (*Atomic Force Microscopy*);
- Al**: alumínio;
- AlGaAs**: liga semicondutora de alumínio, gálio e arsênio;
- APCVD**: deposição química na fase vapor em pressão atmosférica (*Atmospheric Pressure Chemical Vapor Deposition*);
- Ar**: argônio;
- As**: arsênio;
- As<sub>2</sub>O<sub>3</sub>**: óxido de arsênio;
- As<sub>2</sub>S<sub>3</sub>**: sulfeto de arsênio;
- AsH<sub>3</sub>**: hidreto de arsênio;
- AsH<sub>3</sub>**: hidreto de arsênio;
- Au**: ouro;
- AUDM**: modelo avançado dos defeitos unificados (*advanced unified defect model*);
- B**: intensidade do campo magnético estático;

- BCB:** Benzocyclobutene;
- $C'_{gs}$ :** capacitância entre os terminais de porta e fonte;
- $C_{BC}$ :** capacitância da região de depleção formada pela junção base/coletor;
- $C_{BC}$ :** capacitância interna entre base e coletor;
- $C_{BE}$ :** capacitância da região de depleção formada pela junção base/emissor;
- $C_{BE}$ :** capacitância da junção base e emissor;
- $C_c$ :** capacitância corrigida;
- $C_{EX}$ :** capacitância externa entre base e coletor;
- $C_f$ :** capacitância de borda;
- $C_{fb}$ :** capacitância de banda plana;
- $C_{gs}$ :** capacitância de superfície entre porta e fonte;
- CI:** circuito integrado;
- $C_{isolante}$ :** capacitância no isolante;
- $C_m$ :** capacitância medida;
- $C_{ma}$ :** capacitância medida na região de acumulação;
- $C_{min}$ :** capacitância total mínima para condição de inversão;
- CMOS:** transistor metal-óxido-semicondutor complementar (*Complementary Metal-Oxide-Semiconductor Transistor*);
- $C_{PBC}$ :** capacitância parasita dos *pads* entre base e coletor;
- $C_{PBE}$ :** capacitância parasita dos *pads* entre base e emissor;
- $C_{PCE}$ :** capacitância parasita dos *pads* entre coletor e emissor;
- $C_{sd}(V_G)$ :** capacitância da região de depleção, por unidade de área;
- $C_{ss}$ :** capacitância equivalente aos estados de superfície;
- $C_t(V_G)$ :** capacitância total da estrutura MIS;
- C-V:** curva de capacitância em função da tensão;
- CVD:** deposição química na fase de vapor (*Chemical Vapor Deposition*);
- $D_e$ :** coeficiente de difusão dos elétrons na base;
- DIGS:** modelo de estados na banda proibida induzidos por desordem (*disorder induced gap state model*);
- e ou q:** carga do elétron ( $1,61 \cdot 10^{-19}$  C);
- E:** energia de referência no nível de vácuo;
- $E_a$ :** energia de ativação;
- $E_{br}$ :** campo elétrico de ruptura dielétrica;

- $E_C$** : nível de energia mínimo da banda de condução;
- $E_C$** : campo elétrico na velocidade de pico do portador (nos transistores MESFET ou MISFET);
- ECR-PECVD**: deposição química na fase de vapor assistida por plasma de ressonância ciclotrônica de elétron (*Electron Cyclotron Resonance Plasma Enhanced Chemical Vapor Deposition*);
- $E_{Fm}$** : energia do nível de Fermi no metal;
- $E_{Fn}$** : energia do nível de Fermi no semicondutor tipo n;
- $E_g$** : magnitude da energia da banda proibida;
- $E_I$** : energia do nível de Fermi no semicondutor intrínseco;
- $E_{min}$** : nível de energia no qual é obtido  $N_{SSmin}$ ;
- $E_p$** : intensidade do campo elétrico em uma estrutura MIS;
- $E_s$** : campo elétrico na saturação;
- $E_V$** : nível de energia máximo da banda de valência;
- EFWF**: modelo da função trabalho efetiva (*effective work function model*);
- $E_{x,y}(x,y)$** : campo elétrico nas posições x e y;
- f**: frequência utilizada na medida C-V;
- FET**: transistor de efeito de campo (*Field Effect Transistor*);
- $F_{MAX}$** : máxima frequência de oscilação;
- $F_T$** : frequência de corte;
- FTIR**: espectroscopia de absorção do infravermelho;
- Ga**: gálio;
- $Ga_2O_3$** ,  **$Ga_2O$** : óxido de gálio;
- GaAs**: arseneto de gálio;
- GaGdO**: óxido formado pela liga gadolínio e gálio;
- GaN**: nitreto de gálio;
- GaP**: fosfeto de gálio;
- GaS**: sulfeto de gálio;
- $G_c$** : condutância corrigida;
- Gd**: gadolínio;
- $Gd_2O_3$** : óxido de gadolínio;
- Ge**: germânio;
- $G_m$** : condutância medida;

- $g_m$** : transcondutância intrínseca;
- $g'_m$** : transcondutância a partir do terminal;
- $G_{ma}$** : condutância medida na região de acumulação;
- $h(x)$** : profundidade da camada de depleção na posição  $x$ ;
- $h_1$** : espessura da camada de depleção na fonte;
- $h_2$** : espessura da camada de depleção no dreno;
- $H_2$** : hidrogênio;
- $H_{21}$** : ganho de corrente em curto-circuito;
- $H_2SO_4$** : ácido sulfúrico;
- $H_3PO_4$** : ácido fosfórico;
- HBT**: transistor bipolar de heterojunção (*Heterojunction Bipolar Transistor*);
- HCl**: ácido clorídrico;
- $I$** : intensidade de linha emitida de um estado por excitação direta;
- $I_B$** : corrente de base;
- $I_C$** : corrente de coletor;
- $I_{ds}$** : corrente de dreno;
- $I_{dss}$** : corrente de dreno ou de canal no ponto de saturação;
- $I_E$** : corrente de emissor;
- $I_e$** : fluxo de elétrons;
- $I_l$** : fluxo de lacunas;
- $In$** : índio;
- $In_2O_3, In_2O$** : óxido de índio;
- $InAs$** : arseneto de índio;
- $InGaP$** : liga semicondutora de índio, gálio e fósforo (fosfeto de gálio-índio);
- $InP$** : fosfeto de índio;
- $InPO_4$** : óxido de fosfeto de índio;
- $In_xGa_{1-x}As$** : liga semicondutora de índio, gálio e arsênio, onde  $x$  é a concentração de índio;
- $I_S$** : corrente de saturação do transistor com canal completamente aberto;
- I-S**: interface isolante-semicondutor;
- $I_{SE}$** : fuga da corrente de saturação na junção base/emissor;
- I-V**: curva de corrente em função da tensão;
- $J_{bp}$** : injeção das lacunas da base para o emissor;

- J<sub>Bsc</sub>**: corrente de recombinação na região entre base emissor;
- J<sub>bulk</sub>**: corrente de recombinação no substrato;
- J<sub>C</sub>**: densidade de corrente no coletor;
- J<sub>surf</sub>**: corrente de recombinação na superfície;
- k**: constante de Boltzmann ( $1,38 \cdot 10^{-23}$  J/K);
- K<sub>surf</sub>**: corrente de recombinação na superfície dividida pelo perímetro do emissor;
- L<sub>1</sub>**: comprimento do canal abaixo da saturação;
- L<sub>2</sub>**: comprimento do canal na saturação;
- L<sub>B</sub>**: indutância da base;
- L<sub>C</sub>**: indutância do coletor;
- L<sub>E</sub>**: largura da região de emissor de um transistor HBT;
- L<sub>E</sub>**: indutância do emissor quando se tratar do modelo de pequenos sinais;
- L<sub>g</sub>**: comprimento da porta;
- Lgd**: distância entre dreno e porta;
- LNA**: amplificador de baixo ruído (*Low Noise Amplifier*);
- LPCVD**: deposição química na fase vapor em baixa pressão (*Low Pressure Chemical Vapor Deposition*);
- Lsg**: distância entre fonte e porta;
- MBE**: epitaxia por feixe molecular (*Molecular Beam Epitaxy*);
- m<sub>e</sub>**: massa do elétron ( $9,11 \cdot 10^{-31}$  kg);
- MES**: junção metal-semicondutor;
- MESFET**: transistor de efeito de campo do tipo metal-semicondutor (*Metal-Semiconductor Field Effect Transistor*);
- MIS**: junção metal-isolante-semicondutor;
- MISFET**: transistor de efeito de campo do tipo metal-isolante-semicondutor (*Metal-Insulator-Semiconductor Field Effect Transistor*);
- MMIC**: circuito integrado monolítico de microondas (*Monolithic Microwave Integrated Circuit*);
- MOSFET**: transistor de efeito de campo do tipo metal-óxido-semicondutor (*Metal-Oxide-Semiconductor FET*);
- MoSi<sub>2</sub>**: siliceto de molibdênio;
- MOVPE**: epitaxia por fase vapor de metalorgânicos (*Metalorganic Vapor Phase Epitaxy*);
- M-S**: interface metal-semicondutor;

- N**: Símbolo do elemento químico nitrogênio;
- n<sub>0</sub>**: densidade do átomo ou molécula;
- N<sub>2</sub>**: representação do gás inerte nitrogênio;
- N<sub>A,D</sub>\***: concentração de dopantes obtida recursivamente;
- N<sub>A,D</sub>**: concentração de dopantes aceitadores ou doadores no semicondutor;
- N<sub>d</sub>**: concentração de portadores;
- n<sub>e</sub>**: densidade de elétrons do plasma;
- n<sub>E</sub>**: coeficiente de emissão da corrente de fuga na junção base/emissor;
- n<sub>F</sub>**: coeficiente de emissão da corrente direta (fator de idealidade do coletor);
- NF**: figura de ruído (*Noise Figure*);
- Ni**: níquel;
- n<sub>i</sub>**: concentração de portadores intrínseco no semicondutor;
- n<sub>I<sub>B</sub></sub>**: fator de idealidade da base;
- n<sub>I<sub>C</sub></sub>**: fator de idealidade do coletor;
- N<sub>SS</sub>**: distribuição dos estados de interface (densidade de estados);
- N<sub>SSmin</sub>**: valor mínimo da densidade de estado;
- O<sub>2</sub>**: oxigênio;
- OES**: espectroscopia de emissão óptica (*Optical Emission Spectroscopy*);
- P**: fósforo;
- p**: profundidade da camada de depleção normalizada para o dreno;
- PECVD**: deposição química na fase de vapor assistida por plasma (*Plasma Enhanced Chemical Vapor Deposition*);
- PH<sub>3</sub>**: hidreto de fósforo;
- Pt**: platina;
- Q<sub>0</sub>**: carga efetiva no isolante;
- Q<sub>S</sub>**: carga de superfície total;
- r<sub>B</sub>**: resistência lateral da base;
- R<sub>B2</sub>**: resistência de base intrínseca;
- R<sub>BC</sub>**: resistência interna entre base e coletor;
- R<sub>BE</sub>**: resistência da junção base e emissor;
- r<sub>c</sub>**: resistências parasitas do coletor;
- R<sub>d</sub>**: resistência total parasita na região de dreno;

- $r_d$** : resistência de dreno;
- $r_e$** : resistências parasitas do emissor;
- $R_{EX}$** : resistência externa entre base e coletor;
- RIE**: corrosão por íons reativos (*Reactive Ion Etching*);
- RPECVD**: deposição química na fase de vapor assistida por plasma remoto (*Remote Plasma Enhanced Chemical Vapor Deposition*);
- $R_s$** : resistência série (quando se tratar de um capacitor MIS);
- $R_S$** : resistência total parasita na região de fonte (quando se tratar de um transistor FET);
- RTA**: tratamento térmico rápido (*Rapid Thermal Annealing*);
- RTCVD**: deposição química na fase vapor por aquecimento térmico rápido (*Rapid Thermal Chemical Vapor Deposition*);
- S**: enxofre;
- $s$** : profundidade da camada de depleção normalizada para a fonte, quando se tratar de um transistor FET;
- S**: matriz de parâmetros de espalhamento quando de tratar de uma medida em alta frequência;
- $S_{11}$** : coeficiente de reflexão na entrada com a saída casada;
- $S_{12}$** : coeficiente de transmissão reverso com a entrada casada;
- $S_{21}$** : coeficiente de transmissão direta com a saída casada;
- $S_{22}$** : coeficiente de reflexão na saída com a entrada casada;
- $SF_6$** : hexafluoreto de enxofre;
- Si**: silício;
- SI**: semi-isolante;
- SiH<sub>4</sub>**: silana;
- SIMS**: espectrometria de massa de íons secundários (*Secondary Ion Mass Spectroscopy*);
- SiN, SiN<sub>x</sub>, Si<sub>3</sub>N<sub>4</sub>, Si<sub>x</sub>N<sub>y</sub>H<sub>z</sub>**: nitreto de silício;
- SiO<sub>2</sub>**: óxido de silício;
- S-S**: interface semiconductor-semiconductor;
- T**: temperatura absoluta;
- TaSi<sub>2</sub>**: siliceto de tântalo;
- TEM**: microscópio eletrônico de transmissão (*Transmission Electron Microscope*);

- Ti:** titânio;
- TiSi<sub>2</sub>:** siliceto de titânio;
- t<sub>isolante</sub>:** espessura do isolante;
- U:** ganho de potência unilateral;
- V(x):** tensão na posição x do canal;
- v(x):** velocidade dos portadores;
- V<sub>ds</sub>'**: tensão de alimentação no dreno;
- V<sub>gs</sub>'**: tensão de alimentação na porta;
- V<sub>A</sub>:** tensão de *Early* quando se tratar de um transistor bipolar;
- V<sub>A</sub>:** tensão aplicada quando se tratar de um diodo *Schottky*;
- V<sub>BC</sub>:** tensão entre base e coletor;
- V<sub>BE</sub>:** tensão entre base e emissor;
- V<sub>bi</sub>:** potencial interno da junção pn;
- V<sub>br</sub>:** tensão correspondente à ruptura dielétrica;
- V<sub>CE</sub>:** tensão entre coletor e emissor;
- V<sub>ds</sub>:** tensão de dreno no transistor FET intrínseco;
- V<sub>ds</sub>'**: tensão de dreno ou de canal no ponto de saturação;
- V<sub>fb</sub>:** tensão de banda plana;
- V<sub>G</sub>:** tensão no eletrodo superior em relação ao eletrodo do substrato (aterrado) para uma estrutura MIS ou tensão de porta para transistores MESFET e MISFET;
- V<sub>gs</sub>:** tensão de porta no transistor FET intrínseco;
- V<sub>L1</sub>:** tensão na região L<sub>1</sub>;
- V<sub>L2</sub>:** tensão na região L<sub>2</sub>;
- V<sub>P</sub>:** tensão de estrangulamento, *pinchoff*;
- v<sub>s</sub>:** velocidade de saturação na região de depleção do coletor;
- V<sub>t</sub>:** tensão de limiar;
- W:** tungstênio;
- W:** largura da porta do transistor MESFET ou MISFET;
- W<sub>B</sub>:** espessura da região de depleção da base;
- W<sub>C</sub>:** espessura da região de depleção do coletor;
- W<sub>d</sub>:** largura da região de depleção;
- W<sub>dmax</sub>:** largura máxima da camada de depleção;

- $W_E$ : comprimento da região de emissor de um transistor HBT;
- $WSi_2$ : siliceto de tungstênio;
- $X(T_e)$ : coeficiente de excitação dependente da temperatura dos elétrons;
- $\mu$ : mobilidade de deriva para baixo campo elétrico;
- $\sigma$ : condutividade do canal para uma concentração uniforme de dopantes;
- $\Psi_{S0}$ : potencial de superfície sem polarização;
- $\omega_H$ : frequência de giro;
- $\chi_{\text{isolante}}$ : afinidade eletrônica do isolante;
- $\chi_{\text{semicondutor}}$ : afinidade eletrônica do semicondutor;
- $\epsilon_{\text{isolante}}$ : permissividade do isolante;
- $\epsilon_0$ : permissividade no vácuo ( $8,85 \cdot 10^{-12}$  F/m);
- $\epsilon_{\text{semicondutor}}$ : permissividade elétrica do semicondutor;
- $\phi_M$ : função trabalho do metal;
- $\phi_{MS}$ : diferença da função trabalho entre metal e semicondutor;
- $\phi_{\text{semicondutor}}$ : função trabalho do semicondutor;
- $\psi_f$ : potencial de Fermi no corpo do semicondutor (longe da superfície);
- $\psi_s$ : potencial de superfície do semicondutor.

# CAPÍTULO 1

## INTRODUÇÃO

### 1.1 ESTADOS DE SUPERFÍCIES SEMICONDUTORAS

Compostos semicondutores do tipo III-V, tais como arseneto de gálio (GaAs) e fosfeto de índio (InP), são potencialmente usados em circuitos optoeletrônicos e eletrônicos de alta velocidade, pois, estes semicondutores apresentam as seguintes vantagens, quando comparados com o semicondutor silício (Si) [1.1, 1.2]:

- alta mobilidade dos elétrons (maior que  $5.400 \text{ cm}^2/\text{V}\cdot\text{s}$ );
- alta velocidade de saturação e;
- bandas de energia com transição direta.

Além disso, possibilitam a fabricação de uma variedade de heteroestruturas, tais como InGaP/GaAs, o que pode resultar em integração monolítica de funções eletrônicas e ópticas. Porém, como desvantagem principal, esses componentes apresentam uma qualidade eletrônica ruim de superfície [1.1]. Essa falta de qualidade na superfície, e, conseqüentemente, nas interfaces metal-semicondutor (M-S) e isolante-semicondutor (I-S) tem impedido um uso mais amplo desses materiais em aplicações eletrônicas e fotônicas, tais como a obtenção de circuitos baseados em transistores MISFET (*Metal-Insulator-Semiconductor Field Effect Transistor*) ou MOSFET (*Metal-Oxide-Semiconductor FET*), em que o isolante (*Insulator*) é um óxido (*Oxide*). Para estes e outros dispositivos, tais como os transistores HBT (*Heterojunction Bipolar Transistor*), deve-se obter superfícies e/ou interfaces com baixa densidade de defeitos, que geram estados na região da banda proibida de energia do semicondutor, que são centros de geração e recombinação de portadores [1.3]. Os efeitos desses estados se manifestam de diferentes modos e de maneira prejudicial afetam a maioria dos dispositivos. Por exemplo, [1.1]:

- em transistores HBT, os defeitos podem causar um aumento na taxa de recombinação na superfície entre as regiões de base-emissor, o que aumenta a corrente de base, resultando em um menor ganho de corrente (este efeito será detalhado posteriormente no anexo C);
- em fotodiodos, os estados podem causar um aumento na corrente de polarização reversa, diminuir a tensão de ruptura e diminuir a responsividade, que é a conversão da luz recebida pelo dispositivo em corrente elétrica;
- em junções MES (metal-semicondutor) e MIS (metal-isolante-semicondutor), usadas como estruturas de porta de transistores MESFET (*Metal-Semiconductor Field Effect Transistor*) e MISFET, respectivamente, observa-se um problema mais grave: o número excessivo de estados na banda proibida causa a fixação (*pinning*) do nível de Fermi. No caso da junção MES, a altura da barreira metal-semicondutor se altera com a fixação. No caso das estruturas MIS, esta fixação não permite que o potencial de superfície seja modulado com a tensão de porta, não sendo formada dessa maneira a região de acumulação e/ou inversão na superfície do semicondutor (anexo C).

Estes defeitos de superfície, que provocam os estados de energia na banda proibida dos semicondutores III-V, estão relacionados com os seguintes problemas estruturais na superfície do substrato [1.1]:

- deformações nos comprimentos e ângulos de ligações químicas;
- a presença de ligações incompletas (*dangling bonds*);
- a instabilidade na estequiometria do óxido nativo.

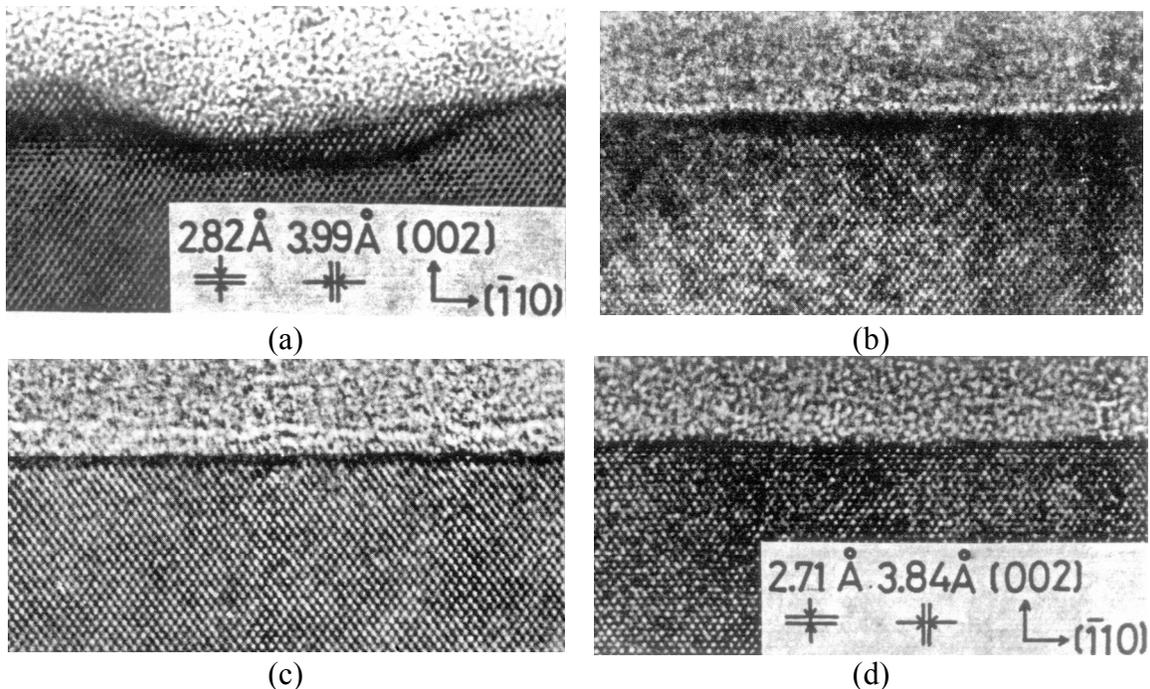
Por exemplo, no arseneto de gálio, o arsênio pode aumentar o potencial flutuante da superfície, pois participa da interação química de GaAs e do óxido nativo  $\text{As}_2\text{O}_3$ , que é instável [1.1], o que resulta na perda preferencial do As, com conseqüente formação de uma vacância de As na superfície.

Então, a preparação da superfície (para se obter níveis mínimos aceitáveis de defeitos) é essencial para o funcionamento de muitos dispositivos, tais como os MISFET, MESFET e HBT. A tecnologia para reduzir estes defeitos é denominada passivação, tendo também o objetivo de estabilizar as propriedades da superfície de modo a torná-la imune ao ambiente de operação do dispositivo. A dificuldade para se obter superfícies com níveis aceitáveis de estados se deve a grande complexidade das interfaces, em termos de propriedades elétricas (tais como, o aumento de corrente de fuga ou a redução da tensão de ruptura do dispositivo) e estruturais (tais como, as ligações incompletas, *dangling bonds*) [1.1].

Na tecnologia que emprega o Si, que é o semicondutor usado em 95% dos dispositivos eletrônicos, a passivação é conseguida com o uso de uma camada de óxido de silício ( $\text{SiO}_2$ ), que é nativo do semicondutor e que, felizmente, é um excelente isolante para passar os estados na superfície do silício. Obtém-se esta excelente passivação de interface com a estrutura óxido de silício/silício através da redução [1.1]:

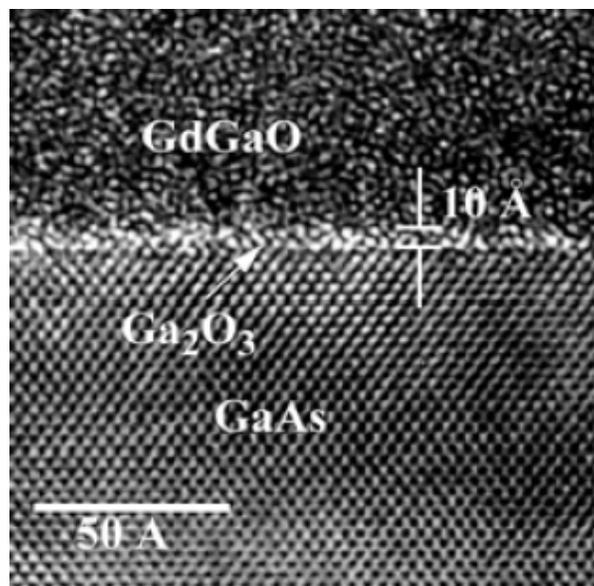
- das ligações incompletas na superfície do silício;
- das ligações em ângulo e em desordens;
- das ligações incompletas de Si e ligações Si-Si no óxido;
- das ligações tensionadas de Si-O e Si-Si;
- das ligações trivalentes Si-Si;
- e do silício intersticial no óxido.

Modelos fundamentais foram propostos [1.1, 1.4], mas nenhum deles explicou satisfatoriamente todas essas características experimentalmente observadas. Evidentemente, a superfície de um semicondutor III-V é muito mais complexa, porque o material é formado por dois ou mais elementos, o que aumenta muito mais a possibilidade de geração de defeitos na superfície semicondutora ou na interface isolante/semicondutor (I-S). Várias tentativas [1.5 - 1.9] foram feitas para se obter uma solução satisfatória para a passivação da camada semicondutora III-V. Uma variedade de diferentes filmes dielétricos depositados, formando estruturas I-S sobre GaAs (como as mostradas, por exemplo, na figura 1.1) sobre várias condições foi extensamente investigada, mas, infelizmente, nenhum dispositivo MISFET ou MOSFET comercialmente viável em GaAs emergiu até 2006 [1.5 - 1.9].



**Figura 1.1 - Fotos TEM (*Transmission Electron Microscope*) de interfaces I-S. (a) Nitreto de silício ( $\text{SiN}_x$ ) depositado por plasma CVD (*Chemical Vapor Deposition*), sobre GaAs; (b) óxido nativo sobre GaAs; (c) óxido nativo crescido por tratamento térmico sobre GaAs; e (d)  $\text{SiO}_2$  crescido termicamente sobre Si [1.10].**

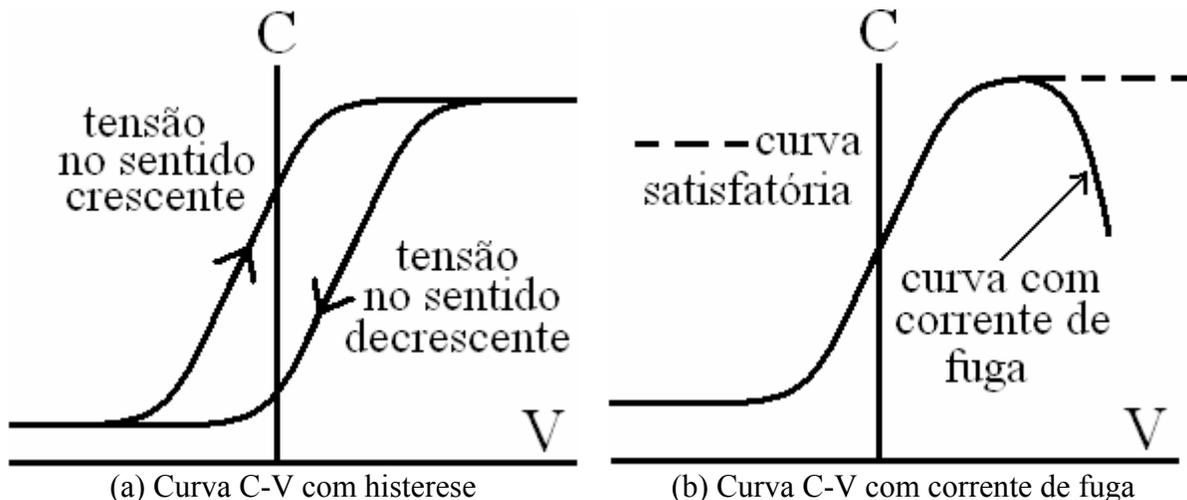
Somente no início do ano de 2006 é que foi divulgado o primeiro dispositivo MOSFET em GaAs comercialmente viável da companhia *Freescale* [1.11]. Foi utilizada uma estrutura I-S do tipo GaGdO/Ga<sub>2</sub>O<sub>3</sub>/GaAs, em que os óxidos (GaGdO/Ga<sub>2</sub>O<sub>3</sub>) foram obtidos por MBE (*Molecular Beam Epitaxy*), como aparece na figura 1.2.



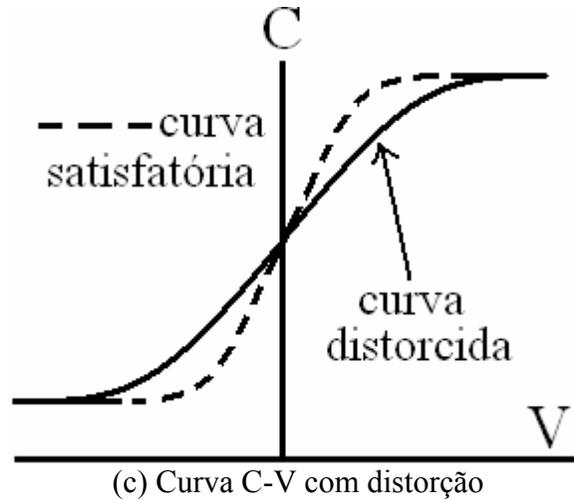
**Figura 1.2 – Foto TEM da interface I-S do primeiro dispositivo MOSFET em GaAs comercialmente viável [1.11].**

No entanto, o processo com MBE, apesar de ser intitulado como “comercialmente viável”, é um processo caro, pois necessita de câmaras com ultra-alto-vácuo (em torno de  $10^{-10}$  Torr) [1.12], e lento, pois as taxas de deposição dos filmes são da ordem 0,1 nm/min. Além disso, a utilização de fontes baseados em Gd, tais como  $Gd_3Ga_5O_{12}$  [1.12], para a obtenção dos óxidos, podem apresentar um custo alto. No entanto, é importante mencionar que depois de vários anos de pesquisas sobre as interfaces I-S sobre semicondutores III-V, problemas relacionados com a deposição de dielétricos sobre estes materiais semicondutores vem sendo esclarecidas e, como resultado, novas abordagens tem sido adotadas [1.13]. As técnicas que parecem ser promissoras incluem o ECR-PECVD (*Electron Cyclotron Resonance Plasma Enhanced Chemical Vapor Deposition*), *photo CVD*, e CVD assistido por plasma indireto. Esses métodos permitem o uso de substratos em baixa temperatura, minimizam os danos na superfície durante a deposição do dielétrico, e produzem dielétricos de alta qualidade, similar ao óxido de silício crescido termicamente sobre silício [1.1, 1.14].

Curvas C-V (capacitância-tensão) de estruturas MIS (anexo C) em semicondutores III-V são normalmente usadas para avaliar a qualidade da estrutura isolante/semicondutor. Tais curvas podem apresentar histerese, figura 1.3(a), relacionada às densidades de estados capturadas no isolante, ou na interface isolante-semicondutor, e alta corrente de fuga pelo isolante (em torno de 1 mA), quando o capacitor MIS está sob condição de forte acumulação e ocorre a redução da capacitância máxima medida, figura 1.3(b), atribuída também aos estados de interface isolante-semicondutor. Se o nível de densidades de estados efetivos no isolante estiver em torno de  $10^{10}/cm^2$ , e o formato da curva C-V for satisfatório, sem a presença de histerese, ou sem corrente de fuga, ou sem distorção (que também indica mínima densidade de estados de interface), figura 1.3(c), a passivação será considerada boa. Então, este processo de passivação pode ser introduzido como etapa de processo na fabricação de transistores MISFET e HBT [1.1, 1.15] para melhorar o desempenho destes dispositivos. No entanto, estas densidades de estado, presentes nas estruturas isolante-semicondutor, se comportam seguindo certas propriedades e distribuição, já determinadas e observadas. A seguir serão apresentadas estas propriedades e distribuição com base no trabalho de Hideki Hasegawa [1.10, 1.16].



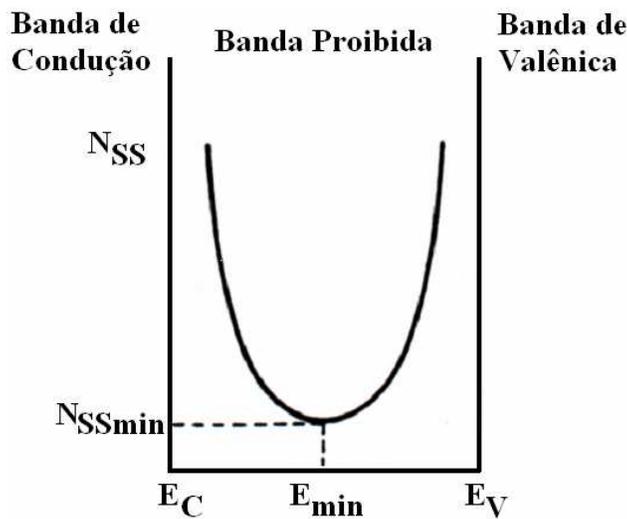
**Figura 1.3 – Curvas C-V com elevada densidade de estados na interface I-S. (a) Curva C-V com histerese, (b) curva C-V com corrente de fuga e (c) curva C-V com distorção.**



**Figura 1.3 (continuação) – Curvas C-V com elevada densidade de estados na interface I-S. (a) Curva C-V com histerese, (b) curva C-V com corrente de fuga e (c) curva C-V com distorção.**

## 1.2 DISTRIBUIÇÃO E PROPRIEDADES DOS ESTADOS DE INTERFACE EM ESTRUTURAS I-S [1.10, 1.16]

A distribuição dos estados de interface, normalmente quantificada em  $\text{cm}^{-2}\text{eV}^{-1}$  e representada por  $N_{SS}$  (figuras 1.4 e 1.5), é determinada aplicando-se o método de Terman [1.10] nas curvas C-V para alta frequência (entre 1 kHz e 1 MHz). As figuras 1.3(a), 1.3(b) e 1.3(c) ilustram exemplos típicos de variações nas curvas C-V (extraídas de estruturas MIS em substrato tipo n) observadas através da presença de histerese, da redução da capacitância máxima, e da presença de distorção, respectivamente. As principais características da distribuição de  $N_{SS}$  obtidas pela interpretação das curvas C-V podem ser resumidas como [1.10, 1.16]:



**Figura 1.4 – Distribuição de  $N_{SS}$  [1.10], onde  $E_V$  é o nível de energia máximo da banda de valência e  $E_C$  é o nível de energia mínimo da banda de condução.**

1) A distribuição de  $N_{SS}$  na banda de energia proibida do semiconductor possui o formato de “U” (figuras 1.4 e 1.5), que é caracterizada por uma mínima densidade  $N_{SSmin}$ , que está localizada em  $E_{min}$  na banda proibida, como mostrado na figura 1.4.

2) A amplitude de  $N_{SSmin}$  e a curvatura na forma de “U” variam com o tipo de isolante e condições de processo, como mostrado na figura 1.5. De um modo em geral, as altas temperaturas (de até 800°C) para a deposição do isolante e para tratamento térmico podem resultar em um maior valor de  $N_{SS}$ . Estes tratamentos térmicos são geralmente realizados em filmes depositados em baixas temperaturas (de até 300°C, como é o caso, por exemplo, do PCVD [1.17]) para densificar o filme isolante, melhorando sua estrutura.

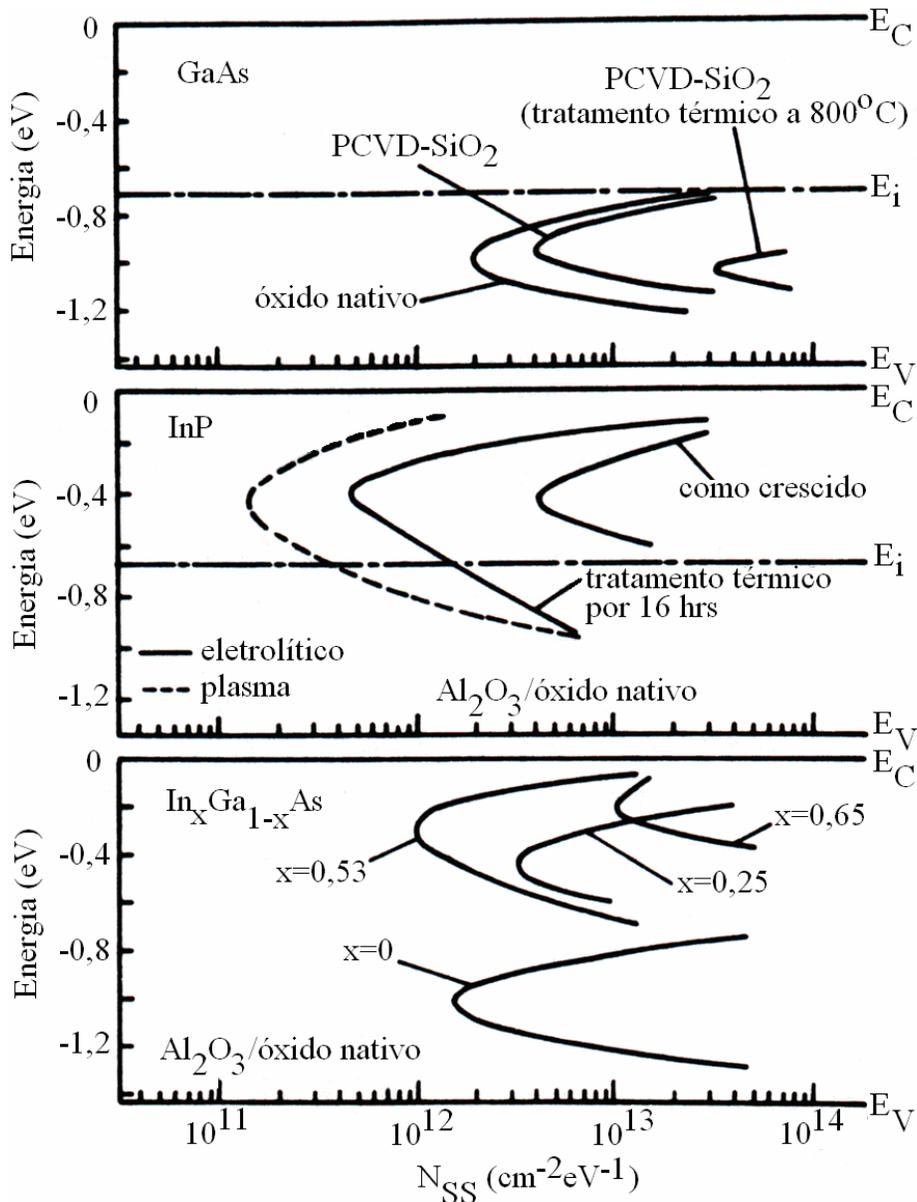


Figura 1.5 – Variação de  $N_{SS}$  em função do isolante [1.10], onde  $E_V$  é o nível de energia máximo da banda de valência e  $E_C$  é o nível de energia mínimo da banda de condução.

3) Ao contrário da grande variação de  $N_{SSmin}$  e do formato “U” da distribuição, verifica-se na figura 1.5 que, a posição de  $E_{min}$  varia em torno de 0,05 eV para cada semiconductor, indicando que  $E_{min}$  é determinado pelo cristal semiconductor onde o isolante é depositado [1.16]. Portanto, esta energia é uma característica para cada semiconductor, e mostra um sistemático movimento com a composição da liga em semicondutores compostos, tais como o exemplo do  $In_xGa_{1-x}As$  mostrado na figura 1.5.  $E_{min}$  é o ponto de neutralidade de carga da distribuição dos estados de interface, sendo que similar distribuição dos estados de interface no formato de “U” são encontrados em interfaces semiconductor-semiconductor (S-S) [1.10].

Há várias hipóteses que tentam explicar o fenômeno da densidade de estados usando modelos físicos. Os modelos mais comuns são:

- Modelo avançado dos defeitos unificados (*advanced unified defect model* – AUDM) [1.1, 1.18];
- Modelo da função trabalho efetiva (*effective work function model* - EWF) [1.1, 1.19];
- Modelo de estados na banda proibida induzidos por desordem (*disorder induced gap state model* – DIGS) [1.1, 1.10, 1.16];

O modelo AUDM [1.18] proposto para o GaAs pode ser visto como um refinamento do modelo UDM proposto em 1979 para explicar o deslocamento do nível de Fermi em compostos do tipo III-V, devido à incorporação de impurezas metálicas e não-metálicas nos semicondutores. O refinamento indica que o defeito produzido resulta em um deslocamento entre 0,75 eV e 0,50 eV acima do nível de energia máximo da banda de valência ( $E_V$ ), tratando-se de um anti-sítio  $As_{Ga}$  (um átomo de As no lugar de um átomo de Ga na rede de GaAs). Como o anti-sítio  $As_{Ga}$  é um doador duplo, uma compensação mínima de aceitadores ocorre. Isto é possivelmente identificado como um anti-sítio  $Ga_{As}$ . A concentração de As em excesso ou em deficiência devido ao processamento ou reações nas interfaces é particularmente enfatizado neste modelo. A validade do modelo AUDM está relacionada ao deslocamento do nível de Fermi através da mudança na razão  $As_{Ga}/Ga_{As}$  na interface [1.1]. No caso do InP, o deslocamento do nível de Fermi está associado com níveis discretos, devido aos defeitos  $In_P$  (que se comportam como aceitadores) e as lacunas de fósforo  $V_P$  (que se comportam como doadores) [1.1].

O modelo EWF sugere que o nível de Fermi na superfície (ou interface) não é fixado pelos estados de superfície, mas está relacionado com a função trabalho dos *microclusters* de uma ou mais fases resultantes na interface ou da contaminação por oxigênio ou da reação metal semiconductor que ocorre durante a metalização. Pela teoria, quando um metal é depositado, ou um óxido é formado, há uma região na interface que contém uma mistura de *microclusters* em diferentes fases, cada um tendo sua própria função trabalho. Desse modo o nível de Fermi da interface depende da função trabalho de cada fase no substrato [1.19].

O modelo DIGS baseia-se na formação de estados de energia localizados dentro da banda proibida, que está relacionada às ligações químicas incompletas e aos defeitos pontuais na interface I-S. A desordem DIG é formada por estados antiligantes (que se

comportam como doadores) e ligantes (que se comportam como aceitadores), e a posição do nível de Fermi se localiza no nível de neutralidade de carga [1.1, 1.10, 1.16].

Na maioria das vezes, os estudos da formação dos defeitos e suas origens foram executados em superfícies limpas dos substratos semicondutores. Nas superfícies expostas ao ar, a situação é mais complicada devido à formação inevitável de óxidos nativos. No substrato de GaAs, os óxidos nativos foram identificados como  $\text{Ga}_2\text{O}_3$  e  $\text{As}_2\text{O}_3$ . Termodinamicamente, o óxido de arsênio é instável, e na presença do GaAs a reação,  $2\text{GaAs} + \text{As}_2\text{O}_3 \rightarrow \text{Ga}_2\text{O}_3 + 4\text{As}$ , conduz à formação de arsênio elementar [1.1].

Ao contrário do GaAs, o InP oxida, quando exposto ao ar, formando o  $\text{InPO}_4$ , que é relativamente mais estável do que os óxidos nativos do GaAs [1.1]. Os óxidos nativos e o acúmulo seletivo de elementos adicionais do grupo V na interface são fontes de centros de recombinação nas interfaces MES e I-S do GaAs e do InP.

Se alguns dos modelos propostos estão corretos ou não, torna-se evidente que um aspecto essencial na passivação das superfícies do GaAs e do InP é a remoção destes óxidos nativos. É interessante observar que as primeiras tentativas de passivar as superfícies do GaAs e do InP estiveram focadas na formação de óxidos nativos estáveis e de uma maneira controlada. Isto foi feito com a esperança de obter uma interface I-S análoga ao sistema de  $\text{SiO}_2/\text{Si}$ . Embora houvesse algum sucesso nesta área (como será apresentado a seguir no item 1.3), os processos de passivação são baseados em tratamentos e na deposição cuidadosa de camadas isolantes heteromorfológicas nas superfícies [1.1].

No próximo item serão apresentadas resumidamente as principais técnicas de passivação.

### 1.3 MÉTODOS DE PASSIVAÇÃO

Os processos de passivação de superfícies de GaAs incluem: as tentativas de utilização de óxidos nativos [1.20, 1.21]; o tratamento com soluções de sulfato e  $\text{H}_2\text{S}$  [1.22, 1.23, 1.24]; o crescimento ou recrescimento epitaxial [1.25 - 1.30]; os tratamentos por plasma de hidrogênio e/ou nitrogênio [1.1, 1.8, 1.31, 1.32]; e o crescimento de uma fina camada de silício na interface I-S [1.1, 1.33, 1.34, 1.35]. Estes métodos que serão apresentados, resumidamente a seguir, têm como objetivo principal a minimização dos defeitos e, conseqüentemente, a diminuição da densidade de estados nas interfaces I-S.

Os processos usados na fabricação de óxidos nativos podem apresentar problemas [1.1, 1.36]. Por exemplo, os elementos do grupo V e seus óxidos são muito mais voláteis e solúveis do que os elementos e os óxidos do grupo III. Como conseqüência, o InP aquecido em vácuo faz com que o P evapore e o In acumule na superfície. Se este tratamento for excessivo, então regiões metálicas de In se formaram na superfície do InP. Similarmente, regiões de Ga podem se formar na superfície do GaAs. Durante o crescimento do óxido, outros problemas aparecem (como, por exemplo, a incorporação de OH e H ao óxido [1.36]) e nenhum óxido espesso para passivação semelhante ao  $\text{SiO}_2$  no Si foi encontrado para os semicondutores compostos do tipo III-V [1.1]. O óxido térmico do GaAs é composto essencialmente do óxido de Ga com As metálico distribuído não uniformemente perto da interface. Este óxido é um isolante de qualidade ruim, pois a interface contém uma elevada densidade de estados. A anodização (oxidação eletrolítica) do GaAs produz um

óxido que pode conter proporções iguais de óxidos de Ga e As e uma interface com pouco As metálico. Entretanto, esta camada de óxido absorve a água e se decompõe quando recozido. Os óxidos crescidos por plasma em temperatura ambiente são similares aos óxidos térmicos, sendo assim, não passivam satisfatoriamente a superfície [1.1].

Outra alternativa para a passivação da superfície de compostos III-V é o tratamento químico utilizando soluções de sulfatos [1.22, 1.23, 1.24]. A passivação utilizando estas soluções pode ser descrita por um processo de duas etapas, em que o óxido nativo e o arsênio são corroídos expondo uma superfície limpa e sem defeitos, pois o S forma muitos compostos binários estáveis com o Ga e o As, como, por exemplo, o GaS e o As<sub>2</sub>S<sub>3</sub>. Diodos de junção p-n, diodos de junção *Schottky*, HBTs, lasers, capacitores MIS e MISFETs exibem características elétricas superiores como resultado do tratamento por S [1.24]. Porém os bons resultados produzidos por essas soluções eram instáveis e perdiam o efeito após algumas horas de exposição ao ar. Esta instabilidade pode ser atribuída ao aumento de níveis de oxigênio na superfície e a formação de óxidos nativos como resultado da exposição ao ar. Sandroff [1.37] sugeriu o uso do selênio no tratamento da superfície do GaAs para aumentar a estabilidade contra a oxidação, e até, reduzir a degradação da superfície. Uma alternativa ao uso do selênio, para reduzir a degradação da superfície foi a deposição de um filme de nitreto de silício (ou outro filme isolante) sobre a superfície tratada com essas soluções de S. Mas os resultados mostraram um isolante de baixa qualidade. Executou-se um tratamento térmico em 400°C para se obter melhores resultados. Esta elevada temperatura era prejudicial para os contatos ôhmicos do tipo MES dos dispositivos [1.23].

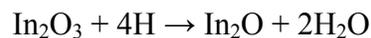
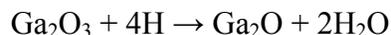
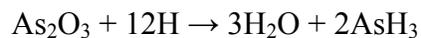
O crescimento epitaxial ou o recrescimento é outra técnica de passivação, pois permite a formação de interfaces com uma densidade mínima de defeitos. Esta interface pode ser considerada quase perfeita e deve produzir uma menor densidade de estados eletrônicos, uma vez que é uma continuação do cristal do substrato [1.1]. Uma das primeiras tentativas de se realizar este processo foi relatada por Casey [1.25], em 1978. Ele introduziu o oxigênio em uma camada de AlGaAs sobre o GaAs. Como o oxigênio forma centros de recombinação profundos na banda proibida, a resistividade do AlGaAs aumenta drasticamente, tendo por resultado um pseudo isolante. Solomon [1.26] demonstrou a eficácia do AlGaAs não dopado epitaxialmente crescido como um isolante da porta de um dispositivo FET em substrato de GaAs. Não foi relatada a densidade de estados da interface. Mas a alta qualidade dos FETs fabricados por esta técnica indica que a densidade de estados na interface é baixa.

Para formar uma camada epitaxial fina por MBE, altera-se a composição química das primeiras camadas da superfície do InP ou do GaAs pela exposição do substrato aquecido a um feixe molecular de As ou P, respectivamente. Este processo converte a superfície do InP em InAs e a do GaAs em GaP. Este tipo de modificação da superfície pode ocorrer durante o crescimento MBE de InGaAs sobre InP e InGaP sobre GaAs. E isto pode também ser executado intencionalmente para passivar a superfície [1.1]. Atualmente outros materiais crescidos por MBE vêm sendo utilizados na passivação, como, por exemplo, o Gd<sub>2</sub>O<sub>3</sub> [1.28, 1.29, 1.30]. Sua aplicação sobre o GaAs está tornando este óxido uma alternativa promissora para dielétricos de alta constante dielétrica (*high-k*) [1.38] formados sobre substrato de Si, para substituição ao SiO<sub>2</sub>. Utilizando-se este óxido, obtêm-se densidades de estado na superfície menores que 10<sup>11</sup> cm<sup>-2</sup>eV<sup>-1</sup>. E este baixo valor de densidade de estados na interface Ga<sub>2</sub>O<sub>3</sub>(Gd<sub>2</sub>O<sub>3</sub>)-GaAs não está claro [1.28]. Kwo [1.39] estudou a dependência sistemática das propriedades dielétricas do (Ga<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub>(Gd<sub>2</sub>O<sub>3</sub>)<sub>x</sub>, e

mostrou que o  $\text{Ga}_2\text{O}_3$  puro não passiva o GaAs, sendo que um mínimo valor de densidade de estados na superfície foi alcançado em filmes com  $x > 14\%$ . Os resultados mostram que a presença do  $\text{Gd}_2\text{O}_3$  é primordial nos filmes dielétricos de  $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$  para uma passivação eficaz do GaAs. Salienta-se que o primeiro dispositivo MOSFET em GaAs comercialmente viável da companhia *Freescale* [1.11] utiliza uma estrutura I-S do tipo GaGdO/Ga<sub>2</sub>O<sub>3</sub>/GaAs, em que os óxidos (GaGdO/Ga<sub>2</sub>O<sub>3</sub>) foram obtidos por MBE (*Molecular Beam Epitaxy*), como pode ser observado novamente na figura 1.2.

Outro método é a passivação por hidrogênio e/ou nitrogênio [1.1, 1.8, 1.31, 1.32]. O papel do hidrogênio em passivar defeitos no Si cristalino e amorfo é bem conhecido há muitos anos. As ligações Si-H são mais fortes do que as ligações Si-Si. Como a energia de ligação é proporcional ao valor de energia da banda proibida do semiconductor, as superfícies de Si terminadas com H apresentam valores de energias de banda proibida mais elevados do que às superfícies formadas somente por ligações Si-Si. Além disso, o H ligado ao Si consome uma ligação incompleta (*dangling bond*) de Si e conseqüentemente reduz a velocidade de recombinação de superfície. Este atributo versátil do hidrogênio vem sendo explorado por várias técnicas de passivação.

Considerando a propriedade do H em neutralizar os defeitos em substratos de Si, a passivação de defeitos e impurezas nos semicondutores compostos de III-V usando o hidrogênio pareceria ser uma expectativa razoável. Tratamentos térmico em ambiente de  $\text{H}_2$  ou por plasmas de  $\text{H}_2$  têm levado à redução significativa de estados de superfície no GaAs e no AlGaAs [1.1]. Estes resultados fizeram surgir estudos para se avaliar os efeitos do hidrogênio nas propriedades elétricas e estruturais nas superfícies do GaAs e do InP. Tais experiências são consideradas complexas, pois o H reage com a superfície, não apenas corroendo os óxidos nativos e limpando a superfície de contaminantes, mas também induzindo defeitos que ocorrem devido à perda preferencial do elemento do grupo V da superfície. As reações do H atômico com os óxidos nativos são as seguintes [1.1]:



Os produtos das reações químicas são compostos voláteis, e desta forma, o H é eficaz na remoção de óxidos e limpeza da superfície. Entretanto, a exposição excessiva da superfície ao H causa a formação de hidretos voláteis, e esgota a superfície de seu elemento do grupo V, causando assim danos severos à estequiometria da superfície e a estrutura através das seguintes reações [1.1],



Como conseqüência destas reações, conjuntos de In e de Ga são formados nas superfícies do InP e do GaAs, respectivamente. Em tratamento com plasmas de  $\text{H}_2$ , como a remoção dos óxidos nativos da superfície e a formação dos danos induzidos por plasma são reações concorrentes, o controle cuidadoso e criterioso das condições de processo e a

observação local em tempo real das propriedades da superfície durante a exposição ao H são importantes.

A limpeza da superfície com o uso do hidrogênio, seguido por tratamentos com plasma de nitrogênio, como discutido por Capasso [1.40], resultou em uma passivação mais eficiente da superfície do GaAs. A motivação para usar o N foi preencher as vacâncias de As, resultando em uma fina camada passivada de GaN. A passivação da superfície é realizada porque o GaN tem um valor de energia da banda proibida mais elevado do que o GaAs subjacente, sendo similar ao que ocorre com a passivação do Si com H e à formação na interface da heterojunção Si-H/Si [1.1]. O plasma de H<sub>2</sub>, seguido por um tratamento de plasma de N<sub>2</sub>, foi usado também para modificar as superfícies de InGaAs. Foram fabricadas estruturas MIS, usando um filme de SiN (nitreto de silício) depositado sobre o InGaAs depois do tratamento. Obteve-se uma camada de inversão no InGaAs. Bons resultados foram obtidos também para os dispositivos MIS de Al/GaO<sub>2</sub>/n-GaAs fabricados por Callegari [1.41], indicando uma densidade de defeitos na interface de 10<sup>11</sup> cm<sup>2</sup>eV<sup>-1</sup>. Depois, obteve-se a passivação de transistores bipolares de heterojunção de AlGaAs/GaAs usando plasmas de ressonância ciclotrônica de elétrons (ECR) de H<sub>2</sub> e de N<sub>2</sub> [1.8].

Outra técnica de passivação consiste na deposição de algumas mono camadas de Si entre as interfaces MES e I-S [1.1, 1.33, 1.34, 1.35]. Nesta técnica, não se observa o deslocamento do nível de Fermi devido à alta densidade de estados de superfície (figura 1.5). O SiO<sub>2</sub> (óxido de silício) e o SiN<sub>x</sub> (nitreto de silício) são os dois dielétricos mais comuns utilizados nesta técnica, porém utiliza-se preferencialmente o SiN<sub>x</sub> no lugar do SiO<sub>2</sub> para se obter um processo livre de oxigênio. Isto ocorre, pois, com a presença do oxigênio pode-se oxidar a superfície do GaAs. Esta oxidação, como relatada anteriormente, resulta essencialmente em óxido de Ga com As metálico distribuído não uniformemente perto da interface. Este óxido é um isolante de qualidade ruim, pois na interface contém uma elevada densidade de estados devido à presença deste As metálico.

O SiN<sub>x</sub> vem sendo amplamente empregado como material para passivação da superfície de compostos semicondutores, independentemente de se utilizar ou não uma camada intermediária de Si [1.42 - 1.46], que serve para reduzir as tensões estruturais na camada de transição da interface I-S. O filme de nitreto de silício geralmente é depositado por PECVD (*Plasma Enhanced Chemical Vapor Deposition*) e o processo requer antes um tratamento por plasma (H<sub>2</sub> e/ou N<sub>2</sub>, como já discutido, ou NH<sub>3</sub>). A utilização deste pré-tratamento, como discutido anteriormente, deve remover o óxido nativo e criar uma fina camada de GaN. No entanto este processo pode causar a degradação da superfície de semicondutores do tipo III-V. Esta degradação ocorre pela perda preferencial de As ou P através do bombardeamento dos íons, principalmente em processos em que as pressões da mistura gasosa, que forma o plasma, são maiores do que 10 mTorr. Esta degradação por bombardeamento iônico pode ser atribuída à elevada formação de moléculas de N e NH na fase gasosa no plasma [1.47, 1.48 1.49, 1.50]. Além da degradação, em transistores HBT, a mais alta incorporação do hidrogênio no emissor ou base pode resultar em centros de recombinação, pois o hidrogênio é um íon positivo, que pode capturar elétrons [1.47, 1.48 1.49, 1.50], o que aumenta a corrente de base, reduzindo o ganho de corrente.

Observa-se que, os processos de passivação apresentados necessitam de mais de uma etapa de processo e algumas vezes não são compatíveis com as etapas de processo subseqüentes ou podem causar algum tipo de dano às etapas já realizadas, ou porque, são simplesmente processos que exigem equipamentos muito caro. Os próximos itens, 1.3.1 e 1.4, descreverão o que motivou a realização desta tese sobre passivação de superfície.

### 1.3.1 PASSIVAÇÃO POR DEPOSIÇÃO ECR-CVD DE $\text{SiN}_x$

Nas câmaras de sistemas ECR (figura 1.6), estabelece-se uma condição de ressonância dos elétrons no plasma remoto ao se utilizar campo elétrico (gerado por uma válvula *magnetron*) com frequência de microondas (geralmente de 2,45 GHz, que é injetado através de um guia de onda na câmara do reator) e o campo magnético estático ( $\approx 875$  Gauss), aplicado através de bobinas magnéticas. Em volta de linhas de campo magnético, os elétrons giram em trajetórias helicoidais com frequência  $\omega_H = eB/m_e$  (onde:  $\omega_H$ ,  $e$  e  $m_e$  são a frequência de giro, a carga e a massa do elétron, respectivamente, e  $B$  é a intensidade do campo magnético estático). A condição de ressonância significa que o sistema oscila em sua máxima amplitude e os elétrons absorvem máxima energia (condição de ressonância entre a frequência de microondas incidente e a frequência de giro,  $\omega_H$ ). O movimento ordenado dos elétrons acelerados pela ressonância ciclotrônica aumenta as colisões entre os elétrons e as moléculas e/ou átomos dos gases, estabelecendo-se um plasma mais denso (densidades entre  $10^{11}$  e  $10^{12}$   $\text{cm}^{-3}$ ) do que plasmas formados em reatores convencionais do tipo planar (placas paralelas) e barril. Conseqüentemente, o plasma ECR pode ser mantido em baixas pressões entre 0,1 mtorr e 50 mtorr. As colisões geram os efeitos de ionização (formando íons positivos), dissociação e excitação (em que molécula ou átomo não se separa, mas absorve energia, resultando em um estado eletrônico excitado).

A interação da microonda com o plasma torna-se relativamente fraca fora da zona de campo magnético. Os elétrons gerados na região de plasma denso difundem-se ao longo das linhas de campo magnético em direção à câmara de processo (parte inferior onde se localiza o substrato). A difusão de elétrons é mais rápida do que a dos íons, gerando um campo elétrico que promove a extração de íons da região de plasma para a de processo. Muitos sistemas ECR são reatores com plasma remoto, onde a descarga, que produz o plasma, é estabelecida em região distante da região de processo, o que reduz o bombardeamento iônico sobre a amostra. Ionizam-se somente parte dos reagentes, na câmara de plasma, que são misturados com outros gases do processo e transportados para a região do substrato [1.14]. Além do plasma remoto, os sistemas ECR podem ter acoplado ao eletrodo (que serve como suporte para as amostras) uma fonte RF (tipicamente 13,56 MHz), que polariza o substrato, controlando a energia do bombardeamento de íons. Assim, o sistema ECR, como o da figura 1.6, elimina os íons de alta energia, minimizando a quantidade de defeitos produzidos nas superfícies do substrato semicondutor por radiação, produzem alta densidade de espécies reativas, permitem oxidação/nitretação de superfícies, alta taxa de deposição ( $> 10$  nm/min), alta taxa de corrosão ( $> 100$  nm/min), e possibilitam a deposição de filmes até em temperatura ambiente [1.14].

Este trabalho de tese está baseado nos excelentes resultados preliminares obtidos em [1.15], que indicam que filmes de  $\text{SiN}_x$  depositados por ECR-CVD podem passivar excelentemente as superfícies de AlGaAs/GaAs e do GaAs, obtendo níveis de densidade de estados em torno de  $10^{11}/\text{cm}^2$ . Este processo de passivação não exige nenhum processo de pré-tratamento (como o emprego de plasmas de  $\text{N}_2$  e/ou  $\text{H}_2$ , ou o tratamento com S) antes da deposição do  $\text{SiN}_x$ . Isto ocorre pois a ionização e a dissociação do plasma de alta densidade contendo  $\text{SiH}_4$  e  $\text{N}_2$  (gases utilizados para a deposição do filme de nitreto de silício) permite que baixa concentração de íons de hidrogênio e nitrogênio em contato com a superfície de GaAs remova o óxido nativo e forme uma camada ultrafina de GaN.

Durante os processos de deposição dos filmes, a razão de fluxo de  $\text{SiH}_4/\text{N}_2$  foi 1. Essa razão foi utilizada pois um processo rico em  $\text{SiH}_4$  pode induzir uma concentração maior de radicais Si-H no filme, que reduz a correta produção de íon H necessário para remover o óxido nativo presente na superfície e acarretando, deste modo, os problemas já discutidos anteriormente. Já um plasma rico em  $\text{N}_2$  pode induzir um excesso de radicais de nitrogênio próximo ao substrato, podendo formar uma barreira contra a remoção do óxido. Já a potência de microondas (250 W) e a pressão (2,5 mTorr) devem gerar um fluxo correto de íons de hidrogênio e nitrogênio para realizar a passivação da superfície no começo do processo. Toda esta análise foi estimada sem poder ser executado um estudo do plasma ECR, que neste trabalho será apresentado.

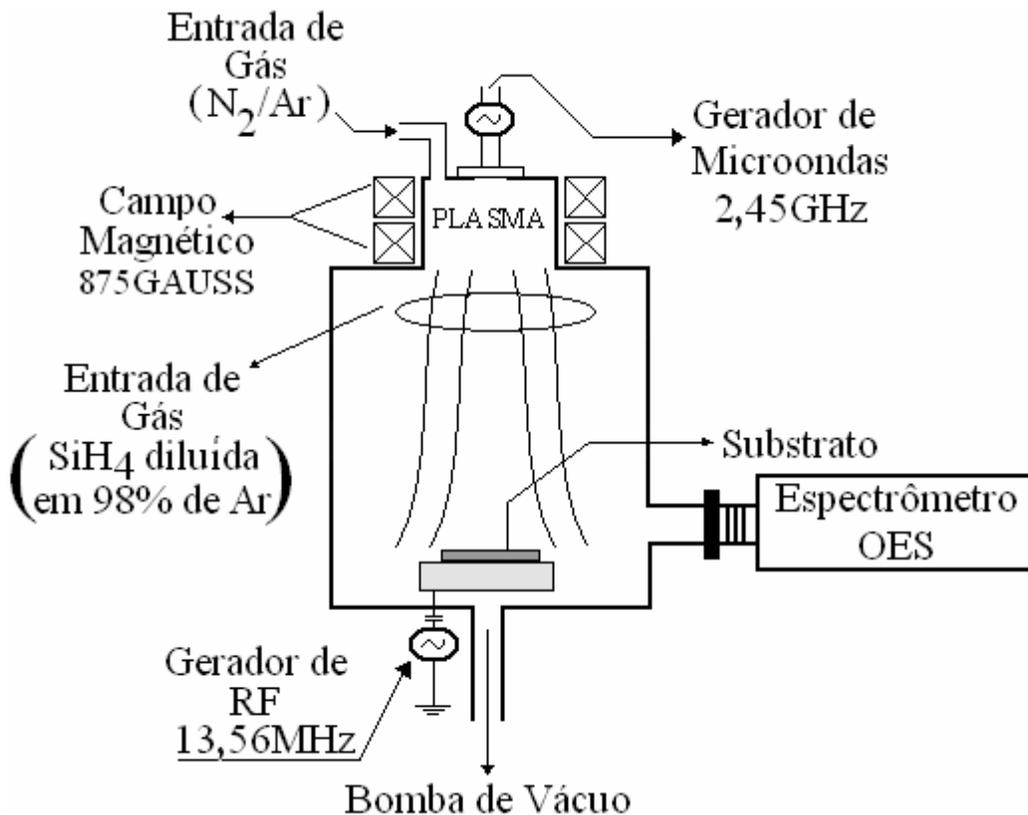


Figura 1.6 – Sistema esquemático do ECR [1.14].

## 1.4 MOTIVAÇÃO

Com o processo de passivação do item 1.3.1, nem foram fabricados transistores MISFET em GaAs e nem transistores HBT com estruturas InGaP/GaAs. Além disso, um estudo mais aprofundado do plasma usado na deposição do filme de  $\text{SiN}_x$  não foi executado. Portanto, esta tese está propondo empregar um processo simples de passivação, similar ao apresentado na referência 1.15, tendo como principais motivações:

- ampliação dos conhecimentos sobre a passivação da superfície do GaAs, através do estudo do plasma e de novas deposições;

- tornar a fabricação de transistores MISFET viável em GaAs pois um dos principais desafios atualmente é aprimorar o desempenho das arquiteturas baseadas nos dispositivos metal-óxido-semicondutor complementar (CMOS) através da implementação de dispositivos CMOS com estruturas avançadas e não clássicas (baseadas apenas em silício). E isto pode ser potencialmente realizado através do crescimento de compostos do tipo III-V (como, por exemplo, o GaAs) sobre o substrato de silício [1.51, 1.52, 1.53];
- analisar o desempenho de estruturas HBT de InGaP/GaAs com este processo de passivação simples que está sendo proposto.

Salienta-se que as vantagens deste processo são: a não introduz nenhuma etapa adicional de fotolitografia nos processos já desenvolvidos em nossos laboratórios; a deposição de  $\text{SiN}_x$  por ECR-CVD (sobre substratos de GaAs e de InGaP/GaAs, ao invés de AlGaAs/GaAs) não requer nenhum pré-tratamento (tais como pré-tratamento da superfície por plasmas de  $\text{H}_2$  e/ou  $\text{N}_2$ , eliminando dessa forma pelo menos uma etapa de processo); e este processo é totalmente compatível com os processos usados para a fabricação de circuitos integrados monolíticos de microondas (MMIC).

O tema “DESENVOLVIMENTO DE DISPOSITIVOS BASEADOS EM SUBSTRATO DE GaAs COM PASSIVAÇÃO POR PLASMA ECR” está sendo proposto, pois continua atual, e será executado em um sistema único no Brasil, com infra-estrutura já montada e de primordial importância para o melhor desempenho dos dispositivos III-V desenvolvidos no grupo de pesquisa do CCS (Centro de Componentes Semicondutores), DSIF/FEEC (Departamento de Semicondutores, Instrumentos e Fotônica da Faculdade de Engenharia Elétrica e de Computação) e do LPD/IFGW (Laboratório de Pesquisa em Dispositivos, do Instituto de Física *Gleb Wataghin*), todos pertencentes à UNICAMP.

## 1.5 OBJETIVOS DA TESE

O objetivo deste trabalho é controlar os estados de superfície por processos de passivação, que são executados por filmes depositados de nitreto de silício ( $\text{SiN}_x$ ), sem o anterior tratamento com plasma de  $\text{H}_2$  e/ou  $\text{N}_2$ , por plasma ECR-CVD sobre substratos de GaAs. O processo de passivação visa reduzir os defeitos na interface isolante-semicondutor e remover os óxidos nativos presentes na superfície do GaAs.

No trabalho 1.15, foram utilizados transistores HBT de AlGaAs/GaAs para se verificar a passivação. Neste trabalho serão utilizados transistores InGaP/GaAs, pois foi desenvolvido um *design-kit* de fabricação de circuitos MMIC baseados em HBT de InGaP/GaAs [1.54, 1.55]. A razão para se trocar de material é porque em transistores HBT do tipo npn, a descontinuidade da banda de valência deve ser grande (para impedir que as lacunas se movam da região da base para o emissor) e sem descontinuidade da banda de condução (favorece o deslocamento dos elétrons da região de emissor para a base). O InGaP apresenta uma maior descontinuidade da banda de valência em relação ao AlGaAs [1.56] (maiores detalhes podem ser encontrados no anexo C). Outra razão é porque durante algumas etapas de processo, como as corrosões úmidas utilizadas para definir as regiões dos transistores, é necessário que exista uma boa seletividade de corrosão (um determinado material tenha uma maior taxa de corrosão do que outro para a mesma solução que está

sendo usada no processo). O AlGaAs apresenta baixa seletividade de corrosão entre AlGaAs e GaAs (aproximadamente 10) [1.1, 1.56]. Já o InGaP apresenta alta seletividade de corrosão entre InGaP e GaAs (maior do que 500 dependendo do tipo de solução), com isso, o processo de fabricação desses transistores se torna mais fácil [1.57, 1.58, 1.59].

Com relação ao processo de deposição do SiN<sub>x</sub> por ECR-CVD, neste trabalho utiliza-se uma pressão de deposição de 2,5 mTorr e processos com e sem a utilização de fonte de RF (com frequência de 13,56 MHz). Esta fonte de RF serve para polarizar o porta-amostra, orientando os íons em direção ao substrato e controlando a energia de bombardeamento destes íons sobre o substrato. No trabalho da referência 1.15, a deposição era executada em 1 mTorr e os processos utilizavam a fonte de RF. Este aumento da pressão de 1 mTorr para 2,5 mTorr de um trabalho para outro ocorreu, pois com o sistema ECR na configuração atual, após onze anos de operação e duas reformas, não se consegue estabelecer pressões de processo menores que 2,5 mTorr. A fonte de RF, após a segunda reforma, que ocorreu durante este trabalho, não pode ser utilizada, pois não foi acoplada ao porta-amostra. Isto ocorreu porque não existe atualmente uma isolação (que é executada por um cilindro de alumina) entre a câmara de processo e o porta-amostra, onde deve estar acoplada a fonte de RF. Antes da segunda reforma, a fonte de RF foi utilizada para auxiliar na deposição de SiN<sub>x</sub> para fabricar transistores HBT de InGaP/GaAs e capacitores MIS em substratos de GaAs tipo n. Após esta segunda reforma, a fonte de RF não foi utilizada para depositar o SiN<sub>x</sub>. Nesta segunda fase foram fabricados transistores MESFET, MISFET e capacitores MIS em substratos de GaAs semi-isolantes com camada ativa de canal tipo n, obtida por implantação de Si, com posterior ativação por recozimento térmico rápido (RTA). Esta condição permitiu a comparação de filmes de SiN<sub>x</sub> com e sem a utilização do sistema de RF acoplado ao porta-amostra. As demais atividades, que foram propostas para este trabalho, são:

***i) Deposição de filmes de nitreto de silício (SiN<sub>x</sub>)*** sobre substratos semicondutores (de GaAs), sem anterior tratamento da superfície por plasma H<sub>2</sub> e/ou N<sub>2</sub> por ECR-CVD. Nesta etapa foram depositados os filmes de SiN<sub>x</sub> sobre lâminas de silício também, que serão utilizadas como lâminas de teste para a futura caracterização do filme de SiN<sub>x</sub> depositado.

***ii) Caracterização dos filmes:***

- Para a caracterização estrutural dos filmes depositados sobre substratos de GaAs utilizaram-se as técnicas de **elipsometria**, que determina a espessura, a uniformidade, a taxa de deposição e o índice de refração, **perfilometria**, que determina a espessura, a uniformidade e a taxa de deposição, **espectroscopia de absorção do infravermelho (FTIR)**, que analisa as ligações químicas e a incorporação de hidrogênio, e **espectroscopia de emissão óptica (OES)**, que determina a composição do plasma durante o processo de deposição.
- Para a caracterização elétrica dos filmes utilizaram-se as medidas: de **capacitância em função da tensão (C-V)**, que determina a constante dielétrica e a densidade de estados efetivos no isolante; e de **corrente em função da tensão (I-V)**, que determina a corrente de fuga através do isolante.

***iii) Estudo dos efeitos dos parâmetros de processo:*** é uma análise da aplicação destes filmes de SiN<sub>x</sub> em capacitores MIS e em transistores MISFET (que serão comparados com transistores MESFET) e transistores HBT.

## 1.6 ORGANIZAÇÃO DA TESE

Esta tese foi dividida em quatro capítulos e seis anexos. Além deste capítulo introdutório, os demais capítulos e anexos apresentam respectivamente:

O capítulo 2 apresenta, detalhadamente, as etapas de processos empregadas para a fabricação dos capacitores MIS, dos transistores bipolares de heterojunção (HBT) e dos transistores de efeito de campo (MISFET e MESFET).

O capítulo 3 apresenta os resultados das análises dos filmes de nitreto de silício depositados sobre as lâminas de InGaP/GaAs e GaAs (onde os dispositivos foram fabricados).

O capítulo 4 apresenta as conclusões e as perspectivas futuras sobre este trabalho.

O anexo A apresenta os sistemas, do tipo CVD, mais comuns e utilizados para a deposição de filmes de nitreto de silício. Nesse anexo, além dos sistemas de deposição, resumidamente, são descritos os processos que ocorrem para que o filme seja formado sobre o substrato.

O anexo B apresenta uma explicação resumida de alguns métodos utilizados para caracterizar o plasma durante o processo de deposição dos filmes e os métodos para caracterizar os filmes após a deposição (os métodos descritos aqui são os métodos utilizados durante este trabalho). A caracterização apresentada nesse anexo é uma caracterização física.

O anexo C apresenta, resumidamente, uma análise teórica dos dispositivos fabricados, e que foram utilizados para a caracterização elétrica dos filmes depositados. Os dispositivos que serão apresentados neste anexo são os capacitores MIS, transistores HBT e transistores de efeito de campo MISFET e MESFET.

O anexo D apresenta, resumidamente, a descrição das máscaras utilizadas para a fabricação dos dispositivos elétricos (capacitores MIS, transistores MISFET, MESFET e HBT). O conjunto de máscara dos capacitores MIS e transistores HBT são apenas referenciados, pois já foi descrito em outros trabalhos [1.54, 1.55]. Já o conjunto de máscaras para a fabricação dos transistores de efeito de campo (MISFET e MESFET) é apresentado com um número maior de detalhes, pois foi desenvolvido durante a execução deste trabalho.

O anexo E apresenta a descrição de um novo conjunto de máscaras para a fabricação de transistores bipolares de heterojunção (HBT). Este novo conjunto de máscaras apresenta

um número maior de transistores (e com várias dimensões). Além disso, algumas etapas foram retiradas, possibilitando o uso de um número reduzido de máscaras.

Por fim, o anexo F apresenta a lista das publicações que foram produzidas durante este trabalho e que são relacionadas ao processo de deposição de filmes de nitreto de silício por plasma ECR-CVD.

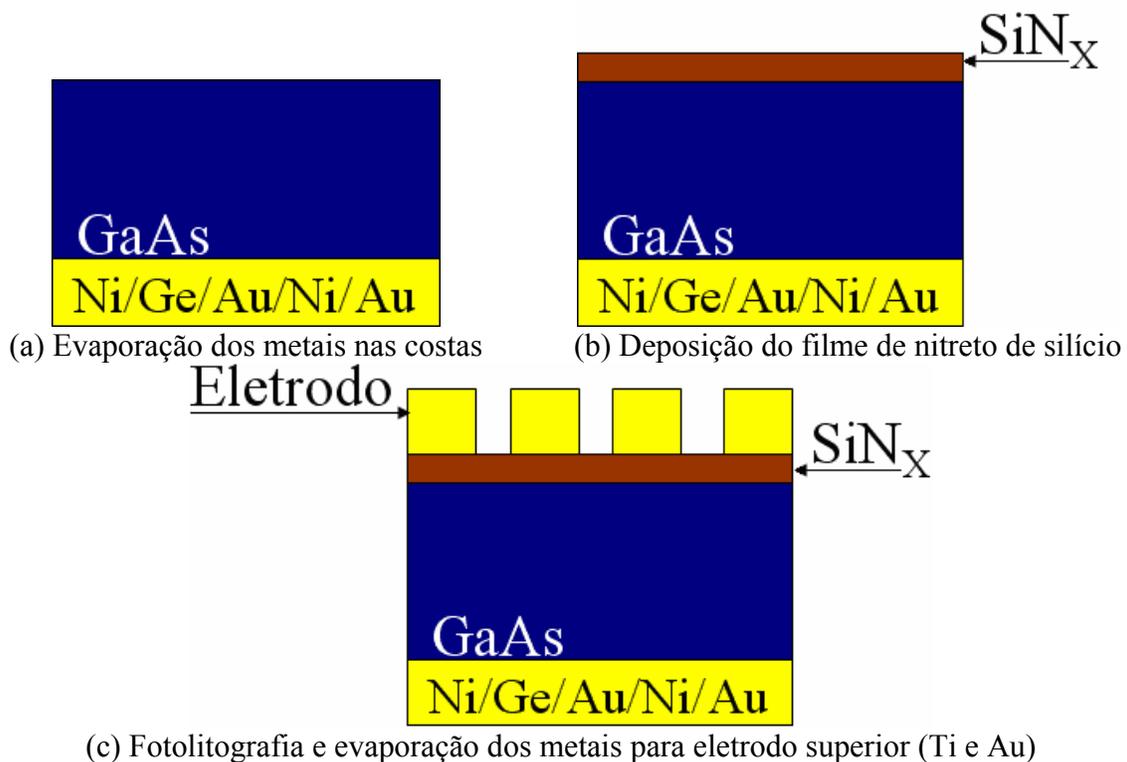
## CAPÍTULO 2

# PROCESSO DE FABRICAÇÃO DOS CAPACITORES MIS, TRANSISTORES BIPOLARES DE HETEROJUNÇÃO (HBT) E TRANSISTORES DE EFEITO DE CAMPO (MESFET E MISFET)

Este capítulo apresentará detalhadamente o processo de fabricação dos capacitores tipo metal-isolante-semicondutor (MIS), dos transistores bipolares de heterojunção (HBT) e dos transistores de efeito de campo (MESFET e MISFET). Os processos de fabricação dos circuitos integrados (CIs) foram desenvolvidos na UNICAMP nos laboratórios do CCS (Centro de Componentes Semicondutores), do *DSIF-FEEC* (Departamento de Semicondutores, Instrumentos e Fotônica da Faculdade de Engenharia Elétrica e de Computação) e do *LPD-IFGW* (Laboratório de Pesquisa em Dispositivos do Instituto de Física *Gleb Wataghin*). Os conjuntos das máscaras utilizadas são apresentados no anexo D.

### 2.1 CAPACITORES MIS

Para tornar mais fácil o entendimento do processo de fabricação dos capacitores MIS, a figura 2.1 apresenta, inicialmente e de forma resumida, as etapas mais importantes do processo de fabricação destes capacitores.



**Figura 2.1 – Etapas mais importantes do processo de fabricação dos capacitores MIS.**

Antes de iniciar a fabricação dos capacitores, fez-se a limpeza orgânica das amostras que seriam processadas com auxílio de um destilador *Sox-let*, e seu objetivo é a retirada de material orgânico que possa estar presente sobre a superfície da amostra. A seqüência desta limpeza é apresentada a seguir:

- a) primeira etapa: as lâminas foram colocados em tricloroetileno, com temperatura de, aproximadamente, 80°C, durante 15 minutos;
- b) segunda etapa: após o esfriamento das lâminas, estas permaneceram em acetona, com temperatura de 80°C, durante 15 minutos;
- c) terceira etapa: as lâminas foram colocadas em isopropanol, com temperatura de, aproximadamente, 80°C, durante 15 minutos (após seu esfriamento da segunda etapa);
- d) quarta etapa: deixa-se o conjunto aquecido sobre uma folha de alumínio para voltar à temperatura ambiente (evitando assim que a amostra trinque, pois o GaAs é muito frágil). Quando o recipiente estiver na temperatura ambiente, a amostra é retirada do isopropanol e, então, passa por uma lavagem em água deionizada (água DI) e é seca em nitrogênio. Segue-se um tratamento térmico, a 120°C, durante 20 minutos para garantir que a amostra fique totalmente seca.

Utiliza-se esta seqüência (tricloroetileno, acetona, isopropanol e água DI), pois cada componente retira resíduos deixados pelo componente anterior. Por exemplo, o tricloroetileno reage com compostos orgânicos na superfície da amostra, a seguir, resíduos de tricloroetileno, que são solúveis em acetona, são removidos pelo banho de acetona e assim sucessivamente até se obter uma superfície limpa. As etapas finais têm a função de minimizar a presença de moléculas de água absorvidas pela superfície.

Após esta limpeza, inicia-se o processo de fabricação dos capacitores MIS. A primeira etapa de fabricação foi a evaporação do metal para formar o contato ôhmico nas costas das lâminas, figura 2.1(a). Porém, antes da evaporação dos metais para contato ôhmico nas costas, deve-se retirar o óxido nativo superficial que se forma. O óxido é retirado fazendo-se uma imersão (*deep*) em solução de ácido clorídrico (HCl) com água DI, na proporção 1:10 por 10 segundos. Decorrido este tempo, seca-se a amostra com nitrogênio e coloca-a no suporte da evaporadora para que esta segunda etapa do processo possa ser concluída. Os metais utilizados para a formação do contato ôhmico foram: níquel (5 nm), germânio (50 nm), ouro (100 nm), níquel (30 nm) e ouro (100 nm). Nesta seqüência, o níquel, que é o primeiro metal evaporado, fica em contato com o GaAs sendo os demais metais evaporados seqüencialmente, um sobre o outro. Esta estrutura depositada por evaporação por feixe de elétrons (*e-beam*) pode ser dividida em quatro regiões [2.1]:

1. Material de contato: este material reage com o GaAs, consumindo Ga ou As (dependendo do tipo de contato desejado), deixando vacâncias de Ga ou de As. Neste caso o material de contato utilizado foi o níquel;
2. Elemento dopante: este elemento ocupará as vacâncias deixadas pelo material de contato. Esta é a etapa mais importante da formação do contato, pois dela dependerá a largura da barreira de energia entre o material de contato e o GaAs. O elemento dopante utilizado aqui foi o germânio;

3. Material de barreira: este material tem a função de evitar a perda de As, que se difunde para fora da amostra durante o ciclo térmico. A perda de As aumenta com a carga térmica. O material utilizado como barreira aqui foi ouro;
4. Material de interface: este material é responsável por estabelecer uma boa conexão elétrica com outros materiais, como o metal de interconexão e os fios de soldagem, assim, deve ser um material que permaneça plano após a formação do contato. Os materiais utilizados para a interface foram o níquel e ouro. A camada final de ouro cobrindo o contato é utilizada para fornecer uma superfície quimicamente estável e boa ligação com o metal de interconexão.

Após a evaporação dos metais, foi realizado um tratamento térmico (*alloy*) a 460°C, durante 3,5 minutos, em ambiente de nitrogênio com fluxo de 2 l/min. A finalidade deste tratamento térmico é formar o contato ôhmico nas costas da lâmina. Durante a fabricação destes contatos ocorre uma reação em fase líquida entre o metal e o semicondutor. O processo de formação da liga consiste na formação de uma região altamente dopada na interface metal-semicondutor em duas etapas, um aquecimento para a fusão do material e o resfriamento subsequente, durante o qual o semicondutor dissolvido recresce, dopado por algum elemento dopante evaporado junto com o metal (neste caso o germânio) [2.1].

A próxima etapa de fabricação dos capacitores MIS é a deposição do material dielétrico, figura 2.1(b). O material dielétrico empregado foi o nitreto de silício ( $\text{SiN}_x$ ) depositado por plasma ECR. Antes de cada deposição executa-se a limpeza *in-situ* das paredes da câmara de processo do ECR com plasma de  $\text{SF}_6$  e de Ar seqüencialmente. Este procedimento garante que todas as deposições sejam executadas com as mesmas condições de limpeza da câmara. O processo com plasma de  $\text{SF}_6$  seguiu os seguintes parâmetros: pressão de 10 mTorr, tempo de 10 min, potência de microondas (2,45 GHz) de 500 W, fluxo do gás de 10 sccm e temperatura de 20°C. Para o plasma de Ar, os parâmetros de processo foram: pressão de 10 mTorr, tempo de 20 min, potência de microondas (2,45 GHz) de 1.000 W, fluxo do gás de 40 sccm e temperatura de 20°C. Os processos com plasma ECR são executados sempre com duas amostras, sendo uma de GaAs e outra de Si, colocadas simultaneamente na câmara de processo. O objetivo de se utilizar amostras de Si é para posterior análise dos filmes depositados, pois as amostras de Si são mais baratas (cerca de uma ordem de grandeza menor) quando comparadas com as de GaAs. Após a limpeza da câmara, os filmes de nitreto de silício são depositados, seguindo-se os parâmetros apresentados na tabela 2.1:

**Tabela 2.1 – Parâmetros de processo utilizados nas deposições dos filmes de nitreto de silício ( $\text{SiN}_x$ ) por plasma ECR.**

Pressões de deposição (mTorr)	Razão de fluxos entre $\text{SiH}_4$ e $\text{N}_2$	Fluxo de Ar (sccm)	Potência de ECR (W)	Potência de RF (W)	Tempos de deposição (min)	Temperatura de deposição (°C)
2,5	1	5	250	4 (quando utilizado)	10 e 12	20
5,0						
10						
15						

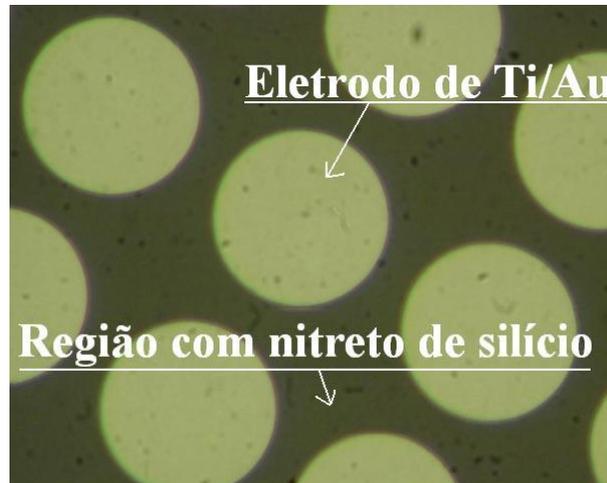
A variação na pressão de deposição, apresentada na tabela 2.1, é para estudar o comportamento da passivação com o aumento da pressão, no entanto, para os transistores HBT e MISFET optou-se em utilizar apenas a pressão de 2,5 mTorr (a explicação é apresentada no próximo capítulo). Concluída a deposição do material isolante, realiza-se a fotolitografia e evaporação dos metais para o eletrodo superior, figura 2.1(c). Para esta fotolitografia, utilizou-se o fotorresiste AZ 5214. O processo empregado para a utilização deste fotorresiste foi:

1. Depositou-se o fotorresiste sobre a amostra em um *spinner*, durante 30 segundos, com uma rotação de 4.000 rpm (a umidade da sala onde o fotorresiste é aplicado deve estar em torno de 50%);
2. Fez-se uma cura (na placa quente) em temperatura de 90°C, durante 4 minutos;
3. Exposição durante 0,8 segundo à luz UV (ultravioleta) da fotoalinhadora (este procedimento é feito sem máscara), utilizando-se o modo CI (controle de intensidade) do aparelho;
4. Fez-se uma outra cura (também na placa quente) em temperatura de 110°C, durante 1 minuto e 45 segundos;
5. Exposição durante 50 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), onde também se utilizou o modo CI;
6. Por fim, revelação feita com AZ400K e água DI, numa proporção de 1:3,5, durante, aproximadamente, 60 segundos.

Neste processo de fotolitografia é feita uma dupla exposição, para ocorrer a inversão do gradiente de solubilidade por meio de um tratamento térmico. Neste caso, as moléculas do fotorresiste exposto estabelecem ligações (*crosslink*), formando um composto menos solúvel. A região que recebeu mais exposição será, agora, a região de maior dificuldade de remoção. Assim, para obter uma estrutura adequada para o processo de metalização por *lift-off* (será este o processo utilizado em todas as metalizações), deve-se realizar uma leve exposição, do tipo *flood*, para sensibilizar a camada superior do fotorresiste. A seguir, faz-se um tratamento térmico que diminui a solubilidade desta fina camada. Durante a exposição com máscara, esta região e a camada de fotorresiste sob ela terão suas solubilidades aumentadas [2.1].

O próximo passo foi fazer um plasma de O<sub>2</sub>, em um sistema tipo barril, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo de gás de 50 sccm. O objetivo deste plasma foi limpar as regiões abertas pela fotolitografia, pois pode restar uma fina camada de fotorresiste que prejudica a seqüência do processo. Basicamente, o fotorresiste é retirado por corrosão química (plasma barril). O plasma se forma por descargas de RF, fazendo surgirem radicais de O<sub>2</sub> que chegam à superfície da amostra, promovendo o ataque químico do fotorresiste [2.2]. Após o plasma, fez-se a evaporação dos metais que farão o contato do eletrodo superior. Os metais utilizados foram: titânio (10 nm) e o ouro (200 nm). O processo de retirada do metal de onde não interessa, foi feito por *lift-off*. O *lift-off* foi feito colocando-se a amostra em um recipiente (*backer*) com acetona, para que o fotorresiste, sob os metais, se dissolva por completo. Depois, lava-se a amostra em acetona para que sobras dos metais saiam, ficando apenas nos locais onde não havia fotorresiste. Após a retirada total destes metais, lava-se a amostra com isopropanol, água DI e seca-se com nitrogênio.

Após o *lift-off* pode restar fotorresiste sobre a amostra que é retirado por um plasma de O<sub>2</sub>, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Finalizando o processo de fabricação dos capacitores MIS, foi feito um recozimento (tratamento térmico) em forno convencional, para melhorar a aderência do metal depositado e posteriormente verificar a influência do tratamento térmico no processo de passivação. Este recozimento foi feito a 420°C, durante 2 e 5 minutos, em ambiente de nitrogênio com um fluxo de 2 l/min. A figura 2.2 apresenta uma fotografia superior do dispositivo fabricado. Todos os capacitores fabricados utilizando este processo são capacitores circulares com diâmetro de 200 μm.

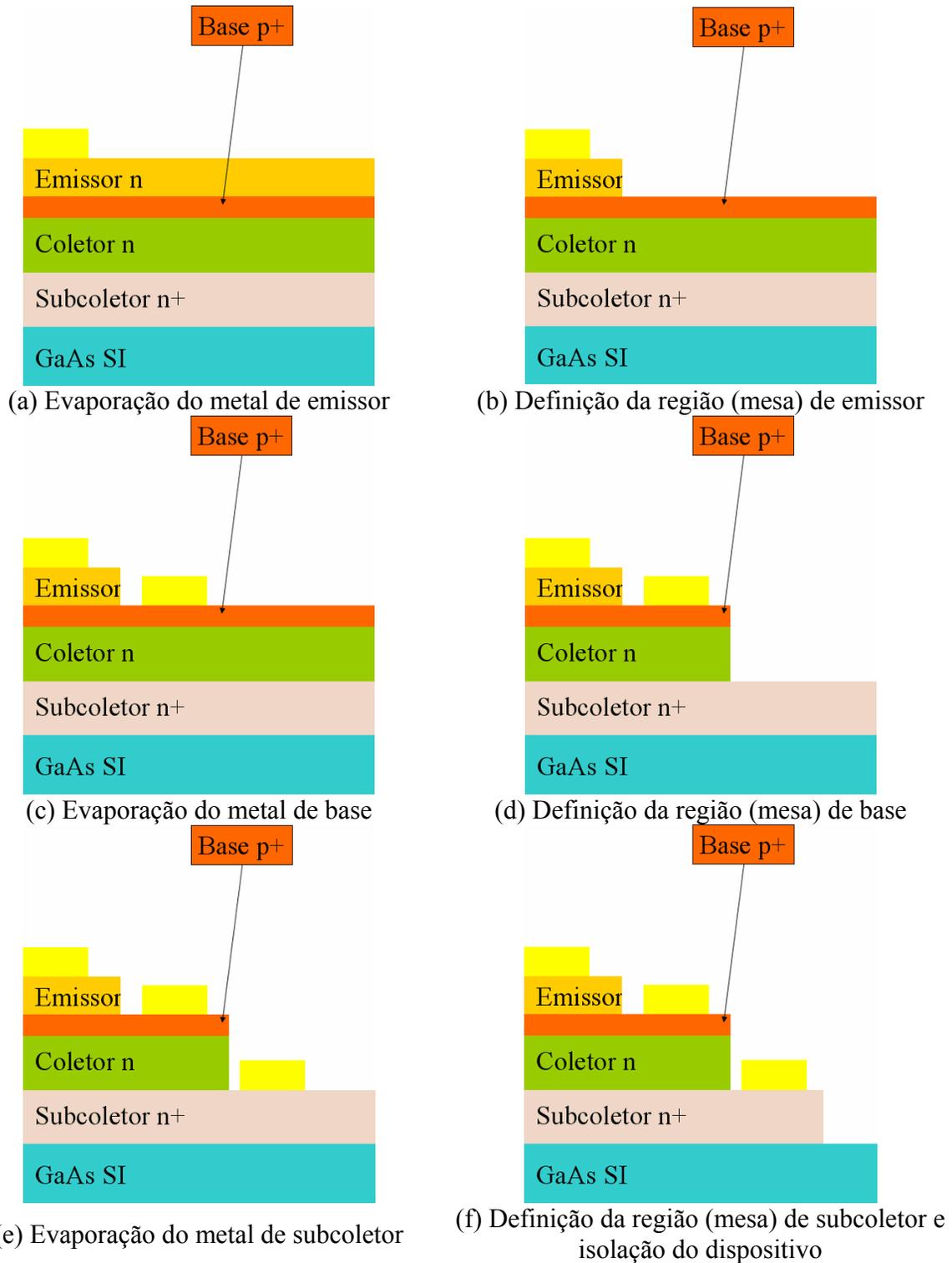


**Figura 2.2 – Foto superior dos capacitores MIS fabricados.**

Este processo de fabricação foi empregado em dois tipos distintos de substrato de arseneto de gálio (GaAs) com orientação [100]. Os capacitores fabricados foram denominados capacitores do grupo A e grupo B. Para os capacitores do grupo A utilizaram-se lâminas do tipo n+, com dopagem entre  $1 \cdot 10^{18} \text{ cm}^{-3}$  e  $5 \cdot 10^{18} \text{ cm}^{-3}$ . Os filmes de SiN<sub>x</sub> para este grupo foram depositados seguindo os parâmetros apresentados na tabela 2.1 com tempo de deposição de 10 minutos e sem o gerador de RF acoplado ao porta-amostra (mesmas condições para as análises físicas que serão apresentadas no próximo capítulo). Os capacitores do grupo B utilizaram lâminas do tipo n, com dopagem entre  $1 \cdot 10^{17} \text{ cm}^{-3}$  e  $5 \cdot 10^{17} \text{ cm}^{-3}$ . Os filmes de SiN<sub>x</sub> para este grupo foram depositados apenas com a pressão de deposição de 2,5 mTorr, tempo de deposição de 12 minutos e com o gerador de RF acoplado ao porta-amostra (os demais parâmetros de deposição são idênticos aos apresentados na tabela 2.1). As condições de deposição para os capacitores do grupo B são as mesmas utilizadas para a fabricação dos transistores HBT com filme de nitreto de silício para passivação.

## 2.2 TRANSISTORES HBT

Da mesma forma que no processo de fabricação dos capacitores MIS, a figura 2.3 apresenta, inicialmente e de forma resumida, as etapas mais importantes do processo de fabricação dos transistores bipolares de heterojunção.



**Figura 2.3 – Etapas mais importantes do processo de fabricação dos transistores HBT passivados e não passivados.**

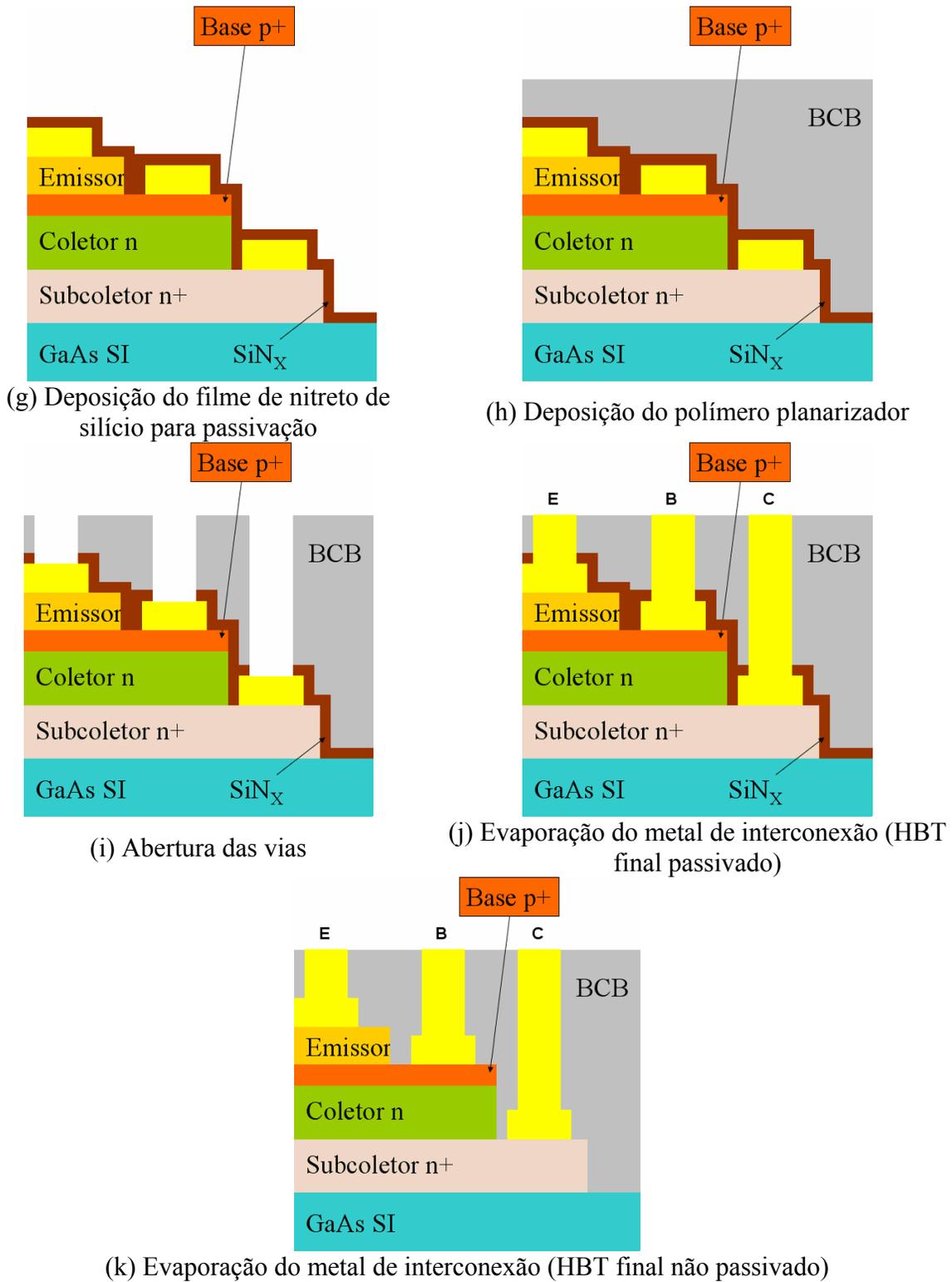


Figura 2.3 (continuação)– Etapas mais importantes do processo de fabricação dos transistores HBT passivados e não passivados.

Para a fabricação dos transistores bipolares de heterojunção, HBT, utilizaram-se amostras de GaAs com orientação [100] e sete camadas epitaxiais crescidas por MOCVD (*Metalorganic Chemical Vapor Deposition*). Estas lâminas foram processadas pela KOPIN [2.3]. A tabela 2.2 apresenta os dados das sete camadas epitaxiais. As três primeiras camadas (CAPA) têm a finalidade de melhorar o contato ôhmico entre o metal e o emissor, sendo que a camada central de CAPA tem a função de variar gradualmente o parâmetro de rede e da faixa de energia proibida entre as duas outras camadas de CAPA. A quarta camada (EMISSOR) será a região de emissor do HBT, com formação da heterojunção. As demais camadas são, respectivamente, as regiões de base, coletor e subcoletor do HBT. As especificações das camadas que foram crescidas foram obtidas através de simulações computacionais, visando à otimização do desempenho dos transistores HBT a serem processados [2.3].

**Tabela 2.2 – Especificações das camadas epitaxiais.**

<i>Camada</i>	<i>Material</i>	<i>Espessura (nm)</i>	<i>Dopagem (cm<sup>-3</sup>)</i>
CAPA	In <sub>y</sub> Ga <sub>1-y</sub> As (y = 0,5)	50	>1,0·10 <sup>19</sup> (n <sup>+</sup> )
CAPA	In <sub>y</sub> Ga <sub>1-y</sub> As (y = 0 a 0,5)	50	> 1,0·10 <sup>19</sup> (n <sup>+</sup> )
CAPA	GaAs (Si)	100	5,0·10 <sup>18</sup> (n <sup>+</sup> )
EMISSOR	In <sub>y</sub> Ga <sub>1-y</sub> P (y = 0,5) (Si)	50	5,0·10 <sup>17</sup> (n)
BASE	GaAs (C)	80	4,0·10 <sup>19</sup> (p <sup>+</sup> )
COLETOR	GaAs (Si)	500	4,0·10 <sup>16</sup> (n)
SUBCOLETOR	GaAs (Si)	500	5,0·10 <sup>18</sup> (n <sup>+</sup> )

Antes de iniciar a fabricação do transistor, fez-se a limpeza das amostras que seriam processadas. Esta limpeza é uma limpeza orgânica, com auxílio de um destilador *Sox-let*, apresentada no item anterior, fabricação de capacitores MIS, e seu objetivo é a retirada de material orgânico que possa estar presente sobre a superfície da amostra.

Terminada a limpeza, inicia-se o processo de fabricação. A primeira etapa consiste na fotolitografia e evaporação dos metais de emissor, figura 2.3(a). Para esta primeira fotolitografia, utilizou-se o fotorresiste AZ 5214. Os procedimentos empregados aqui (fotografação, limpeza, metais utilizados, etc.) são idênticos aos procedimentos apresentados no item anterior.

O próximo passo foi fazer um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo de gás de 50 sccm. O objetivo deste plasma foi limpar as regiões abertas pela fotolitografia, pois pode restar uma fina camada de fotorresiste que prejudica a seqüência do processo. Após o plasma, fez-se a evaporação dos metais que farão o contato do emissor.

Porém, antes da evaporação dos metais de emissor, deve-se retirar o óxido nativo superficial que se forma nas áreas onde o fotorresiste foi retirado. O óxido é retirado fazendo-se uma imersão (*deep*) em solução de ácido clorídrico (HCl) com água DI na proporção 1:10 por, aproximadamente, 10 segundos. Decorrido este tempo, seca-se a amostra com nitrogênio e coloca-a no suporte da evaporadora para que esta segunda etapa do processo possa ser concluída. Os metais utilizados para o contato de emissor foram: níquel (5 nm), germânio (50 nm), ouro (100 nm), níquel (30 nm) e ouro (100 nm).

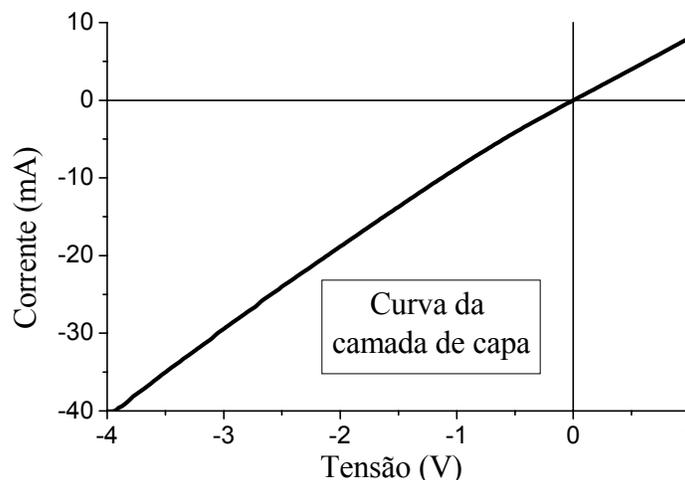
Os metais evaporados foram removidos por *lift-off*. Depois, lava-se a amostra em acetona para que os metais saiam por completo, ficando apenas nos locais onde não havia fotorresiste. Após a retirada total destes metais, lava-se a amostra com isopropanol, água DI e seca-se com nitrogênio.

Após o *lift-off* utiliza-se, novamente, o plasma de O<sub>2</sub>, porém com seus parâmetros alterados. Este novo plasma é durante 10 minutos, com uma potência de RF de 200 W, com pressão de 200 mTorr e fluxo de gás de 50 sccm.

Finalizando esta etapa de evaporação, deve-se fazer um recozimento (*sintering*) em atmosfera de nitrogênio, a 300°C durante 3,5 minutos, em forno convencional. Este recozimento é feito para melhorar a aderência do metal no substrato.

A próxima etapa foi a fotolitografia para a definição da mesa (região) de emissor, figura 2.3(b). Esta segunda máscara é para a definição da mesa de emissor dos transistores não auto-alinhados. Para os transistores auto-alinhados, o próprio metal de emissor será utilizado como máscara (porém, o objetivo desta tese não é obter o transistor auto-alinhado).

Antes de iniciar o processo de fotolitografia, mede-se a curva I-V da camada de CAPA da amostra, figura 2.4 (de preferência, utiliza-se uma amostra teste para não correr o risco de danificar a amostra na qual o CI será fabricado). Esta medida é feita entre duas pontas de prova e a camada semicondutora (todas as medidas elétricas realizadas e apresentadas neste capítulo serão desta maneira). O objetivo de realizar esta medida é para posterior comparação com as demais que serão medidas no decorrer do processo e ter certeza de que a corrosão chegou até a camada desejada [2.1]. Neste tipo de medida, é obtida a tensão de ruptura *Schottky* de uma das pontas (da ponta polarizada reversamente). Esta tensão de ruptura cai com o aumento da dopagem [2.4]. Pela curva apresentada, conclui-se que a camada de CAPA praticamente não apresenta ruptura *Schottky*, possuindo um comportamento ôhmico que é explicado pela sua alta dopagem ( $> 1,0 \cdot 10^{19} \text{ cm}^{-3}$ ). Após a obtenção desta curva, foi feita a fotolitografia para a definição, por corrosão úmida, da mesa de emissor.



**Figura 2.4 – Curva I-V da camada de capa.**

Por se tratar de uma corrosão úmida (corrosão feita por ácidos), utilizou-se um outro fotorresiste para esta segunda fotolitografia (optou-se pelo AZ 1518). O processo para a utilização deste fotorresiste foi o seguinte:

1. Depositou-se o fotorresiste sobre a amostra que fica no *spinner*, durante 40 segundos, a uma rotação de 7.000 rpm (a umidade da sala onde o fotorresiste é aplicado deve estar em, aproximadamente, 50%);
2. Fez-se uma cura (em estufa) a uma temperatura de 92°C durante 30 minutos. Caso não haja estufa, esta cura pode ser feita a 100°C, durante 30 segundos, em uma placa quente;
3. Expõe-se a amostra durante 25 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), onde se utilizou o modo CP (controle de potência) do aparelho;
4. Revelou-se com AZ400K e água DI, numa proporção de 1:3,5, durante, aproximadamente, 35 segundos;
5. Por fim, realizou-se uma pós-cura a uma temperatura de 120°C, durante 30 minutos, na estufa.

Após a fotolitografia, foi feito um plasma de O<sub>2</sub> (igual ao plasma feito após a primeira fotolitografia). Após este plasma, fez-se a corrosão para definição da mesa de emissor, onde foi utilizada uma solução de ácido sulfúrico (H<sub>2</sub>SO<sub>4</sub>).

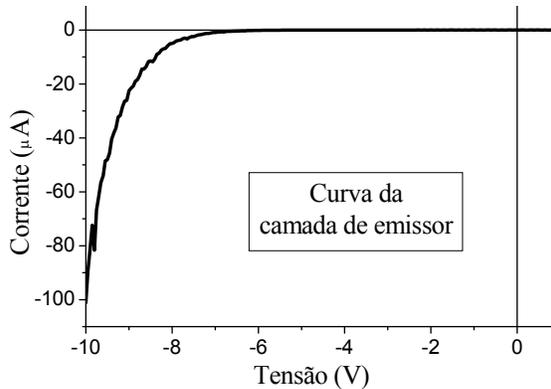
Nesta corrosão, foram retiradas as três camadas de CAPA, chegando-se até a camada de EMISSOR. Para a corrosão, utilizou-se uma solução de H<sub>2</sub>SO<sub>4</sub>, H<sub>2</sub>O<sub>2</sub> e H<sub>2</sub>O, na proporção 1:8:40. Esta solução possui uma taxa de corrosão muito elevada, em torno de 10.000 Å por minuto [2.5]. Entretanto, por ser bem seletiva, ela promoverá somente a corrosão das camadas de CAPA, parando quando atingir a camada de EMISSOR.

Escolheu-se a solução de ácido sulfúrico, nesta primeira corrosão, porque ela possui um comportamento anisotrópico [2.6], ou seja, dependendo da orientação cristalina do substrato, o perfil da corrosão ou é negativo (corrosão sob o fotorresiste ou metal) ou positivo (não há corrosão sob o fotorresiste ou metal). Estes aspectos foram levados em consideração, porque os HBTs a serem fabricados possuem estruturas auto-alinhadas, isto é, transistores que necessitam de perfis negativos de corrosão, para não ficarem em curto circuito. No caso dos transistores auto-alinhados projetados, é para o metal da camada de EMISSOR não entrar em curto circuito com o metal da camada de BASE.

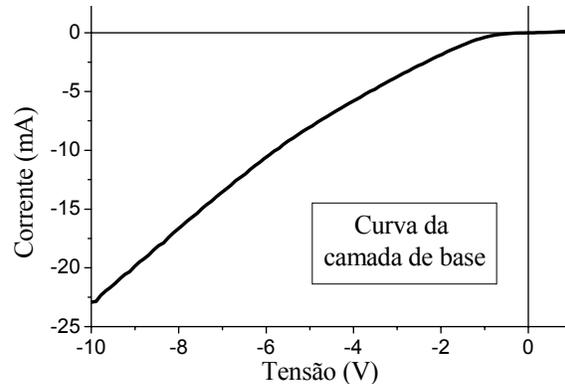
Como já foi dito, esta primeira corrosão tem por finalidade chegar até a camada de EMISSOR. O tempo para a retirada das três camadas de CAPA foi de, aproximadamente, 13 segundos, corroendo, aproximadamente, 200 nm. Ao final desta primeira corrosão, mediu-se, novamente, a curva I-V (para verificar realmente se a corrosão chegou à camada de EMISSOR). O resultado é apresentado na figura 2.5 [2.1].

Comparando-se as curvas apresentadas nas figuras 2.4 e 2.5, vê-se que a solução corroeu até a camada de EMISSOR, pois a característica da curva mudou. A curva da figura 2.5 apresenta uma tensão de ruptura *Schottky* que está entre -7 V e -6 V. O aparecimento desta tensão de ruptura é explicado pela baixa dopagem da camada ( $5,0 \cdot 10^{17} \text{ cm}^{-3}$ ). Para corroer a camada de EMISSOR e chegar à camada de BASE utilizou-se uma solução de ácido clorídrico (HCl) a 32%. O tempo para corroer a camada de EMISSOR foi de, aproximadamente, 20 segundos. Da mesma forma que a solução de ácido sulfúrico, a solução de ácido clorídrico apresenta boa seletividade, isto é, ela irá corroer apenas a camada de EMISSOR. Para ter certeza que a camada de BASE foi alcançada traçou-se, novamente, a curva I-V, que é apresentada na figura 2.6 [2.1]. Pela curva, nota-se que a tensão de ruptura *Schottky* voltou a diminuir (está agora entre -1 V e 0 V), o que pode ser

explicado, novamente, pelo aumento da dopagem na camada de BASE ( $4,0 \cdot 10^{19} \text{ cm}^{-3}$ ). A curva da figura 2.4 não é igual à da figura 2.6 (apesar de apresentarem alta dopagem), pois uma camada é dopada com material do tipo n (CAPA) e, a outra, com material do tipo p (BASE).



**Figura 2.5 – Curva I-V da camada de EMISSOR.**



**Figura 2.6 – Curva I-V da camada de BASE.**

Após a corrosão, retirou-se o fotorresiste da amostra com acetona, isopropanol e água DI. Finalizando esta etapa, fez-se um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. As etapas seguintes foram a fotolitografia e evaporação dos metais de base.

Para a fotolitografia dos metais de base, figura 2.3(c), utilizou-se o processo de fotolitografia com AZ 5214, descrito anteriormente. Após a fotolitografia, fez-se um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm, para retirar qualquer sobra de fotorresiste que possa ter ficado da revelação.

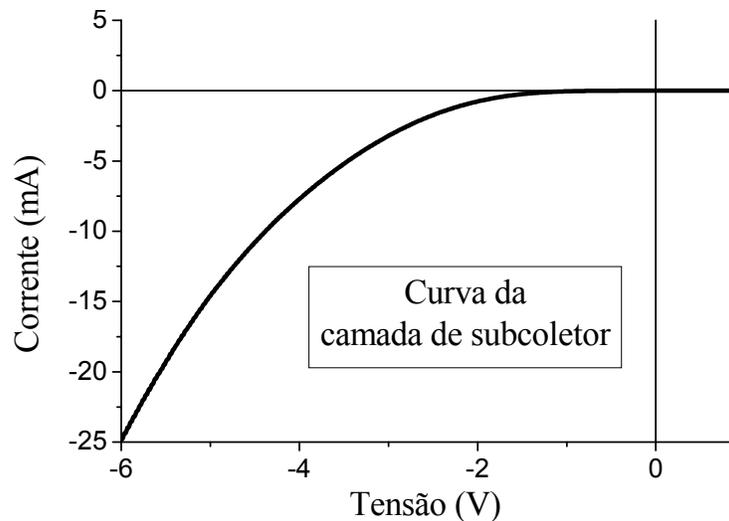
Antes de fazer a evaporação dos metais de base, novamente fez-se uma imersão em HCl para retirar o óxido nativo superficial (como já descrito). Os metais utilizados como metais de contato de base foram: titânio (10 nm), platina (20 nm), ouro (100 nm). Terminada a evaporação dos metais, fez-se o *lift-off*, seguido de um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

Em seguida, foi realizada uma fotolitografia para definir a região (mesa) da base, figura 2.3(d). O procedimento de fotolitografia utilizado aqui foi o mesmo adotado na fotolitografia para definição da mesa de emissor (AZ 1518). Após a fotolitografia, fez-se um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo de gás de 50 sccm. Para esta segunda corrosão, utilizou-se uma solução de ácido fosfórico ( $H_3PO_4$ ).

Nesta corrosão foram retiradas as camadas de BASE e COLETOR. Para a corrosão utilizou-se uma solução de  $H_3PO_4$ ,  $H_2O_2$  e  $H_2O$ , na proporção 3:1:50. Esta solução possui uma taxa de corrosão baixa (se comparada com a de ácido sulfúrico), em torno de 950 Å por minuto [2.5]. Ao contrário da solução de ácido sulfúrico, a solução de ácido fosfórico não apresenta corrosão anisotrópica, possuindo, um perfil positivo.

A espessura a ser corroída por esta solução foi de, aproximadamente, 680 nm, sendo 80 nm da base, 500 nm do coletor e 100 nm do subcoletor. Estes 100 nm a mais

(subcoletor), foram utilizados como margem de segurança na corrosão, sua única finalidade foi garantir que a camada de subcoletor fosse alcançada. O tempo utilizado para a corrosão foi de, aproximadamente, 9 minutos. A corrosão até a camada de subcoletor foi verificada através de medida elétrica, medindo-se a curva I-V [2.1], que é apresentada na figura 2.7. Pela curva apresentada, vê-se que a tensão de ruptura aumentou um pouco (está agora entre -2 V e -1 V), que é explicado pela diminuição da dopagem (a dopagem passou de  $4,0 \cdot 10^{19} \text{ cm}^{-3}$ , camada de BASE, para  $5,0 \cdot 10^{18} \text{ cm}^{-3}$ , camada de SUBCOLETOR), indicando que a camada de subcoletor foi alcançada.



**Figura 2.7 – Curva I-V da camada de SUBCOLETOR.**

Após a corrosão, retirou-se o fotorresiste da amostra com acetona, isopropanol e água DI, seguido de um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Concluída esta etapa, passou-se para a fotolitografia e evaporação dos metais de subcoletor, figura 2.3(e).

A fotolitografia e as etapas de processamento da máscara da camada de SUBCOLETOR foram realizadas da mesma maneira que a fotolitografia e etapas para a definição do metal da camada de EMISSOR. Após a evaporação dos metais (mesmo metais utilizados para o emissor), realização do *lift-off* e limpeza, foi realizado um *alloy* a  $460^\circ\text{C}$ , durante 3,5 minutos, em ambiente de nitrogênio com fluxo de  $N_2$  de 2 l/min.

Nesta etapa do processo, foram feitas algumas medidas elétricas em transistores testes para verificar se o processamento das amostras estava correto. As medidas elétricas realizadas foram, basicamente, o levantamento da curva característica dos transistores (figura 2.8), curva  $I_C \times V_{CE}$  com variação de  $I_B$ . Como a maioria destes transistores funcionou, o processo de fabricação foi levado adiante.

Após estes testes iniciais, passou-se para a fotolitografia, que faz a isolamento dos dispositivos, figura 2.3(f). Esta fotolitografia tem o objetivo de isolar os dispositivos, chegando ao substrato de GaAs, que é semi-isolante. A fotolitografia utilizada para isolamento do dispositivo é igual à utilizada para as definições das mesas de emissor e base (utilizou-se o processo de fotolitografia com AZ 1518). Em seguida, foi feito um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

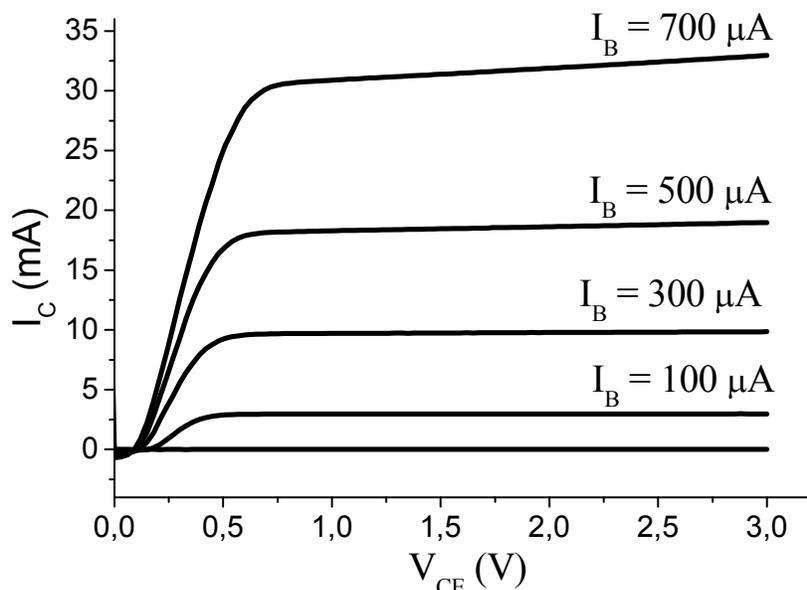


Figura 2.8 – Curva característica do transistor teste.

Para esta última corrosão úmida, utilizou-se, novamente, a solução de ácido fosfórico. A espessura corroída foi de aproximadamente 650 nm. O tempo utilizado para a corrosão foi de 9 minutos, aproximadamente. Para a verificação da corrosão traçou-se a curva I-V, que é mostrada na figura 2.9 [2.1]. Pela curva, vê-se que a corrosão alcançou o substrato (que é semi-isolante) e que os dispositivos estão isolados (devido ao baixo valor da corrente que se mediu, da ordem de nA).

O fotorresiste é, então, retirado com acetona, isopropanol e água DI, seguido de um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

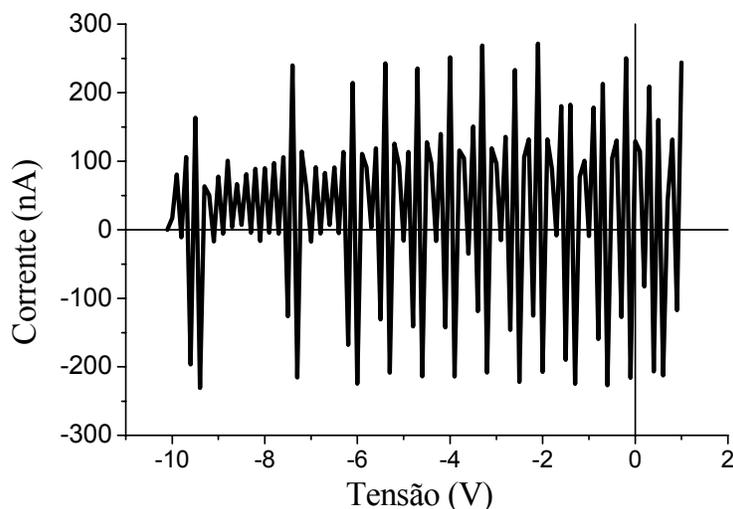


Figura 2.9 – Curva I-V do substrato semi-isolante.

Nesta parte do processo, em uma das amostras, foi acrescentada uma nova etapa, que foi o processo de deposição do filme de nitreto de silício, para a passivação dos transistores, sem anterior tratamento de plasmas de  $H_2$  e/ou  $N_2$ , figura 2.3(g). Este filme de

nitreto silício foi depositado por plasma ECR com razão entre os fluxos de SiH<sub>4</sub> e N<sub>2</sub> igual a 1 e 5 sccm de Ar. A pressão utilizada para a deposição foi de 2,5 mTorr, potência do ECR de 250 W, potência RF de 4 W, e tempo de deposição de 12 minutos (os parâmetros de deposição são iguais aos parâmetros dos capacitores do grupo B). Amostras de teste, onde o filme de nitreto de silício foi depositado sobre amostras de Si, foi posteriormente caracterizado por medidas elipsométricas e FTIR.

O fim destas etapas, corrosão e acréscimo da etapa de passivação, marcam o fim do processamento dos dispositivos ativos (transistores HBT). Iniciou-se, então, o processo de fabricação dos dispositivos passivos (indutores e capacitores) e das interconexões. Os dispositivos passivos precisavam ser fabricados, pois os metais de interconexão dependiam dos dispositivos passivos (facilitar o alinhamento dos metais de interconexão).

A próxima máscara foi utilizada para a evaporação da primeira camada de metal dos indutores e capacitores. A fotolitografia foi à mesma utilizada nas evaporações anteriores (fotolitografia com AZ 5214). Após a fotolitografia foi feito um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm, seguido de uma imersão em HCl para, depois, fazer a evaporação da primeira camada de metais dos indutores e capacitores. Os metais utilizados nesta evaporação foram titânio (10 nm) e ouro (200 nm).

Após a evaporação, foi feito o *lift-off*, seguido de um plasma de O<sub>2</sub>, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Foi feito, ainda, um recozimento em forno convencional, para melhorar a aderência do metal ao substrato. Este recozimento foi a 300°C, durante 3,5 minutos, em ambiente de nitrogênio em forno convencional com fluxo de N<sub>2</sub> de 2 l/min.

A próxima etapa realizada foi à deposição de um polímero, visando planarizar a amostra e promover a isolamento elétrica dos dispositivos com o metal de interconexão, figura 2.3(h). O polímero utilizado foi o Benzocyclobutene (BCB - Cyclotone 3022-35), produzido pela *Dow Chemical*. Antes da deposição do BCB, a amostra deve ficar cerca de quinze minutos na placa quente, a uma temperatura de 118°C, para que seja retirada a umidade. Depois a amostra foi colocada no *spinner* e o polímero foi depositado. Antes de depositar o polímero, a amostra deve ser rotacionada no *spinner* uma vez, para esfriar. O *spinner* foi utilizado na rotação de 4.000 rpm, durante 30 segundos (a espessura esperada para esta camada é de, aproximadamente, 1,10 µm [2.7]). Em seguida, a amostra foi colocada no forno, para que a cura do BCB pudesse ser feita.

O forno utilizado para a cura do polímero foi um forno convencional. A temperatura utilizada foi de 250°C, durante 1 hora, em ambiente de nitrogênio [2.7] (com um fluxo aproximado de 2 litros por minutos). Antes de empurrar a amostra para dentro do forno, esta deve ficar cerca de dez minutos na borda do forno para que todo oxigênio da borda do forno saia e a amostra passe por um pré-aquecimento. Nesta etapa, o fluxo de nitrogênio foi mantido em, aproximadamente, 8 litros por minuto. Decorrido o tempo de dez minutos, o fluxo retorna a 2 litros de nitrogênio por minuto e a amostra é empurrada para o interior do forno. No final do processo de cura, a amostra também deve ficar cerca de dez minutos na borda do forno para esfriar (o fluxo de nitrogênio utilizado foi de 8 litros por minuto, aproximadamente).

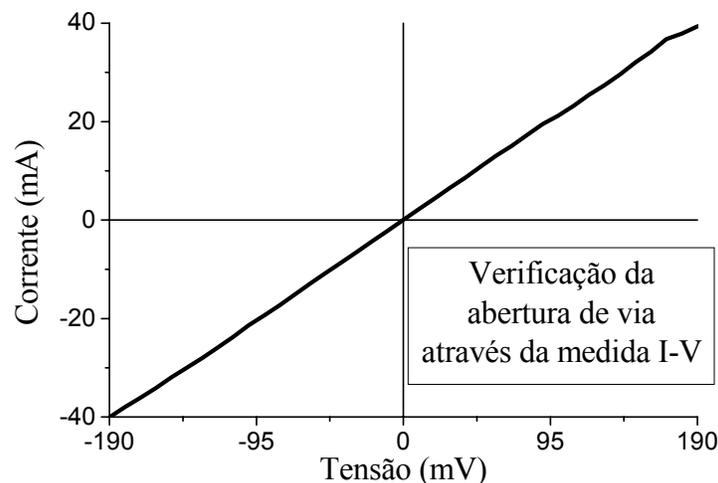
Após a deposição e cura do BCB, segue-se o processo, com a abertura da primeira via, figura 2.3(i). A finalidade desta primeira via foi à retirada do BCB sobre os capacitores (para posterior deposição do dielétrico) e nas regiões onde foram feitos os contatos.

O processo de fotolitografia desta máscara foi feito com o fotorresiste SPR 3012, pois ele suporta melhor o processo de corrosão por plasma. A fotolitografia com SPR 3012 e o processo de corrosão foram os seguintes:

1. Depositou-se o fotorresiste sobre a amostra, que fica no *spinner* durante 40 segundos, a uma rotação de 3.000 rpm;
2. Fez-se uma cura (na placa quente) a uma temperatura de 90°C, durante 4 minutos;
3. Expôs-se a amostra durante 25 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), utilizando-se o modo CI (controle de intensidade) do aparelho;
4. Revelou-se o fotorresiste com AZ400K e água DI numa proporção de 1:3,5 durante, aproximadamente, 60 segundos;
5. Por fim, realizou-se uma pós-cura a 110°C, durante 7 minutos em placa quente.

Após a fotolitografia, fez-se um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo do gás de 50 sccm.

A corrosão do BCB foi feita por plasma no RIE (*Reactive Ion Etching*) [2.8]. Utilizou-se uma mistura de dois gases, SF<sub>6</sub> e O<sub>2</sub>, onde os fluxos foram 10 sccm de SF<sub>6</sub> e 10 sccm de O<sub>2</sub> (tendo um fluxo total de 20 sccm) e a pressão base utilizada foi 0,9 mTorr. O sistema operou com uma potência de RF de 60 W e com pressão de 40 mTorr. O tempo para a abertura das vias foi de, aproximadamente, 8 minutos. Em uma das amostras, a qual foi passivada, é necessário ainda fazer a retirada do filme de nitreto de silício. Este filme de nitreto de silício também foi retirado por plasma no RIE. Para a sua remoção, utilizou-se uma mistura dos gases, CF<sub>4</sub> e H<sub>2</sub>, onde os fluxos foram 15 sccm de CF<sub>4</sub> e 10 sccm de H<sub>2</sub>. O sistema operou com uma potência de RF de 75 W e com uma pressão de 40 mTorr. O tempo para a corrosão deste filme de nitreto de silício foi de, aproximadamente, 3 minutos. A verificação da abertura das vias foi feita através da medida da curva I-V de uma região onde o metal deveria ficar sem o polímero e o filme de nitreto de silício. A figura 2.10 mostra o gráfico desta medida. A baixa resistividade apresentada pelo gráfico indica que o polímero (e o filme de nitreto de silício da passivação em uma das amostras), que estava sobre a região do metal, foi removido.



**Figura 2.10 – Curva I-V mostrando a primeira abertura de via por plasma.**

Após a abertura das vias, retirou-se o fotorresiste com acetona, isopropanol e água DI, seguindo-se um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

Após a retirada do fotorresiste, fez-se a deposição de um outro filme de nitreto de silício ( $SiN_x$ ), que também foi utilizado como material dielétrico dos capacitores. O filme de nitreto de silício utilizado para os capacitores foi o mesmo utilizado para a passivação. Para aumentar a taxa de deposição o fluxo e a pressão foram duplicadas, mantendo-se fixa a razão 1:2:1 entre os fluxos dos gases  $N_2/Ar/SiH_4$ . Os novos parâmetros para a deposição foram: razão entre os fluxos de  $SiH_4$  e  $N_2$  igual a 2 e 10 sccm de Ar, sendo que a silana,  $SiH_4$ , é diluída em 98% de Ar. A potência do ECR utilizada foi de 250 W e a potência de RF de 4 W. Utilizou nesta deposição uma pressão de 4 mTorr. O tempo utilizado para a deposição foi de 10 minutos. Pela tabela de cores, verifica-se que a espessura do filme de nitreto de silício é de, aproximadamente, 160 nm [2.9].

A próxima etapa realizada foi a fotolitografia e a segunda abertura de via. Esta segunda abertura de via teve, por finalidade, a retirada do filme de nitreto de silício sobre as regiões onde serão feitas as interconexões (regiões de emissor, base e subcoletor, para o transistor, e vias de acesso, nos indutores e capacitores). O processo de fotolitografia feito foi o mesmo empregado na primeira abertura de via, figura 2.3(i). Depois da fotolitografia, fez-se um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

A corrosão do filme de nitreto de silício foi feita por plasma no RIE. Para a corrosão deste filme, utilizou-se uma mistura dos seguintes gases: 5 sccm de  $SF_6$ , 13 sccm de  $CF_4$  e 20 sccm de  $N_2$  (tendo um fluxo total de 38 sccm). A potência de RF utilizada foi de 50 W, com uma pressão de 150 mTorr. O tempo de corrosão foi de, aproximadamente, 5 minutos. A verificação da abertura das vias foi feita através da medida da curva I-V de uma região onde o metal deveria ficar sem o filme de nitreto de silício em sua superfície. A figura 2.11 mostra o gráfico desta medida. O gráfico mostra que a resistividade da região medida é baixa. A baixa resistividade apresentada pelo gráfico indica que o filme de nitreto de silício, que estava sobre a região do metal, foi removido. Após a abertura das vias, retirou-se o fotorresiste da mesma maneira que na primeira abertura de vias.

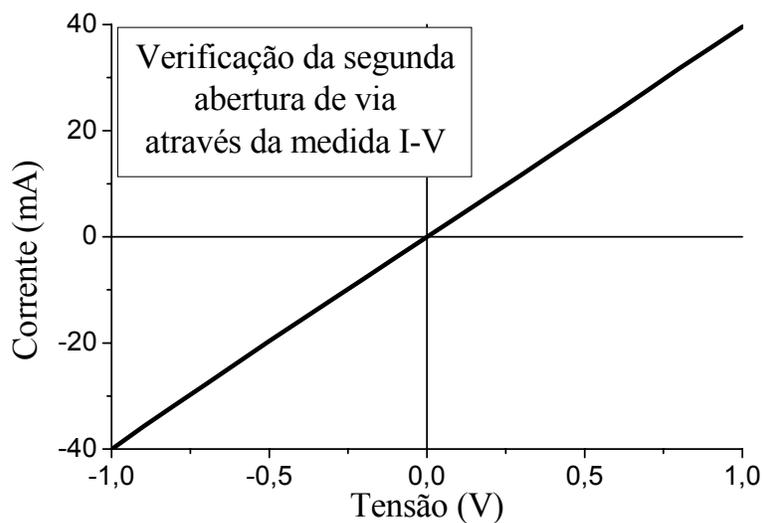
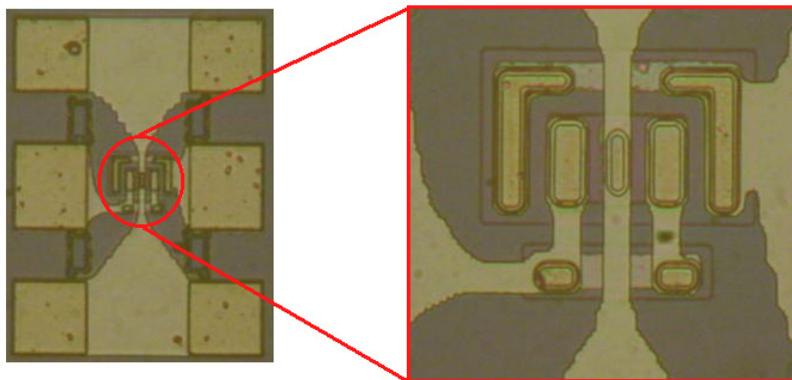


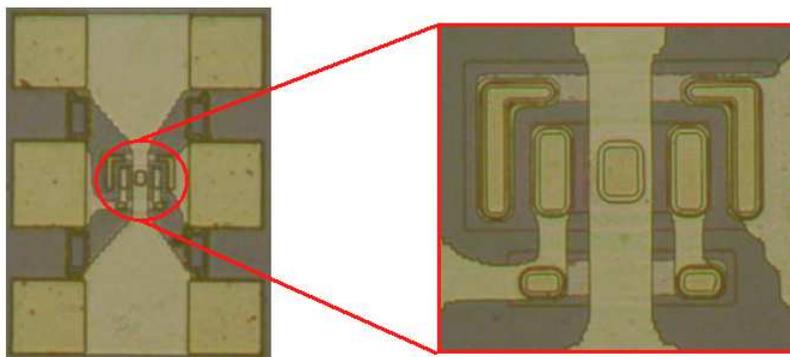
Figura 2.11 – Curva I-V mostrando a segunda abertura de via por plasma.

A etapa seguinte, após a retirada do fotorresiste, será a fotolitografia e evaporação dos metais de interconexão e da segunda camada de metais dos indutores e capacitores, figuras 2.3(j) e 2.3(k). O processo utilizado no processamento desta última máscara foi o processo de fotolitografia com AZ 5214. Depois da fotolitografia, foi feito um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm. Após o plasma, os metais foram evaporados. Os metais utilizados foram: titânio (10 nm) e o ouro (200 nm). Nesta última evaporação não foi necessário fazer a imersão em solução de HCl, pois os metais serão depositados sobre o ouro. O processo de retirada do metal onde não interessa, foi feito por *lift-off*, seguido por um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Finalizando o processo de fabricação dos transistores HBT, foi feito um recozimento em forno convencional, para melhorar a aderência do metal depositado. Este recozimento foi feito a  $300^\circ C$ , durante 3,5 minutos, em ambiente de nitrogênio e em forno convencional com um fluxo de  $N_2$  de 2 l/min.

As figuras 2.12(a) e 2.12(b) apresentam fotografias dos dispositivos fabricados, sendo que a figura 2.12(a) apresenta um transistor com área de emissor de  $20 \times 06 \mu m^2$  e a figura 2.12(b) apresenta um transistor com área de emissor de  $20 \times 16 \mu m^2$ .



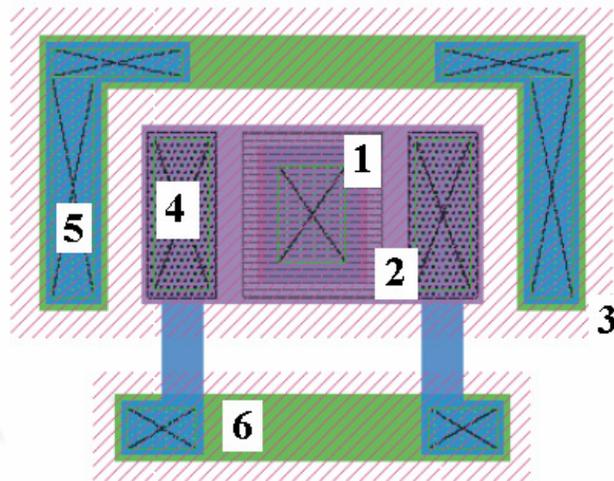
(a) Fotografia superior do transistor fabricado com área de emissor de  $20 \times 06 \mu m^2$



(b) Fotografia superior do transistor fabricado com área de emissor de  $20 \times 16 \mu m^2$

**Figura 2.12 – Fotografia superior dos transistores não auto-alinhados fabricados com áreas de emissor de: (a)  $20 \times 06 \mu m^2$  e (b)  $20 \times 16 \mu m^2$ .**

As fotografias apresentadas nas figuras 2.12(a) e 2.12(b) mostram os transistores HBT com *pads* para medidas em alta frequência. A região ativa, em destaque nas fotos, pode ser identificada seguindo-se o esquema que é apresentado na figura 2.13.

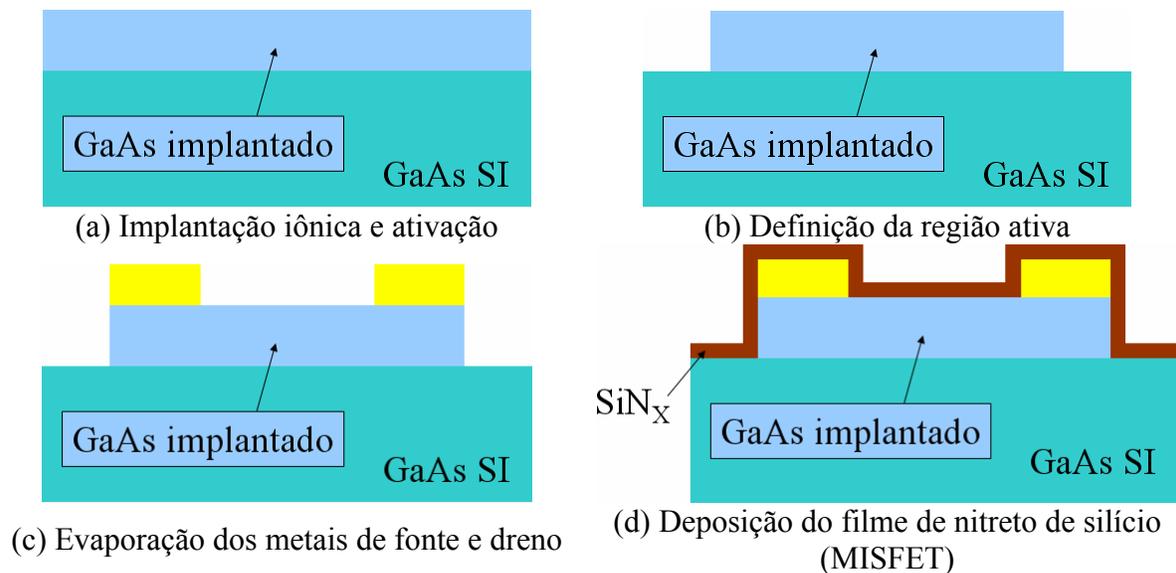


- 1 – Região de emissor;
- 2 – Região de base;
- 3 – Área ativa do transistor;
- 4 – Contato da camada de base;
- 5 – Contato da camada de subcoletor;
- 6 – Interligação dos contatos de base, feita com o metal de subcoletor.

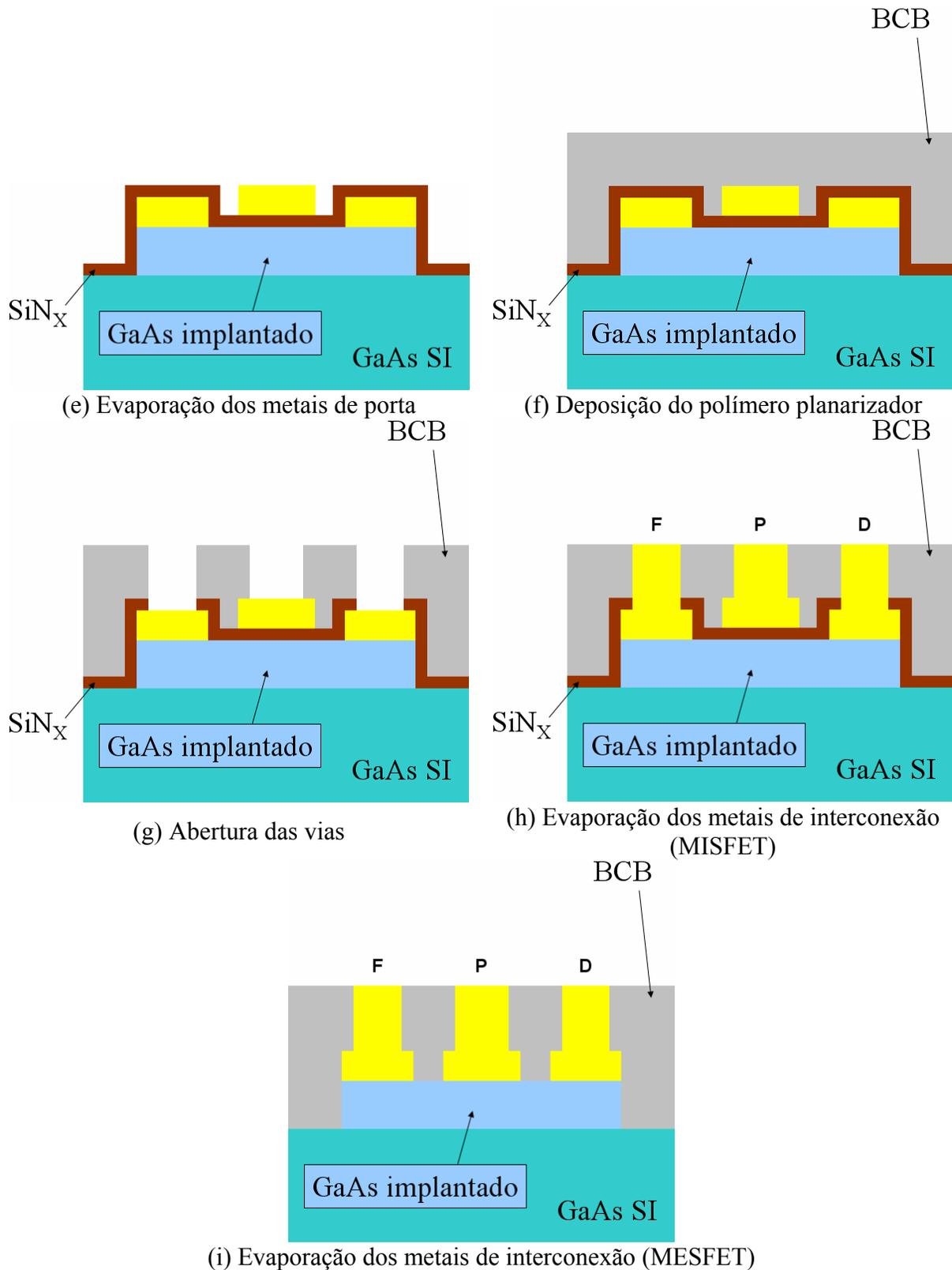
**Figura 2.13 – Detalhe do transistor HBT com suas respectivas camadas.**

## 2.3 TRANSISTORES MESFET E MISFET

Para tornar mais fácil o entendimento do processo de fabricação dos transistores MESFET e MISFET, a figura 2.14 apresenta, inicialmente e de forma resumida, as etapas mais importantes do processo de fabricação destes transistores.



**Figura 2.14 – Etapas mais importantes do processo de fabricação dos transistores MESFET e MISFET.**



(i) Evaporação dos metais de interconexão (MESFET)  
**Figura 2.14 (continuação) – Etapas mais importantes do processo de fabricação dos transistores MESFET e MISFET.**

Para os transistores de efeito de campo, MESFET e MISFET, o processo de fabricação foi realizado em uma amostra de GaAs semi-isolante [100], sendo que a camada ativa foi formada por implantação iônica. Os parâmetros utilizados para a implantação iônica, são apresentados na tabela 2.3.

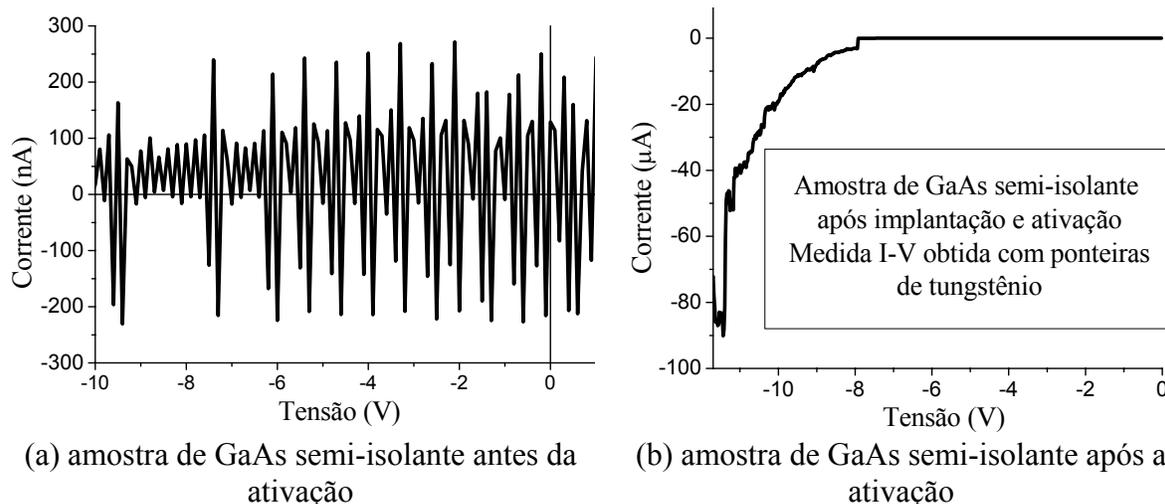
**Tabela 2.3 – Parâmetros para a implantação iônica.**

	<i>Parâmetro</i>	<i>Valor</i>
Implantação iônica	Íon	29 Si <sup>+</sup>
	Dose	1·10 <sup>13</sup> cm <sup>-2</sup>
	Energia	160 keV
Ativação por RTA ( <i>Rapid Thermal Anneling</i> )	Gás/fluxo	N <sub>2</sub> com fluxo de 1.000 sccm
	Pré recozimento	450°C, 30 segundos, rampa de 50°C/segundo
	Recozimento	900°C, 10 segundos, rampa de 50°C/segundo

Com os parâmetros apresentados na tabela 2.3, deseja-se obter uma camada ativa com profundidade de, aproximadamente, 120 nm e com uma concentração de Si de, aproximadamente, 6·10<sup>17</sup> cm<sup>-3</sup>. Estes valores foram determinados através de simulação SRIM [2.10].

Porém, antes de iniciar a fabricação dos transistores, fez-se a limpeza das amostras que seriam processadas. Esta limpeza é uma limpeza orgânica com auxílio de um destilador *Sox-let*, apresentada no item fabricação de capacitores MIS, e seu objetivo é a retirada de material orgânico que possa estar presente sobre a superfície da amostra.

Após a limpeza, inicia-se o processo de fabricação com a implantação e a ativação dos dopantes, figura 2.14(a). Após a implantação e ativação é realizada uma verificação para constatar se houve ou não ativação da camada implantada, sem a preocupação de um valor mínimo de ativação, pois o objetivo deste trabalho não é obter um transistor com excelentes características, mas sim, poder estudar a passivação de sua superfície. O resultado desta verificação é apresentado na figura 2.15.



(a) amostra de GaAs semi-isolante antes da ativação

(b) amostra de GaAs semi-isolante após a ativação

**Figura 2.15 – Curvas I-V de uma amostra de GaAs implantada utilizando ponteiros de tungstênio. Antes da ativação (a) e após a ativação (b).**

A figura 2.15(a) apresenta o gráfico da corrente em função da tensão antes da ativação e a figura 2.15(b) apresenta o gráfico da corrente em função da tensão após a ativação por RTA. Pela curva apresentada na figura 2.15(b) observa-se que houve a ativação do silício implantado, pois se compararmos esta curva com a curva da figura 2.15(a) (curva do GaAs semi-isolante antes da ativação) a característica mudou. A curva da figura 2.15(b) apresenta uma tensão de ruptura *Schottky* que está entre  $-7$  V e  $-8$  V (se considerarmos uma corrente de ruptura da ordem  $-1 \cdot 10^{-5}$  A). O aparecimento desta tensão de ruptura é explicado pela ativação dos dopantes na camada implantada.

Terminadas estas etapas, implantação e verificação da implantação, realizou-se uma fotolitografia para definição da região ativa dos transistores, figura 2.14(b). Esta fotolitografia tem o objetivo de isolar os dispositivos, chegando ao substrato de GaAs, que é semi-isolante e que não foi implantado. A fotolitografia utilizada para isolação do dispositivo é igual à utilizada para as definições das mesas de emissor, base e subcoletor do processo de fabricação dos transistores HBT (utilizou-se o processo de fotolitografia com AZ 1518). Em seguida, foi feito um plasma de  $O_2$ , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

Para esta corrosão úmida, utilizou-se, novamente, a solução de ácido fosfórico cujas proporções utilizadas também são as mesmas apresentadas no processo de fabricação dos transistores HBT (definir a mesa de subcoletor e isolação do dispositivo). A espessura corroída foi de aproximadamente 500 nm e o tempo utilizado para a corrosão foi de 9 minutos, aproximadamente. Para a verificação da corrosão traçou-se a curva I-V, cujo resultado é semelhante ao apresentado na figura 2.9 indicando que a camada ativa implantada foi ultrapassada e que os dispositivos estariam isolados.

Após a corrosão, retirou-se o fotorresiste da amostra com acetona, isopropanol e água DI, seguido de um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Concluída esta etapa, passou-se para a fotolitografia e evaporação dos metais de fonte e dreno, figura 2.14(c).

A fotolitografia e as etapas de processamento para a máscara de evaporação dos metais de fonte e dreno foram realizadas da mesma maneira que a fotolitografia e etapas para a definição do metal da camada de EMISSOR e SUBCOLETOR do transistor HBT. Antes da evaporação dos metais de fonte e dreno, deve-se retirar o óxido nativo superficial que se forma nas áreas onde o fotorresiste foi retirado. O óxido é retirado da mesma maneira que nos transistores HBT, fazendo-se uma imersão (*deep*) em solução de ácido clorídrico (HCl) com água DI na proporção 1:10 por, aproximadamente, 10 segundos. Os metais utilizados para o contato de fonte e dreno foram: níquel (5 nm), germânio (50 nm), ouro (100 nm), níquel (30 nm) e ouro (100 nm).

Após a evaporação dos metais, realização do *lift-off* e limpeza (isopropanol e água DI, seguido de um plasma de  $O_2$ , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm), foi realizado um *alloy* a  $460^\circ\text{C}$ , durante 3,5 minutos, em ambiente de nitrogênio com fluxo de 2 l/min para que o contato ôhmico de fonte e dreno fosse formado.

A próxima etapa foi a deposição do filme de nitreto de silício, que foi utilizado como dielétrico de porta para os transistores MISFET, figura 2.14(d). Antes de iniciar a deposição do filme, as amostras ficaram cerca de 10 minutos a  $100^\circ\text{C}$  em uma chapa quente para a retirada da umidade. Este filme de nitreto de silício também foi depositado por plasma ECR com razão entre os fluxos de  $\text{SiH}_4$  e  $\text{N}_2$  igual a 1 e 5 sccm de Ar. A pressão utilizada foi de 2,5 mTorr, potência do ECR de 250 W, tempo de deposição de 10 minutos e

temperatura de 20°C (este filme foi depositado com uma pressão de base de, aproximadamente,  $2,0 \cdot 10^{-5}$  Torr). Para os transistores MESFET esta etapa não é realizada, seguindo-se para a etapa seguinte.

A próxima etapa é a deposição do metal de porta (*gate*), figura 2.14(e). O processo utilizado no processamento desta etapa foi o processo de fotolitografia com AZ 5214. Depois da fotolitografia, foi feito um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm. Após o plasma, os metais foram evaporados. Os metais utilizados foram: titânio (10 nm) e o ouro (200 nm). Nesta evaporação não foi necessário fazer a imersão em solução de HCl (no caso dos transistores MISFET), pois os metais foram depositados sobre o material dielétrico. O processo de retirada do metal onde não interessa, foi feito por *lift-off*, seguido por um plasma de O<sub>2</sub>, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

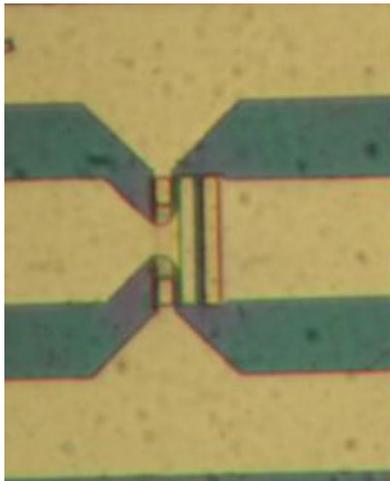
Em seguida, foi feita a deposição de um polímero, visando planarizar a amostra e promover a isolamento elétrica dos dispositivos com o metal de interconexão, figura 2.14(f). O polímero utilizado também foi o Benzocyclobutene (BCB - Cyclotone 3022-35), produzido pela *Dow Chemical*. Antes da deposição do BCB, a amostra deve ficar cerca de quinze minutos na placa quente, a uma temperatura de 118°C, para que seja retirada a umidade. Depois a amostra foi colocada no *spinner* e o polímero foi depositado. Antes de depositar o polímero, a amostra deve ser rotacionada no *spinner* uma vez, para esfriar. O *spinner* foi utilizado na rotação de 4.000 rpm, durante 30 segundos (a espessura esperada para esta camada é de, aproximadamente, 1,10 µm [2.7]). Em seguida, a amostra foi colocada no forno, para que a cura do BCB fosse feita. Os procedimentos e detalhes para a cura do BCB são os mesmos apresentados no processo de fabricação dos transistores HBT (250°C, durante 1 hora, em ambiente de nitrogênio com fluxo de 2 l/min).

Após a deposição e cura do BCB, segue-se o processo, com a abertura das vias para ter acesso às regiões de fonte, dreno e porta, figura 2.14(g). O processo de fotolitografia desta máscara foi feito com o fotorresiste SPR 3012, que suporta melhor o processo de corrosão por plasma. A fotolitografia com SPR 3012 e o processo de corrosão foram os mesmos empregados no processo de fabricação dos transistores HBT. Após a fotolitografia, fez-se um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo do gás de 50 sccm.

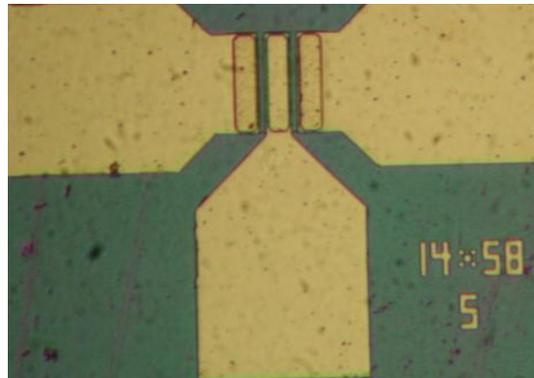
A corrosão do BCB foi feita por plasma no RIE utilizando-se uma mistura de dois gases, SF<sub>6</sub> e O<sub>2</sub>, onde os fluxos foram 10 sccm de SF<sub>6</sub> e 10 sccm de O<sub>2</sub> (tendo um fluxo total de 20 sccm) e a pressão de base utilizada foi 0,9 mTorr. O sistema operou com uma potência de RF de 60 W e com pressão de 40 mTorr. O tempo para corrosão do BCB foi de, aproximadamente, 8 minutos. Este mesmo plasma foi empregado para a corrosão do filme de nitreto de silício sobre os contatos de fonte e dreno, porém os novos parâmetros utilizados foram: 5 sccm de SF<sub>6</sub> e 10 sccm de O<sub>2</sub> (tendo um fluxo total de 15 sccm) e a pressão de base utilizada foi a mesma, 0,9 mTorr. O sistema operou com uma potência de RF de 30 W e com pressão de 50 mTorr. O tempo para a corrosão do filme de nitreto de silício foi de, aproximadamente, 1 minuto. A verificação da abertura das vias se deu de maneira semelhante à abertura das vias no processo de fabricação dos transistores HBT.

A última etapa do processo de fabricação dos transistores de efeito de campo foi a deposição dos metais para interconexão, figuras 2.14(h) e 2.14(i). O processo utilizado no processamento desta última máscara foi o processo de fotolitografia com AZ 5214. Depois da fotolitografia, foi feito um plasma de O<sub>2</sub>, durante 3 minutos, com uma potência de 100

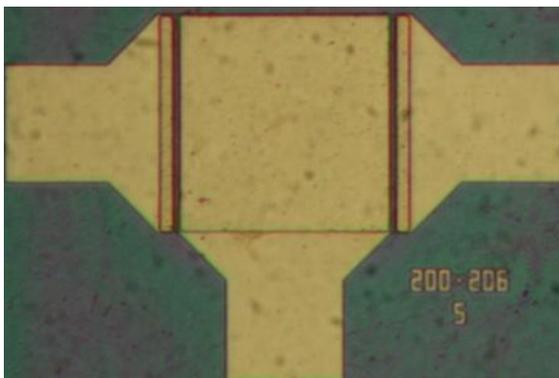
W, pressão de 100 mTorr e um fluxo de gás de 50 sccm. Após o plasma, os metais foram evaporados. Os metais utilizados, novamente, foram: titânio (10 nm) e ouro (200 nm). Nesta última evaporação não foi necessário fazer a imersão em solução de HCl (tanto para os transistores MISFET quanto MESFET), pois os metais foram depositados sobre o ouro. O processo de retirada do metal onde não interessa, foi feito por *lift-off*, seguido por um plasma de O<sub>2</sub>, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Finalizando o processo de fabricação dos transistores, foi feito um recozimento em forno convencional, para melhorar a aderência do metal depositado. Este recozimento foi feito a uma temperatura de 300°C, durante 3,5 minutos, com fluxo de N<sub>2</sub> de 2 l/min. A figura 2.16 apresenta fotografias dos dispositivos fabricados e que foram utilizados para a caracterização elétrica.



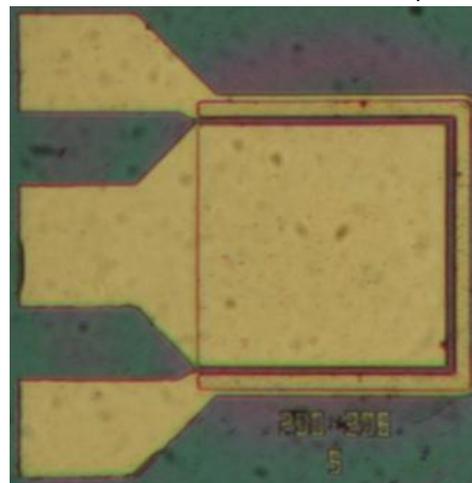
(a) Fotografia superior do transistor fabricado com área  $14 \times 104 \mu\text{m}^2$



(b) Fotografia superior do transistor fabricado com área de  $14 \times 58 \mu\text{m}^2$



(c) Fotografia superior do transistor fabricado com área de  $200 \times 206 \mu\text{m}^2$



(d) Fotografia superior do capacitor com área  $200 \times 206 \mu\text{m}^2$

**Figura 2.16 – Fotografias dos transistores e estruturas utilizadas nas medidas elétricas.**

As fotos apresentadas nas figuras 2.16(a) até 2.16(d) são respectivamente:

- transistores MISFET e MESFET com área de  $14 \times 104 \text{ um}^2$  com *pad* de RF;
- transistores MISFET e MESFT com área de  $14 \times 58 \text{ um}^2$  sem *pad* de RF;
- transistores MISFET e MESFT com área de  $200 \times 206 \text{ um}^2$  sem *pad* de RF, sendo que estes transistores, no caso de um MISFET tem a finalidade também de se obter medidas de capacitância entre porta e fonte/dreno;
- capacitor com área de  $200 \times 206 \text{ um}^2$  com *pad* de RF. Este capacitor pode ser usado tanto para medida normal da capacitância, quanto para um sistema de pontas do tipo GSG (*ground signal ground*) como é o caso de um *Network Analyzer* (analisador de parâmetros de rede).

Este último processo de fabricação apresentado foi utilizado para fabricar também o terceiro e último grupo de capacitores, que foi denominado de grupo C. Resumidamente (pois os detalhes acabaram de ser mostrados), os capacitores do grupo C utilizaram lâminas do tipo semi-isolante, implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal. Os filmes de  $\text{SiN}_x$  para este grupo foram depositados apenas com a pressão de deposição de 2,5 mTorr, tempo de deposição de 10 minutos e sem o gerador de RF acoplado ao porta-amostra (os demais parâmetros de deposição são idênticos aos apresentados na tabela 2.1 e neste último item).

Todos estes dispositivos fabricados (capacitores MIS, transistores HBT, MISFET e MESFET) foram utilizados para a caracterização dos filmes de nitreto de silício utilizados para a passivação. Além destes dispositivos, como foi descrito durante o capítulo, amostras de silício, também foram utilizadas para a deposição do filme de nitreto de silício. Nestas amostras foram realizadas medidas de elipsometria e FTIR. Todos os resultados obtidos com os dispositivos fabricados e as amostras de acompanhamento serão apresentados no próximo capítulo.

## CAPÍTULO 3

### RESULTADOS E DISCUSSÕES

Neste capítulo serão apresentados os resultados e discussões das seguintes análises (maiores detalhes sobre as medidas e os dispositivos estão nos anexos B e C):

- Espectroscopia de emissão óptica (OES) dos plasmas ECR utilizados;
- Espectroscopia de absorção do infravermelho (FTIR) e Elipsometria dos filmes de nitreto de silício depositados sobre substratos de Si;
- Curvas de capacitância por tensão (C-V) e corrente por tensão (I-V) das estruturas MIS formadas por Metal (Au/Ti) / Isolante ( $\text{SiN}_x$ ) / Semicondutor (GaAs), tendo sido utilizados três tipos de substratos de GaAs com orientação (100), sendo o primeiro do tipo n+, o segundo do tipo n e o último do tipo semi-isolante (SI) com uma camada tipo n implantada com  $^{29}\text{Si}^+$  na face superior e recozida por RTA;
- Curvas características DC de corrente em função da tensão dos transistores HBT de InGaP/GaAs:
  - $I_C \times V_{CE}$ ;
  - $(I_C \text{ e } I_B) \times V_{BE}$  (*Gummel-Plot*), onde:  $I_C$  e  $I_B$  são correntes de coletor e de base, respectivamente, e  $V_{CE}$  e  $V_{BE}$  são tensões entre coletor e emissor e entre base e emissor, respectivamente dos transistores HBT;
- Curvas em alta frequência, dos transistores HBT de InGaP/GaAs utilizando o sistema HP8510C que é um analisador de parâmetros de rede. Este equipamento mede os valores dos parâmetros S de um quadripólo (estes parâmetros serão definidos posteriormente) e podem ser encontrados em [3.1]. Da conversão dos parâmetros S em H se obtêm os valores do parâmetro  $H_{21}$ , que é definido como ganho de corrente em curto circuito [3.1], em relação ao mesmo intervalo de frequência (a frequência de medida utilizada foi de 45 MHz a 30 GHz). Com o valor de  $|H_{21}|^2$  igual a zero dB, pode-se obter o valor de  $F_T$  do transistor, que é definida como a frequência onde o ganho de corrente do transistor na configuração emissor comum é igual a um. Outra figura de mérito obtida através dos parâmetros S é a frequência máxima em que pode existir ganho de potência, ou seja,  $F_{MAX}$ . Como será apresentado posteriormente, esta frequência pode ser calculada através do ganho unilateral, U;
- Curvas da relação sinal ruído (obtidos da figura de ruído) [3.2] para um intervalo de frequência entre 10 MHz e 1,6 GHz dos transistores HBT;
- Curvas características DC de corrente em função da tensão dos transistores MESFET e MISFET:
  - $I_D \times V_{DS}$  e  $(g_m \text{ e } I_D) \times V_{GS}$ ;
  - $I_G \times V_{GS}$ , onde:  $I_D$  e  $I_G$  são correntes de dreno e de porta, respectivamente, e  $V_{DS}$  e  $V_{GS}$  são tensões entre dreno e fonte e entre porta e fonte, respectivamente, e  $g_m$  é a transcondutância dos transistores MESFET e MISFET;
- Curvas da densidade espectral de ruído [3.3] para um intervalo de frequência entre DC e 500 Hz dos transistores MESFET e MISFET.

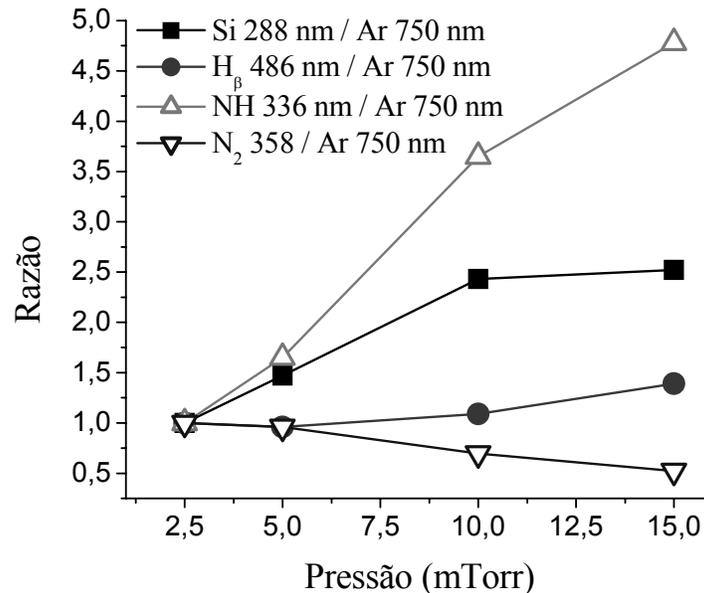
### 3.1 ESPECTROSCOPIA DE EMISSÃO ÓPTICA (OES)

As medidas OES (anexo B) dos plasmas ECR usados nas deposições dos filmes de nitreto de silício (verificar as condições das deposições no capítulo 2) para quatro diferentes pressões de processo (2,5 mTorr, 5,0 mTorr, 10 mTorr e 15 mTorr) identificaram linhas de emissão de Si (288 nm),  $H_{\beta}$  (484 nm),  $N_2$  (358 nm) e NH (336 nm) que foram normalizadas com a linha de emissão do Ar (750 nm). Estes valores das linhas de emissão foram obtidos para uma faixa espectral entre 200 nm e 900 nm. A figura 3.1 apresenta as razões de emissões de Si (288 nm)/Ar (750 nm),  $H_{\beta}$  (484 nm)/Ar (750 nm),  $N_2$  (358 nm)/Ar (750 nm) e NH (336 nm)/Ar (750 nm) nos plasmas ECR utilizados para pressões de processo entre 2,5 e 15 mTorr. Da figura 3.1 pode-se observar que:

- (i) as emissões de Si aumentam até a pressão de 10 mTorr, depois se tornam praticamente constantes para pressões maiores;
- (ii) as emissões de  $N_2$  diminuem com a pressão;
- (iii) as emissões de  $H_{\beta}$  são praticamente constantes, apresentando um pequeno aumento para pressões maiores do que 10 mTorr;
- (iv) as emissões de NH aumentam com a pressão;
- (v) a formação da molécula NH e o aumento das emissões de Si e  $H_{\beta}$  (identificados em (i) e (iii), respectivamente) nos plasmas (para pressões de 5,0 mTorr, 10 mTorr e 15 mTorr), podem ser atribuídos ao alto grau de dissociação das moléculas de silana sob as condições da alta descarga de potência nos plasmas do tipo ECR, que permite, principalmente, a interação das espécies N e H na fase gasosa [3.4]. Esses radicais de NH podem contribuir para a formação de filmes de nitreto de silício porosos e isso não é desejável. Outro fator que favorece o aumento das moléculas NH é a maior tendência das espécies N e H se ligarem;
- (vi) Salienta-se que pelos resultados acima se pode prever que:
  - em baixas pressões ( $\sim 2,5$  mTorr), o livre caminho médio das espécies contidas no plasma é maior, o que minimiza as colisões e aumenta a velocidade da difusão das espécies da região do plasma remoto para a região do porta-amostra, onde será executada a deposição sobre o substrato (verifique o desenho esquemático do sistema ECR na figura 1.6). Assim, pode-se estimar que a maioria das espécies de nitrogênio geradas pelo plasma remoto, quase não encontra barreira para difusão, e na região do porta-amostra, reage com as espécies de Si e de H, provenientes da dissociação da silana. Pode-se observar na figura 3.1 que as emissões tanto de Si e de H são as menores em mais baixas pressões ( $\sim 2,5$  mTorr), resultando em baixa incorporação das ligações N-H e Si-H nos filmes depositados. Isto será mostrado na análise FTIR (figuras 3.2(a), 3.2(b), e 3.2(c) e figura 3.3);
  - com o aumento da pressão, as intensidades das emissões de Si, H e NH aumentam no plasma. Como observado em (iv) e (v), isto pode ser explicado pelo alto grau de dissociação das moléculas de gás de silana sob as altas condições de descarga de potência em plasmas ECR, já que as espécies de Si e H são provenientes desta fonte gasosa. Mas, as emissões de  $N_2$  diminuem nos plasmas com o aumento da pressão (figura 3.1). Isto ocorre, pois em mais alta pressão, o livre caminho médio das espécies contidas no plasma é menor, o que

maximiza as colisões e aumenta as interações das espécies de N, de Si e de H, reduzindo as de N<sub>2</sub>, e formando ligações Si-N, N-H, N-H<sub>2</sub> e/ou Si-N-H, resultando em mais alta incorporação destas ligações nos filmes depositados. Isto será identificado pelas análises FTIR (figuras 3.2 e figura 3.3);

- (vii) para a pressão de 2,5 mTorr, todas as linhas de emissão apresentam baixa intensidade, especialmente, as linhas de emissão de H<sub>β</sub> (484 nm) e NH (336 nm).



**Figura 3.1 – Razões de emissões de: Si (288 nm)/Ar (750 nm), H<sub>β</sub> (484 nm)/Ar (750 nm), N<sub>2</sub> (358 nm)/Ar (750 nm) e NH (336 nm)/Ar (750 nm) do plasma ECR durante o processo de deposição do filme de nitreto de silício para diferentes pressões [3.5].**

A última condição observada, em (vii), é primordial para a passivação da superfície de GaAs por filme de nitreto de silício. Da literatura [3.6, 3.7, 3.8], a formação em grande quantidade das moléculas de H e NH na fase gasosa, em pressões maiores do que 10 mTorr, durante a deposição por plasma ECR-CVD, pode degradar a superfície de semicondutores do tipo III-V (tais como GaAs ou InP), devido à preferencial perda do elemento do grupo V (tais como As ou P), aumentada pelo bombardeamento iônico e a incorporação de hidrogênio no substrato. Portanto, pode-se prever que deposições em baixa pressão (~ 2,5 mTorr) podem formar camadas passivadoras de nitreto de silício com reduzida degradação da superfície semicondutora. Esta estimativa será comprovada pelos resultados apresentados a seguir e parte destes resultados já foi publicada em [3.5].

### 3.2 ESPECTROSCOPIA DE ABSORÇÃO DO INFRAVERMELHO (FTIR) E ELIPSOMETRIA

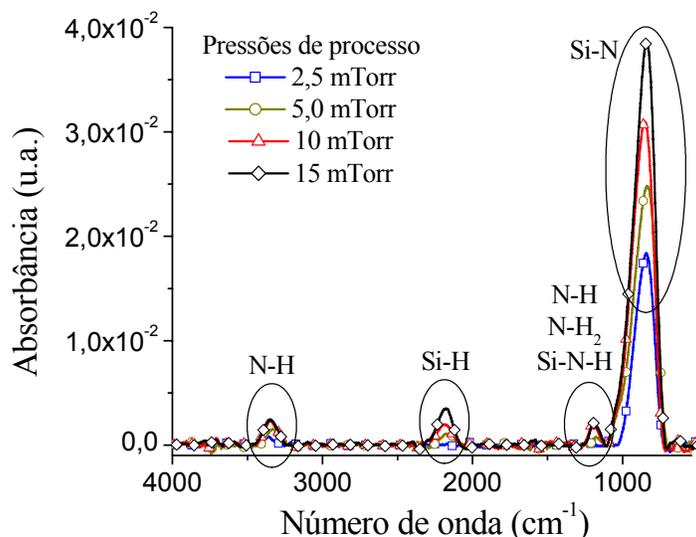
A figura 3.2 apresenta os espectros da análise FTIR de quatro amostras com estruturas de filmes de nitreto de silício depositados sobre substrato de Si. As condições das deposições (com pressões de 2,5 mTorr, 5,0 mTorr, 10 mTorr e 15 mTorr, sendo os demais parâmetros mantidos constantes, detalhes no capítulo 2) foram as mesmas utilizadas para as

análises OES. A espectroscopia FTIR foi realizada para determinar as ligações químicas e para investigar a incorporação de H nos filmes de nitreto de silício.

A figura 3.2(a) apresenta os espectros da análise FTIR (anexo B) das quatro amostras sobre uma mesma linha de base, utilizando-se uma resolução de  $4\text{ cm}^{-1}$ . Nesta figura, observa-se a presença de quatro picos principais de absorção que estão relacionados à [3.9, 3.10, 3.11]:

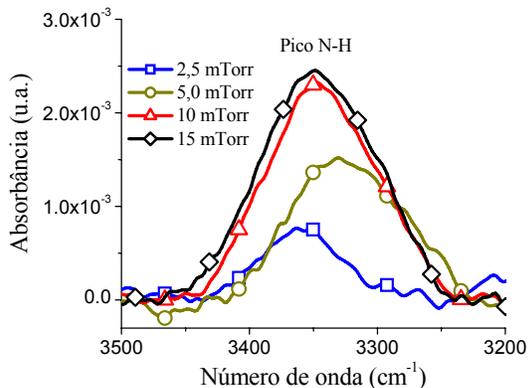
- ligação N-H modo *stretching* (este pico se encontra entre  $3340$  e  $3380\text{ cm}^{-1}$ );
- ligação Si-H modo *stretching* (este pico se encontra entre  $2000$  e  $2300\text{ cm}^{-1}$ );
- ligações N-H e N-H<sub>2</sub> modo *bending* (este pico se encontra entre  $1100$  e  $1170\text{ cm}^{-1}$ ) e/ou ligações Si-N-H modo *bending* (este pico se encontra em  $1200\text{ cm}^{-1}$ );
- ligação Si-N modo *stretching* (este pico se encontra entre  $830$  e  $890\text{ cm}^{-1}$ ).

As presenças destes picos nos espectros indicam a formação de filmes de nitreto de silício para todos os casos. As figuras 3.2(b), 3.2(c), 3.2(d) e 3.2(e) apresentam detalhes do espectro total, figura 3.2(a), nos intervalos de números de onda propostos acima, respectivamente, para identificar qualitativamente a concentração das ligações que formam os filmes. Para o filme de nitreto de silício depositado à pressão de  $2,5\text{ mTorr}$ , o espectro FTIR da figura 3.2(a), diferentemente do que ocorreu com os outros filmes de nitreto de silício obtidos com mais altas pressões de processo, não apresentou nenhum pico de absorção relacionado às ligações Si-H modo *stretching*, N-H e N-H<sub>2</sub> modo *bending*, ou as ligações Si-N-H modo *bending*. Mas, apresentou picos de mais baixas intensidades de absorção, quando comparados com os espectros das outras amostras, relacionados às ligações N-H e Si-N modos *stretching* (sendo que estes picos também podem ser observados mais detalhadamente nas figuras 3.2(b) e 3.2(e), respectivamente, além da figura 3.3). Portanto, estes filmes apresentam menor incorporação de H. Este resultado pode ser explicado pela análise OES, item 3.1, observações (vi) (regime de baixa pressão) e (vii).

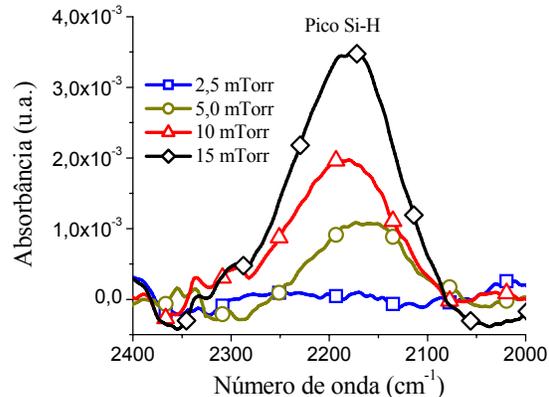


(a) Espectros FTIR dos filmes de nitreto de silício com intervalo de número de onda entre  $4000$  e  $400\text{ cm}^{-1}$  (total)

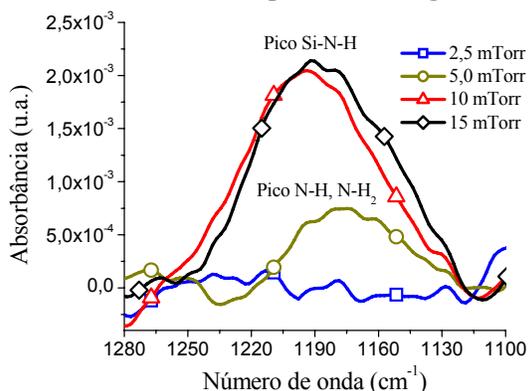
**Figura 3.2 – Análises FTIR dos filmes de nitreto de silício depositados por ECR-CVD para diferentes pressões ( $2,5\text{ mTorr}$ ,  $5,0\text{ mTorr}$ ,  $10\text{ mTorr}$  e  $15\text{ mTorr}$ ).**



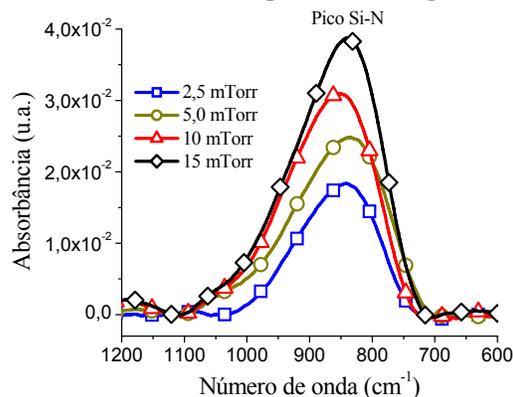
(b) Picos de N-H dos espectros da figura 3.2(a)



(c) Picos de Si-H dos espectros da figura 3.2(a)



(d) Picos de N-H, N-H<sub>2</sub> e/ou Si-N-H dos espectros da figura 3.2(a)

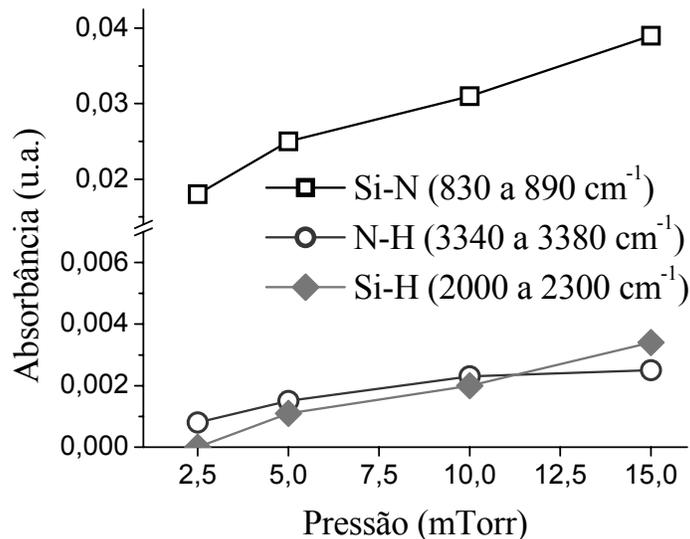


(e) Picos de Si-N dos espectros da figura 3.2(a)

**Figura 3.2 (continuação) – Análises FTIR dos filmes de nitreto de silício depositados por ECR-CVD para diferentes pressões (2,5 mTorr, 5,0 mTorr, 10 mTorr e 15 mTorr).**

A figura 3.3 mostra os valores das intensidades dos picos de absorção para as ligações (modo *stretching*) de Si-N, N-H e Si-H, extraídos das figuras 3.2, em função da pressão de deposição dos filmes. Das figuras 3.2 e da figura 3.3, observa-se que: os espectros dos filmes de nitreto de silício formados com mais altas pressões de processo (5,0 mTorr, 10 mTorr e 15 mTorr), apresentam maiores intensidades dos picos de absorção relacionados às ligações N-H modo *stretching*, Si-H modo *stretching*, N-H e N-H<sub>2</sub> modo *bending*, ou as ligações Si-N-H modo *bending*, respectivamente, dando clara evidência do aumento da concentração de H nos filmes, proveniente, principalmente, pela grande quantidade de ligações de N com H. Isto está de acordo com o resultado obtido pela caracterização OES, item 3.1, observações (v) e (vi) (regime de mais alta pressão). Assim, pode-se estimar que a maioria das espécies de N<sub>2</sub> geradas pelo plasma remoto, encontra uma maior barreira para difusão, e na região do porta-amostra, reage mais intensamente (devido ao aumento das colisões) com as espécies de Si e, principalmente, de H, provenientes da dissociação da silana, formando ligações Si-N, N-H, N-H<sub>2</sub> e/ou Si-N-H, resultando em mais alta incorporação destas ligações nos filmes depositados. Maior concentração de ligações do N com H forma filmes mais ricos em N e porosos [3.4]. Isto pode ser identificado pela medida elipsométrica do índice de refração na figura 3.4. Este resultado está de acordo com o apresentado nas figuras 3.2(a), 3.2(b), 3.2(c), 3.2(d) e 3.2(e)

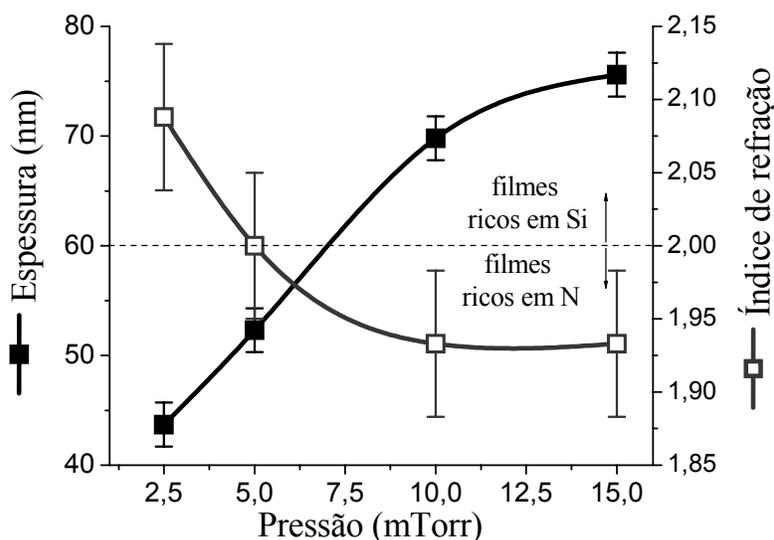
e figura 3.3. Salienta-se que com o aumento da pressão ocorre o aumento das emissões do Si (figura 3.1 da análise OES) com tendência à saturação para pressões de 10 e 15 mTorr. Esta mais alta concentração de espécies de Si no plasma faz com que as espécies não consumidas na formação das ligações Si-N, N-H, N-H<sub>2</sub> e/ou Si-N-H, formem ligações Si-H. As figuras 3.2(c) e 3.3 confirmam este resultado, pois se verifica o aumento de ligações Si-H nos espectros dos filmes depositados com pressões de 5,0 mTorr, 10 mTorr e 15 mTorr. Além disso, pelas mesmas figuras, verifica-se que ocorre uma saturação de ligações N-H para pressões de 10 mTorr e 15 mTorr, o que está de acordo com o comportamento da emissão de Si, identificada pela análise OES (figura 3.1), que também indica uma saturação para este intervalo de mais alta pressão. Esta saturação da espécie de Si, com a diminuição da espécie de N<sub>2</sub> e com o aumento da espécie NH nos plasmas de mais altas pressões podem provocar uma saturação nas espessuras e no índice de refração dos filmes, o que pode ser observado na figura 3.4. Portanto, as composições dos filmes (figuras 3.2) estão diretamente relacionadas com as composições dos plasmas (figura 3.1). Estes resultados serão confirmados pelas medidas elipsométricas de espessura e índice de refração dos filmes de nitreto de silício (figura 3.4).



**Figura 3.3 – Valores das intensidades dos picos de absorção para as ligações (modos *stretching*) de Si-N, N-H e Si-H, extraídos da figura 3.2, em função da pressão de deposição.**

A figura 3.4 mostra os valores das espessuras (entre 42 e 76 nm) e dos índices de refração (entre 1,93 e 2,09) dos filmes de nitreto de silício obtidos por elipsometria em função das pressões de deposição. Estas medidas elipsométricas (anexo B) foram executadas com um comprimento de onda de 632,8 nm e com um ângulo de incidência de 70°. Estes valores das espessuras divididos pelo tempo de processo de 10 minutos resultam nas taxas de deposição (entre 4,2 e 7,6 nm/min). Da figura 3.4, verifica-se que os valores de espessura, e conseqüentemente da taxa de deposição, aumentam linearmente com a pressão de processo até a pressão de 10 mTorr. Para pressões maiores, verifica-se que a espessura (ou taxa de deposição) tem uma tendência à saturação. Isto já foi identificado pelos resultados das análises OES e FTIR.

Filmes estequiométricos de nitreto de silício ( $\text{Si}_3\text{N}_4$ ) apresentam índice de refração de 2,0. Define-se que filmes com índice de refração maior ou menor do que 2,0 são mais ricos em Si ou mais ricos em N na sua composição, respectivamente. Baseado nesta definição, a figura 3.4, na curva de índice de refração em função da pressão de processo, mostra que para pressões de processo de 5 mTorr pode-se prever a formação de filmes estequiométricos. Para pressões menores ou maiores que 5,0 mTorr formam-se filmes mais ricos em Si ou mais ricos em N, respectivamente. Os filmes depositados em pressão de 2,5 mTorr apresentam índice de refração de  $(2,09 \pm 0,05)$ , sendo muito pouco acima do valor estequiométrico. Novamente, identifica-se uma saturação, que é mostrada na curva do índice de refração para pressões de 10 e 15 mTorr. Estes resultados estão de acordo com os resultados de OES e FTIR.



**Figura 3.4 – Espessura e índice de refração do filme depositado, determinados por elipsometria.**

### 3.3 ESTRUTURAS MIS

Neste item, serão apresentadas as medidas elétricas (anexo C) de capacitores MIS fabricados com estruturas:

- Au/Ti/SiN<sub>x</sub>/GaAs, onde o substrato é de GaAs tipo n+ com dopagem entre  $1 \cdot 10^{18} \text{ cm}^{-3}$  e  $5 \cdot 10^{18} \text{ cm}^{-3}$ . Os capacitores são circulares com diâmetro de 200  $\mu\text{m}$  (grupo A). Os filmes de nitreto de silício usados nestas estruturas foram depositados em pressões de 2,5 mTorr, 5,0 mTorr, 10 mTorr e 15 mTorr, sendo os demais parâmetros de processo mantidos os mesmos e iguais aos que foram utilizados para as análises OES, FTIR e elipsométrica. Nestas deposições, não foi utilizado o gerador de RF acoplado no porta-amostra do sistema ECR (figura 1.6). As medidas de espessura e índice de refração destes filmes de nitreto de silício estão apresentadas na figura 3.4. Com os valores das espessuras, pode-se

extrair a constante dielétrica dos filmes das curvas C-V sob forte condição de acumulação (anexo C).

Nota: os dois próximos grupos de estruturas MIS (grupos B e C) são formados por filmes de nitreto de silício depositados em pressão de 2,5 mTorr. Isto ocorreu, pois os resultados das análises OES, FTIR e elipsométrica indicaram que os filmes obtidos em mais baixa pressão podem minimizar e passivar os defeitos de superfície de compostos III-V.

- Au/Ti/SiN<sub>x</sub>/GaAs, onde o substrato é de GaAs tipo n com dopagem entre  $1 \cdot 10^{17} \text{ cm}^{-3}$  e  $5 \cdot 10^{17} \text{ cm}^{-3}$ . Os capacitores são circulares com diâmetro de 200  $\mu\text{m}$  (grupo B). Os filmes de nitreto de silício usados nestas estruturas foram depositados em pressões de 2,5 mTorr, que foram usados como camada de passivação em transistores HBT (item 3.4). Nestas deposições, foi utilizado o gerador de RF acoplado ao porta-amostra do sistema ECR (figura 1.6), aplicando-se uma potência de 4 W. O valor da espessura destes filmes foi de 56 nm. Mas neste caso a deposição do filme de nitreto de silício foi de 12 minutos, obtendo-se uma taxa de deposição de 4,66 nm/min. Este valor é maior do que a taxa de 4,4 nm/min obtida para a deposição dos filmes de nitreto de silício dos capacitores do grupo A para pressão de processo de 2,5 mTorr. Este aumento está relacionado com o uso da potência de RF de 4W;
- Au/Ti/SiN<sub>x</sub>/GaAs, onde o substrato é de GaAs semi-isolante, implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal. Estes capacitores possuem dimensão de 200  $\mu\text{m}$  x 206  $\mu\text{m}$  (grupo C) Os filmes de nitreto de silício usados nestas estruturas foram depositados em pressão de 2,5 mTorr, foram usados como dielétricos de porta de transistores MISFET. Nestas deposições, não foi utilizado o gerador de RF acoplado no porta-amostra do sistema ECR (figura 1.6). A espessura deste filme não foi medida.

Estas estruturas foram caracterizadas pelas medidas de capacitância por tensão, C-V, e de corrente por tensão, I-V (anexo C). As figuras 3.5(a) e 3.5(b) apresentam os esquemas elétricos, simplificados, para a obtenção das curvas C-V e I-V, respectivamente, sendo que as medidas C-V foram obtidas para uma frequência de 1 MHz.

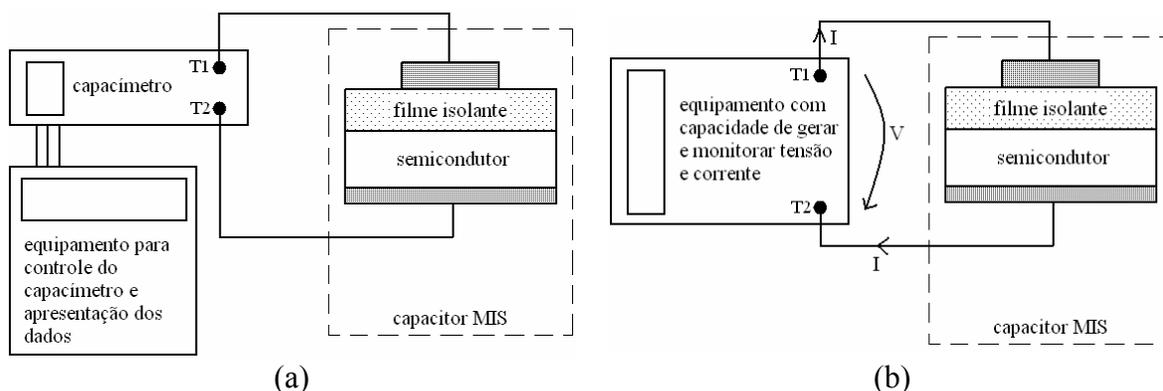


Figura 3.5 – Sistemas para obtenção de características (a) C-V e (b) I-V.

As figuras de 3.6(a) até 3.6(d) apresentam os resultados das medidas C-V e I-V das estruturas MIS do grupo A. As figuras 3.6(a) e 3.6(b) apresentam, respectivamente, os resultados de capacitância normalizados em relação à capacitância máxima das medidas C-V das estruturas MIS com recozimento (sinterização) de dois minutos e cinco minutos. As figuras 3.6(c) e 3.6(d) apresentam, respectivamente, os resultados das medidas I-V das estruturas MIS com sinterização de dois minutos e cinco minutos.

Das curvas C-V das figuras 3.6(a) e 3.6(b), pode-se extrair (segundo o anexo C) os seguintes parâmetros que são apresentados na tabela 3.1:

- capacitâncias máxima  $C_{max}$  (na região de acumulação) e mínima  $C_{min}$  (na região de inversão) antes da normalização;
- constante dielétrica do filme isolante  $\epsilon_{isolante}$  (utilizando a espessura obtida pela medida elipsométrica apresentada no item anterior);
- valores de tensão  $V_{fb}$  e capacitância  $C_{fb}$  de banda plana;
- dopagem da lâmina (entre  $1 \cdot 10^{18} \text{ cm}^{-3}$  e  $5 \cdot 10^{18} \text{ cm}^{-3}$ );
- densidade de estados efetiva,  $Q_0/q$ , nas estruturas I-S.

**Tabela 3.1 – Parâmetros extraídos das curvas C-V, figuras 3.6(a) e 3.6(b). Valores de capacitância não estão normalizados.**

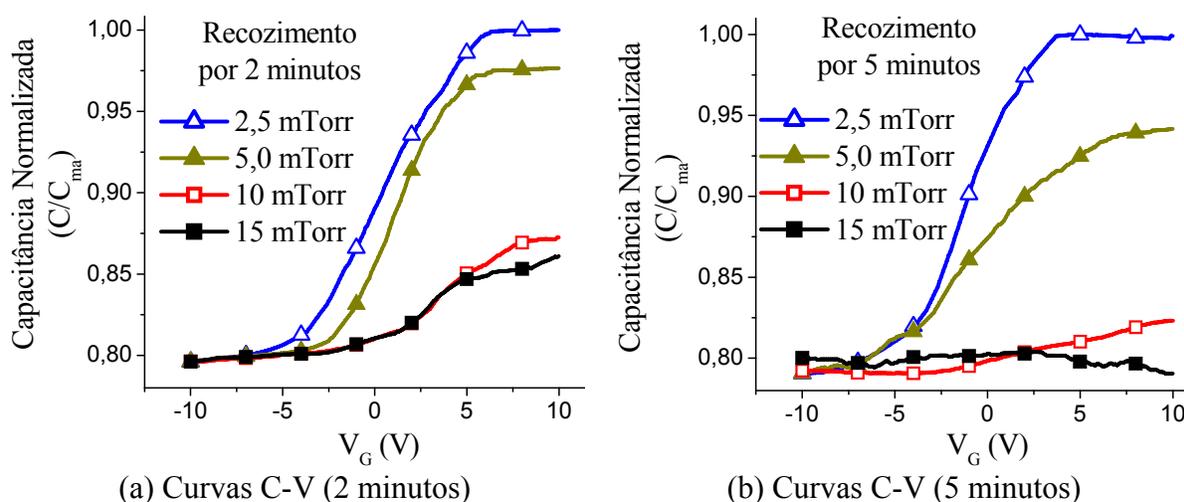
Parâmetros	Pressões utilizadas na deposição dos filmes de nitreto de silício							
	2,5 mTorr		5,0 mTorr		10 mTorr		15 mTorr	
	com tratamento térmico de							
	2 min.	5 min.	2 min.	5 min.	2 min.	5 min.	2 min.	5 min.
$C_{max}$ (pF)	39,70	39,94	32,40	31,82	24,30	X	23,85	X
$C_{min}$ (pF)	31,60	31,61	25,20	25,78	21,36	X	21,27	X
$\epsilon_{isolante}$	6,24	6,27	6,09	5,98	6,10	X	6,48	X
$V_{fb}$ (V)	4,20	2,00	4,00	4,80	6,90	X	8,80	X
$C_{fb}$ (pF)	38,74	38,95	31,52	31,11	23,98	X	23,56	X
Dopagem ( $10^{18} \text{ cm}^{-3}$ )	3,59	3,43	1,88	2,73	4,71	X	5,89	X
$Q_0/q$ ( $10^{12} \text{ cm}^{-2}$ )	-2,52	-0,79	-1,94	-2,40	-2,84	X	-3,69	X

X – Valores calculados não são confiáveis.

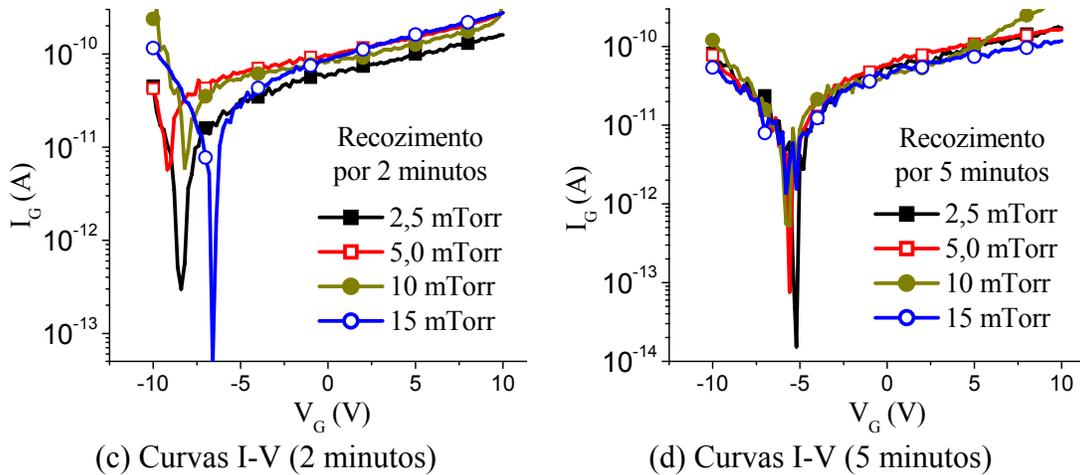
Os tempos utilizados para o tratamento térmico (recozimento de contatos ou sinterização) das estruturas MIS do grupo A foram de dois e cinco minutos, similares aos tempos utilizados nos tratamentos térmicos dos demais dispositivos estudados (transistores HBT, MISFET e MESFET).

Para as estruturas MIS, observa-se nas curvas C-V das figuras 3.6(a) e 3.6(b), para tempos de recozimento de dois e cinco minutos, respectivamente, que os filmes depositados com pressões mais baixas (2,5 mTorr e 5,0 mTorr) apresentaram os melhores resultados. Pois, através das curvas C-V, pode-se identificar claramente as regiões de acumulação, depleção e inversão (capítulo 1 e anexo C). Já para as curvas C-V, nas figuras 3.6(a) e

3.6(b), das estruturas com filmes de nitreto de silício depositados com pressões de 10 mTorr e 15 mTorr pode-se identificar para dois minutos de recozimento apenas as regiões de depleção e inversão e para cinco minutos de recozimento não se consegue identificar estas regiões. A região de acumulação não está definida nestas curvas, pois são curvas completamente alongadas, caracterizando distorção, como mostrado na figura 1.3 do capítulo 1. Esta distorção está relacionada com alta concentração de estados de interfaces (maior que  $10^{13} \text{ cm}^{-2}$ ), discutidos no capítulo 1 e no anexo C. Esta distorção, em forma de alongamento das curvas C-V, torna-se mais marcante para as curvas C-V das estruturas recozidas com tempo de cinco minutos. Pode-se observar este comportamento para as estruturas com filmes de nitreto de silício depositados com pressões de 5,0 mTorr, 10 mTorr e 15 mTorr, quando se compara as curvas C-V das figuras 3.6(a) com as das figuras 3.6(b). Assim, dos resultados extraídos das curvas C-V e mostrados na tabela 3.1, nota-se que: os menores valores de tensão de banda plana,  $V_{fb}$  (em torno de 2,0 V), que correspondem aos menores valores de densidade de estados,  $Q_0/q$  (em torno de  $-7,9 \cdot 10^{11} \text{ cm}^{-2}$ ) são das estruturas MIS com filmes de nitreto de silício depositados com pressão de 2,5 mTorr para tempo de recozimento de cinco minutos. Estes menores valores indicam que o processo de passivação é de boa qualidade e possuem a mesma ordem de grandeza, quando comparados com resultados de outros trabalhos que usam uma interface de silício [3.12] ou nitreto de silício depositado por CVD [3.13]. Além disso, verifica-se que os valores de 6,24 e 6,27 para a constante dielétrica, para tempos de dois e cinco minutos, respectivamente, permaneceram praticamente constante, indicando boa estabilidade térmica dos filmes de nitreto de silício formados com pressão de 2,5 mTorr. Estes resultados confirmam os resultados das análises OES, FTIR e elipsométrica, que indicaram que os filmes obtidos em mais baixa pressão podem minimizar e passivar os defeitos de superfície de compostos III-V. Para a corrente de fuga, determinada pela curva I-V e apresentada nas figuras 3.6(c) e 3.6(d), todas as estruturas MIS do grupo A apresentaram baixa corrente de fuga (valores menores do que  $3 \cdot 10^{-10} \text{ A}$ ) para a faixa de tensão medida, que foi entre -10 V e 10 V. Isto indica que os campos de ruptura para estes filmes são maiores que 2 MV/cm, pois as espessuras medidas por elipsometria foram entre 44 e 76 nm.

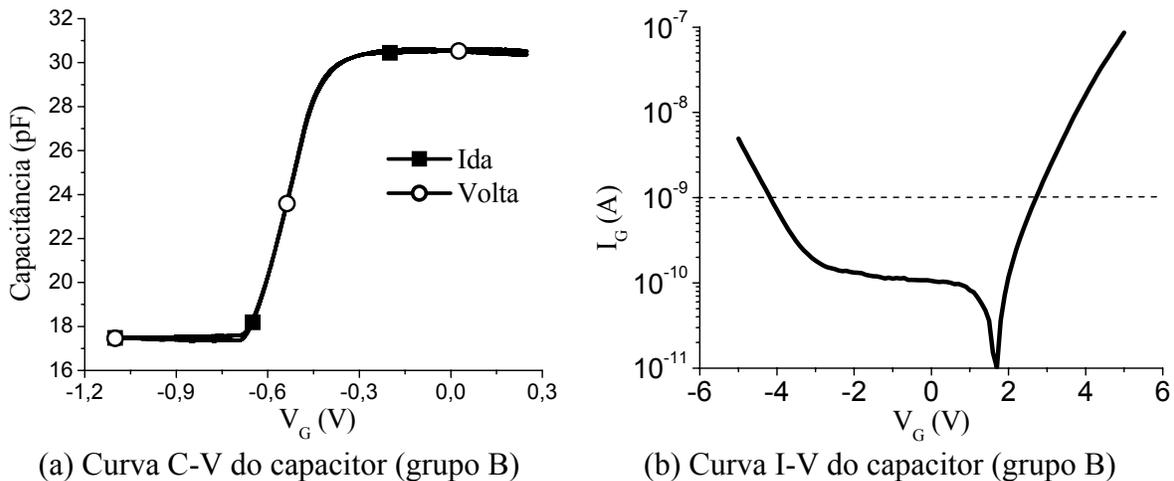


**Figura 3.6 – Resultados das medidas C-V e I-V das estruturas MIS do grupo A. (a) e (b) curvas C-V com recozimento de 2 e 5 minutos, respectivamente. (c) e (d) curvas I-V com recozimento de 2 e 5 minutos, respectivamente.**



**Figura 3.6 (continuação) – Resultados das medidas C-V e I-V das estruturas MIS do grupo A. (a) e (b) curvas C-V com tratamento térmico de 2 e 5 minutos, respectivamente. (c) e (d) curvas I-V com tratamento térmico de 2 e 5 minutos, respectivamente.**

As figuras 3.7(a) e 3.7(b) apresentam as curvas C-V e I-V dos capacitores MIS (grupo B) fabricados simultaneamente com os transistores HBT. A densidade de estados efetiva,  $Q_0/q$ , obtida foi de  $8 \cdot 10^{11} \text{ cm}^{-2}$  (que foi calculada diretamente da mudança da tensão de banda plana,  $V_{fb}$ , como mostrado no anexo C). O valor calculado de  $V_{fb}$ , para estas estruturas, foi de -0,46 V (que corresponde a uma capacitância de banda plana,  $C_{fb}$ , de 27,8 pF). Além disso, a característica C-V, figura 3.7(a), não apresentou distorção nem histerese, indicando baixa densidade de estados na interface I-S. Se utilizarmos o valor da constante dielétrica de 6,24 extraída dos filme de nitreto de silício formados com pressão de 2,5 mTorr para capacitores do grupo A, a espessura do filme de nitreto de silício usado nos capacitores do grupo B será de 560 nm, igual ao medido por elipsometria. A curva I-V característica, figura 3.7(b), foi obtida para se verificar a densidade de corrente de fuga. A figura 3.7(b) apresenta corrente de fuga menor do que 1 nA (entre as tensões de -4 V e 2,7 V), indicando uma corrente de fuga baixa.

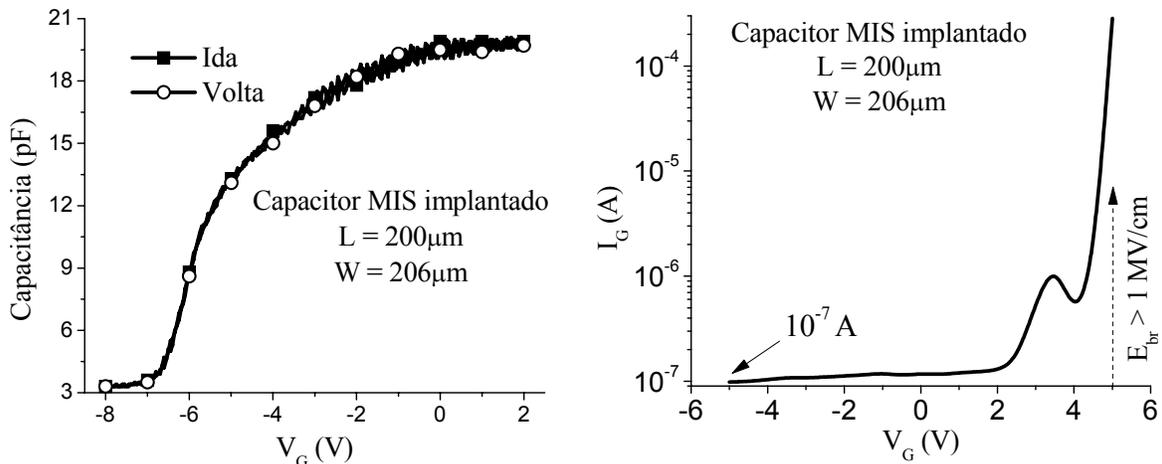


**Figura 3.7 – Curvas: (a) C-V e (b) I-V das estruturas MIS, do grupo B, fabricados junto com os transistores HBT.**

Estas propriedades elétricas indicam que o filme de nitreto de silício tem apresentado alta qualidade, baixa densidade de estados efetiva, sendo comparáveis a filmes de nitreto de silício depositados sobre o silício [3.14, 3.15, 3.16].

As figuras 3.8(a) e 3.8(b) apresentam as curvas características C-V e I-V, respectivamente, de capacitores MIS (grupo C) fabricados sobre substrato de GaAs semi-insolante (S.I.), implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal, onde também foram fabricados os transistores MISFET e MESFET, e diodos *Schottky* (estruturas MES). Das curvas C-V destes capacitores MIS, como a apresentada na figura 3.8(a), extraiu-se uma densidade média de estados,  $Q_0/q$ , de  $2 \cdot 10^{12} \text{ cm}^{-2}$ . O valor extraído da tensão de banda-plana,  $V_{fb}$ , para estas estruturas, foi de -4,76 V (que corresponde a uma capacitância de banda plana,  $C_{fb}$ , de 13,8 pF). A curva C-V não apresentou histerese, mas apresentou distorção, quando se compara as curvas da figura 3.8(a) com as da figura 3.7(a), indicando mais alta densidade de estados na interface. Quando comparamos os valores de  $Q_0/q$ , pode-se estimar que a densidade de estados de interface aumenta duas vezes e meia. A causa disto é a qualidade dos substratos, pois um substrato tem camada ativa implantada (dos capacitores do grupo C), que pode apresentar danos devido à implantação, à baixa ativação de dopantes, e também à preferencial perda de arsênio durante a etapa RTA. O outro substrato (dos capacitores do grupo B) é comercial, com mínima densidade de defeitos garantida pelo fabricante. Mesmo assim, estes resultados das curvas C-V da figura 3.8(a) são comparáveis aos obtidos pelos MOSFETs de GaAs com a porta sendo formada por  $\text{HfO}_2/\text{Si}/\text{n-GaAs}$  [3.17]. Além disso, se utilizarmos o valor da constante dielétrica de 6,24 extraída dos filmes de nitreto de silício formados com pressão de 2,5 mTorr para capacitores do grupo A (nota: também usamos este valor para os capacitores do grupo B) a espessura do filme de nitreto de silício será de 110 nm. Era esperada uma espessura de 44 nm, similar à obtida para os filmes de nitreto de silício dos capacitores do grupo A, já que não foi utilizado o gerador de RF para polarização do porta-amostra. Esta razão entre 110 nm e 44 nm resulta em duas vezes e meia. Ou seja, a capacitância máxima (dividida pela área do capacitor) deveria ser maior duas vezes e meia para que a espessura do filme fosse de 44 nm. É interessante ressaltar que duas vezes e meia é o aumento apresentado para os valores de  $Q_0/q$ . E Hideki Hasegawa [3.18 e 3.19] demonstrou que a redução da capacitância máxima, o que resulta em espessura do filme maior (com valor errado), está relacionada com a alta densidade de estados de interface em estruturas MIS sobre substratos de compostos III-V.

A figura 3.8(b), que apresenta a corrente resultante da medida I-V dos capacitores MIS do grupo C, mostrou uma corrente de fuga de 0,1  $\mu\text{A}$  (entre valores de tensão de -5 V e 2 V), indicando baixa corrente de fuga [3.20]. Sob condições de forte acumulação, isto é, para valores de tensão entre 3 V e 4 V, a corrente de fuga é maior do que 0,4  $\mu\text{A}$ . Esta região não é necessária para a operação dos transistores MISFET. Para regiões maiores do que 5 V, o filme de nitreto de silício pode estar na região de ruptura, devido aos altos níveis de corrente, maiores que 0,2 mA. Um campo elétrico ( $E_{br}$ ) com ruptura maior do que 1 MV/cm pode ser estimado (detalhes para o cálculo deste campo elétrico pode ser encontrado no anexo C). Baseado nestes resultados, pode-se prever que nas portas de transistores MISFET modo depleção, que utilizam estes capacitores MIS, devem ser aplicadas tensões menores que 2 V para constrição do canal. Além disso, estas propriedades elétricas indicam que os filmes de nitreto de silício depositados, também, apresentam alta qualidade, sendo também comparados aos filmes de nitreto de silício depositados sobre o silício [3.14, 3.15, 3.16].



(a) Curva C-V do capacitor fabricado durante o processo MISFET/MESFET

(b) Curva I-V do capacitor fabricado durante o processo MISFET/MESFET

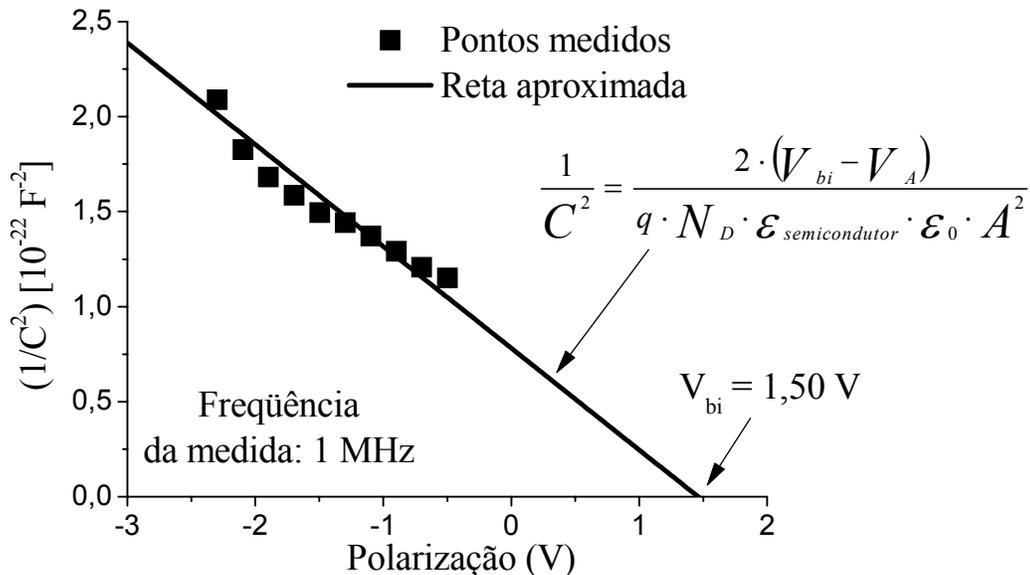
**Figura 3.8 – Curvas: (a) C-V e (b) I-V dos capacitores MIS fabricados sobre GaAs semi-isolante, implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal.**

### 3.3.1 ESTRUTURAS MES E A CONCENTRAÇÃO DE DOPANTES NO CANAL DOS TRANSISTORES MISFET E MESFET

Foram fabricadas, nas mesmas lâminas das estruturas MIS grupo C, estruturas com junção Metal-Semicondutor (MES) de Au/Ti/GaAs, onde o substrato é de GaAs semi-isolante, implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal. Estas estruturas MES possuem dimensão de  $200\mu\text{m} \times 206\mu\text{m}$ , igual a dos capacitores MIS do grupo C, e são diodos *Schottky*, similares aos usados como estrutura de porta dos transistores MESFET. Estes diodos foram caracterizados através de medidas C-V, utilizando-se dos sistemas da figura 3.5(a).

Das curvas C-V dos capacitores MIS do grupo C, como a apresentada na figura 3.8(a), foi extraída a concentração de dopantes ativados na camada n implantada no substrato de GaAs, obtendo-se um valor médio de  $6 \cdot 10^{15}$  átomos/cm<sup>3</sup>. Das curvas  $1/C^2 \times V$  (inverso da capacitância ao quadrado em função da tensão de polarização) dos diodos *Schottky* (estrutura MES), em polarização reversa, como a mostrada pela figura 3.9, também se pode extrair a concentração de dopantes ativados na camada n implantada no substrato de GaAs através do ajuste linear dos pontos medidos [3.21]. O valor extraído de concentração de dopantes ativos foi de  $4 \cdot 10^{15}$  átomos/cm<sup>3</sup>, semelhante ao valor ( $6 \cdot 10^{15}$  átomos/cm<sup>3</sup>) extraído da curva C-V de capacitores MIS, figura 3.8(a). Estes valores extraídos são duas ordens de grandeza menor do que o valor simulado ( $6 \cdot 10^{17}$  átomos/cm<sup>3</sup>) com o auxílio do programa SRIM [3.22]. Salienta-se que, este programa estima os valores de concentração de dopantes após a implantação de íons, não considerando o posterior tratamento térmico rápido (RTA), que deve ser executado para ativação dos dopantes, tornando-os substitucionais na rede cristalina. Se tivéssemos obtidos uma taxa de 100% de ativação de dopantes na camada n implantada, os valores de concentração extraídos das curvas das figuras 3.8(a) e 3.9 seriam iguais ao simulado pelo SRIM. Mas, correspondem

apenas 0,67 % do valor simulado. Desse modo, com taxa de ativação menor do que 1%, altos valores de resistência de canal para os transistores MESFET e MISFET podem ser esperados (valores maiores do que 1 kΩ), o que reduz o desempenho destes dispositivos em termos de corrente de fonte e dreno e transcondutância.



**Figura 3.9 – Curva  $1/C^2 \times V$  de estruturas MES (diodos *Schottky*) fabricados sobre GaAs semi-isolante, implantado com  $^{29}\text{Si}^+$ , com posterior ativação do dopante por RTA, para formação da camada n do canal.**

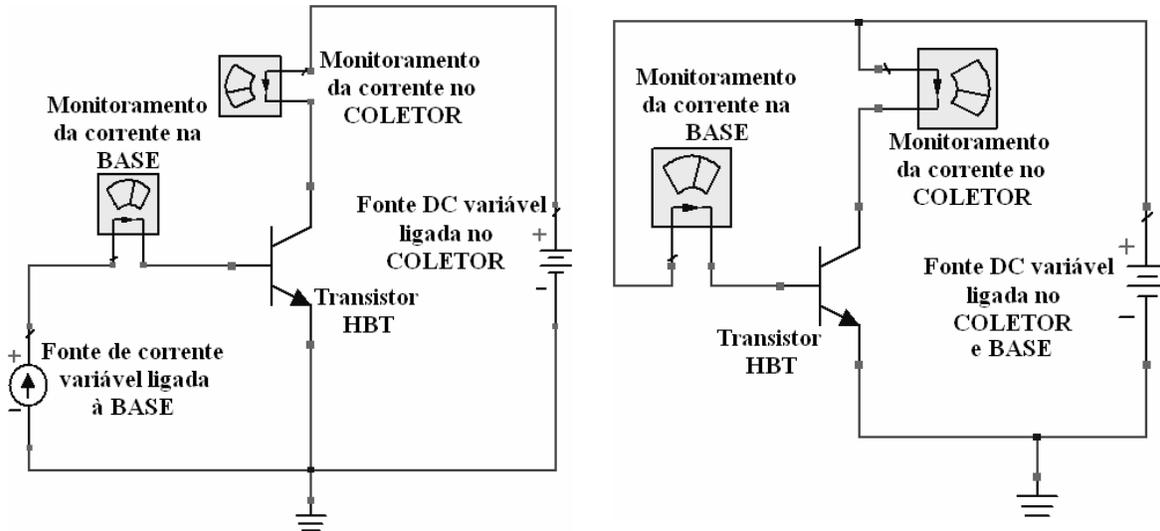
Na figura 3.9, além do valor de concentração de dopantes no semicondutor, também se extrai do ajuste linear dos pontos medidos, o valor da tensão  $V_{bi}$  de condução do diodo *Schottky*. Este valor foi de 1,50 V. Assim, pode-se prever que nas portas de transistores MESFET modo depleção, que utilizam estas estruturas MES, devem ser aplicadas tensões menores que este valor de  $V_{bi}$  (que é de 1,50 V) para constrição do canal. Extrai-se também desta figura que o ajuste linear apresenta uma variação menor que 5% quando comparado com os pontos medidos. Portanto, pode ser considerado que o comportamento do parâmetro  $1/C^2$  é linear em relação à tensão de polarização aplicada ao dispositivo. Este comportamento é característico de diodos *Schottky* [3.21].

### 3.4 TRANSISTORES HBT

Os transistores HBT usados neste trabalho (como já descrito no capítulo 2, que descreve as etapas de processo) apresentam emissores com áreas de  $20 \times 06 \mu\text{m}^2$  (transistores pequenos) e de  $20 \times 16 \mu\text{m}^2$  (transistores grandes) e são todos do tipo não auto-alinhados. Os transistores seguirão a seguinte nomenclatura: os transistores que possuem o filme de nitreto de silício cobrindo as superfícies semicondutoras serão chamados de transistores passivados. E, os transistores que não possuem este filme de nitreto de silício serão chamados não passivados. A característica elétrica destes transistores será obtida através de medidas DC e em alta frequência, RF.

### 3.4.1 MEDIDAS DC DOS TRANSISTORES HBT

Os parâmetros extraídos das medidas DC dos transistores HBT são definidos no anexo C. As figuras 3.10(a) e 3.10(b) apresentam, respectivamente, os esquemas elétricos para a obtenção das curvas da corrente de coletor ( $I_C$ ) em função da tensão entre coletor e emissor ( $V_{CE}$ ), variando-se a corrente de base ( $I_B$ ) (curvas características do transistor  $I_C - V_{CE}$ ), e para a obtenção das curvas  $I_C$  e  $I_B$  em função da tensão entre base e emissor ( $V_{BE}$ ) (curvas do transistor denominadas *Gummel-Plot*).

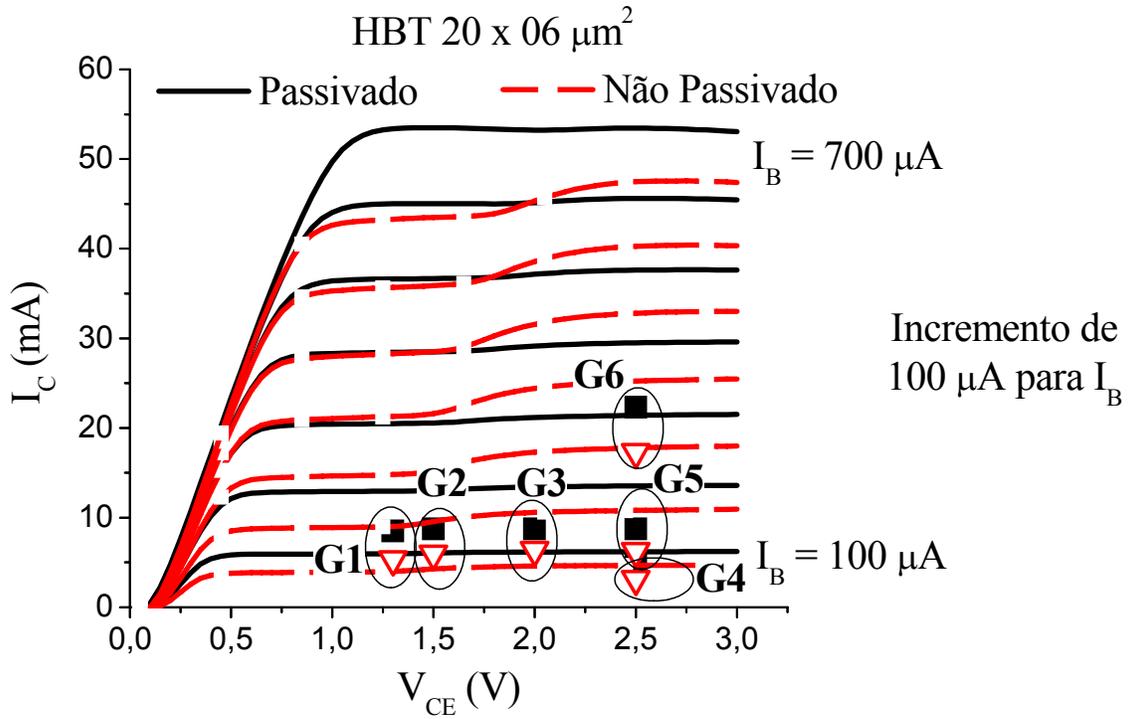


(a) Esquema elétrico para obtenção das curvas características  $I_C \times V_{CE}$

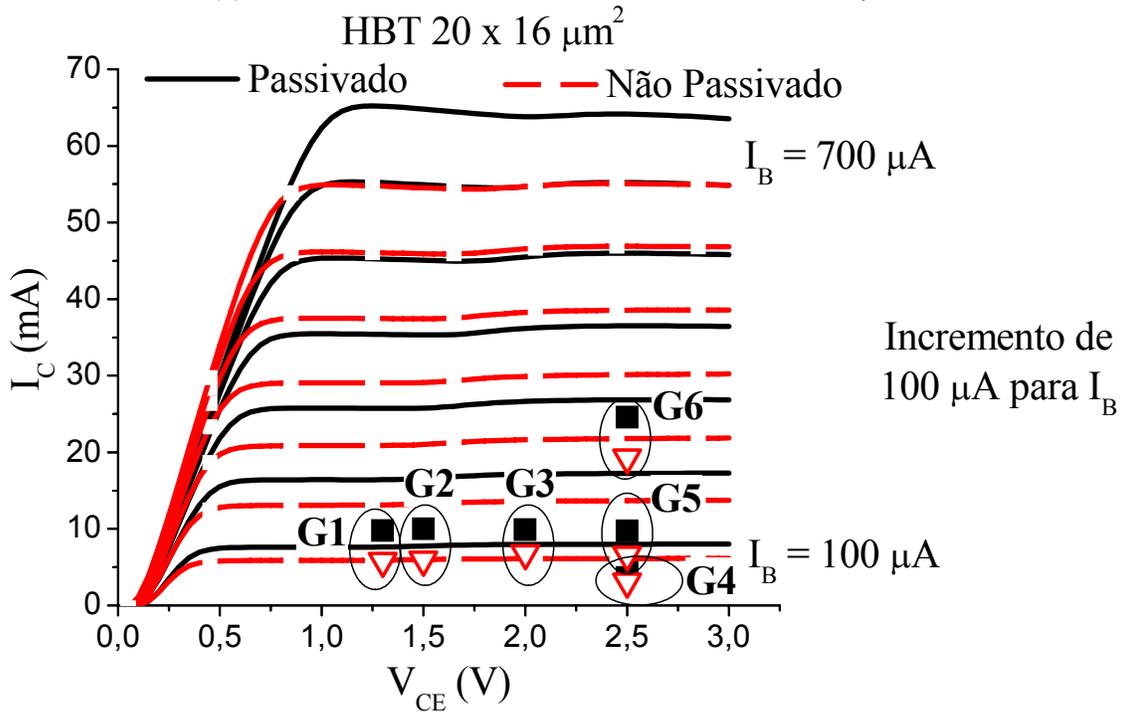
(b) Esquema elétrico para obtenção do *Gummel-Plot*

**Figura 3.10 – Esquemas elétricos simplificados para a obtenção das medidas DC.**

As figuras 3.11(a) e 3.11(b) apresentam as medidas das curvas características,  $I_C \times V_{CE}$ , dos transistores HBT passivados e não passivados com áreas de emissor  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$ , respectivamente. A variação de tensão entre o coletor e o emissor foi de 0 V a 3 V e a corrente de base foi variada de 0 a 700  $\mu\text{A}$  com incremento de 100  $\mu\text{A}$ . Pelos resultados apresentados nas figuras 3.11 observa-se que para um mesmo valor de corrente de base, os transistores passivados possuem uma maior corrente de coletor do que os transistores não passivados. Este maior valor de corrente de coletor nos transistores passivados, para uma mesma corrente de base, resulta em um ganho maior se comparados aos transistores não passivados. Outra característica que pode ser observada é o valor da inclinação da corrente de coletor na região ativa de operação do transistor. A extrapolação de uma reta, possuindo esta inclinação, com o eixo da tensão  $V_{CE}$ , fornece o valor de uma tensão denominada tensão *Early*,  $V_A$ , que é um parâmetro relacionado com a modulação da largura da base (veja detalhes no anexo C). Essa tensão descreve as mudanças que ocorrem na largura da base decorrentes de uma variação de tensão na junção entre base e coletor. Normalmente a junção base-emissor é polarizada diretamente e a junção base-coletor é polarizada reversamente. Sendo assim, a largura da região de carga espacial da junção base-coletor é afetada diretamente pelo potencial aplicado. Quanto maior for o valor de  $V_A$  menos sensível será o transistor à modulação da largura de base [3.23, 3.24].



(a) Transistores HBT com área de emissor  $20 \times 06 \mu\text{m}^2$



(b) Transistores HBT com área de emissor  $20 \times 16 \mu\text{m}^2$

**Figura 3.11 – Curva característica  $I_C \times V_{CE}$  dos transistores HBT passivados e não passivados. Transistores HBT com áreas de emissor de: (a)  $20 \times 06 \mu\text{m}^2$  e (b)  $20 \times 16 \mu\text{m}^2$ . Observação: Pontos de G1 a G6 são polarizações DC usadas para as medidas de alta frequência (tabelas 3.3 e 3.4). Os símbolos ■ e ▽ correspondem às polarizações aplicadas aos transistores passivados e não passivados, respectivamente.**

No caso da figura 3.11(a) os valores de  $V_A$  para os transistores menores (área de emissor de  $20 \times 06 \mu\text{m}^2$ ) passivados e não passivados, são, respectivamente,  $-35 \text{ V}$  e  $-8 \text{ V}$ , apresentando uma razão entre os valores de  $V_A$  em torno de 4,4. A inclinação da corrente de coletor na região ativa de operação do transistor (para  $I_B = 500 \mu\text{A}$ ) é, aproximadamente,  $7,9 \cdot 10^{-4} \text{ A/V}$  e  $2,7 \cdot 10^{-3} \text{ A/V}$  para o transistor passivado e não passivado, respectivamente, resultando em resistências de saída de 1.265 ohms e 370 ohms. Já no caso da figura 3.11(b), os valores de  $V_A$  para os transistores maiores (área de emissor de  $20 \times 16 \mu\text{m}^2$ ) passivados e não passivados, são, respectivamente,  $-73 \text{ V}$  e  $-48 \text{ V}$ , apresentando uma razão entre os valores de  $V_A$  em torno de 1,5. A inclinação da corrente de coletor na região ativa de operação do transistor (para  $I_B = 500 \mu\text{A}$ ) é, aproximadamente,  $6,0 \cdot 10^{-4} \text{ A/V}$  e  $7,6 \cdot 10^{-4} \text{ A/V}$  para o transistor passivado e não passivado, respectivamente, resultando em resistências de saída de 1.666 ohms e 1.315 ohms. Assim, estes resultados das razões de  $V_A$  em torno de 4,4 e 1,5, respectivamente, para transistores menores e maiores, e dos valores de resistências de saída, indicam que os transistores menores são mais afetados positivamente pela passivação do que os transistores maiores.

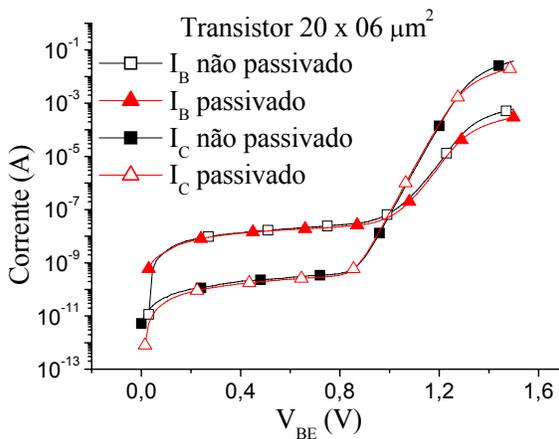
A figura 3.11(a) apresenta ainda, para os transistores não passivados com área de emissor de  $20 \times 06 \mu\text{m}^2$ , uma maior influência da temperatura (e que se torna mais evidente com o aumento da corrente de base). Este comportamento térmico é semelhante a transistores HBT com mais de um emissor [3.25, 3.26, 3.27]. O aumento de temperatura nestes dispositivos é causado por dois fenômenos basicamente: pelo seu auto-aquecimento e pelo aquecimento desigual de cada contato de emissor (conhecido como acoplamento térmico), o que provoca a predominância de um terminal sobre o outro (o terminal mais quente predomina) [3.25]. No caso dos transistores passivados com área menor apresentados aqui, para tensões de  $V_{CE}$  maiores que 1,5 V, observa-se um aumento na corrente de coletor,  $I_C$ , que provavelmente é devido ao aumento de temperatura na junção base-emissor do transistor [3.26, 3.27]. No entanto, este comportamento não é observado nos transistores maiores e nem no transistor passivado com área de emissor de  $20 \times 06 \mu\text{m}^2$ . Nos transistores maiores existe uma maior área para que o calor seja dissipado e no transistor menor passivado o filme de nitreto de silício pode estar ajudando na dissipação do calor. Porém, estudos mais aprofundados devem ser feitos para comprovar ou não este comportamento de dissipação de calor pelo filme de nitreto de silício (como o efeito térmico não é o objetivo do trabalho este efeito foi apenas mencionado).

As figuras 3.12(a) e 3.12(b) apresentam as medidas do *Gummel-Plot* (anexo C) dos transistores HBT passivados e não passivados com áreas de emissor  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$ , respectivamente. Estas curvas foram extraídas para tensão de base-emissor,  $V_{BE}$ , igual a tensão de coletor-emissor  $V_{CE}$ , resultando em um valor de tensão entre base e coletor,  $V_{BC}$ , próximo a zero. Identifica-se que o ganho de corrente  $\beta$ , que é a razão entre as correntes de coletor  $I_C$  e de base  $I_B$ , torna-se maior que 1 para  $V_{BE}$  maior que 1,0 V para ambos os casos. A tabela 3.2 apresenta um resumo de alguns parâmetros dos transistores HBT obtidos das figuras 3.12, onde  $n_{I_C}$  e  $n_{I_B}$  são os fatores de idealidade para as curvas de correntes de coletor  $I_C$  e de base  $I_B$  em função de  $V_{BE}$ , respectivamente, e  $\beta_{MAX}$  é o ganho máximo de corrente. O valor de  $\beta_{MAX}$  apresentado aqui é o máximo ganho de corrente para a faixa de tensão medida, que foi de 0 a 1,50 V. Para o caso ideal espera-se fatores de idealidade para junções p-n iguais a 1 (anexo C). Os valores de fatores de idealidade em torno de 1,01 e 1,50 foram obtidos para  $n_{I_C}$  e  $n_{I_B}$ , respectivamente, para todos os transistores. Os maiores valores para  $n_{I_B}$  estão relacionados à alta taxa de recombinação na

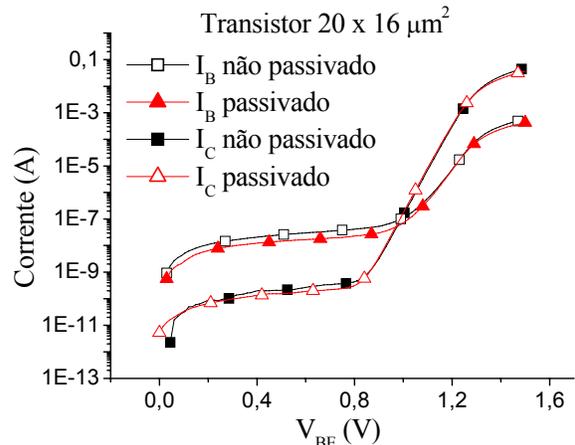
junção base-emissor. E os valores de  $n_{I_B}$  para os transistores passivados são um pouco menores (em torno de 3%) que os apresentados pelos transistores não passivados, indicando uma menor taxa de recombinação com o processo de passivação. Isto já é suficiente para se obter ganhos  $\beta_{MAX}$  maiores para os transistores passivados, como observado na tabela 3.2 e nas curvas das figuras 3.13.

**Tabela 3.2 – Valores dos parâmetros dos HBT.**

	Área de emissor dos transistores HBT ( $\mu\text{m}^2$ )	$n_{I_B}$	$n_{I_C}$	$\beta_{MAX}$ (para $V_{BE} = 1,50 \text{ V}$ )
<b>Passivado</b>	20 x 06	1,45	1,02	72
	20 x 16	1,51	1,01	86
<b>Não passivado</b>	20 x 06	1,50	1,02	64
	20 x 16	1,53	1,02	84



(a) Comparação entre os transistores passivados e não passivados (área pequena)

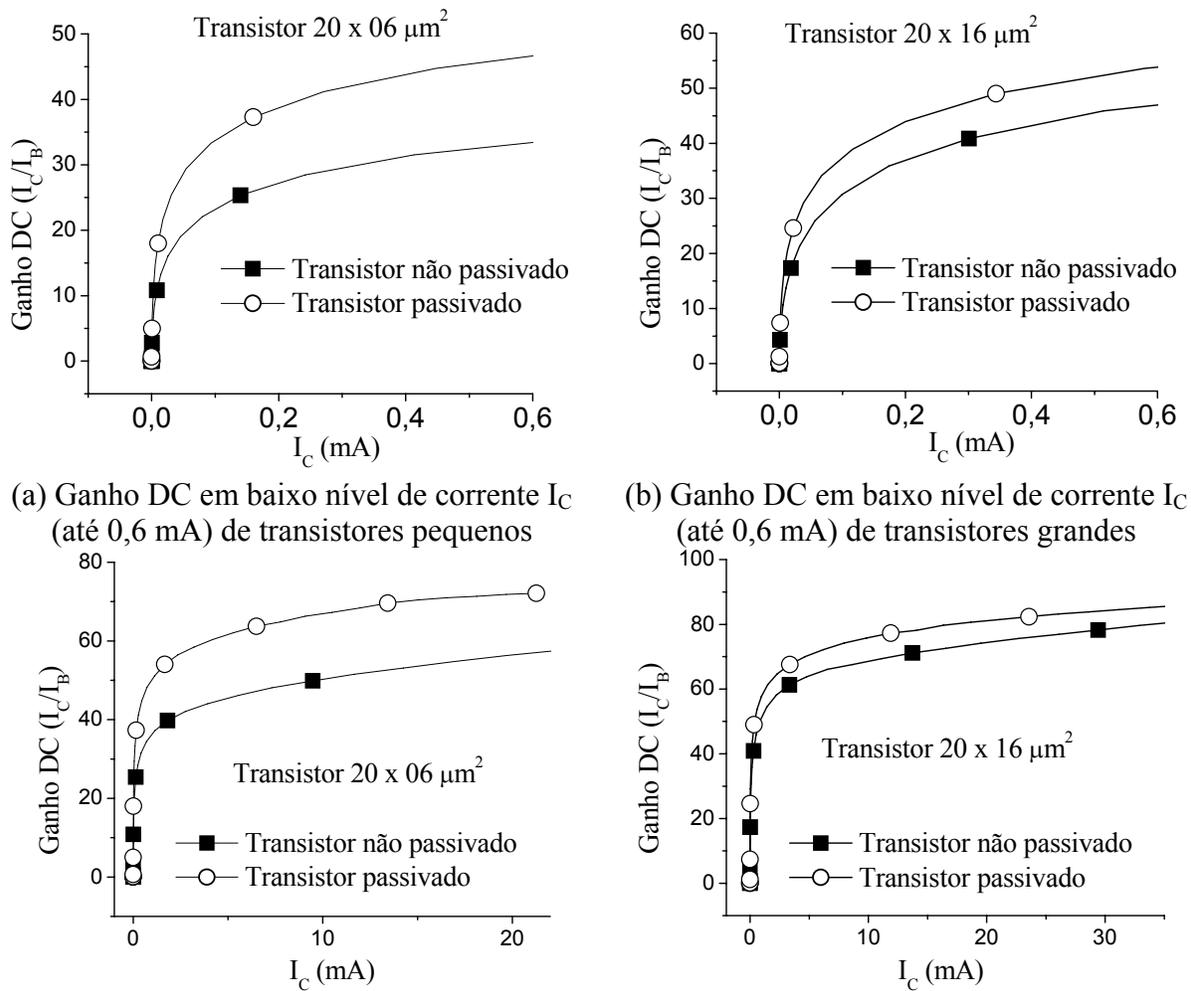


(b) Comparação entre os transistores passivados e não passivados (área grande)

**Figura 3.12 – Gummel-Plot dos transistores passivados e não passivados com áreas de emissor de: (a) 20 x 06  $\mu\text{m}^2$  e (b) 20 x 16  $\mu\text{m}^2$ .**

As figuras 3.13 apresentam os ganhos DC dos transistores HBT de InGaP/GaAs passivados e não passivados com áreas de emissor de 20 x 06  $\mu\text{m}^2$  e 20 x 16  $\mu\text{m}^2$ . Estes ganhos DC foram obtidos através da razão entre as correntes de coletor  $I_C$  e as correntes de base  $I_B$  obtidas através dos gráficos *Gummel-Plot* apresentados na figura 3.12 (detalhes no anexo C). As figuras 3.13(a) e 3.13(b) apresentam os ganhos DC para mais baixo nível de corrente de coletor  $I_C$  até 0,6 mA dos transistores pequenos e grandes, respectivamente. As figuras 3.13(c) e 3.13(d) apresentam os ganhos DC para nível mais alto de corrente de coletor  $I_C$  até 20 mA para os transistores pequenos e  $I_C$  até 30 mA para os transistores grandes. Em todas as curvas, observa-se que os dispositivos passivados apresentam maior

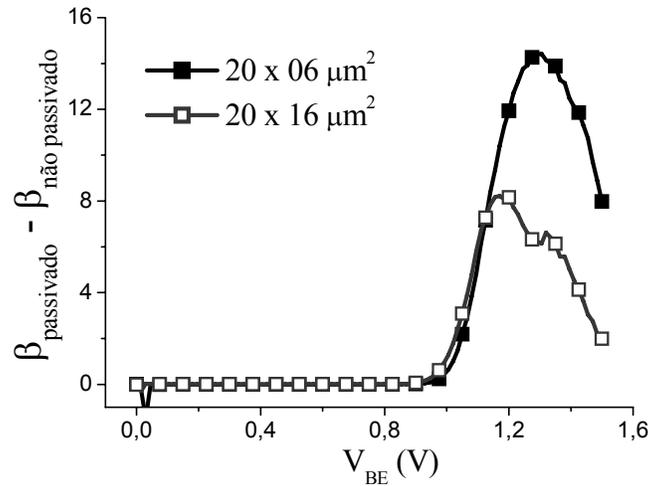
ganho do que os não passivados tanto para regime de baixa quanto para de alta corrente de coletor. Para salientar estes resultados foram traçadas as curvas da figura 3.14, que mostram a diferença entre os ganhos DC dos transistores passivados ( $\beta_{\text{passivado}}$ ) e não passivados ( $\beta_{\text{n\~{a}o passivado}}$ ) em função da tensão  $V_{BE}$  e que foram extraídas das curvas das figuras 3.12(c) e 3.12(d), indicam que os transistores passivados possuem um maior ganho em relação aos transistores não passivados. Além disso, pode-se observar que as diferenças máximas entre ganhos são de, aproximadamente, 14 e 8 para transistores pequenos e grandes, respectivamente, indicando que o processo de passivação apresenta maior influência positiva para transistores menores do que para os maiores. Este resultado está de acordo com o obtido para a tensão de *Early*, apresentado anteriormente. Desta forma, pode-se concluir que a passivação é um benefício para os transistores HBT. Nos dispositivos não passivados, as densidades de estados na superfície são rotas de fuga para os portadores que são injetados no emissor. Tais portadores se recombinam com essas densidades de estados sem contribuírem para a corrente de coletor [3.5].



(a) Ganho DC em baixo nível de corrente  $I_C$  (até 0,6 mA) de transistores pequenos (b) Ganho DC em baixo nível de corrente  $I_C$  (até 0,6 mA) de transistores grandes

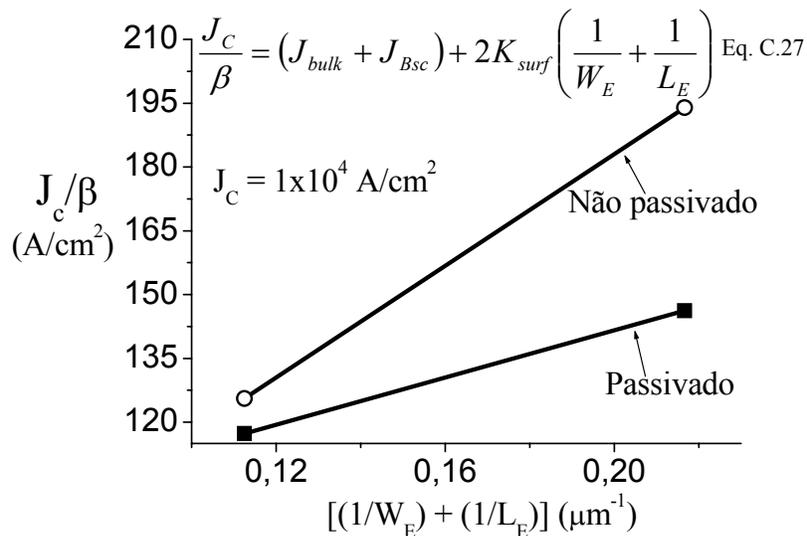
(c) Ganho DC em função da corrente  $I_C$  (até 20 mA) de transistores pequenos (d) Ganho DC em função da corrente  $I_C$  (até 30 mA) de transistores grandes

**Figura 3.13 – Comparação do ganho DC dos transistores passivados e não passivados para níveis baixo e alto de corrente  $I_C$ . (a) e (c) 20 x 06  $\mu\text{m}^2$  e (b) e (d) 20 x 16  $\mu\text{m}^2$ .**



**Figura 3.14 – Curvas das diferenças entre os ganhos DC dos transistores passivados ( $\beta_{\text{passivado}}$ ) e não passivados ( $\beta_{\text{não passivado}}$ ) em função da tensão  $V_{BE}$ .**

Outra análise feita para se verificar a eficácia da passivação na redução da densidade de estados foi através da análise da corrente de base, descrita pela equação (C.27) e que é apresentada no anexo C e na figura 3.15. Esta equação considera a corrente de recombinação na região entre base e emissor, a corrente de recombinação no substrato, a corrente de injeção das lacunas da base para o emissor, e a corrente de recombinação na superfície, sendo essa última afetada diretamente pela passivação. A figura 3.15 apresenta o gráfico de  $J_C/\beta$  por  $(1/W_E + 1/L_E)$  para uma densidade de corrente de coletor,  $J_C$ , de, aproximadamente,  $1 \cdot 10^4 \text{ A/cm}^2$  [3.28, 3.7]. A figura 3.15 indica que a passivação com filme de nitreto de silício causa uma diminuição na inclinação da reta, indicando que  $K_{surf}$  tem um valor menor para os transistores passivados. Então, conclui-se que a corrente de recombinação na superfície é significativamente reduzida pelo nosso processo de passivação utilizando filme de nitreto de silício. Esses valores obtidos são coerentes com os resultados discutidos acima e com a literatura [3.28, 3.7].



**Figura 3.15 – Variação de  $J_C/\beta$  com  $(1/W_E + 1/L_E)$  para os transistores HBT passivados e não passivados. A densidade de corrente de coletor foi de  $1 \cdot 10^4 \text{ A/cm}^2$ .**

### 3.4.2 MEDIDAS RF DOS TRANSISTORES HBT

As medidas em alta frequência (maior que 45 MHz) foram feitas em um analisador de parâmetros de rede. A figura 3.16 mostra o esquema, simplificado, do sistema HP8510 para a realização desse tipo de medida bem como as ligações para o dispositivo.

Antes de iniciar as medidas em alta frequência, alguns parâmetros devem ser determinados tais como: ponto de polarização dos transistores, faixa de medida da frequência e nível de potência nas portas de entrada e saída. Além disso, a calibração do sistema deve ser executada para que as indutâncias e capacitâncias parasitárias dos equipamentos e dos cabos que fazem a ligação não influenciem nas medidas dos transistores. Os parâmetros utilizados para as medidas foram:

- Potência das portas: Fonte (*Source*) 1: -9,0 dBm e Fonte (*Source*) 2: -9,0 dBm;
- Variação de frequência: 45,0 MHz a 30,0 GHz (401 pontos);
- Polarizações  $V_{CE}$  e  $I_B$  variáveis;
- *Port 1* do equipamento ligada à base do HBT;
- *Port 2* do equipamento ligada ao subcoletor do HBT;
- Saída 1 da fonte DC ligada a ponteira que está conectada à base;
- Saída 2 da fonte DC ligada a ponteira que está conectada ao subcoletor;
- Calibração do sistema utilizada: LRM (*Load, Reflection, Matching*) [3.29, 3.30];

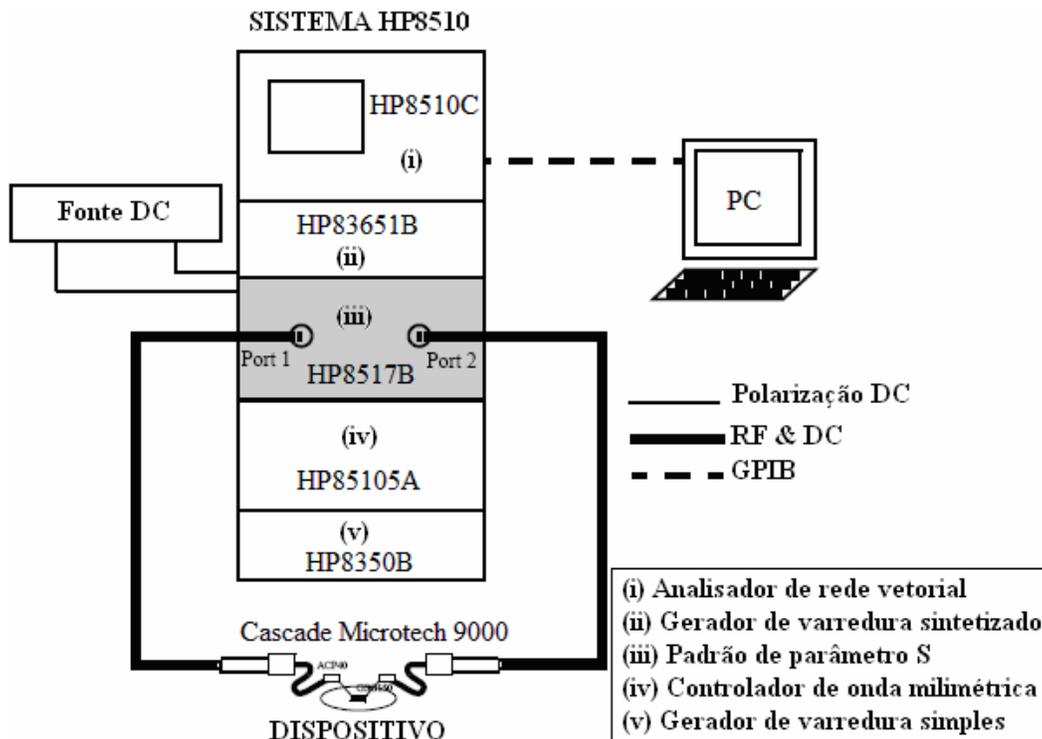
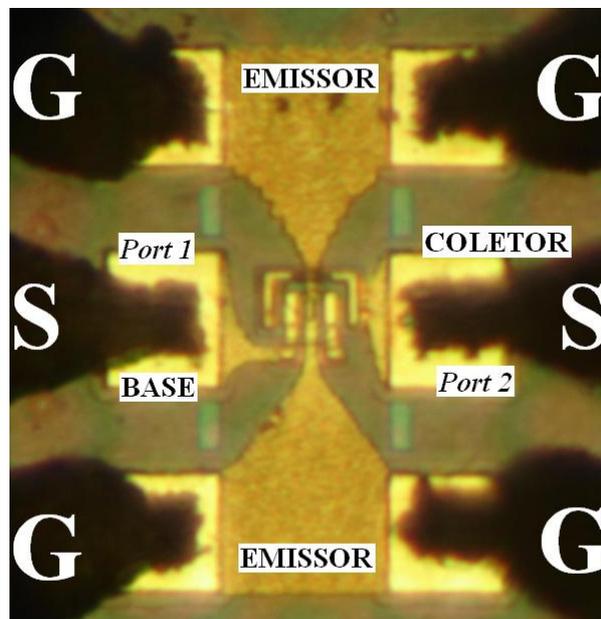


Figura 3.16 – Esquema, simplificado, do sistema HP8510.

As pontas de prova (figura 3.17) utilizadas para as medidas em alta frequência usando o sistema HP8510, assim como os *pads* nos dispositivos, possuem um padrão especial que deve ser do tipo GSG (*ground, signal, ground*). Assim, cada ponta de prova

tem três terminais do tipo GSG. Usamos duas pontas de prova. Uma das pontas é conectada entre a base (que é a entrada do sinal – terminal *signal*, também denominado de *Port 1*) e o emissor (sendo que os dois terminais *ground* estão conectados ao emissor). A outra ponta de prova é conectada entre o coletor (que é a saída do sinal – terminal *signal*, também denominado de *Port 2*) e o emissor (sendo que os dois terminais *ground* estão conectados ao emissor). A figura 3.17 apresenta uma fotografia de um transistor HBT de InGaP/GaAs com área de emissor de  $20 \times 06 \mu\text{m}^2$  conectado a uma ponta de prova do tipo GSG como descrito anteriormente. As pontas de prova também podem ser utilizadas para polarizar o transistor com tensões DC, pois elas possuem um circuito que separa o sinal de alta frequência do sinal de polarização DC (este tipo de circuito, utilizado para separar os sinais de alta frequência do sinal DC, é denominado *bias T*). Para acessar os transistores através das pontas de prova, os *pads* dos transistores devem respeitar os diâmetros de cada terminal e as distâncias entre os terminais GSG de cada ponta de prova, que são alinhados entre si. No caso das ponteiras utilizadas neste trabalho, estes terminais apresentam diâmetros de  $40 \mu\text{m}$ , com distanciamento entre seus centros de  $150 \mu\text{m}$ . Assim, os *pads* para medidas de RF (para ser conectados em pontas de prova GSG) devem ter entre  $50$  e  $80 \mu\text{m}$  de lado, com distanciamento entre os seus respectivos centros de  $150 \mu\text{m}$ . Maiores detalhes podem ser encontrados em [3.31, 3.32].



**Figura 3.17 – Fotografia ilustrando a ligação de um transistor HBT de InGaP/GaAs com área de emissor de  $20 \times 06 \mu\text{m}^2$  através de uma ponta de prova do tipo GSG.**

Após a verificação da calibração do sistema HP8510 (conferência dos pontos de curto, carga e aberto), as curvas em alta frequência dos transistores são obtidas. O analisador de parâmetros de rede HP8510C, utilizado para as medidas, fornece os valores dos parâmetros de rede S (também conhecidos como parâmetros de espalhamento) [3.1], para uma determinada faixa de frequência (utilizada aqui de  $45 \text{ MHz}$  a  $30 \text{ GHz}$ ). Os parâmetros S fornecidos pelo analisador de parâmetros de rede podem ser, no máximo, quatro, e são definidos da seguinte maneira (maiores detalhes sobre os parâmetros S podem ser encontrados na literatura como, por exemplo, em [3.1]):

- $S_{11}$ : é o coeficiente de reflexão na entrada com a saída casada;
- $S_{21}$ : é o coeficiente de transmissão direta com a saída casada;
- $S_{12}$ : é o coeficiente de transmissão reverso com a entrada casada;
- $S_{22}$ : é o coeficiente de reflexão na saída com a entrada casada.

Uma entrada e/ou saída é definida como casada quando não há reflexão de potência, isto é, toda potência fornecida é transferida [3.1]. Após a obtenção destes parâmetros de rede S, as figuras de mérito dos transistores HBT são obtidas (detalhes no anexo C). As medidas de alta frequência (de 45 MHz até 30 GHz) são apresentadas nas tabelas 3.3 e 3.4 e nas figuras de 3.18 a 3.21. Estas tabelas apresentam seis pontos distintos de polarização DC, denominados G1, G2, G3, G4, G5 e G6, que são mostrados nas curvas  $I_C \times V_{CE}$  das figuras 3.11. Para cada ponto têm-se valores de  $V_{CE}$ ,  $I_C$ ,  $V_{BE}$  e  $I_B$  diferentes. Para o ponto de polarização G1, utilizou-se  $V_{CE} \approx V_{BE} \approx 1,30$  V e  $I_B = 130$   $\mu$ A, sendo medido os valores de  $I_C$ . Em qualquer transistor bipolar  $V_{CE} = V_{BE} + V_{CB}$ . Assim, nesta polarização  $V_{CB} \approx 0$  V, similar à polarização utilizada para a obtenção das curvas *Gummel-Plot*. Para os pontos G2, G3 e G5, foram fixados os valores de  $V_{BE} \approx 1,30$  V e  $I_B = 130$   $\mu$ A, sendo medido os valores de  $I_C$ , variando-se os valores de  $V_{CE}$  de 1,50 V, 2,00 V e 2,50 V, respectivamente. Nestes casos,  $V_{CB}$  é maior que 0 V, estando os transistores na região ativa. Para os pontos G4 e G6, foram fixados os valores de  $V_{CE} = 2,50$  V, sendo medido os valores de  $I_C$  e  $V_{BE}$ , variando-se os valores de  $I_B$  de 70  $\mu$ A e 300  $\mu$ A, respectivamente. Novamente, nestes casos,  $V_{CB}$  é maior que 0 V, estando os transistores na região ativa. As tabelas 3.3 e 3.4 também apresentam os parâmetros (extraídos das figuras de 3.18 a 3.21) de ganhos U e  $H_{21}$  (medidos para frequência de 45MHz), e de frequências  $F_T$  e  $F_{MAX}$  para os transistores HBT com áreas de emissor de 20 x 06  $\mu$ m<sup>2</sup> e 20 x 16  $\mu$ m<sup>2</sup>, respectivamente. Estes parâmetros serão definidos a seguir. Os valores de U e  $|H_{21}|^2$  em função da frequência (de 45 MHz até 30 GHz) são extraídos dos parâmetros S medidos para os pontos de polarização DC já apresentados. As curvas de resposta em frequência de U e  $|H_{21}|^2$  são apresentadas nas figuras de 3.18 a 3.21. Define-se U como sendo o ganho de potência unilateral (este ganho também é conhecido como U de *Mason*). Esta potência pode ser obtida através dos parâmetros S e do fator de estabilidade do transistor, k [3.33]. Para o cálculo do ganho unilateral supõe-se que as duas portas de entrada e saída estão devidamente casadas, isto é, não há reflexão de energia para o gerador e também da carga [3.34]. Com estas considerações obtêm-se a máxima transferência de potência. Além disso, o quadripólo é considerado unilateral quando o ganho reverso de tensão,  $S_{12}$ , é muito próximo de zero, o que em geral é verdade para este tipo de transistor [3.35]. O cálculo de U pode ser feito através da equação 3.1 que é definida como [3.33]:

$$U = \frac{\frac{1}{2} \cdot \left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{k \cdot \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left( \frac{S_{21}}{S_{12}} \right)} \quad (3.1)$$

onde:

$S_{21}$  e  $S_{12}$  são os coeficientes de transmissão direta e reversa, respectivamente, já definidos anteriormente;

$k$  é o fator de estabilidade do transistor.

$H_{21}$ , que é um parâmetro híbrido, é definido como o ganho de corrente (em configuração emissor comum) do sistema com o acesso de saída curto circuitado [3.1]. Conhecendo-se os valores da matriz de parâmetros  $S$ , pode-se calcular  $H_{21}$  como [3.1]:

$$H_{21} = \frac{-2 \cdot S_{21}}{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}} \quad (3.2)$$

onde:

$S_{11}$ ,  $S_{21}$ ,  $S_{12}$  e  $S_{22}$  são, respectivamente, os coeficientes de reflexão na entrada, de transmissão direta, de transmissão reversa e reflexão na saída, definidos anteriormente.

Com as curvas de  $U$  e de  $|H_{21}|^2$  pode-se obter, respectivamente, os valores de  $F_{MAX}$  e  $F_T$  (detalhes no anexo C).  $F_{MAX}$  e  $F_T$  são definidas como sendo as frequências correspondentes aos ganhos unitários (ou 0 dB), tanto para o ganho de potência unilateral,  $U$  [3.34, 3.36, 3.37], que é apresentado na equação 3.1, quanto para o ganho de corrente  $H_{21}$  [3.1], que é apresentado na equação 3.2, respectivamente. Nas curvas de resposta em frequência de  $U$  e  $|H_{21}|^2$ , como as apresentadas nas figuras de 3.18 a 3.21 identifica-se uma queda de ganho que pode ser aproximada por uma reta (assíntota) com inclinação de -20 dB/década de frequência. As frequências  $F_{MAX}$  e  $F_T$  são obtidas, respectivamente, da intersecção da extrapolação destas retas com os pontos  $U = 0$  dB e  $|H_{21}|^2 = 0$  dB.

As tabelas 3.3 e 3.4 e figuras 3.18 a 3.21 mostram que os valores de  $U$ ,  $|H_{21}|^2$ ,  $F_T$  e  $F_{MAX}$  entre 33 dB e 37 dB, entre 35 dB e 39 dB, entre 8,50 GHz e 19,50 GHz, e entre 5 GHz e 10,50 GHz, respectivamente, dos transistores passivados são maiores do que os valores entre 27 dB e 30,50 dB, entre 32 dB e 37 dB, entre 6,50 GHz e 18 GHz, e entre 3,40 GHz e 8,60 GHz, dos transistores não passivados para os pontos de polarização e a faixa de frequência utilizados. Valores maiores indicam melhor desempenho, que ocorre tanto para transistores com áreas de emissor de  $20 \times 06 \mu\text{m}^2$ , quanto para os de áreas  $20 \times 16 \mu\text{m}^2$ . Isto ocorreu, pois todos os valores de  $I_C$  medidos dos transistores passivados são maiores do que os não passivados, independente, das polarizações. Maiores valores de  $I_C$  resultam em maiores valores de ganhos de corrente DC (figuras 3.13 e 3.14), de corrente AC,  $|H_{21}|^2$  (figuras 3.18 e 3.20), e de potência  $U$  (figuras 3.19 e 3.21). Portanto, os resultados tanto em DC, quanto em AC, estão coerentes, confirmando que a passivação é eficaz. Pode-se salientar que:

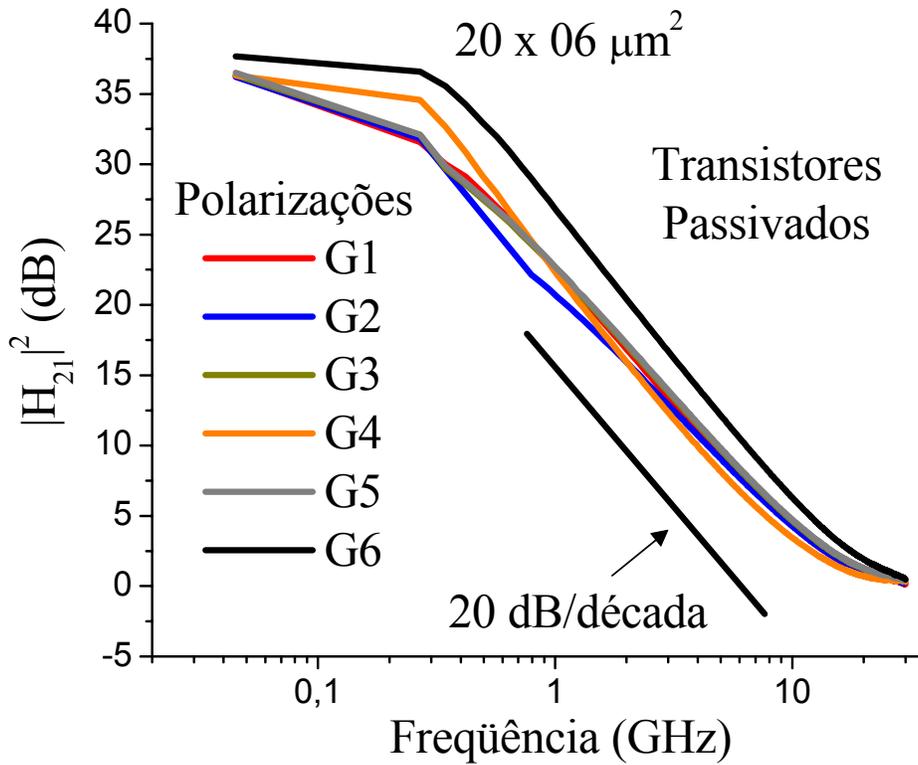
- Para as polarizações G2, G3 e G5 (tabelas 3.3 e 3.4, e figuras 3.11), em que são mantidos fixos os valores de  $I_B$ , variando-se as tensões  $V_{CE}$ , os valores de  $I_C$  medidos durante as medidas em frequência são praticamente constantes, em torno de 8,70 mA e 9,90 mA para transistores passivados, e em torno de 6,20 mA e 6,40 mA para transistores não-passivados, tendo os transistores HBT áreas de emissor de  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$ , respectivamente. Como os valores de  $I_C$  são praticamente constantes, os valores de  $U$ ,  $|H_{21}|^2$ ,  $F_T$  e  $F_{MAX}$  são similares com a variação de  $V_{CE}$ ;

**Tabela 3.3 – Valores extraídos das medidas em alta frequência para os transistores com área de emissor de  $20 \times 06 \mu\text{m}^2$ . [P]: transistor passivado e [NP]: transistor não passivado.**

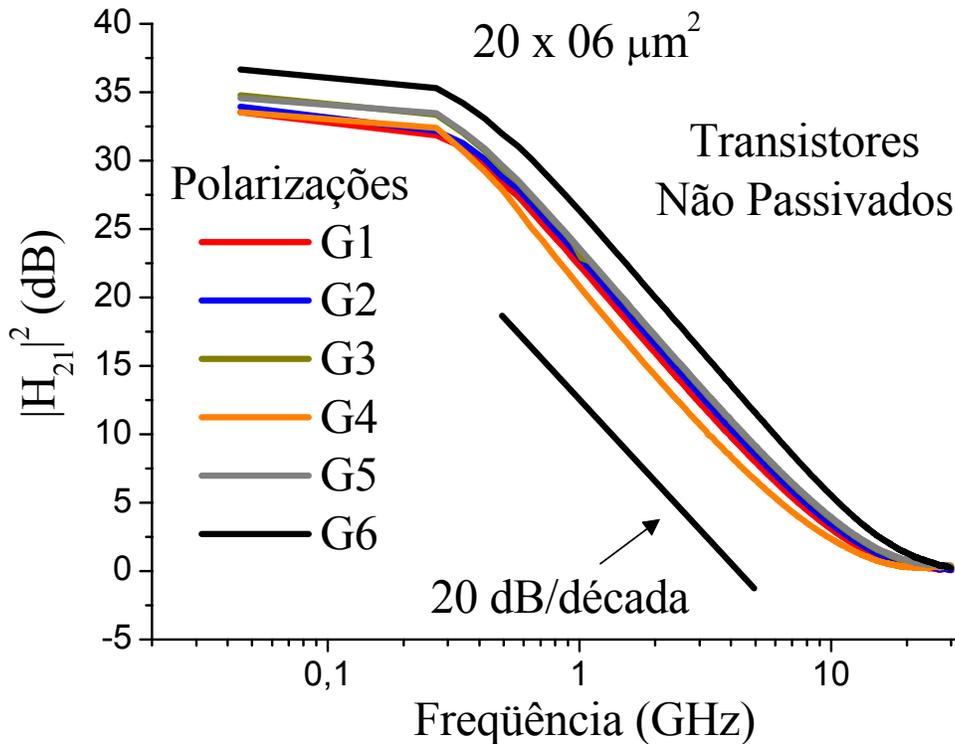
	Polarização DC							U (dB) 45 MHz		$ H_{21} ^2$ (dB) 45 MHz		$F_T$ (GHz)		$F_{MAX}$ (GHz)	
	$V_{CE}$ (V)		$I_C$ (mA)		$V_{BE}$ (V)		$I_B$ ( $\mu\text{A}$ )	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P]	[NP]
	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P] e [NP]								
G1	1,33	1,30	8,53	5,35	1,33	1,30	130	37,71	30,47	36,27	33,54	14,57	11,64	7,43	5,80
G2	1,50	1,50	8,75	5,98	1,33	1,30	130	35,25	28,66	36,22	33,93	14,91	12,39	9,90	6,28
G3	2,00	2,00	8,75	6,40	1,33	1,31	130	37,28	28,19	36,34	34,76	15,23	13,33	10,09	6,89
G4	2,50	2,50	4,80	3,15	1,30	1,28	70	36,67	30,07	36,31	33,54	11,91	9,52	8,39	6,19
G5	2,50	2,50	8,76	6,25	1,32	1,30	130	35,84	29,02	36,51	34,56	14,91	13,02	10,48	7,46
G6	2,50	2,50	22,30	17,30	1,38	1,34	300	34,34	28,35	37,68	36,66	19,50	17,81	10,54	8,64

**Tabela 3.4 – Valores extraídos das medidas em alta frequência para os transistores com área de emissor de  $20 \times 16 \mu\text{m}^2$ . [P]: transistor passivado e [NP]: transistor não passivado.**

	Polarização DC							U (dB) 45 MHz		$ H_{21} ^2$ (dB) 45 MHz		$F_T$ (GHz)		$F_{MAX}$ (GHz)	
	$V_{CE}$ (V)		$I_C$ (mA)		$V_{BE}$ (V)		$I_B$ ( $\mu\text{A}$ )	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P]	[NP]
	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P] e [NP]								
G1	1,30	1,29	9,80	5,80	1,30	1,29	135	34,12	27,48	36,73	31,78	11,57	9,22	5,16	3,50
G2	1,50	1,50	10,00	5,95	1,30	1,29	130	33,78	26,91	35,19	34,01	12,06	9,32	5,74	3,71
G3	2,00	2,00	9,89	6,80	1,30	1,29	130	35,45	27,50	36,52	34,86	11,94	10,31	6,27	4,21
G4	2,50	2,50	5,07	3,05	1,27	1,26	70	34,45	28,47	37,26	33,43	8,46	6,51	5,21	3,44
G5	2,50	2,50	9,75	6,60	1,30	1,29	130	35,58	27,47	37,08	34,98	12,24	10,17	6,57	4,44
G6	2,50	2,50	24,60	19,30	1,34	1,33	295	34,02	27,83	38,55	36,88	16,57	15,52	7,55	5,65

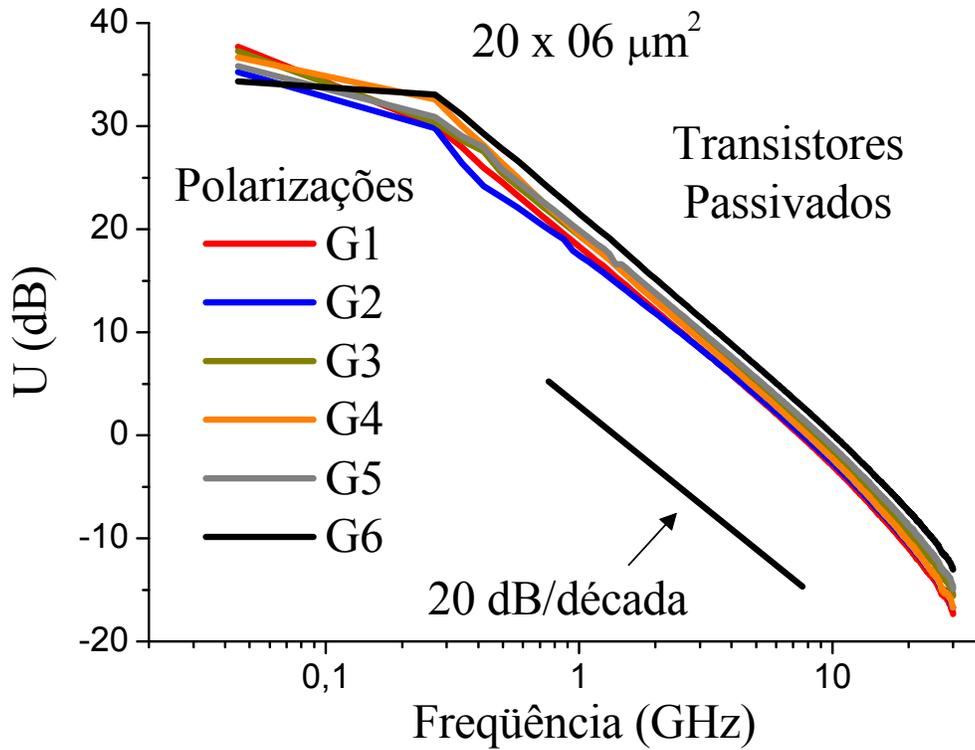


(a)  $|H_{21}|^2$  de um transistor  $20 \times 06 \mu\text{m}^2$  passivado com várias polarizações

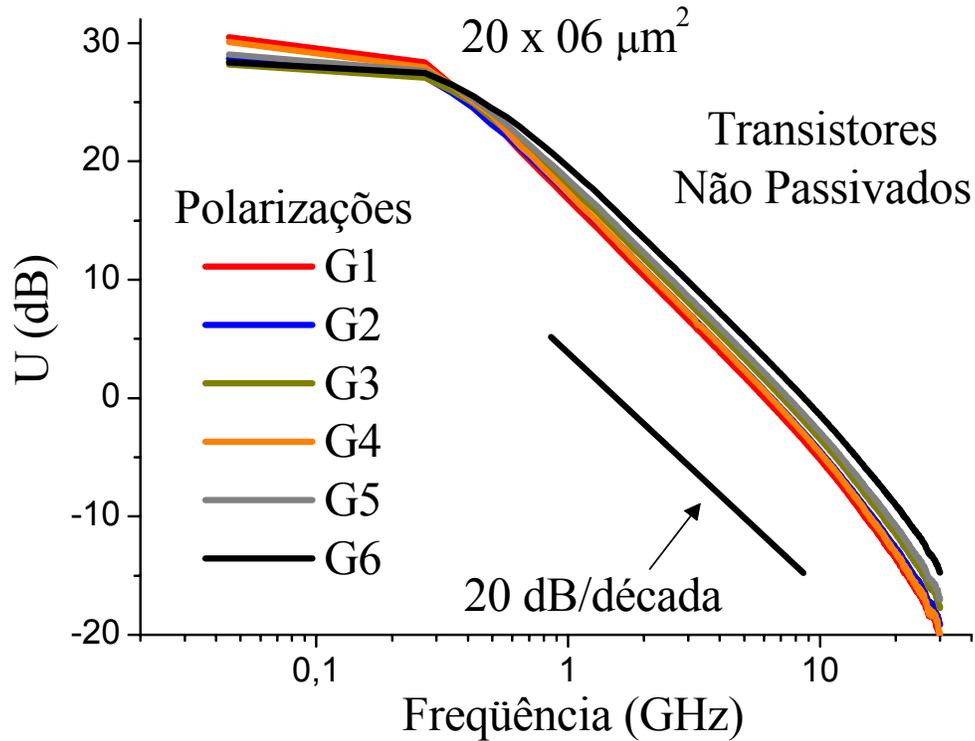


(b)  $|H_{21}|^2$  de um transistor  $20 \times 06 \mu\text{m}^2$  não passivado com várias polarizações

**Figura 3.18 – Gráficos  $|H_{21}|^2$ , em dB, dos transistores passivados (a) e não passivados (b) com área de emissor de  $20 \times 06 \mu\text{m}^2$  em função da frequência (de 45 MHz a 30 GHz). As polarizações utilizadas encontram-se na tabela 3.3.**



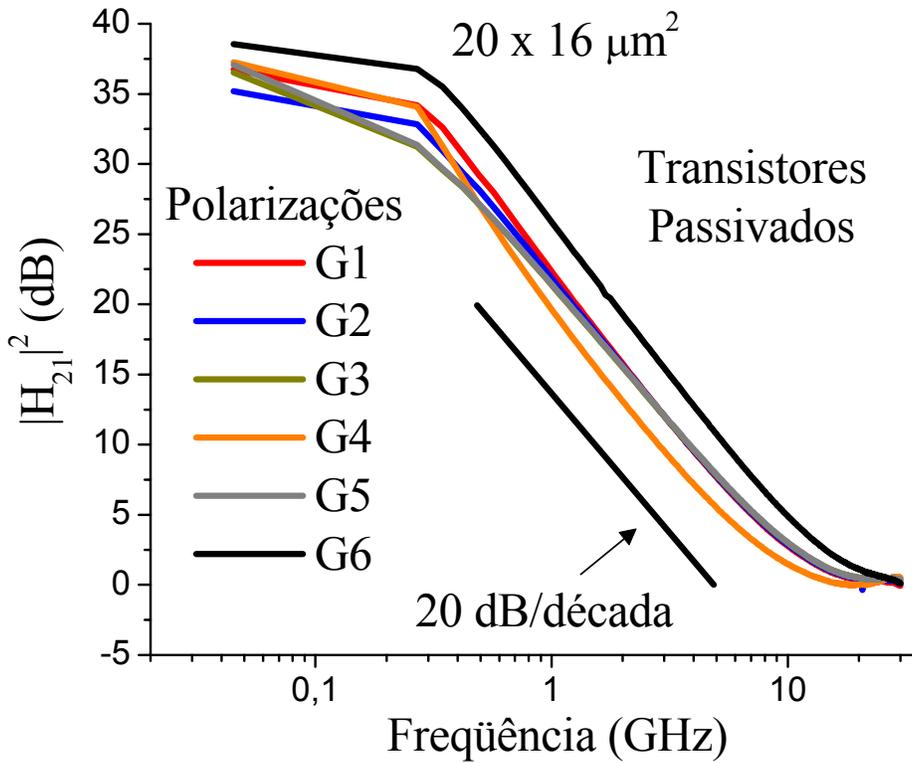
(a) U de um transistor 20 x 06  $\mu\text{m}^2$  passivado com várias polarizações



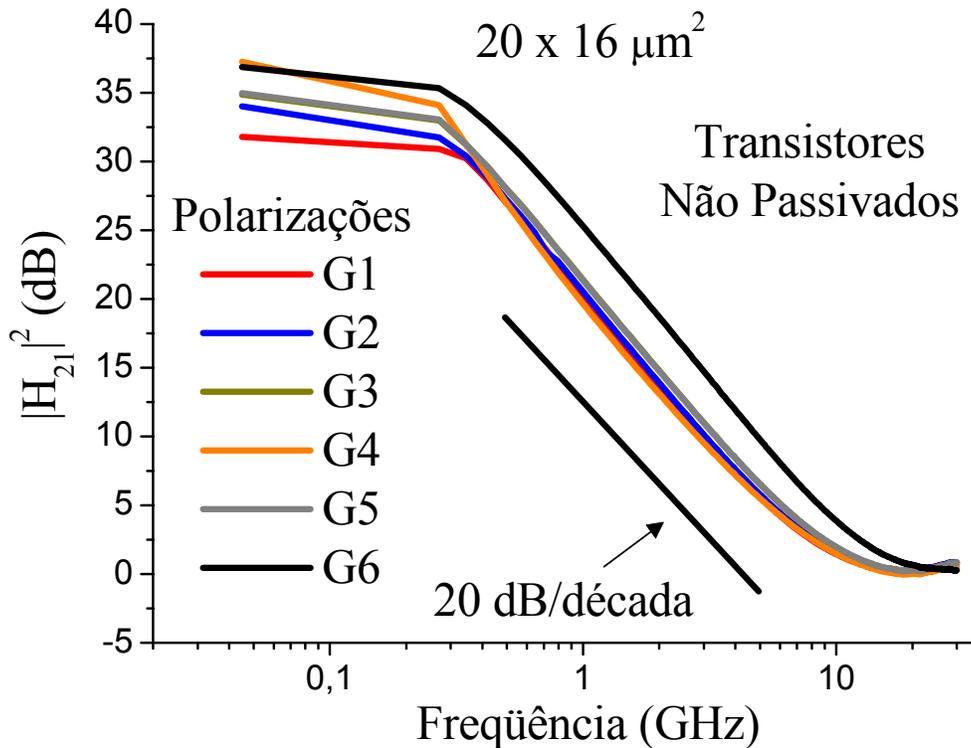
(b) U de um transistor 20 x 06  $\mu\text{m}^2$  não passivado com várias polarizações

**Figura 3.19 – Gráficos U, em dB, dos transistores passivados (a) e não passivados (b) com área de emissor de 20 x 06  $\mu\text{m}^2$  em função da frequência (de 45 MHz a 30 GHz).**

As polarizações utilizadas encontram-se na tabela 3.3.

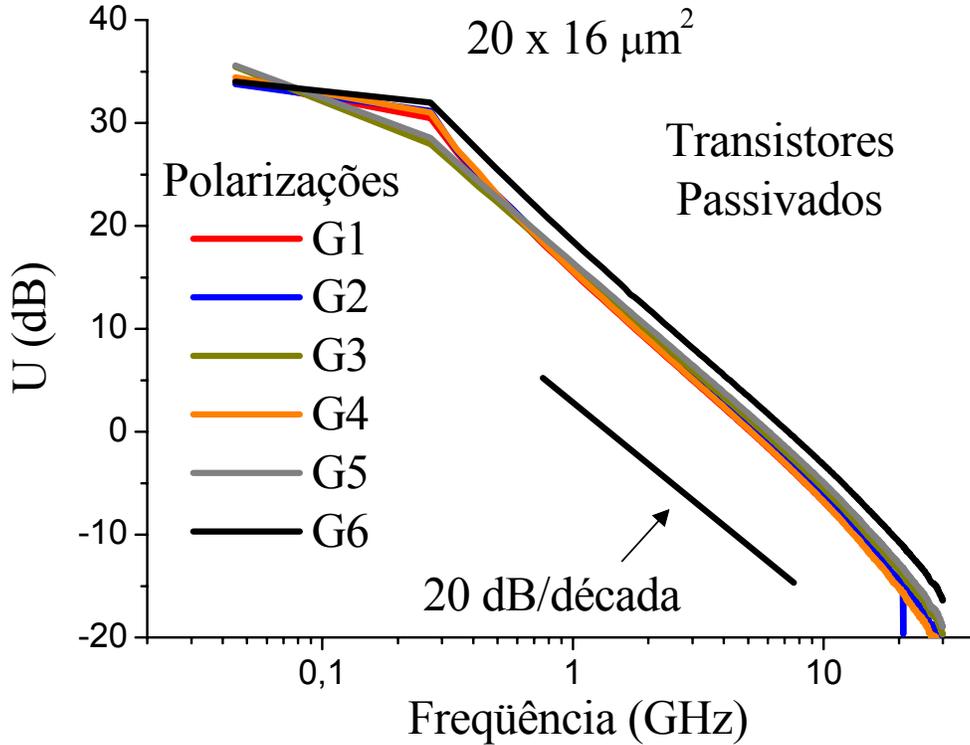


(a)  $|H_{21}|^2$  de um transistor  $20 \times 16 \mu\text{m}^2$  passivado com várias polarizações

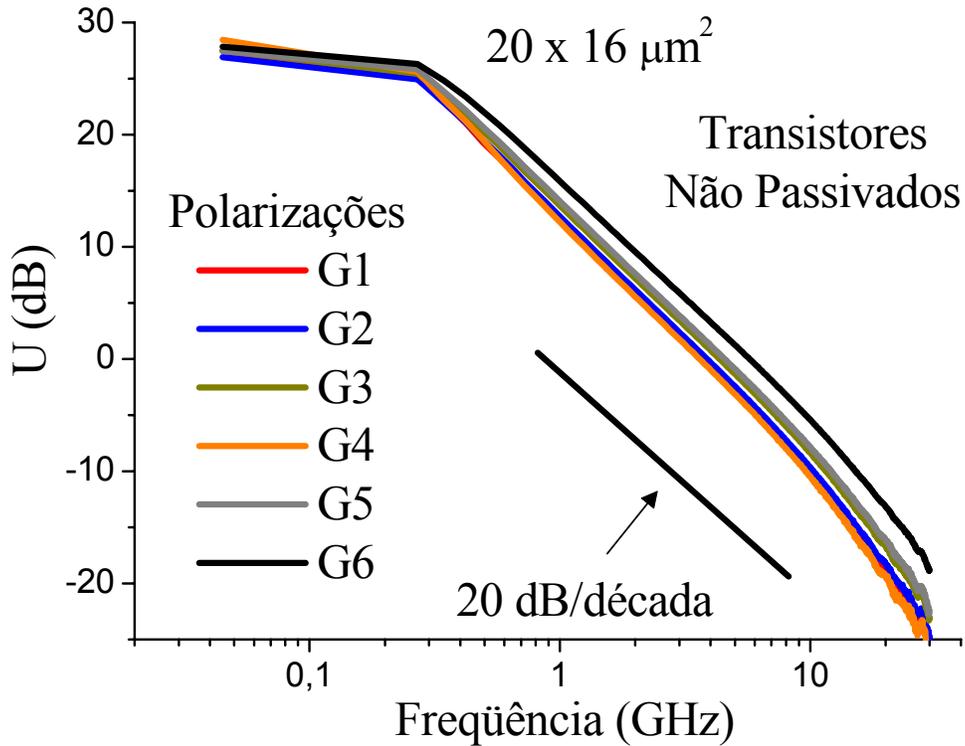


(b)  $|H_{21}|^2$  de um transistor  $20 \times 16 \mu\text{m}^2$  não passivado com várias polarizações

**Figura 3.20 – Gráficos  $|H_{21}|^2$ , em dB, dos transistores passivados (a) e não passivados (b) com área de emissor de  $20 \times 16 \mu\text{m}^2$  em função da frequência (de 45 MHz a 30 GHz). As polarizações utilizadas encontram-se na tabela 3.4.**



(a) U de um transistor 20 x 16  $\mu\text{m}^2$  passivado com várias polarizações



(b) U de um transistor 20 x 16  $\mu\text{m}^2$  não passivado com várias polarizações

**Figura 3.21 – Gráficos U, em dB, dos transistores passivados (a) e não passivados (b) com área de emissor de 20 x 16  $\mu\text{m}^2$  em função da frequência (de 45 MHz a 30 GHz).**

As polarizações utilizadas encontram-se na tabela 3.4.

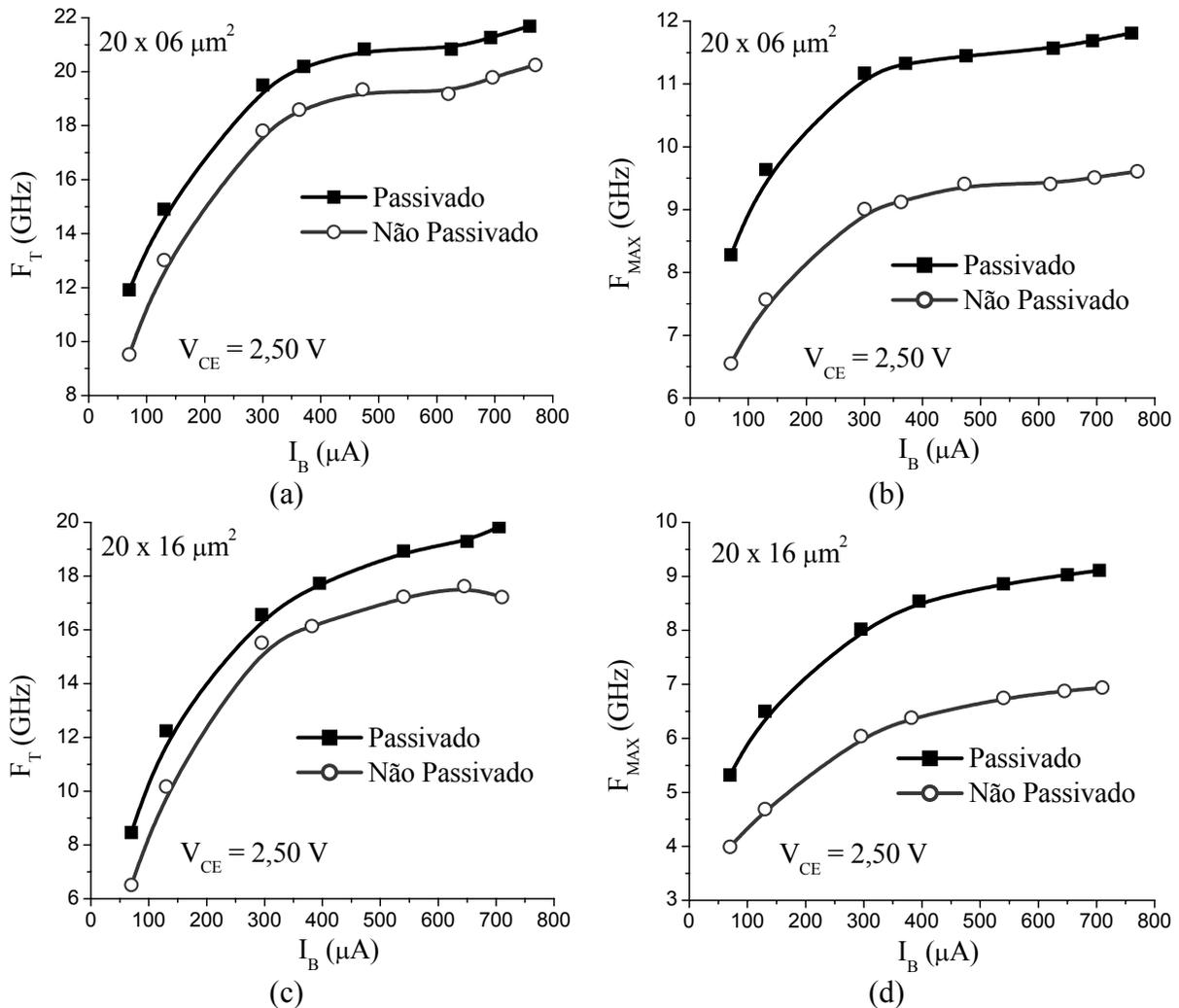
- Para a polarização G1 (tabela 3.3 e 3.4, e figuras 3.11), similar a utilizada nas curvas de *Gummel-Plot*, os valores de ganho AC,  $|H_{21}|^2$ , para frequência de 45 MHz, são maiores para os transistores passivados do que os não passivados, confirmando os resultados mostrados na tabela 3.2 e extraídos das figuras 3.12, 3.13 e 3.14. Consequentemente, os valores de  $U$ ,  $F_T$  e  $F_{MAX}$  também são maiores para os transistores passivados quando comparados ao não passivados;
- Para os pontos G4 e G6 (tabela 3.3 e 3.4, e figuras 3.11), foram fixados os valores de  $V_{CE} = 2,50$  V, sendo medido os valores de  $I_C$  e  $V_{BE}$ , variando-se os valores de  $I_B$  de 70  $\mu$ A e 300  $\mu$ A, respectivamente. Como os transistores passivados apresentaram maiores valores de  $I_C$ , consequentemente, obtêm-se maiores valores de  $U$ ,  $|H_{21}|^2$ ,  $F_T$  e  $F_{MAX}$ , como detalhado anteriormente.

**Tabela 3.5 – Polarizações DC utilizadas para determinação das frequências  $F_T$  e  $F_{MAX}$ , apresentadas na figura 3.22. [P] transistor passivado e [NP] transistor não passivado.**

		Polarização DC ( $V_{CE} = 2,50$ V)						$\beta_{DC}$		$F_T$ (GHz)		$F_{MAX}$ (GHz)	
		$I_C$ (mA)		$V_{BE}$ (V)		$I_B$ ( $\mu$ A)							
		[P]	[NP]	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P]	[NP]	[P]	[NP]
20 x 06 $\mu$ m <sup>2</sup>		4,8	3,15	1,30	1,28	70	70	68,57	45,00	11,91	9,52	8,28	6,55
		8,76	6,25	1,32	1,3	130	130	67,38	48,08	14,91	13,02	9,64	7,57
		22,3	17,3	1,38	1,34	300	300	74,33	57,67	19,5	17,81	11,17	9,01
		27,77	21,02	1,40	1,35	371	363	74,85	57,91	20,2	18,59	11,33	9,12
		36,1	28,29	1,43	1,37	475	472	76,00	59,94	20,84	19,34	11,45	9,41
		48,1	39,65	1,47	1,39	625	620	76,96	63,95	20,84	19,18	11,57	9,41
		53,4	45,2	1,49	1,39	693	696	77,06	64,94	21,27	19,79	11,69	9,51
		58,59	50,68	1,51	1,41	760	770	77,09	65,82	21,69	20,25	11,81	9,61
20 x 16 $\mu$ m <sup>2</sup>		5,07	3,05	1,27	1,26	70	70	72,43	43,57	8,46	6,51	5,32	3,99
		9,75	6,60	1,30	1,29	130	130	75,00	50,77	12,24	10,17	6,50	4,69
		24,60	19,30	1,34	1,33	295	295	83,34	65,42	16,57	15,52	8,02	6,04
		33,70	26,40	1,36	1,35	395	382	85,32	69,11	17,73	16,14	8,54	6,38
		46,80	39,15	1,38	1,38	540	540	86,67	72,50	18,93	17,23	8,86	6,75
		56,90	47,60	1,40	1,39	650	645	87,54	73,80	19,29	17,62	9,03	6,88
		61,75	52,52	1,41	1,40	705	710	87,59	73,97	19,84	17,22	9,11	6,94

Já a figura 3.22 apresenta o comportamento de  $F_T$  e  $F_{MAX}$  dos transistores passivados e não passivados com área de emissor de 20 x 06  $\mu$ m<sup>2</sup> e 20 x 16  $\mu$ m<sup>2</sup> em função da corrente de base  $I_B$ , que foi variada entre de 100  $\mu$ A e 800  $\mu$ A, sendo fixado o valor de  $V_{CE} = 2,50$  V, conforme mostrado na tabela 3.5, medindo-se os valores de  $I_C$  e  $V_{BE}$ . Todos os valores medidos de  $V_{BE}$  (tabela 3.5) são menores que  $V_{CE}$ , obtendo-se valores de  $V_{CB}$  maiores que zero, sendo os transistores polarizados na região ativa. As figuras 3.22(a) e 3.22(b) apresentam, respectivamente, o comportamento em relação à corrente de base de  $F_T$  e  $F_{MAX}$  dos transistores passivados e não passivados com área de emissor de 20 x 06  $\mu$ m<sup>2</sup> e

as figuras 3.22(c) e 3.22(d) apresentam, respectivamente, o comportamento de  $F_T$  e  $F_{MAX}$  dos transistores passivados e não passivados com área de emissor de  $20 \times 16 \mu\text{m}^2$ . Os gráficos da figura 3.22 mostram que tanto para os transistores com área de emissor de  $20 \times 06 \mu\text{m}^2$ , quanto para os transistores com área de emissor de  $20 \times 16 \mu\text{m}^2$ , o comportamento dos transistores passivados é melhor do que os transistores não passivados, pois as frequências  $F_T$  e  $F_{MAX}$  são maiores (obtendo-se picos de 22 GHz e 12 GHz para transistores pequenos (com área de emissor de  $20 \times 06 \mu\text{m}^2$ ) e picos de 20 GHz e 9 GHz para transistores grandes (com área de emissor de  $20 \times 16 \mu\text{m}^2$ ), respectivamente) para toda a faixa de corrente de base (de  $100 \mu\text{A}$  a  $800 \mu\text{A}$ ) utilizada para a medida. Isto ocorre, pois dos valores mostrados na tabela 3.5, identifica-se que, para similares polarizações, os valores de  $I_C$  são maiores para os transistores passivados do que os apresentados pelos transistores não-passivados, conseqüentemente, obtêm-se maiores valores de ganho de corrente DC ( $\beta_{DC}$ ) e de frequências  $F_T$  e  $F_{MAX}$ . Não foram usados valores de corrente de base maiores que  $800 \mu\text{A}$  para não romper os transistores.



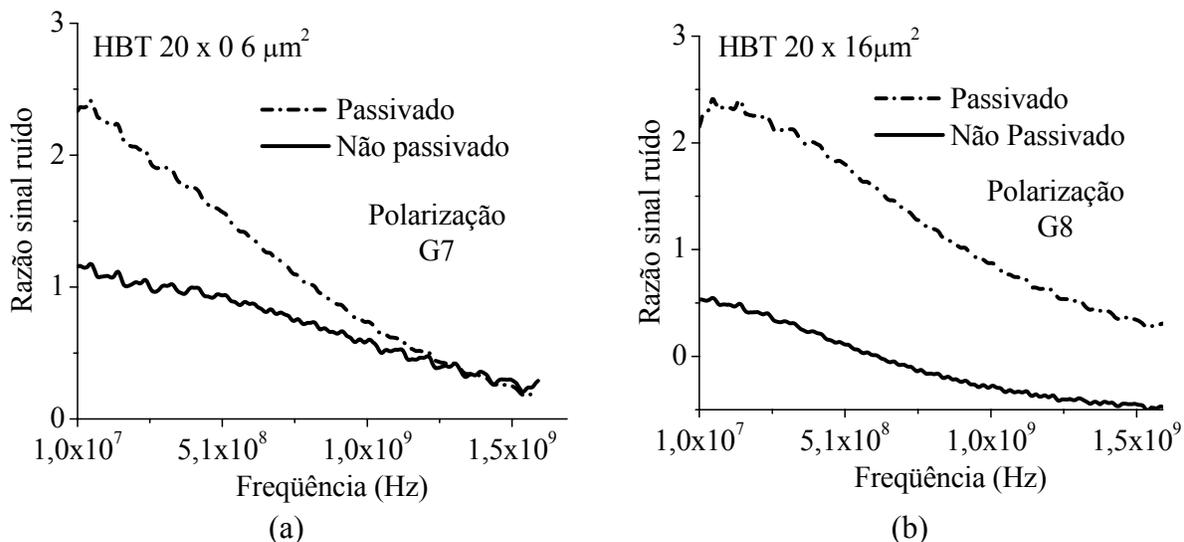
**Figura 3.22 – Gráficos de  $F_T$  e  $F_{MAX}$  dos transistores passivados e não passivados em função da corrente de base. Áreas de emissor dos transistores passivados e não passivados: (a) e (b)  $20 \times 06 \mu\text{m}^2$  e (c) e (d)  $20 \times 16 \mu\text{m}^2$ .**

Outra análise feita nestes transistores foi à análise do desempenho da razão entre sinal e ruído. Para esta análise, foi utilizado o medidor de figura de ruído HP8970B. Este equipamento fornece simultaneamente a medida do ganho de inserção, em dB, ( $S_{21}$ ) e a medida da figura de ruído (NF, *noise figure*) dos dispositivos medidos. Após a obtenção destes valores, calcula-se a razão entre estes dois valores (razão sinal/ruído). As polarizações utilizadas são apresentadas na tabela 3.6.

**Tabela 3.6 – Polarizações DC utilizadas para a medida da relação sinal ruído dos transistores HBT passivados e não passivados. [P] transistor passivado e [NP] transistor não passivado.**

Tamanho da área de emissor	Polarização DC					
	$V_{CE}$ (V)	$I_C$ (mA)		$V_{BE}$ (V)		$I_B$ ( $\mu A$ )
	[P] e [NP]	[P]	[NP]	[P]	[NP]	[P] e [NP]
G7 ( $20 \times 06 \mu m^2$ )	2,50	1,16	0,35	1,25	1,22	7
G8 ( $20 \times 16 \mu m^2$ )	2,50	0,81	0,28	1,22	1,20	11

A corrente dos transistores foi limitada devido ao alto ganho dos transistores e a limitação da potência de entrada do medidor de figura de ruído (12 dB de ganho máximo). Assim, foram utilizadas as polarizações mostradas da tabela 3.6, que utilizaram valores reduzidos de corrente de base,  $I_B$  de 7  $\mu A$  e 11  $\mu A$ , com o valor de  $V_{CE}$  fixo em 2,50 V, e medindo-se os valores de  $I_C$  e  $V_{BE}$ . Estas polarizações são denominadas G7 e G8, respectivamente, e foram usadas nos transistores com áreas de emissor de  $20 \times 06 \mu m^2$  e  $20 \times 16 \mu m^2$ . Os resultados da razão sinal ruído são apresentados na figura 3.23. As figuras 3.23(a) e 3.23(b) apresentam, respectivamente, a razão sinal ruído destes transistores para as polarizações G7 e G8 para uma faixa de frequência de 10 MHz a 1,6 GHz.



**Figura 3.23 – Comparação entre as medidas da razão sinal ruído dos transistores HBT passivados e não passivados com áreas de emissor de  $20 \times 06 \mu m^2$ , em (a), e  $20 \times 16 \mu m^2$ , em (b).**

Os resultados das figuras 3.23(a) e 3.23(b) mostram que os transistores passivados com áreas de emissor de  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$  apresentam uma razão sinal ruído maior do que os transistores não passivados, chegando, em 10 MHz, a uma diferença de, aproximadamente, duas e quatro vezes, respectivamente. Esta relação indica que o processo utilizado para a passivação da superfície melhora significativamente a relação sinal ruído, um fator muito importante em projetos de circuitos integrados. À medida que a frequência aumenta, esta diferença entre os valores de sinal ruído dos transistores passivados e não passivados reduz, tornando-se nula para os transistores menores, figura 3.23(a). Esta diminuição ocorre porque a corrente de recombinação superficial torna-se baixa à medida que se aumenta a frequência. Além disso, os efeitos parasitários de capacitâncias, indutâncias e resistências começam a influenciar mais no comportamento do dispositivo mudando os pontos de operação ótimos das impedâncias de entrada e saída [3.2].

Uma última análise feita nestes transistores é a análise de pequenos sinais (onde maiores detalhes são apresentados no anexo C). Como esta análise depende da polarização do transistor, escolheu-se extrair o modelo de pequenos sinais dos transistores passivados e não passivados com áreas de emissor de  $20 \times 06 \mu\text{m}^2$  e de  $20 \times 16 \mu\text{m}^2$  utilizando a polarização G6 apresentada nas tabelas 3.3 e 3.4. O modelo de pequenos sinais apresentado na figura C.16 é mostrado novamente na figura 3.24. O modelo apresentado na figura 3.24 pode ser dividido em duas regiões distintas, sendo uma região extrínseca e uma outra região intrínseca. A região extrínseca é formada basicamente pelos elementos parasitas e é associada aos *pads* do transistor (figura 3.17). A região intrínseca é a região formada somente pelo transistor, sem estes elementos parasitas, e que se encontra dentro do retângulo pontilhado desenhado na figura 3.24. Os valores destes parâmetros, extraídos para os transistores passivados e não passivados com áreas de emissor de  $20 \times 06 \mu\text{m}^2$  e de  $20 \times 16 \mu\text{m}^2$  para a polarização G6 (apresentada nas tabelas 3.3 e 3.4), são apresentados na tabela 3.7 (os valores apresentados nesta tabela foram otimizados utilizando o software *Advanced Design System*). A figura 3.25 apresenta a comparação entre os resultados medidos e obtidos com o modelo extraído da tabela 3.7. Dos parâmetros apresentados na figura 3.24 e seus valores apresentados na tabela 3.7 pode-se observar que:

- A região extrínseca, que é formada pelos elementos parasitas, apresenta variações apenas nas capacitâncias parasitas dos *pads*, onde os transistores passivados apresentam maiores valores de capacitância parasita do que seus correspondentes não passivados. Para os transistores com área de emissor de  $20 \times 06 \mu\text{m}^2$  a diferença, entre as capacitâncias parasitas entre base e coletor,  $C_{PBC}$ , base e emissor,  $C_{PBE}$  e coletor e emissor,  $C_{PCE}$ , dos transistores passivados e não passivados é de, aproximadamente, 4 pF. Para os transistores com área de emissor de  $20 \times 16 \mu\text{m}^2$  a diferença, entre as capacitâncias parasitas entre base e coletor,  $C_{PBC}$ , base e emissor,  $C_{PBE}$  e coletor e emissor,  $C_{PCE}$ , dos transistores passivados e não passivados é de, aproximadamente, 9 pF. Os demais elementos parasitas da região extrínseca (indutância da base,  $L_B$ , resistência da base,  $R_B$ , indutância do coletor,  $L_C$ , resistência do coletor,  $R_C$ , indutância do emissor,  $L_E$ , e resistência do emissor,  $R_E$ ) não apresentaram variações significativas. Este comportamento já era esperado e é devido ao processo de passivação, pois foi introduzido no processo de fabricação um material com constante dielétrica, em torno de 7, o que contribui para o aumento das capacitâncias. No processo de fabricação dos transistores não passivados têm-se somente o BCB, cuja constante

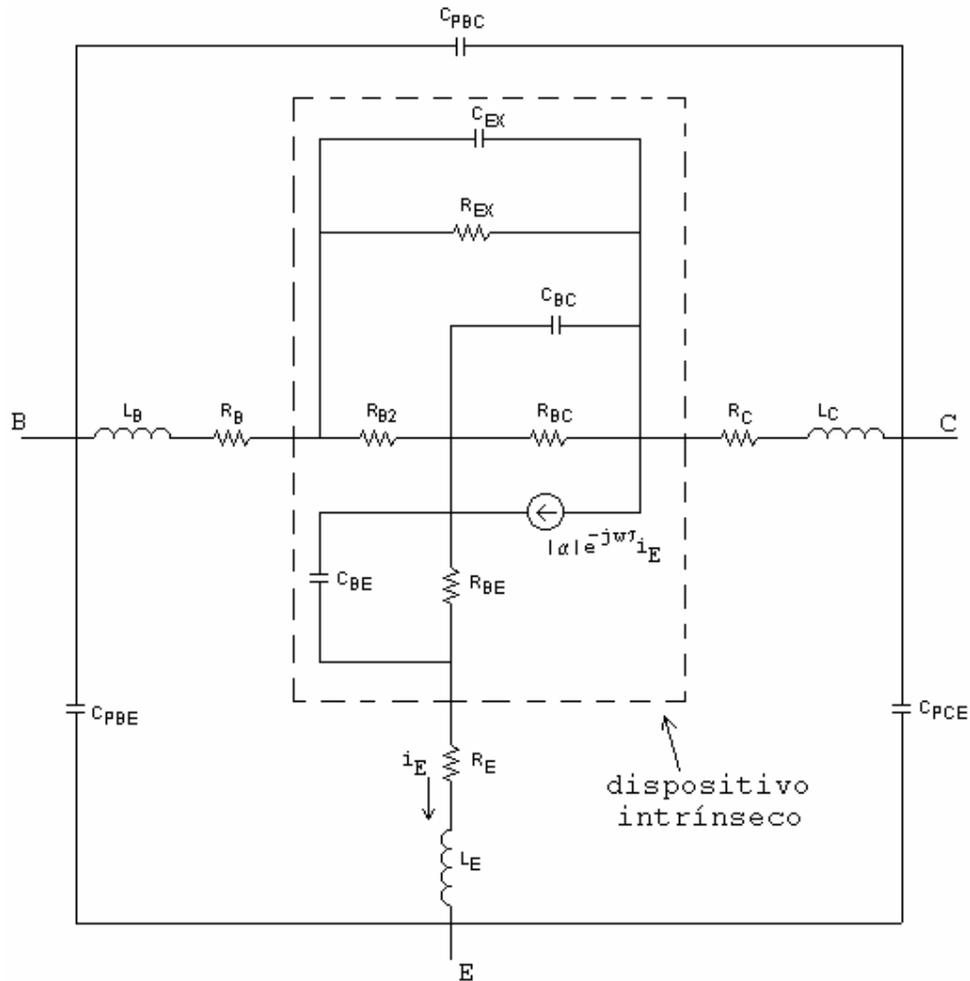
dielétrica é de aproximadamente 3,65, que é menor do que a constante dielétrica do filme de nitreto de silício. Deste modo, a capacitância entre os *pads* dos transistores passivados passa a ser maior do que nos transistores não passivados. Vale ressaltar, no entanto, que este aumento nas capacitâncias parasitas dos *pads* não foi suficiente para prejudicar o desempenho dos transistores passivados em frequências mais altas. O que pode ser visto até agora foi que o processo de passivação melhora o desempenho do transistor, seja em baixa ou alta frequência;

- A região intrínseca, que é formada apenas pelo transistor sem os elementos parasitas, apresentou diferenças significativas nos seguintes parâmetros:
  - Na resistência externa entre base e coletor,  $R_{EX}$ , a diferença, entre os transistores passivados e não passivados, foi um aumento no valor da resistência de 64 K $\Omega$  para os transistores com área de emissor 20 x 06  $\mu\text{m}^2$ , e 62 K $\Omega$  para os transistores com área de emissor 20 x 16  $\mu\text{m}^2$ ;
  - Na resistência interna entre base e coletor,  $R_{BC}$ , a diferença, entre os transistores passivados e não passivados, foi um aumento no valor da resistência de 8 K $\Omega$  para os transistores com área de emissor 20 x 06  $\mu\text{m}^2$ , e 13 K $\Omega$  para os transistores com área de emissor 20 x 16  $\mu\text{m}^2$ ;
  - Na resistência de base intrínseca,  $R_{B2}$ , a diferença, entre os transistores passivados e não passivados, foi uma diminuição no valor da resistência de 19  $\Omega$  para o transistor com área de emissor 20 x 06  $\mu\text{m}^2$ , e de 40  $\Omega$  para o transistor com área de emissor 20 x 16  $\mu\text{m}^2$ ;
  - Na capacitância da junção base e emissor,  $C_{BE}$ , a diferença, entre os transistores passivados e não passivados, foi uma diminuição no valor da capacitância de 0,5 pF para os transistores com área de emissor 20 x 06  $\mu\text{m}^2$  e 1,3 pF para os transistores com área de emissor 20 x 16  $\mu\text{m}^2$  e;
  - No tempo de trânsito,  $\tau$ . A diferença, entre os transistores passivados e não passivados, foi uma diminuição no valor do tempo de trânsito de 0,6 ps para os transistores com área de emissor 20 x 06  $\mu\text{m}^2$  e 0,7 ps para os transistores com área de emissor 20 x 16  $\mu\text{m}^2$ .
- Os demais parâmetros da região intrínseca (capacitância externa entre base e coletor,  $C_{EX}$ , capacitância interna entre base e coletor,  $C_{BC}$ , resistência da junção base e emissor,  $R_{BE}$  e ganho de corrente,  $\alpha$ ), não apresentaram diferenças significativas e seus valores são apresentados na tabela 3.7.

Através do comportamento apresentado pelos valores dos parâmetros intrínsecos, verifica-se, novamente, que a passivação diminuiu a corrente de fuga nos transistores passivados. Esta corrente de fuga é representada no modelo apresentado na figura 3.24 pelas resistências  $R_{EX}$  e  $R_{BC}$ . O modelo de pequenos sinais mostrou também, que para a polarização utilizada, alguns parâmetros não sofrem influência do processo de passivação, pois estes parâmetros estão relacionados com a estrutura interna do transistor e não com as densidades de estado na superfície.

**Tabela 3.7 – Valores dos parâmetros de pequenos sinais dos transistores HBT passivados e não passivados para a polarização G6. [P] transistor passivado e [NP] transistor não passivado.**

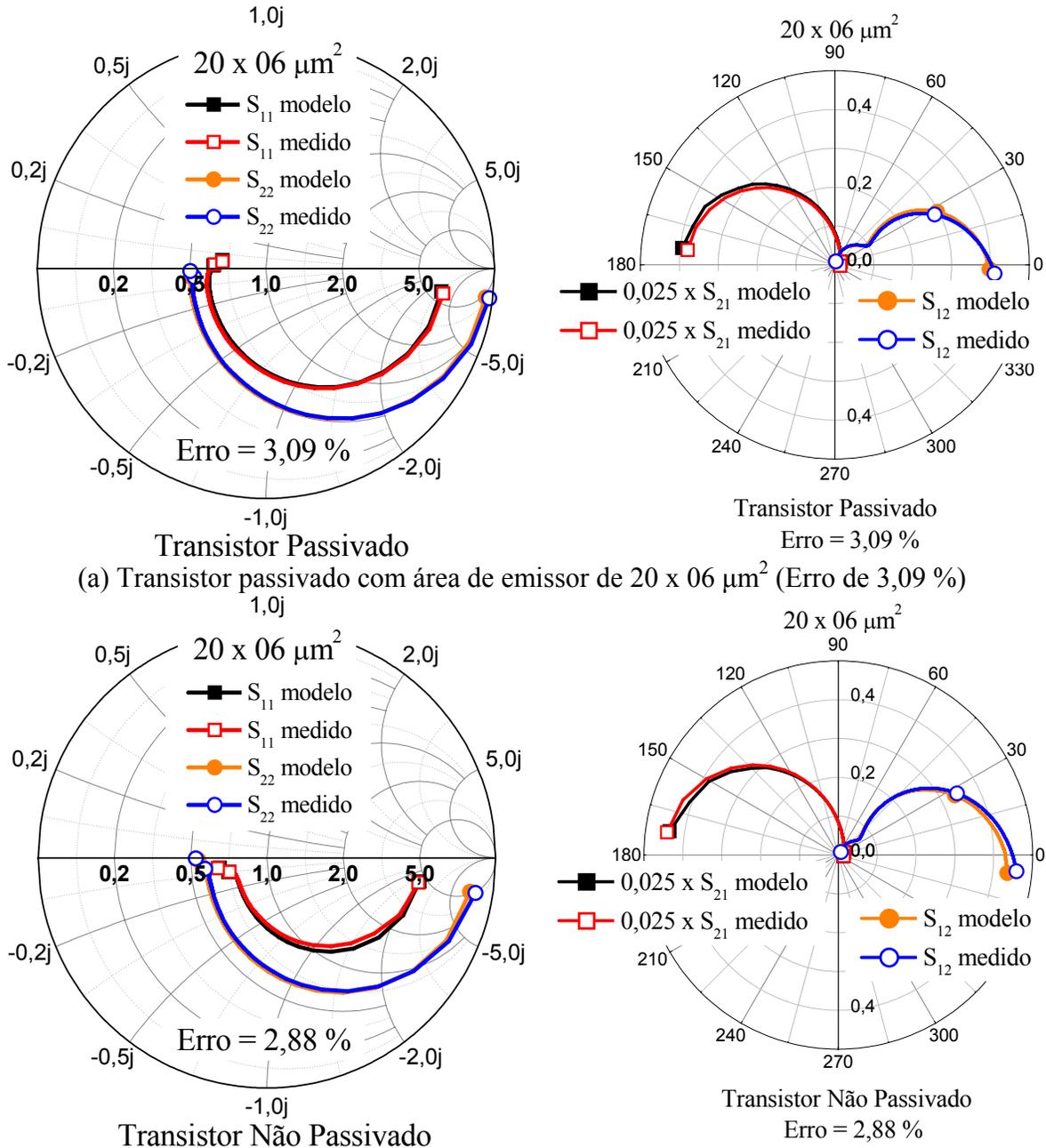
Parâmetro de pequenos sinais	Transistor HBT			
	20 x 06 $\mu\text{m}^2$		20 x 16 $\mu\text{m}^2$	
	[P]	[NP]	[P]	[NP]
Capacitância parasita dos <i>pads</i> entre base e coletor ( $C_{PBC}$ ) (fF)	9,00	5,00	29,00	21,00
Capacitância parasita dos <i>pads</i> entre base e emissor ( $C_{PBE}$ ) (fF)	26,00	23,00	38,00	28,00
Capacitância parasita dos <i>pads</i> entre coletor e emissor ( $C_{PCE}$ ) (fF)	31,00	27,00	35,00	29,00
Indutância da base ( $L_B$ ) (nH)	0,07	0,06	0,08	0,09
Resistência da base ( $R_B$ ) ( $\Omega$ )	6,00	4,30	3,90	3,30
Indutância do coletor ( $L_C$ ) (nH)	0,04	0,05	0,04	0,04
Resistência do coletor ( $R_C$ ) ( $\Omega$ )	4,30	5,30	5,00	5,00
Indutância do emissor ( $L_E$ ) (nH)	0,01	0,02	0,01	0,01
Resistência do emissor ( $R_E$ ) ( $\Omega$ )	0,04	0,04	0,01	0,01
Resistência externa entre base e coletor ( $R_{EX}$ ) ( $K\Omega$ )	76,70	12,30	78,50	16,20
Capacitância externa entre base e coletor ( $C_{EX}$ ) (pF)	0,27	0,25	0,26	0,25
Resistência interna entre base e coletor ( $R_{BC}$ ) ( $K\Omega$ )	162,10	153,80	73,30	60,80
Capacitância interna entre base e coletor ( $C_{BC}$ ) (pF)	0,10	0,12	0,22	0,22
Resistência de base intrínseca ( $R_{B2}$ ) ( $\Omega$ )	51,90	71,20	59,20	99,60
Capacitância da junção base e emissor ( $C_{BE}$ ) (pF)	0,60	1,10	2,10	3,30
Resistência da junção base e emissor ( $R_{BE}$ ) ( $\Omega$ )	4,70	3,50	2,95	2,90
Ganho de corrente ( $\alpha$ ) (S)	0,987	0,985	0,988	0,987
Tempo de trânsito ( $\tau$ ) (ps)	4,80	5,40	5,80	6,50



**Figura 3.24 – Modelo de pequenos sinais utilizado nos transistores HBT passivados e não passivados com área de emissor  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$ . Esta figura também se encontra no anexo C, figura C.16.**

A comparação dos resultados da simulação com os valores medidos, que é apresentado na figura 3.25 foi feita com relação aos parâmetros S. A figura 3.25 apresenta os valores simulados e medidos dos parâmetros S (os parâmetros  $S_{11}$  e  $S_{22}$  são apresentados na carta de *Smith*, normalizados para  $50 \Omega$ , e os parâmetros  $S_{21}$  e  $S_{12}$  são apresentados no gráfico polar). Esta comparação foi feita para os quatro transistores estudados utilizando a polarização G6. Pela figura 3.25 verifica-se que os parâmetros extraídos, para o modelo de pequenos sinais, são confiáveis, pois o erro entre os resultados medidos e simulados ficou abaixo de 10 % para os quatro transistores. Os transistores passivados e não passivados, com área de emissor de  $20 \times 06 \mu\text{m}^2$ , apresentaram erros de 3,09 % e 2,88 %, respectivamente. Os transistores passivados e não passivados, com área de emissor de  $20 \times 16 \mu\text{m}^2$ , apresentaram erros de 5,03 % e 6,12 %, respectivamente. Com relação ao ganho de corrente,  $|H_{21}|^2$ , este modelo apresentou erros de 2,08 % e 2,58 %, respectivamente, para os transistores passivados e não passivados, com área de emissor de  $20 \times 06 \mu\text{m}^2$  e 3,84 % e 3,65 %, respectivamente, para os transistores passivados e não passivados, com área de emissor de  $20 \times 16 \mu\text{m}^2$ . Para o ganho de potência unilateral, U, este modelo apresentou erros de 7,66 % e 6,54 %, respectivamente, para os transistores passivados e não

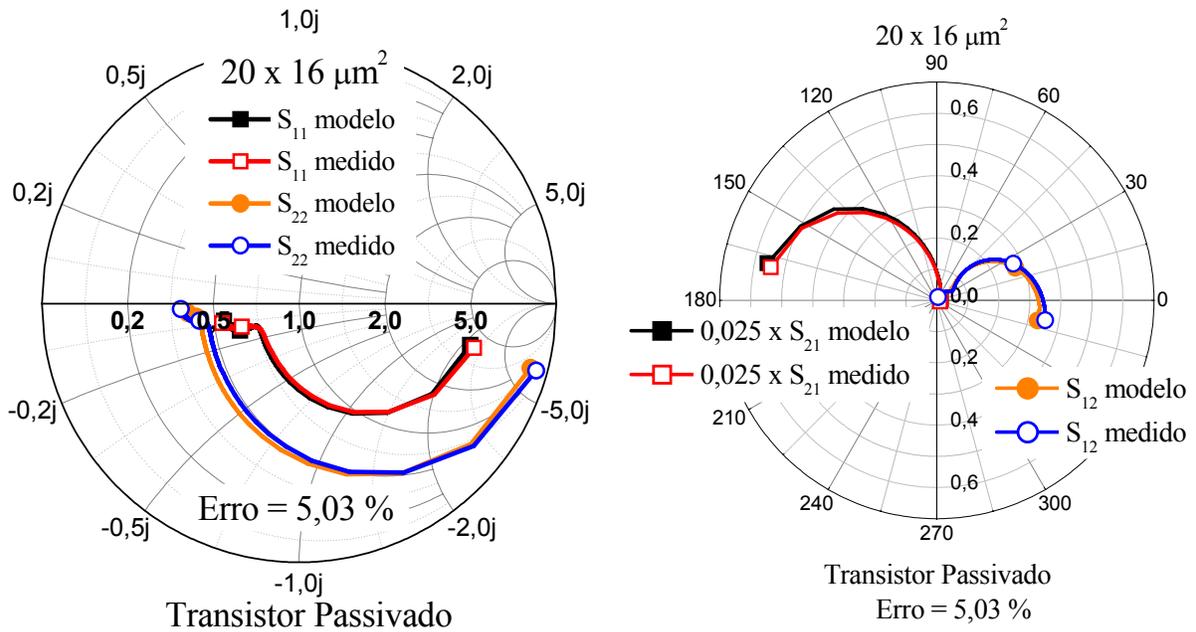
passivados, com área de emissor de  $20 \times 06 \mu\text{m}^2$  e 9,62 % e 8,81 %, respectivamente, para os transistores passivados e não passivados, com área de emissor de  $20 \times 16 \mu\text{m}^2$ . Estes maiores erros para o ganho de potência unilateral podem introduzir um erro máximo de  $\pm 400$  MHz no cálculo da frequência  $F_{\text{MAX}}$  do transistor, e no ganho de corrente podem introduzir um erro máximo de  $\pm 500$  MHz no cálculo da frequência  $F_T$  do transistor.



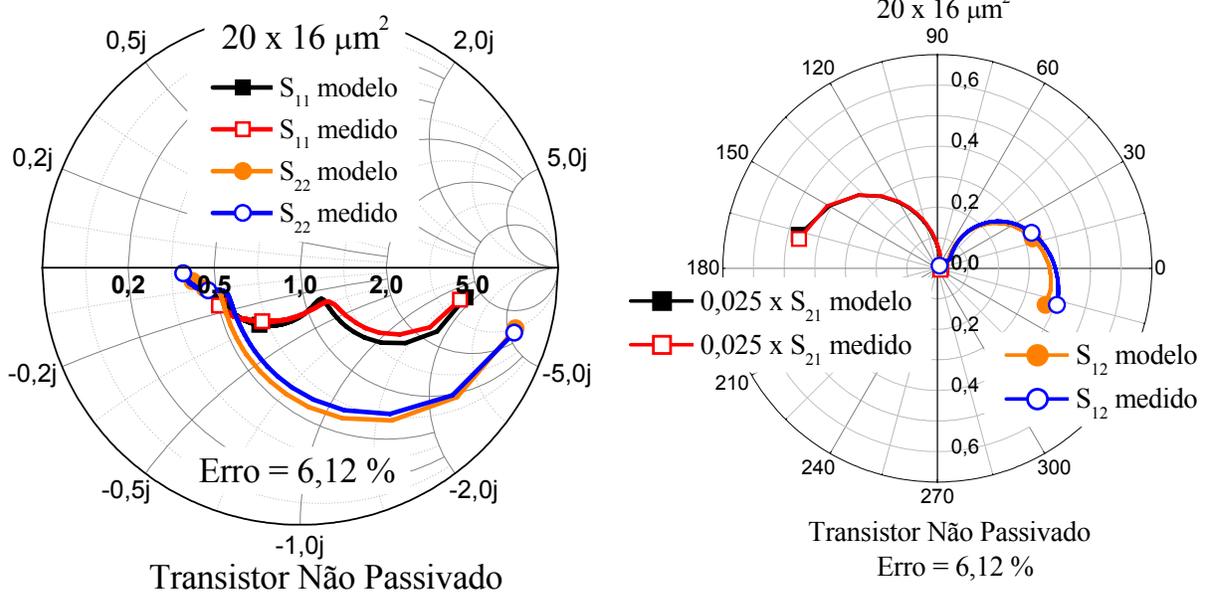
(a) Transistor passivado com área de emissor de  $20 \times 06 \mu\text{m}^2$  (Erro de 3,09 %)

(b) Transistor não passivado com área de emissor de  $20 \times 06 \mu\text{m}^2$  (Erro de 2,88 %)

**Figura 3.25 – Comparação entre os valores medidos e simulados dos parâmetros S para o modelo de pequenos sinais dos transistores passivados e não passivados com área de emissor de  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$ . A faixa de frequência utilizada foi de 45 MHz a 30 GHz e a polarização utilizada foi a apresentada em G6.**



(c) Transistor passivado com área de emissor de 20 x 16  $\mu\text{m}^2$  (Erro de 5,03 %)



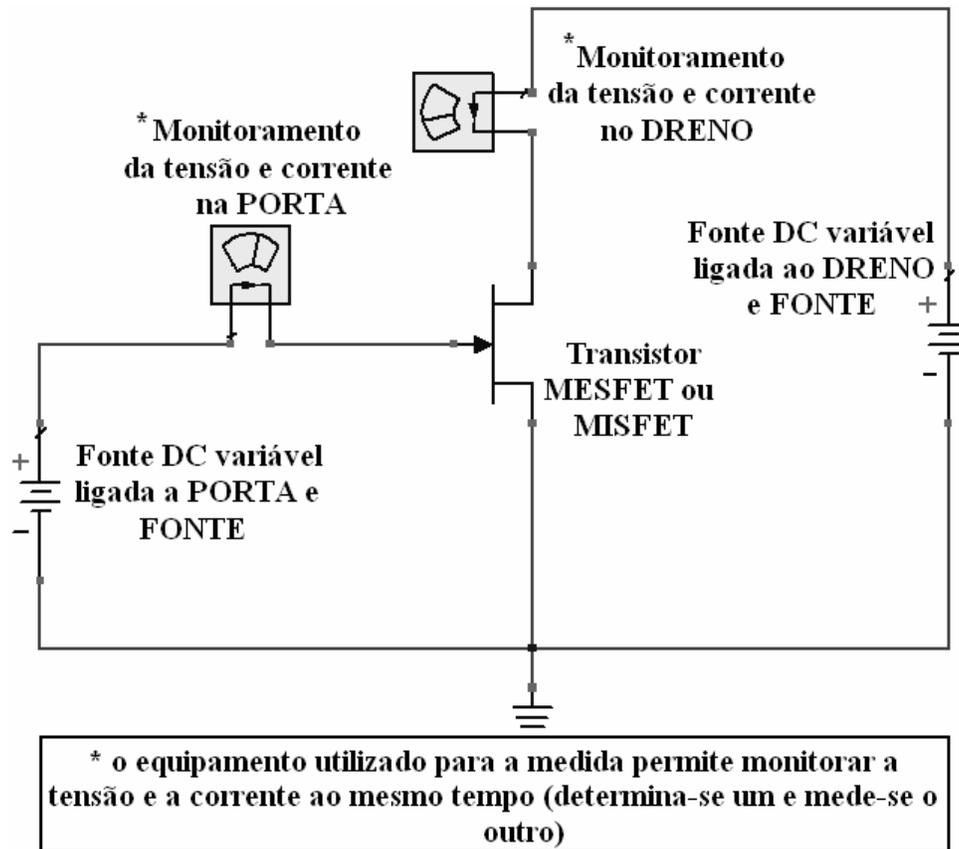
(d) Transistor não passivado com área de emissor de 20 x 16  $\mu\text{m}^2$  (Erro de 6,12 %)

**Figura 3.25 (continuação) – Comparação entre os valores medidos e simulados dos parâmetros S para o modelo de pequenos sinais dos transistores passivados e não passivados com área de emissor de 20 x 06  $\mu\text{m}^2$  e 20 x 16  $\mu\text{m}^2$ . A faixa de frequência utilizada foi de 45 MHz a 30 GHz e a polarização utilizada foi a apresentada em G6.**

### 3.5 TRANSISTORES MESFET E MISFET

Este último item sobre os resultados das medidas elétricas em dispositivos utilizando filme de nitreto de silício apresentará os resultados obtidos com os transistores

de efeito de campo, MESFET e MISFET, sobre uma camada de GaAs tipo n (formado pela implantação iônica de silício) em substrato semi-isolante de GaAs. Estes transistores foram fabricados nos mesmos substratos que foram fabricados os capacitores MIS do Grupo C (item 3.3). Os transistores MESFET fabricados serão utilizados como transistores de controle, isto é, serão utilizados para comparação com os transistores MISFET. A figura 3.26 apresenta um esquema elétrico, simplificado, para medida elétrica feita nestes transistores.



**Figura 3.26 – Esquema elétrico simplificado para medida dos transistores MESFET ou MISFET.**

Os resultados que serão apresentados foram extraídos das medidas elétricas dos transistores MESFET e MISFET com áreas de  $200 \mu\text{m} \times 206 \mu\text{m}$  e  $14 \mu\text{m} \times 104 \mu\text{m}$ . A figura 3.27 apresenta as curvas características I-V para os transistores MESFET e MISFET com área grande,  $L = 200 \mu\text{m}$  x  $W = 206 \mu\text{m}$ . As figuras 3.27(a) e 3.27(b) apresentam as curvas  $I_{DS} \times V_{DS}$ , onde  $I_{DS}$ ,  $V_{DS}$  e  $V_{GS}$  são definidos como corrente entre dreno e fonte, tensão entre dreno e fonte e tensão entre porta e fonte, respectivamente. Foi observado que para valores de  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual a 0 V, os valores medidos de  $I_{DS}$  foram  $12 \mu\text{A}$  e  $120 \mu\text{A}$  para os transistores MESFET e MISFET, respectivamente. As figuras 3.27(c) e 3.27(d) apresentam as curvas  $I_{DS} \times V_{GS}$  e  $g_m \times V_{GS}$ , onde  $I_{DS}$ ,  $g_m$  e  $V_{GS}$  são definidos como corrente entre dreno e fonte, transcondutância e tensão entre porta e fonte, respectivamente. Estas curvas foram obtidas para um valor de  $V_{DS}$ , tensão entre dreno e fonte, igual a 5 V. A tensão de limiar do canal,  $V_t$ , foi extraída através da intercessão da corrente  $I_{DS}$  com o eixo

x, na curva  $I_{DS}$  por  $V_{GS}$ . Foi observado que para um valor de  $V_{DS}$  igual a 5 V, os valores extraídos de  $V_t$  foram de -1,5 V e -6,5 V para os transistores MESFET e MISFET, respectivamente, e, o máximo valor da transcondutância ( $g_{mmax}$ ) extraído foi de 8,5  $\mu S$  e 25  $\mu S$ , respectivamente. Para  $V_{GS}$  igual a 0 V, os valores medidos de  $I_{DS}$  foram 12  $\mu A$  e 120  $\mu A$ , que são iguais aos valores extraídos da curva  $I_{DS}$  por  $V_{DS}$ , apresentado nas figuras 3.27(a) e 3.27(b). Os transistores MISFET de área grande apresentam maior corrente de dreno e fonte, transcondutância e tensão de limiar do canal (em módulo) quando comparado ao seu transistor similar MESFET, devido à maior capacitância da porta obtida pelas estruturas MIS. Já as figuras 3.27(e) e 3.27(f) apresentam a curva  $I_G$  por  $V_{GS}$ , onde  $I_G$  e  $V_{GS}$  são definidos como corrente de porta (corrente de fuga) e tensão de porta, respectivamente. Os valores medidos de  $I_G$  foram menores do que 60 nA ( $V_{GS}$  entre -4 V e 0,3 V) e 20 nA ( $V_{GS}$  entre -4 V e 2,5 V) para os transistores MESFET e MISFET, respectivamente. Se utilizarmos como referência o mesmo nível de corrente de fuga, 60 nA, do MESFET para o MISFET, a máxima tensão entre porta e fonte,  $V_{GS}$ , que podemos aplicar no MISFET é de 3,5 V. Nota-se então, que os valores de corrente de fuga são similares para os dois transistores, porém, este valor é conseguido para uma faixa de tensão maior no transistor MISFET do que no transistor MESFET. Esta maior faixa de tensão no transistor MISFET permite ao transistor operar na região de acumulação. Este resultado está de acordo com o apresentado no item 3.2 para capacitores MIS do grupo C.

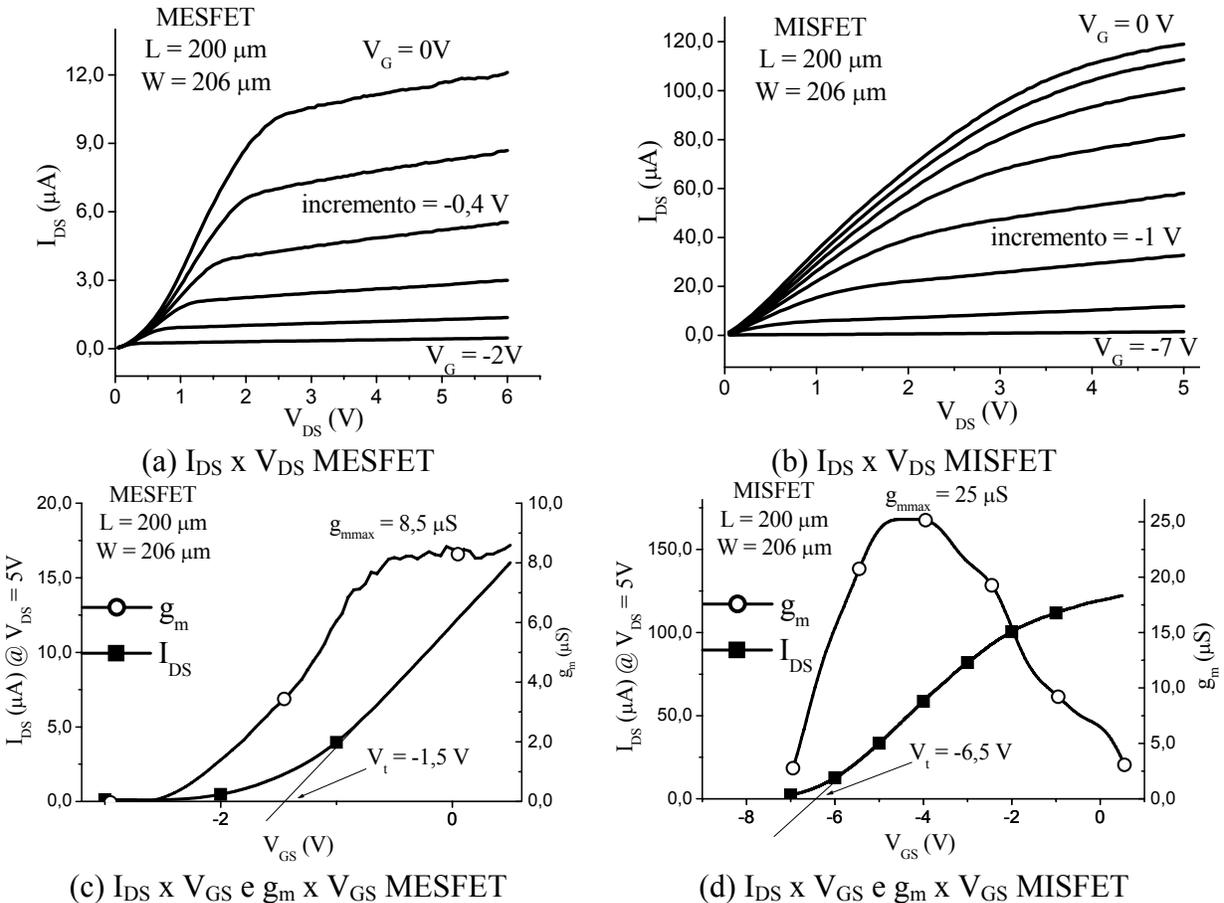
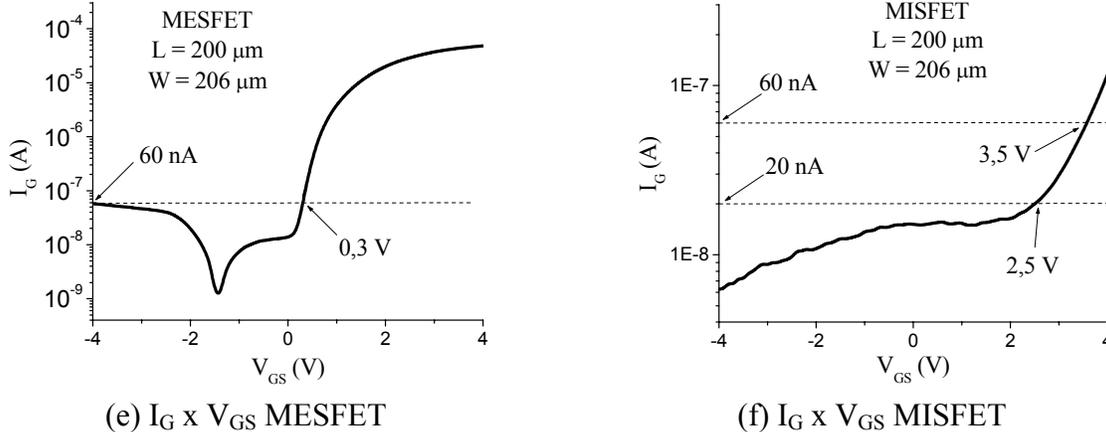
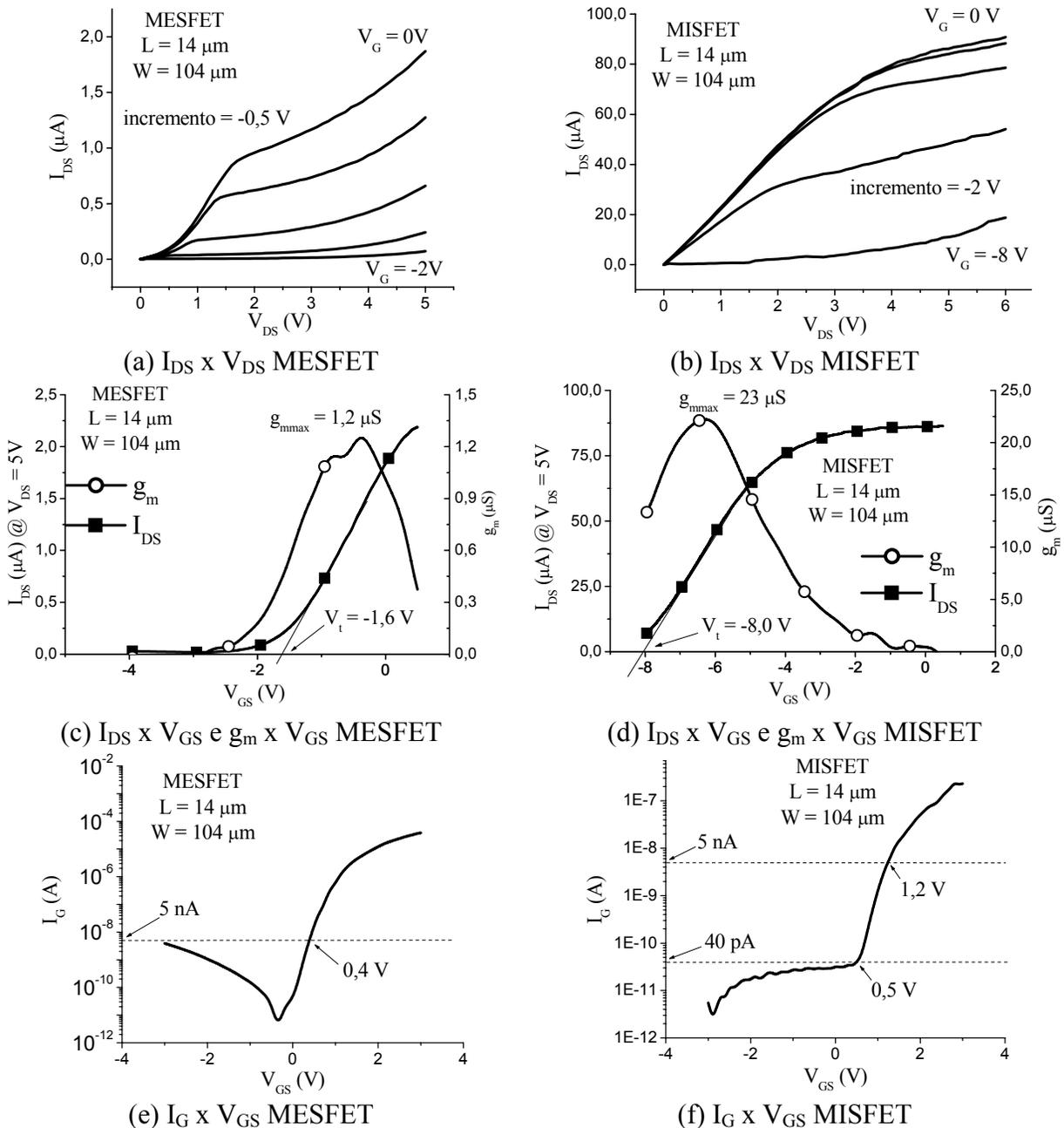


Figura 3.27 – Curvas características para os transistores MESFET e MISFET com área grande.



**Figura 3.27 (continuação) – Curvas características para os transistores MESFET e MISFET com área grande.**

A figura 3.28 apresenta a curva característica I-V para os transistores MESFET e MISFET com área pequena,  $L = 14 \mu\text{m} \times W = 104 \mu\text{m}$ . As figuras 3.28(a) e 3.28(b) apresentam as curvas  $I_{DS}$  por  $V_{DS}$ , onde  $I_{DS}$ ,  $V_{DS}$  e  $V_{GS}$  são definidos como corrente entre dreno e fonte, tensão entre dreno e fonte e tensão entre porta e fonte, respectivamente. Foi observado que para valores máximos de  $V_{DS}$  igual a 5 V e  $V_{GS}$  igual a 0 V, os valores medidos de  $I_{DS}$  foram  $2 \mu\text{A}$  e  $90 \mu\text{A}$  para os transistores MESFET e MISFET, respectivamente. As figuras 3.28(c) e 3.28(d) apresentam as curvas  $I_{DS}$  por  $V_{GS}$  e  $g_m$  por  $V_{GS}$ , onde  $I_{DS}$ ,  $g_m$  e  $V_{GS}$  são definidos como corrente entre dreno e fonte, transcondutância e tensão entre porta e fonte, respectivamente. Estas curvas foram obtidas para um valor de  $V_{DS}$ , tensão entre dreno e fonte, igual a 5 V. Foi observado que para um valor de  $V_{DS}$  igual a 5 V, os valores extraídos de  $V_t$  foram de -1,6 V e -8,0 V para os transistores MESFET e MISFET, respectivamente, e, o máximo valor da transcondutância ( $g_{mmax}$ ) extraído foi de  $9 \mu\text{S}$  e  $23 \mu\text{S}$ , respectivamente. Para  $V_{GS}$  igual a 0 V, os valores medidos de  $I_{DS}$  foram  $2 \mu\text{A}$  e  $90 \mu\text{A}$ , que são iguais aos valores extraídos da curva  $I_{DS}$  por  $V_{DS}$ , apresentado nas figuras 3.28(a) e 3.28(b). Os transistores MISFET de área pequena apresentam maior corrente de dreno e fonte, transcondutância e tensão de limiar do canal (em módulo) quando comparado ao seu transistor similar MESFET, devido a maior capacitância da porta obtida pelas estruturas MIS. Resultados similares foram obtidos com os transistores de área grande. Já as figuras 3.28(e) e 3.28(f) apresentam a curva  $I_G$  por  $V_{GS}$ , onde  $I_G$  e  $V_{GS}$  são definidos como corrente de porta (corrente de fuga) e tensão de porta, respectivamente. Os valores medidos de  $I_G$  foram menores do que 5 nA ( $V_{GS}$  entre -3 V e 0,4 V) e 40 pA ( $V_{GS}$  entre -3 V e 0,5 V) para os transistores MESFET e MISFET, respectivamente. Se utilizarmos como referência o mesmo nível de corrente de fuga, 5 nA, do MESFET para o MISFET, a máxima tensão entre porta e fonte,  $V_{GS}$ , que podemos aplicar no MISFET é de 1,2 V. Nota-se então que: os valores de corrente de fuga são similares para os dois transistores, porém, este valor é conseguido para uma faixa de tensão maior no transistor MISFET do que no transistor MESFET, permitindo ao transistor MISFET operar na região de acumulação. Este resultado está de acordo com o apresentado no item 3.2 para capacitores MIS do grupo C.



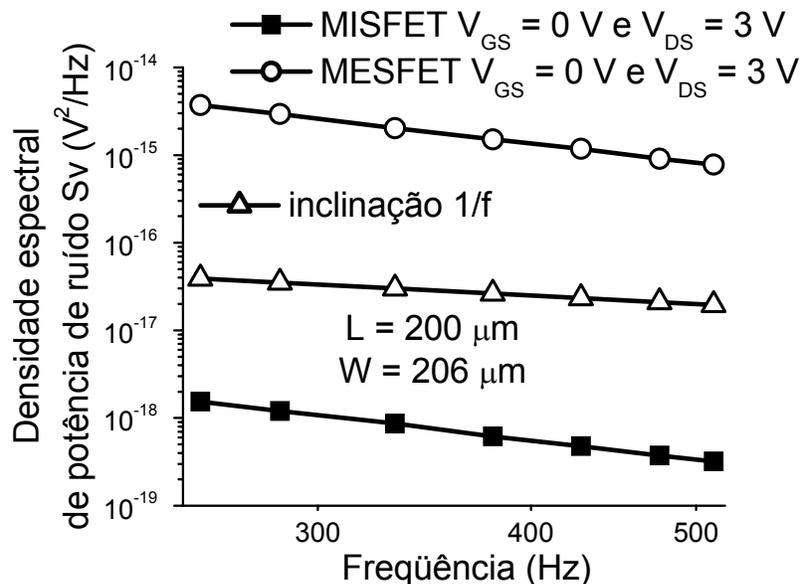
**Figura 3.28 – Curvas características para os transistores MESFET e MISFET com área pequena.**

Uma última análise feita para avaliar o desempenho dos filmes de nitreto de silício como dielétrico de porta para os transistores MISFET foi a extração da densidade espectral de potência de ruído,  $S_V$ , em função da frequência dos transistores MESFET e MISFET para um mesmo ponto de polarização (figura 3.29). A medida da densidade espectral de potência de ruído foi feita até a frequência de, aproximadamente, 500 Hz e as polarizações para os dois transistores foram  $V_{GS} = 0 \text{ V}$  e  $V_{DS} = 3 \text{ V}$  utilizando um analisador de sinais (HP 35660A *Dynamic Signal Analyzer*) e um pré-amplificador (*home made*) com até 50 dB de ganho. A medida de ruído em baixa frequência é uma ferramenta importante para avaliar

a qualidade da interface de dispositivos [3.38, 3.39]. Através desta medida pode-se determinar, por exemplo, a densidade de cargas contidas em um dielétrico [3.40]. Assim a densidade de estados no canal do transistor está diretamente ligada ao nível de ruído, ou seja, quanto maior o número de densidades de estados no dielétrico e/ou interface, maior a densidade espectral de ruído do dispositivo medido. No entanto, faz-se necessário salientar que a corrente em um dispositivo MISFET flui pela superfície, enquanto que em um dispositivo MESFET ela não flui pela superfície, mas sim abaixo da superfície. Estes diferentes modos de condução originam diferentes fontes de ruído, mas que acabam resultando no ruído  $1/f$  [3.38]. Deste modo espera-se que um transistor MESFET apresente uma menor densidade espectral de potência de ruído do que um transistor MISFET desde que o substrato não apresente uma elevada quantidade de defeitos e o transistor MISFET apresente uma considerável densidade de estados na superfície.

Como pode ser observado na figura 3.29, os valores de  $S_V$  para os transistores MISFET são menores do que o dos transistores MESFET. Isto ocorreu basicamente por dois motivos:

- o substrato utilizado para os dois dispositivos passou por um processo de implantação iônica e posterior tratamento térmico, promovendo um aumento dos defeitos (pela perda de arsênio durante o tratamento térmico);
- o processo de passivação reduziu as densidades de estado na superfície, contribuindo também para que o valor de  $S_V$  fosse mais baixo no transistor MISFET do que no transistor MESFET, indicando que houve a passivação de superfície.



**Figura 3.29 – Comparação da densidade espectral de potência de ruído,  $S_V$ , dos transistores MESFET e MISFET para um mesmo ponto de polarização.**

## CAPÍTULO 4

### CONCLUSÕES E PERSPECTIVAS

Este trabalho apresentou a eficácia de uma técnica de passivação que emprega a deposição de filme de nitreto de silício (obtido por ECR-CVD) sobre substratos de GaAs e estrutura HBT de InGaP/GaAs. Esta técnica não necessita de pré-tratamento da superfície (como por exemplo, processos que usam plasmas de H<sub>2</sub> e N<sub>2</sub> para remoção de óxido nativo e para formação de camada GaN, minimizando defeitos de superfície, como mostrado no capítulo 1). Além disso, esta técnica é totalmente compatível com a tecnologia de circuitos integrados monolíticos de microondas e, no caso dos processos desenvolvidos em nosso laboratório, não requer nenhuma etapa a mais de processo de fotolitografia.

Para estudar esta técnica de passivação, foram propostas e executadas análises elétricas e físicas nos filmes depositados. As análises físicas foram realizadas através das técnicas de OES, FTIR e elipsometria. Já as medidas elétricas foram realizadas nos dispositivos fabricados: capacitores MIS, transistores HBT de InGaP/GaAs e transistores MESFET e MISFET com canal n obtido por implantação iônica de silício sobre substrato de GaAs semi-isolante.

As deposições do filme de nitreto de silício foram realizadas em uma temperatura constante do substrato de 20°C, com razão de fluxo de 1 para SiH<sub>4</sub>/N<sub>2</sub> e com fluxo de 5 sccm para Ar. A potência de microondas (2,45 GHz) utilizada foi de 250 W. Foram fabricados capacitores MIS (grupo A) com filmes isolantes de nitreto de silício depositados com pressões de 2,5 mTorr, 5 mTorr, 10 mTorr e 15 mTorr. As deposições destes filmes de nitreto de silício foram analisadas por OES. As ligações químicas e os índices de refração (e espessuras) dos filmes foram investigados usando FTIR e elipsometria, respectivamente. A caracterização elétrica destes capacitores MIS foi executada usando medidas C-V e I-V.

Através da caracterização do plasma pela técnica OES, concluiu-se que: o melhor processo de passivação de camadas III-V seria com o filme de nitreto de silício depositado com pressão de 2,5 mTorr. Pois: a caracterização OES mostrou a mais baixa formação de moléculas H e NH na fase gasosa para plasma com pressão de 2,5 mTorr. Alta concentração destas moléculas no plasma pode degradar a superfície de semicondutores do tipo III-V, devido à preferencial perda de As ou P e à incorporação de hidrogênio no substrato [4.1, 4.2, 4.3]. Desse modo, os parâmetros de deposição de processo, tais como pressão de 2,5 mTorr, razão de fluxo de 1 para SiH<sub>4</sub>/N<sub>2</sub>, fluxo de 5 sccm para Ar e potência de microondas (2,45 GHz) de 250 W devem ser usados, para que seja gerado o fluxo correto de íons hidrogênio e nitrogênio, que no início do processo de deposição retira o óxido nativo e forma uma camada superficial de GaN, respectivamente, e que depois forma um filme de nitreto de silício de alta qualidade, obtendo-se uma superfície do substrato com reduzida densidade de defeitos. Esta conclusão sobre o nosso processo de passivação é confirmada através da caracterização estrutural dos filmes por espectroscopia FTIR e elipsometria. Para este melhor caso de deposição, com pressão de 2,5 mTorr, estas análises mostraram que o principal pico de absorção ocorreu em 843 cm<sup>-1</sup> (modo *stretching*), que é devido às ligações Si-N, o que dá clara evidência da formação de filmes com baixo *stress* e com reduzida incorporação de hidrogênio [4.4]. Para esta mesma condição de deposição (com tempo de 10 minutos), obteve-se uma espessura de 45 nm e um índice de refração de 2,09, que é próximo do valor do índice 2,0 de nitreto de silício estequiométrico. Todos estes

bons resultados foram confirmados pela caracterização elétrica. Das medidas C-V (caracterização elétrica) dos capacitores MIS (grupo A) fabricados sobre GaAs tipo n, observou-se que o deslocamento da tensão de banda plana aumenta (em módulo) com a pressão de deposição do filme. Este aumento na tensão de banda plana resulta em uma maior densidade de estados na superfície e conseqüentemente uma piora na passivação. Tão ruim que as medidas C-V totalmente distorcidas não conseguiam apresentar as regiões de acumulação e inversão. E, os menores valores de densidade de carga ( $Q_0/q \sim 10^{12} \text{ cm}^{-2}$ ) foram apresentados pelos capacitores MIS com filmes de nitreto de silício depositados com pressão de 2,5 mTorr.

Deposição (utilizando os mesmos parâmetros de processo, com pressão de 2,5 mTorr), com adicional utilização do gerador de RF (13,56 MHz), com uma potência de 4 W acoplada ao porta-amostra do sistema ECR-CVD, utilizado apenas para os filmes de nitreto de silício depositados durante o processo de fabricação dos transistores HBT e capacitores MIS do grupo B, melhorou o processo de passivação. Concluiu-se isto, pois os menores valores de densidade de estado ( $Q_0/q$  de  $8 \cdot 10^{11} \text{ cm}^{-2}$ , menor que  $9 \cdot 10^{11} \text{ cm}^{-2}$  encontrado em 4.5) foram apresentados pelos capacitores do grupo B. Com a presença do campo RF oscilante na região do porta-amostra, as espécies de H no plasma, que são as mais leves, não conseguem aderir na superfície do substrato. Assim, o filme de nitreto de silício torna-se mais denso, com mais baixa incorporação de H [4.6]. Corrente de fuga menor do que 1 nA (entre as tensões de -4 V e 2,7 V), indicando uma corrente de fuga baixa foi obtida pela medida I-V.

A utilização deste filme de nitreto de silício em transistores HBT de InGaP/GaAs demonstrou a boa qualidade da passivação. Um simples e compreensivo estudo da corrente destes dispositivos mostrou que a corrente de recombinação na superfície desempenha um papel crucial no comportamento do dispositivo. Observou que os ganhos de corrente dos transistores passivados são maiores que os ganhos dos transistores não passivados. Obtiveram-se variações máximas entre ganhos (diferença entre transistores passivados e não passivados) de 14 para os transistores com área de emissor de  $20 \times 06 \mu\text{m}^2$  e 8 para os transistores com área de emissor de  $20 \times 16 \mu\text{m}^2$ . Já o melhor resultado para o fator de idealidade da base foi de 1,45 (transistor passivado com área de emissor de  $20 \times 06 \mu\text{m}^2$ ) que é maior que os valores da literatura, onde se encontram transistores com fator de idealidade da base da ordem de 1,19 [4.7]. Medidas em alta frequência e de ruído também demonstraram o superior desempenho dos transistores passivados sobre os transistores não passivados. Para altas frequências, os transistores passivados em relação aos transistores não passivados apresentaram, em média, 2 GHz a mais para os valores de  $F_T$  e 3 GHz a mais para os valores de  $F_{MAX}$ . A referência [4.8] apresenta resultados com transistores com área de emissor de  $10 \times 4 \mu\text{m}^2$  e as diferenças dos valores entre os transistores passivados e não passivados são de até 10 GHz para  $F_T$  e 7 GHz para  $F_{MAX}$ . As maiores diferenças apresentadas na literatura estão relacionadas com o método de passivação e com a menor área de emissor, que exige excelente passivação da superfície entre emissor e base, conforme discutido nesta tese. Com relação ao ruído, os transistores passivados com áreas de emissor de  $20 \times 06 \mu\text{m}^2$  e  $20 \times 16 \mu\text{m}^2$  apresentam uma razão sinal ruído maior do que os transistores não passivados, chegando, em 10 MHz, a uma diferença de, aproximadamente, duas e quatro vezes, respectivamente. Estas características são importantes para o projeto de circuitos de alta qualidade e com baixo nível de ruído e baixo consumo de potência, atualmente palavras chave na indústria de telecomunicação.

Os FETs fabricados com canal n obtido por implantação iônica de silício sobre o substrato de GaAs semi-isolante também demonstraram a eficácia do processo de passivação. A comparação entre a simulação SRIM da concentração de Si na camada implantada (de  $6 \cdot 10^{17}$  átomos/cm<sup>3</sup>) e os valores de concentração de dopantes no canal n (de  $4 \cdot 10^{15}$  átomos/cm<sup>3</sup>) destes transistores MESFET extraídos da medida  $1/C^2$  versus tensão de porta, apresentou uma razão de ativação de apenas 0,67%. Isto indica que ocorreu preferencial perda de As durante o recozimento RTA para ativação dos dopantes, o que torna a superfície do GaAs rugosa e a camada ativa n do canal apresenta uma maior quantidade de defeitos pela ausência do As. Defeito que reduz a mobilidade do elétron no canal, e conseqüentemente, a transcondutância. O filme de nitreto de silício dos transistores MISFET e capacitores MIS do grupo C foi depositado da mesma maneira que os anteriores, porém sem o auxílio do sinal de RF acoplado ao porta-amostra. Medidas C-V em 1 MHz destas estruturas MIS apresentaram densidades de estados,  $Q_0/q$ , da ordem de  $10^{12}$  cm<sup>-2</sup>. Estes valores são uma ordem de grandeza maior que os extraídos das curvas C-V dos capacitores MIS do grupo B, onde os substratos não apresentaram perda preferencial de As, pois não foram sujeitos a processos RTA em 900°C e a deposição do filme de nitreto de silício foi auxiliada pelo acoplamento do gerador de RF ao porta-amostra. Mesmo com estes defeitos no substrato de GaAs, o valor de  $Q_0/q \sim 10^{12}$  cm<sup>-2</sup> é similar ao apresentado no trabalho que usou uma estrutura Si<sub>3</sub>N<sub>4</sub>/Si/GaAs, onde a camada de Si foi utilizada para passivar a superfície do GaAs [4.9]. Correntes de fuga menor do que 100 nA (entre -4 V e 3 V) foram determinadas através da caracterização I-V. Este valor é duas ordens de grandeza maior do que o valor de 1 nA obtido pelos capacitores do grupo B. Portanto, as estruturas do grupo B, que foram fabricadas simultaneamente com os transistores HBT, apresentaram os menores valores de densidade de estados e de corrente. Este valor de corrente de fuga (100 nA) quando convertido para densidade de corrente de fuga ( $2,40 \cdot 10^{-5}$  A/cm<sup>2</sup>) apresenta resultado similar ao apresentado em [4.10] (entre  $10^{-2}$  e  $10^{-5}$  A/cm<sup>2</sup>).

Mesmo assim, os capacitores MIS do grupo C, com densidades de estado da ordem de  $10^{12}$  cm<sup>-2</sup> e corrente de fuga de 100 nA, foram usados como estrutura de porta dos transistores MISFET. Como estes transistores funcionaram melhor (pois apresentaram maior corrente entre dreno e fonte, maior transcondutância, maior excursão da tensão de porta, menor corrente de fuga pela porta e menor densidade espectral de ruído) do que os transistores MESFET, fabricados no mesmo substrato, nós podemos garantir que o nosso processo de passivação é eficaz, mesmo com a camada ativa n do canal apresentando uma maior quantidade de defeitos pela perda do As durante processo RTA. Com relação à transcondutância, pode-se encontrar na literatura valores de até 170 mS/mm para os transistores MISFET [4.11]. Esta grande diferença em relação ao valor obtido neste trabalho (0,22 mS/mm para o transistor MISFET com dimensões de  $14 \times 104 \mu\text{m}^2$ ) deve-se ao tamanho do transistor e principalmente aos problemas encontrados (tais como, a baixa ativação no canal, resultando em uma elevada resistência de contato) durante o processo de fabricação dos mesmos.

Vale ressaltar que o processo por plasma ECR-CVD foi repetitivo, pois foram fabricados diferentes componentes, como, capacitores e transistores FET e HBT, e a eficácia do nosso processo de passivação sempre ocorreu. Este trabalho reforçou os resultados obtidos anteriormente pelo grupo de pesquisa da UNICAMP [4.12, 4.13, 4.14]. Além disso, o processo por ECR-CVD é mais simples e mais barato do que o processo da *Freescale* [4.15], que usa deposição de óxidos baseados em Gd e Ga.

Durante a realização deste trabalho algumas propostas surgiram e podem ser utilizadas como trabalhos futuros para melhorar os resultados aqui apresentados. Como propostas de trabalho futuro, podemos citar:

1. Fabricação de transistores HBT com uma maior variedade de dimensão da área de emissor para a verificação do processo de passivação. Está sendo mostrado no anexo B um novo conjunto de máscaras para o processo de fabricação dos transistores HBT com uma maior quantidade de dispositivos com áreas diferentes. Esta nova máscara além de possuir uma maior quantidade de transistores HBT possui um número reduzido de etapas de processo, pois está sendo proposta a fabricação de transistores HBT auto-alinhados;
2. Melhoria no processo de fabricação dos transistores de efeito de campo MESFET e MISFET. Neste trabalho utilizou-se apenas uma implantação iônica, que foi a implantação para a formação do canal. As principais melhorias que podem ser feitas, inicialmente, seriam estudos para aumentar a razão de ativação dos dopantes e a introdução de uma segunda etapa de implantação iônica, para a fonte e o dreno. Com isso, espera-se diminuir as resistências de canal e contato, conseguindo um aumento na corrente  $I_{DS}$  e conseqüentemente um aumento na transcondutância;
3. Fabricar os transistores MESFET e MISFET em lâmina com camadas ativas epitaxiais ao invés de camadas implantadas. Camadas epitaxiais apresentam bem menos defeitos do que camadas implantadas. Assim estes transistores poderão apresentar transcondutâncias maiores que 50 mS/mm [4.6].
4. Fazer estudos para melhorar os filmes de nitreto de silício com a inclusão do gerador de RF acoplado ao porta-amostra do sistema ECR. Com isso, pode-se reduzir ainda mais a incorporação de H e NH no filme e diminuir a densidade de estados de interface I-S.
5. Realizar o estudo dos filmes de nitreto de silício quanto ao *stress*, pois neste trabalho preocupou-se, inicialmente, apenas com o bombardeamento iônico. Novas análises estruturais podem ser feitas nos filmes, como análises de AFM (microscopia de força atômica) que tem a finalidade de verificar a uniformidade e os defeitos da superfície e SIMS (espectrometria de massa de íons secundários) que determina a composição do filme.
6. As máscaras utilizadas para a fabricação dos transistores HBT, MESFET e MISFET possuem circuitos eletrônicos. O conjunto de máscaras para os transistores HBT possui um circuito MMIC amplificador na configuração emissor comum e o conjunto de máscaras para a fabricação dos transistores MESFET e MISFET possui um circuito amplificador de baixo ruído (LNA). Seria interessante estudar o efeito da passivação nesses circuitos.

## REFERÊNCIAS BIBLIOGRÁFICAS

[1.1] Paul H. Holloway and Gary E. McGuire, “Handbook of compound semiconductors: Growth, Processing, Characterization, and Devices (Materials Science and Process Technology Series)”, Noyes Publications, 1995.

[1.2] Dargys A. and J. Kundrotas, “Handbook on Physical Properties of Ge, Si, GaAs and InP”, Vilnius: Science and Encyclopedia Publishers, 1994.

[1.3] Simon M. SZE, “Semiconductor Devices: Physics and Technology, 2<sup>nd</sup> Edition”, John Wiley & Sons Inc., pp. 65, 2002.

[1.4] E. H. Nicollian and J. R. Brews, “MOS Physics and Technology”, New York, NY: John Wiley & Sons, 1982.

[1.5] Z. Jin, S. Neumann, W. Prost and F.-J. Tegude, “Passivation of InP/GaAsSb/InP double heterostructure bipolar transistors with ultra thin base layer by low-temperature deposited SiNx”, Solid-State Electron, 49(3), March 2005.

[1.6] Z. Jin, F. Otten, T. Reimann, S. Neumann, W. Prost and F. J. Tegude, “Current gain increase by SiNx passivation in self-aligned InGaAs/InP heterostructure bipolar transistor with compositionally graded base”, Solid-State Electron, 48(9), September 2004.

[1.7] S. Pearton, “Topics in growth and device processing of III-V semiconductors”, World Scientific, 1996.

[1.8] Q. Wang, E. S. Yang, P. W. Li, Z. Lu, R. M. Osgood, Jr., W. I. Wang, “Electron cyclotron resonance hydrogen and nitrogen plasma surface passivation of AlGaAs/GaAs heterojunction bipolar transistors”, IEEE Electron Devices Lett., Vo 13, No 2, pp. 83-85, 1992.

[1.9] D. M. Diatezua, Z. Wang, D. Park, Z. Chen, A. Rockett and H. Morkoc, “Si<sub>3</sub>N<sub>4</sub> on GaAs by direct electron cyclotron resonance plasma assisted nitridation of Si layer in Si/GaAs structure”, J.Vac. Sci. Technol. B, Vo 16, No 2, pp. 507-510, 1998.

[1.10] Hideki Hasegawa, “Understanding and control of insulator-semiconductor interfaces for surface passivation of III-V compound semiconductors in Compound Semiconductors: Growth, Processing and Devices”, page 77, CRC, December 27 1989.

[1.11] Compound Semiconductor Magazine, “Freescale puts GaAs MOSFETs back on the agenda”, pp.15, Vo 12, Number 2, March 2006.

[1.12] Passlack M., Hong M., Mannaerts J.P., “Observation of inversion layers at Ga<sub>2</sub>O<sub>3</sub>-GaAs interfaces fabricated by in-situ molecular-beam epitaxy”, Electronic Letters, Vo 32, No 3, pp. 267-269, 1996.

[1.13] Byoung Hun Lee, Jungwoo Oh, Hsing Huang Tseng, Rajarao Jammy, Howard Huff, “Gate stack technology for nanoscale devices”, *Materials Today*, Vo 9, No 6, pp. 32-40, June 2006.

[1.14] Cleber Biasotto, “Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silício por deposição ECR-CVD”, *Dissertação de Mestrado, FEEC-UNICAMP*, 2005.

[1.15] J. A. Diniz, L. E. M. de Barros Jr., R. T. Yoshioka, G.S. Lujan, I. Danilov, J.W. Swart, “One step silicon nitride passivation by ECR-CVD for hetero-structure transistors and MIS devices”, *Proc. Symp. Compound Semiconductor Surface Passivation and Novel Device Processing - Mat. Res. Soc.*, San Francisco, CA, U.S.A, 573, 1999 April 5-7, p.137-142.

[1.16] Hideki Hasegawa and Hideo Ohno, “Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces”, *J. Vac. Sci. Technol. B*, Vo 4, No 4, Jul/Aug 1986.

[1.17] S. Kochowski, K. Nitsch and R. Paszkiewicz, “Electrical properties of SiO<sub>2</sub>–(n) GaAs interface on the basis of measurements of MIS structure capacitance and conductance”, *Thin Solid Film*, Vo 348, No 1-2, pp. 180-187, 1999.

[1.18] W. E. Spicer, Z. Liliental-Weber, E. Weber, N. Newman, T. Kendelewicz, R. Cao, C. McCants, P. Mahowald, K. Miyano and I. Lindau, “The advanced unified defect model for Schottky barrier formation”, *J. Vac. Sci. Technol. B* 6(4), July 1988.

[1.19] J. L. Freeouf and J. M. Woodall, “Schottky barriers: An effective work function model”, *Appl. Phys. Lett.* 39(9), 1 November 1981.

[1.20] Hideki Hasegawa, Kevin E. Forward, and Hans L. Hartnagel, “New anodic native oxide of GaAs with improved dielectric and interface properties”, *Appl. Phys. Lett.* Vo 26, No 10, pp. 567-569, 1975.

[1.21] Jau-Yi Wu, Hwei-Heng Wang, Yeong-Her Wang, Mau-Phon Houg, “A GaAs MOSFET with a liquid phase oxidized gate”, *Electron Device Letters, IEEE*, Vol 20, No 1, pp. 18-20, 1999.

[1.22] A. M. Green and W. E. Spicer, “Do we need a new methodology for GaAs passivation?”, *J. Vac. Sci. Technol. A* 11(4), pp. 1061-1069, 1993.

[1.23] Yoshioka R.T., de Barros L.E.M., Jr. Diniz J.A., Swart J. W., “Improving performance of microwave AlGaAs/GaAs HBTs using novel SiNx passivation process”, *SBMO/IEEE MTT-S IMOC’99 Proceedings*, 1, 1999.

[1.24] C. J. Sandroff, R. N. Nottenburg, J.-C. Bischoff, and R. Bhat, “Dramatic enhancement in the gain of a GaAs/AlGaAs heterostructure bipolar transistor by surface chemical passivation”, *Appl. Phys. Lett.* 51(1), 6 July 1987.

[1.25] H. C. Casey, Jr., A. Y. Cho, and E. H. Nicollian, “Use of oxygen-doped  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  for the insulating layer in MIS structures”, *Appl. Phys. Lett.* 32, 1978.

[1.26] Solomon, P.M. Knoedler, C.M. Wright, S.L., “A GaAs gate heterojunction FET”, *IEEE Electron Device Letter*, 5(9), Sept 1984.

[1.27] D. C. Look, D. C. Walters, C. E. Stutz, K. R. Evans, and J. R. Sizelove, “Mechanisms for GaAs surface passivation by a molecular beam epitaxial cap layer grown at  $200^\circ\text{C}$ ”, *J. Appl. Phys.*, Vo 71, No 12, pp. 5981-5984, 1992.

[1.28] M. Hong, Z. H. Lu, J. Kwo, A. R. Kortan, J. P. Mannaerts, J. J. Krajewski, K. C. Hsieh, L. J. Chou, and K. Y. Cheng, “Initial growth of  $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$  on GaAs: Key to the attainment of a low interfacial density of states”, *Appl. Phys. Lett.* 76(3), 17 January 2000.

[1.29] P.J. Tsai, L.K. Chu, Y.W. Chen, Y.N. Chiu, H.P. Yang, P. Chang, J. Kwo, J. Chi, M. Honga, “Depletion-mode GaAs-based MOSFET with  $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$  as a gate dielectric”, *Journal of Crystal Growth* 301–302, 1013–1016, 2007.

[1.30] Ravi Droopad, Karthik Rajagopalan, Jon Abrokwhah, Liz Adams, Nate England, Dave Uebelhoer, Peter Fejes, Peter Zurcher, Matthias Passlack, “Development of GaAs-based MOSFET using molecular beam epitaxy”, *Journal of Crystal Growth* 301–302, 139–144, 2007.

[1.31] W. C. Dautremont-Smith, J. C. Nabity, V. Swaminathan, Michael Stavola, J. Chevallier, C. W. Tu, and S. J. Pearton, “Passivation of deep level defects in molecular beam epitaxial GaAs by hydrogen plasma exposure”, *Appl. Phys. Lett.*, Vo 49, No 17, pp. 1098 – 1100, 1986.

[1.32] Herman J. S. and Terry F. L., “Plasma Passivation of Gallium-Arsenide”, *Journal of Vacuum Science & Technology A-Vacuum Surfaces and Films*, Vo 11, No 4, pp. 1094-1098, 1993.

[1.33] S. Oktyabrsky, V. Tokranov, M. Yakimov, R. Moore, S. Kovesnikov, W. Tsai, F. Zhuc, J.C. Lee, “High-k gate stack on GaAs and InGaAs using in situ passivation with amorphous silicon”, *Materials Science and Engineering B*, 135, pp. 272–276, 2006.

[1.34] S. Kovesnikov, W. Tsai, I. Ok, J. C. Lee, V. Torkanov, M. Yakimov, and S. Oktyabrsky, “Metal-oxide-semiconductor capacitors on GaAs with high-k gate oxide and amorphous silicon interface passivation layer”, *Appl. Phys. Lett.* 88, 2006.

[1.35] Fountain G. G., Hattangady S. V., Vitkavage D. J., Rudder R. A., Markunas R. J., “GaAs MIS structures with  $\text{SiO}_2$  using a thin silicon interlayer”, *Electronics Letters*, Vo 24, No 18, pp. 1134-1135, 1988.

[1.36] S. Ingreby, “III - V surface processing”, *J. Vac. Sci. Technol. A*, Vo 10, No 4, pp. 829-836, 1992.

[1.37] C. J. Sandroff, M. S. Hegde, L. A. Farrow, R. Bhat, J. P. Harbison, and C. C. Chang, "Enhanced electronic properties of GaAs surfaces chemically passivated by selenium reactions", *J. Appl. Phys.* 67(1), 1990.

[1.38] S. Pal, S. K. Ray, B. R. Chakraborty, S. K. Lahiri, and D. N. Bose, "Gd<sub>2</sub>O<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>(Gd<sub>2</sub>O<sub>3</sub>), Y<sub>2</sub>O<sub>3</sub>, and Ga<sub>2</sub>O<sub>3</sub>, as high-*k* gate dielectrics on SiGe: A comparative study", *J. Appl. Phys.* 90(8), 2001.

[1.39] J. Kwo, D. W. Murphy, M. Hong, R. L. Opila, J. P. Mannaerts, A. M. Sergent, and R. L. Masaitis, "Passivation of GaAs using (Ga<sub>2</sub>O<sub>3</sub>)<sub>1-x</sub>(Gd<sub>2</sub>O<sub>3</sub>)<sub>x</sub>, 0 ≤ x ≤ 1.0 films", *Appl. Phys. Lett.* 75(8), 1999.

[1.40] F. Capasso and G. F. Williams, "A Proposed Hydrogenation/Nitridization Passivation Mechanism for GaAs and Other III-V Semiconductor Devices, Including InGaAs Long Wavelength Photodetectors", *J. Electrochem. Soc.*, Volume 129, Issue 4, pp. 821-824 (April 1982).

[1.41] A. Callegari, P. D. Hoh, D. A. Buchanan, and D. Lacey, "Unpinned gallium oxide/GaAs interface by hydrogen and nitrogen surface plasma treatment", *Appl. Phys. Lett.* 54(4), 332 (1989).

[1.42] L. B. Zoccal, J. A. Diniz, I. Doi, J. W. Swart, A. M. Daltrini, and S. A. Moshkalyov, "Efficacy of ECR-CVD silicon nitride passivation in InGaP/GaAs HBTs", *J. Vac. Sci. Technol. B*, 24(4), 1762 (2006).

[1.43] A. Jaouad, V. Aimez, C. Aktik, "GaAs passivation by low-frequency plasma-enhanced chemical vapour deposition of silicon nitride", *Electronics Letters*, 40(16), 1024, 5 Aug. 2004.

[1.44] Y. Saito, Y. Tosaka, S. Nakajima, "Silicon nitride final passivation for GaAs metal semi-conductor field effect transistors (MESFETs) packaged in plastic mold", *Japanese Journal of Applied Physics Part 2-Letters*, 42(11B), 15 NOV 2003.

[1.45] Yw Liu, H. Wang, K. Radhakrishnan, "Increase in electron mobility of InGaAs/InP composite channel high electron mobility transistor structure due to SiN passivation", *Thin Solid Films*, 515(10), 26 Mar 2007.

[1.46] N. Onojima, M. Higashiwaki, J. Suda, T. Kimoto, T. Mimura, and T. Matsui, "Reduction in potential barrier height of AlGaIn/GaN heterostructures by SiN passivation", *J. Appl. Phys.*, 101(4), 2007.

[1.47] Z. Jin, S. Neumann, W. Prost and F.-J. Tegude, "Passivation of InP/GaAsSb/InP double heterostructure bipolar transistors with ultra thin base layer by low-temperature deposited SiN<sub>x</sub>", *Solid-State Electron*, 49(3), March 2005.

[1.48] Z. Jin, F. Otten, T. Reimann, S. Neumann, W. Prost and F. J. Tegude, "Current gain increase by SiN<sub>x</sub> passivation in self-aligned InGaAs/InP heterostructure

bipolar transistor with compositionally graded base”, *Solid-State Electron*, 48(9), September 2004.

[1.49] J. W. Lee, K. D. MacKenzie, D. Johnson, R. J. Shul, S. J. Pearton, C. R. Abernathy and F. Ren, “Device degradation during low temperature ECR-CVD. Part I: GaAs MESFETs”, *Solid-State Electron*, 42(6), June 1998.

[1.50] J. W. Lee, K. D. MacKenzie, D. Johnson, R. J. Shul, S. J. Pearton, C. R. Abernathy and F. Ren, “Device degradation during low temperature ECR-CVD. Part II: GaAs/AlGaAs HBTs”, *Solid-State Electron*, 42(6), June 1998.

[1.51] Michael M. Oye, Davood Shahrjerdi, Injo Ok, Jeffrey B. Hurst, Shannon D. Lewis, Sagnik Dey, David Q. Kelly, Sachin Joshi, Terry J. Mattord, Xiaojun Yu, Mark A. Wistey, James S. Harris Jr., Archie L. Holmes Jr., Jack C. Lee, Sanjay K. Banerjee, “Molecular-beam epitaxy growth of device-compatible GaAs on silicon substrates with thin (similar to 80 nm)  $\text{Si}_{1-x}\text{Ge}_x$  step-graded buffer layers for high-kappa III-V metal-oxide-semiconductor field effect transistor applications”, *Journal of Vacuum Science & Technology B*, Vo 25, No 3, pp. 1098-1102, 2007.

[1.52] G. Vanamu, A. K. Datye, S. H. Zaidi, “Epitaxial growth of high-quality Ge films on nanostructured silicon substrates”, *Applied Physics Letters*, Vo 88, No 20, 2006.

[1.53] G. Vanamu, A. K. Datye, R. Dawson, Saleem H. Zaidi, “Growth of high-quality GaAs on Ge/ $\text{Si}_{1-x}\text{Ge}_x$  on nanostructured silicon substrates”, *Applied Physics Letters*, Vo 88, No 25, 2006.

[1.54] L. B. Zoccal, “Desenvolvimento de Elementos de Projeto de MMIC em Tecnologia HBT”, Tese de Mestrado, DSIF-FEEC-UNICAMP, Dezembro de 2002.

[1.55] M. A. de Góes, “Desenvolvimento de Receptor Óptico Integrado em Tecnologia HBT”, Tese de Mestrado, DSIF-FEEC-UNICAMP, Julho de 2005.

[1.56] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs”, *Tese de Doutorado*, DSIF-FEEC-UNICAMP, Dezembro de 2001.

[1.57] J. R. Lothian, J. M. Kuo, F. Ren and S. J. Pearton, “Plasma and wet chemical etching of  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ ”, *Journal of Electronic Material*, Vo 21, No 4, pp. 441-445, 1992.

[1.58] F. Ren, C. R. Abernathy, S. J. Pearton, L. W. Yang and S. T. Fu, “Novel fabrication of self-aligned GaAs/AlGaAs and GaAs/InGaP microwave power heterojunction bipolar transistors”, *Solid-State Electronic*, Vo 38, No 9, pp. 1635-1639, 1995.

[1.59] Hiroyuki Uchiyama, Hiroshi Ohta, Takashi Shiota, Chisaki Takubo, Kenichi Tanaka, and Kazuhiro Mochizuki, “Fabrication of sub-transistor via holes for small and efficient power amplifiers using highly selective GaAs/InGaP wet etching”, *J. Vac. Sci. Technol. B*, Vo 24, No 2, pp. 664-668, 2006.

[2.1] A. C. Redolfi, “Projeto e Fabricação de HBTs”, Tese de Doutorado, DSIF-FEEC-UNICAMP, Abril de 1999.

[2.2] A. Grill, “Cold Plasma in Materials Fabrication From Fundamentals to Applications”, IEEE Press, New York.

[2.3] L. B. Zoccal, “Desenvolvimento de Elementos de Projeto de MMIC em Tecnologia HBT”, Tese de Mestrado, DSIF-FEEC-UNICAMP, Dezembro de 2002.

[2.4] S. M. Sze, “Physics of Semiconductor Devices”, 2nd Ed. New York Wiley, 1981.

[2.5] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs”, Tese de Doutorado, DSIF-FEEC-UNICAMP, Dezembro de 2001.

[2.6] S. Ina, Journal Electrochem. Soc. 118, pp. 768, 1971.

[2.7] Dow Chemical, “Processing Procedures for Dry-Etch CYCLOTENE Advanced Electronics Resins (Dry-Etch BCB)”, Processing Procedures, November 1997.

[2.8] A. S. Lujan, A. C. S. Ramos, J. W. Swart, and P. M. Enquist, “Dry Etch Characteristics of BCB for Application in a Multilevel Interconnection”, X Congress of the Brazilian Microelectronics Society, I Ibero American Microelectronics Conference, pp. 597-605, 1995.

[2.9] Página Internet:  
[http://www.htelabs.com/appnotes/si3n4\\_color\\_chart\\_LPCVD\\_silicon\\_nitride.htm](http://www.htelabs.com/appnotes/si3n4_color_chart_LPCVD_silicon_nitride.htm).  
(último acesso 02/08/2007).

[2.10] Página Internet: <http://www.srim.org>. (último acesso em 02/08/2007).

[3.1] G. Gonzalez, “Microwave transistor amplifiers: analysis and design”, Prentice-Hall, Inc. Upper Saddle River, NJ, USA, 1996.

[3.2] J. Gao, X. Li, L. Jia, H. Wang, G. Boeck, “Direct extraction of InP HBT noise parameters based on noise-figure measurement system”, IEEE Transactions on Microwave Theory and Techniques, Vo 53, No 1, pp. 330-335, 2005.

[3.3] M. Sandén et al, “Decreased low frequency noise by hydrogen passivation of polysilicon emitter bipolar transistors”, Microelectronics Reliability, Vo 40, pp. 1863-1867, 2000.

[3.4] S. A. Moshkalyov, J. A. Diniz, J. W. Swart, P. J. Tatsch e M. Machida, “Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma enhanced chemical vapor deposition in  $N_2/Ar/SiH_4$ ”, J. Vac. Sci Technol. B (15)6, pp. 2682-2687, 1997.

[3.5] L. B. Zoccal, J. A. Diniz, I. Doi, J. W. Swart, A. M. Daltrini, and S. A. Moshkalyov, "Efficacy of ECR-CVD silicon nitride passivation in InGaP/GaAs HBTs", *J. Vac. Sci. Technol. B*, 24(4), 1762 (2006).

[3.6] Z. Jin, S. Neumann, W. Prost, F. Tegude, "Passivation of InP/GaAsSb/InP double heterostructure bipolar transistors with ultra thin base layer by low-temperature deposited SiN<sub>x</sub>", *SOLID-STATE ELECTRONICS*, Vo 49, Issue 3, pp. 409-412, 2005.

[3.7] Z. Jin, F. Otten, T. Reimann, S. Neumann, W. Prost, F. Tegude, "Current gain increase by SiN<sub>x</sub> passivation in self-aligned InGaAs/InP heterostructure bipolar transistor with compositionally graded base", *J. SOLID-STATE ELECTRONICS*, Vo 48, Issue 9, pp. 1637-1641, 2004.

[3.8] J. W. Lee, K. D. MacKenzie, D. Johnson, R. J. Shul, S. J. Pearton, C. R. Abernathy, F. Ren, "Device degradation during low temperature ECR-CVD. Part II: GaAs/AlGaAs HBTs", *SOLID-STATE ELECTRONICS*, Vo 42, Issue 6, pp. 1021-1025, 1998.

[3.9] S. W. Hsieh, C. Y. Chang, Y. S. Lee, C. W. Lin, S. C. Hsu, "Properties of plasma-enhanced chemical-vapor-deposited a-SiN<sub>x</sub>:H by various dilution gases", *J. Appl. Phys.*, Vo 76, Issue 6, pp. 3645-3655, 1994.

[3.10] D. V. Tsu, G. Lucovsky, J. Manzini and S. S. Chao, "Deposition of silicon oxynitride thin films by remote plasma enhanced chemical vapor deposition" *J. Vac. Sci. Technol.*, Vo A5, Issue 4, pp. 1998-2002, 1987.

[3.11] S. Dreer And P. Wilhartitz, "Critical Evaluation of the State of the Art of the Analysis of Light Elements in Thin Films Demonstrated Using the Examples of SiO<sub>x</sub>N<sub>y</sub> and AlO<sub>x</sub>N<sub>y</sub> Films", *Pure Appl. Chem.*, Vo 76, No 6, pp. 1161–1213, 2004.

[3.12] Tamotsu Hashizume, Hideki Hasegawa, "A Novel Surface Passivation Structure for III-V Compound Semiconductors Utilizing a Silicon Interface Control Layer and its Application", *Materials Research Society, Mat. Res. Soc. Symp. Proc.*, Vo 573, pp. 45-56, 1999.

[3.13] Jaouad A., Aimez V., Aktik C., "GaAs passivation by low-frequency plasma-enhanced chemical vapour deposition of silicon nitride," *Electronics Letters*, Vo 40, No 16, pp. 1024-1026, 2004.

[3.14] S. Pearton, "Topics in growth and device processing of III-V semiconductors", *World Scientific*, 1996.

[3.15] D. M. Diatezua, Z. Wang, D. Park, Z. Chen, A. Rockett and H. Morkoc, "Si<sub>3</sub>N<sub>4</sub> on GaAs by direct electron cyclotron resonance plasma assisted nitridation of Si layer in Si/GaAs structure" *J. Vac. Sci. Technol. B*, Vo 16, Issue 2, pp. 507-510, 1998.

[3.16] J. A. Diniz, I. Doi and J. W. Swart, “Insulators obtained by Electron Cyclotron Resonance Plasmas on Si or GaAs”, *Materials Characterization*, Vo 50, pp. 135-147, 2003.

[3.17] M. H. Zhang, M. Oye, B. Cobb, F. Zhu, H. S. Kim, I. J. Ok, J. Hurst, S. Lewis, A. Holmes, J. C. Lee, S. Koveshnikov, W. Tsai, M. Yakimov, V. Torkanov, and S. Oktyabrsky, “Importance of controlling oxygen incorporation into HfO<sub>2</sub>/Si/n-GaAs gate stacks”, *Journal of Applied Physics*, Vo 101, 034103, 2007.

[3.18] Hideki Hasegawa, “Understanding and control of insulator-semiconductor interfaces for surface passivation of III-V compound semiconductors in *Compound Semiconductors: Growth, Processing and Devices*”, page 77, CRC, December 27 1989.

[3.19] Hideki Hasegawa and Hideo Ohno, “Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces”, *J. Vac. Sci. Technol. B*, Vo 4, No 4, Jul/Aug 1986.

[3.20] I. Ok et al, "Metal gate-HfO<sub>2</sub>/MOS structures on GaAs substrate with and without Si interlayer," *IEEE EDL*, Vo 27, pp. 145–147, 2006.

[3.21] Robert F. Pierret, Gerold W. Neudeck, “Modular Series on Solid State Devices. Volume II: The PN Junction Diode Second Edition”, Addison-Wesly Publishing Company, 1989.

[3.22] Página internet: <http://www.srim.org/>. (último acesso em 02/08/2007).

[3.23] S. M. Sze, “Physics of Semiconductor Devices”, 2nd Ed. New York Wiley, 1981.

[3.24] Adel S. Sedra, Kenneth C. Smith, “Microeletrônica”, 4th Ed. Makron Books, 2000.

[3.25] William Liu, “Thermal Management to Avoid the Collapse of Current Gain in Power Heterojunction Bipolar Transistors”, 17th Annual IEEE, Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, pp. 147-150, 1995.

[3.26] William Liu, “Thermal Coupling in 2-Finger Heteroj unction Bipolar Transistors”, *IEEE Transactions on Electron Devices*, Vol. 42, No. 6, pp. 1033-1038, June 1995.

[3.27] Kuen Yu Huang, Yiming Li, C. P. Lee, “Computer simulation of multifinger heterojunction bipolar transistor with self-heating and thermal coupling models”, *Microelectronic Engineering*, 75(2), pp. 137-144, 2004.

[3.28] R. T. Yoshioka, L. E. M. de Barros Jr., J. A. Diniz, J. W. Swart, “Improving performance of microwave AlGaAs/GaAs HBTs using novel SiNx passivation process”,

Microwave and Optoelectronics Conference, 1999. SBMO/IEEE MTT-S, APS and LEOS - IMOC '99. International, Vo 1, pp. 108-111, 1999.

[3.29] Andrew Davidson, Eric Strid, Keith Jones, “Achieving greater on-wafer S-parameter accuracy with the LRM calibration technique”, 34th ARFTG Conference Digest, Dec, 1989.

[3.30] Application note, “On-Wafer Vector Network Analyzer Calibration and Measurements”, <http://www.cascademicrotech.com>. (último acesso em 02/08/2007).

[3.31] RF Probe Selection Guide, “High-frequency probes for every application”, <http://www.cascademicrotech.com>. (último acesso em 02/08/2007).

[3.32] Application note, “Introduction to bipolar device GHz measurement techniques”, <http://www.cascademicrotech.com>. (último acesso em 02/08/2007).

[3.33] George D. Vendelin, “Design of Amplifiers and Oscillators by the S-Parameter Method”, John Wiley & Sons, Inc., 1982.

[3.34] Mason S. J., "Cover Gain in Feedback Amplifier", IRE Transactions on Circuit Theory, vol.1, no.2, pp. 20-25, Jun 1954.

[3.35] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs”, Tese de Doutorado, DSIF-FEEC-UNICAMP, Dezembro de 2001.

[3.36] George D. Vendelin, Shih-Chieh Shin, "Applying  $f_{max}$ ,  $f_t$ , and  $f_{mag}$  for Microwave Transistor Designs at Microwave and Millimeter-Wave Frequencies [Application Notes]", IEEE Microwave Magazine, vol.8, no.1, pp.84-90, Feb. 2007.

[3.37] Vickers H. O., "Comments on Unilateral gain of heterojunction bipolar transistors at microwave frequencies", IEEE Transactions on Electron Devices, vol.36, no.9, pp.1861-1862, Sep 1989.

[3.38] C. Ciofi and B. Neri, “Low-frequency noise measurements as a characterization tool for degradation phenomena in solid-state devices”, J. Phys. D: Appl. Phys., Vol. 33, No. 21, R199-R216, 2000.

[3.39] Vandamme L. K. J., "Noise as a diagnostic tool for quality and reliability of electronic devices", IEEE Transactions on Electron Devices, vol.41, no.11, pp. 2176-2187, Nov 1994.

[3.40] Celik-Butler Z., Hsiang, T. Y., "Determination of Si-SiO<sub>2</sub> interface trap density by 1/f noise measurements", IEEE Transactions on Electron Devices, vol.35, no.10, pp. 1651-1655, Oct 1988.

[4.1] L. B. Zoccal, J. A. Diniz, I. Doi, J. W. Swart, A. M. Daltrini, and S. A. Moshkalyov, "Efficacy of ECR-CVD silicon nitride passivation in InGaP/GaAs HBTs", *J. Vac. Sci. Technol. B*, 24(4), 1762 (2006).

[4.2] J. W. Lee, K. D. MacKenzie, D. Johnson, R. J. Shul, S. J. Pearton, C. R. Abernathy and F. Ren, "Device degradation during low temperature ECR-CVD. Part I: GaAs MESFETs", *Solid-State Electron*, 42(6), June 1998.

[4.3] J. W. Lee, K. D. MacKenzie, D. Johnson, R. J. Shul, S. J. Pearton, C. R. Abernathy and F. Ren, "Device degradation during low temperature ECR-CVD. Part II: GaAs/AlGaAs HBTs", *Solid-State Electron*, 42(6), June 1998.

[4.4] S. A. Moshkalyov, J. A. Diniz, J. W. Swart, P. J. Tatsch e M. Machida, "Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma enhanced chemical vapor deposition in N<sub>2</sub>/Ar/SiH<sub>4</sub>", *J. Vac. Sci Technol. B* (15)6, pp. 2682-2687, 1997.

[4.5] W. P. Li, X. W. Wang, Y. X. Liu, Shim, S. I. Shim, T. P. Ma, "Demonstration of unpinned GaAs surface and surface inversion with gate dielectric made of Si<sub>3</sub>N<sub>4</sub>", *Applied Physics Letters*, Vo 90, No 19, 2007.

[4.6] Cleber Biasotto, "Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silício por deposição ECR-CVD", *Dissertação de Mestrado, FEEC-UNICAMP*, 2005.

[4.7] Shih-Wei Tan, Hon-Ren Chen, Min-Yuan Chu, Wei-Tien Chen, An-Hung Lin, Meng-Kai Hsu, Tien-Sheng Lin and Wen-Shiung Lour, "Comparisons between InGaP/GaAs heterojunction bipolar transistors with a sulfur- and an InGaP-passivated base surface", *Superlattices and Microstructures*, Vo 37, No 6, pp. 401-409, 2005.

[4.8] Ssu-I Fu, Shiou-Ying Cheng and Wen-Chau Liu, "Characteristics of InGaP/GaAs heterojunction bipolar transistors (HBTs) with sulfur treatments", *Superlattices and Microstructures*, Vo 39, No 5, pp. 436-445, 2006.

[4.9] Zhi Chen and Dawei Gong, "Physical and electrical properties of a Si<sub>3</sub>N<sub>4</sub>/Si/GaAs metal-insulator-semiconductor structure", *J. Appl. Phys.*, Vo 90, No 8, pp. 4205-4210, 2001.

[4.10] H. C. Lin, S. K. Kim, D. Chang, Y. Xuan, S. Mohammadi, P. D. Ye, G. Lu, A. Facchetti, T. J. Marks, "Direct-current and radio-frequency characterizations of GaAs metal-insulator-semiconductor field-effect transistors enabled by self-assembled nanodielectrics", *Applied Physics Letters*, Vo 91, No 9, 2007.

[4.11] H. C. Lin, P. D. Ye, Y. Xuan, G. Lu, A. Facchetti, T. J. Marks, "High-performance GaAs metal-insulator-semiconductor field-effect transistors enabled by self-assembled nanodielectrics", *Applied Physics Letters*, Vo 89, No 14, 2006.

[4.12] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs”, Tese de Doutorado, DSIF-FEEC-UNICAMP, Dezembro de 2001.

[4.13] J. A. Diniz, L. E. M. de Barros Jr., R. T. Yoshioka, G.S. Lujan, I. Danilov, J.W. Swart, “One step silicon nitride passivation by ECR-CVD for hetero-structure transistors and MIS devices”, Proc. Symp.Compound Semiconductor Surface Passivation and Novel Device Processing - Mat. Res. Soc., San Francisco, CA, U.S.A, 573, 1999 April 5-7, p.137-142.

[4.14] Yoshioka R.T., de Barros L.E.M., Jr. Diniz J.A., Swart J. W., “Improving performance of microwave AlGaAs/GaAs HBTs using novel SiNx passivation process”, SBMO/IEEE MTT-S IMOC’99 Proceedings, 1, 1999.

[4.15] Compound Semiconductor Magazine, “Freescale puts GaAs MOSFETs back on the agenda”, pp.15, Vo 12, Number 2, March 2006.

[A.1] Cleber Biasotto, “Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silício por deposição ECR-CVD”, Dissertação de Mestrado, FEEC-UNICAMP, 2005.

[A.2] Alfred Grill, “Cold Plasma in Materials Fabrication”, IEEE Press, New York, 1993.

[A.3] Madou Marc, “Fundamentals of Microfabrication”, CRC Press,1997.

[A.4] S. Wolf, and R. N. Tauber, “Silicon Processing for the VLSI Era, Vol.1: Process Technology”, Lattice Press, 1986.

[A.5] Stephen A. Campbell, “The Science and Engineering of Microeletronic Fabrication”, Oxford University Press, 1996.

[A.6] J. D. Plummer, M. D. Deal and P. B. Griffin, “Silicon VLSI Technology fundamental practice and modeling”, Prentice Hall, 2000.

[A.7] G. A. Manera, “Dielétricos de porta de oxinitreto de silício obtidos por plasma ECR”, Dissertação de Mestrado, FEEC-UNICAMP, 2004.

[A.8] Alexandre Gorni Felício, “Filmes Isolantes de SiO<sub>x</sub>N<sub>y</sub> Formados por Implantação de Nitrogênio em Substrato de Silício e Posterior Oxidação Térmica”, Dissertação de Mestrado, FEEC-UNICAMP, 2003.

[A.9] M. J. C. Bonfim, Tese de Mestrado, FEEC-UNICAMP (1992).

[A.10] A. B. Joshi and D. L. Kwong, IEEE Trans. Electron Device Lett.,13, 360. 1992.

[A.11] P. K. Mclarty, W. L. Hill, X. L. Xu, V. Misra, J. J. Wortman, and G. S. Harris, *Appl. Phys. Lett.*, 63(26), 3619. 1993.

[A.12] Anna Paula Sotero, “Obtenção e Caracterização de Filmes Finos e Ultra-Finos de Óxido e Oxinitreto de Silício em Sistema ”Home-Made” de Plasma Remoto”, Tese de Doutorado, DSIF/FEEC-UNICAMP, 1999.

[A.13] R. R. Neli, “Desenvolvimento de micro-estruturas mecânicas sobre o silício através da corrosão do substrato pela superfície”, Dissertação de Mestrado, FEEC-UNICAMP, 2002.

[A.14] S. A. Moshkalyov, J. A. Diniz, J. W. Swart, P. J. Tatsch e M. Machida, “Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma enhanced chemical vapor deposition in N<sub>2</sub>/Ar/SiH<sub>4</sub>”, *J. Vac. Sci Technol. B* (15)6, pp. 2682-2687, 1997.

[A.15] J. A. Diniz, A. P. Sotero, G. S. Lujan, P. J. Tatsch, J.W.Swart, *Nuclear Inst. and Meth. B* 166-167, pp. 64 – 69, 2000.

[A.16] J. A. Diniz, A. L. Couto, I. Danilov, P. J. Tatsch, J. W. Swart, 14th International Conference on Microelectronics and Packaging, vol.1, pp. 164 – Campinas/SP- Brasil, 1999.

[A.17] Jes Asmussen, Jr., Timothy A. Grotjohn, PengUn Mak, and Mark A. Perrin, “The Design and Application of Electron Cyclotron Resonance Discharges”, *IEEE Transactions on Plasma Scienc.*, Vol. 25, No. 6, 1997.

[A.18] K. Suzuki, S. Okudaira, N. Sakudo, and I. Kenomato, “Microwave plasma etching”, *Jpn. J. Appl. Phys.*, vol. 16, no. 11, pp. 1979–1984, 1977.

[A.19] L. Bardos, G. Longar, I. Stoll, J. Musil, and F. Zacek, “A method of formation of thin oxide films on silicon in a microwave magnetoactive plasma”, *J. Phys. D, Appl. Phys.*, vol. 8, pp. L195–L197, 1975.

[A.20] J. Musil and F. Zacek, “Penetration of a strong electromagnetic wave in an inhomogeneous plasma generated by ECR using a magnetic beach”, *Plasma Phys.*, vol. 13, pp. 471–476, 1971.

[A.21] C. R. Betanzo, “Corrosão por plasma para tecnologias CMOS e microssistemas”, Tese de Doutorado, FEEC-UNICAMP, 2003.

[B.1] Cleber Biasotto, “Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silício por deposição ECR-CVD”, *Dissertação de Mestrado*, FEEC-UNICAMP, 2005.

[B.2] S. A. Moshkalyov, J. A. Diniz, J. W. Swart, P. J. Tatsch, and M. Machida, “Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma

enhanced chemical vapor deposition in  $N_2/Ar/SiH_4$ ” J. Vac. Sci. Technol. B, Vo 15, No 6, pp. 2682-2687, 1997.

[B.3] Reader J., "Optimizing Czerny Turner Spectrographs: A Comparison Between Analytic Theory and Ray Tracing", J. Opt. Soc. Am. 59, (9), pp. 1189-1196, 1969.

[B.4] Richard H. Huddleston and Stanley L. Leonard, "Plasma Diagnostic Techniques", Academic Press, New York, 1965.

[B.5] J. B. Boffard, C. C. Lin e C. A. De Joseph Jr., "Application of excitation cross sections to optical plasma diagnostics", J. Phys. D: Appl. Phys., Vo 37, pp. R143-R161, 2004.

[B.6] Dennis M. Manos and Daniel L. Flamm, "Plasma Etching - An Introduction", Academic Press, New York, 1989.

[B.7] A. Francis, U. Czarnetzki, and H. F. Döbele / N. Sadeghi, *Appl. Phys. Lett.*, 71, 3796, 1997.

[B.8] W. C. Mariano, "Elipsometria", Relatório da Disciplina: Medidas de Caracterização para Microeletrônica, FEEC-UNICAMP, 1994.

[B.9] Alexandre Gorni Felício, "Filmes Isolantes de  $SiO_xN_y$  Formados por Implantação de Nitrogênio em Substrato de Silício e Posterior Oxidação Térmica", Dissertação de Mestrado, FEEC-UNICAMP, 2003.

[B.10] W. R. Runyan, "Semiconductor Measurements and Instrumentation", Texas Instruments Electronics Series, McGraw-Hill Company, p.158, 1975.

[B.11] J. A. Diniz, Tese de Doutorado, FEEC-UNICAMP, 1996.

[B.12] R. E. Santos, "Investigação sobre a Formação e Estabilidade Térmica dos Silicetos de Ni e Ni(Pt) em Substratos de Si (100)", Dissertação de Mestrado, FEEC-UNICAMP, 2003.

[B.13] W. Scot Ruska, "Etching, Microelectronic Processing", McGraw-Hill, New York, 1987.

[C.1] Fábio Aparecido Cavarsan, "Processos térmicos rápidos RTO/RTA para fabricação de dispositivos MOS", Dissertação de Mestrado, FEEC-UNICAMP, 2005.

[C.2] Página internet: [www.ccs.unicamp.br/cursos/fee107/download/cap05.pdf](http://www.ccs.unicamp.br/cursos/fee107/download/cap05.pdf). (último acesso em 02/08/2007).

[C.3] Página internet: [socrates.if.usp.br/~lkono/grad/pee444/capmos.pdf](http://socrates.if.usp.br/~lkono/grad/pee444/capmos.pdf). (último acesso em 02/08/2007).

- [C.4] J.A.Diniz, Tese de Mestrado, FEEC/UNICAMP, 1992.
- [C.5] D.F. Takeuti, Dissertação de Mestrado-FEEC/UNICAMP, 1992.
- [C.6] C.J. Frosch and L. Derick, “Surface Protection and Selective Masking During Diffusion in Silicon”, J. Electrochem. Soc., 104, 547-552, 1957.
- [C.7] N.G. Fontela, Tese de Mestrado- LME/USP, 1978.
- [C.8] J. A. Diniz, *Tese de Doutorado*, FEEC-UNICAMP, 1996.
- [C.9] W. J. M. J. Josquin, Nuclear Instrum and Methods, 209/210, 581, 1983.
- [C.10] N. P. Bogoroditsky, V. V. Pasyukov and B. M. Tareev, “Electrical Engineering Materials”, MIR Publishers Moscow, 79, 1979.
- [C.11] Katsuyuki Sekine, Yuji Saito, Masaki Hirayama, and Tadahiro Ohmi, “Silicon nitride film growth for advanced gate dielectric at low temperature employing high-density and low-energy ion bombardment”, J. Vac. Sci. Technol. A, 17(5), 3129, 1999.
- [C.12] T. P. Ma, “Making Silicon Nitride Film a Viable Gate Dielectric”, IEEE Transactions on Electron Devices, vol. 45, no. 3, March 1998.
- [C.13] Xin Guo, Ma T.P., Tamagawa T., Halpern B.L., “High quality ultra-thin  $\text{TiO}_2/\text{Si}_3\text{N}_4$  gate dielectric for giga scale MOS technology”, Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International, Vol. 6, Iss. 9, Dec 1998.
- [C.14] Goswami R., Butcher J.B., Ginige R., Zhang J.F., Taylor, S., Eccleston W., “Low-temperature gate dielectrics formed by plasma anodisation of silicon nitride”, Electronics Letters, Vol. 24, Iss. 20, 29 Sep 1988.
- [C.15] Chen A., Young M., Li W., Ma T. P., Woodall, J. M., “Metal-insulator-semiconductor structure on low-temperature grown GaAs”, Applied Physics Letters, 89(23), DEC 4 2006.
- [C.16] P. A. Houston, “Semiconductor Devices 4: High-frequency heterojunction bipolar transistor device design and technology”, Electrons & Communication Engineering Journal, October 2000.
- [C.17] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs”, Tese de Doutorado, DSIF-FEEC-UNICAMP, Dezembro de 2001.
- [C.18] H. Kroemer, “Heterostructure Bipolar Transistors and Integrated Circuits”, Proceedings of the IEEE, Vo 70, No 1, January 1982.

[C.19] J. Batey and S. L. Wright, "Energy Band Alignment in GaAs:(Al,Ga)As Heterostructures: The Dependence on Alloy Compositions", *Journal of Applied Physics*, 59(1), pp. 200 – 209, 1986.

[C.20] T. Kobayashi, K. Taira, F. Nakamura and H. Kawai, "Band Lineup for a GaInP/GaAs Heterojunction Measured by a High Gain N-p-n Heterojunction Bipolar Transistor Grown by Metalorganic Chemical Vapor Deposition", *Journal of Applied Physics*, 65(12), pp. 4898 – 4902, 1989.

[C.21] D. Biswas, N. Debbar, P. Bhattacharya, "Conduction and Valence Band Offsets in GaAs/Ga<sub>0.51</sub>In<sub>0.49</sub>P Single Quantum Wells Grown by Metal Chemical Vapor Deposition", *Applied Physics Letters*, 56(9), pp. 833 – 835, 1990.

[C.22] M. A. Rao, E. J. Caine, H. Kroemer, S. I. Long and D. I. Babić, "Determination of Valence and Conduction Band Discontinuities at the (Ga, In)P/GaAs Heterojunction by C-V Profiling", *Journal of Applied Physics*, 61(2), pp. 643 – 649, 1987.

[C.23] D. V. Lang, M. B. Panish, F. Capasso, J. Allam, R. A. Hamm, A. M. Sergent and W. T. Tsang, "Measurement of Heterojunction Band Offsets by Admittance Spectroscopy: InP/Ga<sub>0.47</sub>In<sub>0.53</sub>As", *Applied Physics Letters*, 50(12), pp. 736 – 738, 1987.

[C.24] M. Hafizi, R. A. Metzger, and W. E. Stanchina, "Dependence of DC Current Gain and  $f_{max}$  of AlInAs/GaInAs HBT's on Base Sheet Resistance", *IEEE Electron Device Letters*, Vo 14, No 7, pp. 323-325, July 1993.

[C.25] Z. Jin, F. Otten, T. Reimann, S. Neumann, W. Prost and F. J. Tegude, "Current gain increase by SiN<sub>x</sub> passivation in self-aligned InGaAs/InP heterostructure bipolar transistor with compositionally graded base", *Solid-State Electron*, 48(9), September 2004.

[C.26] I. Getreu, "Modeling the Bipolar Transistor", Tektronix, Inc., 1976.

[C.27] A. C. Redolfi, "Projeto e Fabricação de HBTs", Tese de Doutorado, DSIF-FEEC-UNICAMP, Abril de 1999.

[C.28] E. Martins, "Modelamento de Transistores Bipolares de Heterojunção", Tese de Mestrado, LPD-IFGW-UNICAMP, Novembro de 1994.

[C.29] P. W. Tuinenga, "SPICE: A Guide to Circuit Simulation and Analysis Using PSpice<sup>®</sup>", *Prentice Hall Inc.*, Second Edition, 1992.

[C.30] Borgarino M., Plana R., Delage S.L., Fantini F. Graffeuil J., "Influence of surface recombination on the burn-in effect in microwave GaInP/GaAs HBT's", *IEEE Transactions on Electron Devices*, 46(1), Jan 1999.

[C.31] M. Sotoodeh, L. Sozzi, A. Vinay, A. H. Khalid, Z. Hu, A. A. Rezazadeh, and R. Menozzi, "Stepping Toward Standard Methods of Small-Signal Parameter Extraction for

HBT's", IEEE Transactions on Electron Devices, Vol. 47, No. 6, pp. 1139-1151, June 2000.

[C.32] B. Li, S. Prasad, Li-Wu Yang, and S. C. Wang, "A Semianalytical Parameter-Extraction Procedure for HBT Equivalent Circuit", IEEE Transactions on Microwave Theory and Techniques, Vol. 46, No. 10, pp. 1427-1435, October 1998.

[C.33] Página Internet:  
[http://www.kingshonor.com/Science/Tutorial/Modeling/Session03\\_Deembedding/](http://www.kingshonor.com/Science/Tutorial/Modeling/Session03_Deembedding/).  
(último acesso em 02/08/2007).

[C.34] Paul M. Hill, "A Comprehensive Analytical Model for III-V Compound MISFET's", IEEE Transactions on Electron Devices, Vol. ED-32, No. 11, pp 2249-2256, November 1985.

[C.35] D. Lile, "The Effect of Surface States on the Characteristics of MIS Field-Effect Transistors", Solid State Electron., vol. 21, pp 1199-1207, 1978.

[C.36] W. Curtice, "Direct comparison of the electron-temperature model with the particle-mesh (Monte-Carlo) model for the GaAs MESFET", IEEE Trans. Electron Devices, vol. ED-29, No. 12, pp. 1942-1943, Dec. 1982.

[C.37] R. Pucel, H. Haus, and H. Stutz, "Signal and noise properties of gallium arsenide microwave field-effect transistors", Advances in Electronics and Electron Devices, vol. 38. New York: Academic, 1975, pp. 195-265.

[C.38] H. Fukui, "Determination of the basic device parameters of a GaAs MESFET", Bell Syst. Tech. J., vol. 58, No. 3, pp. 771-797, Mar. 1979.

[C.39] E. Nicollian and J. Brews, "MOS (metal oxide semiconductor) physics and technology", MOS Physics and Technology. New York: Wiley, 1982.

[D.1] L. B. Zoccal, "Desenvolvimento de Elementos de Projeto de MMIC em Tecnologia HBT", Tese de Mestrado, DSIF-FEEC-UNICAMP, Dezembro de 2002.

[D.2] Página internet: <http://opencircuitdesign.com/magic/>. (último acesso em 02/08/2007).

# ANEXO A

## SISTEMAS DE DEPOSIÇÃO DE FILMES DE NITRETO DE SILÍCIO

Este anexo apresentará a definição de plasma e descreverá os sistemas mais comuns de deposição de filmes (isolantes, condutores ou semicondutores) por CVD. Dentre os sistemas que serão descritos, será dada uma atenção especial ao sistema de plasma ECR.

### A.1 DEFINIÇÃO DE PLASMA

O plasma pode ser definido como o quarto estado da matéria [A.1, A.2]. Os intervalos de temperatura e de energia correspondentes a cada um dos quatro estados de matéria que ocorrem na natureza, são apresentados na figura A.1. “Descarga elétrica”, “descarga gasosa” ou “descarga luminescente” são termos usados para plasma, que se entende como sendo um gás contendo espécies neutras e eletricamente carregadas como elétrons, íons positivos, íons negativos e moléculas. Um plasma na média é eletricamente neutro. Qualquer desbalanceamento de carga resultará em campos elétricos que tendem a mover as cargas de modo a restabelecer o equilíbrio. Assim, pode-se dizer que a densidade de íons positivos deve ser igual à densidade de elétrons mais a densidade de íons negativos.

Um plasma é geralmente obtido quando uma energia suficiente, maior do que a energia de ionização é fornecida aos átomos e/ou moléculas de um gás, causando ionização e produção de íons e elétrons. Processos de recombinação entre elétrons e íons podem ocorrer formando átomos neutros ou moléculas. Um plasma é geralmente excitado e mantido através do fornecimento de energia eletromagnética para o gás de diferentes formas, como por exemplo, corrente direta, rádio frequência e microondas, que é o caso do plasma ECR-CVD [A.1, A.2].

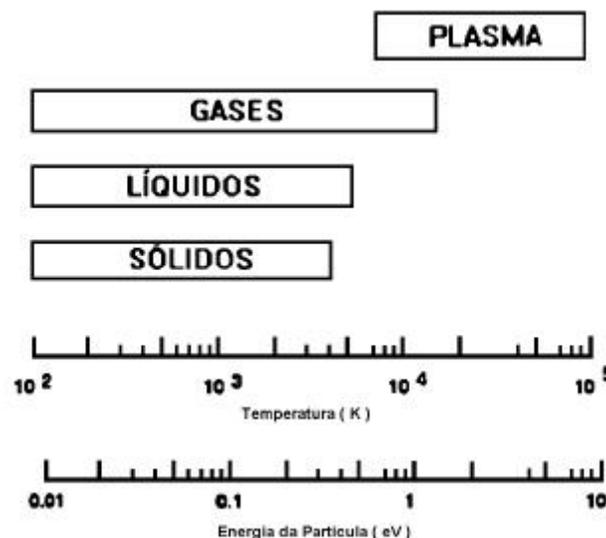


Figura A.1- Correspondência da energia da partícula com a temperatura dos quatro estados da matéria [A.2].

## A.2 PROCESSOS DE DEPOSIÇÃO A PARTIR DA FASE VAPOR (CVD)

A deposição química a partir da fase vapor (*Chemical Vapor Deposition* – CVD) é um processo pelo qual gases ou vapores reagem quimicamente (onde essas moléculas gasosas são chamadas precursoras), levando à formação de um sólido sobre o substrato. Nesta técnica, o substrato, onde será depositado o filme, é colocado no interior de uma câmara ou de um tubo, onde os gases precursores são injetados. Esse método é o mais comum para a deposição de filmes finos, utilizados atualmente na fabricação de circuitos integrados (CIs). Este método permite, além da deposição de filmes finos isolantes (dielétricos), filmes condutores e semicondutores. Os filmes finos dielétricos podem ser utilizados em uma variedade de aplicações, entre elas:

- (i) Conexão ativa de dispositivos;
- (ii) Comunicação entre os dispositivos;
- (iii) Acesso externo aos circuitos;
- (iv) Isolação entre as camadas condutoras;
- (v) Como fonte de dopante e como barreira para dopagem;
- (vi) Para proteger as superfícies do ambiente externo;
- (vii) Passivação de camadas semicondutoras (que é o objetivo da tese);
- (viii) Camadas temporárias (máscara para alguma etapa de processo), etc.

Dentre os filmes que podem ser depositados por CVD podemos citar:

- Silício policristalino (Si-poli);
- Óxido de silício ( $\text{SiO}_2$ );
- Nitreto de silício ( $\text{Si}_3\text{N}_4$ , SiN);
- Metais (Al, W, Ti, etc.);
- Silicetos ( $\text{WSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{MoSi}_2$ ,  $\text{TaSi}_2$ ).

### A.2.1 ASPECTOS BÁSICOS DO PROCESSO CVD [A.3, A.4, A.5, A.6]

O processo básico de deposição de filmes por CVD consiste em algumas etapas (figura A.2) que estão listadas a seguir [A.3, A.4, A.5, A.6]:

- 1 - introdução na câmara de gases reagentes e diluentes a uma determinada composição e fluxo;
- 2 - transporte de espécies reativas até o substrato;
- 3 - adsorção de espécies reativas na superfície do substrato;
- 4 - migração de espécies na superfície e reações químicas de formação do filme;
- 5 - desorção de subprodutos da reação;
- 6 - transporte dos subprodutos da reação para a região de fluxo principal;
- 7 - remoção dos subprodutos gasosos da reação e gases, não consumidos no processo, da câmara de reação.

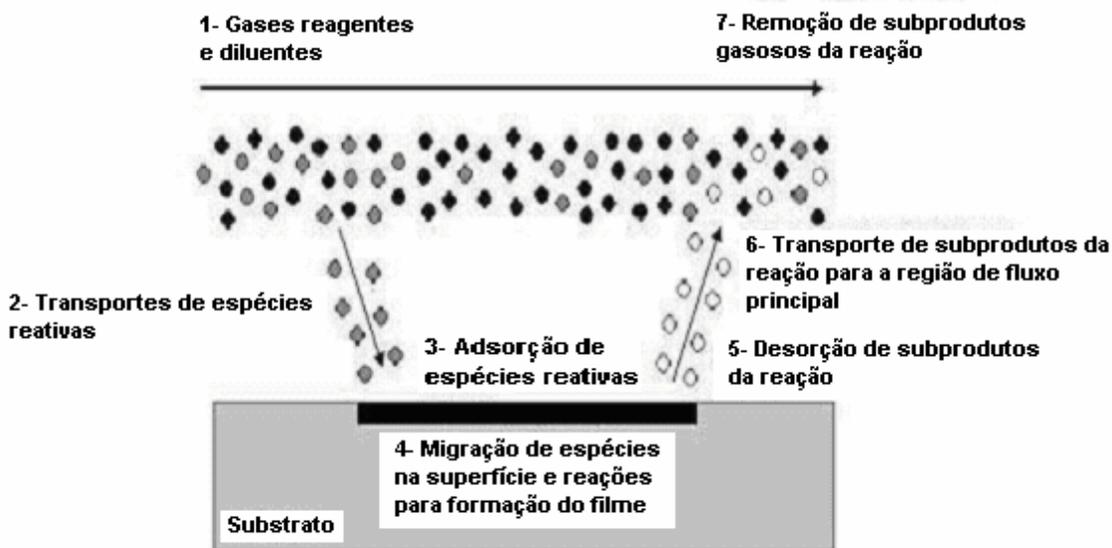


Figura A.2 - Etapas envolvidas no processo CVD [A.5].

Normalmente, a técnica CVD apresenta taxa de deposição maior que 10 nm/min, relativa simplicidade na operação do equipamento, facilidade em obter um melhor controle sobre os filmes depositados e permite também trabalhar em diversas temperaturas. Porém, a taxa de deposição do processo CVD está relacionada com a taxa de reação química, taxa de difusão do precursor na camada limite (*boundary layer*) e taxa de adsorção do precursor sobre a superfície. A taxa de deposição pode ser dividida em 3 regimes, que são apresentados na figura A.3.

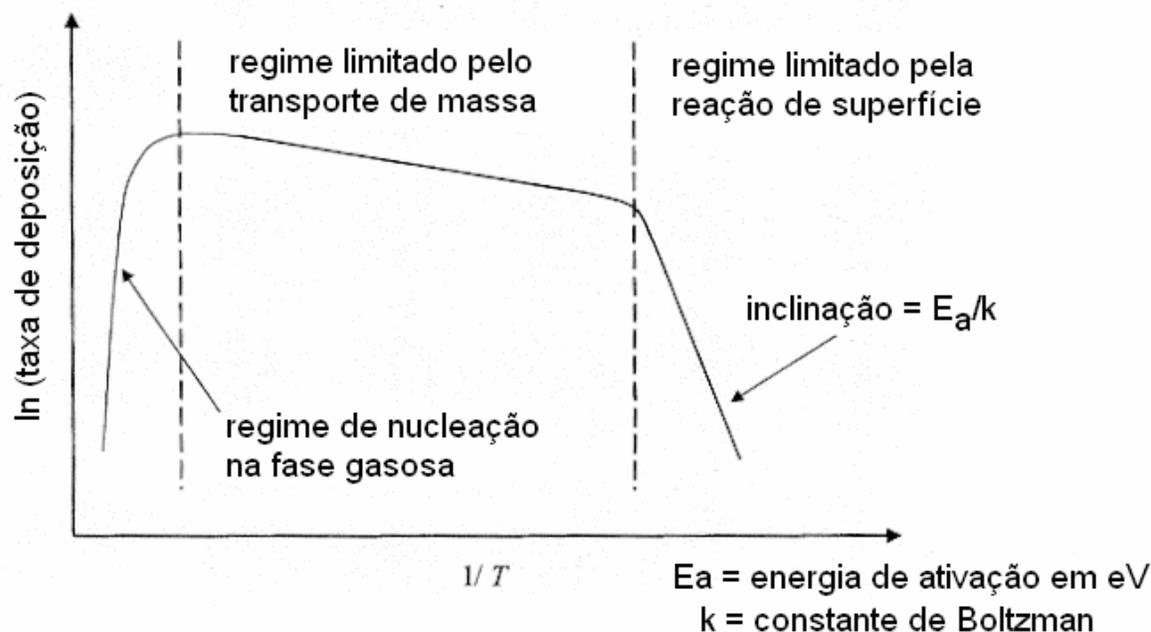
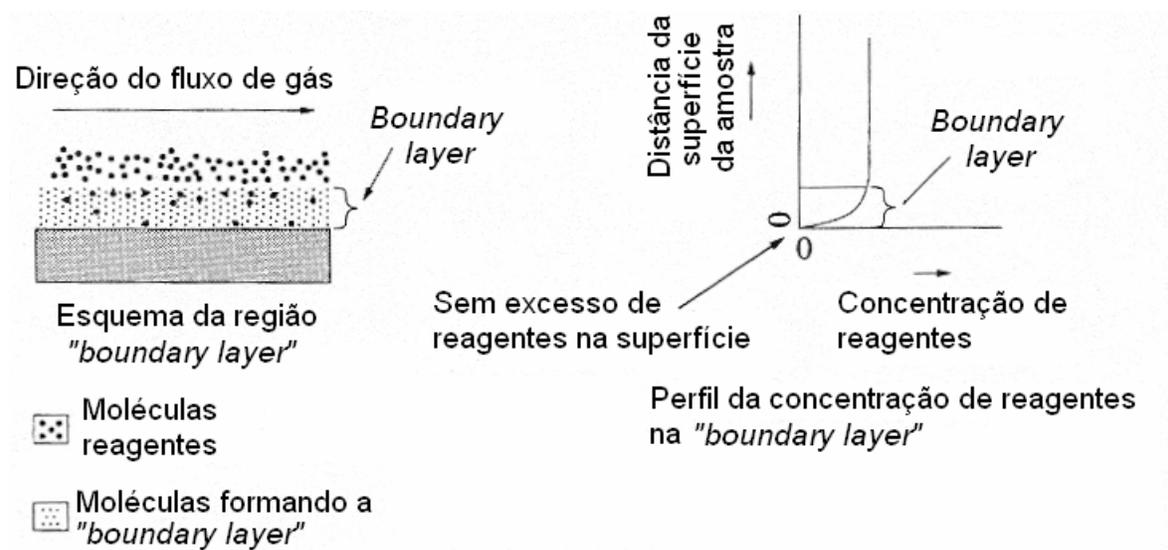


Figura A.3 – Três diferentes regimes de deposição em função da temperatura [A.4].

Pela figura A.3, no primeiro regime, o qual corresponde as baixas temperaturas (extrema direita do gráfico), a taxa de reação química é baixa e a taxa de deposição bastante sensível à temperatura. Aqui a deposição é limitada pela reação de superfície. Este regime de deposição requer boa uniformidade de temperatura sobre o substrato, já que em baixas temperaturas poucas moléculas possuem energia suficiente para iniciar a reação.

Já no segundo regime, o qual corresponde às altas temperaturas, a deposição é bem menos sensível à temperatura e a deposição passa a ser limitada pelo transporte de massa. Neste regime, a taxa de reação química é suficientemente alta e os processos reagem imediatamente quando adsorvidos sobre a superfície do substrato. A taxa de deposição não depende da taxa de reação de superfície, mas da rapidez com que os precursores podem difundir através da camada limite (*boundary layer*) e serem adsorvidos sobre a superfície. Este regime requer boa uniformidade de fluxo e densidade das espécies sobre as lâminas. Esquemáticamente, a figura A.4 ilustra essa dependência da taxa de deposição. Se a temperatura aumentar mais (terceiro regime), a taxa decresce rapidamente devido à nucleação na fase gasosa, tornando o processo indesejável.



**Figura A.4 – Difusão através do *boundary layer* na superfície do substrato [A.4].**

Pode-se também acrescentar o uso de plasma no processo CVD, para criar espécies reativas através do plasma, podendo assim obter melhores resultados nas deposições [A.3, A.4, A.5, A.6]. Independentemente do uso ou não do plasma, a deposição pela técnica CVD, especialmente a de filmes finos, deve seguir aos requisitos que são:

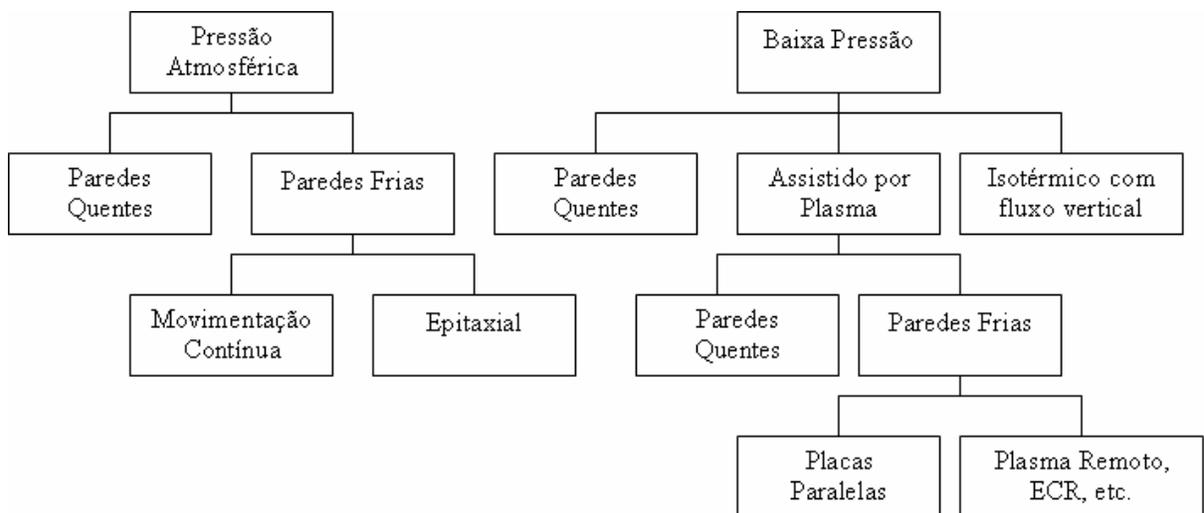
- O filme deve ser de alta pureza e densidade;
- Composição e estequiometria controladas;
- Boa uniformidade em espessura e reprodutibilidade;
- Alto nível de perfeição estrutural;
- Boas propriedades elétricas;
- Excelente aderência;
- Boa cobertura de degrau;
- Baixa densidade de defeitos (imperfeições, *pinholes*, etc.);

- Baixa contaminação por partículas;
- Processo econômico (seguro, automatizável e barato).

As reações que ocorrem durante os processos ou deposições por CVD podem ocorrer de duas maneiras: Uma é a reação homogênea, que é uma reação que ocorre na fase vapor (é também conhecida como processos de fase vapor) produzindo partículas. Esta reação resulta em filmes de pouca aderência, baixa densidade e alta concentração de defeitos. A outra reação é a reação heterogênea, e que é a desejável, pois essa reação ocorre na superfície ou próxima a ela. Esta reação também é conhecida como processo de superfície.

## A.2.2 TÉCNICAS DO PROCESSO CVD [A.6, A.7, A.8]

A utilização deste processo é bastante diversificada, e, diferentes tipos de reatores CVD são conhecidos atualmente. A figura A.5 apresenta os diferentes tipos de reatores CVD.



**Figura A.5 – Diferentes tipos de reatores CVD [A.6].**

Sistema APCVD (*Atmospheric Pressure Chemical Vapor Deposition*) [A.6]. Estes reatores foram os primeiros a serem utilizados pela indústria de microeletrônica. Sua estrutura é simples e permite deposições com altas taxas (maiores que 100 nm/min), no entanto, é susceptível a reações em fase gasosa necessitando de alto fluxo de gases e não apresenta uma boa cobertura de degrau. Usados na deposição de muitos filmes especialmente silício epitaxial e dióxido de silício, este tipo de reator necessita de limpeza constante devido à deposição nas paredes da câmara. A temperatura de deposição dos filmes nesse sistema é relativamente baixa, 400°C.

No sistema de LPCVD (*Low Pressure Chemical Vapor Deposition*) [A.9], que é um reator do tipo forno convencional aquecido por resistência elétrica, a deposição dos filmes sólidos é executada através da energia térmica fornecida pela resistência aos reagentes gasosos em temperaturas de aproximadamente 800°C e em baixa pressão (0,25 a 2,0 Torr, o

que aumenta a difusibilidade das espécies,  $10^3$  vezes). Neste tipo de reator toda a câmara de processo é aquecida. Estes reatores apresentam melhores resultados que os reatores APCVD em termos de uniformidade do filme depositado, cobertura de degrau e contaminação por partículas. As maiores desvantagens desses sistemas são a baixa taxa de deposição (10-50 nm/min) e a alta temperatura utilizada (800°C). Esse sistema apresenta menos reação na fase gasosa (menor geração de partículas), boa uniformidade, boa cobertura de degraus e não requer uniformidade de fluxo, mas sim temperatura.

No sistema RTCVD (*Rapid Thermal Chemical Vapor Deposition*), substratos individuais colocados em uma câmara de processo são expostos a uma fonte radiante, como lâmpadas halógenas, e rapidamente aquecidos em altas temperaturas (maiores que 800°C). A deposição é executada através da reação dos gases reagentes na superfície do substrato aquecido [A.10].

No sistema PCVD (*Photo CVD*), a deposição é executada pela exposição do substrato a fótons provenientes de LASER ou fonte de ultravioleta (UV), que auxiliam na reação dos gases reagentes [A.11].

No sistema PECVD (*Plasma Enhanced CVD*) emprega-se a tecnologia CVD auxiliada por plasma (gás parcialmente ionizado), que facilita a reação dos gases reagentes na região do substrato e é executada em temperaturas mais baixas (menores que 500°C) que as exigidas por CVD térmico e RTCVD. Por exemplo, quando se está utilizando o alumínio como nível de metal, com ponto de fusão de 660° C, usualmente, a deposição de dielétricos intermetálicos deve ser executada entre 200 °C e 350°C, para evitar a perda do Al. No reator PECVD, o substrato fica imerso no plasma, pois se efetua a descarga elétrica na região de deposição, ionizando-se todos os gases que participam do processo. Portanto, o substrato fica exposto à radiação produzida pelo plasma [A.11, A.12]. Geralmente, os filmes obtidos não são estequiométricos e os subprodutos da reação, especialmente, hidrogênio, oxigênio e nitrogênio, podem incorporar no filme. As frequências de RF utilizadas variam entre 450 kHz e 13,56 MHz, e as pressões neste sistema são entre 50 mtorr e 5 torr [A.6]. Porém, esse processo é mais complexo, uma vez que apresenta mais parâmetros a serem controlados. Caso o sistema PECVD for utilizado a temperaturas mais elevadas, permite o crescimento epitaxial de Si, Ge e compostos III-V.

No sistema RPECVD (*Remote Plasma Enhanced CVD*) emprega-se a tecnologia CVD com plasma remoto, em que a deposição também é auxiliada por plasma, mas, neste caso, efetua-se a descarga elétrica em região afastada da região do substrato (plasma remoto). Ionizam-se somente parte dos reagentes, que são misturados com outros gases do processo e transportados para a região de deposição [A.11, A.12].

Os reatores, PECVD e RPECVD, empregam a tecnologia plasma-CVD. Na tecnologia plasma-CVD, o sistema RPECVD apresenta as seguintes vantagens sobre o PECVD:

A grande vantagem do sistema RPECVD é que os substratos não ficam expostos diretamente à radiação do plasma e, portanto, os substratos não são bombardeados pelos íons de alta energia, o que ocorre nos sistemas PECVD. O bombardeamento iônico pode gerar cargas de interface nos filmes isolantes e danificar a superfície do substrato semiconductor, degradando as características dos dispositivos [A.11, A.12].

A ionização, em região afastada do substrato, é executada em um ou mais gases do processo, sendo independente dos demais, o que tem permitido uma taxa maior de deposição e uma redução na temperatura e/ou tempo de processamento em relação aos

processos executados em reatores PECVD e em fornos térmicos convencionais de oxidação e nitretação [A.11, A.12].

A composição dos filmes isolantes de  $\text{SiO}_2$  e de  $\text{Si}_3\text{N}_4$  depositados por RPCVD é semelhante à obtida por filmes crescidos termicamente em fornos convencionais. Os filmes obtidos por PECVD apresentam composição diferente dos filmes formados termicamente, pois, neste processo, ocorre incorporação de subprodutos da reação como o hidrogênio, que torna o filme poroso, de baixa densidade e com baixas qualidades dielétricas [A.12].

Portanto, a técnica RPCVD tem demonstrado ser mais eficiente do que a técnica PECVD, suprimindo as deficiências na qualidade do filme obtido por plasma direto [A.12]. As principais vantagens do processo LPCVD térmico são: temperaturas de processamento baixas (menores que  $800^\circ\text{C}$ ) e excelente uniformidade dos filmes (maior que 90%) [A.9].

### **A.2.3 TÉCNICAS DO PROCESSO CVD AUXILIADAS POR PLASMA [A.6, A.13]**

Basicamente, existem dois tipos de sistemas CVD auxiliados por plasma: o direto e o remoto. No sistema de plasma direto, a descarga é estabelecida na região de deposição. Neste caso, todos os gases participando do processo são ionizados. No sistema de plasma remoto, essa descarga não ocorre na região de deposição, mas sim em uma região afastada. Nos processos remotos, nem todos os gases reagentes são necessariamente excitados pelo plasma [A.6, A.13]. Como nesta técnica o plasma é formado fora da região de deposição, os danos provocados no substrato pelo bombardeamento iônico são bastante reduzidos. É muito importante verificar também em sistemas de plasma remoto a distância entre a região de geração do plasma e a de processo. À medida que esta distância aumenta, radicais ativos que estão presentes na região de deposição diminuem, pois o processo de recombinação entre as espécies ativas tem maior tempo para ocorrer. Este processo de recombinação depende da pressão utilizada no sistema. Quanto maior a pressão, maior a probabilidade de colisões entre radicais aumentando a taxa de recombinação na fase gasosa [A.6, A.13].

### **A.2.4 ECR-CVD (*ELECTRON CYCLOTRON RESONANCE - CVD*) [A.7, A.13, A.14, A.15-A.21]**

Um importante desenvolvimento em processamentos por plasma de alta densidade e de baixa pressão é a descarga de ressonância ciclotrônica de elétrons (ECR – *Electron Cyclotron Resonance*). Este tipo de plasma já foi apresentado no item 1.3.1, pois será utilizado para a deposição das camadas passivadoras de  $\text{SiN}_x$ . Mas, pode-se acrescentar que o sistema ECR (apresentado na figura 1.6 do capítulo 1) permite combinar processos de deposição ou corrosão, e permite também operar com pressões mais baixas do que as utilizadas em processos de plasma convencionais. Os parâmetros de processo que influenciam nas propriedades físicas e na composição química dos filmes são os gases reagentes, a temperatura do substrato, a pressão e os fluxos dos gases, as potências de microondas e de RF, o tempo de deposição e outros fatores, como a limpeza das paredes da câmara, que podem gerar impurezas que se incorporam na estrutura do filme, degradando a

sua qualidade. Normalmente, antes das deposições, executam-se etapas seqüenciais de limpeza *in-situ* com plasmas de gases reativos, como o SF<sub>6</sub>, NF<sub>3</sub> e o H<sub>2</sub>, que remove as camadas depositadas nas paredes das câmaras, e de argônio que remove o resíduo.

### A.3 FILMES DE NITRETO DE SILÍCIO [A.1, A.4, A.5, A.6]

Os filmes de nitreto de silício possuem várias aplicações, entre elas podemos citar:

- Passivação de dispositivos (principal uso do nitreto de silício neste trabalho);
- Máscara para oxidações seletivas (LOCOS);
- Dielétricos para capacitores (permissividade relativa alta);
- Dielétricos entre níveis condutores;
- Passivação final de CIs contra riscos mecânicos, partículas, difusão de sódio e partículas do ambiente;
- Máscara contra implantação iônica e corrosão.

A deposição de nitreto de silício pode ser feita por reatores APCVD (a uma temperatura entre 700°C e 900°C), onde são utilizados como gases a silana (SiH<sub>4</sub>) e a amônia (NH<sub>3</sub>), resultando no nitreto de silício (Si<sub>3</sub>N<sub>4</sub>) e hidrogênio (H<sub>2</sub>). Nos reatores LPCVD (a uma temperatura entre 700°C e 800°C) são utilizados como gases o SiCl<sub>2</sub>H<sub>2</sub> e NH<sub>3</sub>, resultando em Si<sub>3</sub>N<sub>4</sub>, HCl e H<sub>2</sub>. Nesses dois reatores, a falta de NH<sub>3</sub> produz um filme rico em Si, sendo a solução, utilizar NH<sub>3</sub> em excesso [A.4, A.5, A.6].

Também, a deposição de nitreto de silício pode ser feita por PECVD (a uma temperatura entre 200°C e 400°C), onde são utilizados como gases SiH<sub>4</sub>, NH<sub>3</sub> (ou N<sub>2</sub>), produzindo Si<sub>x</sub>N<sub>y</sub>H<sub>z</sub> e H<sub>2</sub>. Nestes reatores, é necessária a utilização de NH<sub>3</sub> em excesso, pois sua decomposição com a silana é lenta [A.4, A.5, A.6].

Por fim, a deposição de nitreto de silício pode ser feita por ECR (foi o método utilizado neste trabalho). Serão utilizados como gases SiH<sub>4</sub>, N<sub>2</sub> e Ar. No entanto, no sistema ECR poderá haver a incorporação de outros elementos como oxigênio (do vazamento de vácuo e contaminação do gás), carbono (proveniente de óleo das bombas) e hidrogênio, mesmo que pequena se comparada com o sistema PECVD, sendo que a concentração de hidrogênio no filme aumenta com a diminuição da temperatura. Essas incorporações de outros elementos tornam o filme não estequiométrico com Si/N (aproximadamente entre 0,8 e 1,2), diminuindo sua qualidade [A.1, A.4, A.5, A.6].

A principal vantagem de utilizar esse sistema, ECR, para deposição dos filmes de nitreto de silício é a sua baixa temperatura e a desvantagem é que por poder não se tratar de um filme estequiométrico, suas propriedades elétricas, mecânicas e químicas podem ser variáveis. Dependendo das condições da câmara de processo e/ou limpeza do substrato, pode ocorrer um problema conhecido como *pinholes*. Este tipo de defeito são furos com diâmetro menor que um micron, que são originados de partículas presentes na superfície ou partículas geradas durante a deposição [A.1, A.4, A.5, A.6].

Os parâmetros de processo que podem ser controlados no sistema ECR são: a pressão, temperatura, potência de microondas (fonte ECR), potência do RF e fluxo dos gases. O filme final depositado apresentará certo valor de taxa de deposição, certa estequiometria, determinada quantidade de incorporação de hidrogênio e impurezas e uma

determinada densidade. Algumas dessas características são caracterizadas por técnicas ou métodos que serão descritos próximo anexo. Essas técnicas que serão descritas podem ser utilizadas para caracterizar o plasma durante o processo de deposição ou após o filme ter sido depositado [A.1, A.4, A.5, A.6].

## ANEXO B

### TÉCNICAS PARA ANÁLISES DO PLASMA E DOS FILMES DEPOSITADOS (MEDIDAS FÍSICAS)

Este anexo descreverá algumas técnicas utilizadas para as análises do plasma e dos filmes depositados e que foram utilizadas durante a execução desta tese. As técnicas descritas serão as seguintes:

- Espectroscopia de emissão óptica (OES);
- Elipsometria;
- Espectroscopia de absorção do infravermelho (FTIR);
- Microscopia óptica;
- Perfilometria.

#### **B.1 ESPECTROSCOPIA DE EMISSÃO ÓPTICA (OES) [B.1 - B.7]**

A espectroscopia de emissão óptica (OES - *Optical Emission Spectroscopy*) é um dos principais equipamentos utilizados para caracterização de plasma. Diferentemente das sondas eletrostáticas, este diagnóstico é não intrusivo, isto é, não perturba o plasma em estudo. Como equipamento, é necessário um espectrômetro, para dispersar a radiação em diferentes comprimentos de onda, e também um detector de luz. Neste trabalho, utilizamos um espectrômetro da Jobin-Yvon Sofie do tipo Czerny-Turner para obter um espectro entre 200 e 900 nm. Neste equipamento, a luz é colimada por uma fenda de entrada. Uma rede de difração de 1800 ranhuras/mm dispersa a radiação, que é então detectada por uma fotomultiplicadora [B.1, B.2, B.3].

As emissões que podemos detectar com o espectrômetro são causadas pelo decaimento radiativo de elétrons que estavam em níveis excitados de átomos, íons ou moléculas do plasma. Esse processo de decaimento geralmente não depende das características do plasma, mas sim, apenas da probabilidade (dada pela mecânica quântica), de um elétron em um estado excitado decair para um nível inferior. Por outro lado, o processo de excitação é dependente das características do plasma, como densidade e temperatura de elétrons, além da sua composição [B.1, B.4].

Quanto maior a taxa de desexcitação de um estado excitado, maior será a intensidade de uma emissão originária desse estado. Do mesmo modo, quanto maior a taxa de excitação, maior será a população desse nível excitado, e assim, maior será a intensidade da linha de emissão [B.1, B.4].

Pela medida da intensidade absoluta de uma emissão alguns parâmetros do plasma podem ser calculados, ou de maneira mais simples, comparando a razão das intensidades de duas emissões distintas. [B.1].

As melhores emissões que podemos utilizar como referência para essa razão são as linhas de emissão de Ar, uma vez que este é um gás nobre e, portanto, a sua densidade praticamente não muda com as condições do plasma (pois é um gás que não reage com

outros). No entanto, mesmo para o Ar, diferentes processos de excitação podem influenciar a população dos estados excitados [B.1, B.5].

A excitação mais simples ocorre a partir da colisão de elétrons com um átomo ou molécula, excitando um elétron de seu estado fundamental para outro de mais alta energia. Esse processo é conhecido como excitação direta. Uma linha emitida de um estado por excitação direta terá a intensidade  $I$  dada por [B.1, B.4]:

$$I = n_o n_e X(T_e) A \quad (B.1)$$

onde:

$n_o$  é a densidade do átomo ou molécula;

$n_e$  a densidade de elétrons do plasma;

$X(T_e)$  o coeficiente de excitação (dependente da temperatura dos elétrons) e;

$A$  é a probabilidade de transição, que é independente do plasma.

Se medirmos a razão de duas emissões do mesmo elemento (por exemplo, Ar), vindas de diferentes níveis excitados, o coeficiente de excitação não será igual (devido à diferente energia de excitação), mas o valor de  $n_o$  será o mesmo. Assim, a razão dessas duas linhas será dada por [B.1, B.4]:

$$\frac{I_1}{I_2} = \frac{A_1 X_1(T_e)}{A_2 X_2(T_e)} \quad (B.2)$$

Como os valores de  $X(T_e)$  podem ser encontrados em referências [B.1], essa razão permite descobrir o valor da temperatura eletrônica. Um exemplo é a medida da razão das linhas 425,9 nm e 750,4 nm do Ar para determinação da temperatura. Essas linhas são escolhidas, pois dependem fracamente de outros processos [B.5, B.7], como a excitação a partir de estados metaestáveis, ou ainda a desexcitação por *quenching* (impacto com outros átomos ou moléculas que podem desexcitar o elétron). Além disso, no argônio não ocorre excitação por dissociação molecular, já que esse gás já se encontra na forma atômica.

Podemos ainda comparar a intensidade de emissões de diferentes átomos ou moléculas do plasma. Se os estados excitados de cada emissão tiverem aproximadamente a mesma energia, o coeficiente de excitação  $X(T_e)$  deve ser aproximadamente igual para ambas as emissões. Assim, a razão dessas emissões será dada por [B.1, B.4]:

$$\frac{I_1}{I_2} = \frac{A_1 n_{o1}}{A_2 n_{o2}} \quad (B.3)$$

A partir dessa razão, podemos calcular para diferentes condições do processo de deposição, a mudança da densidade de um átomo ou molécula em relação à linha de Ar em 750,4 nm [B.1, B.4].

## B.2 ELIPSOMETRIA

A elipsometria é uma técnica utilizada para determinar o índice de refração, o coeficiente de absorção e a espessura de um filme transparente de uma ou mais camadas e de um ou mais materiais sobre um substrato a partir da mudança das características de polarização da luz refletida por sua superfície [B.8].

A elipsometria é a espectrometria de polarização, pois mede a mudança na polarização da luz refletida de uma superfície.

O elipsômetro [B.9] é um equipamento que mede a mudança no estado de polarização de um feixe refletido, por um sistema óptico. Sua importância está ligada ao fato que a partir dessa mudança, podem ser obtidas informações do sistema óptico. Um arranjo tradicional de um elipsômetro está representado na figura B.1. Um feixe de luz monocromático (L) incide em um polarizador (P), que produz luz de polarização conhecida e controlada. O feixe interage com o sistema óptico (S) e tem o seu estado de polarização alterado. O feixe resultante é então medido por um segundo polarizador (A) e pelo fotodetector (D).

Na determinação da espessura e do índice de refração exigem-se rotinas de cálculos. Como os cálculos são trabalhosos para se executar manualmente, utiliza-se um programa de computador [B.10]. Esta técnica de análise foi muito utilizada neste trabalho para se obter o índice de refração e a espessura do filme depositado.

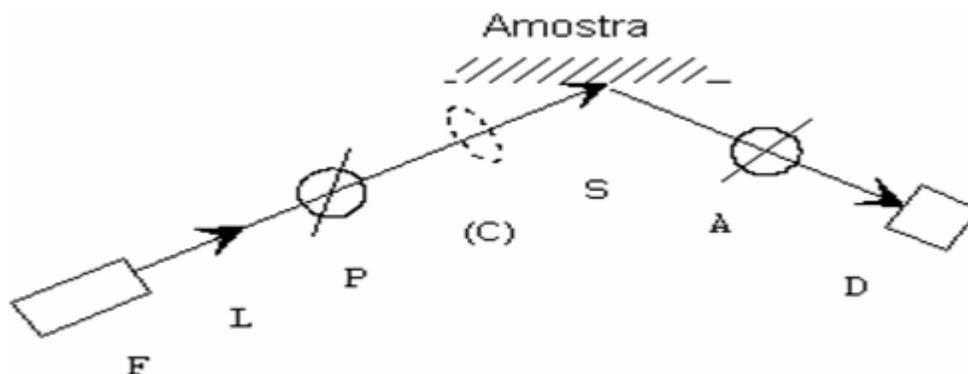


Figura B.1 - Elipsômetro [B.8].

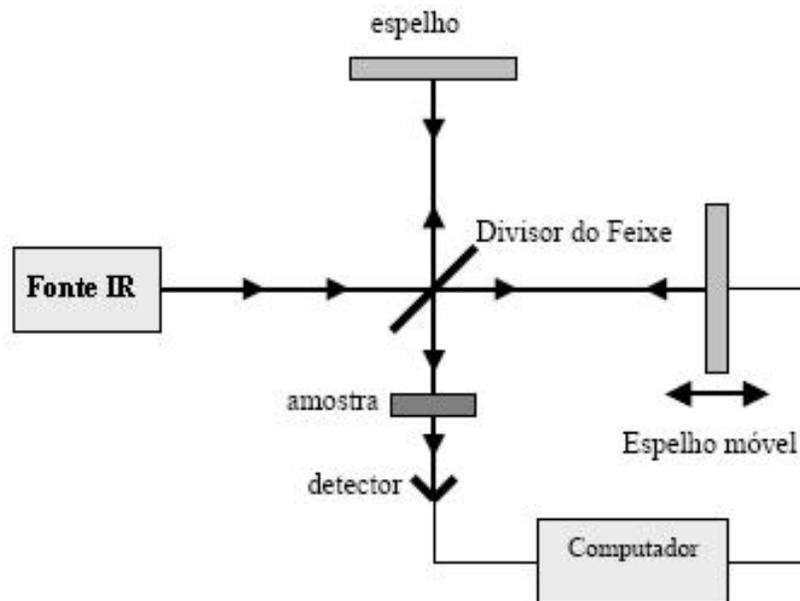
No caso do filme de nitreto de silício, o filme será considerado estequiométrico se possuir um índice de refração de, aproximadamente, 2,0. Se o índice de refração for maior que esse valor, o filme será considerado rico em Si e caso o índice de refração for menor que o valor de 2,0, o filme será considerado rico em N ou O [B.1].

## B.3 ESPECTROSCOPIA DE ABSORÇÃO DO INFRAVERMELHO (FTIR)

A espectroscopia FTIR é uma técnica que permite analisar as ligações químicas existentes em uma amostra. As ligações dos átomos que formam as moléculas possuem frequências específicas de vibração, que variam de acordo com a estrutura, a composição e o modo de vibração [B.9, B.11].

No espectrômetro FTIR (*Fourier Transform Infrared*), que utiliza um interferômetro de Michelson (figura B.2), um feixe de radiação monocromática infravermelha passa por um divisor de feixe, sendo uma parte da luz refletida e a outra transmitida através dele. Estes feixes incidem e refletem em dois espelhos, sendo um fixo e outro móvel, e retornam para o divisor, atravessando-o, na direção da amostra. A recombinação da radiação realizada pela reflexão dos dois espelhos e pelo posicionamento do espelho móvel (transladado com uma velocidade constante) produz um padrão de interferência, com sucessivas interferências construtivas e destrutivas. Parte da radiação passa pela amostra em análise antes de chegar a um detector [B.9].

A modulação do comprimento de onda da radiação de infravermelho com a frequência característica senoidal correspondente às sucessivas interferências construtivas e destrutivas é analisada pelo detector, que se utilizando de um programa do computador acoplado ao equipamento, estabelece automaticamente a transformada de Fourier do espectro. Por isso, a técnica é denominada espectroscopia FTIR [B.9, B.11].



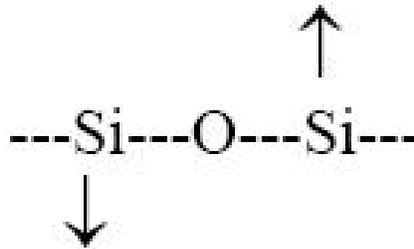
**Figura B.2 - Esquema do interferômetro de Michelson [B.9, B.11].**

Uma molécula absorverá energia sempre que a frequência de radiação se iguale a frequência de vibração natural da sua ligação química. O movimento vibracional ou rotacional desta ligação causa uma variação do momento dipolar da molécula. O momento dipolar é determinado pela posição relativa dos centros de gravidade das cargas elétricas, positiva e negativa, em cada modo de vibração. A absorção da energia radiante nas frequências de vibração, dependendo da vibração, permite estabelecer um campo elétrico oscilante. A intensidade da banda de absorção do infravermelho é proporcional ao quadrado da velocidade de variação do momento dipolar em relação à distância dos átomos [B.9].

Para cada modo vibracional nem sempre se obtém um pico de absorção no espectro. O número de picos pode ser menor do que os números de modos de vibração existentes devido [B.1]:

- à energia quase idêntica das vibrações;





**Figura B.5 - Vibração da flexão no plano [B.1].**

O procedimento para obtenção das medidas de absorção de um filme depositado e/ou crescido é o seguinte: primeiro executa-se uma medida de uma lâmina com características idênticas (de orientação, de resistividade e de dopagem) aos substratos nos quais os filmes foram depositados e/ou crescidos. Essa medida do corpo do substrato é definida como a medida de referência (*background*). Após, executa-se uma medida da lâmina com estrutura isolante/semicondutor.

O equipamento subtrai automaticamente dessa medida a medida de referência. Essa subtração permite obter um espectro puro de absorção das ligações do filme sobre o substrato.

## **B.4 MICROSCOPIA ÓPTICA**

As dimensões geométricas das estruturas que são implementadas em processos de microeletrônica estão diretamente ligadas ao desempenho de circuitos integrados. Assim, para o controle na fabricação de circuitos integrados, dispositivos microeletrônicos e dispositivos micromecânicos, é necessário verificar e medir a geometria das estruturas construídas na superfície do substrato. Devido à alta integração, esse controle torna-se impossível de ser feito a olho nu. Assim, o microscópio é necessário para verificar e medir as estruturas que são produzidas na superfície das lâminas e que constituem os dispositivos.

A utilização do microscópio óptico não se restringe apenas a análise de características dos circuitos integrados, sendo também utilizado para análise de partículas encontradas em circuitos, e ainda frequentemente usados para análise e medir o tamanho, o tipo e a densidade de defeitos em circuitos semicondutores, em microestruturas construídas e em filmes depositados.

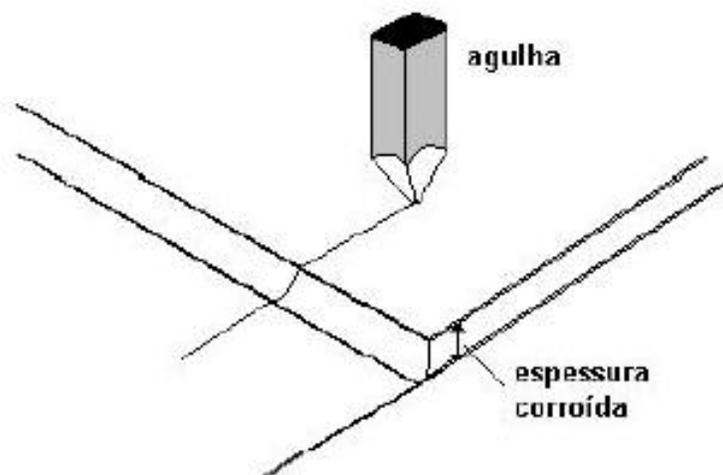
O microscópio apresenta dois sistemas de lentes convergentes: a objetiva e a ocular. A objetiva é um conjunto de lentes que apresenta pequena distância focal e que fornece uma imagem real e aumentada do objeto que é observado. A ocular, também formada por lentes convergentes, funciona como uma lupa, que nos dá uma imagem virtual e aumentada da imagem real que se formou pela objetiva. A objetiva e a ocular são dispostas nas extremidades de um cilindro oco, constituindo a coluna do microscópio e que possui a capacidade de se aproximar ou afastar da amostra para que se tenha a focalização perfeita.

A capacidade de aumento do microscópio é resultado do produto da ampliação linear da objetiva pela potência da ocular; seu valor será elevado quando as distâncias focais da objetiva e ocular forem pequenas.

## B.5 PERFILOMETRIA

O perfilômetro é um equipamento que mede o perfil da superfície da amostra. O perfil da superfície a ser verificada pode ser um degrau, onde é definido posteriormente à deposição (corroendo o filme em certa região) ou durante a deposição (por uma máscara mecânica).

Este equipamento possui uma ponteira (agulha) que é movimentada lentamente através da superfície controlando a força da interação (que varia conforme a variação da altura da superfície). Desse modo, o perfil da superfície que está sendo analisada é registrado, figura B.6.



**Figura B.6 - Técnica de perfilometria para determinar espessuras corroídas [B.13].**

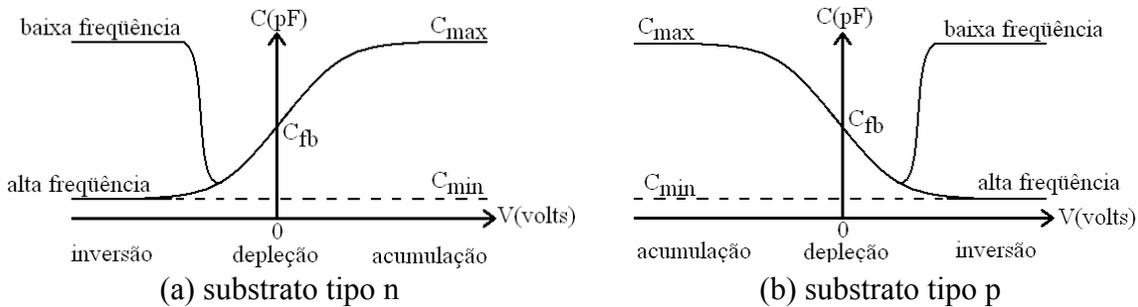
Com os resultados de espessura obtidos e o tempo de deposição ou crescimento, podemos determinar a taxa de deposição ou crescimento dos filmes. Da mesma maneira, sabendo o valor da espessura e o tempo de corrosão do filme, podemos determinar a taxa de corrosão do filme. No caso do filme de nitreto de silício, um filme estequiométrico apresentará uma taxa de corrosão em *buffer* de HF de, aproximadamente, 1 nm/min. Já um filme de nitreto de silício rico em Si, essa taxa será menor que 1 nm/min, e um filme de nitreto de silício rico em N ou O, essa taxa será maior que 1 nm/min.



Da figura C.1(b) temos que:

- $E_c$  é a energia do limite inferior da banda de condução;
- $E_{Fn}$  é a energia do nível de Fermi no semicondutor tipo n;
- $E_{Fm}$  é a energia do nível de Fermi no metal;
- $E_v$  é a energia do limite superior da banda de valência;
- $E_i$  é a energia do nível de Fermi no semicondutor intrínseco;
- $E_g = E_c - E_v$  é a magnitude da energia da banda proibida;
- $E$  é a energia de referência no nível de vácuo;
- $\phi_M$  é a função trabalho do metal;
- $\phi_{\text{semicondutor}}$  é a função trabalho do semicondutor;
- $\phi_{MS}$  é a diferença da função trabalho entre metal e semicondutor (para Capacitor Ideal,  $\phi_{MS} = 0$ );
- $\chi_{\text{semicondutor}}$  é a afinidade eletrônica do semicondutor;
- $\chi_{\text{isolante}}$  é a afinidade eletrônica do isolante;
- $\psi_s$  é o potencial de superfície do semicondutor (não apresentado na figura C.1(b), pois este potencial está relacionado ao encurvamento das bandas de energia na superfície do semicondutor, e a estrutura MIS está na condição de polarização denominada de banda plana, não apresentando encurvamento nas bandas de energia. Assim,  $\psi_s$  é nulo);
- $\psi_f = (E_i - E_{Fn})/q$  é o potencial de Fermi no corpo do semicondutor (longe da superfície).

Basicamente, os dispositivos com estrutura metal-isolante-semicondutor (MIS), quando polarizados por um sinal de tensão elétrica aplicado entre seus eletrodos, operam sob o efeito do campo elétrico resultante na superfície do semicondutor. A figura C.2 apresenta um esboço das curvas C-V de um capacitor MIS ideal, com substratos tipo n, figura C.2(a), e tipo p, figura C.2(b), obtidos pela aplicação de uma tensão positiva (maior que zero) e negativa (menor que zero) entre os eletrodos [C.4].



**Figura C.2 – Curva C-V de um capacitor MIS. (a) substrato tipo n e (b) substrato tipo p.**

Para uma análise qualitativa das características C-V de um capacitor MIS ideal é necessário definir seis diferentes situações de polarização em função de  $\psi_f$  e  $\psi_s$ , sendo  $V_G$  a tensão no eletrodo superior em relação ao eletrodo do substrato (aterrado). O potencial de superfície do semicondutor  $\psi_s$  é função de  $V_G$  e está relacionado com o encurvamento das bandas de energia. Considera-se nesta descrição que o substrato é do tipo n. Para o

substrato do tipo p a descrição é semelhante. Na superfície do semiconductor podem ocorrer seis situações [C.2]:

- 1)  $V_G \gg 0$  e  $\psi_s \gg 0$ : acumulação de portadores majoritários (elétrons);
- 2)  $V_G = 0$  e  $\psi_s = 0$ : condição de banda plana (*flat band*), não há encurvamento das bandas de energia;
- 3)  $V_G < 0$  e  $\psi_f < \psi_s < 0$ : formação da camada de depleção de elétrons (portadores majoritários);
- 4)  $V_G \ll 0$  e  $\psi_s = \psi_f$ : condição de superfície intrínseca, ou seja, superfície do semiconductor com concentração de portadores majoritários (elétrons) igual à de minoritários (lacunas);
- 5)  $V_G \lll 0$  e  $2\psi_f < \psi_s < \psi_f$ : condição de inversão fraca com concentração de portadores minoritários (lacunas) maior que a de majoritários (elétrons);
- 6)  $V_G \llll 0$  e  $\psi_s < 2\psi_f$ : condição de inversão forte com concentração de lacunas muito maior que a de elétrons;

As características C-V (figura C.2) podem ser divididas em três regiões [C.2]:

(i) Região de acumulação: aplicando-se uma tensão positiva no eletrodo superior ( $V_G \gg 0$ ), os elétrons, que são os portadores majoritários (substrato tipo n), são atraídos à superfície do substrato (interface isolante/semiconductor). A concentração de elétrons aumenta na superfície do semiconductor, formando-se uma região de acumulação de portadores majoritários. O nível de energia de Fermi ( $E_{Fn}$ ) aproxima-se da banda de condução. Como este nível mantém-se constante em equilíbrio térmico, há um encurvamento das bandas de energia de valência ( $E_V$ ) e condução ( $E_C$ ), figura C.3. A camada de acumulação, para uma concentração alta de portadores majoritários, pode ser considerada como o segundo eletrodo de um capacitor de placas paralelas, pois o primeiro é o eletrodo superior, resultando em um campo elétrico  $E_p = V_G/t_{\text{isolante}}$  no isolante, como ilustra a figura C.3. Em condição de acumulação forte, desde que ocorra um contato ôhmico direto entre o substrato tipo n e a região de acumulação dos elétrons, a capacitância da estrutura MIS é máxima e aproximadamente igual a capacitância no isolante, que é:

$$C_{\max} = C_{\text{isolante}} = \frac{\epsilon_0 \cdot \epsilon_{\text{isolante}} \cdot A}{t_{\text{isolante}}} \quad (\text{C.1})$$

onde:

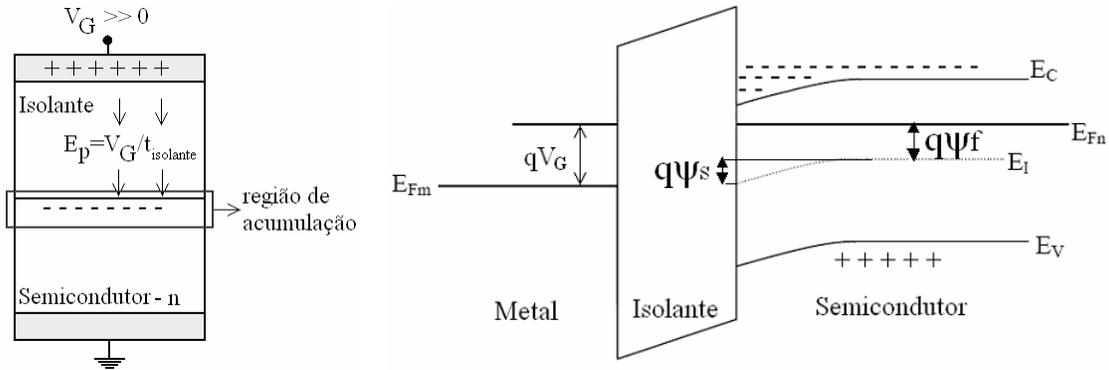
$C_{\text{isolante}}$  é a capacitância no isolante;

$\epsilon_0$  é a permissividade no vácuo;

$\epsilon_{\text{isolante}}$  é a permissividade do isolante;

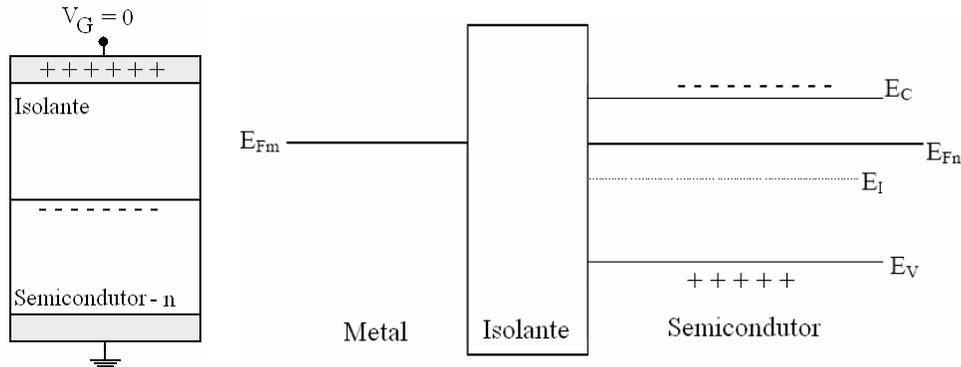
$t_{\text{isolante}}$  é a espessura do isolante;

A é a área do eletrodo superior.



**Figura C.3 - Esquematização da região de acumulação e diagrama de bandas de energia na estrutura MIS, com o encurvamento nos níveis de energia  $E_c$ ,  $E_v$  e  $E_i$ .**

Diminuindo-se a tensão positiva no eletrodo superior, a camada de acumulação de portadores majoritários é reduzida, pois o campo elétrico no isolante fica menos intenso. Diminuindo-se ainda mais a tensão no eletrodo superior para  $V_G = 0$ , a camada de acumulação é extinta tornando as concentrações de portadores na superfície semelhante as do corpo do substrato. Nesta condição não há encurvamento das bandas de energia (condição de banda plana, "flat band", figura C.4) e a tensão aplicada no eletrodo superior é denominada tensão de banda plana ( $V_{fb}$ ), sendo  $C_{fb}$  a capacitância de banda plana correspondente. Para o capacitor MIS ideal, a tensão  $V_{fb}$  é nula.



**Figura C.4 - Esquematização da região de banda plana e diagrama de bandas de energia na estrutura MIS, sem o encurvamento nos níveis de energia.**

(ii) Região de depleção (figura C.5): para uma tensão no eletrodo superior menor que a tensão de banda plana ( $V_G < V_{fb}$ ), ocorre um deslocamento dos portadores majoritários (elétrons) da superfície do substrato, expondo os íons das impurezas doadoras (cargas positivas, representadas na figura C.5 por  $\oplus$ ). Assim, forma-se uma região de depleção de portadores na superfície, com largura  $W_d$ , constituída pelos íons doadores, que compensa o campo elétrico aplicado. Na condição de depleção, ocorre a aproximação do nível de Fermi ( $E_{Fn}$ ) em direção ao meio da banda proibida do semicondutor e o encurvamento de bandas, como é esquematizado na figura C.5. Ressalta-se que a largura  $W_d$  é proporcional ao potencial de superfície  $\psi_s(V_G)$ , que está relacionado com o encurvamento das bandas, ou seja, é função da tensão  $V_G$  aplicada no eletrodo superior.  $W_d$  é dado por [C.5]:

$$W_d = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{\text{semicondutor}} \cdot \psi_s}{q \cdot N_{A,D}}} \quad (\text{C.2})$$

onde:

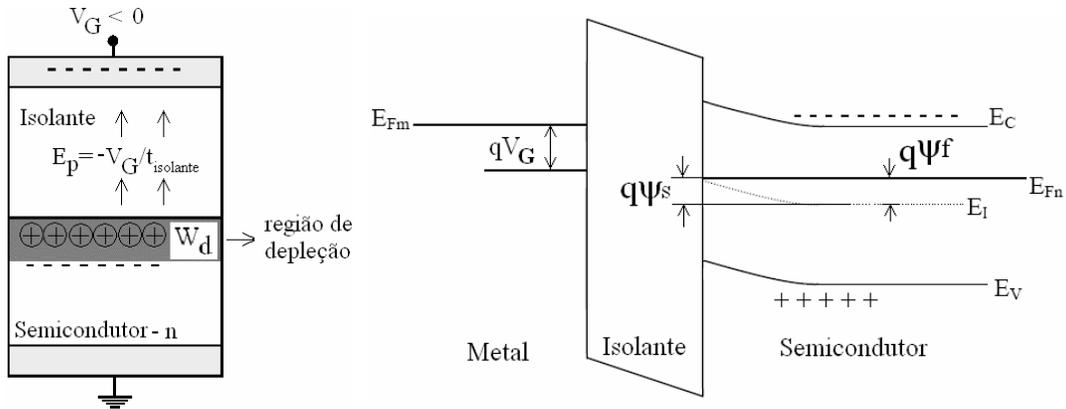
$\epsilon_0$  é a permissividade no vácuo;

$\epsilon_{\text{semicondutor}}$  é a permissividade elétrica do semicondutor;

$q$  é a carga do elétron;

$N_{A,D}$  é a concentração de dopantes aceitadores ou doadores no semicondutor.

A esquematização da região de depleção e o respectivo diagrama de bandas de energia da estrutura MIS estão na figura C.5.



**Figura C.5 - Esquematização da região de depleção e diagrama de bandas de energia na estrutura MIS, com o encurvamento nos níveis de energia  $E_c$ ,  $E_v$  e  $E_i$ .**

A capacitância relacionada à região de depleção ( $C_{sd}$ ) é associada em série com a capacitância do isolante do eletrodo superior, resultando em uma capacitância total da estrutura do capacitor MIS:

$$C_t(V_G) = \left( \frac{1}{C_{\text{isolante}}} + \frac{1}{C_{sd}(V_G)} \right)^{-1} \quad (\text{C.3})$$

onde:

$C_t(V_G)$  é a capacitância total da estrutura MIS;

$C_{\text{isolante}}$  é a capacitância do isolante, equação (C.1);

$C_{sd}(V_G)$  é a capacitância da região de depleção, por unidade de área, é dada por:

$$C_{sd}(V_G) = \frac{\epsilon_0 \cdot \epsilon_{\text{semicondutor}}}{W_d(V_G)} \quad (\text{C.4})$$

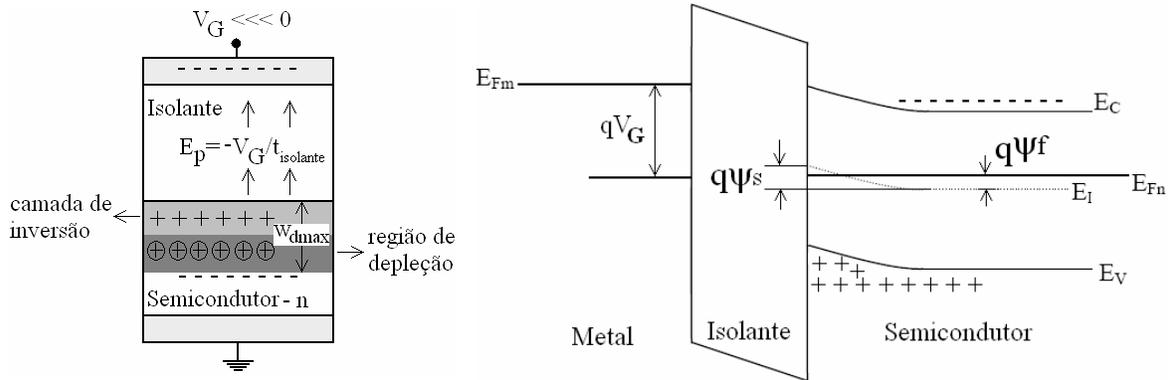
onde:

$\epsilon_0$  é a permissividade no vácuo;

$\epsilon_{\text{semicondutor}}$  é a permissividade elétrica do semicondutor;

$W_d(V_G)$  é a largura da região de depleção.

(iii) Região de inversão: diminuindo-se ainda mais a tensão  $V_G$  aplicada no eletrodo superior da estrutura MIS ( $V_G \ll V_{fb}$ ), consegue-se igualar as concentrações de portadores (minoritários e majoritários) com a concentração do nível intrínseco do semicondutor ( $n = p = n_i$ ). Neste caso, os níveis intrínseco ( $E_i$ ) e o de Fermi ( $E_{Fn}$ ) no diagrama de bandas, assumem valores iguais. Ocorre a atração de portadores minoritários (lacunas) em direção a superfície do substrato. Forma-se uma camada de inversão do tipo p na interface semicondutor/isolante. Com um valor maior de  $V_G$  (mantendo-se as condições de equilíbrio), há um aumento na concentração de lacunas na superfície do substrato,  $\psi_s(V_G)$  torna-se saturado e  $W_d$  torna-se constante, alcançando um valor máximo. Esta é a condição de inversão forte ( $V_G < 2V_{fb} \Rightarrow \psi_s < 2\psi_f$ ), com  $W_d = W_{dmax}$  (região de depleção com largura máxima). O nível de Fermi ( $E_{Fn}$ ) aproxima-se da banda de valência próxima da superfície, como mostra a figura C.6.



**Figura C.6 - Esquematização da região de inversão e diagrama de bandas de energia na estrutura MIS, com o encurvamento nos níveis de energia  $E_c$ ,  $E_v$  e  $E_i$ .**

O valor da capacitância da estrutura MIS, em condição de inversão, é função da frequência do sinal AC da polarização aplicada no eletrodo superior [C.5]. Para as medidas C-V em baixa frequência, tipicamente entre 5 a 100 Hz, o período de um sinal AC é muito maior que o tempo de resposta dos portadores minoritários. Então, quando formada a camada de inversão, ocorre a geração de pares elétron-lacuna suficientes para compensar o sinal aplicado, ou seja, as lacunas (portadores minoritários) em alta concentração acompanham o sinal AC de baixa frequência, mantendo-se um estado de equilíbrio. Assim, a capacitância total para a condição de inversão torna-se igual a  $C_{\text{isolante}}$  equação (C.1).

Para medidas C-V em alta frequência ( $> 1$  kHz), em condições de acumulação e depleção, há portadores majoritários em concentração suficiente para responder a um sinal AC deste tipo. Mas, na inversão, a capacitância é determinada pelo tempo de resposta dos portadores minoritários. Para um sinal de polarização em alta frequência, há um atraso dos portadores minoritários em relação a este sinal AC, ou seja, estes portadores não são gerados em taxa alta suficientes para compensar o sinal aplicado no eletrodo superior.

Ocorre a modulação da camada de depleção de largura máxima e constante. Na condição de inversão forte, portanto, a capacitância total da estrutura MIS torna-se mínima:

$$C_{\min} = \left( \frac{1}{C_{\text{isolante}}} + \frac{W_{d \max}}{\epsilon_0 \cdot \epsilon_{\text{semicondutor}}} \right)^{-1} \quad (\text{C.5})$$

onde:

$C_{\min}$  é a capacitância total mínima para condição de inversão, utilizando-se sinal de polarização de alta frequência;

$W_{d \max}$  é a largura máxima da camada de depleção;

$C_{\text{isolante}}$  é a capacitância no isolante;

$\epsilon_0$  é a permissividade no vácuo;

$\epsilon_{\text{semicondutor}}$  é a permissividade elétrica do semicondutor.

Em uma estrutura MIS não ideal, há a presença de cargas no isolante e na interface semicondutor/isolante, e as funções trabalho do metal e do semicondutor são diferentes. Isto provoca um deslocamento da curva C-V da estrutura MIS real em relação a ideal [C.6], pois a diferença de potencial entre os eletrodos do capacitor MIS ( $V_G$ ) depende diretamente da diferença da função trabalho entre metal e semicondutor ( $\phi_{MS}$ ), da tensão no isolante ( $V_{\text{isolante}}$ ), que é relacionada com as cargas efetivas no isolante  $Q_0$ , e do potencial de superfície  $\psi_s$ :

$$V_G = V_{\text{isolante}} + \phi_{MS} + \psi_s \quad (\text{C.6})$$

(a) Para um capacitor MIS ideal, a equação (C.6) torna-se:

$$V_G = \psi_s, \text{ pois } V_{\text{isolante}} = 0 \text{ e } \phi_{MS} = 0.$$

Para  $V_G = V_{fb}$  (condição de banda plana);  $\psi_s = 0$ , portanto,  $V_{fb} = 0$ .

(b) Para um capacitor MIS real:

$$V_{\text{isolante}} = \frac{Q_0 \cdot A}{C_{\text{isolante}}} \quad (\text{C.7})$$

onde:

$C_{\text{isolante}}$  é a capacitância do isolante dada pela equação (C.1);

$A$  é a área do dispositivo;

$Q_0$  é a carga efetiva no isolante.

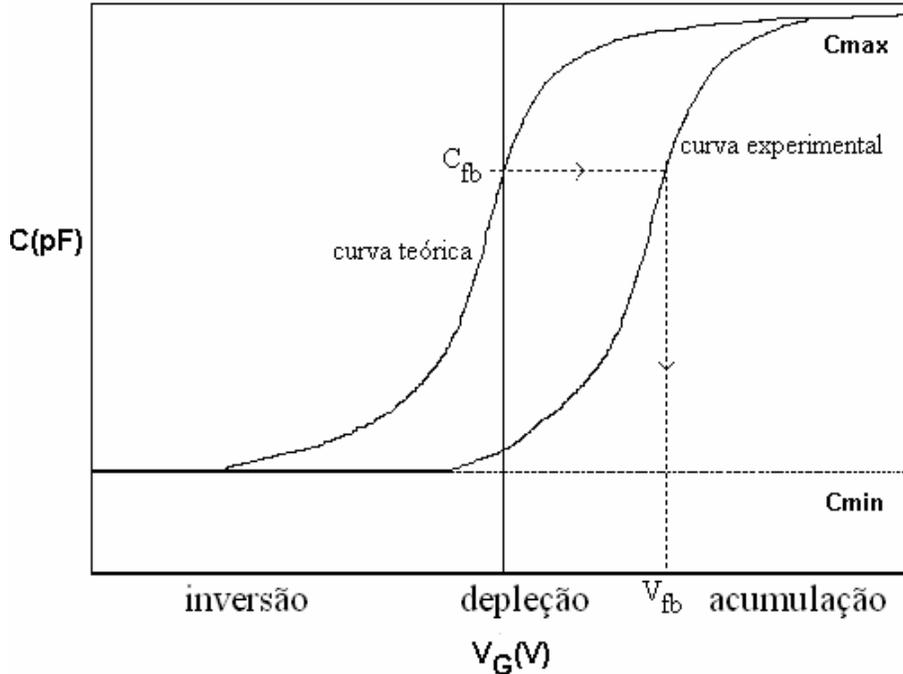
Para condição de banda plana:

$$\psi_s = 0; \quad V_G = V_{fb} = \phi_{MS} + \frac{Q_0 \cdot A}{C_{isolante}} \quad (C.8)$$

Da equação (C.8), tem-se que:

$$Q_0 = (\phi_{MS} - V_{fb}) \cdot \frac{C_{isolante}}{A} \quad (C.9)$$

Desta maneira, verifica-se um deslocamento no eixo da tensão (de  $V_{fb} = 0$  para  $V_{fb} = V_G$ ) da curva C-V experimental (real) em relação a teórica (ideal) (figura C.7). A técnica C-V permite determinar importantes propriedades elétricas das estruturas MIS, através de comparação das curvas experimentais e teóricas [C.4]. Diferentes procedimentos de medidas e métodos (recursivo, gráficos e de deslocamentos de curvas C-V) são utilizados para determinar estas propriedades, como: capacitância de banda plana ( $C_{fb}$ ), tensão de banda plana ( $V_{fb}$ ), largura da camada de depleção ( $W_d$ ), espessura do isolante ( $t_{isolante}$ ), concentração efetiva de dopantes eletricamente ativos ( $N_{A,D}$ , sendo, A para dopantes aceitadores de elétrons e D para dopantes doadores de elétrons), densidade de carga efetiva no isolante ( $Q_0/q$ ) [C.5]. A figura C.7 ilustra a diferença entre uma curva C-V experimental (real) e uma curva C-V teórica (ideal).



**Figura C.7 - Deslocamento no eixo da tensão (de  $V_{fb}=0$  para  $V_{fb}=V_G$ ) da curva C-V experimental (real) em relação a teórica (ideal) [C.8].**

A neutralidade global de cargas na estrutura MIS é alcançada pela presença de uma carga imagem no semiconductor ou no metal correspondente às cargas no isolante e na interface isolante/semiconductor. Define-se como densidade de cargas efetivas no isolante  $Q_0/q$ , a densidade da carga imagem induzida no semiconductor [C.7]. Há quatro tipos de

cargas que normalmente são observadas na estrutura do isolante e na interface I-S: cargas móveis, cargas capturadas no isolante, cargas fixas e cargas capturadas na interface (que estão relacionadas aos estados Nss, discutidos no capítulo 1). A carga efetiva  $Q_0$  compreende estes quatro tipos. Portanto, a densidade  $Q_0/q$  é proporcional a densidade de estados Nss. Como discutido no capítulo 1, a presença de carga no isolante ou na interface I-S ajuda a diminuir a integridade do filme isolante e aumenta a instabilidade do comportamento dos dispositivos MIS (ou MOS), gera ruídos, aumenta as correntes de fuga das junções e da superfície, diminui a tensão de ruptura dielétrica, altera o potencial de superfície  $\psi_s$  e afeta a tensão de limiar  $V_t$ . Níveis aceitáveis de densidade de carga efetiva no isolante em circuitos ULSI são da ordem de  $10^{10}$  a  $10^{11} \text{cm}^{-2}$  [C.1, C.2].

Além do deslocamento no eixo da tensão, como visto na figura C.7, outro fator que pode influenciar na medida da capacitância em função da tensão é a resistência série que será descrita no próximo item.

### C.1.1 DETERMINAÇÃO DA RESISTÊNCIA SÉRIE ( $R_S$ )

No modelo paralelo de medição, onde a capacitância e a condutância são medidas simultaneamente, é possível haver distorções no valor real de capacitância máxima, extraída da curva C-V, que pode dar uma informação errada da espessura do isolante, como mostra a figura C.8. Este efeito é causado devido ao elevado valor da resistência série [C.1,C.8].

As possíveis fontes de resistência série em um capacitor MIS são:

- contato entre a ponta de prova e o eletrodo de porta;
- contato das costas da lâmina com o pedestal de apoio;
- filme contaminante entre as costas da lâmina e o pedestal;
- a não uniformidade da dopagem no substrato.

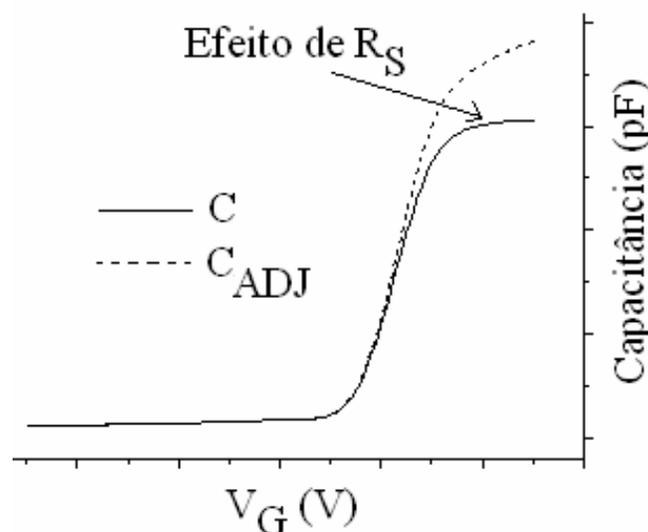
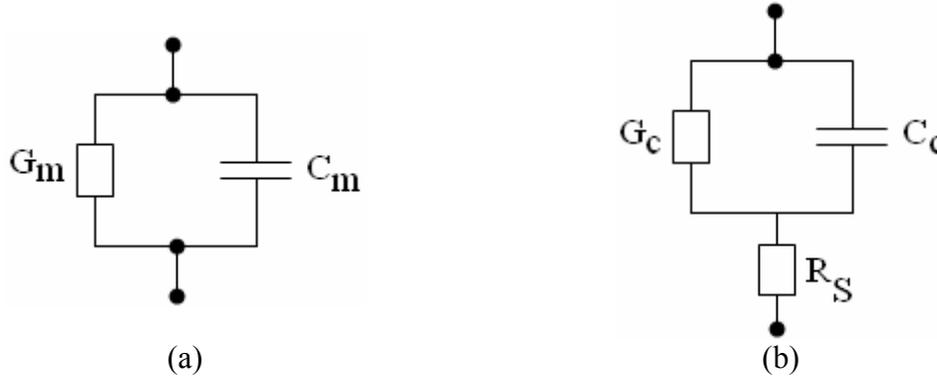


Figura C.8 - Efeito da resistência série ( $R_S$ ), onde  $C$  é a capacitância medida e  $C_{ADJ}$  a capacitância ajustada [C.1].



**Figura C.9 – Modelo de medição paralelo em (a)  $G_m$  (condutância medida),  $C_m$  (capacitância medida) e (b) modelo incluindo  $R_s$  (b)  $G_c$  (condutância corrigida) e  $C_c$  (capacitância corrigida) [C.1].**

A partir da relação entre os modelos (a) e (b) mostrados na figura C.9 obtêm-se as seguintes expressões:

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 \cdot C_{ma}^2} \quad (C.10)$$

$$C_c = \frac{C_m}{(1 - G_m \cdot R_s)^2 + \omega^2 \cdot C_m^2 \cdot R_s^2} \quad (C.11)$$

onde:

$\omega$  é dado por  $2 \cdot \pi \cdot f$ ;

$f$  é a frequência utilizada na medida C-V;

$C_{ma}$  é a capacitância medida na região de acumulação;

$G_{ma}$  é a condutância medida na região de acumulação;

$C_c$  é a capacitância corrigida.

Com as medidas de capacitância ( $C_{ma}$ ) e condutância ( $G_{ma}$ ) na região de acumulação, pode-se calcular a resistência série ( $R_s$ ) através da equação (C.10). A partir da resistência série, é possível corrigir a curva C-V experimental, utilizando a fórmula de correção para os pontos de capacitância em função da tensão na porta ( $V_G$ ), da equação (C.11). Com a curva C-V experimental corrigida é possível determinar com uma melhor precisão a densidade de estados por um método recursivo que será apresentado no próximo item.

## C.1.2 DETERMINAÇÃO DA DENSIDADE DE ESTADOS NA ESTRUTURA MIS

O sistema C-V de alta frequência (1 MHz), permite obter a capacitância diferencial em função da polarização no capacitor MIS. Neste sistema aplica-se uma tensão em rampa

com velocidade baixa entre os eletrodos do capacitor. Determina-se  $Q_0/q$  através da comparação entre as curvas C-V experimental e teórica na condição de banda-plana (potencial de superfície nulo). Utilizando-se o valor de  $C_{fb}$  (capacitância de banda-plana) ideal obtêm-se na curva C-V experimental o valor de  $V_{fb}$  (tensão de banda-plana) (figura C.7). Com o valor de  $V_{fb}$ , tem-se pela equação (C.9) o valor de  $Q_0$ . O método mais usado para determinar  $C_{fb}$  e conseqüentemente  $V_{fb}$  e  $Q_0$  emprega o cálculo recursivo da concentração de dopantes  $N_{A,D}$  [C.1, C.2].

Da equação (C.1), obtêm-se o valor da espessura equivalente material isolante:

$$t_{isolante} = \frac{\epsilon_0 \cdot \epsilon_{isolante} \cdot A}{C_{isolante}} \quad (C.12)$$

onde:

$C_{isolante}$  é a capacitância no isolante que é a capacitância máxima na condição de acumulação ou a capacitância máxima corrigida pelo efeito de resistência série;

$\epsilon_0$  é a permissividade no vácuo;

$\epsilon_{isolante}$  é a permissividade elétrica do isolante;

$t_{isolante}$  é a espessura do isolante;

$A$  é a área do eletrodo superior do capacitor MIS.

Da equação (C.5), obtêm-se a largura da camada de depleção  $W_d$ :

$$W_d = \left( \frac{C_{max}}{C_{min}} - 1 \right) \cdot \frac{\epsilon_0 \cdot \epsilon_{semicondutor} \cdot A}{C_{max}} \quad (C.13)$$

onde:

$C_{min}$  é a capacitância total mínima para condição de inversão, utilizando-se sinal de polarização de alta frequência;

$\epsilon_{semicondutor}$  é a constante dielétrica do semicondutor.

Da equação (C.2) obtêm-se a concentração de dopantes aceitadores ou doadores no semicondutor,  $N_{A,D}$ :

$$N_{A,D} = \frac{4 \cdot \epsilon_{semicondutor} \cdot \phi_F}{q \cdot W_d^2} \quad (C.14)$$

onde:

$\epsilon_{semicondutor}$  é a constante dielétrica do semicondutor;

$q$  é a carga do elétron;

$W_d$  é a largura da camada de depleção;

$\phi_F$  é o potencial de Fermi, dado por [C.9]:

$$\phi_F = \frac{kT}{q} \cdot \ln\left(\frac{N_{A,D}}{n_i}\right) \quad (C.15)$$

onde:

$(kT/q)$  é a energia térmica cujo valor em 300 K é 0,0258 V;

$N_{A,D}$  é a concentração de dopantes aceitadores ou doadores no semiconductor;

$n_i$  é a concentração de portadores intrínseco no semiconductor. Os valor de  $n_i$  para o Si, Ge e o GaAs são apresentados na figura C.10.

$\phi_F > 0$ , para substrato tipo p;

$\phi_F < 0$ , para substrato tipo n.

Substituindo-se a equação (C.15) em (C.14), tem-se a equação para determinação de  $N_{A,D}^*$  recursivamente:

$$N_{A,D} = \frac{4 \cdot \epsilon_0 \cdot \epsilon_{semicondutor} \cdot kT}{q \cdot W_d^2} \cdot \ln\left(\frac{N_{A,D}^*}{n_i}\right) \quad (C.16)$$

onde:

$\epsilon_{semicondutor}$  é o coeficiente de permissividade elétrica do semiconductor;

$q$  é a carga do elétron;

$W_d$  é a largura da camada de depleção;

$(kT/q)$  é a energia térmica;

$N_{A,D}^*$  é a concentração de dopantes obtida recursivamente;

$n_i$  é a concentração de portadores intrínseco no semiconductor (figura C.10).

O valor de  $N_{A,D}^*$  é substituído na equação da capacitância de banda-plana  $C_{fb}$ , dada por [C.9]:

$$C_{fb} = \frac{\epsilon_0 \cdot \epsilon_{semicondutor} \cdot A}{t_{isolante} + \frac{\epsilon_{isolante}}{\epsilon_{semicondutor}} \cdot \left[ \left( \frac{kT}{q} \right) \cdot \frac{\epsilon_{semicondutor} \cdot \epsilon_0 \cdot A}{q \cdot N_{A,D}} \right]^{1/2}} \quad (C.17)$$

onde:

$t_{isolante}$  é a espessura do isolante;

$\epsilon_{isolante}$  é a permissividade do isolante;

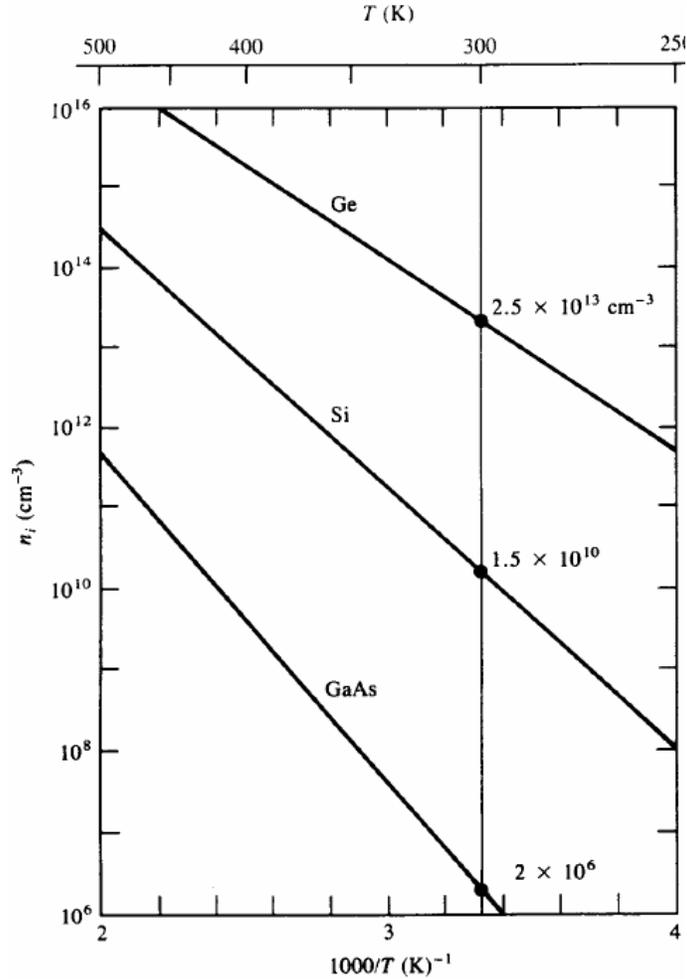
$A$  é a área do eletrodo superior do capacitor MIS;

$q$  é a carga do elétron;

$(kT/q)$  é a energia térmica;

$N_{A,D}$  é a concentração de dopantes obtida recursivamente;

$n_i$  é a concentração de portadores intrínseco no semiconductor (figura C.10).



**Figura C.10 – Curvas da dependência da concentração dos portadores intrínsecos do Ge, Si e GaAs em função do inverso da temperatura. Foram marcados nas curvas os valores de  $n_i$  correspondentes em temperatura ambiente ( $T=300K$ ) [C.3].**

Substituindo-se o valor de  $C_{fb}$  na curva C-V medida, obtém-se o valor correspondente da tensão de banda-plana,  $V_{fb}$ , que substituído na equação:

$$\frac{Q_0}{q} = |\phi_{MS} - V_{fb}| \cdot \left( \frac{C_{isolante}}{q \cdot A} \right) \quad (C.18),$$

que é similar a equação (C.9), onde:

$C_{isolante}$  é a capacitância no isolante que é a capacitância máxima para condição de acumulação;

$q$  é a carga do elétron;

$A$  é a área do eletrodo superior do capacitor MIS;

$\phi_{MS} = \phi_M - \phi_S$  é a diferença entre as funções trabalho do metal e do semiconductor;

Outra medida realizada em estruturas MIS é a da corrente em função da tensão de polarização, para se determinar o campo, e a tensão de ruptura do material isolante.

### C.1.3 RUPTURA DO ISOLANTE E CARACTERÍSTICA I-V

Um campo elétrico muito intenso ( $> 1\text{MV/cm}$ ), maior que um determinado valor crítico, aplicado à estrutura MIS provoca a ruptura do isolante, que perde as propriedades isolantes. Este campo elétrico denominado campo de ruptura dielétrica  $E_{br}$  é dado por [C.10]:

$$E_{br} = \frac{V_{br}}{t_{isolante}} \quad (C.19)$$

onde:

$V_{br}$  é a tensão correspondente à ruptura dielétrica (unidade expressa em [MV]);

$t_{isolante}$  é a espessura do isolante (unidade expressa em [cm]).

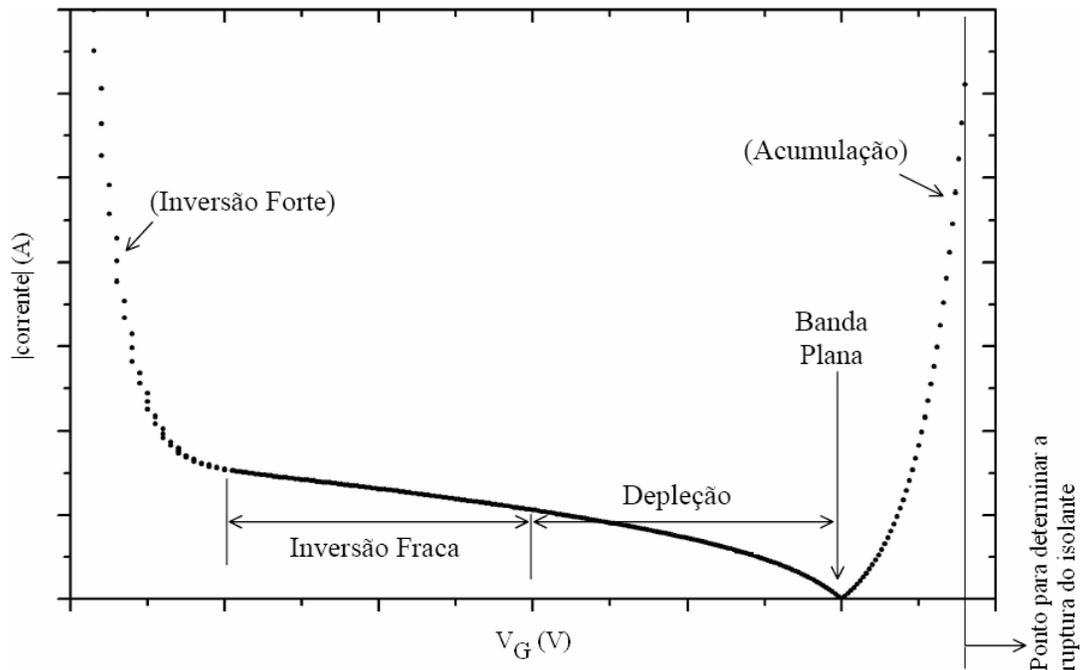
A ruptura dielétrica é um fenômeno que pode ocorrer através da multiplicação por avalanche de elétrons [C.10]. O campo de ruptura dielétrica pode ser determinado através da característica I-V do capacitor MIS, obtida pela aplicação de uma tensão DC. A figura C.11 mostra uma curva I-V característica de um capacitor MIS. Um analisador de parâmetros, como, por exemplo, HP-4145B ou o Keithley SCS-4200, que permite aplicar uma tensão DC de até 100 V, foram os equipamentos utilizados para a obtenção da medida I-V.

Da característica I-V, na região de acumulação, (figura C.11) se obtém o valor correspondente de tensão aplicada ao capacitor MIS que permite o aumento da corrente elétrica. Este valor de tensão dividido pela espessura do isolante, equação (C.19), resulta no valor do campo de ruptura dielétrica.

Para o caso de um filme isolante de nitreto de silício são encontradas, na literatura, algumas faixas de valores para a densidade de corrente. A tabela C.1 apresenta alguns desses valores para comparação.

**Tabela C.1 – Densidades de correntes de filmes de nitreto de silício.**

Tensão de porta ou campo elétrico	Densidade corrente ou corrente	Espessura elétrica do isolante (nm)	Referência
1,0 V	$10^{-5} \text{ A/cm}^2$	2,1	C.11
2,0 V	$10^{-3} \text{ A/cm}^2$	2,1	C.11
-	$2 \cdot 10^{-6} \text{ A/cm}^2$	4,2	C.12
1,0 V	$2 \cdot 10^{-6} \text{ A/cm}^2$	2,2	C.13
2,0 V	$10^{-3} \text{ A/cm}^2$	2,2	C.13
-	$10^{-4} \text{ A}$	10-20	C.14
2 MV/cm	$10^{-8} \text{ A/cm}^2$	-	C.15



**Figura C.11 – Curva I-V característica de uma estrutura MIS com as regiões de acumulação, depleção e inversão e ponto para determinar a ruptura do isolante [C.3].**

## C.2 TRANSISTORES BIPOLARES DE HETEROJUNÇÃO (HBT)

O princípio de operação de um HBT é semelhante ao de um transistor bipolar npn de silício (homojunção) (figura C.12). Para elevados ganhos de corrente, elétrons passam da junção base/emissor, diretamente polarizada, através da base tipo p, neutra, e região de depleção do coletor, para o contato de coletor com um mínimo de recombinação com as lacunas no trajeto. Em adição, a reversa injeção de lacunas da base para o emissor é minimizada. Esta última condição é satisfeita pelo HBT.

Em comparação com os transistores bipolares de silício, os HBTs possuem [C.16]:

- Maior frequência de corte ( $F_T$ );
- Maior tensão de *Early* (alta resistência de saída);
- Menor capacitância base/emissor;
- Resistência de base reduzida;
- Reduzida capacitância com o substrato semi-isolante.

Uma heterojunção ideal para o dispositivo HBT npn teria, como característica, uma descontinuidade da banda de valência bastante grande e não teria descontinuidade na banda de condução. A grande descontinuidade da banda de valência impediria que as lacunas se movessem da região da base para o emissor e a ausência da descontinuidade da banda de condução favoreceria o deslocamento dos elétrons da região do emissor para a base. Sendo assim, para a fabricação de um HBT é preferível um material que apresente maior descontinuidade na banda de valência e que não seja necessária a variação de sua composição. Um material que atende a essas necessidades, é o InGaP/GaAs [C.17].

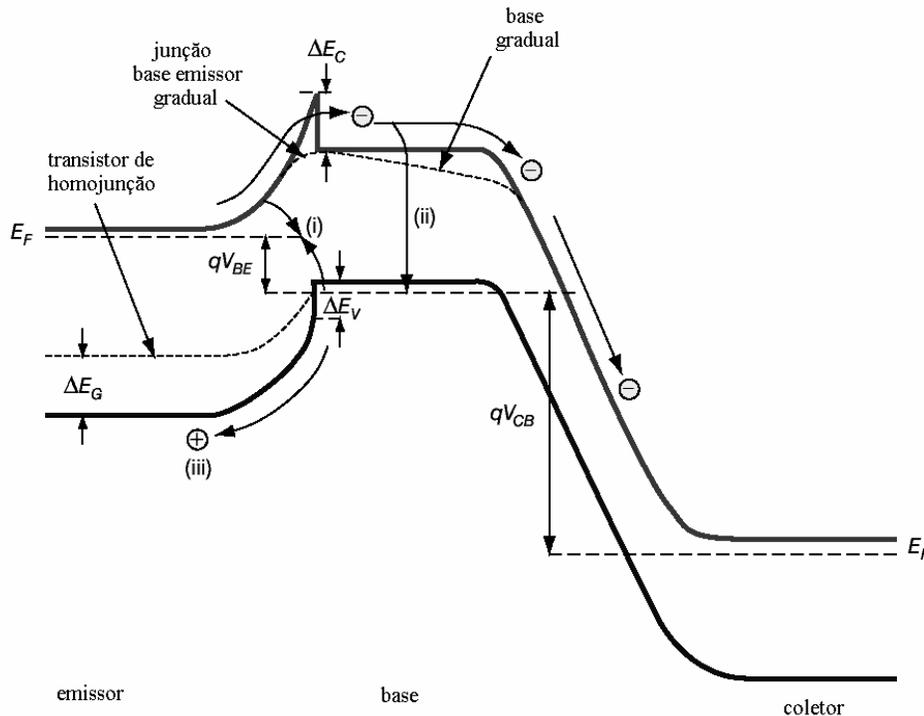
As combinações dos materiais utilizados na fabricação de um HBT são agrupadas pelo tipo de substrato. A tabela C.2 apresenta alguns materiais utilizados para a fabricação dos transistores HBT [C.16].

**Tabela C.2 – Materiais utilizados para a fabricação de um HBT [C.16].**

Substrato	Emissor	Base	Coletor
GaAs	AlGaAs	GaAs ou AlGaAs (gradual)	GaAs ou AlGaAs (DHBT)
	InGaP	GaAs ou AlGaAs (gradual)	GaAs ou InGaP (DHBT)
InP	InP	InGaAs	InGaAs ou InP (DHBT)
	AllnAs	InGaAs	InGaAs ou InP (DHBT)
Si	Si/Poli-Si	Si-Ge (gradual)	Si
Safira	AlGaN	GaN	GaN

### C.2.1 PRINCÍPIO DE OPERAÇÃO DE UM HBT

A figura C.12 ilustra o diagrama de bandas de energia de um HBT polarizado na região ativa.



**Figura C.12 – Diagrama de bandas de um HBT [C.16].**

Elétrons são injetados da junção base/emissor, diretamente polarizada, em direção à base, onde se difundem e são capturados pelo campo elétrico da junção base/coletor

reversamente polarizada, resultando na corrente de coletor. O ganho de corrente ocorre porque pequenas mudanças na tensão de entrada na junção base/emissor (com conseqüente variação da corrente de base) induzem grandes mudanças na corrente de coletor, devido à dependência exponencial da corrente injetada pela tensão de entrada.

Os mecanismos que tendem a diminuir o ganho de corrente são:

- Recombinação dos elétrons com as lacunas, ou na região de carga espacial base/emissor (indicado por (i) na figura C.12) ou na base dopada tipo p (indicado por (ii) na figura C.12);
- Injeção reversa de lacunas da base em direção ao emissor (indicado por (iii) na figura C.12).

Quando se compara os fluxos de elétrons e lacunas na junção base/emissor, nota-se a diferença na altura da barreira de potencial. O alinhamento das bandas de valência e condução na heterojunção base/emissor é tal que a barreira de potencial é maior para o fluxo de lacunas do que para o fluxo de elétrons. Comparando-se com uma homojunção com similar densidade de dopagem, tempo de vida dos portadores minoritários e mobilidade, a razão entre o fluxo de lacunas e elétrons através da heterojunção base/emissor é dado pela relação [C.16]:

$$\left( \frac{I_l}{I_e} \right)_{het} = \left( \frac{I_l}{I_e} \right)_{homo} \cdot \exp \left[ \frac{-(\Delta E_G - \Delta E_C)}{k \cdot T} \right] \quad (C.20)$$

onde:

o termo antes da exponencial é a razão de corrente entre lacuna e elétron para uma homojunção;

$\Delta E_C$  é a descontinuidade na banda de condução;

$\Delta E_G$  é a diferença na região de banda proibida através da junção;

$k$  é a constante de Boltzmann;

$T$  é a temperatura absoluta.

Desde que  $\Delta E_C < \Delta E_G$  ( $\Delta E_C \sim 0$  para uma junção composta gradualmente [C.18]), a barreira extra para a lacuna pode limitar a corrente de lacuna, de forma que a eficiência de injeção no emissor (razão da corrente de elétrons injetados em relação à corrente total da junção) é perto de 1, mantendo os níveis relativos de dopagem do emissor e da base. Em adição, a reduzida injeção de lacunas diminui as cargas minoritárias armazenadas no emissor neutro, melhorando a velocidade. Deste modo, o HBT pode ser projetado para operar em alta frequência (base com alta dopagem e emissor com baixa dopagem) sem comprometer a eficiência de injeção de elétrons [C.17].

Para uma junção abrupta [C.18],  $\Delta E_C$  apresenta uma barreira extra para os elétrons, que diminui um pouco a seletividade mencionada acima. Entretanto, em alguns sistemas de materiais, tais como AlGaAs/GaAs, é possível fazer uma composição gradual do emissor próximo à interface, fazendo com que esta barreira seja eliminada (figura C.12). A tabela C.3 apresenta os valores  $\Delta E_C$ ,  $\Delta E_V$ ,  $\Delta E_g$ ,  $\Delta E_V/\Delta E_C$  para três tipos comum de HBT.

**Tabela C.3 – Descontinuidade da banda dos transistores HBT mais comuns.**

Material empregado na fabricação do HBT	$\Delta E_C$	$\Delta E_V$	$\Delta E_g$	$\Delta E_V/\Delta E_C$	Referência
$Al_{0,3}Ga_{0,7}As/GaAs$	0,24	0,13	0,37	0,54	C.19
$In_{0,5}Ga_{0,5}P/GaAs$	0,19	0,29	0,48	1,53	C.20, C.21, C.22
$InP/In_{0,53}Ga_{0,47}As$	0,25	0,34	0,59	1,36	C.23

Modernos métodos de crescimento epitaxial, tais como MOVPE [C.17] (*Metalorganic Vapor Phase Epitaxy*), MBE [C.17] (*Molecular Beam Epitaxy*) e suas variantes, são capazes de produzir heterojunções de alta qualidade, com um mínimo de defeitos cristalinos. Conseqüentemente, os fatores limitantes que controlam o ganho em transistores HBT de alto desempenho são, geralmente, focados na recombinação de elétrons e lacunas com a base altamente dopada e a densidade de estados. A recombinação é determinada pela espessura e nível de dopagem da base [C.24], em que ambos afetam a frequência de operação do dispositivo. A alta dopagem da base reduz a condutância de saída, devido ao efeito *Early*. A reduzida dopagem do emissor é também possível, com conseqüente aprimoramento da velocidade do transistor, como resultado da redução da capacitância de depleção entre base e emissor [C.17]. Já a densidade de estados pode ser reduzida através de técnicas de passivação da superfície [C.25].

## C.2.2 CARACTERÍSTICA ELÉTRICA DE UM HBT

Um HBT é geralmente caracterizado pelas medidas DC e AC. Em geral, os parâmetros DC utilizados para simular um dispositivo real provêm ou do modelo *Ebers-Moll* ou *Gummel Poon* [C.26]. A maioria dos parâmetros é determinada, basicamente, através do *Gummel-Plot* (gráfico do logaritmo de  $I_C$  e  $I_B$  em função  $V_{BE}$ , sendo que  $V_{BC}$  deve ser, aproximadamente, igual a zero).

Pelo *Gummel-Plot*, apresentado na figura C.13, nota-se três regiões distintas. Na região I predomina a baixa corrente (sendo caracterizada pela predominância da corrente de recombinação de base). Na região II predomina a média corrente, onde a corrente de recombinação de base deixa de ter influência e as resistências parasitárias são desprezíveis. Muitos HBTs apresentam o *Gummel-Plot* sem essa região (ausência da região II, onde  $I_C$  e  $I_B$  são paralelos), isto se deve à corrente de recombinação na base, que aumenta  $I_B$  [C.27].

Na última região (região III), predomina a alta corrente, onde aparecem perdas provocadas pelas resistências parasitárias e efeitos de segunda ordem (alta injeção, efeitos térmicos, etc.). A corrente de coletor é afetada pelas resistências de emissor, base e coletor, e a corrente de base pelas resistências de emissor e base [C.28].

Através do *Gummel-Plot* obtêm-se  $I_{SE}$ ,  $\beta_F$ ,  $I_S$ ,  $n_F$  e  $n_E$ . Onde [C.29]:

$I_{SE}$  é a fuga da corrente de saturação na junção base/emissor;

$\beta_F$  é o máximo ganho de corrente do transistor;

$I_S$  é a corrente de saturação do transistor;

$n_F$  é o coeficiente de emissão da corrente direta (fator de idealidade do coletor);

$n_E$  é o coeficiente de emissão da corrente de fuga na junção base/emissor.

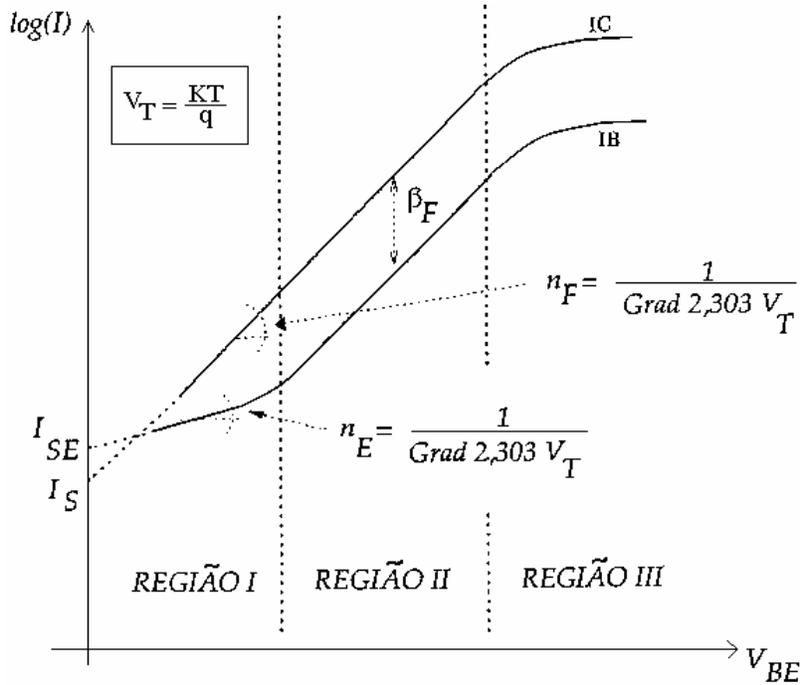


Figura C.13 – Gummel-Plot de um transistor [C.28].

Através de manipulações algébricas das equações da corrente de coletor (C.21) e base (C.22) [C.26, C.28] podemos obter esses valores mencionados acima, que são apresentados a seguir.

$$I_C = I_S \cdot \left( e^{\frac{qV_{BE}}{n_F \cdot K \cdot T}} - 1 \right) \quad (C.21)$$

$$I_B = \frac{I_S}{\beta_F} \cdot e^{\frac{qV_{BE}}{n_F \cdot K \cdot T}} + I_{SE} \cdot e^{\frac{qV_{BE}}{n_E \cdot K \cdot T}} \quad (C.22)$$

Aplicando-se a função logaritmo em (C.21), chegamos à seguinte equação:

$$\log(I_C) = \log(I_S) + \frac{q \cdot V_{BE}}{n_F \cdot K \cdot T \cdot \ln(10)} \quad (C.23)$$

O valor de  $I_S$  pode ser obtido extrapolando-se  $\log(I_C)$  em  $V_{BE}$  igual a zero, onde se tem  $\log(I_C) = \log(I_S)$ . O valor de  $n_F$  é obtido pelo gradiente da equação (C.23), onde o valor final é:

$$n_F = \frac{1}{\left( \frac{K \cdot T}{q} \right) \cdot \ln(10) \cdot \text{Grad}[\log(I_C)]} \quad (C.24)$$

Para a corrente de base, há a predominância da corrente de recombinação na região I. Desta maneira, a corrente de base passa a ser a própria corrente de recombinação e, portanto, os valores de  $I_{SE}$  e  $n_E$  são obtidos da mesma forma que  $I_S$  e  $n_F$  foram obtidos. Como em  $V_{BE}$  igual a zero  $\log(I_C) = \log(I_{SE})$ , o valor de  $n_E$  é dado por:

$$n_E = \frac{1}{\left(\frac{K \cdot T}{q}\right) \cdot \ln(10) \cdot Grad[\log(I_B)]} \quad (C.25)$$

Quando a corrente de recombinação torna-se desprezível,  $\beta_F$  pode ser determinado como:

$$\log(I_B) = \log\left(\frac{I_C}{\beta_F}\right) \Leftrightarrow \log(\beta_F) = \log(I_C) - \log(I_B) \quad (C.26)$$

Como já foi mencionado anteriormente, pode ocorrer que o HBT não apresente a região II, sendo difícil a determinação de  $I_{SE}$ ,  $n_E$  e  $\beta_F$ . Sendo assim, os valores de  $I_{SE}$  e  $n_E$  são, aproximadamente, obtidos através do *Gummel-Plot* e  $\beta_F$  através da equação (C.22). Como esses valores obtidos são valores aproximados, é necessário fazer a correção dos valores ajustando-se os valores medidos com os valores teóricos [C.28].

A corrente de base de um transistor HBT também pode ser expressa de outra maneira, de forma a podermos quantificar o efeito da corrente de recombinação na região da base, pois a corrente de base é composta principalmente de quatro principais contribuintes que são: corrente de recombinação na região entre base emissor  $J_{Bsc}$ , corrente de recombinação no substrato  $J_{bulk}$ , corrente de injeção das lacunas da base para o emissor  $J_{bp}$ , e corrente de recombinação na superfície  $J_{surf}$ . Em transistores HBT a corrente  $J_{bp}$  pode, geralmente, ser desprezível devido a barreira da heterojunção. Sendo assim, a equação da corrente de base pode equacionada como [C.30]:

$$\frac{J_C}{\beta} = (J_{bulk} + J_{Bsc}) + 2K_{surf} \left( \frac{1}{W_E} + \frac{1}{L_E} \right) \quad (C.27)$$

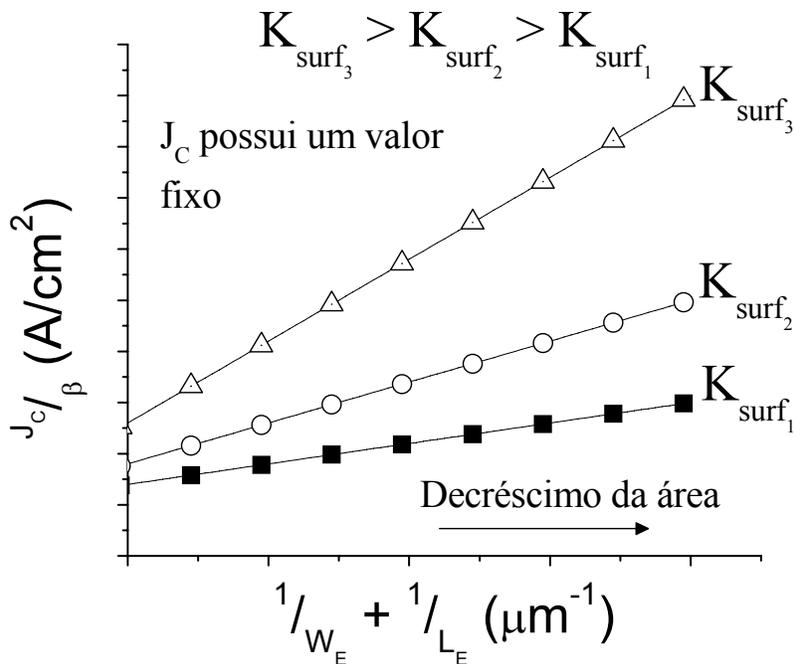
onde:

$\beta$  é o ganho de corrente do transistor;

$K_{surf}$  é a corrente de recombinação na superfície dividida pela periferia do emissor;

$W_E$  e  $L_E$  são as dimensões do emissor.

O gráfico de  $J_C/\beta$  por  $(1/W_E + 1/L_E)$  é uma reta que permite obter a contribuição da corrente de recombinação na superfície. Dispositivos com um menor coeficiente angular indicam uma menor corrente de recombinação na superfície que reflete em uma menor quantidade de densidade de estados, como ilustra a figura C.14. A equação (C.27) pode ser utilizada, então, para verificar a passivação da superfície.



**Figura C.14 - Gráfico de  $J_C/\beta$  por  $(1/W_E + 1/L_E)$  mostrando a influência de  $K_{surf}$ .**

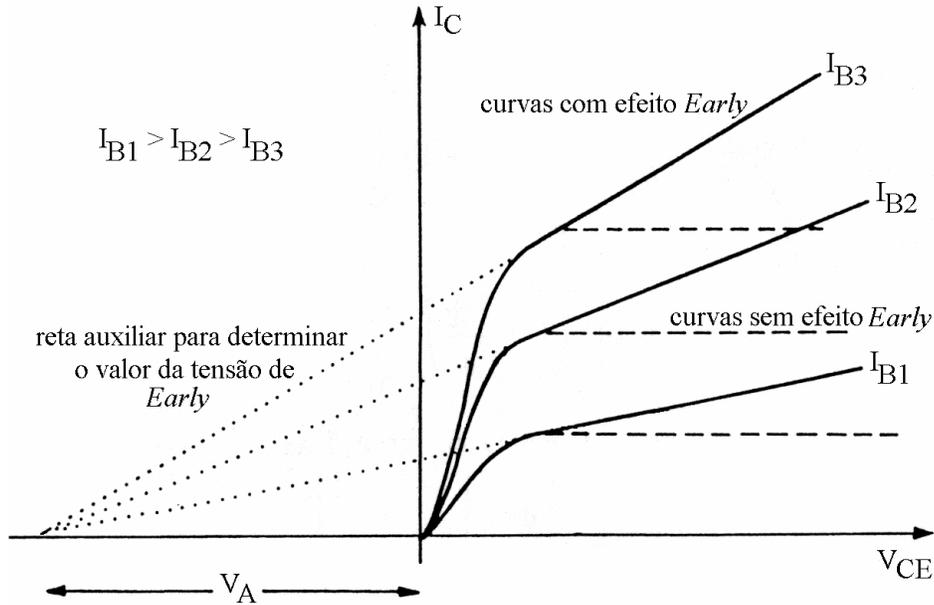
Pelo gráfico apresentado na figura C.14 é observado que com o decréscimo da área existe uma maior influência da corrente de recombinação no dispositivo e para área maiores esse efeito começa a influenciar menos.

Outra curva que pode ser utilizada para caracterizar um transistor bipolar é a curva da corrente de coletor,  $I_C$ , em função da tensão entre coletor e emissor,  $V_{CE}$ , variando-se a corrente de base,  $I_B$ , (ou tensão entre base e emissor,  $V_{BE}$ ). Esta curva (também conhecida como curva característica) pode ser mais bem detalhada através de [C.26]. Neste anexo, será apresentada apenas uma das características que pode ser observada nessa curva, que é a tensão de *Early*, ou a modulação na largura da base, figura C.15. O efeito *Early* descreve as mudanças na largura da base resultante da mudança na tensão na junção base-emissor. Normalmente, a região ativa de polarização de um transistor bipolar é definida quando a junção emissor-base está polarizada diretamente e a junção coletor-base está polarizada reversamente. Assim, a largura da região de carga espacial da junção p-n (base-coletor) é fortemente dependente do potencial aplicado. Uma grande variação na tensão entre coletor e base,  $V_{BC}$ , por exemplo, pode causar uma variação significativa na região de carga espacial na junção base-coletor [C.26].

Esse efeito da modulação na largura da base inclui uma modificação nas equações da corrente de saturação ( $I_S$ ), ganho DC do transistor ( $\beta$ ) e o tempo de trânsito direto ( $\tau_F$ ). Detalhes sobre essas equações modificadas podem ser encontrados em [C.26].

A figura C.15 apresenta o efeito da modulação na largura da base na curva característica de um transistor bipolar. Observa-se na figura C.15 duas curvas características: uma possui uma inclinação diferente de zero na região ativa (linha cheia) e a outra uma inclinação igual a zero na região ativa (linha tracejada). A curva característica representada pela linha cheia ilustra o efeito *Early* e a curva característica representada pela linha tracejada não apresenta esse efeito.

A quantificação desse efeito, ou seja, determinação da tensão de *Early*,  $V_A$ , pode ser feita por vários métodos [C.26]. O método mais simples, e que foi utilizado neste trabalho, foi o método através da extrapolação da curva característica ( $I_C \times V_{CE}$ ) que utiliza o transistor na configuração emissor comum. A figura C.15 mostra que  $V_A$  é, aproximadamente, o valor da tensão no eixo x em  $-V_{CE}$ . Esse valor é obtido, pela curva que passa por  $I_C$ , na região ativa, e intercepta o eixo x (como representado na figura C.15). Esta extrapolação pode ser feita graficamente, porém, o erro experimental associado a esse método pode ser muito alto [C.26].



**Figura C.15 – Curva característica  $I_C \times V_{CE}$  de um transistor bipolar, com efeito *Early* (linha cheia) e sem efeito *Early* (linha tracejada) [C.26].**

Já através das medidas AC, podem-se determinar outros parâmetros, também importantes, para a caracterização dos transistores HBT como  $F_T$  e  $F_{MÁX}$ .  $F_T$  é definida como a frequência onde o ganho de corrente na configuração emissor comum cai a um.

Deste modo,  $F_T$  reflete a capacidade do dispositivo em operar em altas frequências, e seu valor é dado por [C.16, C.28]:

$$F_T = \frac{1}{2 \cdot \pi \cdot \tau_{EC}} = \frac{1}{2 \cdot \pi \cdot (\tau_{EB} + \tau_{BC} + \tau_B + \tau_C)} \quad (C.28)$$

onde:

$\tau_{EC}$  é o tempo de trânsito do emissor ao coletor;

$\tau_{EB}$  é o tempo de carga da capacitância da junção base/emissor;

$\tau_{BC}$  é o tempo de carga da capacitância da junção base/coletor;

$\tau_B$  é o tempo de trânsito da região de depleção da base;

$\tau_C$  é o tempo de trânsito da região de depleção do coletor.

Por sua vez,  $\tau_{EB}$ ,  $\tau_{BC}$ ,  $\tau_B$  e  $\tau_C$  são definidos como [C.16]:

$$\tau_{EB} = C_{BE} \cdot \frac{k \cdot T}{q \cdot I_C} \quad \tau_{BC} = C_{BC} \cdot \left( \frac{k \cdot T}{q \cdot I_C} + r_E + r_c \right) \quad (C.29)$$

$$\tau_B = \frac{W_B^2}{2 \cdot D_e} \quad \tau_C = \frac{W_C}{2 \cdot v_s}$$

$C_{BE}$  e  $C_{BC}$  são, respectivamente, as capacitâncias das regiões de depleção formadas pelas junções base/emissor e base/coletor,  $k$  é a constante de Boltzmann,  $q$  é a carga eletrônica,  $T$  é a temperatura absoluta,  $I_C$  é a corrente de coletor,  $r_E$  e  $r_c$  são, respectivamente, as resistências parasitas do emissor e coletor,  $W_B$  e  $W_C$  são as espessuras da região de depleção da base e coletor, respectivamente,  $D_e$  é o coeficiente de difusão dos elétrons na base e  $v_s$  é a velocidade de saturação na região de depleção do coletor.

Já  $F_{MÁX}$ , é a máxima frequência de oscilação, ou a frequência quando o ganho em potência chega a um. Uma expressão aproximada, frequentemente utilizada para obter o valor de  $F_{MÁX}$ , é [C.16]:

$$F_{MÁX} = \sqrt{\frac{F_T}{8 \cdot \pi \cdot r_B \cdot C_{BC}}} \quad (C.30)$$

Na equação (C.30),  $r_B$  é a resistência lateral da base, desde o contato da base até a região ativa do dispositivo. O aumento de  $F_{MÁX}$  pode ser conseguido com a diminuição no valor de  $r_B$ , que é conseguido com a redução na largura do emissor e diminuição no espaçamento entre os contatos base/emissor. Aumentando-se o nível de dopagem na base diminui-se o valor de  $r_B$ , porém um aumento excessivo na dopagem poderá ter um efeito negativo sobre o ganho [C.27]. Esse efeito pode ser compensando fazendo-se a base gradual [C.16], que cria um campo quase elétrico, causando a deriva dos elétrons através da base mais rápida do que no caso de uma difusão normal. Este efeito reduz  $r_B$  (uma base mais fina, ou mais dopada, é permitida) e diminui o tempo de trânsito (aumento de  $F_T$  e do ganho). Já  $C_{BC}$  pode ser minimizada reduzindo-se a área base/coletor ou aumentando-se a espessura da depleção do coletor (este aumento, porém implicará num aumento de  $\tau_C$  e redução de  $F_T$ ).

O transistor, em regime AC, é geralmente representado por um modelo de pequenos sinais (modelo linear) como mostra a figura C.16. O modelo de pequenos sinais apresentado na figura C.16 pode ser dividido em duas partes, uma extrínseca e uma intrínseca. A parte intrínseca se refere à estrutura interna do HBT (desenhada em azul na figura C.16), e a extrínseca, se refere aos contatos e *pads* de acesso (desenhada em vermelho na figura C.16).

Através deste modelo pode-se verificar a influência da espessura do filme utilizado para a passivação, pois além de influenciar na densidade de estados, através do processo de passivação, o filme depositado pode influenciar na parte extrínseca do dispositivo, principalmente nas capacitâncias dos *pads* de acesso. A determinação destes parâmetros pode ser feita por vários métodos, como por exemplo, os descritos em [C.31], [C.32] e [C.33].

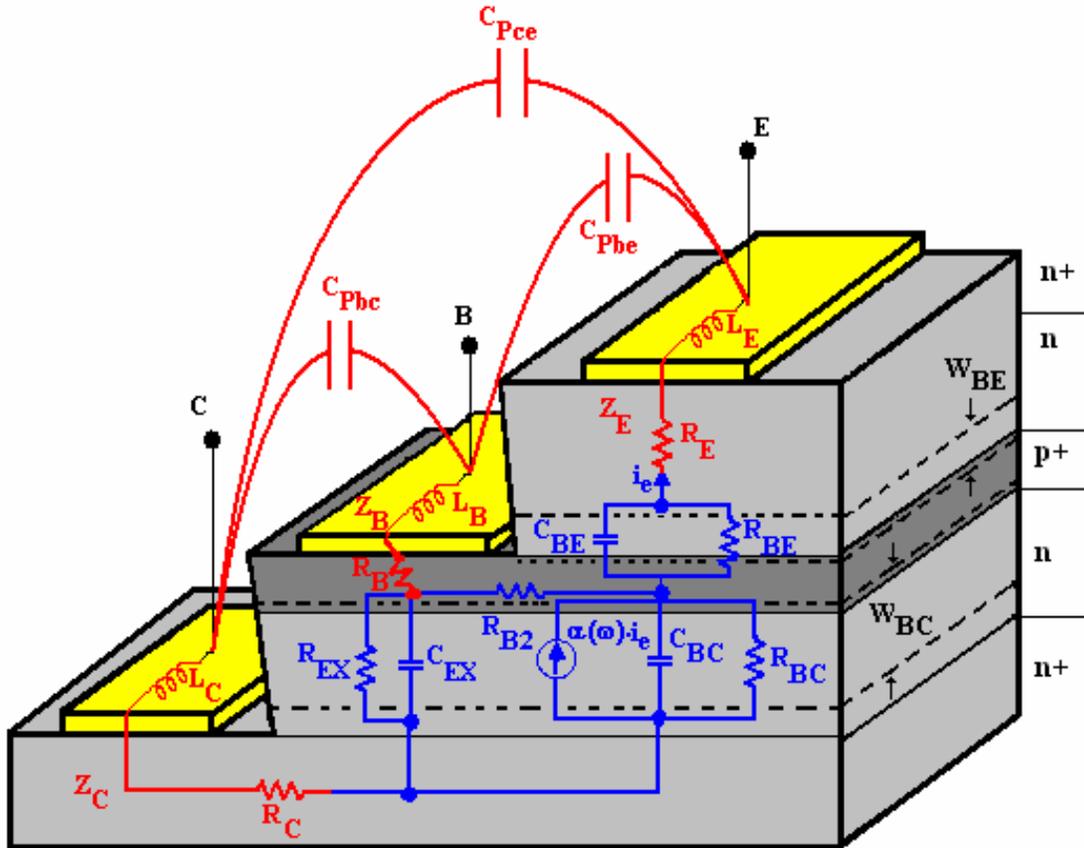


Figura C.16 – Corte de um HBT com o circuito equivalente [C.31].

### C.3 TRANSISTORES DE EFEITO DE CAMPO (MESFET E MISFET)

A descrição a seguir é baseada em [C.34], onde o modelamento proposto serve para descrever tanto os transistores MESFET quanto MISFET, sendo que a diferença está na espessura do filme isolante empregado. Não será mostrado aqui um modelamento físico detalhado do dispositivo, mas sim informações básicas a serem utilizadas para o projeto de um dispositivo deste tipo como, por exemplo, as dimensões do dispositivo, a influência da espessura do filme isolante e a densidade de estados no projeto, sendo possível ter um melhor ponto de partida para o projeto destes dispositivos, em especial um MISFET.

A geometria desse tipo de transistor é apresentada na figura C.17, onde a diferença de um transistor MISFET de um MESFET é a espessura do filme isolante, que no transistor MESFET é igual a zero. O modelo apresentado na figura C.17 pode ser dividido em duas regiões, uma intrínseca, que é a região de porta (*gate*) e outra extrínseca, ou de elementos parasitas, que são as regiões de fonte, dreno e a região não modulada pela porta.

Seguindo a aproximação de canal gradual [C.34] assume-se que as condições do campo elétrico no transistor intrínseco podem ser representadas como aparecem nas figuras C.17(a) e C.17(b) quando operando na região acima e abaixo da região de saturação da curva característica I-V da corrente de dreno, figura C.17(c). Essas duas regiões são modeladas separadamente e devem ser contínuas nos pontos de saturação, como mostra a figura C.17(c).

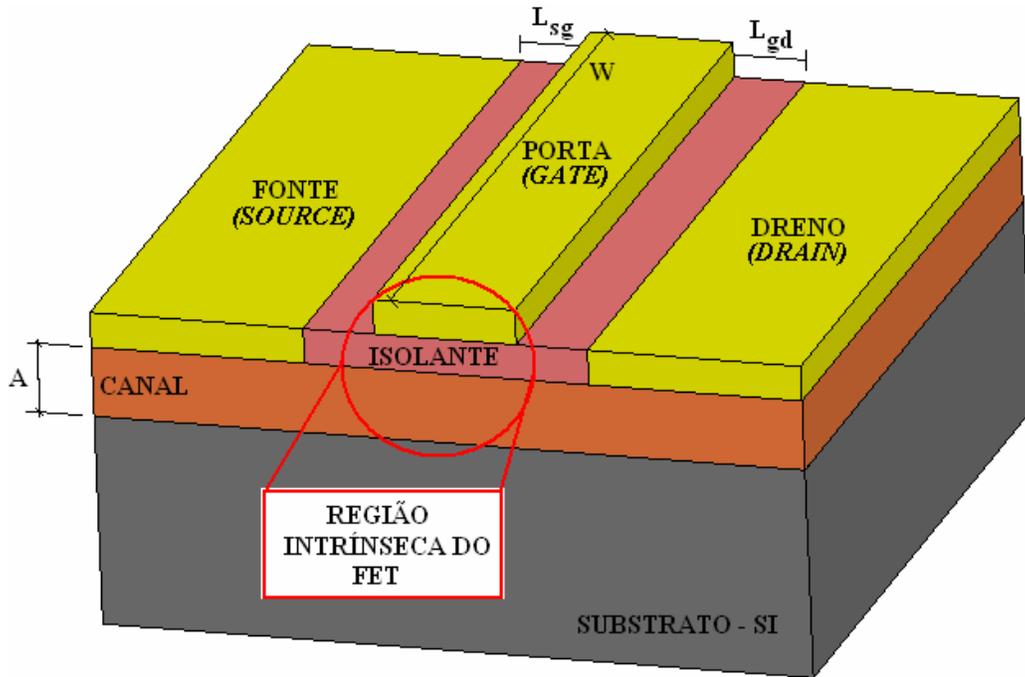


Figura C.17 – Desenho esquemático de um transistor FET (MISFET). O transistor MESFET não possui o isolante [C.34].

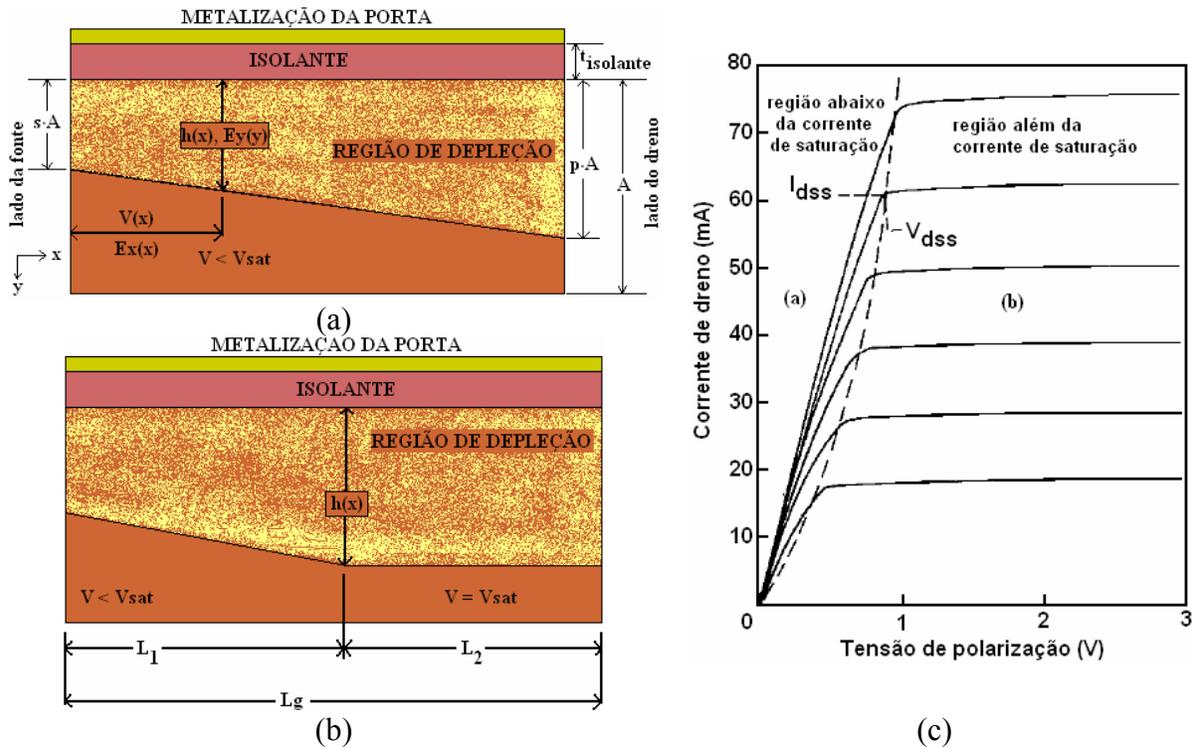


Figura C.18 – (a) Esquemático de um MISFET intrínseco abaixo da corrente de saturação, (b) esquemático de um MISFET intrínseco acima da corrente de saturação, (c) curva I-V característica de um transistor MISFET [C.34].

### C.3.1 CORRENTE DE DRENO ABAIXO DA SATURAÇÃO

A corrente de dreno,  $I_{ds}$ , na região abaixo da corrente de saturação pode ser derivada da densidade total de corrente no canal pela lei de Ohm, que é apresentada a seguir.

$$J_x = \sigma \cdot E(x) = q \cdot \mu \cdot N_d \cdot E_x(x) = q \cdot N_d \cdot v(x) \quad (C.31)$$

onde:

$\sigma$  é a condutividade do canal para uma concentração uniforme de dopantes;

$E_x(x)$  é o campo elétrico longitudinal;

$\mu$  é a mobilidade de deriva para o baixo campo elétrico;

$N_d$  é a concentração de portadores;

$v(x)$  é a velocidade dos portadores;

$q$  é a carga do elétron.

Supondo uma dopagem uniforme e o modelo de Lile [C.34, C.35] para o potencial de superfície  $\psi_s$ , a profundidade de depleção  $h(x)$  é determinada através da solução da equação de Poisson como:

$$h(x) = \sqrt{\frac{\psi_s}{V_p}} \cdot A \quad (C.32)$$

onde:

$A$  é a espessura do canal;

$V_p = \frac{q \cdot N_d \cdot A^2}{2 \cdot \epsilon_{semicondutor}}$  é a tensão de *pinchoff* com  $\epsilon_{semicondutor}$  sendo a permissividade

do semicondutor;

$$\sqrt{\psi_s} = \frac{-\sqrt{V_i} + \sqrt{V_i - \beta \cdot (K_0 + V_{gs} - V(x))}}{\beta} \quad (C.33)$$

Sendo:

$$V_i = \frac{q \cdot \epsilon_{semicondutor} \cdot N_d \cdot t_{isolante}^2}{2 \cdot \epsilon_{isolante}^2} \quad \beta = 1 + \frac{q \cdot t_{isolante} \cdot N_{ss}}{\epsilon_{isolante}} \quad (C.34)$$

$$K_0 = \beta \cdot \psi_{s0} - 2 \cdot \sqrt{V_i \cdot |\psi_{s0}|}$$

onde:

$t_{isolante}$  é a espessura do filme isolante;

$\epsilon_{isolante}$  é a permissividade do filme isolante;

$N_{SS}$  é a densidade de estados na superfície;  
 $\psi_{S0}$  é o potencial de superfície sem polarização.

Pelas equações apresentadas acima, a densidade de estados aparece apenas no termo  $\beta$ . Como este termo encontra-se também no denominador, o aumento de  $N_{SS}$  irá provocar uma diminuição no potencial de superfície tornando a modulação da região de depleção menos sensível as mudanças das tensões de polarização. Quando a espessura do isolante é reduzida a zero, a equação (C.33) reduzirá ao modelo do MESFET para o potencial de superfície.

A corrente de dreno pode ser determinada quando a espessura da camada de depleção e a velocidade dos portadores forem conhecidas ao longo do canal. A condição de contorno aplicada para a queda de tensão transversal é  $V(x)$  igual a zero em  $x = 0$  e  $V_{ds}$  em  $x = L_g$ . Definindo  $h_1$  como a espessura da camada de depleção na fonte e  $h_2$  como a espessura da camada de depleção no dreno, temos que  $h(x)$  nos extremos da fonte e do dreno é:

$$s = \frac{h_1}{A} = \frac{-\sqrt{V_i} + \sqrt{V_i - \beta \cdot (K_0 + V_{gs})}}{\beta \cdot \sqrt{V_p}} \quad (C.35)$$

$$p = \frac{h_2}{A} = \frac{-\sqrt{V_i} + \sqrt{V_i - \beta \cdot (K_0 + V_{gs} - V_{ds})}}{\beta \cdot \sqrt{V_p}} \quad (C.36)$$

Onde  $s$  e  $p$  são definidos como a espessura da camada de depleção normalizada na fonte e no dreno, respectivamente, e representam os limites de integração na direção  $y$  com os valores entre 0 e 1. A relação empírica usada para a curva  $v(x)$  por  $E_x(x)$  é [C.34, C.36]:

$$v(x) = \begin{cases} \frac{\left( \mu + \frac{V_{sat}}{E_C} \right) \cdot E_x(x)}{1 + \frac{E_x(x)}{E_C}}, & E_x(x) \leq E_s \\ v_{sat}, & E_x(x) \geq E_s \end{cases} \quad (C.37)$$

onde:

$$v_{sat} = \mu \cdot E_s;$$

$\mu$  é a mobilidade de deriva para um campo baixo;

$E_C$  é o campo elétrico na velocidade de pico do portador;

$E_s$  é o campo elétrico na saturação.

O campo elétrico ao longo do canal é dado por [C.34]:

$$E_x(x) = \frac{dV(x)}{dx} = 2 \cdot Y \cdot Y' \cdot V_p \cdot \beta + 2 \cdot Y' \cdot \sqrt{V_i \cdot V_p} \quad (C.38)$$

onde:

$$Y = \frac{h(x)}{A} \text{ e } Y' = \frac{dY}{dx} = (2 \cdot V_P \cdot Y)^{-1} \cdot \frac{\partial \psi_s}{\partial x}.$$

Combinando-se a equação (C.31) com (C.37) e (C.38) e integrando-se Y de s a p e x de 0 a  $L_g$ , e fazendo-se a substituição de (C.35) e (C.36) por s e p, a corrente total de saturação é dada por [C.34]:

$$I_{ds} = \frac{I_A}{\beta \cdot \sqrt{V_P}} \cdot \frac{(\beta \cdot \sqrt{V_P} + \sqrt{V_i}) \cdot V_{ds} - \frac{2}{3 \cdot \beta} \cdot (V_i - 3 \cdot \beta \cdot \sqrt{V_i \cdot V_P}) \cdot V_{PS} - \frac{2}{3} V_{AB}}{L_g + \frac{V_{ds}}{E_C}} \quad (C.39)$$

onde:

$$I_A = q \cdot N_d \cdot W \cdot A \cdot \left( \mu + \frac{V_{sat}}{E_C} \right), \text{ com } W \text{ sendo o comprimento da porta;}$$

$$V_{PS} = \sqrt{V_i - \beta \cdot V_A} - \sqrt{V_i - \beta \cdot V_B};$$

$$V_{AB} = V_A \cdot \sqrt{V_i - \beta \cdot V_A} - V_B \cdot \sqrt{V_i - \beta \cdot V_B};$$

$$V_A = K_0 + V_{gs} - V_{ds};$$

$$V_B = K_0 + V_{gs}.$$

Este modelo pode ser estendido aos terminais através da inclusão da parte parasita restante da geometria do FET como mostra a figura C.17. Assim, as tensões intrínsecas do FET,  $V_{ds}$  e  $V_{gs}$ , são modificadas [C.34, C.37] como:

$$V_{ds} = V'_{ds} - I_{ds} \cdot (R_S + R_d) \quad \text{e} \quad V_{gs} = V'_{gs} - (I_{ds} \cdot R_S) \quad (C.40)$$

onde:

$R_S$  e  $R_d$  são as resistências totais parasitas na região de fonte e dreno respectivamente;

$V'_{ds}$  e  $V'_{gs}$  são as tensões de alimentação do dreno e porta respectivamente.

Os valores de  $R_S$  e  $R_d$  são determinados como mostrado em [C.38]. Verificando-se a equação (C.39) nota-se que não existe uma solução explícita para  $I_{ds}$  em termos das tensões dos terminais,  $V'_{ds}$  e  $V'_{gs}$ . Sendo assim, técnicas numéricas serão necessárias para a determinação da corrente.

### C.3.2 CORRENTE DE DRENO ALÉM DA SATURAÇÃO

Quando os portadores são acelerados a sua velocidade de saturação pelo campo elétrico longitudinal  $E_X(x)$ , a corrente do canal torna-se [C.37]:

$$I_{ds} = I_S \cdot (1 - p), \quad I_{ds} \geq I_{dss} \quad (C.41)$$

onde:

$I_S = q \cdot N_d \cdot W \cdot A \cdot v_{sat}$  é a corrente de saturação do canal completamente aberto;  $(1-p)$  é a quantidade do canal aberto.

Nesta condição, a região de depleção apresenta a forma mostrada na figura C.18(b) e os portadores alcançam a saturação no ponto  $x = L_1$  [C.37]. Todo o aumento na polarização do dreno aumentará o campo elétrico longitudinal e fará com que os portadores alcancem a velocidade de saturação em um ponto próximo à fonte, reduzindo o valor de  $L_1$ . O valor de  $p$  é definido já não pela equação (C.36), mas transforma-se em uma função de  $L_1$  atribuída a resistência finita do dreno na parcela saturada da curva de  $I_{ds} \times V_{ds}$ . O valor de  $p$  na equação (C.41) é encontrado usando a condição da continuidade da corrente no ponto de saturação em  $x = L_1$  junto com a queda de tensão através de  $L_1$  e de  $L_2$ . O valor de  $L_1$  é encontrado fazendo uso da continuidade da corrente no ponto de saturação  $I_{ds} = I_{dss}$  como ilustra a figura C.18(c). A relação para  $I_{ds}$  dada pela equação (C.39) deve ser da seguinte forma, antes de ser substituída por  $p$  e  $s$  [C.34]:

$$I_{ds} = I_A \cdot \frac{f_1}{L_1 + f_2} \quad (C.42)$$

onde:

$$f_1 = (\beta \cdot V_P - \sqrt{V_P \cdot V_i}) \cdot (p^2 - s^2) - \frac{2}{3} \cdot \beta \cdot V_P \cdot (p^3 - s^3) + 2 \cdot \sqrt{V_P \cdot V_i} \cdot (p - s);$$

$$f_2 = \frac{V_P \cdot \beta}{E_C} \cdot (p^2 - s^2) + \frac{2 \cdot \sqrt{V_P \cdot V_i}}{E_C} \cdot (p - s);$$

$I_A$  é dada pela equação (C.39).

Combinando as equações (C.42) e (C.41) e resolvendo para  $L_1$  obtemos [C.34]:

$$L_1 = \left( \frac{E_C + E_S}{E_C \cdot E_S} \right) \cdot \left[ \frac{(\beta \cdot V_P - \sqrt{V_P \cdot V_i}) \cdot (p^2 - s^2) - \frac{2}{3} \cdot \beta \cdot V_P \cdot (p^3 - s^3) + 2 \cdot \sqrt{V_P \cdot V_i} \cdot (p - s)}{1 - p} \right] - \left[ \frac{V_P \cdot \beta}{E_C} \cdot (p^2 - s^2) + \frac{2 \cdot \sqrt{V_P \cdot V_i}}{E_C} \cdot (p - s) \right] \quad (C.43)$$

Já a queda de tensão total através do canal é a soma das quedas de tensão através de  $L_1$  e  $L_2$  ou [C.34]

$$V_{ds} = V_{L1} + V_{L2} \quad (C.44)$$

onde:

$$V_{L1} = V_p \cdot \beta \cdot (p^2 - s^2) + 2 \cdot \sqrt{V_p \cdot V_i} \cdot (p - s);$$

$$V_{L2} = \frac{2 \cdot A \cdot E_s}{\pi} \cdot \sinh\left(\frac{\pi \cdot L_2}{2 \cdot A}\right).$$

O valor de  $V_{L1}$  é obtido através da integração da equação (C.38) com  $s$  definido como na equação (C.35) e  $V_{L2}$  é obtido diretamente de [C.34, C.37]. O valor de  $p$  em função de  $V_{ds}$  e de  $V_{gs}$  pode ser encontrado combinando  $L_1$  e a equação (C.44) e usando o método numérico das raízes [C.34]. Uma vez que  $p$  é conhecido,  $I_{ds}$  pode ser encontrado diretamente através da equação (C.41).

O ponto da corrente de saturação,  $I_{dss}$ ,  $V_{dss}$ , pode ser encontrado diretamente das equações (C.41) e (C.44) através da determinação do valor de  $p$  para que  $L_1$  seja igual a  $L_2$ . Isto deve ser feito resolvendo  $L_1$  com o método numérico das raízes [C.34]. A influência do isolante em  $I_{dss}$  e em  $V_{dss}$  é mostrada nas figuras C.19(a) e C.19(b), respectivamente [C.34].

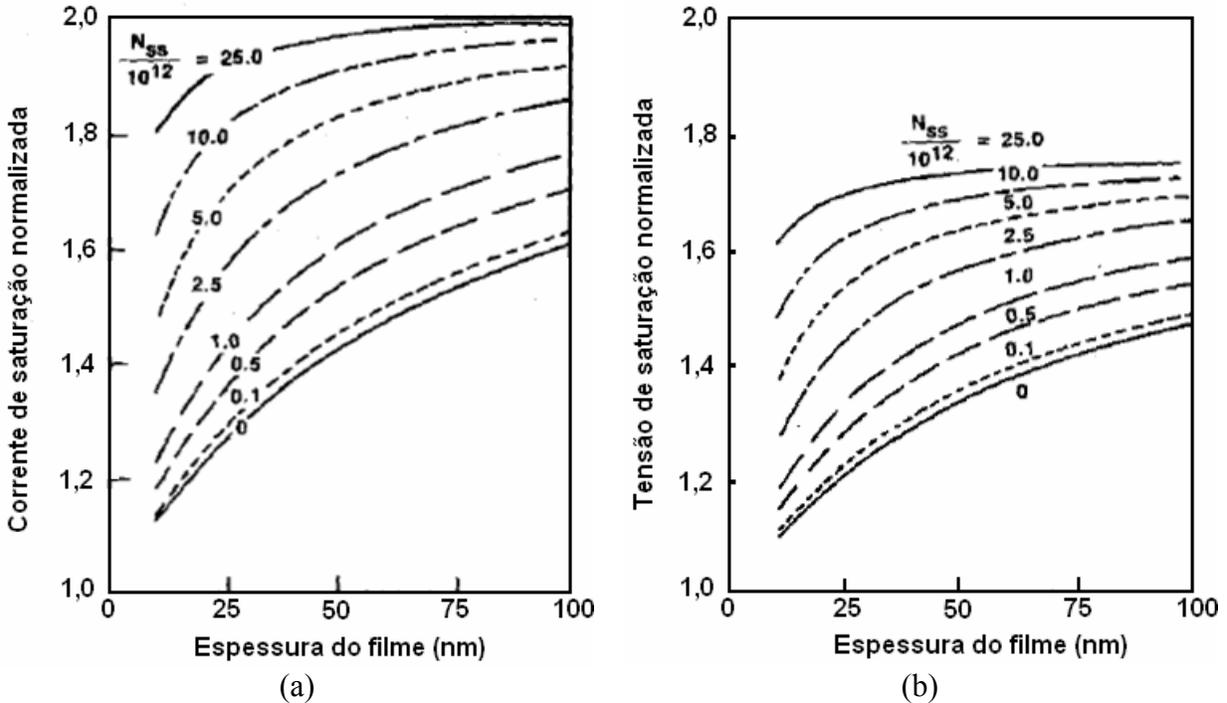


Figura C.19 – Valores teóricos para corrente e tensão de saturação dependentes da espessura do filme isolante, normalizados para um MESFET. (a) Corrente de saturação, (b) tensão de saturação [C.34].

### C.3.3 PARÂMETROS CARACTERÍSTICOS DE UM FET

Este item descreverá os parâmetros característicos de um MISFET com base nas equações descritas nos itens anteriores. Os parâmetros que serão apresentados são:

- a transcondutância, a resistência de dreno;
- a capacitância entre porta e fonte e;
- a frequência de corte.

Estes valores são apresentados de [C.34]. Os valores apresentados nas figuras que se seguem foram normalizados para os valores obtidos para uma estrutura MESFET equivalente, ou seja,  $t_{\text{isolante}}$  igual a zero, mostrando dessa forma apenas o efeito do filme isolante. Os resultados apresentam também uma faixa de densidade de estados que varia de 0 a  $2,5 \cdot 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ . Uma observação feita a este modelo é com relação a espessura mínima do filme isolante, que é de 10 nm, pois o mecanismo de tunelamento dos portadores minoritários através de isolante finos [C.34, C.39] não é descrito por este modelo.

A transcondutância é encontrada através da equação [C.34]:

$$g_m = - \left. \frac{dI_{ds}}{dV_{gs}} \right|_{V_{ds}} = I_s \frac{dp}{dV_{gs}} = I_s \frac{dp}{ds} \left. \frac{ds}{dV_{gs}} \right|_{V_{ds}} \quad (\text{C.45})$$

Os valores de  $ds/dV_{gs}$  e  $dp/ds$  são encontrados derivando-se as equações (C.35) e (C.44), respectivamente [C.34]. A figura C.20 apresenta a influência do filme isolante na transcondutância. A figura mostra uma transcondutância inversamente proporcional a espessura do filme isolante e a densidade de estados na superfície. Outro ponto a ser observado também é que para a maioria dos valores de densidade de estado, a transcondutância é mais sensível para filmes isolantes abaixo de 50 nm.

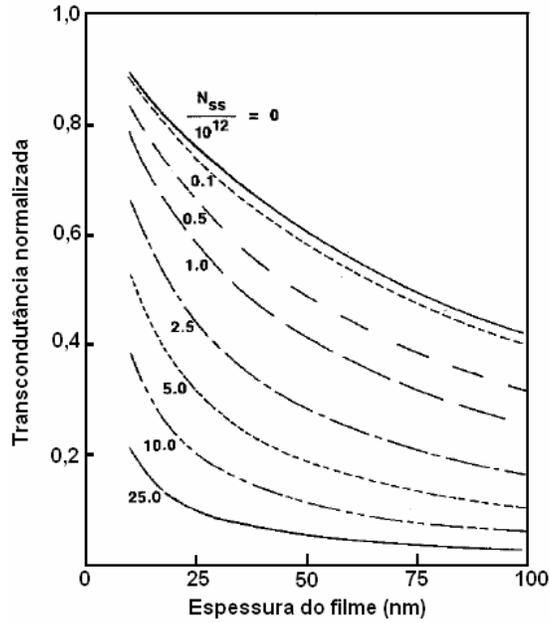
A resistência de dreno  $r_d$  pode ser encontrada através da derivação da equação (C.44) com relação a  $I_{ds}$  e notando que  $dp/dI_{ds}$  é encontrado da equação (C.41). Isso resulta em [C.34]:

$$r_d = \left. \frac{dV_{ds}}{dI_{ds}} \right|_{V_{gs}} = \frac{dV_{ds}}{dp} \frac{dp}{dI_{ds}} = \frac{v_p}{I_s} \cdot f_r \quad (\text{C.46})$$

onde:

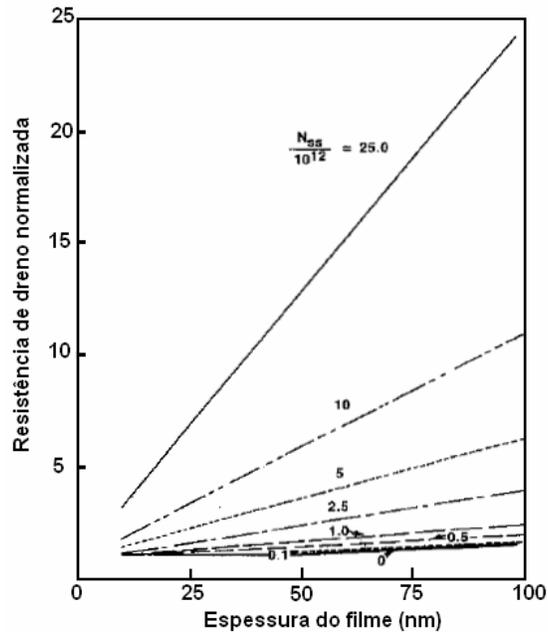
$$f_r = \frac{E_s}{V_p} \cdot \frac{dL_1}{dp} \cdot \cosh\left(\frac{\pi \cdot L_2}{2 \cdot A}\right) - \frac{1}{2 \cdot f_g};$$

$$f_g = V_p \cdot \left. \frac{dp}{ds} \right|_{dV_{gs}}.$$



**Figura C.20 – Valor teórico da transcondutância em função da espessura do filme isolante para diferentes densidades de estado e normalizada para o MESFET equivalente [C.34].**

A figura C.21 mostra a dependência de  $r_d$  em relação ao isolante. Pela figura, nota-se um grande aumento da resistência de dreno para densidades de estados maiores do que  $2,5 \cdot 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  com o aumento da espessura do isolante, mostrando que a resistência de dreno está relacionada proporcionalmente a densidade de estados.



**Figura C.21 – Valor teórico da resistência de dreno em função da espessura do filme isolante para diferentes densidades de estado e normalizada para o MESFET equivalente [C.34].**

Já a capacitância entre porta e fonte é dada por:

$$C_{gs} \approx \left. \frac{\delta Q_s}{\delta V_{gs}} \right|_{V_{ds}} \quad (C.47)$$

onde:

$Q_s$  é a carga de superfície total;

$C_{gs}$  pode ser simplificada como:

$$C_{gs} = 2 \cdot \epsilon_{semicondutor} \cdot \frac{W \cdot L_g \cdot f_g}{A} + C_f \quad (C.48)$$

Esta equação mostra a linear dependência de  $C_{gs}$  com o comprimento da porta. Os efeitos da espessura do filme isolante e da densidade de estado em  $C_{gs}$  são vistos para ser o mesmo que em  $f_g$ . O termo  $C_f$  representa a capacitância de borda [C.34]. Tem sido mostrado que o efeito dos estados de superfície pode ser representado como uma capacitância equivalente  $C_{ss}$  [C.39], que quando combinada com a capacitância de depleção da superfície  $C_{gs}$  e a capacitância do isolante  $C_{isolante}$ , fornece uma expressão para a capacitância total do terminal da porta que é:

$$C'_{gs} = \frac{(C_{gs} + C_{ss}) \cdot C_{isolante}}{C_{gs} + C_{ss} + C_{isolante}} \quad (C.49)$$

onde:

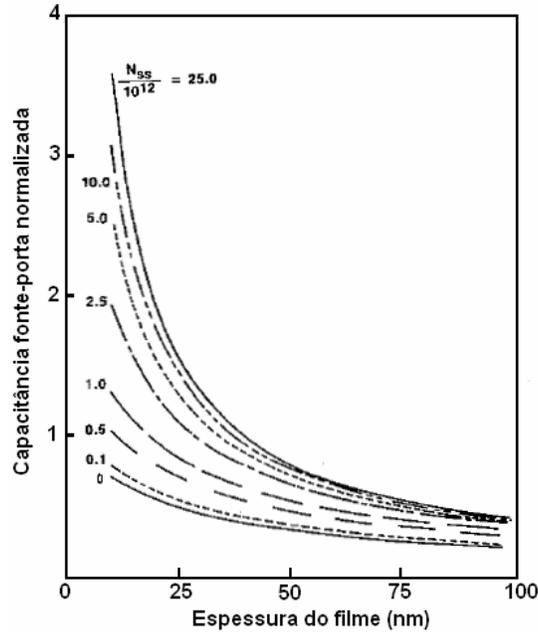
$$C_{ss} = q \cdot N_{ss} \cdot W \cdot L_g;$$

$$C_{isolante} = \epsilon_0 \cdot \epsilon_{isolante} \cdot \frac{L_g \cdot W}{t_{isolante}}.$$

A figura C.22 mostra a dependência da capacitância do terminal de porta normalizado para o isolante. Para todos os valores de densidade de estado e espessura do filme isolante maior do que 40 nm,  $C'_{gs}$  é menor do que seu equivalente MESFET, e para densidade de estados abaixo de  $1 \cdot 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ , com um filme isolante de espessura mínima de 25 nm a capacitância total de porta é menor do que seu equivalente MESFET.

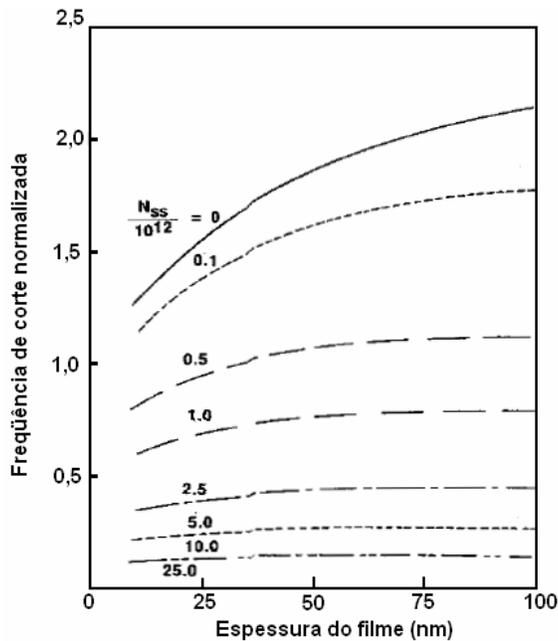
A frequência de corte,  $F_T$ , que é onde o ganho da corrente amplificada cai a um, é tipicamente definida como [C.34]:

$$F_T = \frac{g_m}{2 \cdot \pi \cdot C'_{gs}} \quad (C.50)$$



**Figura C.22 – Valor teórico da capacitância de porta em função da espessura do filme isolante para diferentes densidades de estado e normalizada para o MESFET equivalente [C.34].**

A figura C.23 apresenta a dependência de  $F_T$  com relação ao filme isolante. Para densidades de estado menores que  $5 \cdot 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  ocorre um aumento no valor da frequência de corte em relação ao transistor MESFET.



**Figura C.23 – Valor teórico da frequência de corte em função da espessura do filme isolante para diferentes densidades de estado e normalizada para o MESFET equivalente [C.34].**

## ANEXO D

### DESCRIÇÃO DO CONJUNTO DE MÁSCARAS

Para a fabricação dos dispositivos, foram utilizados três conjuntos distintos de máscaras (uma máscara para os capacitores, um conjunto de máscara para os transistores HBT e um conjunto de máscara para os transistores MESFET e MISFET). Os capacitores e os transistores HBT utilizaram máscaras já existentes em nosso laboratório.

A máscara utilizada para a fabricação dos capacitores é do tipo campo escuro, ou seja, a maior parte da máscara é recoberta por uma emulsão ou camada de cromo que impede que a luz sensibilize o fotorresiste, ficando apenas o interior do desenho sem essa proteção. Um tipo de aplicação desta máscara é a possibilidade da remoção de metais pelo processo de *lift-off*. Os capacitores desta máscara possuem diâmetro de 200  $\mu\text{m}$ . Já as máscaras utilizadas para a fabricação dos transistores HBT são um pouco mais complexa e exigem um maior número de níveis e tipos diferentes de máscara, alternando entre máscaras do tipo campo escuro e campo claro. As máscaras do tipo campo claro podem ser definidas como o negativo da máscara do tipo campo escuro, isto é, é o interior do desenho que possui a emulsão ou camada de cromo que impede que a luz sensibilize o fotorresiste. Maiores detalhes sobre essa máscara pode ser encontrado em [D.1].

Já as máscaras utilizadas para a fabricação dos transistores de efeito de campo MESFET e MISFET foram projetadas e fabricadas durante a execução deste trabalho. A seguir, os componentes e cada nível de máscara serão descritos de maneira resumida.

#### **D.1 CONJUNTO DE MÁSCARAS UTILIZADAS PARA A FABRICAÇÃO DOS TRANSISTORES DE EFEITO DE CAMPO MESFET E MISFET**

Os principais objetivos para se fabricar este novo conjunto de máscaras foram:

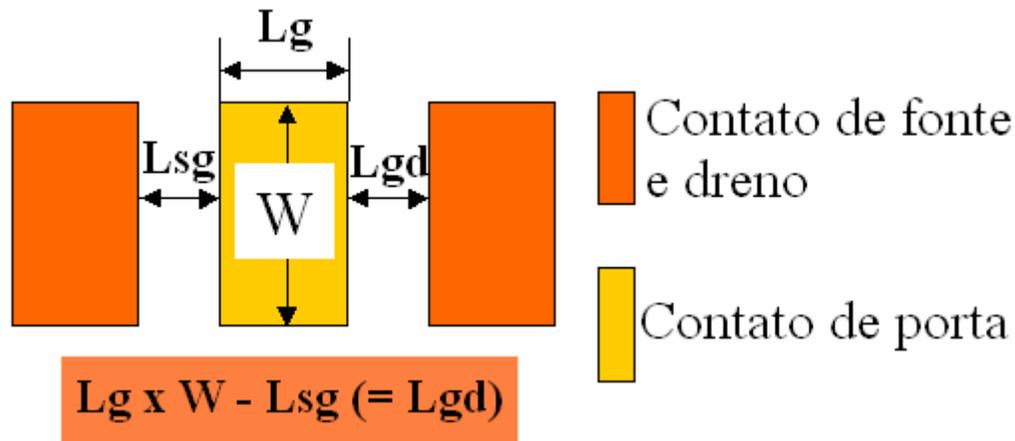
- Evitar adaptações ao processo na tentativa de se utilizar um conjunto de máscara já existente (como, por exemplo, acrescentar etapas desnecessárias, ou aumentar tempo de exposição para tentar alterar a geometria da máscara). No início deste trabalho, tentou-se, sem sucesso, utilizar um conjunto de máscaras destinadas ao processo MOS (metal óxido semiconductor) em substrato de silício;
- Futuramente poder incorporar essas máscaras no processo de fabricação dos transistores HBT.

Este novo conjunto de máscaras possui um total de cinco níveis. O desenho de cada nível foi realizado através de um *software* específico para o desenho de máscaras, denominado MAGIC [D.2] e de acesso gratuito. No entanto há um grande número de *softwares* destinados ao desenho das máscaras. Resumidamente será descrito o processo de fabricação que será utilizado, uma vez que os detalhes podem ser encontrados no capítulo 2. A tabela D.1 apresenta a descrição das máscaras.

**Tabela D.1 – Descrição das máscaras utilizadas no processo de fabricação dos transistores MESFET e MISFET.**

Nome da máscara	Função
N05	Definir a região onde o dispositivo será fabricado
N01	Contato ôhmico de fonte e dreno (ou afinar a camada após metalização)
N03	Contato para metal de porta (ou afinar a camada)
N09	Abertura de vias (retirada do filme de nitreto de silício e material isolante)
N04	Metalização final

Neste novo conjunto de máscaras, há transistores de vários tamanhos, cujas dimensões estão presentes nas máscaras. As dimensões podem ser seguidas conforme a figura D.1.



**Figura D.1 – Identificação das dimensões dos transistores.**

Da figura D.1 temos que:

$Lg$  é comprimento da porta;

$W$  é a largura da porta;

$Lsg$  e  $Lgd$  são as distâncias da porta até a fonte e da porta até o dreno respectivamente.

Além dos transistores, estão presentes na máscara outros dispositivos. Estes dispositivos são dispositivos de teste cuja finalidade é verificar o processo durante a fabricação. A tabela D.2 apresenta todos os dispositivos presentes na máscara, bem como suas dimensões.

Os transistores apresentados na tabela D.2 que possuem as maiores áreas são para medidas de capacitância, sendo que estas medidas podem ser realizadas em baixa frequência como em alta frequência. As estruturas TLMs (que são resistores com dimensão variável) têm por finalidade determinar a resistividade de contato e de folha da camada sobre a qual o metal foi depositado, servindo deste modo para verificar o processo de

formação do contato ôhmico. No projeto desta máscara, também foi incluso dois circuitos diferentes apenas com relação às áreas dos transistores.

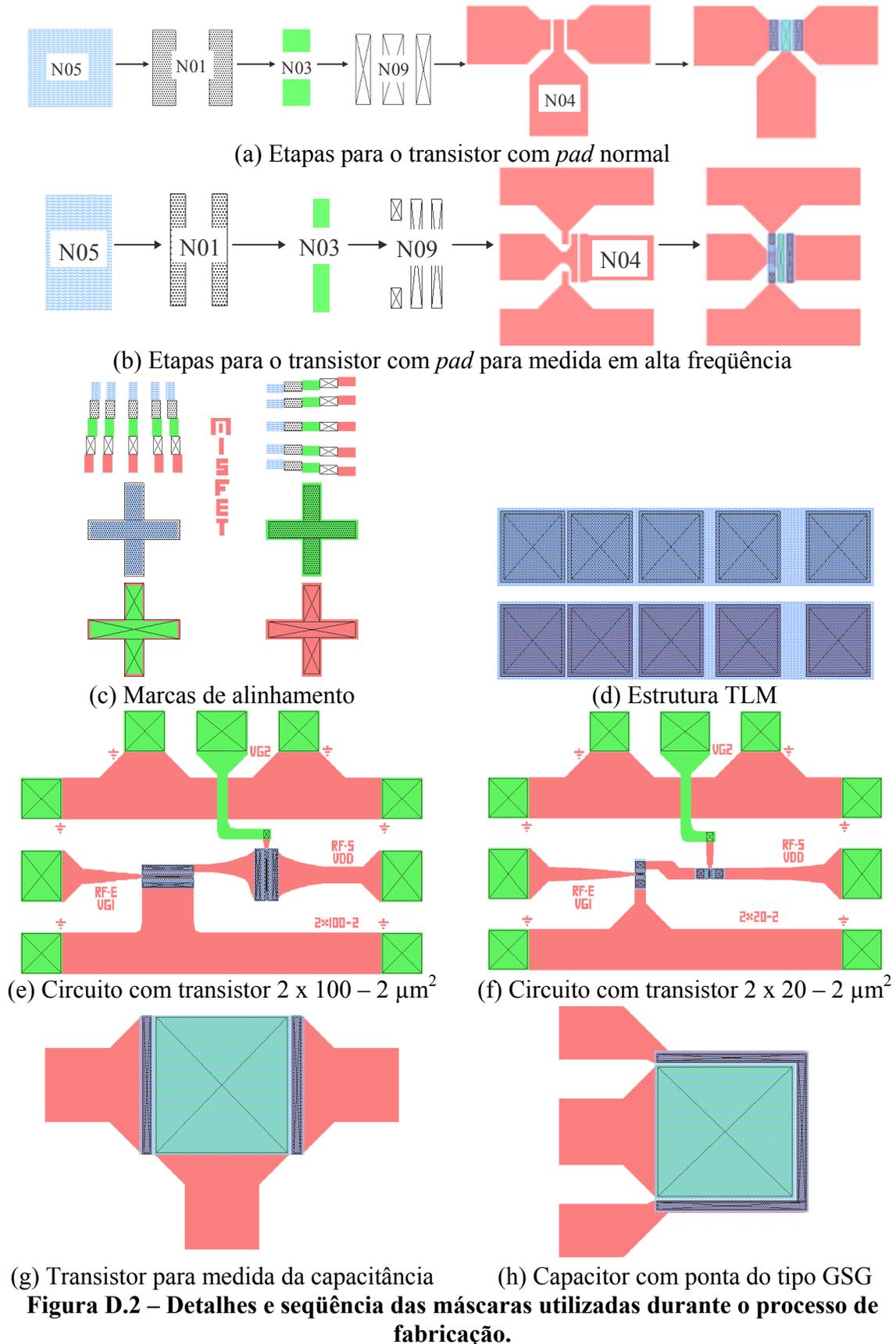
**Tabela D.2 – Dispositivos presentes na máscara fabricada.**

Tipo de dispositivo	Quantidade	Área ( $\mu\text{m}^2$ )
Transistores DC	18	14 x 30 - 5, 18 x 52 - 3, 14 x 58 - 5, 18 x 27 - 3, 10 x 20 - 1, 200 x 206 - 5
Transistores RF	20	14 x 30 - 5, 14 x 104 - 5, 2 x 100 - 2, 10 x 100 - 1, 2 x 20 - 2, 200 x 206 - 5
TLMs	4	468 x 216 (cada)
Marcas de alinhamento	2	309 x 333 (cada)
Circuitos	4	782 x 511 (cada). Tamanho dos transistores: 2 x 20 - 2 e 2 x 100 - 2
Total	48	3000 x 4332

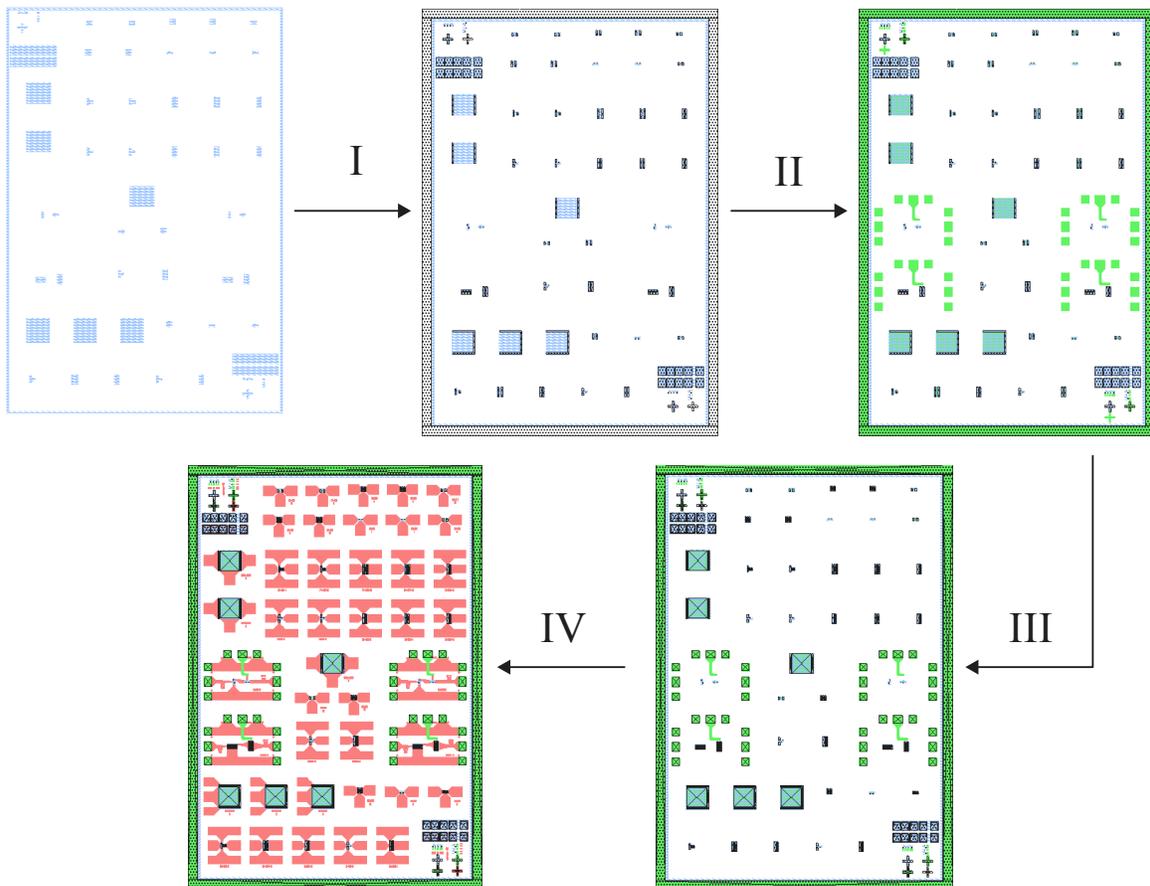
Resumidamente, o processo de fabricação dos transistores MESFET e MISFET, utilizando este conjunto de máscaras, é apresentado a seguir (maiores detalhes podem ser encontrados no capítulo 2):

1. Limpeza *Sox-let* da lâmina;
2. Máscara N05 para isolar o dispositivo através de corrosão que pode ser feita por plasma RIE (*Reactive Ion Etching*) ou corrosão úmida que é utilizada no processo HBT para isolar o dispositivo;
3. Máscara N01 para formar contato de fonte e dreno. Os metais utilizados nesta etapa são os mesmos utilizados para os contatos de emissor e subcoletor do HBT;
4. Tratamento térmico para formar contato ôhmico. Este tratamento térmico é o mesmo utilizado no processo HBT;
5. Deposição do filme de nitreto de silício por plasma ECR-CVD;
6. Máscara N03 para formar metal de porta;
7. Deposição do material isolante. O material isolante utilizado é o BCB (mesmo que é utilizado no processo HBT);
8. Máscara N09 para abertura de vias (retirada do BCB e do filme de nitreto de silício);
9. Máscara N04 para metalização final. Os metais utilizados para a metalização final são os mesmos utilizados para o processo HBT;
10. Tratamento térmico.

A figura D.2 apresenta a seqüência de máscaras utilizadas, bem como, detalhes dos dispositivos desenhados. Nesta seqüência, as máscaras não foram reproduzidas como elas realmente são, isto é, distinção das máscaras entre campo escuro e campo claro, para não prejudicar a ilustração da seqüência. Neste novo conjunto de máscaras, a única máscara campo claro é a primeira (N05), sendo as demais máscaras, campo escuro (imagem negativa do desenho apresentado).



**Figura D.2 – Detalhes e seqüência das máscaras utilizadas durante o processo de fabricação.**



(i) Conjunto de níveis mostrando as etapas de fabricação

**Figura D.2 (continuação) – Detalhes e seqüência das máscaras utilizadas durante o processo de fabricação.**

Os desenhos em detalhes apresentados na figura D.2 são:

- a) Seqüência de máscaras para fabricar um transistor para medida normal (transistor DC);
- b) Seqüência de máscaras para fabricar um transistor para medida em alta freqüência utilizando o sistema de ponteiros GSG (transistor RF);
- c) Marcas de alinhamento utilizadas durante o processo de fabricação;
- d) Estrutura TLM;
- e) Circuito com transistores de tamanho  $2 \times 100 - 2 \mu\text{m}^2$ ;
- f) Circuito com transistores de tamanho  $2 \times 20 - 2 \mu\text{m}^2$ ;
- g) Transistor DC para medida do valor da capacitância em baixa freqüência;
- h) Transistor RF para medida do valor da capacitância em alta freqüência utilizando um analisador de parâmetros de rede e sistema de ponteiros GSG;
- i) Seqüência mostrando a fabricação de todos os elementos da máscara.

## ANEXO E

### NOVO CONJUNTO DE MÁSCARAS PARA OS TRANSISTORES HBT

Um novo conjunto de máscaras foi desenhado para a fabricação dos transistores bipolares de heterojunção (HBT). Neste novo conjunto de máscaras, onde também se utilizou o *software* MAGIC, os transistores serão todos auto-alinhados (estes transistores serão explicados a seguir) e terão uma maior variedade de tamanhos de emissor e não apenas dois como na máscara anterior. Com este novo conjunto de máscaras o número total de máscaras para se fabricar os transistores foi reduzido para cinco. A tabela E.1 apresenta as máscaras e suas respectivas funções.

**Tabela E.1 – Descrição das máscaras utilizadas no novo processo de fabricação dos transistores bipolares de heterojunção (HBT).**

Nome da máscara	Função
EMMET	Contato ôhmico e região de emissor
BAMET	Contato ôhmico e região de base
COMET	Contato ôhmico e região de subcoletor
CVIA	Abertura de vias
METAL	Metalização final

Este novo processo proposto sofrerá alterações quando comparado com o processo anterior, como a alteração das etapas de corrosão. A corrosão das camadas que era uma corrosão úmida passará a ser por plasma RIE (*Reactive Ion Etching*), que é uma corrosão seca, e/ou por uma etapa de processo híbrida, ou seja, uma etapa envolvendo as etapas de corrosão seca e corrosão úmida. O principal objetivo de se mudar o modo corrosão é conseguir com que os transistores menores funcionem. Com a redução da área de emissor, espera-se conseguir um melhor desempenho em frequência. Os demais procedimentos utilizados para a fabricação dos transistores HBT a princípio serão mantidos (espessura de metal, tratamentos térmicos, etc.). Outro objetivo de se fabricar transistores menores é que o processo de passivação é mais sensível as áreas menores (como pode ser visto no capítulo 3 e no anexo C). Os parâmetros para a corrosão do arseneto de gálio (GaAs) por plasma RIE são os seguintes:

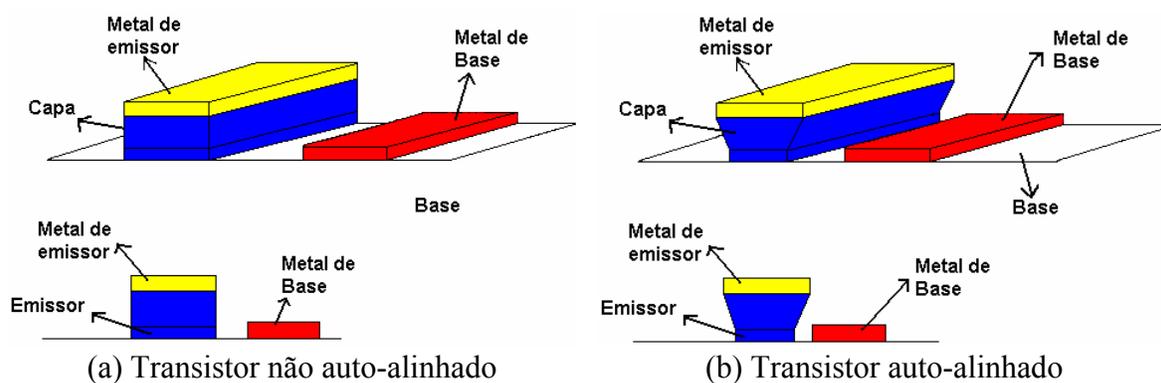
Pressão da câmara: 30 mTorr;  
Fluxo dos gases: 5 sccm de SiCl<sub>4</sub> e 10 sccm de Ar;  
Potência de RF: 75 W.

Com estes parâmetros de processo, espera-se uma taxa de corrosão do GaAs de, aproximadamente, 133 nm por minuto. Este valor de taxa de corrosão e os parâmetros de processo foram obtidos de anotações de processos realizados em nosso laboratório.

Além dos transistores, este novo conjunto de máscaras apresenta estruturas utilizadas para a extração dos elementos parasitas dos *pads*. Os tamanhos das áreas de emissor dos transistores que serão fabricados são: 6 x 2  $\mu\text{m}^2$ , 10 x 6  $\mu\text{m}^2$ , 20 x 2  $\mu\text{m}^2$ , 20 x

$3 \mu\text{m}^2$ ,  $20 \times 6 \mu\text{m}^2$ ,  $20 \times 12 \mu\text{m}^2$ ,  $20 \times 16 \mu\text{m}^2$ ,  $20 \times 24 \mu\text{m}^2$ ,  $30 \times 6 \mu\text{m}^2$  e  $120 \times 120 \mu\text{m}^2$ . Os transistores com as maiores áreas são para teste, isto é, são utilizados durante o processo de fabricação, para verificação da corrosão das camadas e contatos, não sendo necessário esperar o final do processo para saber se os transistores funcionarão ou não.

O que difere um transistor auto-alinhado de um transistor não auto-alinhado é a distância entre os contatos. Enquanto em um transistor não auto-alinhado há uma margem de segurança entre dois contatos de metais diferentes (por exemplo, entre os contatos de emissor e base) nos transistores auto-alinhados esta diferença não existe. A figura E.1 ilustra parcialmente a diferença de um processo de fabricação de um transistor não auto-alinhado de um transistor auto-alinhado.



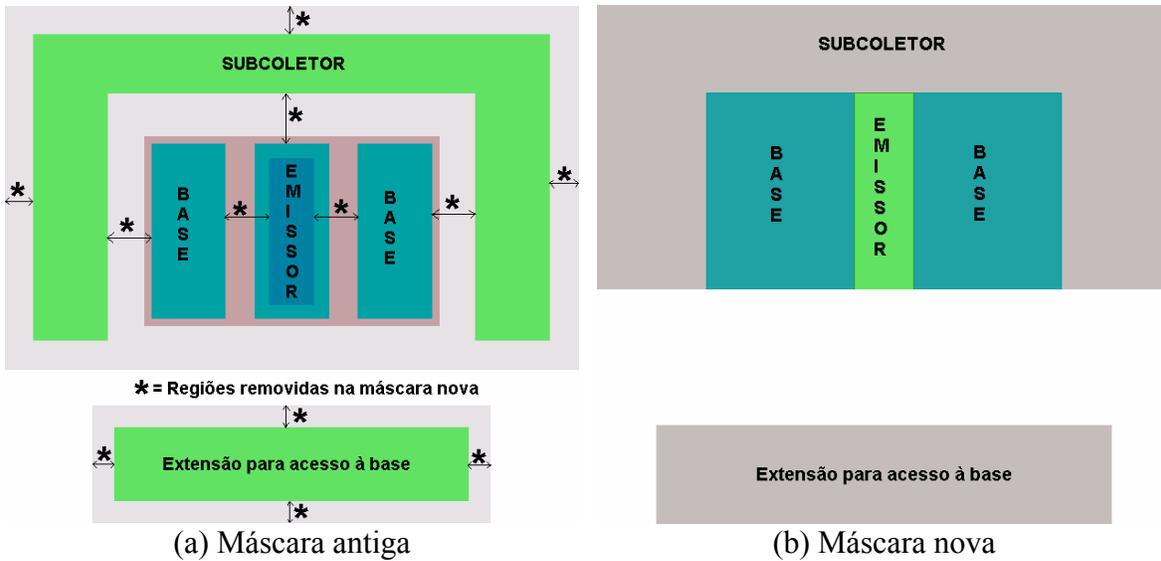
**Figura E.1 – Transistores não auto-alinhado (a) e auto-alinhado (b).**

O processo de fabricação de um transistor auto-alinhado é mais complexo do que um não auto-alinhado, porém o metal de contato da base está mais próximo à região de emissor nos transistores auto-alinhados do que nos transistores não auto-alinhados. Com esta diminuição da distância entre o contato de base e a região de emissor, pretende-se obter uma melhora no valor de  $F_{MÁX}$ , pois seu valor está relacionado com a resistência lateral da base (para maiores detalhes veja o anexo C).

O perfil de corrosão nos transistores auto-alinhados deve ser um perfil anisotrópico. Caso o emissor (ou as demais camadas no caso desta nova máscara proposta) não possua este perfil, como mostrado na figura E.1(b), os transistores auto-alinhados podem vir a apresentar problemas, enquanto que nos transistores não auto-alinhados este perfil não é necessário.

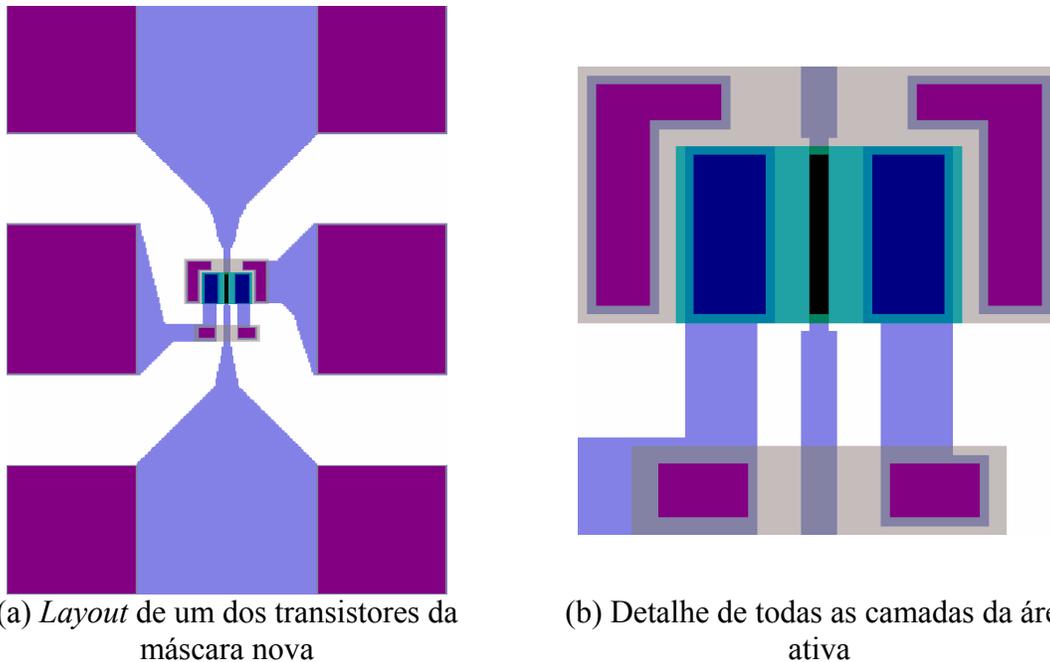
Desde modo, as novas máscaras desenhadas não tiveram alteração apenas no tamanho do emissor, mas tiveram também a retirada da região entre os contatos de metais. A figura E.2 ilustra a diferença no desenho das máscaras de um transistor não auto-alinhado para um transistor auto-alinhado.

Pelos desenhos apresentados nas figuras E.2(a) e E.2(b), nota-se que as camadas utilizadas para proteção foram removidas (camadas para proteção do emissor, base e subcoletor). Na máscara nova, esta proteção dar-se-á pelos contatos de metais depositados. Com isso, as máscaras utilizadas para fazer a proteção durante as etapas de corrosão, para as definições das regiões de emissor, base e subcoletor, podem ser removidas deste novo processo de fabricação.



**Figura E.2 – Layout de um transistor não auto-alinhado, máscara antiga (a) e layout de um transistor auto-alinhado, máscara nova (b).**

Já a figura E.3 apresenta o novo desenho dos transistores que serão fabricados. A figura E.3(a) apresenta o layout final do transistor HBT e a figura E.3(b) apresenta um detalhe do transistor. As figuras E.3(b) e E.2(b) são semelhantes, porém a figura E.3(b) apresenta, a mais, os metais de interconexão, enquanto que a figura E.2(b) apenas os metais das regiões de emissor, base e coletor.



**Figura E.3 – Layout de um transistor HBT projetado na máscara nova (a). Detalhe do transistor HBT (b).**

Neste novo conjunto de máscaras, duas outras estruturas estão presentes. Estas novas estruturas são utilizadas para extração de elementos parasitas em medidas de alta frequência. A diferença desta estrutura para as estruturas presentes na máscara antiga é que para cada tamanho de emissor há uma estrutura em curto e uma em aberto para extração dos elementos parasitas, deste modo, o processo de extração dos elementos parasitas fica mais preciso. Estruturas em curto são transistores HBT com as regiões de emissor, base e subcoletor em curto-circuito (este curto-circuito ocorre na última etapa de metalização). Já as estruturas em aberto são os transistores HBT sem sua área ativa, ou seja, são estruturas que apresentam apenas os metais de interconexão. O desenho final do conjunto de máscaras é apresentado na figura E.4.

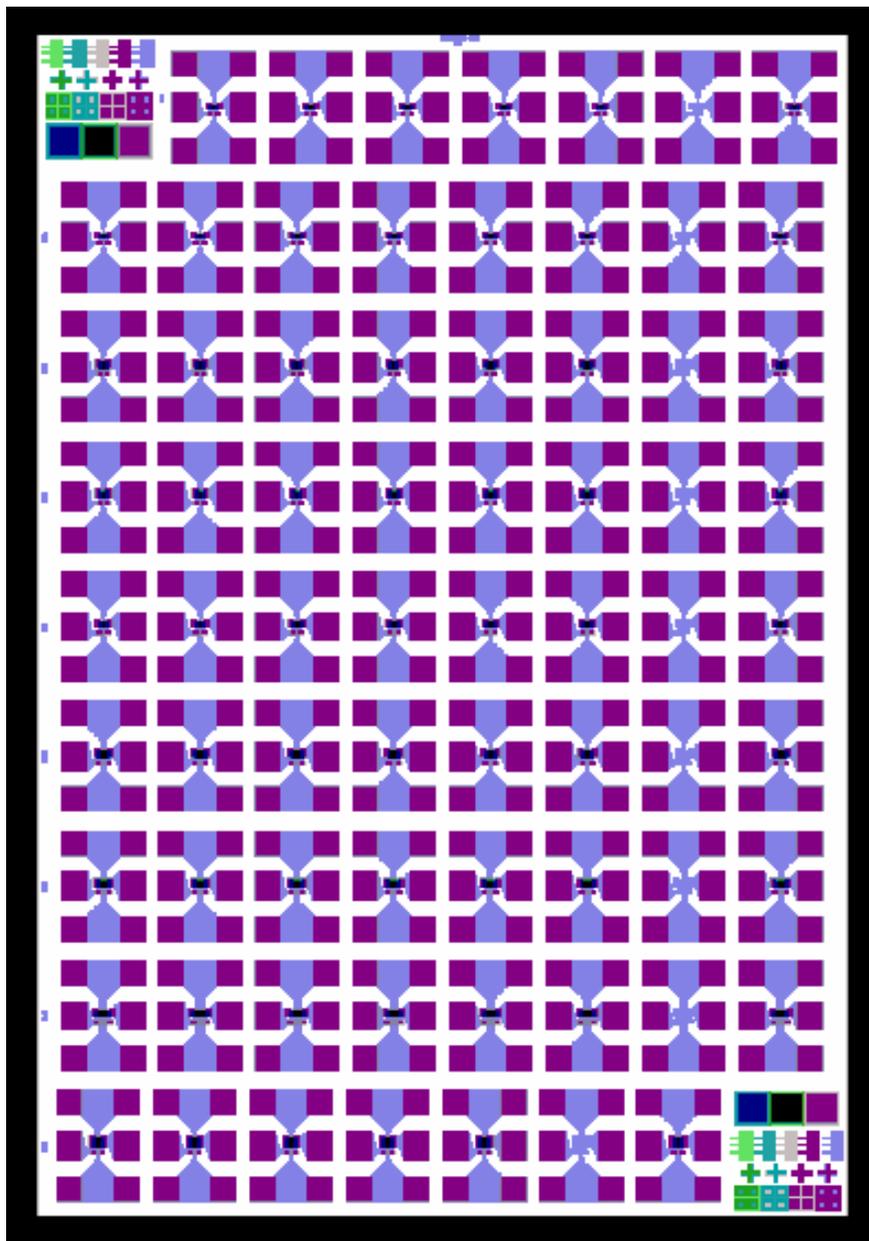


Figura E.4 – *Layout* final das máscaras novas.

O processo, resumido, que se pretende utilizar, inicialmente, para a fabricação destes transistores HBT é apresentado a seguir. Os metais, tratamentos térmicos, lâmina crescida, bem como as deposições são as mesmas utilizadas no processo antigo. Evidentemente durante a fabricação, algumas etapas apresentadas aqui, sofrerão algum tipo de alteração, bem como poderá haver a inclusão de novas etapas durante a fabricação.

1. Evaporação de metais para a formação dos contatos de emissor;
2. Corrosão por plasma e/ou úmida para definir região de emissor (chegar à camada de base);
3. Evaporação de metais para a formação dos contatos da base;
4. Corrosão por plasma e/ou úmida para definir região de base (chegar à camada de subcoletor);
5. Evaporação de metais para a formação dos contatos de subcoletor;
6. Tratamento térmico para formação de contato ôhmico;
7. Corrosão por plasma e/ou úmida para definir região de subcoletor (chegar ao substrato semi-isolante e isolar o dispositivo);
8. Deposição do filme de nitreto de silício para passivar os transistores;
9. Deposição de BCB para planarizar as estruturas;
10. Abertura de vias de acesso por plasma;
11. Metalização final do processo;
12. Tratamento térmico.

## ANEXO F

### RELAÇÃO DE PUBLICAÇÕES

Ao longo deste trabalho foram produzidas as seguintes publicações relacionadas à deposição de filmes de nitreto de silício por plasma ECR-CVD.

L. T. Manera, L. B. Zoccal, J. A. Diniz, P. J. Tatsch, I. Doi, “Surface Passivation of InGaP/GaAs HBT Using Silicon Nitride Film Deposited by ECR-CVD Plasma”, *Fifth International Symposium on Control of Semiconductor Interfaces*, November 12-14, 2007 Hachioji, Tokyo, Japan.

Leonardo B. Zoccal, Silas D. Yamamoto, Clovis M. Cabreira, R. Alexander Flacker, Eliana A. Gomes, José A. Diniz and Jacobus W. Swart, “RF Passive Components in MCM-D”, *SBMO/IEEE MTT-S International Microwave & Optoelectronics Conference – IMOC 2007*, 29 October – 1 November 2007, pp. 122.

L. B. Zoccal, J. A. Diniz, J. G. Fo., A. Daltrini, J. W. Swart, “ECR-CVD SiNx Passivation in GaAs-based MISFET Devices”, *22nd International Conference on Microelectronics Technology and Devices – SBMicro 2007*.

L. B. Zoccal, C. M. Cabreira, S. D. Yamamoto, R. A. Flacker, E. A. Gomes, J. A. Diniz and J. W. Swart, “10 GHz RF Passive Components obtained by MCM-D Technology”, *22nd International Conference on Microelectronics Technology and Devices – SBMicro 2007*.

L. B. Zoccal, J. A. Diniz, J. G. Fo., A. Daltrini, J. W. Swart, “ECR-CVD SiNx Passivation in GaAs-based MISFET Devices”, *Workshop on Semiconductors and Micro & Nano-Technology – III SEMINATEC 2007*, May 17<sup>th</sup> and 17<sup>th</sup>, 2007, pp. 50.

L. B. Zoccal, J. A. Diniz, I. Doi, J. W. Swart, A. M. Daltrini, S. A. Moshkalyov, “Efficacy of ECR-CVD silicon nitride passivation in InGaP/GaAs HBTs”, *J. Vac. Sci. Technol. B* 24(4), Jul/Aug 2006.

L. B. Zoccal, J. A. Diniz, I. Doi, J. W. Swart, A. M. Daltrini, S. A. Moshkalyov, “The Efficacy of ECR-CVD Silicon Nitride Passivation in InGaP/GaAs HBTs”, *Proceedings of international symposium on dry process DPS 2005. The Institute of Electrical Engineers of Japan*. November 28-30, 2005, pp. 335.

L. B. Zoccal, J. A. Diniz, A. C. S. Ramos, “ECR-CVD SiNx Passivation in GaAs-based Devices”, *Proceedings of Twentieth International Symposium - Microelectronics Technology and Devices SBMicro 2005. Electrochemical Society Proceedings*. Volume 2005-08, pp.145-152.

L. B. Zoccal, J. A. Diniz, J. W. Swart, “SiNx passivation in GaAs-based devices”, *Workshop on Semiconductors and Micro & Nano-Technology – SEMINATEC 2005*, March 4<sup>th</sup>, 2005, pp. 49-50.