

Universidade Estadual de Campinas - UNICAMP
Faculdade de Engenharia Elétrica - FEE
Departamento de Eletrônica e Microeletrônica - DEMIC

Dissertação apresentada à Faculdade de Engenharia Elétrica da UNICAMP como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica por

João Adalberto Pereira
Engenheiro Eletricista - EFEI, 1991

Uma Fonte de Referência *Bandgap*

Este exemplar corresponde à redação final da tese defendida por JOÃO ADALBERTO PEREIRA e aprovada pela Comissão Julgadora em 09 / 01 / 1995

Wilmar Bueno de Moraes Orientador

Banca Examinadora:

Prof. Dr. Wilmar Bueno de Moraes (orientador) - DEMIC/FEE/UNICAMP
Prof. Dr. Nicolau Jannuzzi - UNICAMP/CTI
Prof. Tales Cleber Pimenta, PhD - DON/EFEI

Campinas, 09 de janeiro de 1995.

Dedicatória

Aos meus pais, João e Ivete
e
ao meu irmão Fábio, dedico.

Agradecimentos

Aproveito esta oportunidade para expressar minha gratidão ao **Prof. Wilmar Bueno de Moraes** que, não só me premiou com sua orientação e confiança, mas também com sua amizade.

Não posso deixar de agradecer à todo o pessoal do **IM-CTI**, mais diretamente aos engenheiros e técnicos do **LACAM**: **Prof. Nicolao Jannuzzi, Marcos Pimentel, Sebastião (Bata), Marilda, Sérgio Bruno, Paulo A., Alexandre, Lidiane, Antônio, Adriano, Alessandro e Gisele** e do **LPCI**: **Frank, Saulo, Razera, Renato, Fernando, Walter, Carlos, Vera M., Vera L., Vera U., Thais e Suzete**, bem como, ao grupo de microeletrônica do Convênio **EFEI-DON/Telebrás-CPqD**: **Prof. Tales C. Pimenta, Prof. Laércio Caldeira, Prof. Paulo C. Crepaldi, Robson, Eduardo, Adriano e Cristina**, por todo apoio técnico, orientação, oportunidade e a mais sincera amizade.

Expresso também meu sincero agradecimento, à **Prof. Ana Lúcia Junqueira Ribeiro**, pelo carinho e disponibilidade com que se dedicou na revisão ortográfica deste trabalho de tese.

E a todos que, direta ou indiretamente, contribuíram para a realização desta tese, a gratidão do autor.

Agradecimento Especial

Agradeço a Deus por tudo.

*"Podemos praticar atos nobres
sem ter que dominar a terra e o
mar."*

*Aristóteles
384-322 a.C.*

Este trabalho contou com a colaboração técnico e financeira das seguintes entidades:

- CAPES;
- Convênio EFEI-DON/CPqD-Telebrás e;
- Instituto de Microeletrônica - Fundação Centro Tecnológico para a Informática (IM/CTI).

ÍNDICE

Resumo	x
Breve Histórico	xi
CAPÍTULO 1: Extração do Circuito Inicial	1
Introdução	1
1.1 - Engenharia Reversa: Aspecto Legal	1
1.2 - Engenharia Reversa do <i>Chip</i>	4
1.2.1 - Estudo Preliminar	5
1.2.2 - Preparação da Amostra	7
1.2.2.1 - Acesso à Pastilha de Silício	8
1.2.2.2 - Acesso à Camada de Metal	8
1.2.2.3 - Acesso às Camadas Inferiores	9
1.2.3 - Documentação Fotográfica	9
1.2.4 - Extração e Análise do Circuito	11
1.2.4.1 - Extração do Sub-bloco 1 (<i>SB1</i>)	12
1.2.4.2 - Extração do Sub-bloco 2 (<i>SB2</i>)	14
1.2.4.3 - Extração do Sub-bloco 3 (<i>SB3</i>)	16
1.2.4.4 - Extração do Sub-bloco 4 (<i>SB4</i>)	19
1.2.4.5 - Extração do Sub-bloco 5 (<i>SB5</i>)	21
1.2.4.6 - Análise do Circuito Extraído	22
1.3 - Conclusão	29
CAPÍTULO 2: Fonte de Tensão de Referência <i>Bandgap</i>	30
Introdução	30
2.1 - Fonte de Tensão de Referência <i>Bandgap</i>	31
2.1.1 - Fundamentos	31
2.1.2 - Célula Básica de Referência <i>Bandgap</i>	36
2.1.3 - Equacionamento do Circuito Estudado	40
2.1.4 - Principais Fatores que Prejudicam a Estabilidade Térmica da Tensão de Referência	42
2.1.4.1 - Tensão de <i>Off-set</i> do Amplificador Operacional	43
2.1.4.2 - Parâmetros r_b , β e Corrente de Base dos Transistores Bipolares	49
2.1.4.3 - Descasamento das Correntes de Polarização dos Transistores Bipolares	52
2.1.4.4 - Variação da Tensão <i>Bandgap</i> do Silício	54
2.2 - Conclusão	55

CAPÍTULO 3: Projeto	56
Introdução	56
3.1 - Adaptação das Tecnologias de Projeto	56
3.1.1 - Fundamentos	56
3.1.2 - Tecnologia do Circuito Original	57
3.1.3 - Tecnologia Utilizada para o Projeto	57
3.1.4 - Considerações para o Projeto	57
3.2 - Simulação	60
3.2.1 - Cálculo dos Resistores	60
3.2.2 - Transistores do Amplificador Operacional	63
3.2.3 - Transistores do Circuito que Referencia a Saída ao Terra - $M1$ e $M2$	63
3.2.4 - Transistores do Circuito de <i>Start-up</i> - $M3$	64
3.2.5 - Transistores do Estágio de Polarização - $M4$ e $M5$	64
3.2.6 - Transistores do Espelho de Corrente - $M6$, $MP1$, $M11$, $M16$	65
3.2.7 - Cálculo do Circuito de Compensação - Rc e Cc	65
3.2.8 - Circuito Elétrico da Fonte de Tensão de Referência	66
3.3 - Resultados de Simulação	67
3.4 - Conclusão	73
CAPÍTULO 4: Layout	75
Introdução	75
4.1 - Transistores bipolares parasitas	75
4.2 - Resistores de Poço- n	78
4.3 - Transistores $M1$ e $M2$	79
4.4 - <i>Layout</i> Final	80
CAPÍTULO 5: Conclusão	82
Introdução	82
5.1 - Discussão Sobre os Resultados	82
5.2 - Sugestões	83
5.3 - Testes Futuros	84
ANEXO 1: Levantamento dos parâmetros SPICE do Transistor Bipolar Parasita	85
A1.1 - Estrutura	86
A1.2 - Caracterização	87
ANEXO 2: Parâmetros SPICE do Processo CMOS (<i>ES2 n-well 1,2μm</i>)	90

Referências Bibliográficas

92

Resumo

Neste trabalho, proponho um estudo crítico/analítico de uma configuração de Fonte de Tensão de Referência *Bandgap* muito comum em *chips* comerciais, concluindo importantes itens quanto às técnicas de projeto e *layout*, o que nos permitirá julgar a eficiência de tal circuito quanto à compensação em temperatura.

O circuito da fonte de referência escolhido para esse estudo foi extraído de um *chip* comercial por meio de metodologia e técnicas apropriadas de Engenharia Reversa, o que é plenamente legalizado [1, 2, 6, 8]. Tal trabalho é apresentado no Capítulo 1, onde se inclui análise dos componentes que integram o circuito e suas disposições físicas no *layout*.

Em complementação à avaliação da fonte de referência extraída, proponho um reprojeto, onde se implementam algumas técnicas de compensação dos principais fatores que prejudicam a estabilidade em temperatura do sinal de saída, não consideradas no circuito original. Além de que, pelo fato da nova tecnologia de projeto disponível ser diferente daquela utilizada na confecção do circuito original, a qual desconhecida em grande parte, houve a necessidade de introduzir alterações no circuito, em vista da adaptação para a nova tecnologia. Como resultado final, apresento uma fonte de tensão de referência teoricamente semelhante à original, com o mesmo valor de tensão de saída, porém disponível em tecnologia *ES2* poço-*n* 1,2 μm .

Breve Histórico

A Escola Federal de Engenharia de Itajubá (EFEI) mantém um convênio de pesquisa e desenvolvimento de circuitos integrados com a Telebrás desde 1986. Conhecido como "Convênio EFEI-DON /CPqD-Telebrás", uma de suas metas como instituição é o aperfeiçoamento de recursos humanos, preparando profissionais para atuarem no campo da microeletrônica. Para isso, vem recrutando estagiários e alunos de iniciação científica da própria EFEI para o desenvolvimento de seus projetos de pesquisa.

Neste sentido, meu trabalho, ainda como aluno de graduação, foi o estudo de parte da analógica de um *chip* empregado em conversão de códigos numa rede digital de serviços integrados. Para a execução deste trabalho, um minucioso processo de Engenharia Reversa foi desenvolvido em torno de uma amostra do referido *chip*.

Seguindo os princípios legais discutidos em [1-5], este trabalho envolveu o estudo do manual técnico do fabricante [10]; o desencapsulamento da amostra, expondo a pastilha de silício; levantamento fotográfico, com grande ampliação antes e depois da retirada da camada de metal; levantamento da topologia elétrica do circuito, por meio de fotos; subdivisão do mesmo em blocos e simulações elétricas [7-9], definindo, finalmente, a lógica envolvida [11].

Os blocos, nos quais o circuito se subdividia, eram específicos na maioria dos casos. No entanto, um, que merecia especial atenção, era o bloco referente à fonte de tensão de referência, cuja aplicação não se restringe somente a este caso, mas também a todo tipo de circuito que exija alta precisão nos seus níveis de tensão. Por isso, escolhido como tema deste trabalho.

CAPÍTULO 1

Extração do Circuito Inicial

Introdução

Este trabalho tem, como base, o estudo de um circuito fonte de tensão de referência *bandgap*, que é parte integrante de um *chip* de conversão de códigos digitais [10].

Pelo fato desse estudo ser fruto de uma engenharia reversa do referido *chip* [7, 11], tema repleto de polêmicas e controvérsias, neste capítulo, discutimos como tal assunto é tratado sob o ponto de vista legislativo, ao nível industrial e de pesquisa.

Em seguida, descreve-se a metodologia utilizada no levantamento do circuito, com ilustrações fotográficas, apresentando, no final, o esquema elétrico da fonte de tensão de referência que servirá como base para este trabalho.

1.1 - Engenharia Reversa: Aspecto Legal

Fabricantes de circuitos integrados aprimoram seus produtos, tornando-os mais eficazes e competitivos, utilizando técnicas de engenharia reversa. Veremos que isto não implica em infração dos direitos de propriedade, quando das análises e estudos de produtos de outros fabricantes por esta técnica. No entanto, as referências [3-5] são claras: A legislação é rígida quanto à violação dos direitos de propriedade.

O amparo legal de trabalhos de engenharia reversa gerou muita discussão antes que se chegasse a um acordo que a diferenciasse de uma infração às leis de direito de propriedade. O resultado foi a elaboração de novas regras. A legitimidade dos trabalhos de engenharia reversa é assegurada pela seguinte resolução [1]:

"Não é considerado infração dos direitos exclusivos do proprietário de uma máscara de um "chip" por:

(1) uma pessoa que reproduzir a máscara exclusivamente com propósitos didáticos, de analisar ou avaliar conceitos e técnicas

envolvidas no circuito, fluxo lógico ou organização dos dispositivos, ou;

(2) quem desenvolve a análise ou avaliação descrita no primeiro parágrafo para incorporar os resultados de cada conduta em uma máscara original."

As regras que regem a legalidade da engenharia reversa são consideradas diferentes das regras que tratam da defesa dos direitos de propriedade. Assim, máscaras geradas a partir dos esforços e empenho de engenheiros em se melhorar ou mesmo inovar um produto já existente são totalmente imunes de responsabilidades por infração de direitos de propriedade, classificando tal trabalho como engenharia reversa e não como uma mera cópia ("pirataria") [1].

A palavra final que se pode atribuir à lei que rege esse tipo de trabalho é que ela requer um único mérito técnico para que o mesmo seja considerado lícito, ou melhor, seja uma Engenharia Reversa Legítima:

"Requer somente uma pequena quantidade de originalidade ou avanço tecnológico".

O que não significa um mérito suficientemente criativo para se copiar uma estampa.

Apesar de ser permitido a utilização de um projeto original, cuja reprodução e estudo são protegidos por lei, o produto resultante deve, ainda, ser analisado por *experts*, que devem avaliar o conteúdo da documentação gerada, denominada *Paper Trail*, a qual não existe no caso da "pirataria" ou, se existe, é quase sempre incompleta e insubstancial.

Essa documentação é tomada como o principal argumento no caso de engenharia reversa, pois contém inúmeras evidências da legitimidade ou não do trabalho. A mesma corresponde às fotos e montagens fotográficas utilizadas na extração do circuito, diagramas elétricos e lógicos, resultados de simulações, bem como todo e qualquer material resultante do trabalho [1].

Dentre as principais evidências que confirmariam uma ilegitimidade, pode-se citar o fato do *chip* resultante da engenharia reversa ser ou conter parte da máscara original, ou seja, ter havido cópia do original ou parte dele. Muitas vezes, isso pode ser evidenciado por erros comuns ou elementos desenhados arbitrariamente, bem como custos relativamente baixos no desenvolvimento de um

protótipo, tempo decorrido para a execução do projeto, número pessoas-hora exigido no trabalho, desproporção sugerida pelo desfalque, etc.

Todo esforço em discernir engenharia reversa de "pirataria" vem do fato de que as indústrias devem assegurar seus direitos de exploração comercial e econômica em torno de seus produtos. No entanto, isto não se verifica em centros de pesquisa ou mesmo em trabalhos à nível industrial na busca de melhoria da qualidade de produtos ou, ainda, na averiguação de fraude (análise competitiva).

Esse conjunto de utilidades faz da engenharia reversa uma importante ferramenta no desenvolvimento de novas tecnologias em prazos competitivos, de novos produtos e na garantia dos direitos de propriedade.

Firmas especializadas no levantamento de dados técnicos por meio de engenharia reversa de microcircuitos já são uma realidade em diversos países, como por exemplo, a *Semiconductor Insight, Inc.* do Canadá, cujo departamento de engenharia reversa conta com vários especialistas, fornecendo informações cujas finalidades vão desde análise competitiva, qualidade de produto, análise de falhas, licenciamento de propriedade intelectual, etc. E está capacitada a levantar dados referentes a projetos de circuitos, técnicas de fabricação e funcionalidade [8].

No que se refere à pesquisa, pode-se citar o *Centro Nacional de Microelectronica - CNM* na Espanha, cujo departamento de engenharia reversa fornece base de dados para o controle de seu próprio processo de fabricação de CI's. Por meio de inspeção de seus produtos, garante a qualidade do processo [6].

Um outro exemplo mais próximo é o *Laboratório de Caracterização e Análise de Microestruturas Eletrônicas (LACAM)* da *Fundação Centro Tecnológico para Informática (CTI)* em Campinas. O mesmo utiliza algumas técnicas de engenharia reversa nos trabalhos de análise de falhas em microcircuitos, tais como levantamento a nível elétrico de circuitos de modo a identificar o local mais provável de ocorrência de uma determinada falha, ou ainda, com a finalidade de se conhecer a lógica de um circuito integrado e facilitar a interpretação dos resultados obtidos nos testes elétricos.

Em correspondência [50] com Mr. Richard H. Stern da *Graham & James (USA)* [1-5], fui informado que a organização *Americam Committee for Interoperable Systems - ACIS*, tem desenvolvido trabalhos com engenharia reversa e que *Dayton University* tem criado, recentemente, um programa de engenharia reversa.

Dos exemplos, conclui-se que a engenharia reversa tem sido, atualmente, empregada em vários setores, promovendo o desenvolvimento tecnológico em microeletrônica, tanto ao nível industrial quanto ao nível de

pesquisa. Porém, a segurança de sua legitimidade só é garantida pela contribuição com algum tipo de avanço criativo.

1.2 - Engenharia Reversa do *Chip*

Segundo comunicado técnico da *Semiconductor Insights Inc.* [8], um projeto de engenharia reversa deve conter um ou mais dos passos abaixo descritos:

Passo 1: Preparação da amostra. O dispositivo é desencapsulado, revelando o circuito integrado. O mesmo passa por processos seletivos de "etching" para expor as camadas de metal e polissilício. O trabalho se processa mais rápido se for selecionada uma amostra para cada nível de "etching", deixando uma amostra intacta para testes elétricos e controle.

Passo 2: Documentação Fotográfica. Para cada camada exposta, deve-se fotografar a amostra com grande ampliação em um microscópio de alta resolução, garantindo clareza no traçado do circuito.

Passo 3: Extração e análise do circuito. Os circuitos lógicos e ao nível de transistores são extraídos por engenheiros e técnicos treinados. Essas informações são organizadas em esquemáticos hierárquicos. Cria-se, então, diagramas de blocos, associando-se, a cada um, sua descrição funcional principal. As qualidades e deficiências do circuito devem ser enfatizadas nesta etapa.

Passo 4: Relatório final ou "Paper Trail". Deve-se preparar um relatório final com toda documentação, incluindo os esquemáticos completos, diagramas de blocos, "bitmaps", fotografias, dados de simulação, análises de performance e outros dados.

Deve-se, ainda, fazer um estudo preliminar do manual do fabricante do CI em pauta e outras documentações existentes. Isso possibilita uma visão geral da filosofia do circuito, bem como sua aplicação e obtenção do possível diagrama em blocos e alguns parâmetros. Esta etapa, além de permitir um melhor planejamento do trabalho a ser executado, permite economia de tempo em análises [9].

Dentro desse contexto, descrevem-se, a seguir, os passos para extração do circuito estudado. Apesar do trabalho de engenharia reversa, realizado pelos engenheiros do Convênio EFEI/Telebrás, envolver todo o *chip*, nós nos deteremos

somente à extração da fonte de tensão de referência (Capítulo 2), não descartando uma rápida análise do *chip* como um todo e na sua dependência da fonte de tensão de referência.

1.2.1 - Estudo Preliminar

Tomando como base inicial de estudos o Manual Técnico do *chip* PEB2080 Siemens [10] e a documentação referente ao trabalho de engenharia reversa do mesmo [11], poderemos ter uma visão mais ampla do circuito e de sua função, bem como da fonte de tensão de referência em seu funcionamento.

O *chip* PEB2080 (diagrama figura 1.1) foi projetado para executar funções de conversão de dados digitais no modo serial de uma interface IOM (ISDN *Oriented Modular*) em códigos pseudo ternários de interface S em ISDN (*Integrated Service Digital Network*), onde:

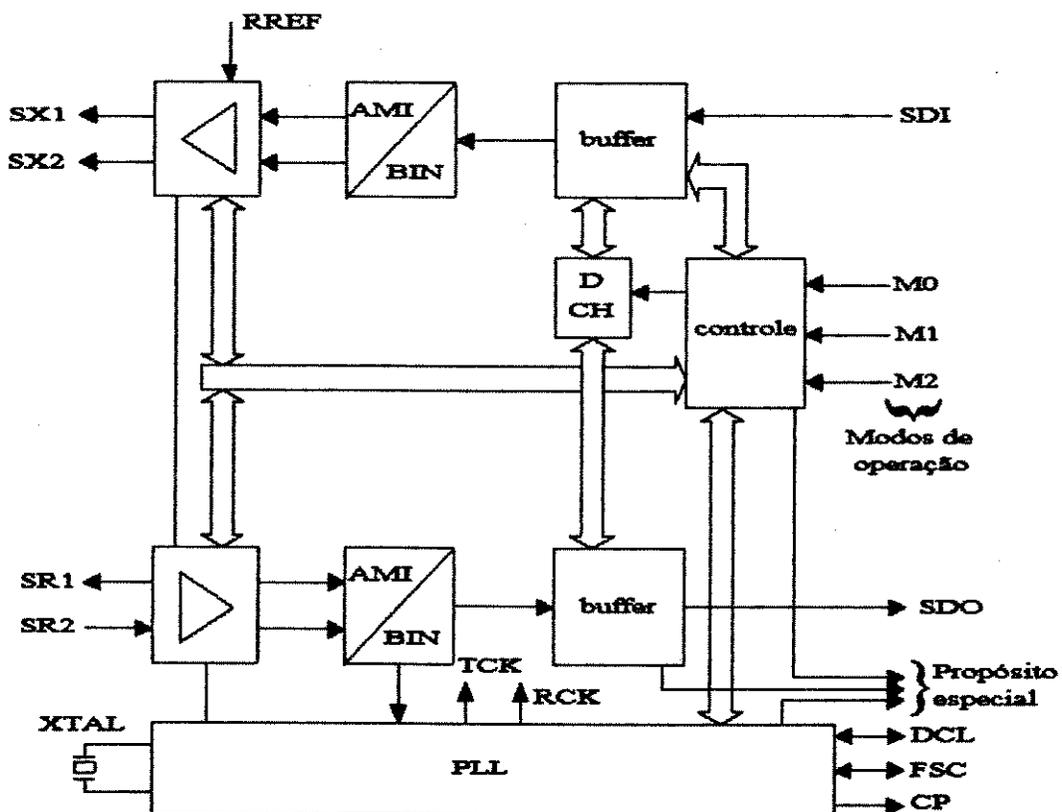


Fig. 1.1 - Diagrama de blocos do *chip* SBC PEB2080 Siemens [10].

Onde:

SX1,2 - Transmissão serial de dados em interface S;

SR1,2 - Recepção serial de dados em interface S;

SDO - Transmissão serial de dados em interface IOM;
 SDI - Recepção serial de dados em interface IOM;
 DCL - *Clock* para sincronismo de dados;
 FSC - *Clock* para sincronismo de quadro de dados;
 M0-2 - Pinos de seleção de modos de operação;
 CP - Pulso de *clock* para propósitos especiais;
 XTAL - *Clock* externo via cristal;
 RREF - Pino para resistor externo de referência;
 TCK e RCK - Sinais para sincronismo.

A interface IOM é uma interface digital para comunicação entre dispositivos ISDN e trabalha no modo serial a quatro fios, sendo um para sincronismo do sistema, outro para sincronismo de quadro de dados e dois para atuarem como entrada e saída de dados.

Cada 32 *bits* do sinal de informação correspondem a um quadro de dados que, por sua vez, é subdividido em quatro octetos denominados por *B1*, *B2*, *M* e *B** [10]. Sendo que *B1* e *B2* são os dados propriamente ditos, *M* são os oito *bits* de monitoração da linha e *B** são os *bits* de dados para comunicação entre SBC's que compõem a rede de serviços. Veja representação na figura 1.2.

A separação entre quadros é feita por *bits* de fim de quadro.

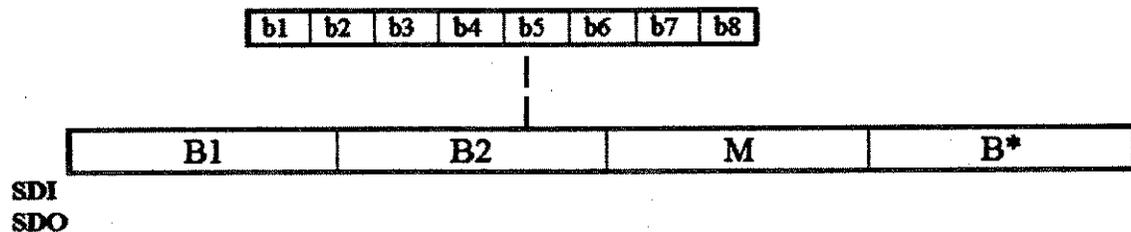


Fig. 1.2 - Representação do quadro de dados em uma interface IOM [10].

A interface S também é uma interface de comunicação, porém trabalha com códigos seriais pseudo ternários, onde o nível lógico 1 corresponde a um valor neutro (0V) e o nível lógico 0 é codificado em pulsos alternados positivos e negativos, de acordo com a representação da figura 1.3.

Para este caso, a separação entre os quadros de informação é feita por um código de fim de quadro.

Os sistemas interface S e interface IOM diferem também na taxa de amostragem e envio do sinal.

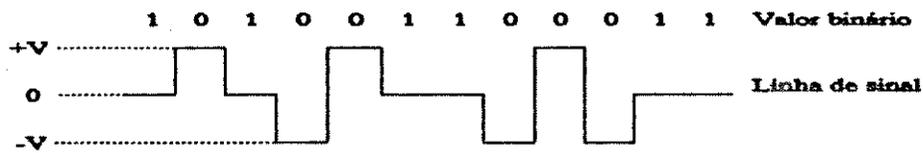


Fig. 1.3 - Linha de código em interface S [10].

O *chip* inclui lógica em *loop* para auto teste e quatro modos de operação que dependem do tipo de rede, cuja seleção é feita por meio dos três pinos de seleção de códigos, *M0-M2*. O *chip* opera com alimentação de +5V (V_{dd}) $\pm 10\%$ e 0V (V_{ss}) com um consumo de 4mW no modo *standby* e 60mW no modo ativo, portanto, baixo consumo. O mesmo foi projetado para faixa de operação militar (-55 °C a +125 °C) em tecnologia CMOS *full-custom* de 2 μ m em poço-*p* e com 22 pinos de acesso no encapsulamento [10, 11].

Da figura 1.1 pode-se observar que o circuito recebe dados seriais IOM, codifica-os e transmite-os em interface S e vice-versa. Para isso, conta com uma lógica de controle para as várias configurações do sinal, com uma PLL digital que identifica dados e quadros de dados e com conversores D/A e A/D. É na conversão A/D do sinal que vai para a PLL que a fonte de tensão de referência tem seu papel principal [11].

O trabalho de engenharia reversa mostra que um sinal de 2,5V, gerado pela fonte de tensão de referência, é levado a um divisor resistivo de modo a gerar sinais de referência para o comparador do conversor A/D.

A fonte de tensão de referência garante que não haverá grandes alterações no nível do sinal de decisão do conversor devido às variações de temperatura, além de promover rejeição às flutuações da fonte de alimentação. Em síntese, a referência *bandgap* assegura a correta tradução do sinal analógico para digital.

1.2.2 - Preparação da Amostra

No caso de uma tecnologia CMOS com apenas um nível de metal e um de polissilício, podemos dividir a fase de preparação em três passos: acesso à pastilha de silício, acesso ao nível de metal e acesso às camadas inferiores. Faz-se necessário, ao final de cada passo, a documentação fotográfica com grande ampliação, segundo metodologia de extração de circuitos integrados CMOS, descrita por Krüger [9] e utilizada no decorrer deste capítulo.

Desta forma, devemos ter, pelo menos, três montagens fotográficas correspondentes aos passos descritos: uma do *floor plan* da fonte de tensão de

referência, outra com maior resolução e maior ampliação do mesmo circuito ainda com a camada de metal e, finalmente, uma montagem com a mesma ampliação da segunda, porém com a camada de metal removida.

Nos itens seguintes, serão descritas, de modo sucinto, as técnicas de acesso adotadas pelos engenheiros do Convênio EFEI/Telebrás [7] no trabalho de engenharia reversa realizado no *chip*.

1.2.2.1 - Acesso à Pastilha de Silício

Para cada material utilizado no encapsulamento de CI's, existe um ou mais processos para sua remoção. Normalmente se encontram encapsulamentos de plástico, de metal, de cerâmica e de epoxi, sendo este último adotado no *chip* em que estamos estudando.

Na retirada do epoxi, foi utilizado um processo de corrosão por plasma. Para um ataque setorizado sobre a pastilha, necessitou-se da abertura de uma cavidade não muito profunda no centro do encapsulamento com broca odontológica. A desvantagem deste processo é o longo tempo para o ataque do epoxi, muito maior que nos processos de corrosão por ácidos [7]. No entanto, o mesmo permite um maior controle do processo e, conseqüentemente, um melhor estado final da amostra, se comparado com outras técnicas.

Segundo [7], para se iniciar o processo de corrosão por plasma, deve-se colocar a amostra em uma câmara onde se injeta oxigênio. À medida que o encapsulamento for sendo removido, surgirá uma espécie de pó branco sobre a amostra que deve ser retirado a cada intervalo de quatro horas. Momento este em que se deve fazer uma vistoria do processo por inspeção em microscópio óptico, interrompendo o mesmo quando o epoxi sobre a amostra for totalmente removido.

Finalizando esta etapa, fez-se a primeira bateria de fotos com ampliação de 300 vezes, montando-se o painel do *floor plan* do *chip*.

Com dimensões de 1,48m X 1,10m, tal painel foi utilizado para facilitar a extração do circuito, onde se pode observar o agrupamento de blocos internos e roteamento entre eles, repetibilidade entre células básicas e localização física de estruturas que se destacam por sua regularidade.

1.2.2.2 - Acesso à Camada de Metal

A montagem fotográfica executada na seqüência, é a que se refere a cada um dos blocos em que se dividiu o circuito, como mencionado no item anterior.

Para tanto, é necessário reduzir a espessura da camada de passivação que protege a pastilha, de modo que permita observar detalhes da metalização que interconecta os dispositivos que compõem o circuito, facilitando o trabalho para extração do mesmo.

A referência [7] indica métodos para a remoção correta da passivação, que normalmente é de dióxido de silício (SiO_2) ou nitreto de silício (Si_3N_4), dependendo da *foundry* em que o circuito tenha sido difundido.

Nos métodos mencionados em [7], são descritas as proporções adequadas de reagentes para cada caso. É recomendado que se verifique regularmente o estado da amostra, neutralizando a solução residual em água no final do processo, evitando, assim, a corrosão excessiva.

A documentação fotográfica final desta fase resultou em diversos painéis, um para cada bloco da subdivisão do circuito total. Para o caso da fonte de referência, suas dimensões são de 1,50m X 0,30m com ampliação de 1000 vezes.

1.2.2.3 - Acesso às Camadas Inferiores

Nesta fase, é removida, principalmente, a camada de metalização que interliga os dispositivos do CI por uma solução de ácidos fosfórico, nítrico e acético.

A nitidez das camadas inferiores é obtida pela redução da espessura da camada de óxido de isolamento (normalmente SiO_2) conforme processo descrito no item anterior.

Segue-se com a última fase de documentação fotográfica, onde, com a mesma ampliação adotada para o passo anterior, executa-se a montagem dos painéis dos respectivos blocos do circuito integrado.

1.2.3 - Documentação Fotográfica

A foto 1.1 ilustra o estado final da amostra após a execução dos três passos descritos anteriormente. Note que a corrosão do epoxi ocorreu mais acentuada sobre a pastilha pelo fato de se ter aberto uma cavidade no início do processo.

Para cada nível de exposição, realizou-se a documentação fotográfica com grande ampliação como descrito no item 1.2.2, de modo a visualizar as interconexões e os agrupamentos de dispositivos que compõem o *chip*, seguindo metodologia apresentada em [9].

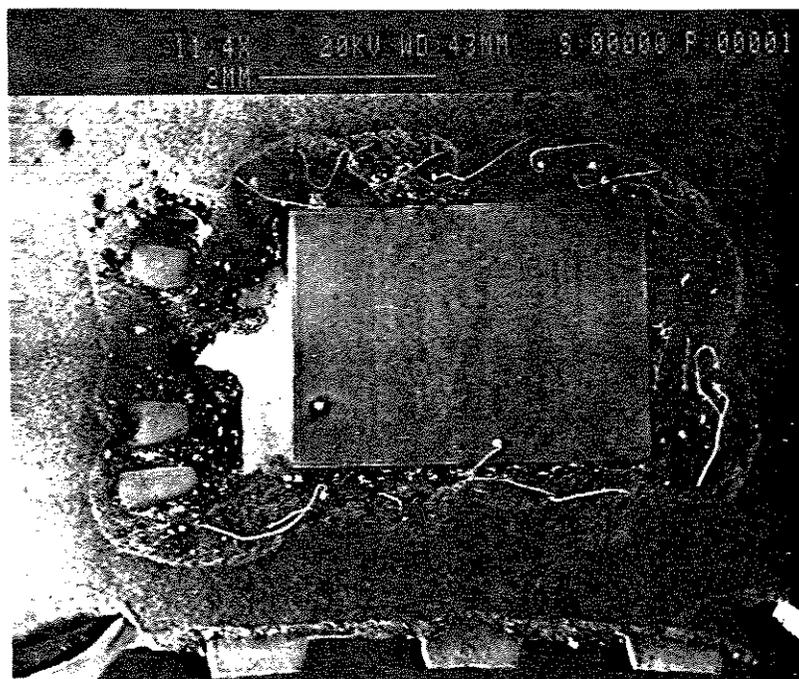


Foto 1.1 - Exposição da pastilha de silício após a retirada do encapsulamento de epoxi [7].

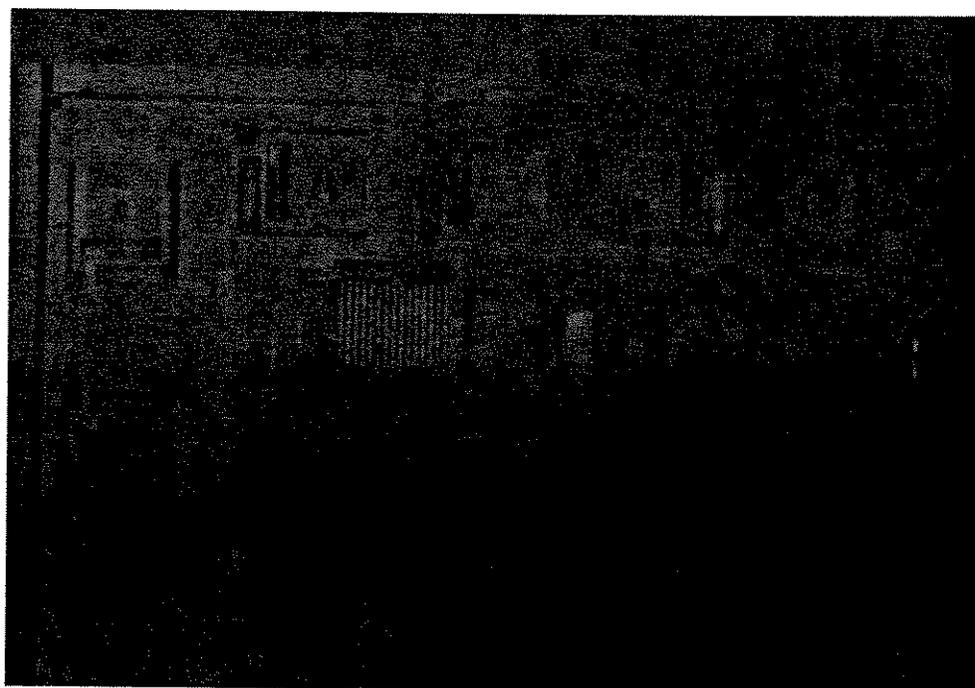


Foto 1.2 - Parte do floor plan do chip PEB 2080.

Por serem grandes as dimensões das montagens fotográficas, ilustraremos neste trabalho somente as fotos referentes à fonte de referência, de modo a possibilitar a extração de seu circuito. Vale mencionar que as montagens fotográficas, utilizadas na engenharia reversa do *chip* como um todo, encontram-se no Convênio EFEI/Telebrás.

Além de ilustrar o estado final da amostra após os passos da fase de preparação, a foto 1.2 ilustra, também, o *floor plan* do *chip* em estudo, onde se pode observar as camadas difundidas, o polissilício e as marcas de aberturas de contatos e das trilhas de metal. Nesta foto, apesar da pequena ampliação, já se pode visualizar o bloco da fonte de tensão de referência, representado com maiores detalhes na foto 1.3. No entanto, para a extração do circuito, foi utilizado um painel em maiores dimensões, como mencionado anteriormente (ampliação de 1000X).



Foto 1.3 - Detalhe da fonte de tensão de referência com subdivisões para extração do circuito.

1.2.4 - Extração e Análise do Circuito

Como mencionado, a metodologia adotada para extração do circuito da fonte de tensão de referência é descrita por Krüger [9], onde, a partir da montagem fotográfica dos blocos, copiam-se as trilhas de metal que interligam os dispositivos em transparências para retroprojetor. Posteriormente, sobrepõem-se essas transparências sobre a montagem fotográfica, em mesma escala de ampliação,

referentes ao item 1.2.2.3, com a metalização removida. Desta última montagem é feito o levantamento do circuito elétrico.

Para facilitar a extração do circuito, foram adotadas cores diferentes nas cópias das trilhas metálicas de alimentação e de sinais em papel transparente. Adotou-se vermelho para as linhas de V_{dd} , preto para linhas de V_{ss} (ou Gnd) e azul para outros sinais. A divisão em sub-blocos e marcações dos sinais que entram ou saem dos mesmos também foram feitas para facilitar o trabalho.

Para o caso da fonte de tensão isolada, apesar da complexidade do circuito não ser tão alta, necessitou-se de muita atenção. Na foto 1.3, estão representadas as subdivisões em blocos da fonte de referência, cujas análises e extrações podem ser acompanhadas nas páginas seguintes.

1.2.4.1 - Extração do Sub-bloco 1 (SBI)

Analisando a foto 1.4, onde se tem em detalhe o SBI com esboço das linhas de metalização que interligam os dispositivos, bem como considerando as referências [22, 28-30, 35-37, 43], conclui-se que as nove estruturas que aparecem repetidas são os Transistores bipolares parasitas de área mínima, que implementam a fonte de tensão referência *bandgap* em tecnologia CMOS.

Os mesmos são equivalentes ao modelo simplificado, representado na figura 1.4 [11], onde o coletor é inerente ao substrato. As interconexões desse sub-bloco nos levam ao circuito elétrico da figura 1.5, onde os terminais devidamente representados por $S1$, $S2$ e $S3$ correspondem aos mesmos marcados na foto 1.4.

A disposição dos transistores bipolares no *layout* foi feita de modo a se conseguir o melhor casamento na distribuição de isoterma, mantendo, assim, uma média de temperatura igual para toda a estrutura. O ideal seria que a mesma variação de temperatura fosse sentida igualmente por todos os transistores do conjunto.

Observa-se, ainda, que o transistor Q_0 ocupa a posição central na configuração de modo a sentir a média das isotermas sentida pelos demais. Essa configuração permite que, na média, todos os transistores trabalhem à mesma temperatura, qualquer que seja a disposição das isotermas presentes. Desta forma, a temperatura média do conjunto pode ser dada pela temperatura do ponto central da geometria formada pela distribuição dos transistores.

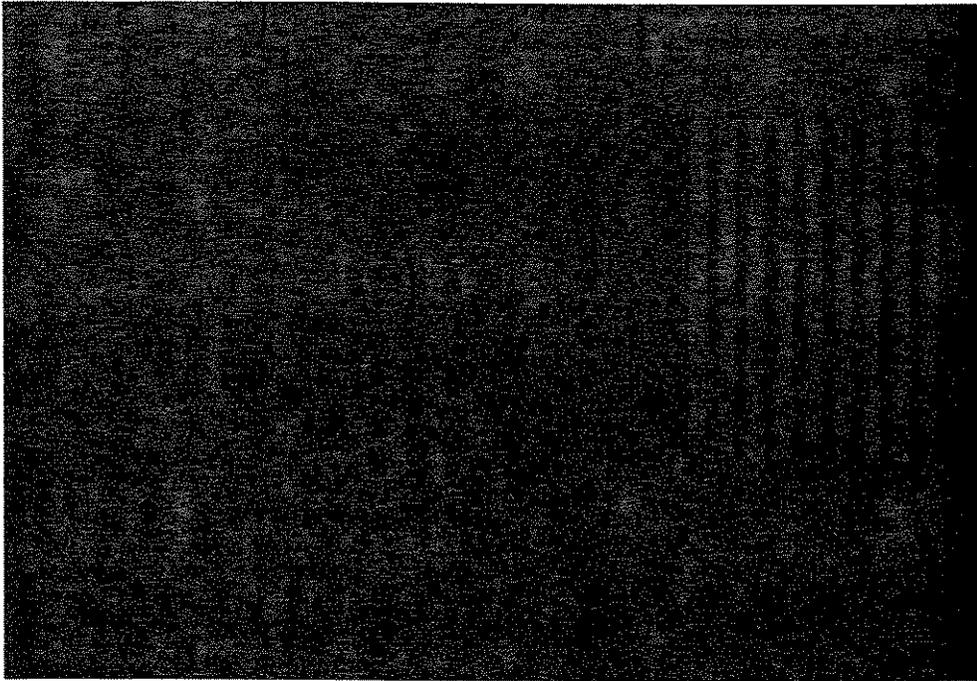


Foto 1.4 - Detalhe do sub-bloco 1 (SBI).

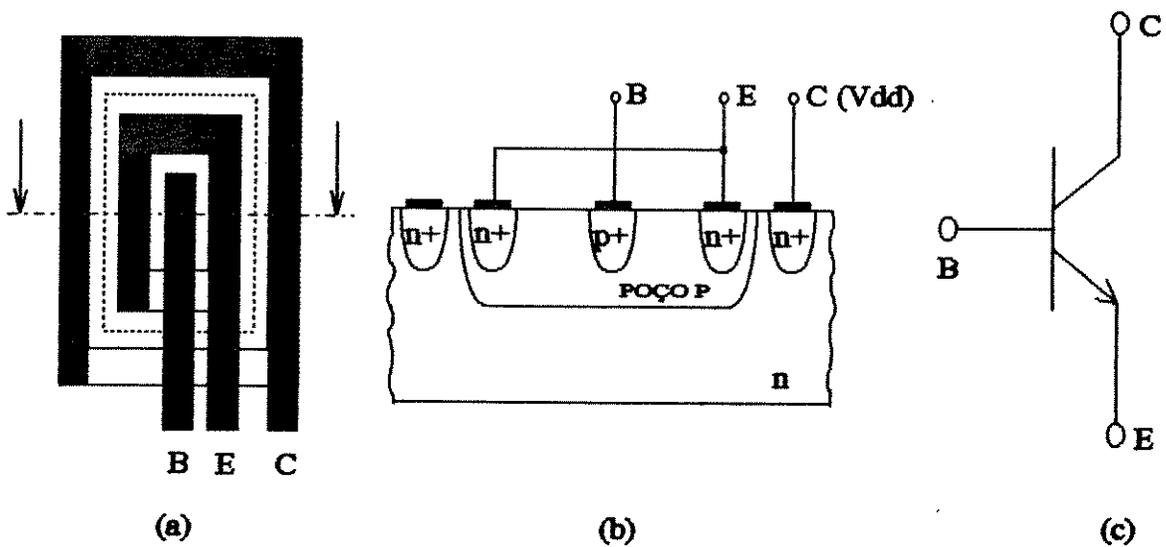


Fig. 1.4 - Transistor bipolar *npn* parasita vertical em tecnologia CMOS de poço *p*. (a) vista superior; (b) vista em corte e (c) representação elétrica.

Na figura 1.6 é ilustrada a configuração simplificada do resistor de poço-*p*, bem como sua representação em corte. O esquema elétrico do circuito correspondente ao SB2 está mostrada na figura 1.7, com os resistores indicados pelo número de quadrados equivalentes às suas áreas.

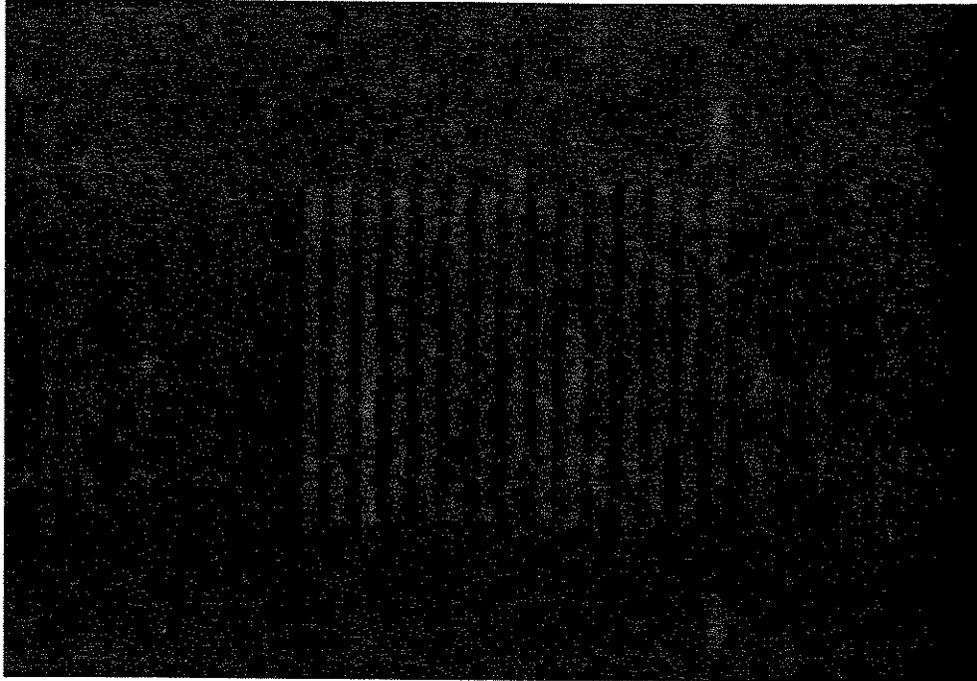


Foto 1.5 - Detalhe do sub-bloco 2 (SB2).

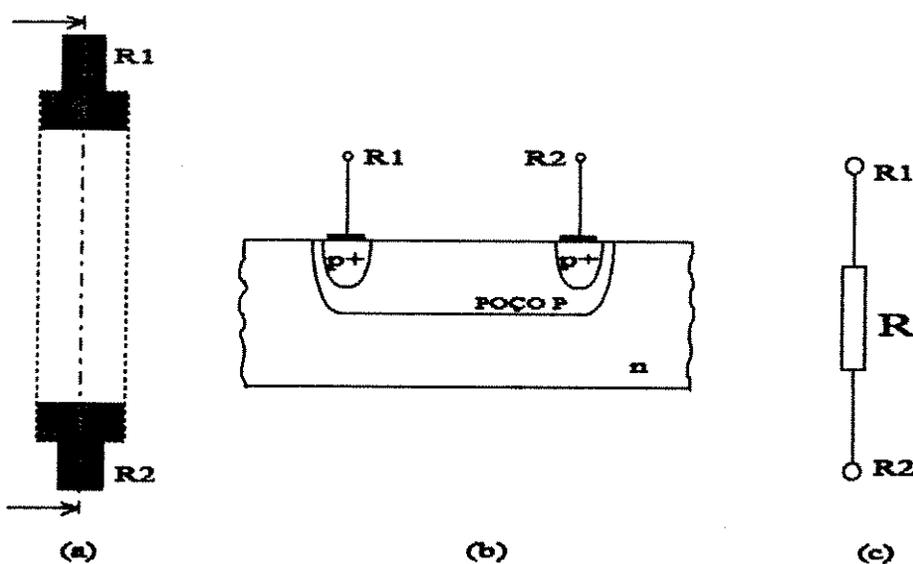


Fig. 1.6 - Resistor de poço-*p*. (a) vista superior, (b) vista em corte e (c) representação elétrica.

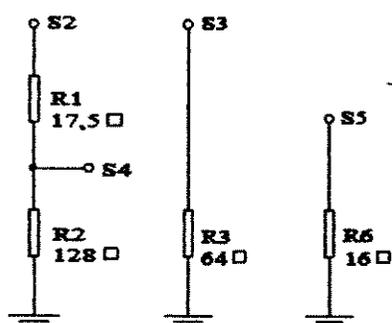


Fig. 1.7 - Esquema elétrico do SB2.

O quadro abaixo resume a extração deste sub-bloco.

Sub-bloco 2 (SB2): Conjunto de resistores de poço-*p*.

Sinais	Alimentação	Entradas	Saídas
Símbolos	Vss (Gnd)	S2, S3, S5	S3, S4, S5

1.2.4.3 - Extração do Sub-bloco 3 (SB3)

Analisando a foto 1.6, onde se tem o SB3 e parte do SB4, pode-se extrair o circuito elétrico equivalente, representado na figura 1.9.



Foto 1.6 - Detalhe do sub-bloco 3 (SB3).

O SB3 é constituído unicamente por transistores CMOS que operam no modo analógico, configurando o estágio de entrada de um amplificador operacional. Por esse motivo, é essencial que se conheça a construção dos transistores CMOS em tecnologia de poço p , simplificada representados na figura 1.8, onde foram identificadas as regiões de fonte, dreno e *gate*.

Na extração dos transistores, deve-se considerar as dimensões da largura e do comprimento de canal. Para se medir esses valores, devemos localizar, primeiramente, um transistor ou conjunto deles que trabalham no modo digital, como por exemplo, um inversor. Sabendo-se que, na tecnologia de fabricação, segundo [10], a menor dimensão para comprimento de *gate* é $2\mu\text{m}$ e que a ampliação utilizada na confecção do painel de fotos foi de 1000 vezes, podemos concluir que 2mm de *gate* no painel corresponde a $2\mu\text{m}$ na escala 1:1, ou seja, 1mm equivale a $1\mu\text{m}$. Assim, pode-se calcular as dimensões de qualquer dispositivo ou estrutura através da fotografia.

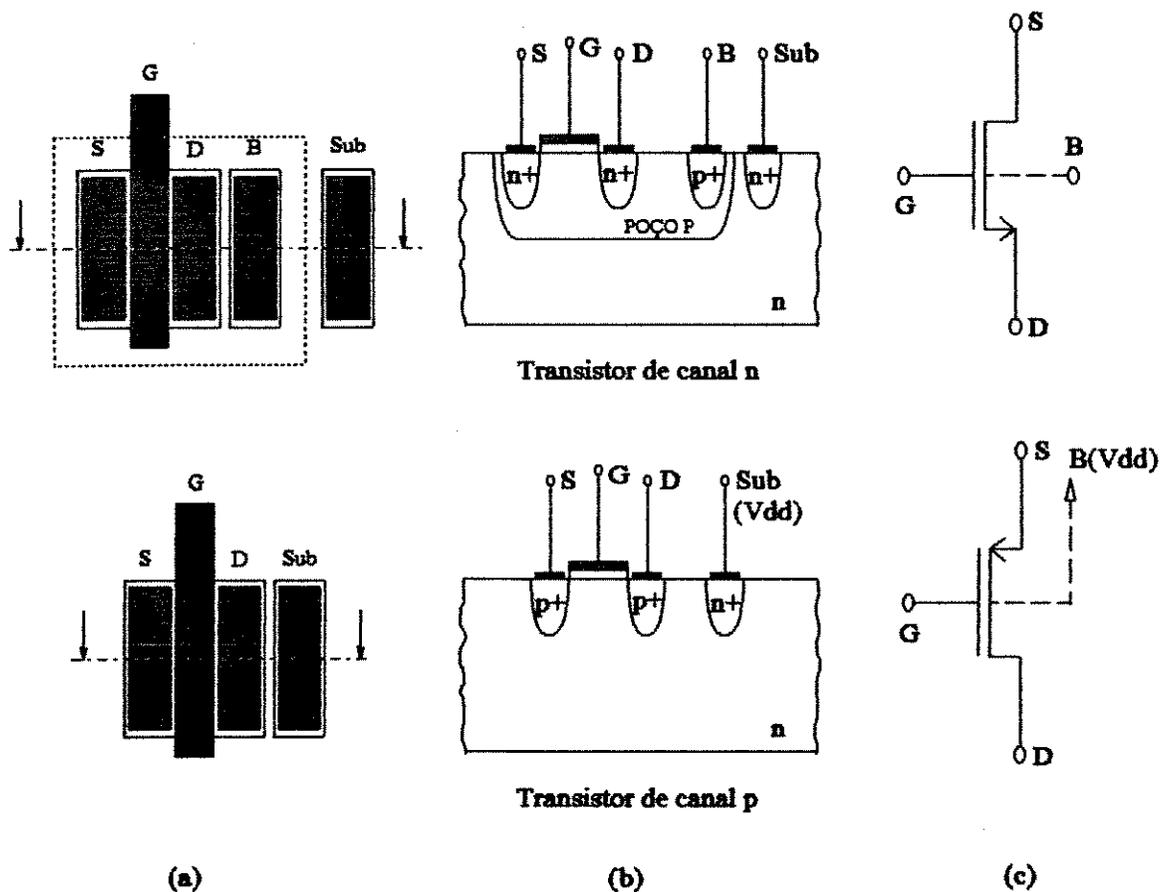


Fig. 1.8 - Transistores CMOS. (a) vista superior; (b) vista em corte e (c) representação elétrica.

Uma característica importante a ser comentada sobre este sub-bloco, é a disposição dos dois transistores do par diferencial do amplificador operacional

($M3$ e $M4$). Na foto 1.6, observa-se, claramente, que tais transistores são constituídos por oito transistores, formando dois conjuntos semelhantes, em paralelo, em uma disposição denominada "par cruzado". O dreno de cada um dos oito transistores é ainda envolto pelo coletor. Essa disposição de *layout* garante a minimização do efeito causado pelo descasamento entre dispositivos, que influencia no sinal de saída através do termo V_{of} (tensão de *off-set*) [38-40]. As dimensões dos transistores do par diferencial foram medidas considerando-se o perímetro de seus emissores.

A figura 1.9 apresenta o esquema elétrico do circuito correspondente ao $SB3$ com os valores aproximados das relações W/L de cada transistor.

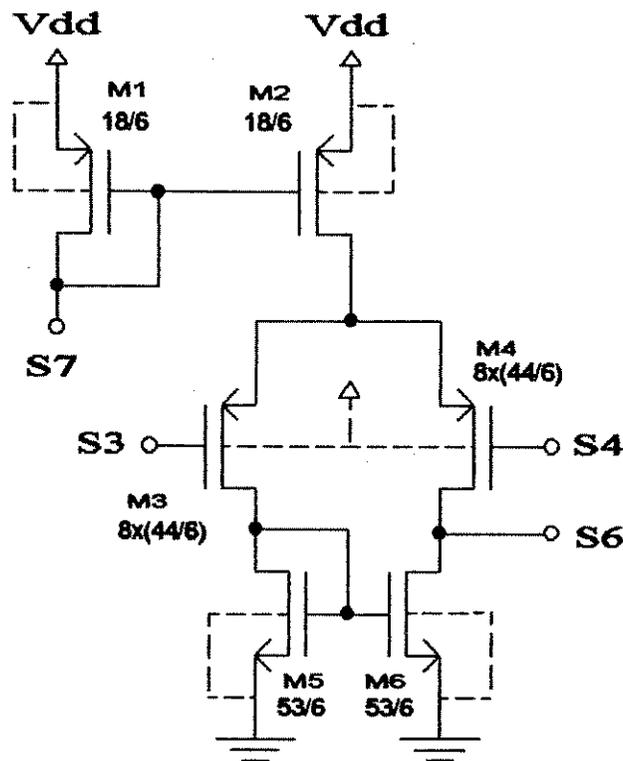


Fig. 1.9 - Esquema elétrico do $SB3$.

A tabela seguinte expressa, resumidamente, a extração dos sinais deste bloco:

Sub-bloco 3 ($SB3$): Amplificador Operacional.

Sinais	Alimentação	Entradas	Saídas
Símbolos	Vdd, Vss (Gnd)	S3, S4	S6, S7

1.2.4.4 - Extração do Sub-bloco 4 (SB4)

Este sub-bloco, representado pela foto 1.7, implementa o estágio de polarização do amplificador operacional, bem como seu estágio de saída, complementando, desta forma, o SB3.

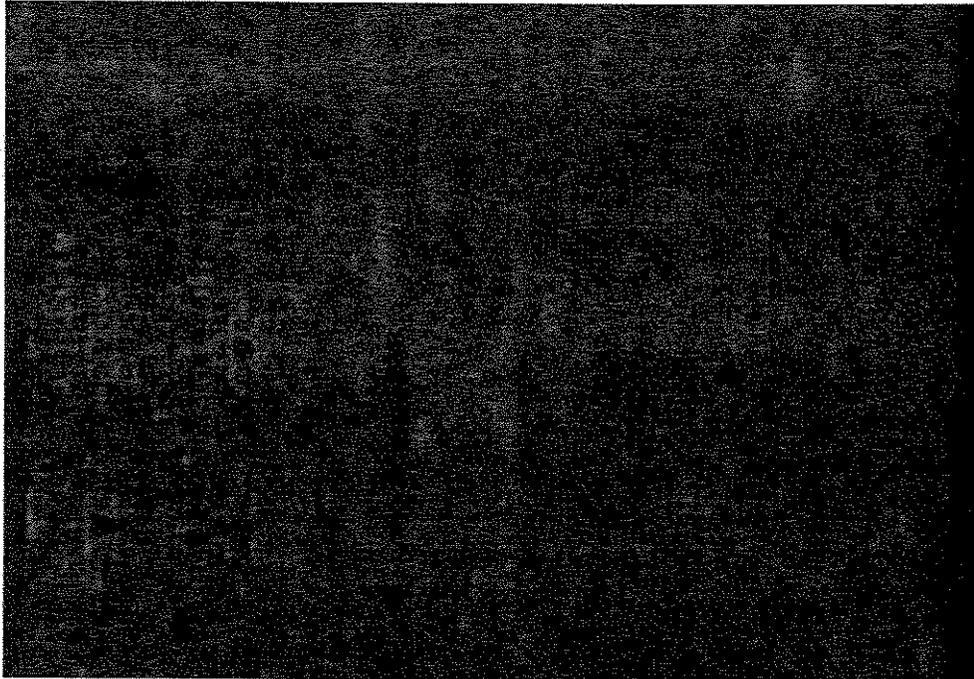


Foto 1.7 - Detalhe do sub-bloco 4 (SB4).

O estágio de polarização é caracterizado pelo sinal de controle *S5* que, estando em nível lógico 0 (zero), habilita o funcionamento do operacional, desabilitando-o quando em nível lógico 1 (um). Essa lógica faz com que o amplificador operacional funcione adequadamente durante certos períodos em que o circuito polarizado pela fonte de referência necessitar da tensão regulada em temperatura e consumindo menor potência nos períodos de *standby*. Isso se explica, pois o *chip*, como um todo, trabalha sob chaveamento determinado por um sinal de *clock*, executando suas funções apenas em alguns períodos de tempo e esperando informações em outros (*standby*) [10]. Assim, para não haver alto consumo nestes períodos, alguns circuitos são desativados, voltando às suas funções quando solicitados. No caso da fonte de tensão de referência, existe um circuito que a substitui durante os períodos de espera e que entra em operação logo que a fonte principal é desativada. Este último circuito, que também é controlado pelo sinal *S5*, tem a função de apenas manter a polarização dos circuitos dependentes da fonte de referência para que o consumo do *chip* seja mínimo durante os períodos de intermitência do sinal.

Apesar de sua baixa complexidade, o estágio de saída conta com dois capacitores em paralelo, $C1$ e $C2$ (figura 1.10) associados a um *gate* de transmissão, cuja finalidade é a de filtrar ruídos no sinal $S8$ (saída da fonte de referência) resultantes do chaveamento entre os períodos de operação e *standby*.

Na figura 1.11, temos representado o circuito elétrico do $SB4$, onde foram indicadas a relação W/L dos transistores e área total do capacitor ($C=C1+C2$). A capacitância C deve ser determinada durante a fase de simulação, quando se dispõe dos dados da tecnologia utilizada no projeto. Por enquanto, o que podemos concluir é o valor de sua área e que a mesma tem, como dielétrico, o óxido de isolamento (normalmente SiO_2).

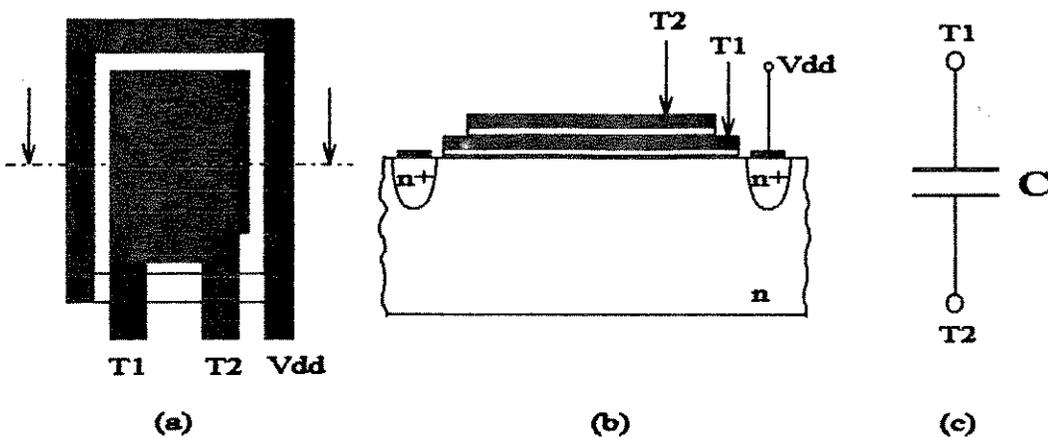


Fig. 1.10 - Capacitor CMOS. (a) vista superior; (b) vista em corte e (c) representação elétrica.

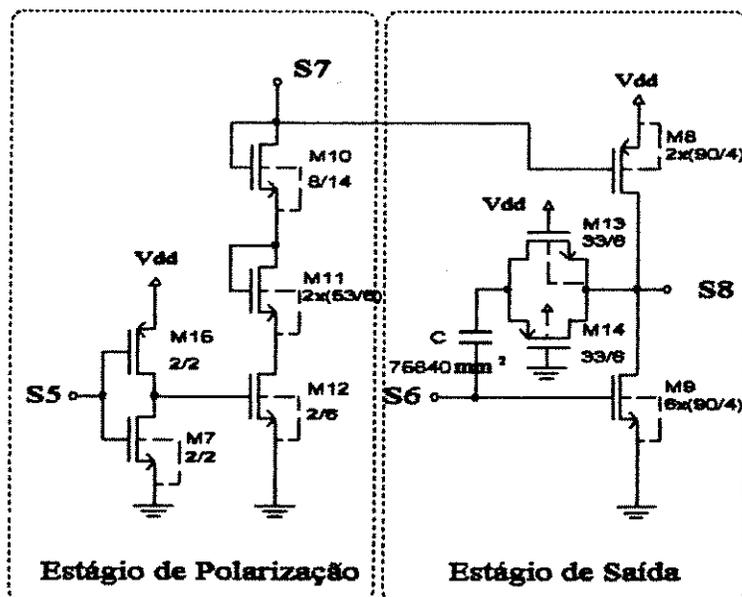


Fig. 1.11 - Representação elétrica do $SB4$.

Em resumo, temos:

Sub-bloco 4 (SB4): Estágios de Polarização e Saída do Amp. Op. (SB3).

Sinais	Alimentação	Entradas	Saídas
Símbolos	Vdd, Vss (Gnd)	S5, S6, S7	S8

1.2.4.5 - Extração do Sub-bloco 5 (SB5)

Na foto 1.8, está representado o sub-bloco 5 que, como SB2, também é constituído por resistores segmentados de poço-p (figura 1.6).

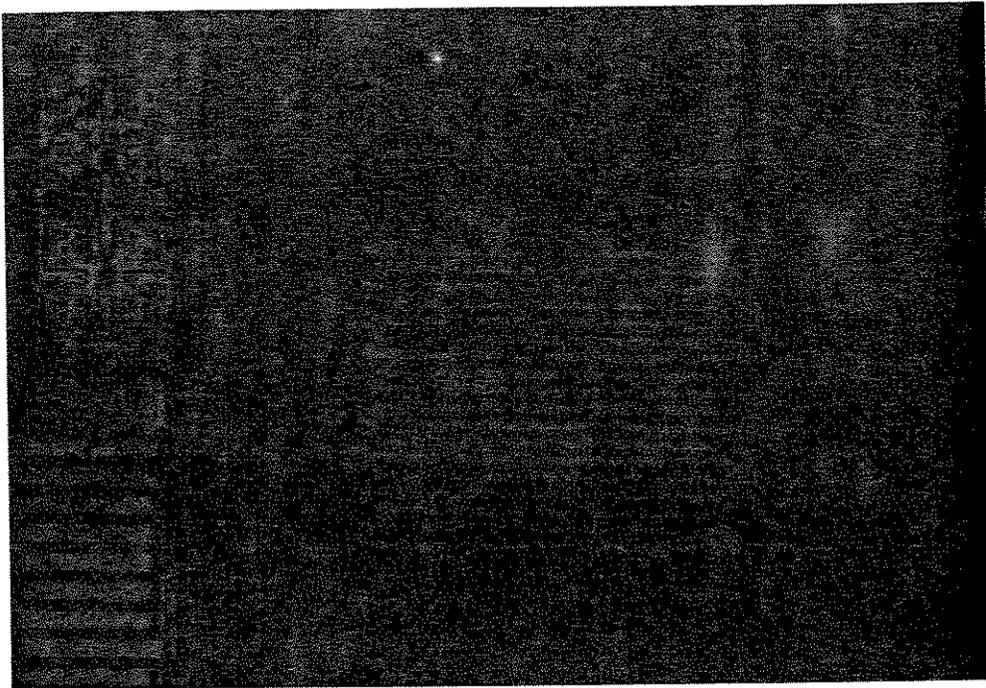


Foto 1.8 - Detalhe do sub-bloco 5 (SB5).

Os segmentos que compõem os resistores são entrecruzados, garantindo que o conjunto se mantenha na média das isothermas.

Na figura 1.12, temos o circuito equivalente ao SB5, cuja função é a de elevar o sinal de referência de S1 para S8, segundo a relação (1.1):

$$A = \frac{S8}{S1} = \frac{R4 + R5}{R5} \quad (1.1)$$

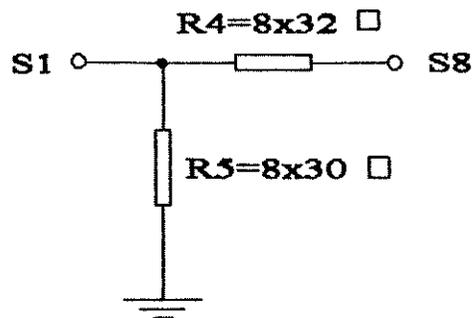


Fig. 1.12 - Esquema elétrico equivalente ao SB5.

Em resumo, temos:

Sub-bloco 5 (SB5): Resistores de poço-p.

Sinais	Alimentação	Entrada	Saída
Símbolos	Vss (Gnd)	S8	S1

1.2.4.6 - Análise do Circuito Extraído

Dos sub-blocos estudados, observa-se que as estruturas são, geralmente, envolvidas por *guard-rings*, cuja função é o cancelamento do efeito *Latch-up* [42]. Os dispositivos são alocados próximos entre si, respeitando as regras mínimas de projeto. Isso não só garante economia de área como também mantém os dispositivos sob a média das isotermais que atuam sobre o circuito.

Considerando-se cada sub-bloco analisado, pode-se concluir a fonte de tensão de referência, como ilustra a figura 1.13. Das referências [12-15, 18-27], pode-se facilmente definir o mesmo como uma fonte de tensão de referência, cujo princípio de operação se baseia na tensão de *bandgap* do silício, por isso denominada Fonte de Tensão de Referência *Bandgap*. Este assunto será abordado em detalhes no Capítulo 2.

Com o intuito de se comprovar a filosofia de funcionamento do circuito, resumidamente, pode-se adiantar que na fonte de referência *bandgap*, o coeficiente térmico negativo da tensão V_{be} de um transistor bipolar é compensado pelo coeficiente térmico positivo do ΔV_{be} entre dois transistores com diferentes densidades de corrente de coletor. Isso se consegue pela soma de V_{be} com a parcela ΔV_{be} multiplicada por uma constante devidamente escolhida [13, 24, 51]. O resultado da soma das duas parcelas é uma tensão com coeficiente de temperatura praticamente nulo, que corresponde à tensão de *bandgap* do Si extrapolada para a

temperatura de 0K (V_{G0}), cujo valor teórico aproximado pode ser considerado 1,179V [33], 1,1557V [34] ou 1,205V [66]. Matematicamente, esse princípio é definido da seguinte forma:

De [15-17] vem:

$$V_{be} \cong V_{G0} - a \cdot T \quad (1.2)$$

onde a é uma constante e T é a temperatura.

Para transistores com diferentes densidades de corrente de coletor, pode-se escrever:

$$\Delta V_{be} \cong V_{be1} - V_{be2} \quad (1.3)$$

$$\Delta V_{be} \cong (V_{G0} - b \cdot T) - (V_{G0} - c \cdot T) \quad (1.4)$$

$$\Delta V_{be} \cong (c - b) \cdot T \quad (1.5)$$

onde b e c são constantes.

Multiplicando-se a equação (1.5) por uma constante pré-definida, K e somando-se esse termo à equação (1.2), vem:

$$V_{be} + K \cdot \Delta V_{be} \cong V_{G0} + [(c - b) \cdot K - a] \cdot T \quad (1.6)$$

Escolhendo-se adequadamente o valor de K de modo a tornar nulo o segundo termo da equação (1.6), chega-se à seguinte expressão, que define o princípio inicialmente descrito:

$$V_{ref} = V_{be} + K \cdot \Delta V_{be} \cong V_{G0} \quad (1.7)$$

Onde V_{G0} pode ser considerada, em termos práticos, invariável com a temperatura.

Multiplicando-se esse último fator por uma constante, pode-se obter o valor de tensão que se deseja com certa estabilidade em temperatura.

Uma vez esboçado o *layout* e conhecida a filosofia do circuito extraído, devemos verificar se o mesmo executa, de modo qualitativo, as funções esperadas [13, 14]. Como não temos acesso aos valores reais de alguns parâmetros de processo, tais como β (parasita) e resistências das camadas difundidas, deve-se, em uma primeira simulação, ajustar esses parâmetros de modo a se conseguir o melhor desempenho do circuito segundo a teoria envolvida. Considera-se, então, o

circuito otimizado como o resultado final da engenharia reversa do bloco analisado, o qual será tomado como ponto de partida para um novo projeto em uma nova tecnologia (*ES2*), como será abordado no Capítulo 3.

Desta forma, utilizou-se de simulação SPICE com parâmetros de uma *foundry* conhecida, a *AMI* [47], cujas características de processo se assemelham às do *chip* em estudo, ou seja, tecnologia CMOS de poço-*p* e $2\mu\text{m}$ de comprimento de canal. Como parâmetros para os Transistores bipolares parasitas, usou-se os parâmetros *default* do SPICE, adotando-se um ganho (β) de 100. Isso porque, em tecnologias CMOS, de aplicação exclusiva para circuitos digitais, geralmente, não são fornecidos parâmetros para transistores bipolares. Atualmente, algumas fábricas de CI's, como a austríaca *AMS* [48], já fornecem tais parâmetros, inclusive propondo versões *layout's* dos transistores bipolares parasitas.

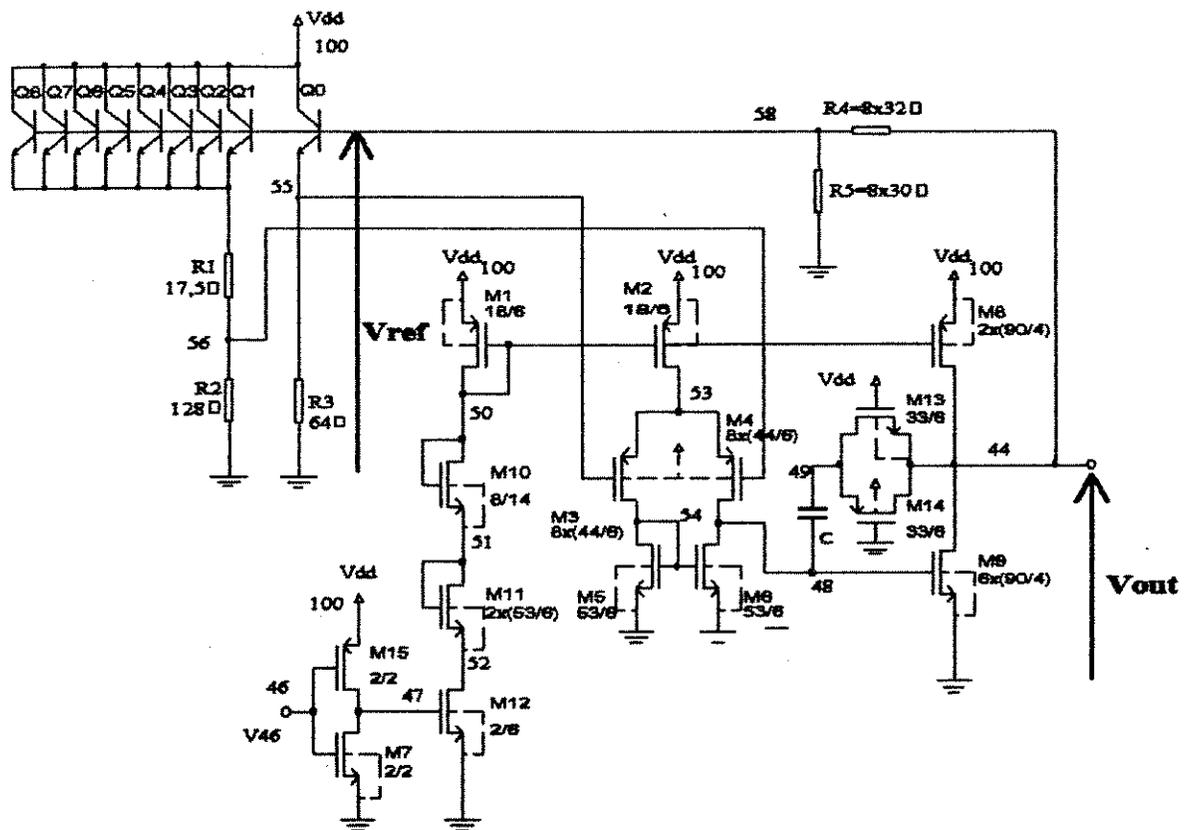


Fig. 1.13 - Circuito completo da fonte de tensão de referência.

Considerando-se, finalmente, o circuito elétrico da fonte de tensão de referência *bandgap* extraída e os parâmetros tecnológicos *ES2*, como mencionado, lista-se a seguir o arquivo SPICE para simulação do circuito indicado na figura 1.13.

FONTE DE TENSÃO DE REFERENCIA BANDGAP

```
.OP
.PROBE
.DC TEMP -55 125 10
.NODE V(44)=2.5V
.PRINT DC V(44) V(58) V(55) V(57) V(56)
.OPTIONS ACCT NODE NOPAGE LIMPTS=10000 NUMDGT=7
```

**** DEFINICAO DOS TRANSISTORES CMOS ******* DO CIRCUITO DE POLARIZACAO DO AMP. OP.**

```
M15 47 46 100 100 P L=2U W=8U
M16 47 46 0 0 N L=2U W=2U
M12 52 47 0 0 N L=6U W=27U
M11A 51 51 52 52 N L=6U W=53U
M11B 51 51 52 52 N L=6U W=53U
M10 50 50 51 51 N L=14U W=8U
M1 50 50 100 100 P L=6U W=18U
```

*** DO AMPLIFICADOR OPERACIONAL DA FONTE**

```
M8A 44 50 100 100 P L=4U W=90U
M8B 44 50 100 100 P L=4U W=90U
M9A 44 48 0 0 N L=4U W=90U
M9B 44 48 0 0 N L=4U W=90U
M9C 44 48 0 0 N L=4U W=90U
M9D 44 48 0 0 N L=4U W=90U
M9E 44 48 0 0 N L=4U W=90U
M9F 44 48 0 0 N L=4U W=90U
M2 53 50 100 100 P L=6U W=18U
M4A 48 56 53 100 P L=6U W=44U
M4B 48 56 53 100 P L=6U W=44U
M4C 48 56 53 100 P L=6U W=44U
M4D 48 56 53 100 P L=6U W=44U
M4E 48 56 53 100 P L=6U W=44U
M4F 48 56 53 100 P L=6U W=44U
M4G 48 56 53 100 P L=6U W=44U
M4H 48 56 53 100 P L=6U W=44U
M6 48 54 0 0 N L=6U W=53U
M5 54 54 0 0 N L=6U W=53U
M3A 54 55 53 100 P L=6U W=44U
M3B 54 55 53 100 P L=6U W=44U
M3C 54 55 53 100 P L=6U W=44U
M3D 54 55 53 100 P L=6U W=44U
M3E 54 55 53 100 P L=6U W=44U
M3F 54 55 53 100 P L=6U W=44U
M3G 54 55 53 100 P L=6U W=44U
M3H 54 55 53 100 P L=6U W=44U
M13 44 100 49 49 N L=6U W=33U
M14 44 0 49 100 P L=6U W=33U
```

**** DEFINICAO DOS TRANSISTORES BIPOLARES ****

```
Q0 100 58 55 QNPN 1
Q1 100 58 57 QNPN 1
Q2 100 58 57 QNPN 1
Q3 100 58 57 QNPN 1
Q4 100 58 57 QNPN 1
```

```

Q5 100 58 57 QNPN 1
Q6 100 58 57 QNPN 1
Q7 100 58 57 QNPN 1
Q8 100 58 57 QNPN 1

```

**** DEFINICAO DOS RESISTORES ****

```

R1 57 56 981.5
R2 56 0 8284
R3 55 0 8284
R4 58 44 15307
R5 58 0 13352

```

**** DEFINICAO DO CAPACITOR**

```

C 48 49 2.854PF

```

**** DEFINICAO DA FONTE DE ALIMENTACAO ****

```

VDD 100 0 DC 5

```

**** DEFINICAO DO SINAL DE HABILITACAO ****

```

V46 46 0 DC 0V

```

**** PARAMETROS DO PROCESSO (AMI CMOS POCO P 2UM - CASO TIPICO) ****

```

.MODEL N NMOS (LEVEL=2 TOX=3E-08 VTO=-0.75 LD=0.35E-6 NSUB=1.7E+16
+   UO=640 UEXP=0.11 UCRIT=4.3E+4 VMAX=4.6E+4 DELTA=1.0
+   NEFF=1.3 NFS=3.0E+11 XJ=0.1E-6 CJ=0.35E-3 MJ=0.44 WD=0.65E-6
+   CJSW=0.15E-9 MJSW=0.3 PB=0.8 CGDO=0.40E-9 CGSO=0.40E-9)

.MODEL P PMOS (LEVEL=2 TOX=3E-08 VTO=-0.75 LD=0.35E-6 NSUB=1.3E+16
+   UO=220 UEXP=0.17 UCRIT=2.10E+4 VMAX=2.6E+4 DELTA=1.0
+   NEFF=0.8 NFS=3E+11 XJ=0.1E-6 CJ=0.32E-3 MJ=0.49 WD=0.65E-6
+   CJSW=0.15E-9 MJSW=0.26 PB=0.7 CGDO=0.4E-9 CGSO=0.4E-9)

```

```

.MODEL QNPN NPN (IS=1E-16 BF=100)

```

```

.END

```

Analisando, graficamente, os resultados da simulação do circuito extraído, apresentados nas figuras 1.14, 1.15 e 1.16, pode-se comprovar o que foi estudado nas páginas anteriores, onde se definia o circuito como uma fonte de tensão de referência *bandgap*. A soma da curva da figura 1.14 com a curva da figura 1.15, multiplicada pela constante $K=8,6$ (para esse caso), resulta na curva representada na figura 1.16, conforme a equação (1.7).

Note que o valor da tensão regulada em temperatura, ilustrada na figura 1.16, é bem próxima dos valores mencionados anteriormente para a tensão de *bandgap* do silício à 0K [33, 34, 66].

Desta forma, multiplicando-se o resultado V_{ref} (figura 1.16) pela constante A (equação (1.1)), dada por $R4$ e $R5$, obtém-se o valor desejado de 2,5V à temperatura ambiente na saída da fonte (V_{out}), como ilustra a figura 1.17.

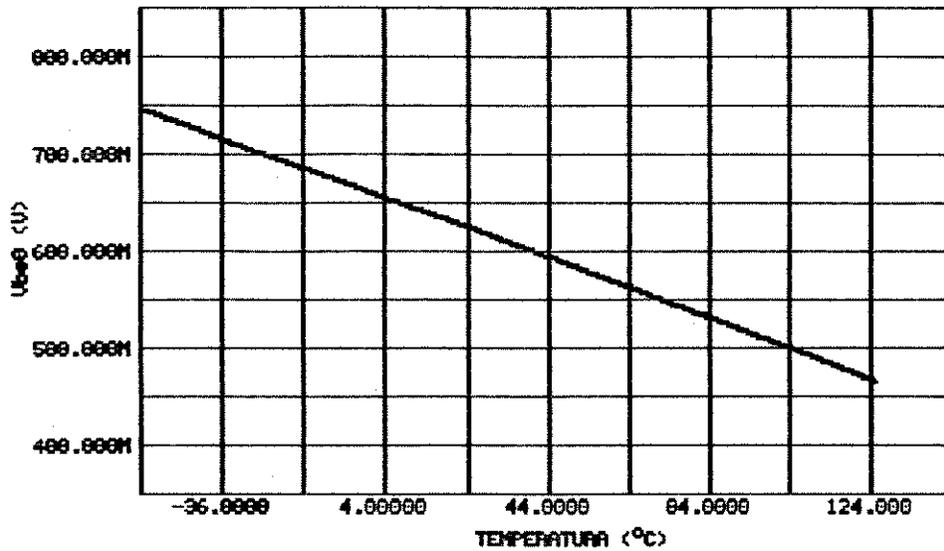


Fig. 1.14 - Variação da tensão V_{be} do transistor Q_0 em relação à temperatura.

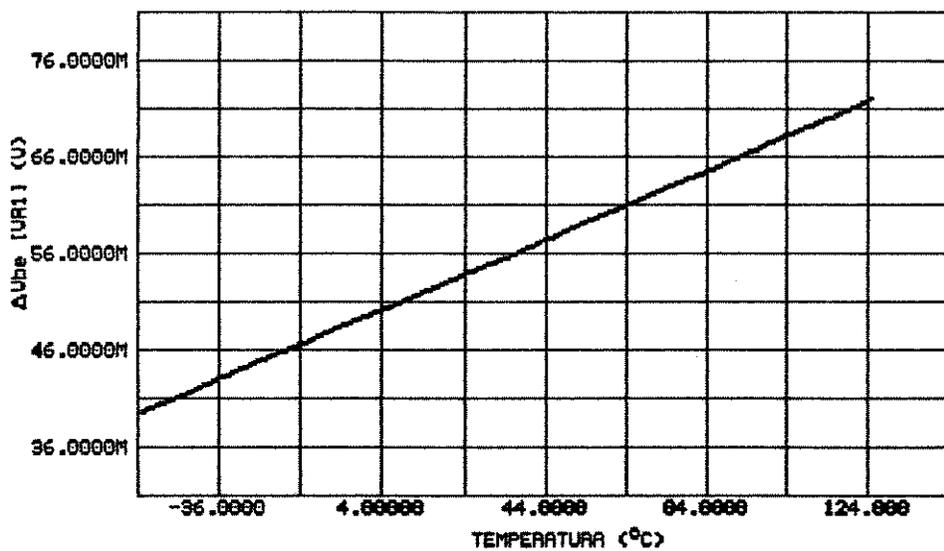


Fig. 1.15 - Variação da tensão ΔV_{be} (V_{RI}) em relação à temperatura.

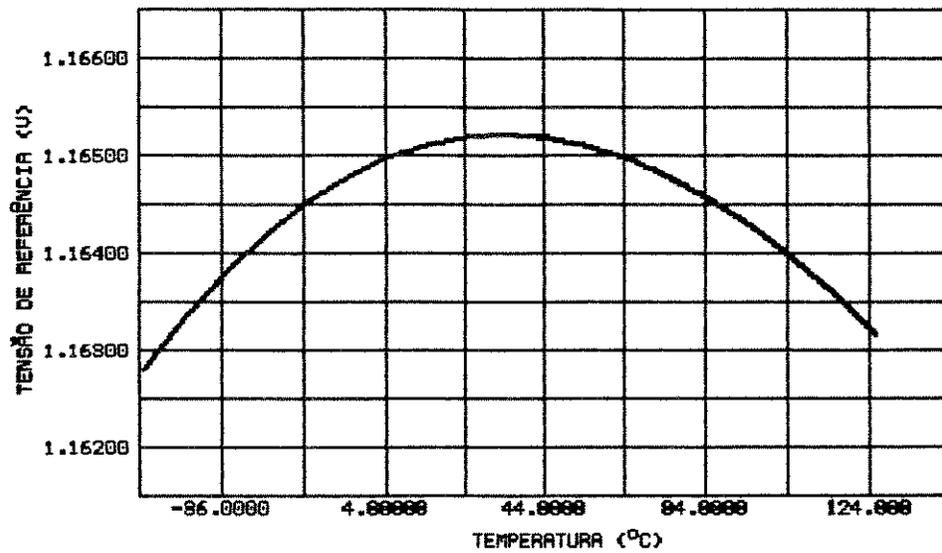


Fig. 1.16 - Tensão de referência ($V_{ref} = V_{be0} + K \Delta V_{be}$).

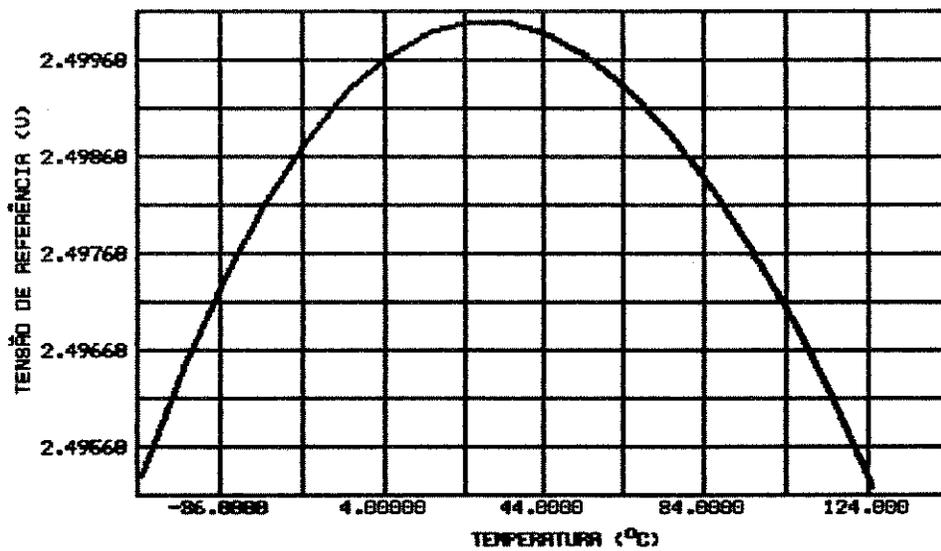


Fig. 1.17 - Tensão de saída regulada em temperatura ($V_{out} = A \cdot V_{ref}$).

1.3 - Conclusão

O trabalho de engenharia reversa nos leva a uma fonte de tensão de referência *bandgap* como indicam as referências, onde os primeiros resultados de simulação SPICE nos permitem comprovar o seu princípio básico de operação.

Dando sequência ao trabalho, esse princípio será melhor estudado no próximo capítulo, onde serão exploradas suas principais características, bem como as possibilidades de se otimizar o circuito e a excursão do sinal de saída em temperatura, não deixando de lado o fator economia de área.

CAPÍTULO 2

Fonte de Tensão de Referência *Bandgap*

Introdução

Em uma variedade de circuitos, é necessário estabelecer um ponto que sirva como uma fonte de referência, que apresente baixa impedância e/ou estabilidade do nível DC de tensão, ou seja, que apresente insensibilidade à fonte de alimentação e às variações de temperatura. Porém, em alguns casos, uma dessas duas características assume maior importância. Um circuito que cumpre, primariamente, com a característica de baixa impedância é denominado Fonte de Tensão e aquele, cuja especificação primária é promover uma tensão constante e independente das variações da tensão de alimentação e/ou da temperatura, é chamado de Fonte de Tensão de Referência.

Devido aos altos graus de integração de sistemas, cada vez mais são necessários esforços em reduzir-se as dimensões dos dispositivos, além de que, sistemas digitais e analógicos devem partilhar o mesmo *die* (pastilha de Si). Isso tudo, faz da tecnologia CMOS indiscutível em implementações *VLSI*, se a compararmos com outras.

As primeiras implementações de fontes de referência em tecnologia CMOS eram baseadas em diferenças de tensões *gate/source* no modo enriquecimento e depleção de transistores MOS [17]. Porém, apesar do baixo coeficiente de temperatura obtido, os circuitos perdiam no controle da estabilidade da saída, já que esse fator é diretamente dependente dos níveis de dopagem nos passos de implantação [13]. Uma outra solução seria explorar a diferença entre tensões de *gates* de transistores MOS de mesmo tipo, porém com *gates* de polisilício com dopagens opostas. Essa solução, além de não ser eficiente, requer máscaras extras no processo de difusão, de modo a selecionar diferentes dopagens para os referidos *gates* [16].

No sentido de melhorar a qualidade das fontes, a fonte de tensão de referência *bandgap*, inicialmente proposta por Widlar [12], tem sido amplamente empregada em tecnologia CMOS que, graças à possibilidade de se implementar transistores bipolares por meio de estruturas parasitas, tem sofrido grandes avanços e apresentado ótimos resultados.

No entanto, existem fatores que devem ser conhecidos, que prejudicam a estabilidade da referência *bandgap*, necessitando métodos e técnicas adequadas de projeto para minimizá-los.

Neste capítulo, será apresentado o princípio de compensação térmica da fonte de tensão referência *bandgap*. Desenvolveremos as equações que regem o funcionamento do circuito extraído, bem como as considerações técnicas necessárias para a correção de curvatura do sinal de saída compensado.

2.1 - Fonte de Tensão de Referência *Bandgap*

2.1.1 - Fundamentos

Em se tratando de componentes monolíticos, podemos considerar três fatores matematicamente previsíveis que variam em função da temperatura e que apresentam certa repetibilidade [44]:

- . O coeficiente negativo de V_{be} com relação à temperatura, geralmente da ordem de $-2\text{mV}/^\circ\text{C}$;
- . O coeficiente positivo da diferença entre V_{be} de transistores casados, ΔV_{be} , o qual é proporcional à temperatura absoluta através da tensão V_T , e
- . O coeficiente de temperatura da tensão V_Z do diodo Zener, o qual é relativamente baixo e positivo.

Quanto aos coeficientes de temperatura de resistores monolíticos, estes são muito altos e não lineares para aplicações em fontes de referência. No entanto, a razão destes coeficientes mostra uma excelente compensação em temperatura.

Fontes de referência que utilizam diodos Zener apresentam certos inconvenientes, pois requerem altas tensões de alimentação, além de apresentarem ruídos associados à tensão de polarização do diodo.

Uma fonte de referência que apresenta boa estabilidade com relação à temperatura é a que se baseia na tensão de *bandgap* do silício (V_G) ou tensão de banda proibida [12]. O princípio de tal fonte de referência está na compensação da variação do termo V_{be} com a temperatura, pela soma com a variação de ΔV_{be} com a temperatura, a qual é função de V_T . A figura 2.1 [44, 45] ilustra o princípio onde é gerado um *drift* negativo de V_{be} com a temperatura e outro positivo por intermédio de V_T , onde:

$$V_T = \frac{K \cdot T}{q} \quad (2.1)$$

onde K é a conhecida constante de Boltzmann.

Finalmente, multiplicando-se este último termo por uma constante bem definida, C e somando o resultado ao primeiro, obtemos uma dependência nominal praticamente igual a zero com a temperatura, uma vez que os termos citados exibem coeficientes térmicos opostos.

No modelo simplificado:

$$V_{ref} = V_{be} + C \cdot V_T \quad (2.2)$$

O nível DC de saída estabilizado com a temperatura, onde a derivada da tensão V_{out} pela temperatura é nominalmente igual a zero, apresenta valor da ordem de 1,16V. Provar-se-á, matematicamente, que esse valor é aproximadamente a tensão de *bandgap* do Si (equação (2.20)), sendo o nome Fonte de Referência *Bandgap*, derivado dessa relação.

No sentido de compreender melhor o princípio de funcionamento da fonte de tensão de referência *bandgap*, equacionaremos a dependência de V_{be} e ΔV_{be} com a temperatura, bem como a soma dos dois termos, que resulta num nível DC de tensão praticamente invariável com a temperatura [34, 56], cujo valor é próximo da tensão de *bandgap* extrapolada para a temperatura de 0K, V_{G0} .

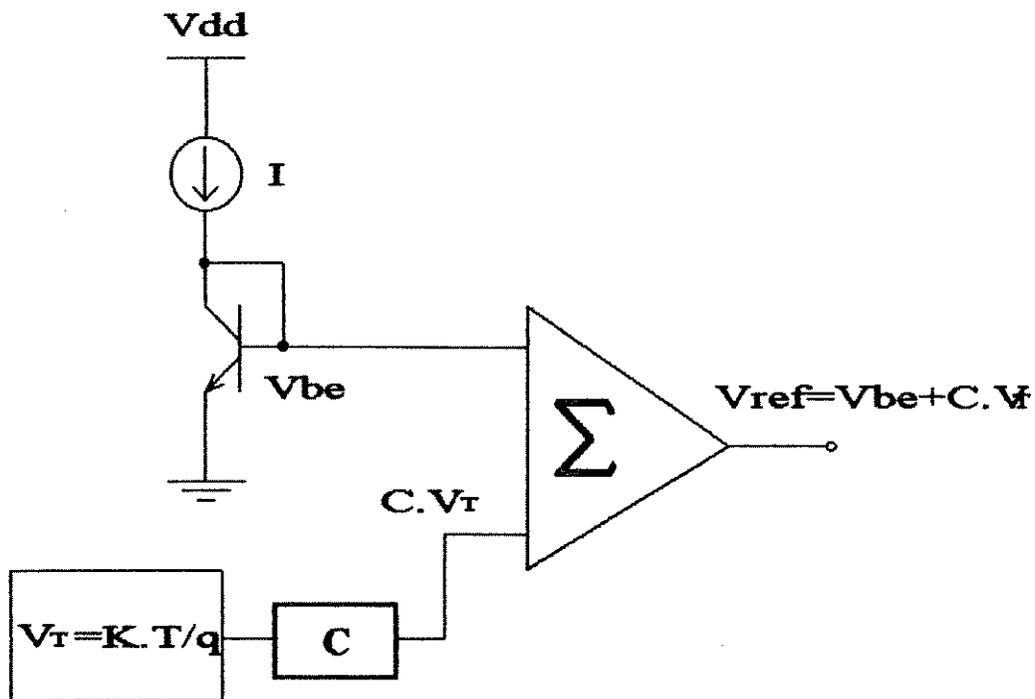


Fig. 2.1 - Princípio da fonte de tensão de referência *bandgap*.

A densidade de corrente de coletor de um transistor bipolar pode ser aproximadamente dada por:

$$J_C = \frac{q \cdot D_n \cdot n_{po}}{W_B} \cdot \exp\left(\frac{V_{be}}{V_T}\right) \quad (2.3)$$

Onde, J_C é a densidade de corrente de coletor; D_n é constante de difusão média de elétrons; W_B é a largura da base e n_{po} é concentração de equilíbrio de elétrons na base, que é expressa por:

$$n_{po} = \frac{n_i^2}{N_A} \quad (2.4)$$

onde:

$$n_i^2 = D \cdot T^3 \cdot \exp\left(-\frac{V_{G0}}{V_T}\right) \quad (2.5)$$

sendo, V_{G0} a tensão de *bandgap* do Si e D uma constante independente da temperatura.

Combinando as equações (2.3), (2.4) e (2.5) podemos representar a densidade de corrente de coletor por:

$$J_C = \frac{q \cdot D_n}{N_A \cdot W_B} \cdot D \cdot T^3 \cdot \exp\left(\frac{V_{be} - V_T}{V_T}\right) \quad (2.6)$$

ou ainda, agrupando os termos constantes em uma única constante de valor A :

$$J_C = A \cdot T^y \cdot \exp\left(\frac{V_{be} - V_{G0}}{V_T}\right) \quad (2.7)$$

O coeficiente de temperatura, y , é ligeiramente diferente de 3, se considerarmos o fato da dependência com a temperatura apresentada pelo termo D_n .

A relação de V_{be} com a temperatura pode, então, ser desenvolvida à partir da equação (2.7), sendo:

$$V_{be} = \frac{K \cdot T}{q} \cdot \ln\left(\frac{J_C}{A \cdot T_0^y}\right) + V_{G0} \quad (2.8)$$

Considerando J_C à temperatura T_0 , podemos escrever:

$$J_{C0} = A \cdot T_0^y \cdot \exp\left[\frac{q}{K \cdot T_0} \cdot (V_{be} - V_{G0})\right] \quad (2.9)$$

Assim, podemos obter o valor da razão J_c/J_{c0} e desta última, a equação de V_{be} , onde se leva em consideração a variação da densidade de corrente e a conseqüente variação de temperatura associada a esse termo:

$$\frac{J_c}{J_{c0}} = \left(\frac{T}{T_0}\right)^y \cdot \exp\left[\frac{q}{K} \cdot \left(\frac{V_{be} - V_{G0}}{T} - \frac{V_{be0} - V_{G0}}{T_0}\right)\right] \quad (2.10)$$

$$V_{be} = V_{G0} \cdot \left(1 - \frac{T}{T_0}\right) + V_{be0} \cdot \left(\frac{T}{T_0}\right) + \frac{y \cdot K \cdot T}{q} \cdot \ln\left(\frac{T}{T_0}\right) + \frac{K \cdot T}{q} \cdot \ln\left(\frac{J_c}{J_{c0}}\right) \quad (2.11)$$

Derivando a equação (2.11) com relação à temperatura, fazendo $T=T_0$ e considerando que J_c tem uma dependência exponencial com a temperatura dada por a , podemos representar a variação de V_{be} em temperatura por:

$$\left(\frac{\partial V_{be}}{\partial T}\right)_{T=T_0} = \frac{V_{be} - V_{G0}}{T_0} + (a + y) \cdot \left(\frac{K}{q}\right) \quad (2.12)$$

Para a temperatura de 300K, o coeficiente de temperatura de V_{be} , equação (2.12) e de V_T , equação (2.1), são aproximadamente $-2,2\text{mV}/^\circ\text{C}$ e $+0,085\text{mV}/^\circ\text{C}$ respectivamente [44]. Observando a equação (2.2) e se utilizarmos um valor adequado para a constante C , poderemos compensar as diferenças dos valores absolutos dos coeficientes térmicos de V_{be} e V_T , de tal forma a anular o coeficiente térmico de V_{ref} .

A geração da tensão proporcional à temperatura, $C \cdot V_T$, pode ser implementada de duas maneiras clássicas. A primeira consiste na diferença das tensões V_{be} 's entre dois transistores bipolares com densidades de corrente de coletor distintas [12-15, 25, 41] e a segunda, na diferença de tensões *gate/source* de dois transistores MOS. Essa última, porém, requer a operação dos transistores na região de fraca inversão [17-19]. Considerando as dispersões do processo de difusão e grande faixa de variação de temperatura, torna-se difícil garantir a permanência do transistor MOS na região de fraca inversão para todas as situações de temperatura possíveis. Além de que, o modelamento do transistor MOS está voltado para aplicações digitais (corte-saturação), sendo, portanto, insegura a faixa intermediária de polarização. O projeto, baseado nesta segunda alternativa, estaria com graves erros de simulação, distanciando assim, dos valores reais obtidos na prática. Assim, não se poderia prever em, simulação, a situação mais próxima do comportamento do circuito após a difusão.

Por esta razão, a opção de gerar a tensão $C \cdot V_T$ através de transistores bipolares é preferencial, mesmo não tendo muita informação sobre o modelo de simulação do transistor bipolar parasita em tecnologia CMOS (pelo menos na tecnologia ES2 [46]). Isso porque tal transistor só pode ser obtido através de

componentes parasitas do processo CMOS. Porém, estas estruturas podem ser perfeitamente casadas, pois não apresentam grandes variações de comportamentos devido às dispersões do processo, podendo ser úteis neste tipo de aplicação.

Nestas condições, o coeficiente de temperatura de ΔV_{be} para dois transistores bipolares idênticos, com diferentes densidades de corrente, pode ser obtido por meio da derivada em relação à temperatura da equação (2.13), obtida através da equação (2.8). Assim, teremos:

$$\Delta V_{be} = \frac{K \cdot T}{q} \cdot \ln \left(\frac{J_{c1}}{J_{c2}} \right) \quad (2.13)$$

E sua derivada fica:

$$\frac{\partial \Delta V_{be}}{\partial T} = \frac{V_T}{T} \cdot \ln \left(\frac{J_{c1}}{J_{c2}} \right) \quad (2.14)$$

No sentido de se conseguir o coeficiente de temperatura igual a zero para uma determinada temperatura T_0 , adiciona-se o coeficiente de V_{be} ao coeficiente de ΔV_{be} (veja equação 1.6), dados pelas equações (2.12) e (2.14) e iguala-se a zero o resultado desta operação. Isto é descrito pela equação a seguir:

$$0 = G \cdot \left(\frac{V_{T0}}{T_0} \right) \cdot \ln \left(\frac{J_{c1}}{J_{c2}} \right) + \frac{V_{be} - V_{G0}}{T_0} + \frac{(a + y) \cdot V_{T0}}{T_0} \quad (2.15)$$

Onde G é uma constante do circuito que deverá ser ajustada para fazer com que a equação (2.15) seja válida.

Cosiderando as constantes do primeiro termo da equação (2.15), agrupadas em C' , vem:

$$C' = G \cdot \ln \left(\frac{J_{c1}}{J_{c2}} \right) \quad (2.16)$$

Assim, resumimos a equação (2.15) em:

$$0 = C' \cdot \left(\frac{V_{T0}}{T_0} \right) + \frac{V_{be} - V_{G0}}{T_0} + \frac{(a + y) \cdot V_{T0}}{T_0} \quad (2.17)$$

E desta última encontramos o valor da constante C' , onde:

$$C' = \frac{V_{G0} - V_{be} + (a + y) \cdot V_{T0}}{V_{T0}} \quad (2.18)$$

Veremos mais adiante que o termo C' é de total controle do projetista, que pode ajustá-lo de modo a compensar o coeficiente de temperatura.

Reagrupando a equação (2.18), obtemos o termo dependente da temperatura que faz parte da equação de V_{ref} dada pela equação (2.2), que é:

$$C'V_{T0} = V_{G0} - V_{bs} + V_{T0} \cdot (a + y) \quad (2.19)$$

Note que o termo constante C' da equação (2.19) é a mesma constante da equação (2.2), ou seja $C'=C$. Como essa constante ativa o coeficiente zero de temperatura da tensão V_{ref} , podemos substituir a equação (2.19) em (2.2), para uma determinada temperatura (T_0), onde obtemos:

$$(V_{ref})_{T=T_0} = V_{G0} + V_{T0} \cdot (a + y) \quad (2.20)$$

Sendo V_{T0} , y e a constantes (praticamente não dependentes da temperatura), o coeficiente de temperatura da tensão V_{ref} é, finalmente, expresso por:

$$\left(\frac{\partial V_{ref}}{\partial T} \right)_{T=T_0} = \left(\frac{\partial V_{G0}}{\partial T} \right)_{T=T_0} \quad (2.21)$$

Como o segundo termo da expressão (2.21) é aproximadamente nulo, concluímos que houve uma compensação em temperatura para o nível DC de V_{ref} , salvo que o coeficiente de temperatura da tensão de *bandgap* (V_{G0}) não é exatamente nulo. Finalmente, podemos escrever que:

$$\left(\frac{\partial V_{ref}}{\partial T} \right)_{T=T_0} \cong 0 \quad (2.22)$$

O nome atribuído a então Fonte de Tensão de Referência *Bandgap* é decorrência do princípio que rege o funcionamento da mesma de acordo com o que foi exposto acima, ou seja, no coeficiente de temperatura da tensão de *bandgap* do Si (V_G).

2.1.2 - Célula Básica de Referência *Bandgap*

O circuito da fonte de referência *bandgap*, extraído no Capítulo 1 e que estamos estudando, é uma variação de uma célula de referência *bandgap* muito utilizada em circuitos CMOS, representada, simplificada, na figura 2.2. Esta célula é conhecida como Célula de Brokaw [25].

Neste circuito, a excitação ocorre segundo a estrutura do amplificador operacional. A flexibilidade na escolha do amplificador operacional, com poucas exigências técnicas para um bom desempenho da fonte de referência, justifica sua popularidade em meio às outras configurações existentes [25].

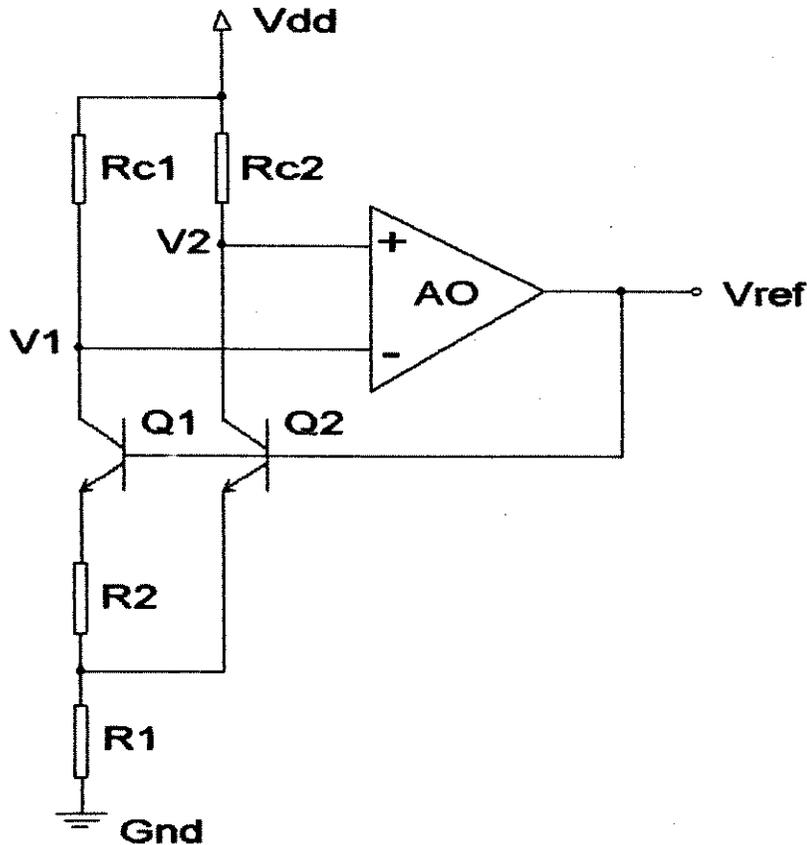


Fig. 2.2 - Célula de Brokaw [25].

Com base na figura 2.2 e considerando o amplificador operacional ideal com tensão de *off-set* (V_{of}) igual a zero, calculemos a convergência da tensão V_{ref} .

Para baixos valores do nível DC de V_{ref} , as correntes nos coletores de $Q1$ e $Q2$ são relativamente baixas, sendo a queda de tensão sob o resistor $R2$ praticamente desprezível. Nesta situação, os transistores operam como um espelho de corrente, promovendo iguais densidades correntes nos seus coletores. Sendo a área de $Q1$ maior que a área de $Q2$ por um fator A , a corrente em seu coletor será A vezes maior que a corrente no coletor de $Q2$. Desta forma, a tensão no coletor de $Q1$ desce mais rapidamente que no coletor de $Q2$. Sendo o amplificador operacional responsável pela realimentação positiva de V_{ref} , a subida da tensão de base dos transistores provoca o aumento das correntes de coletor, cujo efeito é, gradativamente, atenuado em $Q1$ pela presença do resistor $R2$, que diminui sua

transcondutância pelo fato de degenerar o emissor. Há, assim, uma reação contra o aumento da diferença de tensão entre os coletores de Q_2 e Q_1 . A realimentação promove a estabilidade do sistema quando há iguais correntes de coletor, fazendo $V_1 = V_2$.

Equacionando, temos que a tensão no resistor R_2 é dada por:

$$V_{R2} = V_{be2} + V_{be1} \quad (2.23)$$

$$V_{R2} = V_T \cdot \ln\left(\frac{J_{C2}}{J_{S2}}\right) - V_T \cdot \ln\left(\frac{J_{C1}}{J_{S1}}\right) = V_T \cdot \ln\left(\frac{I_{C2} \cdot A_1}{I_{C1} \cdot A_2}\right) \quad (2.24)$$

No entanto, o amplificador operacional estabelece a seguinte relação de equilíbrio:

$$I_{C1} \cdot R_{C1} = I_{C2} \cdot R_{C2} \quad (2.25)$$

$$I_{C2} = I_{C1} \cdot \left(\frac{R_{C1}}{R_{C2}}\right) \quad (2.26)$$

$$I_{C2} = \frac{V_{RC1}}{R_{C1}} \cdot \frac{R_{C1}}{R_{C2}} = \frac{V_{RC1}}{R_{C2}} \quad (2.27)$$

Substituindo (2.26) em (2.24), podemos escrever que V_{R2} é dada por:

$$V_{R2} = V_T \cdot \ln\left(\frac{R_{C1}}{R_{C2}} \cdot \frac{A_1}{A_2}\right) \quad (2.28)$$

A tensão de referência é expressa por:

$$V_{ref} = V_{be2} + (I_{C1} + I_{C2}) \cdot R_1 \quad (2.29)$$

Substituindo as relações (2.26) e (2.27) na equação (2.29), vem:

$$V_{ref} = V_{be2} + \left(\frac{R_{C2}}{R_{C1}} + 1\right) \cdot \frac{R_1}{R_{C2}} \cdot V_{RC1} \quad (2.30)$$

Considerando desprezível a corrente de base dos transistores, calculamos o valor de V_{RC1} e obtemos a seguinte relação:

$$V_{RC1} = \frac{R_{C1}}{R_2} \cdot V_{R2} \quad (2.31)$$

Substituindo a equação (2.31) na equação (2.30), obtemos:

$$V_{ref} = V_{be2} + \left(\frac{R_{C2}}{R_{C1}} + 1 \right) \cdot \frac{R_{C1} \cdot R_1}{R_{C2} \cdot R_2} \cdot V_{R2} \quad (2.32)$$

Finalmente, substituindo a equação (2.28) na equação (2.32), podemos escrever:

$$V_{ref} = V_{be2} + \left(\frac{R_{C1}}{R_{C2}} + 1 \right) \cdot \frac{R_1}{R_2} \cdot \ln \left(\frac{R_{C1} \cdot A_1}{R_{C2} \cdot A_2} \right) \cdot V_T \quad (2.33)$$

Da comparação desta última equação com a equação (2.2), define-se o valor da constante C que, como mencionado, é de total controle pelo projetista, conferindo a ele a escolha adequada das relações dos resistores e das áreas dos transistores bipolares. Assim:

$$C = \left(\frac{R_{C1}}{R_{C2}} + 1 \right) \cdot \frac{R_1}{R_2} \cdot \ln \left(\frac{R_{C1} \cdot A_1}{R_{C2} \cdot A_2} \right) \quad (2.34)$$

Existem, porém, alguns fatores de segunda ordem que debilitam o coeficiente de V_{ref} com a temperatura (poucos ppm/°C) [13, 21, 33, 34]. Um destes fatores é que o amplificador operacional apresenta uma tensão de *off-set* na entrada, o que introduz um desvio na curvatura de V_{ref} . Isto se deve, principalmente, pelo fato do amplificador operacional ter sido implementado com transistores CMOS que, por princípio físico, já possuem *off-set* elevado. A importância da tensão V_{of} na análise do projeto está no fato de que ela varia com a temperatura, contribuindo para o desequilíbrio na estabilidade térmica de V_{ref} . Soma-se a isso o fato de que não possuímos dados precisos sobre V_{of} em tecnologia analógica CMOS.

Outro fator limitante é o descasamento entre os β 's dos transistores bipolares e entre as resistências de base dos mesmos.

Associado a isto, existe o fato de que a tensão de *bandgap* do Si apresenta um pequeno coeficiente térmico, verificado, principalmente, quando submetido a uma grande faixa de temperatura.

Também, a relação entre resistores difundidos apresenta coeficiente térmico que, apesar de ser baixo, contribui com a curvatura da tensão regulada V_{ref} .

Um esquema de compensação destes fatores permite que se consiga, na prática, coeficientes de temperatura para esse tipo de célula de aproximadamente 10ppm/°C em tecnologia CMOS de poço- n [33]. Assim, se é objetivo do projeto

economia de área, esse fator será, certamente, afetado pelos processos de compensação. Há, portanto, a necessidade de bom senso no projeto, de modo a se obter uma boa regulação com uma certa economia de área.

2.1.3 - Equacionamento do Circuito Estudado

O circuito da fonte de tensão de referência *bandgap* extraído no Capítulo 1 pode ser esquematizado simplificadaamente como na figura 2.3, onde o amplificador operacional está representado simbolicamente, o que não comprometerá a análise subsequente.

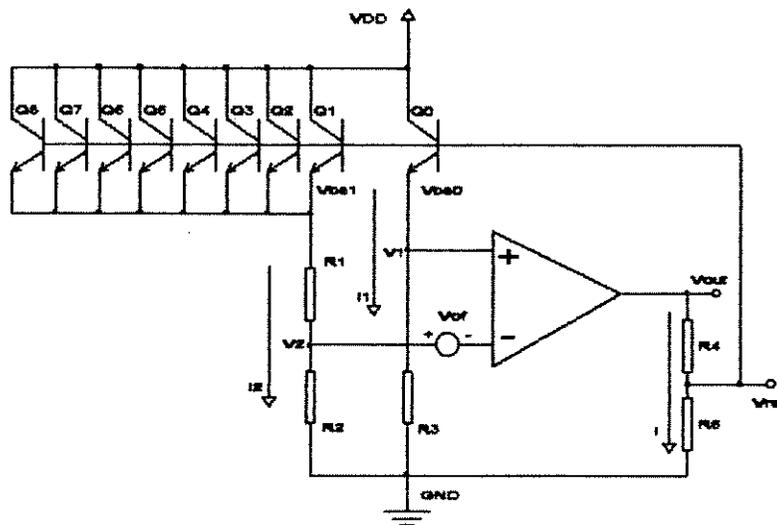


Fig. 2.3 - Esquema elétrico da fonte de tensão de referência *bandgap* extraída (Capítulo 1).

Desprezando-se as correntes de base dos transistores, podemos escrever que a relação entre V_{ref} e V_{out} é dada por:

$$V_{out} = V_{ref} \cdot \left(\frac{R_4 + R_5}{R_5} \right) \quad (2.35)$$

Do circuito pode-se escrever também que:

$$V_{ref} = V_{be0} + I_1 \cdot R_3 \quad (2.36)$$

Como o amplificador operacional força $V_1 = V_2$, podemos escrever:

$$I_1 \cdot R_3 = I_2 \cdot R_2 \quad (2.37)$$

$$V_{R1} = V_{be0} - V_{be1} \quad (2.38)$$

e conseqüentemente:

$$V_{ref} = V_{be0} + V_{R1} \cdot \frac{R_2}{R_1} \quad (2.39)$$

Pode-se observar, na equação (2.38), que V_{R1} nada mais é do que ΔV_{be} . Assim sendo, a equação de V_{ref} , dada por (2.39), representa a soma de dois termos com coeficientes de temperatura opostos, cumprindo com o princípio da referência *bandgap*, estudada no item e capítulo anterior.

Prosseguindo com a análise e de acordo com a equação (2.13), podemos escrever:

$$\Delta V_{be} = V_T \cdot \ln \left(\frac{J_{C0}}{J_{CS}} \right) \quad (2.40)$$

onde, J_{C0} é a densidade de corrente de coletor do transistor Q_0 e J_{CS} é a densidade de corrente dada pela soma das correntes de coletor dos transistores Q_1 a Q_8 .

Reescrevendo a equação (2.40), obtém-se:

$$\Delta V_{be} = V_T \cdot \ln \left(\frac{I_1}{I_2} \cdot \frac{A_S}{A_0} \right) \quad (2.41)$$

onde, A_0 é a área de emissor do transistor Q_0 e A_S a soma das áreas dos emissores dos transistores Q_1 a Q_8 .

Combinando-se as equações (2.37) e (2.41), obtemos:

$$V_{R1} = V_T \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \quad (2.42)$$

E ainda:

$$I_2 = \frac{V_{R1}}{R_1} = \frac{V_T}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \quad (2.43)$$

$$I_1 = \frac{I_2 \cdot R_2}{R_3} = \frac{V_T \cdot R_2}{R_1 \cdot R_3} \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \quad (2.44)$$

Da substituição da equação (2.44) na equação (2.36), temos:

$$V_{ref} = V_{be0} + V_T \cdot \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \quad (2.45)$$

Essa equação mostra, claramente, que o circuito obedece o princípio da referência *bandgap*, assim como mostrado para a Célula de Brokaw básica. Desta forma, se compararmos a equação (2.45) com a equação (2.2), ou ainda, com a equação de V_{ref} da Célula de Brokaw, equação (2.33), podemos obter o valor de C :

$$C = \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \quad (2.46)$$

A tensão regulada V_{out} , no entanto, está relacionada com V_{ref} , segundo a equação (2.35), a qual é expressa por:

$$V_{out} = \frac{R_4 + R_5}{R_4} \cdot \left[V_{be0} + V_T \cdot \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_S}{R_3 \cdot A_0} \right) \right] \quad (2.47)$$

Observando esta última equação, podemos dizer que o projetista tem acesso à compensação em temperatura por meio da escolha adequada dos valores dos resistores R_1 , R_2 , R_3 e da relação entre as áreas dos transistores bipolares, A_S/A_0 . Já o ajuste do nível DC, é obtido, também, pela escolha dos resistores R_4 e R_5 .

2.1.4 - Principais Fatores que Prejudicam a Estabilidade Térmica da Tensão de Referência

Neste item, discutiremos os principais fatores que debilitam o funcionamento da fonte de referência *bandgap* CMOS estudada, bem como a relação dos mesmos com o valor da tensão de referência [13, 21, 27, 33, 34].

Alguns destes fatores representam grande parte do erro presente na curvatura da tensão de referência, como é o caso da tensão de *off-set* (V_{of}) e da resistência de base (r_b) dos transistores bipolares, justificando um certo consumo de área do *die* para sua compensação. Outros fatores, no entanto, contribuem com poucos ppm/°C para com o erro da curvatura, muitas vezes não justificando sua compensação, pois haveria um consumo grande de área em relação aos benefícios gerados.

Neste último caso, podemos citar como exemplo a variação da tensão de *bandgap* do Silício com a temperatura ou ainda, o descasamento dos β s dos transistores bipolares.

2.1.4.1 - Tensão de *Off-set* do Amplificador Operacional

Consideremos, para esta análise, a figura 2.4, onde está representado o efeito da tensão de *off-set* (V_{of}) do amplificador operacional (AO) no circuito da fonte de referência.

Os transistores Q_1 e Q_0 são do tipo *npn* vertical, com coletores conectados ao substrato, portanto sempre polarizados no potencial mais positivo (V_{dd}). Sendo assim, o circuito não pode sentir a corrente de coletor diretamente, o que reduz o erro devido ao ganho finito de corrente.

A estrutura dos transistores bipolares parasitas pode ser representada simplificada pela figura 2.5. Pode-se observar dois modos de implementar transistores *npn* em tecnologia CMOS *p-well* (poço-*p*), sendo um do tipo vertical, nosso caso, (figura 2.5a) e outro do tipo lateral (figura 2.5b).

Todos os resistores são resistores de poço-*p* e o amplificador operacional, AO, é considerado de ganho infinito com tensão de *off-set* igual a V_{of} .

O ganho finito do amplificador operacional pode ser justificado pelo fato de amplificadores operacionais CMOS terem normalmente ganho suficientemente alto de modo que se possa desprezar erros causados pelo efeito de ganho finito.

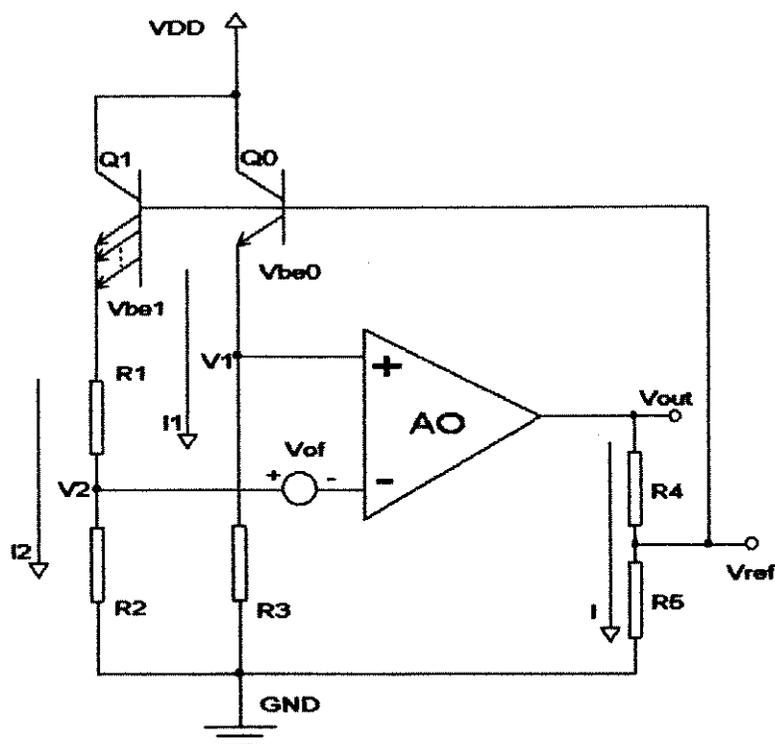


Fig. 2.4 - Figura para o cálculo influência da tensão de *off-set* (V_{of}) na Fonte de Referência.

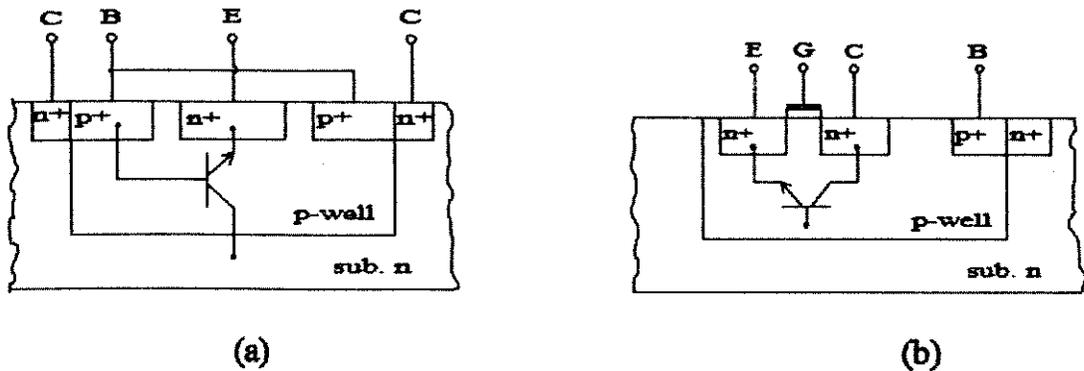


Fig. 2.5 - (a) Transistor bipolar parasita vertical, (b) transistor bipolar parasita lateral.

Admitindo que o transistor Q_1 tenha área maior que a de Q_0 dada por um fator A (onde $A=8$ para o nosso caso) e que ambos estejam polarizados na região ativa, podemos analisar como a tensão V_{of} influencia na tensão regulada em temperatura, V_{ref} . Considerando, pois, esse fator nos cálculos [32, 33] chega-se à seguinte expressão para V_{ref} :

$$V_{ref} = \left[V_{be0} + \frac{R_2}{R_1} \cdot V_T \cdot \ln \left(\frac{R_2 \cdot A_s}{R_3 \cdot A_0} \right) \right] - \left(1 + \frac{R_2}{R_1} \right) \cdot V_{of} + \frac{R_2}{R_1} \cdot V_T \cdot \ln \left(1 - \frac{V_{of}}{I_1 \cdot R_2} \right) \quad (2.48)$$

ou ainda:

$$V_{ref} = \left[V_{be0} + \frac{R_2}{R_1} \cdot \Delta V_{be} \right] - \left(1 + \frac{R_2}{R_1} \right) \cdot V_{of} + \frac{R_2}{R_1} \cdot V_T \cdot \ln \left(1 - \frac{V_{of}}{I_1 \cdot R_2} \right) \quad (2.49)$$

A tensão V_{of} introduz um desvio em V_{ref} , principalmente pelo segundo termo da expressão, sendo o terceiro, praticamente desprezível. Esses termos não podem ser eliminados, já que V_{of} é inerente ao processo CMOS. Porém, sua influência pode ser minimizada, fazendo mínima a relação R_2/R_1 , ou por outras técnicas de *layout* mais adequadas [38-40]. O efeito de V_{of} é ainda maior para V_{out} , já que V_{of} aparece multiplicado pelo termo $(R_4+R_5)/R_5$, que é maior que a unidade. Isso mostra que o circuito é bastante sensível ao *off-set* do amplificador operacional, que também apresenta um pequeno, mas não desprezível, coeficiente térmico.

Nos casos em que a área ocupada pelo circuito é fator limitante, a utilização de técnicas de compensação de *off-set* devem ser empregadas com um certo "bom-senso", tendo-se em mente a relação entre área e compensação, já que tais técnicas, geralmente, implicam em aumento da área ativa da fonte de tensão de referência. Deve-se, portanto, conseguir uma compensação razoável, porém deixando espaço suficiente para o circuito que está sendo polarizado pela fonte.

A fonte de tensão de referência, como está representada pelas figuras 2.3 e 2.4, é bastante atraente para amplificadores operacionais com baixa tensão de *off-set* de entrada, pela razão de permitir economia de área. No entanto, considerando o fato de que a tensão de *off-set* de amplificadores CMOS é por natureza de valor elevado, iremos propor uma forma de compensar a influência do *off-set*, que apesar de promover um relativo aumento da área efetiva ocupada pelo circuito da fonte, promoverá, também, uma significativa redução do efeito do *off-set* na saída. Como exemplo, podemos ilustrar o fato, considerando um V_{of} ideal, ou seja, independente da temperatura e com valor de 5mV. Consideraremos, também, os dados do circuito obtido no Capítulo 1. O erro introduzido na tensão de referência pode ser estimado segundo a equação (2.49) e expresso por [33]:

$$TC_{erro} \approx \left(1 + \frac{R_2}{R_1}\right) \frac{V_{of}}{V_{ref}} \cdot T_0 \quad (2.50)$$

O valor de TC_{erro} para o nosso caso seria, então, de 135ppm/°C, uma vez que $R_2/R_1=0,12$, $V_{ref}=1,1652V$ e $T_0=300K$ (valores estes obtidos no trabalho de engenharia reversa). Não foram considerados, para esse cálculo, os resistores R_4 e R_5 , utilizados para obtermos o valor de 2.5V na saída efetiva da fonte de referência.

Por observação e análise da equação (2.47), podemos citar algumas técnicas para reduzir o efeito do *off-set* na saída. Um modo de se resolver o problema, como já foi mencionado, é introduzir um aumento de ΔV_{be} , fazendo mínimo o termo $(1+R_2/R_1)$ [12, 15, 33], ou ainda, usar de amostragem da tensão de referência por meio de capacitores chaveados ou chaves digitais [32, 33], para ser avaliada durante uma fase do sinal de *clock*, com a outra fase usada para compensar efetivamente V_{of} . Essa solução, no entanto, só é viável se o sistema todo for sincronizado com o sinal de *clock* de referência, necessitando, portanto, de circuitos osciladores extras. Por outro lado, se a tensão de referência for avaliada continuamente ou se a taxa de chaveamento for muito grande (alguns MHz), essa solução não poderá ser usada. Neste caso, o problema pode ser aliviado, projetando-se uma referência cuja saída seja igual a um múltiplo da tensão de *bandgap* [15], reduzindo-se a relativa importância do erro de V_{of} em V_{ref} .

Outro caminho óbvio para se conseguir a redução do efeito de V_{of} , é o uso de amplificadores operacionais de baixo *off-set*. De fato, se pode conseguir amplificadores CMOS com tais características (poucos milivolts ou menos). Uma das formas de conseguir isto é fazer uso de uma complicada técnica de *layout* para casamento dos dois transistores do par diferencial de entrada do amplificador operacional, que poderia resultar num consumo extra de área e/ou potência. Outro caminho, seria o uso de transistores bipolares compatíveis como dispositivos de entrada do operacional, já que estes apresentam baixo *off-set* [23]. Essa é uma solução um tanto atraente, porém, descartada devido ao tipo de arquitetura empregada neste caso. Isso só seria possível para altas correntes de base, havendo

necessidade de um controle dos *gates* dos Transistores bipolares parasitas para que se consiga boa estabilidade da tensão de referência (veja figura 2.5b), que em alguns casos deve ser menor que a da tensão de alimentação [15]. Dessas últimas considerações e sendo que não tínhamos dados suficientes sobre os Transistores bipolares parasitas no início do projeto, como solução não pudemos adotar todas essas alternativas, ficando isso proposto para trabalhos futuros.

A escolha de uma ou mais técnicas de compensação dependerá não somente da qualidade do sinal de referência que desejamos, mas também dos fatores complexidade, área e aplicação. Deve haver, portanto, uma ponderação destes fatores de modo a se obter a solução mais viável para cada caso de projeto.

Do estudo das referências citadas e considerando o fato de que queremos obter uma boa regulação em temperatura sem, no entanto, aumentarmos muito a área do circuito, adotamos técnicas de casamento dos transistores do par-diferencial do amplificador operacional, minimizando assim, o efeito de V_{of} . Tais técnicas resultam em um cuidadoso processo de *layout*, que garante *off-set* totalmente dominado pelos dispositivos de entrada [38-40]. Segundo as referências citadas, existem trabalhos que demonstram que um perfeito balanceamento de estruturas pode resultar em um *off-set* sistemático praticamente nulo.

Existe, também, uma técnica que usa de soma de tensões V_{be} 's em um cascadeamento de transistores bipolares [12, 15, 33], tal como na figura 2.6. Esta técnica será detalhada nas próximas páginas, para o caso da fonte de referência em pauta, a qual faz uso de transistores tipo *npn*.

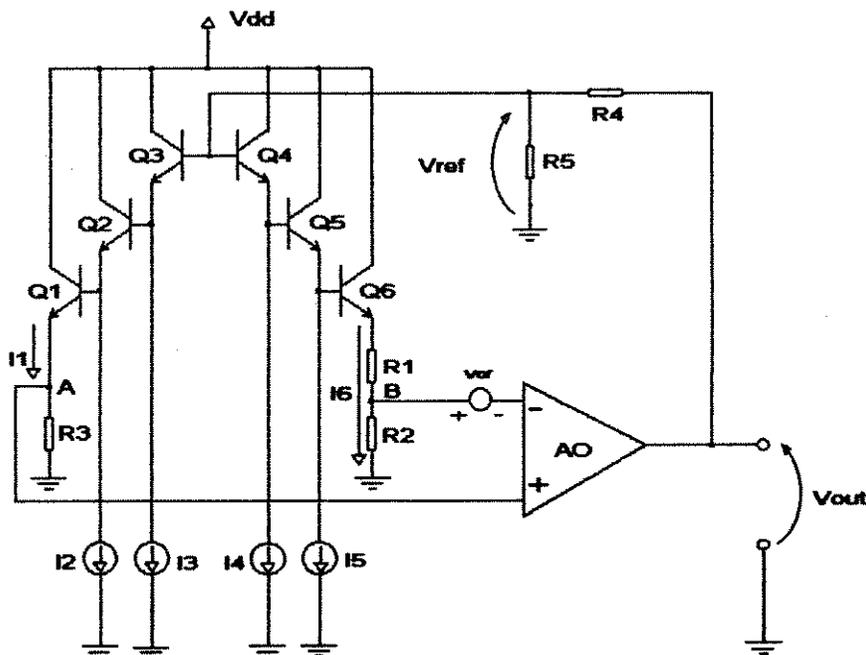


Fig. 2.6 - Soma de V_{be} 's para minimização do efeito de V_{of} na tensão de referência.

Neste caso, as áreas de Q_4 , Q_5 e Q_6 são maiores que as áreas de Q_1 , Q_2 e Q_3 respectivamente, por um fator A .

Seguindo as mesmas rotinas de análise feitas anteriormente e desconsiderando, por enquanto, a parcela referente a V_{of} do amplificador operacional, podemos escrever:

$$V_{ref} = V_{be1} + V_{be2} + V_{be3} + V_{R3} \quad (2.51)$$

$$V_{ref} = V_{be1} + V_{be2} + V_{be3} + \frac{R_2}{R_1} \cdot V_{R1} \quad (2.52)$$

Satisfazendo o casamento entre os dispositivos do regulador *bandgap*, forçamos a seguinte situação entre as correntes:

$$I_1 = I_6, I_2 = I_5 \text{ e } I_3 = I_4$$

Sendo que a primeira igualdade é obtida, tomando-se $R_2 = R_3$ e as demais por meio de espelhos de corrente. Desta forma e considerando que o amplificador operacional força a mesma *ddp* nos pontos A e B , a queda de tensão sobre R_1 será dada por:

$$V_{R1} = (V_{be1} - V_{be6}) + (V_{be2} - V_{be5}) + (V_{be3} - V_{be4}) \quad (2.53)$$

ou ainda:

$$V_{R1} = V_T \cdot \left[\ln \left(\frac{A_6 \cdot R_2}{A_1 \cdot R_3} \right) + \ln \left(\frac{A_5}{A_2} \right) + \ln \left(\frac{A_4}{A_3} \right) \right] \quad (2.54)$$

Como podemos fazer a área dos transistores bipolares Q_1 , Q_2 e Q_3 unitária e $R_2 = R_3$, a última equação pode ser simplificada:

$$V_{R1} = V_T \cdot \ln(A_6 \cdot A_5 \cdot A_4) \quad (2.55)$$

Substituindo essa expressão na equação que define V_{ref} , tem-se:

$$V_{ref} = V_{be1} + V_{be2} + V_{be3} + \frac{R_2}{R_1} \cdot V_T \cdot \ln(A_6 \cdot A_5 \cdot A_4) \quad (2.56)$$

Analisando esta última, podemos fazer $I_2 = I_3 = I_4 = I_5$, o que equivale a tornar $V_{be2} = V_{be3}$ na equação (2.56). Assim sendo:

$$V_{ref} = V_{be1} + 2 \cdot V_{be2} + \frac{R_2}{R_1} \cdot V_T \cdot \ln(A_6 \cdot A_5 \cdot A_4) \quad (2.57)$$

Como analisado no início deste capítulo, os dois primeiros termos possuem coeficiente de temperatura negativo e o terceiro, positivo.

Um raciocínio análogo ao que foi feito na seção 2.1.4 para o cálculo de V_{ref} em função de V_{of} , leva-nos a escrever:

$$V_{ref} = V_{be1} + 2 \cdot V_{be2} + \frac{R_2}{R_1} \cdot V_T \cdot \ln(A_6 \cdot A_5 \cdot A_4) - \left(1 + \frac{R_2}{R_1}\right) \cdot V_{of} + \frac{R_2}{R_1} \cdot V_T \cdot \ln\left(1 - \frac{V_{of}}{I_6 \cdot R_2}\right) \quad (2.58)$$

Onde o segundo termo de V_{of} pode ser desprezado frente ao primeiro, uma vez que $V_{of} \ll I_6 \cdot R_2$. Assim vem:

$$V_{ref} = V_{be1} + 2 \cdot V_{be2} + \frac{R_2}{R_1} \cdot V_T \cdot \ln(A_6 \cdot A_5 \cdot A_4) - \left(1 + \frac{R_2}{R_1}\right) \cdot V_{of} \quad (2.59)$$

Da mesma forma, podemos reduzir o efeito de V_{of} , minimizando o termo $(1 + R_2/R_1)$. No entanto, a relação R_2/R_1 também faz parte da parcela $C \cdot V_T$, equivalente ao terceiro termo da equação (2.58), que também será minimizado.

Assim, essa minimização deve ser compensada, fazendo-se máximas as áreas dos transistores Q_4 , Q_5 e Q_6 que, considerando o fator *layout*, são feitos A vezes o tamanho dos transistores unitários Q_1 , Q_2 e Q_3 .

Desta forma, podemos reescrever a expressão de V_{ref} , como:

$$V_{ref} = V_{be1} + 2 \cdot V_{be2} + 3 \cdot \frac{R_2}{R_1} \cdot V_T \cdot \ln(A) - \left(1 + \frac{R_2}{R_1}\right) \cdot V_{of} \quad (2.60)$$

Para uma temperatura $T=T_0$ e com a corrente em Q_1 igual à corrente em Q_2 , Q_3 , Q_4 , Q_5 e Q_6 , poderemos escrever que:

$$V_{be1} = V_{be2} = V_{be}$$

e portanto:

$$V_{ref} = 3 \cdot V_{be} + 3 \cdot \frac{R_2}{R_1} \cdot V_T \cdot \ln(A) - \left(1 + \frac{R_2}{R_1}\right) \cdot V_{of} \quad , \quad \text{para } T=T_0 \quad (2.61)$$

Comparando-se a equação (2.61) com a equação (2.48), pode-se concluir que o termo $(V_{be} + C \cdot V_T)$ foi multiplicado por 3, enquanto que o termo referente a V_{of} se manteve inalterado. Isso significa que para a mesma tensão V_{ref} , o termo referente ao *off-set* foi reduzido em 1/3 em relação ao termo principal. Esse termo pode ser ainda menor, adicionando mais transistores bipolares em cascata no circuito da fonte, cujo número será limitado pelo fator área e tensão de alimentação.

Na fase de projeto, será definido o número ótimo de estágios em cascata, bem como o valor da relação R_2/R_1 e do fator A para tornarmos mínima a influência de V_{of} na tensão regulada (Capítulo 3).

2.1.4.2 - Parâmetros r_b , β , e Corrente de Base dos Transistores Bipolares

A expressão de V_{ref} também é influenciada pela não linearidade dos transistores bipolares, representada pela sua resistência de base (r_b), como mostra a figura 2.7. Essa influência se dá através dos termos de V_{be} e ΔV_{be} [32, 33], onde:

$$V_{be} = V_T \cdot \ln\left(\frac{I_2}{I_{s2}}\right) + V_T \cdot \ln\left(1 + \frac{1}{\beta_1}\right)^{-1} + \frac{r_b \cdot I_2}{A \cdot \beta_1} \quad (2.62)$$

Onde, V_T é a tensão termal dada por $K \cdot T/q$; I_2 é a corrente de emissor de Q_1 ; I_{s2} é a corrente de saturação de Q_1 ; β_1 é o ganho de corrente de Q_1 e r_b é a resistência série efetiva de base de Q_0 .

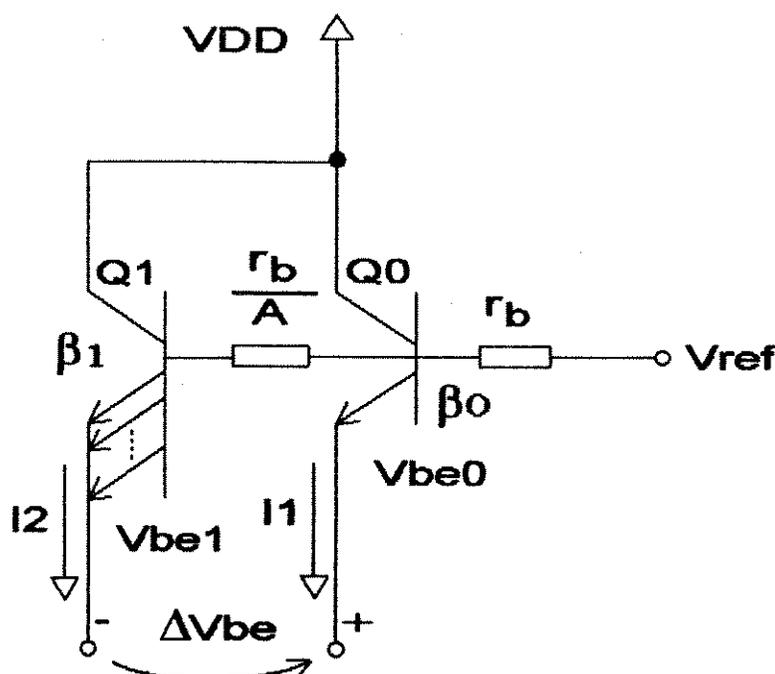


Fig. 2.7 - Figura para o cálculo da influência de r_b na tensão de referência.

O segundo termo da equação (2.62) resulta do fato de que enquanto a corrente de coletor é uma função bem definida da tensão base-emissor, a corrente sentida e controlada por esse circuito é a corrente de emissor. Já o terceiro termo resulta da queda de tensão na resistência série de base.

Por outro lado, a diferença entre as tensões base-emissor dos dois ramos do circuito, representado por ΔV_{be} na figura 2.7, é dada por:

$$\Delta V_{be} = V_T \cdot \ln(A) + V_T \cdot \ln\left(\frac{I_2}{I_1}\right) + V_T \cdot \ln\left(\frac{1 + \frac{1}{\beta_1}}{1 + \frac{1}{\beta_0}}\right) + r_b \cdot \left(\frac{I_1}{\beta_0} - \frac{I_2}{\beta_1 \cdot A}\right) \quad (2.63)$$

Onde, I_1 é a corrente de emissor do transistor Q_0 e β_0 é o ganho de corrente do mesmo transistor.

Particularmente, uma técnica que produz um efeito satisfatório, ocupando uma área relativamente pequena, seria incluir uma resistência de poço (R_{comp}) em série com a base do transistor Q_1 , tal como representado na figura 2.8, de valor equivalente a:

$$R_{comp} = \left(\frac{1 + \beta_1}{1 + \beta_0} - \frac{1}{A}\right) \cdot r_b \quad (2.64)$$

ou ainda, se considerarmos casados os transistores bipolares, podemos escrever:

$$R_{comp} = \left(1 - \frac{1}{A}\right) \cdot r_b \quad (2.65)$$

A idéia é compensar o efeito da resistência intrínseca de base e, explorando o fato de β ser praticamente constante em duas décadas de corrente, pode-se desprezar o erro em ΔV_{be} , devido ao ganho finito de corrente. Além disso, o valor de β e o seu coeficiente de temperatura, bem como o valor de r_b , contribuem com menos de 1,5ppm/°C para o erro em V_{be} [32], valores estes inerentes aos segundo e terceiro termos da expressão (2.62).

Uma forma de se implementar a compensação da resistência de base pode ser feita considerando-se dois fatores que contribuem para a resistência efetiva série de base dos transistores bipolares, que é um fluxo lateral de corrente na região de base sobre o emissor e resistência extrínseca entre contato de base e área de base. A primeira depende da polarização, sendo, por isso, de difícil previsão. No entanto, a segunda é de simples previsão, sendo dada pela geometria do dispositivo. Assim

sendo, uma possível solução seria implementar o resistor de compensação com o mesmo material de difusão da base, ou seja, tal como indicado na figura 2.8.

Se os transistores bipolares usados na implementação da fonte de tensão de referência forem ideais, com ganho de corrente infinito e resistência de base igual a zero e ainda, se as correntes de emissor dos transistores fossem de fato idênticas, somente os primeiros termo das equações de V_{be} e ΔV_{be} não seriam nulos. No entanto, devido à relativa baixa performance de compatibilidade dos dispositivos, esses termos exercem certa influência na estabilidade da tensão de referência de saída, requerendo, em alguns casos, técnicas para compensá-los, as quais, por mais simples que sejam, consomem área significativa do *die*. Isso significa que, mais uma vez, deve haver uma ponderação quanto ao uso de determinadas técnicas que, para corrigir um fator praticamente desprezível utilizariam área que poderia ser ocupada por outro circuito.

Como ilustração para o processo descrito, a magnitude da resistência extrínseca de compensação é de aproximadamente 1/4 da resistência intrínseca de base medida para os transistores bipolares de mesma geometria.

Dois outros modos simples de se conseguir uma compensação mais eficiente estão representados na figura 2.9. Estas técnicas permitem que se cancele a corrente de base com uma precisão de aproximadamente 90% para estruturas bipolar adjacentes em um mesmo *chip* [33].

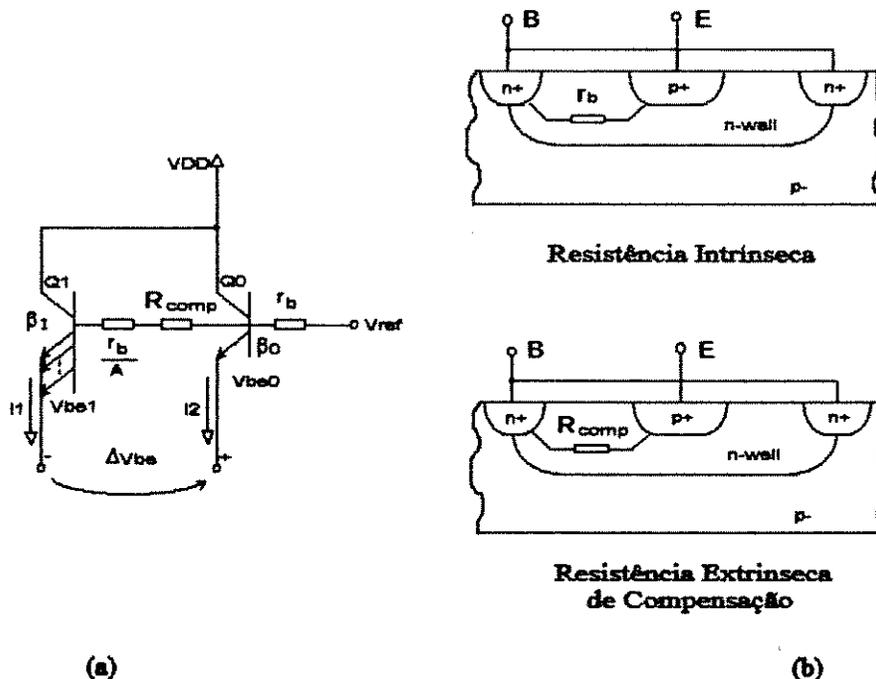


Fig. 2.8 - Cancelamento do efeito da resistência de base. (a) compensação por meio da resistência extrínseca R_{comp} e (b) diferença entre resistência intrínseca de base e resistência extrínseca de compensação.

Mais uma vez, deve-se enfatizar que o circuito de compensação requer área adicional para ser implementado, ficando a opção de apenas incluir o resistor de compensação, R_{comp} . A eficiência desta técnica pode ser satisfatória dependendo da aplicação, com a vantagem de consumir área menor. Além de que, com uma escolha apropriada do módulo unitário do transistor bipolar, pode-se garantir excelentes resultados quanto ao casamento de β s entre os dispositivos do módulo unitário e os do módulo com 8 transistores.

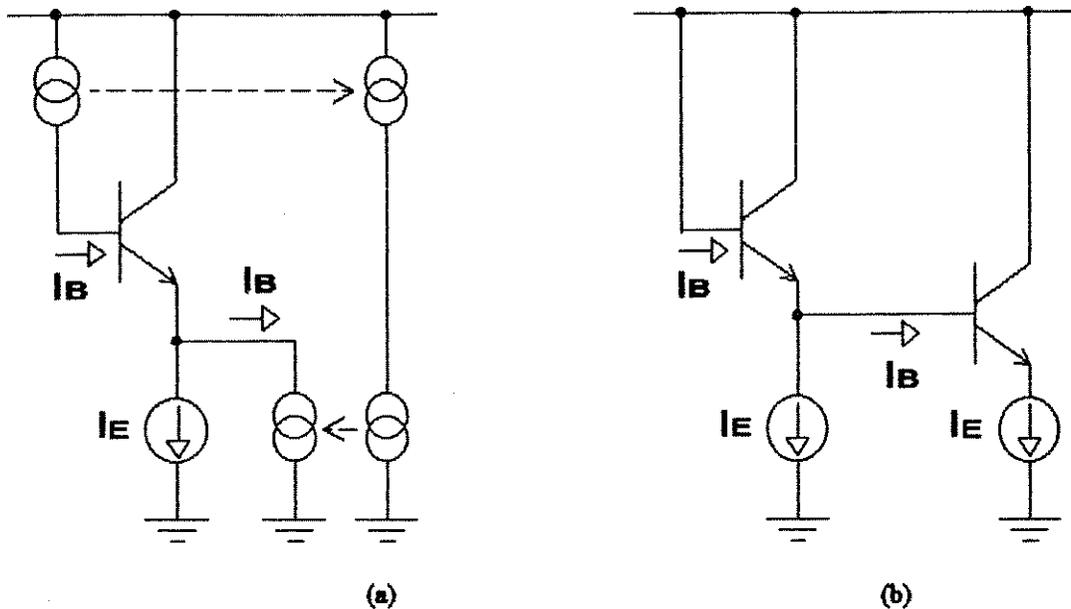


Fig. 2.9- Esquema para cancelamento da corrente de base. (a) retornando I_b , (b) replicando I_b .

2.1.4.3 - Descasamento das Correntes de Polarização dos Transistores Bipolares

O efeito do descasamento entre as correntes I_1 e I_2 (figura 2.4) está intimamente ligado aos resistores R_1 , R_2 e R_3 . Pois, considerando nulos os coeficientes de temperatura desses resistores, as correntes de polarização dos transistores Q_1 e Q_2 variam proporcionalmente com as variações de temperatura, ocasionando uma queda de tensão sobre R_1 , também proporcional à temperatura. Essa queda de tensão é, então, usada na compensação de V_{ref} . No entanto, o coeficiente de temperatura de resistores monolítico apresenta comportamento não-nulo e não-proporcional às correntes de polarização. Isso adiciona uma componente de erro no coeficiente térmico de V_{be} dos transistores, a qual se reflete no descasamento das correntes I_1 e I_2 e, conseqüentemente, em erro na tensão de saída.

Analisemos, pois, para o caso da tensão V_{be} , considerando o primeiro termo da equação (2.62), o qual representa a influência das não-linearidades inerentes à corrente de polarização. Sua expressão ficaria, então:

$$V_{be} = V_T \cdot \ln\left(\frac{I_1}{I_{s1}}\right) = V_T \cdot \ln\left[\frac{V_T \cdot \ln(A)}{R_1 \cdot I_{s2}}\right] \quad (2.66)$$

ou ainda:

$$V_{be} = V_T \cdot \ln\left[\frac{V_T \cdot \ln(A)}{R_1(T_0) \cdot I_{s2}}\right] + V_T \cdot \ln\left(\frac{R_1(T_0)}{R_1(T)}\right) \quad (2.67)$$

Onde T_0 é a temperatura ambiente e A , a área do dispositivo.

Note que a expressão se resume ao primeiro termo, quando o resistor apresenta coeficiente térmico nulo (caso ideal). Desta forma, V_{be} permanece constante em toda faixa de temperatura. Prosseguindo com a análise e desenvolvendo o segundo termo em série de Taylor, podemos escrever:

$$V_{be} = V_{be[ideal]} - V_T \cdot \frac{1}{R} \cdot \left(\frac{dR}{dT}\right)_{T_0} \cdot (T - T_0) - V_T \cdot \frac{1}{2 \cdot R} \cdot \left(\frac{d^2R}{dT^2}\right)_{T_0} \cdot (T - T_0)^2 \dots \quad (2.68)$$

Podemos observar, nesta equação, que uma variação puramente linear no valor do resistor com a temperatura resulta em componentes que variam linear e quadraticamente com a temperatura (PTAT e PTAT², respectivamente).

Assumindo que as variações do resistor com a temperatura são conhecidas (por meio de testes elétricos) e que essas são reproduzíveis, a porção PTAT pode ser compensada, alterando ligeiramente o valor da tensão de saída por um processo de *trimming*, até que se consiga um melhor desempenho na faixa de temperatura. No entanto, o cancelamento da parcela PTAT² requer uma precisa e minuciosa estratégia de compensação de curvatura, ocupando grande área para compensar alguns poucos ppm/°C inerentes à essa parcela, não justificando, muitas vezes, seu emprego.

Vale comentar que os resistores monolíticos (com exceção dos de filmes finos), mesmo mostrando altos coeficiente de temperatura, apresentam nas relações de resistência baixos coeficientes térmico, chegando a ordem de 5ppm/°C a 20ppm/°C em módulo [33].

Desta última afirmação e observando a equação (2.61), podemos concluir que as distorções introduzidas por coeficientes térmicos de resistores na tensão de referência são devidas a relações de resistores, não sendo, portanto, motivo de grandes preocupações para o nosso caso, o que dispensaria, a priori, grandes esforços em se cancelar tais fontes de erro.

2.1.4.4 - Variação da Tensão *Bandgap* do Silício

Para o caso ideal, podemos escrever que a tensão de referência é dada segundo a equação (2.20), que é função direta da tensão de banda proibida do silício, ou tensão de *bandgap*, representada por V_G . Nos cálculos iniciais, seu coeficiente térmico foi considerado nulo, de modo a facilitar o raciocínio. No entanto, de acordo com vários autores citados em [34], o *gap* de energia ($q \cdot V_G$) de alguns semicondutores pode ser expresso em função da temperatura, segundo a equação (2.69):

$$V_G(T) = V_G(0) - \frac{\alpha \cdot T^2}{T + \beta} \quad (2.69)$$

Onde, as constantes para o caso do silício são: $\alpha = 7,021 \times 10^{-4}$ V/K, $\beta = 1108$ K e $V_G(0) = 1,1557$ [34], tensão de *bandgap* extrapolada para temperatura de 0K. Sendo que as incertezas para essas constantes são em módulo, $0,25 \times 10^{-4}$ V/K para α , 50K para β e 0,001V para $V_G(0)$, se considerarmos trabalhos de outros autores. Em adição a essas, tem-se notícias de outras não-linearidades para $V_G(T)$ em temperaturas mais baixas.

A referência [34] cita, ainda, que medições precisas de $V_G(T)$ levam à seguinte expressão empírica:

$$V_G(T) = a - b \cdot T - c \cdot T^2 \quad (2.70)$$

Sendo que os valores das constantes envolvidas são dadas por:

$$\left. \begin{array}{l} a = 1,1785V \\ b = 9,025 \times 10^{-5} V/K \\ c = 3,05 \times 10^{-7} V/(K)^2 \end{array} \right\} \text{ para } 150K < T < 300K$$

$$\left. \begin{array}{l} a = 1,2059V \\ b = 2,7325 \times 10^{-4} V/K \\ c = 0 \end{array} \right\} \text{ para } 300K \leq T < 400K$$

Observe que a maior variação não-linear está para a primeira faixa de temperatura, que é, ainda, maior para temperaturas mais inferiores. Portanto, de acordo com esses valores, pode-se estimar o valor de $V_G(T_0) = 1,2013$ V, onde $T_0 = 0^\circ\text{C}$ (273,15K), com cerca de 1mV de incerteza nesse valor.

O fato da tensão de *bandgap* variar com a temperatura, adiciona um desvio à curvatura da tensão de referência, de modo a aumentar seu coeficiente de temperatura. Esse efeito, combinado com outras fontes de erro, resulta em um coeficiente otimizado de, aproximadamente, 25ppm/°C na faixa de temperatura de -55°C a +125°C [33]. Assim, se pudermos eliminar as outras fontes de erro dependentes da temperatura, teríamos em V_{ref} somente a variação devido à tensão de *bandgap* com a temperatura. Isso pode ser conseguido, utilizando-se uma corrente de polarização fortemente ligada à variação de temperatura da tensão *bandgap* ou diretamente pela linearização de V_{be} [33].

A técnica sugerida mostra-se muito interessante, com resultados práticos que chegam a menos 20ppm/°C na faixa de 0°C a 100°C. O sistema proposto em [15], funciona num princípio semelhante ao adotado para se replicar a corrente de base, visto no item 2.1.4.2, pois o gerador de corrente PTAT e PTAT² para polarização é uma réplica da estrutura de entrada do gerador *bandgap*. Apesar de eficiente, esse sistema, praticamente, dobra a área ocupada pela fonte de referência, ficando sua aplicação para sistemas integrados que exijam alta precisão na fonte de referência.

2.2 - Conclusão

A presença da tensão de *off-set* do amplificador operacional na saída, multiplicada pelo fator $(1+R_2/R_1)$, é a principal degradação em fontes de tensão de referência *bandgap*, tornando sua minimização o principal alvo deste trabalho.

Finalmente, a variação das correntes I_1 e I_2 com a temperatura deve ser cuidadosamente considerada, bem como a compensação das resistências de base dos transistores bipolares.

Não obstante, deve-se atentar, ainda, ao consumo de área, evitando excessos devido à implementação dos métodos de otimização no projeto, bem como dos processos de minimização do descasamento dos dispositivos.

CAPÍTULO 3

Projeto

Introdução

Tomando como base o estudo realizado até o momento, faremos o projeto elétrico da fonte de tensão de referência *bandgap*.

Como mencionado, a tecnologia de projeto de que dispomos difere da que foi utilizada na confecção do *chip* estudado no Capítulo 1. Essa diferença se deve, principalmente, pelo fato de que o nosso circuito deverá ser difundido sob substrato tipo *p*, sendo que, no circuito extraído na engenharia reversa, o substrato era do tipo *n*.

Esse fato, portanto, vem sugerir adaptações no projeto elétrico do circuito da fonte de tensão de referência para a nova tecnologia.

No nosso projeto são, ainda, consideradas as técnicas estudadas no Capítulo 2 para correção de curvatura em temperatura da tensão de saída da fonte. A aplicação ou não das mesmas levou em consideração a relação consumo de área versus benefícios.

No final deste capítulo, apresentamos o projeto elétrico de uma fonte de tensão de referência *bandgap* com correção de curvatura, cuja filosofia de operação é a mesma do circuito extraído no Capítulo 1, porém em tecnologia *ES2* de $1,2\mu\text{m}$ [46].

3.1 - Adaptação das Tecnologias de Projeto

3.1.1 - Fundamentos

Das tecnologias de que dispomos para a implementação do circuito, entre elas *AMS* e *ES2* (via *PMU*), todas de substrato tipo *p*, escolhemos a *ES2* em vista de sua maior frequência nos últimos *PMUs*.

Todavia, a *ES2* nos oferece somente parâmetros para projetos *CMOS*, de aplicação digital, não fornecendo parâmetros para transistores bipolares parasitas, nem mesmo os coeficientes térmicos para os resistores difundidos. Assim sendo, tais transistores foram implementados em uma rodada anterior do *PMU*, para que numa

segunda etapa fossem extraídos seus parâmetros SPICE (Anexo 1) [58], utilizados nas simulações que seguem.

Tendo como ponto de partida o circuito originalmente extraído (figura 1.13), necessitaríamos de transistores *npn* com coletor inerente ao substrato tipo *n* e, portanto, ligados obrigatoriamente ao V_{dd} . No entanto, na tecnologia *ES2* somente é permitida a confecção de transistores bipolares parasitas tipo *pnp* (a menos que se tenha acesso às etapas de processo [28]). Isso nos obrigou a alterar a configuração do circuito de modo que se pudesse utilizar tais transistores [15, 33].

Em vista disto, consideremos, então, as diferenças entre a tecnologia do circuito original (desconhecida) e a tecnologia de que dispomos (*ES2*) para que possamos dar início à descrição do projeto.

3.1.2 - Tecnologia do Circuito Original

Do Capítulo 1, pôde-se concluir que o circuito da fonte de tensão de referência extraída foi implementado em tecnologia CMOS de substrato tipo *n* (*p-well*), com $2\mu\text{m}$ de comprimento mínimo de canal, um nível de metalização e um nível de polissilício, sendo este, também, usado nas interconexões de dispositivos.

Com as técnicas utilizadas para o levantamento do circuito, não foi possível a extração dos parâmetros tecnológicos.

3.1.3 - Tecnologia Utilizada para o Projeto

Na tecnologia CMOS da *ES2* [46], com a qual será implementado o circuito, dispõe-se de substrato tipo *p* (*n-well*), dimensão mínima de comprimento de canal de $1,2\mu\text{m}$, com dois níveis de metalização e um de polissilício.

Os demais dados tecnológicos relativos a esta tecnologia estão resumidamente listados no Anexo 2.

3.1.4 - Considerações para o Projeto

Tomando como base a nova tecnologia (*ES2*), o novo circuito da fonte de tensão de referência *bandgap* pode ser, simplificada, representado como mostra a figura 3.1 [15, 33]. Por meio de raciocínio análogo ao que foi feito no equacionamento do circuito da figura 2.3, equação (2.47), chegamos à seguinte expressão de V_{out} deste novo circuito:

$$V_{out} = \frac{R_4 + R_5}{R_5} \cdot \left[V_{be0} + V_T \cdot \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_1}{R_3 \cdot A_0} \right) \right] \quad (3.1)$$

ou ainda, considerando o efeito da tensão de *off-set*:

$$V_{out} = \frac{R_4 + R_5}{R_5} \cdot \left\{ \left[V_{be0} + V_T \cdot \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_1}{R_3 \cdot A_0} \right) \right] - \left(1 + \frac{R_2}{R_1} \right) \cdot V_{of} \right\} \quad (3.2)$$

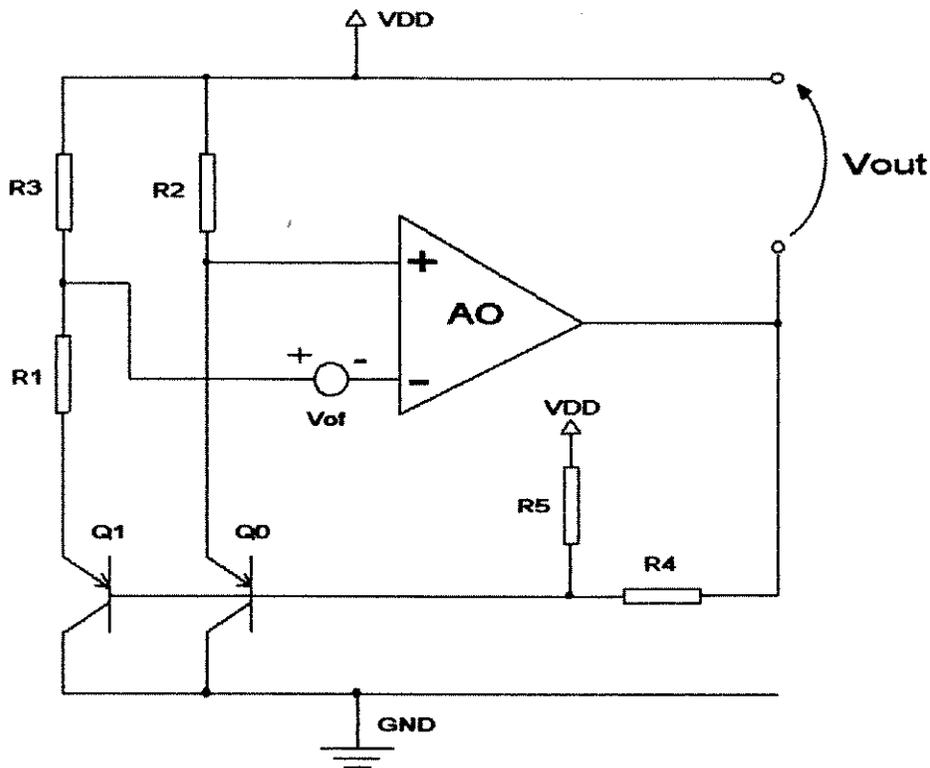


Fig. 3.1 - Circuito elétrico da fonte de tensão de referência *bandgap* na nova tecnologia.

Como podemos observar, a tensão de saída regulada em temperatura está referenciada ao potencial mais positivo (*Vdd*).

Sendo o objetivo do nosso trabalho tentar reproduzir *Vout* de 2,5V com relação ao terra (*Gnd*), devemos acrescentar, na saída da fonte de referência, o circuito representado na figura 3.2 para realizar tal tarefa.

Vale mencionar que, nas simulações, este último circuito demonstrou a característica de permitir um certo ajuste da curvatura do sinal de *Vout*, pela escolha adequada das relações *W/L* dos transistores *M1* e *M2*. Este fato pode ser motivo para trabalhos futuros, visando o aperfeiçoamento da correção de curvatura de fontes de tensão de referência *bandgap*.

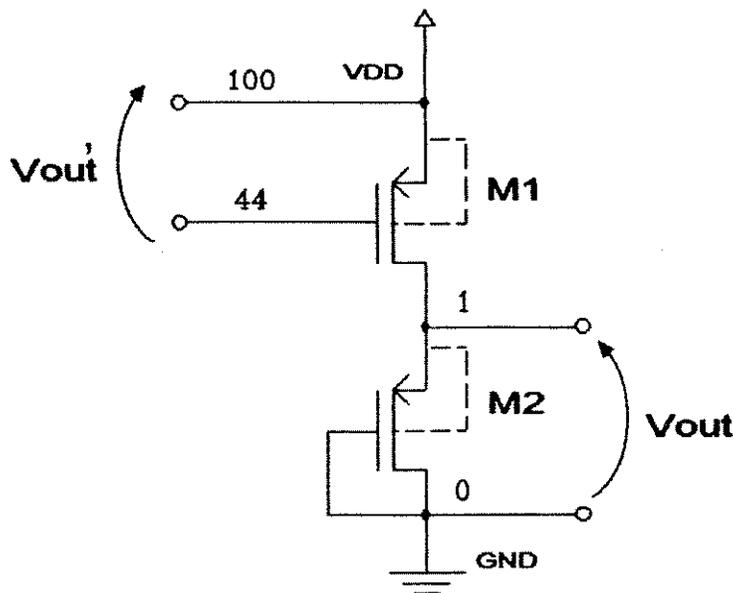


Fig. 3.2 - Circuito para referenciar a saída ao terra.

Considerando o que foi estudado no Capítulo 2, referente à minimização do efeito da tensão de *off-set*, implementou-se também o cascadeamento de dois transistores bipolares no estágio sensor da fonte. Assim, com esta configuração, podemos escrever:

$$V_{out} = 2 \cdot \left[V_{be0} + V_T \cdot \frac{R_2}{R_1} \cdot \ln \left(\frac{R_2 \cdot A_4}{R_3 \cdot A_1} \right) \right] - \left(1 + \frac{R_2}{R_1} \right) \cdot V_{of} \quad (3.3)$$

ou, ainda

$$V_{out} = 2 \cdot V_{G0} - \left(1 + \frac{R_2}{R_1} \right) \cdot V_{of} \quad (3.4)$$

A escolha de dois estágios bipolar em cascata se deve ao fato de que a soma das tensões V_{G0} dos dois transistores (1,205V [66]) é, praticamente, suficiente para gerar 2,5V na saída, permitindo dispensar os resistores R_4 e R_5 . Assim, bastam ligeiros ajustes da relação W/L dos transistores $M1$ e $M2$ para se conseguir o nível exato de tensão de saída. Assim, podemos eliminar as fontes de erro, causadas pelos resistores na saída do circuito, eliminando, também, o fator dado pela multiplicação do fator em V_{of} pela constante dada por estes resistores (3.3).

Nesta última configuração proposta para o circuito, devemos polarizar os transistores bipolares com correntes de dreno de valores próximos aos das correntes que fluem por R_2 e R_3 . Desta forma, projetou-se um espelho de corrente ($M3$, $M4$, $MP1$, $M11$ e $M16$), aproveitando o sinal realimentado de 2,5V estável com a

temperatura, garantido, assim, certa estabilidade nos valores das correntes nos drenos dos transistores bipolares. Observa-se, ainda, que o estágio de polarização do espelho de corrente ($M4$ e $M5$) polariza também o amplificador operacional, com o objetivo de melhorar ainda mais a estabilidade da fonte (nó 3).

Todo circuito apresentado faz com que a fonte de referência tenha pelo menos dois pontos estáveis de operação: um no início, quando é ligada a alimentação e outro, quando se polariza o circuito de forma a se ter 2,5V na saída.

Para eliminar o estágio de polarização inicial, utilizou-se de um circuito de *start-up* ($M3$, $R7$ e $R8$). Assim, quando se liga a alimentação ($V_{dd}=5V$), já se promove a correta polarização do circuito, de forma a se ter 2,5V na saída, necessário para o correto funcionamento do circuito. A partir deste instante, o circuito de *start-up* passa a não influir mais no desempenho do circuito da fonte.

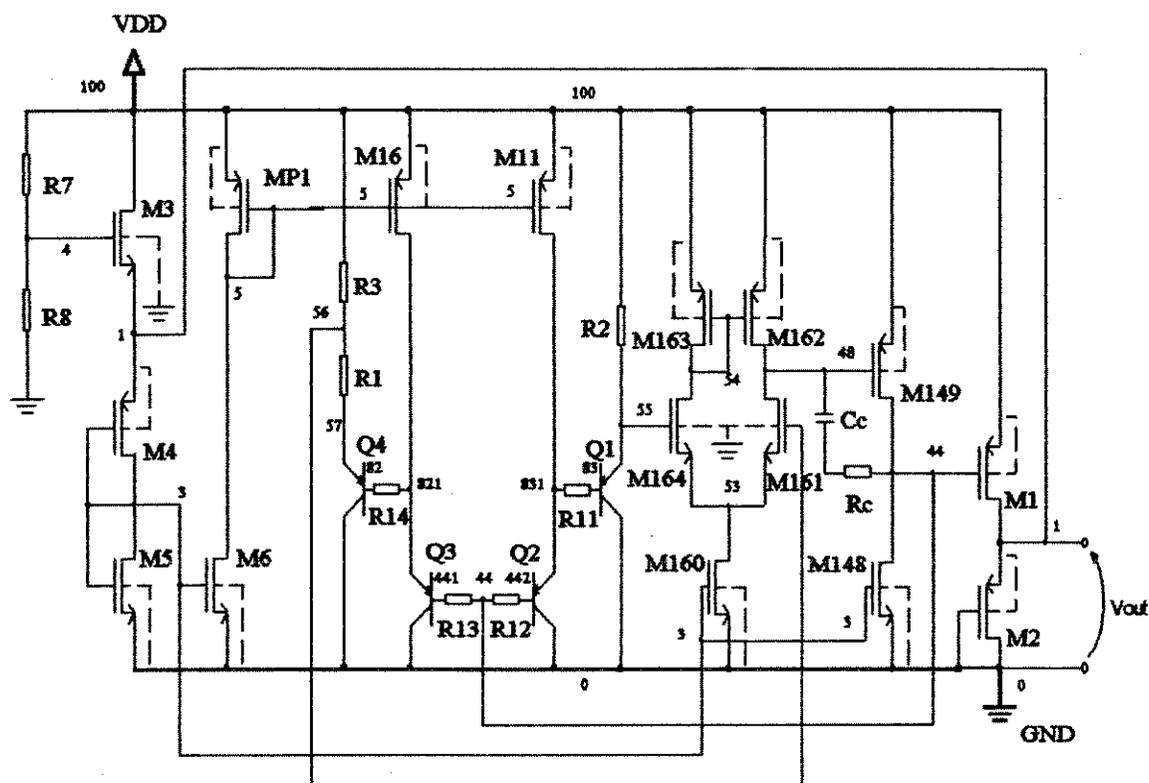


Fig. 3.3 - Circuito final da fonte de tensão de referência.

3.2 - Simulação

3.2.1 - Cálculo dos Resistores

Para que haja um melhor casamento entre os transistores bipolares, forçamos a mesma corrente por eles, fazendo $R2$ e $R3$ iguais e ajustando o espelho de

corrente para o mesmo valor de corrente dos resistores. Desta forma, considerando o circuito da figura 3.3, podemos escrever que:

$$R_2 = R_3 = \frac{(V_{dd} - 2 \cdot V_{GO}) - 2 \cdot V_{be}}{I_{R2}} \quad (3.5)$$

Para o caso típico de operação, a 27°C, escolhemos $I_{R2}=I_{R3}$, aproximadamente 5μA, de modo a se ter um consumo reduzido. Sabendo-se que a tensão V_{be} dos transistores bipolares é da ordem de 670mV e que $V_{ref}=2 \cdot V_{GO} \cong 2,41V$, vem que:

$$R_2 = R_3 \cong 250K\Omega$$

Já, para o cálculo de R_1 , considera-se a equação (3.3). Nela, notamos que a relação R_2/R_1 deve ser mínima para que se reduza o efeito de V_{of} em V_{out} . Porém, essa mesma relação faz parte do termo proporcional à temperatura ($K \cdot V_T$). Assim sendo, a solução para se calcular R_1 , é baixar o valor da relação R_2/R_1 e aumentar as relações de áreas dos transistores bipolares, ou seja, $A=A_4/A_1=A_2/A_3$, já que esta última somente faz parte do termo $K \cdot V_T$, não influenciando no termo dependente do *off-set*.

Fazendo então, $V_T=26mV$ (27°C) e considerando que a relação entre as áreas dos dispositivos bipolar seja igual a $A=A_4/A_1=A_2/A_3=8$ (por motivos de simetria, abordado no Capítulo 4), chegamos à seguinte relação:

$$\frac{R_2}{R_1} = 9,89 \quad (3.6)$$

O que nos permite calcular R_1 como sendo:

$$R_1 = 25,28K\Omega$$

Calculando, agora, os valores para R_7 e R_8 , devemos considerar o circuito de *start-up*, indicado na figura 3.4, onde:

$$V_4 > V_{out} + V_{T(M3)} \quad (3.7)$$

sendo: $V_{T(M3)} \cong 0,7V$ e $V_{out}=2,5V$ (27°C).

Desta forma, substituindo os valores em (3.7) temos:

$$V_4 > 3,5V \quad (3.8)$$

Considerando (3.8) no divisor resistivo formado por R_7 e R_8 , podemos calcular, então:

$$\frac{R_8 + R_7}{R_8} < 1,43 \quad (3.9)$$

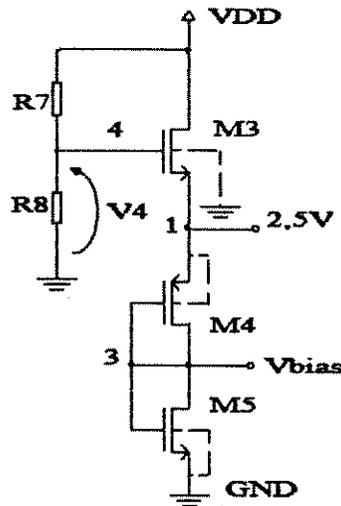


Fig. 3.4 - Circuito de *start-up*.

Assim, para uma primeira aproximação, podemos considerar os seguintes valores para R_7 e R_8 :

$$R_7 = 10K\Omega$$

$$R_8 = 23K\Omega$$

Deve-se observar que os valores que acabamos de calcular para os resistores foram ligeiramente alterados durante a fase de simulação, de modo a se obter o melhor desempenho possível da excursão em temperatura do sinal de saída. Após as simulações, obtivemos os seguintes valores para os resistores:

$$R_1 = 22,4K\Omega$$

$$R_2 = 246,4K\Omega$$

$$R_3 = 246,4K\Omega$$

$$R_7 = 9,8K\Omega$$

$$R_8 = 37,8K\Omega$$

Os resistores foram implementados com difusão de poço- p , pois segundo as regras de projeto *ES2* [46], era o que apresentava maior valor de resistência por quadrado ($1,4K\Omega/\text{quadrado}$ no caso típico), o que implicaria em resistores de menores dimensões.

A desvantagem desse tipo de resistor é o alto coeficiente linear de temperatura (0,69%/°C, segundo tecnologia AMS [48] de 1,2µm), bem como elevada dispersão de processo, que pode chegar à ordem de ±40%, em relação ao valor típico.

Como a ES2 não fornece o valor do coeficiente linear de temperatura, adotamos, para as simulações, o valor fornecido pela AMS [48], cujas características tecnológicas se assemelham à da ES2. Desta forma, considerou-se, nas simulações, o valor de 0,7%/°C, garantindo o valor de 0,69%/°C da AMS.

3.2.2 - Transistores do Amplificador Operacional

Sabendo-se que, para esse tipo de aplicação, a estrutura do amplificador operacional deve ser simples (devido a fatores de compactação do circuito), não houve necessidade de reprojeter o circuito do operacional extraído na engenharia reversa. Foram necessários, apenas, alguns ajustes quanto aos níveis de correntes de polarização, após as mudanças do circuito para a nova tecnologia.

Tal configuração apresentou resultados satisfatórios durante as simulações, ou seja, baixos níveis de corrente e pouca influência na curvatura da tensão de saída com a temperatura.

Uma vantagem desta última configuração com relação ao circuito inicialmente extraído, é que seu par diferencial é constituído por transistores NMOS, cuja transcondutância é maior que dos transistores PMOS (circuito extraído indicado na figura 1.9), o que garante um melhor casamento entre as correntes e portanto, menor *off-set*.

3.2.3 - Transistores do Circuito que Referencia a Saída ao Terra - M_1 e M_2

Os valores exatos das relações W/L dos transistores M_1 e M_2 foram obtidos durante a fase de simulação.

A princípio, adotou-se W/L de modo que $W \gg L$, de forma a reduzir o erro dado pelas dispersões de processo, bem como permitir uma faixa larga de ajuste do nível de saída. Uma outra razão é permitir uma corrente suficiente para alimentar a carga decorrente do circuito de *start-up*.

Desta forma, iniciamos as simulações com uma relação $W/L=300/5$.

Devido às diferentes polarizações de substrato dos transistores M_1 e M_2 , o que lhes confere diferentes valores de r_d , o valor de tensão espelhado na saída

com relação ao Gnd , não é exatamente igual ao valor de entrada com relação ao Vdd . Assim, ajustamos o valor W , mantendo $L=5\mu m$ em ambos os transistores, até que se conseguisse a melhor resposta na saída. Esse trabalho de ajuste da tensão de saída com relação à temperatura foi feito juntamente com ajustes em $R1$, pois à medida que se alterava o valor de W para ajustar o nível DC, alterava-se, também, a regulação em temperatura do sistema.

Finalmente, chegamos aos seguintes valores para as relações W/L dos transistores $M1$ e $M2$:

$$\begin{aligned}(W/L)_{M1} &= 348/5 \\ (W/L)_{M2} &= 390/5\end{aligned}$$

3.2.4 - Transistor do Circuito de *Start-up* - $M3$

A determinação da relação W/L de $M3$ foi obtida por simulação, de modo que, no início da operação do circuito, o mesmo fosse capaz de fornecer uma corrente suficiente para polarizar o circuito da fonte de referência de forma que $V_{out}=2,5V$. Para isso, a saída deveria estar desconectada do circuito de *start-up*, ou seja, não realimentada. Deste modo, chegamos ao seguinte resultado:

$$(W/L)_{M3} = 80/4$$

Após a determinação deste valor, a saída foi realimentada no circuito de *start-up* (nó 1), sendo necessários novos ajustes em $M1$, $M2$ e $R1$ para corrigir a curvatura do sinal de saída para a situação de realimentação. Isto porque, na simulação para ajuste de W/L de $M3$ (sem realimentação), o circuito da fonte não contava com carga alguma e após a realimentação, o circuito passa a contar com uma carga dada pelo próprio circuito de *start-up*.

3.2.5 - Transistores do Estágio de Polarização - $M4$ e $M5$

Do trabalho de engenharia reversa, identificou-se o conjunto formado pelos transistores $M1$, $M10$, $M11$ e $M12$ da figura 1.13, como sendo o circuito de polarização do amplificador operacional. Com as alterações propostas, tal circuito foi simplificado e somado ao circuito de *start-up* ($M4$ e $M5$, que são equivalentes a $M1$ e $M10$), como está na figura 3.4. Assim, pôde-se utilizar a tensão realimentada de saída da fonte para gerar as correntes que polarizam o amplificador operacional.

Os resultados de simulação do estágio de polarização, após a mudança de tecnologia (circuito indicado na figura 3.1), mostraram que o valor de tensão no nó 3 ($V3$, figura 3.3) deve ser da ordem de 1,103V. Assim, resolvemos manter os

transistores $M4$ e $M5$ de forma a se obter esse valor de tensão no nó 3. No entanto, na nova configuração realimentada, uma tensão de 2,5V deve polarizar este estágio no modo de operação normal da fonte.

Assim sendo, foi necessário recalcular as relações W/L dos transistores $M4$ e $M5$. Sabendo-se que a corrente que fluía nos drenos de $M4$ e $M5$, no modo de operação normal para o circuito da figura 3.1, era de aproximadamente $12,35\mu\text{A}$ e conhecendo-se o valor mencionado para a tensão no nó 3, obtemos pela equação (3.10):

$$I_D = \frac{\mu \cdot C_{ox} \cdot W}{2 \cdot L} \cdot (V_{GS} - V_{TH})^2 \quad (3.10)$$

os seguintes resultados:

$$\begin{aligned} (W/L)_{M4} &= 127/10 \\ (W/L)_{M5} &= 28/6 \end{aligned}$$

3.2.6 - Transistores do Espelho de Corrente - $M6$, $MP1$, $M11$ e $M16$

Considerando uma corrente de $5\mu\text{A}$ nos ramos inerentes aos emissores dos transistores bipolares em condição típica de operação, definimos os valores das relações W/L dos transistores que formam o espelho de corrente ($M6$, $MP1$, $M11$ e $M16$).

Para um primeiro cálculo dos mesmos, foi considerado o fato de que W e L não devem ser muito pequenos pois, devido às dispersões de processo, haveria prejuízo no casamento das correntes.

Desta maneira, por meio da equação (3.10) e com o auxílio do simulador SPICE para os ajustes finos, determinamos os seguintes valores das relações W/L dos transistores do espelho de corrente:

$$\begin{aligned} (W/L)_{M6} &= 148/30 \\ (W/L)_{MP1} &= 395/30 \\ (W/L)_{M11} &= 117/30 \\ (W/L)_{M16} &= 117/30 \end{aligned}$$

3.2.7 - Cálculo do Circuito de Compensação - R_c e C_c

Utilizando o simulador elétrico, introduzimos um resistor e um capacitor (R_c e C_c) em série entre os nós 44 e 48 do circuito apresentado na figura 3.3, de forma a compensar oscilações inerentes ao circuito, decorrentes de transientes (por exemplo, quando se liga a fonte). Como se sabe, este fato pode levar

a saída do operacional a um estado de saturação, descaracterizando, assim, a fonte de tensão de referência.

Foram adotados, inicialmente, pequenos valores para R_c e C_c , de modo a não ocupar área excessiva e introduziu-se um sinal que simulasse o momento em que se liga a fonte, ou seja, um pulso de V_{dd} com tempo de transição (entre 0 e 5V) de 100ns. Para todos os casos de simulação (típico, lento e rápido [Anexo 2]), obtivemos os seguintes valores:

$$R_c = 7K\Omega$$

$$C_c = 3pF$$

Em seguida, com estes valores determinados, aplicou-se um sinal senoidal de pequena amplitude (1V AC) na entrada do amplificador operacional e verificou-se que sua saída não saturava, respondendo adequadamente à entrada. Confirmando, assim, os valores de R_c e C_c determinados.

3.2.8 - Circuito Elétrico da Fonte de Tensão de Referência

A figura 3.3 ilustra o circuito elétrico final da fonte de tensão de referência *bandgap*. Os valores dos resistores e das relações W/L dos transistores são apresentadas na listagem do arquivo de simulação SPICE, no item 3.3.

Pode-se observar que não foi considerado um resistor de carga, uma vez que o circuito é projetado para polarizar apenas *gates* de transistores, além do circuito de *stat-up*, que está ligado à saída da fonte.

Quanto aos resistores de base (R_{11} , R_{12} , R_{13} e R_{14}), podemos dizer que devido às dificuldades em se obter valores exatos dos resistores de base, r_b , (Anexo 1), optou-se por emular tais resistores com resistores de poço- p de $1K\Omega$. Este valor equivale a, aproximadamente, um quadrado de resistência para o caso típico ($1,4K\Omega$). Desta forma, estes resistores estariam sujeitos às mesmas condições de dispersão de processo e temperatura que os demais. Acreditamos que este seja um modo de se considerar o efeito dos resistores de base próximo ao que realmente ocorreria na prática.

Os modelos dos transistores MOS foram devidamente fornecidos pela *foundry* [46] nos casos típico, lento (*slow*) e rápido (*fast*), permitindo-nos simular o circuito para as variações de processo.

A *ES2* não fornece parâmetros de simulação para transistores bipolares parasitas, por isso foram implementados cinco modelos distintos de transistores bipolares parasitas em um *chip* (Anexo 1). Dentre eles, escolheu-se o que apresentou melhor desempenho para a obtenção dos parâmetros SPICE.

Para os resistores de poço-*n*, a *foundry* apenas forneceu seu valor por quadrado para os casos típico, lento e rápido (Anexo 2), sendo que o coeficiente de temperatura linear foi adotado ligeiramente superior ao fornecido *AMS*, de características semelhante à da *ES2*.

3.3 - Resultados de Simulação

Dando seqüência ao processo de simulação, segue-se a listagem do arquivo SPICE [62] relativo ao circuito da figura 3.3. Nele, estão listadas todas as considerações de piores casos, tomadas na definição do projeto final, bem como parâmetros para o caso típico.

Listagem do arquivo SPICE:

FONTE DE TENSÃO DE REFERENCIA BANDGAP - POCO N

**** ANALISES A SEREM FEITAS ****

```
.OP
.DC TEMP -55 125 10
* TRAN 10NS 10US
.PROBE
*.TEMP 27
.OPTIONS ACCT NODE NOPAGE LIMPTS=10000 NUMDGT=7
```

**** CIRCUITO DE START-UP ****

*** RESISTORES ***
R7 100 4 RNW 9800
R8 4 0 RNW 37800

*** TRANSISTORES MOS ***

```
M3 100 4 1 0 N L=4U W=80U
M4 3 3 1 1 P L=10U W=127U
M5 3 3 0 0 N L=6U W=28U
```

**** ESPELHO DE CORRENTE ****

```
M6 5 3 0 0 N L=30U W=148U
MP1 5 5 100 100 P L=30U W=395U
M11 83 5 100 100 P L=30U W=117U
M16 82 5 100 100 P L=30U W=117U
```

**** CIRCUITO QUE REFERENCIA VOUT AO GND ****

```
M1 1 44 100 100 P L=5U W=348U
M2 0 0 1 1 P L=5U W=390U
```

**** AMPLIFICADOR OPERACIONAL DA FONTE ****

```
M148A 44 3 0 0 N L=4U W=90U
M148B 44 3 0 0 N L=4U W=90U
M149A 44 48 100 100 P L=4U W=90U
M149B 44 48 100 100 P L=4U W=90U
```

M149C 44 48 100 100 P L=4U W=90U
M149D 44 48 100 100 P L=4U W=90U
M149E 44 48 100 100 P L=4U W=90U
M149F 44 48 100 100 P L=4U W=90U
M160 53 3 0 0 N L=6U W=18U
M161A 48 56 53 0 N L=6U W=44U
M161B 48 56 53 0 N L=6U W=44U
M161C 48 56 53 0 N L=6U W=44U
M161D 48 56 53 0 N L=6U W=44U
M161E 48 56 53 0 N L=6U W=44U
M161F 48 56 53 0 N L=6U W=44U
M161G 48 56 53 0 N L=6U W=44U
M161H 48 56 53 0 N L=6U W=44U
M162 48 54 100 100 P L=6U W=53U
M163 54 54 100 100 P L=6U W=53U
M164A 54 55 53 0 N L=6U W=44U
M164B 54 55 53 0 N L=6U W=44U
M164C 54 55 53 0 N L=6U W=44U
M164D 54 55 53 0 N L=6U W=44U
M164E 54 55 53 0 N L=6U W=44U
M164F 54 55 53 0 N L=6U W=44U
M164G 54 55 53 0 N L=6U W=44U
M164H 54 55 53 0 N L=6U W=44U

**** DEFINICAO DOS TRANSISTORES BIPOLARES ****

Q1 0 83 55 QPNP 1
Q2 0 442 831 QPNP 1
Q30 0 441 821 QPNP 1
Q31 0 441 821 QPNP 1
Q32 0 441 821 QPNP 1
Q33 0 441 821 QPNP 1
Q34 0 441 821 QPNP 1
Q35 0 441 821 QPNP 1
Q36 0 441 821 QPNP 1
Q37 0 441 821 QPNP 1
Q40 0 82 57 QPNP 1
Q41 0 82 57 QPNP 1
Q42 0 82 57 QPNP 1
Q43 0 82 57 QPNP 1
Q44 0 82 57 QPNP 1
Q45 0 82 57 QPNP 1
Q46 0 82 57 QPNP 1
Q47 0 82 57 QPNP 1

**** DEFINICAO DOS RESISTORES ****

R1 56 57 RNW 22400
R2 100 55 RNW 246400
R3 100 56 RNW 246400

**** DEFINICAO DOS RESISTORES DE BASE DOS DISPOSITIVOS BIPOLARES ****

R11 831 83 RNW 1000
R12 44 442 RNW 1000
R13 44 441 RNW 1000
R14 821 82 RNW 1000

**** DEFINICAO DOS DISPOSITIVOS DE COMPENSACAO ****

RC 48 481 RNW 7K
CC 481 44 3P

**** CARGA ****

CL 1 0 5P

**** DEFINICAO DA FONTE DE ALIMENTACAO ******* CASO TIPICO ***

*VDD 100 0 DC 5V

*VDD 100 0 PWL(0 0 3US 0 3.1US 5)

*** CASO LENTO ***

*VDD 100 0 DC 4.5V

*VDD 100 0 PWL(0 0 3US 0 3.1US 5)

*** CASO RAPIDO ***

*VDD 100 0 DC 5.5V

*VDD 100 0 PWL(0 0 3US 0 3.1US 5)

**** PARAMETROS DO PROCESSO CMOS (ES2 N-WELL 1.2U) ******** CASO TIPICO ****

.MODEL P PMOS (LEVEL=2 TOX=2.5E-08 VTO=-1.1 LD=0.10U NSUB=5E+16 GAMMA=0.87

+ UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40 RSH=75

+ NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=490U MJ=0.46

+ CJSW=590P MJSW=0.46 PB=0.78 CGDO=320P CGSO=320P JS=10U)

.MODEL N NMOS (LEVEL=2 TOX=2.5E-08 VTO=-0.7 LD=0.125U NSUB=2E+16 GAMMA=0.65

+ UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K DELTA=0.40 RSH=55

+ NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.4U CJ=130U MJ=0.53

+ CJSW=620P MJSW=0.53 PB=0.68 CGDO=320P CGSO=320P JS=2U)

**** CASO LENTO ****

*.MODEL P PMOS (LEVEL=2 TOX=2.75E-08 VTO=-1.23 LD=0.03U NSUB=5E+16

*+ GAMMA=1.0 UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40

*+ RSH=85 NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=560U

*+ MJ=0.46 CJSW=672P MJSW=0.46 PB=0.78 CGDO=270P CGSO=270P

*+ JS=10U)

*.MODEL N NMOS (LEVEL=2 TOX=2.75E-08 VTO=0.81 LD=0.060U NSUB=2E+16

*+ GAMMA=0.74 UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K

*+ DELTA=0.40 RSH=62 NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0

*+ XJ=0.4U CJ=150U MJ=0.53 CJSW=720P MJSW=0.53 PB=0.68

*+ CGDO=270P CGSO=270P JS=2U)

**** CASO RAPIDO ****

*.MODEL P PMOS (LEVEL=2 TOX=2.25E-08 VTO=-0.98 LD=0.17U NSUB=5E+16

*+ GAMMA=0.74 UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40

*+ RSH=60 NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=420U

*+ MJ=0.46 CJSW=504P MJSW=0.46 PB=0.78 CGDO=380P CGSO=380P

*+ JS=10U)

*.MODEL N NMOS (LEVEL=2 TOX=2.25E-08 VTO=0.59 LD=0.19U NSUB=2E+16

*+ GAMMA=0.56 UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K DELTA=0.40

*+ RSH=45 NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.4U CJ=110U

*+ MJ=0.53 CJSW=528P MJSW=0.53 PB=0.68 CGDO=380P CGSO=380P

*+ JS=2U)

**** PARAMETROS DOS TRANSISTORES BIPOLARES PARASITAS (27oC) ****

.MODEL QPNP PNP (IS=22.3E-18 BF=63.46 EG=1.206 VAF=19 IKF=63.8E-6

+ ISE=12.9E-18 NE=1.29 BR=0.027 VAR=8 IKR=8.55E-6

+ RB=10 RBM=10 RE=36.5 RC=262 ISS=22.3E-18 NF=0.994

+ NE=1.29 NR=0.989 ISC=10.5E-15 NC=1.54)

```

** PARAMETROS DOS RESISTORES N-WELL **
** CASO TIPICO **
.MODEL RNW RES(R=1 TC1=0.007)

** CASO LENTO **
*.MODEL RNW RES(R=2.14 TC1=0.007)

** CASO RAPIDO **
*.MODEL RNW RES(R=0.43 TC1=0.007)

** FINAL **
.END
    
```

Considerou-se uma variação de temperatura de -55°C a $+125^{\circ}\text{C}$ (linha .DC TEMP), garantido, assim, o funcionamento do circuito na faixa militar. Para o caso típico, o circuito foi alimentado com uma tensão de $V_{dd}=5\text{V}$ com relação ao seu ponto de terra. A tensão de saída regulada em temperatura (V_I) para este caso está ilustrada na figura 3.5.

Para o caso lento de simulação, a tensão de alimentação ficou em $4,5\text{V}$ e para o caso com transistores MOS rápidos, em $5,5\text{V}$. A dispersão da saída para os piores casos está mostrada na figura 3.6.

Devido ao fato de termos que referenciar a saída $V_{out}'=V_{dd}-V_{44}$ ao terra por meio de M_1 e M_2 (figura 3.2), introduzimos um erro em V_{out} devido aos descasamentos entre i_{rd1} e i_{rd2} dos transistores MOS (M_1 e M_2). Esse fato é levado em consideração nas simulações, quando se escolhe em .MODEL parâmetros de NÍVEL 2. A figura 3.7 ilustra este fato.

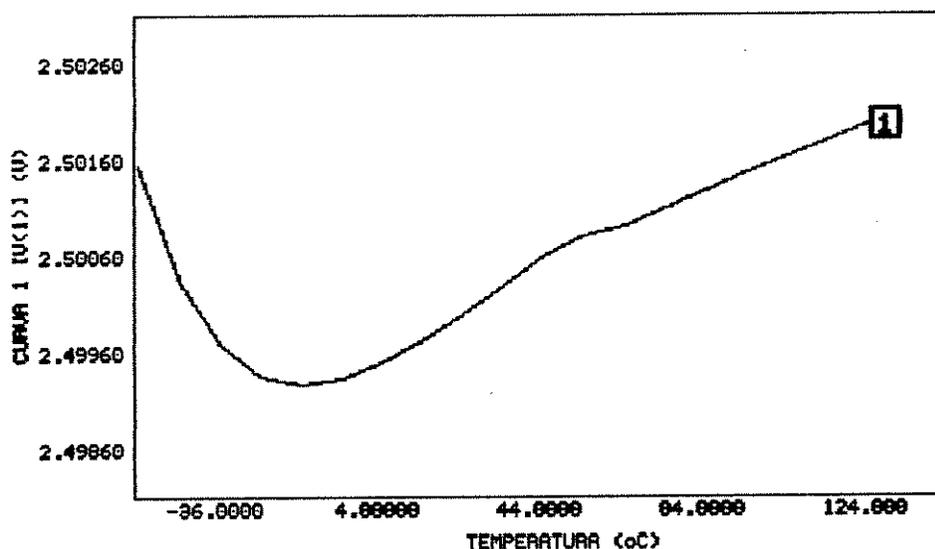


Fig. 3.5 - Tensão de saída da fonte de referência (V_{out}) para o caso típico.

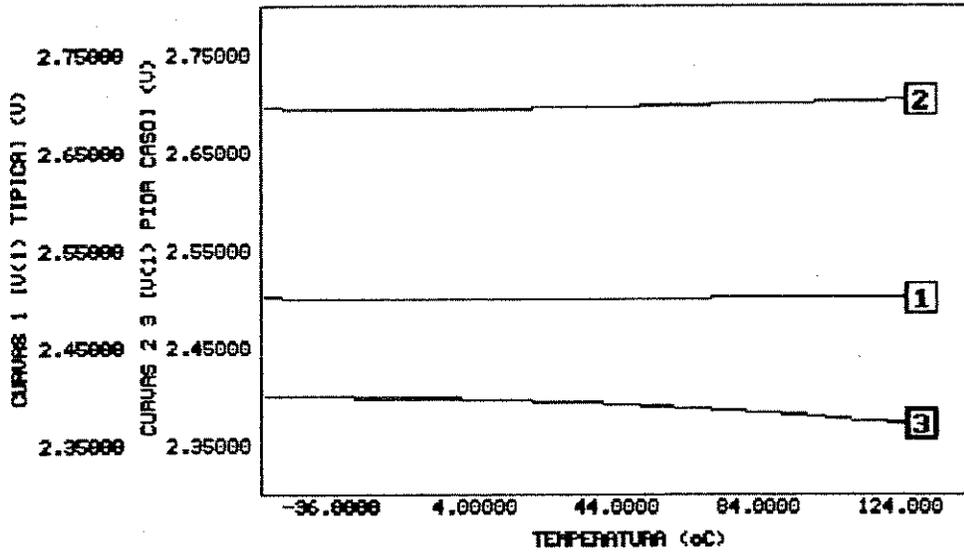


Fig. 3.6 - Simulação de V_{out} [1] para o caso típico; [2] para o caso rápido e [3] para o caso lento.

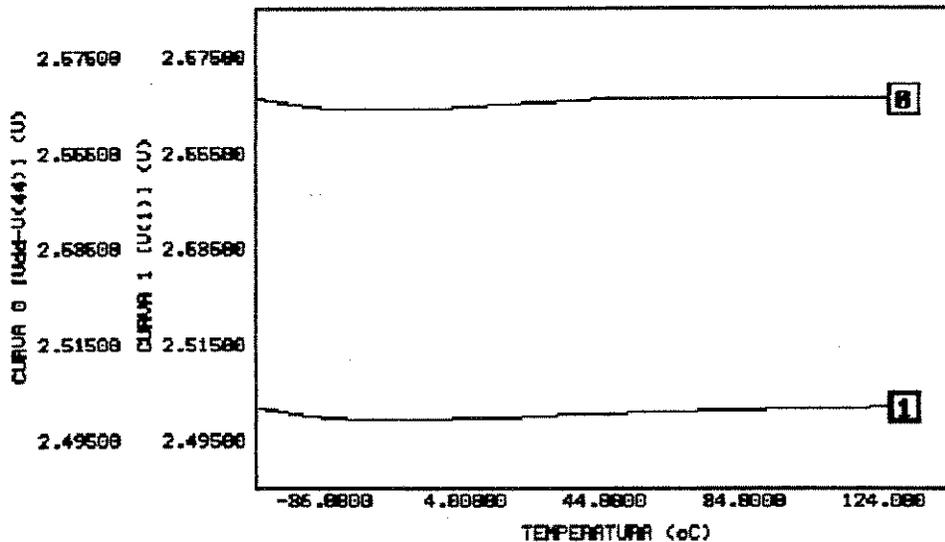


Fig. 3.7 - Descasamento das saídas $V_{out}^0 = V_{dd} - V_{44}$ [0] e V_{out} [1] para o caso típico.

A figura 3.8 apresenta as correntes de emissor dos transistores bipolares. Devemos observar que as mesmas estão em torno de $5\mu A$, como projetado. O fato é que as mesmas deveriam ser exatamente iguais, porém as suas variações com a temperatura dependem das variações de parâmetros dos dispositivos que as geram. Assim, como os resistores variam linearmente com a temperatura, temos uma variação linear para $I_{Q1} = I_{R1}$ e $I_{Q4} = I_{R2}$ e uma variação exponencial para as correntes $I_{Q2} = I_{M11}$ e $I_{Q3} = I_{M16}$ inerentes aos transistores MOS $M11$ e $M16$.

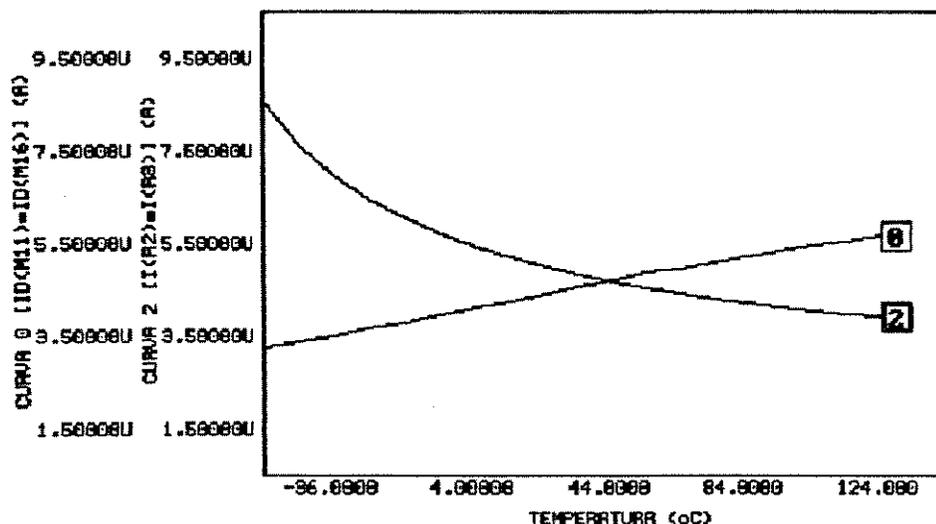


Fig. 3.8 - Correntes pelos transistores bipolares Q1 e Q4 [0]; e Q2 e Q3 [2].

O gráfico da figura 3.9 mostra o resultado da simulação para o caso de se variar a tensão de alimentação do circuito (V_{dd}) em torno de 10%, ilustrando a rejeição de fonte, que é característica deste circuito para o caso típico.

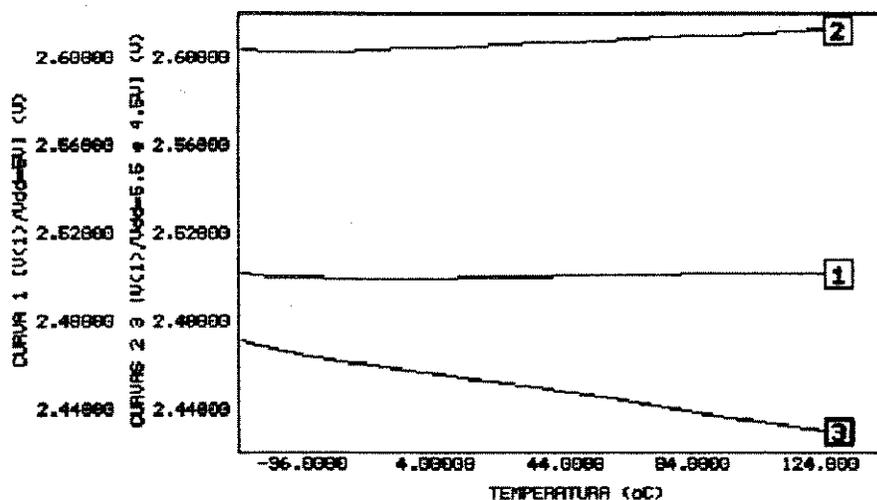


Fig. 3.9 - Rejeição de fonte para o caso típico com $V_{dd}=5V$ [1]; $V_{dd}=5.5V$ [2]; e $V_{dd}=4.5V$ [3].

Uma outra simulação considerada, é a que se refere ao tempo de acionamento do circuito da fonte de tensão de referência a partir do instante em que a fonte de alimentação é ligada, ilustrada na figura 3.10. Sabendo-se que a bateria leva um certo tempo para passar de 0 a 5V, consideramos um caso extremo, onde ela o faz em 100ns. A resposta do sinal de saída da fonte, como pode ser observado, não

passa de 4 μ s. Esta simulação também foi considerada na determinação dos valores dos dispositivos R_c e C_c de compensação, de modo que não houvesse oscilações após a estabilização do sinal de saída.

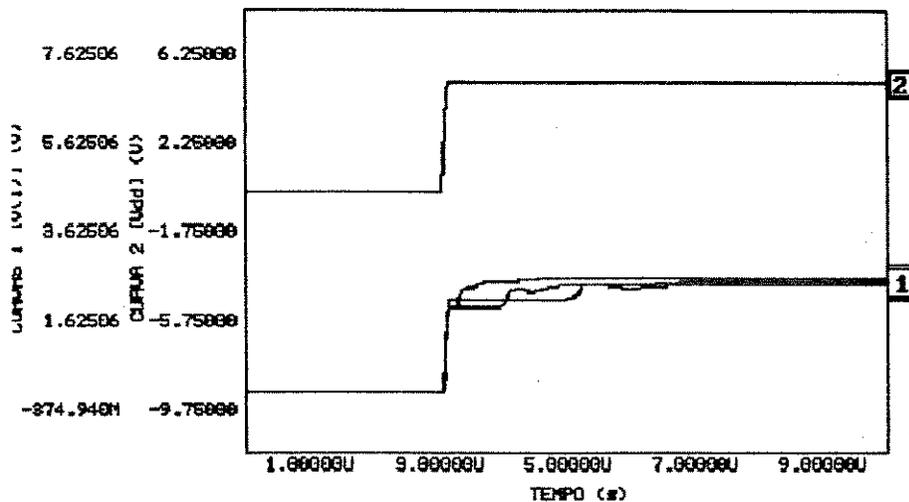


Fig. 3.10 - Estabilização de V_{out} [1] após o momento em que se liga a bateria [2] para os casos típico, lento e rápido.

3.4 - Conclusão

Através dos resultados de simulação, observamos que a tensão de saída do circuito apresenta excelente estabilidade em toda faixa de temperatura considerada. Cerca de 2,7mV de variação máxima, ou 6ppm/°C, na faixa de temperatura militar (-55°C a 125°C), ou ainda, 1,2 mV de excursão máxima, ou 6,9ppm/°C, para a faixa comercial (0°C a 70°C),.

As variações de V_{out} , devido às dispersões de processo, chegaram a cerca de 200mV no pior caso, o que equivale a $\pm 0,005\%$ 2,5V de V_{out} .

Para a rejeição de fonte, temos um valor de $\pm 0,003\%$ em V_{out} .

Teoricamente, podemos dizer que, com estes valores nossos objetivos foram alcançados. No entanto, devemos deixar claro que os mesmos são, ainda, muito teóricos, apesar de se ter considerado os piores casos nas simulações. O principal motivo desta afirmação é que os modelos e alguns parâmetros aqui considerados não são totalmente precisos, principalmente no que se refere aos transistores bipolares parasitas e coeficiente térmico dos resistores de poço- n .

Somente após as primeiras baterias de teste, com o protótipo proposto no Capítulo 4, é que teremos os valores reais para as dispersões de processo,

sofridas na fase de difusão, podendo, então, concluir se realmente o circuito da fonte de referência aqui definido terá seu devido mérito, ou se serão necessárias correções no projeto para uma nova proposta.

Resta-nos, agora, a elaboração do *layout* da fonte de tensão de referência *bandgap*, proposta seguindo regras de projeto *ES2* [46], tomando todas as precauções possíveis para que nenhum outro fator, não considerado até o momento, venha interferir no desempenho do nosso circuito.

CAPÍTULO 4

Layout

Introdução

Neste capítulo, serão abordados os principais pontos referentes à elaboração do *layout* da fonte de tensão de referência *bandgap*, projetada no Capítulo 3. Daremos ênfase às disposições dos dispositivos, de modo a se minimizar os efeitos dos descasamentos, bem como a influência das isotermas possivelmente presentes.

As regras de projeto utilizadas foram fornecidas pela *foundry* (ES2, 1,2 μ m) e seguem os mesmos padrões peculiares às outras tecnologias CMOS. As mesmas são checadas pelo CAD, em etapas intermediárias e no final do processo de elaboração do *layout*, assegurando o funcionamento do circuito projetado.

No final deste capítulo, é apresentado o *layout* global do circuito, bem como as considerações tomadas para facilitar a sua testabilidade.

4.1 - Transistores Bipolares Parasitas

Tomando como base as regras mínimas de projeto, foi elaborado, em uma das rodadas do PMU, coordenada pelo CTI, um *chip* com 5 possíveis protótipos para transistores bipolares parasitas *pnp*, como ilustrado na foto 4.1. Deles, um foi escolhido segundo um critério no qual se analisou suas curvas características $I_c \times V_c$ e suas curvas de Gummel-Poon [22], levando-nos a optar pelo transistor que apresentasse o maior ganho de corrente (β) e a melhor linearidade na curva $I_c \times V_{cc}$. O *layout* desse transistor está representado na figura 4.1a, sendo a figura 4.1b a representação em corte do mesmo.

Nas figuras citadas, podemos observar que o transistor apresenta, além do coletor inerente ao substrato, também um coletor interno ao poço-*n*. Essa característica, possivelmente, é a responsável pelo maior ganho (β) apresentado por esse dispositivo, se comparada com o obtido para os outros transistores propostos (que não apresentavam essa peculiaridade).

Desta forma, o transistor escolhido pode ser subdividido, teoricamente, em um transistor bipolar lateral, cujo coletor é a difusão *p+*, que está

interna ao poço- n e outro transistor bipolar vertical, definido pelo coletor inerente ao substrato p .

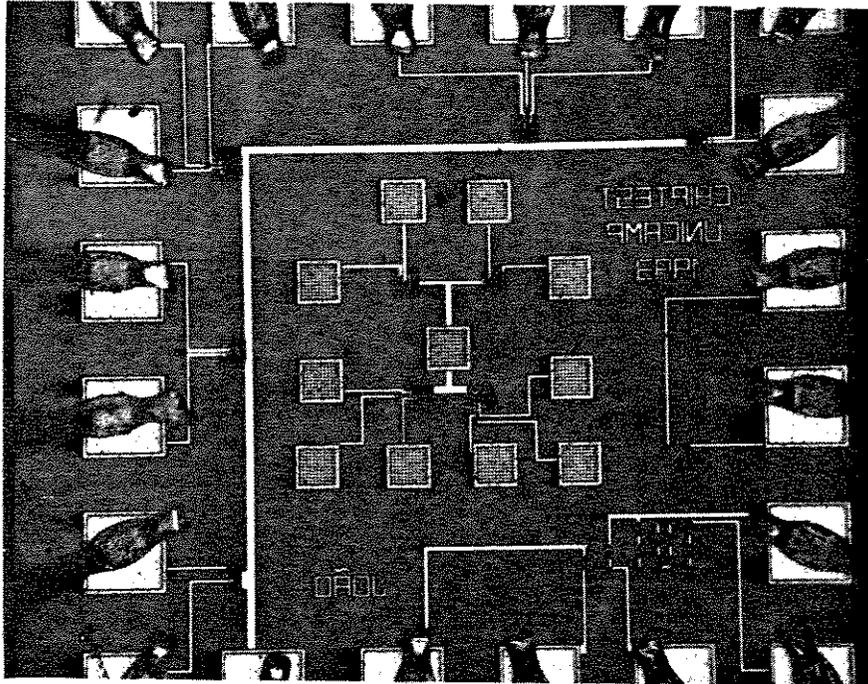


Foto 4.1 - Chip com os 5 protótipos para o transistor lateral parasita pnp .

O transistor, como está representado na figura 4.1 apresenta uma área de emissor de $3\mu\text{m} \times 6\mu\text{m}$ e uma área total de $36,7\mu\text{m} \times 26\mu\text{m}$.

Podemos observar, ainda, que o contato de base feito pela difusão $n+$ de contato com o poço- n , pode vir, ainda, envolvendo o coletor interno ao poço, diminuindo a influência de r_b no desempenho do transistor.

Quanto aos transistores maiores, com área 8 vezes maior que o transistor unitário, foram construídos pela associação em paralelo de 8 transistores idênticos ao de área mínima, de modo semelhante ao que nos foi proposto pela engenharia reversa (foto 1.4). No entanto, devido ao cascadeamento de transistores bipolares, com o intuito de minimizar o efeito da tensão de *off-set* na saída, tivemos que redistribuir os mesmos, como mostra a figura 4.2, ocupando uma área de $178,95\mu\text{m} \times 286,65\mu\text{m}$.

Esta nova formação, apesar da semelhança com a foto 1.4, permite que, para o nosso caso, se tenha uma menor influência das isoterms sob o sistema. Assim, quando Q_2 , por exemplo, estiver sob temperatura mais alta que Q_1 , o transistor Q_3 estará também a uma temperatura mais alta que Q_4 . Esta simetria de

layout permite que todo o conjunto esteja em média à mesma temperatura, mantendo, assim, um certo casamento térmico entre as correntes que fluem pelos mesmos.

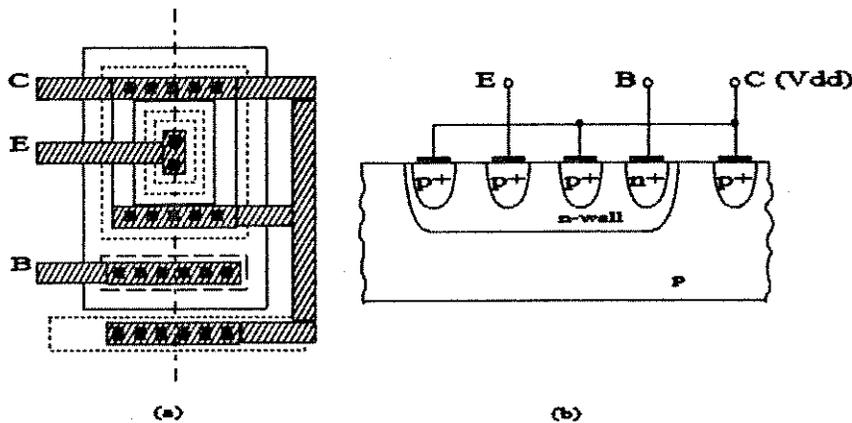


Fig. 4.1 - Transistor bipolar parasita *pnp*, (a) vista superior; (b) e em corte.

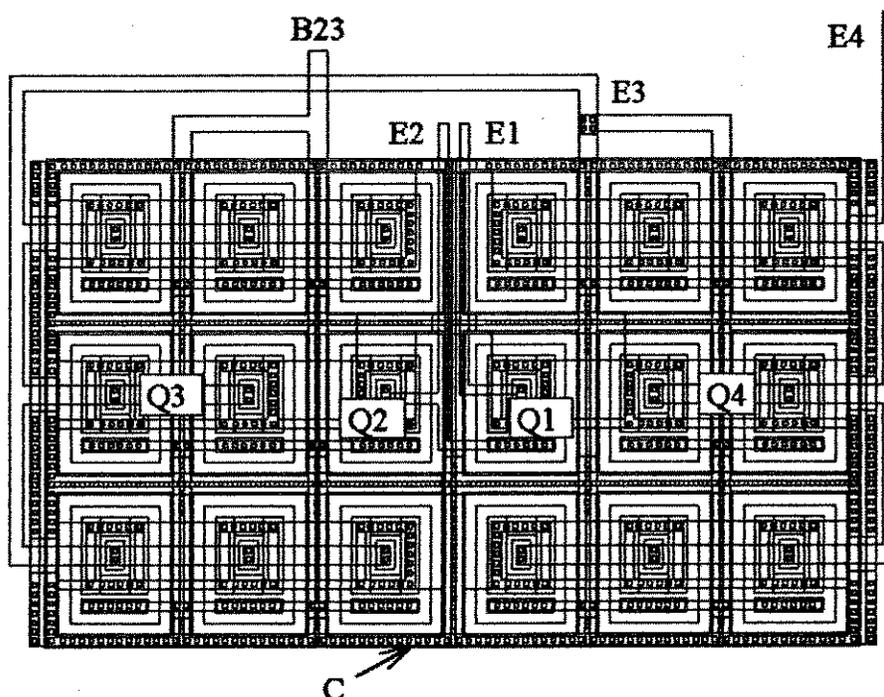


Fig. 4.2 - Disposição dos transistores bipolares no *layout* final.

A figura 4.2 ilustra o *layout* da configuração final dos transistores bipolares, onde *C* equivale ao coletor comum; *B23* à base dos transistores *Q2* e *Q3* (nó 44 no circuito da figura 3.3) e *E1*, *E2*, *E3* e *E4* são os emissores de *Q1*, *Q2*, *Q3* e *Q4* (nós 55, 831, 821 e 57 respectivamente). Na figura 4.2, a estrutura do transistor bipolar parasita de área mínima aparece repetida 18 vezes. O coletor inerente ao

substrato que envolve a todo o conjunto está ligado de modo comum também com o coletor interno ao poço- n de cada estrutura.

4.2 - Resistores de Poço- n

Os resistores de poço- n foram projetados para o valor típico fornecido pelas regras de projeto (ES2 [46]), cujo valor de resistência por quadrado é de $1,4K\Omega$. Com o objetivo de promover um melhor casamento entre os resistores R_2 e R_3 , dividimos R_2 e R_3 em 11 partes iguais, cuja soma resulta em um valor igual a $231K\Omega$ e mais uma parte equivalente a $15,4K\Omega$ (equivalente ao que falta para completar os $246,40K\Omega$ de R_2 e R_3).

Desta forma e considerando a influência das isoterms no sistema, optou-se pela distribuição dos segmentos que compõem os resistores em forma de uma malha trançada, com o resistor $R_1=22,4K\Omega$ ocupando o centro da mesma. Assim, podemos garantir, de certa forma, que os mesmos trabalharam em média a uma mesma temperatura.

A figura 4.3 ilustra essa disposição definida para os resistores.

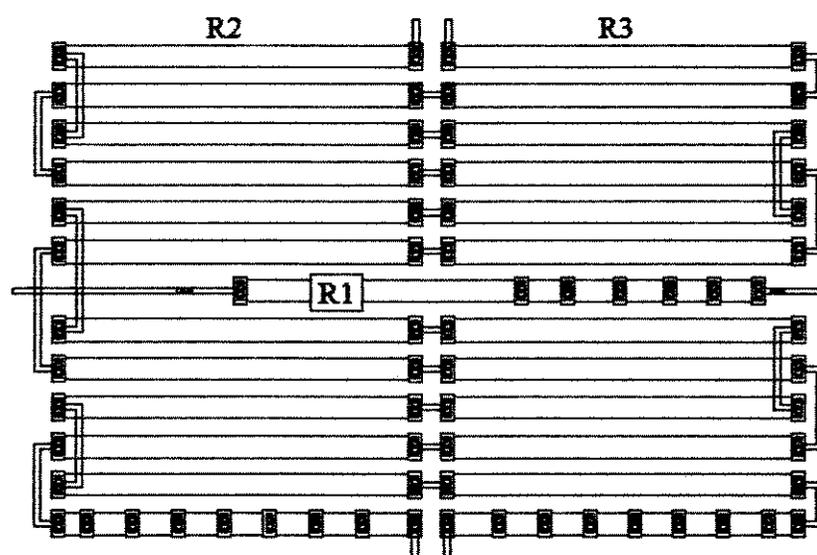


Fig. 4.3 - Disposição dos resistores R_1 , R_2 e R_3 no layout final.

Pode-se notar que na figura 4.3, que o 12º segmento dos resistores R_2 e R_3 possui contatos em 9 pontos diferentes ao longo de seu comprimento cortocircuitados entre si por um barramento de linha de metal. A finalidade desta geometria é a programabilidade dos resistores de modo que possamos ajustá-los na fase de testes. Isto porque resistores poço- n , geralmente, sofrem variações devido

ao processo de fabricação, não garantindo o valor projetado. Com essa característica, podemos ajustar os valores dos resistores segundo a tabela abaixo, para valores típicos:

$R1$ ----- $16,8K\Omega$ à $30,8K\Omega$ / de 2,8 em $2,8K\Omega$

$R2$ e $R3$ ----- $231K\Omega$ à $252K\Omega$ / de 2,8 em $2,8K\Omega$

O ajuste é feito diretamente sob as trilhas de metal curtocircuitadas, cortando-as quando necessário por meio de uma micro-ponteira através de janelas de passivação, disponíveis entre o ponto que está entre o resistor e o barramento de curto-circuito.

Com essa topologia adotada, pode-se fazer parte do ajuste da curvatura da tensão de saída.

Procedendo desta forma, pode-se, em uma próxima rodada de difusão, definir com mais precisão os valores dos resistores, dispensando, assim, todo o *layout* de *trimming* aqui apresentado.

Os resistores $R7$ e $R8$ do circuito de *start-up* não requerem um ajuste preciso em seus valores, pois o circuito funciona adequadamente com uma faixa larga de variação destes, já que o importante, neste caso, é a sua relação de proporcionalidade.

4.3 - Transistores $M1$ e $M2$

Como foi comentado, os transistores $M1$ e $M2$ compõem a estrutura de saída da fonte de tensão de referência *bandgap* de forma que possamos ter a tensão regulada em temperatura com relação ao terra do circuito. No entanto, o nível do sinal de saída depende da relação W/L dos mesmos. Desta forma, com variações de processo, o valor projetado não é totalmente garantido, necessitando, assim, que se permita o ajuste de nível da tensão de saída. Propõe-se que este ajuste seja feito por meio de uma polarização adequada de *bulk* dos transistores. Como os mesmos são transistores de canal p e portanto de poço- n , o ajuste pode ser feito por meio de um PAD que permita um contato com o poço dos transistores. Por meio de polarização com uma fonte de tensão externa, podemos ajustar o nível de saída da fonte. Como não podemos alterar a polarização de *bulk* do transistor $M1$, o ponto de acesso para ajuste será feito no *bulk* de $M2$, via contato de poço ($n+$).

A figura 4.4 ilustra o *layout* desse estágio de saída da fonte de tensão de referência. Note que o contato de poço- n é feito em curto com a fonte de $M2$, além

de possuir um PAD de acesso externo. O curto com a fonte de $M2$ pode ser desfeito da mesma forma que utilizamos na programação dos resistores $R1$, $R2$, $R3$, ou seja, via janela de passivação sobre a linha de metal. Isso permite que, antes mesmo de tentarmos polarizar externamente o poço- n do transistor $M2$, testemos o circuito como ele foi projetado.

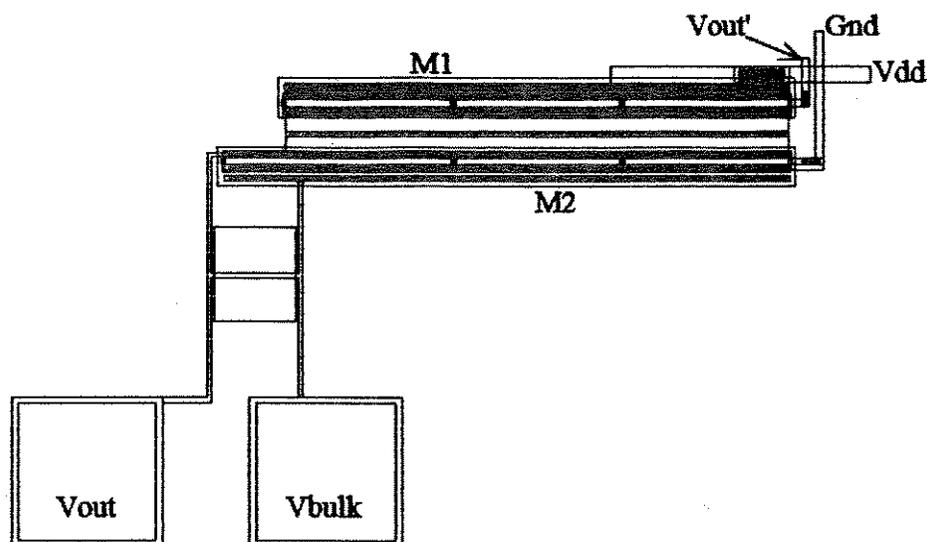


Fig. 4.4 - Layout do dispositivo que referencia a saída ao terra.

4.4 - Layout Final

Na confecção do *layout* final da fonte de tensão de referência, apresentado na figura 4.5, procurou-se manter um formato aproximadamente retangular de forma que permita, em uma aplicação prática, uma melhor alocação da mesma dentro do *layout* global do *chip*.

Os transistores que compõem o par diferencial do amplificador operacional foram projetados de forma a minimizar o *off-set* inerente aos descasamentos entre estes transistores [45]. Assim, optou-se por uma forma denominada *par cruzado*, seguindo, ainda, sugestões dadas pela engenharia reversa do *chip* PEB2080 (Foto 1.6).

Em vista das condições de saída para a qual a fonte foi projetada, sua saída foi feita disponível em *micropad*, para acesso com microponteira, eliminando, desta forma, possíveis fugas de corrente devido às soldas e contatos dos pinos de acesso, bem como devido aos cabos que interligam o ponto de medida ao equipamento utilizado para os futuros testes.

Com o objetivo de isolar o circuito da fonte de tensão de referência do circuito que a mesma irá polarizar, todo o circuito da fonte está envolto por um anel

de guarda duplo, anulando possíveis interferências do circuito sobre a fonte, bem como minimizar o efeito *latch-up* [42], .

O *layout* final do *chip*, com as estruturas para *trimming* está representado na figura 4.5 a seguir e ocupa uma área, de aproximadamente, $0,51\text{mm}^2$.

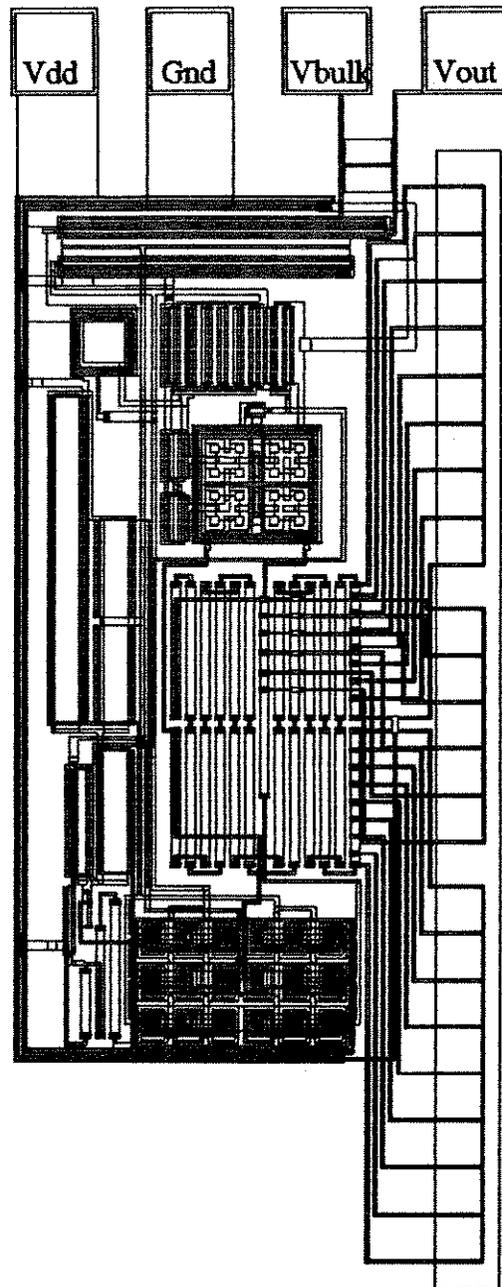


Fig. 4.5 - *Layout* da fonte de tensão de referência.

CAPÍTULO 5

Conclusão

Introdução

O objetivo deste trabalho foi o estudo e o desenvolvimento de uma fonte de tensão de referência *bandgap*, muito usada em circuitos conversores A/D e D/A ou quaisquer outros circuitos que venham a exigir um ponto de tensão que se porte indiferente às variações de temperatura, bem como às oscilações da fonte de alimentação.

Como resultado, propomos um projeto em tecnologia ES2 1,2 μ m, que será implementado numa próxima rodada do PMU para futuros testes.

5.1 - Discussão Sobre os Resultados

No Capítulo 1, executamos a engenharia reversa de uma fonte de tensão de referência *bandgap* de um *chip* comercial utilizado para conversão de códigos. Neste trabalho, pôde-se tomar um primeiro contato com as técnicas e cuidados na elaboração do *layout* do circuito onde, por meio das fotos, observou-se extrema cautela no casamento de estruturas como o par diferencial do amplificador operacional e fontes de corrente, objetivando minimizar o efeito da tensão de *off-set* inerente a esse tipo de circuito (CMOS). Não só com esse objetivo, as estruturas também foram dispostas de forma a tornar mínima a influência de isothermas presentes, tentando manter a parte "sensor térmico" do circuito sob uma média das temperaturas sobre ela atuantes. Outro fator notado também nesta fase é a ocorrência de contatos de substrato por toda a topologia do circuito, cuja finalidade, além de isolar o circuito da fonte de ruídos externos, é também prevenir o mesmo contra *latch-up*.

Neste mesmo capítulo, finalizou-se o trabalho de engenharia reversa com uma simulação do circuito extraído, verificando sua característica de estabilidade em temperatura dada pela tensão de *bandgap*.

No Capítulo 2 estudamos as características fundamentais do circuito extraído, dando-se ênfase aos principais fatores que viriam prejudicar sua excursão na faixa de temperatura, propondo sugestões para corrigi-las quando possível e levando-se em conta os fatores economia de área e contribuição para uma melhor excursão em temperatura.

As conclusões e os estudos feitos durante a fase de engenharia reversa no Capítulo 1, assim como os estudos teóricos sobre a função do circuito e suas limitações apresentados no Capítulo 2, resultaram em um projeto de uma fonte de tensão de referência *bandgap* em tecnologia CMOS *ES2*, $1,2\mu\text{m}$ em poço-*n*, apresentada no Capítulo 3, na qual se propõe a otimização da excursão do sinal de tensão de saída em um nível DC de 2,5V. Para tanto, consideramos critérios referentes a minimização do efeito do *off-set* do operacional, pelo cascadeamento de transistores bipolares es [15] e pela utilização de transistores de canal *n* no par diferencial (maior transcondutância em relação aos de canal *p* [66]), bem como redução do *drift* de temperatura inerente aos resistores R_4 e R_5 (figura 1.13) pela eliminação dos mesmos e utilizando da própria soma das tensões *bandgap* dos transistores bipolares para obtermos 2,5V na saída.

No Capítulo 4, foi apresentado o *layout* do circuito projetado no Capítulo 3. Na sua elaboração, foram considerados critérios de otimização observados durante a fase de engenharia reversa, bem como opções de *trimming* e conectividade com os equipamentos de medida via microponteiras. Sendo o mesmo um protótipo para testes, considerou-se no *layout*, a opção de se variar os valores dos resistores R_1 , R_2 e R_3 e a polarização de *bulk* do transistor M_2 do estágio de saída, possibilitando, com isso, obter resultados conclusivos quanto a estabilidade em temperatura, bem como da dispersão de processo após a confecção do circuito sob a lâmina de silício.

Acrescentamos que todo cuidado e esforço em se considerar as possibilidades de pior caso, bem como todas as possíveis chances de dispersão de parâmetros, só tendem a nos levar ao sucesso do protótipo aqui apresentado.

5.2 - Sugestões

Com o objetivo primordial de se manter uma pequena variação em torno de 2,5V em toda a faixa de temperatura, porém com certa reserva quanto ao consumo de área, não se optou por todos os métodos sugeridos no Capítulo 2, restringindo-nos, principalmente, na minimização do *off-set*.

Desta forma, propõe-se que, em uma nova oportunidade, haja uma maior dedicação para com os outros fatores, cujo cancelamento da soma de seus efeitos pode vir a ser tão significativa quanto a simples redução do efeito do *off-set*. Um estudo comparativo entre benefício e consumo de área, referentes aos parâmetros não considerados, poderá resultar em novas configurações para o circuito da fonte de referência *bandgap*. Uma proposta de projeto sugerida por [44] é que se mantenha todo o *chip* e sua fonte de tensão de referência sob uma determinada temperatura alta, por meio de um elemento aquecedor, cujo controle seja feito pela própria referência. Mantendo, desta forma, o circuito encapsulado praticamente insensível às

variações da temperatura externa. Um possível inconveniente deste tipo de circuito seria o alto consumo de corrente imposto pelo dispositivo aquecedor, porém não deixando de ser uma possível solução para alguns casos em que necessite de valores de tensão com alta estabilidade térmica.

5.3 - Testes Futuros

Durante as fases de testes que se sucedem, recomenda-se cautela quanto a danos causados por descarga eletrostática, uma vez que estamos trabalhando com dispositivos MOS. Isso pode ser conseguido com a utilização de pulseiras anti-estáticas e aterramento de pontos não utilizados do circuito e que estejam sujeitos a contatos com superfícies isolantes.

Como para os testes será necessário a utilização de microponteiras e, portanto, encapsulamento aberto, sugere-se que as luzes no ambiente de teste sejam reduzidas ao mínimo possível. Isso evita que as características elétricas dos portadores sejam alteradas pela incidência de *fotons*, que prejudicam o desempenho do circuito projetado e comprometem os resultados e as conclusões.

Para os testes, recomenda-se, ainda, a utilização do equipamento *Hot-Cold stage*, cuja função é permitir que se varie a temperatura de forma controlada, enquanto se faz as medidas em um voltímetro de precisão.

Se possível, os testes devem ser realizados sob o *wafer*, pois o equipamento *Hot-Cold stage* não possui adaptação para CI encapsulado.

ANEXO 1

Levantamento dos Parâmetros SPICE do Transistor Bipolar Parasita

A1.1 - Estrutura

A estrutura mostrada na foto A1.1 é idêntica a que foi utilizada na implementação da fonte de tensão de referência (figura 4.7).

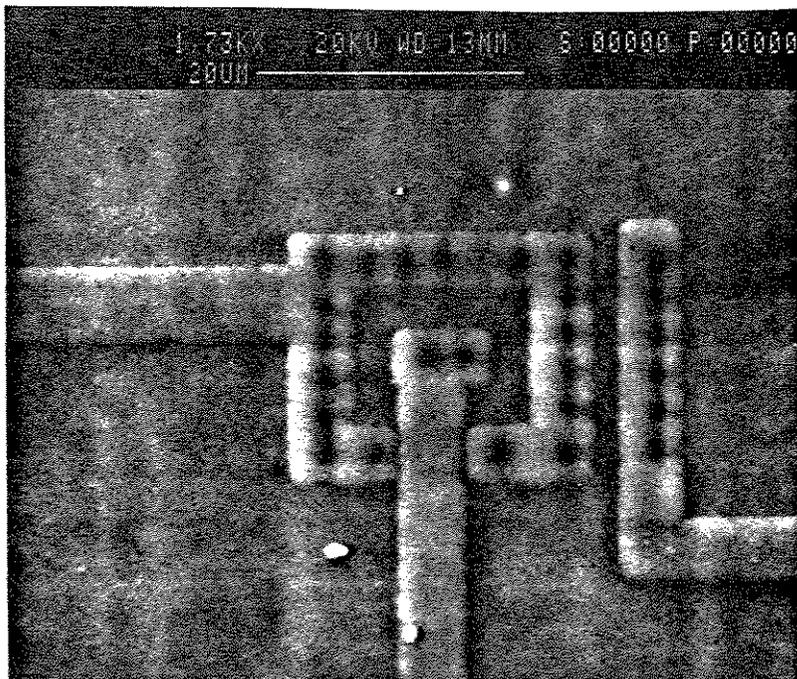


Foto A1.1 - Transistor bipolar parasita *pnp* em tecnologia *ES2*.

Na implementação do *layout* do transistor, foram consideradas as regras mínimas de projeto (*ES2*). Assim sendo, este dispositivo possui um emissor de $3\mu\text{m} \times 6\mu\text{m}$ e um coletor totalmente envolvente interno ao poço-*n* à uma distância de $4,8\mu\text{m}$.

Para o nosso caso, a base extrínseca *n+* não envolve a região de coletor. Há, também, um coletor externo inerente ao substrato, não implementado no *chip* das fotos 1 e 2. Este é, basicamente, formado pelo contato de substrato *p+*, que envolve totalmente o poço-*n*, onde se encontra o dispositivo (figura 4.7) e está a uma distância de $8,1\mu\text{m}$ da borda da área ativa do emissor. Todas as dimensões aqui mencionadas foram calculadas a partir das regras de projeto *ES2* $1,2\mu\text{m}$.

A1.2 - Caracterização

A estrutura bipolar foi difundida em um *chip* juntamente com outras 4 estruturas semelhantes, conforme apresentado na foto 4.1. A mesma foi escolhida por apresentar melhores resultados quanto aos parâmetros extraídos. Sua implementação foi feita considerando-se o processo CMOS padrão, por isso com coletor inerente ao substrato.

A extração dos parâmetros SPICE foi feita segundo [22, 58, 61] por meio das curvas características do transistor, apresentadas nas figuras A1.1, A1.2, A1.3 e A1.4.

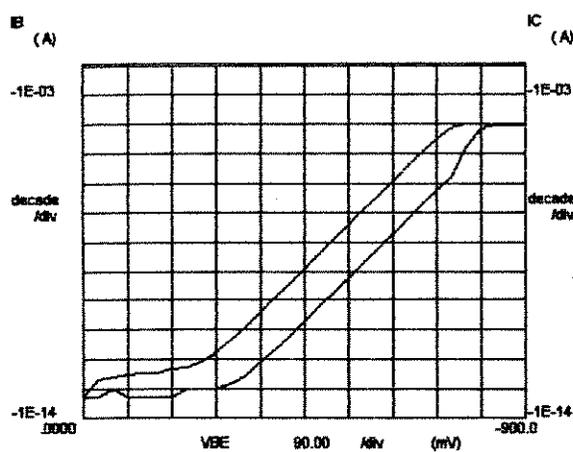


Fig A1.1 - Curva de Gummel-Poon.

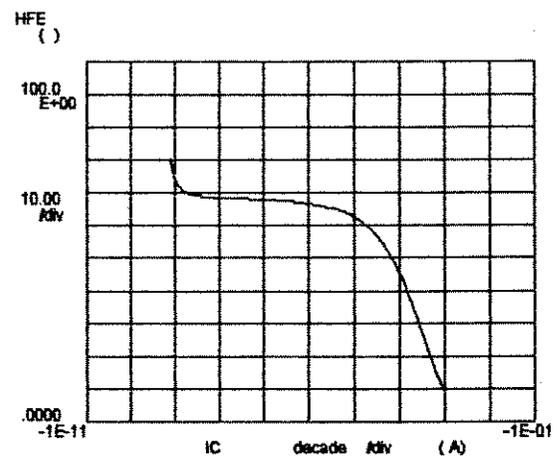


Fig. A1.2 - Curva β x I_C .

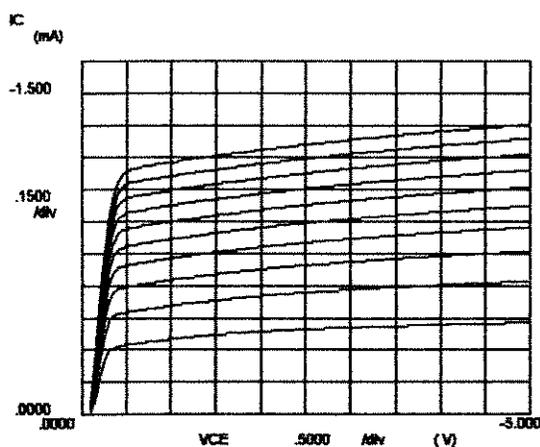


Fig. A1.3 - Curva V_{CE} x I_C em função de I_B .

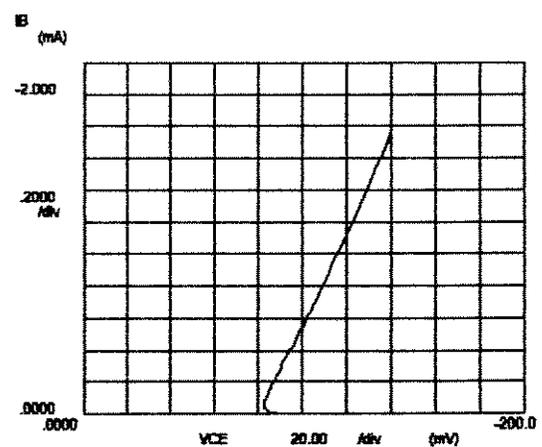


Fig. A1.4 - Curva V_{CE} x I_B .

As medidas dos parâmetros foram feitas em um HP4145B - "Semiconductor Parameter Analyser". Foram caracterizadas 10 amostras em modos direto e reverso. Os parâmetros elétricos SPICE para o modelo *Gummel-Poon* de simulação são dados na tabela A1.1.

Parâmetros	Valor Medido	Desvio
I_S	$22,3 \times 10^{-18} \text{ A}$	$3,6 \times 10^{-18} \text{ A}$
I_{SS}	$22,3 \times 10^{-18} \text{ A}$	$3,6 \times 10^{-18} \text{ A}$
β_F	63	1,2
N_F	0,994	-----
I_{SE}	$12,9 \times 10^{-18} \text{ A}$	$2,2 \times 10^{-18} \text{ A}$
N_E	1,29	-----
I_{KF}	$63,8 \times 10^{-6} \text{ A}$	$1,3 \times 10^{-6} \text{ A}$
V_A	19V	0,8
R_E	$36,5\Omega$	7,9
R_C	262Ω	35,2
N_R	0,989	-----
β_R	0,027	0,001
I_{SC}	$10,5 \times 10^{-15} \text{ A}$	$0,3 \times 10^{-15} \text{ A}$
N_C	1,54	-----
I_{KR}	$8,55 \times 10^{-6} \text{ A}$	$0,4 \times 10^{-6} \text{ A}$
V_B	8V	0,6
R_B	10Ω	-----
R_{EM}	10Ω	-----

Tabela A1.1 - Parâmetros SPICE para os transistores bipolares parasitas *pn-p*.

Uma ressalva deve ser feita quanto à da resistência de base. Devido ao fato de não se ter implementado um contato de substrato envolvendo o poço-*n* (segundo coletor), a resistência que mediríamos aqui seria extremamente alta. Assim como na implementação do projeto da fonte, todos os dispositivos bipolares estão envolvidos pelo coletor de substrato (figura 4.1). Considerou-se, na simulação da fonte, uma resistência externa de $1K\Omega$ emulando a resistência de base (valor este próximo a 1 quadrado de resistência de poço-*n*) de modo que ela sofresse com as variações de temperatura e do processo, assim como as demais resistências difundidas. Os valores de R_B e R_{EM} mostradas na tabela A1.1 foram consideradas baixas (10Ω) para não influir nos resultados.

Os parâmetros dinâmicos não foram levantados. Para simulação, foram considerados os parâmetros *default* do SPICE, uma vez que a fonte de tensão

de referência projetada não trabalha em regime dinâmico, bastando, apenas, os parâmetros estáticos (DC).

ANEXO 2

Parâmetros SPICE do Processo CMOS (ES2 N-WELL 1.2U)

- **TRANSISTORES CASO TÍPICO**

```
.MODEL P PMOS (LEVEL=2 TOX=2.5E-08 VTO=-1.1 LD=0.10U NSUB=5E+16 GAMMA=0.87
+   UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40 RSH=75
+   NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=490U MJ=0.46
+   CJSW=590P MJSW=0.46 PB=0.78 CGDO=320P CGSO=320P JS=10U)
.MODEL N NMOS (LEVEL=2 TOX=2.5E-08 VTO=0.7 LD=0.125U NSUB=2E+16 GAMMA=0.65
+   UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K DELTA=0.40 RSH=55
+   NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.4U CJ=130U MJ=0.53
+   CJSW=620P MJSW=0.53 PB=0.68 CGDO=320P CGSO=320P JS=2U)
```

- **TRANSISTORES CASO LENTO**

```
.MODEL P PMOS (LEVEL=2 TOX=2.75E-08 VTO=-1.23 LD=0.03U NSUB=5E+16
+   GAMMA=1.0 UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40
+   RSH=85 NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=560U
+   MJ=0.46 CJSW=672P MJSW=0.46 PB=0.78 CGDO=270P CGSO=270P
+   JS=10U)
.MODEL N NMOS (LEVEL=2 TOX=2.75E-08 VTO=0.81 LD=0.060U NSUB=2E+16
+   GAMMA=0.74 UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K
+   DELTA=0.40 RSH=62 NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0
+   XJ=0.4U CJ=150U MJ=0.53 CJSW=720P MJSW=0.53 PB=0.68
+   CGDO=270P CGSO=270P JS=2U)
```

- **TRANSISTORES CASO RÁPIDO**

```
.MODEL P PMOS (LEVEL=2 TOX=2.25E-08 VTO=-0.98 LD=0.17U NSUB=5E+16
+   GAMMA=0.74 UO=210 UEXP=0.33 UCRIT=51K VMAX=47K DELTA=0.40
+   RSH=60 NEFF=0.88 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.5U CJ=420U
+   MJ=0.46 CJSW=504P MJSW=0.46 PB=0.78 CGDO=380P CGSO=380P
+   JS=10U)
.MODEL N NMOS (LEVEL=2 TOX=2.25E-08 VTO=0.59 LD=0.19U NSUB=2E+16
+   GAMMA=0.56 UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K DELTA=0.40
+   RSH=45 NEFF=4.0 LAMBDA=0.0 NFS=0.0 NSS=0.0 XJ=0.4U CJ=110U
+   MJ=0.53 CJSW=528P MJSW=0.53 PB=0.68 CGDO=380P CGSO=380P
+   JS=2U)
```

- **RESISTORES N-WELL CASO TÍPICO**

```
.MODEL RNW RES(R=1 TC1=0.007)
```

- **RESISTORES N-WELL CASO LENTO**

```
.MODEL RNW RES(R=2.14 TC1=0.007)
```

- **RESISTORES N-WELL CASO RÁPIDO**

```
.MODEL RNW RES(R=0.43 TC1=0.007)
```

Referências Bibliográficas

[1] - Richard H. Stern, "Reverse engineering of chips - Part I: The legislative background", IEEE Micro, sec. Microlaw, June 1986.

[2] - Richard H. Stern, "Reverse engineering of chips - Part II: A case example", IEEE Micro, sec. Microlaw, August 1986.

[3] - Richard H. Stern, "The first chip-layout copying case", IEEE Micro, sec. Microlaw, August 1991.

[4] - Richard H. Stern, "Unobserved demise of exhaustion doctrine", IEEE Micro, sec. Microlaw, December 1992.

[5] - Richard H. Stern, "Protecting industrial property rights", IEEE Micro, sec. Microlaw, October 1993.

[6] - L. París, J. Aguiló y C. Perelló, "Base de datos para ingeniería inversa", Centro Nacional de Microelectrónica-CNM, España, 1993.

[7] - Carlos E. Salla, Clóvis J. Rao Jr., Fábio D. Alvarenga e Robson L. Moreno, "Engenharia reversa de circuitos integrados CMOS", Anais do V Seminário de Pesquisa da EFEI, Outubro de 1990.

[8] - Semiconductor Insights Inc., "Information: Custom reverse engineering", A publication of Semiconductor Insights Inc., Canada, 1991.

[9] - Carlos G. Krüger, "Uma metodologia para engenharia reversa de circuitos integrados CMOS", Anais do IV Seminário de Pesquisa da EFEI, vol. 2, Setembro de 1988.

[10] - "S-Bus Interface Circuit (SBC) - PEB2080, Technical Manual", rev. 2.1, Siemens AG, June 1987.

[11] - João A. Pereira, Robson L. Moreno, Clóvis J. Rao Jr., Laércio Caldeira, "Estudo da parte analógica do CI SBC - PEB2080 - Siemens", Relatório de Pesquisa - Convênio EFEI / Telebrás, Dezembro 1990.

[12] - Robert J. Widlar, "New developments in IC voltage regulators", IEEE J.S.S.C., vol. sc-6, no. 1, February 1971.

[13] - J. Michejda, and Suk K. Kim, "A precision CMOS bandgap reference", IEEE J.S.S.C., vol. sc-19, no. 6, December 1984.

- [14] - R. Ye, and Y. Tsividis, "Bandgap voltage reference sources in CMOS technology", *Electronics Letters*, vol.18, no. 1, 7th January 1982.
- [15] - M. Ferro, F. Salerno, and R. Castello, "A floating CMOS bandgap voltage reference for differential applications", *IEEE J.S.S.C.*, vol.24, no. 3, June 1989.
- [16] - Henri J. Oguey, and Bernard Gerber, "MOS voltage reference based on polysilicon gate work function transference", *IEEE J.S.S.C.*, vol. sc-15, no. 3, June 1980.
- [17] - R. A. Blauschild, P. A. Tucci, R. S. Muller, and R. G. Meyer, "A new NMOS temperature-stable voltage reference", *IEEE J.S.S.C.*, vol. sc-13, no. 6, December 1978.
- [18] - Eric A. Vittoz, and Olivier Neyroud, "A low-voltage CMOS bandgap reference", *IEEE J.S.S.C.*, vol. sc-14, no. 3, June 1979.
- [19] - G. Tzanateas, C. A. T. Salama, and Y. P. Tsividis, "A CMOS bandgap voltage reference", *IEEE J.S.S.C.*, vol. sc-14, no. 3, June 1979.
- [20] - Y. P. Tsividis, and Richard W. Ulmer, "A CMOS voltage reference", *IEEE J.S.S.C.*, vol. sc-13, no. 6, December 1978.
- [21] - Karel E. Kuijk, "A precision reference voltage source", *IEEE J.S.S.C.*, vol. sc-8, no. 3, June 1973.
- [22] - Luís F. Uebel, Sérgio Bampi, "Projeto de referência de tensão CMOS - Caracterização e uso de transistores *pn*p bipolares parasitas", *Anais do VI Simpósio Brasileiro de Concepção de CI - VI SBCCI*, Outubro de 1991.
- [23] - M. G. R. Degrauwe, O. N. Leuthold, E. A. Vittoz, H. J. Oguey, and A. Descombes, "CMOS voltage reference using lateral bipolar transistors", *IEEE J.S.S.C.*, vol. sc-20, no. 6, December 1985.
- [24] - R. Gregorian, G. A. Wegner, and W. E. Nicholson, JR., "An integrated single-chip PCM voice codec with filters", *IEEE J.S.S.C.*, vol. sc-16, no. 4, August 1981.
- [25] - A. Paul Brokaw, "A single three-terminal IC bandgap reference", *IEEE J.S.S.C.*, vol. sc-9, no. 6, December 1974.
- [26] - G. C. M. Meijer, and Jan B. Verhoeff, "An Integrated bandgap reference", *IEEE J.S.S.C.*, correspondence, June 1976.

- [27] - E. A. Vittoz, "The design of high-performance analog circuits on digital CMOS chips", IEEE J.S.S.C., special papers, vol. sc-20, no. 3, June 1985.
- [28] - P. M. Zeitzoff, C. N. Anagnostopoulos, K. Y. Wong, and B. P. Brandt, "An isolated vertical n-p-n transistor in an n-well CMOS process", IEEE J.S.S.C., vol. sc-20, no. 2, April 1985.
- [29] - Tzu-Wang Pan, and Asad A. Abidi, "A 50-dB variable gain amplifier using parasitic bipolar transistor in CMOS", IEEE J.S.S.C, vol.24, no. 4, August 1989.
- [30] - E. A. Vittoz, "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology", IEEE J.S.S.C., vol. sc-18, no. 3, June 1983.
- [31] - M. G. R. Degrauwe, O. Nys, E. Dijkstra, J. Rijmenants, S. Bitz, B. L. A. G. Goffart, E. A. Vittoz, S. Cserveny, C. Meixenberger, G. Van der Stappen, and H. J. Oguey, "IDAC: An interactive design tool for analog CMOS circuits", IEEE J.S.S.C, vol. sc-22, no. 6, December 1987.
- [32] - G. Nicollini, and D. Senderowicz, "A CMOS bangap reference for differential signal processing", IEEE J.S.S.C., vol.26, no. 1, January 1991.
- [33] - Bang-Sup Song, and P. R. Gray, "A precision curvature-compensated CMOS bandgap reference", IEEE J.S.S.C., vol. sc-18, no. 6, December 1983.
- [34] - Y. P. Tsvividis, "Accurate analysis of temperature effects in I_c - V_{be} characteristics with application to bandgap reference sources", IEEE J.S.S.C., vol. sc-15, no. 6, December 1980.
- [35] - Sophie Verdonckt-Vandebroek, S. Simon Wong, Jason C. S. Woo, and Ping K. Ko, "High-gain lateral bipolar action in a MOSFET structure", IEEE Transactions on Electron Devices, vol. 38, no. 11, November 1991.
- [36] - David Wilson, Anthony J. Walton, John M. Robertson, and Robert J. Holwill, "Characterization of parasitic transistors to evaluate CMOS process uniformity", IEEE Transactions on Semiconductor Manufacturing, vol. 4, no. 3, August 1991.
- [37] - Denis J. F. Doyle, and William A. Lane, "Improved Bipolar Transistor Performance in CMOS by novel use of parasitic collector resistance", IEEE J.S.S.C., vol. 25, no. 2, April 1990.
- [38] - Kadaba R. Lakshmikumar, Robert A. Hadaway, and Miles A. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design", IEEE J.S.S.C., vol. sc-21, no. 6 December 1986.

- [39] - Z. Wang, "Analytical determination of output resistance and DC matching errors in MOS current mirrors", IEE Proceedings, vol. 137, pt. G, no. 5, October 1990.
- [40] - Marcel J. M. Pelgrom, Aad C. J. Duinmaijer, and Anton P. G. Welbers, "Matching properties of MOS transistors", IEEE J.S.S.C., vol. 24, no. 5, October 1989.
- [41] - José D. Favoretto Jr., "Circuitos de polarização para um gerador de tons DTMF", Anais do VI Congresso da Sociedade Brasileira de Microeletrônica - VI SBMicro, sessão 2B, Julho de 1991.
- [42] - Linda Herman, "Controlling CMOS latch-up", VLSI Design (Technology Insight), April 1985.
- [43] - "Document about the reference sources".
- [44] - Alan B. Grebene, "Bipolar and MOS analog integrated circuit design", A Wiley Interscience Publication, 1984.
- [45] - Phillip E. Allen, and Douglas R. Holberg, "CMOS analog circuit design", Hold, Rinehart and Winston, 1987.
- [46] - Publicação European Silicon Structures-ES2, "Dual layer metal 1.2mm CMOS design rules (ECPD12)", rev. A, October 30th 1989.
- [47] - AMI Semiconductors, "2 μ m Preliminary target intrinsic parameters (TIPs) for CMOS TWIN-TUB process", rev. A, February 19th 1986.
- [48] - AMS, "1.2 μ m CMOS process parameters", rev. C, June 1993.
- [49] - C. Toumazou, F.J.Lidgey and D.G.Haigh, "Analogue IC design: the current-mode approach", Peter Peregrinus Ltd., June 1990.
- [50] - Comunicação paraticular: Mr. Richard H. Stern - Graham & James, USA, Março de 1994.
- [51] - Carlos Alberto Reis Filho, "Projeto de circuitos bipolares", Curso da VI Escola Brasileiro Argentina de Informática - VI EBAL, Julho de 1993.
- [52] - E. K. F. Lee and P. G. Gulak, "Field programable analogue array based on MOSFET transconductors", Eletronics Letters, vol. 28, no.1, January 1992.

- [53] - Kamon A. Orives, "Projeto de fusíveis para programação elétrica, não volátil, em CI's", Anais do IV Congresso da Sociedade Brasileira de Microeletrônica - IV SBMicro, vol. 2, Julho de 1989.
- [54] - José Pratas e João Ventura, "Projeto e realização em CI CMOS de um conversor A/D para sinais de vídeo standard", Instituto Superior Técnico, Universidade Técnica de Lisboa, 1991/1992.
- [55] - Kazuo Nakashima e Czeslau R. Barczak, "Apostila de E098 - Amplificadores operacionais (aplicações)", Escola Federal de Engenharia de Itajubá - EFEI, 1987.
- [56] - Paul R. Gray and Robert G. Meyer, "Analysis and design of analog integrated circuits", John Wiley & Sons, Inc., Third edition, 1993.
- [57] - Heitor Franco, "Measurement of transistor high-frequency current gain", Fairchild Semiconductor, Technical paper, June 1964.
- [58] - Paolo Antognetti and Giuseppe Massobrio, "Semiconductor device modeling with SPICE", McGraw-Hill International Editions, 1988.
- [59] - Ivan C. R. Nascimento e Armando G. da Silva, "Software para fitting de transistores bipolares", Anais do V Congresso de Sociedade Brasileira de Microeletrônica - V SBMicro, Julho de 1990.
- [60] - Ian Getreu, "A new series: modeling the bipolar transistor - part 1, 2 and 3", Electronics, 1974.
- [61] - A. Ibarra and J. Gracia, "Strategy for DC parameter extraction in bipolar transistor", IEE Proceedings, vol. 137, Pt. G, no. 1, February 1990.
- [62] - M. H. Rashid, "SPICE for circuits and electronics using PSPICE", Prentice-Hall International Editions, 1990.
- [63] - G. Ghibaud, "New method for the extraction of MOSFET parameters", Electronics Letters, vol. 24, no. 9, April 1988.
- [64] - Z. D. Prijic, S. S. Dimitrijevic and N. D. Stojadinovic, "Analysis of temperature dependence of CMOS transistors' threshold voltage", Microelectron. Reliab., vol. 31, no. 1, 1991.
- [65] - Roubik Gregorian, and Gabor C. Temes, "Analog MOS integrated circuits for signal processing", Wiley Interscience, John Wiley & Sons, Inc, 1986.

[66] - M. M. Martins, J. A. S. Dias, "CMOS shunt regulator with bandgap reference for automotive environment", IEE Proc. - Circuits Devices Syst., Vol.141, No. 3, June 1994.