

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE MICROELETRÔNICA

PROJETO DE UM CIRCUITO INTEGRADO
INTELIGENTE DE POTÊNCIA IMPLEMENTADO
EM TECNOLOGIA CONVENCIONAL CMOS

Saulo Finco
Orientador: Prof. Dr. Wilmar Bueno de Moraes

Dissertação apresentada como parte dos requisitos necessários para a obtenção do Título de Mestre em Engenharia Elétrica, na área de concentração ELETRÔNICA E COMUNICAÇÃO, à comissão julgadora da Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas.

Campinas, fevereiro de 1996

Este exemplar corresponde a redação final da tese defendida por SAULO FINCO e aprovada pela Comissão Julgada em 16 / 02 / 96

Wilmar Bueno de Moraes
Orientador



9916343

UNICAMP	BC
N.º C.	
V.	Ex.
T. MBO BC/	38586
P.º	229/99
0	<input type="checkbox"/>
1	<input checked="" type="checkbox"/>
PNFCO	R\$11,00
DATA	31/08/99
N.º CPD	

CM-00125647-3

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

F492p Finco, Saulo
Projeto de um circuito integrado inteligente de potência implementado em tecnologia convencional CMOS / Saulo Finco.--Campinas, SP: [s.n.], 1996.

Orientador: Wilmar Bueno de Moraes.
Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica.

1. Circuitos eletrônicos - Projetos. 2. Circuitos integrados. 3. Circuitos de comutação. 4. Física do estado sólido. 5. Transistores de potência 6. Transistores de efeito de campo. I. Moraes, Wilmar Bueno de. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica. III. Título.

Agradecimentos

Meus agradecimentos:

Acima de tudo, ao Deus criador e mantenedor de toda vida existente, amigo presente em todos os momentos.

Ao meu orientador Prof. Dr. Wilmar B. de Moraes, pela amizade, pelos valerosos conselhos e orientações dadas a este trabalho.

À Fundação Centro Tecnológico para Informática - CTI, na pessoa do Prof. Dr. Arthur João Catto (diretor do CTI) e ao Prof. Dr. Carlos I. Z. Mammana (diretor do IM-CTI), ao corpo técnico desta Fundação, pelo precioso apoio institucional e pessoal dado a este trabalho.

Aos Prof. Dr. Pierre Rossel e Dr. Georges Charitat (LAAS/CNRS - França), Willy Sansen e Michiel Steyeart (ESAT-KULeuven - Bélgica), à Profa. Maria Inês Castro Simas e Prof. Mário Lança (CEAUTL - Portugal), Prof. Dr. Frank H. Behrens (PUCCAMP - Brasil) e que dentro da especialidade de cada um me ajudaram na elaboração deste trabalho.

Aos Eng. Jorge Guilherme e Pedro Santos (CEAUTL - Portugal), pela amizade, pelas discussões e desenvolvimentos realizados em conjunto.

Pelo suporte obtido junto ao programa RHAE e pelos convênios internacionais CNPq/CNRS e CNPq/JNICT, que financiaram o intercâmbio com especialistas da França, Bélgica e Portugal.

Aos gestores do: Projeto Multiusuário Brasileiro - PMU e projeto mutiusuário EUROCHIP, que permitiram a realização dos protótipos implementados no decorrer desta pesquisa.

Aos colaboradores e funcionários da FEE - UNICAMP, em especial a Sra. Cristina.

A amiga Cleomar pela sua paciência e pelos incontáveis auxílios.

Aos companheiros de trabalho e amigos do LPCI.

Aos amigos, Sérgio, Carlos, Rosângela, Jackson, Ivânia, Djalma, Sueli, Vera³, Susete, Marcos³, Bata, João, Carlos, Márcio, Fátima, Zé Bastos, Igor... por serem amigos.

Aos meus preciosos irmãos e familiares pela amizade e por incontáveis suportes...

Aos meus queridos pais que nos principais momentos de minha vida me apoiam e sabiamente me aconselham.

Meu agradecimento especial à Karla, minha esposa e ao meu filho Tiago, por estarem comigo todos os dias, dando-me carinho e alento, mesmo sofrendo com minha ausência nos momentos de preparação deste trabalho.

Resumo

Este trabalho de tese foi motivado por resultados experimentais que comprovaram eficiência dos transistores LDD-NMOS e LDSD-NMOS na manipulação de potência. Tais transistores são passíveis de serem construídos em tecnologias digitais convencionais, capazes de serem integrados monoliticamente com os seus circuitos de controle.

Na primeira parte do Capítulo 1 é apresentado o atual contexto de aplicações do mercado mundial deste segmento da eletrônica, na segunda parte contém um breve histórico do desenvolvimento desta pesquisa no Brasil. No Capítulo 2 são apresentados os principais tópicos da engenharia dos dispositivos de potência, necessários para compreender o modelamento elétrico e a construção dos transistores LDD e LDSD-NMOS, constituindo uma célula de comutação aplicável em inúmeras topologias de conversão de potência

No Capítulo 3 é apresentado o principal objeto desta tese que é o projeto de um Dispositivo Inteligente de Potência, cuja funcionalidade é conversão CC-CC, para uma topologia *Boost Converter*. O circuito foi construído monoliticamente em um processo digital 1.5 μ m SP DML. Neste capítulo o projeto é descrito estruturalmente e funcionalmente. O comportamento global foi comprovado por simulação elétrica realizada com o *netlist* extraído do *layout*. Do mesmo modo a estrutura e a funcionalidade de cada bloco individual que compõem o circuito são também analisadas e comprovadas por simulação elétrica. O circuito foi implementado e testado. Em uma primeira análise os resultados experimentais concordam com os resultados de simulação no entanto não estão no âmbito do estudo apresentado nesta tese.

No Capítulo 4 é feita uma recapitulação geral dos tópicos abordados e são apresentadas as potencialidades que este trabalho de pesquisa tem. Algumas metas são colocadas como desafio para a continuidade deste trabalho.

SUMÁRIO

CAPÍTULO 1 - DISPOSITIVOS INTELIGENTES DE POTÊNCIA, ATUALIDADES

INTRODUÇÃO	1
1.1 TECNOLOGIAS ATUAIS E MERCADOS	4
1.1.1 Área automotiva	4
1.1.2 Computadores e periféricos	7
1.1.3 Aplicações portáteis	9
1.1.4 Eletrônica de consumo	10
1.2 DISPOSITIVOS INTELIGENTES DE POTÊNCIA NO BRASIL	12
1.3 TENDÊNCIAS FUTURAS	16
1.4 CONCLUSÕES	17

CAPÍTULO 2 - OS TRANSISTORES LDD-NMOS E LDS-D-NMOS

INTRODUÇÃO	19
2.1 DESENVOLVIMENTO DOS POWER MOSFETS	20
2.2 RUPTURAS NOS DISPOSITIVOS MOS DE POTÊNCIA	24
2.2.1 Ruptura do Dielétrico da porta	26
2.2.2 Ruptura por avalanche em uma junção	26
2.2.2.1 Técnicas de terminação para a conformação das linhas de campo	28
2.3 TRANSISTORES MOS LATERAIS OTIMIZADOS PARA ALTA TENSÃO	30
2.3.1 Modelos estáticos	31
2.3.2 Modelos dinâmicos	34
2.3.2.1 O Transistor LDD-NMOS	34
2.3.2.2 O Transistor LDS-D-NMOS	36
2.3.3 Caracterização Estática	38
2.4 PROCESSO CMOS CONVENCIONAL	39
2.4.1 Etapas de processo	40
2.4.2 Regras de Desenho	44
2.4.3 Parâmetros físicos e elétricos	45
2.5 CONSIDERAÇÕES DE DESENHO PARA O LDD E LDS-D-NMOS	46
2.6 ESTRUTURAS PARA A DETERMINAÇÃO DAS REGRAS DE DESENHO	47

CAPÍTULO 3 - O CI INTELIGENTE DE POTÊNCIA CON.PROT3

INTRODUÇÃO	49
3.1 DESCRIÇÃO GLOBAL DO CIRCUITO CON.PROT3	51
3.1.1 <i>Descrição Estrutural</i>	51
3.1.2 <i>Descrição funcional dos pinos</i>	55
3.1.3 <i>Descrição Funcional Global</i>	57
3.2 DESCRIÇÃO DOS BLOCOS INTERNOS	61
3.2.1 <i>Controle analógico</i>	62
3.2.1.1 Bloco Sensor da Tensão de Saída - STS	62
3.2.1.2 Bloco Gerador de Rampa de Compensação - GRC	65
3.2.1.3 Bloco Sensor de Corrente - SC	67
3.2.1.4 Bloco Comparador de Corrente - CC	68
3.2.2 <i>Lógica de Controle e Driver</i>	70
3.2.2.1 Bloco Oscilador - OSC	70
3.2.2.2 Bloco Gerador de Sincronismo - GS	71
3.2.2.3 Bloco de Lógica de Acionamento e Driver - LAD	73
3.2.3 <i>Interface de Potência - IP</i>	75
3.2.4 <i>Chaves de Potência - CP</i>	76
3.2.4.1 Detalhes de <i>Layout</i> do CON.PROT3	77

CAPÍTULO 4 - CONSIDERAÇÕES FINAIS

4.1 RECAPITULAÇÃO E CONCLUSÕES	80
4.2 PERSPECTIVAS DE TRABALHOS FUTUROS	82
4.2.1 <i>CIs Inteligentes de Potência Configuráveis</i>	82
4.2.2 <i>Resultados esperados a médio e longo prazo</i>	83

REFERÊNCIAS

ANEXO A - *NET LIST* SPICE EXTRAÍDO DO LAYOUT DO CON.PROT3

ANEXO B - *NET LIST* SPICE EXTRAÍDO DO LAYOUT DOS BLOCOS CON.PROT3

ANEXO C - PROJETO DE UM CONVERSOR TIPO *BOOST* BASEADO NO C.I. CON.PROT2

Capítulo 1

DISPOSITIVOS INTELIGENTES DE POTÊNCIA, ATUALIDADES

Introdução

Integração Inteligente de Potência, do Inglês *Smart Power*, são produtos que evoluíram da tecnologia VLSI. Eles adicionam inteligência para componentes de potência pela combinação destes com circuitos de lógica, processamento de sinal e de controle.

O termo "*Smart*" aplica-se para os circuitos de lógica e controle. O termo "*Power*" é aplicado para os dispositivos que suportam tensão e corrente no domínio da potência, ou seja alguns *Watts* ou dezenas e centenas de *Watts*. A capacidade de potência é determinada pela construção e encapsulamento do dispositivo. Os dispositivos inteligentes são construídos monoliticamente, ou seja, em uma única pastilha. Cargas que exigem maior potência recorrem a uma outra classe de circuitos monolíticos surgindo configurações híbridas de múltiplas pastilhas - os Módulos Inteligentes. Estes são os conceitos básicos atribuídos aos Dispositivos Inteligentes de Potência.

A idéia de combinar dispositivos de potência e circuitos de controle na mesma pastilha de silício surgiu por volta do fim dos anos 70 [1.1]. Esta idéia é muito atraente, primeiro porque a fusão de dois ou mais *chips* em um único, certamente reduz o custo do sistema e aumenta a confiabilidade

do mesmo, devido à redução do número de encapsulamentos, economia de espaço e eliminação de interconexões. Adicionalmente, o componente de potência integrado ao controle pode ser melhor protegido de perigos como sobretensão, sobrecorrente e sobretemperatura, exatamente pela "inteligência" do circuito de controle incorporado. As informações pertinentes ao estado da carga podem ser processadas na própria pastilha ou passadas para o meio externo, originando então decisões que melhoram o desempenho do sistema.

A despeito dos benefícios oferecidos pela integração da potência com circuitos de controle operando em baixa tensão, os *Power Integrated Circuits* - PICs não se transformaram em sucesso comercial nos anos 80. A decisão de como particionar sistemas complexos de modo mais eficiente foi difícil. O alto custo de processos de fabricação complexos, a natureza das aplicações e a relutância para mudar estão sempre presentes em qualquer indústria, mantendo assim os PICs em um pequeno nicho de aplicações. Os projetistas preferiram então comprar seus "smarts" e seus "powers" em chips separados.

Nos anos 90, os PICs estão, finalmente, tornando-se uma opção popular, com um mercado cujo crescimento é estimado em 17% ao ano, podendo alcançar 1 bilhão de dólares em 1996 [1.2].

A experiência dos anos 80 reduziu custos e eliminou a relutância dos projetistas. Um grande volume de aplicações na indústria automotiva, de computadores e eletrônica de consumo conduziu os PICs para fora de nichos específicos de mercado, ou seja, para desenvolvimentos e aplicações principais da eletrônica atual. Atualmente estão sendo identificadas algumas funções padronizadas para CIs de potência, enquanto projetos totalmente dedicados são cada vez menos comuns.

A Figura 1.1 mostra o *layout* de dois Dispositivos Inteligentes de Potência - DIP. O circuito referido em (1a) é um exemplo típico dos anos 80, construído em tecnologia bipolar. O circuito em (1b) retrata a tendência dos atuais DIP, onde a maior área da pastilha é dedicada a funções de controle e processamento de informações. Os avanços observados nas tecnologias para ASICs, e também nas de potência, estão permitindo a combinação de ambas em tecnologias mais

adequadas à integração de Cis como Dispositivos Inteligentes de Potência. A evolução para geometrias cada vez menores e camadas múltiplas de metal têm diminuído a resistência e melhorado a eficiência dos dispositivos de potência. O uso de geometrias na faixa de 1.2 - 1.5 μm também faz o circuito de controle dos PICs mais eficiente e ao mesmo tempo compatível com bibliotecas já existentes [1.3] [1.4].

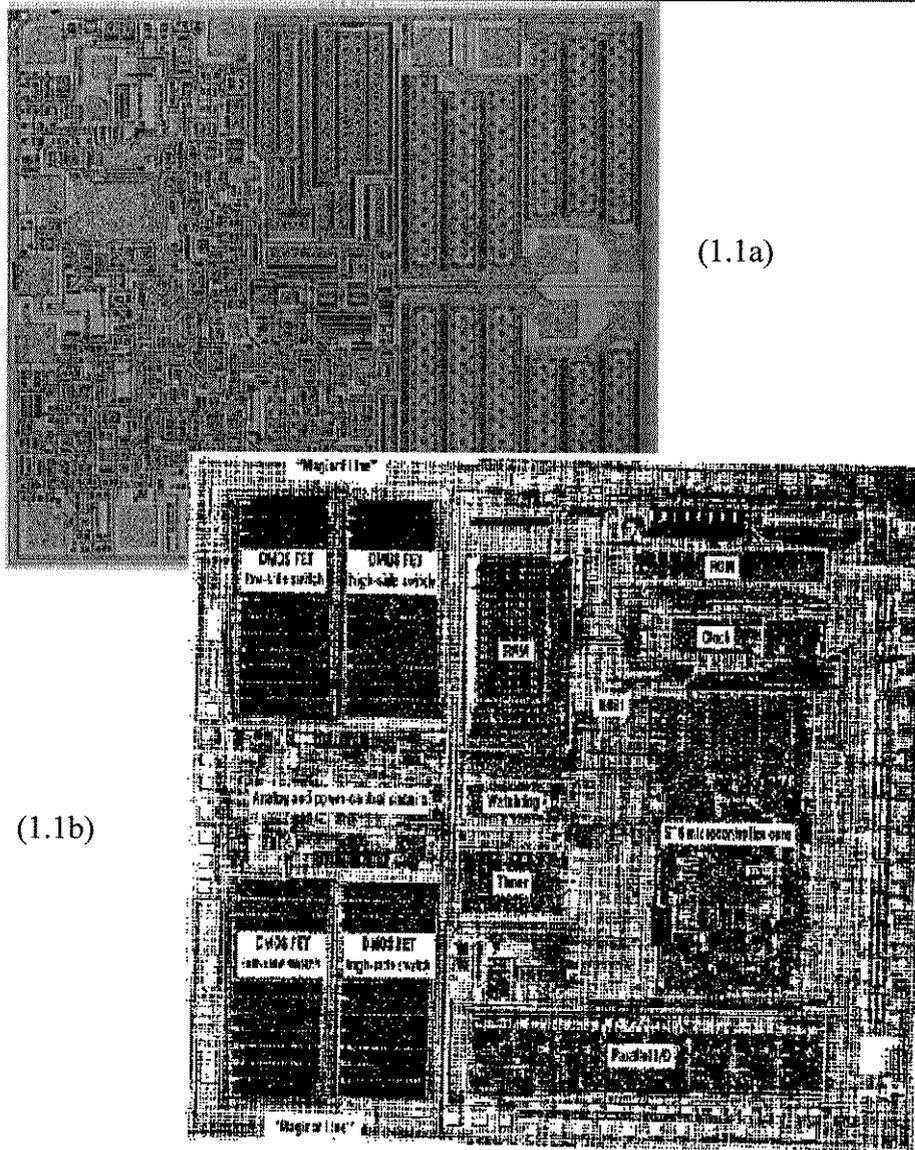


Figura 1.1 - Fotografias dos circuitos integrados : (1a) L294, *driver* para solenóide; (1b) H081 da SGS-Thomson, quatro transistores DMOS 60V-1A, um microcontrolador de 8 *bits* e circuitos analógicos para controle e proteção.

A possibilidade de uso de bibliotecas aumentou correspondentemente ao número de funções disponíveis para os PICs, além de reduzir o ciclo de projeto e os custos associados. As maiores áreas de crescimento de aplicação de PICs são a indústria automotiva [1.5], de computadores [1.6], de aplicações portáteis [1.7] [1.8] e a área de produtos de consumo. Algumas tecnologias foram desenvolvidas especificamente para servir esses mercados. A seguir, serão discutidos os aspectos de mercado segundo as áreas acima descritas, bem como as necessidades tecnológicas requeridas.

1.1 Tecnologias atuais e mercados

Neste tópico são descritos alguns dos últimos avanços no campo dos PICs. As atuais necessidades de mercado e aplicações que norteiam o desenvolvimento das tecnologias dos PICs são identificadas e discutidas. Descreve-se também as tecnologias atuais disponíveis para projetos de PICs, bem como as razões por que uma tecnologia em particular deva ser escolhida para uma determinada aplicação. Discute-se, por fim, os trabalhos que estão sendo realizados no Brasil bem como as tendências futuras.

1.1.1 Área automotiva

O mercado automotivo é um dos maiores e o mais diversificado para os PICs. A eletrônica existente nos automóveis praticamente dobrou de 1990 a 1995 e outros 50% de aumento são esperados de 1996 a 2000 [1.5]. A indústria automobilística está procurando maior eficiência no consumo de combustível, diminuição da emissão de resíduos poluentes, maior confiabilidade e redução de preços.

Novas legislações deverão exigir dos fabricantes a detecção e prevenção de falhas de ignição dos motores para reduzir a emissão de poluentes. O desenvolvimento da eletrônica embarcada incorporado pelas empresas montadoras são, via de regra, limitados em tamanho, peso e potência dissipada. Tais limites estão causando um forte aumento do uso de PICs na divisão desse mercado.

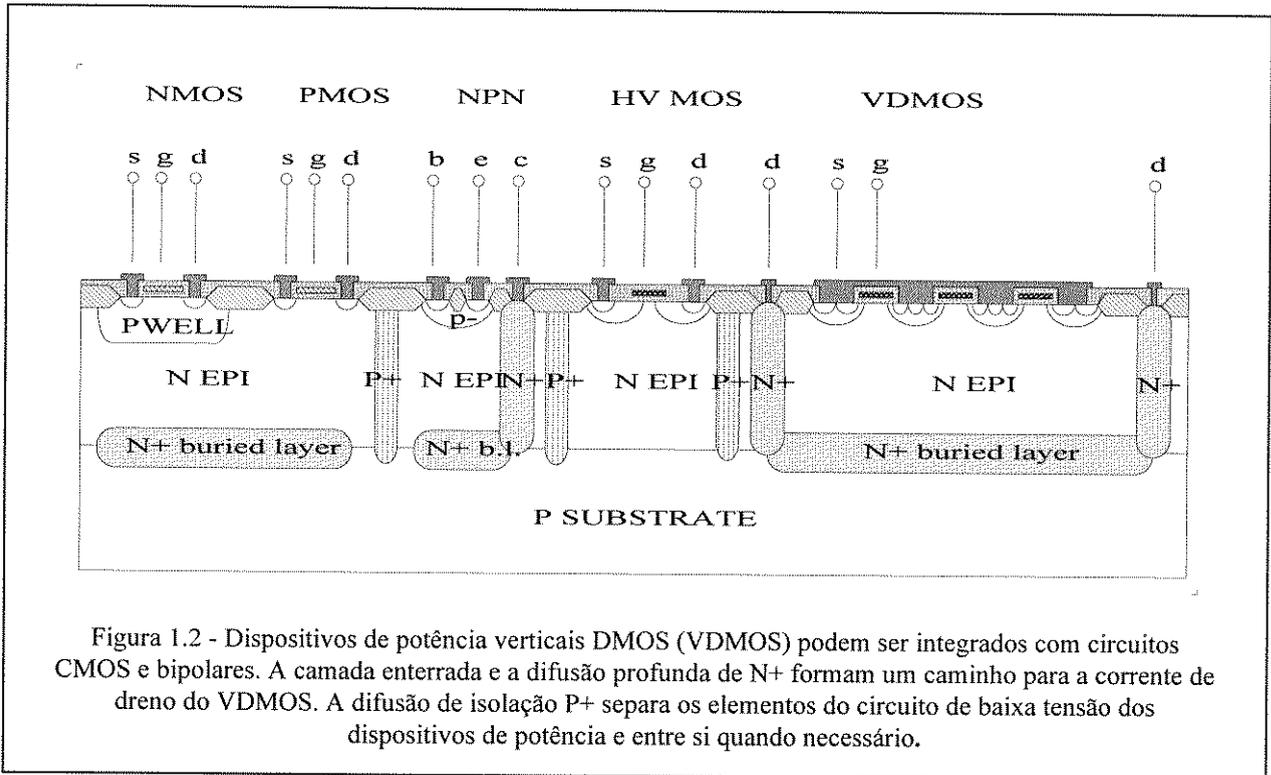
Muitas aplicações automotivas requerem blocos que operem a 65 Volts ou menos. A tendência atual avança em direção a uma faixa de tensão mais baixa, em torno de 30 a 40V, tão logo os fabricantes incluam proteção contra surtos de tensão dentro dos alternadores. As correntes para aplicações automotivas são geralmente menores que 10 ampère. Cargas grandes são manipuladas por dispositivos de potência discretos ou relês, mas mesmo assim, os PICs podem ser usados como *drivers* para os FETs de potência ou relês.

Aplicações para Dispositivos Inteligentes de Potência podem ser encontradas em muitas partes de um carro. Esta tecnologia é ideal para acionar motores elétricos, em virtude de sua alta capacidade de corrente. Tais motores são utilizados para conforto e segurança e podem ser encontrados em vidros elétricos, nos espelhos retrovisores, nos acentos, nos cintos de segurança, nos limpadores de parabrisa, em antenas e nos sistema de aquecimento e ar condicionado. Alguns motores são utilizados para funções associadas à operação do veículo, incluindo a bomba de recirculação dos gases de exaustão, bombas dos freios ABS, ventilador para resfriamento do motor, etc.

A quantidade de lâmpadas incandescentes presentes em um automóvel é surpreendente, exigindo soluções para controle independente de múltiplas saídas de potência, com economia de espaço. Sistemas de áudio requerem saídas de potência, bem como os *drivers* de mostradores. A instrumentação interna requer *drivers* para os sensores e *drivers* para mostradores de informação, os quais podem ser integrados numa mesma pastilha juntamente com circuitos de processamento de sinal. Os solenóides são usados para acionamento mecânico das travas de portas e nos injetores de combustível. Os equipamentos de segurança, tais como cintos de segurança motorizados e *airbags*, requerem também *drivers* de potência.

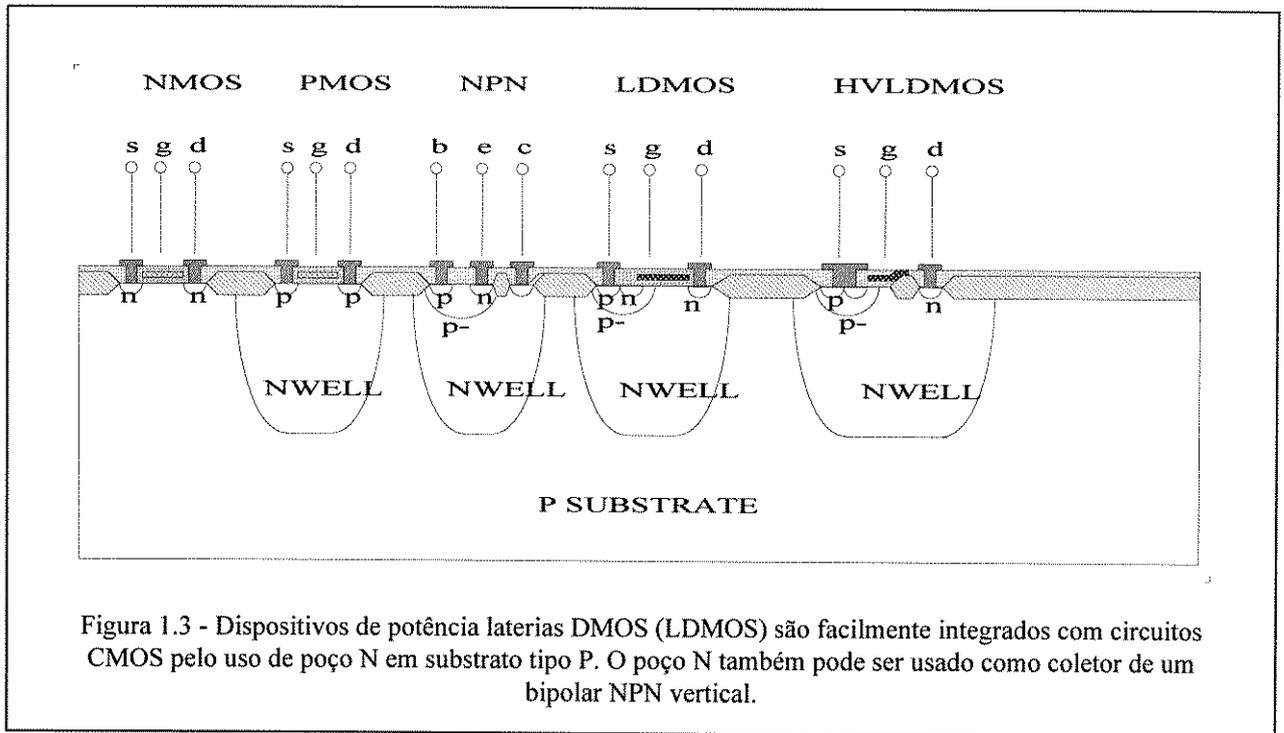
A maioria das tecnologias de PICs que preenche os requisitos dessas aplicações utiliza ou um dispositivo de potência "*updrain*" (também chamado de quase vertical) ou um dispositivo de potência lateral. Estes dispositivos podem facilmente suportar a tensão requerida e são capazes de conduzir correntes de alguns ampères. Tanto o *updrain* como o dispositivo lateral podem ser integrados com circuitos de controle complexos e têm estrutura propícia à realização de saídas

múltiplas de potência. A Figura 1.2 mostra seção transversal de um processo de fabricação que incorpora dispositivos de potência tipo *updrain*. Este processo de $2,5\ \mu\text{m}$ produz múltiplos dispositivos de potência que operam até 80V , com uma resistência de condução específica de $5\text{m}\Omega\cdot\text{cm}^2$.



A tendência hoje em dia segue em direção a um alto nível de integração dos circuitos de controle, sendo comum um PIC com mais espaço dedicado para a parte de controle do que para a parte de potência. Por isso, tem sido vantajoso reduzir o tamanho mínimo realizável, sendo que os processos atuais estão em estado avançado de desenvolvimento, ao nível de $1.5\text{-}1.2\ \mu\text{m}$ [1.3] [1.4].

A Figura 1.3 mostra a seção transversal de um processo que utiliza dispositivos LDMOS como elementos de potência [1.3]. Nesta tecnologia os dispositivos são feitos dentro de poços N, os quais estão auto-isolados do substrato tipo P, por uma junção polarizada inversamente.



Os circuitos CMOS de baixa tensão são tipicamente de 1,2-1,5 μm , com tensões de limiar em torno de 0,8 Volt. Dois tipos de óxido de porta são necessários, um para os dispositivos de potência e o outro para circuitos de controle, aquele de maior tensão de limiar deve ser utilizado nas portas dos dispositivos de potência.

Este processo não permite a construção de dispositivos bipolares de alto desempenho, porém um bipolar razoável pode ser feito tendo o implante de canal do LDMOS como base. Esta tecnologia é compatível com microcontroladores e com elementos de memórias não voláteis. O particionamento de sistemas com a utilização de microcontroladores remotos, operando dispositivos de potência, pode ajudar a reduzir a carga computacional do algoritmo de controle do Dispositivos Inteligentes de Potência.

1.1.2 Computadores e periféricos

A popularidade dos computadores pessoais e estações de trabalho com periféricos associados tem criado um grande mercado para PICs. *Drivers* de disco, *displays*, fontes de alimentação e

impressoras, todos requerem *drivers* de potência [1.11]. Os computadores portáteis têm necessidade de melhoria da eficiência e redução do consumo de potência e do número de peças, para economia de espaço e peso. Tais requisitos tornam os PCs portáteis a aplicação ideal para PICs, os quais são capazes de oferecer processamento de sinal e múltiplas saídas de potência no mesmo *chip*.

Espera-se que o mercado para pequenos *drivers* de disco rígido (3^{1/2}" ou menores) torne-se enorme num futuro próximo. A escolha tecnológica para esta aplicação combina circuitos BiCMOS com LDMOS de potência [1.3] [1.6]. A Figura 1.4 mostra como um dispositivo LDMOS para 25-35 Volt, de alta eficiência, pode ser integrado com circuitos BiCMOS em tecnologia 1,2 - 1,5 μm.

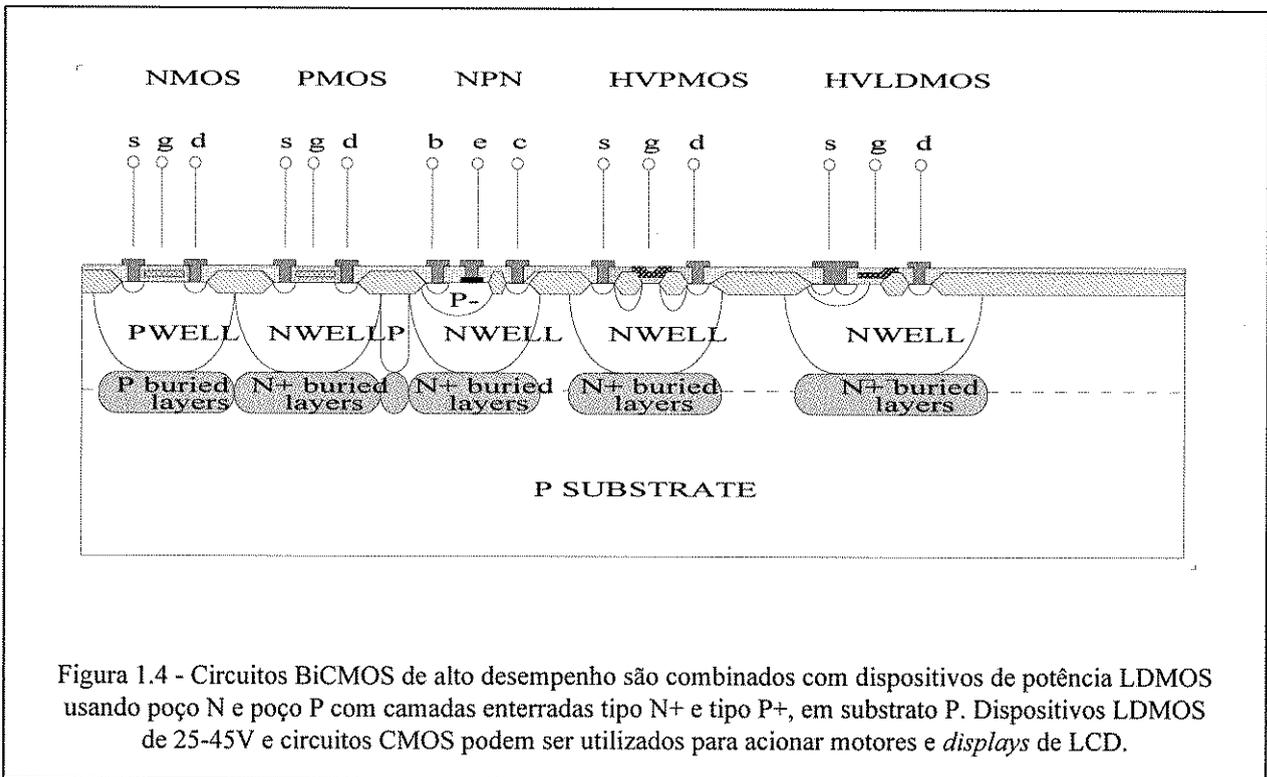


Figura 1.4 - Circuitos BiCMOS de alto desempenho são combinados com dispositivos de potência LDMOS usando poço N e poço P com camadas enterradas tipo N+ e tipo P+, em substrato P. Dispositivos LDMOS de 25-45V e circuitos CMOS podem ser utilizados para acionar motores e *displays* de LCD.

Para operações de leitura e escrita, requerem-se circuitos CMOS de alta velocidade, enquanto que para o processamento de sinal exato da informação do servo-mecanismo, requerem-se dispositivos bipolares de alto desempenho. Os dispositivos de potência são necessários para acionar as cabeças magnéticas e os motores de rotação dos discos.

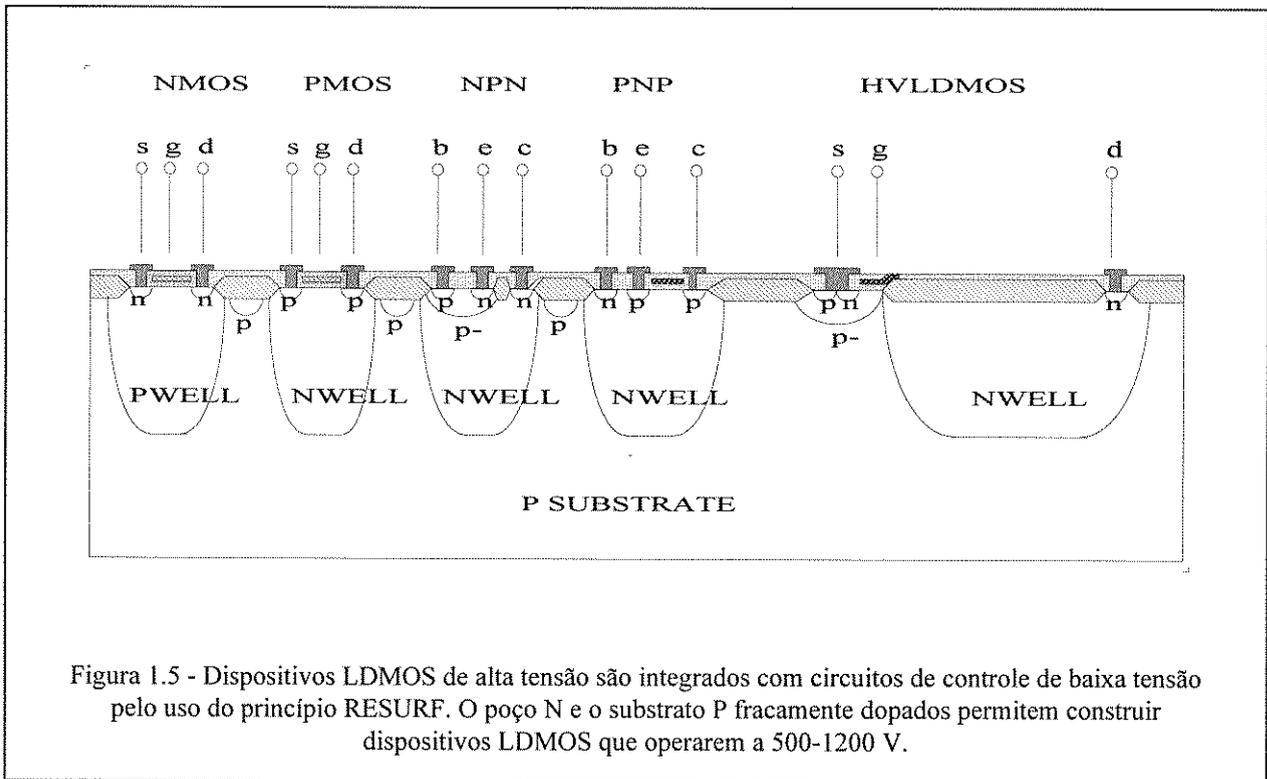
Dispositivos Inteligentes de Potência também podem ser utilizados como circuitos de excitação de LCD para mostradores de informação (telas) de computadores portáteis. Estes circuitos de excitação requerem uma tensão de operação média ao redor de 45 Volt e devem permitir a integração eficiente em área de silício, devido ao grande número de saídas necessárias [1.10] [1.16].

Circuitos de excitação de cabeças de impressora podem usar Dispositivos Inteligentes de Potência com saídas em dispositivos DMOS, que são mais adequados por apresentar baixa queda de tensão em condução, diferente das saídas bipolares em configuração *Darlington*, utilizadas anteriormente.

1.1.3 Aplicações portáteis

Os carregadores para equipamentos eletrônicos portáteis alimentados por baterias, tais como telefones portáteis, computadores e câmeras-vídeo, são freqüentemente unidades separadas devido aos seus pesos e tamanhos consideráveis [1.7]. É conveniente, técnica e economicamente, que este tipo de equipamento possa ser conectado diretamente numa tomada da rede AC 110 ou 220 Volt. Hoje, as tecnologias disponíveis dos PICs permitem integrar carregadores de baterias e fontes de alimentação compactas na mesma pastilha em que operam os retificadores de tensão [1.7] - [1.9].

A tecnologia LDMOS de alta-tensão usando o princípio *reduced surface field* (RESURF) é a escolhida para aplicação de carregadores de bateria como mencionado acima [1.7] [1.12] - [1.14]. O carregador de baterias requer alto valor de tensão para operar quando desligado, mas os requisitos de corrente são modestos. O circuito pode realizar funções de carregador de bateria e também incluir diagnóstico e funções de proteção relacionados à carga.



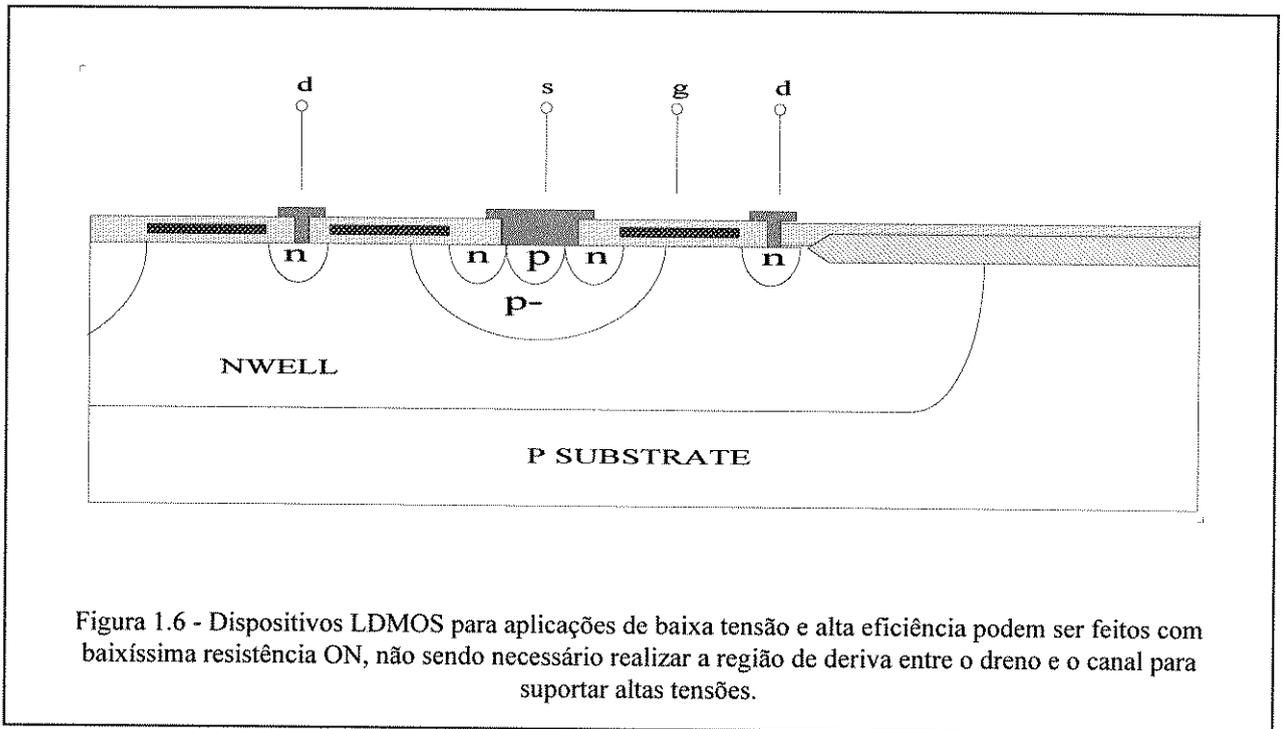
A Figura 1.5 mostra a seção transversal de um processo de fabricação que integra dispositivos LDMOS de alta tensão com circuitos CMOS poço N. O efeito de RESURF é criado pelo uso de um substrato tipo P muito pouco dopado e o poço N como camada de deriva do dreno. Usando esta técnica, dispositivos que operam com 500-1200V podem ser construídos [1.7] [1.12].

1.1.4. Eletrônica de consumo

Existem numerosas aplicações de baixa tensão para PICs dentro de produtos eletrônicos de consumo. Uma das maiores aplicações é para *drivers* de motores de corrente contínua CC sem escovas, de baixa tensão. Por exemplo: câmeras fotográficas de 35mm incluem motores para auto-foco e avanço e rebobinamento de filme; vídeo-câmeras têm motores de auto-foco, auto-zoom e *driver* de fita; toca-fitas portáteis e toca-discos laser têm motores para movimentação.

Nestas aplicações de consumo portáteis alimentadas por baterias, volume e peso são características críticas e importantes. Adicionalmente, o tempo de vida das baterias e a

capacidade limitada de refrigeração colocam limitações quanto à dissipação para o circuito de controle e os dispositivos de potência. Muitos circuitos têm que operar alimentados por uma fonte composta de uma ou duas pilhas (1,2 a 3 Volt). Conseqüentemente, uma baixa tensão de limiar é necessária para os circuitos CMOS e os componentes de potência.



A Figura 1.6 mostra a seção transversal de um LDMOS de potência para aplicações de baixa tensão. Dado que este dispositivo opera abaixo de 5 Volt, não é necessária a camada de deriva de dreno para suportar altas tensões, resultando numa resistência específica muito baixa, em torno de $0,5 \text{ m}\Omega\text{-cm}^2$ [1.9]. A disponibilidade de duas camadas de metal é particularmente essencial para estes dispositivos, porque a resistência do metal de interconexão pode representar uma fração importante da resistência total do dispositivo.

1.2 Dispositivos Inteligentes de Potência no Brasil

Desde 1987, pesquisas estão sendo realizadas com estruturas de dispositivos de potência MOS compatíveis com a tecnologia CMOS convencional. Esta opção foi utilizada por ser a única

disponível para a realização de protótipos, com regras de projeto e parâmetros de processo disponíveis.

O acesso a tecnologias *Smart Power* para prototipagem não é trivial. Até recentemente, os processos de fabricação disponíveis eram industriais e restritos. Isto se deve fundamentalmente ao fato destas tecnologias estarem ainda em processo de maturação, com grande competição industrial. Entretanto, espera-se que estejam brevemente disponíveis para prototipagem, da mesma forma que as tecnologias CMOS para ASICs. Por outro lado, o uso da tecnologia CMOS convencional para potência é muito interessante, tendo sido realizado um intenso trabalho com o objetivo de determinar os limites desta tecnologia para aplicações de potência e alta tensão.

Também tem sido estudada a adequação das diversas estruturas de dispositivos VDMOS, LDMOS etc, para realização de PICs mono-chaves e multi-chaves. Nos primeiros passos desta pesquisa foram inspecionadas as alternativas de estrutura de dispositivos VDMOS e LDMOS, bem como as técnicas de isolamento (placas de campo, anéis de guarda difundidos) [1.18] [1.19]. O modelamento DC e AC dos dispositivos foi alvo de estudos, visando sobretudo a possibilidade de previsão do comportamento elétrico em aplicações, por meio de simulação SPICE [1.20]. A simulação bidimensional de dispositivos utilizando o simulador SPICES vem sendo utilizada, no sentido de melhor compreender os fenômenos de ruptura e otimizar a estrutura geométrica dos dispositivos [1.21].

Alguns Dispositivos Inteligentes de Potência foram prototipados, utilizando-se tecnologias CMOS convencionais de 3 μm (poço P, um nível de metal) e de 1.5 e 2 μm (poço N, de dois níveis de metal).

A Figura 1.7 mostra a microfotografia de um PIC mono-chave contendo um transistor VDMOS e um circuito digital NMOS, fabricado em CMOS 3 μm , poço P, para aplicação como chave ON-OFF controlada por endereçamento. Tal CI opera satisfatoriamente até 100 V e 0.5A [1.18].

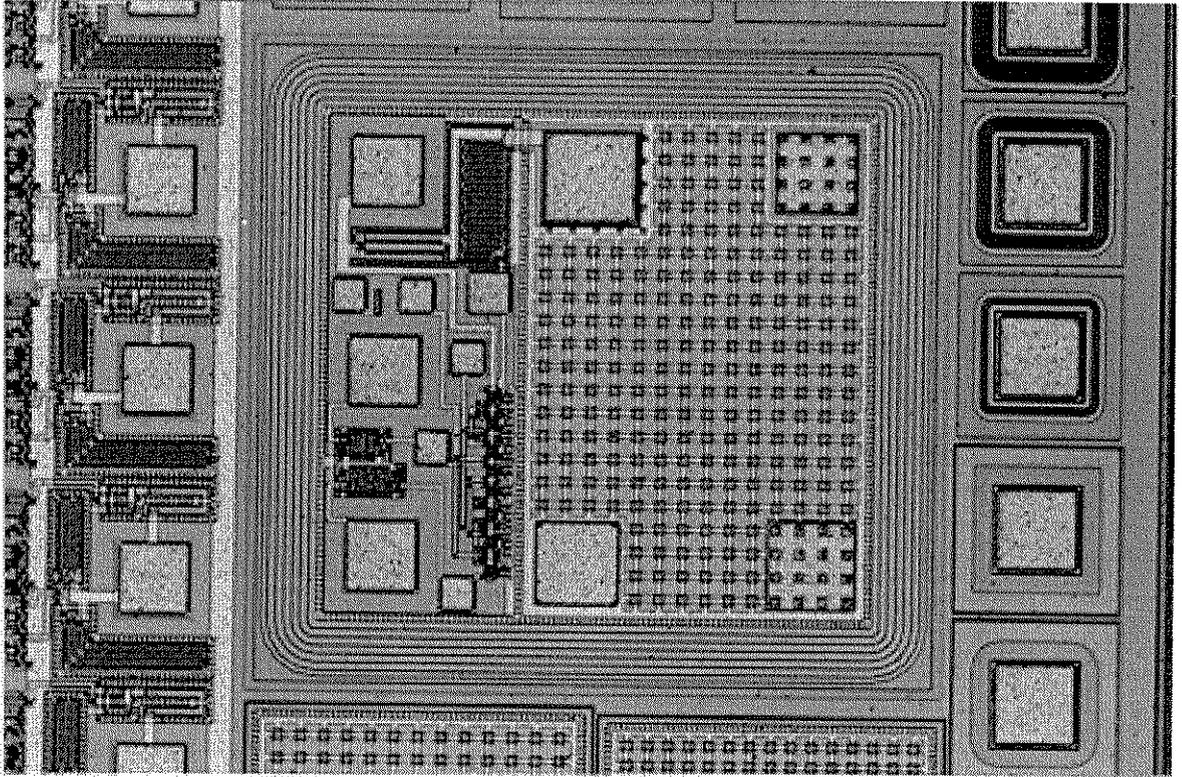


Figura 1.7 - Fotografia de um CI *Smart Power* contendo um transistor VDMOS (100V/500mA) e circuitos de controle NMOS, em tecnologia CMOS 3 micra, poço P e um nível de metal. Utilizou-se técnica de isolamento por anéis de guarda difundidos.

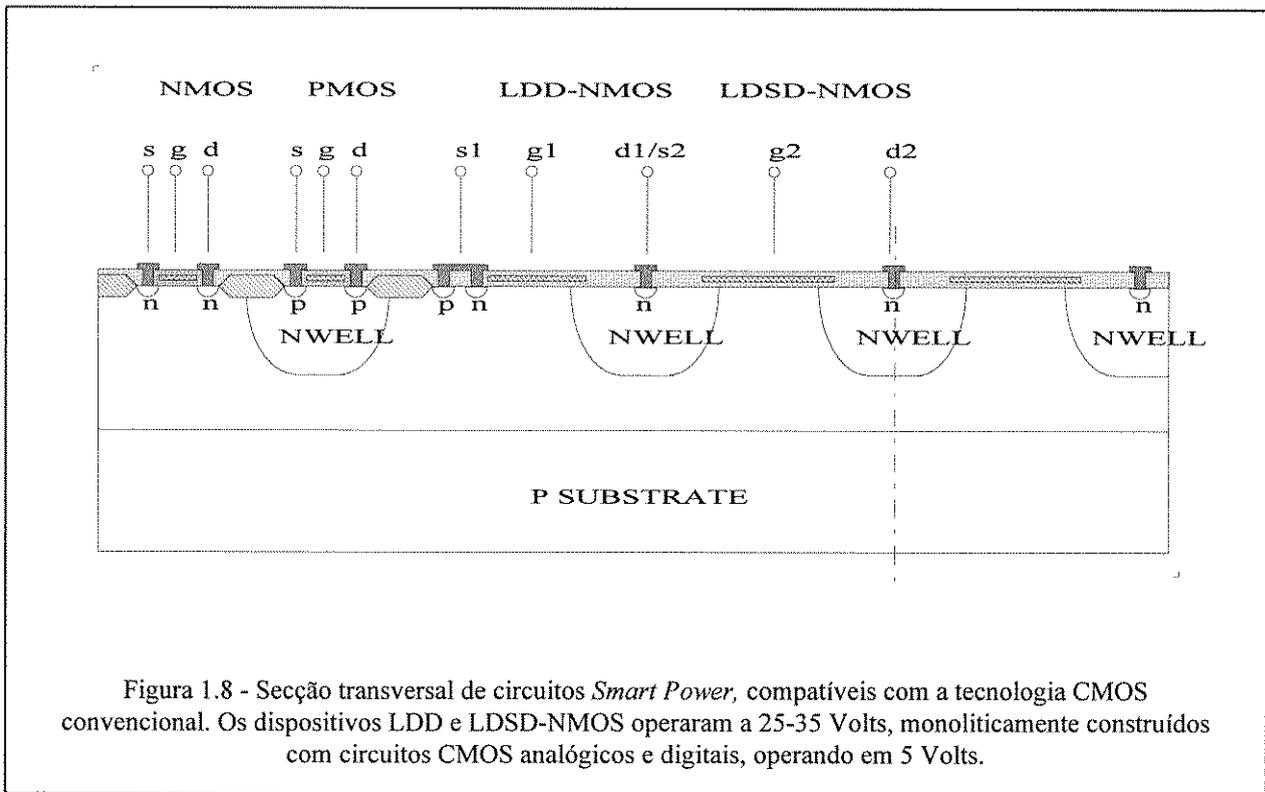
Durante os trabalhos de pesquisa, dois dispositivos laterais demonstraram grande potencial para aplicação em PICs. Foram denominados LDD-NMOS e o LDS-D-NMOS [1.22] [1.23], com base no conceito de dreno levemente dopado, ou *Lightly Doped Drain* (LDD), o qual foi utilizado no começo do desenvolvimento da tecnologia de dispositivos semicondutores de potência [1.24].

A idéia chave para aumentar a faixa de tensão de operação do dreno e fonte é usar a junção de poço N, disponível na tecnologia CMOS convencional, cuja profundidade e concentração fraca de impurezas permitem alcançar valores mais elevados de tensão de ruptura do que as junções rasas N+ comuns.

As tecnologias com poço N (substrato P-) estruturalmente permitem fabricar transistores NMOS de média tensão, isolados uns dos outros (múltiplas chaves), os quais podem ser construídos junto

com circuitos CMOS de controle, analógicos e digitais, operando em baixa tensão na mesma pastilha.

A Figura 1.8 mostra a seção transversal dos dispositivos de potência LDD e LDSD-NMOS, que operam na faixa de 25-35V, juntamente com dispositivos PMOS e NMOS de baixa tensão. A Figura 1.9 mostra a fotografia de um *chip driver* de mostradores de cristal líquido (LCD) de múltiplas saídas e média tensão (25 Volts), utilizando o dispositivo LDSD-NMOS [1.23].



A Figura 1.10 mostra uma microfotografia com detalhes de um PIC desenvolvido como bloco construtivo para projetos de potência diversos, onde se requeira um par de chaves de potência, denominado de Célula Inteligente de Chaveamento.

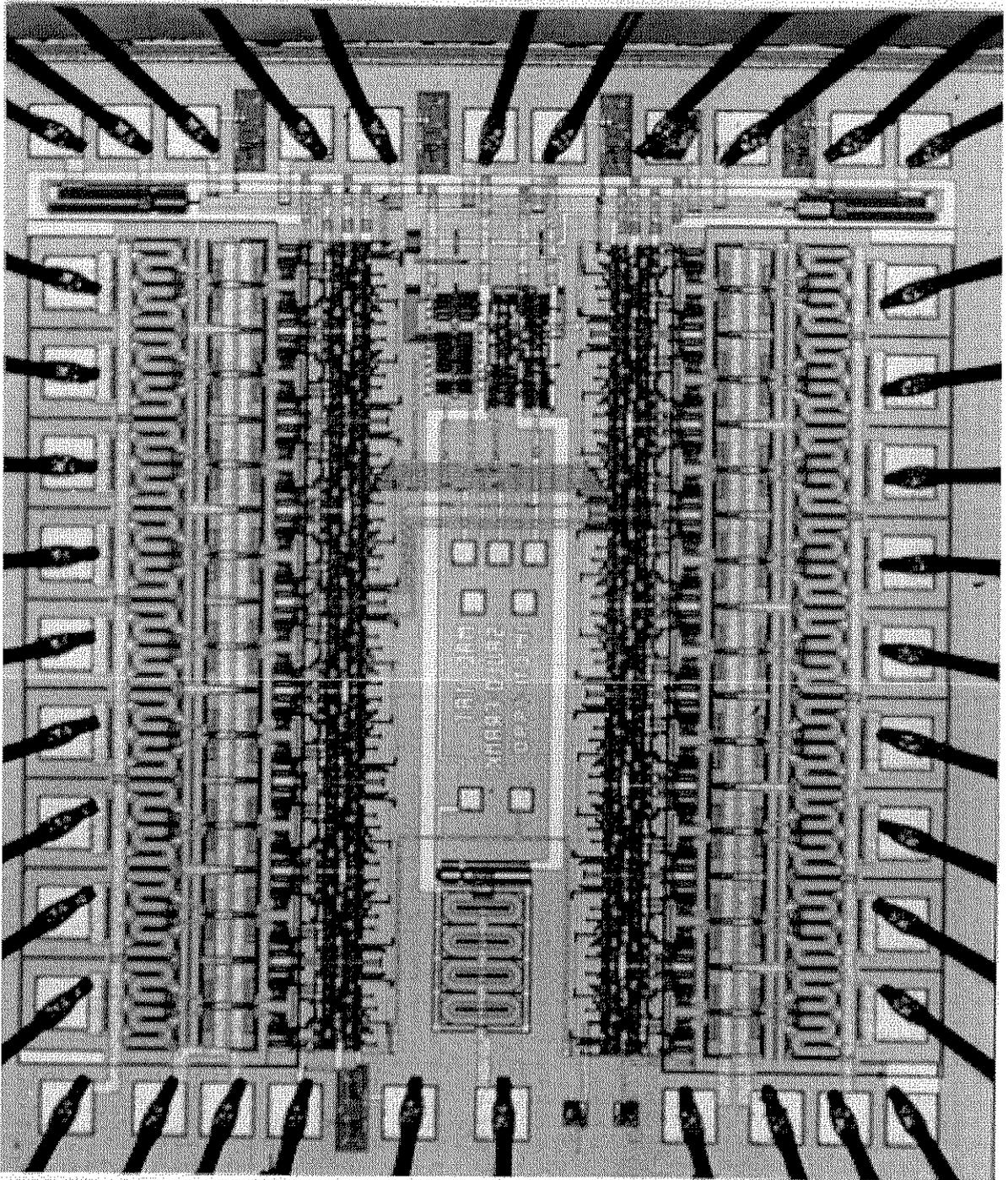


Figura 1.9 - Microfotografia de um CI *Smart Power driver* de LCD, contendo 18 multiplexadores 2:1, prototipado em tecnologia CMOS 2 micra, poço N, dois níveis de metal, para operar a 25V.

Diversas aplicações foram desenvolvidas utilizando este bloco, basicamente na área de conversão de potência: conversor CC-CC tipo ampliador (*Boost*), conversor DC-DC tipo redutor (*Buck*),

conversor tipo *Buck* quase-ressonante para aplicações que requerem redução de interferência eletromagnética (EMI), amplificador de áudio por PWM e por modulação SIGMA/DELTA ($\Sigma\Delta$), conversor tipo Ponte ou Meia Ponte (*Half or Full Bridge*), balastro eletrônico para lâmpadas fluorescentes, *driver* de LCD e outros [1.25].

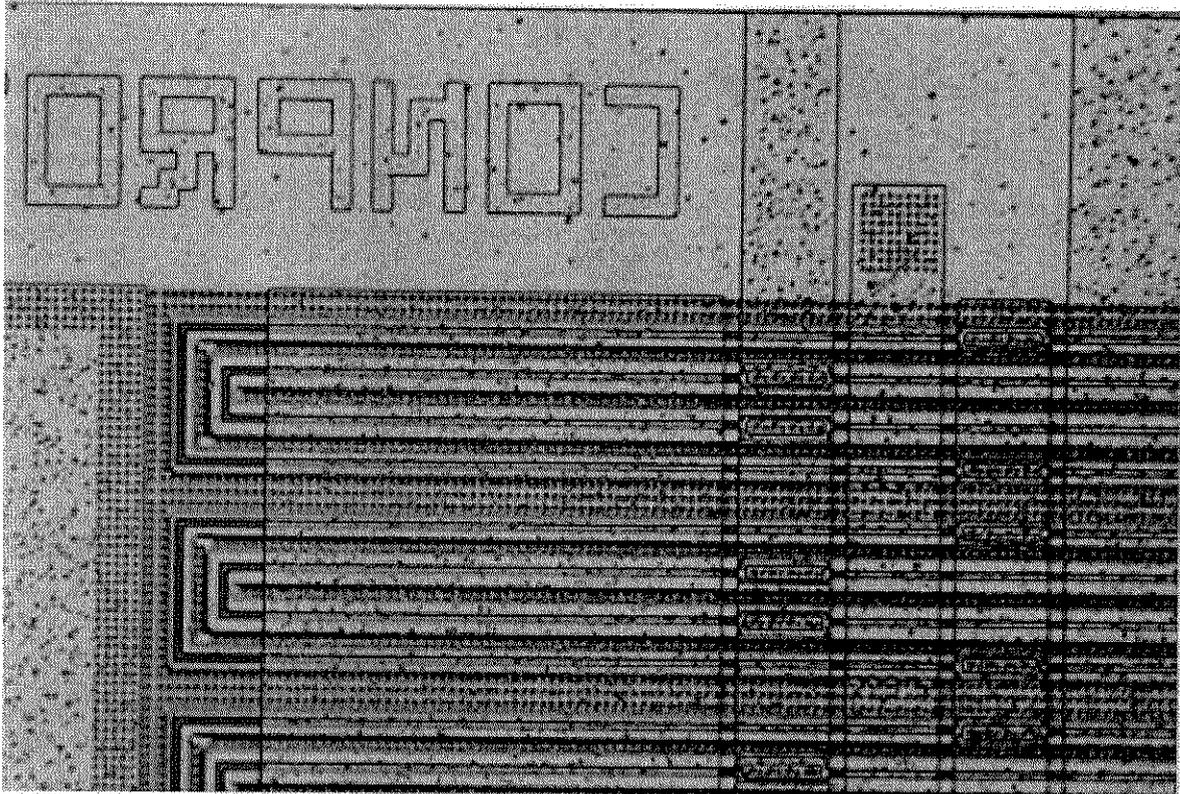


Figura 1.10 - Fotografia mostrando detalhes da Célula de Chaveamento Inteligente, prototipada em tecnologia CMOS 1.5 micra, poço N, dois níveis de metal, para operar a 25V.

1.3 Tendências Futuras

No passado recente, as tendências indicaram que as melhorias na tecnologia dos PICs seguem aquelas da indústria de Circuitos Integrados a nível mundial. Os PICs serão certamente beneficiados conforme a geometria de *layout* de máscaras continuar a diminuir. Vários níveis de

metal já estão em uso nos PICs e seu número aumentará na proporção em que a densidade de integração aumente e uma maior eficiência dos dispositivos de potência for necessária.

A técnica de isolamento por óxido (SiO_2) permitirá o uso de modulação de condutividade nos componentes de potência dos PICs. Até agora, esta técnica tem sido utilizada principalmente na área de telecomunicações, onde grande isolamento é requerida para *arrays* de múltiplas chaves [1.17]. Recentemente tem surgido grande interesse na integração de dispositivos, tais como os LIGBTs (*lateral insulated-gate bipolar transistor*), os ESTs (*emitter-switched thyristors*) e os LDMTs (*lateral depletion mode thyristors*), utilizando a técnica de isolamento por óxido [1.26] - [1.30]. Estas tecnologias propiciarão o aparecimento de dispositivos de potência mais eficientes para altas tensões e/ou elevadas correntes, substituindo o LDMOS de alta tensão em algumas aplicações.

Outra área de pesquisa diretamente relacionada com os dispositivos de potência está na obtenção de novos materiais com larga banda proibida (*wide-gap*), tais como GaAs e SiC [1.31] - [1.33]. A teoria mostra que tais materiais são capazes de realizar dispositivos de potência superiores quanto aos limites de tensão de ruptura, sendo que estes componentes poderão ser integrados, num futuro próximo, tão logo as respectivas tecnologias de fabricação estejam maduras técnica e comercialmente.

1.4 Conclusões

As tecnologias para fabricação de *Smart Power* que integram dispositivos de potência MOS com circuitos de controle CMOS vêm se tornando populares somente agora nos anos 90. Aplicações para tais tecnologias vêm sendo encontradas nas áreas automotiva, de computadores, de eletrônicos portáteis e de eletrônica de consumo, principalmente.

A utilização de geometrias cada vez menores tem melhorado o desempenho dos dispositivos projetados, tanto na parte de controle, mais densa e mais rápida, como no dispositivo em si. A tendência atual segue na direção de incluir cada vez mais circuitos na pastilha de potência, que

sejam capazes de se relacionar facilmente com microcontroladores ou sistemas computacionais externos. A compatibilidade das tecnologias de fabricação com bibliotecas CMOS e BiCMOS vem sendo explorada, tendo como vantagens a redução do ciclo de projeto e de fabricação e do custo final do componente.

No Brasil, desde 1987 têm-se realizado pesquisas sobre dispositivos e Dispositivos Inteligentes de Potência compatíveis com a tecnologia CMOS convencional. Os resultados obtidos são encorajadores, permitindo prever que este tipo de metodologia pode efetivamente ser utilizada comercialmente. Alguns PICs foram prototipados com sucesso, caracterizados eletricamente e utilizados no estudo de algumas aplicações.

Capítulo 2

OS TRANSISTORES LDD-NMOS E LDS-D-NMOS

Introdução

Nas primeiras duas décadas da indústria de semicondutores de potência, anos 70 e 80, o termo Dispositivos de Potência foi sinônimo de dispositivo bipolar. Tanto os transistores bipolares (NPN e PNP), quanto os tiristores (SCRs e *triacs*), apresentaram-se por muitos anos com um desempenho, em potência, singular. A tecnologia MOS era reservada somente para baixas tensões e baixas correntes e estava associada a circuitos complexos e com uma escala de integração muito alta (circuitos VLSI).

Porém na última década, uma mudança radical ocorreu na indústria de semicondutores de potência. Através do uso de novas estruturas ou estruturas melhoradas e tecnologias, o transistor MOS tem sido redesenhado para tornar-se competitivo relativamente aos mais tradicionais dispositivos de potência. Isto revolucionou de muitas maneiras as aplicações tradicionais dos semicondutores de potência bem como originou o aparecimento de novas aplicações. Um destes desenvolvimentos que está tendo grande impacto na atualidade é a incorporação de dispositivos MOS de alta tensão e elevada capacidade de corrente junto, com circuitos lógicos, analógicos e memórias com funções de controle. Assim é possível a realização de sistemas complexos na mesma pastilha com dispositivos de saída capazes de atuar cargas elétricas significantes. Tais

dispositivos hoje são mundialmente conhecidos como Dispositivos Inteligentes de Potência ou Circuitos Integrados de Potência (PICs), ou Módulos Inteligentes para cargas mais exigentes em potência.

Neste capítulo é apresentada de maneira resumida a evolução dos transistores MOS de baixa tensão e baixa corrente para as estruturas de alta potência disponíveis comercialmente hoje; também apresenta o desenvolvimento de transistores MOS laterais normais otimizados para alta tensão, estruturas chamadas de LDD e LDSD-NMOS, passíveis de serem construídas em certas tecnologias CMOS, como é o caso do circuito CON.PROT3 apresentado no Capítulo 3 desta tese. Para um completo entendimento da construção dos transistores de potência LDD e LDSD-NMOS, é feita uma descrição simplificada da tecnologia, das regras de *layout* e adaptações necessárias para o projeto dos dispositivos de potência nesta tecnologia.

Os dispositivos LDD e LDSD-NMOS são os principais elementos de estudo e análise neste capítulo, visto que o seu modelamento elétrico e a sua própria construção física tem sido o nosso objeto de investigação e estudo desde 1988, e são estes dispositivos que permitem a construção de dispositivos inteligentes de potência, a exemplo do dispositivo CON.PROT3.

2.1 Desenvolvimento dos Transistores MOS de Potência

Os dispositivos MOS de potência tiveram sua evolução a partir de estruturas convencionais de baixa corrente e baixa tensão. O dispositivo MOS fundamentalmente opera controlando a condutividade do semi condutor localizado abaixo da porta, através do campo elétrico resultante da aplicação de uma tensão no eletrodo de porta, o qual é separado do semicondutor por uma fina camada de material isolante (SiO_2).

A física envolvida na operação dos dispositivos MOS está bem descrita na literatura existente [2.1] - [2.2]. Em particular a referência [2.3] trata de forma criteriosa o modelamento destes dispositivos em inversão, bem como desenvolve o equacionamento da corrente I_{ds} de um transistor MOS operando em sublimiar e em inversão forte.

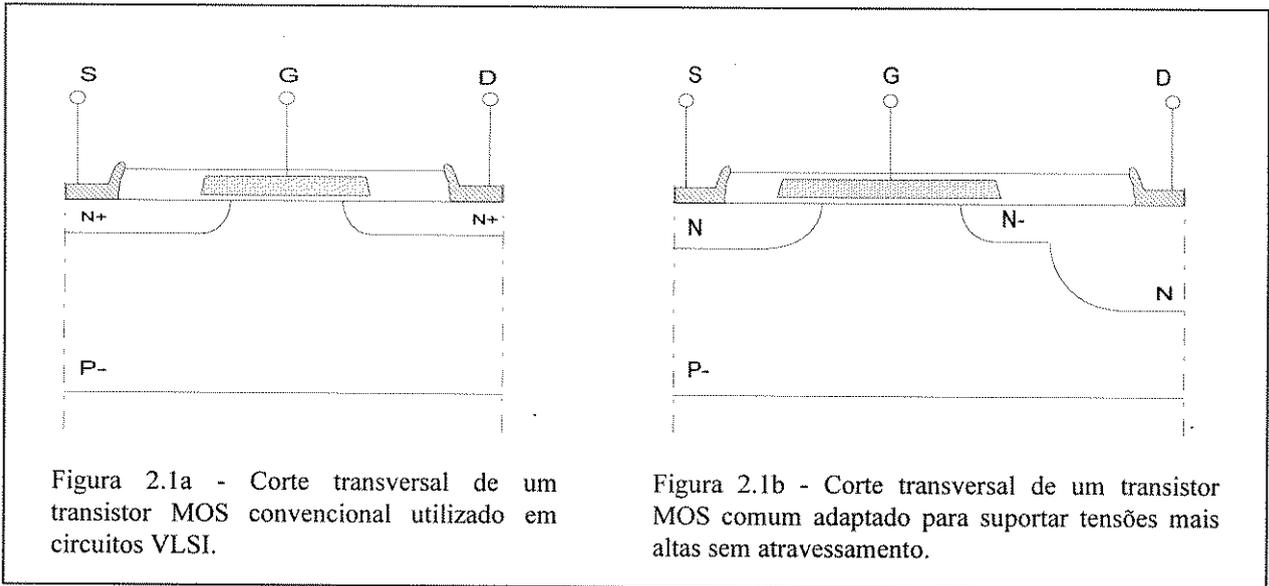
O desenvolvimento dos dispositivos MOS de potência discretos seguiu o conceito básico de estrutura de canal lateral, como mostrado na Figura 2.1a, utilizada desde os primeiros circuitos MOS. Este dispositivo co-planar construído na superfície da lâmina de silício é um arranjo natural visto que a inversão ocorre na superfície. Embora esta configuração seja ideal do ponto de vista da integração de um processo de fabricação planar, não é ideal para suportar às tensões requeridas em aplicações de potência.

A principal limitação desta configuração é a possibilidade de ocorrer um ou mais efeitos indesejáveis tais como: a) *Punch-through* entre dreno e fonte; b) Ruptura do óxido de porta devido à concentração de linhas de campo elétrico entre a porta e o dreno; c) Ruptura da junção dreno/substrato por avalanche devido à pouca profundidade da junção de dreno.

As primeiras propostas [2.4] - [2.7] para adaptar este dispositivo co-planar de funcionamento limitado em baixa tensão para operar em tensões mais elevadas, foram: incluir uma difusão de dreno menos dopada e mais profunda para evitar a ruptura por avalanche, associada a uma difusão rasa pouco dopada entre canal de condução e o dreno principal, que praticamente suporta o potencial aplicado no dreno.

Desta forma a distribuição do campo elétrico formado entre porta e dreno melhorou. Outra mudança tecnológica significativa que influenciou o desempenho dos dispositivos de potência foi a substituição do então metal de porta pela porta de polissilício, principalmente por ser um processo mais limpo.

Por fim, para evitar o atravassamento (*punch-through*), a distância entre dreno e fonte deve ser convenientemente calculada. O corte transversal deste dispositivo é mostrado na Figura 2.1b. As modificações realizadas permitiram o dispositivo da Figura 2.1b manipular tensões mais elevadas. Entretanto aumentou o valor de resistência de condução (R_{on}) devido à inclusão do dreno levemente dopado e o aumento da distância entre dreno e fonte. Portanto, nesta estrutura ao melhorar-se o desempenho em tensão, prejudica-se o desempenho em corrente e vice-versa.



Uma alternativa para otimizar este dispositivo tanto em corrente como em tensão, foi a introdução de um dreno com dupla difusão, chamado *double-diffused* MOS ou dispositivo DMOS [2.8] (Fig. 2.2). As principais vantagens oferecidas por esta nova estrutura são: a) o comprimento do canal pode ser dimensionado para valores bem pequenos, da ordem de 1 a 2 micra; b) a região P do transistor é mais dopada que o substrato N-, minimizando a variação do comprimento do canal quando o dreno é polarizado com alta tensão; c) o substrato N- está polarizado no potencial de dreno, possibilitando a construção de múltiplos dispositivos com dreno comum em um mesmo substrato.

Três variações da estrutura básica DMOS têm sido usadas na fabricação dos dispositivos MOS de potência. Estas variações são chamadas de: estrutura lateral DMOS ou LDMOS; estrutura V-groove DMOS ou VVMOS e estrutura vertical DMOS ou VDMOS. Vide Figura 2.2, Figuras 2.3a e 2.3b, respectivamente.

O LDMOS exemplifica de maneira bem clara o funcionamento das estruturas DMOS. O MOS com dupla difusão utiliza sequencialmente o processo de difusão dos dopantes da região de canal e fonte, inclusive, utilizando a mesma máscara de difusão. O comprimento do canal é análogo à largura de base WB de um transistor bipolar convencional que utilize o processo de dupla difusão. O controle do comprimento do canal e do perfil de concentração é obtido pelo controle

do montante de impurezas introduzida a cada etapa e pelos subsequentes ciclos de difusão. O comprimento de canal resultante e o perfil de dopantes para um LDMOS é apresentado na Figura 2.2.

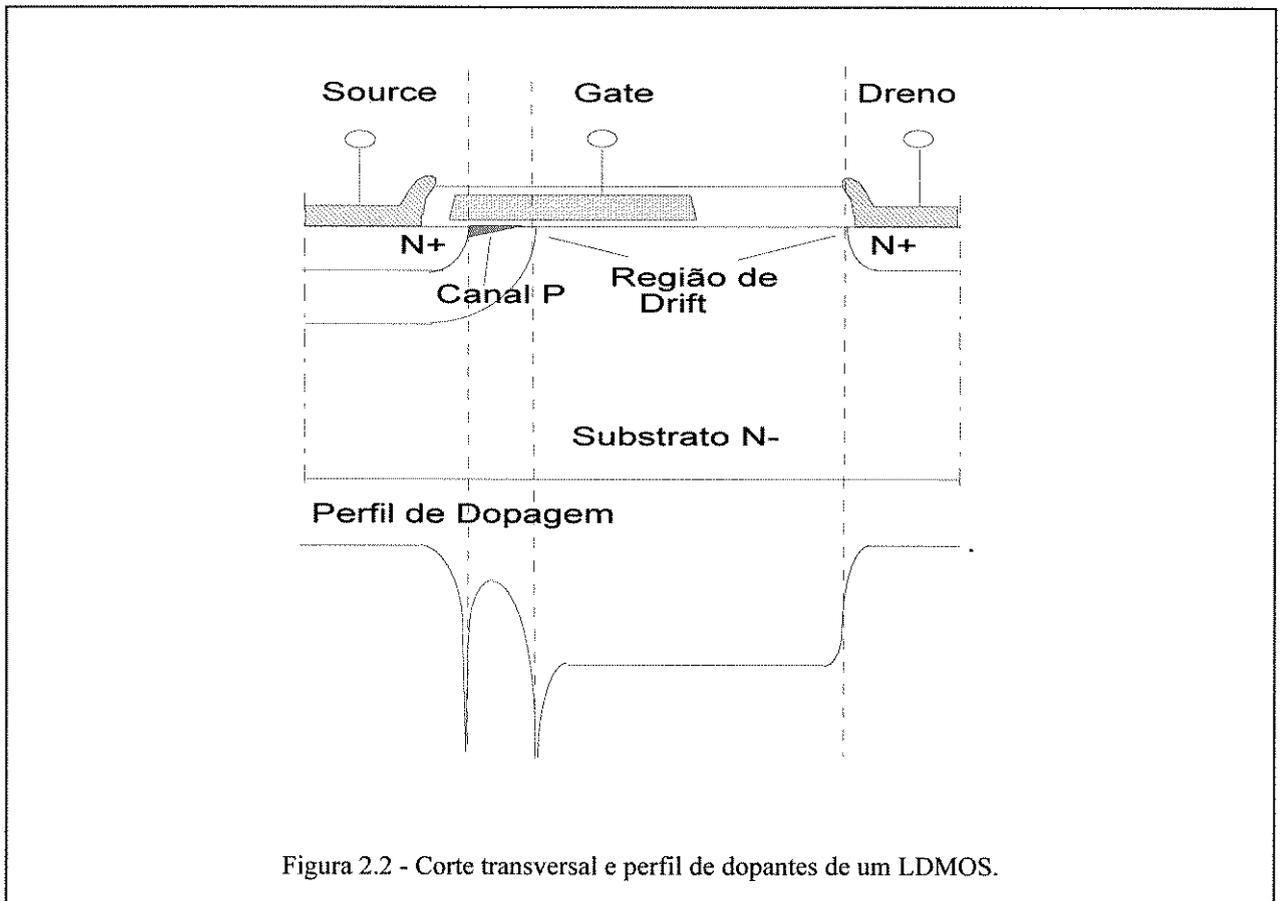


Figura 2.2 - Corte transversal e perfil de dopantes de um LDMOS.

Para o uso de dispositivos isolados eletricamente mas integrados de forma monolítica, algumas etapas de processo adicionais similares às do processo bipolar são necessárias, tais como uma camada epitaxial N- e difusões verticais P+ de isolamento. Outros inconvenientes do LDMOS que reduzem a eficiência do *layout*: a) contato de dreno na superfície; b) a região de depleção do diodo substrato/dreno se expande lateralmente; c) a alocação do dreno, porta e fonte na mesma superfície exige o uso de estruturas de terminação, para conformação do campo elétrico, na borda de cada célula, sugeriram vivamente a pesquisa de estruturas que utilizassem aspectos do substrato, tais como as estruturas VMOS e VDMOS.

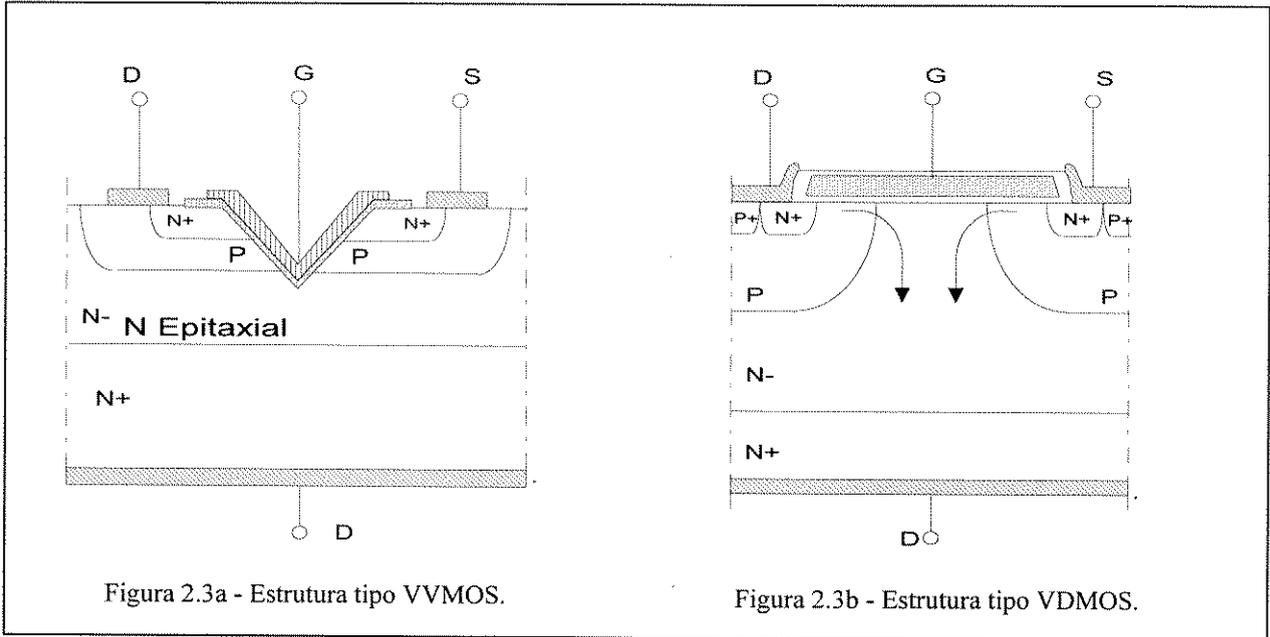


Figura 2.3a - Estrutura tipo VVMOS.

Figura 2.3b - Estrutura tipo VDMOS.

No transistor VVMOS mostrado na Figura 2.3a a corrente flui da fonte N+ , através de uma camada de inversão de forma geométrica de um V e atinge a região de dreno N-/N+ localizado no lado de trás da pastilha. O canal na forma de V resulta da corrosão preferencial do silício $\langle 100 \rangle$ ao longo do plano do cristal sobre a ação de determinados reagentes químicos. No transistor VDMOS o fluxo de corrente inicialmente é lateral como nos dispositivos LDMOS e flui através de uma camada de inversão superficial. Então, é desviada verticalmente e conduzida em direção à região de dreno N-/N+, localizado no lado de trás da pastilha. A Figura 2.3b mostra um corte transversal do VDMOS.

Atualmente os dois tipos de transistores MOS de potência discretos comercialmente mais aceitos são os dispositivos LDMOS e o VDMOS, sendo que destes dois o VDMOS é o mais comum, quando se pretende correntes mais elevadas.

2.2 Rupturas nos dispositivos MOS de potência

Aspectos econômicos importantes da produção de CIs estão relacionados com as dimensões das pastilhas. A taxa de aproveitamento (*Yield*) decresce exponencialmente com o aumento da área.

Isto justifica os esforços para maximizar a tensão de ruptura e minimizar a resistência de condução (R_{on}), no mínimo de área possível, que conduziu às estruturas verticais.

Os tipos de rupturas que ocorrem nos dispositivos MOS de potência fundamentalmente são os mesmos que ocorrem nas outras estruturas de dispositivos semicondutores. Para esta aplicação, podemos dividir em quatro tipos os mecanismos de ruptura.

1. *Ruptura por Avalanche*: Ocorre quando o campo elétrico interno no semicondutor acelera portadores de cargas, com energia suficiente para gerar novos pares elétron-lacuna na colisão com átomos da rede. Estes portadores são novamente acelerados pelo campo, resultando novos pares, e assim sucessivamente, produzindo quase que uma corrente ilimitada.

2. *Ruptura Zener*: Ocorre quando o campo elétrico é suficientemente alto (da ordem de 10^6 V/cm), e os portadores ganham energia suficiente para tunelar através da barreira de potencial da junção. Este efeito é encontrado somente em junções $N^+ - P^+$ fortemente dopadas, e a tensão de ruptura resultante é menor que 6 V.

3. *Ruptura por atravessamento (punch-through)*: Ocorre quando a região de depleção reversamente polarizada cresce atinge uma outra junção, formando uma única região contínua, e a corrente flui de uma junção para outra.

4. *Ruptura do dielétrico*: Ocorre quando o campo elétrico dentro do dielétrico excede a rigidez dielétrica do óxido, resultando um grande fluxo de corrente e um defeito permanente.

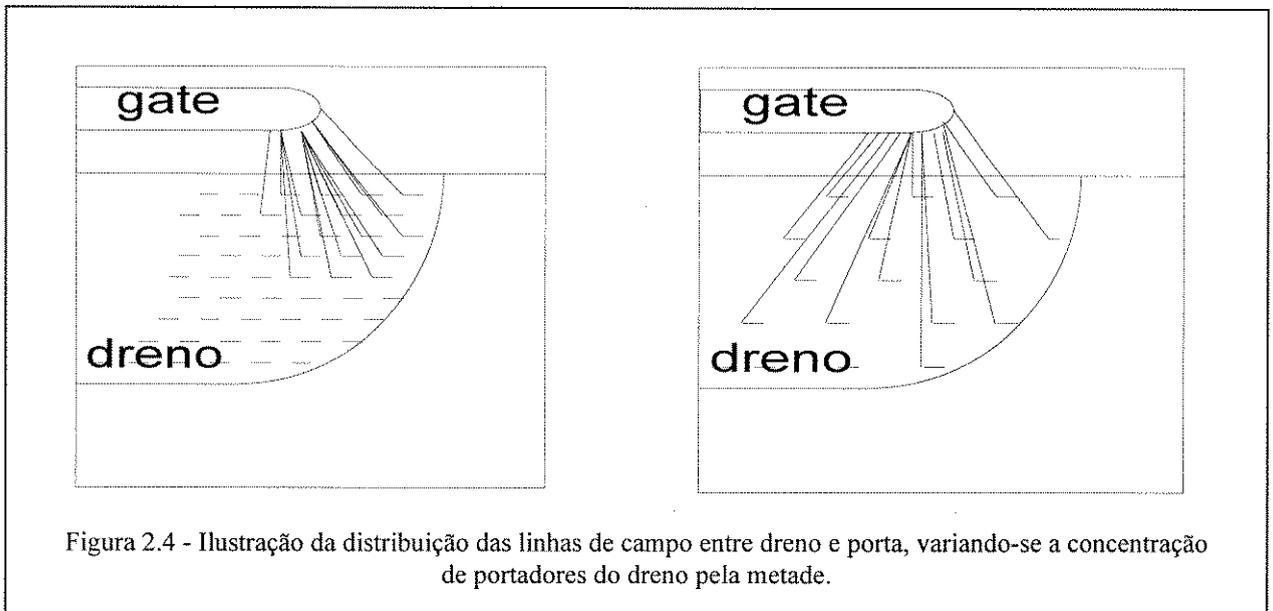
Um transistor MOS de potência projetado adequadamente evita os mecanismos de ruptura 2, 3 e 4 de maneira simples. A ruptura Zener pode ser evitada mantendo o afastamento necessário de regiões, N^+ e P^+ , fortemente dopadas. O controle do atravessamento (*punch-through*) pode ser feito pelo controle da concentração de dopantes no corpo do transistor MOS de potência.

O estudo de dois tipos de rupturas são de especial importância para este trabalho, ruptura do dielétrico e ruptura por avalanche.

2.2.1 Ruptura do Dielétrico da porta

O valor da tensão de ruptura do dielétrico de porta pode ser evitado pelo simples controle da espessura durante o processo de fabricação diminuindo, a intensidade do campo elétrico, para a mesma tensão aplicada, com o aumento da espessura do óxido. Entretanto, há outra técnica para reduzir a intensidade do campo elétrico no óxido sem alterar a sua espessura propriamente dita: consiste em usar uma superfície de dreno com uma distribuição de cargas menos densa. Isto significa que as cargas elétricas estão mais afastadas umas das outras e consequentemente as linhas de campo estarão mais afastadas no interior do óxido. A Figura 2.4 ilustra este princípio.

Esta técnica é de especial importância para o circuito CON.PROT3, pelo fato de que a espessura do óxido está fixada pelo processo tecnológico e sem qualquer chance de mudança ou controle pelo usuário típico.



2.2.2 Ruptura por avalanche em uma junção

A ruptura por avalanche exige um estudo mais profundo, pois a configuração das linhas de campo elétrico no interior do cristal de silício é que irá determinar o aparecimento ou não deste efeito. Isto induziu o desenvolvimento de técnicas de terminação para a conformação das linhas

de campo, tanto no interior bem quanto nas interfaces de superfície dos extremos das estruturas MOS de potência.

A junção P/N planar real, resultante do uso de um processo de fabricação planar, subdivide--se em três regiões. Na região plana, normalmente predominante em termos de área, localiza-se a profundidade X_j a partir da superfície. O material dopante que se difunde lateralmente nas bordas e nos cantos da janela de difusão, formam as regiões cilíndricas e esféricas de uma junção planar real. O efeito de difusão lateral atinge cerca de 85 a 90% da profundidade vertical X_j .

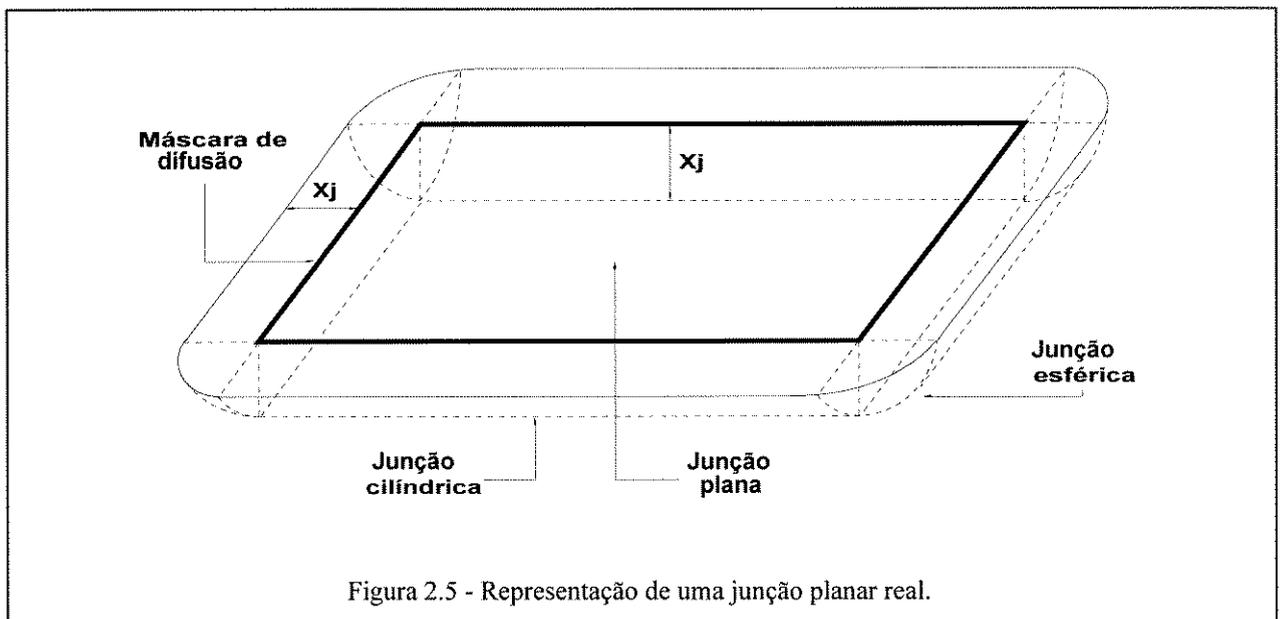


Figura 2.5 - Representação de uma junção planar real.

Quando uma junção real é submetida a uma polarização reversa, desenvolvem-se regiões de depleção em cada um dos lados da junção metalúrgica, que seguem os contornos cilíndricos e esféricos nas respectivas regiões. A ruptura de uma junção depende basicamente da concentração de dopantes N_d e da geometria das regiões de periferia, uma vez que a intensidade de campo elétrico é mais intensa nas regiões encurvadas do que na região plana.

O cálculo da tensão de ruptura da junção abrupta plana ideal V_{rp} é o primeiro passo para o cálculo estimativo de pior caso da tensão de ruptura de junções reais. A tensão de ruptura da região cilíndrica V_{rc} ou região esférica V_{re} de uma junção planar é dada em relação a V_{rp} .

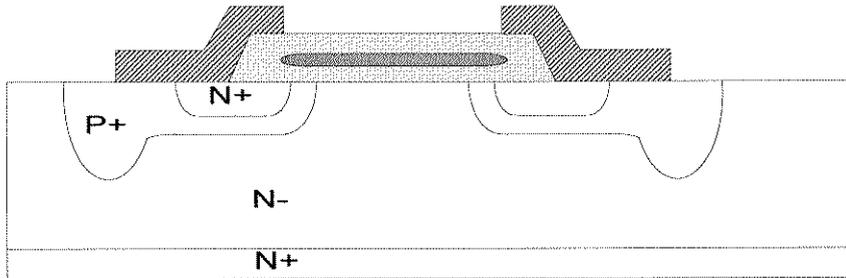
A junção abrupta é a que apresenta o pior caso de ruptura. A junção real aproxima-se de um termo médio entre as junções gradual e linearmente dopada. [2.9] [2.10]. A tabela abaixo apresenta um resumo das principais equações de ruptura para uma primeira análise dos limites das junções em um processo CMOS convencional.

<p>junção abrupta plana</p> $W_{cp} = 2,70 \cdot 10^{14} \cdot N_d^{-7/8} \text{ [micra]}$ $V_{rp} = 5,64 \cdot 10^{13} \cdot N_d^{-3/4} \text{ [Volts]}$	<p>a) dada a concentração do substrato N_d, calcula-se a extensão da região de depleção crítica W_{cp} e a tensão de ruptura V_{rp} da região plana.</p>
<p>região cilíndrica de uma junção planar</p> $\frac{V_{rc}}{V_{rp}} = \frac{1}{2} \left[a^2 + 192 \cdot a^{6/7} \right] \cdot \ln \left[1 + 192 \cdot a^{-8/7} \right] - 0,96 \cdot a^{6/7}$ <p>onde: $a = \frac{X_j}{W_{cp}}$</p>	<p>Então;</p> <p>b) Calcula-se a;</p> <p>c) Calcula-se a razão V_{rc} / V_{rp};</p> <p>d) Determina-se V_{rc}.</p>
<p>região esférica de uma junção planar</p> $\frac{V_{re}}{V_{rp}} = b^2 + 2,14 \cdot b^{6/7} - \left[b^3 + 3,21 \cdot b^{13/7} \right]^{2/3}$ <p>onde: $b = \frac{X_j}{W_{cp}}$</p>	<p>Então;</p> <p>b') Calcula-se b;</p> <p>c') Calcula-se a razão V_{re} / V_{rp};</p> <p>d') Determina-se V_{re}.</p>

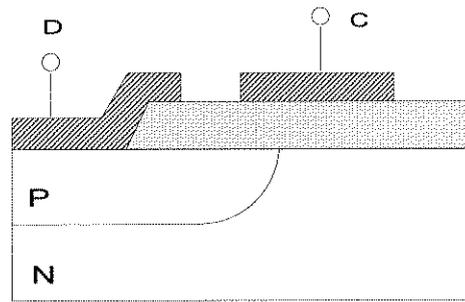
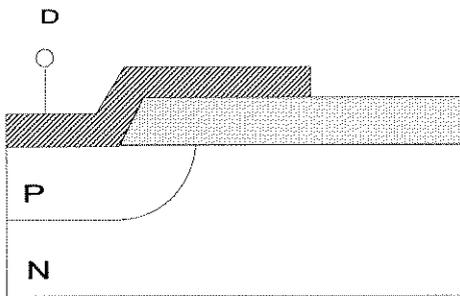
2.2.2.1 Técnicas de terminação para a conformação das linhas de campo

As três principais técnicas de conformação de campo elétrico utilizadas nas terminações são apresentadas de maneira ilustrativa na figura 2.6. A figura 2.6a apresenta uma técnica que utiliza uma difusão de perímetro mais profunda, aumentando o raio de curvatura do diodo PN na borda do dispositivo; este princípio é ilustrado para os dispositivos VDMOS. A Figura 2.6b faz uso de

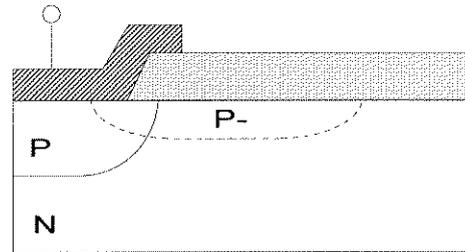
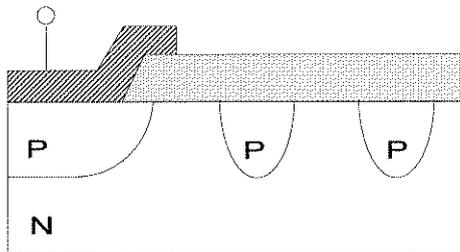
placas de campo (*field plate*) para suavizar a região de depleção na superfície. A figura 2.6c ilustra o uso de anéis de guarda flutuantes localizados no perímetro da junção principal.



(2.6a)



(2.6b)



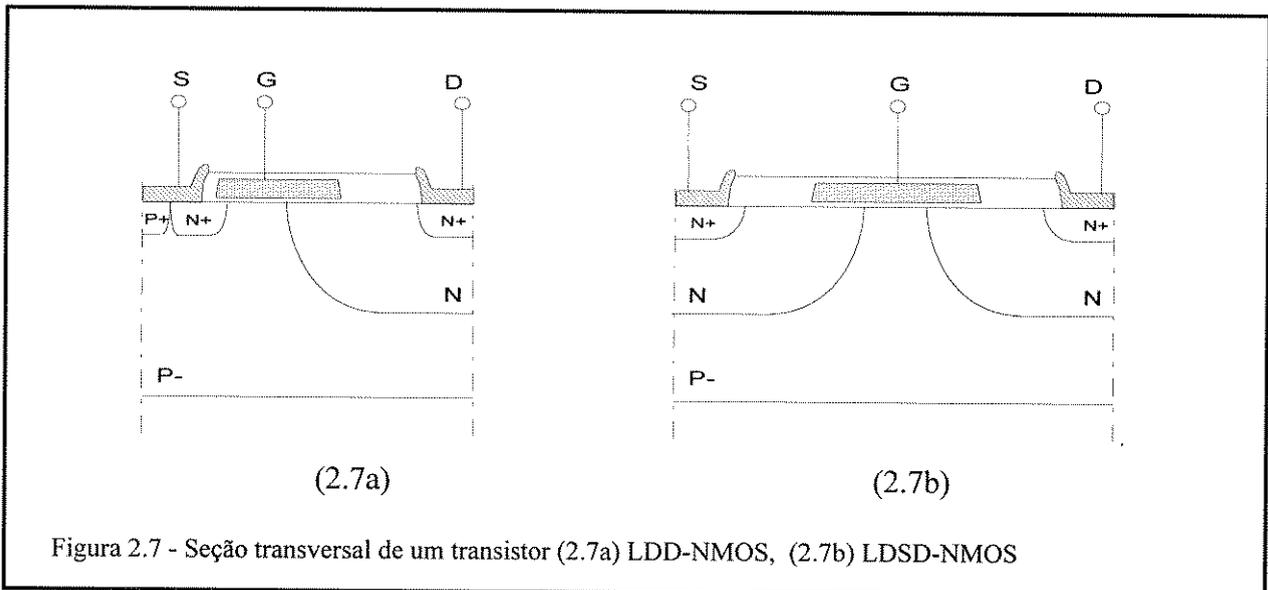
(2.6c)

Figura 2.6 - Exemplo de terminação de estrutura com difusão profunda no perímetro externo (2.6a); estruturas com placas de campo (2.6b); com anéis de difusão ou anéis de guarda (2.6b).

2.3 Transistores MOS laterais otimizados para alta tensão

Como apresentado no capítulo primeiro, o conceito de usar tecnologias convencionais para a realização de Dispositivo Inteligente de Potência (DIP) é um caminho que está sendo percorrido por muitos. Acreditando que este é um importante passo para popularizar os *DIP*; o trabalho desenvolvido nesta tese faz a aplicação direta deste conceito. Os dispositivos de potência aqui utilizados são frutos de adaptações tecnológicas de uma determinada tecnologia CMOS digital. Estas adaptações não incluem novas etapas de processo ou qualquer outra alteração no processo propriamente dito. As alterações se restringem somente às regras de desenho.

Estes dispositivos empregam o princípio da junção de dreno levemente dopada (*lightly doped drain*) [2.11] e que se convencionou chamar de estrutura *Lightly Doped Drain* de LDD-NMOS e *Lightly Doped Source and Drain* de LDSD-NMOS (fig. 2.7a e 2.7b).



Tais estruturas de potência são compatíveis com os circuitos digitais e analógicos e permitem a integração monolítica de múltiplas chaves isoladas eletricamente. As Figuras 2.7a e 2.7b mostram o corte dos dispositivos LDD e LDSD-NMOS respectivamente.

Estas estruturas são similares às utilizadas nos primeiros dispositivos MOS de potência como o exemplo mostrado na Figura 2.1b. Enfatizando parte do tópico 2.2.1, a idéia-chave utilizada neste projeto para evitar a ruptura do óxido de porta devido à concentração de linhas de campo elétrico entre a porta e o dreno, é diminuir a concentração de linhas de campo através do óxido, pelo uso de um dreno menos dopado e mais profundo. Isto promove um distanciamento maior entre as cargas elétricas situadas na superfície do dreno e um raio de curvatura maior do mesmo. Neste processo o uso da difusão de poço-N como parte externa do dreno realiza estas duas funções.

Como dito anteriormente, o atravessamento (*Punch-through*) pode ser evitado pelo distanciamento correto das regiões de dreno e fonte, de acordo com a tensão máxima de operação desejada. O uso de estruturas geometricamente fechadas na formação das células elementares, como no arranjo celular final dos dispositivos de potência, permite uma maximização do uso das estruturas de terminação, ou seja uma menor área consumida por dispositivo.

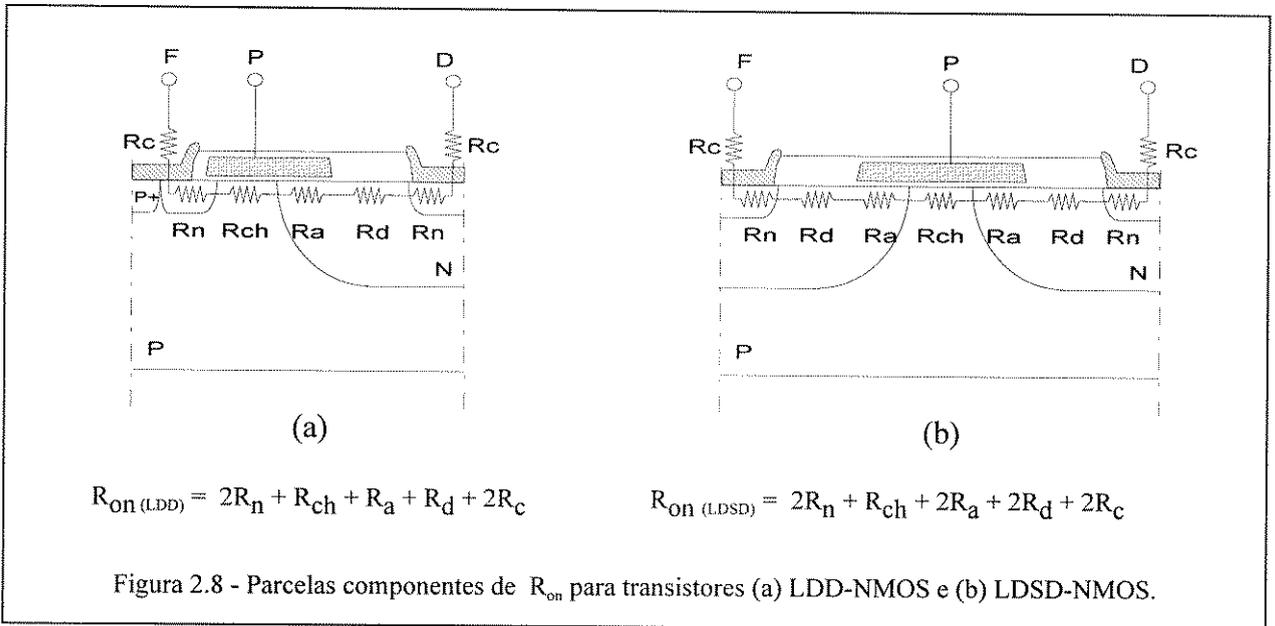
2.3.1 Modelos estáticos

Para aplicações em comutação, a resistência de condução R_{on} de um transistor MOS de potência, qualquer que seja sua estrutura, é definida como a resistência total, presente entre os terminais de fonte e dreno, quando o transistor estiver em plena condução e a tensão V_{ds} for bem menor do que V_{gs} .

A resistência R_{On} é um parâmetro importante do dispositivo, pois determina a máxima corrente que pode passar pelo dispositivo (*maximum current rating*), para uma queda de tensão V_{ds} máxima tolerável e uma potência dissipada máxima permissível.

A resistência de condução tem basicamente três componentes: resistência de canal clássica R_{ch} , resistência de derivação R_a , através da sobreposição da porta sobre a difusão de poço e a resistência de deriva R_d localizada entre a borda da porta até a região de contato de dreno N+ (fig. 2.8).

De fato existem mais duas componentes: a resistência devido à difusão N+ do contato de fonte - R_n , e devido ao contato de fonte ou de dreno (interface ôhmica semiconductor-metal) com os terminais do encapsulamento - R_c (fig. 2.8). As parcelas R_n e R_c são normalmente desprezíveis frente às demais parcelas. Portanto, rigorosamente R_{ON} pode ser escrita como a somatória das parcelas acima descritas, presentes no dispositivo:



O modelo utilizado aqui é similar ao modelo utilizado por Sanchez [2.12]:

$$R_{ch} = L [Z \mu C_{ox} (V_{gs} - V_t)]^{-1} \quad (1)$$

$$R_a = L_{gw} \{ Z [\mu_a C_{ox} (V_{gs} - V_t) + \mu_n q N_d h] \}^{-1} \quad (2)$$

$$R_d = \rho (\pi Z)^{-1} \{ \ln [(L_{gd} - x1) / x1] + \ln [(L_{gd} - x2) / x2] \} \quad (3)$$

Onde Z é a largura do canal, μ é a mobilidade do elétron na superfície da região do canal, C_{ox} é a capacitância por unidade de área, V_{gs} é a tensão de porta referenciada à fonte, V_t é a tensão limiar de condução, μ_a é a mobilidade dos portadores na região de acumulação localizada no poço N abaixo da porta, μ_n é a mobilidade dos elétrons na região de deriva, q é a carga elétrica, N_d é a

concentração de impurezas doadoras na superfície do poço N e h é profundidade da junção do poço N. Os parâmetros x_1 e x_2 são relacionados com algumas considerações geométricas no modelo para o cálculo de R_d , são definidos em [2.12]

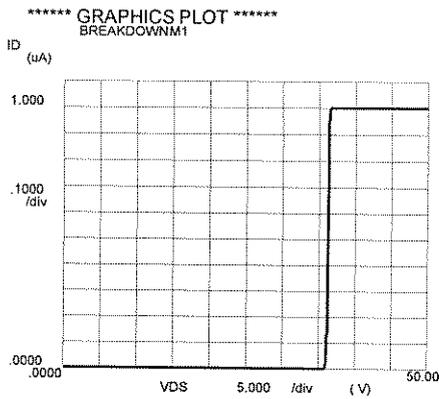
Desconsiderando os efeitos de R_n e R_c , a resistência total R_{on} para o LDD é a soma destas três componentes. Porém, para o LDS-D, temos que computar R_a e R_d duas vezes, visto que neste dispositivo o dreno e a fonte têm a mesma estrutura. A resistência normalizada em relação à área ativa S do dispositivo é dado pela equação (7).

$$R_{ON(LDD)} = R_{ch} + R_a + R_d \quad (4)$$

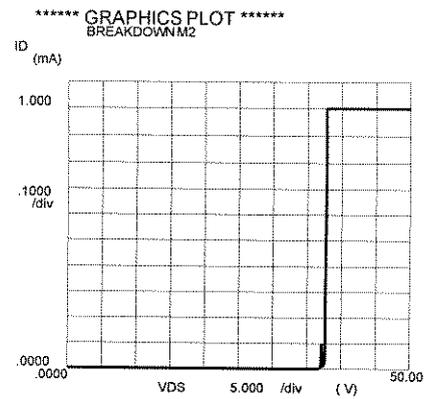
$$R_{ON(LDSD)} = R_{ch} + 2R_a + 2R_d \quad (5)$$

$$R_{ON(LDD, LDSD)} \cdot S = R_{ON(LDD, LDSD)} \cdot A_{tot}(\text{área total}) \quad (6)$$

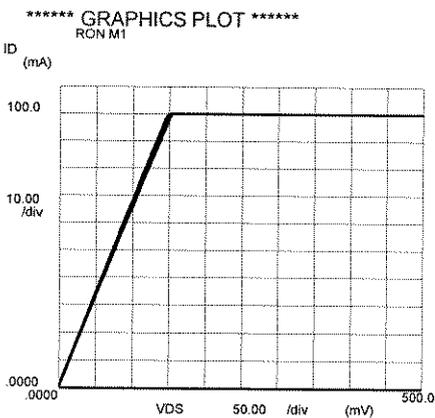
As Figuras 2.9a e 2.9b comprovam o valor de tensão de ruptura teórico esperado em torno de 35 Volts para os dispositivos LDD e LDS-D-NMOS. As Figuras 2.9c e 2.9d mostram o valor medido de R_{on} para os dispositivos LDD e LDS-D-NMOS, este valor não é o valor efetivo de R_{on} , pois as resistências de contato, que são as mais significantes, não foram desconsideradas nestas medidas. Baseando em outras medidas efetuadas estima-se que o valor de R_{on} seja de aproximadamente $10m\Omega.cm^2$.



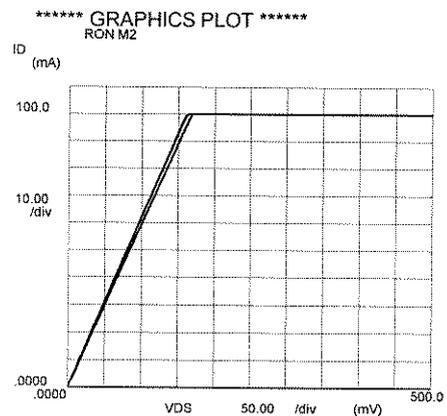
(2.9a)



(2.9b)



(2.9c)



(2.9d)

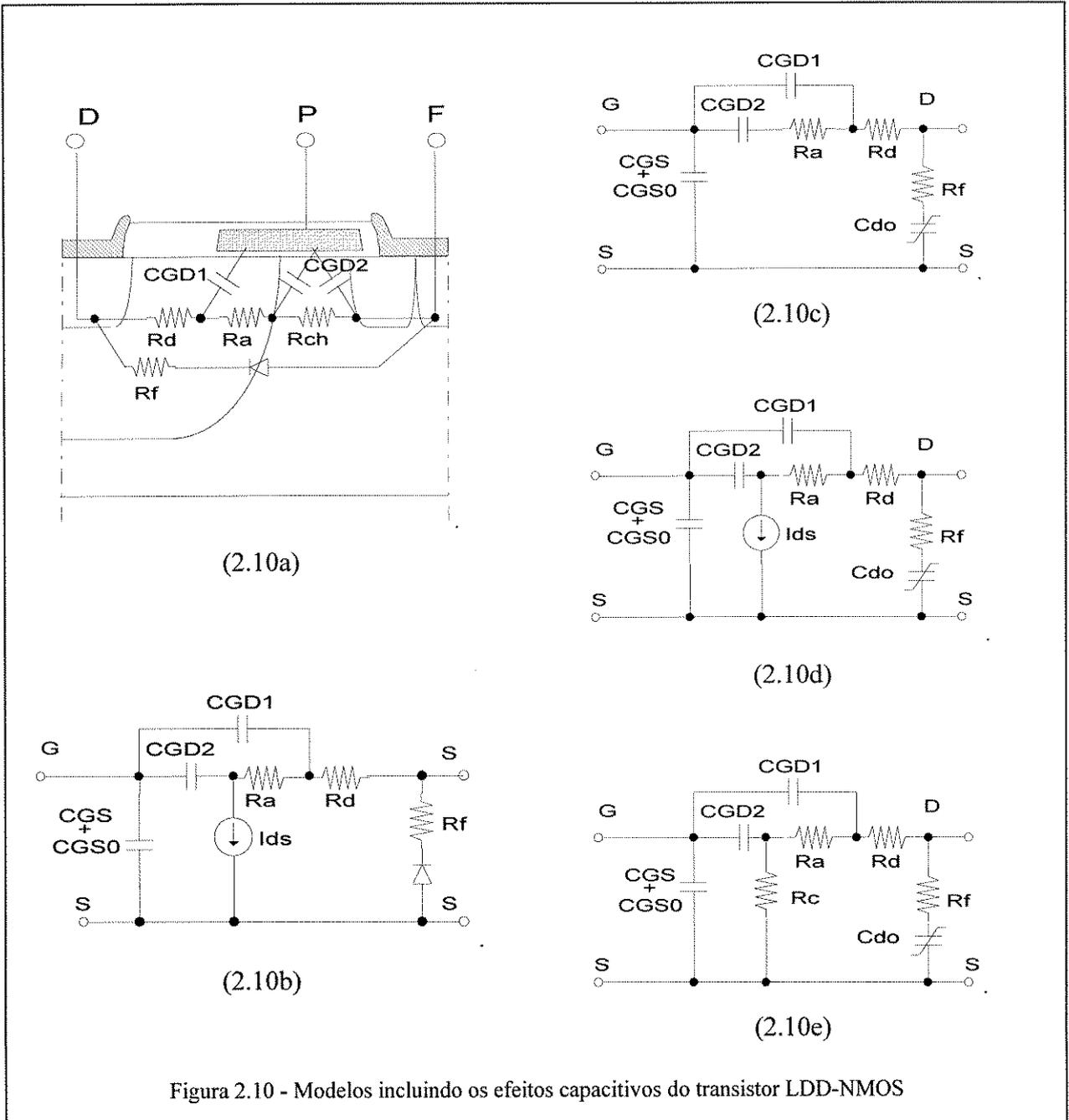
Figura 2.9 - Curvas medidas extraídas do circuito Chaves de Potência. (3.16a) e (3.16b) Ron de tensão de ruptura de M1 e M2; (3.16c) e (3.16d) Ron de M1 e M2, respectivamente.

2.3.2 Modelos dinâmicos

2.3.2.1 O Transistor LDD-NMOS

A estrutura do transistor LDD-NMOS, considerando os efeitos capacitivos, é mostrado na Figura 2.10a. As não linearidades das capacitâncias internas têm um importante efeito no comportamento da comutação. Assim uma atenção especial é dedicada aos efeitos capacitivos da estrutura e o modelo elétrico dispositivo é mostrado na Figura 2.10b.

Na região de dreno poço-N, duas regiões distintas podem ser notadas: debaixo da porta, a região de acumulação do dreno e próximo à difusão N+, a região de difusão de dreno. A capacitância de sobreposição porta/fonte e porta/dreno são representadas por $CGS0$ e $CGD1$, respectivamente. Para a região de acumulação do dreno uma parte é considerada em $CGD2$.



Para tensões de porta-fonte e porta-dreno maiores que a tensão de limiar (*threshold*), um canal é formado no substrato por baixo do óxido, entre fonte e dreno. Nestas condições a capacitância de porta/substrato pode ser representada por duas capacitâncias concentradas (*lumped*), C_{GS} e parte de C_{GD2} .

Efeitos resistivos da difusão, acumulação e regiões de canal são representados pelos resistores R_d , R_a e R_{ch} . A junção formada pelo substrato e poço-N pode ser modelada pela capacitância C_{do} quando reversamente polarizada.

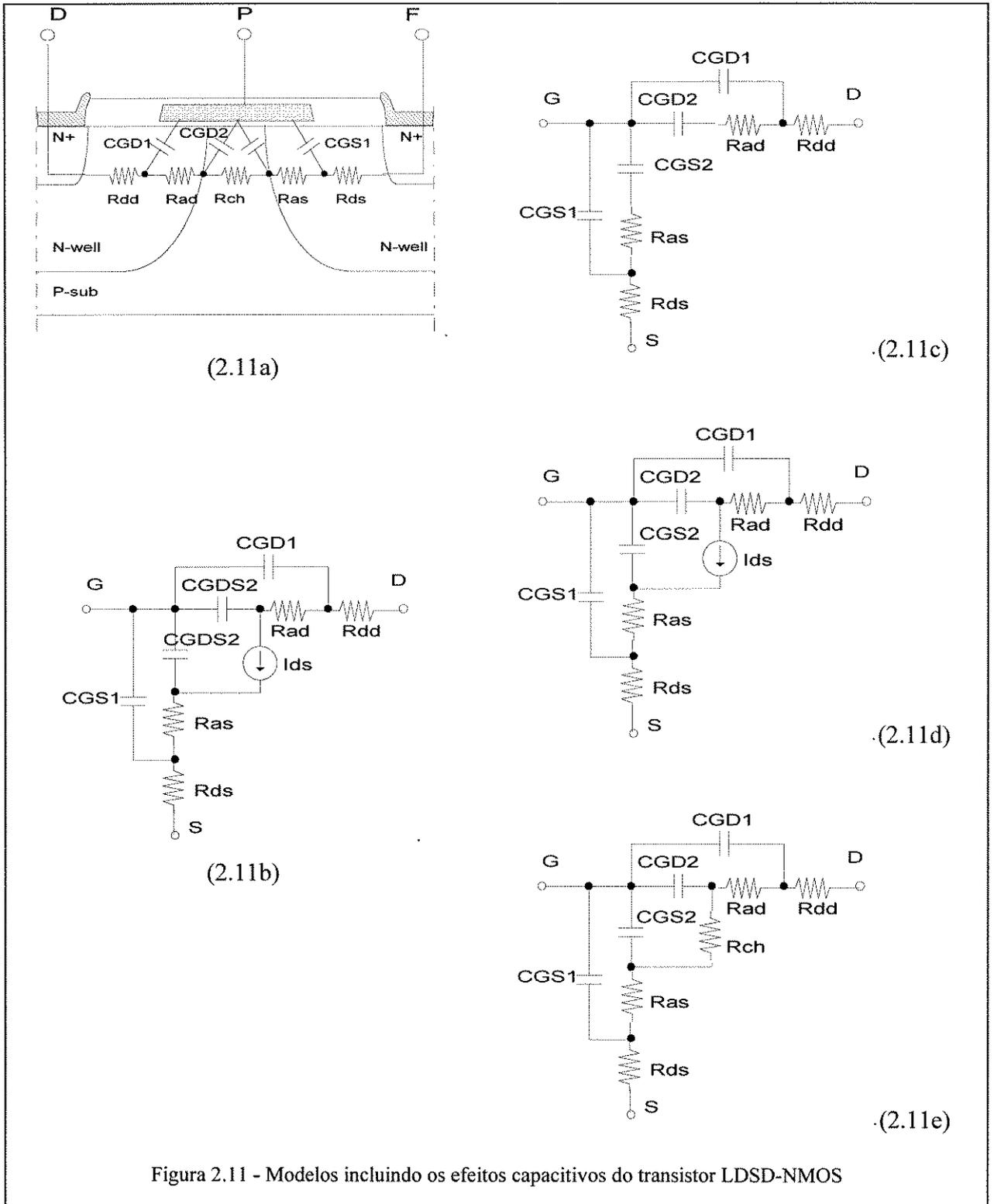
As três regiões de operação que determinam o desempenho durante a comutação são a região de corte, região de saturação e a região tríodo, nas quais a capacitância se mantém constante [2.13]. Deste modo um modelo Linear por Partes pode ser introduzido.

As Figuras 2.10c - 2.10e mostram os respectivos circuitos equivalentes do LDD-NMOS operando nas três regiões mencionadas. A corrente de dreno é modelada por um gerador de corrente o qual é definido pelas equações do transistor MOS nas regiões mencionadas.

2.3.2.2 O Transistor LDS-D-NMOS

Um estudo similar foi realizado considerando a estrutura do LDS-D-NMOS e seu circuito equivalente. A diferença nos efeitos capacitivos e resistivos estão relacionados com difusão da fonte implementada num poço-N. Na verdade, os mesmos efeitos capacitivos e resistivos encontrados entre a porta e o dreno para a estrutura LDD, são encontrados para ambas as regiões de porta-dreno e porta-fonte na estrutura do LDS-D. Desde que estes efeitos capacitivos determinam o comportamento de comutação, serão analisados como anteriormente.

A Figura 2.11a ilustra as capacitâncias de sobreposição porta-fonte e porta-dreno que apresentam uma distribuição quase simétrica e são representadas respectivamente por $CGS1$ e $CGD1$, para a região de difusão de dreno e fonte, e por $CGS2$ e $CGD2$ para a região de acumulação na fonte e no dreno. O modelo do LDS-D-NMOS é apresentado na Figura 2.11b.



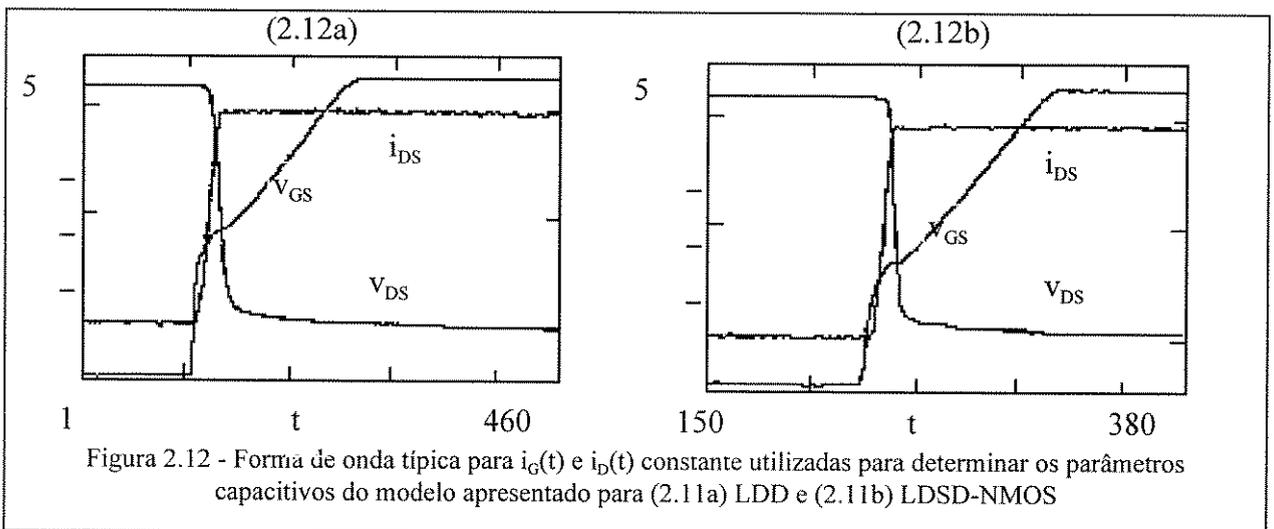
Para tensões de porta-fonte e porta-dreno maior que a tensão de limiar de condução, é formado um canal entre dreno e a fonte sob o óxido. Nestas condições a capacitância de porta-substrato é

representada por CGS2 e CGD2. Efeitos resistivos da difusão, acumulação e da região de canal são representados por resistores R_{ds} , R_{dd} , R_{as} , R_{ad} e R_{ch} . Os efeitos das junções de poço-N e substrato são desconsiderados, uma vez que eles são opostos.

Outra vez, as regiões de operação que determinam o desempenho durante a comutação são a região de corte, região de saturação e a região trípode, nas quais a capacitância se mantém constante. Deste modo um modelo Linear por Partes pode ser introduzido. As Figuras 2.11c - 2.11e mostram os circuitos equivalentes do LDS-D-NMOS operando nas três regiões mencionadas. Como antes, a corrente de dreno é modelada por um gerador de corrente, o qual é definido pelas equações do transistor MOS.

2.3.3 Técnica caracterização estática

Para quantificar os parâmetros do modelo capacitivo apresentados nos dois tópicos anteriores e definir a faixa de frequência da aplicabilidade destes dispositivos, bem como as exigências de excitação, é apresentado o estudo de um protótipo em condições de comutação. Esta metodologia baseia-se na operação do dispositivo para correntes na porta e no dreno constantes [2.14]. A Figura 2.12 mostra um exemplo com as formas de onda de $v_{GS}(t)$, $v_{DS}(t)$ e $i_{DS}(t)$ nestas condições de operação, para um protótipo de células do tipo LDD-NMOS.



2.4 Processo CMOS convencional

Neste tópico é apresentada uma visão geral de um processo CMOS convencional onde as principais etapas de processo são ilustradas na Figura 2.13. Seus principais parâmetros elétricos e as principais regras de desenho são mostrados nas tabelas 2.1 e 2.2, respectivamente.

O processo CMOS convencional compõe-se de uma série de etapas de fabricação, baseadas em fenômenos físico-químicos de oxidação, difusão, implantação iônica, deposição e corrosão de filmes de Si-poli, metal, SiO₂ e Si₃N₄, que são sequenciadas de forma a definir camadas com propriedades elétricas diferentes, a partir do substrato de silício monocristalino.

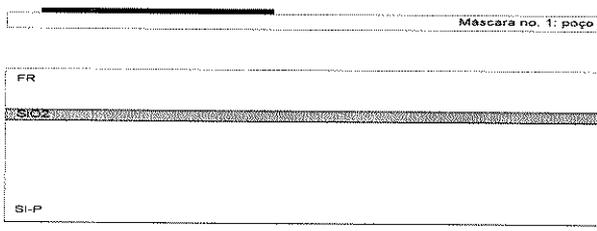
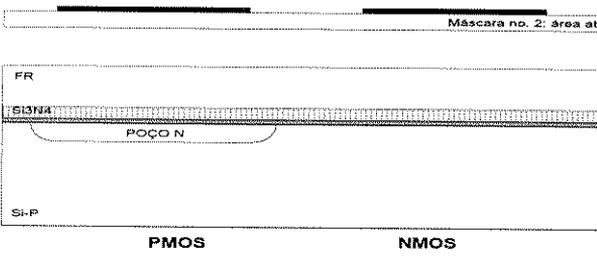
Trata-se de um processo planar, ou seja, todos os circuitos e dispositivos assim construídos são realizados por etapas físico-químicas a partir da superfície do substrato de silício. As camadas ou regiões com propriedades elétricas específicas são conformadas geometricamente por meio de máscaras, cerca de dez a doze no processo CMOS convencional [2.15]. Um processo CMOS, considerado como “**convencional**” no contexto das tecnologias atuais, é aquele que apresenta as seguintes características:

- i) Tecnologia CMOS poço P ou N, porta silício policristalino (Si-poli) e um ou dois níveis de metal;
- ii) Grande disseminação industrial, sendo portanto uma tecnologia disponível internacionalmente, com grande número de fabricantes (*foundries*) equivalentes;
- iii) Amplamente utilizada para a realização de circuitos integrados, sendo por isso bem conhecida por parte dos usuários da tecnologia, particularmente para o desenvolvimento de circuitos integrados de aplicação específica, ou ASICs;
- iv) Custos reduzidos face às tecnologias de fabricação especiais, tais como BICMOS, SOS/SOI, etc, e suficiente para um largo espectro de aplicações.

2.4.1 Etapas de processo

O processo de fabricação inicia-se pelo crescimento de um óxido inicial sobre um lâmina de silício monocristalino, normalmente com orientação cristalina <100> e concentração de impurezas doadoras (Nd) da ordem de $5,0 \cdot 10^{14}$ a $5,0 \cdot 10^{15}$ átomos por centímetro cúbico.

A Figura 2.12 resume as principais etapas de processo e traz o corte transversal da lâmina de silício de uma tecnologia CMOS poço N. A título de exemplo, a estrutura exibida corresponde ao corte transversal de uma porta lógica inversora CMOS [2.16]. O processo físico-químico em si, que faz uso do conjunto de máscaras abaixo descrito, compõe-se de cerca de 150 etapas.

Seqüência de máscaras e das etapas de um processo CMOS convencional	Corte transversal de um inversor exemplificando o processo CMOS
<p>1. Máscara de poço N (1). A primeira máscara é aplicada para que as regiões de poço sejam implantadas. Uma dose de íons de boro de alta energia é introduzida no substrato semiconductor, através de uma janela aberta no SiO₂, seguida da redistribuição térmica de alta temperatura para ativação das impurezas receptoras e penetração das mesmas.</p>	
<p>2. Máscara de área ativa (2). Define áreas onde são localizados os dispositivos ativos (transistores), contatos de substrato e regiões condutivas P⁺ e N⁺. No restante da região em torno das áreas ativas, desenvolve-se o óxido de campo para isolamento de dispositivos adjacentes.</p>	
<p>Figura 2.13- Síntese das principais etapas de um processo CMOS convencional. (continua)</p>	

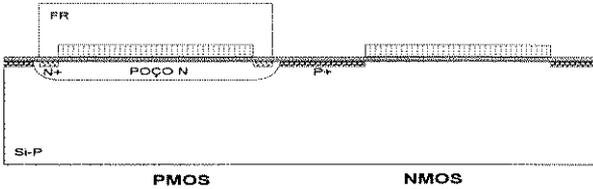
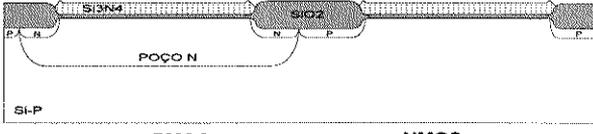
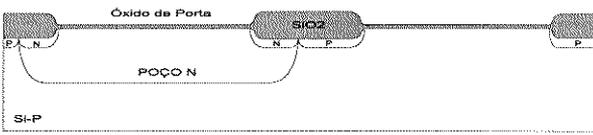
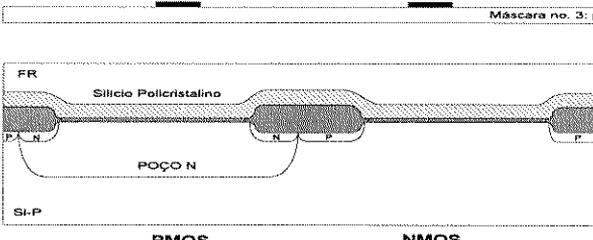
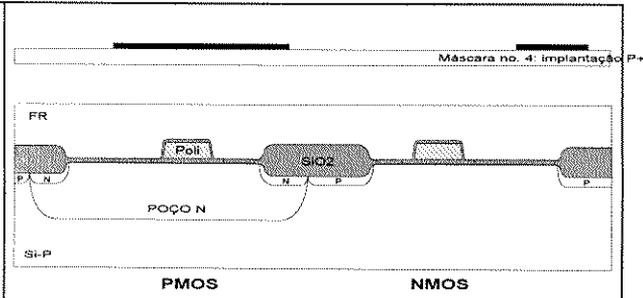
<p>3. Seguem-se os implantes de campo, que tomam como base a própria máscara de poço. Configurada a forma das regiões ativas e realizados os implantes de campo, procede-se à oxidação de campo. Trata-se de um processo de oxidação a alta temperatura (cerca de 900 a 1.100 graus centígrados), durante um intervalo de tempo suficiente para a obtenção de um óxido de 9.000 a 11.000 angstroms de espessura.</p>	
<p>4. Nesta mesma etapa, obtém-se ainda o aprofundamento do poço e das implantações de campo. Nota-se o empenamento da camada de nitreto na região das bordas, devido à oxidação lateral nesta região, conhecida como bico de pássaro. Segue-se a remoção do nitreto de silício remanescente.</p>	
<p>5. Remove-se então o óxido presente sobre as regiões ativas até que o substrato seja exposto. Isto é necessário para garantir a qualidade do futuro óxido de porta, quanto espessura, tensão de ruptura, densidade de estados e de cargas fixas e móveis. Segue-se então o crescimento do óxido de porta por oxidação seca a cerca de 950 graus centígrados, resultando numa espessura de cerca de 250 ± 25 angstroms.</p>	
<p>6. Máscara de Si-poli (3). Antes ou após a oxidação de porta, realiza-se a implantação iônica de Boro para ajuste de dos V_t. Procede-se, então, à deposição por CVD de silício policristalino dopado, de cerca de 4000 angstroms de espessura, e à aplicação da máscara de Si-poli para definição geométrica desta camada.</p>	

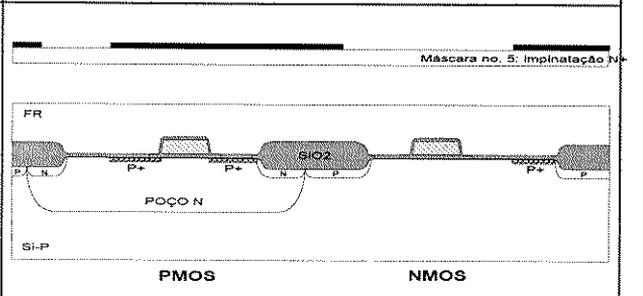
Figura 2.13 - Síntese das principais etapas de um processo CMOS convencional. (continua)

7. Máscara de implante P^+ (4). Terminada a decapagem do Si-poli, é aplicada a máscara de implantação P^+ para definição das difusões ativas P.

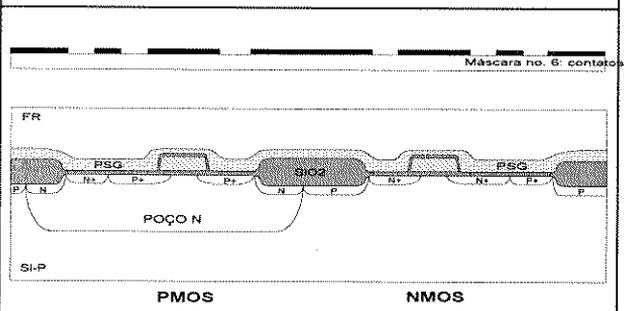
Máscara de implante N^+ (5). Segue-se o implantação N^+ , respectiva às difusões ativas N^+ . Dependendo do processo, a máscara N^+ é tomada como sendo o negativo da máscara P^+ .



8. As difusões P^+ e N^+ atingem sua conformação final mediante uma etapa térmica de aprofundamento, de forma que a profundidade de junção e a difusão lateral sob a porta de Si-poli seja de cerca de 0,2 a 0,5 micra. Também o poço atinge sua profundidade final em cerca de 3,0 a 5,0 micra.



9. Máscara de Contato (6). A isolação elétrica entre a camada de Si-poli e a camada superior de alumínio é obtida pela deposição de SiO_2 (PSG), por CVD a baixa temperatura, com cerca de 10.000 angstroms de espessura. A sexta máscara do processo é então aplicada para permitir abrir-se os contatos com as difusões P^+ , N^+ e com o Si-poli em regiões bem definidas, garantindo-se a isolação elétrica nas demais áreas.



10. Máscara de metal (7). Procede-se a seguir à metalização da superfície da lâmina por evaporação ou pulverização catódica (*sputtering*) de uma liga de alumínio-silício, com espessura de 8.000 a 9.000 angstroms. A configuração das interconexões de primeiro nível é obtida pela aplicação da máscara de metal.

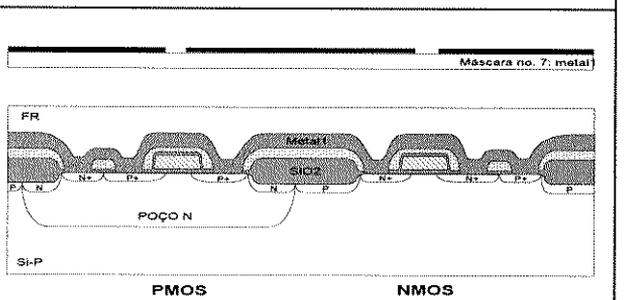


Figura 2.13 - Síntese das principais etapas de um processo CMOS convencional. (continua)

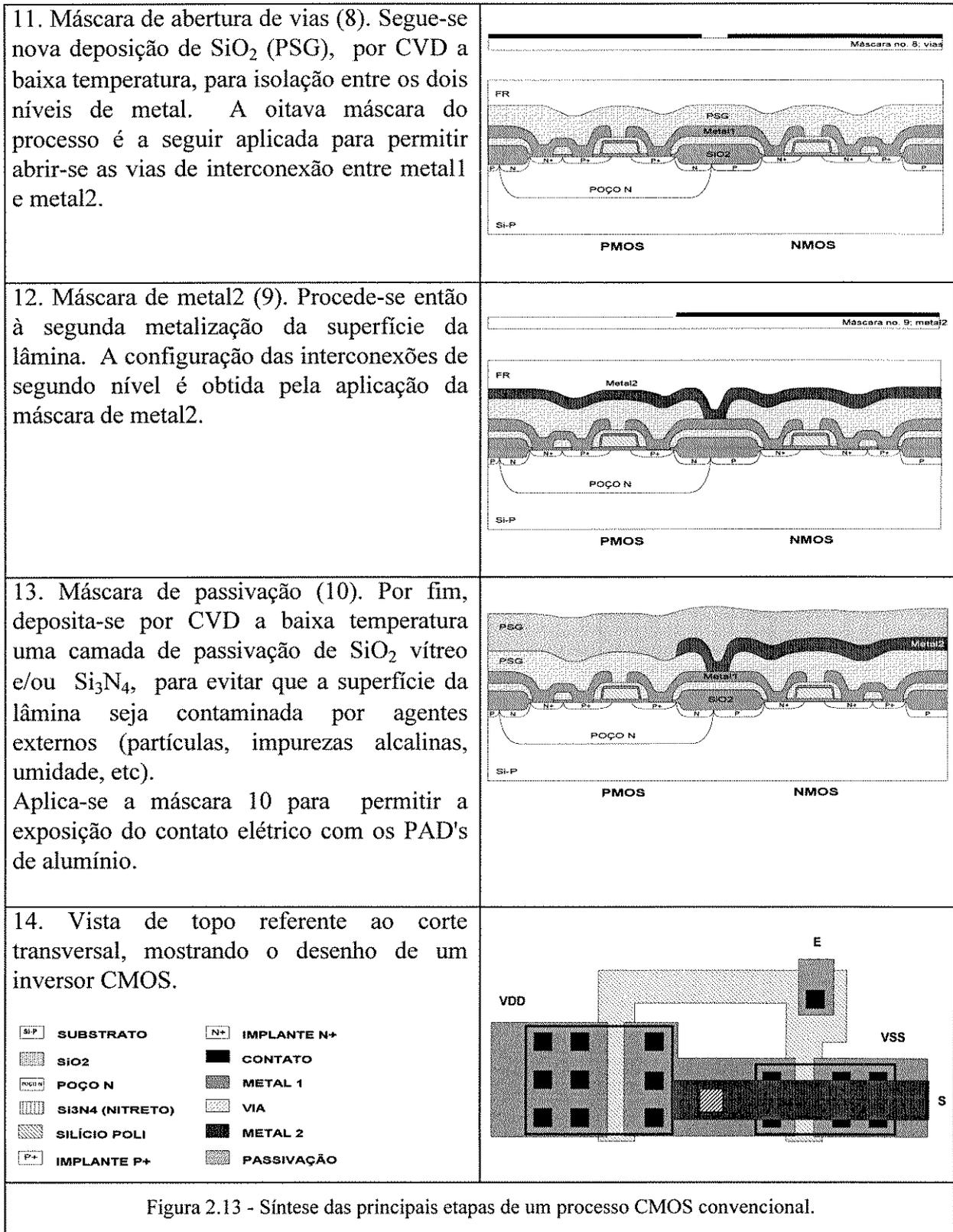


Figura 2.13 - Síntese das principais etapas de um processo CMOS convencional.

2.4.2 Regras de desenho

As etapas de processo da Figura 2.13 seguem um conjunto de regras de desenho que garantem o funcionamento dos dispositivos em 5 volts. As principais regras de desenho desta tecnologia estão resumidas na tabela abaixo.

TABELA 2.1- Principais regras de desenho de uma tecnologia CMOS

No.	Regra de desenho	Dimensão
01	Largura mínima de poço	3,0
02	Espaçamento mínimo entre poços em potenciais diferentes	12,8
03	Largura mínima de área ativa (nitreto)	1,6
04	Espaçamento mínimo entre áreas ativas adjacentes P ⁺ /P ⁺ e N ⁺ /N ⁺ (mesmo tipo) ou N ⁺ /P ⁺	3,2
05	Espaçamento mínimo de difusão N ⁺ , dentro do poço P, para a borda do poço (idem, P ⁺ para poço N)	4,8
06	Espaçamento mínimo de difusão N ⁺ , fora do poço P, para a borda do poço (idem, P ⁺ para poço N)	4,8
07	Espaçamento mínimo de difusão P ⁺ fora do poço P, para a borda do poço (idem, N ⁺ para poço N)	9,6
08	Largura/espacamento mínimo de fitas de Si-poli	1,6
09	Extensão mínima de fita de poli sobre o óxido de campo	1,6
10	Separação mínima entre Si-poli e borda da área ativa	2,4
11	Sobreposição mínima da máscara P ⁺ ou N ⁺ sobre a área ativa	2,0
12	Tamanho mínimo do contato comum	2,0x2,0
13	Tamanho mínimo de contato justaposto	na
14	Espaçamento mínimo entre contatos	2,0
15	Mínima sobreposição de difusão P ⁺ sobre contato justaposto	na
16	Espaçamento mínimo entre contato e Si-poli	1,4
17	Espaçamento mínimo entre contato e borda da área ativa	1,0
18	Largura mínima de fita de metal (metal1)	2,4
19	Espaçamento mínimo entre fitas de metal (metal1)	2,4
20	Sobreposição mínima de metal sobre contato	1,0
21	Tamanho mínimo de via	2,0x2,0
22	Espaçamento mínimo entre vias	2,0
23	Espaçamento mínimo entre via e Si-poli	2,2
24	Largura mínima de fita de metal2	2,4
25	Espaçamento mínimo entre fitas de metal2	2,4
26	Sobreposição mínima de metal2 sobre via	1,0

2.4.3 Parâmetros físicos e elétricos

Os principais parâmetros físicos e elétricos desta tecnologia são apresentados na tabela 2.2. Estes parâmetros são fornecidos pelo fabricante para elaboração dos arquivos de tecnologia para simulação elétrica, como por exemplo para o simulador elétrico SPICE, tanto para o modelamento dos dispositivos ativos, como os transistores para o modelamento dos efeitos parasitários resultantes das interconexões do circuito.

Baseando-se nestes parâmetros e em algumas regras de desenho apresentadas no tópico 2.4.2, é possível obter as regras de desenho para os dispositivos LDD e LDSD-NMOS em uma primeira aproximação.

TABELA 2.2- Principais parâmetros elétricos de uma tecnologia CMOS

Parâmetro	Símbolo	Valor	Unidade
Concentração de impurezas no substrato	Nd	15,0	10^{15} cm^{-3}
Concentração de impurezas no poço P	Na	20,0	10^{15} cm^{-3}
Profundidade de junção de poço P	$X_j(\text{poço})$	4,0	micra
Profundidade de junção N+	$X_j(\text{N+})$	0,5	micra
Profundidade de junção P+	$X_j(\text{P+})$	0,5	micra
Espessura do óxido de porta	t_{OX}	250	angstroms
Espessura do óxido de campo	t_{OXC}	-	angstroms
Espessura da lâmina N-	H	-	micra
Capacitância do óxido de porta	C_{OX}	1,38	fF/micra ²
Tensão de limiar do transistor NMOS	V_t	0,70	volts
Mobilidade de elétrons	μ_0	510	$\text{cm}^2 / \text{V.s}$
Resistência de folha da difusão N+	$R_S(\text{N+})$	55	ohm/quad
Resistência de folha da difusão P+	$R_S(\text{P+})$	75	ohm/quad
Difusão lateral N+	$LD(\text{N+})$	0,325	micra
Difusão lateral P+	$LD(\text{P+})$	0,300	micra

2.5 Considerações geométricas para o LDD/LDSD-NMOS

Para a aplicação da tecnologia MOS convencional ao projeto de dispositivos de potência, é fundamental definir o conjunto de regras de desenho e a seqüência das máscaras. A compreensão clara destes permitem ao projetista realizar as adaptações necessárias das regras para o desenho das estruturas de potência desejadas, evitando os efeitos indesejáveis, principalmente o da tensão de ruptura.

Nos processos CMOS similares ao processo descrito no item 2.4 é possível construir dispositivos MOS laterais como os da Figura 2.7, onde basicamente as junções submetidas a tensões mais elevadas são realizadas pela difusão de poço N. A tensão de operação destes dispositivos é maximizada, evitando a ruptura por avalanche e a ruptura do óxido, como já descrito anteriormente no item 2.3. Utilizando-se do mesmo princípio dos primeiros dispositivos MOS de potência mostrados na Figura 2.1b. A característica do poço N assemelha-se muito ao conceito de uma junção de dreno levemente dopada (*lightly doped drain, LDD*).

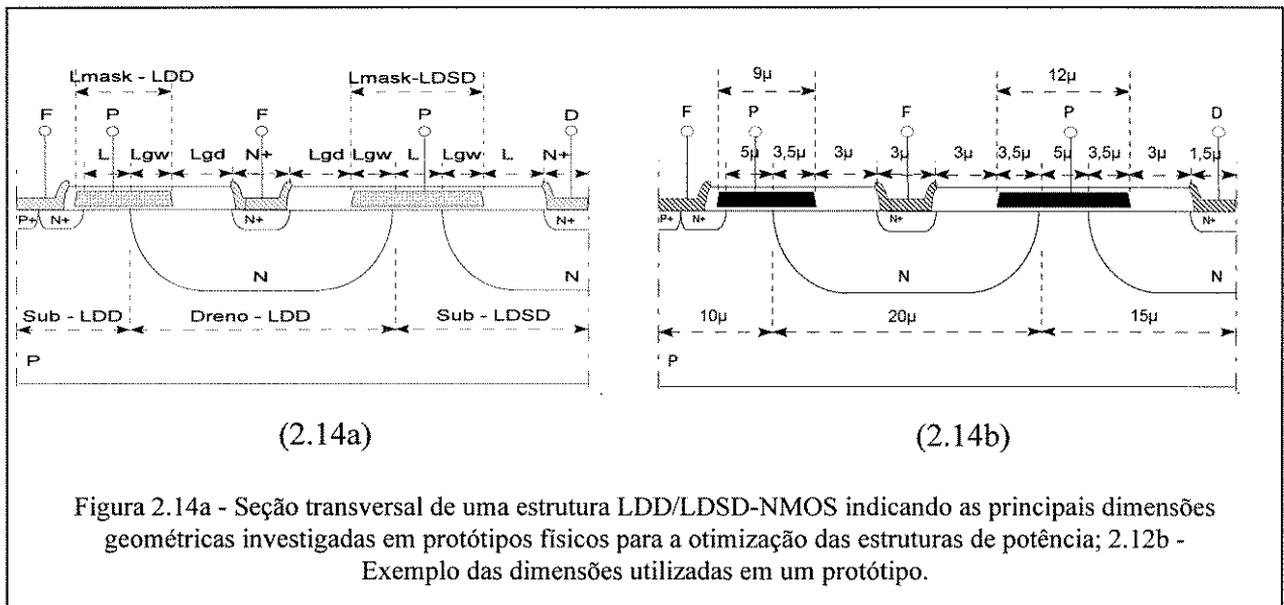
Normalmente as configurações para a construção das estruturas de potência transgridem algumas regras de desenho fornecidas pelo fabricante. Por exemplo: para um dispositivo de potência projetado com um canal efetivo de 5 micra, ocorrem pelo menos 5 violações de regras, algumas das quais não foram mencionadas na tabela acima.

- 1) Espaçamento mínimo entre áreas ativas adjacentes;
- 2) Extensão mínima de fita de silício-poli sobre o óxido de campo;
- 3) Sobreposição mínima da máscara P⁺ ou N⁺ sobre a área ativa;
- 4) Separação de implante P⁺ sobre área ativa P⁺ no poço N;
- 5) Abertura de contato sobre área de porta não é permitido.

Neste caso torna-se necessária uma negociação com o fabricante, para que permita e desconsidere os erros de DRC (*Design Rule Check*) localizados nas células de potência.

2.6 Estruturas para a determinação das regras de desenho

Diversos circuitos-teste foram prototipados investigando os limites físicos da tecnologia, e os principais parâmetros de interesse, como por exemplo: a tensão de ruptura da junção de poço-N/substrato, em função da geometria de topo; distância ótima da região de deriva entre a difusão N+ e a borda do poço-N; largura de canal otimizada em função da tensão de operação da estrutura e tensão de ruptura do óxido de porta. A Figura 2.14a exemplifica as nomenclaturas utilizadas para referir as distâncias relativas entre as diferentes regiões das estruturas LDD e LDS-D-NMOS. As dimensões utilizadas na Figura 2.13b são as mesmas utilizadas para o desenho das chaves de potência do CON.PROT3.



Concluiu-se que a tensão de ruptura nas estruturas LDD e LDS-D é basicamente afetada pela sobreposição da porta sobre o poço-N, L_{gw} , e pela região de deriva entre a borda da porta e a difusão de contato N+, L_{gd} . As estruturas experimentais construídas exploraram diversas combinações de L_{gw} (desde 0 até 4 μ m) e de L_{gd} (desde 0 até 6 μ m), bem como o comprimento do canal L (desde 2 até 16 μ m). Os melhores resultados indicaram os seguintes valores mínimos: L_{gw} em torno de 3 a 4 μ m, o suficiente para cobrir a difusão lateral do poço-N; L_{gd} na faixa de 3 a 5 μ m para o comprimento de canal L de 5 μ m.

Modelos analíticos não estão disponíveis ou facilmente derivados e são sujeitos a erros na determinação de L_{gw} , L_{gd} e L para a otimização da tensão de ruptura, devido ao fato que efeitos em duas dimensões devem ser considerados como: distribuição de cargas, distribuição do campo elétrico, etc. Baseado em Baliga [2.17] os modelos para uma junção abrupta plana, cilíndrica e esférica, para o cálculo dos limites teóricos dos dispositivos LDD e LDS-D, o limite fundamental é em torno de 35 volts. A simulação numérica bidimensional permite uma metodologia mais realista na otimização das estruturas de potência. A Figura 2.15 mostra uma microfotografia de alguns protótipos típicos utilizados para determinar as regras de desenho para os transistores de potência LDD e LDS-D-NMOS.

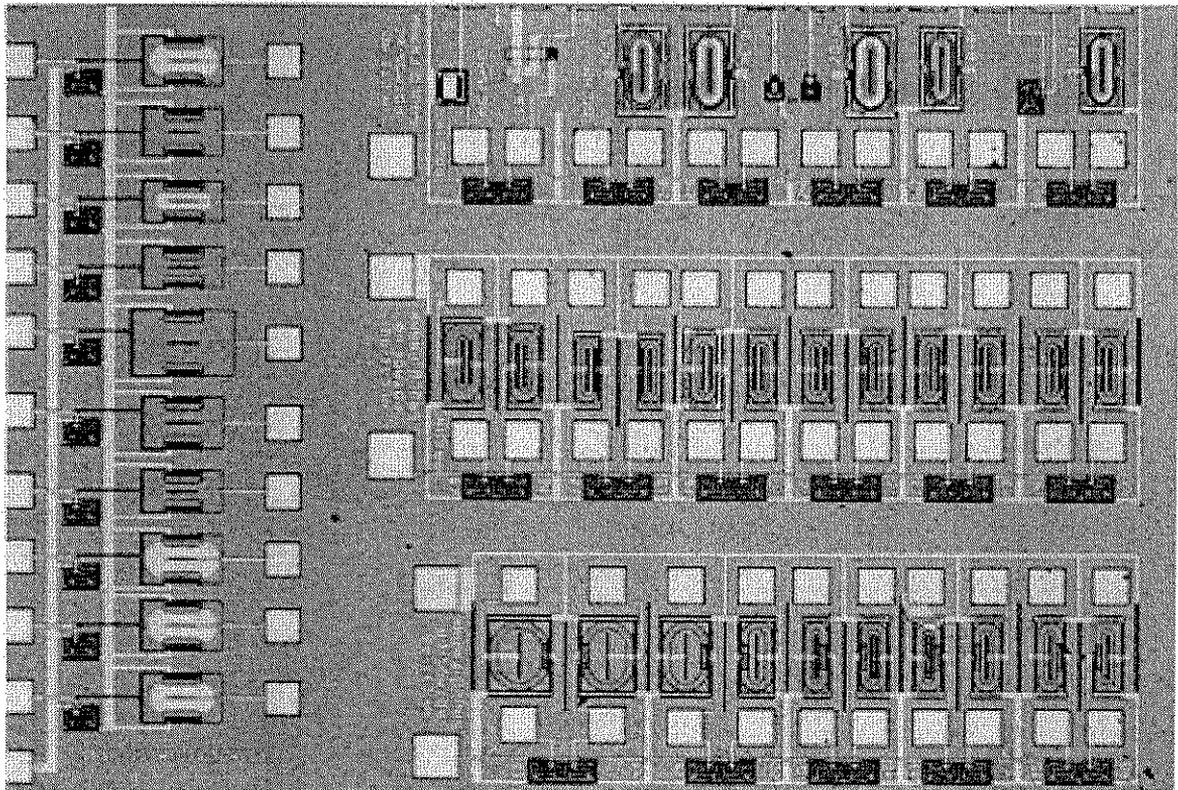


Figura 2.15- Fotografias de alguns exemplos de protótipos físicos utilizados para a investigação dos principais parâmetros envolvidos na otimização dos dispositivos LDD e LDS-D-NMOS.

Capítulo 3

O CI INTELIGENTE DE POTÊNCIA CON.PROT3

Introdução

Neste capítulo o Circuito Integrado Inteligente de Potência CON.PROT3 é descrito detalhadamente. O circuito CON.PROT3 foi o terceiro protótipo a ser integrado, que utiliza-se de uma tecnologia convencional CMOS digital que opera a 5 volts e cujo estudo possibilitou desenvolver transistores do tipo LDD e LDSD-NMOS, como aqueles apresentados no capítulo 2. Eles suportam uma tensão de operação teórica de pelo menos 25 volts, totalmente compatível com os transistores convencionais do mesmo processo. Como será visto posteriormente, os dispositivos integrados neste protótipo possuem uma tensão de ruptura de aproximadamente 35 volts.

A aplicação alvo desta integração é a de construir um circuito conversor de tensão CC-CC do tipo *Boost*, possuindo o controle duas entradas de realimentação, uma em tensão e outra em corrente. Ainda como parte das especificações iniciais, o controle de conversor operará em modo de corrente *turn on* e, na medida do possível, o processamento dos sinais internos de controle será em modo de corrente, evitando assim o uso de um grande número de resistores que o

processamento em modo tensão exige para a realização de soma, comparação, transdução e outras operações a serem realizadas com os sinais internos.

Um protótipo anterior a este circuito foi construído baseando-se nas chaves de potência tipo LDD e LDSD-NMOS do circuito CON.PROT2. O mesmo foi exaustivamente testado no segundo semestre de 1993. Entretanto, neste protótipo o circuito de controle foi implementado com componentes discretos oferecidos comercialmente. O controle utilizava circuitos que operavam em modo tensão, sendo assim necessário um grande número de resistores no circuito.

O CON.PROT2 foi projetado para analisar os três modos de operação possível, ou seja, o modo *turn on*, o modo *turn off* e o modo duplo. Os altos rendimentos apresentados pelos diversos circuitos estimularam a construção de diversos outros protótipos de aplicação baseados no CON.PROT2, visando a integração destes como próximo passo de nossa atividade de pesquisa, sendo o CON.PROT3 o primeiro fruto [2.18] [2.19].

Neste capítulo o projeto do CON.PROT3 é apresentado detalhadamente através da descrição estrutural e funcional. Nos tópicos de 3.1 é apresentada uma visão global do circuito. Nos tópicos de 3.2, cada bloco é descrito estruturalmente, funcionalmente e os resultados das simulações elétricas de cada bloco são apresentados. As listagens SPICE das mesmas encontram-se nos anexos deste trabalho. Os blocos de circuitos que compõem o CON.PROT3 fazem uso de um conjunto de circuitos utilizados ou conhecidos da literatura no que diz respeito ao modelamento, assim sendo, este não será objeto desta tese.

O teste elétrico funcional do CON.PROT3 apresentou um resultado satisfatório, correspondendo aos resultados de simulação elétrica apresentado pelo simulador elétrico HSPICE, a partir de um listagem extraída do desenho final do CON.PROT3, antes da difusão. Porém as análises relativas ao funcionamento deste também não serão objeto de estudo nesta tese. Medidas experimentais e fotografias do circuito serão apresentadas a título de ilustração ou comprovação de detalhes do projeto.

3.1 Descrição Global do Circuito CON.PROT3

3.1.1 Descrição Estrutural

O circuito integrado **CON.PROT3** está dividido estruturalmente em quatro partes distintas: circuito de **Controle Analógico**; circuito de **Lógica de Controle**; circuito de **Interface de Potência** e as **Chaves de Potência**. Montado em cápsula cerâmica de 48 pinos. A figura 3.1 e 3.2 mostram respectivamente o desenho e diagrama de blocos deste CI.

O Controle Analógico possui onze (11) sinais de entrada externa (pinos), um (1) sinal de entrada interno e um (1) sinal de saída interno, sendo que dos sinais externos, seis (6) deles são fontes de corrente externas. Neste protótipo tomou-se como opção usar fontes externas para o ajuste das correntes nos pontos, nós, críticos. Um (1) pino é utilizado para limitar a corrente em um transdutor tensão-corrente; três (3) pinos do amplificador operacional são utilizados para implementar a malha de realimentação de tensão do sistema; um (1) pino é a entrada de sinal de realimentação de corrente; um (1) pino para o controle de uma rampa de compensação. O sinal de entrada interno vem do circuito de Lógica de Controle e o sinal de saída interno vai para o circuito de Lógica de Controle.

O Controle Analógico é formado por quatro (4) blocos internos: bloco **Sensor da Tensão de Saída - STS**, composto por dois circuitos distintos, sendo um amplificador operacional e um circuito transdutor V-I; bloco **Gerador de Rampa de Compensação - GRC**, composto por dois circuitos, sendo um circuito de carga e descarga de um capacitor externo de 500pf, através de uma fonte de corrente constante sincronizada com o relógio de entrada e um circuito transdutor V-I; bloco **Sensor de Corrente - SC**, também composto por dois circuitos, sendo um deslocador de tensão do sensor de corrente de carga e um circuito transdutor V-I; bloco **Comparador de Corrente**, composto por três circuitos, sendo dois espelhos de corrente e um comparador tipo inversor.

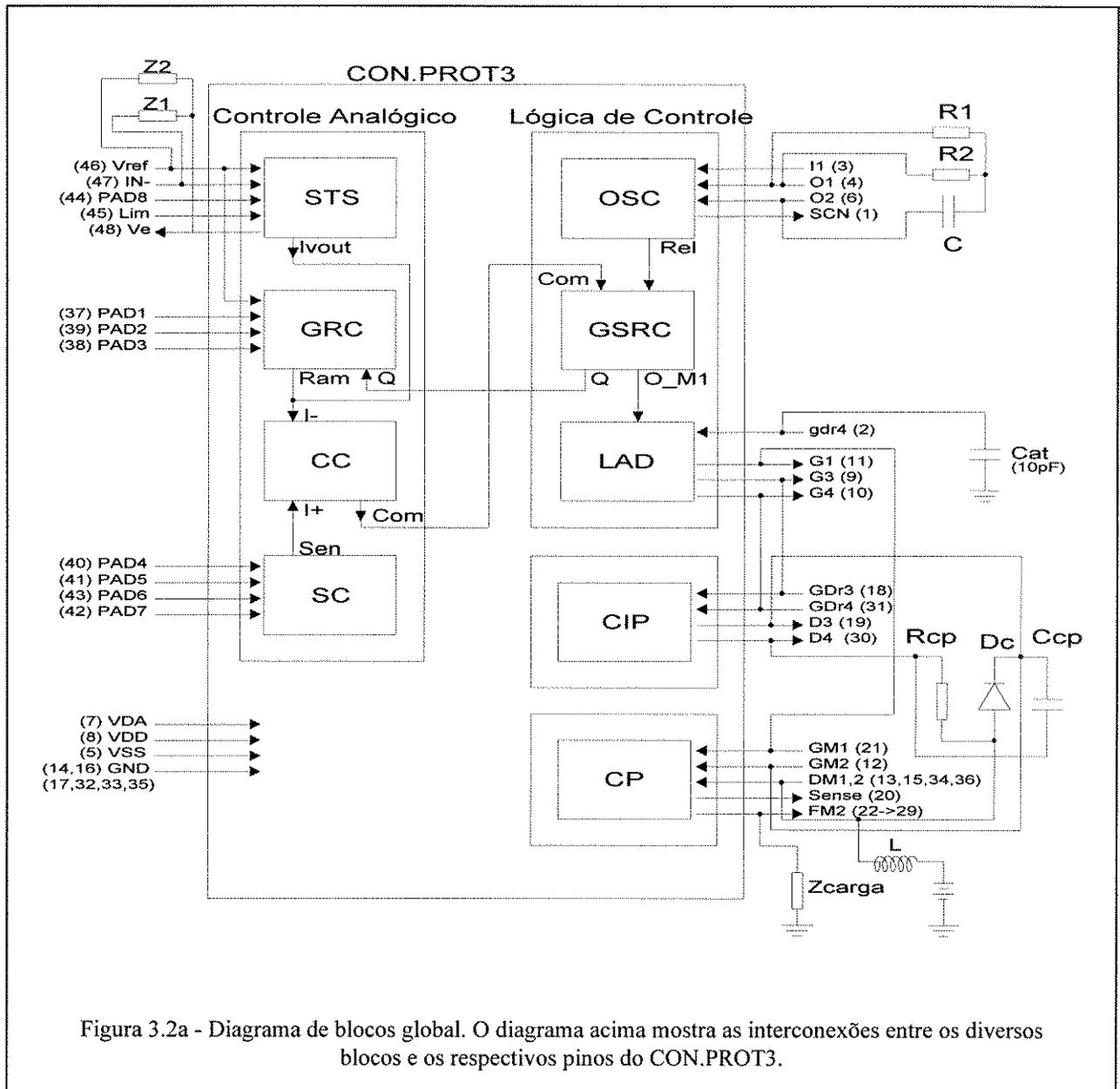


Figura 3.2a - Diagrama de blocos global. O diagrama acima mostra as interconexões entre os diversos blocos e os respectivos pinos do CON.PROT3.

O circuito de **Interface de Potência - IP** tem dois (2) pinos de entrada, dois (2) pinos de saída e compartilha os pinos de terra com as chaves de potência. É composto por dois (2) transistores tipo LDD que, associados a um diodo, a um capacitor e a um resistor, formam um circuito tipo *bootstrap* integrado, que será apresentado no decorrer desta tese.

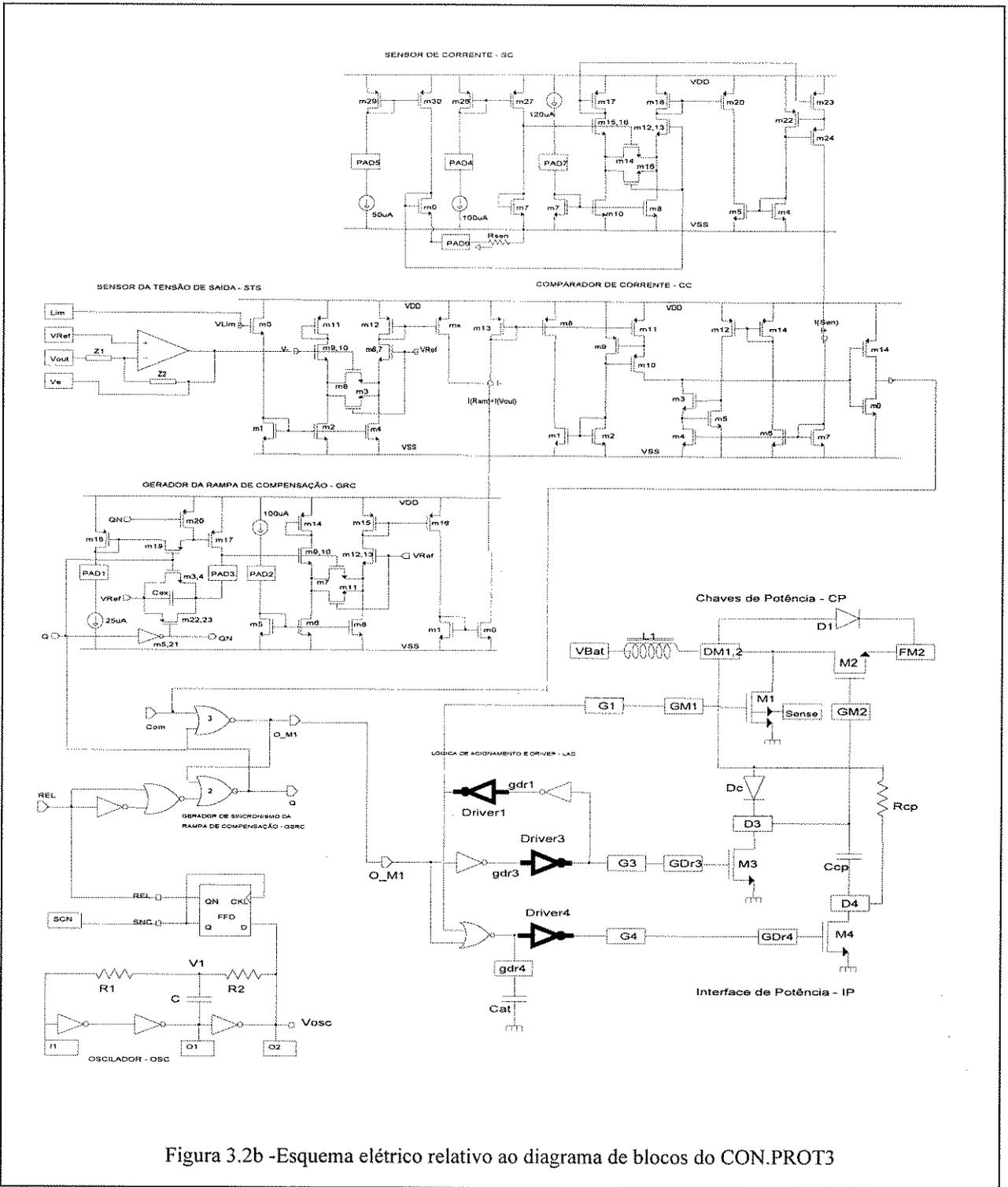


Figura 3.2b -Esquema elétrico relativo ao diagrama de blocos do CON.PROT3

O bloco das Chaves de Potência - CP possui três (3) pinos de entrada, um (1) pino de saída e seis (6) pinos de terra distribuídos ao redor das chaves. É composto por dois (2)

transistores de potência, um do tipo LDD e o outro do tipo LDSD-NMOS, onde a difusão do dreno do LDD é construída de forma compartilhada com a difusão de dreno do LDSD.

3.1.2 Descrição funcional dos pinos

O bloco de Controle Analógico possui onze (11) pinos de entrada, um (1) pino de alimentação positiva e 1 pino de terra compartilhado com o bloco de Lógica de Controle. O bloco de Lógica de Controle possui três (3) pinos de entrada, cinco (5) pinos de saída e um (1) pino de alimentação positiva. O circuito de Interface de Potência contém dois (2) pinos de entrada e dois (2) de saída e compartilha o terra com as chaves de potência. As chaves de potência possuem dois (2) pinos de entrada, treze (13) pinos de saída e seis (6) pinos de terra distribuídos ao longo da estrutura. A seguir é apresentada a descrição de cada pino.

Ve (48) - Sinal de saída do amplificador operacional do bloco STS, ponto de acesso à malha de realimentação em tensão do sistema. Internamente é o sinal de entrada do circuito Transconductor V-I dos blocos STS e GRC.

IN- (47) - Entrada inversora do amplificador operacional do bloco STS.

Vref (46) - Entrada não inversora do amplificador operacional do bloco STS. Este pino deve ser polarizado com uma tensão de referência (aproximadamente 2,5 Volts) para a malha de realimentação em tensão.

Lim (45) - Controle do limite de corrente do circuito Transconductor V-I do bloco STS. Também controla o limite máximo de corrente no circuito.

PAD8 (44) - Nó de polarização da corrente do amplificador operacional do bloco STS. Fonte de corrente conectada a VDD injetando uma corrente de 100 μ A.

PAD6 (43) - Nó de conexão ao sensor de corrente resistivo (resistor de 0.1 Ω conectado ao terra. Este é o sinal de amostragem da corrente que circula na carga, sendo este o sinal de realimentação em corrente do sistema.

PAD7 (42) - Nó de polarização da corrente do circuito Transconductor V-I do bloco SC. Fonte de corrente conectada a VDD injetando uma corrente de 120 μ A.

PAD5 (41) - Nó de polarização da corrente do circuito deslocador de nível de tensão do bloco SC. Fonte de corrente conectada ao terra drenando uma corrente de 50 μ A.

PAD4 (40) - Nó de polarização da corrente do circuito deslocador de nível de tensão do bloco SC. Fonte de corrente conectada ao terra drenando uma corrente de 100 μ A.

PAD2 (39) - Nó de polarização da corrente do circuito Transconductor V-I do bloco GRC. Fonte de corrente conectada a VDD injetando uma corrente de 25 μ A.

PAD3 (38) - Pino de conexão do capacitor externo bloco GRC. Um capacitor de 500pf deve ser conectado entre os pinos Vref (44) e PAD3 (38).

PAD1 (37) - Nó de polarização da corrente do bloco GRC. Fonte de corrente conectada ao terra drenando uma corrente de 25 μ A.

VDA (7) - Pino de alimentação dos circuitos analógicos, i.e., circuitos do bloco de Controle Analógico.

SCN (1) - Pino de leitura do sinal de relógio que estimula o GSRC do bloco de Lógica de Controle.

gdr4 (2) - Nó de controle do atraso na borda de subida do pulso do *driver* do porta de M1 em relação a M4. Neste pino deve ser conectado um capacitor de 10pf ao terra.

II (3) - Pino do circuito oscilador com três inversores do bloco de Lógica de Controle. Pino de acesso da entrada do primeiro inversor.

O1 (4) - Pino do circuito oscilador com três inversores do bloco Lógica de Controle. Pino de acesso da saída do segundo inversor.

O2 (6) - Pino do circuito oscilador com três inversores do bloco de Lógica de Controle. Pino de acesso de saída do terceiro inversor.

G3 (9) - Pino de saída de *driver* do bloco de Lógica de Controle. Este pino deve ser conectado à porta do transistor de potência M3, GDr3 (18) do bloco de IP.

G4 (10) - Pino de saída do circuito de excitação do bloco de Lógica de Controle. Este pino deve ser conectado à porta do transistor de potência M4 , GDr4 (31) do bloco de IP.

G1 (11) - Pino de saída de *driver* do bloco de Lógica de Controle. Este pino deve ser conectado à porta do transistor de potência M1, GM1 (21) do bloco CP.

VDD (8) - Pino de alimentação positiva dos circuitos de digitais e de *driver*.

VSS (5) - Pólo negativo da fonte de alimentação. Ponto comum aos blocos de Controle Analógico e de Lógica de Controle.

GDr3 (18) - Pino de acesso à porta do transistor de potência M3 do bloco de IP.

D3 (19) - Pino de acesso ao dreno do transistor de potência M3 do bloco de IP.

D4 (30) - Pino de acesso à porta do transistor de potência M4 do bloco de IP.

GDr4 (31) - Pino de acesso à porta do transistor de potência M4 do bloco de IP.

GM1 (21) - Pino de acesso à porta do transistor de potência M1 do bloco CP.

GM2 (12) - Pino de acesso à porta do transistor de potência M2 do bloco CP.

DM1,2 (13, 15, 34 e 36) - Pino de acesso aos drenos dos transistores de potência M1 e M2 do bloco CP.

FM2 (22, 23, 24, 25, 26, 27, 28, 29) - Pino de acesso à fonte do transistor de potência M2 do bloco CP.

Sense (20) - Pino de acesso à fonte do transistor sensor de corrente do bloco CP.

GND(14, 16, 17, 32, 33, 35) - Terra do circuito de potência, distinto de VSS. Pino de acesso às fontes e substratos dos transistores M1, M3 e M4 dos blocos CP e IP.

3.1.3 Descrição Funcional Global

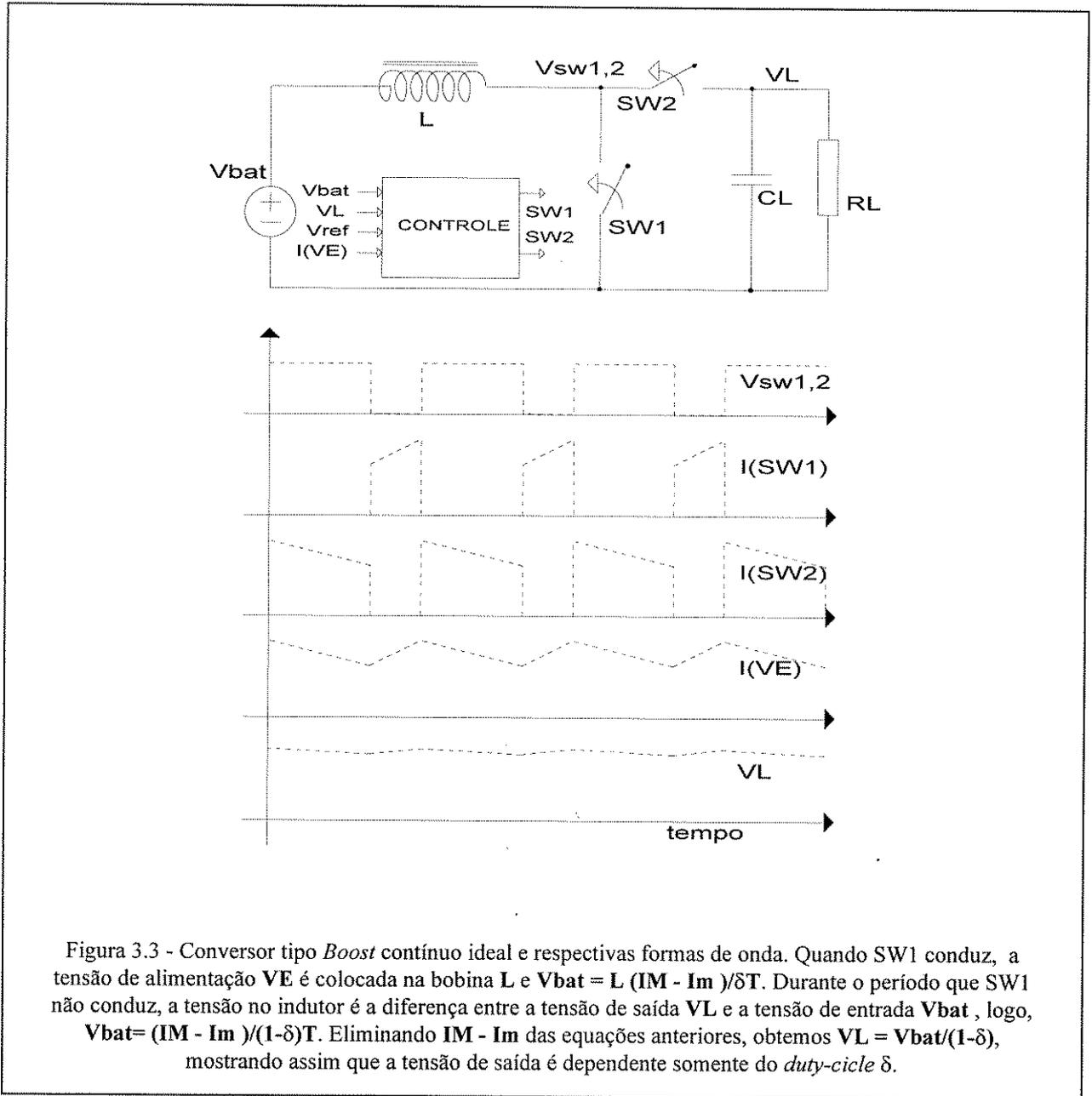
Tendo como referência a Figura 3.3, um circuito *Boost Converter* opera comutando em oposição de fase a chave 1 (SW1) em relação à chave 2 (SW2). Deste modo transfere-se a energia da fonte Vbat para o indutor quando SW1 está ligada. Quando SW2 está ligada, a energia armazenada no indutor é transferida à carga RL através de SW2. Um capacitor CL atua como filtro de tensão na saída do sistema. O circuito de controle atua de modo a fornecer à carga uma tensão constante e regulada, mesmo quando ocorrerem variações da corrente de carga I_L e ou variações de tensão na fonte Vbat. O controle atua estabelecendo os limites, máximo e mínimo, de corrente nas chaves de potência, bem como na carga do sistema.

A chave SW1 é constituída pelo transistor M1 e a chave SW2 é constituída pelo transistor M2 e por um diodo D1.

A Figura 3.3 ilustra um conversor tipo *boost* ideal. É importante lembrar que no modelo ideal deste tipo de conversor, a tensão de saída depende somente do ciclo de trabalho (*duty-cycle*). Na prática o sistema de controle pela modulação da largura de pulso *PWM* atua de modo a compensar as diversas perdas, bem como os pólos e zeros do sistema, para dar a estabilidade desejada. O Circuito Integrado CON.PROT3 faz uso do mesmo princípio descrito, quando configurado para operar como *Boost Converter*. A seguir é descrito com maiores detalhes o funcionamento do CON.PROT3.

Tomando as Figuras 3.2a e 3.2b, o sinal de relógio gerado internamente pelo oscilador pode ser observado através do pino SCN (1). A cada transição positiva de SCN(1) inicia-se um novo período de relógio. O sinal de transição estimula o circuito do bloco GSRC, que por sua vez envia um sinal de iniciação, Q (sinal interno), da rampa do bloco GRC e, ao mesmo tempo, é enviado o pulso de acionamento O_M1 para o bloco de LAD, promovendo o acionamento de M1 do bloco CP e de M3 e M4 do bloco IP. M2 permanece desligado durante este intervalo, até quando o bloco CC envia um sinal indicando que a corrente através de M1 está adequada à carga ou atingiu

o limite especificado por $I_{lim}(45)$. Então M1 e M3 são desligados e M4 continua ligado durante um pequeno intervalo de tempo determinado pelo capacitor C_{at} conectado ao pino $gdr4(2)$. Em regime estático $I_M - I_m = \Delta I_L$ é o mesmo nos dois intervalos de tempo δT e $(1-\delta)T$.



Neste pequeno intervalo de tempo, a energia armazenada no indutor resulta numa corrente que flui através do diodo D1 até a carga, permitindo que o capacitor C_{cp} seja carregado através do diodo Dc. Quando M4 é desligado e a tensão na porta de M2 é torna-se superior à tensão de dreno

V_{bat}, atingindo cerca de $2V_{bat}-V_d$, e garantindo que M2 esteja em condução plena. Em outras palavras M2 passa a conduzir pela ação do capacitor C_{cp} na porta de M2. Deste modo, M2 permite a transferência da energia armazenada no indutor para a carga sem a participação do diodo D1, permitindo assim melhorar o rendimento, reduzindo a resistência de condução pois $V_{D1} > V_{DSM2}$ permanece conduzindo até o início de um novo ciclo relógio.

O sistema de controle do CON.PROT3 possui dupla realimentação, uma em tensão e a outra em corrente. O valor da tensão na carga realimenta o circuito através do bloco Sensor de Tensão de Saída, onde o sinal é comparado com o valor de referência estabelecido. O amplificador de erro possui uma malha de realimentação, de modo a garantir a estabilidade do sistema. Este sinal é, então, convertido em corrente e somado a um outro sinal de corrente proveniente do bloco Gerador de Rampa de Compensação e é enviado ao Comparador de Corrente. A amplitude da corrente no indutor é sensoriada por intermédio de um resistor sensor em série com M1. Este sinal realimenta o bloco SC. O sinal é tratado neste bloco e é enviado ao bloco CC. O bloco CC envia um sinal de comando (Com) para o bloco de Lógica de Controle; este sinal promove o desligamento de M1 e ativa os circuitos de excitação das chaves do bloco de IP, que por sua vez controlam a excitação de M2.

As Figuras 3.4a-c mostram o resultado de simulação elétrica em malha aberta do circuito extraído do *layout* da Figura 3.1 e a respectiva listagem SPICE, está disponível no anexo A. As diversas fontes de corrente do Circuito foram devidamente polarizadas, como foi descrito anteriormente na função de cada pino. Foi ainda introduzida uma rampa de corrente no resistor sensor de corrente do bloco SC, mostrado pelo gráfico de I.VSEN, e um sinal de relógio mostrado pelo gráfico VCLK, sendo somente estes dois os estímulos introduzidos no circuito simulado.

Podemos observar na Figura 3.4a, que após a transição positiva do sinal de relógio, inicia-se a rampa de compensação, I.VRAM. Quando o sinal de corrente de I.VRAM é igual ao sinal de corrente de I.VSEN, o comparador de corrente envia um sinal COM, que inicia o processo de comutação mostrado nas Figuras 3.4b, ou seja, M3 é desligado, sequencialmente M1 também é

desligado com um pequeno atraso em relação a M3, e M4 é desligado após o período de tempo determinado pelo capacitor Cat, como descrito anteriormente.

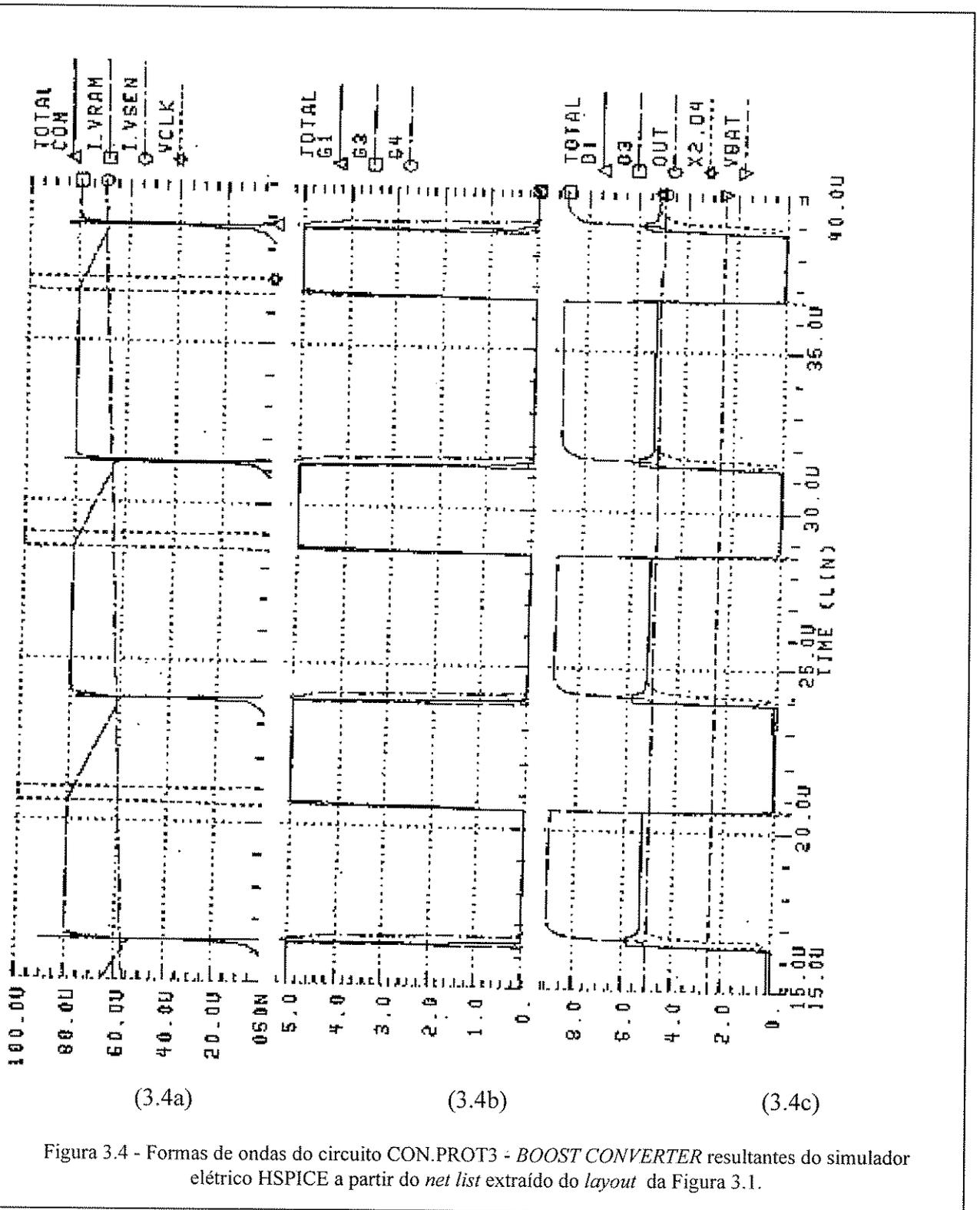


Figura 3.4 - Formas de ondas do circuito CON.PROT3 - BOOST CONVERTER resultantes do simulador elétrico HSPICE a partir do net list extraído do layout da Figura 3.1.

Estes atrasos podem ser observados claramente na Figura 3.4b. A Figura 3.4c mostra a tensão de entrada do circuito conversor VBAT com valor constante de 2.4 Volts e a tensão de saída de 5 Volts representada pelo sinal OUT.

Os sinais mais interessantes a serem observados são os do dreno de M1, M3 e M4, respectivamente, os sinais gráficos D1, D3 e D4, pois mostram a dinâmica de operação do circuito de carga da porta de M2. Outro aspecto importante a ser observado na Figura 3.4c é que, com o acréscimo no valor do sinal de corrente VSEN, diminui o tempo de condução de M1, realizando a modulação por largura de pulso, comportamento desejado para este circuito.

Neste trabalho não é nosso intuito descrever como o conversor tipo *boost* opera, nem estudar a malha de realimentação. Aqueles que tiverem interesse em maiores detalhes sobre o assunto recomendo a leitura das referências [3.1] - [3.3] deste capítulo. Aqui nos limitaremos a dizer que este circuito *boost* opera no modo *turn-on*, ou seja, a corrente de realimentação é relacionada com a corrente que passa através de M1.

O CON.PROT3 é o primeiro protótipo totalmente integrado da geração de circuitos CON.PROT e é também o circuito equivalente ao protótipo do CON.PROT2, descritos na referência [3.1] (vide Anexo C), porém todo o processamento de sinal é realizado em modo corrente, excetuando-se o amplificador operacional.

3.2 Descrição dos Blocos Internos

A descrição interna de cada bloco apresentada a seguir, na grande maioria será composta dos seguintes itens: i) descrição estrutural; ii) descrição funcional; iii) tabela contendo os sinais de entrada e de saída de cada bloco; iv) diagramas dos circuitos a nível de transistores para os blocos analógicos ou a nível de portas lógicas para os circuitos digitais; v) resultados de simulação SPICE com as principais formas de onda de cada circuito; vi) fotografia de cada bloco.

As respectivas listagens SPICE e o *layout* de cada célula encontram-se no Anexo B. Como pode ser visto, o *layout* das células tem regularidade geométrica no posicionamento dos transistores, ou seja, todos os transistores possuem uma periodicidade em uma das direções e cada bloco apresenta basicamente dois conjuntos de transistores dispostos paralelamente, um contendo os transistores tipo N e outro os transistores tipo P.

Como pode ser observado, não foram tomados os tradicionais cuidados de desenho na elaboração das células analógicas. Isto deve-se ao interesse de investigar o desempenho de circuitos analógicos operando em modo corrente, construídos sobre *arrays* de transistores tipo *gatearray*.

A regra utilizada para realizar o casamento de transistores no mesmo circuito foi a utilização do mesmo sentido da corrente no interior dos dispositivos. Como exceção à regra, cuidados especiais foram tomados para minimizar a entrada de ruídos nos transistores de entrada do amplificador operacional, tendo sido utilizado anéis de guarda ao redor de cada transistor.

3.2.1 Controle analógico

3.2.1.1 Bloco Sensor da Tensão de Saída - STS

O bloco STS possui dois circuitos distintos: o amplificador de erros e o Transcondutor V-I. O amplificador de erros é um amplificador operacional CMOS, apresenta duas entradas de sinais em tensão V_{ref} e $IN+$ e uma entrada em corrente para a sua polarização. A saída V_e está disponível externamente para formar a malha de realimentação do sinal de saída do sistema V_{out} .

A malha de realimentação em tensão é formada pelas duas impedâncias existentes entre os pinos V_{out} , $IN-$ e V_e . O esquema elétrico do amplificador de erros implementado e respectivas simulações é mostrado na Figura 3.5.

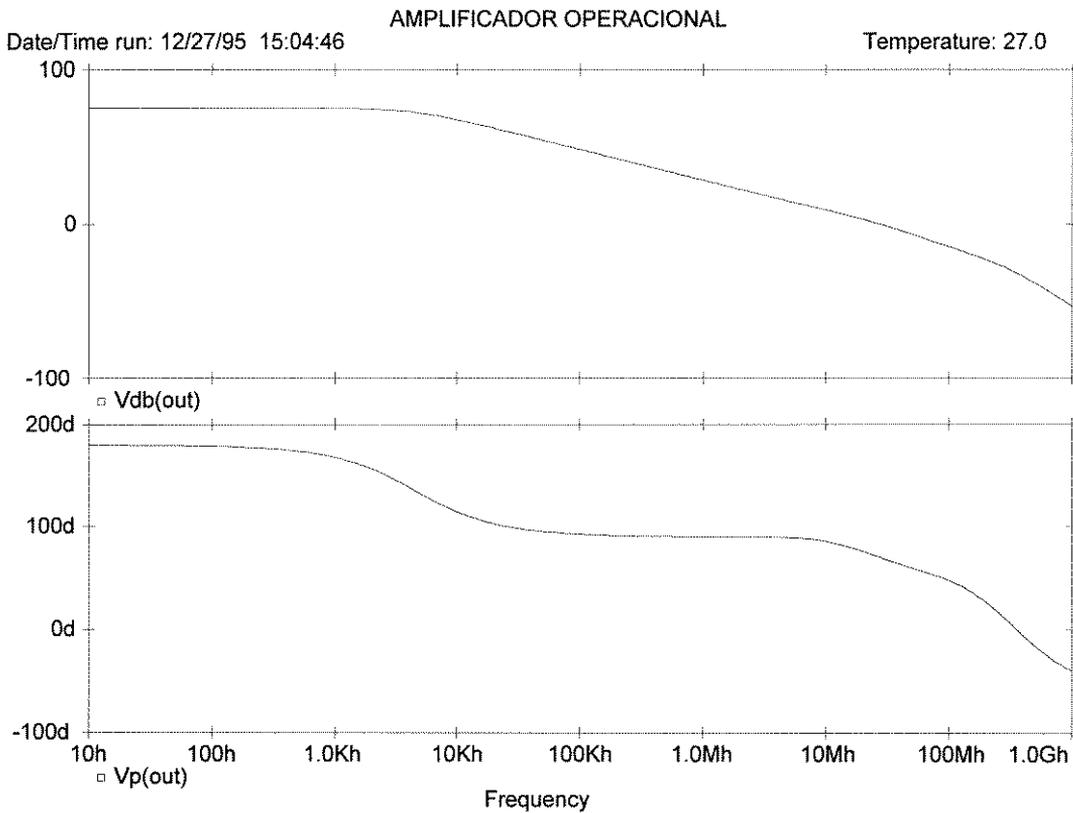
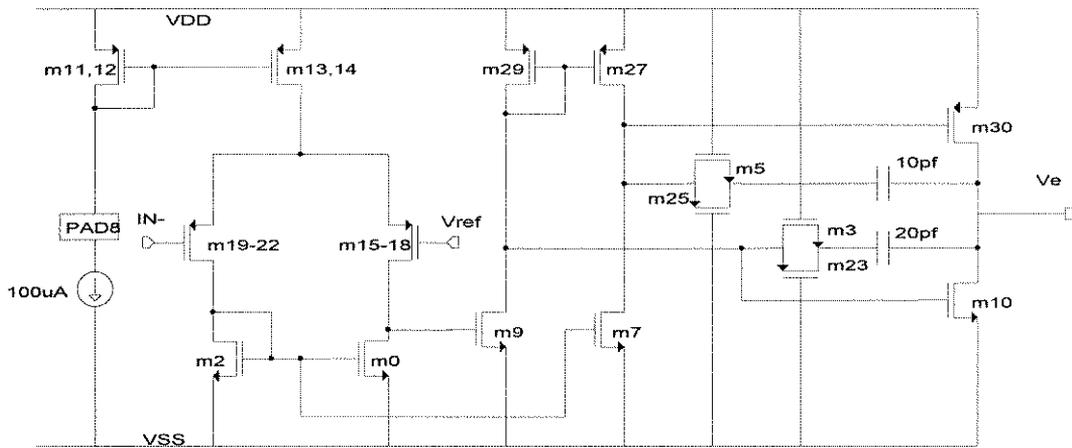
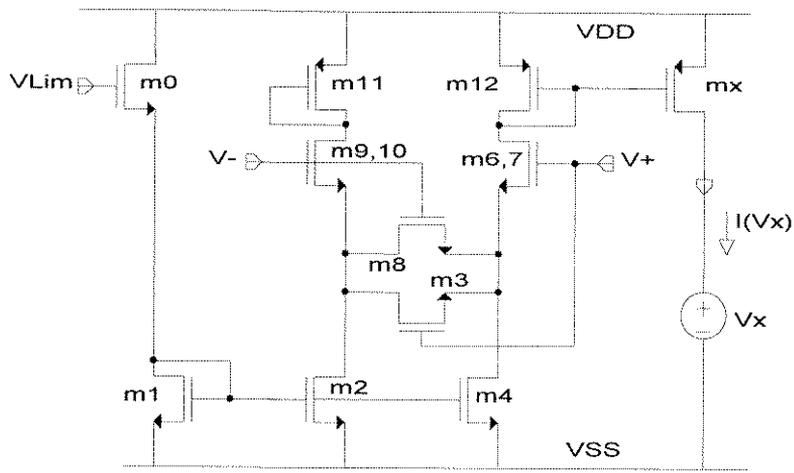
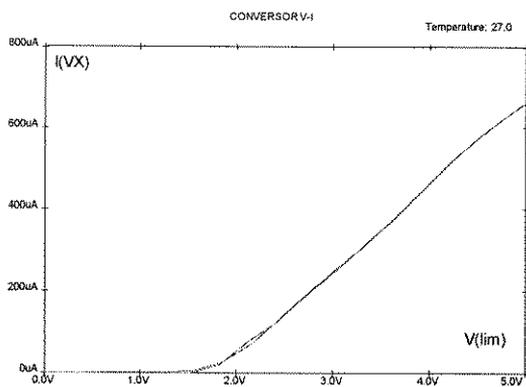


Figura 3.5 - Esquema elétrico do amplificador de erros implementado e a respectiva simulação elétrica mostrando o ganho e a margem de fase em função da frequência.

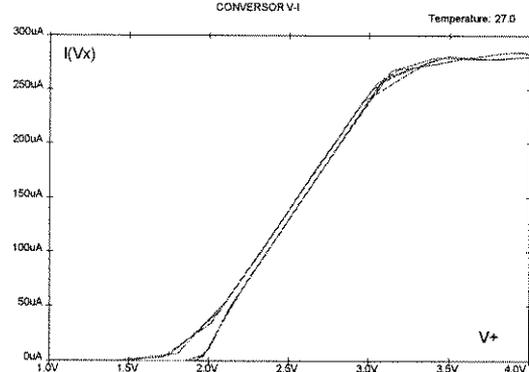
O Transcondutor V-I implementado possui nove (11) transistores, três (3) tipo P e oito (8) tipo N, conforme esquema elétrico mostrado na Figura 3.6. As formas de onda do circuito simulado e seu modo de operação é descrito no parágrafo seguinte. O circuito possui uma entrada de corrente de polarização controlada pela tensão no pino Lim e duas (2) entradas de sinais em tensão V_e (V^-) e V_{ref} (V^+). A saída em forma de corrente é um sinal interno chamado I_{vout} , que é por sua vez adicionado ao sinal Ram , sinal de saída do bloco GRC, sendo este mesmo nó a entrada I do bloco Comparador de Corrente (vide Figura 3.2a). A Figura 3.6 apresenta o diagrama elétrico.



(3.6a)



(3.6b)



(3.6c)

Figura 3.6 - (a)Esquema elétrico do Transcondutor V-I implementado e resultados de simulação elétrica; (3.6b) corrente de polarização em função da tensão aplicada em Lim; (3.6c) $I(V_x) \times V^+$.

O transistor m0 determina a corrente no transistor m1, o controle é feito pela tensão de porta aplicada no pino Lim, mostrado na Figura 3.6b. A corrente de m1 é espelhada aos transistores m2 e m4 que por sua vez operam como fontes de corrente constante. Fixando a tensão em uma das entradas, por exemplo V- (em 2.5V), e variando a tensão de V+, a corrente de saída do circuito I(Vout) varia conforme mostrado na Figura 3.6c.

Ou seja, quando V+ aumenta/diminui, a impedância dos transistores m6,7 e m3 diminui/aumenta, conseqüentemente o transistor m2 drena mais/menos corrente de m12. Deste modo a corrente espelhada em mx, I(Vout), aumenta/diminui. As referências [3.5] - [3.7] estudam com profundidade o circuito V-I utilizado.

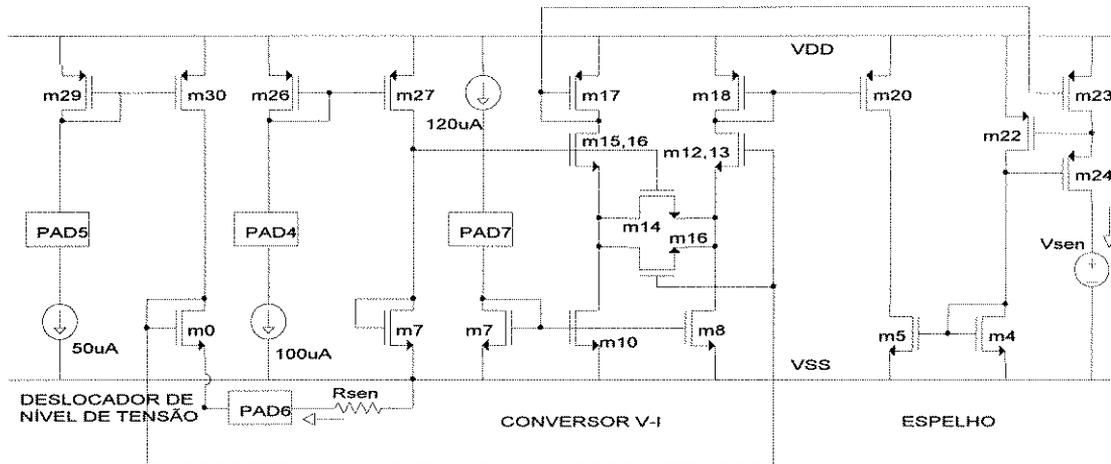
3.2.1.2 Bloco Gerador de Rampa de Compensação - GRC

O bloco Gerador de Rampa de Compensação é composto por dois circuitos distintos: um circuito de carga e descarga de um capacitor externo, Cex, por intermédio de uma fonte de corrente constante sincronizada com os sinais de relógio Q e QN e um circuito Transcondutor V-I com um circuito espelho de corrente tipo P no estágio de saída. O conversor V-I é semelhante ao apresentado no bloco STS. A Figura 3.7a apresenta o diagrama elétrico e as formas de onda do circuito simulado e o seu modo de operação é descrito no parágrafo seguinte.

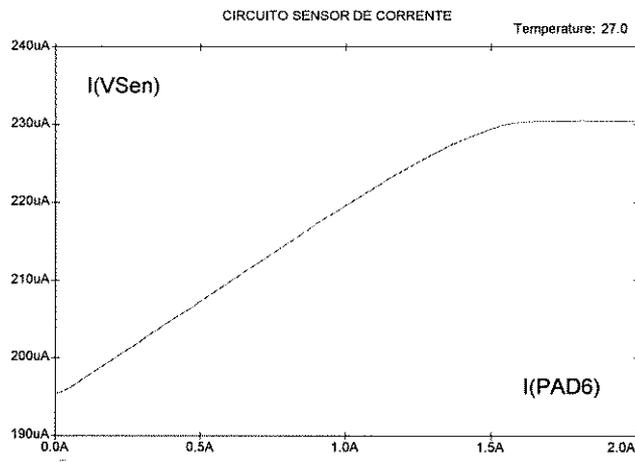
Após a iniciação de cada ciclo de relógio, quando o transistor M1 do bloco CP está conduzindo, o sinal Q está em nível lógico 0 e QN em nível 1; logo os transistores m3,4 e m22,23, em paralelo com Cex, estão desligados. Assim a fonte de corrente formada pelos transistores m17, m18, m19 e m20 está ativa e promovendo o aumento da tensão no pino PAD3 na forma de uma rampa, como mostra o resultado da simulação na Figura 3.7b. Este sinal de tensão entra na I- do conversor V-I, que opera como já explicado anteriormente. A corrente de saída do circuito I(Vram) decresce com o crescimento da rampa. Como este sinal de corrente é adicionado ao sinal de corrente proporcional à tensão Vout, proveniente do bloco STS, logo o sinal de corrente I- do bloco CC, varia na mesma proporção que I(Vram) varia.

3.2.1.3 Bloco Sensor de Corrente - SC

O bloco Sensor de Corrente é composto por dois circuitos distintos, um deslocador de tensão do sensor de corrente de carga e um circuito Transconductor V-I com espelho de corrente tipo P no estágio de saída. A Figura 3.8 apresenta o diagrama elétrico e a forma de onda do circuito simulado. O seu modo de operação é descrito no parágrafo seguinte.



(3.8a)



(3.8b)

Figura 3.8 - (a) Esquema do bloco Sensor de Corrente . (3.8b) Exemplo de simulação mostrando $I.PAD6 \times I.(Vsen)$, onde $I.PAD6$ emula a corrente de carga.

A corrente de polarização drenada no PAD4 é espelhada no transistor m7, configurado como carga ativa de m27. Deste modo através do ajuste de corrente em PAD4, é possível ajustar o nível de tensão no dreno de m27, entrada V- do Transcondutor V-I, atuando como uma fonte de referência de tensão neste circuito.

De modo similar, a corrente de polarização drenada no PAD5 polariza o transistor m0, que por sua vez determina a tensão na entrada V+, quando a corrente de carga é nula. A diferença entre as duas correntes de referência controla o *offset* do sinal do sensor de corrente, para assegurar uma corrente mínima de amostragem em situação de vazio.

É importante ressaltar a solução adotada neste circuito. O resistor R_{sen} é a própria resistência dos fios do encapsulamento que conectam o barramento interno de GND aos pinos do circuito. Sendo assim, quando existe corrente circulando no transistores M1 do bloco CP, a tensão no PAD6 fica mais negativa, até uma ou duas centenas de milivolts para as correntes especificadas, quando comparada com a tensão interna de VSS e GND. Esta solução foi adotada para evitar a introdução de mais uma resistência em série com a carga que diminuiria a eficiência do conversor.

Portanto, com o acréscimo da corrente de carga, a tensão no PAD6 fica mais negativa em relação à VSS, sendo este sinal refletido em sua íntegra no dreno de m30, sinal de entrada V+ do Transcondutor V-I. Diminuindo assim a tensão, na entrada não inversora do circuito, em relação à VSS, m8 passa a drenar mais corrente de m17, sendo esta espelhada no dreno de m24, sinal $I(V_{sen})$ mostrado na Figura 3.8b.

3.2.1.4 Bloco Comparador de Corrente - CC

O bloco Comparador de Corrente é composto por três circuitos, sendo um espelho de corrente tipo N, um espelho de corrente tipo P e um circuito inversor. Os espelhos utilizam uma arquitetura tipo *Regulated Cascode* bem conhecida na literatura [3.8]. As saídas de corrente de cada espelho são adicionadas em um nó comum que também está conectado à porta de um

conectado ao dreno de m3, formando um nó somador de corrente. Quando a magnitude do sinal de corrente injetado em I+ é maior que a magnitude do sinal de corrente drenado através de I-, a tensão no nó somador tende ao nível lógico 0, cuja porta de entrada do circuito inversor formado pelos transistores m0 e m14 está conectada e assim a tensão de saída V(out) vai para o nível lógico 1. De igual modo, quando a magnitude de I- é maior que a magnitude I+, a tensão no nó somador tende ao nível lógico 1; logo, a tensão de saída V(out) vai para o nível lógico 0. Através da simulação elétrica observou-se que o circuito do comparador de corrente é mais lento para valores baixos de corrente; no entanto, para 100µA possui um atraso de aproximadamente 70ns, valor aceitável para este circuito.

3.2.2 Lógica de Controle e Excitação

3.2.2.1 Bloco Oscilador - OSC

O circuito Oscilador é composto por três inversores em série associados com R1 e R2 e C, conforme mostra o circuito da Figura 3.10 e formam uma estrutura oscilante propriamente dita. Esta gera um sinal de relógio para um flip-flop D configurado como divisor de frequência por 2, que gera o sinal de relógio Rel, com um *duty-cycle* de 50%, para o Bloco Gerador de Sincronismo.

O circuito oscilador utilizado é um dos circuitos tipicamente proposto pelos fabricantes de CIs digitais como um oscilador RC estável [3.9], com um *duty-cycle* próximo de 50%. A frequência de oscilação é dada pela seguinte expressão:

$$f \sim 1 / 2C (0.045 R_{eq} + 0.693 R1) \quad \text{onde} \quad R_{eq} = R1 R2 / (R1+R2)$$

A frequência de oscilação para três casos especiais são apresentados nas fórmulas abaixo:

$$\text{Se } R1 = R2 = R \quad f \sim 0.559 / R C$$

$$\text{Se } R2 \gg R1 \quad f \sim 0.445 / R1 C \quad e$$

$$\text{Se } R2 \ll R1 \quad f \sim 0.772 / R1 C$$

A Figura 3.10b apresenta as formas de onda aproximadas do circuito oscilador. Observa-se que o sinal V2 será limitado pelos diodos de entrada quando a tensão de entrada V1 é maior que a tensão de alimentação VDD, ou se for mais negativa que 0 Volts. Durante esta parte do ciclo a corrente irá fluir através do resistor R2. Durante todo o resto do ciclo a corrente que circula em R2 é desprezível. Assim que V1 cruza a tensão de limiar do inversor, cerca de 50% da tensão de alimentação, VDD e a entrada do último inversor começam a mudar e V1 também muda de forma a reforçar a comutação. Em outras palavras, ocorre uma realimentação positiva e deste modo é garantido o funcionamento do circuito oscilador.

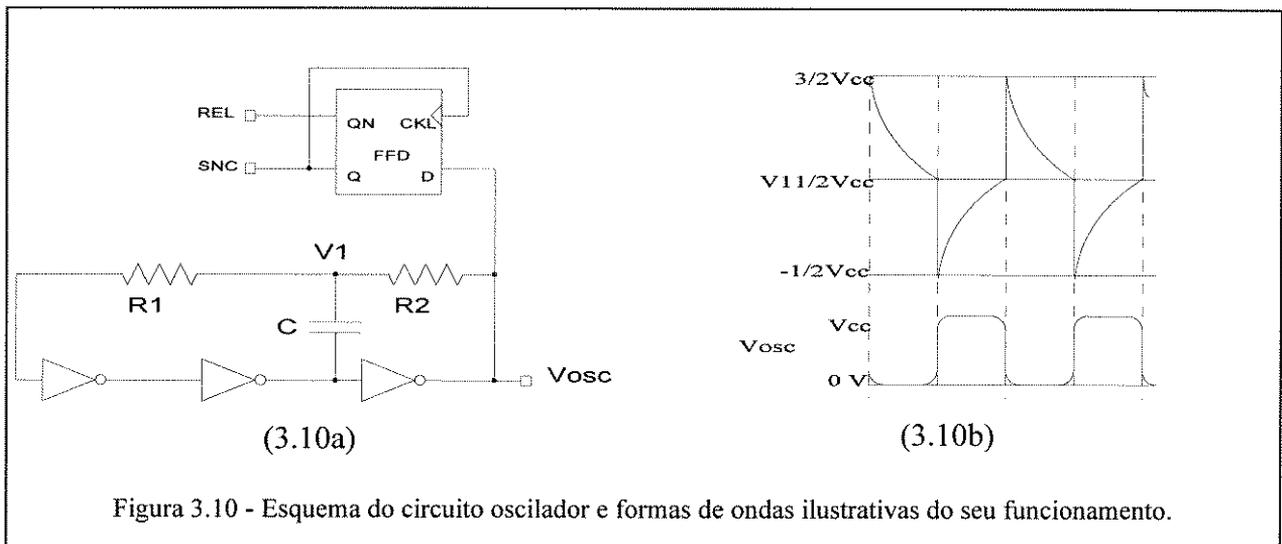


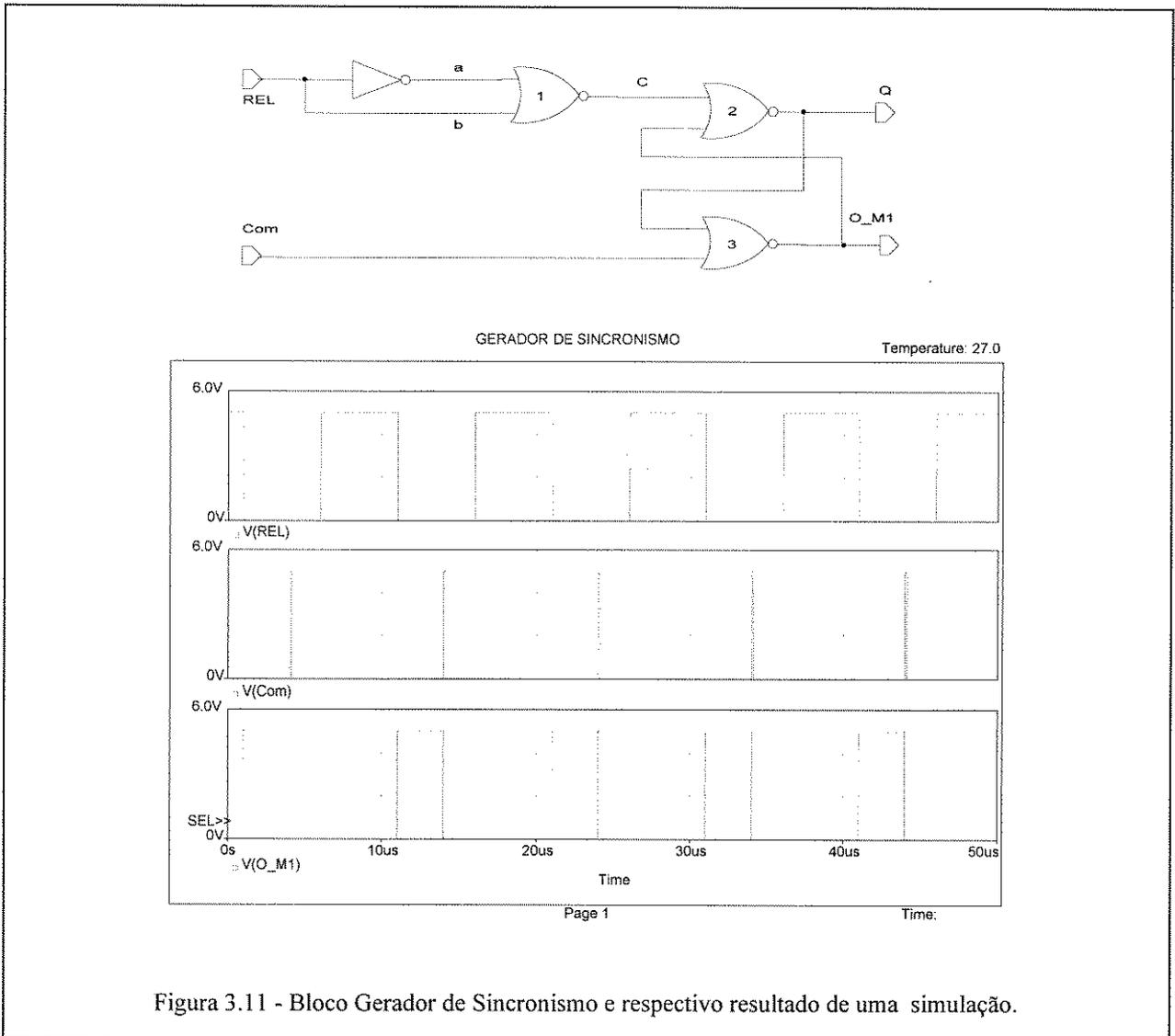
Figura 3.10 - Esquema do circuito oscilador e formas de ondas ilustrativas do seu funcionamento.

3.2.2.2 Bloco Gerador de Sincronismo - GS

O circuito Gerador de Sincronismo é composto por três portas NOR2 e um inversor. Possui dois (2) sinais de entrada e dois (2) sinais de saída. A Figura 3.11 apresenta o diagrama elétrico e as formas de onda do circuito simulado. O seu modo de operação é descrito nos dois próximos parágrafos.

O estado imediatamente anterior ao início de cada novo ciclo de relógio, determinado pela transição negativa do sinal REL, em que se encontram os nós mostrados no circuito da Figura

3.11 são: REL=1, a=0, b=1, c=0, Com=0, Q=1 e O_M1=0 - estado 1. Imediatamente após a transição negativa de REL, por um período de tempo equivalente ao atraso do inversor, o estado lógico do circuito é: REL=0, a=0, b=0, c=1, Com=0, Q=0 e O_M1=1- estado 2, invertendo deste modo o biestável formado pelas portas lógicas NOR 2 e 3, iniciando a condução do transistor M1 do bloco CP.



Terminado o período de atraso do inversor, o circuito passa a ter uma nova configuração: REL=0, a=1, b=0, c=0, Com=0, Q=0 e O_M1=1 - estado 3, O circuito permanecerá neste estado até que venha um sinal de transição em Com, quando a corrente em I- for igual a corrente I+ do bloco CC, promovendo a comutação do biestável, desligando o transistor M1 do bloco CP, atingindo

um novo estado: REL=0, a=1, b=0, c=0, Com=1, Q=1 e O_M1=0 - estado 4. O circuito permanecerá neste estado até que se complete o ciclo de relógio. Note-se que no estado 3, mesmo ocorrendo a transição positiva do sinal de relógio REL, o circuito biestável é insensível a esta transição.

3.2.2.3 Bloco de Lógica de Acionamento e Excitação - LAE

O circuito de Lógica de Acionamento e Excitação é um circuito lógico formado por duas portas inversoras, uma porta nor2, três circuitos de excitação tipo inversor: driver1, driver3 e driver4, respectivamente para a porta do transistor M1 do bloco CP, para as portas dos transistores M4 e M4 do bloco IP. Possui um sinal de entrada interno O_M1 um pino de controle do atraso do drive4 em relação driver1 e driver3. Este pino, gdr4, que deve ser conectado ao capacitor Cat. A Figura 3.12 apresenta o diagrama elétrico e as formas de onda do circuito simulado e o seu modo de operação é descrito no parágrafo seguinte.

Ao início de ciclo de relógio, o sinal interno O_M1 proveniente do bloco GS comuta de nível lógico 0 para nível 1, estimulando simultaneamente o driver3 e o driver 4, com atrasos aproximadamente iguais aos tempos de atraso do inversor e da porta nor2. O driver1 necessita de um atraso adicional em relação ao driver3 e driver4 para garantir o total desligamento do transistor M2 antes de M1 iniciar a condução.

Este atraso adicional é garantido, pois o sinal de estímulo do driver1 provem da saída do driver3. Após este pequeno atraso, o driver1 liga o transistor M1 do bloco CP e a corrente que circula no indutor cresce até o valor solicitado pela carga. Neste momento o sinal O_M1 comuta de nível lógico 1 para nível 0. Nesta transição M3 e M1, são desligados praticamente ao mesmo tempo, porém o driver4 continua a conduzir por um período maior determinado pelo capacitor Cat. Este tempo, de aproximadamente de $0.5\mu\text{s}$, é necessário para permitir a carga do capacitor Ccp. Passado este tempo, o driver4 desliga o transistor M4 do bloco CP. A Figura 3.12b mostra através do resultado de simulação elétrica a sequencia dos atrasos obtidos.



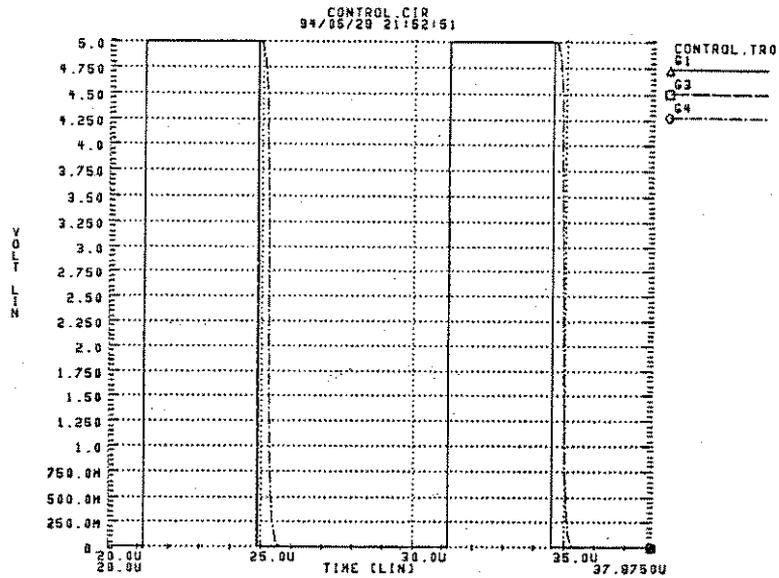
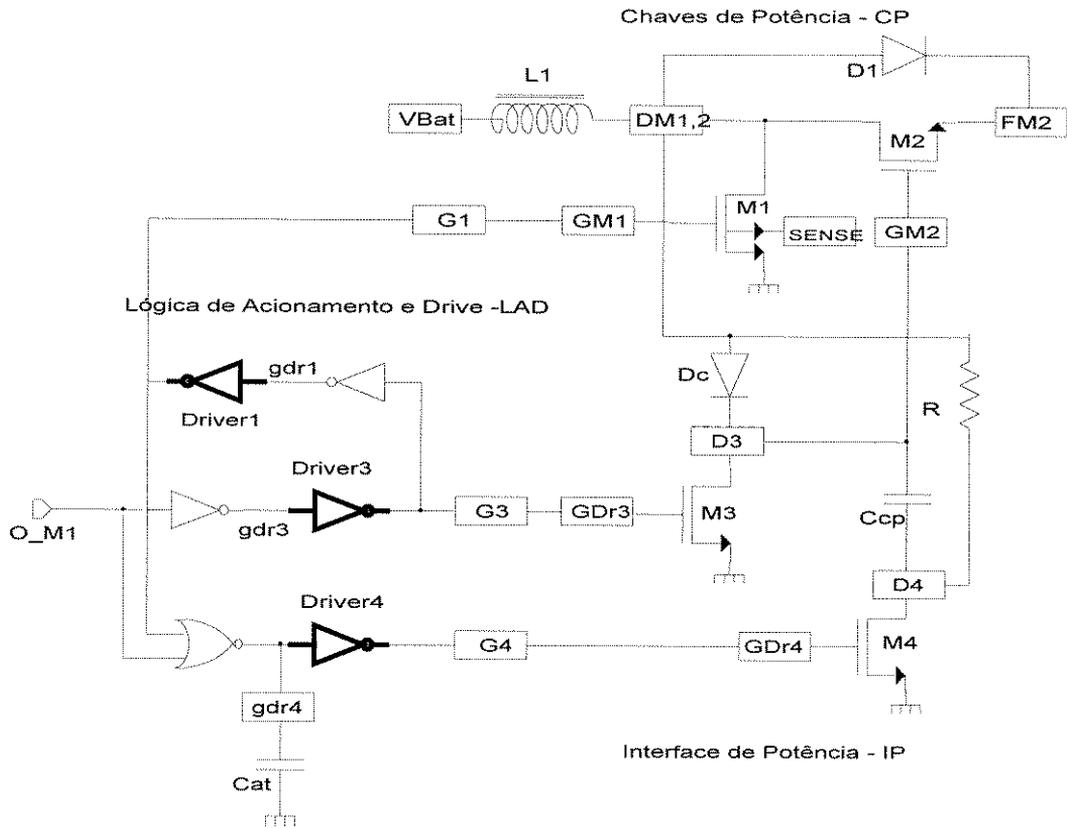


Figura 3.12 - Diagrama elétrico dos blocos LAD, IP e CP. Resultados de simulação elétrica do bloco de Lógica de Acionamento e Driver - LAD.

A porta nor2 deste circuito foi projetada para ter um tempo de transição positiva mais lento que o tempo de transição negativa. Os transistores tipo P da porta nor2 possuem um comprimento de canal bem maior do que o mínimo, atuando como um circuito RC na transição positiva. Entretanto os transistores tipo N possuem o comprimento mínimo e uma largura suficiente para obter o mesmo tempo de atraso do inversor utilizado para estimular o driver3, quando Cat é de 10pF.

3.2.3 Interface de Potência - IP

O bloco de Interface de Potência é um circuito tipo *boot strap*. É composto por dois transistores tipo LDD-NMOS associados a três componentes externos, a um diodo, a um capacitor e a um resistor. Possui dois (2) pinos de entrada, dois (2) pinos de saída e compartilha os pinos de terra com as Chaves de Potência.

A Figura 3.12 também apresenta o diagrama elétrico. As formas de onda do circuito simulado são apresentadas na Figura 3.13 e o seu modo de operação está descrito no parágrafo seguinte.

Quando M1 é ligado, uma corrente flui da bateria ao terra através do indutor L1. A corrente que circula no indutor é monitorada pelo resistor sensor que está em série com M1. Quando M1 é desligado, a tensão no dreno de M1,2 começa a subir. Neste instante M3 está desligado e M4 está ligado, a corrente do indutor passa a fluir através do diodo Dc, carregando o capacitor do C_{cp} , até um valor de tensão em que o Diodo D1 passa a conduzir a corrente do indutor entregando-a à carga Z_L .

A partir deste momento M4 é desligado e, por intermédio do resistor R_{cp} , a tensão de referência do capacitor C_{cp} passa a ser a tensão de dreno de M2,1 elevando a tensão de porta de M2 por meio do capacitor C_{cp} que está carregado com o valor de tensão V_{out-Vc} , levando M2 à condução, que permanece conduzindo até a iniciação de um novo ciclo de relógio.

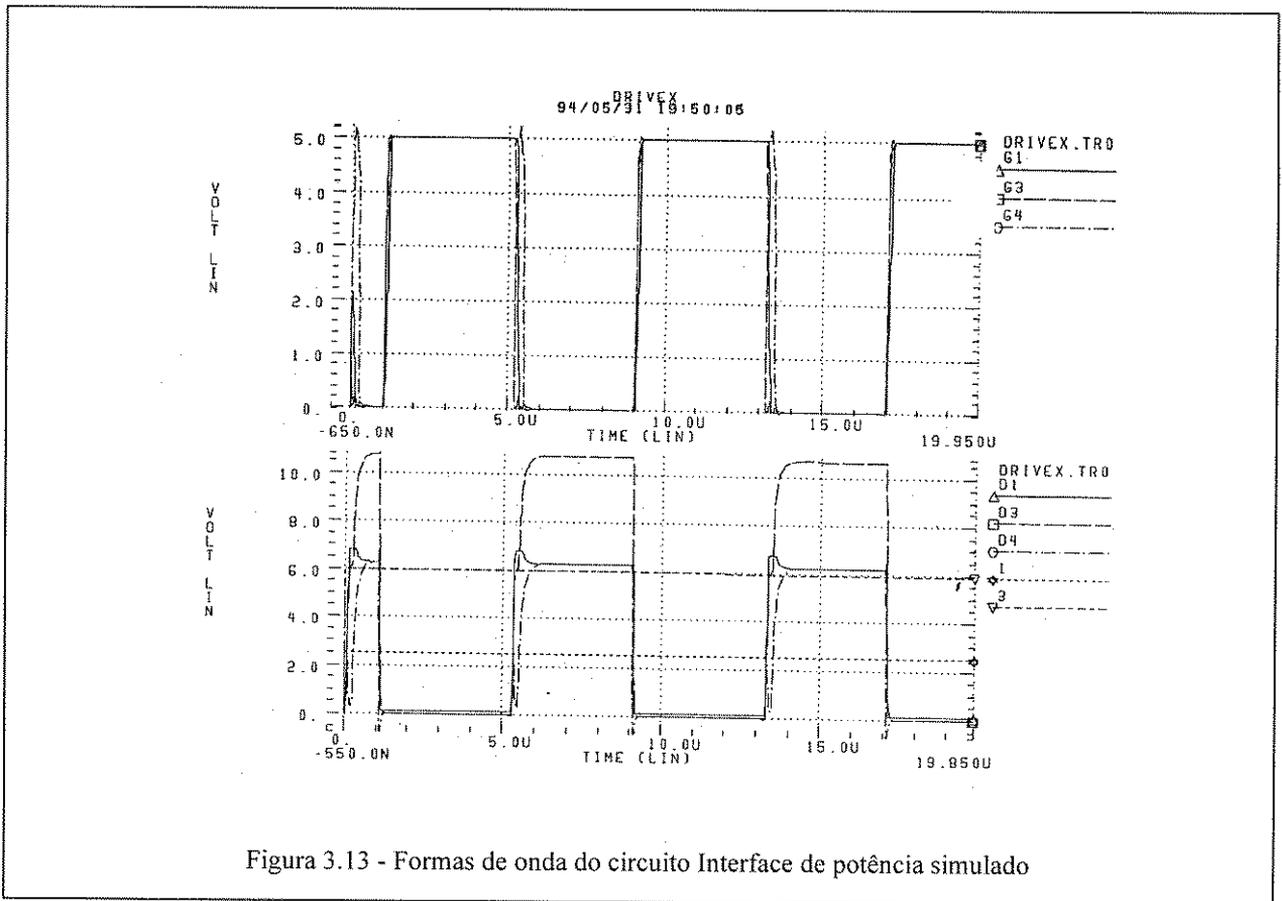


Figura 3.13 - Formas de onda do circuito Interface de potência simulado

3.2.4 Chaves de Potência - CP

O bloco Chaves de Potência é composto por dois transistores de potência, um do tipo LDD-NMOS (M1) e o outro do tipo LDSD-NMOS (M2), onde o dreno do LDD é construído de forma associada à fonte do LDSD, do tipo *totem-pole*. No capítulo 2 é apresentada a descrição construtiva das chaves de potência. Este bloco possui seis pinos de terra distribuídos ao redor das chaves, sendo compartilhados com os transistores do bloco Interface de Potência. A Figura 3.12 apresenta o diagrama elétrico de como estas chaves estão conectadas ao circuito.

O transistor M1 é controlado pelo driver1, e o transistor M2 é acionado por intermédio de um circuito tipo *boot strap*, cujo modo de operação já foi amplamente descrito nos itens 1.3, 2.2.3 e 2.3 deste capítulo. A Figura 3.14 mostra uma microfotografia com detalhes do arranjo celular dos transistores de potência M1 e M2 implementado.

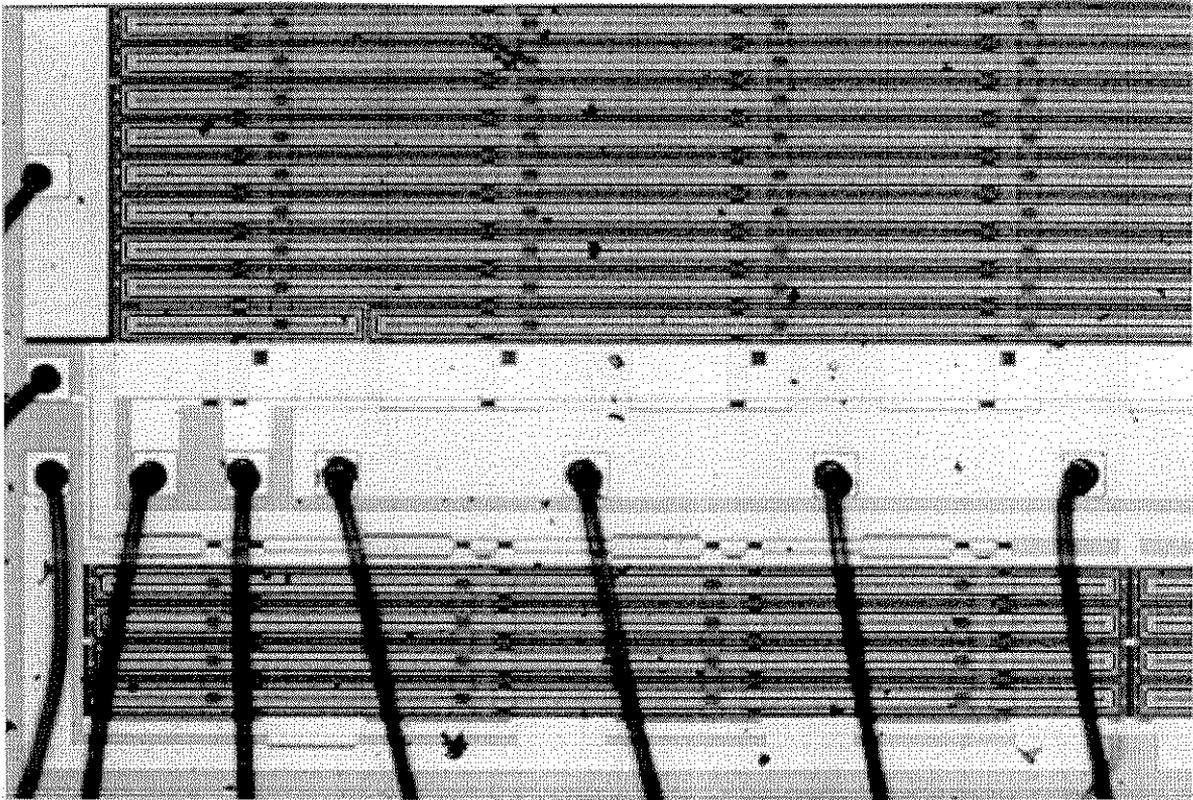


Figura 3.14 - Chaves de Potência, detalhes do arranjo celular dos transistores LDD e LDSD-NMOS

3.2.4.1 Detalhes de *Layout* do CON.PROT3

O Circuito CON.PROT3 tem uma área total de $5056 \times 5056 \mu\text{m}^2$ incluindo todos os blocos apresentados neste capítulo. Os transistores de potência M1, M2 (ou M1,2), M3 e M4 ocupam uma área de $5056 \times 3850 \mu\text{m}^2$ equivalente a 76% da área total, sendo que M1,2 ocupam uma área de 64% e os 12% restantes destinam-se a alocar os transistores M3 e M4. A área total destinada para alocar o controle e os *drivers* digitais foi de $5056 \times 1150 \mu\text{m}^2$ equivalente a 24% da área total.

M1,2 é uma matriz de uma (1) coluna e vinte e nove (29) linhas de células básicas de potência. Para condução da corrente de carga através do dreno e da fonte dos dispositivos de potência, dezesseis (16) dedos do segundo nível de metal passam ortogonalmente sobre cada célula, distribuídos simetricamente; ao fim de cada dedo de M1,2 há um *pad*. Oito (8) destes dedos

estão conectados ao ponto comum do dreno de M1 e M2; os outros oito (8) dedos estão conectados à fonte de M2.

A interconexão das portas de M1 das vinte e nove (29) células também são realizadas através de oito (8) dedos construídos com segundo nível de metal, paralelos aos dedos de M1,2, porém mais delgados que estes; igualmente para as portas do transistor M2. A distribuição do terra (GND) se faz através de uma malha construída no primeiro nível de metal, e uma segunda malha construída no segundo nível de metal, com oito (8) dedos paralelos aos dedos de M1,2. O GND possui dez (10) *pads* de acesso localizados nas laterais à esquerda e à direita do *layout* da Figura 3.1.

M3 e M4 são iguais e independentes, cada um ocupa uma área de 2784x300 μm e são formados a partir de quatro (4) células básicas de M1,2. Estas células foram divididas ao meio (na vertical), formando os dois transistores separadamente. A fonte de M2 destas células foi conectado ao GND da célula e do circuito, formando assim um transistor com dois (2) pontos de controle: a porta “Gdr” o dreno “Dr” da Figura 3.1.

O comprimento do canal L efetivo foi estimado em 5 μm . Considerando um avanço de 3 μm do poço após a etapa de difusão e uma margem de segurança devido a erros de alinhamento de 1 μm entre o poço e o polissilício da porta, estes determinam um comprimento de canal L de máscara, de 9 μm e 13 μm , respectivamente para M1 e M2. A largura de canal W por célula é de 9.323 μm e 9.172 μm , totalizando para $WM1_{\text{total}} = 269.201 \mu\text{m}$ ((28+7/8)*célulasxWM1) e $WM2_{\text{total}} = 265.988 \mu\text{m}$ (29célulasxWM2). A região de deriva N- entre a borda da porta e a difusão de contato N+ sobre o poço N é igual em todas as células de potência e vale 3 μm . A área ativa de M1 é de 1.346.000 μm^2 e de M2 é de 1.329.940 μm^2 , aproximadamente 0,013 cm^2 por transistor.

*A célula do Sense foi embutida no *layout* de M1, está alocada no canto inferior esquerdo e ocupa a área de 1/8 de uma das vinte e nove (29) células de M1; a largura total W_{sense} do transistor sensor é de 1.055 μm .

A Figura 3.15 mostra uma foto parcial do CON.PROT3, na metade superior é apresentado controle Controle Analógico e na metade inferior pode-se observar 3 das 29 células que compõe os transistores M1,2.

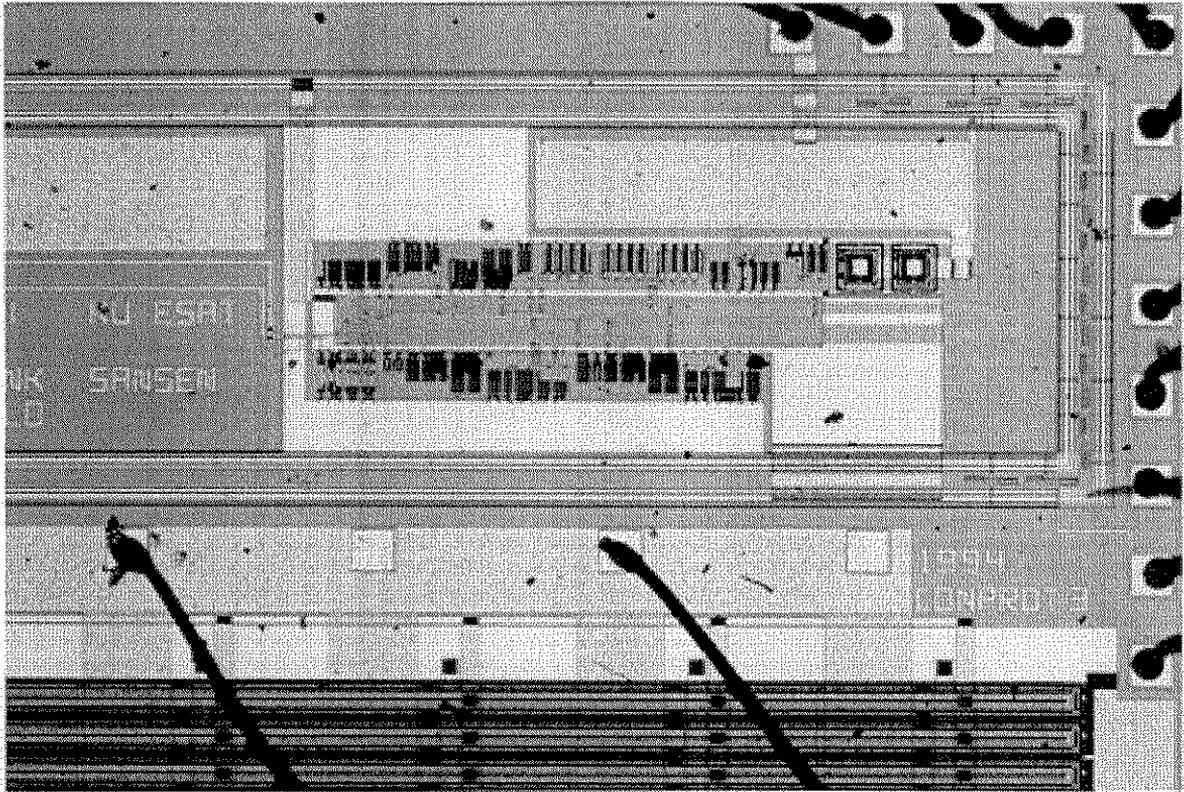


Figura 3.15 - Fotografia parcial do CON.PROT3 contendo o circuito de Controle Analógico e parte de 3 das 29 células que compõe os transistores M1,2 do tipo LDD e LDS-D-NMOS

Os transistores de potência M1,2 , M3, M4 e o MSense foram formados a partir da estrutura da célula básica de M1,2. Esta célula é uma estrutura fechada e nas extremidades exteriores são conectadas ao GND através de um anel construído com o primeiro nível de metal. Esta topologia permite a construção de múltiplas chaves na mesma pastilha, pois é a mesma arquitetura utilizada pelos dispositivos convencionais deste processo.

Capítulo 4

CONSIDERAÇÕES FINAIS

4.1 Recapitulação e Conclusões

Este trabalho apresenta a estratégia de projeto utilizada para implementar um Dispositivo Inteligente de Potência -DIP tipo *boost converter* com modo de controle em corrente. Os circuitos de controle e proteção bem como as chaves de comutação de potência foram integradas na mesma pastilha, chamado de CON.PROT3.

O circuito foi projetado usando tecnologia digital CMOS 1.5 μ m de baixo custo, N-Well, um nível de polissilício, dois níveis de metalização, destinada a aplicações digitais que operam em 5 volts. Conseqüentemente, as estruturas dos transistores de potência foram modificadas para suportar tensões acima de 20 volts, usando as etapas convencionais do processo.

A metodologia apresentada é voltada para um alto fator Potência/Volume em aplicações de conversão CC-CC, necessária para equipamentos móveis com exigência de potência até 20W, operando com baterias de baixa tensão (2.4Volts). Simulações e resultados experimentais que validam o método de projeto foram apresentados.

No Capítulo 1 foram introduzidos os conceitos básicos sobre Integração Inteligente de Potência, um resumo histórico e uma análise das atuais tecnologias utilizadas emDIP e seus mercados de aplicação na atualidade. Um enfoque especial é dado às pesquisas realizadas a nível de Brasil, como é o caso desta tese, com objetivo de construir DIP.

No Capítulo 2 os dois primeiros tópicos relatam o histórico e a física dos dispositivos de potência correntemente utilizados em circuitos de potência, tanto em implementações discretas como em integração monolítica. No terceiro tópico os transistores LDD e LDSD-NMOS, que compõem a parte de potência do Circuito Integrado - CON.PROT3, foram descritos e analisados. Os demais tópicos deste capítulo tratam da descrição da tecnologia e das regras de projeto para os dispositivos de controle e de potência. Resultados práticos baseados em protótipos da estrutura elementar dos dispositivos de potência foram apresentados e analisados.

O capítulo 3 apresenta o projeto CON.PROT3. Trata-se de um Dispositivo Inteligente de Potência que realiza um *Boost Converter* com controle PWM em modo de corrente e processamento de sinal também em corrente. Nos dois primeiros tópicos uma descrição estrutural e funcional global é apresentada e comprovada por resultados de simulação elétrica baseada no simulador SPICE, a partir de um *net list* do circuito extraído do *layout*, mostrando o comportamento em regime do circuito, operando com a carga especificada, com os componentes externos do sistema de conversão. Nos tópicos subsequentes uma análise de cada circuito é levada a efeito, cada bloco é descrito, projetado e simulado individualmente.

Como principais resultados deste trabalho gostaríamos de enfatizar: a) os circuitos do circuito de controle que operam em processamento de corrente apresentaram um bom desempenho, com a vantagem de ocuparem menor área que os circuitos equivalentes com processamento em tensão, principalmente pela eliminação de resistores para a realização de somas de sinais; b) o circuito de carga e descarga da porta do transistor de passagem do circuito *boost* é uma solução original, inovadora e totalmente compatível com o circuito de controle, bem como com o processo tecnológico de fabricação; c) os transistores LDD e LDSD-NMOS desenvolvidos e otimizados mostraram-se eficientes no que diz respeito à realização de Dispositivos Inteligentes de Potência.

Do ponto de vista geral, o projeto realizado está dentro do contexto de grandes interesses tecnológicos do mercado de eletrônica atual, pois a mesma técnica de projeto utilizada para a implementação do CON.PROT3 pode ser dirigida as aplicações apresentadas no Capítulo 1. O

mesmo objeto de trabalho - chaves de potência compatíveis com tecnologias CMOS baixa tensão - tem sido tema de inúmeras publicações em congressos e revistas especializadas da atualidade.

4.2 Perspectivas de trabalhos futuros

4.2.1 Os Dispositivos Inteligentes de Potência Configuráveis

A próxima etapa deste trabalho terá como ênfase o desenvolvimento de Dispositivos Inteligentes de Potência Configuráveis. É nossa intenção criar um DIP de configuração genérica, com sua respectiva biblioteca de circuitos, contendo os elementos básicos e blocos funcionais, digitais, analógicos e de interruptores de potência. Estes serão agrupados numa pastilha contendo três matrizes de transistores, de acordo com as suas especificidades (digital, analógica ou de potência), e interligados pela última camada de metal, capaz de implementar funções especificadas de acordo com as necessidades do projeto.

Sendo esta uma área inovadora de investigação, espera-se que dê origem a, pelo menos, três linhas de investigação:

- 1 - Determinação das características e dimensões ótimas dos transistores dos três tipos distintos de matrizes (*arrays* configuráveis): digital, analógico e de potência;
- 2 - Desenvolvimento de uma biblioteca de interligações, fazendo corresponder cada bloco funcional a um padrão de pistas metálicas;
- 3 - Melhoramento e adaptação das ferramentas de CAD de verificação, extração e interligação automática de pistas metálicas;
- 4 - Desenvolvimento de um ambiente de projeto de fácil utilização, baseado num pacote de CAD existente, que permita ao usuário não familiarizado com estas metodologias, elaborar um DIP partindo de uma descrição de alto nível.

4.2.2 Resultados esperados a médio e longo prazo

1) Desenvolvimento de Protótipos Dedicados a Aplicações Específicas:

No âmbito das comunicações móveis:

- conversor amplificador (*boost conversor*), para fonte de alimentação comutada de elevada eficiência e controle de potência de emissão;
- amplificadores PWM e modulação sigma-delta, para amplificação áudio.

No âmbito da Instrumentação Médica:

- desenvolvimento de dispositivos de excitação cardíaca;
- desenvolvimento de dispositivos de reabilitação de paraplegia.

No âmbito genérico das telecomunicações:

- desenvolvimento de um sistema genérico para comunicação por infravermelho, com possibilidade de proteção dos *leds* emissores e otimização dos pulsos de transmissão; a mesma idéia será adaptada a um sistema de comunicação onde a rede elétrica é utilizada para transportar informação.

No âmbito da eletrônica embarcada:

- desenvolvimento de DIP que promovam o acionamento de pequenos motores e controle de sistemas de ar condicionado, iluminação e outros.

No âmbito de circuitos genéricos:

- desenvolvimento de um balastro eletrônico para controle de iluminação de emergência com lâmpadas fluorescentes e sistema de carregador de baterias com supervisão de descarga;
- desenvolvimento de um sistema autônomo de detecção remota de incêndios; neste sistema, o DIP tem a função de gerir os recursos energéticos (bateria e célula solar), condicionar e codificar os sinais dos sensores externos e transmitir os sinais a uma unidade receptora;

- desenvolvimento de um sistema de atuação e monitorização para domótica (edifícios inteligentes): controle de acessos; sistemas de iluminação; aquecimento, ventilação e condicionamento de ar; proteção de incêndios, etc.

Para a manutenção deste trabalho de investigação tecnológica é fundamental que o suporte financeiro dado pelos centros de investigação envolvidos e pelas agências financiadoras dos governos continue a existir.

Referências

Capítulo 1

- [1.1] Murari, IEEE Journal of Solid State Circuits, SC-13, p.307, 1978
- [1.2] Murari, 19th European Solid State Circuits Conference, 1993
- [1.3] Sutor, Tsoi, 8th National Chinese Conference on IC and Si Material, Oct 1993
- [1.4] Contiero, 1st Workshop on Smart Power Technologies and Applications, 1993
- [1.5] Auzins, Wilhelm, IEEE Journal of Circuits and Devices, p.14, Jan 1994
- [1.6] Fujishima et al, Proceedings of the 5th ISPSD, p.298, 1993
- [1.7] Gass, Tisinger, Proceedings of the PCIM, 1993
- [1.8] Sakurai et al, Proceedings of the 5th ISPDS, p.310, 1993
- [1.9] Efland et al, Proceedings of the IEDM, p.237, 1992
- [1.10] Meyers et al, IEEE Custom Integrated Circuits Conference, 24.7, 1993
- [1.11] Williams, Proceedings of the 5th ISPSD, p.146, 1993
- [1.12] Goodenough, Electronic Design, p.47, Jul 8, 1993
- [1.13] Rumennik, Proceedings of the 4th ISPSD, p.332, 1992
- [1.14] Appels, Vaes, Proceedings of the IEDM, p.238, 1979
- [1.15] Davis et al, IEEE Workshop on Power Electronics in Transportation, 1993
- [1.16] Smayling et al, IEEE Custom Integrated Circuits Conference, 24.5, 1993
- [1.17] Goodwin et al, Proc. of the Symposium on HV and Smart Power Dev., ECS, 87-13,
- [1.18] Behrens, tese de doutorado, Unicamp, 1995.
- [1.19] Behrens et al. , Proceedings of EPE/MADEP'92, p. 98-103, Florence, Italy, 1992.
- [1.20] Castro Simas et al. , Proceedings of the IAS'93, p. 1183-1189, 1993.
- [1.21] Mendonça et al. , Proceedings of IAS'94, Houston, TX, USA, Oct. 1994.
- [1.22] Behrens et al. , Proceedings of EPE'93, p. 209-214, Brighton, GB, 1993.
- [1.23] Finco et al., Anais do VI Congresso da SBMICRO, p. 632-634, 1992.
Blanchard, Phemer [19] T2
- [1.24] Antognetti, Ed., Power Integrated Circuits, New York: McGraw Hill, 1986, ch. 3
- [1.25] Finco et al. , Proc. of the IEEE, PESC'94, Tipen-Tawian, R.O.China, Jun 1994.
- [1.26] Omura et al, Proceedings of the 5th ISPSD, p.248, 1993
- [1.27] Disney, Plummer, Proceedings of the 5th ISPSD, p.254, 1993
- [1.28] Huang et al, Proceedings of 5th ISPDS, p.259, 1993
- [1.29] Neubrand et al, Proceedings of the 5th ISPSD, p.264, 1993
- [1.30] Disney, Plummer, Proceedings of the 5th ISPSD, p.269, 1993
- [1.31] Chow, Tyagi, Proceedings of the 5th ISPSD, p.84, 1993
- [1.32] Bhatnagar et al, Proceedings of the 5th ISPSD, p.89, 1993
- [1.33] Shenai et al, IEEE Trans. Elec. Dev. Letters, 36, no. 9, p. 1811, Sep 1989

Capítulo 2

- [2.1] R. S C. Cobbold, *Theory and Applications of Field-Effect Transistors*, Wiley-Interscience, New York, 1970.
- [2.2] A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967.
- [2.3] M. B. Barron, *Solids State Electronics* 15:293 (1972)

- [2.4] R. W. Bower, IEEE Trans. Electron Dev. ED-15(10):757 (1968).
- [2.5] H. G. Dill, IEEE Trans. Electron Dev. ED-15(10):717 (1968)
- [2.6] R. A. Blanchard at al., IEEE J. Solid State Circuits SC-9(3):103 (1974).
- [2.7] I. Yoshida at al. IEEE J. Solid State Circuits SC-11(4): 472(1976).
- [2.8] H. J. Sigg at al. , IEEE Trans. Eletron Dev. ED-19(1):45 (1972).
- [2.9] Vide referência [1.18]
- [2.10] G. Charitat, tese de doutorado, Université Paul Sabatier, Toulouse, Reporte LAAS no 90.306, Sept 1990.
- [2.11] Z. Parpia et al. IEEE Trans. Elect. Devices vol ED - 34, no 11, pp. 2335-2343. Nov. 1987
- [2.12] J. L. Sanchez - tese de doutorado, INSA, Toulouse, France, Dez. 1984.
- [2.13] S.M. Sze, "Physics of Semiconductor Devices", New York: Wiley-Interscience, 1st edition 1969, pp. 59, 426, 433, 444.].
- [2.14] M.I. Castro Simas at al. IEEE Trans. on Power Electronics, vol. 4 no. 3, pp. 371-378, July 1989
- [2.15] S.Finco at. al., Proceedings of the PESC'94, Taipen, R.O.C., Jun. 1994.
- [2.16] W. Maly Atlas of IC technology: an introduction to VLSI process"cap. 8, The Benjamin / Cummings Pub. Co. Inc., 1987.
- [2.17] B. J. Baliga "Modern power devices" cap. 3, pp. 62-131, Jhon Wiley & Sons,1967.
- [2.18] J. Guilherme at al. , Proceedings of the COBEP'94 - Uberlândia-MG, Brasil.
- [2.19] P. Mendonça at al., Proceedings of the IAS'94

Capítulo 3

- [3.1] Vide referência [2.18]
- [3.2] R. D. Middlebrook, IEEE Trans. Power Elect. , Vol. 4, No. 1 pp. 36-52, January 89.
- [3.3] R. D. Middlebrook, IEEE Trans. Power Elect.s, Vol. 2, No. 2 pp. 109-124, April 87.
- [3.4] J. D. Lenk, "Simplified Desing of Switching Power Supplies", Butterworth Heinemann
- [3.5] A. Czarniak at al., ECCTD'93 - Circuit Theory and Design.
- [3.6] M.C.E. Yaguob at al. ECCTD'93 - Circuit Theory and Design.
- [3.7] F. Krummenacher Proceedings of the IEEE ISCAS, pp. 100-105, 1989
- [3.8] R. I. Geiger, P. E. Allen, N. R. Strader "VLSI Design Techniques for analog and digital circuits" McGraw-Hill Publishing Company.
- [3.9] Mike Watts, "National Semiconductor Application Note AN-188" pp. 8-20.

Anexo A

NET LIST SPICE EXTRAÍDO DO LAYOUT DO CON.PROT3

TOTAL.CIR

```
.subckt corpo_ana scn gdr4 I1 O1 IN- O2 Lim Vref
+      G3 G4 G1 Ve PAD1 PAD3 PAD2 PAD4
+      PAD5 PAD6 PAD7 PAD8 VDA VDD VSS
GND
```

* devices:

```
m0 G1 2 VSS VSS nmos l=1.609u w=513.4u
m1 VSS 7 9 VSS nmos l=1.6u w=7u
m2 17 scn VSS VSS nmos l=1.6u w=7u
m3 11 9 17 VSS nmos l=1.6u w=7u
m4 15 7 11 VSS nmos l=1.6u w=7u
m5 18 VDA 15 VSS nmos l=1.6u w=7u
m6 VSS 10 18 VSS nmos l=1.6u w=7u
m7 VSS VSS VSS VSS nmos l=1.6u w=7u
m8 19 11 VSS VSS nmos l=1.6u w=7u
m9 10 VDA 19 VSS nmos l=1.6u w=7u
m10 12 7 10 VSS nmos l=1.6u w=7u
m11 16 9 12 VSS nmos l=1.6u w=7u
m12 20 VDA 16 VSS nmos l=1.6u w=7u
m13 VSS scn 20 VSS nmos l=1.6u w=7u
m14 scn VSS VSS VSS nmos l=1.6u w=7u
m15 21 12 scn VSS nmos l=1.6u w=7u
m16 VSS VDA 21 VSS nmos l=1.6u w=7u
m17 VSS VSS VSS VSS nmos l=1.6u w=7u
m18 7 O2 VSS VSS nmos l=1.6u w=20u
m19 VSS VSS 7 VSS nmos l=1.6u w=20u
m20 O2 O1 VSS VSS nmos l=1.6u w=20u
m21 VSS VSS O2 VSS nmos l=1.6u w=20u
m22 O1 I1 VSS VSS nmos l=1.6u w=20u
m23 G4 gdr4 VSS VSS nmos l=1.635u w=139.1u
m24 G3 24 VSS VSS nmos l=1.635u w=139.1u
m25 VSS G1 gdr4 VSS nmos l=1.6u w=10u
m26 gdr4 26 VSS VSS nmos l=1.6u w=10u
m27 24 VSS gdr4 VSS nmos l=1.6u w=10u
m28 VSS 26 24 VSS nmos l=1.6u w=10u
m29 2 G3 VSS VSS nmos l=1.6u w=10u
m30 28 7 VSS VSS nmos l=1.6u w=10u
m31 29 27 VSS VSS nmos l=1.6u w=10u
m32 VSS 28 30 VSS nmos l=1.6u w=20u
m33 VSS 32 31 VSS nmos l=3u w=50u
m34 30 7 VSS VSS nmos l=1.6u w=5u
m35 32 32 VSS VSS nmos l=3u w=50u
m36 VSS 30 33 VSS nmos l=1.6u w=5u
m37 35 34 27 VSS nmos l=3u w=50u
m38 33 26 VSS VSS nmos l=1.6u w=5u
m39 VSS 36 35 VSS nmos l=3u w=50u
m40 34 35 VSS VSS nmos l=3u w=50u
m41 VSS 29 26 VSS nmos l=1.6u w=5u
m42 26 33 VSS VSS nmos l=1.6u w=5u
m43 VSS 36 37 VSS nmos l=3u w=50u
m44 361 361 VSS VSS nmos l=3u w=50u
m45 39 39 PAD6 VSS nmos l=8u w=25u
m46 42 42 VSS VSS nmos l=8u w=25u
m47 VSS 44 43 VSS nmos l=3u w=50u
m48 44 44 VSS VSS nmos l=3u w=50u
m49 VSS PAD7 PAD7 VSS nmos l=2u w=50u
m50 46 PAD7 VSS VSS nmos l=2u w=50u
m51 47 42 46 VSS nmos l=2u w=25u
m52 VSS PAD7 47 VSS nmos l=2u w=50u
m53 49 Lim VDA VSS nmos l=10u w=50u
m54 50 42 46 VSS nmos l=2u w=75u
m55 VSS 49 49 VSS nmos l=2u w=50u
m56 46 42 50 VSS nmos l=2u w=75u
m57 51 49 VSS VSS nmos l=2u w=50u
m58 47 39 46 VSS nmos l=2u w=25u
m59 53 Vref 51 VSS nmos l=2u w=25u
m60 54 39 47 VSS nmos l=2u w=75u
m61 VSS 49 53 VSS nmos l=2u w=50u
m62 47 39 54 VSS nmos l=2u w=75u
m63 40 Vref 53 VSS nmos l=2u w=75u
m64 53 Vref 40 VSS nmos l=2u w=75u
m65 51 Ve 53 VSS nmos l=2u w=25u
m66 56 Ve 51 VSS nmos l=2u w=75u
m67 51 Ve 56 VSS nmos l=2u w=75u
```

```

m68 VSS 62 40 VSS nmos l=3u w=50u
m69 62 62 VSS VSS nmos l=3u w=50u
m70 63 33 VSS VSS nmos l=1.6u w=10u
m71 Vref 33 PAD3 VSS nmos l=1.6u w=50u
m72 PAD3 33 Vref VSS nmos l=1.6u w=50u
m73 VSS PAD2 PAD2 VSS nmos l=2u w=50u
m74 67 PAD2 VSS VSS nmos l=2u w=50u
m75 68 PAD3 67 VSS nmos l=2u w=25u
m76 VSS PAD2 68 VSS nmos l=2u w=50u
m77 69 PAD3 67 VSS nmos l=2u w=75u
m78 67 PAD3 69 VSS nmos l=2u w=75u
m79 68 Vref 67 VSS nmos l=2u w=25u
m80 72 Vref 68 VSS nmos l=2u w=75u
m81 68 Vref 72 VSS nmos l=2u w=75u
ma82 VSS 70 65 VSS nmos l=1.6u w=50u
ma83 VSS 70 70 VSS nmos l=1.6u w=50u
ma84 65 VDA 75 VSS nmos l=1.6u w=10u
ma85 77 VDA 76 VSS nmos l=1.6u w=10u
ma86 VSS 70 77 VSS nmos l=1.6u w=50u
ma87 VSS 65 78 VSS nmos l=1.6u w=50u
ma88 Ve 65 VSS VSS nmos l=1.612u w=203.2u
m89 G1 2 VDA VDA pmos l=1.609u w=513.4u
m90 VDA 7 9 VDA pmos l=1.6u w=16u
m91 I4 scn VDA VDA pmos l=1.6u w=16u
m92 I1 7 14 VDA pmos l=1.6u w=16u
m93 I5 9 11 VDA pmos l=1.6u w=16u
m94 VDA VDA 15 VDA pmos l=1.6u w=16u
m95 I5 10 VDA VDA pmos l=1.6u w=16u
m96 I0 VDA 15 VDA pmos l=1.6u w=16u
m97 VDA I1 10 VDA pmos l=1.6u w=16u
m98 I0 VDA VDA VDA pmos l=1.6u w=16u
m99 I2 9 10 VDA pmos l=1.6u w=16u
m100 I6 7 12 VDA pmos l=1.6u w=16u
m101 VDA VDA 16 VDA pmos l=1.6u w=16u
m102 I6 scn VDA VDA pmos l=1.6u w=16u
m103 scn VDA 16 VDA pmos l=1.6u w=16u
m104 VDA I2 scn VDA pmos l=1.6u w=16u
m105 scn VDA VDA VDA pmos l=1.6u w=16u
m106 VDA VDA scn VDA pmos l=1.6u w=16u
m107 7 O2 VDA VDA pmos l=1.6u w=23.6u
m108 VDA VDA 7 VDA pmos l=1.6u w=23.6u
m109 O2 O1 VDA VDA pmos l=1.6u w=23.6u
m110 VDA VDA O2 VDA pmos l=1.6u w=23.6u
m111 O1 I1 VDA VDA pmos l=1.6u w=23.6u
m112 G1 2 VDA VDA pmos l=1.609u w=513.4u
m113 G1 2 VDA VDA pmos l=1.609u w=513.4u
m114 G4 gdr4 VDA VDA pmos l=1.613u w=388.6u
m115 G3 24 VDA VDA pmos l=1.613u w=388.6u
m116 85 G1 gdr4 VDA pmos l=1.6u w=5u
m117 VDA 26 85 VDA pmos l=1.6u w=3u
m118 24 VDA VDA VDA pmos l=1.6u w=10u
m119 VDA 26 24 VDA pmos l=1.6u w=10u
m120 2 G3 VDA VDA pmos l=1.6u w=10u
m121 28 7 VDA VDA pmos l=5u w=5u
m122 86 28 VDA VDA pmos l=1.6u w=20u
m123 30 7 86 VDA pmos l=1.6u w=10u
m124 87 30 VDA VDA pmos l=1.6u w=10u
m125 33 26 87 VDA pmos l=1.6u w=10u
m126 88 29 VDA VDA pmos l=1.6u w=10u
m127 26 33 88 VDA pmos l=1.6u w=10u

m128 VDA 40 31 VDA pmos l=3u w=50u
m129 32 41 VDA VDA pmos l=3u w=50u
m130 41 32 27 VDA pmos l=3u w=50u
m131 VDA 40 41 VDA pmos l=3u w=50u
m132 34 37 VDA VDA pmos l=3u w=50u
m133 VDA 37 37 VDA pmos l=3u w=50u
m134 29 27 VDA VDA pmos l=1.6u w=30u
m135 VDA 50 50 VDA pmos l=3u w=50u
m136 54 54 VDA VDA pmos l=3u w=50u
m137 44 54 VDA VDA pmos l=3u w=50u
m138 VDA 57 43 VDA pmos l=3u w=50u
m139 VDA 56 56 VDA pmos l=3u w=50u
m140 57 54 VDA VDA pmos l=3u w=50u
m141 401 401 VDA VDA pmos l=3u w=50u
m142 36 43 57 VDA pmos l=3u w=50u
m143 VDA PAD5 PAD5 VDA pmos l=3u w=25u
m144 39 PAD5 VDA VDA pmos l=3u w=25u
ma145 VDA PAD8 PAD8 VDA pmos l=1.6u w=50u
m146 VDA PAD4 PAD4 VDA pmos l=3u w=25u
ma147 VDA PAD8 PAD8 VDA pmos l=1.6u w=50u
m148 42 PAD4 VDA VDA pmos l=3u w=25u
ma149 VDA PAD8 61 VDA pmos l=1.6u w=50u
ma150 VDA PAD8 61 VDA pmos l=1.6u w=50u
ma151 61 Vref 65 61 pmos l=1.6u w=50u
ma152 61 Vref 65 61 pmos l=1.6u w=50u
ma153 61 Vref 65 61 pmos l=1.6u w=50u
ma154 61 Vref 65 61 pmos l=1.6u w=50u
ma155 61 IN- 70 61 pmos l=1.6u w=50u
ma156 61 IN- 70 61 pmos l=1.6u w=50u
ma157 61 IN- 70 61 pmos l=1.6u w=50u
m158 VDA 69 69 VDA pmos l=3u w=50u
m159 72 72 VDA VDA pmos l=3u w=50u
ma160 61 IN- 70 61 pmos l=1.6u w=50u
m161 62 72 VDA VDA pmos l=3u w=50u
m162 VDA 73 PAD3 VDA pmos l=3u w=50u
m163 PAD1 PAD1 VDA VDA pmos l=3u w=50u
m164 73 33 PAD1 VDA pmos l=1.6u w=10u
m165 VDA 63 73 VDA pmos l=1.6u w=10u
m166 63 33 VDA VDA pmos l=1.6u w=10u
m167 Vref 63 PAD3 VDA pmos l=1.6u w=50u
m168 PAD3 63 Vref VDA pmos l=1.6u w=50u
ma169 65 VSS 75 VDA pmos l=1.6u w=10u
ma170 77 VSS 76 VDA pmos l=1.6u w=10u
ma171 VDA 78 77 VDA pmos l=1.6u w=50u
ma172 VDA 78 78 VDA pmos l=1.6u w=50u
ma173 Ve 77 VDA VDA pmos l=1.612u w=203.2u

* lumped capacitances:

c252 Ve 0 5.93p
c372 75 Ve 4.12p
c376 76 Ve 3.5p

VRam 401 40 0
Vsen 36 361 0
.ends corpo_ana

.subckt externo D1 D3 33 G1 G3 G4

MPWI D1 G1 VSS VSS NPW W=270000U L=12U

```

```

MPW2 D1 D3 3 VSS NPW W=270000U L=13U
MPW3 D3 G3 VSS VSS NPW W=20000U L=12U
MPW4 D4 G4 VSS VSS NPW W=20000U L=12U

```

```

D1 D1 D3 D
D2 D1 3 D
RR D1 D4 100
CG2 D3 D4 4.7N

```

```

L 1 D1 200U IC=.5
*LOAD
CL 33 VSS 47U IC=5V
RL 33 VSS 15

```

```

VM 3 33 0V
VE 1 0 2.5V
VDD VDD 0 5V
VSS VSS 0 0V

```

```

*V1 G1 0 PULSE(0V 5V 5.1US 100NS 100NS 4US 8US)
*V2 G3 0 PULSE(0V 5V 5US 100NS 100NS 4US 8US)
*V3 G4 0 PULSE(0V 5V 5US 100NS 100NS 4.4US 8US)
.ends externo

```

```

X1 scn gdr4 I1 O1 IN- O2 Lim Vref
+ G3 G4 G1 Ve PAD1 PAD3 PAD2 PAD4
+ PAD5 PAD6 PAD7 PAD8 VDA VDA VSS GND
corpo_ana
X2 D1 D3 33 G1 G3 G4 externo

```

```

CR Vref PAD3 500P
CD gdr4 0 10P
R1 IN- Ve 10k
R2 IN- Vin 10k

```

```

*Ve Vin 0 PULSE(2.8 2.2V 5US 48US 50NS 2US
100US)
Ve Vin 0 2.9V
VREF Vref 0 2.5V
VX2 Lim 0 2.0V
VX3 I1 0 PULSE(5 0V 5US 50NS 50NS 7.5US 8US)

```

```

IPAD1 PAD1 0 25UA
IPAD2 VDA PAD2 25UA

```

```

IPAD4 PAD4 0 100UA
IPAD5 PAD5 0 50UA
*IPAD6 VDA PAD6 1A
IPAD6 VDA PAD6 PULSE(.5A 1.5A 5US 48US 0US
2US 100US)
IPAD7 VDA PAD7 120UA
IPAD8 PAD8 VSS 100UA

```

```

VDD VDA 0 5V
VSS VSS 0 0V

```

```

.op
.option post
.TRAN 0.1US 45US UIC
.END

```



Anexo B

NETLIST SPICE EXTRAÍDO DO LAYOUT DOS BLOCOS CON.PROT3

Bloco Sensor da Tensão de Saída - STS

Tabela de sinais de entrada e saída do circuito

	Função
Entrada externa:	
Vref -	Entrada não-inversora do amplificador de erros, entrada de referência dos Transcondutores V-I dos blocos STS e GRC.
IN ⁻ -	Entrada inversora do amplificador de erros.
PAD8 -	Entrada em corrente para polarização dos transistores do amplificador de erros.
Lim -	Controle do limite de corrente do Transcondutores V-I dos blocos STS e que limita à corrente máxima de saída do circuito.
Saída externa:	
Ve -	Saída do amplificador operacional. Sinal de entrada do Transcondutor V-I do bloco STS.
Saída interna:	
Ivout -	Saída de corrente do Transcondutor V-I, nó de adição do sinal Ram. Sinal de entrada I ⁻ do bloco CC.

Arquivo de simulação Spice extraído do layout

AMPLIFICADOR OPERACIONAL

```
.subckt ampop_ana PAD8 IN- Vref Ve 40 41 VDD VSS
* devices: PAD8 I 2 OUT 40 41 VDD VSS
```

```
m11 PAD8 PAD8 VDD VDD pmos l=1.6u w=50u
```

```
m12 PAD8 PAD8 VDD VDD pmos l=1.6u w=50u
```

```
m13 3 PAD8 VDD VDD pmos l=1.6u w=50u
```

```
m14 3 PAD8 VDD VDD pmos l=1.6u w=50u
```

```
m15 4 Vref 3 3 pmos l=1.6u w=50u
```

```
m16 4 Vref 3 3 pmos l=1.6u w=50u
```

```
m17 4 Vref 3 3 pmos l=1.6u w=50u
```

```
m18 4 Vref 3 3 pmos l=1.6u w=50u
```

```
m19 6 IN- 3 3 pmos l=1.6u w=50u
```

```
m20 6 IN- 3 3 pmos l=1.6u w=50u
```

```
m21 6 IN- 3 3 pmos l=1.6u w=50u
```

```
m22 6 IN- 3 3 pmos l=1.6u w=50u
```

```
m0 4 6 VSS VSS nmos l=1.6u w=50u
```

```
m2 6 6 VSS VSS nmos l=1.6u w=50u
```

```
m7 11 6 VSS VSS nmos l=1.6u w=50u
```

```
m9 12 4 VSS VSS nmos l=1.6u w=50u
```

```
m27 11 12 VDD VDD pmos l=1.6u w=50u
```

```
m29 12 12 VDD VDD pmos l=1.6u w=50u
```

```
m3 4 VDD 40 VSS nmos l=1.6u w=10u
```

```
m23 4 VSS 40 VDD pmos l=1.6u w=10u
```

```
m5 11 VDD 41 VSS nmos l=1.6u w=10u
```

```
m25 11 VSS 41 VDD pmos l=1.6u w=10u
```

```
m10 Ve 4 VSS VSS nmos l=1.612u w=203.2u
```

```
m30 Ve 11 VDD VDD pmos l=1.612u w=203.2u
```

```
** PAD8 IN- Vref Ve 40 41 VDD VSS
```

```
X1 PAD8 1 2 OUT 40 41 VDD VSS ampop_ana
```

```
*CL OUT 0 5pF
```

```
RL OUT 0 10E3
```

```
RL1 2 OUT 100000
```

```
CL1 2 0 100000
```

```
I1 PAD8 VSS 100uA
```

```
*V1 1 0 PULSE(-2.5V +2.5V 2US 2US 2US 2US 8US)
```

```
V1 1 0 DC 0V AC 1V
```

```
VDD VDD 0 +2.5
```

```
VSS VSS 0 -2.5
```

```
.PROBE
```

```
.AC DEC 25 10 1E9
```

```
.END
```

CIRCUITO CONVERSOR

```
.subckt vi1_ana lim Ram Vref Ve Out VDD VSS
```

```
* devices:
```

```
m0 4 lim VDD VSS nmos l=10u w=50u
```

```
m1 VSS 4 4 VSS nmos l=2u w=50u
```

```
m2 5 4 VSS VSS nmos l=2u w=50u
```

```
m4 VSS 4 7 VSS nmos l=2u w=50u
```

```
m6 Ram Vref 7 VSS nmos l=2u w=75u
```

```
m7 Ram Vref 7 VSS nmos l=2u w=75u
```

```
m3 7 Vref 5 VSS nmos l=2u w=25u
```

```
m8 7 Ve 5 VSS nmos l=2u w=25u
```

```
m9 10 Ve 5 VSS nmos l=2u w=75u
```

```
m10 5 Ve 10 VSS nmos l=2u w=75u
```

```
m11 10 10 VDD VDD pmos l=3u w=50u
```

```
m12 Ram Ram VDD VDD pmos l=3u w=50u
```

```
mx Out Ram VDD VDD pmos l=3u w=50u
```

```
.ends
```

```
X1 lim Ram Vref Ve Out VDD VSS vi1_ana
```

```
VX Out 0 2V
```

```
VX1 Vref 0 3V
```

```
VX2 Ve 0 2.5V
```

```
VDD VDD 0 5V
```

```
VSS VSS 0 0V
```

```
V1 lim 0 PULSE(0V 5V 50NS 200NS 200NS 100NS  
600NS)
```

```
*
```

```
.TRAN 1N 600N
```

```
.PROBE
```

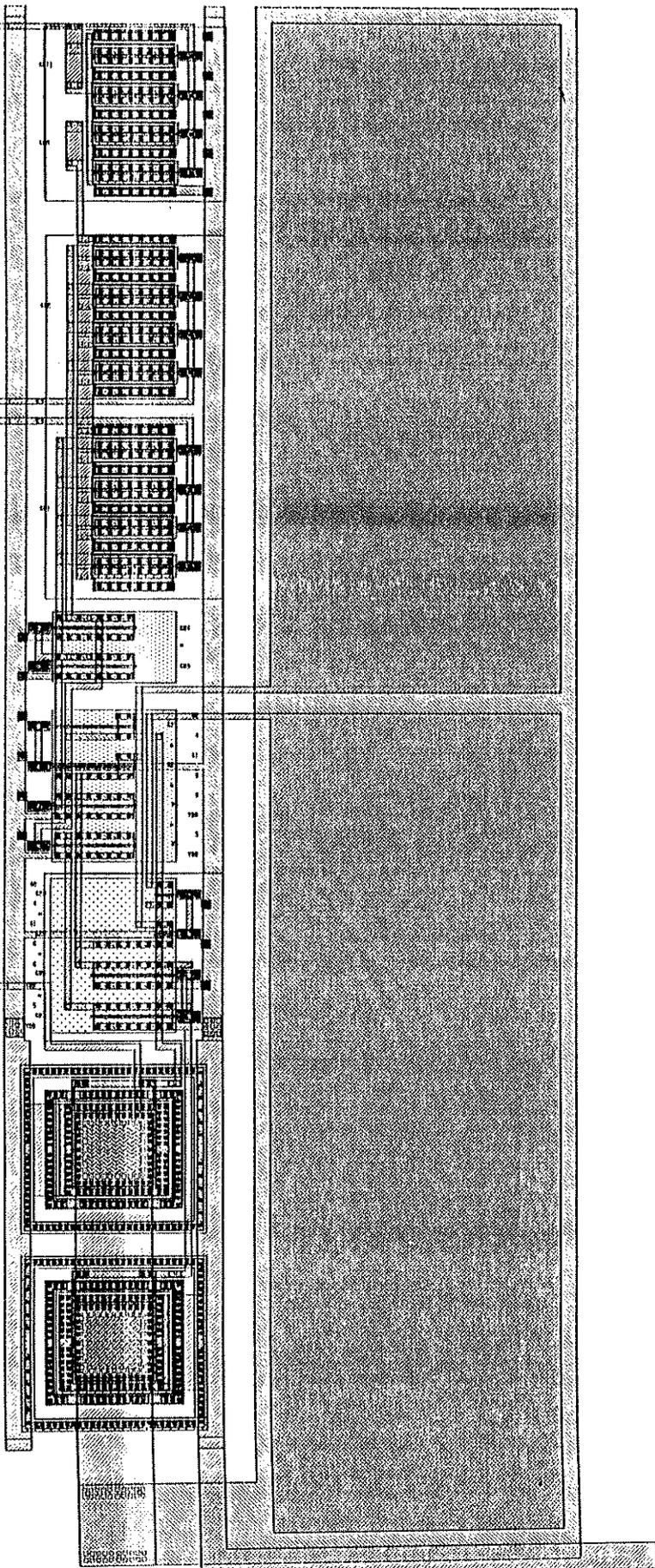
```
.END
```

Layout da Célula:

PAD8

Vref
IN

Ve

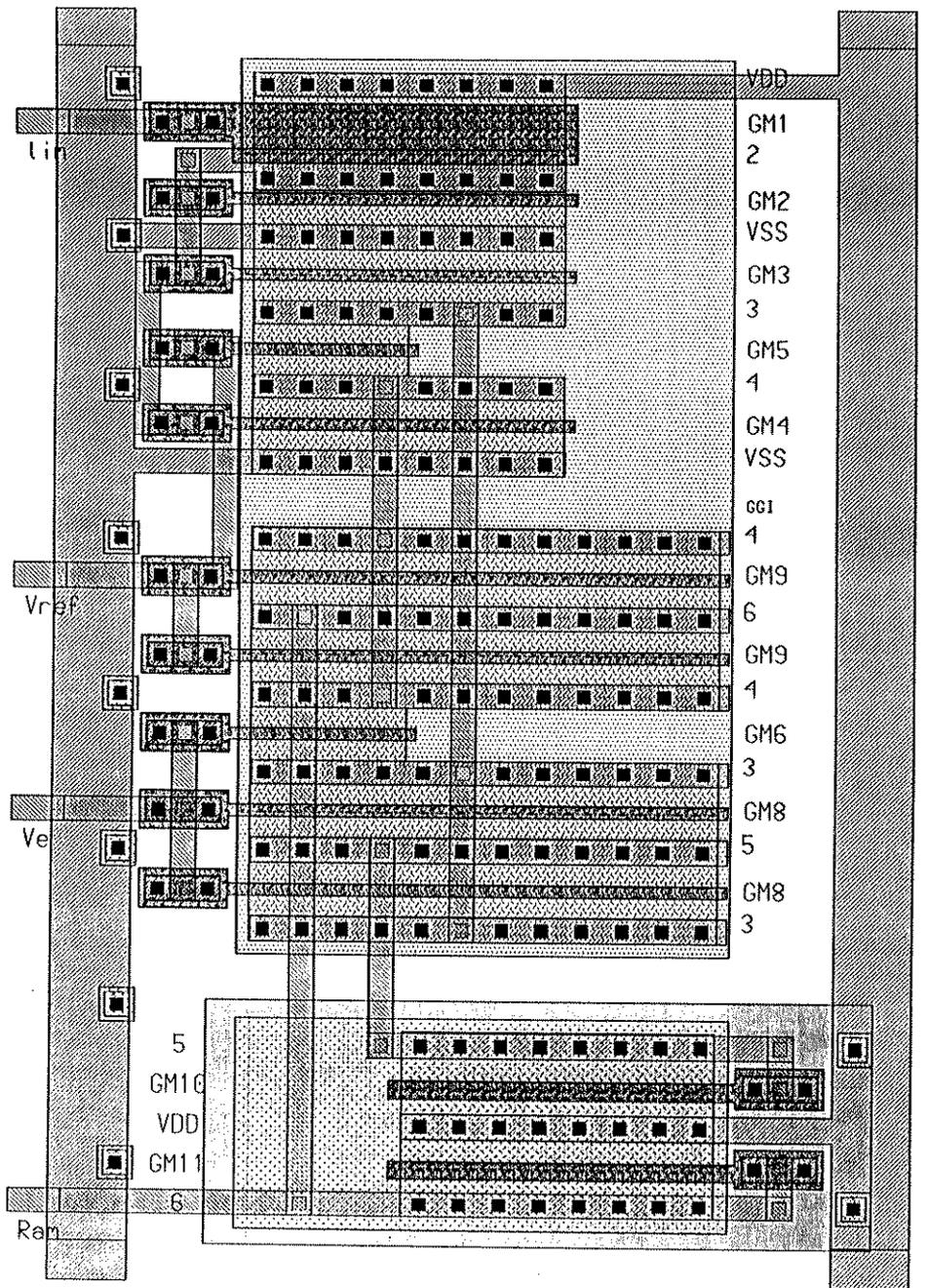


lim

Vref

Ve

Ram



Bloco Gerador de Rampa de Compensação - GRC

Tabela de sinais de entrada e saída do circuito

Função	
Entrada externa:	
PAD1 -	Polarização da fonte de corrente de carga do capacitor.
PAD3 -	Conexão do capacitor externo.
Vref -	Conexão do capacitor externo.
PAD2 -	Polarização do circuito Transcondutor V-I.
Entrada interna:	
Q -	Sincronismo de relógio. Sinal provindo do circuito gerador de sincronismo do bloco de Lógica de Controle e driver.
Saída interna:	
Ram -	Rampa de corrente. Sinal em corrente adicionado ao sinal Ivout do bloco STS compõe o sinal de entrada do I- do bloco CC.

Arquivo de simulação Spice extraído do layout

GERADOR DE RAMPA DE CORRENTE

```
VDD VDD 0 5V
VSS VSS 0 0V
VRAM VDD Ram 2V
VREF Vref 0 2.5V
IPAD1 PAD1 0 25UA
IPAD2 VDD PAD2 100UA
VI Q 0 PULSE(0 5V 0NS 0NS 0NS 2US 10US)
```

```
.subckt rampa_ana VDD VSS Ram Q PAD2 PAD3 Vref PAD1
```

```
* devices:
```

```
m0 VSS 2 Ram VSS nmos l=3u w=50u
m1 2 2 VSS VSS nmos l=3u w=50u
m2 5 Q VSS VSS nmos l=1.6u w=10u
m3 Vref Q PAD3 VSS nmos l=1.6u w=50u
m4 PAD3 Q Vref VSS nmos l=1.6u w=50u
m5 VSS PAD2 PAD2 VSS nmos l=2u w=50u
m6 9 PAD2 VSS VSS nmos l=2u w=50u
m7 10 PAD3 9 VSS nmos l=2u w=25u
m8 VSS PAD2 10 VSS nmos l=2u w=50u
m9 11 PAD3 9 VSS nmos l=2u w=75u
```

```
m10 9 PAD3 11 VSS nmos l=2u w=75u
m11 10 Vref 9 VSS nmos l=2u w=25u
m12 12 Vref 10 VSS nmos l=2u w=75u
m13 10 Vref 12 VSS nmos l=2u w=75u
m14 VDD 11 11 VDD pmos l=3u w=50u
m15 12 12 VDD VDD pmos l=3u w=50u
m16 2 12 VDD VDD pmos l=3u w=50u
m17 VDD 14 PAD3 VDD pmos l=3u w=50u
m18 PAD1 PAD1 VDD VDD pmos l=3u w=50u
m19 14 Q PAD1 VDD pmos l=1.6u w=10u
m20 VDD 5 14 VDD pmos l=1.6u w=10u
m21 5 Q VDD VDD pmos l=1.6u w=10u
m22 Vref 5 PAD3 VDD pmos l=1.6u w=50u
m23 PAD3 5 Vref VDD pmos l=1.6u w=50u
.ends
```

```
X1 VDD VSS Ram Q PAD2 PAD3 Vref PAD1 rampa_ana
C1 VREF PAD3 500PF
.IC V(PAD3)=2.5V
.TRAN 1N 40US
.PROBE
.END
```

Layout da Célula:

Ram

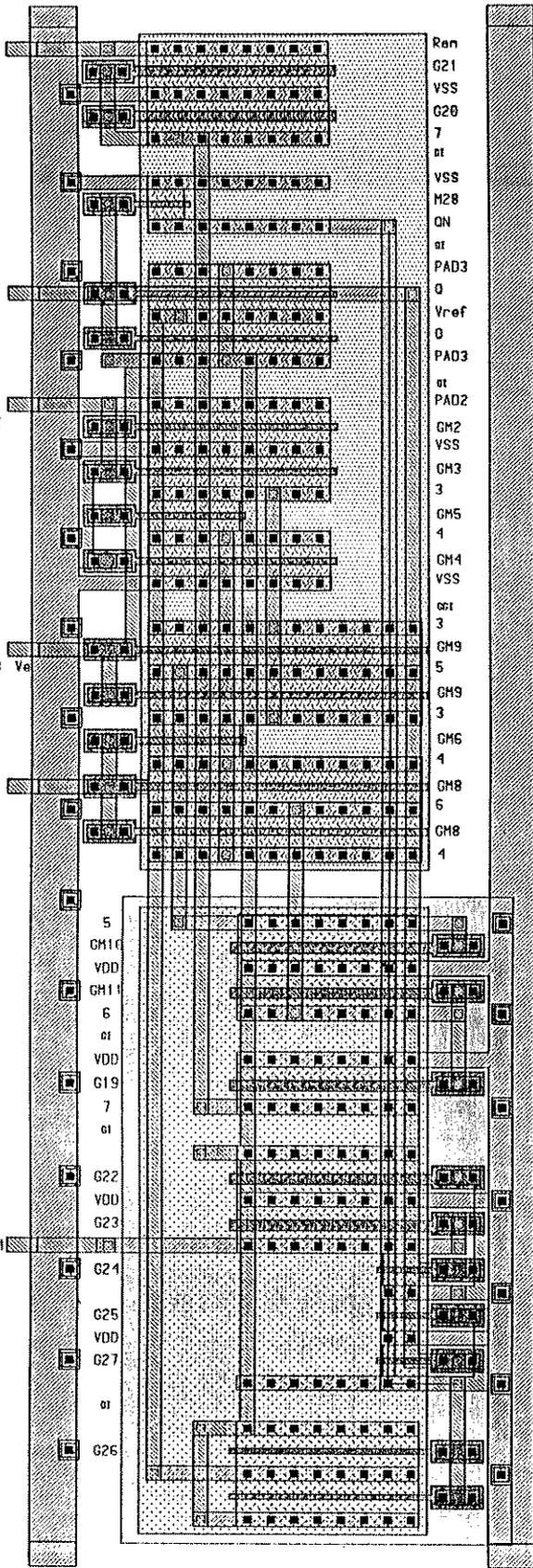
Q

PAD2

PAD3

Vref

PAD1



Bloco Sensor de Corrente - SC

Tabela de sinais de entrada e saída do circuito

Entrada externa:		Função
PAD4	-	Polarização da fonte de referência de tensão do Transcondutor V-I
PAD5	-	Polarização da fonte de polarização do sensor de corrente resistivo
PAD6	-	Entrada do sinal de corrente proporcional à corrente em M1. O sensor de corrente resistivo é conectado entre o PAD6 e o GND
PAD7	-	Polarização do circuito Transcondutor V-I
Saída interna:		
Sen	-	Sinal em modo corrente, Sinal de entrada I ⁺ do bloco Comparador de Corrente

Arquivo de simulação Spice extraído do layout

CIRCUITO SENSOR DE CORRENTE

VDD VDD 0 5V

VSS VSS 0 0V

IPAD4 PAD4 0 100UA

IPAD5 PAD5 0 50UA

IPAD6 PAD6 VSS PWL(0NS 0A 600NS 2A)

IPAD7 VDD PAD7 120UA

*Ve=> LIGACAO INTERNA

*Vref=> LIGACAO INTERNA

VSen Sen 0 2V

.subckt sensor_ana PAD6 PAD7 Sen PAD4 PAD5 Ve Vref

VDD VSS

* devices:

m0 Ve Ve PAD6 VSS nmos l=8u w=25u

m2 Vref Vref VSS VSS nmos l=8u w=25u

m4 VSS 6 5 VSS nmos l=3u w=50u

m5 6 6 VSS VSS nmos l=3u w=50u

m7 VSS PAD7 PAD7 VSS nmos l=2u w=50u

m8 8 PAD7 VSS VSS nmos l=2u w=50u

m9 9 Ve 8 VSS nmos l=2u w=25u

m10 VSS PAD7 9 VSS nmos l=2u w=50u

m12 10 Ve 8 VSS nmos l=2u w=75u

m13 8 Ve 10 VSS nmos l=2u w=75u

m14 9 Vref 8 VSS nmos l=2u w=25u

m15 11 Vref 9 VSS nmos l=2u w=75u

m16 9 Vref 11 VSS nmos l=2u w=75u

m17 VDD 10 10 VDD pmos l=3u w=50u

m18 11 11 VDD VDD pmos l=3u w=50u

m20 6 11 VDD VDD pmos l=3u w=50u

m22 VDD 13 5 VDD pmos l=3u w=50u

m23 13 11 VDD VDD pmos l=3u w=50u

m24 Sen 5 13 VDD pmos l=3u w=50u

m26 VDD PAD4 PAD4 VDD pmos l=3u w=25u

m27 Vref PAD4 VDD VDD pmos l=3u w=25u

m29 VDD PAD5 PAD5 VDD pmos l=3u w=25u

m30 Ve PAD5 VDD VDD pmos l=3u w=25u

.ends

X1 PAD6 PAD7 Sen PAD4 PAD5 Ve Vref VDD VSS

sensor_ana

R1 PAD6 0 .1

.TRAN 1N 600N

.PROBE

.END

Layout da Célula:

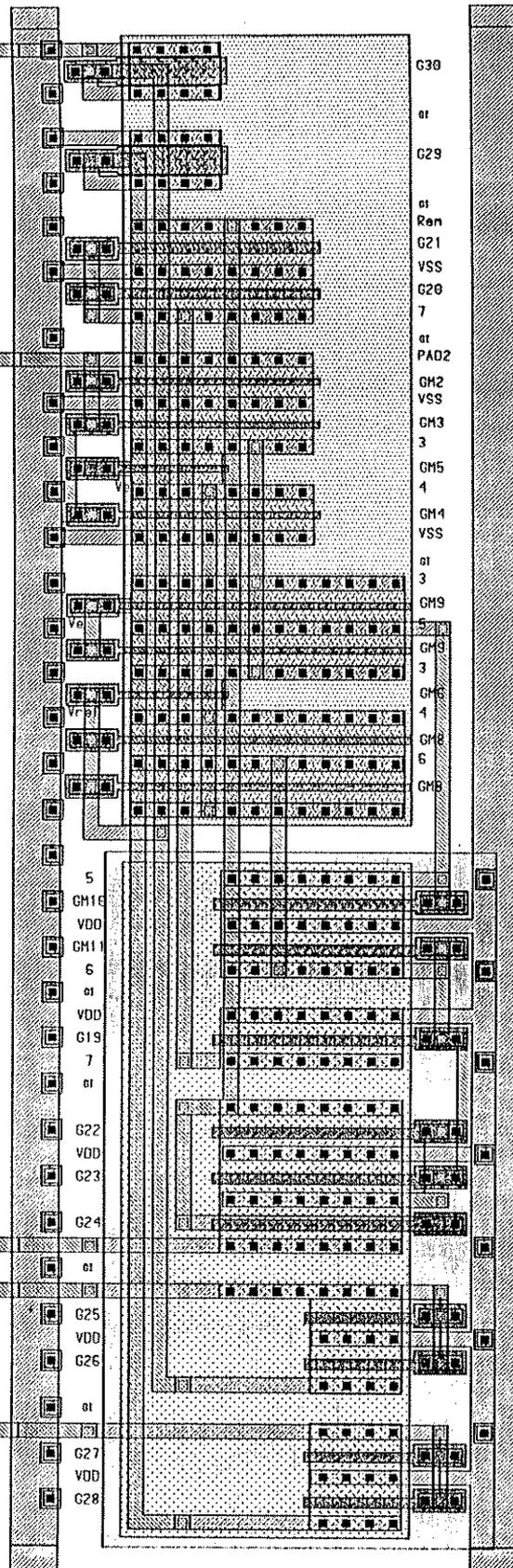
PAD6

PAD7

Sen

PAD4

PAD5



G30
G29
G21
G20
G2
GM2
GM3
GM5
GM4
GM9
GM8
GM6
GM7
GM8
GM9

5
GM10
VDD
GM11
6
G19
7
G22
VDD
G23
G24
G25
VDD
G26
G27
VDD
G28

Bloco Comparador de Corrente - CC

Tabela de sinais de entrada e saída do circuito

		Função
Entrada interna:		
	I ⁻	Entrada inversora do comparador de corrente. Recebe os sinais Ivout do bloco STS e Ram do bloco GRC
	I ⁺	Entrada não-inversora do comparador de corrente. Recebe o sinal Sen do bloco SC
Saída externa:		
	Com	Saída do comparador. Sinal de entrada do circuito GS do bloco de Lógica de Controle e Driver

Arquivo de simulação Spice extraído do layout

COMPARADOR DE CORRENTE

```
VDD VDD 0 5V
VSS VSS 0 0V
ISen VDD Sen 100UA
IPAD6 Ram VSS PWL(0NS 0A 600NS 200UA 1200NS 0A)
```

```
.subckt cc_ana Sen Ram VDD GND Com
* devices:
m0 Com 2 GND GND nmos l=1.6u w=10u
m1 GND 5 4 GND nmos l=3u w=50u
m2 5 5 GND GND nmos l=3u w=50u
m3 7 6 2 GND nmos l=3u w=50u
m4 GND Sen 7 GND nmos l=3u w=50u
m5 6 7 GND GND nmos l=3u w=50u
m6 GND Sen 9 GND nmos l=3u w=50u
m7 Sen Sen GND GND nmos l=3u w=50u
```

```
m8 VDD Ram 4 VDD pmos l=3u w=50u
m9 5 12 VDD VDD pmos l=3u w=50u
m10 12 5 2 VDD pmos l=3u w=50u
m11 VDD Ram 12 VDD pmos l=3u w=50u
m12 6 9 VDD VDD pmos l=3u w=50u
m13 VDD 9 9 VDD pmos l=3u w=50u
m14 Com 2 VDD VDD pmos l=1.6u w=30u
```

```
mx Ram Ram VDD VDD pmos l=3u w=50u
.ends
```

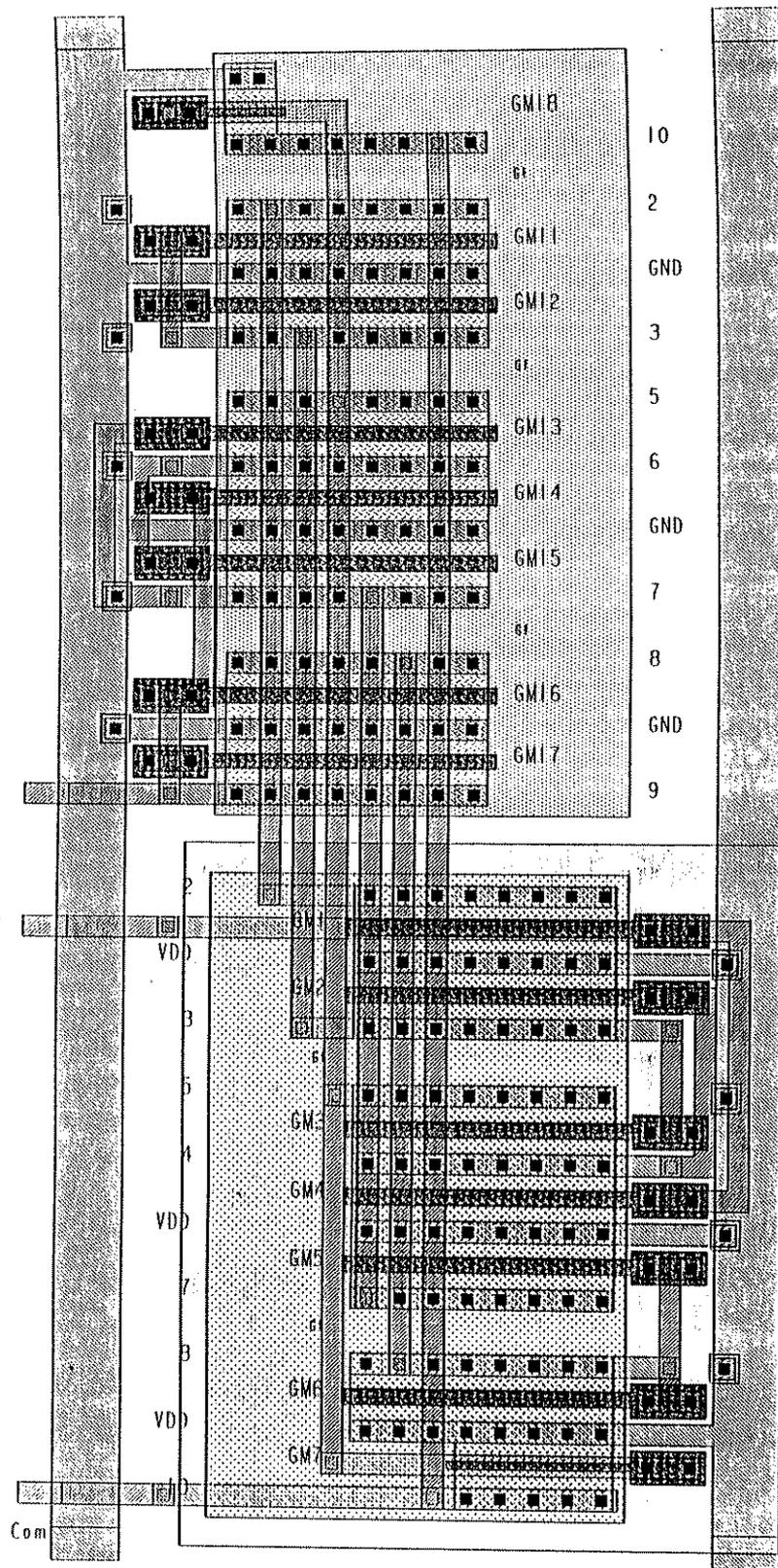
```
X1 Sen Ram VDD VSS OUT cc_ana
```

```
.TRAN 1N 1200N
.PROBE
.END
```

Layout da Célula:

Sen
Ram

Com



Bloco Gerador de Sincronismo - GS

Tabela de sinais de entrada e saída do circuito

Entrada externa:		Função
Com -	Rel -	Sinal provindo do bloco CC
		Sinal de entrada do circuito GS provindo do circuito Oscilador.
Saída interna:		
O MI-	Q -	Sinal de estímulo aos circuitos de lógica e acionamento dos drivers
		Sincronismo de relógio. Sinal enviado para o bloco GRC

Arquivo de simulação Spice extraído do layout

GERADOR.CIR

```
.subckt gerador_ana CLK Com O_M1 Q 4 5 VDD GND
* devices:
```

```
m0 4 CLK GND GND nmos l=1.6u w=10u
m10 4 CLK VDD VDD pmos l=5u w=5u
```

```
m3 5 CLK GND GND nmos l=1.6u w=5u
m2 5 4 GND GND nmos l=1.6u w=20u
m12 12 4 VDD VDD pmos l=1.6u w=20u
m13 5 CLK 12 VDD pmos l=1.6u w=10u
```

```
m5 Q 5 GND GND nmos l=1.6u w=5u
m6 Q O_M1 GND GND nmos l=1.6u w=5u
m15 13 5 VDD VDD pmos l=1.6u w=10u
m16 Q O_M1 13 VDD pmos l=1.6u w=10u
```

```
m8 O_M1 Com GND GND nmos l=1.6u w=5u
m9 O_M1 Q GND GND nmos l=1.6u w=5u
```

```
m19 O_M1 Q 14 VDD pmos l=1.6u w=10u
m18 14 Com VDD VDD pmos l=1.6u w=10u
.ends gerador_ana
```

```
X1 REL Com O_M1 Q 4 5 VDD GND gerador_ana
```

```
VCLK REL 0 PULSE(5 0V 1US 10NS 10NS 5US 10US)
VCOM Com 0 PULSE(0 5V 4US 10NS 10NS .1US 10US)
```

```
VDD VDD 0 5V
VGND GND 0 0V
```

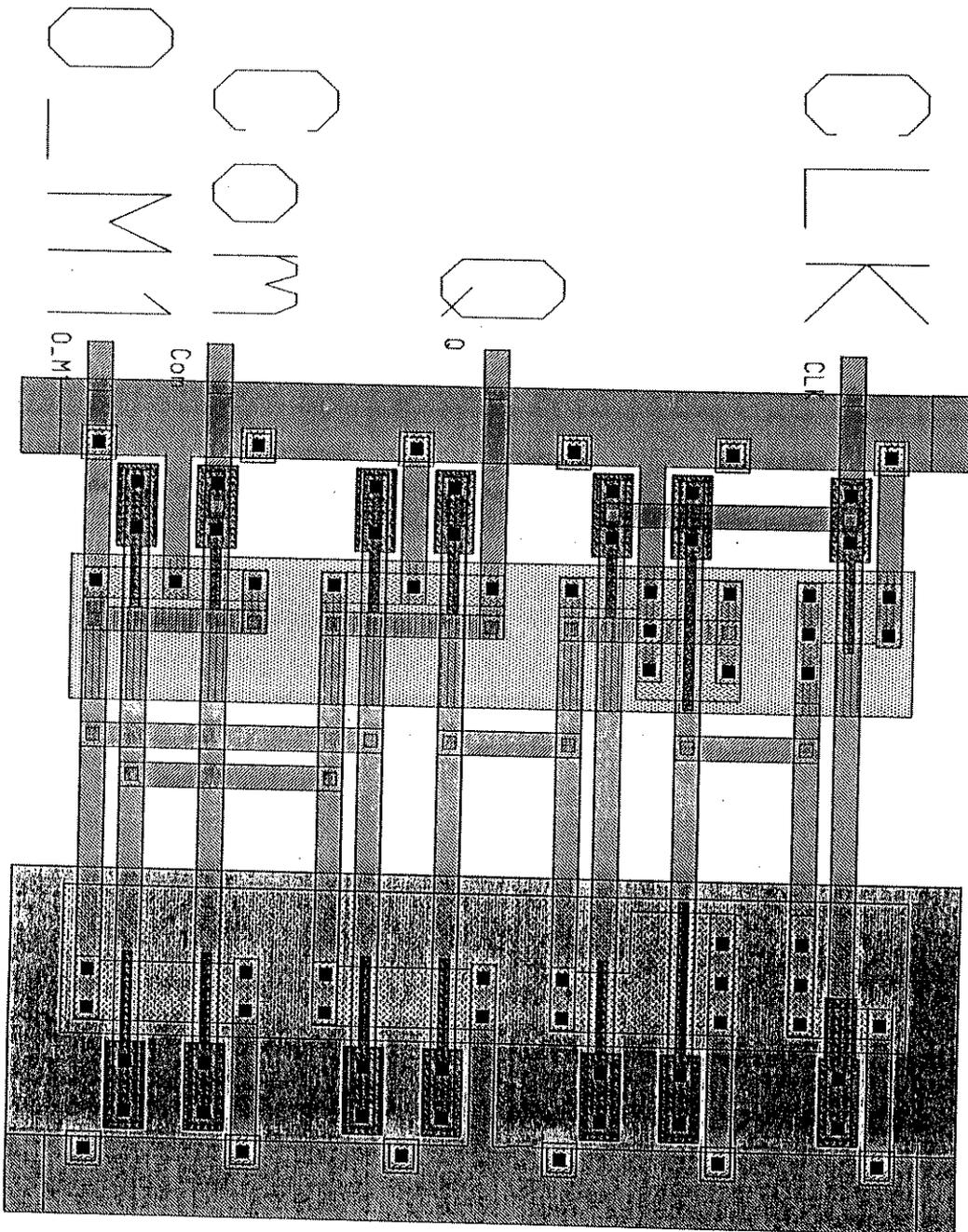
```
.options ITL4=500 ITL5=0
.probe
```

```
.NODESET V(Q)=5V V(O_M1)=0V V(4)=0V V(5)=1V
```

```
.TRAN 0.1US 50US
```

```
.END
```

Layout da Célula:

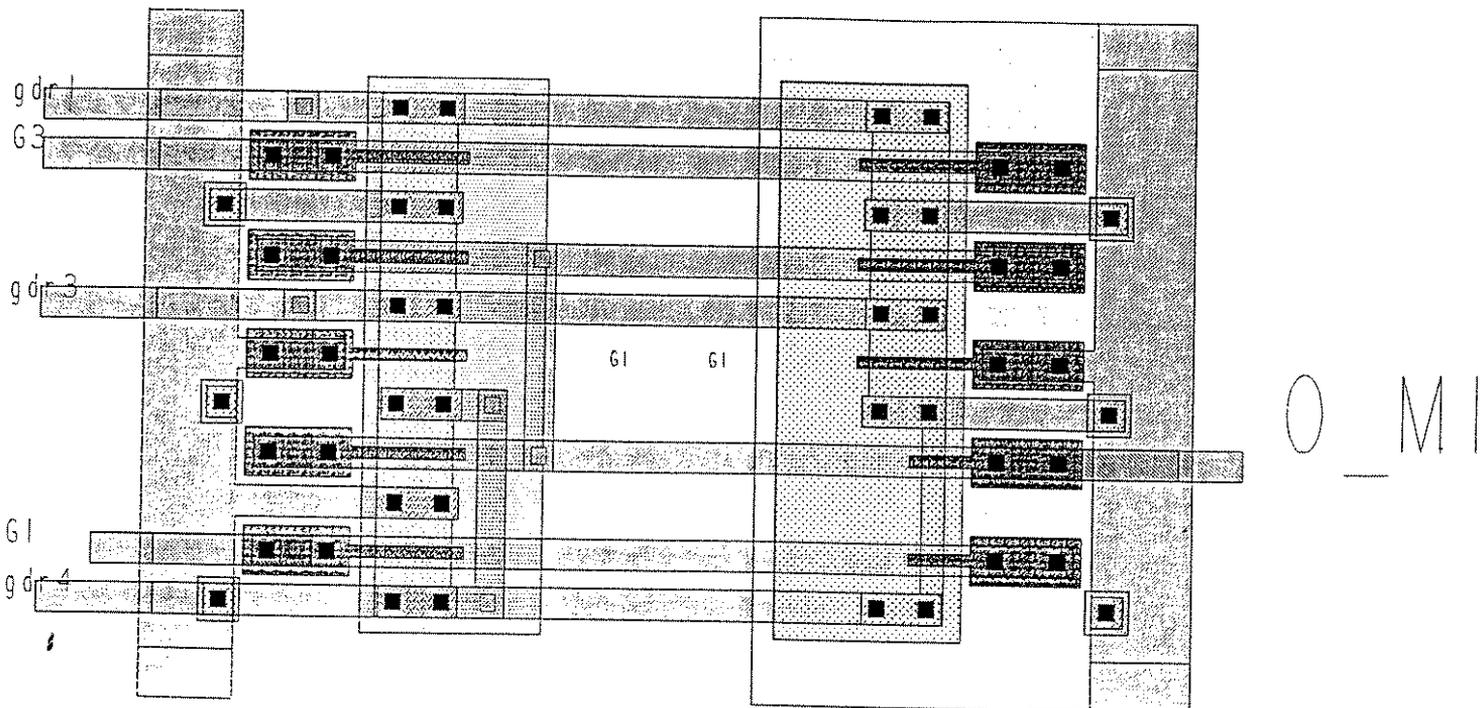


Bloco de Lógica de Acionamento e Driver - LAD

Tabela de sinais de entrada e saída do circuito

	Função
Entrada externa:	
gdr4 -	Sinal provindo do bloco CC. O capacitor C_{in} conectado ao terra determina o atraso do sinal na porta de M4 em relação a M1.
Entrada interna:	
O M1 -	Sinal provindo do bloco GS. Sinal de estímulo aos circuitos de lógica e acionamento dos <i>drivers</i>
Saída externo:	
G1 -	Sinal de <i>driver</i> da porta do transistor M1 do bloco CP
G3 -	Sinal de <i>driver</i> da porta do transistor M3 do bloco CP
G4 -	Sinal de <i>driver</i> da porta do transistor M4 do bloco CP

Layout da Célula:



Interface de Potência - IP

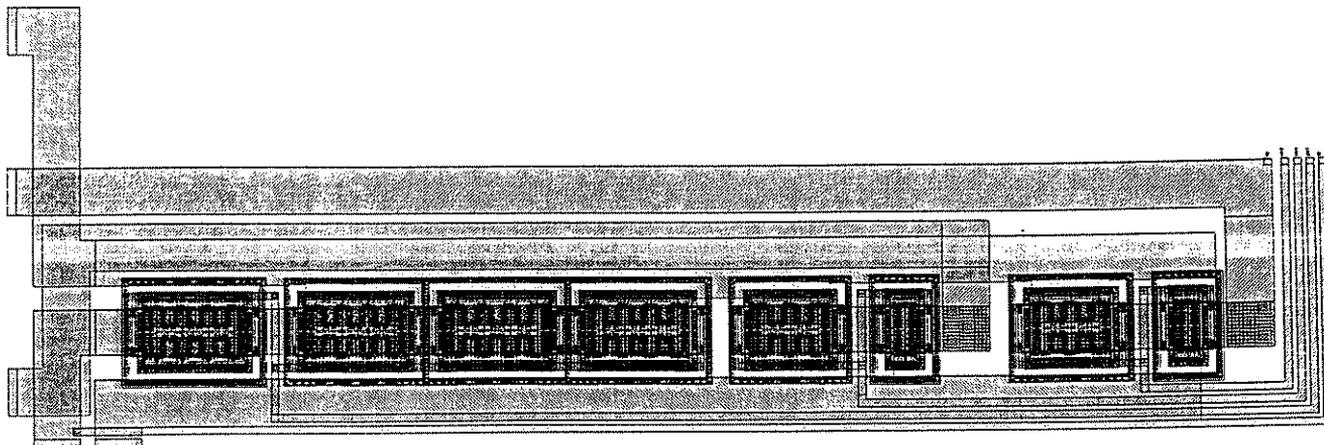
Tabela de sinais de entrada e saída do circuito

	Função
Entrada externa:	
GDr3 -	Pino de acesso à porta do transistor M3. Sinal ligado externamente ao pino G3 do circuito de drive
GDr4 -	Pino de acesso à porta do transistor M4. Sinal ligado externamente ao pino G4 do circuito de drive
Saída externa:	
D3 -	Pino de acesso ao dreno do transistor M3. Sinal ligado externamente ao Resistor e ao polo negativo do Capacitor externo, formando o circuito <i>charge pump</i>
D4 -	Pino de acesso ao dreno do transistor M4. Sinal ligado externamente à porta de M2, ao Diodo e ao polo positivo do Capacitor externo, formando o circuito <i>charge pump</i>

Chaves de Potência - CP

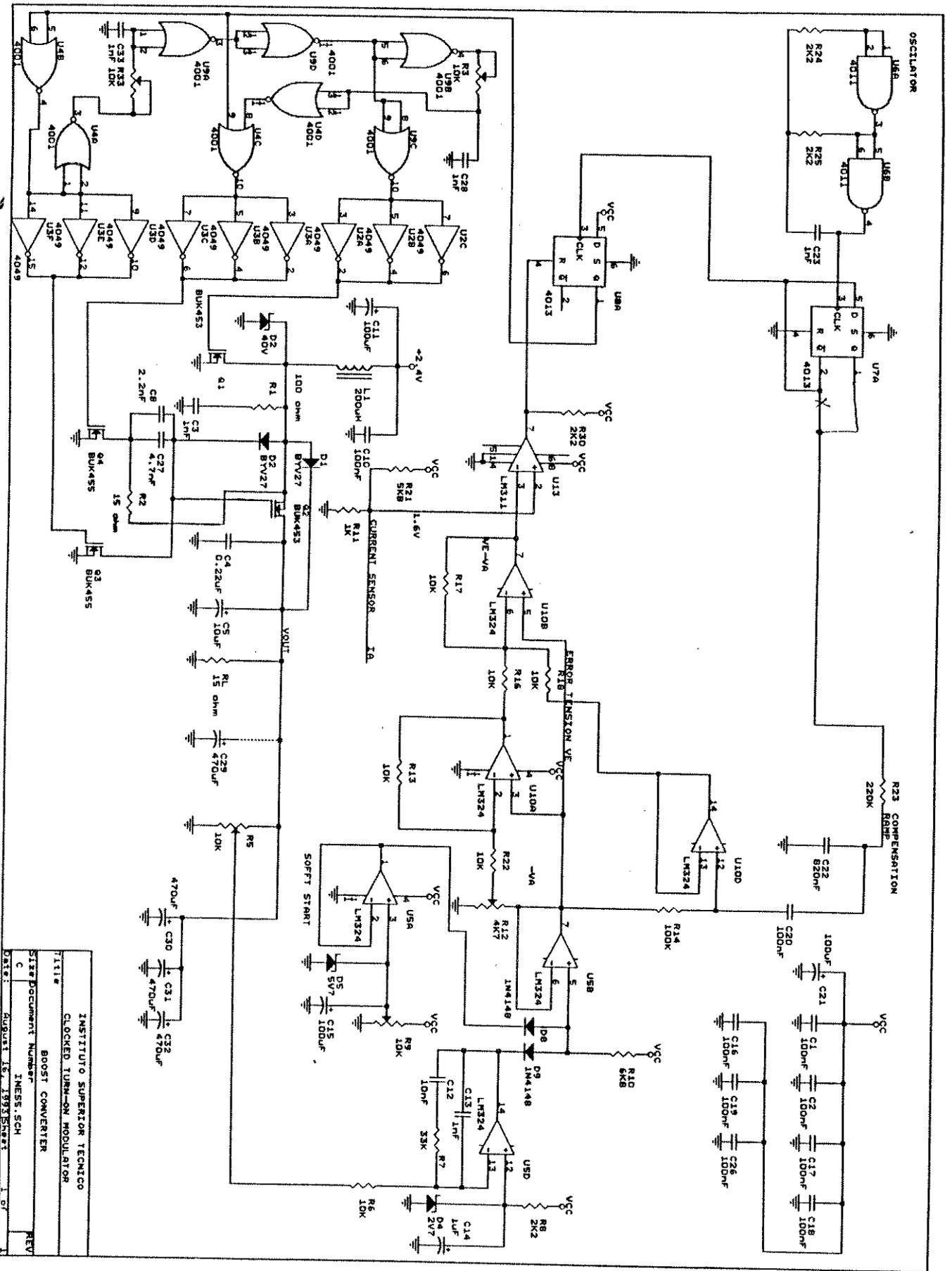
Tabela de sinais de entrada e saída do circuito

	Função
Entrada externa:	
GM1 -	Pino de acesso a porta do transistor M3. Sinal ligado externamente ao pino G3 do circuito de driver.
GM2 -	Pino de acesso a porta do transistor M4. Sinal ligado externamente ao pino G4 do circuito de driver.
D1,2 -	Pino de acesso ao dreno de M1 e M2. Ponto de conexão do indutor L, Diodo e Resistor do circuito <i>charge pump</i> .
Saída externa:	
FM2 -	Pino de acesso a Fonte de M2. Sinal ligado externamente a Carga.

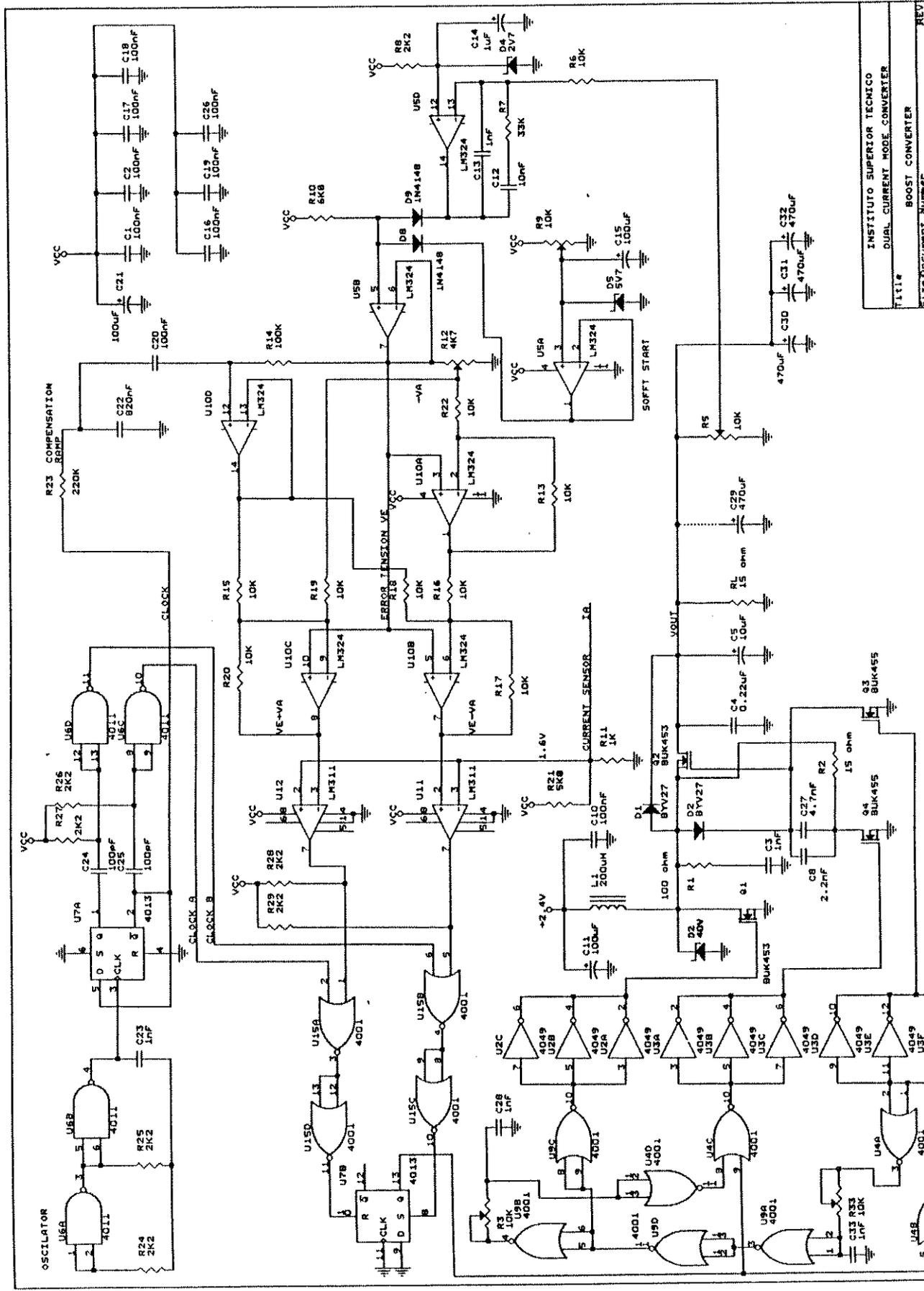


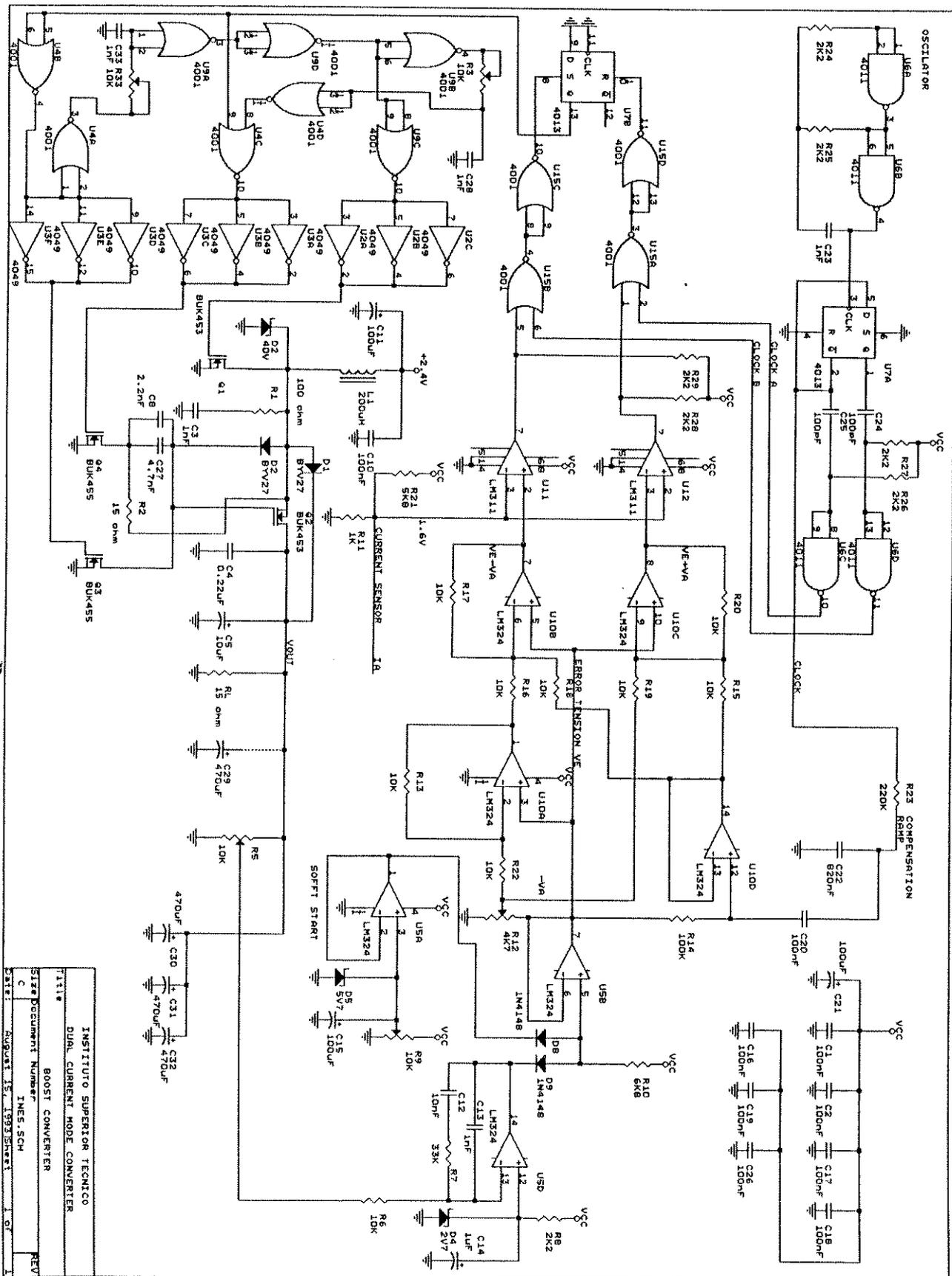
Anexo C

PROJETO DE UM CONVERSOR TIPO *BOOST* BASEADO NO C.I. CON.PROT2



INSTITUTO SUPERIOR TECNICO	
CLOCKED TURN-ON MODULATOR	
BOOST CONVERTER	
Sheet Document Number	INES.SCH
Rev	
Date	August 15, 1993





INSTITUTO SUPERIOR TECNICO	
T1118 DUAL CURRENT MODE CONVERTER	
BOOST CONVERTER	
SIZE DOCUMENT NUMBER	1NEE-5CH
DATE:	NOV 15, 1993 SHEET 1 OF 1

