

UNIVERSIDADE ESTADUAL DE CAMPINAS

DSIF – FEEC – UNICAMP

**Projeto e Fabricação
de HBTs**

AUGUSTO CESAR REDOLFI

*Tese apresentada à Faculdade de Engenharia
Elétrica e de Computação da Unicamp como
parte dos requisitos para a obtenção do título
de Doutor em Engenharia Elétrica.*

Orientador:

PROF. DR. JACOBUS WILLIBRORDUS SWART

Banca Examinadora:

PROF. DR. ALBERTO MARTINS JORGE

PROF. DR. FURIO DAMIANI

DR. LUIZ EUGÊNIO DE BARROS JR.

PROF. DR. MEGUMI SAITO

Campinas-SP - Abril de 1999

Este exemplar corresponde a redação final da tese
defendida por.....
..... e aprovada pela Comissão
Julgada em.....
Jacobus Willibrordus Swart
Orientador

UNICAMP
BIBLIOTECA CENTRAL

897825

UNIDADE	BC
N.º CHAMADA:	229p
V.	Ex.
TOMBO BC/	39334
PROC.	229/99
C	<input type="checkbox"/>
D	<input checked="" type="checkbox"/>
PREÇO	R\$ 11,00
DATA	29/10/99
N.º CPD	

CM-00136614-7

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

R249p

Redolfi, Augusto Cesar

Projeto e fabricação de HBTs / Augusto Cesar
Redolfi.--Campinas, SP: [s.n.], 1999.

Orientador: Jacobus Willibrordus Swart.

Tese (doutorado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Transistores bipolares. 2. Arsenieto de gálio. 3.
Implantação iônica. 4. Circuitos integrados - Simulação
por computador. I. Swart, Jacobus Willibrordus. II.
Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. III. Título.

Resumo

Foi estabelecido um processo para a fabricação em laboratório de Transistores Bipolares de Heterojunção (HBTs), em AlGaAs/GaAs. O trabalho consistiu basicamente do estudo das etapas elementares de fabricação.

Foi projetado um conjunto de máscaras incluindo dispositivos em diferentes tamanhos e estruturas de teste. Com este conjunto de máscaras, as etapas de processamento de HBTs foram estudadas e transistores HBT foram fabricados.

Foi analisado um método para se determinar com precisão o ponto de parada de *etch* úmido, consistindo da medida da corrente reversa em um diodo Schottky formado entre a superfície semicondutora e uma ponta de tungstênio. Com este método foi possível expor com precisão a camada de base.

A abertura de vias de contato em paredes em ângulo controlado foi obtida transferindo-se o ângulo de inclinação de uma parede de fotorresiste para a parede da via em polyimide.

Estruturas de metal para contatos ôhmicos baseadas em AuGe, para contatos $n+$ e Ti/Pt/Au, para camadas $p+$, ambas obtidas por evaporação por feixe de elétrons, seguida de um ciclo térmico para liga ou sinterização, foram analisadas para o uso em dispositivos de pequena geometria. Foram obtidas resistividades de contato da ordem de $1 \times 10^{-6} \Omega \text{ cm}^2$ para ambos os casos.

Foi desenvolvido e implementado um modelo empírico para simular o comportamento de dispositivos fabricados. Este modelo inclui o efeito de auto-aquecimento e é adequado para o uso com ferramentas CAD.

Foi implementado um programa em Pascal, para simular as mudanças na seção transversal de um dispositivo durante a fabricação. Este programa mostrou-se adequado para auxiliar o estabelecimento das etapas de processo e pode simular os efeitos de processos tais como litografia, *lift-off*, *etching* e deposição.

Dispositivos fabricados com camadas crescidas por MOCVD mostraram ganho de corrente DC da ordem de 30 e apresentaram comportamento não-linear devido à altas correntes de recombinação.

Para melhorar o desempenho de HBTs e também o rendimento de fabricação, foi estudado o uso de implantação iônica de He^+ . Experimentos mostraram que é possível obter-se a completa isolamento das camadas de coletor e sub-coletor com o uso de duas implantações, a 200 e 400 keV, com doses de $8 \times 10^{13} \text{ cm}^{-2}$ e $5 \times 10^{11} \text{ cm}^{-2}$, respectivamente. A implantação de He^+ através da camada de base foi realizada e permitiu a compensação da camada de coletor, reduzindo a capacitância entre as camadas de base e de sub-coletor. Neste último caso, o melhor resultado foi obtido para He^+ a 80 keV com dose de $4,5 \times 10^{12} \text{ cm}^{-2}$.

Abstract

A process was established for the fabrication in laboratory of Heterojunction Bipolar Transistors (HBTs) with the AlGaAs/GaAs system. The work consisted basically of the study of elementary processing steps.

A mask set was designed including devices in different sizes and test structures. With this mask set, the processing steps for HBT fabrication were studied and HBT transistors were obtained.

A method to stop wet etching precisely on the base layer was analysed. This method consists of measuring the reverse current in a diode formed between the surface of the layer being etched and a tungsten probe and allowed precise base layer exposure.

The opening of contact vias with precise wall angle control was achieved by transferring the pattern of a photoresist tilted wall to a polyimide via.

Contact metallization structures based on AuGe for $n+$ layers and Ti/Pt/Au for $p+$ layers, produced by e-beam evaporation followed by an alloy or sintering cycle was analysed for usage in small geometry devices and contact resistivity as low as $1 \times 10^{-6} \Omega \text{ cm}^2$ were achieved for both cases.

An empirical model was developed, implemented and tested to simulate the behavior of fabricated devices. This model includes the self-heating effect and is suitable for use with CAD tools.

A computer program to simulate the device's cross section during its fabrication was implemented in Pascal and is capable of representing the effect of usual processes, such as lithography, lift-off, etching and deposition.

Devices fabricated with MOCVD grown layers showed DC current gain of the order of 30 and non-linear behavior due to high recombination currents in the base region.

To improve device performance and fabrication yield, the process of layer isolation by helium ion implantation was studied. Experiments showed that this process may be successfully used to electrically isolate the collector and sub-collector layers, rendering them high resistive due to deep acceptor levels introduced during the implantation. This isolation was achieved by using two implants, at 200 and 400 keV, with doses of $8 \times 10^{13} \text{ cm}^{-2}$ and $5 \times 10^{11} \text{ cm}^{-2}$, respectively. Ion implantation of He^+ through the base layer was able to compensate the extrinsic collector region, aiming the reduction of the base-collector capacitance. Good results were obtained implanting He^+ at 80 keV with dose equal to $4.5 \times 10^{12} \text{ cm}^{-2}$.

Publicações

No decorrer deste trabalho, foram realizadas as seguintes apresentações em congressos e publicações:

- *Tuning of HBT Fabrication Process on III-V Compounds*, R.T. Yoshioka, L.E.M. de Barros Jr., J.W. Swart, J. Bettini, M.M.G. de Carvalho, A.C. Redolfi, A.S. Lujan, J. Solid-State Devices and Circuits, Vol. 7, N. 1, Feb/99, 1–6.
- *Study of Epitaxial Growth and Fabrication of InGaP/GaAs HBTs*, R.T. Yoshioka, A.C. Redolfi, J.W. Swart, J. Bettini, M.M. de Carvalho, Proc. XII Conf. SBmicro, Vol. 35, 1997.
- *Analysis of Via Hole Opening by Plasma Etching in Polyimide for Electrode Access*, A.C.S. Ramos, A.C. Redolfi, R.T. Yoshioka, A.S. Lujan, J.W. Swart, Proc. XI Conf. SBmicro, Jul/96, 235–240.
- *Empirical HBT Model for HSPICE*, A.C. Redolfi, R.T. Yoshioka, J.W. Swart, Proc. XI Conf. SBmicro, Jul/96, 249–252.
- *Ohmic Contacts Suitable for Base, Emitter and Collector Metallizations in AlGaAs/GaAs HBT*, R.T. Yoshioka, A.C. Redolfi, A.S. Lujan, T.E.A. Santos, R.G. Pereira, J.W. Swart, Proc. XI Conf. SBmicro, Jul/96, 241–246.
- *Design of a Test Chip for HBT Process Development and Results os AlGaAs/GaAs HBT Fabrication*, A.C. Redolfi, R.T. Yoshioka, J.W. Swart, Proc. X Cong. SBmicro, Jul/95, Vol. I, 503–514.
- *Fabricação de HBTs AlGaAs/GaAs*, R.T. Yoshioka, A.C. Redolfi, J.W. Swart, Brazillian-Japanese Symp. on Science and Techn., Pub. ACIESP, 96, Ago/95, 61–65.
- *Processo para a Fabricação de Transistores Bipolares de Heterojunção*, A.C. Redolfi, R.T. Yoshioka, J.W. Swart, Brazillian-Japanese Symp. on Science and Techn., Pub. ACIESP, 96, Ago/95, 52–60.
- *Metallization for GaAs ICs*, J.W. Swart, A.C. Redolfi, Proc. III Brazilian Microelectronics School, pp. 1–39, Mai/94.
- *HBT Devices and Applications*, VII Cong. SBmicro (invited paper), Jul/92, 57–71.

*Dedico este trabalho a meus pais,
Nivaldo e Dalva.*

Agradecimentos

Desejo agradecer a todas as pessoas e instituições que de alguma forma colaboraram para a concretização deste trabalho.

Em particular:

- Ao meu orientador, Prof. Jacobus Swart, que além da excelente orientação e amizade, conseguiu levar o laboratório a um ótimo nível de operação.
- Aos amigos do LPD, que sempre colaboraram com as etapas de processo e experiência: Antônio Augusto de Godoy von Zuben (Totó), Antônio Celso, Alexandre Diniz, Alexandre Lujan (Xandão), Guilherme Lujan (Guigo), Ricardo Guerra, Ricardo Toshinori (com quem trabalhei em conjunto em quase todas as etapas de processo), Thebano Emílio dos Santos, entre muitos outros.
- Ao Kasuki Jomori do CPqD-Telebrás, que auxiliou as primeiras litografias.
- Ao Prof. Mauro M. de Carvalho e Jefferson Bettini pelo crescimento de camadas.
- À AsGa Microeletrônica S.A., que disponibilizou uma sala limpa e equipamentos para litografia e metalização.
- Ao CPqD-Telebrás, por metalizações e medidas.
- Ao LME-USP, por metalizações.
- Ao CTI por medidas de capacitância e fabricação de uma máscara para o teste de contatos ôhmicos.
- Ao Hércules (Univ. de Cornell) pela fabricação de um conjunto de máscaras.
- Ao RTI pelo fornecimento de máscaras e camadas.
- Ao Prof. Joel Pereira de Souza, Iouri Danilov e Henry Boudinov da UFRGS, por implantações iônicas.
- Ao Prof. Luiz C. Kretly e Emílio C. Bortolucci, do CCS-Unicamp, pela fabricação de um conjunto de máscaras.
- Às instituições financiadoras: CNPq, RHAE, FAPESP, CAPES e FAEP-UNICAMP.

“A device is set forth... in which one of the separated zones is of a semiconductive material having a wider energy gap than that of the material in the other zones.”

Trecho da U.S. Patent 2.569.347 (26 de Junho de 1948)
de W. Shockley.

PROJETO E FABRICAÇÃO DE HBTs

Lista de Símbolos	xi
1 Introdução	1
1.1 Breve Histórico	2
1.2 Importância Mercadológica	3
1.3 Resumo das Características do HBT	4
1.4 Discussão sobre o uso em Alta-Freqüência	12
1.5 Aplicações	14
1.6 Objetivos do Trabalho	15
1.7 Organização do Texto	16
2 Revisão das Tecnologias para a Fabricação de HBTs	17
2.1 Fabricação de Contatos Ôhmicos	20
2.1.1 Contatos com liga	22
2.1.2 Contatos sem liga	26
2.1.3 Contatos obtidos por Engenharia de <i>Band-Gap</i>	29
2.2 Fabricação do Emissor	30
2.3 Fabricação da Base	34
2.4 Fabricação do Coletor	38
2.5 Fabricação de Camadas Eletricamente Isoladas	40
2.5.1 Implantação Iônica	41
2.5.2 <i>Etching</i>	43
2.6 Auto-Alinhamento e Planarização	44
3 Dispositivos de Teste para o Estabelecimento de um Processo de Fabricação	46
3.1 Processo P_{14}	49
3.2 Processo P_{23}	52
3.3 Processo P_5	56
3.4 Projeto de um Conjunto de Máscaras Litográficas	59
3.4.1 Família de transistores H_1	60
3.4.2 Família de transistores H_2	63
3.4.3 Família de transistores H_3	64
3.4.4 Família de transistores H_4	64
3.4.5 Família de transistores H_5	65
3.4.6 Organização	66
3.4.7 Densidade de Integração	67

3.4.8	Descrição das Estruturas	68
	Transistores $H_{1a,b,\dots,e}$	68
	Transistor H_{1f}	69
	Transistores $H_{5a,b,\dots,e}$	70
	Pads	71
	Estruturas em aberto	72
	Estruturas em curto	72
	Estrutura sem o HBT intrínseco	73
	Marcas de alinhamento	73
	Estruturas para controle de <i>etching</i>	74
	Estruturas de teste para medida da resistência de base	75
	Estrutura para medida de impedância de linha	75
	Estrutura para caracterização de resistores	75
	Inversor ECL	77
	Osciladores em anel	77
	TLM para a caracterização de contatos ôhmicos	78
4	Etapas de Processo	79
4.1	Etapas de Limpeza	80
4.2	Processos de <i>Etching</i>	82
4.2.1	<i>Etching</i> úmido para a definição de mesas	84
4.2.2	Acompanhamento de <i>etching</i> por medidas de curva de diodo	86
	Uso para a definição de mesas	88
4.2.3	<i>Etching</i> com plasma para a abertura de vias	92
	Modelando a inclinação das paredes	92
	Procedimento experimental	95
	Resultados	97
4.3	Implantação Iônica para a Isolação de Camadas	98
4.3.1	Introdução	98
4.3.2	Metodologia	99
4.3.3	Experimentos	99
	Revisão	99
	Máscara de implantação	101
4.3.4	Experimento #1	102
	Experimento #2	104
	Experimento #3	106
	Experimento #4	107
4.4	Litografia	108
4.4.1	Receitas de litografia	111
4.5	Processos de Metalização	116
4.5.1	Máscara Litográfica e Método de Medidas	118
4.5.2	<i>Software</i> para a determinação da resistividade de contato	121
4.5.3	Procedimento experimental	122
	Calibração da evaporadora	122
	Calibração das deposições	123
	Experimentos e resultados	125

Amostras $n+$ implantadas com $^{29}Si^+$	126
Amostras $n+$ difundidas com S	129
Amostras $p+$ difundidas com Zn	132
Metalização para interconexões	133
4.6 Deposição de camada isolante	134
5 Fabricação do Circuito Integrado Proposto	135
5.1 Camadas utilizadas	135
5.1.1 Estrutura I	136
5.1.2 Estrutura II	136
5.1.3 Estrutura III	136
5.1.4 Estrutura IV	137
5.1.5 Outras estruturas	137
5.2 Corridas de Processamento Realizadas	138
5.2.1 Limpeza inicial	138
5.2.2 Metal de emissor	139
Metalização para contato $n+$	140
<i>Lift off</i>	141
5.2.3 Mesa de emissor	142
5.2.4 Metal de base	144
5.2.5 Mesa de base	145
5.2.6 Contato de coletor	148
5.2.7 Isolação de dispositivos	148
5.2.8 Interconexões	149
5.2.9 Outros Resultados e Observações	149
Corrida WII	150
Corrida WIV	152
Corrida WVIII	153
Apêndice 5.A – <i>Teste inicial</i>	155
6 Modelos Matemáticos para Simulação Computacional	156
6.1 Modelo Ebers-Moll	156
6.1.1 Comparação com o modelo π -híbrido:	157
6.1.2 Efeitos de Primeira Ordem	158
Resistências série	159
Capacitâncias de junção C_{je} e C_{jc}	160
Capacitâncias de difusão C_{DE} e C_{DC}	161
6.1.3 Efeitos de Segunda Ordem	161
6.1.4 O Modelo de Gummel-Poon	164
6.2 Estabelecimento de um Modelo Empírico com Efeito de Aquecimento	168
6.2.1 Introdução	168
6.2.2 Desenvolvimento do Modelo	169
6.2.3 Extração dos parâmetros	169
Dispositivo utilizado	169
Ajuste dos parâmetros do modelo	170
6.2.4 Validação do modelo	171
Apêndice 6.A – <i>Arquivo para o HSPICE</i>	174

7 Conclusões e Perspectivas	175
7.1 Conclusões	175
7.2 Perspectivas Futuras	176
Apêndice A – <i>Software</i>	178
Apêndice B – Arquivo de tecnologia	187
Bibliografia	188

Lista de Símbolos

A lista de símbolos apresentada a seguir é geral e representa a notação usual encontrada em textos sobre transistores bipolares e dispositivos em compostos III-V. Símbolos com duplo significado serão esclarecidos em suas ocorrências no texto.

A_{be} – área da junção B-E

BV_{cbo} – tensão de ruptura da junção B-C

C_{be} – capacitância B-E

D_{nb} – constante de difusão para elétrons na base

D_{pb} – constante de difusão de lacunas na base

D_{pe} – constante de difusão para lacunas no emissor

E_F – energia do nível de Fermi

E_c – energia da banda de condução

E_v – energia da banda de valência

E_{gb} – *band-gap* do material da base

I_c – corrente de coletor

I_n – corrente de elétrons injetados na base, vindos do emissor

I_p – corrente de lacunas injetadas no emissor, vindas da base

I_r – soma das correntes de recombinação na SCR_{BE} e nos centros de captura da interface B-E

J_{ECC} densidade de corrente emissor-coletor crítica para emitter crowding

J_{cs} – Corrente reversa de saturação na junção B-C

J_{es} – Corrente reversa de saturação na junção B-E

L_{nb} – comprimento de difusão para elétrons na base

N_c – densidade de estados na banda de condução

N_c – dopagem de coletor

N_e – dopagem de emissor

N_v – Densidade de estados na banda de valência

P_b – dopagem de base

Q_b – número de Gummel ($= q \int_0^{W_b} P_b(x) dx = qP_bW_b$, para perfil plano de dopagem)

R_{ec} – resistência de contato de emissor

SCR_{BC} – região de depleção da junção B-C

SCR_{BE} – região de depleção da junção base-emissor

V_{be} – tensão base emissor

V'_{be} – tensão base-emissor do transistor intrínseco

V_{cb} – tensão coletor-base

$V_{ce,off}$ – tensão de off-set coletor-emissor

V_{ce} – tensão coletor-emissor

W_b – espessura da base

W_e – espessura de emissor

W_{dc} – largura da região de depleção de coletor

ΔE_c – descontinuidade de energia na banda de condução

ΔE_v – descontinuidade de energia na banda de valência

α_T – fator de transporte na base

γ – eficiência de injeção de emissor

γ_{bc} – eficiência de injeção da junção B-C

μ_{nc} – mobilidade para elétrons no coletor

τ_b – tempo de trânsito na base

τ_c – tempo de trânsito no coletor

τ_d – tempo de trânsito na região de depleção do coletor

τ_e – tempo de trânsito no emissor

τ_{ec} – tempo de trânsito total

f_T – frequência de transição

f_{\max} – frequência máxima de oscilação

g_{m0} – transcondutância do HBT intrínseco

h'_{FE} – ganho de corrente em emissor comum do transistor intrínseco

h_{FE} – ganho de corrente em emissor comum

q – a carga elementar ($1,6 \times 10^{-19}$ C)

v_e – velocidade de saturação para elétrons no emissor

Engenharia de band-gap – Desenvolvimento e uso de estruturas com camadas epitaxiais fabricadas com controle preciso do *band-gap* da estrutura ao longo do eixo de crescimento

MTBF – *mean time before failure* (tempo médio antes de falha)

1

Introdução

Transistores bipolares de heterojunção ou HBTs (*Heterojunction Bipolar Transistors*) são transistores que possuem pelo menos uma *heterojunção*, que é a junção entre materiais diferentes, como por exemplo AlGaAs/GaAs, em contraste à homojunção, que é a junção formada por materiais iguais, como por exemplo Si/Si. Apresentam ótimo desempenho em frequência, alta transcondutância e baixa resistência de base, o que os torna adequados para aplicações que envolvem o uso de microondas e circuitos de alta velocidade. Estes dispositivos já são estudados por cinquenta anos e apenas na atualidade atingiram a maturidade tecnológica necessária para serem utilizados em sistemas comerciais. São considerados *a próxima história de sucesso* em microeletrônica devido ao fato de estarem encontrando importantes aplicações em telefonia celular e transmissão de dados digitais via Internet^[1]. No primeiro caso, os HBTs são utilizados como amplificadores de potência com características superiores aos MESFETs (*MEtal Semiconductor Field Effect Transistor*) e no segundo caso, permitem melhor utilizar a grande banda de passagem disponibilizada pelas redes de fibras ópticas.

Em circuitos integrados, o desempenho de sistemas depende das características de seus dispositivos elementares, conseqüentemente espera-se um excelente desempenho em frequência para circuitos com HBTs. As áreas que demandam circuitos com alto desempenho em frequência são telecomunicações e tratamento digital de sinais. Este trabalho trata do desenvolvimento de etapas de processo para a fabricação de HBTs *Npn* em AlGaAs/GaAs visando seu uso em circuitos rápidos.

Os HBTs ocupam um importante espaço no mercado de dispositivos para muito altas-freqüências e atualmente a tecnologia mais confiável para a sua fabricação é a tecnologia de dupla mesa que apresenta como principal deficiência a topologia piramidal que aumenta a

probabilidade de falha das interconexões. Visando a planacidade e a redução dos elementos extrínsecos foi estudado o uso de implantação iônica de He^+ para obter a isolação do dispositivo e a isolação da camada extrínseca de base. Este procedimento é uma alternativa ao *etch*¹ de mesa e pode ser utilizado com sucesso em GaAs. Este estudo é coerente com a fase tecnológica atual do desenvolvimento de HBTs, que compreende a redução de resistências e capacitâncias extrínsecas para o aumento da frequência de operação, além da busca de estruturas planas visando um maior rendimento na fabricação.

1.1 Breve Histórico

Originalmente o dispositivo HBT foi proposto por W. Shockley^[2] em 1948² e posteriormente foi estudado teoricamente por H. Kroemer^[3]. Shockley propôs a construção de um transistor bipolar que utilizasse no emissor um material com faixa de energia proibida maior que aquela do material utilizado para se fazer a base, idéia esta que só se tornou tecnologicamente realizável a partir da década de '70 com o desenvolvimento da tecnologia de crescimento epitaxial por MOCVD que possibilitou a obtenção de HBTs através da chamada *engenharia de band gap*. A estrutura típica é a construção Npn³ feita com AlGaAs/GaAs sobre substrato de GaAs.

O primeiro HBT em AlGaAs/GaAs obtido com sucesso foi realizado por Dumke *et al.*^[4] em 1972, sendo que a escolha do AlGaAs para a heterojunção B-E deve-se ao excelente casamento de rede com o GaAs, que resulta em uma heterojunção com boas qualidades elétricas e poucos defeitos. O desenvolvimento que se seguiu buscou o aumento do ganho de corrente e da frequência^[5, 6, 7, 8].

Nos anos 80 as técnicas de crescimento por feixe molecular (MBE – *Molecular Beam Epitaxy*) permitiram a obtenção de camadas com melhor controle de espessuras e dopagens e foi possível reduzir em até 50 % a espessura da camada de base.

Na década de 90 os HBTs passaram a ser otimizados com respeito aos seus elementos extrínsecos tais como a capacitância B-C e a resistência de base, além da pesquisa de técnicas para planarização e auto-alinhamento^[9, 10]. Estes tópicos constituem o atual estado-da-arte no desenvolvimento de HBTs.

Atualmente (final da década de 90), duas fábricas iniciaram a produção comercial de HBTs em GaAs (Rockwell e TRW) e prevê-se para a próxima década (início dos anos 2000) um

¹A literatura utiliza as palavras corrosão ou decaagem para designar o processo de *etching*. Neste trabalho foi mantido o termo em inglês, por tratar da forma de expressão corrente em laboratórios e congressos, mesmo em países onde não se utiliza a língua inglesa. Siglas tais como CVD, HBT, FET etc., também foram mantidas sem adaptação.

²Apenas um ano após a descoberta do transistor. Nota: utiliza-se como referência o ano de 1951 como ano da proposição do HBT, na realidade Shockley apresentou seu pedido de patente em 1948 e a mesma foi concedida em 1951.

³Nesta notação, as dopagens de emissor, base e coletor estão são indicadas com letras maiúsculas ou minúsculas, de acordo com a faixa de energia proibida. Npn indica que a faixa de energia proibida do material de emissor é maior que aquela dos demais materiais.

grande crescimento no uso desta tecnologia em transmissão de dados e telefonia celular. Espera-se para o futuro a substituição dos materiais atuais (AlGaAs/GaAs) por sistemas com InGaP/GaAs ou até mesmo AlInAs/InGaAs em InP.

Também se desenvolve HBTs com duas heterojunções, sendo que neste caso a heterojunção B-C dificulta a passagem de lacunas da base para o coletor quando o dispositivo está saturado (as duas junções estão diretamente polarizadas). Neste caso o tempo de transição entre níveis lógicos é reduzido e o dispositivo será útil em aplicações digitais, onde cada transistor está sempre cortado ou saturado. A simetria deste dispositivo facilita o roteamento do circuito.

Para o presente, existe grande perspectiva com respeito ao desenvolvimento e uso da tecnologia de HBTs, entretanto, a capacidade de absorção do mercado pode restringir a necessidade tecnológica. No caso de comunicações digitais, um milhão de sistemas a 10 Gb/s é suficiente para abastecer todos os habitantes da Terra a 2 Mb/s cada um. Na atualidade, sistemas a 9,953 Gb/s estão entrando em operação (padrão OC-192) e a nível de estado-da-arte busca-se sistemas a 40 Gb/s^[11, 12]. É provável que dentro de algumas décadas, toda a humanidade tenha acesso à troca de informações por uma rede mundial de sistemas a 40 Gb/s baseados em HBTs, pois além do excelente desempenho para o uso em sistemas a 10 Gb/s, quando considera-se simultaneamente f_T , f_{\max} , potência e durabilidade, estes dispositivos são quase a única opção que atende às necessidades de sistemas a 40 Gb/s. O desenvolvimento de sistemas de transferência de dados a taxas muito altas deve seguir com o uso predominante de HBTs e também de subsistemas com HEMTs^[13].

1.2 Importância Mercadológica

A parcela de chips em silício no mercado mundial de semicondutores é superior a 95%, entretanto o silício não pode ser utilizado eficientemente em alguns tipos de sistemas, especialmente em transceptores ópticos e circuitos de muito alta frequência. As limitações do silício podem ser superadas por dispositivos construídos com a tecnologia de semicondutores III-V, na qual o ramo mais desenvolvido é o que compreende dispositivos fabricados em GaAs. Este semicondutor apresenta alta mobilidade para elétrons e tem substratos semi-isolantes. Estas propriedades conduzem a dispositivos com melhor desempenho, necessários para mercados específicos tais como telecomunicações, circuitos para enlace de satélites, telefones celulares, televisores de alta definição, circuitos digitais rápidos, instrumentação, equipamentos automáticos de testes etc.^[14, 15]

Enquanto o avanço da tecnologia de silício em direção a circuitos para frequências de dezenas ou até centenas de gigahertz está limitado pelas características físicas deste material, o arseneto de gálio tem propriedades atraentes para a fabricação de dispositivos rápidos e com grande capacidade de corrente.

De acordo com as projeções do ICE—Integrated Circuit Eng. Corp. o mercado de circuitos integrados em GaAs deve chegar a US\$ 1,8 bilhão no início dos anos 2000^[16], sendo que apresenta uma taxa anual de crescimento da ordem de 39% e é um dos setores da microeletrônica em maior expansão^[17]. O segmento dominante deste mercado é composto por circuitos analógicos de alta-freqüência para o uso em comunicações. Dentro deste mercado, o HBT encontra aplicações em comunicações celulares, onde podem ser usados em amplificadores de potência nos transmissores, tanto nos aparelhos portáteis (≈ 1 W) como nas estações rádio base (ERBs, ≈ 100 W). No caso dos aparelhos portáteis, seu baixo produto potência-atraso é uma vantagem competitiva em relação aos seus possíveis concorrentes em silício, pois apresenta baixo consumo mesmo em altas freqüências. A durabilidade dos HBTs nestes sistemas é elevada e está relacionada com a densidade de corrente J_c , sendo que quanto maior J_c , menor o tempo médio entre falhas (MTBF). De um modo geral, HBTs em InGaP/GaAs têm vida útil maior que em AlGaAs/GaAs^[11]. Para sistemas com fibras ópticas, a largura de banda é limitada pelos componentes eletrônicos dos transceptores e não pela fibra. Dispositivos rápidos conseguem aproveitar melhor o potencial oferecido pelo sistema. Os circuitos para estes transceptores utilizam flip-flops em larga escala e neste caso a implementação em lógica ECL com HBTs é perfeitamente factível devido à uniformidade de V_{be} e à alta transcondutância.

1.3 Resumo das Características do HBT

As dimensões críticas no HBT são as dimensões verticais (espessuras das camadas), assim pode-se fabricar HBTs de alto desempenho com maior tolerância litográfica. Em dispositivos FET o comprimento do canal é controlado por litografia (visa-se a redução das dimensões laterais) e neste caso, a melhoria do desempenho em freqüência de FETs exige revoluções tecnológicas nos equipamentos litográficos. Em HBTs a espessura da base é controlada pelo crescimento epitaxial, o que pode ser feito até o nível de monocamadas com as técnicas MOCVD e MBE. O HBT apresenta interessantes características elétricas que o diferenciam significativamente dos transistores bipolares de homojunção (BJTs) e dos FETs, conforme descrito a seguir.

■ **Eficiência de injeção, fator de transporte na base e ganho de corrente:** A Fig. 1.1 mostra o diagrama de bandas de energia para um HBT. Neste diagrama observa-se que o *band gap* do material de emissor é maior que aquele do material da base e ocorre a formação das descontinuidades ΔE_c e ΔE_v nas bandas de condução e de valência, sendo que ΔE_c pode ser eliminado através da inserção de uma fina camada gradual entre o emissor e a base. Quando ΔE_c está presente dizemos que a heterojunção é *abrupta* (Fig. 1.1) e quando $\Delta E_c = 0$ dizemos que a heterojunção é *gradual* (Fig. 1.2). Dentre estas duas descontinuidades de banda, ΔE_v é a mais importante, pois é responsável pelas principais

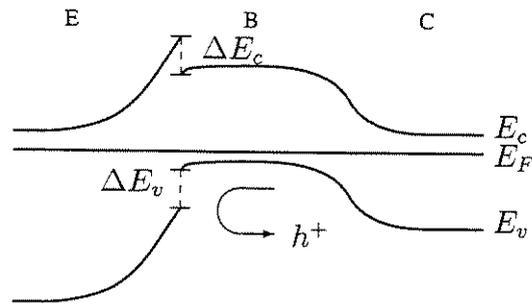


Figura 1.1: Diagrama de bandas para um HBT, ilustrando as descontinuidades nas faixas de energia de condução e de valência, ΔE_c , ΔE_v e a reflexão de lacunas (h^+) da base devido à barreira na faixa de valência.

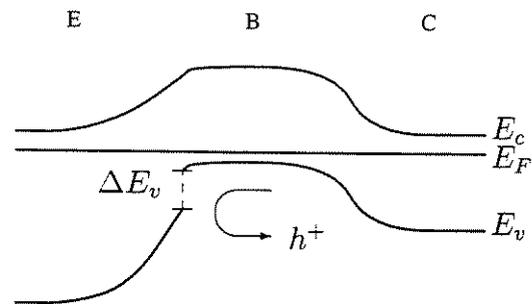


Figura 1.2: Diagrama de bandas para um HBT, com emissor graduado.

vantagens do HBT em relação aos demais transistores. A descontinuidade na banda de valência reduz a injeção de lacunas da base para o emissor e garante uma alta eficiência de injeção γ (razão entre a corrente de elétrons e a corrente total de emissor), que pode ser expressa por^[18]:

$$\gamma = \frac{I_n}{I_n + I_p + I_r} \underset{\text{HBT}}{\approx} \frac{I_n}{I_n + I_r} \quad (1.1)$$

onde I_n é a corrente de elétrons injetados na base, vindos do emissor, I_p é a corrente de lacunas injetadas no emissor, vindas da base e I_r representa as correntes de recombinação na região de depleção da junção base-emissor (SCR_{BE}) e devidas a centros de captura (*traps*) na interface. A supressão de I_p proporcionada por ΔE_v faz γ tender à unidade, quando se consegue bom controle sobre as correntes de recombinação. Desta forma, o ganho de corrente de emissor comum pode ser muito alto, pois

$$h_{FE} = \frac{\gamma \alpha_T}{\gamma \alpha_T - 1} \quad (1.2)$$

onde α_T é o fator de transporte na base (relação entre a corrente de elétrons que chega ao coletor e a corrente de elétrons vinda do emissor). No caso ideal, tem-se $\alpha_T = 1$. Para melhorar o fator de transporte, utiliza-se bases mais curtas que o comprimento de difusão

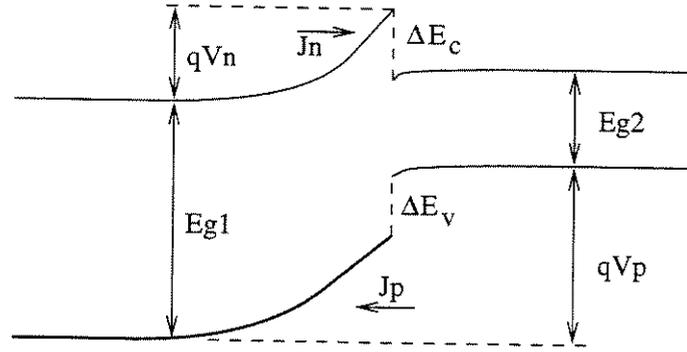


Figura 1.3: Diagrama de bandas da heterojunção B-E.

de elétrons na base. α_T é dado por^[19]:

$$\alpha_T = \frac{2L_{nb}^2}{W_b^2 + 2L_{nb}^2} \quad (1.3)$$

onde L_{nb} é o comprimento de difusão para elétrons na base e W_b é a largura da base. Consequentemente, temos $\alpha_T \rightarrow 1$ quando $W_b \ll \sqrt{2}L_{nb}$ (idealmente, $\alpha_T = 1$ para $W_b = 0$ ou $L_{nb} = \infty$)⁴. O fator limitante para L_{nb} é a densidade de centros de captura na base. De um modo geral o uso de bases finas ($< 1.000 \text{ \AA}$) e camadas de boa qualidade garante um valor alto para α_T e o limitante do ganho será a eficiência de injeção, γ , que em geral é assegurada pela descontinuidade na banda de valência e por uma interface com baixa densidade de defeitos. Também é usual exprimir o ganho de corrente em função das dopagens e das espessuras de camadas. O ganho máximo teórico em BJTs pode ser aproximado por por:

$$h_{FE,max} = \frac{N_e D_{nb} W_e}{P_b D_{pe} W_b} \quad (1.4)$$

onde N_e é a dopagem de emissor, D_{nb} a constante de difusão para elétrons na base, W_e a espessura de emissor, P_b a dopagem de base, D_{pe} a constante de difusão para lacunas no emissor e W_b a espessura da base. Para HBTs, de acordo com o modelo de H. Kroemer^[3], a descontinuidade de bandas faz com que o ganho máximo teórico seja fortemente influenciado por ΔE_v ou ΔE_g , conforme seja a junção abrupta ou gradual. Para o caso da heterojunção abrupta, temos o diagrama de bandas mostrado na Fig. 1.3. Somando as energias dos dois lados e igualando-as, temos

$$\begin{aligned} qV_p + E_{g2} + \Delta E_c &= qV_n + E_{g1} \quad \text{ou seja} \\ q(V_p - V_n) &= E_{g1} - E_{g2} - \Delta E_c \end{aligned}$$

Mas

$$\Delta E_g = \Delta E_c + \Delta E_v = E_{g1} - E_{g2}$$

⁴ $W_b = \sqrt{2}L_{nb}$ corresponde ao valor limite de W_b para h_{FE} unitário, supondo-se $\gamma = 1$.

portanto

$$q(V_p - V_n) = \Delta E_c + \Delta E_v - \Delta E_c = \Delta E_v \quad (1.5)$$

De acordo com a estatística de Boltzmann temos

$$\begin{aligned} J_n &= qN_e v_{nb} \exp\left(\frac{-qV_n}{kT}\right) \\ J_p &= qP_b v_{pe} \exp\left(\frac{-qV_p}{kT}\right) \end{aligned}$$

e assim

$$\begin{aligned} h_{FE,\max} &= \frac{J_n}{J_p} \\ &= \frac{qN_e v_{nb}}{qP_b v_{pe}} \exp\left(\frac{q(-V_n + V_p)}{kT}\right) \\ &= \frac{qN_e v_{nb}}{qP_b v_{pe}} \exp\left(\frac{\Delta E_v}{kT}\right) \end{aligned} \quad (1.6)$$

Para o caso da heterojunção gradual, temos $\Delta E_c = 0$ e a equação (1.5) se torna

$$q(V_p - V_n) = \Delta E_c + \Delta E_v = \Delta E_g$$

e a equação (1.6) ficará

$$h_{FE,\max} = \frac{qN_e v_{nb}}{qP_b v_{pe}} \exp\left(\frac{\Delta E_g}{kT}\right)$$

O que mostra que o ganho para o transistor com emissor graduado é maior que aquele para heterojunção abrupta, pois $\Delta E_g > \Delta E_v$.

Resumidamente, as expressões de ganho máximo teórico para HBTs são:

$$h_{FE,\max} = \frac{N_e D_{nb} W_e}{P_b D_{pe} W_b} \exp(\Delta E_v/kT) \quad (\text{para heterojunção abrupta}) \quad (1.7)$$

$$h_{FE,\max} = \frac{N_e D_{nb} W_e}{P_b D_{pe} W_b} \exp(\Delta E_g/kT) \quad (\text{para heterojunção gradual}) \quad (1.8)$$

Das equações (1.4), (1.8) e (1.7), podemos fazer os seguintes comentários:

Em transistores de homojunção, o ganho é ajustado pela razão N_e/P_b , sendo necessário fazer $N_e \gg P_b$. Este procedimento garante alta eficiência de injeção, porém a dopagem de base baixa limita a operação em frequência. No caso dos HBTs não há esta restrição, pois o ganho de corrente é garantido por ΔE_g ou ΔE_v , o que deixa o projetista livre para escolher um perfil de dopagem otimizado para a velocidade. Assim, pode-se fazer $P_b \gg N_e$. As vantagens em relação ao BJT são uma menor resistência de base e uma menor capacitância base-emissor.

■ **Uniformidade da tensão de limiar:** Em HBTs a tensão de limiar é dada pela tensão *built-in* das junções B-E, que por estar relacionada com o *band-gap* (constante física do material), em regime de fraca injeção é bastante uniforme e torna os HBTs mais adequados para a implementação de circuitos analógicos.

V_{be} é dado por^[3]

$$V_{be}(I_c) = \frac{E_{gb}}{q} + \frac{kT}{q} \ln \frac{P_b W_b I_c}{q D_n N_{cs} N_{vs} A_{be}} + R_{ec} I_c \quad (1.9)$$

onde E_{gb} é o *band-gap* do material da base, N_{cs} a densidade de estados na banda de condução, N_{vs} a densidade de estados na banda de valência, A_{be} a área da junção B-E e R_{ec} a resistência de contato de emissor. No HBT AlGaAs/GaAs, para baixas correntes temos

$$V_{be} \approx \frac{E_{gb}}{q} = 1,4 \text{ V} \quad (1.10)$$

Para altas correntes, V_{be} é dominado por R_{ec} . Em qualquer regime, haverá pouca variação de V_{be} de dispositivo para dispositivo, pois os parâmetros envolvidos na equação (1.9) são aproximadamente constantes em dispositivos próximos. Isto confere uma grande uniformidade no valor da tensão de limiar para transistores em uma mesma pastilha e torna o HBT adequado para a implementação de circuitos digitais em lógica ECL.

■ **Maior densidade de potência:** Nos HBTs toda a região de base conduz e o mesmo suporta uma maior densidade de corrente que os FETs, onde a condução ocorre apenas em uma fina camada onde se encontra o canal.

■ **Menor ocorrência de *emitter crowding*:** A queda de tensão causada pela corrente que atravessa a resistência de base tende a reduzir V'_{be} (V_{be} do transistor intrínseco). A consequência deste fenômeno é a redução da corrente de emissor, até sua completa aniquilação. A corrente de coletor crítica para *emitter crowding* é dada por^[20]:

$$J_{ECC} = \frac{8}{W_e^2} D_{pb} q P_b W_b h'_{FE} \quad (1.11)$$

para base com perfil plano de dopagem. Para outros perfis, como por exemplo em bases graduais, o termo $q P_b W_b$ na expressão anterior é substituído pelo número de Gummel Q_b , (dado pela integral de $q P_b(x)$ ao longo da base). h'_{FE} é o ganho de corrente em emissor comum do transistor intrínseco.

Observa-se desta equação que o aumento em P_b realizado para se reduzir r_b , também diminui a ocorrência de *emitter crowding*.

■ **Alargamento da base (Efeito Kirk):** Ocorre quando a densidade de portadores que passa pela SCR_{BC} é tão alta que ela não pode mais ser desprezada com respeito à carga

das impurezas ionizadas. O resultado é o alargamento da região de depleção para manter o equilíbrio de cargas, o que causa redução significativa em f_T .

A corrente de base crítica para alargamento da base é^[20]:

$$J_{BWC} = q\mu_{nc}N_c \frac{V_{cb}}{W_{dc}} \quad (1.12)$$

Onde q é a carga elementar, μ_{nc} a mobilidade para elétrons no coletor, N_c a dopagem de coletor, V_{cb} a tensão coletor-base e W_{dc} a largura da região de depleção de coletor. W_{dc} e N_c estão comprometidos com a tensão de ruptura da junção B-C (BV_{cbo}), porém a alta mobilidade para elétrons, característica do GaAs, garante uma corrente crítica alta para a ocorrência de efeito Kirk.

■ **Baixo ruído 1/f:** Conforme pode ser visto na Fig. 1.4, nos FETs (MESFET e HEMT) a corrente flui pela superfície, sempre muito próxima a uma interface de materiais. As regiões de interface são mais propícias à existência de armadilhas para portadores, o que causa maior ruído tipo 1/f. No HBT, o fluxo de corrente é na direção vertical, o que os torna menos propensos a este tipo de ruído.

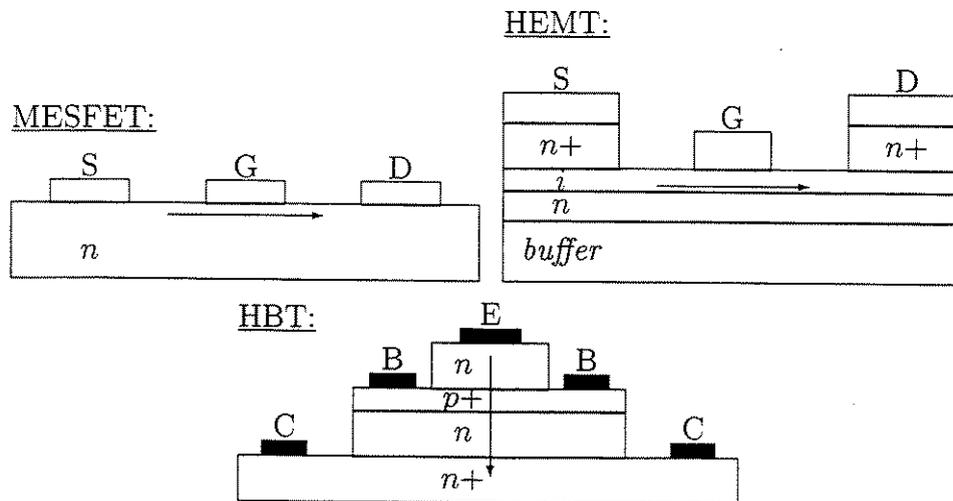


Figura 1.4: Sentido do fluxo principal de corrente de elétrons (setas) em MESFET, HEMT ($|I_{DS}|$) e HBT ($|I_{EC}|$).

■ **Efeito de tamanho de emissor:** As áreas das junções B-E e B-C (A_{be} e A_{bc}) são diferentes, sendo a junção B-E a de área menor. Assim esta junção deverá limitar a capacidade de corrente do dispositivo. A estrutura piramidal faz o fluxo de portadores do emissor para o coletor passar próximo à superfície lateral do emissor. Esta configuração para as linhas de corrente é esperada devido à disposição dos contatos de coletor, espalhados em relação

ao emissor, o que causa espalhamento do fluxo dos portadores quando estes caminham em direção ao coletor. A proximidade dos portadores em relação à superfície lateral do emissor será um fator limitante do ganho de corrente, uma vez que nesta superfície podem existir centros de aprisionamento e recombinação de portadores. Este problema será mais acentuado se o emissor for pequeno e é conhecido por efeito de tamanho de emissor (*emitter size effect*).

■ **Capacitâncias parasitas:** O coletor e o emissor são fracamente dopados, o que aumenta a região de carga espacial das respectivas junções e reduz as capacitâncias de junção C_{bc} e C_{be} .

■ **Velocidade de overshoot de coletor:** Observa-se uma grande dependência entre f_T e a tensão coletor-emissor. Esta dependência é atribuída ao aumento do tempo de trânsito com o aumento da tensão coletor-emissor.

Conforme demonstrado por Yamauchi *et al.*^[21], não é possível explicar este fenômeno assumindo-se uma velocidade constante para os elétrons durante o trânsito dos mesmos pela região de coletor. Porém, assumindo que os elétrons mudam de velocidade abruptamente em algum ponto do coletor, é possível obter uma boa concordância entre resultados teóricos e experimentais.

Isto é explicado pelo fato de que no GaAs existem quatro vales de energia no fundo da banda de condução (Fig. 2.18), sendo que as mobilidades para elétrons são diferentes para cada um destes vales. Assim, depois de um certo valor de V_{ce} os elétrons saltam de um vale de maior mobilidade para um vale de menor mobilidade, tornando-se elétrons com maior massa efetiva (*elétrons pesados*) e mudando abruptamente a velocidade para um valor menor.

Este efeito é chamado *collector velocity overshoot* e é possível melhorar o desempenho em frequência do dispositivo dopando-se muito levemente o coletor de tal forma a reduzir o campo na região de coletor e retardar o ponto em que os portadores saltam para o vale de menor mobilidade. A redução correspondente no tempo de trânsito τ_c é da ordem de 25%^[22].

■ **Tensão off-set de coletor-emissor:** Um gráfico típico $I_c \times V_{ce}$ é mostrado na Fig. 1.5. Neste gráfico nota-se que para $I_c = 0$ a tensão coletor-emissor, ao invés de ser zero, é igual a um valor praticamente constante com a corrente de base, denominado *tensão de off-set* ou $V_{ce,off}$ (tipicamente em torno de 250 mV). Em circuitos digitais esta tensão aumenta o consumo de potência por aumentar a tensão de saturação^[23, 24].

A diferença entre as áreas de emissor e de coletor e a assimetria elétrica entre as junções base-emissor e base-coletor são apontadas como as causas para $V_{ce,off}$ ^[24, 25, 26].

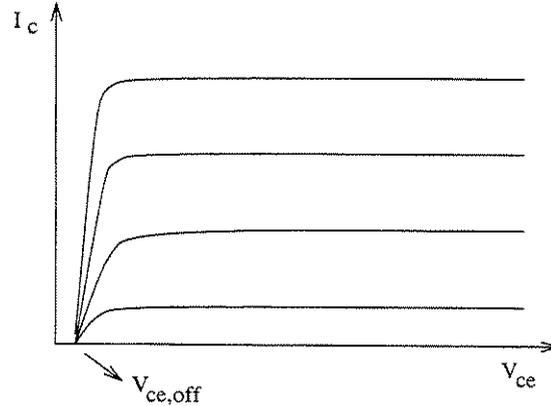


Figura 1.5: Curva característica de emissor comum para um HBT, mostrando a tensão *off-set* de coletor (unidades arbitrárias).

Na região de *off-set* ($0 < V_{ce} < V_{ce,off}$), tem-se $I_c < 0$ e as duas junções estão diretamente polarizadas. Aplicando as equações de Ebers-Moll no ponto em que $V_{ce} = V_{ce,off}$ e considerando que em um dispositivo fabricado com camadas de boa qualidade, $V_{ce,off}$ não variará significativamente com I_b , para níveis pequenos de corrente teremos^[24]:

$$V_{ce,off} = \frac{kT}{q} \ln \frac{A_{bc}}{A_{be}} + \frac{kT}{q} \ln \frac{J_{cs}}{\alpha_T J_{es}} \quad (1.13)$$

Nesta equação, o primeiro termo representa a diferença entre as áreas de emissor e de coletor, o segundo termo representa a assimetria elétrica entre as junções, resultante da diferença da tensão de limiar das mesmas (*turn on*) e pode ser reescrito como ^[23]

$$V_{ce,off} = \frac{kT}{q} \ln \frac{1}{\gamma_{bc}} + \frac{kT}{q} \ln \frac{D_{nb} f}{W_b v_e} + \frac{\Delta E_c}{q} \quad (1.14)$$

onde γ_{bc} é a eficiência de injeção da junção B-C, f é um fator que depende do ganho ($\approx (\beta + 1)/\beta$) e em casos práticos tem valor próximo à unidade e v_e é a velocidade de saturação para elétrons no emissor ($v_e = \sqrt{kT/2\pi m_e^*}$, onde m_e^* é a massa efetiva para elétrons no emissor). O termo dominante nesta equação é $\Delta E_c/q$ (descontinuidade na banda de condução), que introduz ≈ 180 mV em $V_{ce,off}$. Retirando-se ΔE_c (heterojunção gradual), $V_{ce,off}$ será reduzido. Esta equação também mostra que aumentando-se a espessura da camada de base, $V_{ce,off}$ será reduzido, porém com degradação do desempenho em frequência.

Quando há um grande interesse em minimizar $V_{ce,off}$, como por exemplo em aplicações digitais, deve-se projetar o dispositivo com a máxima simetria. Isto pode ser obtido utilizando-se áreas de emissor e coletor mais próximas (dispositivos com 2 contatos de emissor e 1 de base ao invés de 1 contato de emissor e 2 de base), aumentando-se a espessura da camada de base e removendo-se o *spike* da banda de condução.

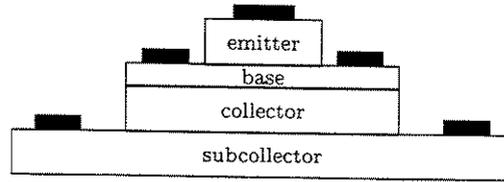


Figura 1.6: Representação de uma estrutura HBT básica.

1.4 Discussão sobre o uso em Alta-Freqüência

Sendo principalmente dispositivos rápidos, é usual utilizar como figuras de mérito para HBTs sua máxima freqüência de oscilação e o tempo de chaveamento. A *freqüência de transição* (f_T) é expressa por

$$f_T = \frac{1}{2\pi\tau_{ec}} \quad (1.15)$$

e corresponde à freqüência para a qual o ganho de corrente é unitário. τ_{ec} é o tempo de trânsito do emissor ao coletor. A *máxima freqüência de oscilação* (f_{\max}) é dada por^[27]

$$f_{\max} = \frac{1}{4\pi\sqrt{\tau_{ec}\tau_{bc}}} \quad (1.16)$$

onde τ_{bc} é a constante de tempo associada à resistência de base e a capacitância de coletor ($r_b C_{bc}$), assim

$$f_{\max} = \sqrt{\frac{f_T}{8\pi r_b C_{bc}}} \quad (1.17)$$

e corresponde à freqüência para a qual o ganho de potência é unitário. r_b é a resistência de base e C_{bc} a capacitância base-coletor.

O tempo de trânsito total, do emissor ao coletor, é dado pela soma dos tempos de trânsito individuais em cada região do dispositivo:

$$\tau_{ec} = \tau_e + \tau_b + \tau_d + \tau_c \quad (1.18)$$

onde τ_e , τ_b , τ_d e τ_c são os tempos de carga da capacitância da junção base-emissor, de trânsito na base, na região de depleção do coletor e o tempo de carga da capacitância da junção base-coletor, respectivamente. τ_{ec} também pode ser expresso pela seguinte equação diferencial^[28]:

$$\tau_{ec} = \frac{dQ_b}{dI_c} \quad (1.19)$$

que relaciona a variação da carga na base com a variação da corrente de coletor. Ou seja, se uma pequena variação na corrente de coletor ocasionar uma grande variação na carga armazenada teremos um grande tempo de trânsito, o que mostra que o tempo de trânsito está intimamente relacionado com o armazenamento de cargas no interior da estrutura e

pode ser minimizado escolhendo-se uma estrutura de bandas que não apresente a formação de vales e que eventualmente possua campos elétricos embutidos que acelerem o escoamento dos portadores. A redução na espessura da base também diminui a acumulação de carga.

Em HBTs a acumulação de lacunas no emissor é baixa devido à alta eficiência de injeção. Neste caso τ_e está relacionado com o atraso devido ao carregamento da capacitância da junção B-E:

$$\tau_e = \frac{C_{be}}{g_{m0}} \quad (1.20)$$

onde g_{m0} é a transcondutância intrínseca do dispositivo, dada por qI_c/kT .

A capacitância de emissor é dada por:

$$C_e = A_{be} \sqrt{\frac{q\epsilon N_e}{2(V_{bi} - V_{be})}} \quad (1.21)$$

onde A_{be} é a área de emissor, ϵ é a permissividade elétrica e V_{bi} é a tensão *built-in* da junção. Observamos desta equação que a redução da dopagem e da área de emissor contribuem para a redução de τ_e .

O tempo de trânsito τ_b é dado aproximadamente por $W_b^2/2D_n$. Sua variação quadrática com a espessura da base, torna W_b um importante parâmetro para a melhoria do desempenho em frequência. Além disso, devido à alta eficiência de injeção temos^[6]:

$$h'_{FE} \simeq \frac{\tau_n}{\tau_b} \quad (1.22)$$

onde h'_{FE} é o ganho de corrente de emissor comum do HBT intrínseco e τ_n é o tempo médio de vida para elétrons na base. Assim também é importante reduzir o tempo de trânsito na base para aumentar o ganho de corrente do HBT intrínseco. A equação (1.22) mostra que este ganho depende apenas da base (independe da dopagem de emissor, N_e), pois $\tau_n = \tau_n(P_b)$ e $\tau_b = \tau_b(W_b)$. A dopagem excessiva da base reduz τ_n e tem efeito negativo sobre o ganho. Pode-se compensar este efeito com a redução de W_b , que diminui τ_b .

τ_d é influenciado pela carga de majoritários na base necessárias para neutralizar os minoritários que atravessam a região de depleção da junção B-C e pode ser expresso por $W_d/2v_s$ onde W_d é a largura da região de depleção e v_s é a velocidade de saturação dos portadores nesta região.

τ_c é o atraso associado com a carga da capacitância C_{bc} :

$$\tau_c = C_{bc} \left(r_e + r_c + \frac{1}{g_{m0}} \right) \quad (1.23)$$

onde r_e e r_c são as resistências dinâmicas de emissor e coletor.

Assim, os parâmetros chave de projeto do dispositivo para obter alta frequência de oscilação e curto tempo de chaveamento são a resistência de base, a capacitância base-coletor e os tempos de trânsito. É interessante notar que existe uma variação inversa entre f_T e f_{max} , de acordo com a espessura da base. Quando W_b diminui, temos um aumento em r_b , que reduz f_{max} , por outro lado temos uma redução em τ_b que favorece f_T . De um modo geral, dispositivos com base larga ($> 500 \text{ \AA}$), têm $f_{max} > f_T$ e com base fina ($< 500 \text{ \AA}$), têm $f_T > f_{max}$. A escolha da espessura da base conseqüentemente, deve considerar o uso pretendido para o dispositivo. f_T otimiza a velocidade de chaveamento, necessária em conversão A/D, D/A, flip-flops, DSP etc. e f_{max} otimiza a potência, necessária em amplificadores de microondas.

1.5 Aplicações

Devido à alta transcondutância, alta velocidade (f_T, f_{max}), excelente casamento entre dispositivos, alta capacidade de corrente, baixa condutância de saída, baixo ruído $1/f$, baixa capacitância parasita de substrato e boa imunidade à radiação, os circuitos com HBTs em compostos III-V podem ser utilizados de RF até microondas e de pequenos sinais até alta potência.

Estas características tornam este dispositivo adequado para muitas aplicações específicas, tais como:

- Amplificadores: o alto g_m e a linearidade tornam os HBTs adequados para o uso em amplificadores de banda larga e baixa distorção^[29].
- Comparadores e conversores: devido à sua excelente uniformidade e reprodutibilidade da tensão de limiar e de sua intrínseca alta velocidade, os HBTs são apropriados para a construção de comparadores e circuitos para conversão A/D e D/A^[30, 31].
- Multiplexadores e demultiplexadores: transmissões por fibra óptica requerem circuitos MUX e DEMUX muito rápidos, que podem ser fabricados com a tecnologia de AlGaAs/GaAs HBT^[32, 33].
- Osciladores e misturadores para micro-ondas: Estes circuitos demandam baixo ruído $1/f$, baixo ruído de fase e alta velocidade, que são características dos transistores HBT.

Publicações recentes relatam o uso de HBTs de AlGaAs/GaAs em sincronizadores para recuperação de dados para uso em redes ATM^[34], amplificadores de alta potência a taxas de transmissão de dados da ordem de 10 Gb/s ^[35], em amplificadores de ganho variável para uso em comunicações ópticas, onde HBTs são utilizados no estágio de saída de um

amplificador de baixo ruído implementado com HEMTs, resultando em um sistema de baixo ruído, faixa larga de ganho e alta linearidade^[36].

Atualmente as aplicações em foco são comunicação sem fio de alta velocidade e o uso em comunicações ópticas, particularmente buscando-se viabilizar a transferência de dados a 40 Gb/s/canal^[37].

É interessante notar que HBTs têm sido extensivamente explorados para o uso em circuitos para redes ATM, que deverão revolucionar a atual *information highway* possibilitando a Internet II, com velocidade ordens de grandeza superior às atuais. Como exemplos de implementações experimentais, podemos citar um chaveador 16×16 (16 canais de alta velocidade e 16 receptores), operando a 10 Gb/s/canal^[38], sendo esta a maior taxa relatada até a data presente. Sua implementação foi realizada com uma tecnologia de $2 \times 2 \mu\text{m}^2$ e $f_T = 80$ GHz.

O menor HBT relatado na literatura^[39] foi feito com o sistema AlInAs/InGaAs e tem emissor com $0,3 \mu\text{m}$ de lado, $f_T = 120$ GHz e $f_{\text{max}} = 130$ GHz.

A tecnologia de transferência de substrato, desenvolvida originalmente para *chips* em silício, foi testada em HBTs^[40, 41] e foram relatados dispositivos com emissor de $0,7 \times 0,7 \mu\text{m}^2$, $f_T = 127$ GHz e $f_{\text{max}} = 277$ GHz.

1.6 Objetivos do Trabalho

A literatura técnica indica que a fase atual do desenvolvimento de HBTs compreende a redução dos efeitos parasitas, a redução das geometrias e a melhoria das etapas unitárias de fabricação visando contatos ôhmicos melhores, ataques químicos bem controlados, auto-alinhamento e planarização.

Os principais objetivos deste trabalho são os seguintes:

- Estudo e projeto de estruturas HBT em sistemas do tipo AlGaAs/GaAs, visando o seu uso em circuitos de alta frequência.
- Projeto de jogo de máscaras com estruturas de teste.
- Desenvolvimento de etapas de processo para fabricação de HBTs.
- Caracterização e modelagem dos dispositivos obtidos.

1.7 Organização do Texto

O **Capítulo 1** situa o HBT historicamente, mostra sua importância no mercado atual de semicondutores e apresenta suas características fundamentais.

O **Capítulo 2** contém uma revisão bibliográfica sobre HBTs, incluindo suas características e estruturas do ponto de vista de fabricação. Este capítulo também inclui uma discussão a respeito dos elementos de projeto que devem ser considerados para o estabelecimento de um processo de fabricação de HBTs. Estes elementos são apresentados em termos de estruturas construtivas básicas, tais como: contatos ôhmicos, base, emissor, coletor, metalização e isolamento.

No **Capítulo 3** é projetado um conjunto de processos para obtenção de HBTs em laboratório e também é projetado um conjunto de máscaras litográficas para teste destes processos. Para facilitar o projeto da seqüência de fabricação foi desenvolvida uma ferramenta CAD para apresentação visual desta seqüência.

No **Capítulo 4** são estudadas e implementadas as etapas elementares de processo necessárias para a fabricação de HBTs.

No **Capítulo 5** é desenvolvido um processo para a fabricação de HBTs, com uso dos recursos disponíveis na Unicamp e nos centros com os quais mantivemos intercâmbio, tais como o CPqD/Telebrás e a AsGa Microeletrônica.

O **Capítulo 6** contém modelos matemáticos e o estudo destes modelos nos permite uma melhor compreensão dos princípios físicos envolvidos no funcionamento do HBT. Neste capítulo também é proposto um modelo para simulação de HBTs em ferramentas CAD, que considera o efeito de auto-aquecimento, característico destes dispositivos.

O **Capítulo 7** apresenta conclusões e propostas de trabalhos futuros.

★ ★ ★

2

Revisão das Tecnologias para a Fabricação de HBTs

Os processos tecnológicos para fabricação de dispositivos para uso em microeletrônica têm sido o resultado de esforços realizados para se conseguir dispositivos pequenos e confiáveis, distribuídos em uma mesma superfície de material semiconductor. O volume de artigos científicos publicados nesta área se tornou tão grande que é impossível a qualquer ser humano ler tais artigos em sua totalidade, mesmo que dedique toda a sua existência para esta finalidade. A maior parte deste desenvolvimento ocorreu na chamada *tecnologia do silício* e as tecnologias alternativas de microeletrônica têm se desenvolvido por adaptação das técnicas utilizadas em silício. Dentre as principais tecnologias alternativas temos a tecnologia de compostos III-V (onde se enquadra a tecnologia de GaAs) e a tecnologia de compostos II-VI. Este capítulo apresenta uma revisão da tecnologia de GaAs do ponto de vista das necessidades para a fabricação de HBTs.

A Fig. 2.1 mostra a seção transversal de um HBT típico. O processo usual utilizado para a sua fabricação se inicia com o crescimento epitaxial das camadas para sub-coletor, coletor, base e emissor. Em seguida realiza-se etapas de *etching* para a definição de estruturas tipo mesa e de etapas de metalização para a formação de contatos ôhmicos. Variações podem incluir auto-alinhamento de elementos do dispositivo, implantação iônica para a isolamento de camadas, planarização etc.

No método convencional de fabricação de HBTs (Fig. 2.2) as camadas de materiais III-V são crescidas epitaxialmente por MOCVD ou MBE. A seguir, etapas de *etching* e *lift-off* definem as regiões de emissor, base, coletor e seus respectivos contatos. Estando pronto o dispositivo, deposita-se algum material isolante (SiO_2 , polyimide ou BCB) e abrem-se

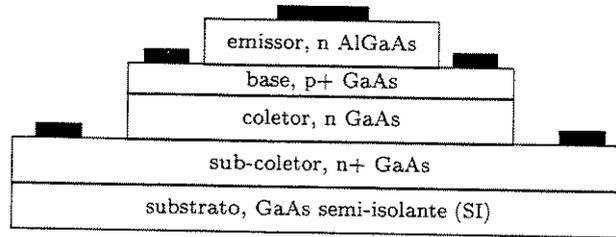


Figura 2.1: Seção transversal de um HBT.

vias neste material para acessar os metais de contato. Finalmente evapora-se o metal de interconexões.

As etapas críticas de fabricação são^[42]:

- Auto-alinhamento dos contatos de emissor e de base com relação à mesa de emissor, que permite a obtenção de dispositivos menores.
- Passivação da superfície do dispositivo, visando a solução de um dos problemas do HBT, que é a degradação da corrente de base associada a correntes superficiais de recombinação. Com técnicas de passivação elétrica da superfície é possível conseguir dispositivos com maiores ganhos sob polarizações fracas.
- Controle de *etch*. A espessura da camada de base é em geral menor que 1000 Å e como consequência o *etch* para formação da mesa de emissor deve ser interrompido no início da camada de base com grande precisão.
- Formação de contatos ôhmicos com baixa resistência específica, o que tem grande influência sobre o desempenho em frequência.
- Redução de capacitâncias parasitas, pois os tempos de carga das mesmas influenciam negativamente o desempenho em frequência.
- Interconexões. Devido à não planicidade da estrutura HBT (que tem formato piramidal), é necessário que o processo de metalização apresente uma boa cobertura de degraus.

Quanto ao crescimento das camadas, os avanços tecnológicos ocorridos nas técnicas de MBE e MOVPE resultaram na possibilidade de fabricação de dispositivos através da chamada *engenharia de bandgap*^[43, 44, 45], onde se enquadram os HBTs. O estado atual desta tecnologia possibilita a produção de camadas com composição controlada e alta qualidade, incluindo elementos tais como Al, As, Ga, In, N e P. Estes são os elementos químicos mais utilizados nas tecnologias III-V, onde a tecnologia HBT melhor estabelecida é baseada no sistema AlGaAs/GaAs sobre substrato de GaAs. No entanto, existem diversas alternativas,

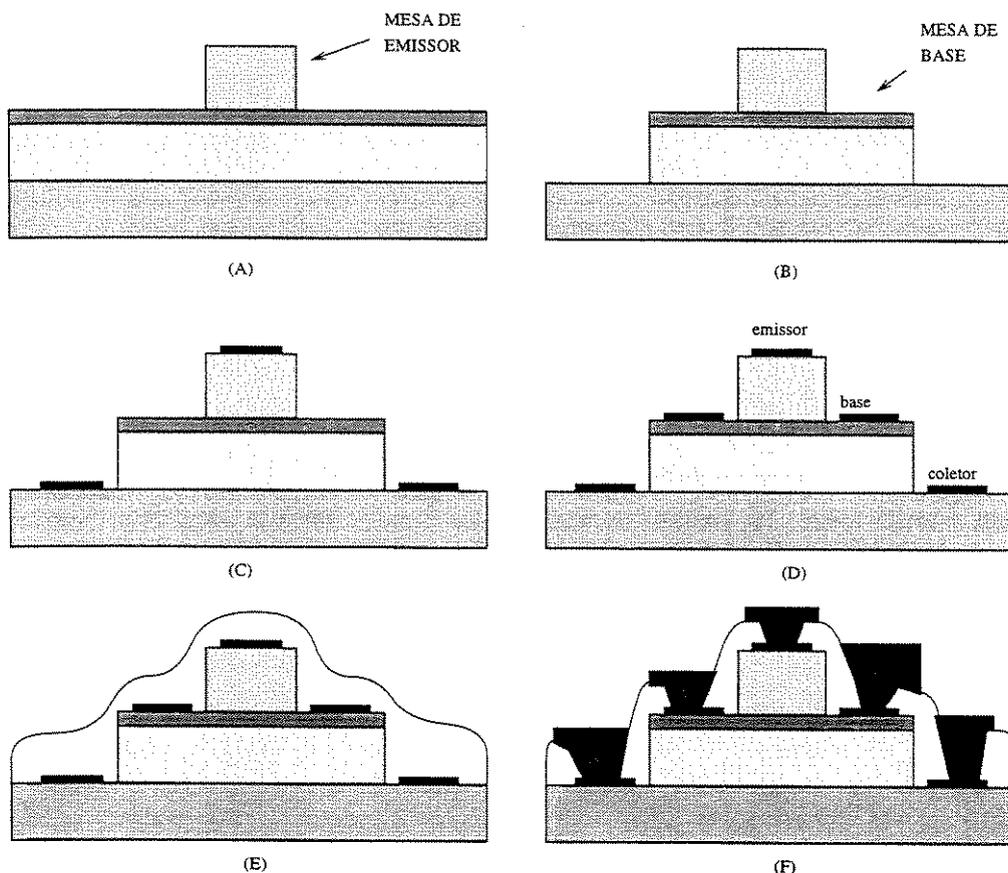


Figura 2.2: Representação esquemática de um processo para a fabricação de HBTs. Nesta figura estão representadas, de cima para baixo, as camadas de emissor, base, coletor e subcoletor. Esta última é utilizada para a colocação dos contatos ôhmicos de coletor. (A) *Etch* para definição da mesa de emissor. (B) *Etch* para definição da mesa de base. (C) Evaporação dos contatos de emissor e de coletor e *lift-off*. (D) Evaporação dos contatos de base e *lift-off*. (E) Deposição de isolante. (F) Abertura de vias no isolante e deposição do metal de interconexão.

tais como AlInAs/InGaAs em InP, InGaP/GaAs em GaAs e Si/SiGe em Si, além de outras, conforme mostrado na Tabela 2.1.

HBTs de AlGaAs/GaAs também podem ser produzidos sobre substrato de Si ou Ge (veja [50] e referências desta) com grandes vantagens econômicas porém com degradação em desempenho elétrico. As principais tecnologias são AlGaAs/GaAs e Si/SiGe.

A seguir são apresentadas as principais técnicas de fabricação dos elementos estruturais do HBT.

Tabela 2.1: Materiais para HBTs.

faixa de energia proibida:	
maior/menor	substrato
AlGaAs/GaAs	GaAs [†]
InGaP/GaAs	GaAs ^[46]
AlInAs/InGaAs	InP ^[47]
InP/InGaAs	InP ^[48]
GaAlInAs/InGaAs	InP ^[49]
AlGaAs/GaAs	Si ^[50]
Si/SiGe	Si ^[51]

[†] maioria dos trabalhos sobre HBT em III-V.

2.1 Fabricação de Contatos Ôhmicos

A resistividade de contato exerce uma grande influência sobre o desempenho em frequência dos dispositivos em GaAs^[52] e tanto FETs como HBTs podem operar em maiores frequências quando contatos de menor resistividade são obtidos. Além da baixa resistividade as características procuradas para os contatos são: reprodutibilidade, boa estabilidade térmica, não degradação ao longo da vida útil do dispositivo e interface plana. O primeiro contato a um semiconductor foi o *point contact* descoberto por Braun^[53] ainda no Séc. XIX e consistia de um simples contato retificador metal-semiconductor. Por quase um século este sistema foi utilizado para a fabricação de retificadores. Este tipo de contato também foi utilizado no primeiro transistor e após ter sido modelado teoricamente por Schottky passou a ser conhecido como contato Schottky. Por serem retificadores, estes contatos não se aplicam a HBTs, que requerem contatos ôhmicos de baixa resistividade. Sistemas antigos como Ag-In-Ge para *n* GaAs e Ag-In-Zn para *p* GaAs^[54] não são adequados para dispositivos de pequenas dimensões, sua morfologia e resistividades não são compatíveis com as características requeridas por tais dispositivos.

Colocando-se um metal qualquer em contato com GaAs, conforme mostrado na Fig. 2.3, tem-se como resultado a formação de uma barreira de energia de altura ϕ_B que teoricamente depende do metal utilizado. Esta barreira de energia constitui o tema central da pesquisa em contatos, pois um contato ideal deve ter $\phi_B = 0$ e no caso real, deve-se tentar minimizar seus efeitos. Na prática, ϕ_B é fortemente influenciado pelos estados de interface decorrentes dos estados de superfície do GaAs e tem um valor constante de $\simeq 0,8$ eV, para qualquer metal. Massies *et al.*^[52, (e ref. 14 desta)], tentaram reduzir ϕ_B passivando a superfície do GaAs antes da deposição e obtiveram uma barreira de potencial com altura de 0,4 eV. No entanto a resistividade de contato resultante ($\simeq 10^{-4} \Omega \text{cm}^2$), não é baixa o suficiente para o uso em dispositivos pequenos. Assim, com a tecnologia atual não é possível conseguir contatos ôhmicos para GaAs pela simples deposição de metal, pois a barreira de energia resulta em um diodo Schottky e um contato retificador^[55, 56].

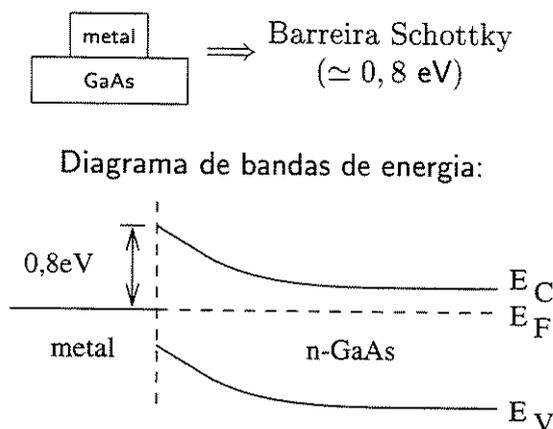


Figura 2.3: Estrutura de contato metal/GaAs.

O transporte de portadores pela barreira pode ocorrer por emissão termoiônica (TE), por emissão de campo (tunelamento—FE) ou pela combinação destes dois mecanismos (TFE). A emissão termoiônica consiste na emissão de portadores por sobre o topo da barreira, o que implica em retificação, pois portadores em lados opostos da junção vêm a barreira com alturas com dependência da tensão diferente, pois vista do lado do semicondutor a barreira varia com a tensão, enquanto que vista do lado do metal a barreira tem altura constante. O tunelamento consiste na passagem de portadores através da barreira sem que a mesma seja superada energeticamente. Este mecanismo de transporte é desejado para que o contato seja ôhmico.

O que ocorre na prática é o transporte do tipo TFE e o comportamento ôhmico ou retificador dependerá do mecanismo de transporte dominante.

Um bom contato ôhmico pode ser obtido com Ge, pois enquanto que a barreira de energia na interface metal/GaAs tem valor em torno de 0,8 eV para a maioria dos metais, ela apresenta um valor menor ($\approx 0,45$ eV) para a interface metal/Ge^[57]. Uma vez que Ge e GaAs têm parâmetros de rede muito próximos, é possível obter contatos baseados na deposição de Au depositado sobre a heterojunção formada entre Ge altamente dopado e $n+$ GaAs. Stall *et al.*^[57] cresceram estruturas de contato deste tipo por MBE utilizando Ge dopado com As e GaAs dopado com Sn, obtendo ρ_c da ordem de $10^{-7} \Omega \text{ cm}^2$, encontrando pouca influência da barreira de energia entre Ge e GaAs ($\Delta E_c \approx 60$ meV) na resistividade de contato. No entanto, devido à complexidade de fabricação, existe pouco interesse prático neste tipo de contato.

A dificuldade em se conseguir a redução de ϕ_B faz com que a maneira prática para se conseguir contatos ôhmicos seja o controle do coeficiente de tunelamento E_{00} , que depende do nível de dopagem $N_{D,A}$ do semicondutor de acordo com a seguinte relação^[52]:

$$E_{00} = \frac{q\hbar}{2} \sqrt{\frac{N_{D,A}}{m^*\epsilon}} \quad (2.1)$$

onde $N_{D,A}$ é a concentração de dopantes, m^* é a massa efetiva de tunelamento para os portadores.

ϵ é a permissividade elétrica, q a carga eletrônica e \hbar a constante de Planck normalizada ($\hbar = h/2\pi$).

A resistividade de contato ρ_c é proporcional à altura da barreira e inversamente proporcional ao coeficiente de tunelamento^[58]:

$$\begin{aligned} \rho_c &\propto \exp\left(\frac{q\phi_B}{E_{00}}\right) \\ \rho_c &= \exp\left[\frac{2\sqrt{\epsilon_s m^*}}{\hbar} \left(\frac{\phi_B}{\sqrt{N_{D,A}}}\right)\right] \end{aligned} \quad (2.2)$$

A emissão termoiônica ocorre para $kT/E_{00} \gg 1$ e o tunelamento ocorre para $kT/E_{00} \ll 1$. Para $kT/E_{00} \simeq 1$ o transporte acontece pela combinação aproximadamente equilibrada de tunelamento e emissão termoiônica. É importante observar que o transporte por emissão termoiônica não é simétrico, pois a barreira de energia é vista com alturas diferentes de acordo com o sentido do transporte. Por outro lado, o transporte por tunelamento é simétrico. A equação (2.1) mostra que para altos níveis de dopagem o tunelamento será elevado e o contato terá comportamento ôhmico^[56].

Para fins práticos é necessário não só a obtenção de contatos metal-semicondutor com comportamento elétrico aproximadamente linear, porém também é necessário que a resistência de contato seja muito pequena em relação à resistência interna do dispositivo, para que seu comportamento elétrico não seja significativamente alterado. Uma vez que a resistividade de contato é diretamente proporcional à área de contato, o problema da baixa resistividade torna-se crítico em dispositivos muito pequenos.

De acordo com o processo de formação, os contatos são geralmente classificados em *alloyed* (com liga) e *non-alloyed* (sem liga).

2.1.1 Contatos com liga

Dentre as tecnologias de contatos ôhmicos, a família de contatos com liga baseados em Au é a mais utilizada, pois é a tecnologia melhor estabelecida. Durante a fabricação destes contatos ocorre reação em fase líquida entre o metal e o semicondutor. O processo de formação da liga consiste na formação de uma região altamente dopada na interface metal semicondutor em duas etapas, um aquecimento para a fusão do material e o resfriamento subsequente, durante o qual o semicondutor dissolvido recresce, dopado por algum elemento dopante evaporado junto com o metal^[59, 60].

Os contatos com liga comumente utilizados são os contatos AuGe e AuZn para camadas

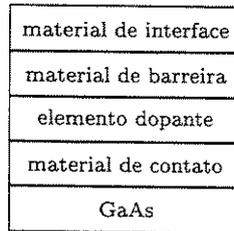


Figura 2.4: Estrutura canônica para um contato com *alloy*.

tipo *n* e tipo *p* respectivamente. Estes contatos porém, não são apropriados para dispositivos muito pequenos ou para camadas muito finas, pelas seguintes razões: a resistividade de contato é relativamente alta ($> 1 \times 10^{-6} \Omega\text{cm}^2$), a capacidade de padronagem fina é limitada devido aos efeitos de *ball-up* e de penetração através de camadas semicondutoras (*spikes*). Além disso, estes contatos apresentam problemas de pouca reprodutibilidade e de estabilidade térmica.

A Fig. 2.4 mostra uma estrutura canônica teórica para um contato com liga. Esta estrutura é depositada por evaporação por feixe de elétrons (*e-beam*), evaporação térmica ou *sputtering*^[61]. Neste esquema geral de contatos, durante o tratamento térmico, que deve ser realizado em atmosfera inerte, o *material de contato* reage com o GaAs, consumindo Ga ou As (o que depende do tipo de contato desejado) e deixando vacâncias de Ga ou de As. Estas vacâncias são ocupadas pelo dopante. Esta é a etapa mais importante da formação do contato, pois dela dependerá a largura da barreira de energia entre o material de contato e o GaAs^[62].

A função do *material de barreira* é evitar a perda de As, que se difunde para fora da amostra durante o ciclo térmico (*arsenium outdiffusion*). A perda de As aumenta com a carga térmica e é necessário tomar precauções extras, quando se realiza tratamento ou a altas temperaturas ou a temperaturas baixas, porém por tempos longos. As soluções típicas são o uso de sobrepressão de As_2 ou de um encapsulante. Outra solução para este problema é o uso de tratamentos térmicos muito curtos em fornos de aquecimento rápido (RTA), neste caso o ciclo térmico é rápido e não há aquecimento excessivo do interior do material^[58].

O *material de interface* é responsável por estabelecer uma boa conexão elétrica com outros materiais, como o metal de interconexão e os fios de soldagem, assim, deve ser um material que permaneça plano após a formação do contato.

■ **Contatos com liga para GaAs tipo *n*:** Doadores tais como Te, Se, Si, Ge e Sn são utilizados para fornecer uma superfície de GaAs com dopagem tipo *n*. O sistema universalmente aceito é o contato baseado na liga eutética AuGe que é um dos sistemas mais utilizados para *n*-GaAs. Este contato baseia-se na incorporação de Ge pela região

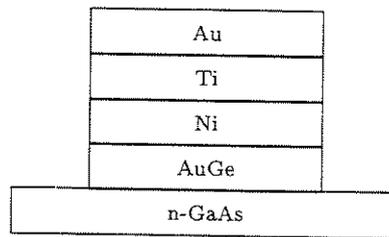


Figura 2.5: Exemplo de estrutura metálica de um contato do tipo AuGe em GaAs.

do GaAs próxima da superfície, o que ocorre durante o aquecimento para a formação da liga, cuja principal função é proporcionar a difusão e incorporação de Ge pela rede de GaAs^[63], resultando em uma região dopada $n+$, que melhora o tunelamento através da fina barreira de energia na interface metal-GaAs^[63]. Para pequenas geometrias este contato deve ser utilizado em conjunto com Ni. Inicialmente, evapora-se ouro e germânio e então é colocada a camada de Ni no topo da estrutura, para evitar *ball up* (aglutinação do metal em ilhas, durante o resfriamento). Para proporcionar uma melhor barreira contra a difusão de As, pode-se utilizar uma camada de Ti. Uma camada final de Au cobrindo o contato é utilizada para fornecer uma superfície quimicamente estável e boa ligação com o metal de interconexão. Neste caso, o contato antes da liga tem a estrutura representada na Fig. 2.5.

A metalização AuGe/Ni/Ti/Au¹ (ou AuGe/Ni/Au) evaporada com feixe de elétrons (*e-beam*) é amplamente utilizada. O tratamento térmico é realizado a $\simeq 450$ °C (o ponto eutético para AuGe é 356 °C^[64] e a carga térmica mínima para a obtenção de contato ôhmico é em torno de 400 °C, $\simeq 10$ min).

Um ciclo de liga completo inclui o aquecimento e o resfriamento do contato. A seqüência de eventos que acontece durante este ciclo é a seguinte: No início, átomos de Ga difundem-se pelo material de contato, atraídos pelo ouro, pois Ga é segregado em direção ao Au, formando AuGa. Depósitos de Ga podem se formar abaixo da camada de Au. Assim, a função do AuGe é fornecer Ge (dopante) e aceitar Ga ($\text{AuGe} + \text{Ga} \rightarrow \text{AuGa} + \text{Ge}$). A camada de Ti também exerce função de barreira, evitando a migração excessiva de átomos de Ga em direção à camada de Au no topo. Enquanto que átomos de Ga migram aos metais de contato, átomos Ge difundem-se na região superficial do GaAs, ocupando vacâncias de Ga, dando origem a uma superfície de GaAs dopada $n+$. Neste processo, os átomos de Ge não devem ocupar vacâncias de As, deixadas por difusão de As, pois Ge em GaAs é um dopante anfótero e origina material tipo p quando ocupa vacâncias de As. De fato, Kulkarny *et al.*^[65], encontraram que a resistividade diminui quando a contagem de Ga na fase metálica se aproxima da contagem de Ge difundido. Em uma situação ideal de formação do contato, o número de átomos difundindo no GaAs deve ser igual ao número de átomos de Ga migrando para o metal. Isto mostra que durante estes processos, a temperatura é

¹Neste texto adota-se a convenção de escrever os componentes do contato na ordem de deposição.

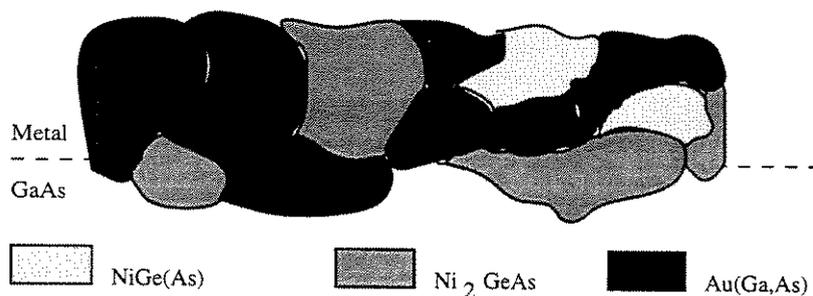


Figura 2.6: Seção transversal de um contato AuGeNi mostrando os grãos intermetálicos. Observa-se que a estrutura de metal atravessa a interface metal/GaAs.

superior ao ponto eutético da liga AuGe e esta se encontra na fase líquida. Depois que um alto nível de dopagem superficial é atingido, o processo de resfriamento se inicia. Durante esta etapa a liga pode aglomerar-se em ilhas, dando origem a um contato de morfologia ruim e alta resistividade. A principal função da camada de Ni depositada sobre o AuGe é agir como uma capa (ele não funde durante o ciclo térmico), evitando a aglutinação do AuGe^[66]. A camada de Au fornece estabilidade química e bom contato com o metal de interconexão.

Devido à fase líquida os contatos tipo AuGe tendem a desenvolver regiões de metal dentro do GaAs. A Fig. 2.6 mostra a microestrutura deste contato após o ciclo térmico. Como pode ser observado, o contato é constituído de grãos intermetálicos de diferentes composições, tais como Ni₂GeAs, Au(Ga,As) e NiGe(As)^[61]. Nesta figura, observamos que os grãos atravessam a superfície de GaAs. Este fato pode ser um sério problema quando camadas muito finas são utilizadas. Além disso, o tamanho dos grãos é da ordem de 1 μm e devido à incerteza com respeito a que tipo de grãos estarão presentes junto à interface com o GaAs, quando se utiliza pequenas dimensões ocorre um grande espalhamento nos valores de resistividade de contato.

Contatos de AuGe livres de regiões atravessando o semiconductor podem ser obtidos por meio do uso de um longo ciclo térmico a baixa temperatura. Neste caso a liga é realizada abaixo da temperatura eutética, a 320°C por 3 horas. De acordo com Donath-Mohr *et al.*^[64] durante os primeiros minutos deste tratamento ocorre uma significativa inter-difusão dos metais simultaneamente com difusão de Ga e As, reduzindo a barreira de potencial da junção metal-semiconductor para 0,4 eV, porém o contato continua retificador. Durante o restante do tempo de tratamento, os átomos de Ge continuam se difundindo lentamente e no final do processo o contato apresenta comportamento ôhmico.

Valores típicos para contatos baseados em AuGe são da ordem de $1 \times 10^{-6} \Omega \text{cm}^2$. Esta resistividade é adequada para a maioria das aplicações, porém é difícil de ser obtida em contatos muito pequenos devido ao tamanho dos grãos.

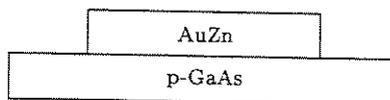


Figura 2.7: Contato AuZn para p GaAs.

O contato pode ser melhorado se antes de sua formação o nível de dopagem n do semicondutor for aumentado. No caso de n GaAs isto pode ser obtido por implantação iônica rasa ou por dopagem *in situ* durante a epitaxia. Implantações rasas e com altas doses podem ser utilizadas para fornecer superfícies de GaAs $n+$. O inconveniente desta técnica são os danos causados pela radiação de íons e as altas temperaturas necessárias (900–1000 °C) para remover os defeitos gerados e para ativar os dopantes. Tanto contatos do tipo AuGeNi como AuGe/Ni podem ser feitos em GaAs dopado por implantação de Si ($n > 10^{18} \text{ cm}^{-3}$), com resistividades de contato da ordem de $6 \times 10^{-7} \Omega \text{ cm}^2$ ^[67].

■ **Contatos com liga para GaAs tipo p :** Estes contatos são semelhantes ao caso anterior porém agora é necessário utilizar um dopante tipo p , tal como Zn, Be ou Mg. Sendo que Zn é o aceitador mais comum empregado neste sistema de metalização e apresenta alto coeficiente de difusão em GaAs. A estrutura deste contato após a evaporação está representada na Fig. 2.7.

O processo de formação deste contato é similar ao anterior, sendo que neste caso a redução da barreira Schottky é obtida pela dopagem com Zn. A evaporação de AuZn é de difícil controle e a evaporação de Au/Zn/Au deve ser preferida^[52], com liga em forno RTA a 450°C, para evitar re-evaporação de Zn^[56]. Outro exemplo de contato tipo p com liga é o sistema Pd/Zn/Pd/Au^[68].

2.1.2 Contatos sem liga

Apesar de sua ampla aceitação, contatos com liga têm desvantagens quando considera-se seu uso em dispositivos de pequenas dimensões: A resistividade de contato ($\rho_c \simeq 1 \times 10^{-6} \Omega \cdot \text{cm}^2$) não é suficientemente baixa para dispositivos de geometrias muito pequenas. O tamanho dos grãos diminui a reprodutibilidade da resistividade de contato, a estabilidade térmica é baixa e não são contatos rasos devido à formação dos picos metálicos no semicondutor.

Algumas destas limitações podem ser resolvidas com o uso de contatos sem liga tais como Ti/Pt/Au, W, WSi_x etc. Para obter um bom contato ôhmico sem liga, é necessário que o mesmo seja feito sobre uma camada semicondutora muito dopada. A alta dopagem reduz a largura da barreira Schottky entre o metal e o semicondutor e aumenta o tunelamento através da mesma. Resistividades de contato da ordem de $1 \times 10^{-6} \Omega \text{ cm}^2$ podem ser obtidas com este tipo de contato^[69, 70].

Este contatos também devem passar por um ciclo térmico porém neste caso será para sinterização em não para formação de liga. O processo de sinterização consiste na formação de um contato ôhmico por reação sólido-sólido na interface metal-semicondutor^[52]. Uma vez que em contatos sinterizados não há reação em fase líquida, estes contatos tendem a ser planos e rasos. Sua fabricação é realizada em duas etapas, uma para a evaporação da estrutura de contato e outra para a sinterização.

Esta técnica pode ser utilizada com sucesso em GaAs tipo p , pois não é difícil conseguir altos níveis de dopagem neste material ($P_b > 10^{19} \text{ cm}^{-3}$). Metalizações tais como Ti/Au, Cr/Au, Ti/Pt/Au, Mn/Au ou Ru/Au podem ser utilizadas^[71], sendo que Ti/Pt/Au é o sistema mais comum.

A difusão de Zn pode ser utilizada com sucesso para aumentar o nível de dopagem p na superfície. O Zn possibilita níveis muito altos de dopagem, na faixa de 10^{19} – 10^{20} cm^{-3} . Este processo pode ser utilizado quando se utiliza uma camada pouco dopada sobre a camada de base, como por exemplo em transistores com base dopada com Be, onde se cresce uma fina *setback-layer* não dopada, sobre a base, com a finalidade de receber Be^[52] (Seção 2.3).

Stareev^[72] demonstrou a importância da preparação da superfície antes da formação de contatos sinterizados, obtendo resistividades da ordem de $2,8 \times 10^{-8} \Omega \text{ cm}^2$ com o contato Ti/Pt/Au em GaAs p realizando a limpeza *in situ* da superfície com bombardeamento de íons de Ar^+ a baixa energia. Sem este tratamento a resistividade é uma ou duas ordens de grandeza maior. Esta estrutura de contato apresenta-se plana e sem problemas morfológicos, a menos que submetido a tratamento térmico elevado. Análises com AFM e Auger realizadas por Ching-Ting *et al.*^[73] em contatos Ti/Pt/Au mostram que após a deposição este contato apresenta boa qualidade morfológica, porém sofre uma grande alteração durante o recozimento, quando este passa de $250 \text{ }^\circ\text{C}$, devido a interdifusão de elementos químicos. Esta deformação degenera a microestrutura e causa fluxo não uniforme de corrente.

Para GaAs tipo n , pode-se utilizar silício ou estanho como dopante n para obter $\rho_c \simeq 1 \times 10^{-6} \Omega \text{ cm}^2$. Os melhores resultados são obtidos com Sn, pois este dopante permite a obtenção de níveis de dopagem mais altos que aqueles obtidos com Si. No entanto, existe uma maior dificuldade tecnológica para se obter n GaAs dopado com Sn. Contatos ôhmicos sem liga do tipo Ti/Pt/Au podem ser feitos em GaAs n implantado por Se^[74] ou Te^[75].

■ **Contatos sem liga baseados em Pd/Ge:** A família de contatos baseados em Pd/Ge é uma tecnologia adequada para o uso em dispositivos de pequenas dimensões. Pode-se utilizar diretamente a forma Pd/Ge, onde o Pd é o primeiro elemento depositado, ou em estruturas mais complexas, tais como Pd/Ge/Ti/Pt, onde a camada de Ti tem a função de evitar a perda de arsênio durante o processo de sinterização e a camada de Pt tem a função de melhorar a interface com o metal de interconexão.

As camadas de início para este contato são: Pd(750 Å)/Ge(1600 Å) e para n GaAs dopado a

$1 \times 10^{18} \text{ cm}^{-3}$, a temperatura de recozimento é $350 \text{ }^\circ\text{C}$ por 30 min e forma-se um contato sem *spikes*, que resiste a ciclos térmicos na faixa de $300\text{--}400^\circ\text{C}$ sem degradação significativa^[76].

W.Y. Han *et al.*^[77] obtiveram $\rho_c = 4,7 \times 10^{-7} \Omega \text{ cm}^2$ em um contato formado com *n* GaAs : Si ($n = 2 \times 10^{18} \text{ cm}^{-3}$) e $\rho_c = 6,4 \times 10^{-7} \Omega \text{ cm}^2$ com *p* GaAs : C ($p = 5 \times 10^{19} \text{ cm}^{-3}$) usando para ambos o contato Pd/Ge/Ti/Pt (200 Å/400 Å/400 Å/300 Å). L.C. Wang *et al.*^[78] obtiveram resistividades da ordem de $3 \times 10^{-7} \Omega \text{ cm}^2$ e aproximadamente independente da área de contato, de $900 \mu\text{m}^2$ a $0,2 \mu\text{m}^2$ e mostraram que este contato tem resistividade independente da área, o que mostra que o tamanho de grãos é bem menor que a abertura do contato. Neste esquema de metalização, tanto o Pd como o Ge têm a função de dopar o GaAs (durante a sinterização formam a liga PdGe, porém o contato é sem liga, pois não há formação de liga entre os materiais do contato e o semiconductor). Conforme evaporado, em *n* GaAs, este é um contato Schottky que se torna ôhmico após o recozimento a 400°C por 15 segundos. O contato tipo *p* é ôhmico quando evaporado devido à alta dopagem do *p* GaAs.

O processo de formação deste contato é como segue:

Em n GaAs: Inicialmente o Pd reage com o GaAs formando PdGa e criando vacâncias de Ga. Estas vacâncias são preenchidas por átomos de Ge que se difundem em direção às mesmas. Os átomos de Ge atuam como dopantes dando origem à uma fina camada *n+*. Ge também reage com Pd formando PdGe e surge um contato ôhmico entre PdGe e a camada de GaAs *n+*. A altas temperaturas de recozimento este contato degrada-se devido à perda de As por difusão, que deixa vacâncias de As que são ocupadas por átomos de Ge, o que tende a deixar a região tipo *p*.

Em p GaAs: A formação deste contato é similar ao processo anterior, porém é deteriorado por átomos de Ge que ocupam vacâncias de Ga, reduzindo o nível de dopagem *p*. Ainda assim, o alto nível de dopagem atingido em GaAs *p* possibilita a obtenção de baixas resistividades de contato. Se a temperatura de liga for alta, ocorre perda de As por difusão, deixando vacâncias de As que ao serem ocupadas por átomos de Ge aumentam o dopagem *p*, devido a este fato estes contatos apresentam alta estabilidade térmica.

Observa-se experimentalmente que a temperatura de recozimento é crítica para a obtenção de bons contatos Pd/Ge/Ti/Pt, pois altas temperaturas melhoram o contato tipo *p* e degradam o contato tipo *n*. As possíveis soluções são: uso de uma temperatura de compromisso (entre $400 \text{ }^\circ\text{C}$ e $450 \text{ }^\circ\text{C}$, 15 s) para formar os dois tipos de contato simultaneamente, ou fazer primeiro o contato tipo *p* recozendo-o a $450 \text{ }^\circ\text{C}$, 15 s e depois o contato tipo *n*, recozendo-o a $400 \text{ }^\circ\text{C}$, 15 s.

O desempenho elétrico foi verificado por D.B. Slater *et al.*^[76] que demonstraram alto desempenho de HBTs (melhoria de 15 % em f_T) através do uso deste tipo de contato para emissor e coletor, usando emissor em GaAs *n+* dopado com Te ($1 \times 10^{19} \text{ cm}^{-3}$), que permite

a obtenção de níveis de dopagem tipo n em GaAs mais altos que aqueles conseguidos com Si.

Quanto à influência no desempenho em frequência, tanto contatos com ou sem liga podem influenciar negativamente o desempenho de dispositivos em muito altas frequências. As desuniformidades morfológicas dos contatos com liga levam ao surgimento de campos elétricos não uniformes, que originam oscilações durante a operação em alta frequência^[54]. Por outro lado os contatos sem liga apresentam resistência dinâmica de tunelamento que pode degradar o desempenho em alta frequência dos dispositivos^[55].

2.1.3 Contatos obtidos por Engenharia de *Band-Gap*

Uma alternativa para se contornar as dificuldades originadas pela barreira de energia entre o metal de contato e o GaAs é a inserção de uma camada com um semiconductor de pequeno *bandgap* entre o metal e o semiconductor visando-se a redução de ϕ_B e consequentemente de ρ_c , conforme a equação (2.3). Isto normalmente é feito pelo uso de $n+\text{Ge}$ ^[79], $n+\text{InAs}$ ^[80] ou uma camada graduada de $\text{In}_x\text{Ga}_{1-x}\text{As}$ ^[81].

Quando $x \geq 0,8$, a estrutura o contato metal/ $\text{In}_x\text{Ga}_{1-x}\text{As}$, apresenta $\phi_B \leq 0$, conforme mostrado na Fig. 2.8. Esta figura mostra a diagrama de bandas para um contato $\text{InAs}/\text{In}_x\text{Ga}_{1-x}\text{As}/n\text{-GaAs}$, que foi proposto por Woodall *et al.*^[55] como um contato raso *non-alloyed* e sem barreira Schottky para GaAs tipo n .

Nesta estrutura, pode-se utilizar tungstênio depositado por *sputtering*, resultando em $\rho_c \simeq 5 \times 10^{-7} \Omega \text{cm}^2$ ^[42]. Geralmente, contatos baseados em InGaAs apresentam resistividades entre 5×10^{-8} e $2,5 \times 10^{-6} \Omega \text{cm}^2$ ^[76]. Lahav *et al.*^[82] mostraram que a metalização deste tipo de contato com tungstênio fornece contatos ôhmicos refratários, capazes de suportar ciclos térmicos para ativação de dopantes pós implantação iônica.

A camada gradual de $\text{In}_x\text{Ga}_{1-x}\text{As}$ pode ser omitida^[83] e neste caso a estrutura de contato se torna WSi (ou W)/ $n+\text{InAs}/n\text{GaAs}$, fornecendo resistividades de contato da ordem de $1 \times 10^{-6} \Omega \text{cm}^2$ e capacidade para suportar tratamentos curtos de até 900°C, entretanto, a falta de camada gradual de $\text{In}_x\text{Ga}_{1-x}\text{As}$ faz surgir uma barreira de potencial de aproximadamente 0,2 eV na interface $n+\text{InAs}/n\text{GaAs}$ que pode ser removida por um tratamento térmico rápido a 800–850°C. O uso da camada de $\text{In}_x\text{Ga}_{1-x}\text{As}$ é aconselhável porque entre o InAs e o GaAs existe um descasamento de ($\approx 7,2\%$), que gera defeitos cristalinos no GaAs^[61].

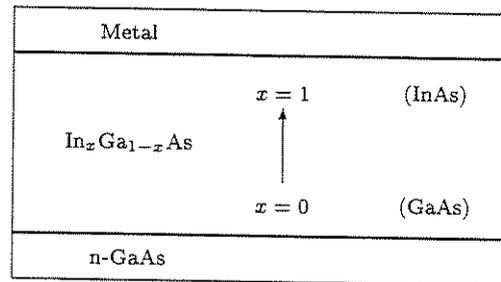


Diagrama de bandas de energia para a estrutura anterior:

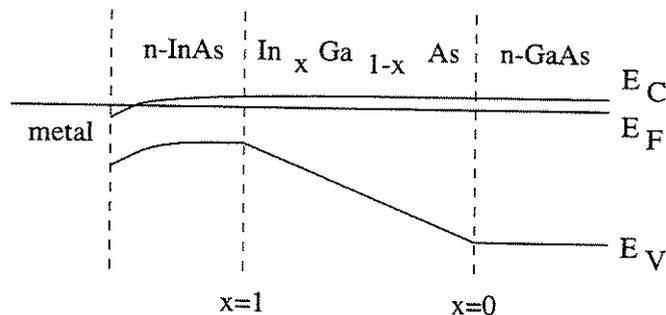


Figura 2.8: Estrutura de contato baseada em InGaAs.

2.2 Fabricação do Emissor

A Fig. 2.9 mostra um emissor típico de HBT AlGaAs/GaAs, que além da camada que realiza a função de emissor, contém camadas adicionais, cujas funções são explicadas adiante.

A região mais importante do emissor é sua interface com a base, onde se localiza a heterojunção. Esta interface pode ser fabricada com ou sem *spike* na banda de condução, conforme representado na Fig. 2.10 (A) e (B).

■ **Gradação do Emissor:** O *spike* na banda de condução apresenta o benefício de injetar elétrons na base com alta energia cinética, o que melhora a frequência de transição f_T , porém a barreira de energia imposta aos elétrons reduz a eficiência de injeção de emissor e aumenta $V_{be,on}$ ^[3]. Em geral, é vantajosa a remoção deste *spike*, o que pode ser realizado por meio de uma camada de $Al_xGa_{1-x}As$, colocada no emissor, próximo à interface com a base, onde x varia gradualmente de aproximadamente 0,3 na região do emissor até 0 na interface. Esta estrutura é chamada *emissor graduado* ou *heterojunção graduada*. O perfil de variação do conteúdo de Al na região graduada pode seguir diferentes funções da distância, o que influencia no comportamento do dispositivo. Utiliza-se geralmente gradação linear ou parabólica^[84, 85], sendo que a combinação de técnicas de gradação da composição de alumínio com modulação da dopagem possibilita a obtenção de qualquer perfil desejado para a energia do fundo da banda de condução^[86].

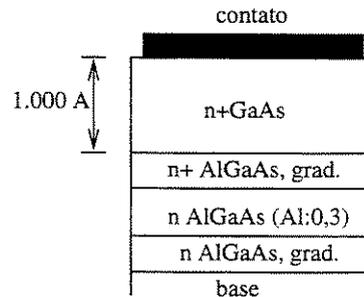


Figura 2.9: Exemplo de estrutura de emissor. A camada $n + GaAs$ possibilita a formação de contato ôhmico. A seguir, uma camada gradual realiza o casamento entre o GaAs e o $Al_{0,3}Ga_{0,7}As$, que é o emissor do transistor intrínseco, com dopagem n da ordem de 10^{17} cm^{-3} . A camada seguinte também é gradual e remove o *spike* da banda de condução. O contato pode ser feito com AuGe.

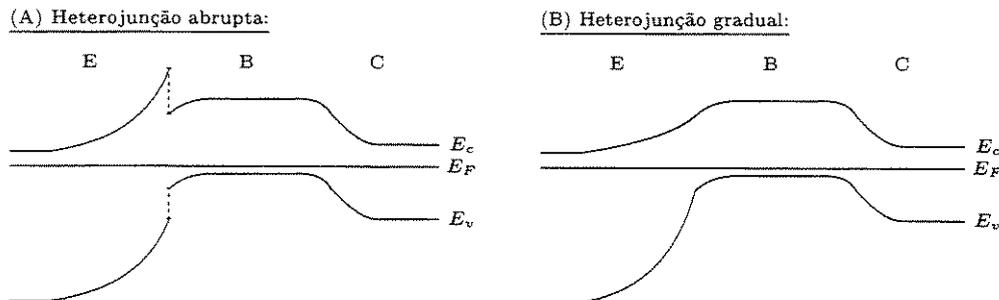


Figura 2.10: Diagramas de banda para um HBT (A) com heterojunção abrupta e (B) com heterojunção gradual.

Para proceder a eliminação de ΔE_c deve-se considerar que o nível de condução é o resultado da superposição do potencial da graduação de alumínio com o potencial eletrostático resultante da dopagem da junção. Se a dopagem for uniforme e a graduação for linear, a energia na banda de condução variará parabolicamente com a distância^[84], dando origem a um vale de energia, que é responsável pela acumulação de portadores e aumento do tempo de transição emissor-coletor (τ_{ec}). Este efeito pode ser compensado fazendo-se uma graduação parabólica do perfil de alumínio. A Fig. 2.11 mostra uma comparação dos perfis da banda de condução para um emissor com dopagem plana $N_e = 2 \times 10^{17} \text{ cm}^{-3}$, com região graduada de 500 \AA , linear e parabólica. Observa-se um vale na banda de condução para o caso linear. No caso de graduação parabólica a banda de condução é plana e o dispositivo resultante apresenta maior ganho e tensão de *off-set* coletor-emissor quase nula^[84].

Ao invés de se variar a composição de alumínio, também pode-se modular a dopagem. Neste caso, para um emissor linearmente graduado um perfil ótimo de dopagem na região da heterojunção é obtido quando dopantes são removidos da região próxima do emissor

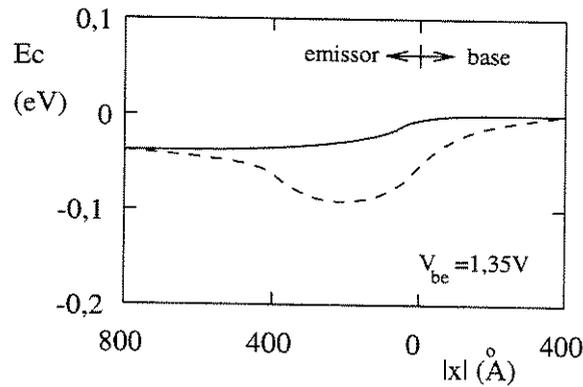


Figura 2.11: Perfil do fundo da banda de condução da heterojunção B-E para emissores com camada gradual, com variação linear (linha tracejada) e parabólica (linha cheia) da composição de alumínio. x é a distância à junção. (Adaptado de [84]).

e uma fraca dopagem p é utilizada próxima à base. Insere-se uma camada gradual de aproximadamente 300 Å, com dopagem $i-p$ (p na interface com a base)^[85]. Este perfil de dopagem evita o surgimento do mínimo de energia na banda de condução e os benefícios são os mesmos do caso anterior (melhor eficiência de injeção e menor tensão de *turn on*).

■ **Efeito de tamanho de emissor:** Devido à alta velocidade de recombinação superficial observada em GaAs ($\approx 10^6$ cm/s) e alta densidade de estados superficiais ($\approx 10^{12}$ cm⁻²eV⁻¹) surgem correntes significativas de recombinação na superfície que contorna a junção base-emissor e seu efeito é acentuado quando o dispositivo é reduzido, pois aumenta a relação entre a periferia do emissor e a sua área (*emitter size effect*). O aumento das correntes de recombinação degrada o ganho de corrente, conforme expresso por^[87]:

$$\frac{1}{h_{FE}} = \frac{1}{J_c} \left(J_{RI} + \frac{J_{RE}}{W_E} \right) \quad (2.3)$$

onde J_{RI} é a soma das corrente de recombinação no interior da heterojunção e J_{RE} é a soma das correntes de recombinação superficiais. Sempre que a corrente superficial de recombinação se torna comparável à corrente de recombinação no corpo da base (*bulk*), o efeito de tamanho de emissor se torna acentuado^[88]. Uma solução para superar este problema é utilizar emissor com grande área para minimizar a influência do perímetro em relação à área total. No entanto, para aumentar a velocidade de operação, é necessário reduzir as dimensões do dispositivo, o que torna necessário o uso de técnicas de passivação de superfície, conforme ilustrado na Fig. 2.12. Diferentes métodos de passivação têm sido propostos, como por exemplo o uso de uma fina camada ($\simeq 100$ Å) de AlGaAs não dopado sobre a base^[87], tratamento químico com sulfetos inorgânicos tais como As₂S₃^[89], Na₂S^[90] e (NH₄)₂S_x^[91], tratamento com plasma ECR de hidrogênio^[92], nitrogênio^[92], amônia^[93] e *emitter edge-thinning*^[94] (técnica de afinamento da borda inferior do emissor).

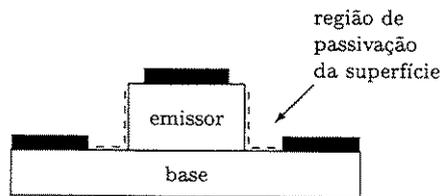


Figura 2.12: Passivação lateral da mesa de emissor e da superfície da base extrínseca, entre o contato de base e a mesa de emissor.

O campo elétrico vertical associado à graduação de base (Seção 2.3) também serve para reduzir as correntes laterais, pois ele acelera os elétrons na direção vertical reduzindo a probabilidade de recombinação na superfície^[95].

O efeito de tamanho de emissor se deve principalmente à correntes de recombinação na região extrínseca de base. Kalingamudali *et al.*^[68] observou passivação desta região com a deposição de polyimide, em HBTs AlGaAs/GaAs e AlInAs/InGaAs.

A dependência do ganho de corrente com a razão perímetro/superfície de emissor se deve à corrente de recombinação na periferia de junção base-emissor, que se torna mais significativa em relação à corrente de base total, quando a periferia aumenta em relação à superfície. A corrente de recombinação ocorre na superfície da base extrínseca, no caminho entre o contato de base e a mesa de emissor e pode ser reduzida pelo uso de base gradual (Seção 2.3). Também existe corrente de recombinação significativa no início da região de carga espacial E-B, próximo à interface com a base, do lado do emissor. A inserção de uma camada de AlGaAs não dopado ou com dopagem p nesta região, reduz significativamente esta corrente, pois ela reduz o vale na banda de condução na interface com a base (E_c notch) e diminui a acumulação de elétrons^[3].

Uma técnica de fabricação de emissor que superou satisfatoriamente o problema das correntes de recombinação associadas à heterojunção, foi apresentada por W.C. Liu *et al.*^[96]. Em seu experimento, colocaram uma camada de $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ no emissor a uma distância de 500 Å de uma homojunção GaAs/GaAs base-emissor. Devido à proximidade da camada de AlGaAs, este dispositivo também apresentou confinamento de lacunas e alta eficiência de injeção. A homojunção forneceu menores correntes de recombinação e bom comportamento elétrico sob polarização fraca, além de baixa tensão de *off-set*. No entanto este dispositivo não é exatamente um HBT, porém um estado intermediário entre HBT e BJT. Além disso esta heteroestrutura apresenta um acentuado vale de energia na região próxima à junção, o que implica em aumento no tempo de trânsito.

■ **Tensão de *off-set* coletor-emissor:** A tensão de *off-set* $V_{ce,off}$ é atribuída à assimetria elétrica entre as junções B-E e B-C, que leva a diferentes tensões de *turn on*. As causas

dominantes de $V_{ce,off}$ são o *spike* na banda de condução, que representa uma resistência ao fluxo de elétrons, aumentando $V_{be,on}$ ^[23, 26] e a diferença entre as áreas das junções^[24, 25], conforme expresso por

$$V_{ce,off} = r_e I_b + \frac{kT}{q} \ln \left(\frac{A_{bc}}{A_{be}} \right) + \frac{kT}{q} \ln \left(\frac{J_{cs}}{\alpha_T J_{es}} \right) \quad (2.4)$$

onde o primeiro termo mostra que se a resistência de emissor r_e apresentar valor elevado, haverá dependência de $V_{ce,off}$ com a corrente de base. O segundo termo corresponde à assimetria geométrica e o terceiro à assimetria elétrica. $V_{ce,off}$ típico é da ordem de 250 mV e sua redução é realizada com alterações no emissor, visando a equalização das tensões de *turn on*. A tensão de *off-set* aumenta a tensão de nível '0' em circuitos digitais, o que aumenta a potência, reduz a excurção lógica e a margem de ruído. O termo $kT/q(\ln J_{cs}/\alpha_T J_{es})$ é dominante na equação (2.4), sendo responsável por ≈ 200 mV de *off set*. O cancelamento deste termo pode ser obtido com sucesso com a graduação do emissor^[84].

■ **Contato de emissor:** A dopagem de emissor é da ordem de 10^{17} cm^{-3} , o que não é suficiente para a realização de contatos ôhmicos. Além disso o material de emissor (AlGaAs) não é adequado para contatos. Por estas razões o emissor necessita de uma camada adicional com dopagem elevada (da ordem de 10^{18} a 10^{19} cm^{-3}), sobre a qual é realizado o contato. Entre esta camada é inserida uma camada graduada de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x = 0,3 \rightarrow 0,0$) para evitar descontinuidade do nível de energia na banda de condução, na interface AlGaAs/GaAs. Utiliza-se frequentemente sistemas de contato baseados em AuGe. Também se utiliza emissor com capa de InGaAs, conforme descrito na Seção 2.1.3 com contatos ôhmicos sem liga.

2.3 Fabricação da Base

A base do HBT Npn é formada por uma fina camada com alta dopagem p e é a parte mais importante do transistor, pois o comportamento elétrico da mesma é dominante sobre todas as características importantes do dispositivo, tais como o desempenho em frequência e o ganho. A base é formada por uma região intrínseca, que seria a única região presente em um transistor ideal e por uma região extrínseca, necessária para se colocar contatos ôhmicos. A Fig. 2.13 mostra uma base típica de um HBT AlGaAs/GaAs.

■ **A corrente de base:** Esta corrente é formada por quatro correntes de recombinação^[88, 97]: a corrente superficial de recombinação presente na superfície da base extrínseca, a corrente de recombinação na interface com o contato de base, a corrente de recombinação no corpo da região de base e a corrente de recombinação na região de depleção da junção BE (SCR), que ocorre predominantemente do lado do emissor. Em dispositivos fabricados com interface de boa qualidade, esta última componente tem fator de idealidade 2 e se torna pouco

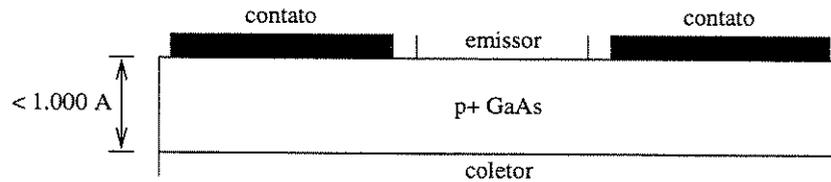


Figura 2.13: Exemplo de estrutura de base para um HBT AlGaAs/GaAs. O contato é baseado em Ti/Pt/Au, sem liga e a dopagem da camada é da ordem de 10^{19} cm^{-3} .

significativa para correntes altas de coletor. A corrente de recombinação na superfície pode ser reduzida por técnicas de passivação e a corrente de recombinação associada aos contatos de base pode ser reduzida colocando-se estes contatos distantes da base^[98], o que não é uma solução adequada para transistores pequenos. As componentes dominantes são a recombinação na superfície e a recombinação na SCR^[85].

■ **Dopagem e espessura:** A heterojunção possibilita o uso de altas dopagens de base e a consequente redução na resistência r_b proporciona maior frequência máxima de oscilação e menor efeito de empacotamento de emissor (*emitter crowding*)^[23]. Valores típicos de dopagem estão no intervalo $1-4 \times 10^{19} \text{ cm}^{-3}$. Valores mais elevados têm o efeito adverso de aumentar o espalhamento da corrente e reduzir a mobilidade. A espessura desta camada é da ordem de 1.000 \AA ou menor. Espessuras pequenas reduzem o tempo de trânsito na base, o que melhora a frequência de transição, porém aumentam a resistência de base. Assim, não é possível otimizar simultaneamente f_T e f_{max} e o projetista deve buscar um compromisso de acordo com a aplicação almejada, digital ou analógica.

Os dopantes mais comuns para a região de base são C (MOCVD, CBE) e Be (MBE, CBE)^[99]. Durante o crescimento por MBE, pode ocorrer difusão significativa de Be para o emissor^[100]. Uma camada de GaAs não dopado de aproximadamente 100 \AA pode ser utilizada no topo da base para receber estes dopantes em difusão, evitando a degradação do ganho de corrente^[101]. Esta camada é denominada *setback layer* e está representada na Fig. 2.14.

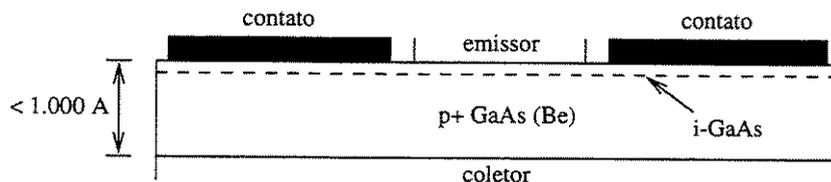


Figura 2.14: *Setback layer* de GaAs intrínseco (*i-GaAs*) em uma camada de base crescida por MBE, dopada com Be.

Neste processo, a dopagem da base extrínseca fica reduzida e inadequada para o uso de contatos sem liga. Por outro lado, contatos com liga podem atravessar a camada, que é muito fina. Uma solução é dopar base extrínseca com Zn, por difusão.

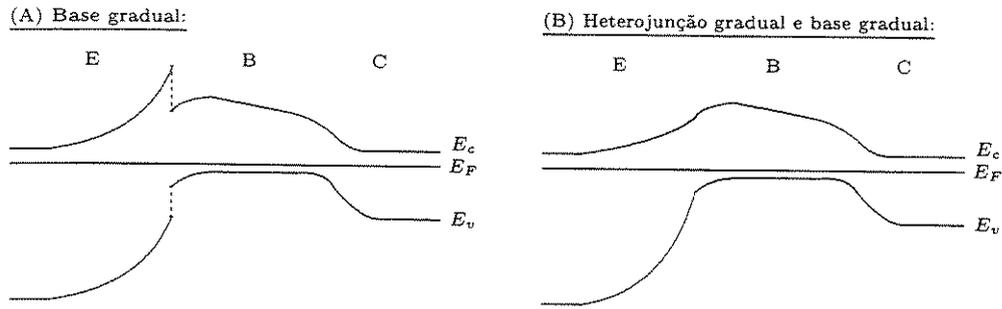


Figura 2.15: Diagramas de banda para HBTs com base gradual e heterojunção (A) abrupta e (B) gradual. Para a graduação da base a fração de alumínio é variada de 0,12 na interface com o emissor a zero na interface com o coletor.

Também foi observada difusão de Be induzida pela corrente de coletor^[102], durante a operação do dispositivo, o que não se observa com outros dopantes. Neste caso a difusão é induzida pelo aquecimento causado por correntes altas de coletor^[103]. A difusão de dopantes para o emissor desloca a junção *pn* em relação à junção metalúrgica, o que pode degradar significativamente o desempenho do dispositivo^[104]. Se a difusão for excessiva, a ponto de inverter a dopagem na região de emissor próxima da base, o transistor não será mais um HBT, pois a junção BE se tornará uma homojunção. Além disso, o deslocamento da junção em direção ao emissor aumenta a tensão V_{be} , que é proporcional a E_g/q ^[105], conforme a equação

$$V_{be} = \frac{E_g}{q} + \frac{kT}{q} \ln \left(J_c \frac{P_b W_b}{D_n N_C N_V} \right).$$

A difusão de dopantes tipo *p* para o emissor leva a junção para uma região de maior E_g . Esta difusão também aumenta $V_{ce,off}$, pois faz piorar o fator de idealidade da junção BE.

Melhores resultados para dopagem com Be foram observados experimentalmente quando se aumenta o fluxo da fonte de As em relação ao fluxo da fonte de Ga, durante o crescimento^[106]. Neste caso o elemento dopante apresenta melhor estabilidade térmica.

■ **Base gradual:** Utilizando na base $\text{Al}_x\text{Ga}_{1-x}\text{As}$ com x variando de um valor inicial ($\simeq 0,12$), na interface com o emissor, até zero na interface com o coletor, a faixa de energia proibida também variará, de um valor inicial $E_{g,\text{Al}_{0,12}\text{Ga}_{0,88}\text{As}}$ para um valor final $E_{g,\text{GaAs}}$, conforme representado na Fig. 2.10. Nesta figura observa-se que a graduação origina um campo elétrico embutido na região do *bulk* da base (inclinação de E_c). Este campo fornece uma aceleração extra aos elétrons, reduzindo o tempo de trânsito e aumentando a frequência de transição. A aceleração dos elétrons permite o uso de bases mais espessas, com menor resistência e o mesmo tempo de trânsito de bases mais finas, porém sem graduação^[101]. A máxima aceleração proporcionada pelo campo elétrico relacionado à base gradual ocorre para uma graduação linear, o que é obtido fazendo-se x variar linearmente

durante o crescimento^[107].

A graduação da base também pode ser utilizada para se reduzir o efeito de tamanho de emissor, pois forma-se um campo elétrico na região da superfície da base extrínseca, da ordem de 12 kV/cm, que é suficiente para evitar a passagem de corrente próximo à esta superfície^[95]. Desta forma a corrente superficial de recombinação é reduzida e não se observa degradação do ganho de corrente em dispositivos pequenos conforme mostrado no gráfico da Fig. 2.16.

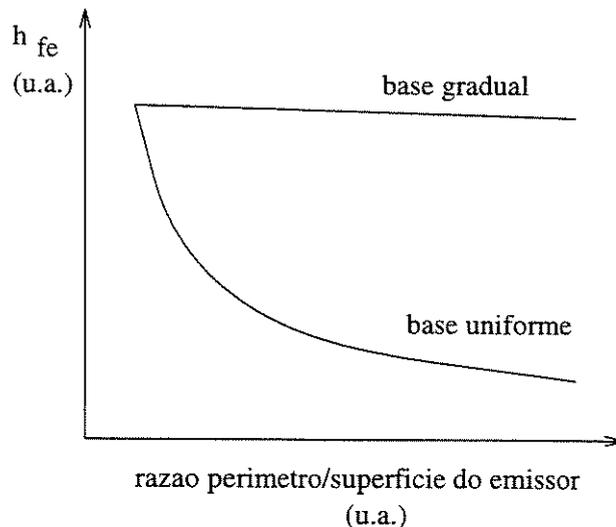
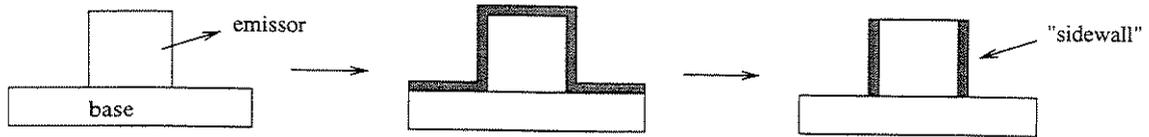


Figura 2.16: Comparação, em unidades arbitrárias, de um HBT com base gradual e outro com base uniforme. Nota-se uma degradação do ganho de corrente quando o transistor diminui, no caso em a base é uniforme. (Adaptado de [95]).

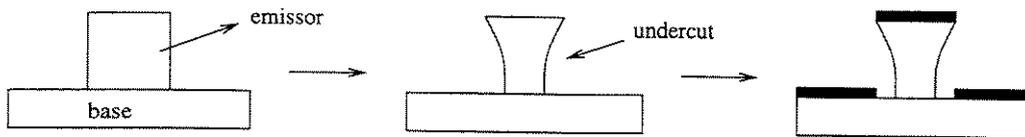
■ **Contato de base:** Para a metalização de base, pode-se utilizar contato sem liga baseado em Ti/Pt/Au. Um contato de baixa resistividade é realizado com Ni/Ti/Pt/Ti/Pt: 50/50/50/250/250 Å (650 Å no total), com tratamento térmico a 400 °C^[108]. Eletrodos de base com mais de 900 Å, em transistores muito pequenos (emissor menor que $10 \times 10 \mu\text{m}^2$), auto-alinhados, podem resultar em toque do metal na mesa de emissor^[109]. Isto se torna outro efeito causador de correntes elevadas de base sob baixas polarizações, além daqueles mencionados na seção 2.2. Uma solução natural para este problema seria reduzir a espessura do metal de base, o que aumenta a resistência deste metal. Uma outra solução é a metalização em duas etapas formando uma metalização em forma de 'L', conforme proposto por Yanagihara *et al.*^[109]. Na primeira etapa, auto-alinhada com a mesa de emissor, deposita-se uma fina camada de metal de base ($\approx 600 \text{ Å}$) e na segunda etapa, deposita-se uma camada espessa de ouro utilizando-se uma máscara litográfica que possibilite um pequeno espaçamento entre esta última camada e a mesa de emissor. O formato da metalização, evita o toque do metal com a mesa, pois o 'L' é disposto de tal forma que o lado de menor altura fique virado para a mesa.

A separação entre o metal de base e a mesa de emissor é obtida por um dos dois processos seguintes:

1. Uso de *sidewall*. Neste caso forma-se uma parede lateral de material isolante, por deposição isotrópica seguida de *etching* anisotrópico^[110]:



2. Geração de *under etch* na mesa de emissor. Neste caso o *etch* para exposição da base inclui uma etapa úmida e isotrópica, gerando um *undercut*. Quando o metal de base é evaporado, o *undercut* será uma região de sombra, evitando o toque^[111]:



A técnica de *sidewall* pode piorar o contato de base, pois o processo de deposição e *etching* de material isolante na superfície danifica a mesma, o que gera uma pior interface metal/superfície de base. A técnica de *undercut* tende a deixar uma superfície com armadilhas para elétrons, o que aumenta a corrente de base.

2.4 Fabricação do Coletor

O coletor é fabricado com uma camada de GaAs n pouco dopado crescida sobre uma camada de GaAs $n+$, denominada sub-coletor ou *buffer* $n+$, cuja função é realizar a interface entre o coletor intrínseco e o contato ôhmico de coletor. Um coletor típico de HBT Al-GaAs/GaAs está representado na Fig. 2.17. Nota-se nesta figura que o coletor possui uma região extrínseca grande (a região que não está diretamente sob a mesa de emissor). A capacitância parasitária devido à esta região aumenta C_{bc} total e é um dos fatores limitantes do desempenho em frequência de HBTs.

■ **Redução da capacitância base-coletor:** A isolação elétrica do coletor extrínseco diminui C_{bc} , o que reduz τ_c ^[112] (tempo de carga da capacitância de coletor). Esta isolação pode ser realizada por implantação iônica. Utiliza usualmente prótons ou íons de oxigênio para danificar a rede cristalina do GaAs na região extrínseca de coletor, reduzindo a concentração de portadores e conseqüentemente reduzindo C_{bc} e aumentando f_T e f_{max} ^[113]. Entretanto, a isolação desta camada tem efeito adverso no tempo de trânsito da base, pois a camada isolada reduz o espaço permitido ao fluxo de elétrons da base para o coletor, pois

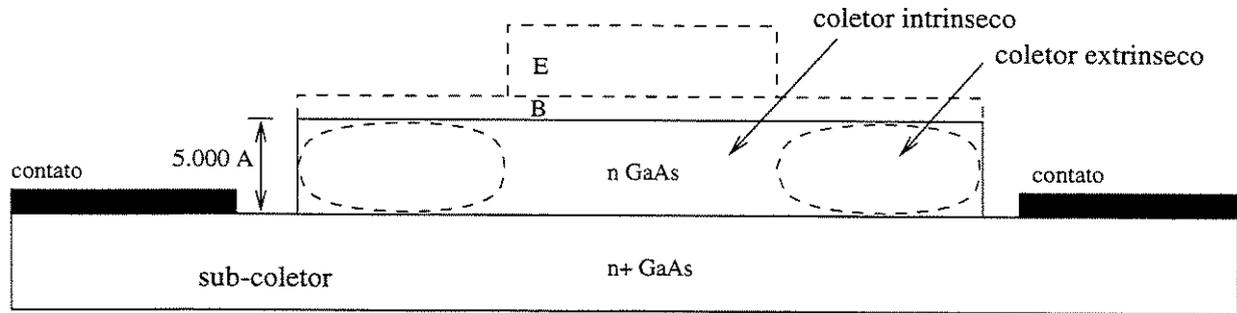


Figura 2.17: Estrutura típica de coletor, mostrando o coletor intrínseco, o coletor extrínseco, o sub-coletor e o contato ôhmico.

os portadores procuram regiões menos resistivas, que no caso serão a base extrínseca, a base intrínseca e o coletor intrínseco, sendo pequena a passagem de portadores da base extrínseca para o coletor extrínseco, o que causa acumulação de elétrons na base extrínseca e aumento de τ_b . Este efeito causa a queda de f_T após um certo valor limite da corrente de coletor^[113]. Horio *et al.*^[114] demonstraram que pode-se minimizar τ_b deslocando-se levemente a fronteira (menos que 500 Å) entre a região isolada e o coletor intrínseco, em direção aos contatos de base. É muito crítico obter uma separação tão pequena por litografia. Uma possibilidade é utilizar emissor com *undercut* como máscara para a implantação.

■ **Redução do tempo de trânsito:** A Fig. 2.18 mostra um esboço do diagrama $E-\vec{k}$ para o GaAs, onde observam-se os vales Γ e L na banda de condução. Quando submetidos a um

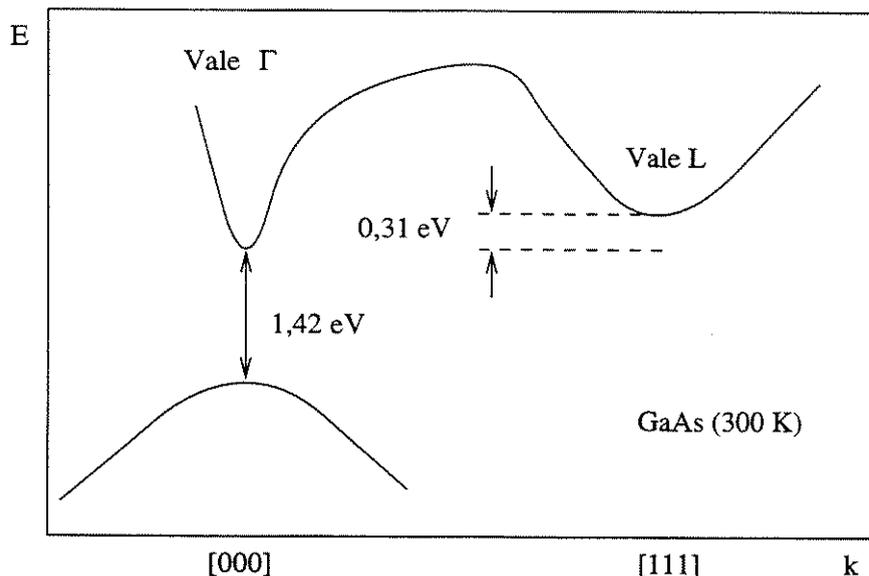


Figura 2.18: Esboço do Diagrama $E-\vec{k}$ para o GaAs ao longo da direção $[111]$. Observa-se dois vales na banda de condução, um de menor energia e maior mobilidade (vale Γ) e outro de maior energia e menor mobilidade (vale L). Obs.: vales X e K não estão mostrados.

campo elétrico, elétrons do vale Γ podem ganhar energia e saltar ao vale L . Este fenômeno

ocorre no coletor de HBTs AlGaAs/GaAs, onde à medida que o campo elétrico no coletor aumenta, elétrons podem saltar do vale Γ , onde normalmente se encontram, ao vale L , normalmente desocupado. Uma vez que a mobilidade no vale L é menor, esta transição causa uma abrupta redução na velocidade dos elétrons e conseqüente degradação em f_T . A velocidade de saturação dos elétrons no vale Γ é denominada velocidade de *overshoot* e é interessante manter os elétrons nesta velocidade (ou seja, no vale Γ) pelo maior tempo possível. Yamauchi *et al.*^[21] observaram que em um HBT típico (coletor com dopagem de $5 \times 10^{16} \text{ cm}^{-3}$), a redução em f_T com o aumento de V_{ce} se deve predominantemente a um grande aumento em τ_d (tempo de trânsito na região de depleção de coletor). Verificaram também que o tempo de trânsito na base permanece aproximadamente constante, o que indica que a queda de f_T com V_{ce} se deve principalmente à mudança da mobilidade dos elétrons na região de depleção de coletor e não ao alargamento da base. A transição dos elétrons do vale inferior para o vale superior depende do campo^[115] e conseqüentemente para prolongar o tempo em que os elétrons ficam no vale inferior, deve-se evitar o aumento do campo elétrico ao longo da estrutura, o que pode ser conseguido dopando-se levemente o coletor, deixando-o intrínseco ou mesmo utilizando uma leve dopagem p , da ordem de $3 \times 10^{16} \text{ cm}^{-3}$. Estas estruturas levam à redução no tempo de trânsito sem aumentar C_{bc} , como aconteceria no caso de se tentar reduzir W_{dc} aumentando-se a dopagem de coletor^[22].

■ **Contato de coletor:** O sistema de metalização geralmente utilizado é AuGe e o sub-coletor é dopado $n+$, com Si ou Sn, a níveis da ordem de 10^{18} cm^{-3} . A alta dopagem do subcoletor reduz a resistividade do contato e também a resistência série de coletor^[116]. O uso de estanho ao invés de silício permite atingir níveis mais elevados de dopagem (até $1 \times 10^{20} \text{ cm}^{-3}$). Ito *et al.*^[117] relataram valores de ρ_c da ordem de $2 \times 10^{-7} \Omega\text{cm}^2$ para contatos ôhmicos em sub-coletores dopados com Sn, usando metalização AuGe/Ni/Ti/Au. No entanto este tipo de dopagem apresenta algumas dificuldades tecnológicas devido ao fato de que o Sn apresenta forte comportamento anfótero em GaAs.

2.5 Fabricação de Camadas Eletricamente Isoladas

Camadas elétricas isoladas são necessárias para se realizar a separação elétrica entre dispositivos que durante a fabricação compartilham as mesmas camadas, isolar elementos de um mesmo dispositivo e também para se reduzir componentes parasitas.

Os métodos usuais de isolamento são:

- Fabricação de mesas por *etching*. Utiliza-se *etch* úmido ou seco para se remover a camada a ser isolada.
- Implantação iônica. Neste caso o bombardeio iônico é utilizado para gerar regiões isoladas.

- Deposição de material isolante.

A isolação obtida deve ser tal que não permita o *crosstalk* entre dispositivos. Ou seja, a polarização de um dispositivo não deve induzir corrente em um dispositivo vizinho.

2.5.1 Implantação Iônica

No processo de implantação iônica, íons são acelerados, em vácuo contra a superfície da amostra. Ao entrar no material, estes íons são desacelerados por colisões com núcleos e com a coroa de elétrons. A energia transferida em colisões com núcleos da rede cristalina pode ser suficiente para deslocá-los, danificando a mesma e criando níveis profundos associados aos danos da rede. Um íon colidirá várias vezes até parar completamente, deixando em seu percurso um caminho de núcleos deslocados e a somatória destes caminhos constitui uma região com a cristalinidade desfeita. Os íons são implantados com energia ajustada para criar um grande número de defeitos na rede. Altas energias levam a freiamento predominantemente eletrônico (sem efeito na rede) e baixas energias levam a freiamento predominantemente nuclear (danificando a rede). Este processo de isolação é puramente físico. Um outro caso corresponde à implantação de impurezas que quando eletricamente ativas (processo químico) originam níveis profundos no semiconductor, deixando o material isolante. Este dois mecanismos de isolação são distintos quanto à estabilidade térmica, pois a isolação obtida por defeitos é removida com o recozimento. Quando a isolação é obtida por ativação de níveis profundos, a camada permanece resistiva mesmo após a remoção dos defeitos causados pela implantação^[118]. Os deslocamentos de átomos da rede cristalina, causados pelas colisões, tanto de íons incidentes como de núcleos deslocados com muita energia, geram aglomerados complexos de defeitos (*clusters*)^[119]. Em GaAs, a região central destes aglomerados pode ter densidade até 98 % menor que a densidade original e a grande separação espacial, leva à ocorrência de bolhas vazias (ou *voids*)^[120]. A geração de grande densidade de bolhas é outro método de isolação. Neste caso a superfície das bolhas funciona como armadilha para portadores. Este mecanismo de isolação pode ser obtido com a implantação de alumínio^[121].

O objetivo da implantação para a isolação elétrica é obter camadas com resistividade de folha da ordem de $10^7 \Omega/\square$ ou maior, o que corresponde aproximadamente à resistividade de folha do substrato. Na prática, a implantação de íons de elementos tais como oxigênio, boro e hidrogênio seguidas de tratamento térmico, fornecem resistividades desta ordem ou ainda maiores^[118].

Métodos baseados em implantação podem apresentar problemas de bordas, pois ocorre espalhamento de íons sob a máscara de implantação, que pode chegar a 50 % da altura isolada. Comparando com os métodos de *etching*, o *etch* úmido pode resultar em *undercut* de até 100 % da altura removida e o *etch* seco deixa a superfície com grande densidade de

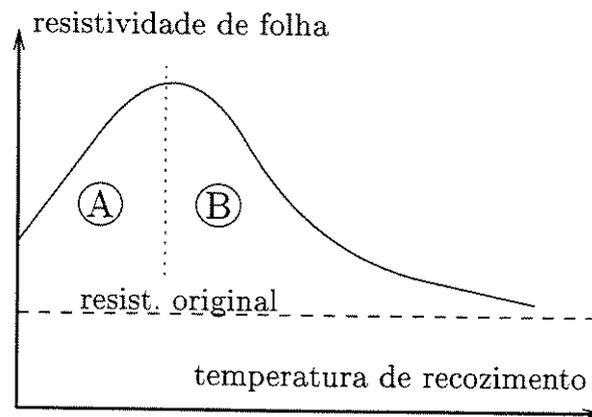


Figura 2.19: Variação da resistividade de folha com a temperatura.

defeitos.

Um tratamento térmico adequado pode aumentar a resistividade da camada implantada em relação à resistividade após a implantação. Inicialmente a resistividade aumenta com a temperatura, e depois de um atingir um ponto de máximo, seu valor diminui até a restauração do valor inicial. Este comportamento pode ser observado na Fig. 2.19. De acordo com o modelo de Short *et al.*^[122], a resistividade inicial se dá pela condutividade tipo *hopping* (a grande densidade de defeitos gera muitos níveis próximos dentro da banda proibida e portadores podem saltar entre estes níveis), o aquecimento diminui a densidade de defeitos, reduzindo portanto este tipo de condutividade e aumentando a resistividade de folha, até um valor limite, que corresponde à densidade de defeitos ótima para o caso. Após este ponto, a energia fornecida pelo aquecimento faz com que o material readquira a cristalinidade e o valor inicial de R_{\square} é restaurado.

O uso de implantações sucessivas pode produzir perfis complexos de implantação, que podem ser utilizados para se isolar toda a estrutura de camadas, realizando a isolamento entre dispositivos e particularmente para se isolar a região da camada extrínseca de coletor.

A isolamento completa das camadas, pode ser realizada com séries de implantações, cada uma com energia calculada para fornecer um valor diferente de R_p , conforme representado na Fig. 2.20 (a). A somatória dos perfis de implantação, resulta em uma região totalmente isolada. Em GaAs, a isolamento completa das camadas pode ser obtida com íons, tais como B^{+} ^[118, 123], ou O^{+} ^[118, 124]. A implantação para a isolamento do coletor extrínseco pode ser obtida com uma implantação de H^{+} ^[123, 101], conforme representado na Fig. 2.20 (b). Ao atravessar a camada extrínseca de base base, estes íons sofrem freinamento predominantemente eletrônico, sem danificá-la significativamente.

O método de isolamento pela ativação química de níveis profundos, pode ser feito em AlGaAs com a implantação de O^{+} . O recozimento coloca o oxigênio em uma posição substitucional na rede do AlGaAs, introduzindo níveis profundos e formando uma região isolante^[118].

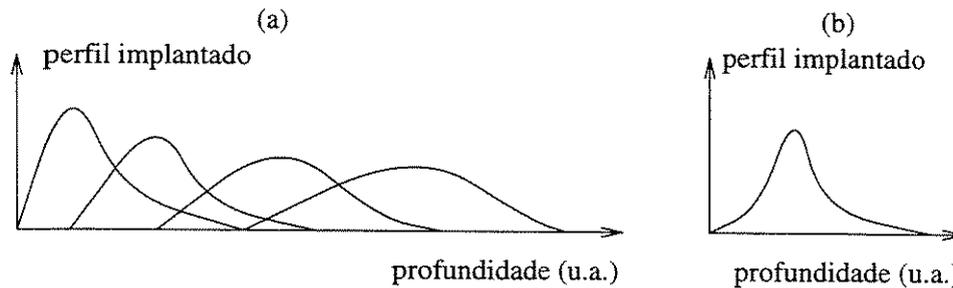


Figura 2.20: (a) Isolação de todas as camadas: utiliza-se uma série de implantações. (b) Isolação do coletor: utiliza-se uma implantação, com íons leves.

Em GaAs a introdução de níveis profundos por dopagem pode ser feita com cromo ou vanádio^[125].

2.5.2 Etching

Os métodos de *etching* para a isolamento de camadas consistem na remoção completa das camadas de tal forma que o meio isolante será o ar ou algum material depositado após o *etching*, tal como SiO_2 , Si_3N_4 , polyimide ou BCB. O *etching* pode ser realizado por reações químicas por via úmida ou seca, em ambiente de plasma ou por processo físico baseado em bombardeamento iônico, também por via seca.

O *etching* mais crítico realizado na fabricação de HBTs é aquela para a definição da mesa de emissor, pois deve ser interrompida com grande precisão sobre a superfície da camada de base. As camadas a serem removidas neste caso são: GaAs $n+$ e AlGaAs N , devendo-se parar em uma camada de GaAs $p+$. É possível remover seletivamente a camada de GaAs $n+$ com plasma de $\text{CCl}_2\text{F}_2 + \text{He}$ ^[126], parando-se na camada de AlGaAs. O *etching* seguinte é mais simples pois sabe-se que falta uma espessura pequena para se chegar à base. Os métodos de *etching* úmido mais utilizados se baseiam em processos de oxidação da superfície de GaAs e *etching* do óxido, sendo que estas duas etapas se realizam com uma mesma solução, que contém o oxidante (água oxigenada) e o removedor do óxido (um ácido ou uma base). Uma alternativa ao *etching* úmido é a técnica de *etching* digital^[127]. Nesta técnica o agente oxidante é separado do removedor de óxido e as etapas de oxidação e *etching* são realizadas separadas em processos auto-limitantes, sendo que a primeira etapa é limitada por difusão (o óxido formado impede a penetração de mais oxidante) e a segunda é limitada pelo término da camada de óxido. Desta forma a altura removida depende do número de ciclos realizados e não do tempo de processo. Utilizando-se água oxigenada como oxidante e ácido clorídrico para remover o óxido consegue-se remover 15 Å por ciclo.

Etching seletivo de GaAs em relação a AlGaAs por via úmida pode ser obtida com uma solução de ácido cítrico e água oxigenada^[128, 129], porém também neste caso, o uso deste

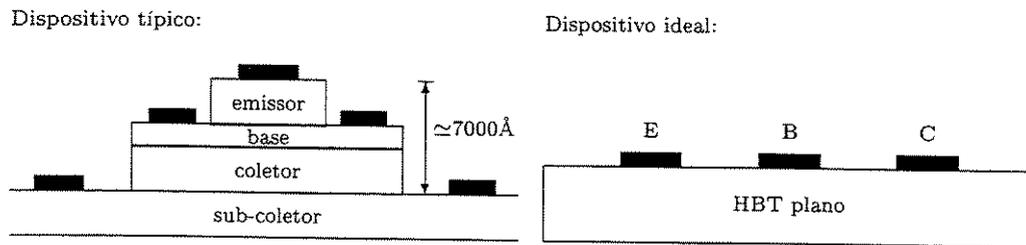


Figura 2.21: Estrutura de um HBT típico e outro idealizado.

processo para a definição da mesa de emissor apenas facilita a tarefa, sem resolvê-la completamente, pois o *etching* da camada de AlGaAs deverá ser precisamente interrompido na camada de base.

2.6 Auto-Alinhamento e Planarização

Para obter-se alto desempenho, é necessário reduzir elementos parasitas, tais como r_b e C_{bc} . Técnicas de auto-alinhamento podem ser utilizadas para alinhar algumas estruturas do dispositivo em relação a outras, tais como contatos de base em relação à mesa de emissor e contatos de coletor em relação à mesa de base. Tais técnicas permitem a obtenção de dispositivos menores com resistência de base e capacitância de coletor reduzidas, além de menor consumo de potência^[101]. O HBT apresenta estrutura tipicamente piramidal, com um desnível entre o plano de contato de emissor e o plano de contato de coletor de $\simeq 7.000 \text{ \AA}$ (Fig. 2.21). Quando reduzimos as dimensões laterais, a razão de aspecto se torna mais acentuada e o problema da planicidade fica mais crítico. A planarização da estrutura HBT é útil para se aumentar o rendimento de produção, pois a estrutura piramidal gera dificuldades para a passagem do metal de interconexão.

O auto-alinhamento dos contatos de base em relação à mesa de emissor pode ser obtido com *etching* úmido e isotrópico, que forma um *undercut* na mesa, seguida de *lift-off* do metal de base^[130]. Também pode-se utilizar paredes laterais de materiais isolantes, tais como nitreto e óxido de silício depositados por CVD^[131] e polyimide^[132]. Nittono *et al.*^[133] desenvolveram um processo onde evapora-se WSi_x para o contato de emissor e define-se a mesa por RIE. A seguir forma-se paredes laterais com SiO_2 para evitar que o metal de base toque a mesa. Para este último metal foi utilizado W/Ti, também definido por RIE, de tal forma que nesta estrutura não se utiliza *lift-off*.

o auto-alinhamento também pode ser obtido com o recrescimento do emissor^[134]. Esta técnica pode ser utilizada para a obtenção de dispositivos sub-micron, porém com o retorno da amostra à câmara de crescimento. Um processo para a obtenção de HBT AlInAs/InGaAs sub-micron auto-alinhado foi proposto por M. Hafizi^[135] e baseia-se na definição da mesa por RIE, com máscara de nitreto de silício e uso de um mesmo metal para os contatos de

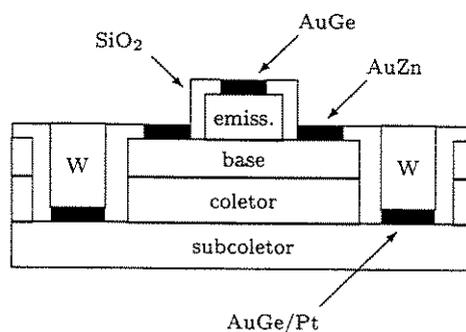


Figura 2.22: HBT plano fabricado por Mitani *et al.*^[136], baseado no uso de W-CVD seletivo.

base e emissor (Ti/Pt/Au).

As técnicas de planarização utilizam em geral o preenchimento das regiões não planas com algum material apropriado. Mitani *et al.*^[136] fabricaram um HBT planarizado usando W-CVD seletivo para preencher a via de contato de coletor com tungstênio (Fig. 2.22). Para obter seletividade no processo de W-CVD, foi utilizada uma camada de platina depositada sobre o metal de contato (AuGe), que tem a finalidade de nuclear o tungstênio durante o processo de W-CVD. Um dispositivo HBT totalmente planarizado foi obtido por Tully *et al.*^[137] com o uso de dopagem da região de base por implantação iônica.

A planarização com polyimide é bastante adequada^[135], pois este material além de bom isolante, é líquido durante a aplicação, formando uma superfície naturalmente plana. Shin *et al.*^[138] apresentaram um processo com duas etapas de polyimide para a planarização completa do dispositivo. Na primeira etapa, o dispositivo é planarizado até a altura da mesa de base e forma-se o contato de base. Na segunda etapa, o dispositivo é planarizado até a altura da mesa de emissor.

Combinando-se métodos de auto-alinhamento com um processo de planarização pode-se obter dispositivos com boa resposta em frequência, pequeno consumo de potência e maior capacidade de integração.

★ ★ ★

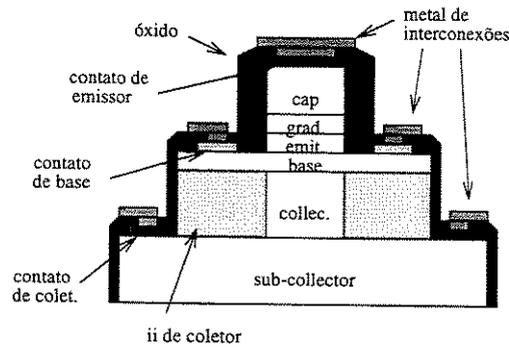
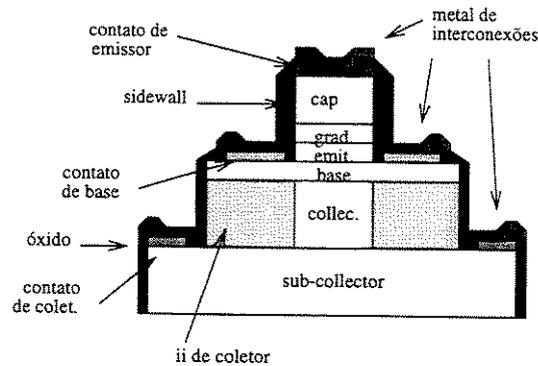
3

Dispositivos de Teste para o Estabelecimento de um Processo de Fabricação

Visando estabelecer um processo de fabricação de HBTs, consideramos o desenvolvimento de um conjunto de processos similares. Cada processo é constituído de um conjunto de *etapas de processo*, que por sua vez, precisam ser estabelecidas e testadas individualmente, de acordo com os recursos disponíveis. Para facilitar o projeto destes processos, foi utilizado um *software* de visualização, desenvolvido durante este trabalho e apresentado no apêndice deste capítulo.

Em todos os casos o ponto de partida é um substrato de GaAs com camadas para HBT já crescidas.

A seguir são realizadas etapas litográficas para mascarar *etchings*, implantações iônicas e metalizações. Durante o projeto destes transistores consideramos a inclusão de elementos, que podem ser obtidos com as facilidades disponíveis em nosso laboratório, que de acordo com a literatura favorecem o desempenho elétrico dos dispositivos. Dentre os elementos incluídos nas estruturas projetadas estão: camada de InGaAs sobre a camada de emissor^[55] para a obtenção de contato ôhmico por engenharia de *band-gap*, difusão de Zn^[133] para melhorar os contatos de base, deposição seletiva de tungstênio para preenchimento da via de contato de coletor e consequente planarização^[136], implantação iônica na região extrínseca da camada de coletor^[118], uso de estruturas auto-alinhadas e planas, o que favorece a obtenção de dispositivos de menores dimensões e maiores frequências de operação^[101]. Os detalhes destes elementos construtivos foram apresentados no Capítulo 2.

Figura 3.1: Transistor H_1 .Figura 3.2: Transistor H_4 .

Temos dois elementos a considerar: o processo de fabricação, que é o conjunto de etapas de processo e o dispositivo resultante após este processo ser realizado. Assim, para efeitos de nomenclatura, utilizamos a letra P para designar processos e a letra H para diferenciar transistores HBT.

Ao todo foram projetados 5 transistores ($H_{1,\dots,5}$) que são obtidos por 3 processos distintos. O primeiro processo fornece os transistores H_1 e H_4 e foi denominado P_{14} . O segundo processo fornece os transistores H_2 e H_3 e foi denominado processo P_{23} e o terceiro processo fornece o transistor H_5 e foi denominado processo P_5 . Os transistores H_1 (Fig. 3.1) e H_4 (Fig. 3.2) são os mais simples em termos de etapas de processo, sendo H_1 não auto-alinhado (NSA) e H_4 auto-alinhado (SA).

Os transistores H_2 (Fig. 3.3) e H_3 (Fig. 3.4) são um pouco mais complexos que os anteriores, porém são mais planos. O transistor H_5 é um dispositivo bastante plano, porém sua fabricação depende de etapas de processo críticas e de difícil obtenção. A Tabela 3.1 resume os transistores projetados e suas características físicas principais. A seguir estão apresentados os diversos processos com o detalhamento de suas etapas. Estes processos fazem referência às máscaras litográficas, apresentadas na Seção 3.4. Durante a fabricação, foram introduzidas modificações, conforme será tratado no Capítulo 5.

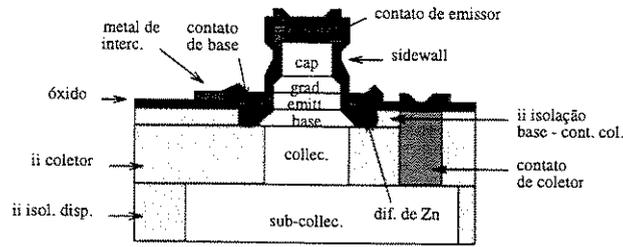


Figura 3.3: Transistor H_2 .

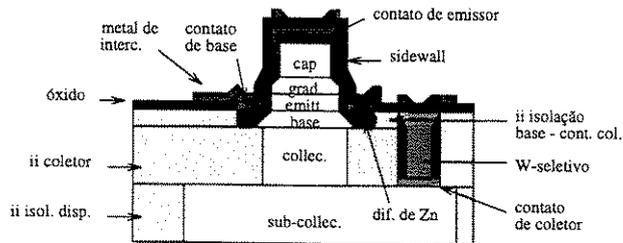


Figura 3.4: Transistor H_3 .

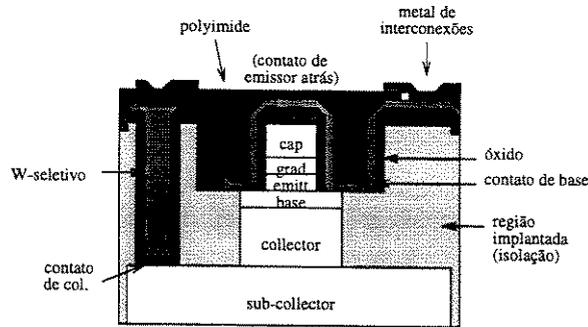


Figura 3.5: Transistor H_5 .

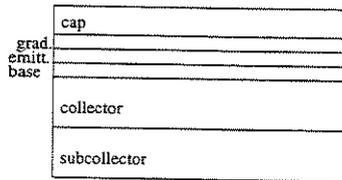
Tabela 3.1: Transistores projetados e processos.

HBT	características	processo
H_1	NSA	P_{14}
H_2	SA por sidewall isolação de disp. por implantação dif. de Zn (cont. de base)	P_{23}
H_3	SA por sidewall isolação de disp. por i,plantação dif. de Zn (cont. de base) W-seletivo (cont. de col.)	P_{23}
H_4	SA por sidewall ou <i>etching</i>	P_{14}
H_5	SA W-seletivo (contato de coletor) isolações por implantação planarizado por polyimide ou BCB	P_5

3.1 Processo P_{14}

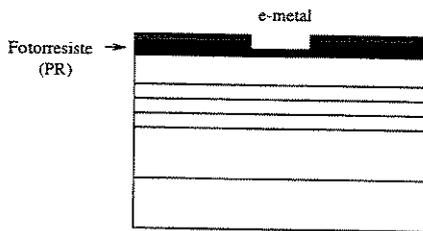
As etapas do processo são como segue:

1. Camadas de início: cap, emissor, base, coletor e subcoletor sobre substrato de GaAs semi-isolante.



2. Definição da mesa de emissor:

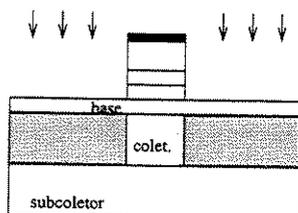
- (a) Litografia # 1: Máscara emesa, para definição da mesa de emissor.



- (b) *Etching* para definir a mesa de emissor. Esta remoção deve incluir pelo menos uma etapa isotrópica, para formar um *undercut* na mesa de emissor, o que é necessário para os transistores auto-alinhados (H_4).

3. Coletor extrínseco.

- (a) Implantação iônica para compensar o coletor extrínseco.

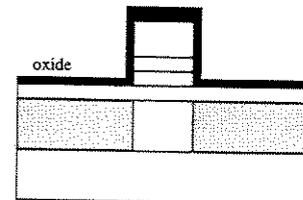


- (b) Na máscara extbc foram incluídas estruturas de teste para remover a parte intrínseca do transistor, deixando apenas a região extrínseca. Para fabricar esta estrutura, deve-se utilizar a seguinte seqüência (caso se tenha interesse em obter esta estrutura para o transistor auto-alinhado (H_4), esta etapa deve ser feita após o metal de base):

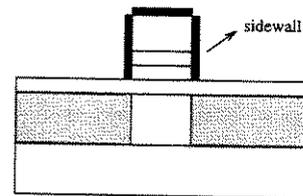
- i. Litografia # 1': Máscara extbc.
- ii. Remoção do metal de base (para o transistor H_4)
- iii. Remoção das camadas de base e de coletor.
- iv. Remoção do fotorresiste.

4. Parede lateral.

- (a) Deposição de óxido de silício.

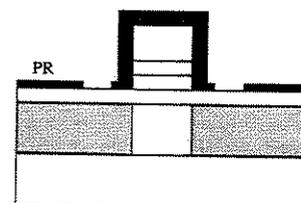


- (b) Remoção do óxido.

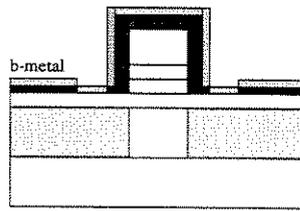


5. Metal de base:

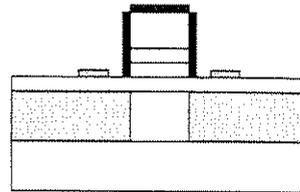
- (a) Litografia # 2: Máscara bmetal.



- (b) Evaporação do metal de base.

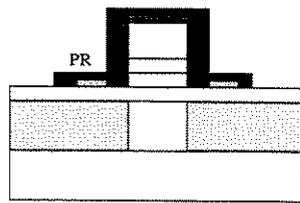


(c) *Lift-off.*

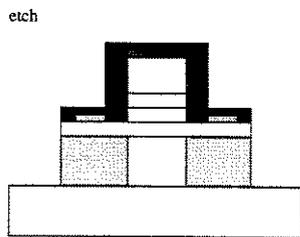


6. Definição da mesa de base.

(a) Litografia # 3: Máscara bmesa.



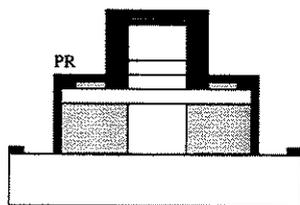
(b) *Etching* para a definição da mesa de base.



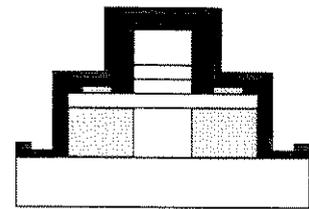
(c) Remoção do fotorresiste.

7. Metal de coletor.

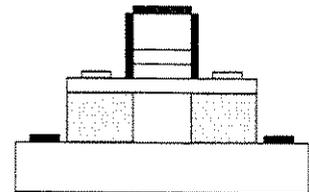
(a) Litografia # 4: Máscara ecmetal.



(b) Evaporação do metal de coletor.

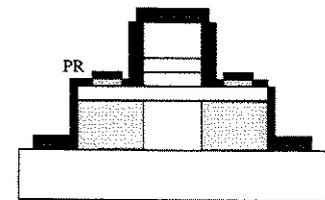


(c) *Lift-off.*

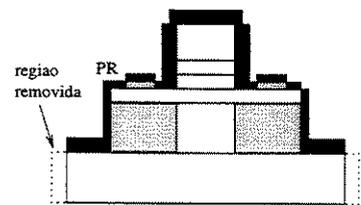


8. Isolação de dispositivo.

(a) Litografia # 5: Máscara deviso.



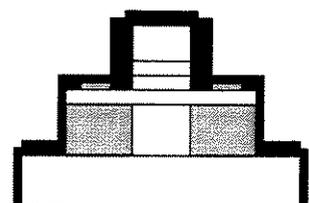
(b) Remoção de todas as camadas até o substrato.



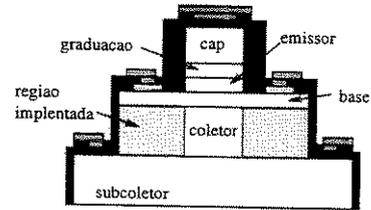
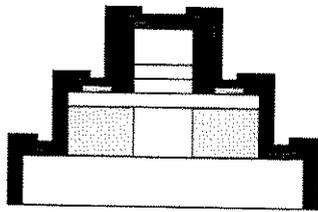
(c) Remoção do fotorresiste.

9. Vias de contato.

(a) Deposição de SiO_2 .



(b) Litografia # 6: Máscara cvia.



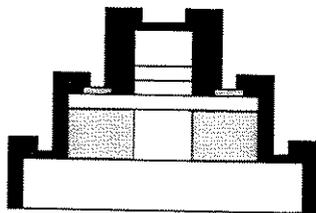
(c) Remoção do óxido até a abertura completa das vias para os contatos de base e emissor.

(d) Remoção do fotorresiste.

(e) Litografia # 7: Máscara colvia. Esta segunda etapa para a abertura de vias é realizada porque o contato de coletor está mais fundo que os contatos anteriores. Nesta etapa, a máscara abre apenas as vias de coletor.

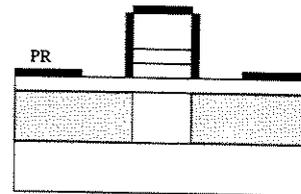
(f) Remoção do óxido e abertura da via de subcoletor.

(g) Remoção do fotorresiste.

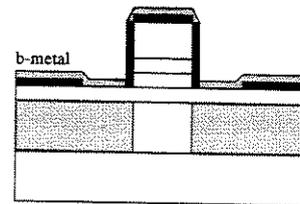


O transistor H_4 é auto-alinhado, e difere do transistor H_1 na litografia # 2, onde o metal de base é depositado também sobre o emissor e as representações da secção transversal de H_4 , durante a etapa *Metal de base* ficam como segue (o dispositivo final está mostrado na Fig. 3.2):

▪ Litografia # 2: Máscara bmetal.

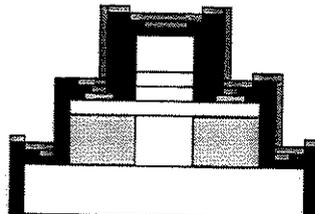


▪ Evaporação do metal de base.

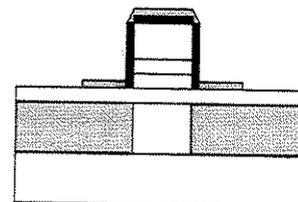


10. Interconexões:

(a) Litografia # 8: Máscara metal.



▪ *Lift-off*.



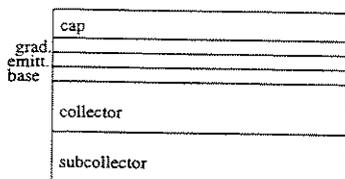
(b) Evaporação do metal de interconexão.

(c) *Lift-off*.

3.2 Processo P_{23}

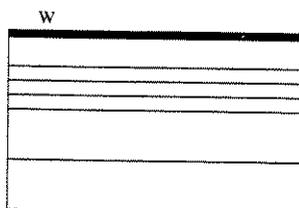
Este processo é auto-alinhado (SA), utiliza implantação iônica para isolar dispositivos, para isolar a camada de base do contato de coletor e para desativar a região extrínseca do coletor. O contato de base é melhorado por meio de uma difusão de zinco. Para fabricar o transistor H_3 , as vias de contato de coletor são preenchidas com tungstênio seletivo ou por deposição seletiva de cobre. As etapas do processo são como segue:

1. Camadas de início: cap, emissor, base, coletor e subcoletor sobre substrato semi-isolante.

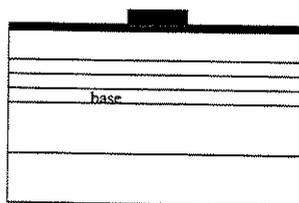


2. Definição da mesa de emissor.

- (a) Deposição do metal de emissor (W).

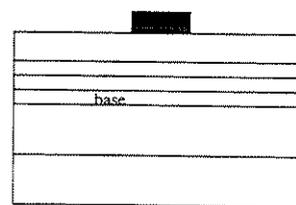


- (b) Litografia # 1: Máscara emesa.

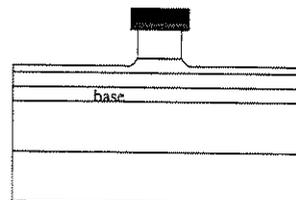


- (c) *Etching* para definição da mesa.

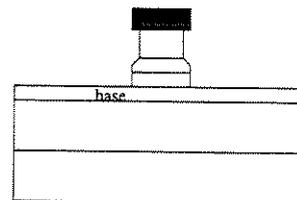
- i. Remoção do metal de emissor.



- ii. Remoção isotrópica do cap de emissor.



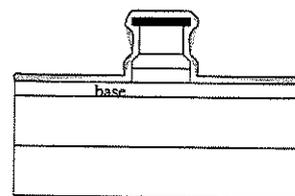
- iii. Remoção anisotrópica da camada de emissor.



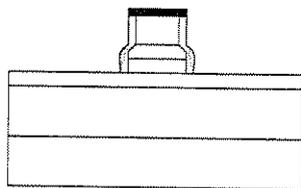
- (d) Remoção do fotorresiste.
- (e) Litografia # 1': Máscara extbc, para fabricar a estrutura de teste da região extrínseca (análoga àquela do processo P_{14}).
 - i. Remoção da camada de base.
 - ii. Remoção do fotorresiste.

3. Difusão de zinco.

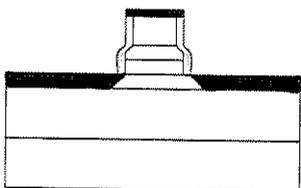
- (a) Deposição de nitreto de silício.
- (b) Deposição de óxido de silício.



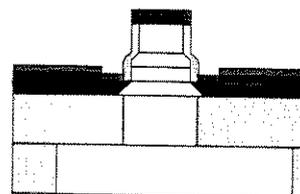
- (c) Remoção do óxido e do nitreto (formação da parede lateral).



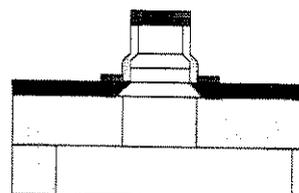
(d) Difusão de zinco.



(b) Evaporação do metal.

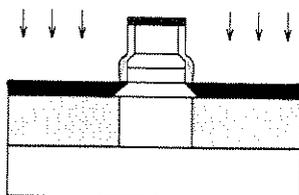


(c) Lift-off.



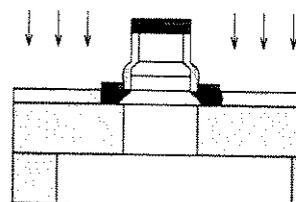
4. Desativação do coletor extrínseco.

(a) Implantação iônica.



7. Isolação da camada de base.

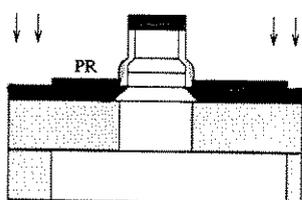
(a) Implanatção iônica.



5. Isolação de dispositivo.

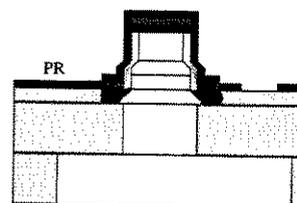
(a) Litografia # 2: Máscara deviso.

(b) Série de implantações para isolamento de todas as camadas restantes.



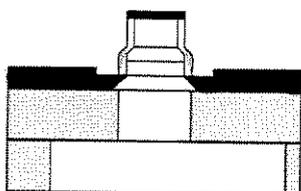
8. Contato de coletor.

(a) Litografia # 4: Máscara ecmetal.

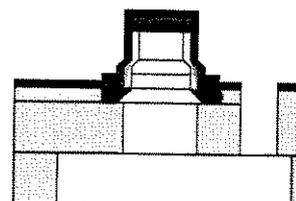


6. Contato de base.

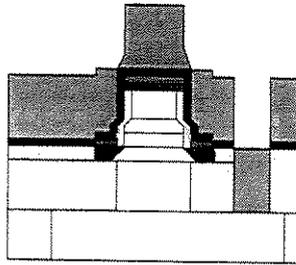
(a) Litografia # 3: Máscara bmetal.



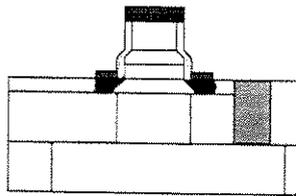
(b) Remoção da camada de coletor.



(c) Evaporação do metal de coletor.

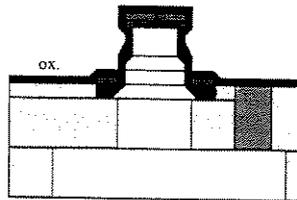


(d) *Lift-off*.

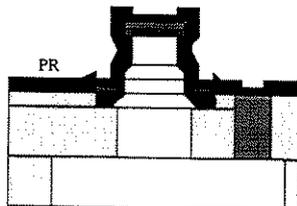


9. Formação das vias de contato.

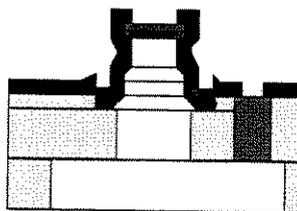
(a) Deposição de óxido de silício.



(b) Litografia # 5: Máscara cvia.



(c) Remoção do óxido até a abertura completa das vias de base e emissor.



(d) Remoção do fotorresiste.

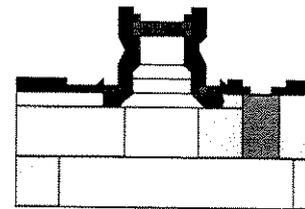
(e) Litografia # 6: Máscara colvia. Esta etapa é necessária apenas se o metal de coletor não estiver suficientemente alto.

(f) Abertura completa da via de sub-coletor.

(g) Remoção do fotorresiste.

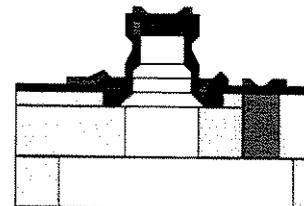
10. Interconexões:

(a) Litografia # 7: Máscara metal.



(b) Evaporação do metal de interconexão.

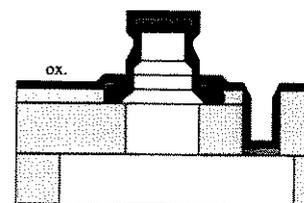
(c) *Lift-off*.



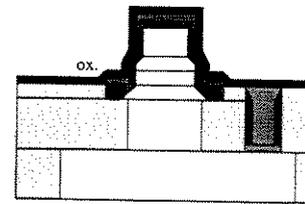
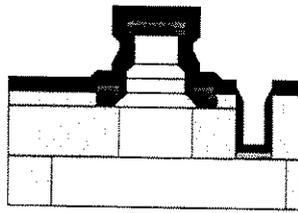
Para a fabricação do transistor H_3 , deve-se seguir as seguintes etapas, após a formação do contato de coletor:

1. Deposição seletiva de metal para o preenchimento das vias de coletor.

(a) Deposição de óxido de silício.

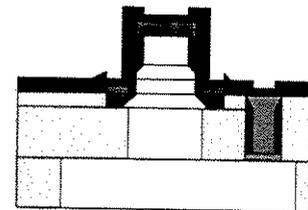
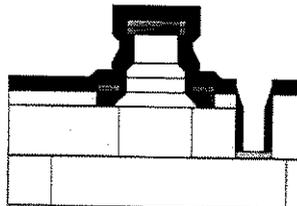


(b) Litografia # 4a: Máscara cmetal.



(b) Litografia # 5: Máscara cvia.

(c) Remoção do óxido.

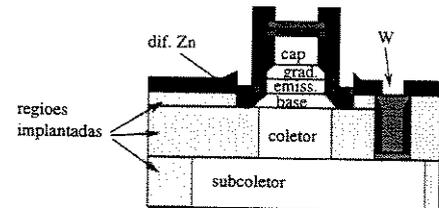


(c) Remoção do óxido.

(d) Remoção do fotorresiste.

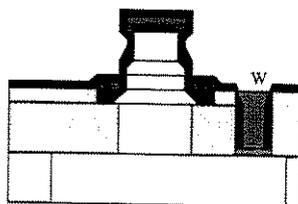
(e) Se o óxido não for completamente removido:

- i. Litography 4a', Máscara bre-cess.
- ii. Remoção do óxido.
- iii. Remoção do fotorresiste.

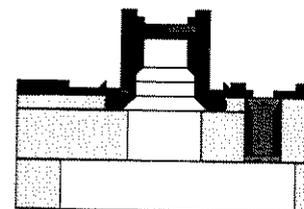


(d) Remoção do fotorresiste.

(f) Deposição seletiva de metal (tungstênio³. Interconexões. ou cobre).

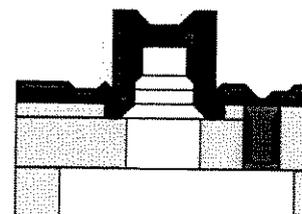
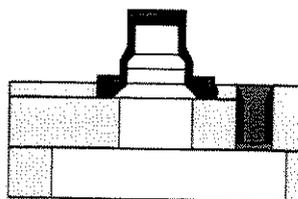


(a) Litografia # 6: Máscara metal.



(g) Remoção do óxido.

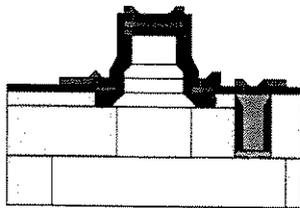
(b) Evaporação do metal de interco-
nexão.



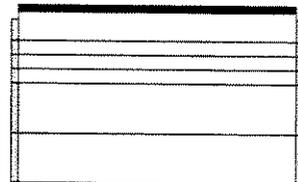
2. Formação de vias de contato.

(a) Deposição de óxido.

(c) *Lift-off*.



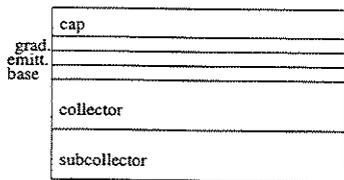
(c) Leve *etching* para facilitar a próxima etapa litográfica.



3.3 Processo P_5

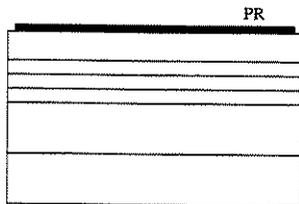
Este é um processo auto-alinhado projetado para produzir um dispositivo plano. As etapas de processo são apresentadas a seguir:

1. Camadas de início: cap, emissor, base, coletor e subcoletor sobre substrato semi-insolante.

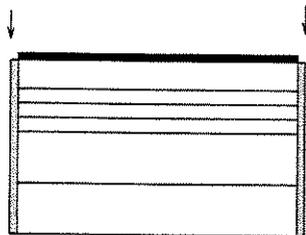


2. Isolação de dispositivo.

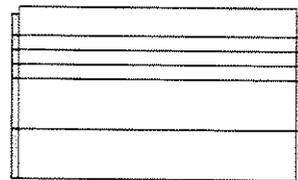
(a) Litografia # 1: Máscara de desenho.



(b) Série de implantações, para a isolação de todas as camadas.

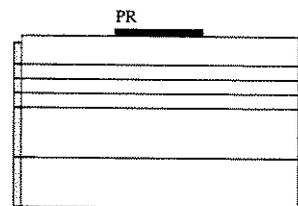


(d) Remoção do fotorresiste.

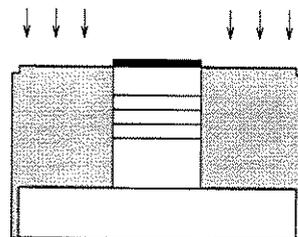


3. Definição da área ativa.

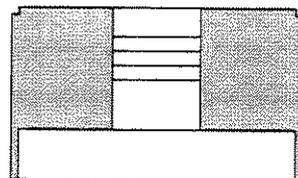
(a) Litografia # 2: Máscara bmesa.



(b) Implantação para definição da área ativa.

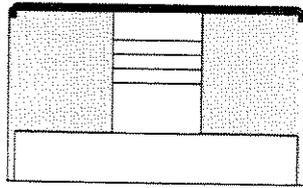


(c) Remoção do fotorresiste.

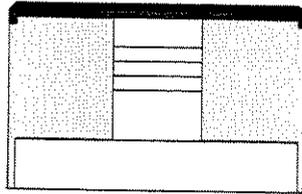


4. Recesso para o contato de base.

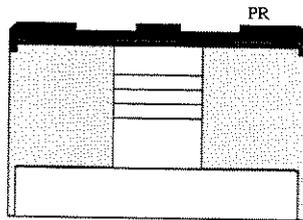
(a) Depósito do metal de emissor.



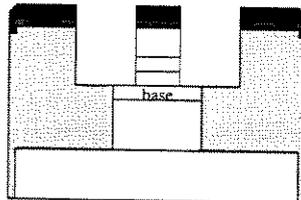
(b) Depósito de óxido de silício.



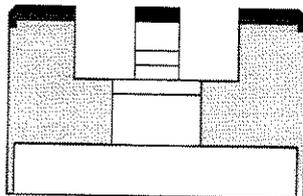
(c) Litografia # 3: Máscara brecess.



(d) Remoção do óxido, metal de emissor, cap e camada de emissor.

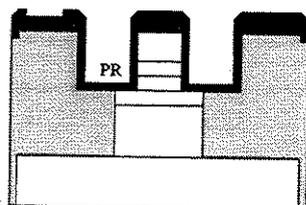


(e) Remoção do fotorresiste.

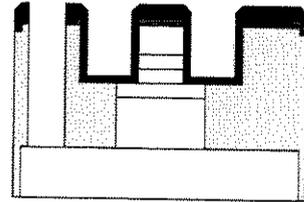


5. Formação do contato de coletor.

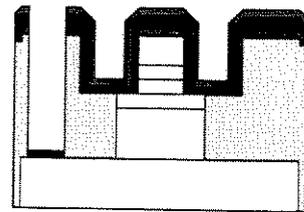
(a) Litografia # 4: Máscara colvia.



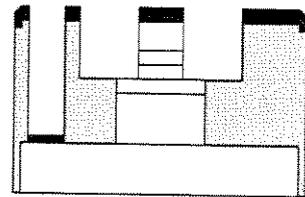
(b) Remoção do óxido, metal de emissor, cap, camada de emissor, camada de base e camada de coletor.



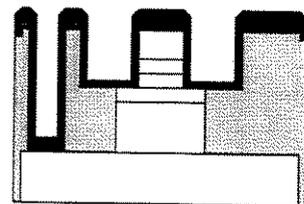
(c) Evaporação do metal de coletor.



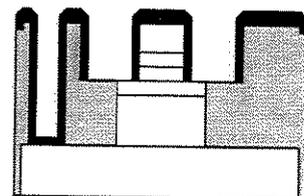
(d) Lift-off.



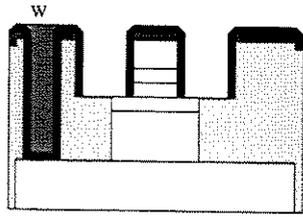
(e) Depósito de óxido de silício.



(f) Remoção do óxido (formação de paredes laterais).

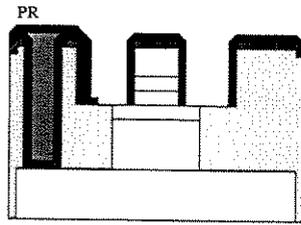


(g) Deposição seletiva de tungstênio.

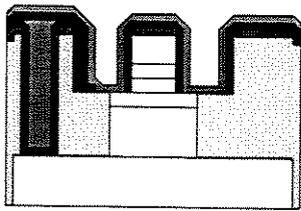


6. Metal de base.

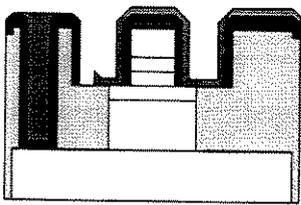
(a) Litografia # 5: Máscara bmetal.



(b) Evaporação do metal de base.

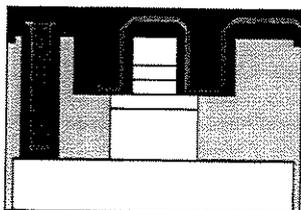


(c) *Lift-off*.

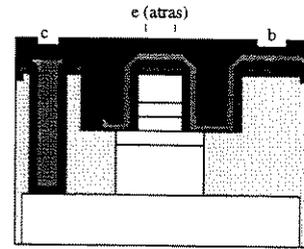


7. Formação de vias de contato.

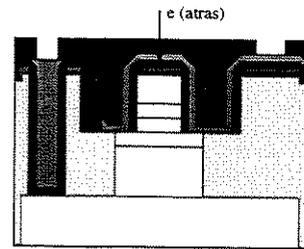
(a) Depósito de polyimide.



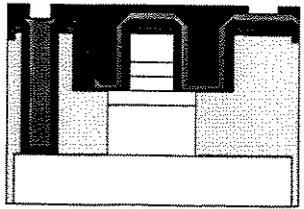
(b) Litografia # 6: Máscara cvia.



(c) Remoção do polyimide.

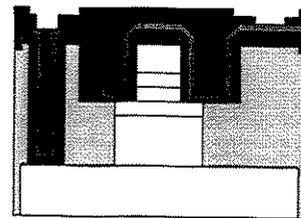


(d) Remoção do fotorresiste.

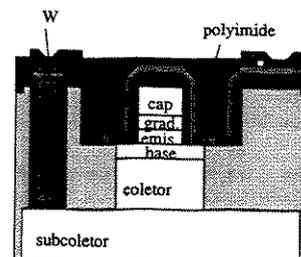


8. Interconexões.

(a) Litografia # 7: Máscara metal.



(b) Evaporação do metal de interconexão e *lift-off*.



3.4 Projeto de um Conjunto de Máscaras Litográficas

Para fabricar os transistores descritos anteriormente foi projetado um conjunto de 10 máscaras litográficas, contendo dispositivos de teste e estruturas auxiliares para permitir a extração de parâmetros dos transistores. Para comparar estruturas diferentes, foram incluídos transistores em 5 tamanhos com *pads* para caracterização em alta-frequência, além de um transistor de área grande, sem *pads*, para testes durante a fabricação. Também foram incluídas estruturas para medir as resistências de folha das camadas semicondutoras e as resistividades dos contatos de emissor, base e coletor.

A nomenclatura dos dispositivos foi realizada da seguinte forma: $H_{n\alpha}$, $n = 1, 2, \dots, 5$, $\alpha = a, b, \dots, f$, denota o membro α da família de transistores H_n . O processo P_{14} produz as famílias de transistores H_1 e H_4 , o processo P_{23} produz H_2 e H_3 e o processo P_5 produz H_5 . Em uma família, a área de emissor aumenta do transistor a para o f . Por exemplo, H_{1d} e H_{4d} são, respectivamente, os transistores não auto-alinhado e auto-alinhado, do processo P_{14} e com tamanho d . Em todas as famílias, os transistores f correspondem aos transistores de área grande, sem *pads*.

A seguir são descritas as máscaras das diversas famílias de transistores, sendo que é enfatizada a descrição da família H_1 , pois as demais famílias são semelhantes em termos de estruturas de teste utilizadas e disposição nas máscaras.

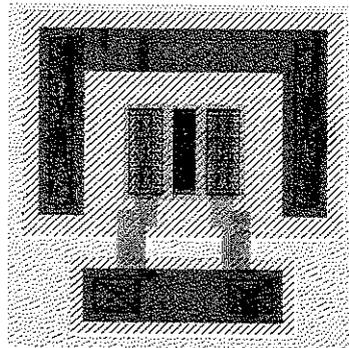
As máscaras foram desenhadas com o *software* MAGIC da Digital, de domínio público. Cada dispositivo ou elemento de teste da família H_n está armazenado em um arquivo separado, cujo nome é hnx onde x especifica o dispositivo ou elemento de teste. Cada família H_n está armazenada em um sub-*chip* chamado hn . Todas as famílias H_n , $n = 1, 2, \dots, 5$ estão agrupadas no *chip* final, chamado $hbt0$. Após alguns testes, o projeto foi revisto e o novo *chip* foi armazenado no arquivo $hbt1$. As máscaras $hbt0$ e $hbt1$ se encontram no LCIC III-V, LPD/IFGW/Unicamp.

3.4.1 Família de transistores H_1

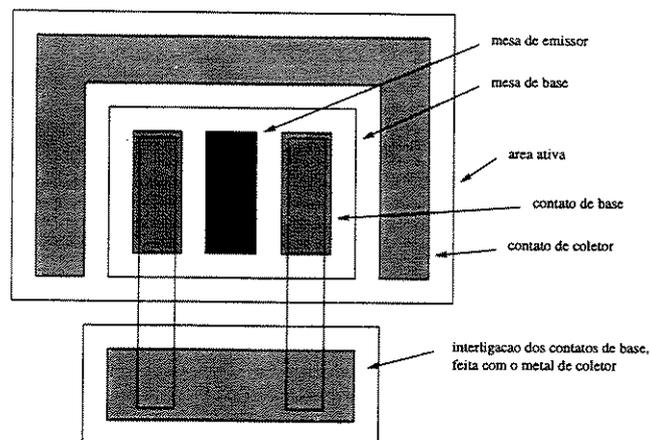
A família H_1 é NSA e utiliza as seguintes máscaras:

	nome da etapa	máscara	tipo da máscara
1.	mesa de emissor	emesa	campo claro
2.	mesa de base	bmesa	campo claro
3.	contato de base	bmetal	campo escuro
4.	contato de coletor	ecmetal	campo escuro
5.	vias	cvia	campo escuro
6.	vias de coletor	colvia	campo escuro
7.	isolação de dispositivo	deviso	campo claro
8.	interconexões	metal	campo escuro
9.	dispositivo extrínseco	extbc	campo escuro

Um exemplo de um dispositivo H_1 é mostrado a seguir:



Neste desenho, observam-se as seguintes estruturas:



Os seguintes transistores foram definidos para a família H_1 (as dimensões são dadas na forma comprimento \times largura = área de emissor):

dispositivo	área de emissor
H_{1a}	$3 \times 6 = 18 \mu\text{m}^2$
H_{1b}	$4 \times 6 = 24 \mu\text{m}^2$
H_{1c}	$4 \times 16 = 64 \mu\text{m}^2$
H_{1d}	$20 \times 6 = 120 \mu\text{m}^2$
H_{1e}	$20 \times 16 = 320 \mu\text{m}^2$
H_{1f}	$120 \times 120 = 14.400 \mu\text{m}^2$

A seguir estão as estruturas projetadas para fabricar e testar estes transistores. Os nomes correspondem aos nomes dos arquivos em MAGIC. Resistores são fabricados usando a camada de subcoletor. A resistência de folha para esta camada é $25 \Omega/\square$.

Estrutura (nome do arq. MAGIC)	Descrição	Quantidade
hlap	transistor com <i>pads</i> separados de $150 \mu\text{m}$, centro a centro, para medidas GSG (<i>ground-signal-ground</i>) com área $3 \times 6 = 18 \mu\text{m}^2$	22
hlbp	idem, área $4 \times 6 = 24 \mu\text{m}^2$	26
hlcp	idem, área $4 \times 16 = 64 \mu\text{m}^2$	28
hldp	idem, área $20 \times 6 = 120 \mu\text{m}^2$	25
hlepe	idem, área $20 \times 16 = 320 \mu\text{m}^2$	21
hlfp	transistor sem <i>pads</i> com área $120 \times 120 = 14.400 \mu\text{m}^2$	110
hlao, hlbo, hlco, hldo, hleo	estruturas de teste em aberto, para a calibração de medidas GSG	4, 4, 4, 4, 4
hlas, hlbs, hlcs, hlds, hles	estruturas curto-circuitadas para a calibração de medidas GSG	4, 3, 4, 4, 4
hlpadimp	medida de impedância de linha (AC)	3
hlres	caracterização de resistores	1
hler	oscilador em anel com 17 estágios, com o transistor H_{1e}	2
hlanor, hlcnor	portas NOR	2
hlenot	circuito inversor ECL com transistores H_{1e}	1
hlaextbc, hlbextbc, hlcextbc, hldextbc, hleextbc	extração de capacitâncias extrínsecas (AC)	2, 2, 2, 2, 2

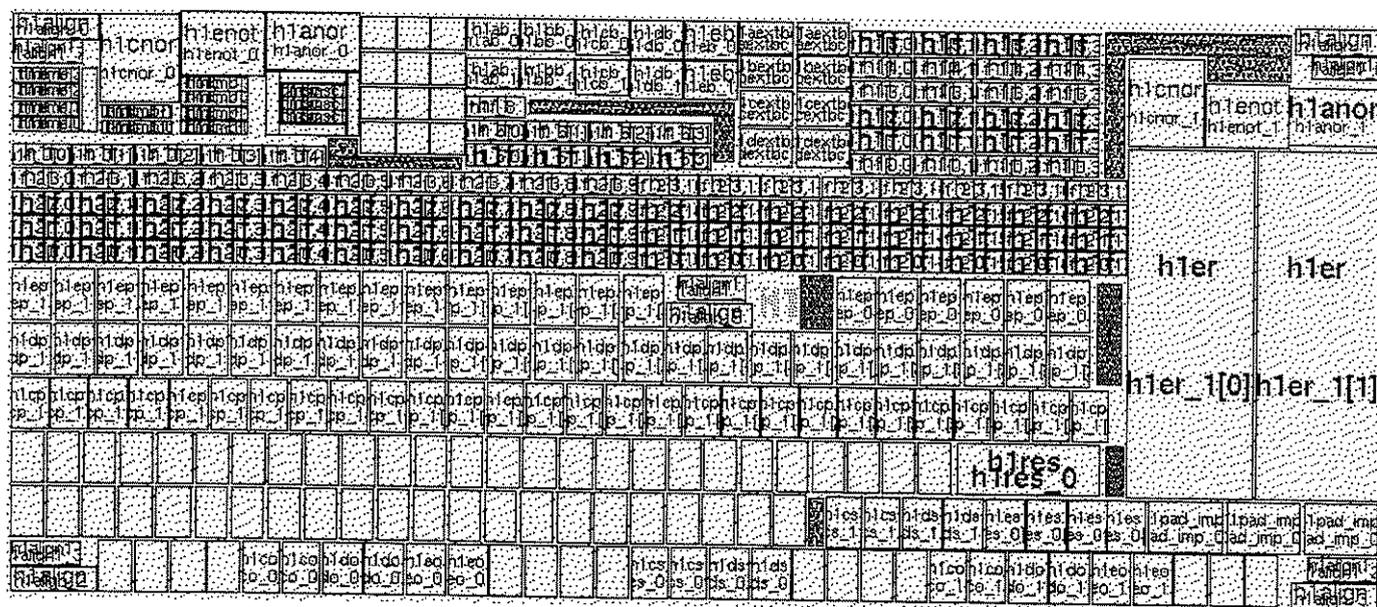


Figura 3.6: Layout para o chip H_1 .

Estrutura (nome do arq. MAGIC)	Descrição	Quantidade
hlab, h1bb, hlcb, h1db, hlebb	medida da resistência da região de base	2, 2, 2, 2, 2
hlevp, h1bvp, hlscvp	estruturas van der Pauw ^[139] para as camadas de emissor, base e sub-coletor	4, 4, 4
h1tlme, h1tlmb, h1tlmsc	TLMs para os contatos de emissor, base e coletor	5, 6, 7
hlalign hlalign1	alinhamento e acompanhamento de revelação de fotorresiste complemento de hlalign	5 5
pad pads	<i>pad</i> 100 × 100 μm ² conjunto de 6 <i>pads</i> (2 × 3) para conexão tipo GSG	- -
h1	<i>chip</i> final para a família H_1 , com todas as estruturas acima incluídas	1
Total de transistores		232
Total de estruturas de teste para caracterização AC		51
Total de estruturas de teste para caracterização DC		43
Total de circuitos baseados em lógica ECL		8
Total de estruturas para auxílio à litografia		10

A Fig. 3.6 mostra o layout utilizado para as máscaras H_1 . Neste desenho, está mostrado o arquivo conforme visto pelo MAGIC. Os blocos grandes que aparecem no canto direito são osciladores em anel realizados com os transistores H_{1e} . Na região central estão as fileiras com

os transistores com pads, para medidas em alta-freqüência, nos tamanhos de a a e . Acima destas fileiras estão as fileiras com os transistores H_{1f} . O topo do desenho contém estruturas de teste do tipo van der Pauw e TLMs. A última fileira em baixo contém estruturas de teste para a extração dos elementos extrínsecos nas medidas em alta-freqüência. No centro e nos cantos estão as marcas de alinhamento e as estruturas para acompanhamento da revelação do fotorresiste.

3.4.2 Família de transistores H_2

A família H_2 é SA e utiliza as seguintes máscaras:

etapa	máscara	tipo de máscara
1. mesa de emissor	emesa	campo claro
2. isolamento de dispositivo	deviso	campo claro
3. metal de base	bmetal	campo escuro
4. contato de coletor	ecmetal	campo escuro
5. vias	cvia	campo escuro
6. vias de coletor	colvia	campo escuro
7. interconexões	metal	campo escuro
8. região extrínseca	extbc	campo escuro

Transistores da família H_2 :

dispositivo	área de emissor
H_{2a}	$3 \times 6 = 18 \mu\text{m}^2$
H_{2b}	$4 \times 6 = 24 \mu\text{m}^2$
H_{2c}	$4 \times 12 = 48 \mu\text{m}^2$
H_{2d}	$12 \times 6 = 72 \mu\text{m}^2$
H_{2e}	$12 \times 12 = 144 \mu\text{m}^2$
H_{2f}	$100 \times 100 = 10.000 \mu\text{m}^2$

A seguir estão as estruturas projetadas para fabricar e testar a família H_2 (as mesmas estruturas também são utilizadas para a fabricação da família H_3). Os nomes correspondem aos nomes dos arquivos em MAGIC:

1. h2align: marcas de alinhamento.
2. H2pad: *pad* $100 \times 100 \mu\text{m}^2$.
3. H2pads: conjuneto de 6 *pads*, 2×3 , para medidas GSG.

4. h2r100: resitor de 100Ω , feito sobre a camada de sub-coletor.
5. h2alink, h2blink, h2clink, h2dlink, h2elink: conexões feitas com metal de coletor, para ligações cruzadas com o metal de interconexões.
6. h2anor, h2bnor, h2cnor, h2dnor, h2enor: portas NOR.
7. h2ap, h2bp, h2cp, h2dp, h2ep: transistores com *pads* para medidas GSG.
8. h2ao, h2bo, h2co, h2do, h2eo: estruturas em aberto, para calibração GSG.
9. h2as, h2bs, h2cs, h2ds, h2es: estruturas em curto-circuito, para calibração GSG.
10. h2aextbc, h2bextbc, h2cextbc, h2dextbc, h2eextbc: dispositivos somente com a região extrínseca.
11. h2ab, h2bb, h2cb, h2db, h2eb: estruturas para verificação da resistência da região de base.
12. h2aecl, h2becl, h2cecl, h2decl, h2eecl: células ECL.
13. h2ar, h2br, h2cr, h2dr, h2er: osciladores em anel de 17 estágios.
14. h2ainv, h2binv, h2cinv, h2dinv, h2einv: inversores ECL.
15. h2evp, h2bvp, h2scvp: estruturas van der Pauw.
16. h2tlme, h2tlmb, h2tlmsc: estruturas TLM.
17. h2h3: *chip* final para as famílias H_2 e H_3 , com todas as estruturas acima.

3.4.3 Família de transistores H_3

A família H_3 é idêntica à família H_2 , sendo que a obtenção de uma ou outra é feita durante a metalização de coletor no Processo P_{23} . Esta metalização em H_3 é feita por deposição seletiva de cobre ou tungstênio, enquanto que em H_2 utiliza-se o processo de *lift-off*.

Caso necessário, a família H_3 pode usar também a máscara *brecess*, para remover óxido da via de coletor antes da deposição seletiva de tungstênio.

3.4.4 Família de transistores H_4

Esta família de transistores é a versão SA de H_1 . Também utiliza o Processo P_{14} e as estruturas são idênticas a H_1 , sendo que seus nomes incluem o sub-índice 4, ao invés de 1. A disposição dos elementos na máscara também é igual a H_1 .

3.4.5 Família de transistores H_5

A família H_5 é SA e utiliza as seguintes máscaras:

etapa	máscara	tipo de máscara
1. implantação para isolação de dispositivo	deviso	campo claro
2. implantação de área ativa	bmesa	campo claro
3. recesso de base	brecess	campo escuro
4. metal de coletor	ecmetal	campo escuro
5. via de coletor	colvia	campo escuro
6. metal de base	bmetal	campo escuro
7. vias	cvia	campo escuro
8. interconexões	metal	campo escuro
9. estrutura extrínseca	extbc	campo escuro

Como pode ser observado na etapa 4 do processo P5 (item 3.3), após o *recess* para o acesso da camada de base, resta metal de emissor sobre o campo. Caso se deseje remover este metal, pode-se utilizar a máscara *emesa* que protegerá a região ativa e a mesa de emissor durante o processo de remoção do metal de emissor.

Os seguintes transistores formam a família H_5 :

dispositivo	área de emissor
H_{5a}	$3 \times 4 = 12 \mu\text{m}^2$
H_{5b}	$8 \times 13 = 104 \mu\text{m}^2$
H_{5c}	$8 \times 27 = 216 \mu\text{m}^2$
H_{5d}	$16 \times 27 = 432 \mu\text{m}^2$
H_{5e}	$16 \times 53 = 848 \mu\text{m}^2$
H_{5f}	$91 \times 53 = 4.823 \mu\text{m}^2$

A seguir estão as estruturas projetadas para fabricar e testar a família H_5 :

1. *h5align* and *h5align1*: marcas de alinhamento.
2. *h5pad*: *pad* 100x100 μm^2 .
3. *h5pads*: conjunto de 6 *pads*, 2x3, para conexão GSG.
4. *h5r100*: resistor de 100 Ω .
5. *h5link*: ligações 'ponte', com o metal de coletor.
6. *h5bnor*, *h5cnor*: portas NOR.

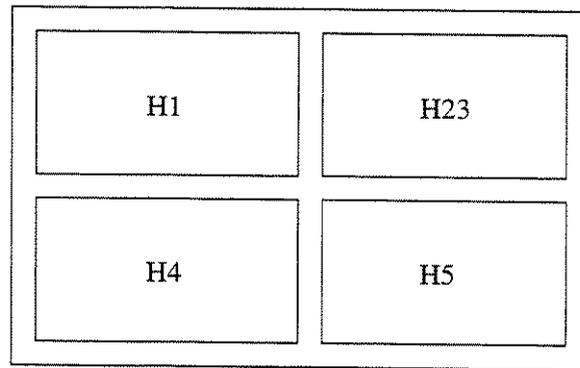


Figura 3.7: Organização dos *chips* na máscara.

7. h5ap, h5bp, h5cp, h5dp, h5ep: transistores com *pads* para medidas GSG.
8. h5ao, h5bo, h5co, h5do, h5eo: estruturas em aberto, para calibração em medidas GSG.
9. h5as, h5bs, h5cs, h5ds, h5es: estruturas em curto-circuito, para calibração em medidas GSG.
10. h5aextbc, h5bextbc, h5cextbc, h5dextbc, h5eextbc: estruturas sem o transistor intrínseco.
11. h2ab, h2bb, h2cb, h2db, h2eb: medida da resistência da região de base.
12. h5becl, h5cecl: células ECL.
13. h5br, h5cr: osciladores em anel de 17 estágios.
14. h5binv, h5cinv: inversores ECL.
15. h5vpe, h5vpb, h5vpsc: estruturas van der Pauw.
16. h5tlme, h5tlmb, h5tlmsc: estruturas TLM.
17. h5: *chip* final desta família, com todas as estruturas acima incluídas.

3.4.6 Organização

Todos os *chips* foram colocados na mesma máscara, por razões de economia, de acordo com o *layout* mostrado na Fig. 3.7. O tamanho de cada elemento é da ordem de $5 \times 10 \text{ mm}^2$, de tal forma que em uma amostra de $12 \times 12 \text{ mm}^2$ é possível processar os transistores H_1 e H_4 , simultaneamente, incluindo-se todos os elementos e com 1 mm de borda de cada lado. Os transistores $H_{2,3}$ e H_5 devem ser processados em amostras com aproximadamente metade do tamanho da amostra anterior.

No projeto em MAGIC, foi utilizado o arquivo de tecnologia hbt0.tech26 (pág. 187), sendo que foi adotado um espaçamento de grade de $1 \mu\text{m}$. Desta forma não é possível a definição de estruturas sub-micron, porém há grande economia de espaço em disco e de tempo de máquina durante o processamento das máscaras.

Neste arquivo de tecnologia, foram definidas dez níveis de máscara, conforme mostrado na tabela a seguir. Uma vez que foram incluídos três processos no mesmo *chip*, estas máscaras têm funções distintas em cada processo e os nomes são consistentes apenas com o processo P_{14} .

#	máscara	tipo do campo
I	emesa	claro
II	ecmetal	escuro
III	bmetal	escuro
IV	bmesa	claro
V	cvia	escuro
VI	colvia	escuro
VII	deviso	claro
VIII	metal	escuro
IX	brecess	escuro
X	extbc	escuro

3.4.7 Densidade de Integração

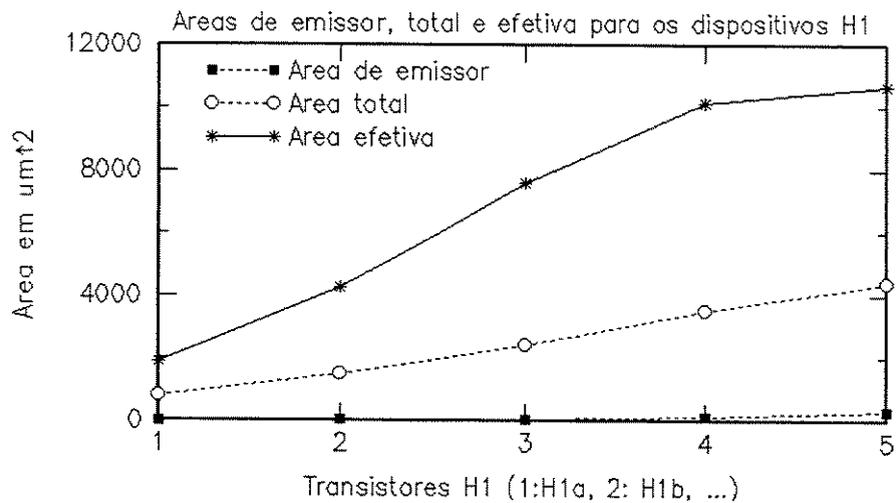
Para avaliar a capacidade de integração dos transistores propostos para o uso de circuitos, foi elaborada a seguinte tabela, baseada na relação entre área e número de transistores das células ECL, excluindo-se os resistores das mesmas:

transistor	área de emissor	área total	área efetiva em circuito	densidade estimada
H_{1a}	$18 \mu\text{m}^2$	$777 \mu\text{m}^2$	$1.909 \mu\text{m}^2$	52.383 dispositivos/cm ²
H_{1b}	$24 \mu\text{m}^2$	$1.512 \mu\text{m}^2$	$4.244 \mu\text{m}^2$	23.562 dispositivos/cm ²
H_{1c}	$64 \mu\text{m}^2$	$2.436 \mu\text{m}^2$	$7.606 \mu\text{m}^2$	13.146 dispositivos/cm ²
H_{1d}	$120 \mu\text{m}^2$	$3.496 \mu\text{m}^2$	$10.160 \mu\text{m}^2$	9.843 dispositivos/cm ²
H_{1e}	$320 \mu\text{m}^2$	$4.416 \mu\text{m}^2$	$10.679 \mu\text{m}^2$	9.363 dispositivos/cm ²

A grande variação entre as densidades de integração entre os transistores H_{1a} e H_{1b} (que têm áreas de emissor muito próximas) se deve ao fato de que a região extrínseca do H_{1b} é muito maior que a região extrínseca do H_{1a} . Por outro lado, a proximidade entre as áreas extrínsecas dos transistores H_{1d} e H_{1e} explica porque apesar de serem transistores com diferença superior a 200% nas áreas de emissor, apresentam densidades de integração muito próximas.

Desta forma, observamos que durante a fase de projeto, devemos atentar para o fato de que a área extrínseca do transistor será predominante quanto à densidade de integração. Além disso, transistores com áreas extrínsecas menores também apresentam capacitâncias parasitárias menores.

O gráfico a seguir ilustra o fato de que a área de emissor tem pouca influência na área efetiva para um determinado dispositivo (o que reflete a densidade de integração), além disso a área efetiva não varia linearmente com a área de emissor, ou seja, um pequeno aumento na área de emissor pode causar um grande aumento na área efetiva.

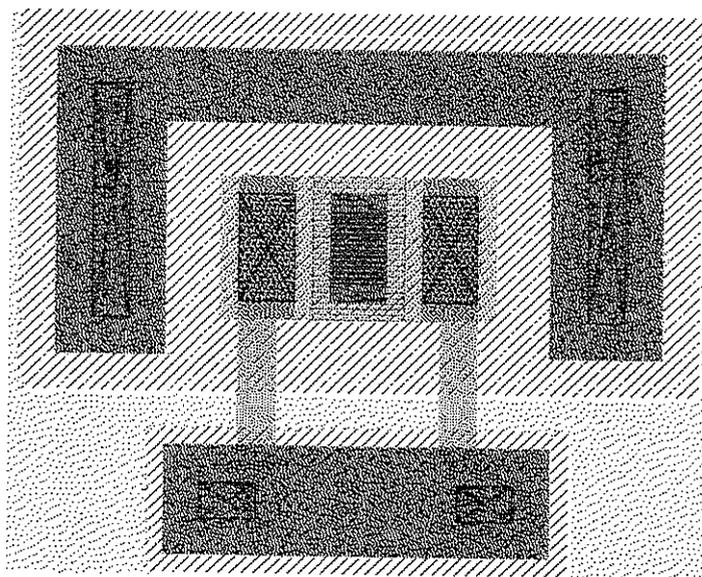
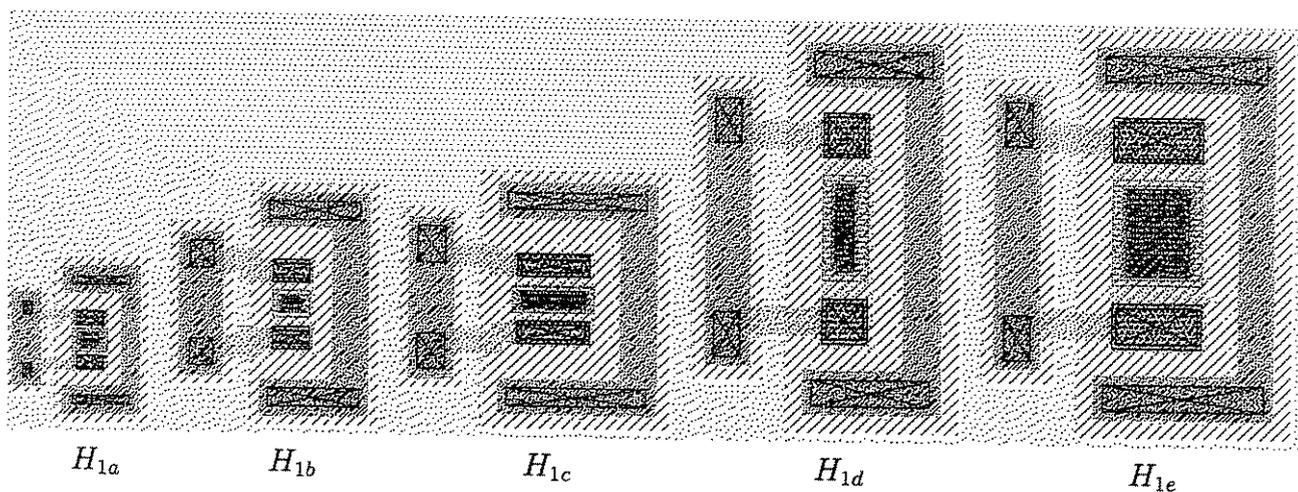


3.4.8 Descrição das Estruturas

Transistores $H_{1a,b,\dots,e}$

A Fig. 3.8 mostra o desenho do transistor H_{1a} que possui área de emissor igual a $3 \times 6 = 18\mu\text{m}^2$. Observando este desenho do centro para fora, temos as seguintes estruturas: mesa de emissor, mesa de base e mesa de coletor com os respectivos contatos. Embaixo tem uma estrutura *ponte* que interliga os dois contatos de base porém permitindo a passagem de metal de interconexão. Este tipo de configuração além de permitir a conexão com pads GSG, facilita a tarefa de roteamento.

Os demais transistores têm desenho idêntico, porém com dimensões diferentes, conforme mostrado a seguir:

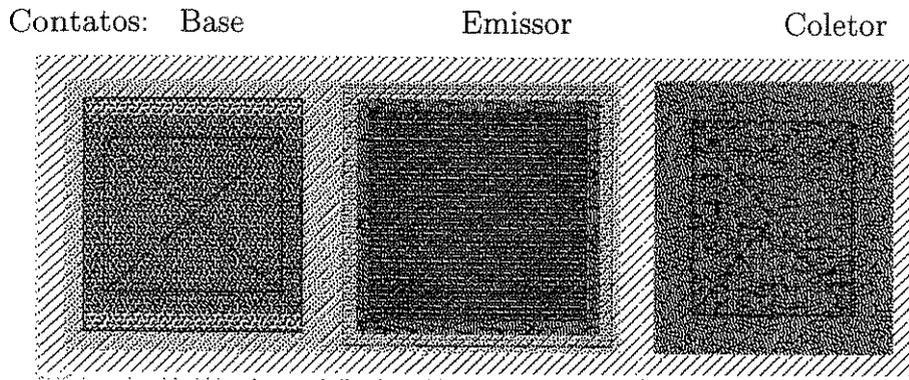
Figura 3.8: Máscaras para o transistor H_{1a} .

Transistor H_{1f}

Este transistor é feito em uma área suficientemente grande para que seu comportamento DC possa ser medido sem a necessidade de pads de acesso. Desta forma pode-se acompanhar a evolução do dispositivo durante a fabricação e verificar se as junções estão funcionando logo após a definição das mesmas.

A área total deste dispositivo (área da mesa de coletor) é $162 \times 438 = 70.956 \mu\text{m}^2$, a área da mesa de base é $140 \times 278 = 38.920 \mu\text{m}^2$ e a área da mesa de emissor é $120 \times 120 = 14.400 \mu\text{m}^2$.

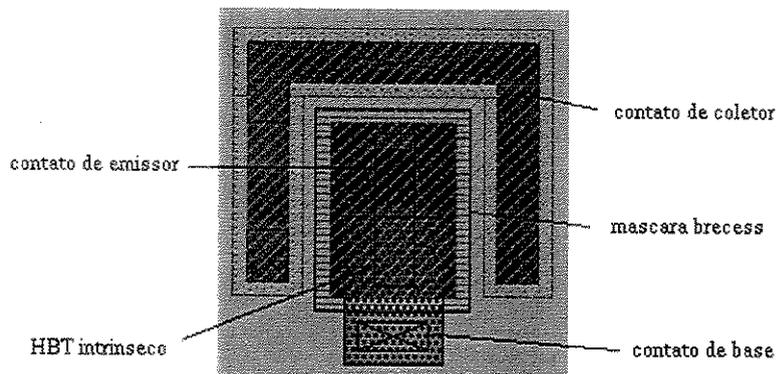
A figura seguinte mostra o transistor H_{1f} .



Os transistores $H_{2,3,4}$ têm máscaras muito semelhantes aos H_1 , pois são morfológicamente muito parecidos e também têm a versão f , de área grande e sem *pads*.

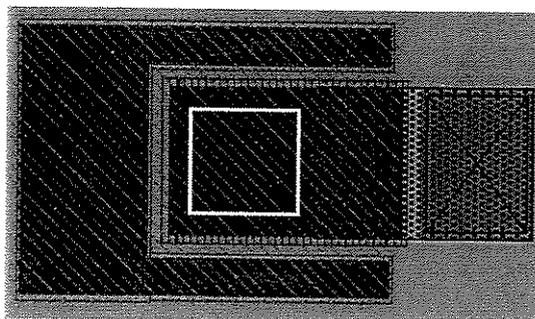
Transistores $H_{5a,b,\dots,e}$

O desenho a seguir mostra as máscaras do transistor H_{5a} , que tem área de emissor de $3 \times 4 \mu\text{m}^2$. Este transistor não possui máscara explícita para a definição da mesa de emissor. A região intrínseca é o que resta após o processamento, sendo que o emissor fica definido por um *buraco* existente na máscara *brecess*, que é utilizada para expor a camada de base.



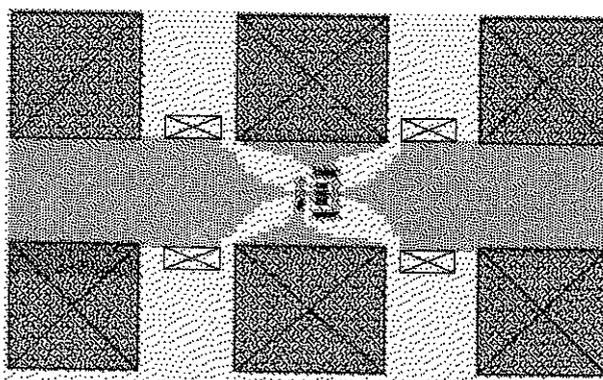
Os demais transistores H_5 seguem a mesma estrutura, porém com diferentes áreas de emissor. O transistor H_{5f} é grande o suficiente para que seja caracterizado durante o processamento. É semelhante aos demais H_5 e seu menor contato, o contato de emissor, tem $80 \times 80 \mu\text{m}^2$ e a área de emissor é $50 \times 90 = 4.500 \mu\text{m}^2$.

Transistor H_{5f} :



Pads

Foram colocados pads para medidas em alta-freqüência, conforme ilustrado a seguir.

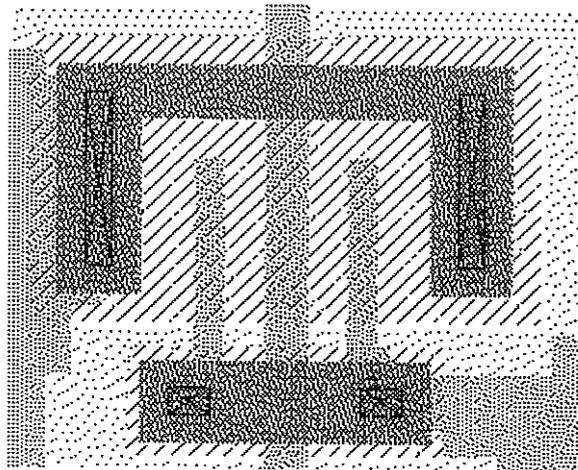


Neste desenho, os quatro pads dos cantos estão conectados ao emissor, o pad central inferior está conectado à base e o pad central superior está conectado ao coletor. Esta configuração permite a realização de medidas no modo GSG (*ground-signal-ground*). Os quatro retângulos que se encontram entre os pads são marcas para facilitar o trabalho de alinhamento das ponteiros do aparelho para medida de parâmetros S. A distância entre os pads (centro a centro) é de $150\ \mu\text{m}$, o que corresponde à separação entre as pontas de prova em uso. As dimensões dos pads estão ajustadas para um melhor casamento de impedâncias com as pontas de prova. Como se pode observar, o metal que liga o emissor se aproxima muito dos metais de coletor e de base, o que aumenta as capacitâncias parasitas entre estes metais. Foram realizados também pads com uma maior separação entres estes metais, o que deve reduzir as capacitâncias, porém às custas de um aumento na indutância parasitária na parte mais fina do metal que passa sobre o emissor.

Estruturas em aberto

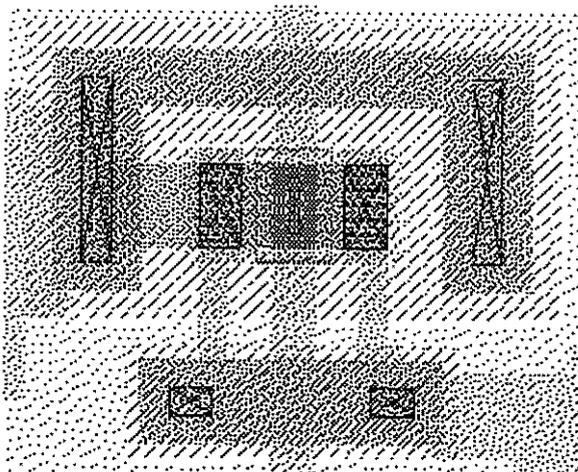
Estruturas de teste para medidas AC foram implementadas para facilitar a extração dos elementos parasitas das medidas de parâmetros-S.

Estas estruturas constituem de pads abertos e curto-circuitados^[140]. Nas estruturas em aberto as mesas de emissor e de base foram removidas de tal forma que os acessos dos pads ficam em aberto. Assim fica possível extrair as capacitâncias parasitárias devido a estes terminais de acesso.



Estruturas em curto

Nestas estruturas os acessos dos pads foram curto-circuitados sobre o transistor. Desta forma é possível extrair as indutâncias parasitas devido a estes terminais.



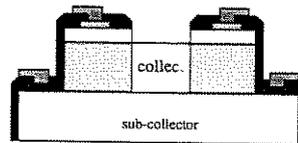


Figura 3.9: Estrutura sem a parte superior. Esta estrutura pode ser obtida com o uso da máscara *extbc*.

Estrutura sem o HBT intrínseco

Se estivermos interessados em conhecer o comportamento do HBT intrínseco, precisaremos subtrair das medidas os elementos parasitas introduzidos pelo HBT extrínseco (para colocar contatos nos terminais do dispositivo, é necessário prolongar as regiões de base e de coletor, formando um dispositivo parasita, o *HBT extrínseco*). Para facilitar a avaliação deste dispositivo extrínseco, foram desenhadas máscaras para fabricar um dispositivo sem as regiões de emissor e de base sob o emissor. Isto é equivalente a um dispositivo sem o HBT intrínseco. Estes dispositivos de teste especiais usam a máscara *extbc* e têm o radical *extbc* em seus nomes.

A estrutura processada com a máscara *extbc* está mostrada na Fig. 3.9.

Marcas de alinhamento

Para facilitar o alinhamento das máscaras, cinco células foram desenhadas, chamadas *h1align*, *h1align1*, *h2align*, e *h5align* e *h5align1*. Estas células contêm *marcas de alinhamento* e *estruturas vernier* para orientar a revelação do fotorresiste.

As marcas de alinhamento são formadas por cruzes negativas e positivas em cada duas máscaras que queremos alinhar. A primeira máscara sempre contém uma cruz. A segunda máscara contém uma cruz se for *campo escuro* ou uma cruz negativa se for *campo claro*. A cruz na segunda máscara é um pouco maior ($3 \mu\text{m}$) que a cruz na primeira máscara, desta forma é possível ver a estrutura gravada na lâmina pelo processo anterior, durante o alinhamento. cada segmento da cruz tem $8 \times 60 \mu\text{m}$.

A Fig. 3.10 mostra um exemplo de marcas de alinhamento.

Os pequenos símbolos no topo indicam as máscaras que estão alinhadas, neste exemplo está se alinhando a máscara 2 com a máscara 4. Os símbolos adotados para cada máscara são os seguintes: 1(-), 2(=), 3(\equiv), 4(\square), 5(\boxplus), 6(\oplus), 7(\oplus), 8(\oplus), 9(\oplus), 10(\oplus). Estes símbolos derivam da notação chinesa e são formados apenas por traços horizontais e verticais, o que torna seu desenho fácil de ser realizado com o MAGIC, pois este editor de máscaras é do tipo Manhattan e possui comandos apenas para a definição de retângulos.

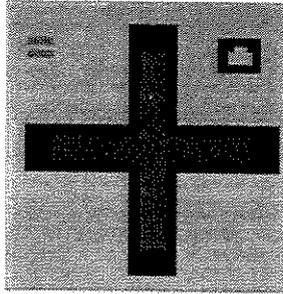


Figura 3.10: Exemplo de marca de alinhamento.

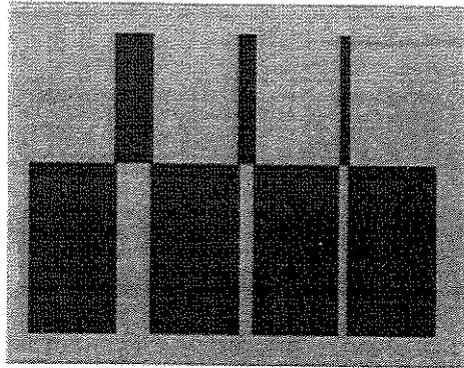


Figura 3.11: Estrutura vernier, com franjas de 2, 4 e 8 μm .

As *estruturas vernier* são formadas por duas fileiras de franjas, sendo uma em tamanhos diferentes e deslocada em relação à outra, conforme mostrado abaixo. Durante o processo de revelação do fotorresiste, interrompemos o processo quando as linhas horizontais e suas continuações negativas coincidirem em largura. A largura das franjas é 2, 4 e 8 μm . Esta estrutura está mostrada na Fig. 3.11

Estruturas para controle de *etching*

Durante o *etching* é necessário determinar precisamente o ponto de parada do processo. Para facilitar a determinação destes pontos, foram deixados espaços para permitir a medida da tensão de ruptura de um diodo formado por uma ponta de tungstênio e a superfície do semiconductor, durante o progresso da remoção. Desta forma é possível acompanhar as camadas durante o *etching*. Este procedimento assume que a taxa de remoção é a mesma no *field* e nas pequenas estruturas sendo definidas.

Quando a máscara de remoção é *campo claro*, o *field* é atacado e a tensão de ruptura pode ser medida diretamente. Para máscaras *campo escuro*, foi deixado um espaço no *field*, para permitir a medida da tensão durante o *etching*.

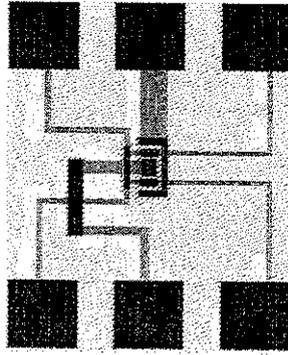


Figura 3.12: Estrutura com os contatos de base não interconectados.

No *Processo P5* é necessário proteger a região de campo das implantações iônicas, para evitar a danificação das camadas, o que invalidaria este método de determinação do ponto de parada de *etchings*. As máscaras para proteção contra as implantações iônicas são *deviso* e *bmesa*. Além destas regiões especiais para o *Processo P5*, uma região foi deixada sem a proteção da máscara *bmesa*. Esta região permitirá acompanhar a abertura do contato de coletor através da região implantada.

Estruturas de teste para medida da resistência de base

Foram desenhadas estruturas nas quais os contatos de base não estão interconectados. Desta forma é possível a medição da resistência de folha da camada de base sob polarização (Fig. 3.12).

Estrutura para medida de impedância de linha

Com as linhas da Fig. 3.13 pode-se medir a impedância de linha para calibração do aparelho de medidas de parâmetros-S.

Estrutura para caracterização de resistores

Oito resistores, cada um conforme mostrado na Fig. 3.14, estão contidos no bloco H1ares. Estes resistores são fabricados sobre a camada de subcoletor que tem resistência de folha igual a $R_s = 25 \Omega/\square$. Em cada dispositivo foram colocados 4 quadrados de tal forma que a resistência teórica total é 100Ω .

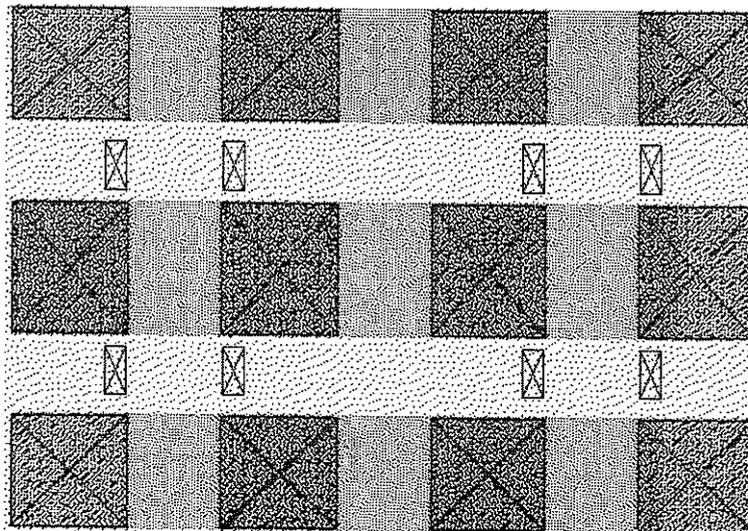


Figura 3.13: Linhas com separação de $150 \mu\text{m}$, de centro a centro, em configuração GSG (*ground, signal, ground*), utilizadas para a calibração do aparelho de medidas de parâmetros S

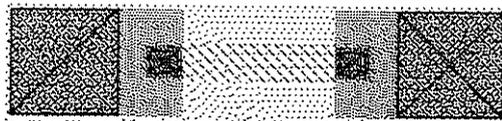


Figura 3.14: Resistor de 100Ω , feito com a camada de subcoletor. Da esquerda para a direita, se vê o pad, o contato e o resistor.

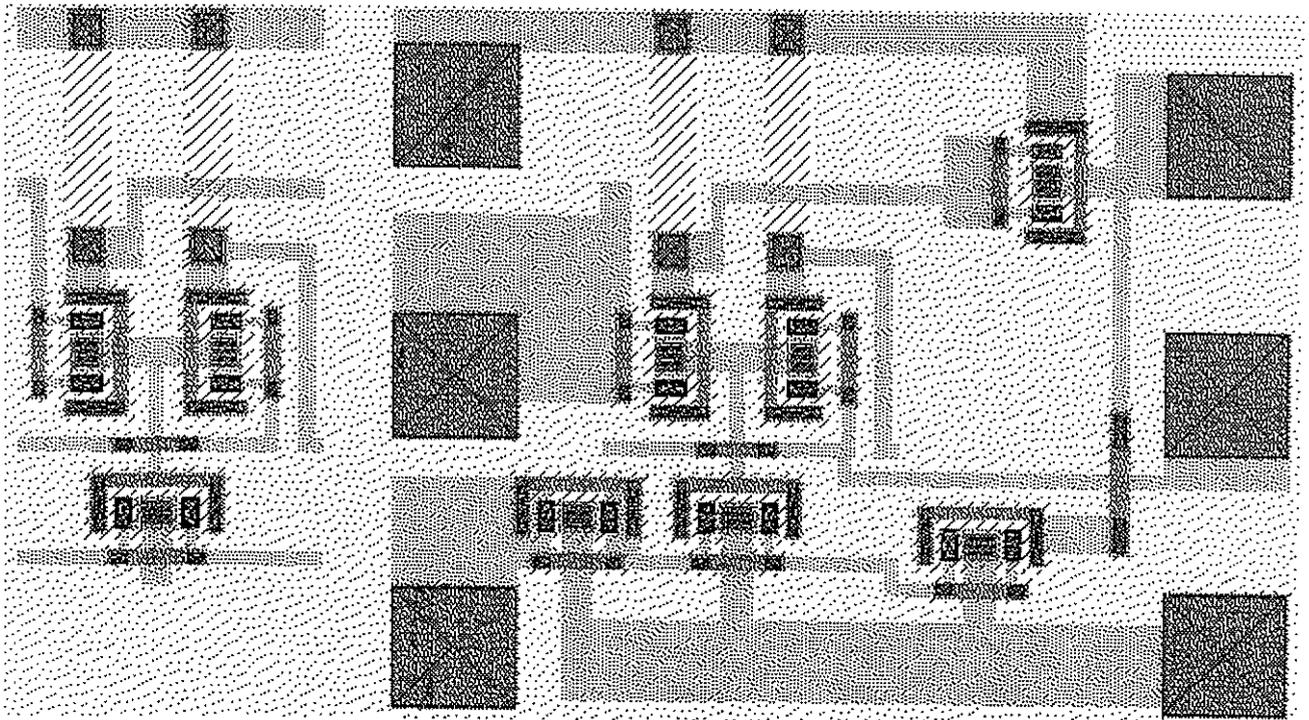


Figura 3.15: O desenho da esquerda corresponde à uma célula ECL. O desenho da direita é um inversor, que utiliza esta célula.

Inversor ECL

A figura Fig. 3.15 mostra à esquerda uma célula ECL contruída com transistores H_{1e} . Na parte inferior da célula está um transistor que opera como driver de corrente para os transistores em configuração diferencial (os dois transistores com emissores em comum). Os coletores destes dois transistores estão ligados a resistores através dos quais é realizada a polarização da célula. O desenho da direita é um inversor, que utiliza a célula anterior. Neste desenho foram acrescentados, além dos pads de acesso, um transistor (à esquerda) cuja corrente de coletor será espelhada pelo driver da célula ECL e dois transistores (à direita) que operam como buffer de saída de ganho unitário.

Osciladores em anel

Foram incluídos dois osciladores em anel de 17 estágios, realizados com lógica ECL e utilizando os transistores H_{1e} . O estágio de saída é um buffer de ganho unitário, também implementado com transistores H_{1e} . Um destes osciladores está mostrado na Fig. 3.16.

Para o processo P_{23} foram implementados osciladores em anel com transistores com área de emissor de $12 \times 12 \mu\text{m}^2$ e para o processo P_5 , $8 \times 27 \mu\text{m}^2$.

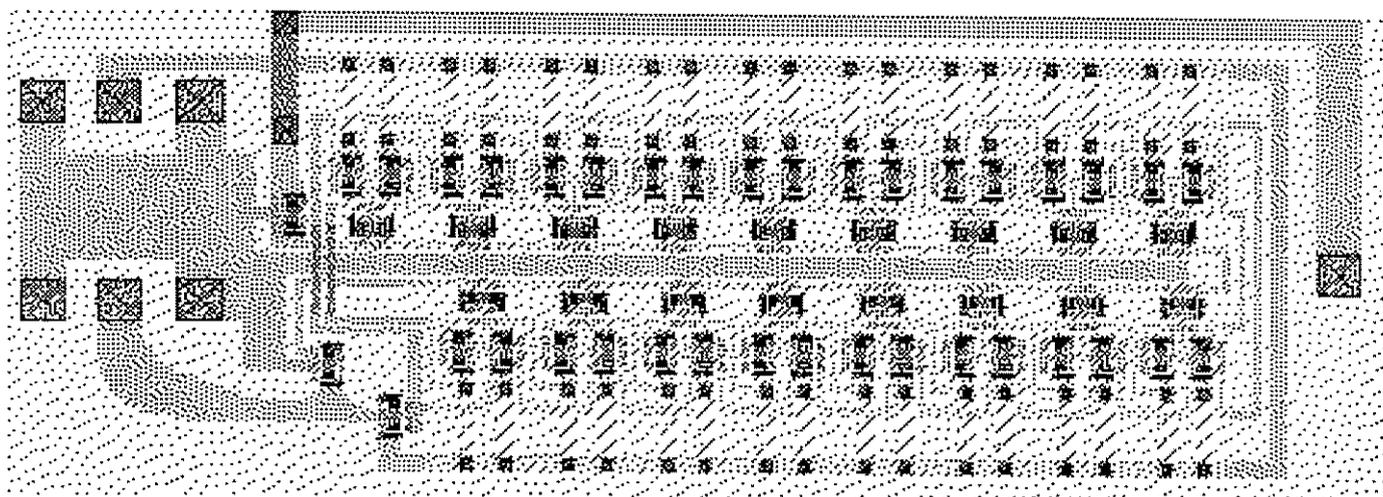


Figura 3.16: Oscilador em anel de 17 estágios.

TLM para a caracterização de contatos ôhmicos

Foram implementadas estruturas do tipo TLM, conforme mostrado na Fig. 3.17, onde estão respectivamente os TLMs para medida das resistências de contato de emissor, base e coletor. Cada pad nesta estrutura tem $80 \times 90 \mu\text{m}^2$ de lado e as separações são de 4, 8, 16 e $32 \mu\text{m}$ respectivamente.

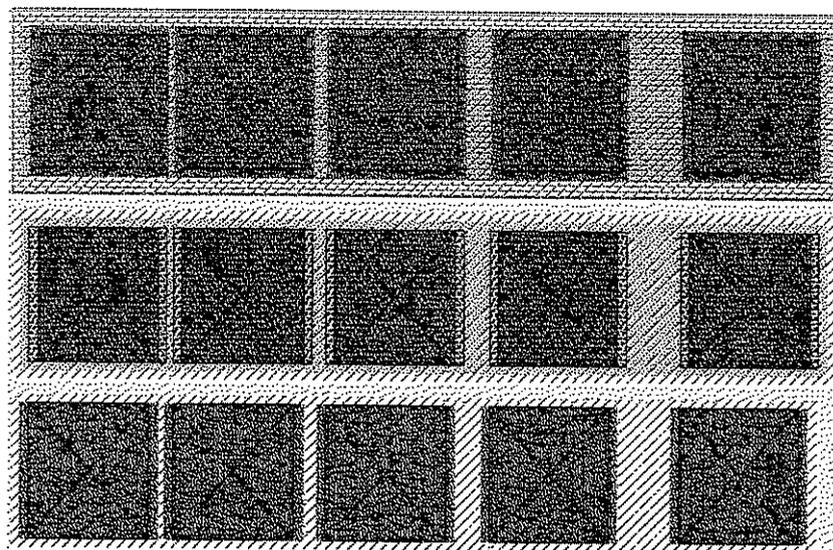


Figura 3.17: Estruturas TLM, feitas para medida das resistências de contato de coletor, base e emissor. As separações são 4, 8, 16 e $32 \mu\text{m}$.

4

Etapas de Processo

O processo de fabricação de HBTs exige o prévio estabelecimento de um conjunto de etapas elementares de processo, cuja realização bem sucedida é de fundamental importância para a obtenção de bons dispositivos. Estas etapas precisam ser realizadas de tal forma a minimizar seus efeitos colaterais tanto na superfície da lâmina (onde as irregularidades aumentam ao longo do processo) como com respeito a etapas anteriores, por exemplo, um recozimento necessário em uma etapa pode danificar uma metalização realizada anteriormente.

As etapas elementares foram estudadas e algumas *receitas* foram estabelecidas. A nomenclatura destas receitas de processo foi realizada no formato <tipo>#<número><letra opcional>, onde os tipos de etapa são os seguintes:

- C: Limpeza
- E: *Etch*
- I: Implantação iônica
- L: Litografia
- M: Metalização
- S: Deposição de material isolante

Desta forma, uma etapa de processo rotulada como L#1 indica o processo litográfico número 1, e L#1a indica a variante *a* de L#1.

A seguir estão as descrições das etapas elementares de processo analisadas e estabelecidas durante este trabalho.

4.1 Etapas de Limpeza

A função destas etapas é retirar partículas e coberturas orgânicas que eventualmente existam sobre a lâmina. Neste caso partículas são todos os aglomerados de moléculas, que podem estar tanto na fase líquida como na fase sólida. A presença de partículas sobre a lâmina pode causar danos locais por interferir em processos de *etching*, litografia e deposição. Mesmo operando em sala limpa onde a densidade e o tamanho das partículas são supostamente controlados, é muito importante garantir a remoção das mesmas da superfície da lâmina antes de cada etapa de processo. Sabe-se que o defeito causado por uma partícula pode evoluir durante a seqüência de processos atingindo no final um tamanho muito superior ao da partícula que o causou. O resultado pode ser a perda de um dispositivo e conseqüentemente do circuito do qual o mesmo fazia parte. Considerando-se que as partículas danosas são aquelas com tamanho maior que 1/10 da menor dimensão existente (ou maior em área que 1/100 da área da menor estrutura)^[141], em nosso circuito a área máxima permitida para uma partícula será $0,18 \mu\text{m}^2$, pois a menor estrutura ativa possui $18 \mu\text{m}^2$. Assim o diâmetro máximo de uma partícula circular não prejudicial é $0,32 \mu\text{m}$. Como vemos é uma dimensão muito pequena e que portanto requer um controle do ar do laboratório, da água deionizada e dos demais líquidos utilizados (fotorresistes, reveladores, ácidos etc.). Ao manusear a lâmina com pinças deve-se evitar o excesso de pressão para não causar trincas nem nas bordas da lâmina e nem na superfície do fotorresiste, estas trincas originam de pequenos resíduos de fotorresiste ou de cristal que ficam depositados sobre a superfície. O risco de ocorrência destas falhas é maior quando se trabalha com pedaços de lâmina, pois as bordas de clivagem apresentam um grande número de irregularidades.

C#1: Limpeza orgânica para preparação da lâmina para o processo litográfico.

- tricloroetileno (TCE) aquecido ($\simeq 100^\circ\text{C}$), 15 min.
- acetona aquecida ($\simeq 100^\circ\text{C}$), 15 min.
- isopropanol aquecido ($\simeq 100^\circ\text{C}$), 15 min.
- lavagem com água deionizada.
- secagem em jato de nitrogênio fraco.
- secagem em *hot-plate*, 118°C , 30 min.

Procedimento: inicialmente cada produto (TCE, acetona e isopropanol) é colocado em um becker e estes são colocados sobre um *hot-plate* ajustado em 100°C . A lâmina é colocada então em cada um dos beckers pelo tempo especificado, obedecendo-se a seqüência acima. A passagem da lâmina de um para outro becker deve ser realizada de tal forma que a mesma não seque. Quando terminar o tempo de lavagem no isopropanol, o becker com o mesmo deve ser retirado do *hot-plate* e deixado em

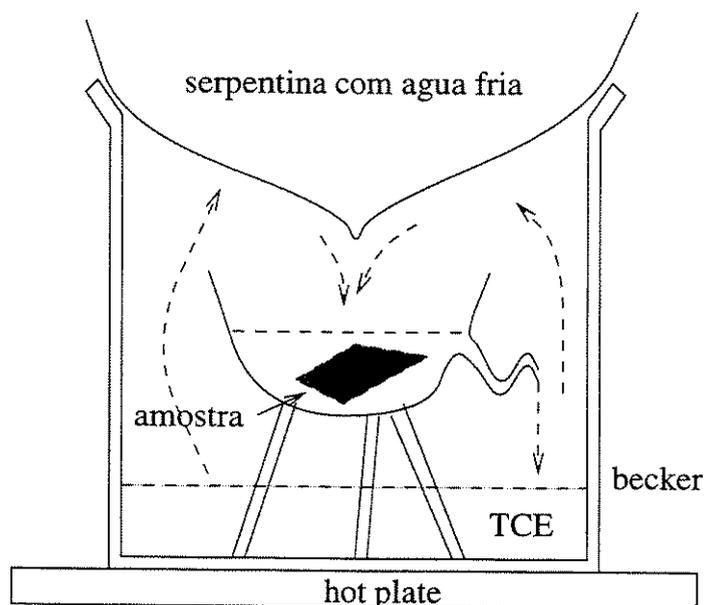


Figura 4.1: Sistema para a realização da limpeza C#1.

reposo até atingir a temperatura ambiente e só então a lâmina pode ser retirada e lavada. Este procedimento evita choques térmicos na lâmina. Durante esta lavagem cada componente retira resíduos deixados pelo componente anterior. Por exemplo, o TCE reage com compostos orgânicos na superfície da lâmina, a seguir, resíduos de tricloroetileno, que é solúvel em acetona, são removidos pelo banho de acetona e assim sucessivamente até se obter uma superfície limpa. As etapas finais têm a função de minimizar a presença de moléculas de água absorvidas pela superfície, o que dificulta a aderência do fotorresiste. O procedimento litográfico deve ser iniciado logo após o término da lavagem.

Um forma mais sofisticada de se realizar a limpeza acima foi proposta pelo Sr. Cícero, conhecido vidreiro de Campinas-SP, que construiu um sistema baseado em um sifão, conforme representado na Fig. 4.1. Neste sistema, coloca-se a lâmina no local indicado e preenche-se o copo de becker até um certo nível, com o líquido de limpeza, por exemplo, o TCE. Este sistema é montado sobre um *hot plate*, acoplado a uma serpentina refrigerada. Ao aquecer o líquido de limpeza, o mesmo evapora, condensa na parede do refrigerador e cai sobre a amostra, quente e destilado. Quando o nível do líquido na taça da amostra atinge a entrada do sifão, este último é gradativamente completado, até o limite dado pela altura do lado da saída. Neste ponto, o sifão entra em ação e todo o conteúdo da taça é removido de uma vez, até o nível dado pela altura do orifício de saída do sifão. Este processo se repete várias vezes, fornecendo um elevado grau de limpeza, pois o escoamento repentino do líquido, favorece a eficiência do transporte da sujeira para fora e o reabastecimento é feito com líquido destilado. Durante o ciclo de limpeza,

é necessário trocar o líquido de limpeza (entre TCE, acetona e iso-propanol), ou, de acordo com o fabricante, é mais adequado ter uma taça para cada líquido e trocar a amostra de taça, pois assim as alturas dos pontos críticos do sifão podem ser finamente ajustadas para as características de escoamento de cada líquido.

C#1a: Limpeza para a remoção de fotorresiste.

- banho em acetona corrente.
- jato de acetona.
- jato de isopropanol.
- jato de água deionizada.
- secagem em jato de nitrogênio fraco.
- secagem em *hot-plate*, 118°C, 30 min.

Procedimento: Colocar a lâmina em um becker com acetona e simultaneamente derramar e reencher o becker até que traços de fotorresiste não sejam mais observados na solução. Jatear (com pisseta) cada líquido durante alguns segundos, sem deixar a lâmina secar durante a mudança de líquidos. Não retornar durante o processo, se for necessário, reiniciar a seqüência de limpeza após a secagem com jato de nitrogênio.

Nos dois processos de limpeza acima, a etapa de lavagem com água pode ser prejudicial, pois esta etapa além de favorecer a existência de moléculas de água na superfície, pode originar uma fina camada de óxido, pois a água é um agente oxidante para GaAs. Pode ser preferível secar a amostra após a etapa com iso-propanol.

C#2: Limpeza para lâminas de silício, utilizadas em testes.

- banho em H_2SO_4 , 100°C, 15 min.
- banho em HF, 100°C, 15 min.
- banho em água deionizada corrente.
- secagem em jato de nitrogênio fraco.
- secagem em *hot-plate*, 118°C, 30 min.

4.2 Processos de *Etching*

Após o crescimento de camadas, sobre um substrato semi-isolante, conforme ilustrado na Fig. 4.2 é necessário proceder à sua remoção seletiva, por processos de *etching*, formando o dispositivo. As principais etapas de *etching* são aquelas para a definição das mesas de

n+ cap, GaAs, 1000 Å
n graduacao AlGaAs / GaAs, 500 Å
N emissor, AlGaAs, 1000 Å
p+ base, GaAs, 1000Å
n- coletor, GaAs, 5000 Å
n+ buffer, GaAs, 5000 Å
S.I. substrato, GaAs

Figura 4.2: Exemplo de camadas para HBT.

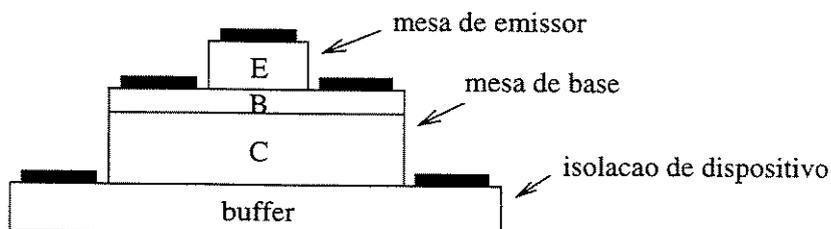


Figura 4.3: Estrutura HBT básica, obtida pela sucessiva definição de mesas, com processos de *etching*.

emissor, base e coletor (Fig. 4.3) e também para a abertura de vias de contato. Durante o *etching* de uma camada, é necessário interromper o processo com precisão no início da camada seguinte, que é a camada de base no caso da mesa de emissor ou a camada de subcoletor no caso da mesa de base. O subcoletor é espesso ($\simeq 5.000 \text{ \AA}$) e pode portanto admitir uma maior margem de erro no ponto de parada do *etching*. Por outro lado, a camada de base é muito fina ($\leq 1.000 \text{ \AA}$) e um excesso de *etching* pode degradar seriamente o contato de base e conseqüentemente o desempenho do dispositivo.

O *etching* pode ser realizado em meio úmido (*wet etch*) ou seco (*dry etch*), sendo que os *etchings* úmidos são baseados em soluções de pH controlado e geralmente são isotrópicos (atacam em todas as direções). Os *etchings* secos são realizados em ambiente de plasma a baixa pressão. Quando o plasma é polarizado com tensão DC (RIE), o *etching* é marcadamente anisotrópico (o ataque é maior na direção do campo elétrico). O *etching* úmido apresenta a desvantagem do uso de líquidos e de menor resolução, por outro lado, o *etching* por plasma deixa a superfície com grande densidade de defeitos.

4.2.1 *Etching* úmido para a definição de mesas

Nos processos aqui estudados foi utilizado fotorresiste como máscara para proteger as regiões onde não se deseja o *etching* do material. Os ataques baseados em NH_4OH atacam também o fotorresiste, porém com velocidade bem inferior à velocidade de ataque no semiconductor. Quando o fotorresiste é atacado, ocorre a formação de uma fina camada de fotorresiste dissolvido sobre as regiões protegidas. Ao retirar a lâmina da solução para realizar as medidas de acompanhamento do *etching*, o jato de nitrogênio utilizado para secagem pode espalhar esta camada pelo campo da lâmina. A evaporação do solvente solidifica esta camada de fotorresiste, fixando sobre a superfície e bloqueando o *etching* nestas regiões. Este efeito foi observado principalmente no início do processo (primeira secagem) e é caracterizado pela formação de regiões não atacadas próximas às mesas e em formas direcionadas, acompanhando o sentido do jato de nitrogênio. Para evitar a ocorrência deste tipo de falha é necessário tomar algumas precauções na primeira interrupção do processo, tais como transferir a amostra para um becker com água deionizada corrente durante um longo período, antes de realizar a secagem com jato de nitrogênio. Após a primeira secagem a superfície do fotorresiste se torna resistente ao *etching* e não é mais necessário tomar estas precauções nas demais interrupções para medição.

Foram testados processos baseados em H_2SO_4 e em NH_4OH , de acordo com as receitas a seguir.

A preparação da solução em várias etapas aumenta a precisão e reprodutibilidade da composição química.

E#1: $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, 1:8:1.000.

- Preparação do etch:
 1. Solução α : $82 \text{ H}_2\text{O} + 2 \text{ H}_2\text{SO}_4$
 2. Aguardar 30 min
 3. Solução β : $16 \text{ H}_2\text{O}_2 + 1 \alpha$
 4. $192 \text{ H}_2\text{O} + 10 \beta$
 5. Aguardar 30 min

E#2: $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, 1:1:100.

- Preparação do etch:
 1. $100 \text{ ml H}_2\text{O} + 1 \text{ ml H}_2\text{SO}_4$
 2. Aguardar 30 min
 3. Adicionar 1 ml de H_2O_2 à solução anterior
 4. Aguardar 30 min

E#3: $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, 2:1:800.

- Preparação do etch:
 1. Solução α : $54 \text{ H}_2\text{O} + 6 \text{ H}_2\text{O}_2 + 12 \text{ NH}_4\text{OH}$
 2. Solução β : $192 \text{ H}_2\text{O} + 6 \alpha$
 3. $1 \text{ H}_2\text{O} + 1 \beta$
 4. Aguardar 30 min

E#4: $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, 2:1:400.

- Preparação do etch:
 1. Solução α : $50 \text{ H}_2\text{O} + 6 \text{ H}_2\text{O}_2 + 12 \text{ NH}_4\text{OH}$
 2. Solução β : $100 \text{ H}_2\text{O} + 6 \alpha$
 3. $1 \text{ H}_2\text{O} + 1 \beta$
 4. Aguardar 30 min

Nas receitas acima, temos duas corrosões lentas (E#1 e E#3) e dois rápidos (E#2 e E#4), para H_2SO_4 e NH_4OH , respectivamente. Estes processos são baseados em oxidação e *etching* de óxido e apresentam taxas de ataque que dependem do tempo de decaimento da água oxigenada e da temperatura de processo. Se usados logo após a preparação e a temperatura ambiente, as taxas são de $\simeq 350$ e $\simeq 800$ Å/min, para cada caso (solução lenta e solução rápida). Após duas horas da preparação, estas taxas diminuem para $\simeq 300$ e $\simeq 650$ Å/min. Uma vez que o processo completo para a definição de uma mesa pode demorar até este tempo, não podemos confiar exclusivamente na primeira medição realizada. As soluções lentas são utilizadas para a exposição da camada de base e as soluções rápidas são utilizadas nos demais casos.

A solução E#3 foi utilizada para a quase totalidade de mesas de emissor fabricadas. Esta solução foi escolhida por ter resultado em mesas bem definidas e superfícies limpas, o que nem sempre aconteceu em ataques realizados com as soluções baseadas em H_2SO_4 . Foi realizada uma análise de envelhecimento desta solução e os resultados estão sumarizados no gráfico da Fig. 4.4. Deste gráfico, observamos que a maior variação na taxa de *etch* ocorre nas primeiras horas após a preparação da solução, o que se explica pelo fato de que a água oxigenada decai exponencialmente. A agitação aumenta a taxa de aproximadamente 10 % e melhora a uniformidade. Também observa-se uma maior uniformidade após 10 e 20 dias da preparação, o que se deve ao fato de que nesta fase o decaimento da água oxigenada é bem mais lento que no início.

Normalmente utiliza-se pedaços de uma amostra *dummy* para a verificação da taxa de *etch*, antes do início do processo. Para se verificar a influência do tamanho destas amostras no tempo de *etch*, foram realizados testes com amostras de $2 \times 3 \text{ mm}^2$ e $8 \times 10 \text{ mm}^2$, com soluções rápidas. O resultado indicou taxas de $(830 \pm 5 \%)$ Å/min e $(847 \pm 3 \%)$

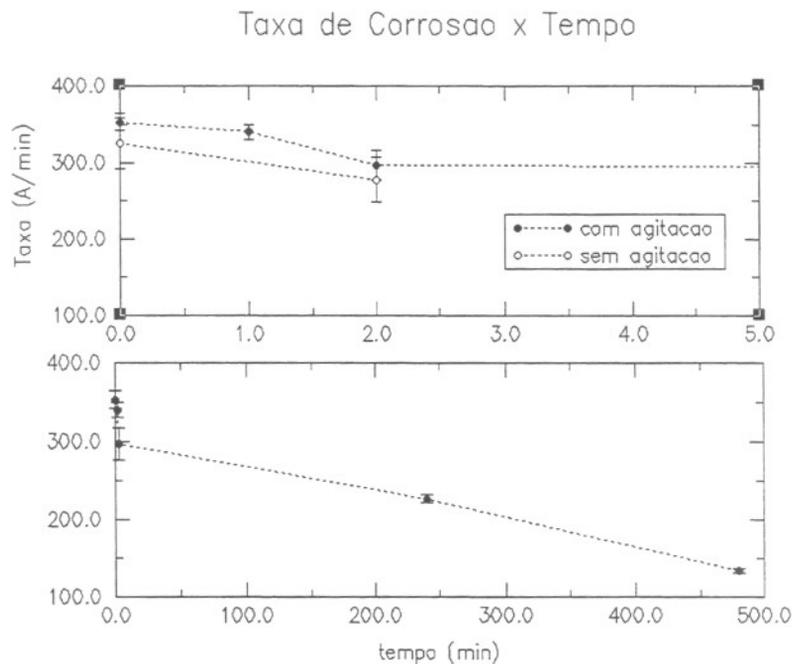


Figura 4.4: Variação da taxa de *etch* com o tempo, para a solução E#3.

Å/min, respectivamente, o que indica que as amostras *dummy* podem ser bem pequenas. A manipulação da amostra deve ser realizada preferivelmente com pinça de teflon, pois peças metálicas podem reagir com a solução. Mesmo pinças metálicas de boa procedência e rotuladas como *quimicamente inertes*, apresentaram marcas de reação após algum tempo de uso.

4.2.2 Acompanhamento de *etching* por medidas de curva de diodo

É necessário estabelecer processos de *etching* para fabricar a mesa de emissor, que é um processo crítico, devido à espessura da base, a mesa de base, a isolamento entre dispositivos e a abertura de vias para contato. Em todos estes processos é necessário determinar o ponto de parada do *etching*. Para esta finalidade, foi estudada a determinação da estrutura de camadas por um processo elétrico, que consiste na medida da corrente reversa de um diodo Schottky formado pela superfície e uma ponta de tungstênio.

Este método é adequado porque a corrente reversa para uma dada tensão, varia muitas ordens de grandeza com respeito aos diferentes níveis de dopagem das camadas da estrutura HBT. As dopagens típicas são as seguintes: cap: 10^{18} cm^{-3} , emissor: 10^{17} cm^{-3} , base: 10^{19} cm^{-3} , coletor: 10^{16} cm^{-3} , subcoletor: 10^{18} cm^{-3} . A corrente reversa varia inversamente com este níveis^[142] e esta variação é tão expressiva que foi possível realizar *etchings* mesmo sem a ajuda de um perfilômetro, porém o uso combinado deste método com um perfilômetro

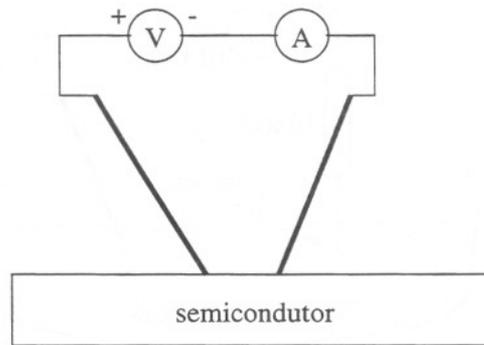


Figura 4.5: Método utilizado para a medição da tensão de ruptura de um diodo formado entre a ponteira de tungstênio e a camada semicondutora.

possibilita a realização do processo em um menor número de etapas, uma vez que grandes porções de camada podem ser removidas de uma vez, no início. A região crítica do ataque, que é aquela próxima do ponto de parada pode ser realizada mais lentamente e com maior precisão por este processo elétrico. Um *etching* para mesa de emissor realizado apenas com as medidas da corrente reversa demora cerca de duas horas, enquanto que o mesmo processo realizado também com as informações do perfilômetro pode ser realizado em cerca de trinta minutos.

A identificação precisa da camada sendo removida é conseguida por medidas realizadas conforme esquematizado na Fig. 4.5. Neste processo, cada ponta forma um diodo com a superfície, sendo que um estará polarizado diretamente e poderá ser ignorado, o outro estará polarizado reversamente e será medido. Utiliza-se uma estação de pontas (ex.: Cascade) e um traçador de curvas (ex.: HP 4145B). Para uma tensão reversa pré-fixada mede-se a ordem de grandeza da corrente reversa, que é um parâmetro que varia muitas ordens de grandeza com a variação da dopagem e é facilmente medida.

Uma pequena camada de óxido ou mesmo sujeira nas pontas de tungstênio pode dificultar muito estas medidas, especialmente para a camada de coletor, que é pouco dopada. Assim é necessário fazer uma limpeza nas pontas antes de iniciar as medidas. Esta limpeza é feita da seguinte forma: coloca-se um pouco de revelador de fotorresiste ou NH_4OH em um copo pequeno. Monta-se um circuito com um resistor de $10\text{ k}\Omega$ em série com a ponta que será limpa e coloca-se uma tensão da ordem de 10V . Mergulha-se a ponta e o terminal livre do resistor na solução por alguns segundos, conforme mostrado na Fig. 4.6 (um tempo longo pode danificar a geometria da ponta).

Um método alternativo de limpeza, que também apresentou bons resultados foi o mergulho das pontas, por alguns segundos em uma solução 1:1 de HCl e HF .

O experimento descrito a seguir, demonstra a eficácia deste método. Foi realizado um *etching* em uma amostra com camadas HBT. O traçador HP 4145B foi ajustado da seguinte

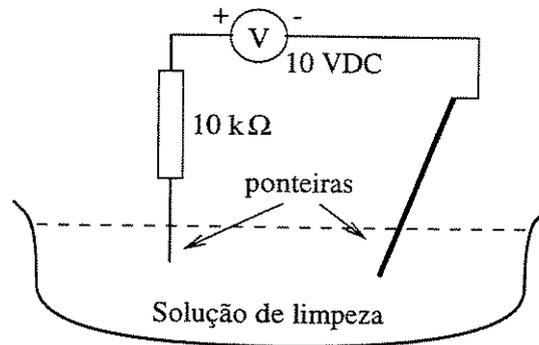


Figura 4.6: Método utilizado para a limpeza das ponteiros de tungstênio.

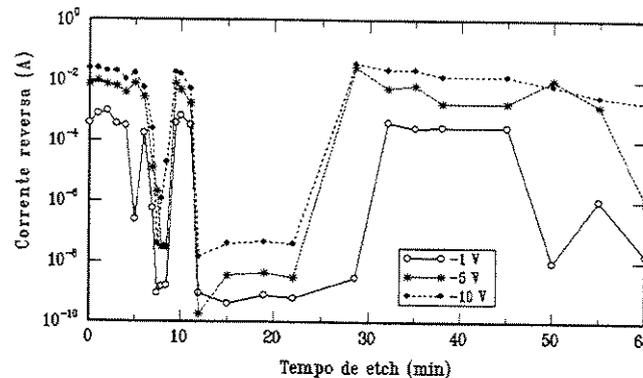


Figura 4.7: Corrente reversa por tempo de etch para diferentes tensões reversas.

forma: medida de curva de diodo, com tensão variando entre -10 V e 0 V e foram traçadas curvas $I \times V$ da região reversa, interrompendo-se o *etching* várias vezes, de 0 a 60 min.

O gráfico da Fig. 4.7 mostra a variação da corrente ao longo do tempo de *etching* para as tensões de -1 V , -5 V e -10 V . Devido à grande variação de corrente observada e à característica de variação abrupta de dopagem de HBTs, podemos determinar a camada sob *etching*. Acompanhando as curvas ao longo do tempo temos: de zero a 5 min: cap, de 5 a 9 min: emissor, de 9 a 12 min: base, de 12 a 25 min: coletor, de 25 a 55: subcoletor, de 55 em diante: início do substrato.

Uso para a definição de mesas

O processo rápido com ácido sulfúrico (E#2) apresenta taxa de *etching* de $\simeq 800\text{ \AA}/\text{min}$, que é adequada para o *etching* de camadas espessas, tais como o cap de emissor, o coletor e o subcoletor.

O mecanismo deste processo é como segue: inicialmente, o H_2O_2 oxida a superfície, formando óxido de Ga e As, a seguir, o H_2SO_4 remove esta camada de óxido. Este mecanismo

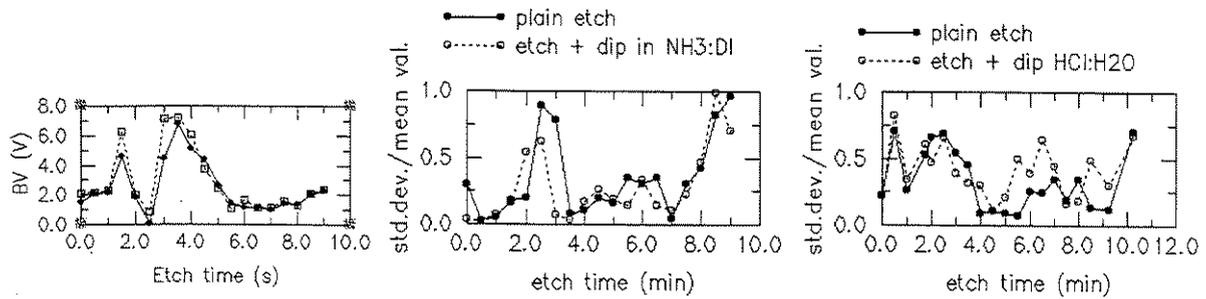


Figura 4.8: (a) Tensão de ruptura (BV), em volts, em função do tempo de *etching*, em minutos. ●: *etching* simples. □: *etching* + tratamento com $\text{NH}_3:\text{H}_2\text{O} :: 1:15$. (b) e (c) desvio padrão das medidas com e sem tratamento com as soluções de NH_3 e HCl .

sugere a remanscência de uma fina camada de óxido, da ordem de 50\AA , sobre a superfície. Supondo que esta camada de óxido pudesse afetar as medidas de corrente reversa, foram realizados experimentos mergulhando ou não a amostra em uma solução $\text{NH}_3:\text{H}_2\text{O} :: 1:15$, por 15 segundos (ou $\text{HCl}:\text{H}_2\text{O} :: 1:15$ por 30 segundos), para remover o óxido remanescente, imediatamente antes das medidas de corrente reversa. Após este tratamento a amostra não foi lavada em água, pois a água oxida o GaAs, formando uma camada de óxido com espessura de $30\text{--}40\text{\AA}$.

A Fig. 4.8 mostra a evolução da corrente reversa durante o *etching*, para os casos com e sem o tratamento para remoção do óxido superficial. Na Fig. 4.8 (a), as regiões mostradas, da esquerda para a direita, correspondem respectivamente ao cap de emissor ($BV \simeq -2\text{ V}$), ao emissor ($BV \simeq -5\text{ V}$), à base ($BV \simeq -1\text{ V}$), ao coletor ($BV \simeq -7\text{ V}$) e ao subcoletor ($BV \simeq -1\text{ V}$). A figura Fig. 4.8 (b) mostra o desvio padrão relativo às médias das medidas. Nota-se que não houve melhoria significativa para as amostras tratadas com $\text{NH}_3:\text{H}_2\text{O}$. O mesmo comportamento foi observado nas amostras tratadas com $\text{HCl}:\text{H}_2\text{O}$ (Fig. 4.8 (c)), o que significa que a camada de óxido resultante deste tipo de *etching* não é significativa neste processo.

A solução lenta com NH_4OH (E#3) apresentou uma baixa taxa de *etch* ($\leq 350\text{\AA}/\text{min}$), o que possibilita a exposição precisa da camada de base (Fig. 4.9). Esta característica é essencial para a fabricação da mesa de emissor.

A solução E#4 (*etch* rápido com NH_4OH) apresentou taxa de *etch* aproximadamente igual ao dobro daquela da solução lenta. Um gráfico de tensão de ruptura ao longo da estrutura, medida para a corrente de 1 mA , está apresentado na Fig. 4.10.

Este gráfico mostra que esta solução não é tão eficaz quanto à anterior para a exposição da mesa de emissor, pois há uma certa dificuldade em se distinguir entre o final do emissor e o início da base. No entanto este *etch* pode ser utilizado para a definição precisa da mesa de base, pois possibilita a fácil distinção entre coletor e subcoletor.

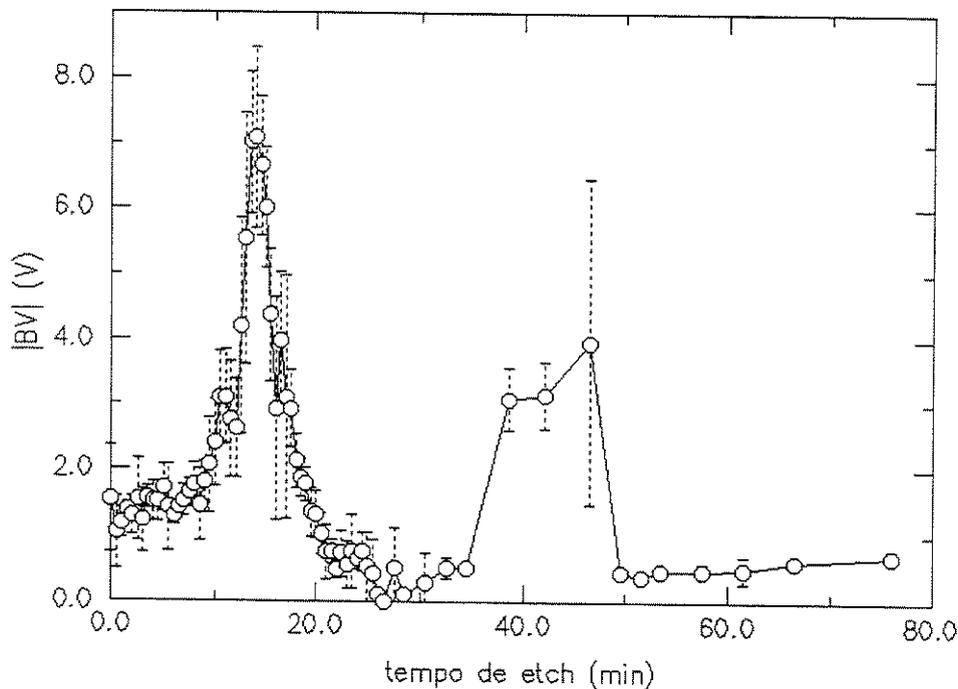


Figura 4.9: *Etching* de camadas HBT com $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} :: 2:1:800$. Da esquerda para a direita temos: cap de emissor, emissor, base, coletor e subcoletor. As regiões de interface apresentam maior desvio padrão, pois nestas regiões a próxima camada está semi-exposta.

A solução lenta com ácido sulfúrico (E#1) comporta-se de maneira muito semelhante à solução lenta com NH_4OH (E#3) e também pode ser utilizada para a exposição da camada de base. A taxa de *etch* é de aproximadamente $360 \text{ \AA}/\text{min}$. Para a fabricação de HBTs os processos com NH_4OH se mostraram mais adequados, pois as soluções com H_2SO_4 deram origem a um composto marrom na superfície das amostras, supostamente óxido de arsênio. No entanto não foi determinado se este problema é genérico para as soluções nas concentrações e condições utilizadas, ou se está relacionado à qualidade do ácido empregado, pois a literatura relata o uso de soluções baseadas em H_2SO_4 para o *etching* de GaAs sem mencionar a ocorrência de tais problemas.

Os experimentos realizados permitem a recomendação do seguinte procedimento para a exposição de uma estrutura HBT por via úmida:

1. Escolher o tipo de *etching* a ser utilizada (baseado em NH_4OH ou H_2SO_4).
2. Preparar ambas as soluções (rápida e lenta).
3. Determinar as taxas de *etch* com o auxílio de um perfilômetro. A amostra deve incluir padrões finos, pois a taxa de *etch* no interior de estruturas pequenas, pode ser diferente da taxa em superfícies abertas.

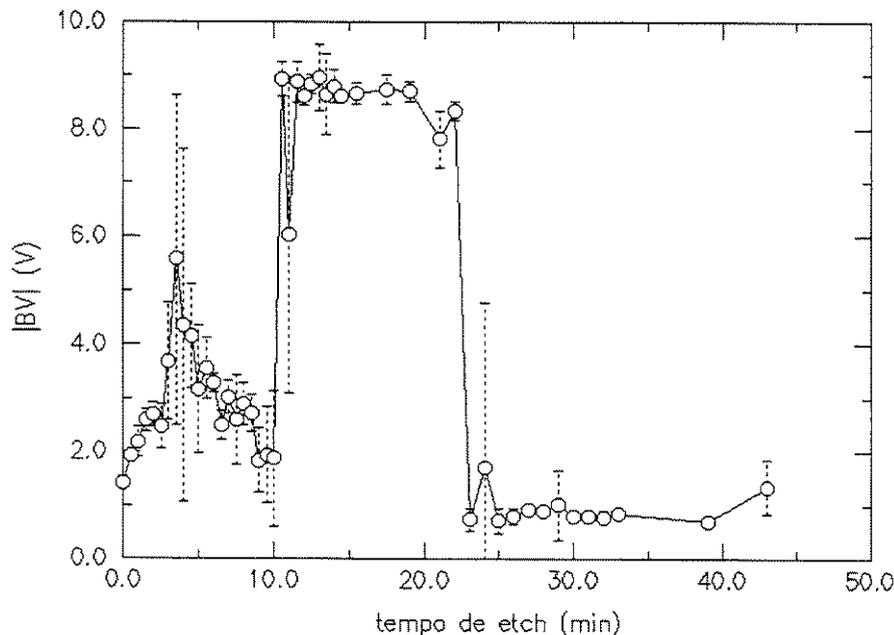


Figura 4.10: Acompanhamento da tensão de ruptura durante o *etching* de uma estrutura HBT realizada com $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} :: 2:1:400$.

4. Limpar as ponteiros para medidas BV.
5. Se não houver fotorresiste na lâmina, limpá-la com tricloroetileno, acetona e isopropanol.
6. Usar a solução rápida para retirar o cap do emissor (passos de 30 segundos a 1 minuto).
7. Usar a solução lenta para expor a superfície da base (passos de 15 segundos). Uma vez que a base é muito fina e deve ser determinada com precisão, é aconselhável utilizar o método BV e parar o *etching* no ponto em que a corrente reversa atingir a ordem de miliampères, para tensões próximas de -1 V. No início da base, como existe uma interface de transição entre o emissor (ou a camada gradual) e a base, as medidas de BV poderão variar bastante entre pontos diferentes da superfície. Ao invés de se medir a tensão de ruptura para uma corrente fixa é melhor medir a corrente para uma tensão fixa (por exemplo, -3 V), pois esta corrente variará várias ordens de grandeza. A tensão de ruptura varia de -1 V a -10 V, ao longo de toda a estrutura.
8. Usar a solução rápida para expor o subcoletor (passos de 1 minuto).
9. Usar a solução rápida para fazer as mesas de isolamento dos dispositivos (passos de 2 minutos). Quando o substrato é atingido a corrente cai para a ordem de picoampères.

4.2.3 Etching com plasma para a abertura de vias

Para a fabricação de dispositivos em microeletrônica é necessário o estabelecimento de processos para separar camadas de metais. No caso particular de transistores HBT, sua estrutura piramidal dificulta a interconexão de dispositivos e é aconselhável o uso de um processo de planarização, como por exemplo a aplicação por *spinner* de uma camada de polyimide. A alta velocidade de rotação, associada à viscosidade deste material, origina uma superfície com melhor planicidade. Neste caso, o acesso aos contatos ôhmicos deve ser realizado por meio de vias abertas neste isolante. A profundidade das vias para acessar os contatos de coletor é da ordem de $1\ \mu\text{m}$ e seu preenchimento com metal é uma causa extra de falha, pois o metal pode ficar em aberto ao passar por uma via deste tipo. Para reduzir a probabilidade de falha, é de particular interesse o desenvolvimento de vias com paredes inclinadas, o que facilita o preenchimento das mesmas. M. Schier e A. Lujan *et al.*^[143, 144] investigaram a inclinação de paredes em BCB. Neste trabalho, foi estudado o processo de obtenção de tais vias em polyimide. Além da boa isolação entre dispositivos e metal de interconexão, o polyimide também traz o benefício de passivar eletricamente a superfície da base extrínseca^[68], o que é importante para melhorar o ganho de corrente dos dispositivos.

Neste trabalho foi estudado a obtenção de vias com paredes inclinadas, conforme mostrado na Fig. 4.11

É depositada uma camada de polyimide com aproximadamente $1\ \mu\text{m}$ de espessura. Em seguida o polyimide é curado para perder solvente e adquirir solidez. Por meio de litografia, a superfície é demarcada com fotorresiste SPR 3012, que apresenta grande resistência à corrosão por plasma. As paredes do fotorresiste são inclinadas por um tratamento térmico, que causa o *reflow* (escoamento) controlado do resiste. Ambas as camadas, polyimide e fotorresiste, são removidas por um tratamento com plasma de SF_6 e O_2 . A inclinação final da parede do polyimide é proporcional ao ângulo inicial da parede de fotorresiste.

A constante dielétrica relativa do polyimide é aproximadamente 3,2. Não é tão alta como para o óxido de silício (3.9) ou nitreto de silício (7.5), mas é comparável ao BCB (2.7). No caso de HBTs AlGaAs/GaAs existe maior tolerância quanto à capacidade de isolação do dielétrico, quando comparado ao caso de dispositivos em silício, pois os substratos LEC-GaAs utilizados no processamento são semi-isolantes, o que resulta em menores capacitâncias de substrato. Além disso, as camadas ativas são crescidas sobre uma camada intrínseca de $2.500\ \text{Å}$.

Modelando a inclinação das paredes

O ângulo das paredes do fotorresiste pode ser ajustado por controle da temperatura e tempo de escoamento. A seguir, utiliza-se um tratamento de corrosão anisotrópica por RIE

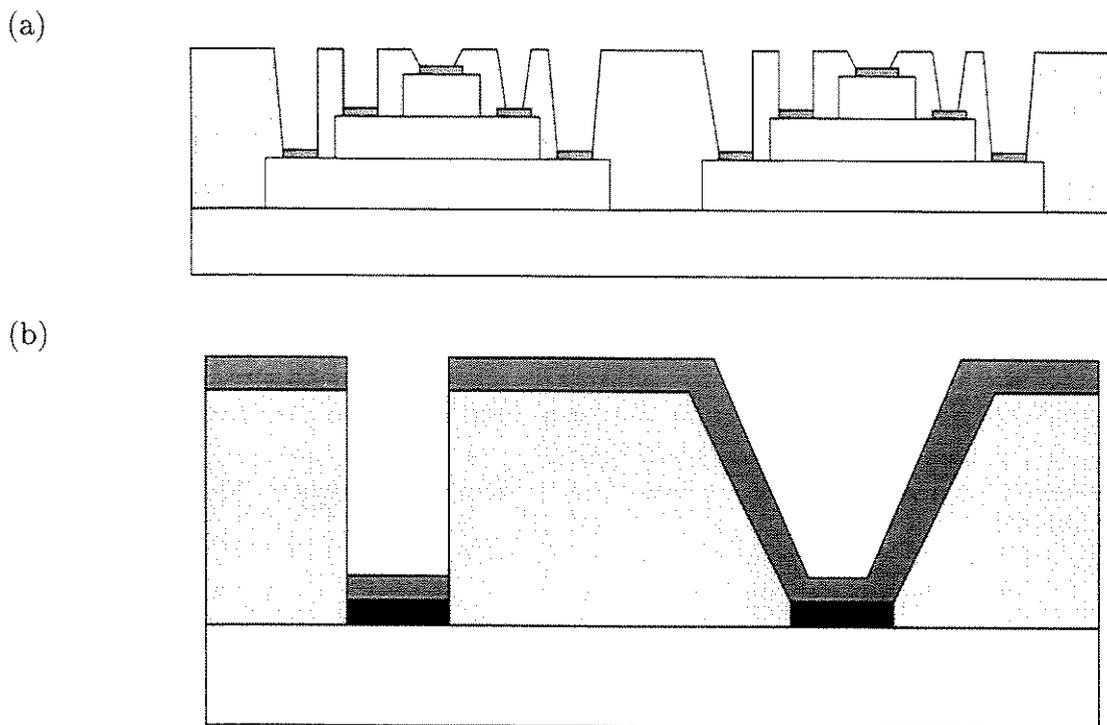


Figura 4.11: (a) Planarização com polyimide. Neste exemplo, cada estrutura piramidal representa um transistor HBT, onde temos, da esquerda para a direita, as vias de acesso aos contatos de coletor, base e emissor, respectivamente. (b) Necessidade de vias com paredes inclinadas. Observa-se, no caso da esquerda, a descontinuidade da linha metálica.

(*reactive ion etching*) para remover fotorresiste e polyimide, de tal forma que o perfil da parede de fotorresiste é transferido para a via no polyimide. Este processo é semelhante à abertura de vias em óxido de silício com inclinações de parede controladas^[145].

Para determinar o ângulo da parede da via, consideramos que no início da corrosão (tempo $t = 0$), temos uma estrutura conforme mostrado na Fig. 4.12 (1). Sendo α o ângulo da

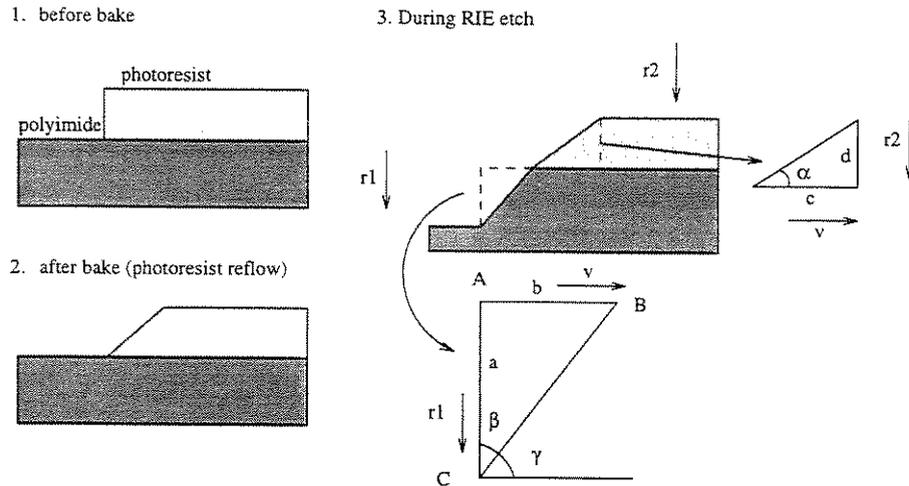


Figura 4.12: Após a etapa litográfica, a parede de fotorresiste é vertical (1), após o tratamento para escoamento, a parede de fotorresiste apresenta ângulo positivo (2), durante o RIE a parede do polyimide adquire um ângulo proporcional à relação entre as taxas de corrosão e o ângulo inicial da parede de fotorresiste..

parede de fotorresiste após o escoamento e γ o ângulo final na parede de polyimide e supondo que o polyimide é removido com uma taxa r_1 e que o fotorresiste é removido com taxa r_2 ($\text{\AA}/\text{min}$), temos que o ponto A é fixo, o ponto B se move com velocidade v e o ponto C se move com velocidade r_1 . Conseqüentemente os comprimentos a e b aumentarão de acordo com as velocidades r_1 e v respectivamente. Considerando que no tempo $t = 0$ ainda não houve nenhuma corrosão e conseqüentemente os comprimentos a e b são nulos, no tempo t teremos:

$$a = r_1 t \quad (4.1)$$

$$b = vt \quad (4.2)$$

Como $\beta = \arctan(b/a)$ e $\gamma + \beta = 90^\circ$:

$$\gamma = 90^\circ - \arctan \frac{v}{r_1} \quad (4.3)$$

Relação entre v e r_2 : do lado do fotorresiste temos

$$c = vt \quad (4.4)$$

$$d = r_2 t \quad (4.5)$$

e

$$v = \frac{r_2}{\tan \alpha} \quad (4.6)$$

Combinando (4.3) e (4.6) temos

$$\gamma = 90^\circ - \arctan\left(\frac{r_2}{r_1 \tan \alpha}\right) \quad (4.7)$$

que corresponde ao ângulo final da parede da via de polyimide.

Procedimento experimental

Para a medida do ângulo inicial do fotorresiste, devemos considerar um triângulo cuja hipotenusa tem um extremo no canto da interface fotorresiste/polyimide e o outro extremo no ponto em que o fotorresiste inicia a queda devida ao escoamento. Em casos reais, a parede de fotorresiste é arredondada, conforme mostrado na Fig. 4.13. Esta figura também mostra os triângulos utilizados para a medida do ângulo α .

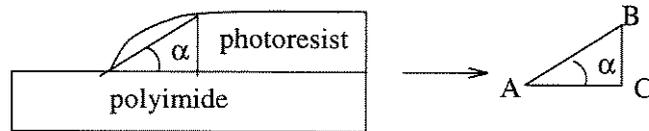


Figura 4.13: Paredes de fotorresiste após o tratamento térmico para escoamento e determinação do ângulo α .

Para determinar os comprimentos AB e BC para o fotorresiste foram utilizadas fotografias SEM, como mostrado na Fig. 4.14.

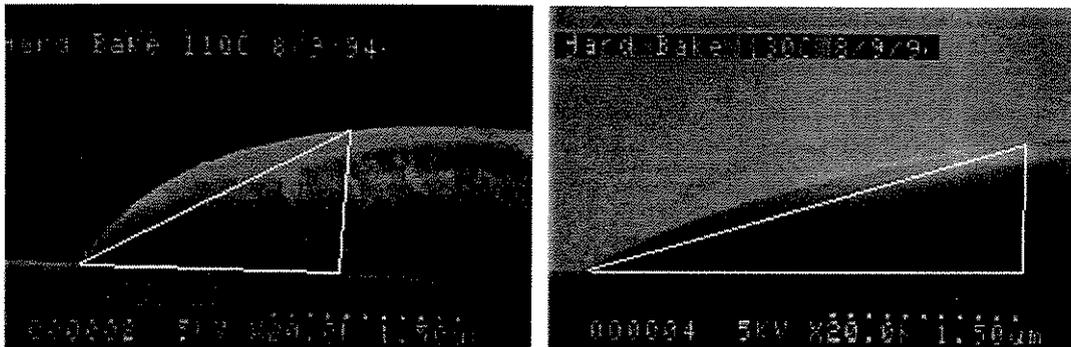


Figura 4.14: Fotografias SEM mostrando a camada de fotorresiste após o escoamento. Tratamentos térmicos: 110°C/1 min. e 130°C/1min. Ângulos: 28.5° e 15.4°. Fotos: A. Lujan et al.^[144].

Para medir o ângulo final da camada de polyimide, após o ataque com RIE e a remoção do fotorresiste, utilizou-se fotos SEM tomadas de cima da superfície como mostrado na Fig. 4.15. Nesta foto, as fronteiras da região brilhante possibilitam a medida do comprimento AC, o comprimento BC é medido com um perfilômetro.

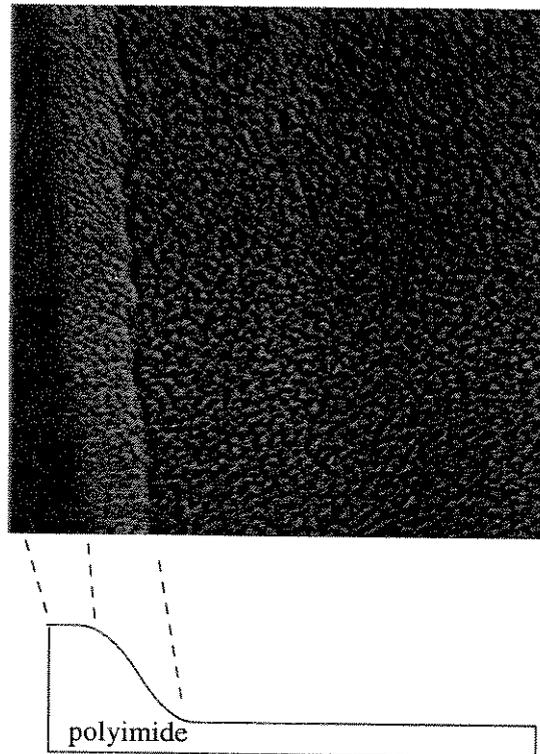


Figura 4.15: Fotografia SEM mostrando a superfície de polyimide após o tratamento com RIE e a remoção do fotorresiste (amostra 2 – escoamento: 130°C/1 min). A região brilhante do lado esquerdo corresponde à parede inclinada de polyimide. A região da esquerda mostra o polyimide que estava coberto por fotorresiste. A região central mostra o polyimide como ele estava no ponto em que o RIE foi interrompido.

As amostras foram limpas pelo processo C#1 (pg. 80). O polyimide foi aplicado por *spinner*, a 7.000 rpm por 40 s e curado lentamente em *hot-plate* com passos de temperatura de 25°C, partindo de 50°C e subindo até 300°C (a perda rápida de solvente pelo polyimide deve ser evitada, pois isto causa rachaduras no material). Cada passo de temperatura foi mantido por 30 min, contados após a estabilização da temperatura, que no aparelho utilizado, acontecia após aproximadamente 10 min depois de cada novo *set point* (a taxa de subida foi de $\approx 2,5$ °C/min). Após a cura do polyimide, as amostras foram gravadas com fotorresiste SPR 3012, fabricado pela Shipley e recomendado para exposição a plasma. O fotorresiste foi espalhado a 4.000 rpm por 40 s e aquecido a 91°C por 6 min. A exposição aos ultra-violetas (335–500 nm) foi realizada por 40 s com intensidade de 9 mW/cm². A revelação foi feita com revelador AZ 400 (Hoechst) diluído em água (10:35 em volume). Os tratamentos térmicos para o escoamento do fotorresiste foram realizados em *hot-plate* nas

temperaturas de 110°C (amostra 1) e 130°C (amostra 2) por 1 min. Os tratamentos com plasma RIE foram realizados com uma mistura de SF₆ + O₂ a 60 W, sob pressão total de 40 mTorr. O aparelho utilizado é um reator contruído no LPD/IFGW/Unicamp por A.C.S. Ramos^[146], que opera a 13.56 MHz com eletrodos de alumínio separados de 7 cm. Após o tratamento com RIE, o resiste se torna mais resistente, pois íons F⁻ reagem com a superfície aumentando sua viscosidade^[147, 148]. A tentativa de remoção com acetona, resulta em uma superfície cheia de resíduos. Foi obtida uma superfície limpa expondo-se a amostra por dois minutos aos ultra-violetas (*flood exposure*) a 9 mW/cm². Após esta exposição o resiste foi dissolvido por uma banho em ACSI SN-12, no ponto de ebulição, por 5 minutos.

Resultados

A determinação das taxas de remoção foram realizadas em uma série de experimentos, resumidos nos gráficos da Fig. 4.16. Antes de cada tratamento em plasma, o RIE foi

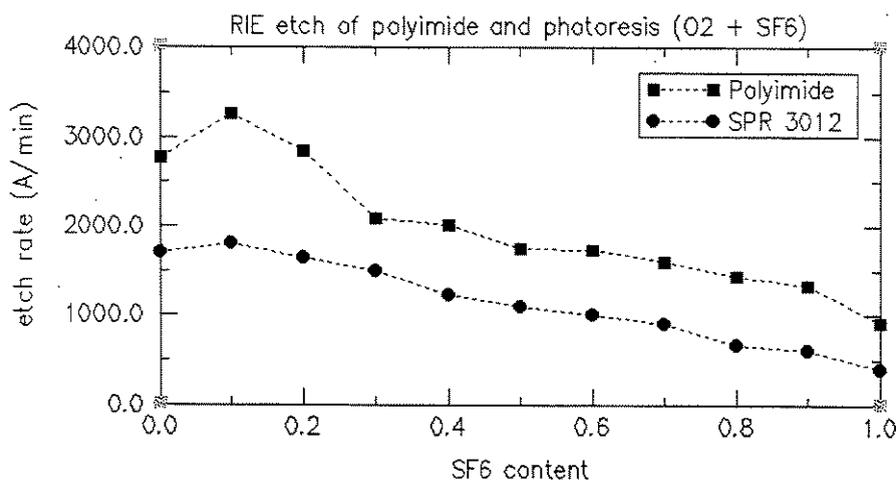


Figura 4.16: Taxas de corrosão para o fotorresiste e o polyimide.

ajustado, controlando-se o conteúdo de SF₆, de 0% a 100%. Foi observado que a taxa de corrosão tanto para o polyimide como para o fotorresiste diminuem com o aumento do conteúdo de SF₆. A caracterização das paredes atacadas foi realizada por fotografias SEM e um perfilômetro Dektak-Sloan.

A tabela seguinte sumariza os resultados para os ângulos teóricos e medidos:

amostra	tratamento	SF ₆	r_2/r_1	ângulo inicial no fotorresiste	ângulo final no polyimide	
					eq. (4.7)	medido
1	110°C/1 min.	70%	0,5611	28,5°	44°	47°
2	130°C/1 min.	20%	0,5792	15,4°	25°	26°

O SPR 3012 resiste consideravelmente ao plasma reativo, o que é uma característica importante para a realização deste processo, pois a camada de fotorresiste não deve terminar

antes que o fundo da via seja atingido. A seletividade do polyimide (PIX L110SX Hitachi) com respeito ao SPR 3012 foi de aproximadamente 1,7 (taxa de corrosão no polyimide / taxa de corrosão no fotorresiste). Uma vez que estamos utilizando camadas de polyimide de $1,0 \mu\text{m}$ de espessura e camada de fotorresiste de $1,2 \mu\text{m}$, não há risco de perda da máscara durante o processo.

4.3 Implantação Iônica para a Isolação de Camadas

Nesta seção estuda-se a amorfização de GaAs por implantação de He^+ .

4.3.1 Introdução

A implantação iônica pode ser utilizada como alternativa aos processos de corrosão, para se obter a isolação de camadas em GaAs, o que geralmente se realiza com a radiação de prótons^[149], oxigênio^[150] ou boro^[151], sendo que os dois primeiros processos são os mais utilizados. A implantação de prótons requer energias da ordem de 90 keV a 140 keV. A implantação de oxigênio é realizada com energias maiores, da ordem de 380 keV, porém tem como vantagem uma alta estabilidade térmica.

Neste estudo visou-se a obtenção de camadas isoladas de GaAs por meio de implantação de He^+ mascarada por fotorresiste ou metal de emissor.

Foram analisados processos para a isolação de dispositivo e da camada de coletor. Este último caso é útil porque reduz a capacitância base-coletor (C_{bc}) que tem forte influência em f_{max} . Para a implantação de coletor, a espessura da base é de aproximadamente 1.000 \AA e da camada de coletor é de aproximadamente 5.000 \AA . Em um caso ideal os íons devem atravessar a camada de base sem danificá-la para que sua resistência de folha permaneça baixa. Uma vez que na primeira etapa de penetração dos íons no material ocorre freiamento predominantemente eletrônico, tem-se pouca danificação da camada de base. No interior da camada de coletor, o feixe de íons é freado predominantemente por interação com os núcleos atômicos da rede cristalina, danificando-a.

Idealmente, as implantações necessárias aos processos P_{14} , P_{23} e P_5 são as seguintes:

- implantação através da camada de base para isolar a camada de coletor.
- implantação para isolação das camadas de coletor e de subcoletor.
- implantação para isolar a camada de base.
- implantação para isolar todas as camadas.

- implantação para isolar todas as camadas com exceção da camada de subcoletor.

4.3.2 Metodologia

Para o estudo desta etapa de processo foi utilizada a seguinte metodologia:

As implantações foram inicialmente analisadas com ajuda do *software* TRIM de simulação de implantação iônica. No caso de implantações múltiplas, os parâmetros de média e desvio fornecidos pelo TRIM foram aproximados por uma gaussiana e os perfis resultantes foram somados pelo programa GNUPLOT, para facilitar a análise.

As amostras para implantação foram preparadas com etapas de corrosão úmida e metalizações para definir mesas com capacitores, de tal forma a permitir a avaliação do efeito da isolação por medida da capacitância da região implantada. A medida de resistência só é aconselhável quando a região de subcoletor também é isolada, caso contrário ela representa um resistor de baixa resistência em paralelo com a camada isolada e seu efeito mascara a medida do efeito de isolação. Foram fabricados capacitores com diâmetros variando de 100 a 300 μm .

As implantações foram realizadas na Universidade Federal do Rio Grande do Sul, por Joel P. de Souza, Iouri Danilov e Henri Boudinov, sendo que implantações a 400 keV foram realizadas pela técnica de dupla ionização. Todas as implantações foram realizadas com inclinação de 7°.

As medidas de capacitância foram realizadas no Centro Tecnológico para Informática (CTI-Campinas) em uma estação de pontas E680 acoplada a um capacitômetro digital Boonton 72B. A seguir são apresentados os experimentos realizados, sendo que as implantações foram elaboradas visando-se obter resultados semelhantes àqueles relatados na literatura para a implantação de prótons e oxigênio.

4.3.3 Experimentos

Revisão

A literatura recomenda que a isolação de todas as camadas seja realizada por uma série de implantações^[118], de tal forma que o perfil final será dado pela somatória de cada perfil individual, por exemplo, a seguinte série de implantações:

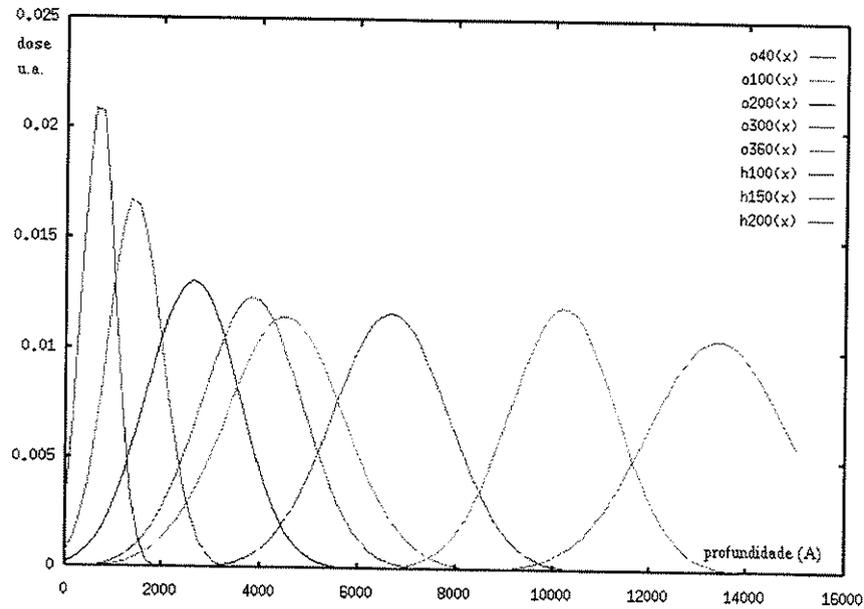


Figura 4.17: Perfis de implantações de oxigênio e hidrogênio em GaAs. As curvas, da esquerda para a direita, correspondem uma a uma às legendas de cima para baixo.

Isolação de dispositivo				
material	energia (keV)	dose (cm ⁻²)	μ (Å)	σ (Å)
oxigênio	40	$5 \cdot 10^{12}$	677	351
oxigênio	100	$6 \cdot 10^{12}$	1.420	567
oxigênio	200	$7 \cdot 10^{12}$	2.608	935
oxigênio	300	$8 \cdot 10^{12}$	3.813	1.048
oxigênio	360	$8 \cdot 10^{12}$	4.490	1.209
próton	100	$1 \cdot 10^{15}$	6.656	1.172
próton	150	$1 \cdot 10^{15}$	10.200	1.109
próton	200	$1 \cdot 10^{15}$	13.400	1.428

produz em GaAs, os perfis mostrados na Fig. 4.17. μ e σ são o valor médio e o desvio padrão, respectivamente, conforme previstos pelo simulador TRIM. A equação utilizada para representar os perfis de foi a gaussiana:

$$f(x) = \frac{1}{\sqrt{2\pi}\sigma} e^{-(x-\mu)^2/2\sigma^2} \quad (4.8)$$

A dose não foi considerada e o resultado obtido deve ser analisado qualitativamente.

A implantação de coletor pode ser realizada com uma única implantação de oxigênio, conforme a tabela a seguir:

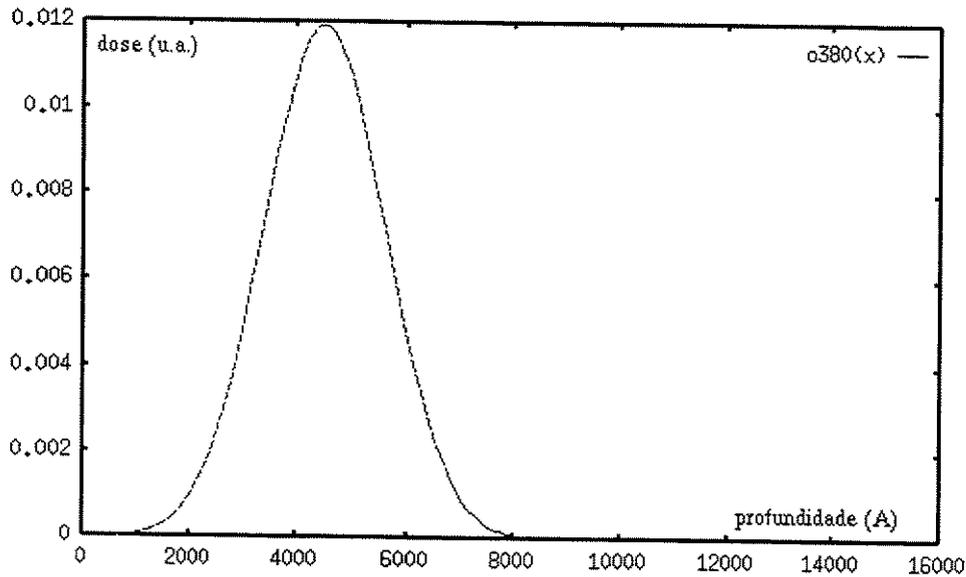


Figura 4.18: Perfil implantado para oxigênio com energia de 380 keV, em GaAs. Dose em unidades arbitrárias (u.a.).

Implantação de coletor				
	energia	dose	μ	σ
material	(keV)	(cm ⁻²)	(Å)	(Å)
oxigênio	380	1.10^{14}	4.485	1.110

Esta implantação produz aproximadamente o perfil mostrado na Fig. 4.18 (previsto por simulação TRIM).

Máscara de implantação

Foi utilizado o fotorresiste AZ 5214E como máscara contra a implantação. Simulações TRIM indicaram que o alcance máximo de He⁺ a 200 keV neste fotorresiste é da ordem de 6.300 Å. Uma vez que a camada utilizada tem 16.000 Å e que as energias utilizadas foram, na maioria dos experimentos, bem inferior a 200 keV, concluímos que o freiamento causado pelo fotorresiste é adequado para esta aplicação.

No processo P_{14} a implantação é realizada utilizando-se o metal de emissor como máscara, foram realizadas simulações TRIM para He⁺, com energias acima de 100 keV e considerando-se diferentes estruturas metálicas, conforme mostrado na tabela 4.1.

Quando $\sigma + \mu > h$ (onde h é a espessura do metal) há penetração de íons na camada de semiconductor abaixo do contato. Isto acontece de maneira significativa para energias elevadas. Para 100 keV temos uma situação aproximadamente limite, onde perfil implantado tem seu centro dentro do metal, porém a parte final de sua cauda atravessa a interface

Tabela 4.1: Resultados de simulações TRIM para a implantação de He⁺ no metal de emissor.

Fonte	Energia	Alvo	σ (Å)	μ (Å)
1	He ⁴	200 keV	Ni/Ge/Au/Ni/Au : 500/1000/500/1000 = 3000 Å	4750 1450
2	He ⁴	200 keV	Ni/Ge/Au/Ni/Au/W : 500/1000/500/1000/1000 = 4000 Å	4262 1646
3	He ⁴	400 keV	Ni/Ge/Au/Ni/Au : 500/1000/500/1000 = 3000 Å	8066 2170
4	He ⁴	100 keV	Ni/Ge/Au/Ni/Au : 500/1000/500/1000 = 3000 Å	2632 1003
5	He ⁴	100 keV	Au : 3000 Å	2513 1265
6	He ⁴	200 keV	Ni/Ge/Au/Ni/Au : 500/1000/500/3000 = 5000 Å	4434 1458

metal/semicondutor. É esperado que este fato não seja problemático, pois a parte atingida é no máximo o *cap* de emissor, que é fortemente dopado. Para energias inferiores a 100 keV, o que geralmente é o caso, podemos assumir que o dano causado no *cap* de emissor é irrelevante ou inexistente.

4.3.4 Experimento #1

Para caracterizar o efeito da implantação de He⁺, foi realizado um experimento com energia constante e diversas doses. Foi utilizada uma estrutura HBT crescida por MOCVD na qual foi realizada uma corrosão com NH₄OH:H₂O₂:H₂O :: 2:1:800, para expor a camada de base. Durante esta remoção, foram observadas as seguintes correntes reversas: 3 mA, 6 μ A e 4 mA, para a tensão de -4 V, indicando as camadas de contato de emissor, emissor e base, respectivamente. Para interromper a remoção no início da camada de base com precisão, os passos de *etch* foram realizados muito lentamente, com etapas de 10", no final. Na região de interface foi observada grande instabilidade nas medidas e a remoção foi interrompida logo após as medidas se tornarem estáveis, o que indica o final da interface. Após esta corrosão, a estrutura ficou como segue:

Base, GaAs, 1.000 Å, *p*+ (C): $2,5 \times 10^{19} \text{ cm}^{-3}$

Coletor, GaAs, 5.000 Å, *n*- (Si): $5,0 \times 10^{16} \text{ cm}^{-3}$

Subcoletor, GaAs, 5.000 Å, *n*+ (Si): $3,0 \times 10^{18} \text{ cm}^{-3}$

Esta estrutura corresponde à parte inferior de uma estrutura HBT AlGaAs/GaAs. A amostra foi dividida em sete pedaços de tamanho $5 \times 5 \text{ mm}^2$, sendo que seis foram destinadas à radiação de íons e uma ficou para controle.

Inicialmente as amostras foram gravadas com fotorresiste e depois foi realizada a remoção, com NH₄OH : H₂O₂ : H₂O :: 2 : 1 : 800, das camadas de base e coletor, restando uma mesa sobre a camada de subcoletor. Após a definição da mesa, foi realizada a metalização AuGe/Ni na camada de subcoletor e CrAl na camada de base, por evaporação térmica. Estes contatos foram tratados a 380 °C por 30 s em um forno RTA. O diâmetro nominal (máscara) dos capacitores é 100, 150, 200, 250 e 300 μm .

Realizou-se implantações em diferentes doses, para a energia de 75 keV e inclinação de 7°, conforme apresentado a seguir:

Energia: 75 keV	
Amostra	Dose (cm ⁻²)
1	não implantada
2	5,0×10 ¹¹
3	1,5×10 ¹²
4	3,0×10 ¹²
5	4,5×10 ¹²
6	7,0×10 ¹²
7	1,0×10 ¹³

A tabela 4.2 mostra as capacitâncias, em pF/mm², para os diferentes diâmetros.

Tabela 4.2: Capacitância (pF/mm²) × diâmetro do capacitor (μm). A inclinação de 7 graus utilizada nas implantações evita canalização.

Implantações com He, 75 keV, 7 graus						
Amostra	Dose (cm ⁻²)	φ = 300 μm	250 μm	200 μm	150 μm	100 μm
59-1	não implantada	438	397	397	322	318
59-2	5,0 × 10 ¹¹	219	214	194	178	134
59-3	1,5 × 10 ¹²	191	178	169	139	97
59-4	3,0 × 10 ¹²	183	170	164	133	98
59-5	4,5 × 10 ¹²	170	159	150	110	79
59-6	7,0 × 10 ¹²	170	163	170	130	85
59-7	1,0 × 10 ¹³	180	160	150	133	83
valor teórico para uma amostra intrínseca: 228 pF/mm ²						

Esta tabela deixa claro que o tamanho dos capacitores influencia as medidas, o que é atribuído a efeitos de borda, que são mais acentuados em capacitores menores. Para efeito de comparação, foi considerado inicialmente a possibilidade de se extrapolar os valores medidos para um capacitor hipotético de diâmetro nulo, o que seria viável, pois a variação com o diâmetro é linear, com índice de correlação de aproximadamente 0,95 (Tabela 4.3). Outra possibilidade seria o uso de valores normalizados, porém por conveniência, foram utilizados os valores dos maiores capacitores, que supostamente têm menor influência do efeito de bordas.

A Fig. 4.19 resume os resultados obtidos.

Estes resultados mostram que valores ótimos para a dose estão entre 4,0×10¹² e 7,0×10¹²

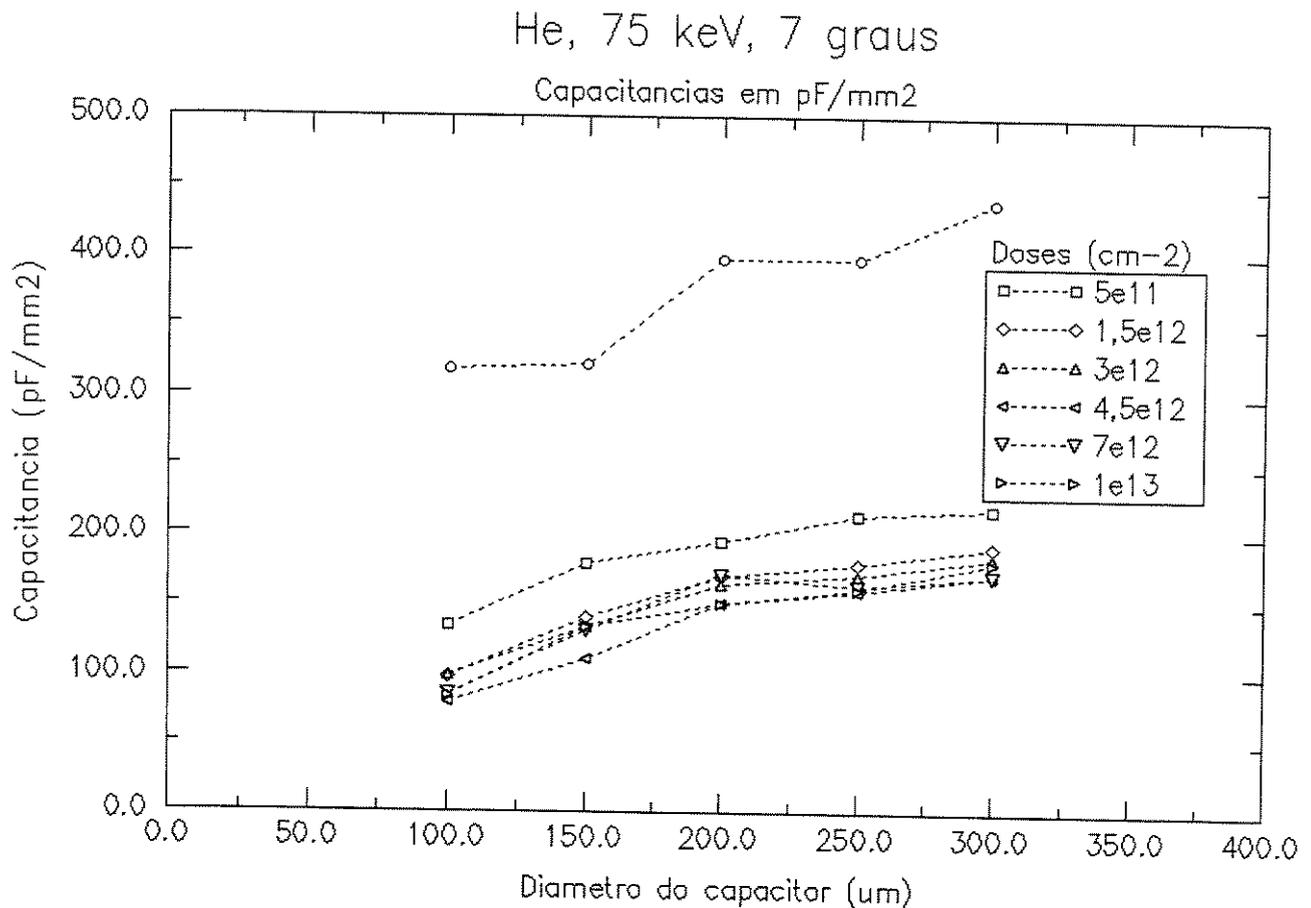


Figura 4.19: Capacitâncias por área para as diversas doses implantadas.

cm^{-2} . Doses muito altas, como por exemplo aquela da amostra 7, não são aconselhadas, pois aumenta-se o risco de dano à camada de base.

Experimento #2

O objetivo deste experimento é a obtenção da isolamento da camada de coletor. Foi utilizada uma amostra crescida por MOCVD, obtida de maneira semelhante ao processo utilizado no experimento anterior, com a seguinte especificação:

Base, GaAs, 800 Å, p+ (C): $2,5 \times 10^{19} \text{ cm}^{-3}$

Coletor, GaAs, 5.400 Å, n- (Si): $1,5 \times 10^{16} \text{ cm}^{-3}$

Subcoletor, GaAs, 5.400 Å, n+ (Si): $3,0 \times 10^{18} \text{ cm}^{-3}$

O procedimento de remoção previamente descrito foi repetido para se definir mesas com capacitores. Antes de metalizar os contatos, a estrutura acima foi exposta à radiação de He^+ , mascarada pelo fotorresiste, sendo que foram utilizadas 4 amostras, como segue:

Tabela 4.3: Valores de capacitância para um capacitor hipotético, com diâmetro nulo.

Amostra	Dose	Correlação	Capacitância (pF/mm ²)
1	controle	0,95	248
2	$5,0 \times 10^{11} \text{ cm}^{-2}$	0,95	105
3	$1,5 \times 10^{12} \text{ cm}^{-2}$	0,95	64
4	$3,0 \times 10^{12} \text{ cm}^{-2}$	0,96	67
5	$4,5 \times 10^{12} \text{ cm}^{-2}$	0,96	67
6	$7,0 \times 10^{11} \text{ cm}^{-2}$	0,87	67
7	$1,0 \times 10^{13} \text{ cm}^{-2}$	0,95	67

Amostra 1: 80 keV, $1,5 \times 10^{12} \text{ cm}^{-2}$

Amostra 2: 80 keV, $4,5 \times 10^{12} \text{ cm}^{-2}$

Amostra 3: 35 keV, $7,0 \times 10^{11} \text{ cm}^{-2}$ + 90 keV, $1,0 \times 10^{12} \text{ cm}^{-2}$

Amostra 4: sem implantação (controle)

Após a implantação, os eletrodos superiores foram metalizados com Ti/Pt/Au e os inferiores com

AuGe/Ni/Au, por feixe de elétrons.

Foram realizadas medidas de corrente reversa nestas amostras, que resultaram em correntes entre 4 e 6 mA, indicando que não houve alteração apreciável na condutividade da camada superior (a corrente original foi medida como 4 mA). Este dado é importante, pois deseja-se isolar a camada de coletor sem causar danos à camada de base. Os valores medidos para as capacitâncias foram os seguintes:

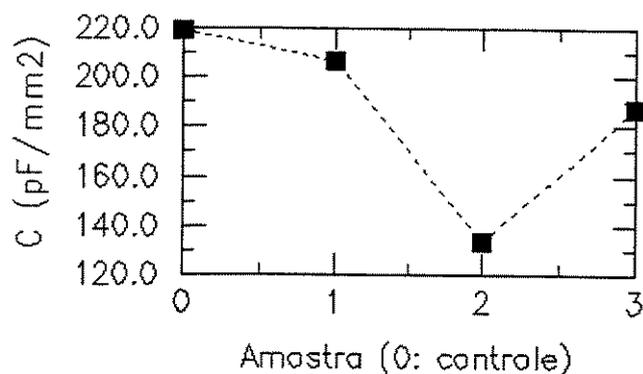
Amostra 1: 207 pF/mm²

Amostra 2: 134 pF/mm²

Amostra 3: 187 pF/mm²

Amostra 4: 219 pF/mm²

Valor teórico para uma amostra intrínseca: 200 pF/mm²



Este experimento mostrou redução da capacitância com o aumento da dose. Não foi observado redução significativa na amostra com dupla implantação e o melhor caso aconteceu para 80 keV com dose de $4,5 \times 10^{12} \text{ cm}^{-3}$.

Experimento #3

Neste experimento foi analisada a isolação das camadas de coletor e subcoletor, visando a substituição da corrosão para a mesa de dispositivo por implantação de He^+ .

Foi crescida uma amostra por CBE, com a seguinte especificação:

Base, GaAs, 800 Å, p^+ (Be): $6,0 \times 10^{19} \text{ cm}^{-3}$
 Coletor, GaAs, 5.400 Å, n^- (Si): $5,0 \times 10^{16} \text{ cm}^{-3}$
 Subcoletor, GaAs, 5.400 Å, n^+ (Si): $1,0 \times 10^{18} \text{ cm}^{-3}$

Desta amostra foi removida a camada p^+ , pois isto facilita o processo de isolação e a ausência desta camada não resulta em grande diferença na placidade do dispositivo.

A resistência de folha inicial foi medida como $35,5 \Omega/\square$. Simulações TRIM mostraram que a isolação completa desta estrutura é possível com a acumulação de suas implantações, com picos centrados em posições intermediárias da estrutura. Foi determinada a seguinte radiação:

He^+ , 200 keV, $8,0 \times 10^{13} \text{ cm}^{-2}$ + He^+ , 400 keV, $5,0 \times 10^{11} \text{ cm}^{-2}$

Antes de realizar-se esta implantação, foram preparados resistores com a amostra, metalizando-se as extremidades. O metal utilizado tem também a função de máscara contra a implantação, protegendo a região situada sob o contato.

Como resultado, a resistência de folha aumentou para $6 \times 10^7 \Omega/\square$ e a resistividade foi medida como sendo $1 \times 10^5 \Omega \cdot \text{cm}$ (a resistividade do GaAs intrínseco é $\simeq 1 \times 10^8 \Omega \cdot \text{cm}$). Foi constatado que esta isolação é estável até 500 °C, conforme o gráfico mostrado na tabela seguinte:

T (°C)	R_s (Ω/\square)	T (°C)	R_s (Ω/\square)
20	$6,26 \times 10^7$	350	$3,97 \times 10^8$
100	$1,01 \times 10^8$	400	$4,76 \times 10^8$
150	$1,55 \times 10^8$	450	$4,98 \times 10^8$
200	$1,93 \times 10^8$	500	$4,06 \times 10^8$
250	$2,25 \times 10^8$	800	44
300	$2,98 \times 10^8$		

Obs.: os tratamentos foram realizados em ciclos de 60 s¹.

Experimento #4

O objetivo deste experimento foi obter a isolação da camada de coletor por meio de uma dupla implantação, buscando um perfil mais plano de íons implantados, o que foi verificado inicialmente por simulações TRIM. Espera-se que um perfil assim seja melhor que aquele utilizado no experimento #2. As camadas utilizadas foram obtidas pelo mesmo método utilizado no experimento #1, ou seja, removendo-se as camadas sobre a base, de uma estrutura HBT.

Foram preparadas 9 amostras, sendo que a amostra 1 foi utilizada como amostra de controle, as amostras 2 a 7 foram utilizadas para o teste da dupla implantação, na amostra 8 foi feita uma implantação a 35 keV e na amostra de 9 foi realizada uma implantação a 75 keV.

A seguir estão sumarizadas as implantações realizadas e as resistências de folha medidas depois das implantações (a resistividade inicial foi $143 \pm 22\% \Omega/\square$):

Amostra	Implantação de He ⁺	$R_{s,final} \Omega/\square$
1	não implantada	143
2	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, 5×10^{11}	704
3	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, $1,5 \times 10^{12}$	$1,5 \times 10^3$
4	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, 3×10^{12}	$1,6 \times 10^4$
5	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, $4,5 \times 10^{12}$	$5,6 \times 10^4$
6	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, 7×10^{12}	$1,4 \times 10^4$
7	75 keV, $3 \times 10^{12} \text{ cm}^{-2}$ + 35 keV, 1×10^{13}	$1,9 \times 10^3$
8	35 keV, $1,5 \times 10^{12} \text{ cm}^{-2}$	525
9	75 keV, $1,5 \times 10^{12} \text{ cm}^{-2}$	178

Estes resultados mostram que de um modo geral as amostras com implantação rasa de 35 keV apresentam camada de base muito danificada, o que as torna inadequadas para o uso no processo de fabricação de HBTs.

As medidas de capacitância mostraram redução na capacitância, conforme a tabela a seguir, no entanto, para evitar o aumento excessivo na resistência de base, deve-se optar por uma única implantação profunda, para a isolação do coletor.

¹Estas medidas foram realizadas pelo grupo da UFRGS.

Amostra	Capacitância (pF/mm ²)
1	382
2	368
3	240
4	233
5	240

Amostra	Capacitância (pF/mm ²)
6	-
7	226
8	368
9	247

Os experimentos realizados mostram que é possível obter tanto a isolamento de dispositivo como a isolamento de coletor com implantação de He⁺. Este processo é mais simples que o processo de corrosão úmida e possibilita a fabricação de dispositivos mais planos e com capacitância base-coletor reduzida.

4.4 Litografia

Os processos de litografia são utilizados para se estabelecer padrões na amostra de tal forma a selecionar as regiões de atuação de *etchings*, implantações e deposição de metal. Processos litográficos bem calibrados são importantes para se obter estruturas pequenas. Neste trabalho foram estudados processos com o fotorresiste AZ 5214E da Hoechst, que permite a realização de gravações positivas ou negativas, com ou sem perfil para *lift off*, de maneira simples e sem a necessidade de tratamentos com clorobenzeno.

Fotorresiste

O AZ 5214 é sensível a comprimentos de onda curtos, o que inerentemente fornece melhor resolução. Sua melhor sensibilidade é para comprimentos de onda entre 300 nm e 405 nm. A lâmpada utilizada (OSRAM HBO 350) emite com maior potência na faixa de 370 nm a 390 nm. Este fotorresiste possibilita a inversão de imagem de maneira simples, com uma exposição seguida de um tratamento térmico. O perfil para *lift off* também é obtido apenas com exposições e ciclos térmicos. Estas características tornam o AZ 5214 adequado para o uso em processos positivos e negativos, para pequenas dimensões. Este fotorresiste também apresenta alta estabilidade térmica ($\simeq 150$ °C para o processo positivo e $\simeq 250$ °C para o processo de imagem reversa) e pode ser utilizado como máscara em processos de *etching* por plasma e implantação iônica.

A espessura da camada deste fotorresiste é 1,4 μm para espalhamento a 4.000 rpm por 40 s, o que é adequado para os processos de *lift off*. Com esta espessura se obtém linhas de até 1 μm de largura. Para uso como máscara de *etching* por plasma ou implantação é aconselhável o uso de espessuras maiores. A tabela seguinte mostra a espessura do AZ 5214 em função da velocidade do *spinner*.

AZ 5214E, 40 s					
rpm	3.000	4.000	5.000	6.000	7.000
μm	1,63	1,41	1,26	1,15	1,01

Revelador

Foram utilizados dois reveladores, o AZ 400K e o AZ 351. Ambos são *buffered*, o que proporciona melhor controle do processo de revelação, pois a velocidade de reação se mantém aproximadamente constante. Estes reveladores são utilizados diluídos em água deionizada (18 M Ω .cm), sendo que as soluções mais diluídas favorecem o contraste e as soluções concentradas favorecem a sensibilidade (velocidade de reação):

Diluições recomendadas		
para alta sensibilidade	AZ 351 10:35	AZ 400K 10:30
para alto contraste	AZ 351 10:50	AZ 400K 10:40

O fotorresiste dissolvido no revelador absorve CO₂ e este composto diminui a sensibilidade da solução. Para processos finos aconselha-se a troca periódica do revelador. Em nosso caso, cada solução preparada foi utilizada por no máximo um dia. A uniformidade de revelação é obtida agitando-se levemente a solução durante o processo. Concluída a revelação deve-se realizar um enxágue para remover completamente os resíduos de fotorresiste, pois depósitos dos mesmos causa defeitos durante processos de *etching* e metalização. Devido à impossibilidade em nossa instalação de monitorar a resistividade da água durante o enxágue, foi utilizado grande volume de água por longo tempo. A secagem foi feita com jato de nitrogênio filtrado e seco, ou com *spinner*.

Para que o processo de revelação seja repetitivo, a variação da temperatura deve ser mantida inferior a 1 °C. Não dispondo de tal controle, a parada da revelação foi determinada por acompanhamento visual do processo, ao microscópio óptico com as estruturas *vernier* descritas previamente (Pg. 74).

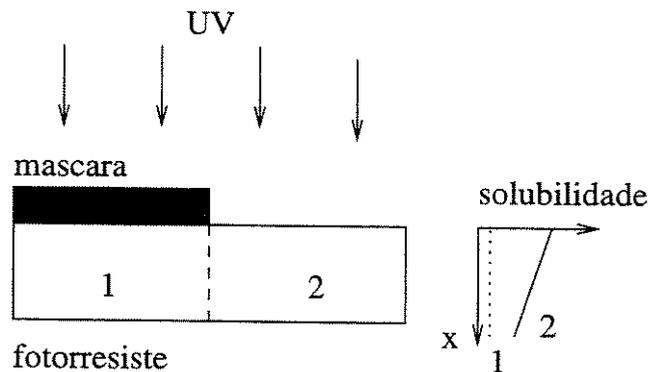
A aplicação do fotorresiste é realizada por *spinner* e é seguida de um aquecimento leve (*softbake*) para a eliminação do excesso de solvente e aumento da consistência. Durante a aplicação procura-se obter espessura uniforme do material, para evitar erros causados por difração de luz durante a etapa de exposição. Na prática porém a espessura do fotorresiste pode ser maior nas bordas o que pode ser um problema mais sério para quando se trabalha com amostras pequenas. Assim é necessário realizar uma etapa de remoção de bordas (*bead removal*) antes da exposição. Este processo é realizado expondo-se as bordas da amostra por um longo tempo (em torno de 5 minutos) e revelando-se em seguida. Este procedimento

procura garantir que quando for realizada a exposição com máscara o contato ocorra entre a máscara e a superfície do fotorresiste e não entre a máscara e o topo das bordas.

A uniformidade da cobertura de fotorresiste é influenciada pela aceleração do spinner, sendo que acelerações maiores fornecem melhores uniformidades. O spinner utilizado fornece 10.000 rpm/s. A uniformidade também pode ser levemente melhorada realizando-se aproximadamente 20 s de *extra spin*. A espessura final é influenciada apenas pela velocidade do *spin*, sendo que após aproximadamente 9 s, não ocorre mais alteração na espessura. Desta forma pode-se utilizar 30 segundos ($\simeq 9 + 20$). Tempos maiores que este não levam a melhorias significativas, porém, para ter uma margem de segurança, foi utilizado 40 s.

Processo positivo

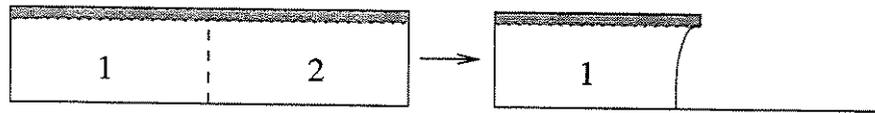
A exposição causa no fotorresiste uma *imagem latente*, que será definida durante a revelação. Esta imagem acontece porque a região exposta à luz torna-se solúvel no revelador, devido à alteração química foto-induzida no material. A região do topo do fotorresiste recebe uma maior intensidade de luz que a região de baixo, assim forma-se um gradiente de solubilidade:



A revelação da estrutura anterior remove a parte exposta, que é dissolvida pelo revelador.

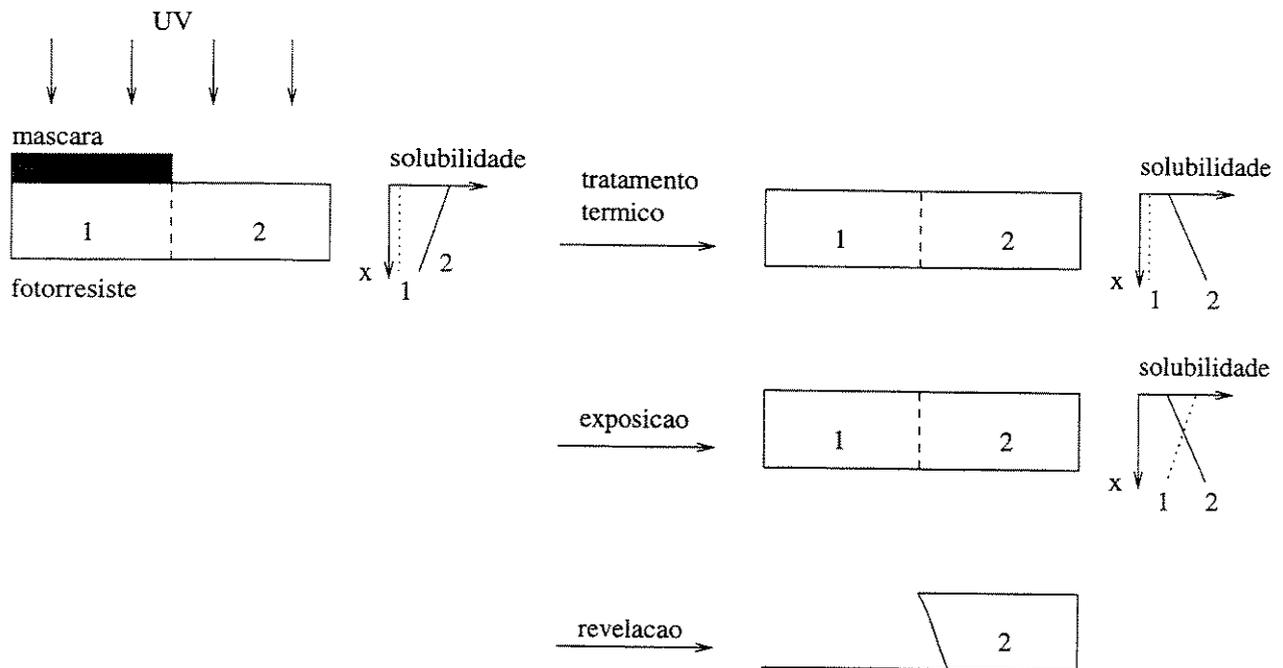
Processo para lift off:

É possível inverter o gradiente de solubilidade por meio de um tratamento térmico, neste caso as moléculas do fotorresiste exposto estabelecem ligações (*crosslink*) formando um composto menos solúvel. A região que recebeu mais exposição será agora a região de maior dificuldade de remoção. Assim, para obter uma estrutura adequada para o processo de metalização por *lift off*, deve-se realizar uma leve exposição do tipo *flood*, para sensibilizar a camada superior do fotorresiste. A seguir faz-se um tratamento térmico que diminui a solubilidade desta fina camada. Durante a exposição com máscara, esta região e a camada de fotorresiste sob ela terão suas solubilidades aumentadas. Ao revelar, obtém-se uma estrutura com perfil negativo, conforme representado a seguir:



Processo negativo

O processo negativo ou *image reversal* é obtido fazendo-se a exposição com máscara seguida de tratamento térmico para inverter o gradiente de solubilidade da região exposta (região 2 nos desenhos anteriores). Durante este tratamento, a região 1 não foi exposta e não é afetada. O princípio químico de funcionamento é a formação de um ácido indeno-carboxílico durante a exposição, que cataliza a formação de *crosslinks* durante o tratamento térmico^[152]. A seguir retira-se a máscara e faz-se uma exposição em toda a lâmina, com intensidade suficiente para sensibilizar toda a região 1, que portanto ficará com perfil de solubilidade contrário ao da região 2. Durante a revelação a região 1 será facilmente retirada e a região 2 permanecerá. Devido ao gradiente de solubilidade desta região, que é menor em cima e maior em baixo, teremos como resultado um perfil negativo, como mostrado a seguir:



4.4.1 Receitas de litografia

Foram determinadas as seguintes receitas para os processos litográficos, para a realização dos processos para HBTs:

L#1: Processo positivo.

- *free run*, 4.000 rpm, 40 s.
- fotorresiste AZ 5214, 4.000 rpm, 40 s.
- *soft bake*, 91°C, 8 min.
- *bead removal*, se a amostra for pequena.
- exposição com máscara, 40 s, 9 mW/cm².
- revelação, AZ 400:H₂O, 10:35.
- *hard bake*, 118°C, 1 min 45 s.

L#2: Processo positivo para *lift off*.

- *free run*, 4.000 rpm, 40 s.
- fotorresiste AZ 5214, 4.000 rpm, 40 s.
- *soft bake*, 91°C, 8 min.
- *bead removal*, se a amostra for pequena.
- *flood*, 2,5 s, 9 mW/cm² (modo CP).
- *hard bake*, 118°C, 1 min 45 s.
- exposição com máscara, 30 a 35 s, 9 mW/cm².
- revelação, AZ 400:H₂O, 10:35.

A dose do *flood* é pequena (29,7 mJ/cm²), para que haja solubilização significativa apenas no topo da camada. A exposição de 369 mJ/cm² é suficiente para solubilizar fortemente toda a espessura do fotorresiste exposto.

L#3: Processo negativo para *lift off*.

- *free run*, 4.000 rpm, 40 s.
- fotorresiste AZ 5214, 4.000 rpm, 40 s.
- *soft bake*, 91°C, 8 min.
- *bead removal*, se a amostra for pequena.
- exposição, 20 s, 9 mW/cm².
- *reversal bake*, 118°C, 1 min 45 s.
- *flood*, 40 s, 9 mW/cm².
- revelação, AZ 351:H₂O, 1:5.

Nos processos para *etching* seco e máscara de implantação, foi realizado um *post-bake* a 120 °C por 5 min.

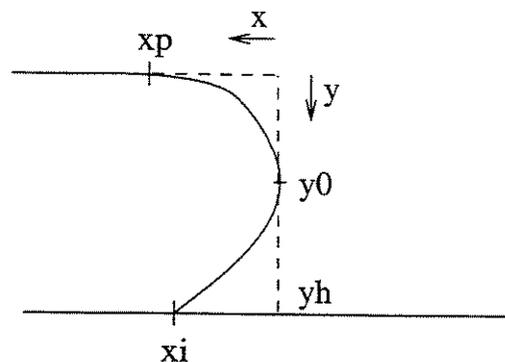
A remoção é obtida com acetona ou plasma de oxigênio. Em casos de tratamento por plasma foi utilizado o removedor SN12 no ponto de ebulição, seguido de plasma de oxigênio.

Dentro os processos anteriores, o processo positivo para *lift off* apresentou algumas dificuldades referentes à repetibilidade e qualidade do *lift off*, por esta razão, foi estudado em maior detalhe, por meio dos experimentos descritos a seguir, onde tomou-se como base a receita anterior para o processo positivo para *lift off*.

Tempo de flood:

Foram processadas oito amostras com tempos de *flood* variando de 1 a 8 segundos, com a fotoalinhadora (Karl Süss MJB-3) mantida no modo CP (potência constante). Foi utilizado substrato de GaAs para que o efeito de reflexão seja corretamente representado. Observou-se que o tempo de revelação varia linearmente com o tempo de *flood* e pode ser expresso por $t_d = 1,3t_f - 0,24$, com índice de correlação de 0,98. t_d é o tempo de revelação em minutos e t_f é o tempo de *flood* em segundos. Esta expressão é válida para $0 < t_f \leq 6$ s. Após 6 segundos de *flood*, foi observado um grande aumento no tempo de revelação. A expressão anterior também mostra que existe grande influência do *flood* no tempo de revelação, o que torna aconselhável o uso de $t_f < 3$ s.

Analisando a secção transversal das amostras ao microscópio eletrônico (JEOL-JSM-5410), observou-se que as paredes apresentam um perfil semelhante ao mostrado abaixo:



Este perfil é bem diferente daquele mostrado na Pg. 111. Foi observado que a extremidade do *overhang* abaixa com o aumento do tempo de *flood*, dentro da faixa de valores utilizados, isto acontece provavelmente devido à influência da reflexão e difração da luz durante a formação da imagem latente e mostra que o sucesso do *lift off* está fortemente relacionado à esta etapa do processo, pois se o *overhang* estiver muito baixo, haverá dificuldade para o destacamento do metal e apenas um segundo de diferença no tempo de exposição pode causar um deslocamento grande na altura da extremidade. Devido a este motivo, esta

exposição deve ser realizada com a lâmpada operando sob potência constante (modo CP da fotoalinhadora). O modo CI (corrente constante) fornece maior uniformidade de iluminação durante a exposição, porém o tempo de transitório da lâmpada é de 1 a 2 segundos, o que torna este modo inviável para a realização do *flood*, neste processo.

Foram definidos os seguintes pontos: y_0 (fronteira do *overhang*), y_h (altura do fotorresiste), x_p (coordenada x no topo) e x_i (coordenada x na interface).

Observou-se que a altura y_0 pode ser ajustada pelo tempo de *flood* e podemos escrever: $y_0 = 0,21t_f - 0,071$ (correlação do ajuste: 0,96), onde y_0 é dado em μm e t_f em segundos. A Fig. 4.20 mostra a variação de y_0 com t_f .

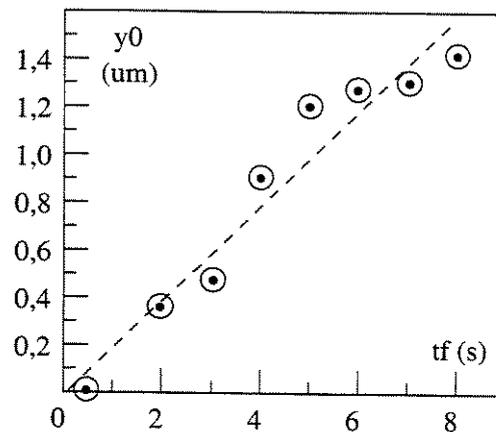


Figura 4.20: Variação da posição do *overhang* (y_0) com o tempo de *flood* (t_f).

Observou-se que os pontos x_p e x_i também variam com t_f , de maneira bastante não linear, apresentando pontos de máximo em 4 e 6 segundos, respectivamente, conforme pode ser observado no gráfico da Fig. 4.21.

A Fig. 4.22 mostra a evolução do *overhang* para t_f variando de 2 a 4 segundos.

Para os processos, foi escolhido o tempo $t_f = 2,5$ s, que forma um *overhang* alto, admite uma pequena margem de erro e não requer tempo de revelação muito longo.

Ajustado o tempo de *flood*, foi analisado o efeito do tempo de exposição com máscara (t_e).

Tempo de exposição:

Uma amostra foi preparada com a receita positiva para *lift off*, com $t_f = 2,5''$ e t_e foi variado de $5''$ a $60''$, em intervalos de $5''$, em um total doze amostras, de GaAs.

Não houve alteração na posição do *overhang* para nenhum caso, porém houve alteração significativa no restante do perfil da estrutura. Desta forma podemos associar o tempo de *flood* à altura do *overhang* e o tempo de exposição ao perfil das regiões superior e inferior

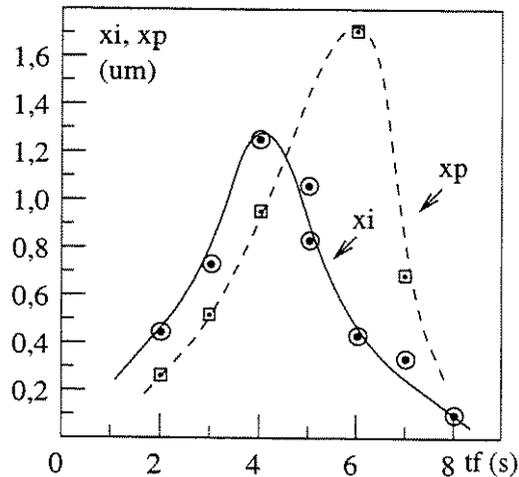


Figura 4.21: Variação dos pontos de interface, x_i e x_p com o tempo de *flood* (t_f).

do fotorresiste. Os melhores casos foram observados para os tempos de 30" e 35". A Fig. 4.23 mostra o perfil obtido para $t_e = 30"$.

Para tempos de exposição muito curtos, o tempo de revelação foi excessivo e houve muita remoção da parte inferior do fotorresiste. Também houve remoção de parte do topo, deixando um perfil com aparência triangular (Fig. 4.24).

Tempos de exposição muito longos formam um grande gradiente de solubilidade na imagem latente^[153], o que faz a parte superior da imagem revelar com grande diferença de velocidade em relação à parte inferior. Assim, no instante em que se atinge o substrato e o processo é interrompido, a parede do fotorresiste apresenta perfil parcialmente positivo (Fig. 4.24). Isto foi observado nas amostras com tempos superiores a 40".

Nos processos utilizados foi possível obter bons resultados tanto em litografias para *etching* como para metalização. Observou-se grande susceptibilidade do resultado dos processos com as condições do laboratório e com o estado do fotorresiste, sendo necessário reajustes frequentes nas condições de processamento. O uso de HMDS melhora a aderência, pois forma ligações entre o óxido nativo e o fotorresiste. Observou-se que nas amostras de GaAs o HMDS também melhora a aderência (uma discussão sobre este assunto aconteceu por volta de Dezembro de 1998 na Internet, na lista de discussão sobre MEMS e diversas opiniões recomendam o uso de HMDS mesmo para GaAs. Existe alguma controvérsia na explicação de seu mecanismo de atuação, porém há um consenso de que também neste caso a aderência é melhorada). Após as etapas de revelação, as amostras foram expostas a plasma de oxigênio, por 2 minutos, 100 W e 150 mTorr, para remover resíduos de fotorresiste da superfície do semiconductor. Este procedimento resultou em *etchings* mais limpos e contatos ôhmicos com menor resistividade.

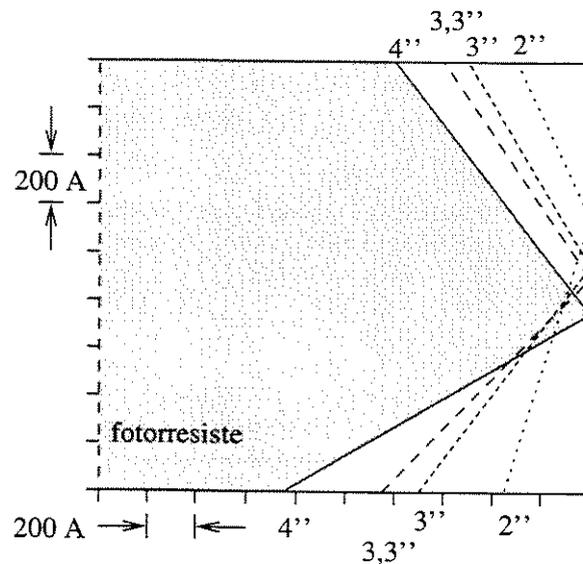


Figura 4.22: Evolução do *overhang* com o tempo de *flood*.

4.5 Processos de Metalização

Obtenção de contatos ôhmicos em GaAs n+ e p+.

Os processos para a fabricação de HBTs propostos no Capítulo 3 requerem quatro metalizações, três para os contatos de base, emissor e coletor e uma para o metal de interconexão. Em todos os dispositivos propostos, o contato de emissor é muito pequeno em relação aos demais e é a situação mais crítica, pois requer um processo de metalização com resistividade de contato muito baixa. A tabela seguinte mostra as áreas de cada contato e as correspondentes exigências de processo em termos de resistividade de contato para o menor transistor. Foi determinado o valor necessário de ρ_c para a obtenção de resistência de contato $R_c = 5 \Omega$.

contato	área	resistividade requerida para $R_c = 5 \Omega$
coletor	$288 \mu\text{m}^2$	$1,4 \times 10^{-5} \Omega\text{cm}^2$
base	$36 \mu\text{m}^2$	$1,8 \times 10^{-6} \Omega\text{cm}^2$
emissor	$18 \mu\text{m}^2$	$1,0 \times 10^{-6} \Omega\text{cm}^2$

Estes valores mostram que é necessário o estabelecimento de um processo de metalização capaz de fornecer contatos com resistividades da ordem de $10^{-6} \Omega\text{cm}^2$ ou melhores. A baixa resistividade de contato favorece a operação em frequência e reduz o aquecimento do dispositivo por efeito Joule.

Os contatos ôhmicos são elementos críticos na fabricação de HBTs, não somente pelas baixas resistividades requeridas, mas também por restrições em temperaturas de processamento e

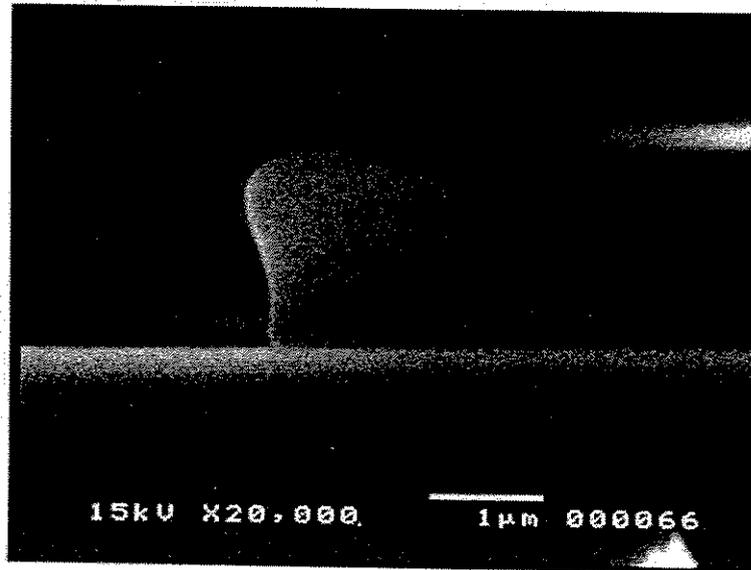


Figura 4.23: Perfil adequado para *lift off*, obtido com *flood* de 2,5" e exposição mascarada de 30 s.

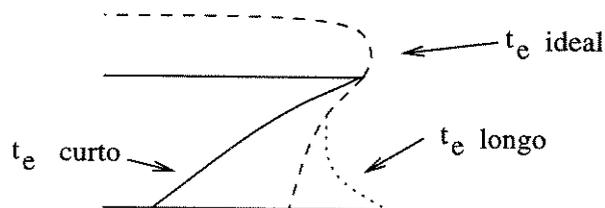


Figura 4.24: Perfis obtidos variando-se o tempo de exposição. t_e curto corresponde a tempos inferiores a 25". t_e ideal corresponde a tempos entre 30" e 40". t_e corresponde a tempos superiores a 45".

de resistência ao *etching*.

Neste trabalho foram estudados e implementados processos de fabricação de contatos ôhmicos adequados para o uso em HBTs. Foram testadas camadas com diferentes métodos de dopagem, tais como difusão por SOG (*spin on glass*), difusão rápida de enxôfre e implantação iônica de silício. Também foi analisado o efeito de uma fina camada de Ni na interface com o GaAs, para estabilização da estrutura. Foi desenhada e fabricada uma máscara com padrões circulares para a medida da resistividade por TLM e para facilitar o procedimento de medida, foi implementado um programa de computador, que realiza o tratamento dos dados dos TLMs.

4.5.1 Máscara Litográfica e Método de Medidas

Para estabelecer as etapas de metalização para contato ôhmico foi projetada uma máscara litográfica que permite a avaliação da resistividade de contato pelo método TLM (*transfer length method*)^[154]. Neste método é necessário determinar o comprimento de transferência L_T , definido como a distância abaixo do contato em que a corrente se torna $1/e$ da corrente original ($e \simeq 2,718$ é o número de Euler). Conhecendo-se L_T e a resistência de folha R_s do semiconductor abaixo do contato, podemos determinar a resistividade de contato ρ_c por meio da equação^[155]:

$$\rho_c = R_s L_T^2 \quad (4.9)$$

Usualmente esta medida é realizada em estruturas conforme mostrado na Fig. 4.25, denominada *TLM com mesa*, pois os contatos ficam sobre uma mesa definida no semiconductor por *etching*. Nesta estrutura, mede-se a queda de tensão ΔV originada entre cada dois pares consecutivos de *pads* devido à passagem de uma corrente constante I_0 , conforme mostrado na Fig. 4.26.

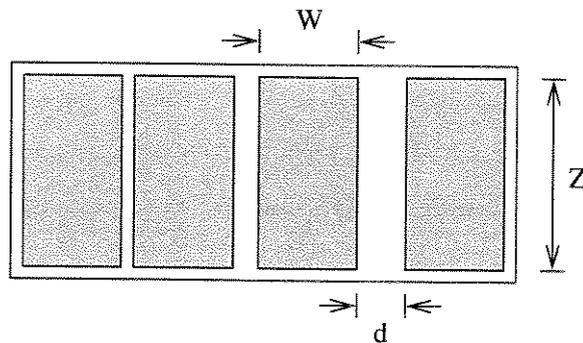


Figura 4.25: Vista superior de uma estrutura comumente utilizada para a medida da resistividade de contato por TLM.

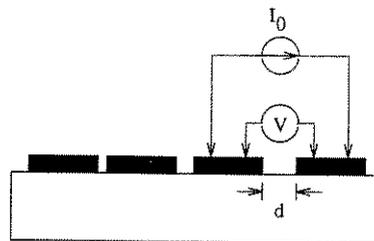


Figura 4.26: Procedimento de medida em TLM.

No método TLM com mesa a variação de ΔV é dada por^[154]:

$$\Delta V_{\text{TLM}_1} = I_0 R_s \left(\frac{d}{Z} + \frac{2L_T}{Z} \right) \quad (4.10)$$

e portanto as medidas $\Delta V \times d$ devem ser ajustadas por meio de regressão linear. A passagem da corrente e a medida da tensão são realizadas com pontas distintas de tal forma que a queda de tensão introduzida pela resistência de contato entre a ponta e a superfície metálica não interfira na medida da tensão^[79].

Como resultado deste procedimento de medida, obtemos um gráfico de ΔV vs. d , que será linear se o contato for ôhmico. A inclinação da reta resultante é proporcional à resistência de folha do semiconductor (R_s) e o intercepto da mesma com o eixo das abscissas corresponde a $2L_T$.

Este método necessita de duas etapas litográficas, pois para evitar o espalhamento lateral da corrente é necessário que o TLM esteja sobre uma mesa, fabricada por uma etapa litográfica seguida de *etching* do GaAs. Para realizar as medidas com apenas uma etapa de litografia, utilizamos estruturas circulares, conforme mostrado na Fig. 4.27 que corresponde ao desenho da máscara utilizada. Neste texto, convencionamos diferenciar estas duas estruturas TLM, denominando-as *TLM com mesa* (TLM₁) e *TLM fechado* (TLM₂).

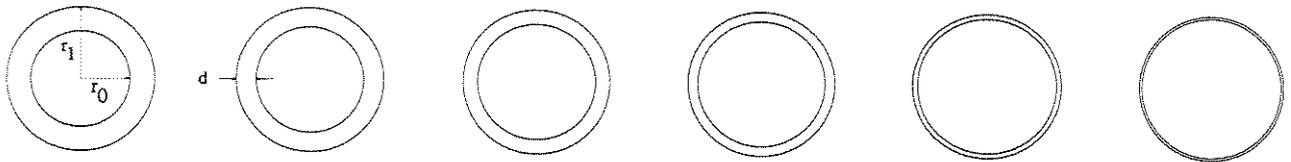


Figura 4.27: Detalhe da máscara litográfica utilizada para medir a resistividade de contato das metalizações. Raio externo: $r_1 = 120\mu\text{m}$. Espaçamentos: $d = 2, 4, 8, 12, 16$ e $20\mu\text{m}$.

No TLM₂, a variação de ΔV é expressa por^[154]:

$$\Delta V_{\text{TLM}_2} = \frac{I_0 R_s}{2\pi} \left[\ln \left(\frac{r_1}{r_1 - d} \right) + L_T \left(\frac{1}{r_1} + \frac{1}{r_1 - d} \right) \right] \quad (4.11)$$

e conseqüentemente a aproximação das medidas por regressão linear leva a um desvio no resultado final. Um melhor resultado é obtido quando a extrapolação para a determinação de L_T (cruzamento da curva com o eixo das abscissas = $2L_T$) é realizada por regressão não-linear dos dados medidos de $\Delta V \times d$ através da equação (4.11).

Nota-se que quando $d \rightarrow 0$, nas equações (4.10) e (4.11), tem-se

$$\Delta V_{\text{TLM}_1} = \frac{2L_T I_0 R_s}{Z} \quad \text{e} \quad \Delta V_{\text{TLM}_2} = \frac{2L_T I_0 R_s}{2\pi r_1} \quad (4.12)$$

isto é, para espaçamentos d suficientemente pequenos, os métodos se tornam equivalentes, sendo o perímetro das circunferências no TLM₂ equivalente à largura das mesas no TLM₁ ($2\pi r_1 = Z$). Isto significa que se $r_1 \gg d$, a avaliação de L_T em TLM₂ pode ser feita por regressão linear. Para verificar o quanto o desvio causado pela aproximação linear pode ser significativo, foram realizadas algumas simulações com o programa Gnuplot, cujos resultados

são apresentados na Fig. 4.28, que mostra a diferença entre as aproximações em um caso onde foram assumidos os seguintes valores: $I_0 = 3 \text{ mA}$, $R_s = 200 \Omega/\square$ e $r_1 = 120 \mu\text{m}$. O valor de L_T foi fixado em $5 \mu\text{m}$ para o cálculo pela equação (4.11) e a seguir foi traçada uma nova curva por regressão linear, tomando-se como referência os pontos para $10 \mu\text{m}$ e $30 \mu\text{m}$. O valor de L_T fornecido por esta reta foi então comparado com o valor original.

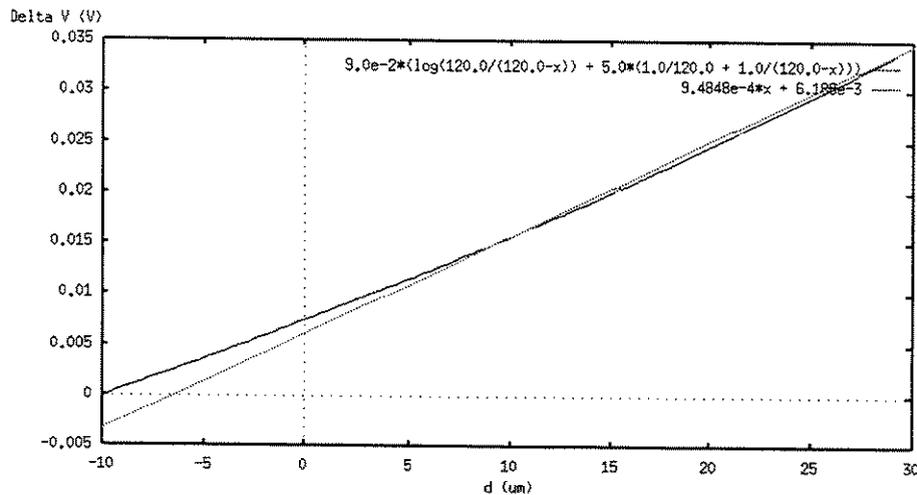
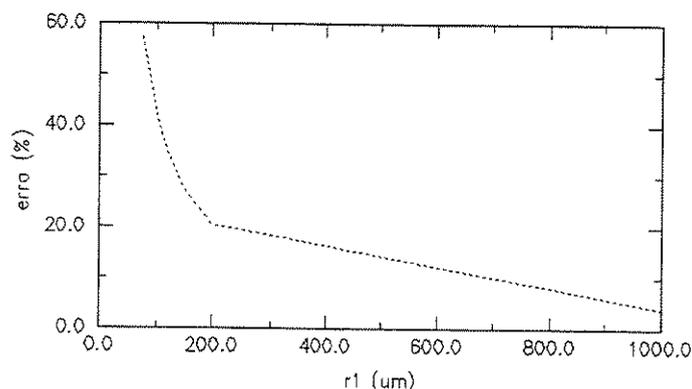


Figura 4.28: Comparação entre os métodos de regressão para ajuste dos dados medidos.

Obteve-se por regressão linear $L_{Tr} = 3,26 \mu\text{m}$, o que corresponde a um erro de 34,8 %.

Realizamos simulações matemáticas para verificar a variação do erro com a variação de r_1 (espaçamentos utilizados como referência: $d = 10 \mu\text{m}$ e $d = 30 \mu\text{m}$). Foi obtida a seguinte tabela:

$r_1 \mu\text{m}$ (μm)	L_T previsto (μm)	L_T esperado (μm)	erro de aproximação por regressão linear
75	2,13	5,00	57,3 %
100	2,89	5,00	42,1 %
120	3,26	5,00	34,8 %
150	3,62	5,00	27,6 %
200	3,97	5,00	20,5 %
1.000	4,80	5,00	4,0 %



Neste estudo, as medidas realizadas em processos de HBT foram feitas com TLM_1 e as medidas para estudo de contatos ôhmicos foram feitas com TLM_2 , aproximando ambas por regressão linear. Isto significa que as medidas do segundo caso estiveram sujeitas a um erro sistemático da ordem de 34 %. Uma vez que o erro é sistemático, não há interferência na análise qualitativa dos resultados. Quanto à análise quantitativa, vale a pena lembrar que medidas de resistividade apresentam um grande espalhamento. Por exemplo, em uma mesma amostra podemos encontrar resistividades variando de $1 \times 10^{-6} \Omega \text{ cm}^2$ a $2 \times 10^{-6} \Omega \text{ cm}^2$, que corresponde a uma variação três vezes maior que aquela devida ao erro da aproximação.

4.5.2 *Software* para a determinação da resistividade de contato

Durante este trabalho foi implementado um programa para microcomputador, denominado CR, para auxiliar as medições², de tal forma a facilitar o cálculo da resistividade de contato.

As medidas são feitas com um analisador de parâmetros HP 4145 e os resultados são carregados no arquivo de entrada, que pode conter vários lotes de medição, carregados em forma de blocos.

São gerados dois arquivos de saída, um com a descrição das condições de processo e os resultados de resistividade e outro em formato compatível com o software *xvgr*, utilizado para a visualização de gráficos e disponível em muitas instalações Unix e Linux³. Quando se deseja utilizar a saída para *xvgr*, é aconselhável utilizar um arquivo de entrada para cada temperatura de recozimento.

O formato do arquivo de entrada é o seguinte:

```
# <comentario>
```

²Encontra-se instalado no LCIC III-V, no LPD/IFGW/Unicamp.

³O *xvgr* é um *software* de domínio público, que pode ser encontrado por exemplo em <http://www.phys.ualberta.ca/~linux/linux.scientific.html>.

```
.T <titulo>
.M <material evaporado>
.A <amostra utilizada>
.Rs <resistividade de folha>
.P <condicoes de pre-aquecimento, ex.: 250 C / 10 s>

< <inicio de um bloco de medidas>
.corrente <valor da corrente I_0> A
.temperatura <valor da temperatura de recozimento> C
.tempo <tempo de recozimento> s
<d1> <v11>/<v12>/.../<v1n>
.
.
.
<dk> <vk1>/<vk2>/.../<vkn>
>
```

Os blocos de medida podem se repetir indefinidamente, e podem ocorrer diversos blocos para uma mesma temperatura. No interior de cada bloco, os valores de tensão v_{ki} podem se repetir até um limite de 10 medidas por cada espaçamento d_k . Quando o programa for executado, será calculada a média aritmética entre as medidas para cada espaçamento. Depois disso é feita uma extrapolação por regressão linear com a equação (4.10) para cada bloco de medidas, para se determinar o valor do comprimento de transferência L_T . Determinado L_T , calcula-se a resistividade de contato ρ_c através da equação (4.9).

A Fig. 4.29 mostra o diagrama de blocos do programa.

4.5.3 Procedimento experimental

Calibração da evaporadora

Foram realizados testes para ajustar o aparelho para evaporação por feixe de elétrons da AsGa Microeletrônica S.A. Trata-se de uma evaporadora Edwards Auto 306 equipada com um controlador Intellemetrics IL820. O diagrama esquemático do circuito de vácuo da instalação está representado na Fig. 4.30. A medida da densidade de cada material foi calibrada por $D_2 = D_1 t_{\text{ind}}/t_m$ onde D_2 é a densidade real, D_1 a densidade estimada, t_{ind} a espessura indicada e t_m a espessura medida, sendo que as espessuras foram medidas com um perfilômetro Dektak. O *tooling factor* é dado por: $G = t_m/t_{\text{ind}}$ e é utilizado para corrigir o desvio de medida do cristal piezoelétrico que controla a espessura de material evaporado. Estes dados devem ser determinados e carregados na memória do aparelho controlador.

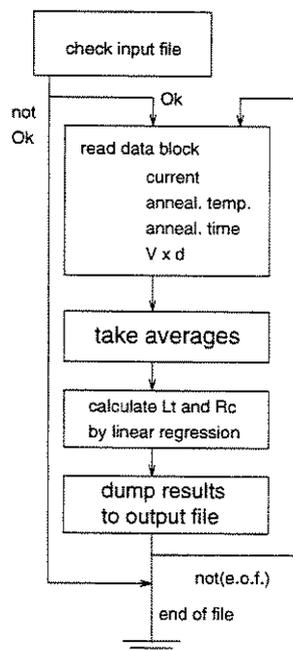


Figura 4.29: Diagrama de blocos do programa CR.

Deposição de Ti para ajuste do 'tooling factor':

Ti				
Densidade: 4,5, Impedância acústica: 14,05				
taxa de dep. (Å/s)	P_i (mbar)	P_f (mbar)	i_f (A)	i_e (A)
2	$2,4 \times 10^{-6}$	$1,9 \times 10^{-6}$	0,30	0,06
5	$1,6 \times 10^{-6}$	$1,4 \times 10^{-6}$	0,31	0,07
10	$3,0 \times 10^{-6}$	$2,1 \times 10^{-6}$	0,33	0,08

Com dados destas deposições, o *tooling factor* foi ajustado para 1,0954.

Calibração das deposições

Além do Ti, foram caracterizadas as deposições dos demais materiais necessários aos experimentos: AuGe, Pt, Ni e Au. Em testes preliminares foi observado que velocidade de 2 Å/s é mais indicada para fornecer filmes com melhor uniformidade. Esta velocidade foi utilizada em todos os casos, com exceção da camada final de ouro.

Deposição de AuGe: A densidade do filme com espessura da ordem de 500 Å foi determinada como sendo 15,981 g/cm³ e a impedância acústica como 22,44×10⁵ g/cm².s. A composição da liga é 88 % de Au e 12 % de Ge.

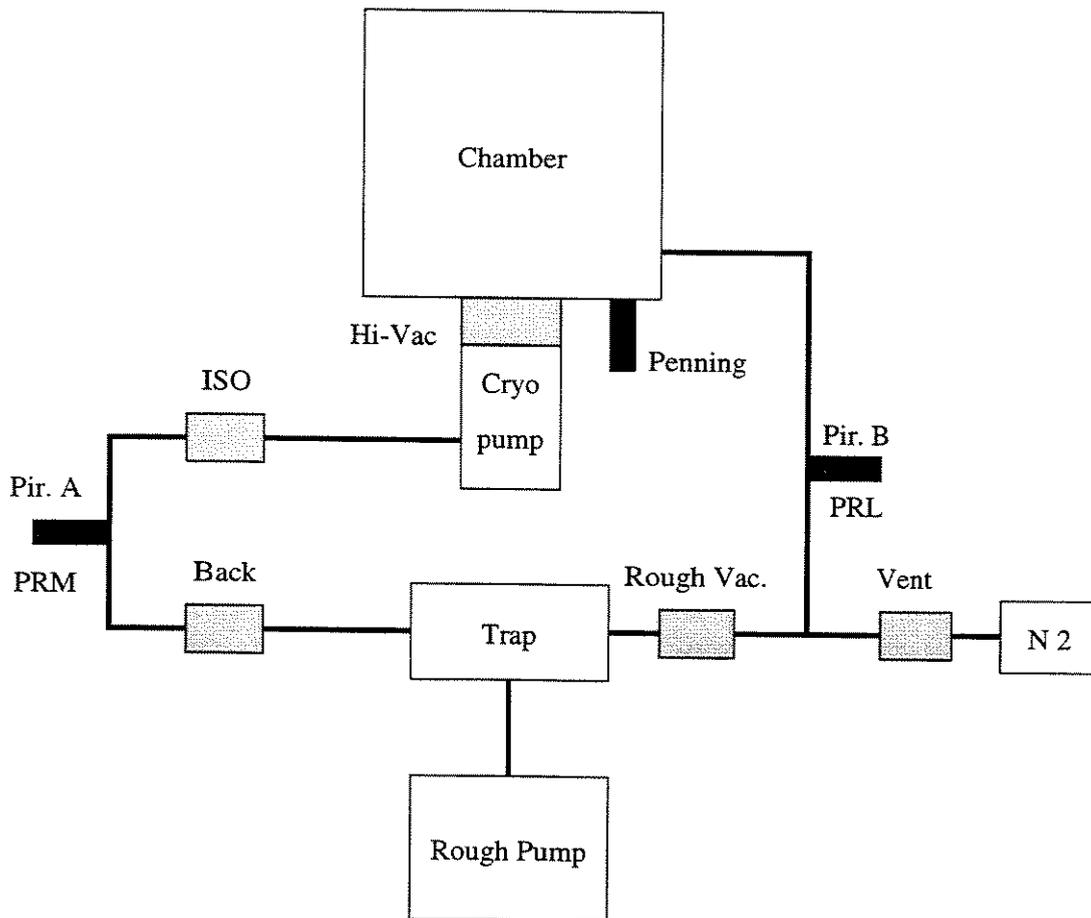


Figura 4.30: Evaporadora por feixe de elétrons utilizada nos experimentos (circuito de vácuo).

AuGe				
Densidade: 15,981, Impedância acústica: 22,44				
taxa de dep. (Å/s)	P_i (mbar)	P_f (mbar)	i_f (A)	i_e (A)
2	$5,5 \times 10^{-6}$	$7,0 \times 10^{-6}$	0,34	0,13

Deposição de Pt:

Pt				
Densidade: 21,40, Impedância acústica: 36,06				
taxa de dep. (Å/s)	P_i (mbar)	P_f (mbar)	i_f (A)	i_e (A)
2	$3,0 \times 10^{-6}$	$4,0 \times 10^{-6}$	0,36	0,16

Deposição de Ni:

Ni				
Densidade: 8,91, Impedância acústica: 26,66				
taxa de dep. (Å/s)	P_i (mbar)	P_f (mbar)	i_f (A)	i_e (A)
2	$3,0 \times 10^{-6}$	$5,5 \times 10^{-6}$	0,33	0,10

Deposição de Au:

Au				
Densidade: 19,30, Impedância acústica: 23,17				
taxa de dep. (Å/s)	P_i (mbar)	P_f (mbar)	i_f (A)	i_e (A)
20	$2,6 \times 10^{-6}$	$1,0 \times 10^{-5}$	0,44	0,42

Experimentos e resultados

Foram preparadas amostras por litografia com a máscara previamente descrita. Após as metalizações, o procedimento de medidas foi o seguinte: 1. Limpeza das ponteiras com uma solução HCl:HF:H₂O :: 1:1:2, 2. Medida das quedas de tensão ΔV para cada espaçamento d e geração do arquivo de entrada para o programa CR, 3. Uso do CR para a determinação das resistividades de contato (ρ_c).

Para obter resultados mais realistas, procuramos utilizar materiais $n+$ e $p+$ com características próximas daquelas presentes nas camadas para HBT. Uma vez que fabricamos apenas HBTs Npn, os contatos $n+$ são utilizados para a metalização do emissor e do coletor e os contatos $p+$ são utilizados para a metalização da camada de base.

As camadas HBT de nossa estrutura básica são conforme descrito abaixo:

camada	material	espessura (Å)	dopagem (cm ⁻³)
cap	GaAs	2.500	$n: 2 \times 10^{18}$
graduação	Al _x Ga _{1-x} As/GaAs	500	$n: 2 \times 10^{18}$
emissor	Al _{0,27} Ga _{0,73} As	500	$n: 4 \times 10^{17}$
base	GaAs	800	$p: 2 \times 10^{19}$
coletor	GaAs	5.000	$n: 1,5 \times 10^{16}$
sub-coletor	GaAs	5.000	$n: 2 \times 10^{18}$

A alta dopagem de base permite o uso de contatos ôhmicos sem liga, do tipo Ti/Pt/Au. Para emissor e coletor, foi testado o uso de contatos com liga, do tipo AuGe/Ni/Au.

Foram realizadas metalizações em amostras dopadas por implantação de Si ($n+$), difusão de S ($n+$) e Zn ($p+$).

■ Amostras $n+$ implantadas com $^{29}\text{Si}^+$

Foram utilizadas amostras implantadas com $^{29}\text{Si}^+$ com as seguintes doses e energias (as resistências de folha foram medidas por efeito Hall):

Amostra	Dose	Energia	R_s
1	$3,0 \times 10^{13} \text{ cm}^{-2}$	60 keV	500 Ω/\square
2	$4,5 \times 10^{13} \text{ cm}^{-2}$	60 keV	400 Ω/\square
3	$6,0 \times 10^{13} \text{ cm}^{-2}$	60 keV	250 Ω/\square
4	$3,0 \times 10^{13} \text{ cm}^{-2}$	60 keV	200 Ω/\square
	+ $2,0 \times 10^{13} \text{ cm}^{-2}$	25 keV	
Recozimento: 420 °C, 20" / 850 °C, 10"			

O gráfico da Fig. 4.31 mostra resultados de simulações TRIM para a implantação de $^{29}\text{Si}^+$ em GaAs (os resultados das simulações foram aproximados por gaussianas). Podemos observar que a dupla implantação fornece uma maior concentração de dopantes na região próxima à superfície, pois possui uma implantação de baixa energia. Após o recozimento para redistribuição de dopantes e remoção de defeitos cristalinos, espera-se um perfil mais plano. Este tratamento foi feito a 850 °C, 10".

Estas amostras foram metalizadas simultaneamente por evaporação por e -beam de Ni/Ge/Au/Ni/Au : 50/500/1000/500/1000 Å⁴. A pressão de evaporação variou entre 10^{-8} mbar e 10^{-7} mbar. As ligas foram realizadas em forno do tipo RTA (*Rapid Thermal Annealing*), a temperaturas entre 440 °C e 480 °C por 30". Antes de cada ciclo de formação de liga, foi realizado

⁴As evaporações foram realizadas no CPqD-Telebrás ou AsGa Microeletrônica S.A. Os tratamentos térmicos foram feitos no LPD/IFGW/Unicamp e as implantações iônicas no CCS/Unicamp.

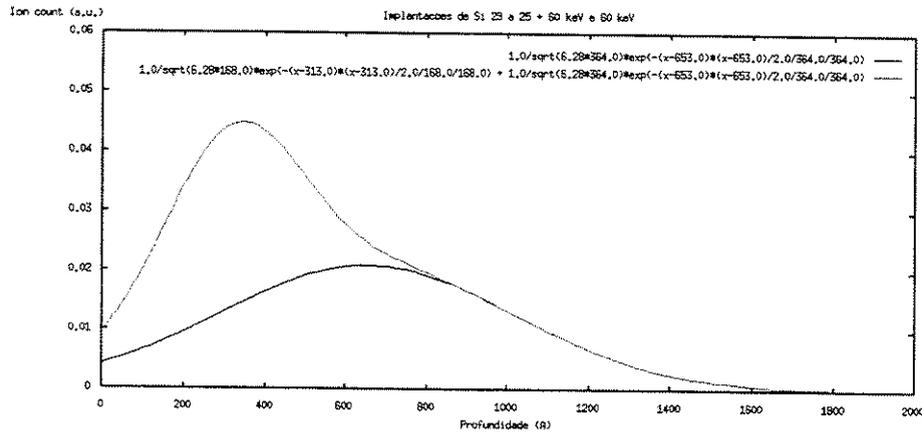


Figura 4.31: Simulações realizadas através do software TRIM para implantações de $^{29}\text{Si}^+$ em GaAs a 25 + 60 keV (dupla implantação) e a 60 keV. Perfis antes do recozimento.

um pré-aquecimento a 250 °C por 10". As resistividades foram medidas com estruturas TLM₂. Os melhores resultados foram para temperaturas de liga em torno de 455 °C, onde obtivemos resistividades de contato da ordem de $5,5 \times 10^{-7} \Omega \cdot \text{cm}^2$ na amostra com dupla implantação (Fig. 4.32), o que indica que a redução da resistência de folha antes da metalização é benéfico para o contato ôhmico. As amostras implantadas a 60 keV apresentaram resistividades uma ou duas ordens de grandeza maior. Este resultado era esperado, pois a maior energia desloca o perfil implantado para longe da superfície.

Para verificar a influência do tempo de liga, estas amostras também foram recozidas por 5" e 15", conforme mostrado na Fig. 4.33. O tratamento mais eficiente foi aquele a 30", que possibilita uma maior difusão de Ge para o semiconductor.

A Fig. 4.34 mostra resultados de comparações realizadas entre evaporações com e sem camada inicial de Ni. Esta camada, de apenas 50 Å, tem o objetivo de melhorar a uniformidade e reduzir a profundidade da difusão de Ge no GaAs, pois o níquel é uma barreira para a difusão de Ge^[156, 157, 158]. Como resultado ocorre a redução da resistência de folha na região próxima à superfície. Estes resultados indicam uma melhoria na resistividade do contato com o uso desta camada. Nestes contatos foram utilizadas as seguintes metalizações: Ni/Ge/Au/Ni/Au : 50/500/1000/500/1000 Å e Ge/Au/Ni/Au : 500/1000/500/1000 Å. A variação nas medidas de espessura por perfilômetro, foram 0,06% e 3,1%, respectivamente. As pressões de deposição, medidas a 50% da espessura, estão mostradas na tabela seguinte:

material	pressão
Ni	$4,0 \times 10^{-6}$ mbar
Ge	$3,0 \times 10^{-6}$ mbar
Au	$1,0 \times 10^{-5}$ mbar

A concentração de dopantes na superfície da amostra, medida por Polarom (C-V eletroquímico),

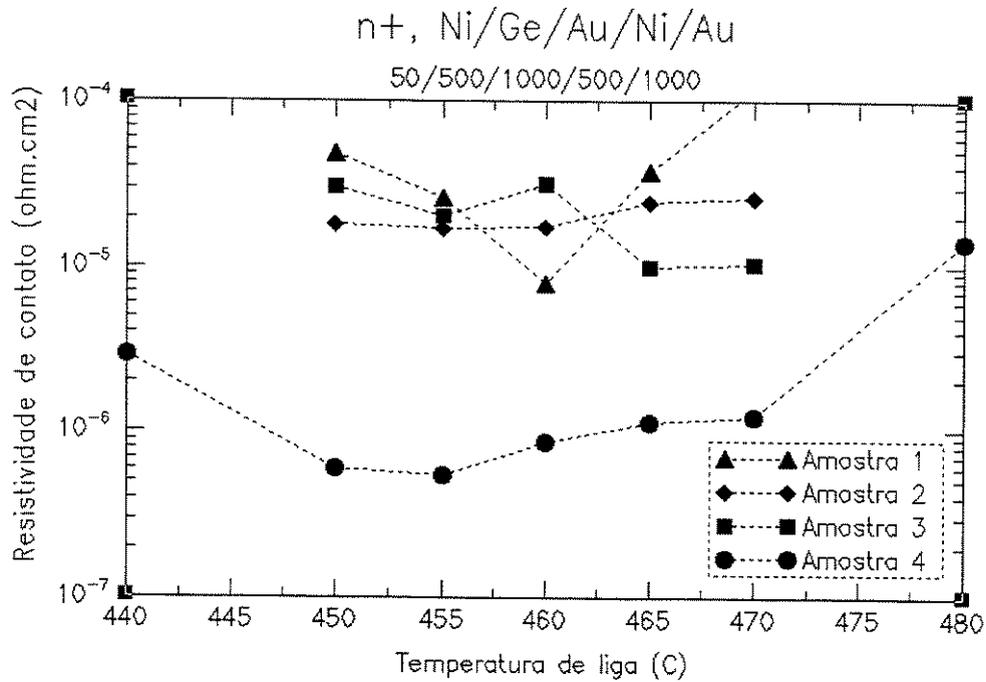


Figura 4.32: Metalizações n+ em amostras implantadas com $^{29}\text{Si}^+$. Energias e doses: Amostra 1: 60 keV, $3 \times 10^{13} \text{ cm}^{-2}$, Amostra 2: 60 keV, $4,5 \times 10^{13} \text{ cm}^{-2}$, Amostra 3: 60 keV, $6 \times 10^{13} \text{ cm}^{-2}$, Amostra 4: 60 keV, $3 \times 10^{13} \text{ cm}^{-2}$ + 25 keV, $2 \times 10^{13} \text{ cm}^{-2}$.

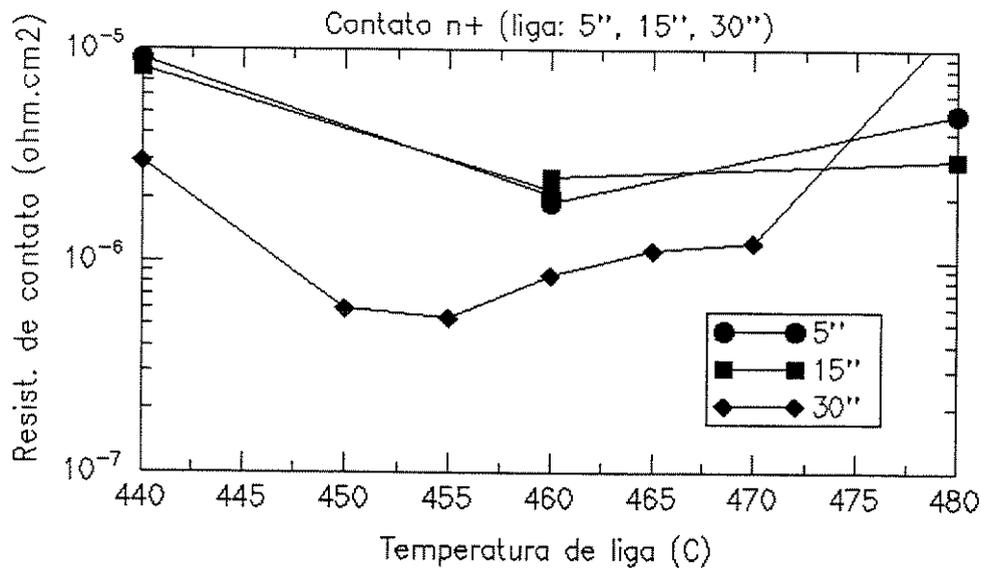


Figura 4.33: Metalizações n+ para diferentes condições de recozimento.

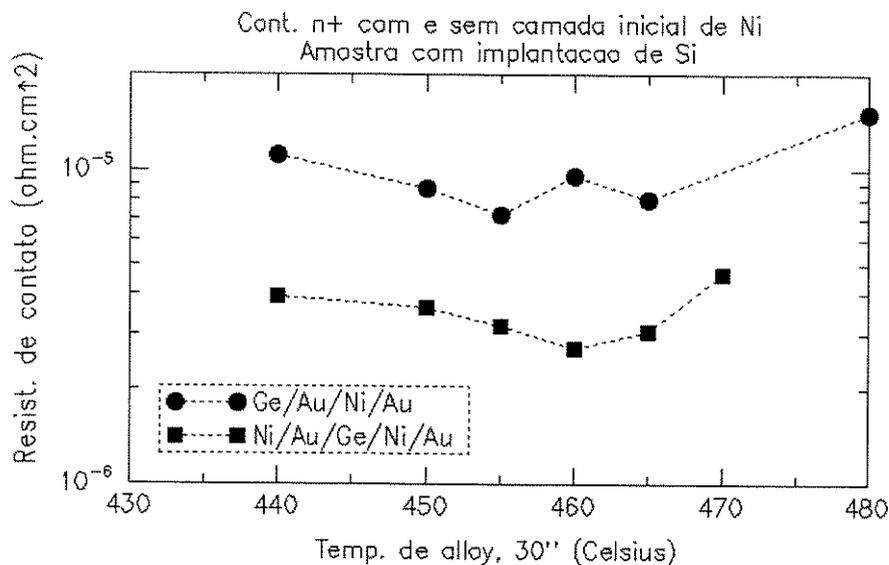


Figura 4.34: Comparação entre evaporações com e sem camada inicial de Ni.

foi $2 \times 10^{18} \text{ cm}^{-3}$. Comparando os resultados para Ni/Ge/Au/Ni/Au da Fig. 4.34 com aqueles da Fig. 4.33, observa-se uma maior resistividade no segundo caso. Este aumento aconteceu porque no primeiro caso as evaporações foram realizadas a pressões da ordem de 10^{-7} mbar, o que é aproximadamente uma ordem de grandeza menor que aquelas utilizadas no segundo caso. A menor pressão reduz a contaminação e melhora a resistividade de contato.

Os valores de resistividade aqui obtidos são consistentes com aqueles encontrados na literatura. A Fig. 4.35 mostra valores compilados por M. Shur^[159] para resistividades de contato em metalizações do tipo AuGe/Ni em n-GaAs, em função da dopagem do semiconductor.

A Fig. 4.36 mostra uma fotografia SEM da seção transversal de um contato Ni/Ge/Au/Ni/Au. A superfície apresentou rugosidades, em forma de bôlhas, que também foram observadas por Y. Saito^[160] em processos de metalização semelhantes. Ambos os experimentos utilizaram amostras implantadas com Si e podemos supor que a mudança morfológica esteja associada a danos na superfície causados pela implantação.

As figuras Fig. 4.37 e Fig. 4.38 mostram perfis feitos por perfilometria antes e após a liga, respectivamente. Notamos um aumento da rugosidade com a liga e também uma grande redução da espessura (de 2.760 Å para 1.119 Å), que se deve ao fato de uma certa quantidade de material ser absorvida por aglomerados, conforme pode ser observado no Fig. 4.39.

■ Amostras n+ difundidas com S

Foram preparadas amostras n+ dopadas com S por difusão rápida em forno RTA. Foi utilizado GaS₂ como fonte de dopantes e o ciclo de temperatura foi 400 °C por 30" seguido de 840 °C por 90". Medidas Hall indicaram dopagem na superfície de $7,5 \times 10^{17} \text{ cm}^{-3}$. A

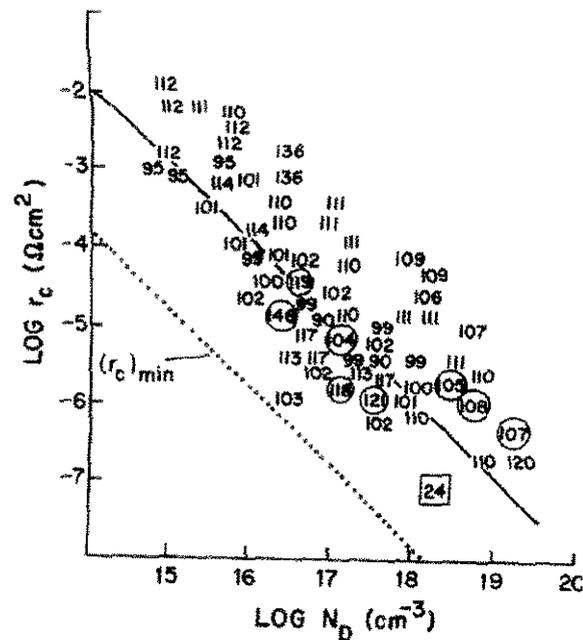


Figura 4.35: Valores típicos de resistividade de contato em função da dopagem do GaAs^[159].

resistência de folha, medida pelo método das quatro pontas, foi $300 \Omega/\square$.

As metalizações foram realizadas por evaporação com feixe de elétrons, conforme sumariizado na tabela seguinte:

Metalizações em n+ GaAs (dif. S)	
amostra	metalização
1-1	Ni/AuGe/Ni/Au : 50/500/140/1.500 Å
1-2	AuGe/Ni/Au : 500/140/1.500 Å
1-3	Ni/Ge/Au/Ni/Au : 50/500/1.000/500/1.000



Figura 4.36: Secção transversal de um contato Ni/Ge/Au/Ni/Au em GaAs dopado com Si, após tratamento para liga a 455°C , por 30" em RTA. $86.000\times$.

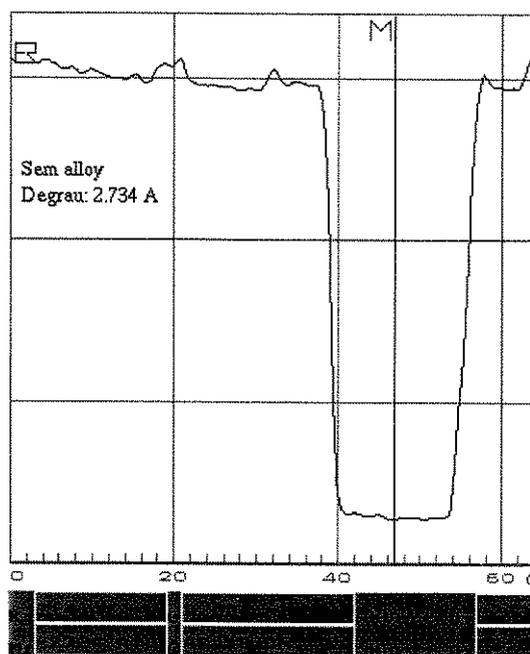


Figura 4.37: Perfil do metal antes da liga. Eixo x : varredura da ponteira, eixo y : altura do metal.

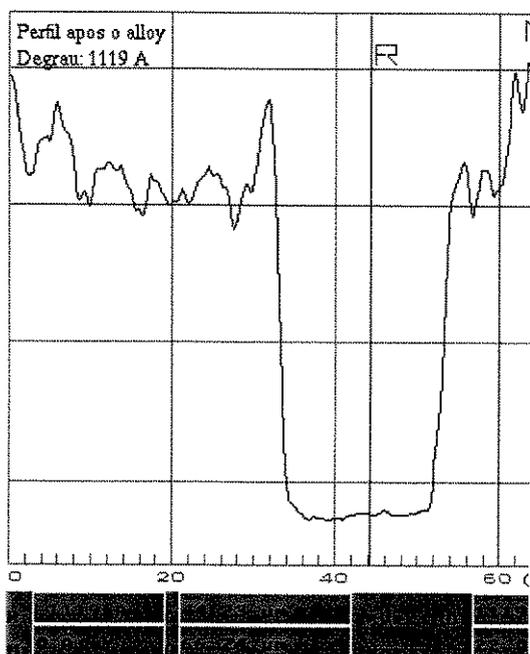


Figura 4.38: Perfil do metal após a liga. Eixo x : varredura da ponteira, eixo y : altura do metal.

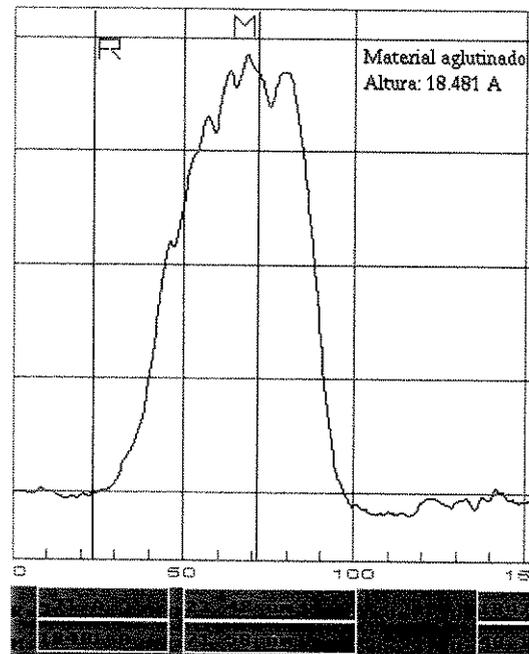


Figura 4.39: Aglutinado de metal. Altura: 18 kÅ. Eixo x : varredura da ponteira, eixo y : altura do metal.

As resistividades de contato, após tratamentos de 30" precedidos por um pré-aquecimento a 250 °C por 30", foram medidas pelo método TLM fechado e estão mostradas na Fig. 4.40. Assim como nos experimentos anteriores foram realizados tratamentos térmicos até 480 °C, porém as amostras tratadas com temperaturas acima de 460 °C apresentaram morfologia bastante irregular e grande espalhamento nas medidas de resistividade. Estas amostras foram desconsideradas. O melhor resultado foi obtido para tratamentos abaixo de 450 °C, por 30", com a amostra com Ge e Au evaporados separadamente (amostra 1-3), ao invés de uso da liga AuGe (amostra 1-1)⁵. Os valores relativamente altos para a resistividade se deve à baixa dopagem da amostra ($7,5 \times 10^{17} \text{ cm}^{-3}$).

■ Amostras $p+$ difundidas com Zn

As amostras foram preparadas difundindo-se Zn em GaAs por SOG (*silicon on glass*), a 850 °C. A concentração de dopantes na superfície foi encontrada por C-V eletroquímico como sendo $8 \times 10^{19} \text{ cm}^{-3}$ e a resistividade de folha medida na superfície por quatro pontas foi 146 Ω/\square .

As metalizações foram realizadas por evaporação por feixe de elétrons e os tratamentos térmicos para sinterização foram realizados em forno RTA por 30 segundos, em atmosfera de N_2 . Cada etapa de sinterização foi precedida de um pré-aquecimento a 250 °C por 10 segundos. Os resultados estão sumarizados na Tabela 4.4.

⁵Quando utiliza-se evaporadora térmica, deve-se misturar Au/Ge/Ni :: 200/16/20 mg para se obter 1000 Å de metal.

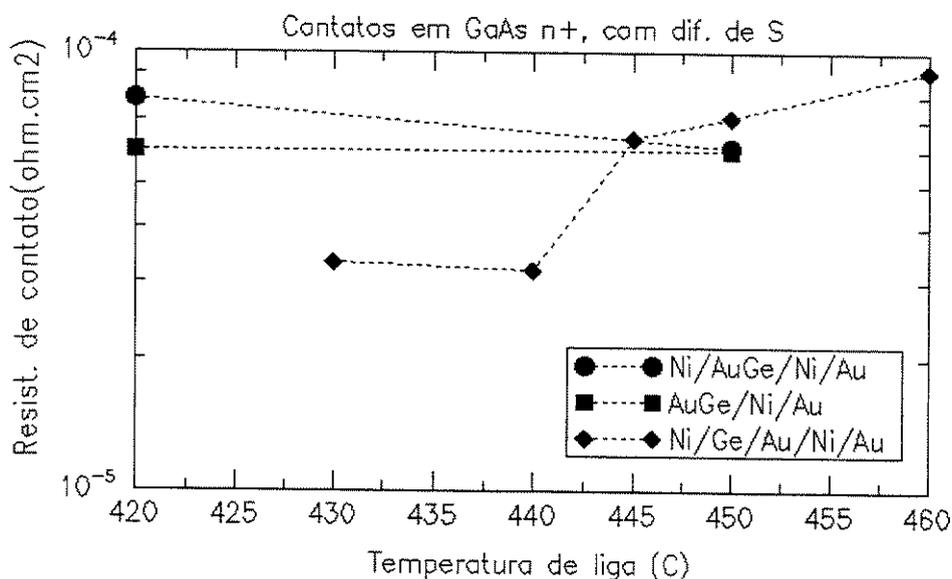


Figura 4.40: Resistividades de contato para as amostras $n+$ GaAs com difusão de enxôfre.

Tabela 4.4: Resultados de metalização $p+$.

amostra	metal	melhor ρ_c obtido
2-1	Ni/Ti/Pt/Au 50/500/500/1.000 Å	$7,1 \times 10^{-6} \Omega \cdot \text{cm}^2$ 380 °C
2-2	Ni/Ti/Pt/Au 50/80/200/1.000 Å	$6,5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 380 °C
2-3	Ti/Pt/Au 500/500/1.000 Å	$6,0 \times 10^{-6} \Omega \cdot \text{cm}^2$ 370 °C
2-4	Ti/Pt/Au 80/200/1.000 Å	$2,5 \times 10^{-6} \Omega \cdot \text{cm}^2$ sem sinterização

Neste experimentos, as amostras 2-1 e 2-3 apresentaram morfologia estável no intervalo de temperaturas testado (de 330 °C a 450 °C). A amostra 2-2 apresentou reação de materiais (aglomerados observáveis ao microscópio óptico) para $T \geq 350$ °C e a amostra 2-4 apresentou deterioração na morfologia para $T \geq 320$ °C. Foi observado que quanto maior a alteração morfológica, maior a resistividade de contato. O melhor resultado aconteceu para Ti/Pt/Au :: 80/200/1.000 Å, sem tratamento adicional (o aquecimento durante o processo de evaporação parece suficiente para sinterizar o contato). Este contato é interessante para o uso em HBTs porque sua pequena espessura favorece a obtenção de transistores auto-alinhados.

■ Metalização para interconexões

Este processo não foi analisado em detalhe, porém é facilmente realizado com a evaporação térmica de Cr/Au seguida de *lift off* em acetona.

Nos cadinhos de evaporação coloca-se 237,4 mg de Au e 30 mg de Cr, sendo que o Cr é evaporado primeiro, para melhorar a aderência. Na evaporadora utilizada, o resultado é

uma estrutura com 200 Å de Cr e 5.000 Å de Au. Estas espessuras dependem da distância do cadinho ao alvo.

4.6 Deposição de camada isolante

Antes da litografia para interconexões é necessário depositar uma camada de material dielétrico com as seguintes finalidades:

- Separação entre a camada de interconexão e o dispositivo.
- Planarização da superfície.
- Passivação elétrica.

Os materiais indicados para esta finalidade são o polyimide e o BCB (*Benzocyclobuteno*). Ambos apresentam fluidez durante a aplicação e exercem o papel de planarizadores, sendo que a planarização com BCB é um pouco melhor que aquela apresentada pelo polyimide. Além disso o BCB não libera água durante a cura, o que resulta em melhor morfologia final. Por outro lado, o polyimide é melhor isolante e tem propriedades de passivar a superfície do GaAs, o que reduz correntes de recombinação. Nos HBTs fabricados neste trabalho utilizou-se somente polyimide.

O polyimide Deve ser curado de maneira lenta e gradual, para que a perda de solventes não cause o surgimento de falhas estruturais em sua superfície.

A aplicação e cura é realizada conforme descrito na Página 96.

* * *

5

Fabricação do Circuito Integrado Proposto

Com as etapas elementares de processo estabelecidas no capítulo anterior, foram realizadas diversas corridas de processamento, com o objetivo de se obter um processo de fabricação de HBTs. Procurou-se estabelecer o processo P_{14} e obter os transistores H_1 e H_4 .

Este capítulo contém a descrição detalhada dos processos utilizados para a fabricação dos dispositivos. As lâminas processadas foram numeradas pela letra W seguida de um número romano (WI, WII etc.). Os processos foram realizados nos seguintes laboratórios: LPD-IFGW-Unicamp (*etchings*, litografias, medidas), AsGa Microeletrônica S.A. (metalizações, litografias), LME-USP (algumas metalizações) e CPqD-Telebrás (algumas metalizações). Uma corrida de teste foi realizada antes dos trabalhos aqui descritos, com camadas e máscaras fornecidas por uma instituição americana (RTI-NC). O objetivo desta corrida era apenas de testar a possibilidade de se realizar as etapas necessárias, com os recursos disponíveis na época (Apêndice A).

5.1 Camadas utilizadas

Diversos tipos de camadas foram fabricadas para o estabelecimento do processo. Um conjunto de 4 estruturas foi encomendado ao RTI/NC/USA, que cresceu-as por MOCVD, em lâminas de 2 polegadas sobre GaAs semi-isolante e são as camadas principais utilizadas nas corridas. Algumas outras camadas foram obtidas do IF/USP (crescidas por MBE) e outras foram doadas pelo RTI. Estas duas últimas camadas foram utilizadas principalmente para

testes e calibração de processos.

As quatro estruturas encomendadas ao RTI estão apresentadas a seguir. Estas estruturas foram crescidas sobre uma camada não dopada de 2.500 Å (*buffer*).

5.1.1 Estrutura I

Camada	Material	Espessura (Å)	Dopagem (cm ⁻³)
capa de emissor	GaAs	2.500	$n+ : 2 \times 10^{18}$ (Si)
graduação	GaAs/Al _x Ga _{1-x} As	$x=0-0,27$, 500	$n+ : 2 \times 10^{18}$ (Si)
emissor	Al _{0,27} Ga _{0,73} As	500	$n : 4 \times 10^{17}$ (Si)
base	GaAs	800	$p+ : 2 \times 10^{19}$ (C)
coletor	GaAs	5.000	$n- : 1,5 \times 10^{16}$ (Si)
subcoletor	GaAs	5.000	$n+ : 2 \times 10^{18}$ (Si)

Esta é a estrutura básica utilizada nos processos. Possui heterojunção abrupta e base de 800 Å.

5.1.2 Estrutura II

Capa de InGaAs

É igual à estrutura I, porém com 1.000 Å do topo do cap substituídos por uma camada gradual de 500 Å de In_xGa_{1-x}As com $x = 0-100\%$. A dopagem desta região é de 1×10^{19} cm⁻³.

Camada	Material	Espessura (Å)	Dopagem (cm ⁻³)
capa 1	In _x Ga _{1-x} As	$x = 0-1$, 500	$n+ : 1 \times 10^{19}$ (Si)
capa 2	GaAs	1.500	$n+ : 2 \times 10^{18}$ (Si)
graduação	GaAs/Al _x Ga _{1-x} As	$x=0-0,27$, 500	$n+ : 2 \times 10^{18}$ (Si)
emissor	Al _{0,27} Ga _{0,73} As	500	$n : 4 \times 10^{17}$ (Si)
base	GaAs	800	$p+ : 2 \times 10^{19}$ (C)
coletor	GaAs	5.000	$n- : 1,5 \times 10^{16}$ (Si)
subcoletor	GaAs	5.000	$n+ : 2 \times 10^{18}$ (Si)

5.1.3 Estrutura III

Base gradual

Igual à estrutura II, porém a base é de AlGaAs e tem 1.000 Å de espessura. A fração de alumínio varia de 12% na interface com o emissor até zero na interface com o coletor.

Camada	Material	Espessura (Å)	Dopagem (cm ⁻³)
capa 1	In _x Ga _{1-x} As	$x = 0-1, 500$	$n+ : 1 \times 10^{19}$ (Si)
capa 2	GaAs	1.500	$n+ : 2 \times 10^{18}$ (Si)
graduação	GaAs/Al _x Ga _{1-x} As	$x=0-0,27, 500$	$n+ : 2 \times 10^{18}$ (Si)
emissor	Al _{0,27} Ga _{0,73} As	500	$n : 4 \times 10^{17}$ (Si)
base	Al _x Ga _{1-x} As	$x = 0,12-0, 1.000$	$p+ : 2 \times 10^{19}$ (C)
coletor	GaAs	5.000	$n- : 1,5 \times 10^{16}$ (Si)
subcoletor	GaAs	5.000	$n+ : 2 \times 10^{18}$ (Si)

A dopagem de base neste caso pode ser maior que o valor nominal, pois a adição de alumínio aumenta a dopagem p .

5.1.4 Estrutura IV

Heterojunção gradual

Igual à estrutura II, porém com uma região graduada entre o emissor e a base, que elimina o *spike* na banda de condução. Esta região possui 300 Å de espessura e é graduada em alumínio, de 0 % na interface com a base até 27 % na interface com o emissor. A dopagem desta região varia de p para i , no sentido base-emissor, sendo que durante o crescimento o dopante p foi colocado aproximadamente até a metade da camada¹.

Camada	Material	Espessura (Å)	Dopagem (cm ⁻³)
capa 1	In _x Ga _{1-x} As	$x = 0-1, 500$	$n+ : 1 \times 10^{19}$ (Si)
capa 2	GaAs	1.500	$n+ : 2 \times 10^{18}$ (Si)
graduação	GaAs/Al _x Ga _{1-x} As	$x=0-0,27, 500$	$n+ : 2 \times 10^{18}$ (Si)
emissor	Al _{0,27} Ga _{0,73} As	500	$n : 4 \times 10^{17}$ (Si)
graduação	Al _x Ga _{1-x} As	$x = 0,27-0, 300$	$i \rightarrow p$
base	GaAs	800	$p+ : 2 \times 10^{19}$ (C)
coletor	GaAs	5.000	$n- : 1,5 \times 10^{16}$ (Si)
subcoletor	GaAs	5.000	$n+ : 2 \times 10^{18}$ (Si)

As estruturas seguintes foram obtidas junto ao IF/USP ou por doação em separado do RTI e também foram utilizadas:

5.1.5 Outras estruturas

Estrutura C697 (MBE)

¹De acordo com o fabricante, quando a camada gradual completou 150 Å, foi adicionado dopante n de tal forma a compensar a dopagem p , obtendo-se 150 Å de região intrínseca entre a graduação e o emissor.

camada	material	espessura	dopagem
capa	GaAs	500 Å	$n = 5 \times 10^{18} \text{cm}^{-3}$ (Si)
E	AlGaAs	3.900 Å	$n = 3,3 \times 10^{18} \text{cm}^{-3}$ (Si)
B	GaAs	2.500 Å	$p = 2 \times 10^{19} \text{cm}^{-3}$ (Be)
C	GaAs	5.000 Å	$n = 3 \times 10^{16} \text{cm}^{-3}$ (Si)
SC	GaAs	15.000 Å	$n = 2 \times 10^{18} \text{cm}^{-3}$ (Si)
S.I. GaAs (substrato)			

Estrutura X (MOCVD)

Esta estrutura é desconhecida, porém devido ao alto custo destas camadas e ao fato de que em nosso processo de *etching* conseguimos determinar os pontos de parada sem a necessidade do conhecimento da estrutura (desde que seja para HBT), esta lâmina foi aproveitada em testes.

5.2 Corridas de Processamento Realizadas

A seguir estão sumarizadas as corridas W_i e seus resultados. Foram utilizadas as seguintes camadas:

1. WI: estrutura I (lote 1480).
2. WII: estrutura X.
3. WIII: estrutura X.
4. WIV: estrutura I (lote 1480).
5. WV: estrutura C697.
6. WVI: estrutura C697.
7. WVII: estrutura I (lote 1480).
8. WVIII: estrutura II (lote 1481).

As corridas WVI e WVII foram canceladas no início por falha na definição da mesa de emissor.

A seguir está a descrição do processo P_{14} .

5.2.1 Limpeza inicial

Esta etapa tem o objetivo de limpar a superfície da lâmina antes do início do processamento. Uma lavagem simples não é suficiente, pois partículas muito pequenas ficam presas por

forças de van der Waals, o suficiente para resistir ao escoamento de torneiras de água DI. Além disso a água não remove resíduos orgânicos.

Uma vez que os erros devidos a partículas e aglomerados de gordura são amplificados durante o processamento, esta etapa tem grande influência no rendimento do processo. Para a amostra WV, antes da limpeza foi realizado um banho em HCl a 80 °C por 40 minutos, para remover In do lado de trás (esta amostra foi crescida por MBE, presa ao suporte por índio).

1. Tricloroetileno (TCE) aquecido ($\simeq 100^{\circ}\text{C}$), 15 min.
2. Acetona aquecida ($\simeq 100^{\circ}\text{C}$), 15 min.
3. Isopropanol aquecido ($\simeq 100^{\circ}\text{C}$), 15 min.
4. Lavagem com água deionizada.
5. Banho em H_2SO_4 a quente seguido em banho de HF a quente.
6. Secagem em jato de nitrogênio fraco.
7. Secagem em *hot-plate*, 118°C , 30 min.

5.2.2 Metal de emissor

- Litografia #1: máscara emesa. Processo imagem reversa para *lift off*
8. Limpar a máscara.
 9. *free run*, 4.000 rpm, 40 s.
 10. fotorresiste AZ 5214, 4.000 rpm, 40 s.
 11. *soft bake*, 91°C , 8 min.
 12. *bead removal*, se a amostra for pequena.
 13. exposição, 20 s, $9 \text{ mW}/\text{cm}^2$.
 14. *reversal bake*, 118°C , 1 min 45 s.
 15. *flood*, 40 s, $9 \text{ mW}/\text{cm}^2$.
 16. revelação, AZ 351: H_2O , 1:5.
 17. Metalização para contato $n+$.
 18. *lift off* em acetona.

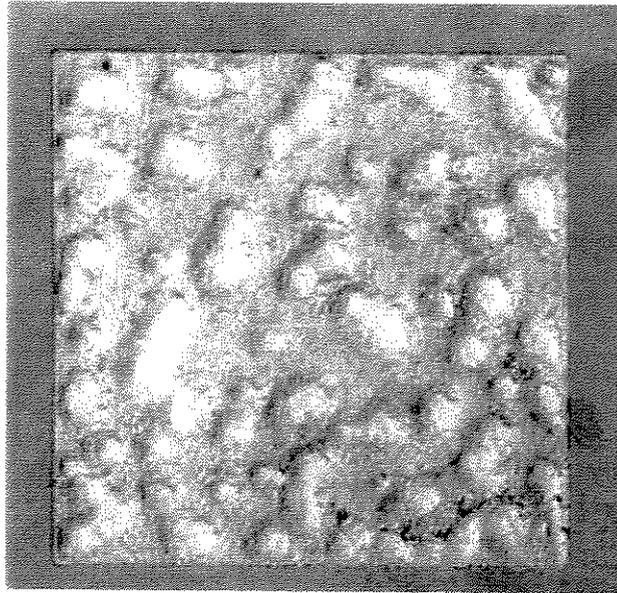


Figura 5.1: Corrida WVIII. Morfologia do contato de emissor após o tratamento de liga. Observa-se *ball up* e rugosidade de $\simeq 50\%$, medida com perfilômetro. Tamanho do quadrado: $120 \times 120 \mu\text{m}^2$.

Metalização para contato n^+

Na amostra WI foi utilizado AuGeNi e evaporação térmica. Foi realizado um tratamento a 320°C , em rampa decrescente de temperatura, em forno convencional. Sua função é melhor fixar o metal no semiconductor evitando que o mesmo se destaque durante o *etching* úmido, pois neste processo, o metal de emissor é utilizado como máscara para o *etching*.

Amostra WII: Foi utilizado o mesmo processo da amostra WI, porém o tratamento térmico foi realizado a 400°C , em rampa decrescente de temperatura no forno RTA.

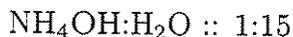
Amostra WIII: 300°C , com rampa decrescente de temperatura no forno RTA.

Amostra WIV: 250°C , 15" seguido de 360°C , 20", no RTA. Com este tratamento o metal não se destacou durante o *etching*.

Amostra WV: AuGeNi por evaporação térmica. Tratamento: 320°C , 10" em RTA.

Amostra WVIII: Foi evaporado Ni/Ge/Au/Ni/Au :: 50/500/1000/500/1000 Å, por *e-beam*. O tratamento térmico foi $200^\circ\text{C}/10''$ (pré-aquecimento) / $400^\circ\text{C}/20''$, em forno RTP. Após este tratamento, o contato apresentou a morfologia mostrada na Fig. 5.1. A medida de TLM resultou em $\rho_c = 3,4 \times 10^{-7} \Omega \text{cm}^2$ e $R_s = 85 \Omega/\square$.

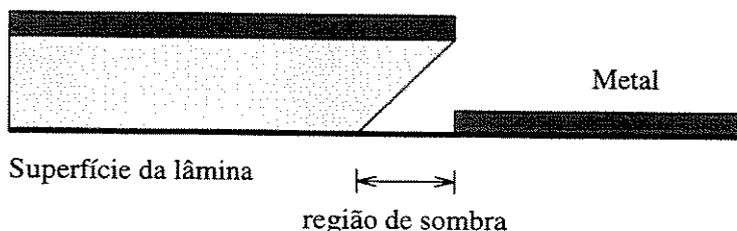
Antes de cada metalização deve-se fazer uma limpeza na superfície da lâmina para remover a camada de óxido nativo. Esta limpeza pode ser feita através da seguinte solução:



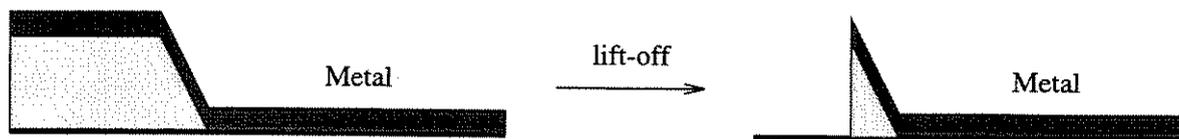
O procedimento é o seguinte: Prepara-se a solução anterior e mergulha-se a lâmina na mesma por 30 segundos, imediatamente antes de carregar a lâmina no aparelho para a metalização. A remoção da solução da superfície deve ser feita por um jato de nitrogênio grau U, sem lavar a lâmina com água, após o banho na solução de limpeza.

Lift off

Observamos que este processo apresenta dois pontos críticos que se não forem realizados corretamente poderão causar sérios danos à superfície da lâmina. O primeiro é a obtenção de fotorresiste com paredes laterais em perfil negativo. Nota-se ao microscópio que quando o perfil é suficientemente negativo, ocorre um perfeito efeito de sombra durante a evaporação e não se forma nenhuma ligação entre o metal depositado sobre a superfície da lâmina e aquele depositado sobre o fotorresiste, conforme ilustrado a seguir:



Por outro lado se o perfil das paredes do fotorresiste for positivo o *lift off* se torna muito difícil de ser realizado e no final restam regiões de fotorresiste ligadas aos contornos dos metais. Estes contornos são de difícil remoção (tratamentos tais como acetona e plasma de oxigênio são ineficientes), pois durante a evaporação que ocorre a quente, o metal estabelece fortes ligações com a superfície do resiste, além do que, o ambiente da evaporadora (vácuo e temperatura alta) acelera o processo de cura. O desenho seguinte mostra o processo de *lift off* em fotorresiste com paredes em perfil positivo.



O segundo ponto crítico do processo de metalização é a remoção do fotorresiste com acetona. Durante esta etapa ocorre o desprendimento para a solução de um número muito grande de partículas metálicas e de pedaços de metal ligados a fotorresiste, em forma de folhas com metal de um lado e uma fina camada de fotorresiste do outro lado. Quando um destes

pedaços cai sobre a lâmina com o lado do fotorresiste virado para a lâmina, pode ocorrer o estabelecimento de ligações entre ambos e neste caso a partícula se fixará na superfície e dificilmente será conseguida a sua remoção. O uso de ultra som para acelerar a dissolução de fotorresiste pela acetona deve ser evitado porque o ultra som causa rachaduras no cristal de GaAs. O procedimento para a realização do *lift off* deve ser o seguinte:

- Mergulhar a lâmina em acetona por 1 hora. Nesta fase deve-se observar a formação de um grande número de rugosidades na superfície, parecidas com pequenas bolhas. Isto se deve à tensão causada no metal à medida que o fotorresiste é removido.
- Colocar acetona em uma pisseta e a seguir colocar o bico da pisseta bem próximo da lâmina, dentro do becker com acetona. porém sem tocar a superfície da amostra. Espirrar jatos de acetona sobre a superfície retirando o bico da pisseta da acetona após a compressão do frasco para evitar o retorno da acetona durante a re-inflação da pisseta. Neste momento deve ocorrer o desligamento de um grande número de partículas metálicas. Renovar a acetona do becker, derramando a acetona antiga e completando com acetona nova, para remover as partículas formadas anteriormente. Repetir este processo várias vezes até que todo o fotorresiste seja removido. A amostra deve permanecer em meio líquido durante todo o processo. Se for necessário verificar o andamento da reação, colocar a amostra em uma placa de petri com acetona e verificar a amostra ao microscópio. A amostra não deve secar durante a passagem do becker para a placa. Completado o processo realizar a limpeza C#1a.

5.2.3 Mesa de emissor

A mesa de emissor corresponde à etapa de *etching* mais crítica do processo, pois deve ser interrompida no início da base com grande precisão. Este processo é realizado com pinça de teflon e acompanhado por medidas da corrente reversa para uma tensão pré-escolhida e por medidas de degrau com perfilômetro.

Da corrida WVIII em diante, antes deste *etching* foi realizada uma etapa litográfica com a máscara brecess, para cobrir os emissores dos transistores não auto-alinhados, o que reduz a possibilidade do *etching* destacar o metal de emissor.

Amostra WI: foi utilizado o processo lento com H_2SO_4 : H_2SO_4 : H_2O_2 : H_2O , 1:8:1.000.

19. Solução α : $82 \text{ H}_2\text{O} + 2 \text{ H}_2\text{SO}_4$

20. Aguardar 30 min

21. Solução β : $16 \text{ H}_2\text{O}_2 + 1 \alpha$

22. $192 \text{ H}_2\text{O} + 10 \beta$

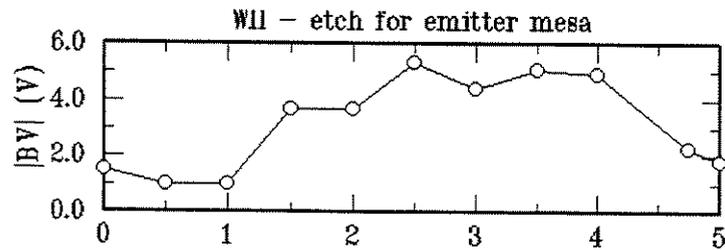


Figura 5.2: Acompanhamento da definição da mesa de emissor na amostra WII. Eixo- x : tempo em minutos. Medidas de tensão para $I_D = -1$ mA.

23. Aguardar 30 min
24. Medir a taxa em lâmina de teste.
25. Realizar o *etching* por etapas, medindo a característica reversa e o degrau ao final de cada etapa. Lavar abundantemente ao retirar a lâmina da solução, com especial atenção à primeira interrupção.

Amostras II e III: Nestas amostras também foi utilizado o processo lento com H_2SO_4 . A Fig. 5.2 mostra o acompanhamento do *etching* por medidas de tensão de ruptura, para a amostra II.

Interrupção do processo para a amostra WIII. O recozimento para do metal não foi suficiente para fixá-lo e durante o etch ocorreu um acentuado *under-etch* que removeu quase todo o metal e atacou o topo das mesas de emissor.

Amostra WIV: Nos *etchings* anteriores foi observado a formação de uma substância marrom sobre a superfície. Uma das causas possíveis causas seria a qualidade do reagente. Nesta corrida foi tentado o uso de *etching* baseado em NH_4OH .

- Preparação da solução ($NH_4OH:H_2O_2:H_2O$, 2:1:800):

19. Solução α : $54 H_2O + 6 H_2O_2 + 12 NH_4OH$
20. Solução β : $192 H_2O + 6 \alpha$
21. $1 H_2O + 1 \beta$
22. Aguardar 30 min

O gráfico da Fig. 5.3 mostra as correntes reversas entre a ponta de tungstênio e a superfície do semiconductor para as tensões $V_R = 0$ V, -3 V e -9 V. Este *etching* resultou em uma superfície limpa. O gráfico de acompanhamento mostra que tensões reversas baixas são mais adequadas para a identificação das interfaces.

Amostra V: Foi utilizado *etching* lento com NH_4OH . Nesta amostra houve alguma dificuldade em se determinar o início da base, pois foi fornecida com dopagem de emissor muito

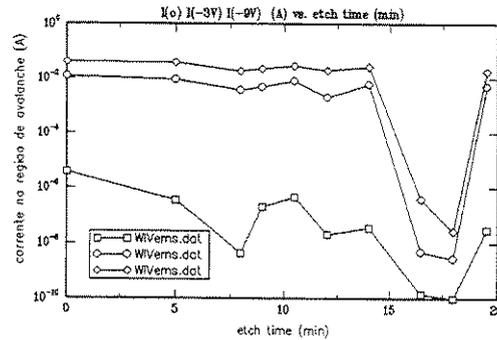


Figura 5.3: Acompanhamento da definição da mesa de emissor na amostra WIV.

alta ($3,3 \times 10^{18} \text{ cm}^{-3}$). Nesta amostra observou-se claramente, ao microscópio óptico, que existe um grande *under-etch* na mesa de emissor e sua largura fica bem menor que a largura do metal de emissor, o que tem causado a perda dos transistores de menor área (H_a e H_b). O processamento destes transistores requer a melhoria do processo de *etching* ou o uso de *etching* por RIE.

Amostra WVIII: Foi realizado o *etching* lento com NH_4OH . Esta solução reagiu com o InGaAs originando uma substância escura e pulverizada sobre a superfície da amostra. Este composto foi facilmente removido com $\text{H}_2\text{O}_2:\text{H}_2:\text{H}_3\text{PO}_4 :: 1:40:3$ (IEEE EDL-7, 9 (1986) 516–528).

5.2.4 Metal de base

- Litografia #2: máscara bmetal. Processo positivo para *lift off* (L#2). L2
- 26. *free run*, 4.000 rpm, 40 s.
- 27. fotorresiste AZ 5214, 4.000 rpm, 40 s.
- 28. *soft bake*, 91°C , 8 min.
- 29. *bead removal*, se a amostra for pequena.
- 30. *flood*, 2,5 s, $9 \text{ mW}/\text{cm}^2$ (modo CP).
- 31. *hard bake*, 118°C , 1 min 45 s.
- 32. exposição com máscara, 30 a 35 s, $9 \text{ mW}/\text{cm}^2$.
- 33. revelação, AZ 400: H_2O , 10:35.
- 34. Evaporação do metal de base.

WI, WII, WIV, WV: Ti/Pt/Au :: 80/200/1000 Å, por e-beam.

Separação contato de base / mesa de emissor: Em transistores auto-alinhados o metal de base é evaporado também sobre a mesa de emissor, em uma janela aberta no fotorresiste

que compreende a mesa de emissor e a superfície da base que será metalizada. O perfil negativo gerado na parede de emissor pelo *etching* isotrópico tem a finalidade de garantir esta separação.

Amostra WVIII: O contato de base foi formado por evaporação de Ni/Ti/Pt/Au :: 50/500/500/1.000 Å. As medidas de TLM resultaram em $\rho_c = 7 \times 10^{-6} \Omega \text{ cm}^2$ e $R_s = 187 \Omega/\square$.

35. *lift off* em acetona.

5.2.5 Mesa de base

■ Litografia #3, máscara bmesa. Processo positivo (L#1).

L3

36. *free run*, 4.000 rpm, 40 s.

37. fotorresiste AZ 5214, 4.000 rpm, 40 s.

38. *soft bake*, 91°C, 8 min.

39. *bead removal*, se a amostra for pequena.

40. exposição com máscara, 40 s, 9 mW/cm².

41. revelação, AZ 400:H₂O, 10:35.

42. *hard bake*, 118°C, 1 min 45 s.

43. Plasma de O₂ para remoção do fotorresiste residual (200 W, 2 min, 150 mTorr).

44. *Etching*.

WI, WII: Processo úmido E#1 (H₂SO₄). O gráfico da Fig. 5.4 mostra a evolução da tensão de ruptura ao longo do tempo de *etching*. Estes gráficos mostram que nos dois casos o subcoletor foi precisamente exposto.

Durante a corrida WII foram realizadas medidas de corrente um pouco antes da tensão de ruptura (Fig. 5.5). Estas medidas foram realizadas devido à uma tentativa de se modificar o método utilizado para acompanhar os *etchings*, pois observou-se que nas camadas com dopagem baixa, a medida da tensão de ruptura é difícil e fortemente dependente do estado de limpeza das pontas, sendo necessário refazer a etapa de limpeza várias vezes durante o processo. No entanto a medida da corrente um pouco antes da ruptura se mostrou um método mais interessante, pois observa-se uma enorme variação na ordem de grandeza da mesma, o que facilita a medição. As três regiões observadas neste gráficos, da esquerda para a direita são: base, coletor e subcoletor.

Amostra WIV: *Etching* úmido E#4, baseada em NH₄OH. acompanhado por medidas de tensão de ruptura, conforme mostrado no gráfico da Fig. 5.6, onde estão as

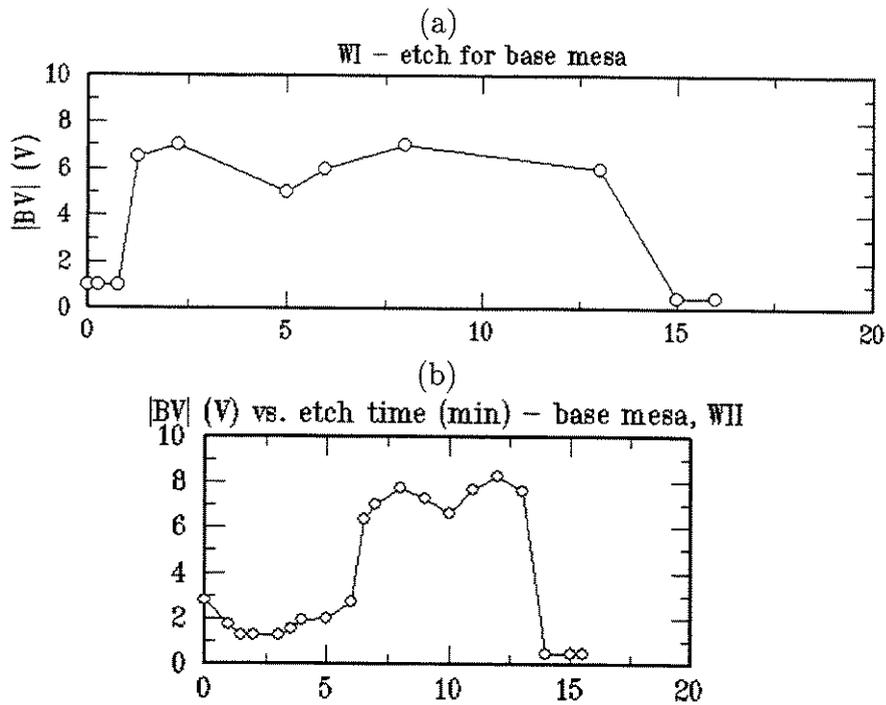


Figura 5.4: Acompanhamento da tensão de ruptura na amostra WI (a) e WII (b). Eixo-x: tempo em minutos. As tensões foram medidas para a corrente de 1 mA.

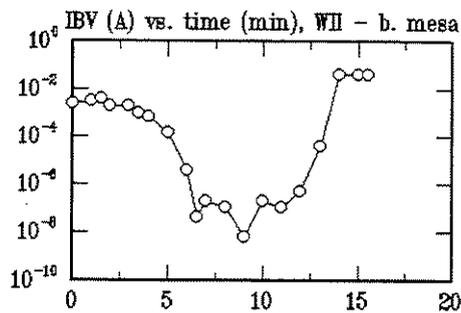


Figura 5.5: Medidas da corrente para tensões um pouco menores que a tensão de ruptura.

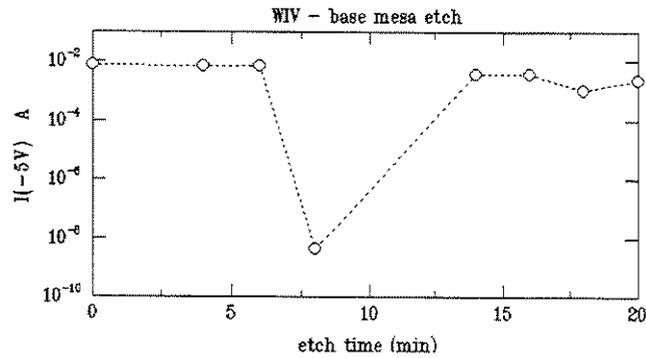


Figura 5.6: Definição da mesa de base na amostra WIV, com *etching* rápido baseado em NH_4OH .

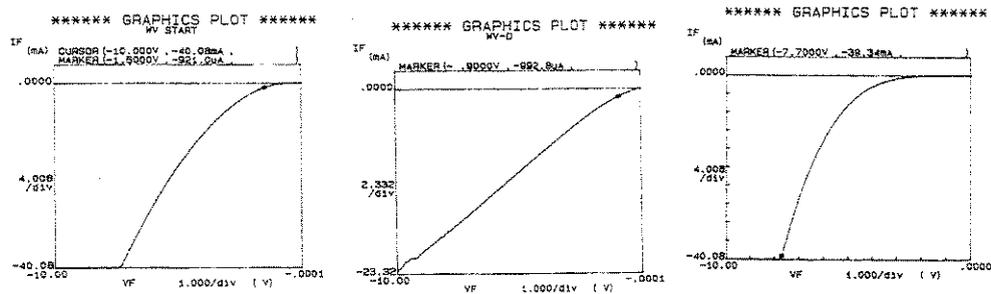


Figura 5.7: Curvas típicas de medidas de tensão de ruptura para as camadas de emissor, base e subcoletor, respectivamente (esquerda para a direita). A familiarização com o formato destas curvas é útil para o acompanhamento dos *etchings*.

regiões de base, coletor e sub-coletor claramente definidas. Observamos nestes gráficos que apesar de os mesmos serem úteis para a determinação do ponto de parada do *etching*, não podem ser utilizados para avaliar as espessuras das camadas, pois a velocidade de etch varia com o tempo.

Interrupção da corrida WI. Após o *etching* anterior (mesa de base), esta amostra apresentou uma camada de material escuro sobre a superfície, que não pode ser removido. As hipóteses para isto são: camadas ou reagentes de má qualidade. Apesar disto foi possível medir o diodo base-emissor formado, que apresentou $V_{on} \simeq 2 \text{ V}$ e correntes da ordem de nanoamperes para tensões em torno de 4V (a liga para o contato de emissor ainda não havia sido formada).

A Fig. 5.7 mostra curvas típicas de tensão de ruptura para as camadas de emissor, base e subcoletor, tomadas na amostra V.

Amostra WVIII: A mesa de base foi definida com o processo rápido com NH_4OH . A seguir foi feita uma limpeza com AZ 200 (*resist stripper*) e isopropanol.

5.2.6 Contato de coletor

- Litografia #4 , máscara ecmetal² processo positivo para *lift off*.

L4

45. Processo litográfico L#2.
46. Plasma de O₂, 200 W, 2 min, 150 mtorr, para remover resíduos de fotorresiste.
47. Limpeza C#1.
48. Evaporação do metal de coletor.
49. *Lift off* em acetona.

Metal de coletor

Amostra WII: AuGeNi, evaporação térmica, com liga: 460 °C, 5', forno a resistência.

Amostra WIV: idem à amostra II, porém com liga a 320°C, 10 s, 450°C, 5 s, RTA.

Amostra WV: foi evaporada a liga AuGe com Ni (AuGe/Ni), em evaporadora térmica. A altura do metal foi 1.000 Å.

Interrupção do processo WIV. Antes de realizar liga anterior, foi possível realizar medidas de emissor comum nos transistores de teste Porém após a liga, as junções estavam todas curto-circuitadas, o que significa que o ciclo térmico foi excessivo. Em um teste realizado difundindo-se zinco em GaAs verificou-se que as junções fabricadas em nosso RTA apresentou maiores profundidades que difusões realizadas em um RTA da EPUSP, sob mesma leitura de temperatura. Isto indica que o sistema fornecia temperaturas maiores que aquelas indicadas, o que pode ter danificado os transistores.

Amostra WVIII: Foi utilizado o mesmo esquema de metalização de emissor (Ni/Ge/Au/Ni/Au :: 50/ 500/1.000/500/1.000 Å). A resistividade e a resistência de folha foram medidas por TLM como sendo $\rho_c = 5,3 \times 10^{-6} \Omega \text{ cm}^2$ e $R_s = 22 \Omega/\square$.

5.2.7 Isolação de dispositivos

- Litografia #5, máscara deviso.

L5

50. Processo litográfico L#1.
51. Processo de *etching* úmido E#2 (taxa rápida, com H₂SO₄).

Na corrida WVIII foi utilizado o processo rápido com NH₄OH. Após esta etapa foi realizado um tratamento térmico a 200 °C/10" seguido de 360 °C/20" em RTP.

² Apesar do nome, esta máscara contém o contato de coletor.

5.2.8 Interconexões

52. Cobertura com polyimide.

- Litografia #6, máscara cvia.

ℒ6

53. Abertura de vias com plasma (O_2+SF_6) ou com o revelador.

- Litografia #7, máscara colvia.

ℒ7

54. Abertura de vias com plasma (O_2+SF_6) ou com o revelador. Esta etapa continua a abertura das vias anteriores, para acessar os contatos de coletor.

- Litografia #8, máscara metal.

ℒ8

55. Processo litográfico L#3 (negativo para *lift off*).

56. Evaporação térmica de Cr/Au :: 200/5.000 Å.

57. *Lift off* em acetona.

Quando se abre a via com o revelador, o polyimide só pode ser curado após as vias abertas. Quando se utiliza o processo com RIE, o polyimide deve ser curado antes do *etching*.

Este processo se mostrou crítico, pois a abertura excessiva das vias, o que pode acontecer mais facilmente quando se utiliza o processo úmido, pode originar curto-circuito entre o emissor e a base. No caso de processo por plasma, a transparência do material torna difícil a determinação do estado do *etching*. No processo por plasma o *etching* é mais facilmente controlado e a visibilidade é melhor, pois à medida que o polyimide é atacado, sua coloração muda. A Fig. 5.8 mostra uma amostra que foi retirada do plasma quando apenas parte do polyimide havia sido removida.

5.2.9 Outros Resultados e Observações

As corridas de I a IV foram realizadas com o primeiro jogo de máscaras. Os resultados obtidos destas corridas levaram ao projeto do segundo jogo (descrito no Capítulo 3). As principais modificações realizadas de um para outro foram: relaxamento nos espaçamentos críticos, cobertura dos transistores não autoalinhados com fotorresiste durante a definição da mesa de emissor e maior número de transistores de teste. O primeiro projeto foi muito 'otimista', pois a maior parte de sua área era ocupada por osciladores em anel e células de teste ECL. Este conjunto se mostrou pouco útil para o ajuste do processo. No segundo conjunto foi adotado o conceito *sea of transistors*, e contém basicamente um grande número de dispositivos de teste.

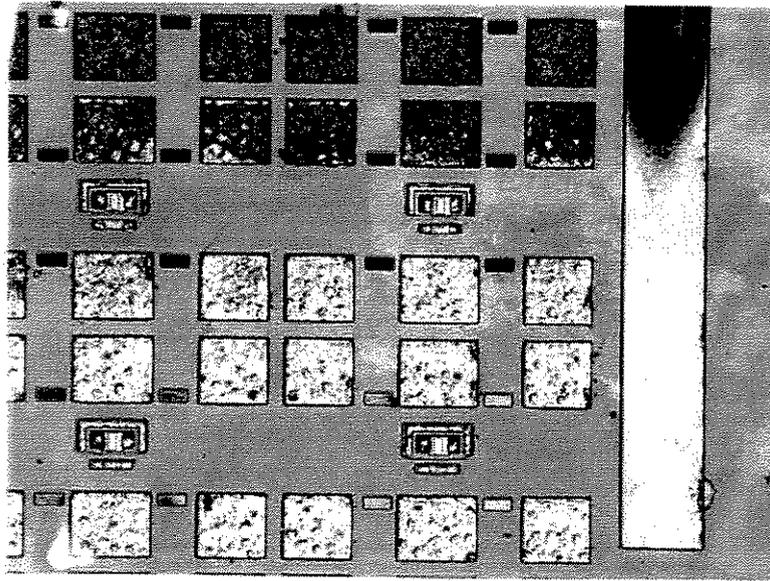


Figura 5.8: Amostra VIII. Processo de abertura de vias em polyimide por plasma de oxigênio. Parte superior: polyimide sendo removido das vias. Parte inferior: vias abertas.

Corrida WII

Os resistores feitos com 4 quadrados na camada de subcoletor apresentaram $112 \pm 12 \Omega$, o que fornece $R_s = 28 \Omega/\square$ para esta camada (esperado: $25 \Omega/\square$).

O ganho máximo observado no transistor H_{1f} ($80 \times 80 \mu\text{m}^2$) foi $h_{FE} = 2,8$, para $I_b = 350 \mu\text{A}$. A tensão de Early para foi $V_A = -91 \pm 30 \text{ V}$.

As medidas TLM forneceram:

$$\rho_{c,base} = 9,6 \times 10^{-4} \Omega.\text{cm}^2 \quad (5.1)$$

$$\rho_{c,coletor} = 5,3 \times 10^{-5} \Omega.\text{cm}^2 \quad (5.2)$$

Os gráficos das figuras 5.9 e 5.10 mostram a característica de emissor comum (I_C vs. V_{CE}) e o Gummel-plot para um transistor com emissor $80 \times 80 \mu\text{m}^2$. Os transistores pequenos (apenas alguns não auto-alinhados funcionaram— H_{1d} e H_{1e}) apresentaram ganho de corrente $h_{FE} \simeq 1$, o que indica a ocorrência de uma grande corrente de recombinação na região de base, praticamente igual à corrente injetada na base pelo emissor. Nenhum transistor auto-alinhado funcionou, porque o metal de base ficou curto-circuitado com o metal de emissor.

Os fatores de idealidade foram $\simeq 4,0$ para a junção BE e $\simeq 1,7$ para a junção BC, o que indica que estas camadas apresentam grande densidade de defeitos. Posteriormente foi informado pelo fabricante que de fato houve problemas durante o crescimento e novas camadas foram enviadas.

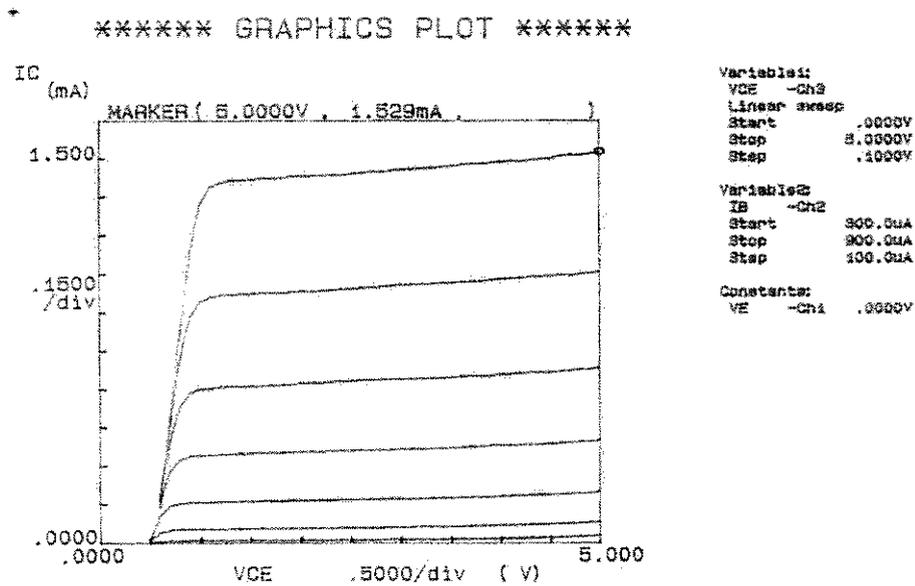


Figura 5.9: Característica de emissor comum para o transistor H_{1f} da corrida WII (antes da liga de contatos).

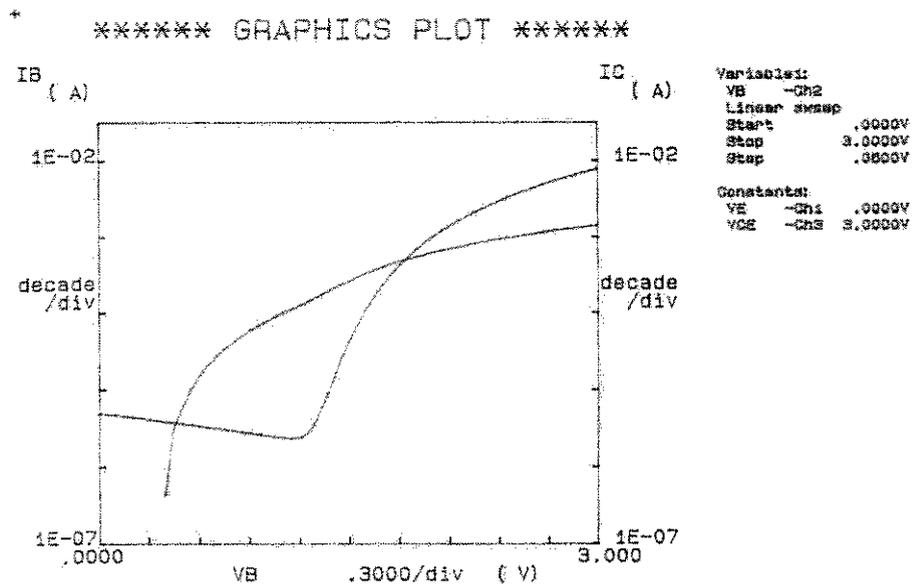


Figura 5.10: Gummel-plot para o transistor H_{1f} da corrida WII, com $V_{ce} = 3$ V. Só se observa ganho de corrente para tensões de base superiores a 1,8 V e $I_b > 500 \mu A$ (antes da liga de contatos).

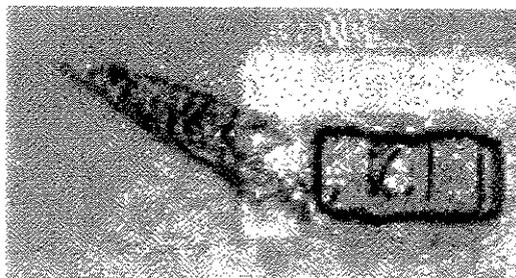


Figura 5.11: Defeitos encontrados na corrida WIV. Ao lado direito está em transistor. A estrutura à esquerda corresponde a um morro deixado na superfície, durante a corrosão para definição da mesa de emissor. Este defeito está associado à secagem com jato de nitrogênio, realizada na primeira lavagem para a medida de acompanhamento da corrosão.

Corrida WIV

Terminado o processamento, esta amostra foi seccionada e analisada para que pudessemos compreender algumas das principais falhas de processamento. A fotografia mostrada na Fig. 5.11 apresenta uma região bastante defeituosa. Foram encontrados defeitos que se repetiram e foram marcados marcados como I, II e III.

Os defeitos I e II são decorrentes da mesma falha, porém em graus diferentes. Este tipo de defeito, que consiste em um morro de semiconductor sobre a região corresponde a uma área da camada de base onde o *etching* não foi uniforme, ou seja, houve algum material residual sobre a superfície que atrasou o *etching* naquelas regiões, de forma mais acentuada nas regiões centrais dos morros e menos acentuada em direção às bordas. Claramente este defeito apresenta um direção preferencial de ocorrência, que está associado ao jato de nitrogênio utilizado para a secagem da lâmina. Elaboramos duas hipóteses para explicar o surgimento deste defeito:

1. Durante a revelação do fotorresiste. Nesta etapa, a lâmina é retirada do revelador e lavada em água deionizada. Se uma fina camada do fotorresiste não exposto for também atacada durante o processo de revelação, poderá ocorrer durante a secagem o espalhamento do fotorresiste diluído nesta camada sobre a lâmina, formando camadas finas de fotorresiste sedimentado nas regiões próximas das mesas de base e seguindo a direção do jato de nitrogênio. A lavagem em água não remove esta camada de fotorresiste diluído sobre o fotorresiste não exposto devido à alta viscosidade do fotorresiste e às altas tensões superficiais que mantém o fotorresiste atacado pelo revelador unido ao fotorresiste que está sobre a mesa de base.
2. Durante o plasma de O_2 . Supondo que o plasma de oxigênio realizado para remover resíduos de fotorresiste da superfície da lâmina ataque também o topo do fotorresiste que está sobre as mesas de base, tornando esta região susceptível à reação com NH_4OH ,

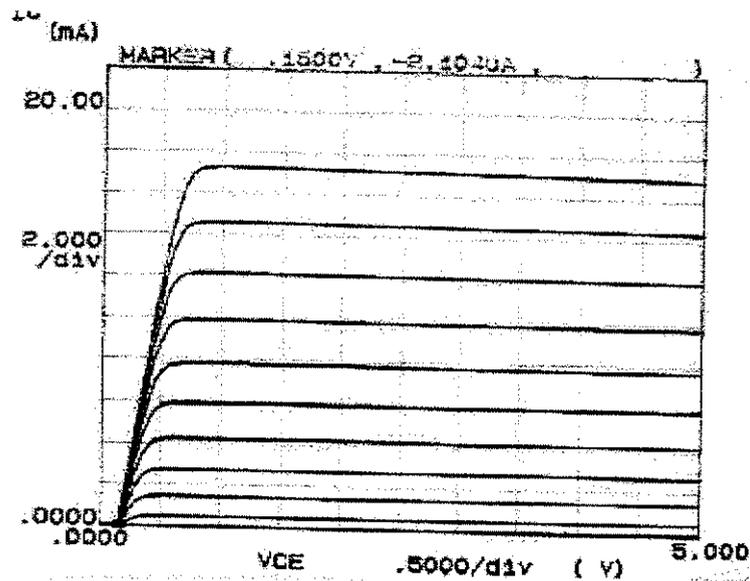


Figura 5.12: Curvas de emissor comum para o transistor H_{1f} , corrida VIII.

utilizado no *etching* (o radical NH_4^- está presente em diversos reveladores), de tal forma que na primeira etapa de *etching*, ocorra a reação entre o fotorresiste do topo da cobertura da mesa de base com o NH_4OH , formando uma fina camada de fotorresiste diluído presa à camada original por tensões superficiais suficientes para resistir à lavagem em água porém insuficientes para impedir que a mesma seja empurrada para fora da mesa de base pelo jato de nitrogênio. Após se depositar sobre a superfície da lâmina, o fotorresiste diluído seca rapidamente, por ação do jato de nitrogênio e se fixa sobre esta superfície reduzindo a velocidade de *etching* naquelas regiões.

O defeito III corresponde a pedaços de fotorresiste que não saíram durante a revelação. Este tipo de defeito foi observado principalmente em regiões próximas às bordas da amostra.

Corrida WVIII

Nesta corrida foram obtidos os transistores no tamanhos f ($120 \times 120 \mu\text{m}^2$) e e ($16 \times 20 \mu\text{m}^2$) e os ganhos foram $h_{FE,f} = 10$ e $h_{FE,e} = 21$.

As figuras 5.12 e 5.13 mostram as características DC para o transistor H_{1f} .

Medidas nos resistores feitos com a camada de subcoletor resultaram em $R = 168 \Omega$, quando o valor esperado era 100Ω . Isto se deve ao fato de que a camada de subcoletor dos resistores não é protegida durante o *etching* para a mesa de base. Uma vez que este *etching* não é tão precisa quanto aquela para a mesa de emissor, o *over-etch* afina a camada de subcoletor, aumentando a resistência. Em um próximo jogo de máscaras, é aconselhável deixar a

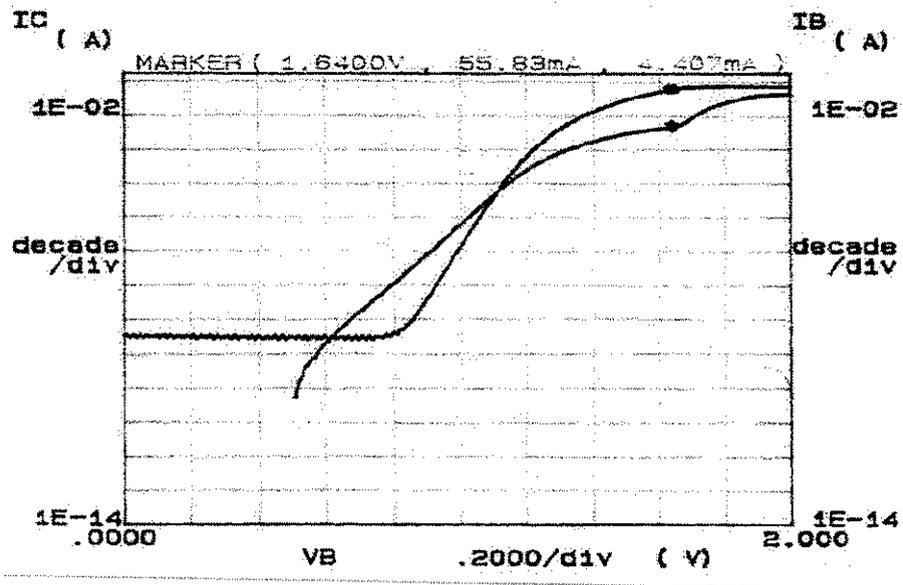


Figura 5.13: Gummel-plot para o transistor H_{1f} , corrida VIII.

camada de coletor sobre os resistores. Desta forma o *over-etch* não será um problema para os mesmos.

* * *

Apêndice 5.A

Teste inicial

Em Março de 1992 foi processado um lote de HBTs AlGaAs/GaAs com camadas e máscaras fornecidas pelo RTI/NC/USA. As camadas eram de baixa qualidade e as máscaras não tinham isolamento de dispositivos. Os recursos disponíveis no LPD eram muito escassos e a corrida foi realizada para se testar a possibilidade de fabricar HBTs localmente. O processo foi realizado com Kasuki Jomori (CPqD-Telebrás) e até onde se tem conhecimento corresponde aos primeiros HBTs fabricados na América Latina. O processo foi adaptado daquele utilizado na época no RTI, desenvolvido por Paul Enquist e que descende do processo primeiro processo bem sucedido para HBTs desenvolvido por Peter Asbeck na Rockwell.

Após esta corrida, foram projetadas as máscaras e desenvolvidas as etapas de processo descritas neste trabalho.

A Fig. 5.14 mostra a característica $I_c \times V_{ce}$ para este dispositivo. O maior ganho observado foi 1,45.

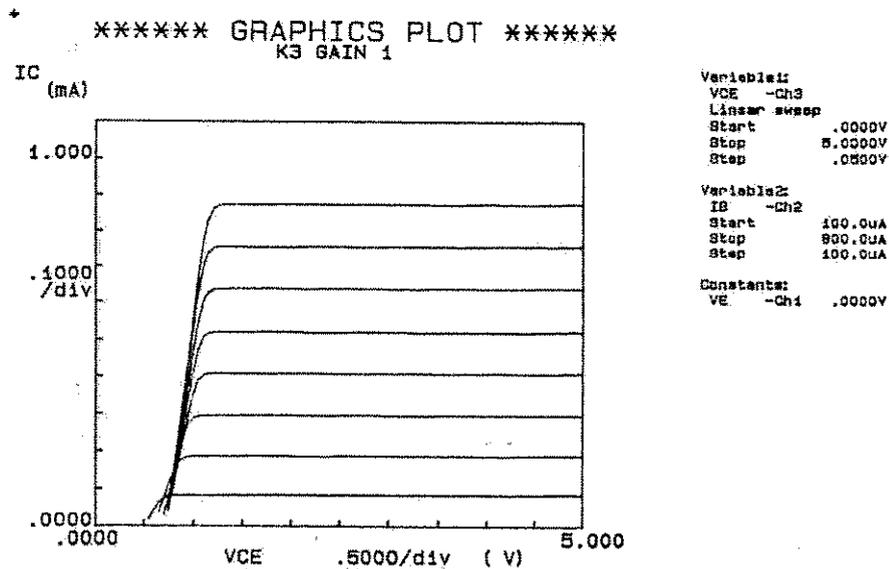


Figura 5.14: HBT fabricado para verificação de viabilidade em Março de 1992.

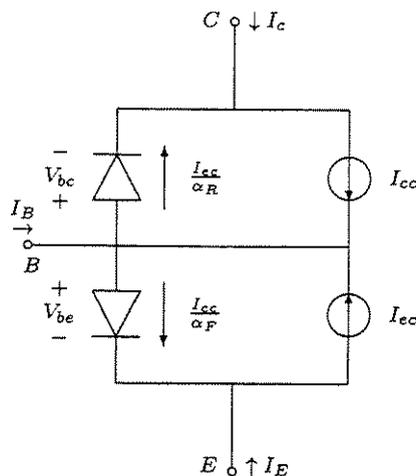
6

Modelos Matemáticos para Simulação Computacional

O estudo dos modelos para BJTs (*Bipolar Junction Transistors*) auxilia a compreensão e o projeto de HBTs. A seguir descreveremos alguns modelos utilizados para transistores bipolares. O leitor interessado nestes modelos pode referir-se ao texto de Ian Getreu (ref. [161]).

6.1 Modelo Ebers-Moll

O modelo de Ebers-Moll utiliza duas fontes de corrente dependentes das tensões V_{be} e V_{bc} e dois diodos que representam as junções BE e BC.



Os dois diodos sozinhos não representam completamente o transistor, pois a base muito fina causa um forte acoplamento entre as junções, que é representado pelos geradores de corrente I_{cc} e I_{ec} , de acordo com as equações a seguir:

$$I_{cc} = I_S \left(e^{qV_{be}/kT} - 1 \right) \quad (6.1)$$

$$I_{ec} = I_S \left(e^{qV_{bc}/kT} - 1 \right) \quad (6.2)$$

As correntes nos terminais serão:

$$I_C = I_{cc} - \frac{1}{\alpha_R} I_{ec} \quad (6.3)$$

$$I_B = \left(\frac{1}{\alpha_F} - 1 \right) I_{cc} + \left(\frac{1}{\alpha_R} - 1 \right) I_{ec} \quad (6.4)$$

$$I_E = \frac{-1}{\alpha_F} I_{cc} + I_{ec} \quad (6.5)$$

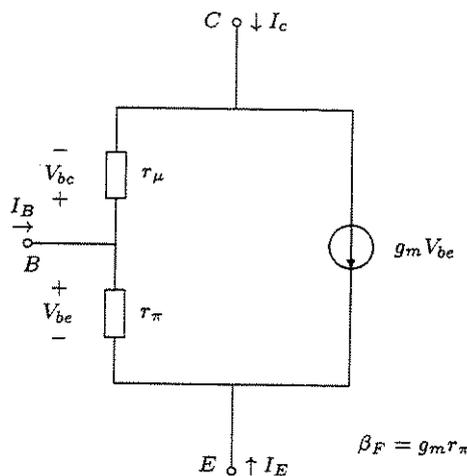
α_F , α_R são os fatores de transporte direto e reverso (ou ganhos de corrente direto e reverso, em base comum). β_F , β_R são os ganhos de corrente de emissor comum.

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F}, \quad \beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (6.6)$$

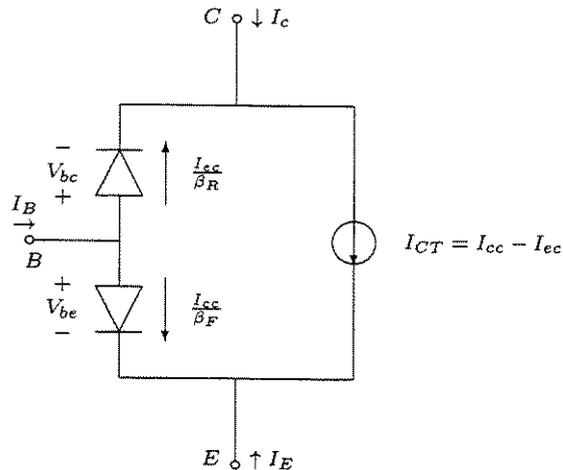
$$\therefore \begin{cases} I_C = I_{cc} - \left(\frac{\beta_R + 1}{\beta_R} \right) I_{ec} \\ I_B = \frac{I_{cc}}{\beta_F} + \frac{I_{ec}}{\beta_R} \\ I_E = - \left(\frac{\beta_F + 1}{\beta_F} \right) I_{cc} + I_{ec} \end{cases} \quad (6.7)$$

6.1.1 Comparação com o modelo π -híbrido:

No modelo π -híbrido temos um gerador de transcondutância, dependente da tensão base-emissor ($I_c \simeq g_m V_{be}$).



O modelo de Ebers-Moll pode ser levemente modificado, unificando-se os dois geradores em um, aproximando este modelo do π -híbrido^[161]. Temos assim o novo modelo, chamado modelo π -híbrido não-linear:



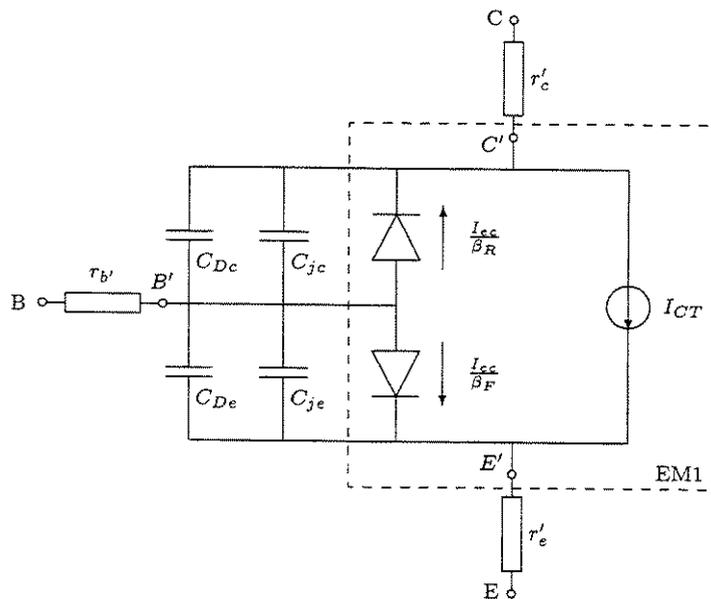
onde I_{cc} e I_{ec} são dados por (6.1) e (6.2). As correntes nos terminais são fornecidas por (6.7).

Este modelo tem semelhança com o π -híbrido, uma vez que g_m é representado pelo gerador de corrente I_{CT} , r_π por V_{be} e r_μ por V_{bc} .

6.1.2 Efeitos de Primeira Ordem

O transistor real apresenta resistências e capacitâncias parasitas, responsáveis por *efeitos de primeira ordem*. As resistências parasitas são r'_b (resistência de base), r'_c (resistência de coletor) e r'_e (resistência de emissor), que representam as perdas ôhmicas na base, coletor e emissor, respectivamente, e as capacitâncias parasitas representam os efeitos de armazenamento de cargas nas regiões de difusão e nas junções. São representadas por C_{Dc} (capacitância na região de difusão de coletor), C_{De} (capacitância na região de difusão de emissor), C_{jc} (capacitância de junção de coletor) e C_{je} (capacitância de junção de emissor).

Extendendo o modelo anterior para que o mesmo considere as resistências parasitas e o armazenamento de cargas temos:

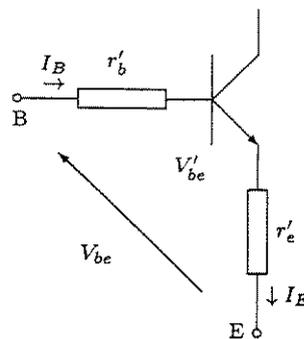


onde $I_{CT} = I_{cc} - I_{ec}$ e as correntes nos terminais são dadas pelas equações (6.7).

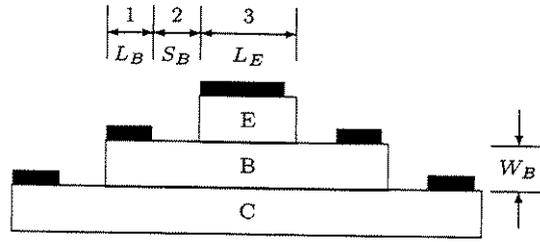
Resistências série

As resistências parasitas r'_b , r'_c e r'_e consideram as diferenças entre as tensões internas, nos terminais do transistor intrínseco e as tensões nos terminais do dispositivo completo. Estas resistências representam perdas ôhmicas entre a região ativa do transistor e os terminais externos. Devido ao seu efeito a tensão V_{be} externa é maior que o valor intrínseco (V'_{be}):

$$V_{be} = V'_{be} + I_B r'_b + I_E r'_e \tag{6.8}$$



r'_b : No HBT, r'_b pode ser dividido em tres regiões^[162]:



Região 1: caracterizada pela resistência específica do contato de base,

Região 2: resistência série da base extrínseca,

Região 3: resistência distribuída de acesso à base intrínseca, depende da polarização, devido ao efeito de *current crowding*.

$$r'_b = \rho_C L_B Z_B + \frac{S_B}{\sigma_B Z_E W_B} + \frac{L_E}{12 \sigma_B Z_E W_B} \quad (6.9)$$

onde:

L, W : comprimento e largura do metal de contato,

S_B : distância do metal de base à mesa de emissor,

σ : condutividade,

ρ : resistência específica de contato,

W_B : largura da região neutra de base.

r'_c : Pode ser observado na característica de emissor comum ($I_c \times V_{CE}$). Quanto maior r'_c , menor a inclinação das curvas na região de saturação.

r'_e : Uma vez que a dopagem de emissor é relativamente alta (maior que a de coletor), a resistência de emissor é baixa e é dominada pela resistência de contato. Seu efeito é aumentar V_{be} pelo termo $r'_e I_E$. Como r'_e é vista pela base como uma resistência de emissor $(\beta_F + 1)r'_e$, o efeito de r'_e aparece tanto em I_c como em I_B .

A consideração das resistências parasitas r'_b, r'_c e r'_e melhoram os resultados da caracterização DC. Para a caracterização AC é necessário incluir as capacitâncias de junção e de difusão. A influência de r'_b e r'_e é retirada dos dados medidos por $V'_{be} = V_{be} - (I_B r'_b + I_E r'_e)$.

Capacitâncias de junção C_{je} e C_{jc}

As capacitâncias de junção são dadas por:

$$C_{je} = \frac{C_{je0}}{(1 - V'_{be}/\phi_E)^{m_E}} \quad (6.10)$$

$$C_{jc} = \frac{C_{jC0}}{(1 - V'_{bc}/\phi_C)^{m_C}} \quad (6.11)$$

onde m_k é um coeficiente de ajuste, $k = E, C$, em HBTs $0,3 < m_E, m_C < 0,5$, ϕ_k é a tensão *built-in* da junção, C_{jk0} é capacitância da junção sem polarização, determinada empiricamente através de medidas C-V.

Capacitâncias de difusão C_{DE} e C_{DC}

Estas capacitâncias representam a carga adicional requerida para acrescentar ou retirar portadores minoritários em trânsito pelo dispositivo.

C_{DE} se aplica à junção BE quando esta estiver diretamente polarizada. Analogamente, C_{DC} se aplica à junção BC quando esta estiver diretamente polarizada.

$$Q_{DE} = \tau_F I_{cc} \quad (6.12)$$

$$Q_{DC} = \tau_R I_{ec} \quad (6.13)$$

onde τ_F e τ_R são dados por ^[161]:

$$\tau_F = \tau_B + \tau_{CB,SCR} = \frac{W_B^2}{2.4D_n} + \frac{W_{CB,SCR}}{2v_{sat}} \quad (6.14)$$

onde $D_n \simeq 25 \text{ cm}^2/\text{s}$ para $p+\text{GaAs}$.

Para o caso reverso temos:

$$\tau_R = \frac{W_C^2}{2.4D_p} + \frac{W_B^2}{2.4D_n} + \frac{W_{BE,SCR}}{2v_{sat}} \quad (6.15)$$

As capacitâncias de difusão serão:

$$C_{De} = \left. \frac{\partial Q_{DE}}{\partial V'_{be}} \right|_{V'_{bc}=0} = \left. \frac{\partial Q_{DE}}{\partial I_{cc}} \frac{\partial I_{cc}}{\partial V'_{be}} \right|_{V'_{bc}=0} = \tau_F g_{mF} \quad (6.16)$$

$$C_{Dc} = \left. \frac{\partial Q_{DC}}{\partial V'_{bc}} \right|_{V'_{be}=0} = \left. \frac{\partial Q_{DC}}{\partial I_{ec}} \frac{\partial I_{ec}}{\partial V'_{bc}} \right|_{V'_{be}=0} = \tau_R g_{mR} \quad (6.17)$$

6.1.3 Efeitos de Segunda Ordem

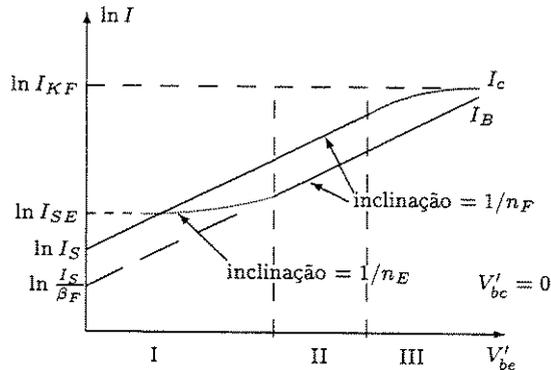
Denominamos *efeitos de segunda ordem* aos seguintes efeitos observados nos transistores bipolares^[162]:

1. Dependência de β_F com I_c ,

2. Dependência de I_c com V_{bc} (modulação da largura de base),
3. Partição de C_{jc} .

Os dois primeiros itens têm influência nos resultados DC e o último nos resultados AC.

Dependência de β_F com I_c : É observada no *Gummel plot* (gráfico $I_c, I_B \times V'_{be}|_{V'_{bc}=0}$):



As regiões são classificadas como segue:

- Região I: baixa corrente.
- Região II: média corrente¹.
- Região III: alta corrente.

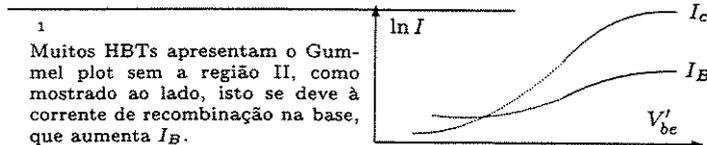
No caso ideal temos $n_F \simeq 1$ e em HBTs tem-se $n_F \simeq 1,1-1,2$.

Para baixos níveis de injeção (região I), a corrente é dominada por recombinações no *bulk* e na superfície, e temos $n_E \simeq 2$. Isto leva a um ponto de cruzamento, abaixo do qual não há ganho de corrente > 1 .

Em HBTs este ponto pode ser relativamente elevado, exigindo o funcionamento do dispositivo com tensões mais altas de V_{be} .

Modelamento das regiões I e III:

Região I: O alto fator de idealidade pode ser modelado com a inserção de outro diodo, com fator de idealidade n_E e corrente de saturação I_{SE} , em paralelo com o diodo principal

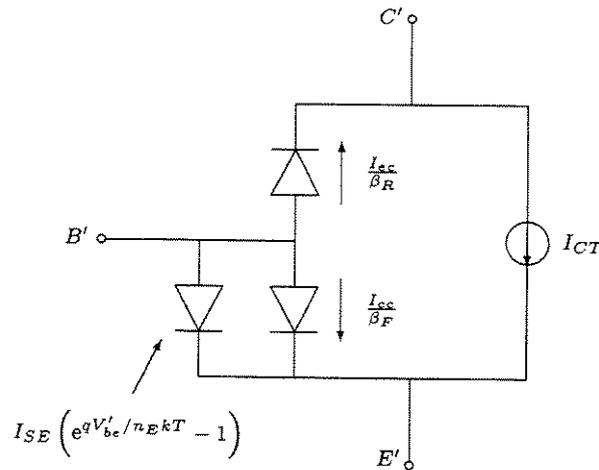


($n_F = 1$). A corrente total de base então será dada por:

$$I_B = \frac{I_S}{\beta_F} \left(e^{qV'_{be}/n_F kT} - 1 \right) + I_{SE} \left(e^{qV'_{be}/n_E kT} - 1 \right) \quad (6.18)$$

Região III: Em alguns casos as resistências série r'_e e r'_b não são suficientes para modelar a queda de corrente de coletor em condições de alta injeção. Neste caso define-se o parâmetro I_{kF} e assume-se que I_c aproxima assintoticamente do limite $I_c = \sqrt{I_{kF} I_S} e^{qV'_{be}/2kT}$. De qualquer forma, os HBTs apresentam problemas térmicos antes que as quedas em β_F e f_T sejam apreciáveis.

Núcleo do modelo que inclui n_E e I_{SE} :

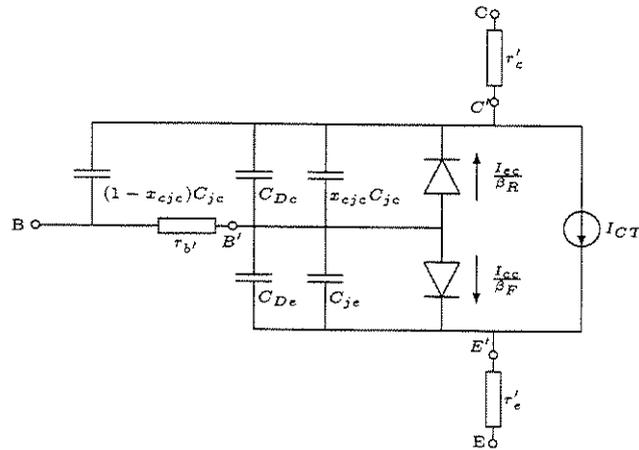


Modulação da Largura de Base: É caracterizada pela variação de I_c com V_{bc} , devido à SCR base-coletor. Este efeito é pequeno em HBTs, devido à alta dopagem de base e pode ser modelado através da tensão de Early, V_A , como é feito em BJTs. I_c pode ser dado por:

$$I_c = \frac{I_s(V'_{bc} = 0)}{1 + V'_{bc}/V_A} \left(e^{qV'_{be}/n_F kT} - 1 \right) \quad (6.19)$$

Porém, devido à alta dopagem de base, este efeito pode ser desconsiderado ($V_A \gg V'_{BC}$).

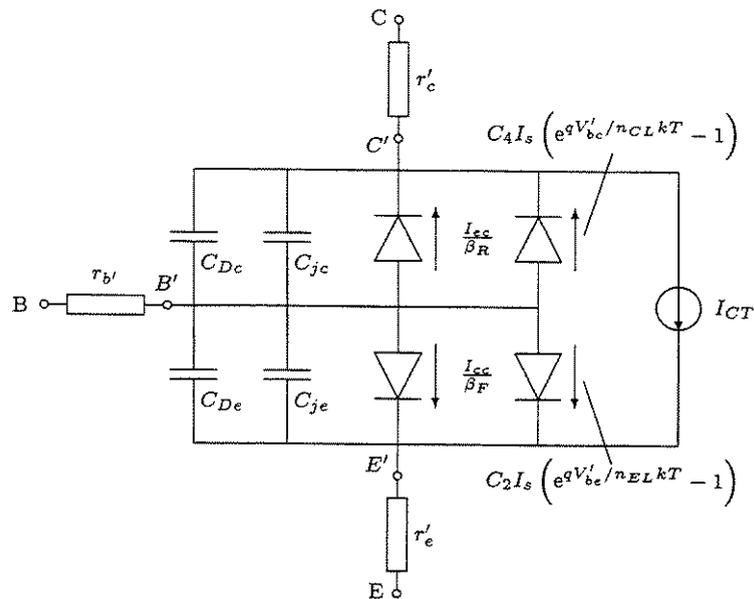
Partição de C_{jc} : Devido à estrutura piramidal, nem todo o coletor está sob o emissor (dispositivo intrínseco), existe também uma região do coletor sob a base extrínseca. Desta forma, é útil dividir C_{jc} em duas componentes, proporcionais às áreas do coletor intrínseco e extrínseco, conforme mostrado abaixo:



onde $x_{cje} = A_{\text{intrinseco}} / A_{\text{extrinseco}}$.

6.1.4 O Modelo de Gummel-Poon

O modelo de Gummel-Poon é mais complexo que o modelo de Ebers-Moll, porém fornece uma melhor compreensão física do dispositivo. este modelo é como segue:



onde:

$$\begin{aligned}
 C_{jc} &= C_{jc}(V'_{bc}) \\
 C_{je} &= C_{je}(V'_{be}) \\
 C_{Dc} &= C_{Dc}(I_{cc}) \\
 C_{De} &= C_{De}(I_{cc})
 \end{aligned}$$

$$I_{cc} = \frac{I_{ss}}{q_b} \left(e^{qV'_{be}/kT} - 1 \right)$$

$$I_{ec} = \frac{I_{ss}}{q_b} \left(e^{qV'_{bc}/kT} - 1 \right)$$

I_{ss} é constante e dado por:

$$I_{ss} \stackrel{\text{def}}{=} \frac{qD_n n_i^2 A}{\int_{X_{E0}}^{X_{C0}} N_A(x) dx} \quad (6.20)$$

onde X_{E0} e X_{C0} são os valores de X_E e X_C quando a tensão nas junções é zero. A é a área da secção transversal da base. Observa-se que I_{ss} é determinado pelo perfil de dopagem da base, $N_A(x)$.

I_{CT} é expresso por:

$$I_{CT} = \frac{I_{ss}}{q_b} \left[\left(e^{qV'_{be}/kT} - 1 \right) - \left(e^{qV'_{bc}/kT} - 1 \right) \right] \quad (6.21)$$

Nesta equação, I_{ss} é uma constante do dispositivo e q_b é a carga normalizada de majoritários na base, que varia com a polarização.

q_b é dado por:

$$q_b = \frac{q_1}{2} + \sqrt{\left(\frac{q_1}{2}\right)^2 + q_2} \quad (6.22)$$

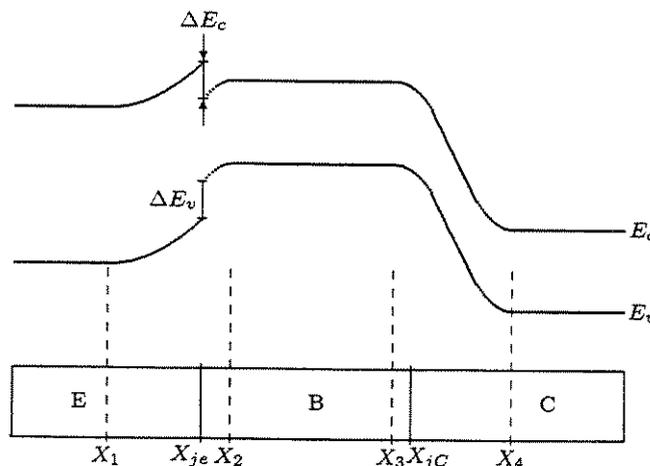
onde

$$q_1 = 1 + \frac{V'_{be}}{V_B} + \frac{V'_{bc}}{V_A}$$

$$q_2 = \frac{I_{ss}}{I_K} \left(e^{qV'_{be}/kT} - 1 \right) + \frac{I_{ss}}{I_{KR}} \left(e^{qV'_{bc}/kT} - 1 \right)$$

Nas expressões acima os parâmetros V_A , V_B , I_{ss} , I_K e I_{KR} (*knee currents*) podem ser determinados por Gummel-Plots ($\ln I_c \times V'_{be}$ para a região normal e $\ln I_E \times V'_{bc}$ para a região inversa) e pelas curvas características $I_c \times V_{CE}$ e $I_E \times V_{EC}$.

A seguir está o diagrama de bandas para um HBT sob polarização normal ($V_{be} > 0$, $V_{bc} < 0$):



C_{je} e C_{jc} : São as capacitâncias de junção, dadas pela variação na carga de portadores livres na SCR (região de carga espacial) relacionada a variação de potencial ao longo da junção. Pode ser expressa por^[163]:

$$C_{je} = \frac{A_E \varepsilon_E \varepsilon_B}{\varepsilon_B (X_{je} - X_1) + \varepsilon_E (X_2 - X_{je})} + A_E q \int_{X_1}^{X_2} \frac{\partial n}{\partial V_{be}} dx \quad (6.23)$$

$$C_{jc} = \frac{A_C \varepsilon_B \varepsilon_C}{\varepsilon_C (X_{jc} - X_3) + \varepsilon_B (X_4 - X_{jc})} + A_C q \int_{X_3}^{X_4} \frac{\partial n}{\partial V_{bc}} dx \quad (6.24)$$

onde n é a concentração de elétrons. As equações acima têm a seguinte forma geral: $C_{jk} = \boxed{1^\circ \text{ termo}} + \boxed{2^\circ \text{ termo}}$, onde o 1º termo representa a capacitância nos extremos das SCR e o 2º termo representa a capacitância no volume da SCR. Geralmente o 2º termo é zerado (faz-se $n = p = 0$, o que se denomina *aproximação de depleção*). O uso das equações (6.23) e (6.24) em sua forma completa considera o fato de termos $n(x) = f(V_{be}, V_{bc})$ na junção B-C.

I_{CT} : O gerador I_{CT} é dado por $I_{CT} = I_{cc} - I_{ec}$ onde I_{cc} é a corrente de coletor quando o HBT opera no modo normal e I_{ec} é a corrente de coletor quando o HBT opera no modo inverso.

As componentes de J_c podem ser expressas por^[163]:

$$J_{nC} = \frac{qD_{nB}}{W_B} [\Delta n(X_2) - \Delta n(X_3)] \quad (6.25)$$

onde Δn é a concentração de excesso de elétrons.

J_{pC} pode ser expresso por:

$$J_{pC} = \frac{qD_{pC}}{W_C} (e^{V_{bc}/V_T} - 1) \quad (6.26)$$

$$J_c = J_{nC} + J_{pC} \quad (6.27)$$

$$I_{cc} = A_C J_{cc} \quad (6.28)$$

J_b : Liou e Yuan^[163] determinaram J_b como sendo:

$$J_b = J_p(X_1) + J_n(X_2) - J_n(X_3) + J_R \quad (6.29)$$

onde J_R é a corrente de recombinação na E-B SCR, dada pela soma das componentes de recombinação no bulk e na interface ($J_R = J_{RB} + J_{RI}$).

$$J_{RB} = \left(q \sqrt{\frac{\pi}{2}} V_T n_{iE} \sigma v_n N_{tB} \right) \times \left(\sqrt{\frac{q N_E (2V_{bi, BE} - V_{be})}{\varepsilon_E}} e^{V_{be}/V_T} \right) \quad (6.30)$$

$$J_{RI} = \frac{q \sigma v_n N_{tI} n_{iE}}{2} e^{V_{be}/2V_T} \quad (6.31)$$

valores típicos:

$$\sigma = 10^{-14} \text{ cm}^2$$

$$v_n = 10^7 \text{ cm/s}$$

$$N_{tB} = 10^{14} \text{ cm}^{-3}$$

$$N_{tI} = 10^{12} \text{ cm}^{-2}$$

β : O ganho é dado por:

$$\beta \equiv \frac{J_c}{J_b} \quad (6.32)$$

C_{DE} e C_{DC} : As capacitâncias de difusão podem ser expressas por^[163]:

$$C_{DE} = \frac{\tau_F I_{cc}}{V_T} \quad (6.33)$$

$$C_{DC} = \frac{\tau_R I_{ec}}{V_T} \quad (6.34)$$

onde V_T é a *tensão térmica*. No modo normal somente C_{DE} é necessário e neste caso τ_F precisa ser modelado:

$$f_T = \frac{1}{2\pi\tau_F} \quad (6.35)$$

$$\tau_F = \tau_E + \tau_B + \tau_C + \tau_{C,SCR} \quad (6.36)$$

onde:

$\tau_E \simeq 4C_{je0}V_T/J_cA_E$: tempo de carregamento da capacitância de emissor,

$\tau_C = r'_C C_{jc} A_C$: tempo de carregamento da capacitância de coletor,

$\tau_{C,SCR} \simeq X_C/2v_s$: tempo de trânsito na região de carga espacial de coletor ($X_C = X_4 - X_3$ e $v_s \simeq 1,5 \cdot 10^7$ cm/s para GaAs a $T = 300\text{K}$),

$\tau_B \simeq W_B^2/2D_{nB}$: tempo de trânsito na região quasi-neutra da base ($W_B = X_3 - X_2$).

r'_c , r'_e e r'_b : No método convencional estas resistências são consideradas constantes e iguais aos valores obtidos com o transistor polarizado em uma região previamente escolhida.

Na realidade estas resistências variam com a polarização, sendo r'_b a mais complexa, pois na região de base a corrente flui significativamente tanto na direção vertical como na horizontal.

Para r'_c e r'_e temos:

$$r'_c \simeq \frac{\rho_c(X_{jB} - X_4)}{A_C} \quad (6.37)$$

$$r'_e \simeq \frac{\rho_e X_1}{A_E} \quad (6.38)$$

e para r'_b :

$$r'_b \simeq \frac{\rho_b Z}{3(X_3 - X_2)} \text{ p/ base com 1 contato} \quad (6.39)$$

$$r'_b \simeq \frac{\rho_b Z}{12(X_3 - X_2)} \text{ p/ base com 2 contatos} \quad (6.40)$$

onde Z é um fator de geometria que depende das dimensões da junção B-E.

Ajuste Experimental: Na prática, uma forma simples de modelar o HBT é considerá-lo como sendo um transistor bipolar comum, medindo e ajustando os parâmetros necessários para a sua simulação pelo modelo escolhido (Ebers-Moll ou Gummel-Poon). Uma desvantagem deste método é que os valores ajustados podem perder o sentido físico. Uma vantagem é que sua aplicação é mais rápida de ser realizada.

6.2 Estabelecimento de um Modelo Empírico com Efeito de Aquecimento

6.2.1 Introdução

Modelos físicos para HBTs têm sido objeto constante de estudos^[164, 165]. Ainda que estes modelos permitam o entendimento do transistor HBT e sua melhoria, eles são difíceis de serem utilizados em simuladores de circuito porque raramente incluem o efeito de aquecimento, característico de HBTs.

J. Dupuis *et al.* propuseram um modelo para a simulação de HBTs que inclui o efeito de aquecimento^[166]. Este modelo é preciso e é baseado no postulado de que a corrente de coletor para pequenas correntes de base segue o comportamento de uma função tangente hiperbólica e que para correntes mais altas o decaimento da curva de corrente de coletor pode ser modelado multiplicando-se a função original por fatores de correção apropriados. Neste trabalho seguimos a mesma linha de pensamento para estabelecer um modelo DC onde a corrente de coletor é modelada como função de V_{CE} e I_b . Fatores tais como a não linearidade do ganho, o V_{CE} off-set voltage ($V_{CE,off}$) e o efeito de auto-aquecimento são considerados. Um programa de computador foi desenvolvido para auxiliar a extração dos parâmetros do modelo da curva característica de emissor comum. A equação para a corrente de coletor com os parâmetros apropriados pode ser carregada no simulador de circuitos HSPICE para o propósito do uso em projeto de circuitos integrados com HBTs.

6.2.2 Desenvolvimento do Modelo

A curva característica de emissor comum do HBT pode ser descrita por uma função \tanh , transladada no eixo x para refletir a tensão de off-set $V_{CE,off}$ e no eixo y para refletir a variação de I_c a fracas polarizações. Além disso, o argumento da função \tanh pode ser multiplicado por um fator que comprima o eixo x e reflita corretamente a impedância de saída do dispositivo. Desta forma, uma função do tipo $f(V_{CE}) = \{\tanh[\alpha(V_{CE} - c)] + 1\}/2.0$ é uma boa escolha porque ela satisfaz os requerimentos acima e aproxima da unidade quando $V_{CE} \gg 0$. Multiplicando-se $f(V_{CE})$ por uma equação $g(I_b)$ que reflita o ganho de corrente em emissor comum do transistor teremos uma boa aproximação da característica real do dispositivo, cuja precisão dependerá de $g(I_b)$. O auto-aquecimento pode ser incluído multiplicando-se $f(V_{CE})$ por uma função que apresente um decaimento monotônico tal como $h(V_{CE}) = 1/(1 + bV_{CE})$. Estas considerações leval à seguinte equação empírica para a corrente de coletor:

$$I_C(V_{CE}, I_b) = \frac{aI_b}{1 + bV_{CE}} \left(\frac{\tanh[\alpha(V_{CE} - c)] + 1}{2} \right) \quad (6.41)$$

onde os parâmetros a , b e c têm os seguintes significados:

a : Está relacionado ao ganho de corrente DC (β).

b : Este parâmetro tem o efeito de reduzir a corrente de coletor com o aumento da polarização coletor-emissor (V_{CE}). Devido a este comportamento, b está associado ao efeito de auto-aquecimento.

c : Este parâmetro estabelece uma translação no eixo x e conseqüentemente está relacionado à tensão de off-set emissor-coletor ($V_{CE,off}$).

α : Este parâmetro comprime ou estende o eixo x aumentando ou diminuindo a derivada da curva. Conseqüentemente ele está relacionado à impedância de saída do transistor.

6.2.3 Extração dos parâmetros

Dispositivo utilizado

Para avaliar o modelo, foram fabricados transistores HBT AlGaAs/GaAs com áreas de mesa de emissor de $100 \times 100 \mu\text{m}^2$, área de mesa de base de $100 \times 200 \mu\text{m}^2$ e área de mesa de dispositivo de $100 \times 300 \mu\text{m}^2$. Contatos ôhmicos foram fabricados com os sistemas Ni/Ge/Au/Ni/Au (50/500/1000/500/1000 Å) e Ni/Ti/Pt/Au (50/500/500/1000 Å) para as camadas $n+$ e $p+$ respectivamente. Após a fabricação os dispositivos foram caracterizados com um analisador de parâmetros HP4145.

Ajuste dos parâmetros do modelo

A. *Ajuste do termo que representa o ganho.* O ganho DC de emissor-comum em HBTs varia com a corrente de base^[3, 167] e pode ser aproximado por uma função linear, assim:

$$\beta(I_b) \simeq a(I_b) = a_1 I_b + a_2 \quad (6.42)$$

Fazendo $V_{CE} = 1.5$ V e medindo o ganho para I_b variando de 0 a 2 mA em passos de 200 μ A, β foi ajustado como sendo (Fig. 6.1):

$$\beta(I_b) = 3325,6 I_b + 2,422 \quad (6.43)$$

onde se considera que os ajustes dimensionais estão embutidos nas constantes.

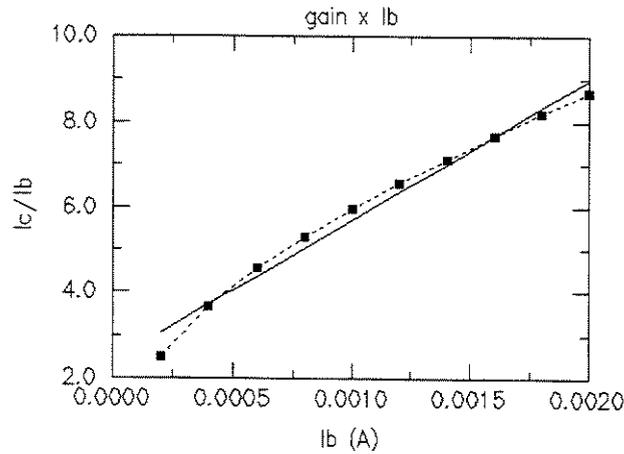


Figura 6.1: Gráfico mostrando a variação medida de $\beta \times I_b$ e a curva de regressão utilizada para extrair os parâmetros do modelo. Linha tracejada: dados experimentais. Linha contínua: regressão.

B. *Ajuste de c.* A tensão de *off-set* do transistor de teste foi medida com sendo $V_{CE,off} = 0,25$ V. A variação c como função de I_b foi avaliada calculando-se os valores requeridos de c necessários para reproduzir esta tensão de *off-set*. Os dados foram ajustados por regressão fornecendo a seguinte expressão:

$$c(I_b) = 333,3 I_b + 0,26 \quad (6.44)$$

C. *Ajuste de α .* Para ajustar α , uma série de medidas foi realizada nas inclinações das m das curvas $I_C \times V_{CE}$ para I_b variando de 200 μ A a 2mA. O parâmetro m corresponde à primeira derivada de $f(V_{CE})$ com respeito a V_{CE} :

$$m = \left. \frac{d \tanh[\alpha(V_{CE} - c)]}{dV_{CE}} \right|_{V_{CE}=0} = \alpha \operatorname{sech}^2(-\alpha c) \quad (6.45)$$

As inclinações m foram medidas no dispositivo de teste com I_b variando de $200\mu\text{A}$ a 2mA e α foi calculado para cada ponto. Os valores resultantes de $\alpha \times I_b$ foram carregados no software Microcal Origin e aproximados por uma função do tipo $y = y_0 + A_1 \exp(-(-x - x_0)/t_1)$ por regressão não-linear. A Fig. 6.2 mostra a curva de ajuste utilizada.

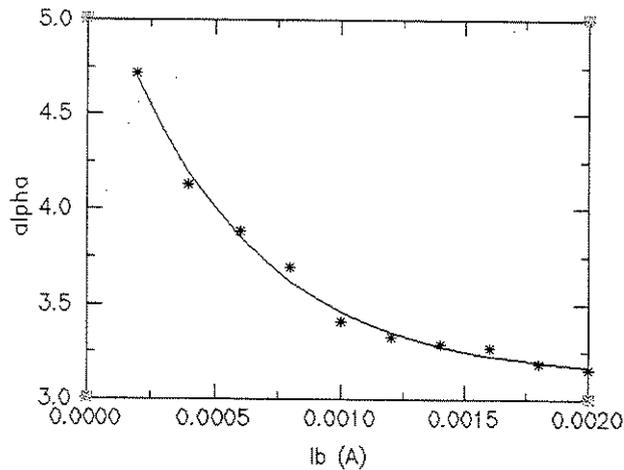


Figura 6.2: Valores medidos de α (marcas) e curva de ajuste (linha).

A seguinte função foi estabelecida para α :

$$\alpha(I_b) = 3,12201 + 1,67079 \exp \frac{1,7 \times 10^{-4} - V_{CE}}{5,2 \times 10^{-4}} \quad (6.46)$$

Um programa para computador (Fig. 6.3) foi escrito em ObjectPAL (parte do Paradox da Borland) para permitir a rápida verificação dos ajustes realizados nos parâmetros do modelo. Através deste software é possível simular o dispositivo e verificar o efeito da variação de parâmetros durante o procedimento de medidas e extração de parâmetros.

6.2.4 Validação do modelo

Para validar o modelo, os parâmetros extraídos foram utilizados em simulações com HSPICE e os resultados foram comparados com os resultados do dispositivo real. O gráfico da Fig. 6.4 mostra uma comparação entre dados medidos e resultados de simulação, conforme fornecidos pelo simulador embutido no programa para extração dos parâmetros.

A equação (6.41) foi carregada no simulador de circuitos HSPICE com os parâmetros ajustados e os resultados foram comparados aos dados experimentais (Fig. 6.5). O arquivo de entrada para o HSPICE está apresentado no Apêndice A.

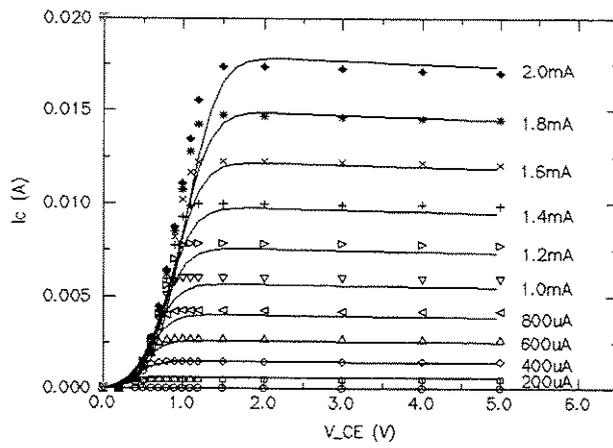


Figura 6.5: Dados medidos (marcas) versus simulações com HSPICE (linhas).

Apêndice 6.A – Arquivo para o HSPICE

Arquivo de entrada para o HSPICE file. O modelo AC foi utilizado da listagem apresentada em [166] e a corrente de coletor corresponde à equação (6.41) com os parâmetros DC ajustados para o transistor de teste.

```

HBT
.OPTION POST

** HBT PARASITICS **
.param Lb=0.0427nH
+ Lc=0.0600nH
+ Le=0.0342nH
+ Rb=60.0
+ Rc=0.0129e-10
+ Cpb=0.0382pF
+ Cpc=0.0227pF
+ Cbcint=4.9e-15F
+ Cbext=0.021pF
+ Cbe=0.248pF
+ Re=10.0
+ Cbcext=0.021pF

** BIASING THE HBT **
.param Ib=200uA
vin 1 0 dc 0 ** Source voltage
Rin 1 2 50 ** Source resistance
Rcharge 3 0 50 ** Load resistance
Ib 0 4 Ib
Vc 5 0 Dc
.dc Vc 0 5 0.15
X1 2 0 3 4 5 HBT ** Call the MACRO

*****

.MACRO HBT 2 16 15 6 12
** NOD: base (2)
** emitter (16)
** collector (15)
** bias current Ib (6)
** bias voltage Vc (12) **

.model D D(IS=4.2682e-12 N=3.744)
Cb 2 3 1F
Lb 3 4 Lb
Rb 4 5 Rb
L1 5 6 1H
Cbe 5 8 Cbe
D1 5 8 D
Re 8 9 Re
Le 9 16 Le
Cbcint 5 10 Cbcint
L2 10 12 1mH
Rc 10 13 Rc
Lc 13 14 Lc
Cc 14 15 1F
Cbcext 4 13 Cbcext
Cpb 4 9 Cpb
Cpc 13 9 Cpc

gIc 10 8 cur=('1.01*(3297.7*i(d1)+2.398)*i(d1)*
(tanh((3.12201+1.670*exp((1.7e-4-i(d1))/5.2e-4))
(V(10,8)-(333.3*i(d1)+0.26)))+1.0)/2.0/(1.0+0.01*V(10,8)))')

.END

```

7

Conclusões e Perspectivas

7.1 Conclusões

Neste estudo foram projetados e fabricados transistores bipolares de heterojunção em Al-GaAs/GaAs. Quando o mesmo foi iniciado, não havia experiência local no processamento de tais dispositivos e nem equipamento e instalações adequadas, assim, o trabalho se concentrou no desenvolvimento de etapas de processo e no ajuste de um processo de fabricação. Simultaneamente, o orientador do trabalho apresentou diversos projetos à órgãos financiadores, equipando o laboratório com equipamentos de alta qualidade. Paralelamente ao estudo das etapas de processo, foram projetados e fabricados três conjuntos de máscaras (duas para HBT e uma para a caracterização de contatos ôhmicos), foram desenvolvidos alguns programas de computador para facilitar o trabalho do projeto dos dispositivos e do estudo de contatos ôhmicos. Finalmente, visando uma futura utilização em circuitos, foi desenvolvido um modelo matemático adequado para a simulação em ferramenta CAD dos dispositivos fabricados. Este trabalho levou à seguintes conclusões:

- No desenvolvimento de máscaras para o estabelecimento de um processo de fabricação, é aconselhável que as máscaras contenham estruturas para a caracterização das etapas elementares (*etching*, implantação, metalização, deposição de isolante, interconexões e obtenção de resistores e capacitores), sendo que o estudo dos dispositivos em si pode ser deixado para uma segunda fase. Quando se trabalha com amostras pequenas (prática comum em III-V devido ao custo do material), observou-se que enquanto o processo não está bem estabelecido, a probabilidade de falhas é grande e perde-se facilmente as marcas de alinhamento, colocadas nas bordas. Assim, durante o estabelecimento de um processo, é aconselhável que sejam colocadas marcas de alinhamento

em uma linha que passe pelo centro da amostra, pois esta região é menos susceptível a falhas.

- A definição de mesas pequenas com o processo úmido resulta em estruturas elípticas ou perda de dispositivos. Desta forma, quando se trata de transistores muito pequenos, o *etch* anisotrópico por plasma se torna mais apropriada.
- A isolamento das camadas HBT pode ser obtida com uma dupla implantação de He⁺ a 200 keV e 400 keV. Redução significativa da capacitância base-coletor pode ser obtida com uma implantação a 75 keV, com dose da ordem de $4 \times 10^{12} \text{ cm}^{-2}$, sendo que medidas de resistência de folha mostraram que esta implantação não é prejudicial à base extrínseca. É interessante ajustar R_p em direção à camada de sub-coletor, para minimizar o dano à camada de base.

As medidas de capacitância da camada implantada resultaram em valores inferiores àqueles esperados para o GaAs intrínseco. Isto indica que a transformação causada no material por efeito do bombardeamento de íons He⁺ levou à redução da constante dielétrica para um valor inferior daquele observado para o material intrínseco. Isto indica a possibilidade de se conseguir capacitâncias C_{bc} muito baixas com o uso deste processo em HBTs.

- As condições de processo para fotogração com o fotorresiste AZ 5214E, são bastante críticas, o que exige uma cuidadosa calibração e manutenção das condições de litografia. No entanto, seu uso é compensador devido à facilidade com que se realiza processos positivos e negativos para *lift off*, além da boa tolerância aos *etches* úmidos.
- Os sistemas de metalização para GaAs $n+$ e $p+$, com Ni/Ge/Au/Ni/Au e Ni/Ti/Pt/Au, fornecem resistividades da ordem de 10^{-7} – $10^{-6} \Omega \text{ cm}^2$, o que torna estes contatos adequado para dispositivos de pequena área.
- Podemos afirmar que o trabalho resultou na elaboração de procedimentos e cuidados necessários para a execução das diversas etapas de processo de fabricação de HBT.
- O modelo empírico proposto é útil para a simulação de circuitos com os dispositivos fabricados, pois é fácil de ser utilizado e representa o comportamento do dispositivo com ótima concordância com os resultados experimentais, mesmo na região onde ocorre queda de ganho por efeito de aquecimento.

7.2 Perspectivas Futuras

Como possíveis continuações deste trabalho podemos considerar o seguinte:

Simulação de processos: O programa desenvolvido para a simulação da seqüência de fabricação se mostrou útil para visualizar o processo. O fato de não incluir a simulação física real é uma vantagem em termos de velocidade de processamento e uma vez que na arquitetura do programa existe a possibilidade de inclusão de simulação física, pode-se ter um simulador com duas opções, uma em que o usuário fornece os valores esperados de espessura de camadas, anisotropia de *etching* e profundidade de implantações, o que permite verificar rapidamente a proposta de processo. A seguir, a simulação física mostra se a proposta fornece o resultado esperado em termos de dispositivo.

Além disso, foi demonstrado com outro programa, denominado MAGICAL, que é possível extrair as coordenadas para os comandos de litografia (pontos em que a máscara muda de estado) diretamente de arquivos MAGIC.

Uma continuação interessante deste trabalho seria a melhoria do programa atual, que ainda tem alguns *bugs* e a inclusão da simulação física do dispositivo.

Passivação de superfícies: Devido à importância deste item em HBTs, um estudo importante que pode ser feito com as máscaras hbt1 é a verificação do efeito da passivação em transistores de diferentes tamanhos. Dentre os métodos que podem ser utilizados, podemos citar a passivação por plasma (H_2 e N_2), polyimide e BCB, sendo que se desconhece testes realizados com este último, para finalidade de passivação em HBTs. Seu uso é interessante devido à baixa constante dielétrica e elevada planicidade. A passivação baseada em enxôfre ainda depende de estudos que lhe confirmam maior estabilidade térmica.

Implantação iônica: Os experimentos realizados com implantação de He^+ sugerem uma continuação deste trabalho, em que se poderia tentar estabelecer os processos P_{23} e P_5 , que dependem de diversas implantações de isolação.

Modelo: O modelo empírico proposto pode ser melhorado com o estabelecimento de uma correlação entre os parâmetros de ajuste e parâmetros físicos do dispositivo. Esta correlação não parece difícil de ser estabelecida, pois conforme mencionado no Capítulo 6, cada parâmetro tem uma influência sobre algum elemento do comportamento do transistor. É necessário verificar se estes parâmetros são desacoplados, o que facilitaria bastante o estabelecimento da correlação. Durante o ajuste dos mesmos verificou-se alguma interdependência fraca entre os mesmos, no entanto isto precisa ser verificado em maior detalhe. O programa para auxiliar a extração de parâmetros também pode ser melhorado, particularmente se for implementada uma interface automática com o analisador de parâmetros.

Apêndice A

Software

Durante a fase de estabelecimento de um processo para a fabricação de um determinado dispositivo, é necessário conhecer o que acontecerá quando uma dada estrutura de camadas for submetida ao processamento proposto. Este processo requer frequentemente o teste de diversas possibilidades, o que requer muitos desenhos semelhantes, da secção transversal do dispositivo. A natureza repetitiva do processo torna natural o uso de uma ferramenta computacional de desenho. As ferramentas mais comuns para este trabalho são os simuladores de processo, tais como *Suprem*, *Atlas* etc., que no entanto são inadequados para a visualização da seqüência de processos de fabricação, pois não foram desenvolvidos para esta finalidade. No decorrer deste trabalho, foi desenvolvido um *software* que ao invés de simular as etapas de processo, realiza o desenho correspondente ao seu efeito na secção transversal da estrutura de camadas, de acordo as instruções fornecidas pelo projetista. Os dados de entrada ao programa são a estrutura de camadas, os materiais envolvidos no processo (até um total de 15) e a *receita* de fabricação.

O programa segue a receita, mostrando o efeito de cada etapa na secção transversal das camadas. Pode-se visualizar toda a fabricação do dispositivo um único desenho, ou cada etapa separada, em um conjunto de desenhos diferentes.

A seguir é apresentada a descrição do programa¹.

A.1 Materiais

Um total de 15 materiais pode ser utilizado, o que é suficiente para a maioria das aplicações. O projetista tem liberdade para definir os materiais como quiser, sendo que a cada material é associada uma cor. Cada material deve pertencer a uma classe de material (por exemplo: *metal*) e cada classe de material pode ter diversos tipos (ex.: *metal tipo 1*, ou *metal 1*). Desta forma, é possível ao programa tratar diferentemente cada classe e/ou tipo de material diferentemente. Por exemplo, um propriedade válida para a classe *metal*, fará com que um determinado processo atue somente nos metais. Uma propriedade específica do *metal 1*, causará efeito somente no *metal 1*. Um processo para o qual não existem restrições, atuará indistintamente sobre todos os materiais.

As classes de material são: semicondutor (S), fotoresiste (P), metal (M) e isolante (I). Existe um material nulo (N), utilizado para denotar materiais disponíveis. Na parte inferior da

¹A versão atual deste *software* foi implementada em Turbo Pascal 7.0 e é distribuída gratuitamente pelo autor (aredolfi@hotmail.com). Uma versão com menos *bugs* e para ambiente Windows está sendo desenvolvida por alunos de iniciação científica da Universidade de Marília.

tela, aparecem os 15 materiais possíveis, com seus valores *default*. O projetista pode redefini-los, atribuindo valores na forma An , onde A é uma das letras (S, P, M, I ou N), que define a classe e $n = 1, 2, 3, \dots$, define o tipo do material.

Devido a uma restrição do programa, pelo menos um material deve ser deixado como *nulo* (será utilizado internamente como *material auxiliar* em alguns processos) e em geral algum material será definido como *fotoreviste*, o que deixa 13 materiais disponíveis para o processo. Isto não se mostrou problemático para o caso de HBTs².

A figura a seguir mostra a região da tela que define os materiais disponíveis:

1: Metal, M1	2: Subcollector, S1	3: Photoresist, P*
4: Collector, S1	5: Base, S1	6: Emitter, S2
7: Cap, S1	8: p-diff., S1	9: Tungsten, M2
10: n-diff., S1	11: ii, S1	12: , N*
13: , N*	14: Nitride, I*	15: Oxide, I*

Os nomes são colocados pelo usuário para sua própria orientação, não tendo nenhum significado para o programa, que apenas lê as definições de classe e tipo de cada material.

A.2 O arquivo de processo

O arquivo de descrição do processo contém os comandos do processo transcritos para uma sintaxe intelegível ao programa. Por exemplo, uma etapa de metalização por *lift-off* que no caderno de anotações de laboratório poderia estar escrita como

Depositar o metal de contato (AuGe/Ni/Au : 500/500/1000 Å)
Lift-off em acetona

Deve ser carregada com uma sintaxe semelhante a

```
ADE 2 1 8 1.0000000000E+01
RMPR
```

onde o primeiro comando indica a deposição do metal e o segundo, a remoção do fotoreviste.

A transcrição das etapas, do *caderno de laboratório* para a sintaxe utilizada, pode ser feita manualmente, digitando-se os comandos em um arquivo de texto ou pelo próprio programa, que além do modo de execução de apresentação do processo, também tem um modo para facilitar o carregamento do arquivo de descrição do processo. Neste caso, os comandos são fornecidos interativamente, executados, mostrando-se o resultado na tela e ao mesmo

²A nova versão está sendo implementada com 256 materiais, o que elimina qualquer problema de falta de materiais, mesmo para os dispositivos mais complexos.

tempo, o arquivo de descrição é gerado em modo de texto simples de tal forma que o mesmo possa ser facilmente editado, se isto for conveniente.

A.3 Modos de execução

Conforme já mencionado, foram definidos dois modos de execução, um para auxiliar a entrada de dados para a formação do arquivo de descrição do processo e outro para a apresentação do processo. Estes modos são indicados na tela principal por *Tell a process* (modo de entrada de dados) e *Tell a story* (modo de apresentação do processo). Após acionar *Tell a process*, o usuário poderá entrar com os seguintes comandos (qualquer comando pode ser abreviado pelas suas três primeiras letras):

- Litografia.

1. LITOGRAPHY: define uma etapa litográfica. O programa mostrará um cursor para a determinação dos pontos em que a máscara muda de *on* para *off* e vice-versa. As possibilidades de teclas e comandos aparecem escritas na parte inferior da tela. Ao se teclar Q (*quit*), a máscara é retirada e resta sobre a amostra a camada de fotoresiste. O comando gerado no arquivo de descrição, tem o seguinte aspecto:

```
LIT  1.0000000000E+01  indica início do comando e a espessura do fotoresiste
ON   indica que no início a máscara é on, ou seja, protegendo a camada da luz
      4.0740740741E+01  nesta coordenada x, a máscara muda de estado, no caso,
se torna off
      5.9788359788E+01          aqui, ocorre outra mudança de estado da máscara
Q                                     fim do comando
```

A figura seguinte mostra o resultado deste comando:



quando o cursor se parece com uma letra 'T', como no caso mostrado, a máscara está sendo desenhada como *on*, quando se parece com um 'I', a máscara é *off*.

Ao se encerrar este comando, pressionando-se Q, é colocado o fotoresiste:



Este processo é utilizado para se fornecer as informações das máscaras litográficas. Também foi testada a possibilidade de se extrair as coordenadas para o comando LIT diretamente das máscaras desenhadas. Foi escrito um pequeno programa em Pascal, para extrair coordenadas de desenhos feitos em MAGIC. Neste caso, o programa analisa o arquivo .mag, gerando o comando LIT. Para este caso a extração de coordenadas é simples, pois a sintaxe do MAGIC são comandos que definem retângulos, escritos no arquivo .mag em termos das coordenadas de seus cantos. No início de cada bloco de comandos, o MAGIC insere um comando que define a máscara. Portanto, basta gerar um comando LIT para cada máscara encontrada no arquivo .mag.

2. RMPR: remoção de fotoresiste. Este comando remove o fotoresiste e o metal que estiver sobre ele (se houver), o que possibilita a simulação de *lift-off*.

■ Deposição.

1. ADEPOSITION (*anisotropic deposition*): este comando executa a deposição anisotrópica de um material.
2. IDEPOSITION (*isotropic deposition*): realiza a deposição isotrópica de um material. A figura seguinte mostra o resultado dos dois comandos anteriores. As duas camadas de maior espessura foram depositadas por ADEPOSITION, sendo que a segunda camada foi atacada por *etching* anisotrópico (AETCH) em uma região definida por litografia (LIT). A seguir, um fina camada de um terceiro material foi depositada isotrópicamente por IDEPOSITION.



3. SADEPOSITION (*selective anisotropic deposition*): Este comando realiza a deposição seletiva e anisotrópica de um material em relação a outro.
4. SIDEPOSITION (*selective isotropic deposition*): Versão isotrópica do comando anterior.

A figura seguinte mostra um exemplo de uso destes comandos, onde uma via foi preenchida com deposição seletiva de tungstênio, com o comando SIDEPOSITION.



- Remoção. Para a representação da remoção de materiais, foram implementadas versões isotrópicos e anisotrópicos de *etching* seletivo e não seletivo.

1. AETCH (*anisotropic etch*): *etching* anisotrópico.
2. IETCH (*isotropic etch*): *etching* isotrópico.
3. SAETCH (*selective anisotropic etch*): *etching* anisotrópico e seletivo.
4. SIETCH (*selective isotropic etch*): *etching* isotrópico seletivo.

A figura seguinte ilustra dois *etchings*, uma anisotrópica (esquerda) e uma isotrópica (direita).

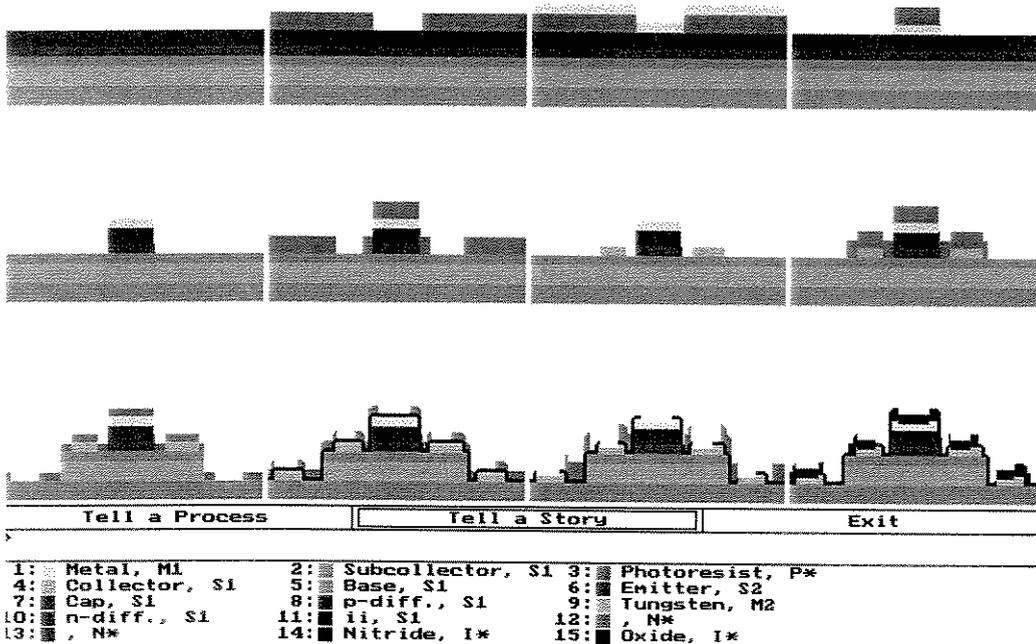


- Difusão e implantação iônica: foram implementados os comandos DIFFUSION e ION-IMPLANTATION que executam a representação destas etapas. Para a difusão, deve ser fornecido o material difundido e sua profundidade. Para a implantação é fornecido o material a implantar e a profundidade.
- Além dos comandos relacionados aos processos, também foram implementados comandos para ler e salvar o arquivo de descrição, alteração dos nomes e tipos dos materiais etc. O comando HELP fornece uma listagem dos comandos permitidos.
- Comando DISPLAY. O modo de execução *Tell a story* é utilizado para a visualização da secção transversal do dispositivo durante a fabricação. Neste modo, existem duas opções: Tell e Show. Esta última é utilizada para mostrar toda a seqüência, passo a passo, em uma única figura. A opção Tell é utilizada para mostrar as etapas, progressivamente, em desenhos diferentes. Neste caso, para indicar ao programa as etapas a serem mostradas, deve-se inserir o comando DISPLAY após cada etapa que deverá ser mostrada. O programa inicialmente conta o número de comandos DISPLAY no arquivo de descrição e então divide a tela em um número adequado de regiões, na melhor proporção possível. A seguir, o arquivo é processado e a cada DISPLAY, é apresentado o resultado até aquele ponto em uma região da tela.

★ ★ ★

A.4 Exemplo

A figura a seguir mostra um exemplo de execução de um arquivo de descrição com um processo HBT (opção Tell):



Estes desenhos foram gerados pelo seguinte arquivo de descrição:

```

ADE 2 1 8 1.0000000000E+01
ADE 4 1 8 1.0000000000E+01
ADE 5 1 8 5.0000000000E+00
ADE 6 1 8 5.0000000000E+00
ADE 7 1 8 8.0000000000E+00
DISPLAY
LIT 1.0000000000E+01
ON
4.0740740741E+01
5.9788359788E+01
Q
DISPLAY
ADE 1 1 20037 5.0000000000E+00
ADE 1 1 20037 1.0000000000E+01
AET 1 8 1.0000000000E+01
DISPLAY
RMPR
LIT 5.0000000000E+00
    
```

OFF

1.5873015873E+00

4.1269841270E+01

5.9259259259E+01

Q

RMPR

LIT 1.0000000000E+01

OFF

4.0740740741E+01

5.8730158730E+01

Q

DISPLAY

AET 1 20037 8.0000000000E+00

AET 1 20037 5.0000000000E+00

RMPR

DISPLAY

LIT 1.0000000000E+01

ON

2.6455026455E+01

3.7037037037E+01

6.3492063492E+01

7.6190476191E+01

Q

DISPLAY

ADE 9 1 20037 5.0000000000E+00

RMPR

DISPLAY

LIT 1.0000000000E+01

OFF

2.2222222222E+01

7.8306878307E+01

Q

DISPLAY

AET 1 20037 1.5000000000E+01

RMPR

LIT 5.0000000000E+00

ON

3.1746031746E+00

1.3756613757E+01

8.2539682540E+01

9.3121693122E+01

```
Q
DISPLAY
ADE 9 1 20037 5.0000000000E+00
RMPR
IDE 12 15 1 314 2
LIT 5.0000000000E+00
ON
 3.1746031746E+00
 1.1640211640E+01
 2.7513227513E+01
 3.4391534392E+01
 4.3386243386E+01
 5.6084656085E+01
 6.4021164021E+01
 7.1957671958E+01
 8.0952380952E+01
 8.9417989418E+01
```

```
Q
DISPLAY
AET 1 20037 3
RMPR
LIT 1.0000000000E+01
OFF
 1.3756613757E+01
 2.3280423280E+01
 3.4391534392E+01
 3.9682539683E+01
 6.0846560847E+01
 6.3492063492E+01
 7.5132275132E+01
 8.2010582011E+01
 9.5767195767E+01
```

```
Q
DISPLAY
ADE 11 1 20037 5.0000000000E+00
RMPR
DISPLAY
```

A.5 Expansão

Neste programa, foi implementado somente a representação da seqüência de etapas. Prevendo-se futuras expansões, a implementação foi realizada considerando-se a possibilidade de inclusão de simulação físico-química das etapas de processo, o que pode ser uma opção interessante para se executar no final do estabelecimento de uma seqüência de fabricação. É particularmente fácil a incorporação de resultados do TRIM (implantação iônica), programa de código aberto, do SUPREM (simulação de diversos processos), cujo código está amplamente documentado e da extração de coordenadas do MAGIC, cuja representação das máscaras facilita esta extração. A extração de coordenadas de arquivos .cif segue processo semelhante à extração de coordenadas de arquivos MAGIC.

Apêndice B

Arquivo de tecnologia

A seguir está o arquivo de tecnologia para o MAGIC, utilizado nos projetos hbt0 (máscaras processadas na Univ. de Cornell) e hbt1 (máscaras processadas no CCS-Unicamp). Foram utilizados 10 níveis de máscaras e espaçamento mínimo de 1 μm .

```

tech
  hbt0
end

planes
  emitter
  ecc
  bcc
  base
  vias
  isol
  interc
  cllvias
  baserecess
end

types
  emitter      emesa
  ecc          ecmetal
  bcc          bmetal
  base         bmesa
  vias         cvia
  isol         deviso
  interc       metal
  cllvias      colvia
  cllvias      extbc
  baserecess  brecess
end

contact
end

styles
  styletype mos
  emesa      1
  bmetal     33
  bmesa      21
  cvia       32
  deviso     40
  metal      20
  ecmetal    2
  colvia     36
  brecess    34
  extbc      41
end

contact
end

compose

end

connect
end

cifoutput
  style hbt0cif
  scalefactor 100
  layer emitmesa emesa
calma 1 1
  layer colmetal ecmetal
calma 2 1
  layer basemetal bmetal
calma 3 1
  layer basemesa bmesa
calma 4 1
  layer contvia cvia
calma 5 1
  layer deviceiso deviso
calma 6 1
  layer themetal metal
calma 7 1
  layer extravia colvia
calma 8 1
  layer extrinsicbc extbc
calma 9 1
  layer baserecess brecess
calma 10 1
end

cifinput
end

mzrouter
end

drc
end

extract
end

wiring
end

router
end

plowing
end

plot
end

```

★ ★ ★

Bibliografia

- [1] M. Meyer *Compound Semiconductors*, vol. 3, no. 3, pp. 30–41, 1997.
- [2] W. Schokley, Circuit Element Utilizing Semiconductor Material, US Patent 2569-347, 1951.
- [3] H. Kroemer, Heterostructure Bipolar Transistors and Integrated Circuits, *IEEE Proc.*, vol. 70, pp. 13–25, January 1982.
- [4] W. Dumke, J. Woodwall, and V. Rideout, GaAs-GaAlAs heterojunction transistor for high frequency operation, *Solid-state Electron.*, vol. 15, pp. 1339–1343, 1972.
- [5] M. Konagai and K. Takahashi, (Ga,Al)As/GaAs heterojunction transistor with high injection efficiency, *J. Appl. Phys.*, vol. 46(5), p. 2120, 1975.
- [6] J. Bailbe, A. Marty, P. Huuhiep, and G. Rey, Design and fabrication of high speed GaAlAs-GaAs heterojunction transistors, *IEEE Trans. on Elec. Dev.*, vol. ED-27, no. 6, p. 1160, 1980.
- [7] H. Beneking and L. Su, GaAlAs/GaAs heterojunction microwave bipolar transistor, *Electronnics Letters*, vol. 17, no. 8, p. 301, 1981.
- [8] D. Ankri, A. Scavennec, C. Besombes, C. Courbet, F. Hélot, and J. Riou, Diffused epitaxial GaAlAs/GaAs heterojunction bipolar transistor for high frequency operation, *Appl. Phys. Letters*, vol. 40, no. 9, p. 816, 1982.
- [9] K. Daoud-Ketata, *Transistor bipolaire à hétérojonction GaAlAs/GaAs en structure autoalignée pour applications en hyperfréquences*. PhD thesis, Université de Paris-Sud, June 1987.
- [10] D. Zerguine, *Elaboration d'une technologie planar par reprise d'épitaxie sélective par jets chimiques pour TBH GaInP/GaAs*. PhD thesis, Université de Paris VII, April 1994.
- [11] J. Sitch, HBTs in Telecommunications, *Solid-State Elec.*, vol. 41, no. 10, pp. 1397–1405, 1997.
- [12] R. Yu *et al.*, HBT Devices and Circuits for Signal and Data Processing, *Solid-State Elec.*, no. 10, pp. 1419–1431, 1997.
- [13] M. Berroth *et al.*, HEMT Circuits for Signal/Data Processing GaAs, *Solid-State Elec.*, no. 10, pp. 1407–12, 1997.
- [14] J. McDonald *MSN*, p. 54, Jan 1990.
- [15] R. Cates *IEEE Spectrum*, p. 25, April 1990.
- [16] E. Korczynski, GaAs Chips Compete in a Comfortable Niche, *Solid State Technology*, pp. 58–60, Nov 1995.
- [17] R. Schneiderman *Microwaves & RF*, p. 35, Oct. 1991.
- [18] P. Enquist, *The Growth and Characterization of Aluminum Gallium Arsenide / Gallium Arsenide Heterojunction Bipolar Transistor Structures by Molecular Beam Epitaxy*. PhD thesis, Cornell University, January 1986.
- [19] M. Tyagi, *Introduction to Semiconductor Materials and Devices*. J. Wiley and Sons, 1991.
- [20] G. Rey and G. Bailbe, Some aspects of current gain variations in bipolar transistors, *Solid-state Electron.*, vol. 17, pp. 1045–1057, 1974.
- [21] Y. Yamauchi and T. Ishibashi, Electron Velocity Overshoot in the Collector Depletion Layer of AlGaAs/GaAs HBT's, *IEEE Elec. Dev. Lett.*, vol. 7, pp. 655–657, December 1986.
- [22] C. Maziar *et al.*, A Proposed Structure for Collector Transit-Time Reduction in AlGaAs/GaAs Bipolar Transistor, *IEEE Elec. Dev. Lett.*, vol. 7, pp. 483–485, Aug 1986.
- [23] B. Mazhari, G. Gao, and H. Morkoç, Collector-Emitter Offset Voltage in Heterojunction Bipolar Transistors, *Solid-State Electronics*, vol. 34, no. 3, pp. 315–321, 1991.
- [24] T. Won, S. Iyer, S. Agarwala, and H. Morkoç, Collector Offset Voltage of Heterojunction Bipolar Transistors Grown by Molecular Beam Epitaxy, *IEEE Elec. Dev. Lett.*, vol. 10, pp. 274–276, June 1989.
- [25] N. Chand, R. Fischer, and H. Morkoç, Collector-Emitter Offset Voltage in AlGaAs/GaAs Heterojunction Bipolar Transistor, *Appl. Phys. Lett.*, vol. 47, pp. 313–316, August 1985.
- [26] S. Lee, J. Kau, and H. Lin, Origin of High Offset Voltage in an AlGaAs/GaAs Heterojunction Bipolar Transistor, *Appl. Phys. Lett.*, vol. 45, pp. 1114–1116, November 1984.
- [27] Morkoç *et al.*, Strained Layer heterostructures and their applications, *Proc. IEEE*, vol. 81, pp. 523–532, April 1993.
- [28] P. Asbeck, *High Speed Semiconductors and Devices*, ch. Bipolar Transistors. Edt. by S.M. Sze, J. Wiley & Sons, 1990.
- [29] D. Slater *et al. IEEE Elec. Dev. Lett.*, vol. 25, no. 4, p. 146, 1990.
- [30] H. Ichino *et al. IEEE J. Solid-State Circ.*, vol. 25, no. 6, p. 1538, 1990.
- [31] H. Hamano *et al. Electron. Lett.*, vol. 27, no. 8, p. 662, 1991.
- [32] R. Nubling *et al. IEEE J. Solid-State Circ.*, vol. 26, no. 10, p. 1354, 1991.
- [33] Y. Kuriyama *et al. IEEE J. Solid-State Circ.*, vol. 26, no. 6, p. 876, 1991.

- [34] T. Wong and J. Sitch, A 10 Gb/s ATM Data Synchronizer, *IEEE JSSC - J. of Solid-State Circuits*, vol. 31, pp. 1394-1399, Oct 1996.
- [35] T. Wong, A. Freundorfer, B. Bergger, and J. Sitch, A 10 Gb/s AlGaAs/GaAs HBT High Power Fully Differential Limiting Distributed Amplifier for III-V Mach-Zehnder Modulator, *IEEE JSSC - J. of Solid-State Circuits*, vol. 31, pp. 1388-1393, Oct 1996.
- [36] K. K. et al, A Monolithically Integrated HEMT-HBT Low Noise High Linearity Variable Gain Amplifier, *IEEE JSSC - J. of Solid-State Circuits*, vol. 31, Oct 1996.
- [37] J. Muller and P. Robertson *IEEE - J. Solid-State Circuits*, vol. 32, pp. 1307-1309, Sep 1997.
- [38] K. Lowe *IEEE - J. Solid-State Circuits*, vol. 32, pp. 1263-1268, Sep 1997.
- [39] M. Hafizi *IEEE - Elec. Dev. Letters*, vol. 18, pp. 358-360, Jul 1997.
- [40] B. Agarwal et al., International Materials Symposium, *IEEE - IMS*, Baltimore 1998.
- [41] U. Bhattacharya et al., Transferred substrate schottky-collector heterojunction bipolar transistors: first results and scaling laws for high f_{max} , *IEEE Elec. Dev. Letters*, vol. 16, pp. 357-359, August 1995.
- [42] M. Chang, P. Asbeck, K. Wang, G. Sullivan, W. Ho, R. Anderson, and R. Pierson, The Fabrication of AlGaAs/GaAs HBTs, *Proc. 12th SOTAPOCS, The Electrochemical Soc.*, pp. 173-184.
- [43] F. Capasso *MRS Bulletin*, p. 23, June 1991.
- [44] N. Shah and S. Pei *AT&T Technical Journal*, p. 19, Jan/Feb 1989.
- [45] F. Capasso et al. *IEEE Circuits & Devices*, p. 18, May 1991.
- [46] S. Lu and C. Huang *IEEE Elec. Dev. Lett.*, vol. 13, no. 4, pp. 214-216, 1992.
- [47] J. Jensen, W. Stanchina, R. Metzger, D. Rensch, R. Lohr, R. Quen, M. Pierce, Y. Allen, and P. Lou, AlInAs/GaInAs HBT IC Technology, *IEEE J. of Solid State Circuits*, vol. 26, no. 3, pp. 415-421, 1991.
- [48] Y. Chen et al. *IEEE Elec. Dev. Lett.*, vol. 10, pp. 470-472, October 1989.
- [49] J.-L. Pelouard et al. *IEEE Elec. Dev. Lett.*, vol. 7, no. 9, pp. 516-518, 1986.
- [50] G. Gao, M. "Unl", J. Chen, B. Mazhari, K. Adomi, G. Liu, Z. Fan, and H. Morkoç, Double-Layer Collector for Heterojunction Bipolar Transistors, *Solid-State Electronics*, vol. 35, no. 1, pp. 57-60, 1992.
- [51] D. Ferry, ed., *Gallium Arsenide Technology*. Horward W. Sams & Co., Inc., 1985.
- [52] A. Piotrowska, A. Guinarc'h, and G. Pelous, Ohmic Contacts to III-V Compound Semiconductors: A Review of Fabrication Techniques, *Solid-State Electronics*, vol. 26, no. 3, pp. 179-197, 1983.
- [53] F. Braun *Ann. Phy. Chem*, vol. 153, p. 556, 1874.
- [54] R. Cox and H. Strack, Ohmic Contacts for GaAs Devices, *Solid-State Electronics*, vol. 10, pp. 1213-1218, 1967.
- [55] J. Woodall, J. Freeouf, T. Jackson, and P. Kirchner, Ohmic Contacts to n-GaAs using Graded Band Gap Layers of Ga_{1-x}In_xAs grown by Molecular Beam Epitaxy, *J. Vac. Sci. Technol.*, vol. 19, pp. 626-627, Sep/Oct 1981.
- [56] V. Rideout, A Review of the Theory and Technology for Ohmic Contacts to Group III-V Compound Semiconductors, *Solid-State Electronics*, vol. 18, pp. 541-550, 1975.
- [57] R. Stall, C. Wood, K. Board, N. Dandekar, L. Eastman, and J. Devlin, A Study of Ge/GaAs Interfaces Grown by Molecular Beam Epitaxy, *J. Appl. Phys.*, vol. 52, pp. 4062-4069, June 1981.
- [58] G. Robinson, *Physics and chemistry of III-V compound semiconductor interfaces*. Plenum Press, ed. por C.W. Wilmsen, 1985.
- [59] M. Aven and R. Swank, Ohmic Contacts to Semiconductors, *Electroch. Soc. (Edt. by B. Schwartz)*, vol. New York, 1969.
- [60] J. Gyulai, J. Mayer, V. Rodriguez, A. Yu, and H. Gopen *J. Appl. Phys.*, vol. 42, p. 3578, 1971.
- [61] G. Maracas, Ohmic Contacts to GaAs, *Gallium Arsenide Technology, Vol. II, Howard W. Sams and Co., Edt. by David Ferry*, vol. Chapter 9, pp. 373-402.
- [62] J. Tandom, K. Douglas, G. Vendura, E. Kolawa, F. So, and M. Nicolet, Metallization System for Stable Ohmic Contacts to GaAs, *Materials Research Soc.*, vol. 1955 - Workshop, pp. 331-340.
- [63] A. Iliadis and K. Singer, Germanium in Evaporated Au-Ge Ohmic Contacts to GaAs, *Solid-State Electronics*, vol. 26, no. 1, pp. 7-14, 1983.
- [64] M. Dornath-Mohr, M. Cole, H. Lee, D. Fox, D. Eckart, L. Yerke, C. Wrenn, R. Lareau, W. Chang, K. Jones, and F. Cosandey, Mechanisms for the Formation of Low Temperature, Non-alloyed Au-Ge Ohmic Contacts to n-GaAs, *J. Electron. Materials*, vol. 19, no. 11, pp. 1247-1255, 1990.
- [65] A. Kulkarny and J. Lukowski, Effect of Annealing Process Parameters on the Properties of AuGe Contacts to GaAs, *J. Appl. Phys.*, vol. 59, no. 8, pp. 2901-2904, 1986.
- [66] G. Robinson, Metallurgical and Electrical Properties of Alloyed Ni/Au-Ge Films on n-Type GaAs, *Solid-State Electronics*, vol. 18, pp. 331-342, 1975.
- [67] K. Ohata, T. Nozaki, and N. Kawamura *IEEE Trans. on Elec. Dev.*, vol. ED-24, p. 1129, 1977.
- [68] S. Kalingamudali, A. Wismayer, and R. Woods, Recombination current reduction in AlGaAs/GaAs heterojunction bipolar transistors with polyimide deposition, *Solid-State Electronics*, vol. 37, no. 12, pp. 1977-82, 1994.
- [69] P. Kirchner, T. Jackson, G. Petit, and J. Woodall *Appl. Phys. Lett.*, vol. 47, p. 26, 1985.
- [70] P. Barnes and A. Cho *Appl. Phys. Lett.*, vol. 47, p. 651, 1978.
- [71] W. Barnard, G. Myburg, and F. Auret, Comparison between Ruthenium-based and other ohmic contact systems to p-Type GaAs, *Appl. Phys. Lett.*, vol. 61, no. 16, pp. 1933-1935, 1992.
- [72] G. Stareev, Formation of extremely low resistance Ti/Pt/Au ohmic contacts to p-GaAs, *Appl. Phys. Lett.*, vol. 62, no. 22, pp. 2801-2803, 1993.

- [73] Ching-Ting *et al.*, Thermal stability of Ti/Pt/Au ohmic contacts on InAs/graded InGaAs ohmic contacts, *Solid-State Electronics*, vol. 42, no. 5, pp. 871-5, 1998.
- [74] R. Mozzi, W. Fabian, and F. Piekarski *Appl. Phys. Lett.*, vol. 35, p. 337, 1979.
- [75] P. Barnes, H. Leamy, J. Poates, S. Ferris, J. Williams, and G. Celler *Appl. Phys. Lett.*, vol. 33, p. 965, 1978.
- [76] D. S. Jr., P. Enquist, J. Hutchby, A. Morris, and R. Trew, Low Emitter Resistance GaAs Based HBT Without InGaAs Caps, *Research Triangle Institute, North Carolina State University, Internal Report*, 1993.
- [77] W. Han, Y. Lu, H. Lee, M. Cole, L. Casas, K. Jones, and L. Yang, Shallow Ohmic Contact to Both n and p GaAs, *J. Appl. Phys.*, vol. 74, no. 1, pp. 754-756, 1993.
- [78] L. Wang, X. Wang, S. Hsu, S. Lau, P. Lin, T. Sands, S. Schwarz, D. Plumpton, and T. Kuech, An Investigation of the Pd-In-Ge Nonspiking Ohmic Contact to n-GaAs Using Transmission Line Measurement, Kelvin, and Cox and Strack Structures, *J. Appl. Phys.*, vol. 69, no. 8, 1991.
- [79] R. Stall, C. Wood, K. Board, N. Dandekar, L. Eastman, and J. Devlin, A study of Ge/GaAs interface grown by molecular beam epitaxy, *Appl. Phys. Lett.*, vol. 52, no. 6, pp. 4062-4069, 1981.
- [80] S. Wright, R. Marks, S. Tiwari, T. Jackson, and H. Baratte *Appl. Phys. Lett.*, vol. 49, p. 1545, 1986.
- [81] T. Nittono, H. Ito, O. Nakajima, and T. Ishibashi, on-Alloyed Ohmic Contacts to n-GaAs using Compositionally Graded $\text{In}_x\text{Ga}_{1-x}\text{As}$ Layers, *Japanese J. of App. Phys.*, vol. 27, pp. 1718-1722, September 1988.
- [82] A. Lahav, F. Ren, and R. Kopf, Thermal Stability of Tungsten Ohmic Contacts to the Graded-gap InGaAs/GaAs/AlGaAs Heterostructure, *Appl. Phys. Lett.*, vol. 54, pp. 1693-1695, April 1989.
- [83] S. Wright, R. Marks, S. Tiwari, T. Jackson, and H. Baratte, In Situ Contacts to GaAs Based on InAs, *Appl. Phys. Lett.*, vol. 49, pp. 1545-1547, December 1986.
- [84] J. Hayes, F. Capasso, R. Malik, and W. W. A.C. Gossard, Optimum emitter grading for heterojunction bipolar transistors, *Appl. Phys. Lett.*, vol. 43, pp. 949-951, Nov 1983.
- [85] M. Hafizi, C. Crowell, L. Pawlowicz, and M. Kim, Improved Current Gain and f_T Through Doping Profile Selection in Linearly Graded Heterojunction Bipolar Transistors, *IEEE Trans. Elec. Dev.*, vol. 37, pp. 1779-1788, August 1990.
- [86] E. Schubert *et al.*, Elimination of heteronjunction band discontinuities by modulation doping, *Applied Physics Letters*, vol. 60, no. 4, pp. 466-8, 1992.
- [87] N. Hayama and K. Honjo *IEEE Elec. Dev. Lett.*, vol. 11, pp. 388-390, September 1990.
- [88] W. Liu *et al.*, Theoretical Comparison of Base Bulk Recombination Current and Surface Recombination Current of a Mesa AlGaAs/GaAs Heterojunction Bipolar Transistor, *Solid-State Electronics*, vol. 34, no. 10, pp. 1119-23, 1991.
- [89] H. Chuang, M. Carpenter, M. Melloch, and M. Lundstrom, Surface passivation effects of As_2S_3 glass on self-aligned AlGaAs/GaAs heterojunction bipolar transistors, *Appl. Phys. Lett.*, vol. 57, no. 20, pp. 2113-2115, 1990.
- [90] C. Sandroff *et al.*, Dramatic enhancement in the gain of a GaAs/AlGaAs heterostructure bipolar transistor by surface chemical passivation, *Applied Physics Letters*, vol. 51, no. 1, pp. 33-35, 1987.
- [91] S. Pearton *et al.*, Comparison of surface recombination velocities in InGaP and AlGaAs mesa diodes, *J. Vac. Sci. Technol. B*, vol. 12, pp. 142-6, Jan/Feb 1994.
- [92] Q. Wang, E. S. Yang, P. Li, Z. Lu, and W. W. R.M. Osgood Jr., Electron Cyclotron Resonance Hydrogen and Nitrogen Plasma Surface Passivation, *IEEE Elec. Dev. Lett.*, vol. 13, pp. 83-85, Feb 1992.
- [93] P. Li *et al.*, Chemical and electrical characterization of AlGaAs/GaAs heterojunction bipolar transistors treated by electron cyclotron resonance plasmas, *Appl. Phys. Lett.*, vol. 60, no. 16, pp. 1996-8, 1992.
- [94] H. Lin and S. Lee, Super-gain AlGaAs/GaAs heterojunction bipolar transistor using an emitter edge-thinning design, *Appl. Phys. Lett.*, vol. 47, pp. 839-841, Oct 1985.
- [95] O. Nakajima, K. Nagata, H. Ito, T. Ishibashi, and T. Sugeta, Suppression of Emitter Size Effect on Current Gain in AlGaAs/GaAs HBTs, *Jpn. J. Appl. Phys.*, vol. 24, pp. 1368-1369, Oct 1985.
- [96] W. Liu and W. Lour, An Improved Heterostructure-Emitter Bipolar Transistor (HEBT), *IEEE Elec. Dev. Lett.*, vol. 12, September 1991.
- [97] B. Ryum and I. Abdel-Motaleb, Effect of recombination current on current gain of HBTs, *IEE Proc.-G*, vol. 138, p. 115, Feb 1991.
- [98] Y. Zebda and O. Qasaimeh, Currents and Current Gain Analysis of Passivated Heterojunction Bipolar Transistors (HBT), *IEEE Trans. Elec. Dev.*, vol. 41, pp. 2233-40, Dec 1994.
- [99] W. Ho, N. Wang, R. Pierson, M. Chang, R. Nubling, J. Higgins, S. Hersee, J. Ballingal, and J. Komiak, MOMBE-Grown Carbon-doped Base Self-Aligned AlGaAs/GaAs Heterojunction Bipolar Transistors for Microwave Applications, *IEEE-IEDM 91*, p. 801 to 804, 1991.
- [100] H. Ito, Generation-Recombination Current in the Emitter-Base Junction of AlGaAs/GaAs HBTs, *Japan Appl. Physics*, vol. 25, pp. 1400-4, 1986.
- [101] R. Malik, F. Capasso, R. Stall, R. Kiehl, R. Ryan, R. Wunder, and C. Bethea, High-Gain, High-Frequency AlGaAs/GaAs Graded Band-Gap Base Bipolar Transistor with a Be Diffusion Setback Layer in the Base, *Appl. Phys. Lett.*, vol. 46, no. 6, pp. 600-602, 1985.
- [102] O. Nakajima, H. Ito, and K. Nagata, Current Induced Degradation of Be-Doped AlGaAs/GaAs HBT's and Its Suppression by Zn Diffusion into Extrinsic Base Layer, *IEEE - Proc. IEDM*, pp. 673-6, 1990.
- [103] F. Ren *et al.*, Stability of Carbon and Beryllium-doped Base GaAs/AlGaAs Heterojunction Bipolar Transistors, *Appl. Phys. Lett.*, vol. 59, pp. 3613-5, Dec 1991.
- [104] J. Xu *et al.*, Characteristics of Displaced PN- and Heterojunctions, *Solid-State Elec.*, vol. 34, no. 4, pp. 423-5, 1991.
- [105] M. Hafizi, R. Metzger, W. Stanchina, D. Rensch, J. Jensen, and W. Hooper, The Effects of Base Dopant Diffusion on DC and RF Characteristics of InGaAs/InAlAs Heterojunction Bipolar Transistors, *Elec. Dev. Lett.*, vol. 13, pp. 140-142, March 1992.

- [106] N. Jourdan *et al.*, Heavily Doped GaAs(Be)/GaAlAs HBT's Grown by MBE with High Device Performances and High Thermal Stability, *Trans. on Elec. Dev.*, vol. 39, pp. 767-770, Apr 1992.
- [107] J. McGregor, T. Manku, and D. Roulston, Bipolar Transistor Base Bandgap Grading for Minimum Delay, *Solid-State Elec.*, vol. 34, no. 4, pp. 421-422, 1991.
- [108] M. Yanagihara *et al.* *Electronics Letters*, vol. 32, pp. 1238-9, 1994.
- [109] M. Yanagihara *et al.*, High f_{max} AlGaAs/GaAs HBT with L-Shaped Base Electrode and its Application to 50 GHz Amplifier, *Solid-State Electronics*, vol. 41, no. 10, pp. 1615-20, 1997.
- [110] K. Nagata *et al.*, Self-Aligned AlGaAs/GaAs HBT with Low Emitter Resistance Utilizing InGaAs Cap Layer, *IEEE Trans. Elec. Dev.*, vol. ED-35, pp. 2-6, Jan 1988.
- [111] K. Eda *et al.* *IEEE Trans. on Elec. Dev.*, vol. 34, p. 2405, 1987.
- [112] J. Liou, Modeling the Cutoff Frequency of $Al_{1-x}Ga_xAs/GaAs/GaAs$ Heterojunction Bipolar Transistors with Proton Implanted Collector Region, *Solid-State Electronics*, vol. 33, no. 10, pp. 1329-34, 1990.
- [113] J. Yuan, Modeling the Current-Dependent f_T for AlGaAs/GaAs Heterojunction Bipolar Transistor Design, *Solid-State Elec.*, vol. 34, no. 10, pp. 1103-1107, 1991.
- [114] K. Horio and A. Nakatani, Analysis of Carrier-Blocking Effect in AlGaAs/GaAs HBT's with Insulating External Collector and Design Criteria for Collector-Up HBT's, *IEEE Trans. Elec. Dev.*, vol. 42, pp. 1897-1902, Nov 1995.
- [115] H. Zhou and D. Pulfrey, Computation of Transit and Signal Delay Times for the Collector Depletion Region of GaAs-Based HBTs, *Solid State-Elec.*, vol. 35, pp. 113-5, Jan 1992.
- [116] H. Ito *Japan Appl. Physics*, vol. 27, pp. L707-L709, 1988.
- [117] H. Ito and T. Ishibashi, Heavily Sn-Doped GaAs Buffer Layers for AlGaAs/GaAs HBTs, *J. of Appl. Phys.*, vol. 27, no. 4, pp. L707-L709, 1988.
- [118] S. Pearton, Ion Implantation for Isolation of III-V Semiconductors, *AT & T Bells Lab., North-Holland Amsterdam*, Oct 1990.
- [119] S. Ghandhi, *VL Fabrication Principles - Silicon and Gallium Arsenide*. J. Wiley and Sons, 1982.
- [120] J. Gibbons, Ion Implantation in Semiconductors: Damage Production and Annealing, *Proc. IEEE*, vol. 60, no. 9, p. 1062, 1972.
- [121] K. Ko, S. Chen, S. Lee, and G. Braunstein, High Temperature Thermally Stable Implant Isolation for GaAs via Void Formation, *Appl. Phys. Lett.*, vol. 60, pp. 1223-1225, March 1992.
- [122] S. P. K.T. Short, Implant Isolation for GaAs, *J. Electroch. Soc.*, vol. 135, no. 11, pp. 2835-2840, 1988.
- [123] M. Chang *et al.*, AlGaAs/GaAs Heterojunction Bipolar Transistors Fabricated Using a Self-Aligned Dual Lift-Off Process, *IEEE Elec. Dev. Letters*, vol. EDL-8, pp. 303-5, Jul 1987.
- [124] F. Ren *et al.*, Fabrication of Self-Aligned GaAs/AlGaAs and GaAs/InGaP Microwave Power Heterojunction Bipolar Transistors, *J. Vac. Sci. Technol. B*, vol. 12, pp. 2916-28, Sep/Oct 1994.
- [125] S. Pearton, M. Iannuzzi, C. R. Jr., and L. Peticolar, Formation of Thermally Stable High Resistivity AlGaAs by Oxygen Implantation, *Appl. Phys. Lett.*, vol. 52, no. 5, pp. 395-397, 1988.
- [126] K. Hikosaka, T. Mimura, and K. Joshin, Selective Dry Etching of AlGaAs-GaAs Heterojunction, *Jap. J. Appl. Phys.*, vol. 20, pp. L847-L850, November 1981.
- [127] G. DeSalvo, Wet Chemical Digital Etching of GaAs at Room Temperature, *J. Electrochem. Soc.*, vol. 143, pp. 3652-6, Nov 1996.
- [128] M. Tong, D. Ballegeer, A. Ketterson, E. Roan, K. Cheng, and I. Adesida, A Comparative Study of Wet and Dry Selective Etching Processes for GaAs/AlGaAs/InGaAs Pseudomorphic MODFETs, *J. of Electronic Materials*, vol. 21, no. 1, pp. 9-15, 1992.
- [129] C. Juang *et al.*, Selective etching of GaAs and $Al_{0.30}Ga_{0.70}As$ with citric acid/hydrogen peroxide solutions, *J. Vac. Sci. Technol. B*, vol. 8, pp. 1122-4, Sep/Oct 1990.
- [130] K. Eda *et al.*, Emitter-Base-Collector Self-Aligned Heterojunction Bipolar Transistors Using Wet Etching Process, *IEEE Elec. Dev. Lett.*, vol. 7, pp. 694-696, Dec 1986.
- [131] N. Hayama, A. Okamoto, M. Madihian, and K. Honjo *IEEE Elec. Dev. Lett.*, vol. 8, pp. 246-248, 1987.
- [132] K. Morizuka *et al.* *IEEE Elec. Dev. Lett.*, vol. 9, no. 11, p. 598, 1988.
- [133] T. Nittono, K. Nagata, O. Nakajima, and T. Ishibashi, A New Self-Aligned AlGaAs/GaAs HBT Based on Refractory Emitter and Base Electrodes, *IEEE Elec. Dev. Lett.*, vol. 10, November 1989.
- [134] P. Enquist *et al.*, Self-Aligned AlGaAs/GaAs HBT with Selectively Regrown OMVPE Emitter, *Research Triangle Institute*, vol. Tech. Report, no. NC/USA, 1995.
- [135] M. Hafizi, New Submicron HBT IC Technology Demonstrates Ultra-Fast, Low Power Integrated Circuits, *IEEE - Trans. Elec. Dev.*, vol. 45, pp. 1862-8, Sep 1998.
- [136] K. Mitani, H. Masuda, and C. Kusano, Planar AlGaAs/GaAs Heterojunction Bipolar Transistors Fabricated Using Selective W-CVD, *IEEE Elec. Dev. Lett.*, vol. 13, April 1992.
- [137] J. Tully *et al.* *IEEE Elec. Dev. Lett.*, vol. 7, no. 11, pp. 615-617, 1986.
- [138] H. Shin *et al.*, Reduction of Base-Collector Capacitance in InP/OnGaAs HBT's Using a Novel Double Polyimide Planarization Process, *IEEE Elec. Dev. Lett.*, vol. 19, pp. 297-9, Aug 1998.
- [139] L. van der Pauw, A Method of Measuring Specific Resistivity and Hall Effect Discs of Arbitrary Shapes, *Philips Research Reports*, vol. 13, pp. 1-9, 1958.
- [140] D. Costa, W. Liu, and J. Harris, Direct Extraction of the AlGaAs/GaAs Heterojunction Bipolar Transistor Small-Signal Equivalent Circuit, *IEEE Trans. on Elec. Dev.*, vol. 38, pp. 2018-2024, September 1991.
- [141] J. Monkowski, *Treatise on Clean Surface Technologies*, vol. 1, ch. Particulate Surface Contamination and Device Failures, pp. 123-148. Plenum Press, 1987.
- [142] S. Sze, *Physics of Semiconductor Devices*. J. Wiley and Sons, 1981.

- [143] M. Schier *J. Electrochem. Soc.*, vol. 142, no. 9, p. 3238.
- [144] A. Lujan, A. Ramos, J. Swart, and P. Enquist, Dry etch characterization of BCB for application in a multilevel interconnection, *Proc. of the Ibero American Microelec. Conference*, pp. 595-605, 1995.
- [145] P. Verdonck, Dry etching for integrated circuit fabrication em *Processos de Microeletrônica, editado por V. Baranauskas - Unicamp*, 1990.
- [146] A. C. S. Ramos, Construção e caracterização de um plasma iônico reativo, Master's thesis, Universidade de Campinas (Unicamp), 1993.
- [147] J. Martino, A. Seabra, J. Swart, I. Braz, and K. Favoretto *Proc. of the II Cong. of the Brazilian Microelec. Soc.*, pp. 466-475.
- [148] W. Ma, Plasma resist image stabilization technique, *PRIST, IEEE*, p. 22, 1980.
- [149] D. D'Avanzo, Proton Isolation for GaAs Integrated Circuits, *IEEE Trans. Elec. Dev.*, vol. ED-29, pp. 1051-59, July 1982.
- [150] P. Asbeck *et al.*, GaAs/(Ga,Al)As Heterojunction Bipolar Transistors with Buried Oxygen-Implanted Isolation Layers, *IEEE Elec. Dev. Letters*, vol. EDL-5, pp. 310-2, Aug 1984.
- [151] L. He *et al.*, The Effect of Boron, Oxygen, and Fluorine in Ion Implanted GaAs, *J. Elec. Materials*, vol. 22, pp. 323-9, Mar 1993.
- [152] M. Spak *et al.*, Mechanism and Lithografic Evaluation of Image Reversal in AZ 5214 Photoresist, *Proc. 7th Int. Conf. Photopolymers*, vol. Ellenville-NY.
- [153] V. Marriot, C. M. Corza, and M. Spak, Image reversal: A Practical approach to submicron lithography, *Pub. Hoechst, Semiconductor and Design Center*.
- [154] G. S. Marlow and M. B. Das, The Effects of Contact Size and Non Resistance on the Determination of Specific Contact Resistance, *Solid-State Elec.*, vol. 25, no. 2, pp. 91-94, 1982.
- [155] H. Berger, Contact Resistance and Contact Resistivity, *J. Electrochem. Soc.: Solid-State Science and Techn.*, vol. 119, pp. 507-514, April 1972.
- [156] E. R. Williams, ed., *Modern GaAs Processing Methods*. Artech House, 1990.
- [157] T. S. Kuan *J. Appl. Phys.*, vol. 54, p. 6952, 1990.
- [158] R. A. Bruce and G. R. Piercy *Solid-State Elec.*, vol. 30, p. 729, 1987.
- [159] M. Shur, *GaAs Devices and Circuits*. Plenum Pub. Corp., NY, USA, 1986. Chapter 11.
- [160] Y. Saito *Materials Research Soc.*, vol. Symp. Proc. 300, pp. 267-272.
- [161] I. Getreu, *Modeling the Bipolar Transistor*. Tektronix Inc., USA, 1976.
- [162] S. Long and S. Butner, *Gallium Arsenide Digital Integrated Circuit Design*. McGraw Hill Pub. Co.
- [163] J. Liou and J. Yuan, Physics-Based Large Signal Heterojunction Bipolar Transistor Model for Circuit Simulation, *IEE Proc.-G*, vol. 138, pp. 97-103, February 1991.
- [164] H. Chan and T. Shie *IEEE Trans. Elec. Dev.*, vol. 38, pp. 2427-2432, Nov 1991.
- [165] B. Ryum and I. Abdel-Motaleb *Solid-State Elec.*, vol. 34, no. 10, pp. 1125-1139, 1991.
- [166] J. Dupuis, R. Hajji, F. Ghannouchi, K. Saab, and S. Lavalée *IEEE Trans. Elec. Dev.*, vol. 42, pp. 2036-2042, Dec 1995.
- [167] G. Gao, D. Roulston, and H. Morkoç *IEEE Trans. Elec. Dev.*, vol. 37, May 1990.
- * * *