



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação
Departamento de Semicondutores, Instrumentos e Fotônica

ASIC PARA A GERAÇÃO DE SENÓIDE COM FREQUÊNCIA VARIÁVEL BASEADA EM PWM

Autor:

WILSON DA SILVA JÚNIOR

Orientador:

Carlos Alberto dos Reis Filho

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como requisito para a obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho.

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho	– UNICAMP/FEEC/DSIF
Prof. Dr. Saulo Finco	– CenPRA
Prof. Dr. Fabiano Fruett	– UNICAMP/FEEC/DSIF

Campinas, dezembro de 2002

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

Si38a Silva Júnior, Wilson da
 Asic para a geração de senóide com frequência
 variável baseada em PWM / Wilson da Silva Júnior.--
 Campinas, SP: [s.n.], 2002.

 Orientador: Carlos Alberto dos Reis Filho.
 Dissertação (mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

 1. Modulação de duração do pulso. 2. Geradores de
 sinais. 3. Análise harmônica. I. Reis Filho, Carlos
 Alberto dos. II. Universidade Estadual de Campinas.
 Faculdade de Engenharia Elétrica e de Computação. III.
 Título.

RESUMO

Este trabalho visa o projeto e implementação de um circuito integrado em tecnologia CMOS para a geração de sinais PWM (Modulação por Largura de Pulso) senoidais. Ele apresenta as principais motivações para a geração desses sinais bem como o estudo da distorção harmônica dos sinais senoidais produzidos.

Esta dissertação se divide em 5 capítulos sendo que o capítulo 1 apresenta o conceito de sinal PWM senoidal. O capítulo 2 apresenta todo o estudo da distorção harmônica do sinal PWM senoidal e da sua eficiência energética em um estágio *Push-Pull* classe B e em um estágio inversor. O capítulo 3 trata do projeto do circuito integrado, incluindo resultados de simulação. O capítulo 4 apresenta os resultados práticos referentes ao circuito integrado construído. O capítulo 5 é dedicado à conclusão do trabalho. Após, é apresentada a bibliografia consultada.

ABSTRACT

This work aims at the design and implementation of a CMOS integrated circuit for sine PWM (Pulse Width Modulation) signals generation. It presents the major motivations for the generation of these signals. In addition, a study of the harmonic distortion in PWM sine signals is presented.

This text is divided in 5 chapters. The first one is a general presentation of the sine PWM signal concept. The chapter 2 presents the study of the harmonic distortion of the sine PWM signals and the power efficiency study for these signals exciting a Push-Pull class B amplifier and an inverter. The chapter 3 presents the designed integrated circuit including simulation results. The chapter 4 presents the experimental results of the implemented integrated circuit. The chapter 5 is dedicated to the conclusion of this work. After chapter 5, the analyzed bibliography is presented.

“...para o homem, a mais alta realização é ser capaz de fazer.”

Gurdjieff

*Aos meus pais, Wilson e Terezinha,
e irmãos, Paulo e Eduardo.*

AGRADECIMENTOS

Nesta oportunidade única que é concluir uma dissertação de mestrado, não posso deixar de agradecer aos que mais contribuíram para que eu chegasse até aqui.

A Deus pelo amparo sem interrupções.

Aos meus pais e irmãos pelo apoio e conforto.

À minha namorada Carina pelo amor, paciência e compreensão.

Ao professor Carlos Reis pela oportunidade e orientação.

Aos meus amigos Marcos Maurício Pelicia, Fernando Castaldo, João Paulo Cerquinho Cajueiro, André Luis do Couto, Renata Rodrigues, Marcelo de Paula Campos, Roberto Cyrulnik, Paulo Augusto Dal Fabbro, Murilo Pilon Pessati e Leandro Ferrari Crocomo pela ajuda e amizade durante o curso de mestrado, amizade esta que, sem dúvida, se estenderá pela vida.

Ao CenPRA (antigo ITI) e, sobretudo, ao Dr. Saulo Finco pelo auxílio técnico.

À Motorola via Instituto Eldorado de Pesquisas pelo apoio financeiro.

À Faculdade de Engenharia Elétrica da UNICAMP pela infra-estrutura e, principalmente, pelas mentes brilhantes de seus professores.

SUMÁRIO

Capítulo 1 – INTRODUÇÃO.....	1
Capítulo 2 – SINAL PWM SENOIDAL.....	4
2.1 – Modulação PWM.....	4
2.2 – Análise da distorção do sinal PWM senoidal.....	7
2.3 – Eficiência energética da excitação PWM senoidal.....	19
2.3.1 – <i>Push-Pull</i> classe B com excitação senoidal contínua.....	20
2.3.2 – Inversor com excitação PWM senoidal.....	25
Capítulo 3 – PROJETO DO CIRCUITO INTEGRADO.....	30
3.1 – Visão geral do projeto.....	30
3.2 – Especificações do projeto.....	31
3.3 – Projeto do <i>shift-register</i>	33
3.4 – Projeto do oscilador em anel <i>on-chip</i>	47
3.5 – Projeto do conversor V-I.....	60
3.6 – Cálculo do consumo de energia do CI.....	62
3.7 – Diagrama geral e <i>layout</i> do CI.....	65
Capítulo 4 - AVALIAÇÃO DOS RESULTADOS PRÁTICOS.....	69
4.1 – Montagem da estrutura de teste.....	69
4.2 – Oscilador em anel <i>on-chip</i>	70
4.3 – Sinal PWM senoidal.....	75
4.4 – Conversor V-I.....	87
4.5 – Consumo de energia do CI.....	90
4.6 – Fotomicrografia do CI.....	91
Capítulo 5 – CONCLUSÕES.....	92
BIBLIOGRAFIA.....	94

INTRODUÇÃO

A impedância do sangue vem sendo investigada como uma variável que indica a tendência em seres vivos a doenças cardiovasculares. Neste contexto, o desenvolvimento de um dispositivo miniaturizado que possa efetuar esta medição é altamente desejável. O principal mercado para tal dispositivo é o de pacientes que portam marca-passo, sendo este dispositivo um acessório. Também, como um dispositivo para diagnóstico, há o mercado de laboratórios clínicos para medidas “*in-vitro*”.

Um circuito integrado (CI) que realiza a medida da impedância sangüínea é um circuito complexo, sendo constituído de vários subcircuitos. Para realizar a medida da impedância sangüínea e para estar agregado a um marca-passo, o CI deve apresentar algumas características especiais. Uma delas é que o circuito necessita ser altamente confiável, ou seja, apresentar funcionalidade em todas as condições. Pelo fato de que o CI pode estar localizado no interior do corpo do paciente, a ausência de manutenção é desejada e, por isso, a alta confiabilidade é exigida. Outra, é que o CI não deve consumir energia significativa para não reduzir o tempo de vida da bateria do marca-passo que é, em média, de cinco anos. Uma terceira característica é que a excitação sangüínea para a medida da sua impedância não pode introduzir níveis CC no sangue. A introdução de níveis CC no sangue pode provocar a sua coagulação [14].

Com a finalidade de explorar uma alternativa para a geração de sinais senoidais com componente CC nula, com alta eficiência energética e com alto grau de confiabilidade, a presente dissertação de mestrado trata do projeto de um CI para a geração digital de sinais PWM (do inglês *Pulse-Width Modulation*) senoidais. O presente trabalho se restringe, então, à excitação senoidal, que corresponde a uma das partes do CI que realizará a medida da impedância sangüínea.

Há diversas alternativas de circuitos para a geração de formas de onda senoidais. Dentre elas, as mais conhecidas são o oscilador em Ponte de Wien, o oscilador a cristal, o oscilador por duplo integrador [3] e o gerador senoidal por princípio translinear [4]. O oscilador em ponte de Wien apresenta o problema de que a variação da frequência de

operação se dá por ajustes de componentes passivos e, dependendo da faixa de variação da frequência desejada, esta técnica pode se tornar proibitiva para integração [1] [2]. O oscilador a cristal, apesar de ser altamente estável em frequência, não pode ser integrado. Ainda, para operação em diversas frequências, seriam necessários vários cristais. O oscilador por duplo integrador apresenta uma solução nula, o que significa que o oscilador pode não partir no momento desejado [3]. O gerador senoidal por princípio translinear pode ser integrado, porém, necessita de ajustes finos para anular os desvios de fabricação que causam, além de componente CC não nula, distorções de terceiro harmônico acentuadas [4]. Todas as formas de geração de sinais senoidais acima listadas apresentam, portanto, alguma limitação.

A forma de geração de sinais senoidais por PWM, que é o tema do presente trabalho, consiste na geração de pulsos cujas transições ocorrem em instantes bem definidos. Os instantes das transições são escritos em um arquivo que é usado na programação do CI. A filtragem do sinal PWM senoidal juntamente com a escolha adequada dos índices de modulação em amplitude e em frequência podem promover a obtenção de um sinal senoidal com baixa distorção harmônica [6] [8]. A Figura 1.1 ilustra o diagrama em blocos do método de geração de sinais senoidais por sinais PWM senoidais.

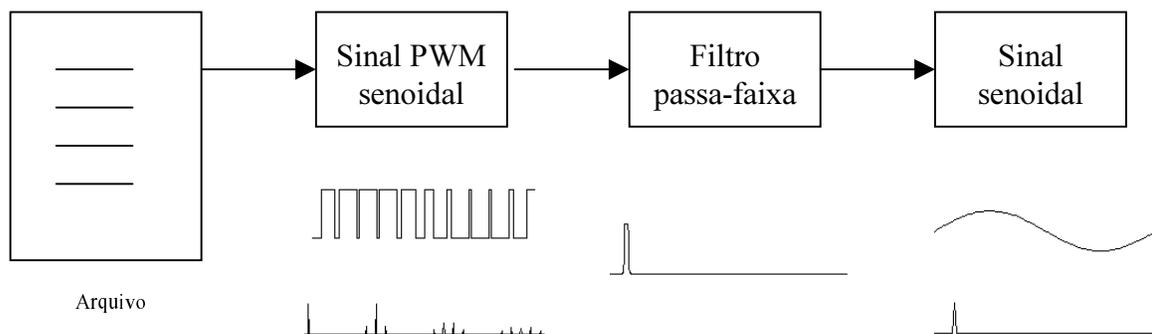


Figura 1.1: Diagrama em blocos do gerador de sinal senoidal por PWM senoidal.

O sinal PWM senoidal é um sinal com alta distorção harmônica (devido ao chaveamento), porém, através da escolha adequada dos índices de modulação em

amplitude e em frequência, pode-se alocar os harmônicos em posições espectrais distantes da componente fundamental que é a componente de interesse. Assim, utilizando-se um filtro passa-faixa, a componente fundamental pode ser extraída do sinal PWM senoidal e os harmônicos existentes são filtrados. Como será visto no decorrer dos próximos capítulos, o método de geração de sinais senoidais por sinais PWM senoidais pode permitir uma ampla faixa de variação de frequência, níveis CC nulos, alta eficiência energética nas chaves dos estágios de excitação e alta confiabilidade. Ou seja, essa técnica de geração de sinais senoidais pode apresentar vantagens em relação às demais técnicas listadas anteriormente. No entanto, ela também pode apresentar limitações, principalmente no que se refere ao consumo de energia para a geração do sinal PWM senoidal. Dependendo da tecnologia utilizada, este método de geração de senóide pode consumir muita energia. Como o consumo de energia tem uma componente expressiva associada ao circuito digital de processamento, é possível reduzir este consumo utilizando-se uma tecnologia de menor consumo. Este trabalho utiliza a tecnologia CMOS 0,6 μ m 5V e as células básicas da AMS [16]. Uma projeção do consumo de energia em uma tecnologia de menor consumo será realizada para comprovar que é possível gerar o sinal PWM senoidal com consumo menor de energia.

SINAL PWM SENOIDAL

2.1 – Modulação PWM

A modulação é um processo que permite transferir informações contidas em sinais A e B para um sinal resultante de C.

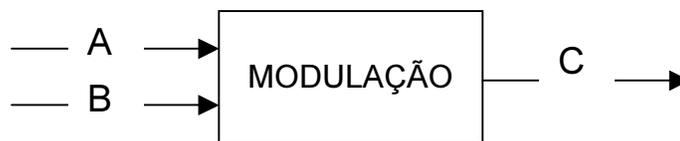


Figura 2.1: Processo de modulação.

A área de telecomunicações é a que mais utiliza o processo de modulação. Citam-se, por exemplo, os processos de modulação em amplitude (AM) e de modulação em frequência (FM), comuns em rádio difusão. Estes processos de modulação permitem a transferência da informação de áudio que é um sinal de baixa frequência (sinal modulante) para um sinal modulado de alta frequência que é capaz de se propagar pelo ar carregando as informações de áudio até os receptores de rádio. Nestes casos, o sinal de áudio (sinal A) provoca variações proporcionais na amplitude (AM) ou na frequência (FM) da portadora (sinal B) gerando o sinal modulado (sinal C).

O processo de modulação por largura de pulso (PWM) consiste na geração de um sinal chaveado que é resultado da comparação em amplitude de um sinal que contém a informação desejada (sinal modulante) com um sinal de referência (portadora) com frequência maior do que a do sinal modulante [6].

A modulação PWM é mais comumente utilizada na área de eletrônica de potência, pois o sinal PWM, por ser um sinal chaveado, permite um maior rendimento dos circuitos haja vista a menor dissipação de potência nas chaves desses circuitos [6] [7]. O estudo da eficiência energética em estágios de saída *Push-Pull* classe B para as formas de excitação senoidal contínua e PWM senoidal será visto na Seção 2.3.

Para a geração de um sinal PWM senoidal de frequência f_o , o sinal modulante corresponde a uma senóide de frequência f_o e a portadora corresponde a um sinal periódico (triangular ou senoidal) com frequência nf_o , com n inteiro e maior do que um [6]. Geralmente, a portadora utilizada é um sinal triangular devido à maior facilidade de geração desse sinal e devido ao efeito de linearidade na comparação (módulo da derivada do sinal triangular é constante) [6]. No entanto, outros sinais periódicos podem ser utilizados para a geração do sinal PWM senoidal, cada um influenciando o espectro de frequências do sinal PWM senoidal de maneira diferente. Se a portadora não for periódica, esta não pode ser tratada como sinal de referência e a comparação existente no processo de modulação PWM não ocorrerá de forma adequada, acentuando a distorção do sinal PWM senoidal [6]. Os fatores que influenciam a distorção harmônica do sinal PWM senoidal serão apresentados na Seção 2.2. A Figura 2.2 abaixo ilustra um circuito genérico para a geração de um sinal PWM senoidal.

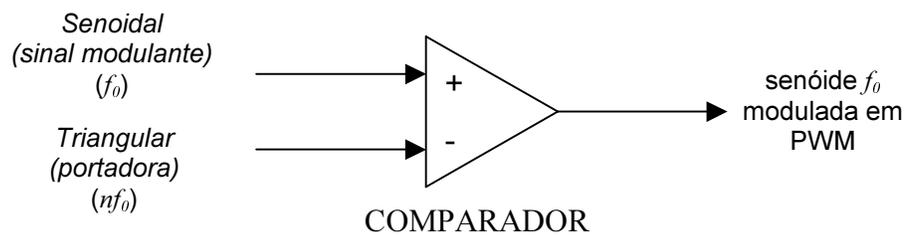


Figura 2.2: Circuito para geração de sinal PWM senoidal.

Baseando-se na Figura 2.2 acima, pode-se explicar o processo de modulação PWM senoidal. Enquanto a amplitude do sinal senoidal for maior do que a do sinal triangular, a saída do comparador de tensão apresenta estado 1 e, enquanto a amplitude do sinal senoidal for menor que a do triangular, a saída do comparador de tensão apresenta estado 0. A Figura 2.3 apresenta as formas de onda do processo de geração do sinal PWM senoidal para um sinal senoidal de frequência f_o igual a 20 kHz e portadora triangular de frequência nf_o igual a 220 kHz.

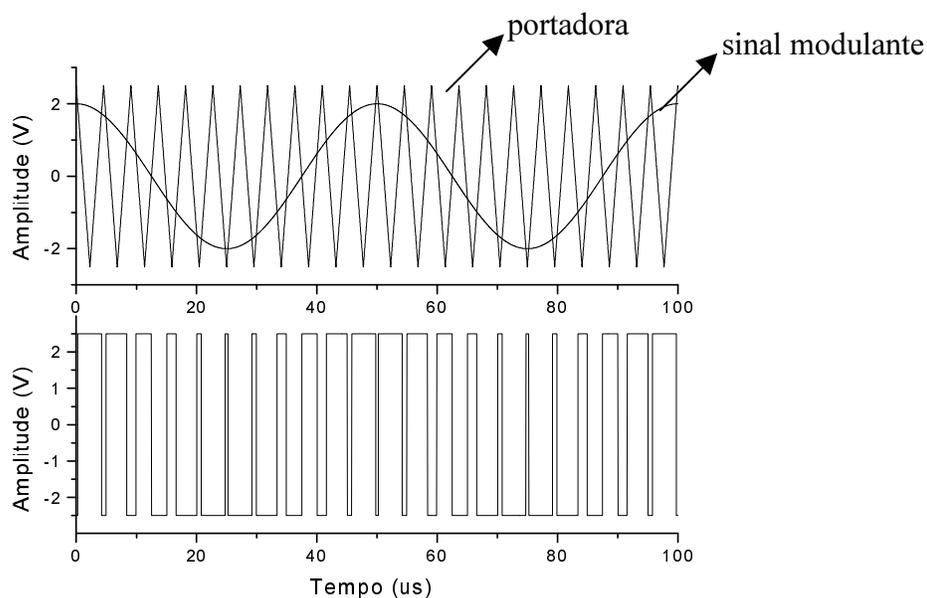


Figura 2.3: Geração do sinal PWM senoidal com portadora triangular.

Pelos gráficos anteriores, nota-se que, enquanto a amplitude do sinal senoidal é menor do que a do sinal triangular, o sinal PWM senoidal apresenta estado 0, ou seja, -2,5V e, quando ocorre o contrário, o sinal PWM apresenta estado 1, ou seja, +2,5V.

Caso a portadora triangular seja substituída por uma senoidal, o sinal PWM senoidal não se altera no aspecto, esse continua sendo um sinal chaveado resultante da comparação entre o sinal modulante e a portadora [8].

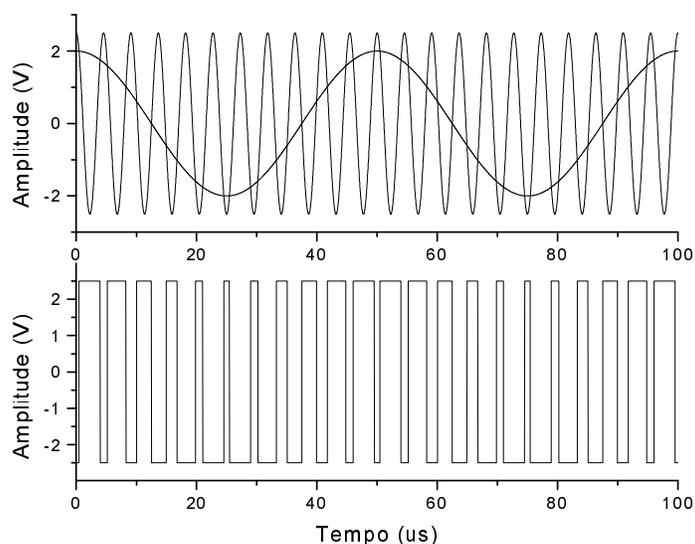


Figura 2.4: Geração do sinal PWM senoidal com portadora senoidal.

No entanto, o espectro de frequências do sinal PWM é modificado, como será visto na Seção 2.2.

Observa-se pelo gráfico acima que a utilização de uma portadora senoidal não altera a forma do sinal PWM senoidal. Observam-se diferenças nas larguras dos pulsos comparativamente ao sinal PWM senoidal gerado com portadora triangular para mesmos índices de modulação em frequência e em amplitude.

2.2 – Análise da distorção do sinal PWM senoidal

Todo processo de modulação gera um sinal que é distorcido em relação ao sinal modulante e à portadora. Considerando que o sinal modulante é um sinal puramente senoidal, a distorção do sinal PWM senoidal é influenciada, basicamente, pela natureza da portadora e pelos índices de modulação em frequência e em amplitude [6] [8].

O espectro de frequências para uma portadora senoidal de frequência nf_0 igual a 220 kHz é mostrado na Figura 2.5.

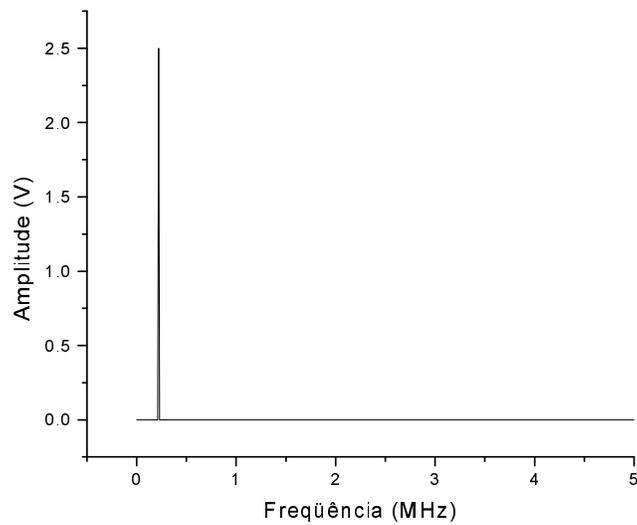


Figura 2.5: Espectro de frequências do sinal senoidal.

Como se pode observar pela Figura 2.5, a portadora apresenta apenas a componente de frequência ηf_0 igual a 220 kHz no seu espectro de frequências, o que já era esperado. Já para uma portadora triangular de frequência ηf_0 igual a 220 kHz, por exemplo, tem-se o seguinte espectro de frequências ilustrado pela Figura 2.6:

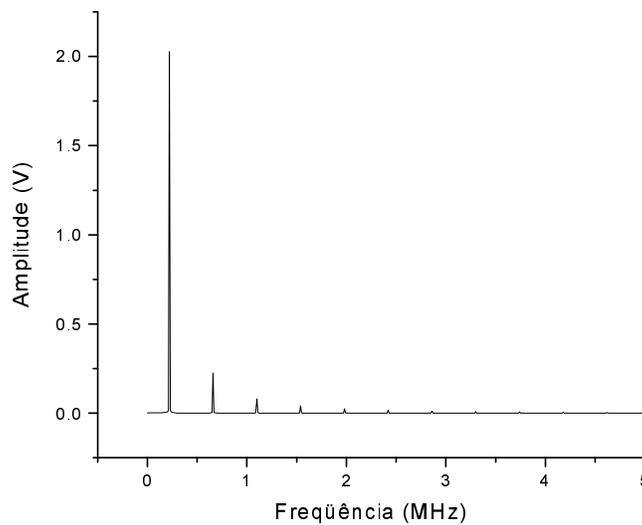


Figura 2.6: Espectro de frequências do sinal triangular.

Como se pode observar pelo gráfico anterior, o espectro de freqüências de uma portadora triangular apresenta componentes harmônicos ímpares da freqüência nf_0 que, neste caso, é 220 kHz.

Assim, como o sinal PWM senoidal é resultado de um processo de modulação e por isso contém as informações do sinal modulante e da portadora, conclui-se que o espectro de freqüências do sinal PWM senoidal é modificado pelo tipo de portadora utilizada no processo de modulação [8]. A Figura 2.7 a seguir ilustra o espectro de freqüências do sinal PWM senoidal com portadora triangular e senoidal, respectivamente.

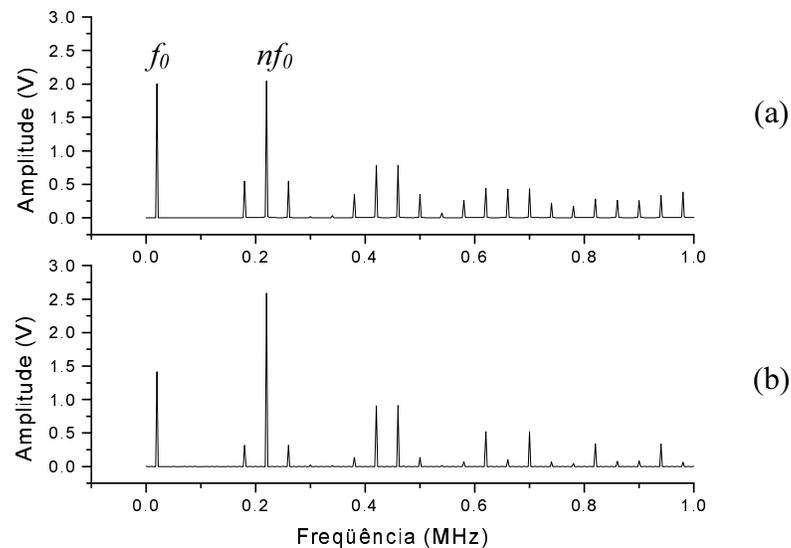


Figura 2.7: Espectro de freqüências do sinal PWM senoidal resultante da modulação com portadora (a) triangular e (b) senoidal.

Observa-se pelos gráficos anteriores que, de fato, a natureza da portadora tem influência sobre o espectro de freqüências do sinal PWM senoidal. Por exemplo, nota-se que para portadora senoidal, o espectro de freqüências do sinal PWM senoidal é mais “limpo”, apresentando alguns dos harmônicos de ordem superior com amplitudes muito reduzidas, porém concentrando a energia na portadora e no sinal modulante. Já para portadora triangular, nota-se um espectro de freqüências mais “sujo”, com mais harmônicos de ordem superior com amplitudes significativas. Porém, observa-se que a amplitude do sinal modulante é maior e a da portadora é menor comparativamente à

utilização de portadora senoidal no processo de modulação. O tipo de portadora utilizada no processo de modulação PWM senoidal deve ser escolhido baseado nas necessidades, objetivos e limitações do projeto.

Além de ser influenciada pela natureza da portadora, como visto anteriormente, a distorção harmônica do sinal PWM senoidal também é influenciada pelos índices de modulação em frequência e em amplitude [6].

O índice de modulação em frequência pode ser definido como sendo a razão entre a frequência da portadora e a frequência do sinal modulante, assim:

$$m_f = \frac{f_c}{f_m} \quad (2.1)$$

Já o índice de modulação em amplitude pode ser definido como sendo a razão entre a amplitude do sinal modulante e a amplitude da portadora, assim:

$$m_a = \frac{V_m}{V_c} \quad (2.2)$$

Analisa-se, agora, como os índices de modulação em frequência e em amplitude podem influenciar a distorção harmônica do sinal PWM senoidal.

Se o índice de modulação em frequência assumir um valor não inteiro, haverá o aparecimento de componentes subarmônicas do sinal de informação no espectro de frequências do sinal PWM senoidal. A Figura 2.8 abaixo ilustra a situação em que a frequência da portadora é 2,5 vezes a frequência do sinal modulante, gerando subarmônicos da componente f_0 que nos próximos dois gráficos assume valor 20 kHz.

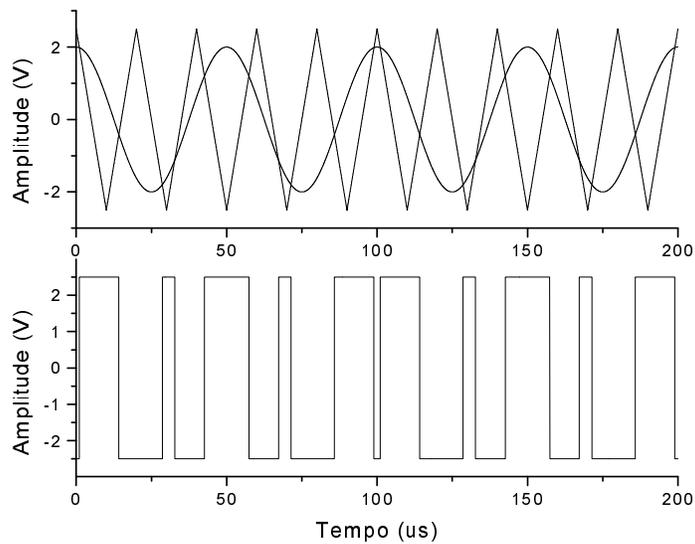


Figura 2.8: Modulação PWM com portadora de frequência múltipla não inteira.

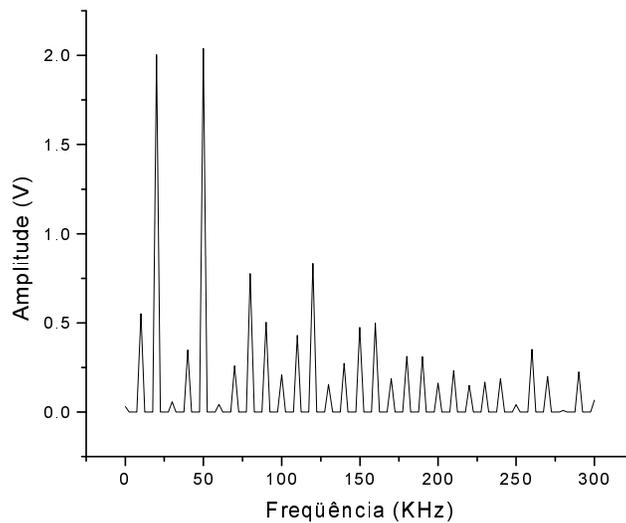


Figura 2.9: Espectro de frequências do sinal PWM senoidal – surgimento de subarmônicos.

Como se pode observar pela Figura 2.9, a utilização de um índice de modulação em frequência igual a 2,5, não inteiro, provocou o aparecimento da componente subarmônica de 10 kHz da fundamental de 20 kHz.

A distância em frequência entre a componente fundamental f_0 do sinal modulante e a portadora nf_0 é diretamente proporcional ao índice de modulação em frequência. Como um primeiro exemplo, toma-se o índice de modulação em frequência igual a 10 e em amplitude igual a 0,8.

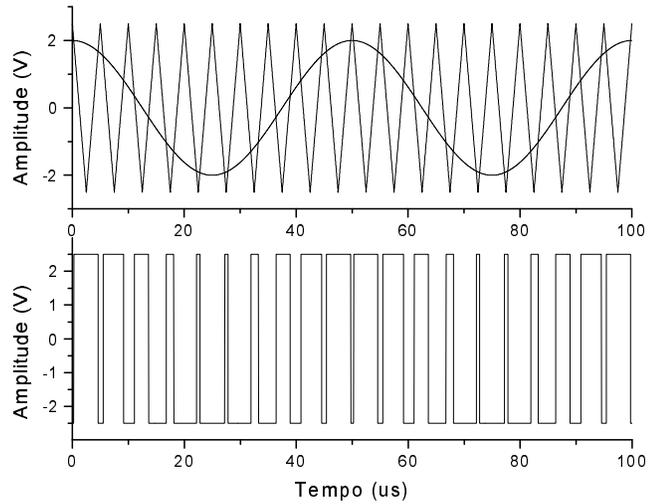


Figura 2.10: Modulação PWM com $m_f=10$ e $m_a=0,8$.

Como segundo exemplo, toma-se o índice de modulação em frequência igual a 15 e em amplitude igual a 0,8.

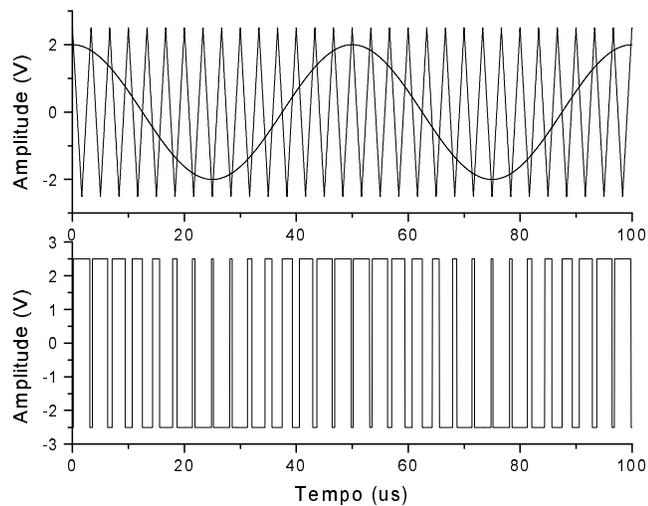


Figura 2.11: Modulação PWM com $m_f=15$ e $m_a=0,8$.

A seguir, a Figura 2.12 ilustra o espectro de freqüências para os sinais PWM senoidais apresentados nas Figuras 2.10 e 2.11, respectivamente.

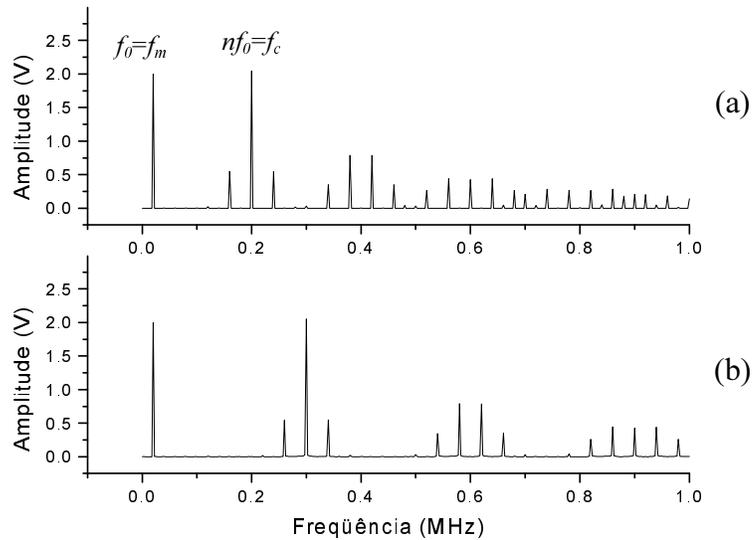


Figura 2.12: Espectro de freqüências do sinal PWM senoidal com índices de modulação iguais a (a) 10 e (b) 15.

Observa-se no espectro de freqüências do sinal PWM senoidal para índice de modulação em freqüência igual a 10 que a componente relativa à portadora está uma década após à componente fundamental de 20 kHz, ou seja, está em 200 kHz. Já para o sinal PWM senoidal com índice de modulação em freqüência igual a 15, observa-se que a componente fundamental da portadora está mais distante da componente fundamental do sinal de informação, ou seja, está em 300 kHz.

Conclui-se, portanto, que quanto maior o índice de modulação em freqüência, mais distante da fundamental os harmônicos de ordem superior se encontram. Esse fato pode facilitar a construção do filtro para extração da componente fundamental do sinal de informação, porém, aumenta o consumo de energia devido ao fato de que o aumento do índice de modulação em freqüência aumenta o número de transições do sinal PWM senoidal em um mesmo período de tempo [7]. Para o índice de modulação em freqüência igual a 10, tem-se 20 transições por período e para o índice igual a 15, tem-se 30 transições. O número de transições em um período do sinal de informação é o dobro do índice de modulação em freqüência. O consumo de energia será estudado na Seção 2.3.

Outra característica notável é que, se o índice de modulação em frequência é par, igual a 10, por exemplo, há o aparecimento de harmônicos pares no espectro do sinal PWM senoidal. Já para índices de modulação em frequência ímpares, igual a 15, por exemplo, só há a existência de harmônicos ímpares, o que proporciona um espectro mais “limpo” em relação ao espectro do sinal PWM senoidal com índice de modulação par.

O índice de modulação em frequência, portanto, é um parâmetro importante no projeto do circuito gerador de sinal PWM senoidal e deve ser escolhido de acordo com as necessidades, limitações e objetivos do projeto, pois este pode influenciar questões relativas à complexidade do filtro e consumo de energia.

Como visto anteriormente, o índice de modulação em frequência pode determinar o aparecimento de componentes subarmônicas e mudar a posição das componentes espectrais. Já o índice de modulação em amplitude pode, além de determinar as amplitudes das componentes espectrais, determinar o aparecimento de novas componentes harmônicas em bandas laterais à componente fundamental.

A Figura 2.13 a seguir ilustra o gráfico das regiões de operação dependentes do índice de modulação em amplitude para um índice de modulação em frequência igual a 15 e portadora triangular [6].

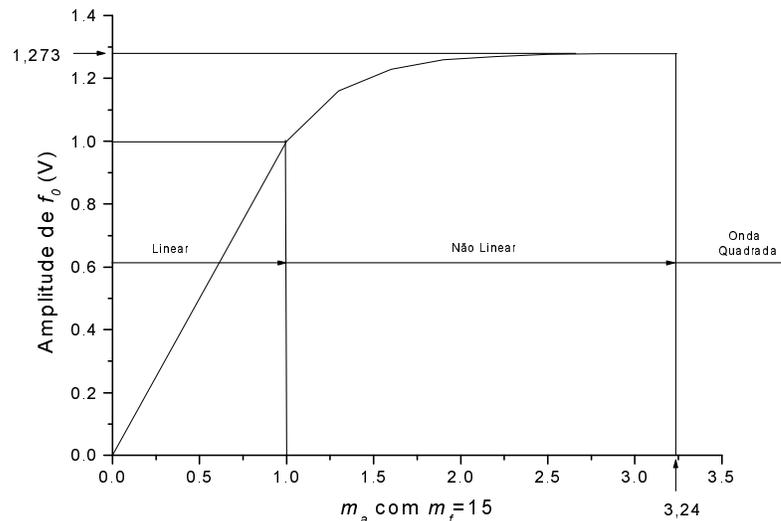


Figura 2.13: Regiões de modulação definidas pelo índice de modulação em amplitude.

Se o índice de modulação em amplitude é menor ou igual a 1, opera-se na região chamada de modulação linear e tem-se:

- a amplitude da componente fundamental de frequência f_0 varia linearmente com m_a .
- a amplitude da componente fundamental pode assumir valor máximo igual à amplitude da portadora quando $m_a=1$.
- os harmônicos são deslocados para as regiões de alta frequência, ao redor da componente fundamental da portadora e de seus harmônicos.

Como exemplo, apresenta-se a Figura 2.14:

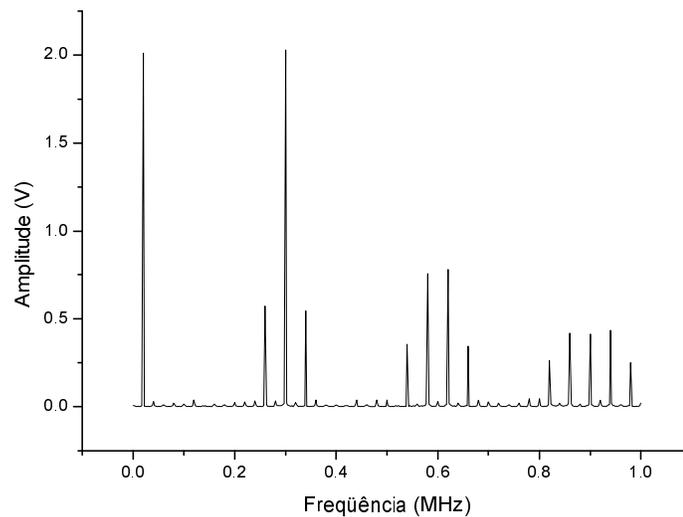


Figura 2.14: Espectro de frequências do sinal PWM senoidal na região linear de modulação $m_a=0,8$ e $m_f=15$.

O gráfico acima corresponde ao espectro de frequências de um sinal PWM senoidal de 20 kHz com índice de modulação em amplitude igual a 0,8 e índice de modulação em frequência igual a 15. A amplitude da portadora triangular é 2,5V. Observa-se que a amplitude da componente de 20 kHz é igual a 2V ($0,8 \times 2,5V$) e que os harmônicos estão deslocados para as regiões de alta frequência em bandas laterais à portadora, que tem frequência 300 kHz (15×20 kHz), e de seus harmônicos.

Se o índice de modulação em amplitude é maior que 1, diz-se sobremodulação, opera-se na região não-linear de modulação e tem-se:

- a amplitude da componente fundamental não varia linearmente com m_a .
- a amplitude da componente fundamental pode assumir valores até $4/\pi$ (1,273) vezes a amplitude da portadora.
- há um aumento do número de harmônicos ao redor da componente fundamental f_0 .

A Figura 2.15 ilustra as formas de onda do sinal PWM senoidal sobremodulado, com $m_a=1,2$ e $m_f=15$.

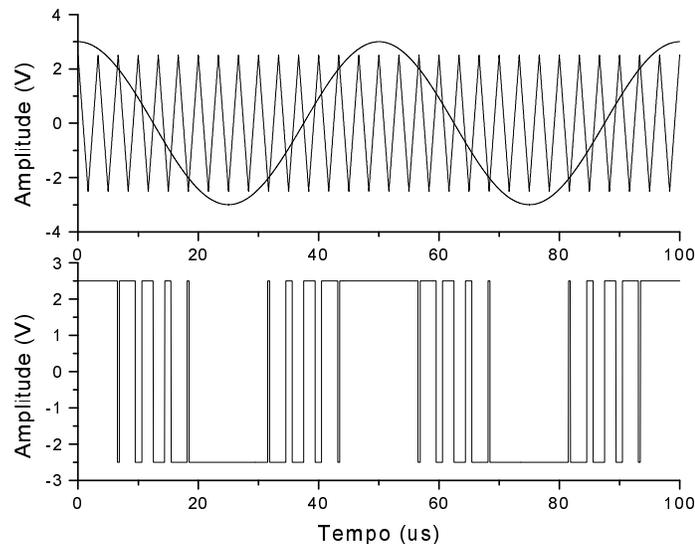


Figura 2.15: Sinal PWM senoidal sobremodulado; $m_a=1,2$ e $m_f=15$.

Observa-se no gráfico anterior que a sobremodulação apresenta uma característica importante que é a de diminuir o número de transições do sinal PWM senoidal em um período, o que pode significar redução do consumo de potência [7]. Porém, para sobremodulação há o inconveniente do surgimento de componentes harmônicas em bandas laterais à componente fundamental. A Figura 2.16 ilustra a situação.

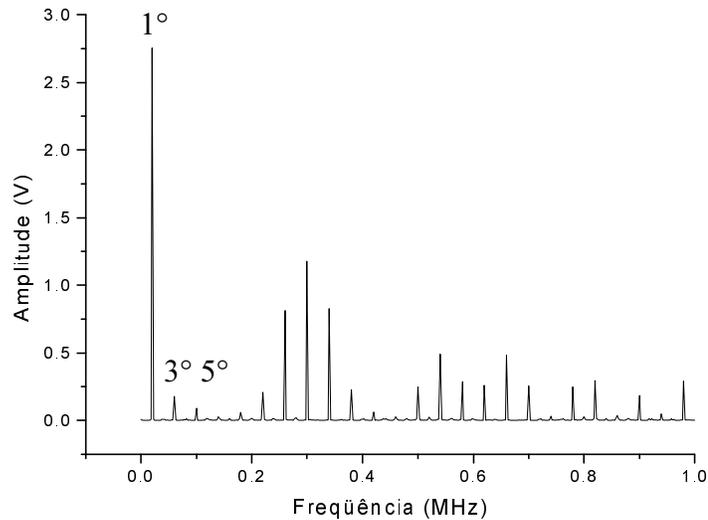


Figura 2.16: Espectro de frequências do sinal PWM senoidal sobremodulado;
 $m_a=1,2$ e $m_f=15$.

A Figura 2.16 apresentada anteriormente corresponde ao espectro de frequências de um sinal PWM senoidal de 20 kHz com índice de modulação em amplitude igual a 1,2 e índice de modulação em frequência igual a 15. Observa-se que a amplitude da componente de 20 kHz é igual a 2,72 que não corresponde a $1,2 \times 2,5$ e que os harmônicos não estão deslocados somente para as regiões de alta frequência, próximos à portadora. Agora há o surgimento de harmônicos em bandas laterais à componente fundamental de 20 kHz, sobretudo o terceiro e quinto harmônicos.

Os gráficos abaixo referem-se à região após a região não-linear, chamada de onda quadrada. Isto porque índices de modulação maiores que 3,24 transformam o sinal PWM senoidal em um sinal quadrado [6]. Nos gráficos abaixo tem-se índice de modulação em amplitude igual a 6 e índice de modulação em frequência igual a 15.

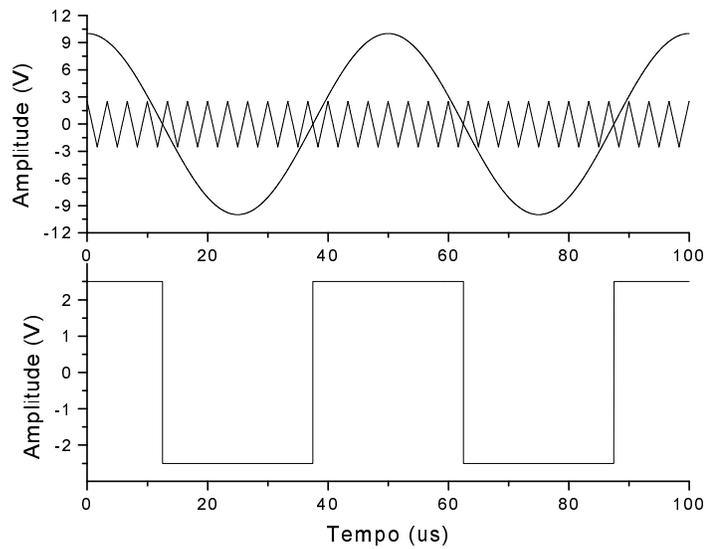


Figura 2.17: Modulação PWM na região de onda quadrada; $m_a=6$ e $m_f=15$.

Observa-se nos gráficos acima que o sinal PWM senoidal realmente passa a ser um sinal quadrado se o índice de modulação em amplitude for maior que 3,24. As amplitudes dos harmônicos de baixa ordem, próximos à componente fundamental do sinal de informação (20 kHz) passam a ser muito significativos.

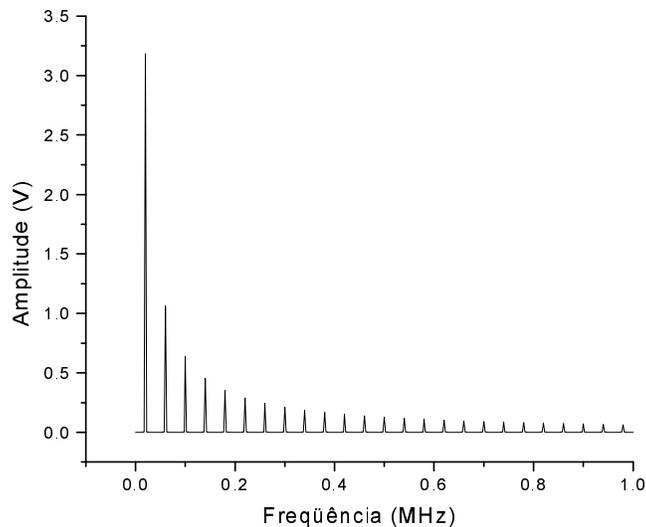


Figura 2.18: Espectro de frequências do sinal PWM senoidal na região de onda quadrada; $m_a=6$ e $m_f=15$.

Poder-se-ia gerar um sinal senoidal através de um sinal quadrado, porém, a seletividade do filtro necessitaria ser muito alta, o que inviabiliza essa alternativa frente à de geração de sinal senoidal através de sinal PWM senoidal, que necessita de um filtro com seletividade menor e por consequência é construtivamente menos complexo e mais barato.

A seguir, a Tabela 2.1 apresenta os valores das componentes harmônicas mais significativas de um sinal PWM senoidal modulado com portadora triangular, gerado na região linear e com índice de modulação em frequência igual a 15 [6]. Os valores da Tabela 2.1 foram extraídos de [6], no entanto, estes poderiam ser obtidos através do cálculo dos coeficientes da série de Fourier para o sinal PWM.

Tabela 2.1: Amplitudes das componentes harmônicas do sinal PWM senoidal para $m_f=15$.

m_f	m_a	0,2	0,4	0,6	0,8	1,0
f_0		0,2	0,4	0,6	0,8	1,0
m_f		1,242	1,15	1,006	0,818	0,601
$m_f \pm 2$		0,016	0,061	0,131	0,220	0,318
$m_f \pm 4$		-	-	-	-	0,018
$2m_f \pm 1$		0,190	0,326	0,370	0,314	0,181
$2m_f \pm 3$		-	0,024	0,071	0,139	0,212
$2m_f \pm 5$		-	-	-	0,013	0,033
$3m_f$		0,335	0,123	0,083	0,171	0,113
$3m_f \pm 2$		0,044	0,139	0,203	0,176	0,062
$3m_f \pm 4$		-	0,012	0,047	0,104	0,157
$3m_f \pm 6$		-	-	-	0,016	0,044
$4m_f \pm 1$		0,163	0,157	0,008	0,105	0,068
$4m_f \pm 3$		0,012	0,070	0,132	0,115	0,009
$4m_f \pm 5$		-	-	0,034	0,084	0,119
$4m_f \pm 7$		-	-	-	0,017	0,050

2.3 – Eficiência energética da excitação PWM senoidal

Dependendo dos valores dos índices de modulação em amplitude e em frequência, o sinal PWM senoidal pode apresentar grande quantidade da informação de um sinal

senoidal de forma que essa informação pode ser extraída pela utilização de um filtro passa-faixa seletivo. Em primeira instância, o fato pelo qual há motivação em utilizar um sinal PWM senoidal frente a um gerador senoidal contínuo para medida de impedância é o de que há uma diminuição na dissipação de energia no estágio de excitação. O sinal PWM senoidal, por ser um sinal chaveado, faz com que o estágio de saída dissipe energia significativa somente durante as transições do sinal [7]. Isto implica em um aumento da eficiência energética frente ao modo de excitação senoidal contínua.

Uma comparação da eficiência energética entre a excitação senoidal contínua em um estágio de saída *Push-Pull* classe B e a excitação PWM senoidal em um estágio inversor de saída é realizada nesta seção. É bom lembrar que o consumo de energia em estágios anteriores ao estágio de saída, responsáveis pela geração do sinal PWM senoidal ou pela polarização dos circuitos de geração senoidal contínua não será considerado no cálculo da eficiência energética. O intuito é comparar somente a eficiência energética no estágio de saída para os dois tipos de excitação.

2.3.1- *Push-Pull* classe B com excitação senoidal contínua

A Figura 2.19 abaixo apresenta um estágio *Push-Pull* classe B com uma excitação senoidal contínua (V_{sen}) na entrada.

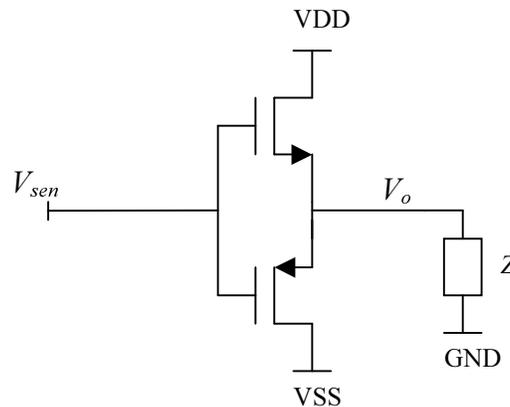


Figura 2.19: Estágio *Push-Pull* classe B com excitação senoidal contínua.

O estágio de saída *Push-Pull* Classe B é um estágio de saída eficiente, pois praticamente não consome energia na ausência de sinal de entrada [2]. Um dos maiores problemas impostos pela configuração acima é a alta distorção por *crossover* [2]. A distorção por *crossover* é oriunda da não idealidade dos transistores MOS, os quais apresentam uma tensão de limiar (V_T) diferente de zero, ou seja, é necessário que a tensão V_{GS} seja maior ou igual à tensão de limiar para que o transistor comece a conduzir. O estágio de saída apresentado na Figura 2.19 apresenta a característica de transferência ilustrada pela Figura 2.20 a seguir.

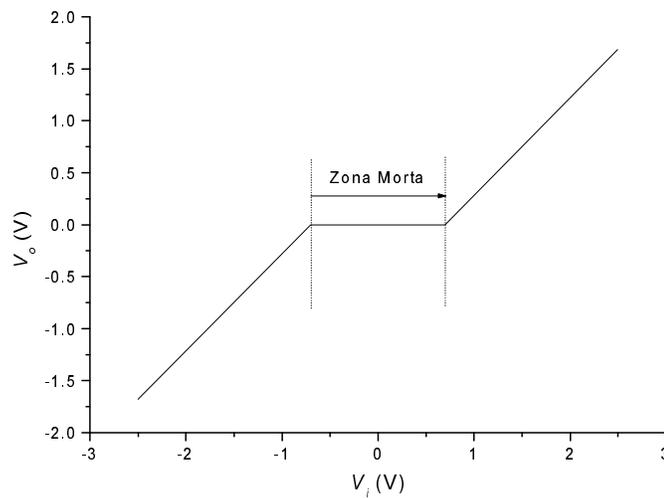


Figura 2.20: Característica de transferência do estágio *Push-Pull* classe B.

Nota-se pela Figura 2.20 acima que há uma zona morta na qual os transistores não conduzem, ocasionando a distorção por *crossover* [2]; sendo V_i a tensão de entrada e V_o a tensão de saída.

Para uma entrada senoidal $V_i = V_{sen}$, a saída V_o do estágio da Figura 2.19 apresenta a seguinte forma devido ao efeito *crossover*.

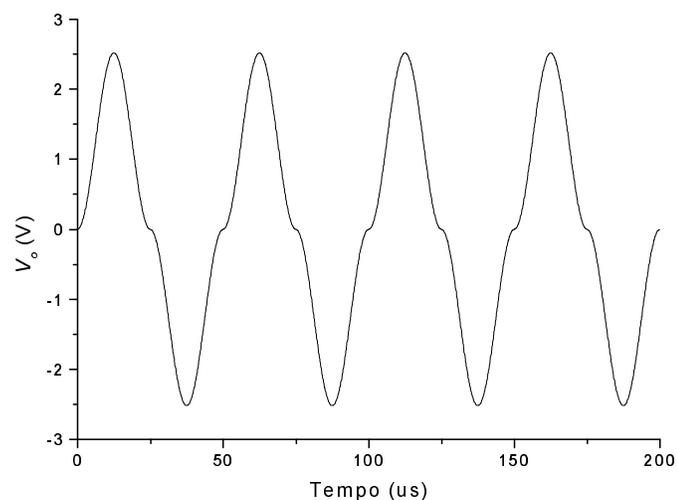


Figura 2.21: Forma de onda na saída de um estágio *Push-Pull* classe B para excitação senoidal na entrada.

Nota-se que o sinal de saída V_o é distorcido em relação a um sinal senoidal. A Figura 2.22 abaixo ilustra o espectro de freqüências do sinal V_o .

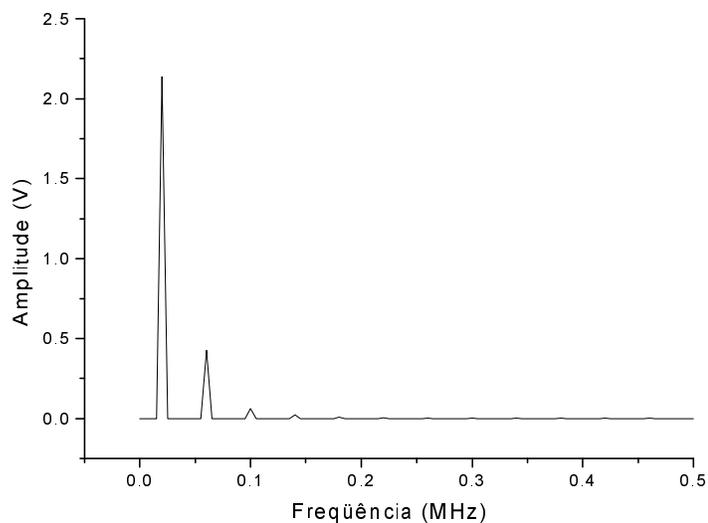


Figura 2.22: Espectro de freqüências do sinal da Figura 2.21.

A distorção por *crossover* gera terceiro harmônico e esta pode ser minimizada ou eliminada pela inserção de polarização no estágio da Figura 2.19 o que o transforma em

um estágio classe AB [2]. A seguir, a Figura 2.23 ilustra um estágio *Push-Pull* classe AB CMOS.

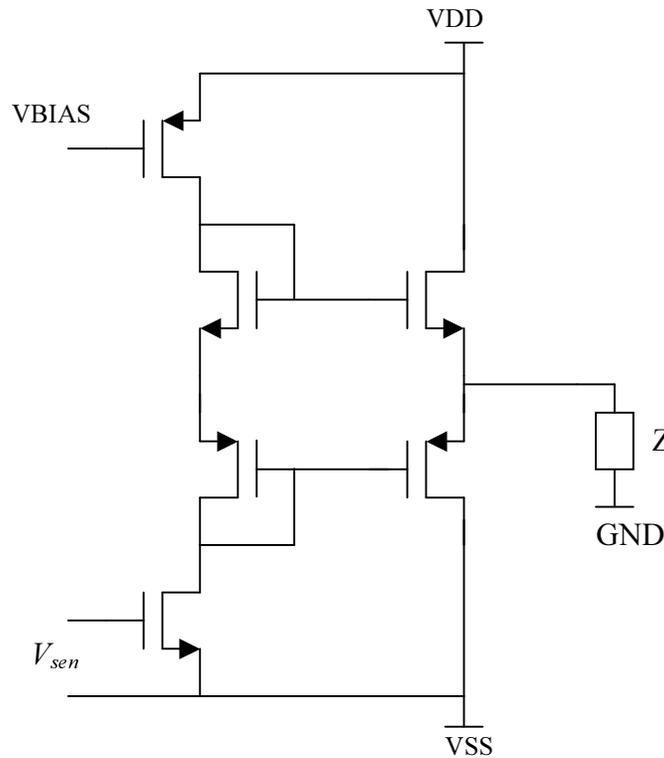


Figura 2.23: Estágio *Push-Pull* classe AB.

Por outro lado, a inserção de polarização causa um consumo de energia residual do estágio classe AB, pois há consumo de energia para entradas nulas [2]. A polarização do estágio classe AB da Figura 2.23 é controlada por uma tensão de polarização VBIAS e a distorção por *crossover* pode ser eliminada.

Considere a situação idealizada em que os transistores MOS do estágio classe B da Figura 2.19 apresentam tensão de limiar igual a zero ($V_{TN} = V_{TP} = 0$). Para efeito de comparação da eficiência energética entre os dois tipos de excitação (PWM senoidal e senoidal contínua) a idealização é válida.

A eficiência do estágio *Push-Pull* classe B para excitação senoidal contínua pode ser calculada da seguinte forma, considerando a impedância Z puramente resistiva e igual a R_L [2]:

$$I_S = \frac{1}{T} \int_0^T I_D(t) dt \quad (2.3)$$

sendo que I_S é a corrente de uma das fontes de alimentação, T o período e $I_D(t)$ a corrente de dreno de um transistor.

Então:

$$I_S = \frac{1}{\pi} \frac{V_0}{R_L} \quad (2.4)$$

sendo que V_0 é a amplitude da tensão sobre a carga.

Desde que as duas fontes forneçam correntes médias iguais para a carga, tem-se:

$$P_S = 2VI_S \quad (2.5)$$

$$\therefore P_S = \frac{2}{\pi} \frac{V}{R_L} V_0$$

sendo que V é a tensão de alimentação de uma das fontes em relação ao terra.

Pela expressão anterior, percebe-se que a potência das fontes de alimentação variam com o nível de tensão na carga.

Considerando que a potência média entregue a carga seja:

$$P_L = \frac{1}{2} \frac{V_0^2}{R_L} \quad (2.6)$$

pode-se definir eficiência com sendo:

$$\eta = \frac{P_L}{P_S} \quad (2.7)$$

$$\eta = \frac{\pi V_0}{4 V}$$

Como a tensão máxima possível sobre a carga é:

$$V_{0máx} = V - V_{DS} \quad (2.8)$$

sendo que V_{DS} é a tensão mínima admissível entre o dreno e a fonte do transistor.

A eficiência máxima obtida para um estágio *Push-Pull* classe B com excitação senoidal contínua é:

$$\eta_{\max} = \frac{\pi (V - V_{DS})}{4 V} \quad (2.9)$$

Considerando ainda uma outra idealização, com $V_{DS}=0$, tem-se eficiência máxima de 78,6%.

Para exemplificar uma situação real, toma-se um estágio *Push-Pull* classe AB (classe B com polarização para minimizar *crossover*) com $V_{DS}=0,1V$ e tensão de limiar $V_{TN}=V_{TP}=0,8V$ para o cálculo da sua eficiência energética. A tensão de alimentação total do estágio é 5V.

$$\eta_{\max} = \frac{\pi (2,5 - 0,1)}{4 \cdot 2,5}$$

$$\eta_{\max} = 75,4\%$$

Assim, a eficiência energética para o estágio *Push-Pull* classe AB (classe B com polarização) é de 75,4%.

2.3.2 - Inversor com excitação PWM senoidal

A Figura 2.24 a seguir apresenta o estágio de saída inversor CMOS com excitação PWM.

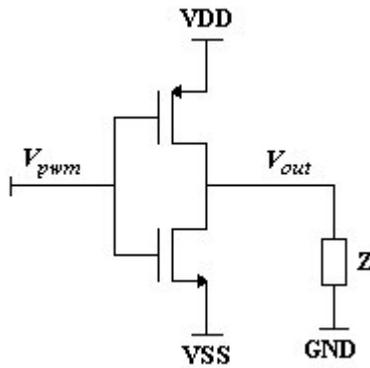


Figura 2.24: Estágio *Push-Pull* classe B com excitação PWM.

A principal vantagem de se utilizar chaveamento na excitação é que a dissipação de energia nos transistores é extremamente reduzida [7]. Isto porque os transistores operam, exceto nas transições, no corte ou na condução.

Considerando a idealidade de que na condução o dispositivo apresenta queda de tensão zero e corrente máxima e no corte este apresenta tensão máxima e corrente zero, conclui-se que o dispositivo não consome energia nesses estados. No entanto, como as idealidades não existem, os dispositivos consomem tanto no corte quanto na condução, porém se observa que a eficiência energética tem um ganho muito expressivo com a utilização de chaveamento, pois nesses estados, o consumo de energia é extremamente baixo.

A potência dissipada pelo estágio inversor da Figura 2.24 durante o estado de condução pode ser calculada da seguinte forma:

$$P_{DS} = V_{DS} I_D \quad (2.10)$$

sendo que P_{DS} é a potência dissipada em cada transistor, V_{DS} é a tensão entre dreno e fonte do transistor e I_D é a corrente de dreno do transistor.

A dissipação de potência durante o corte é desprezada, pois os níveis de corrente são extremamente baixos e correspondem a correntes de fuga basicamente [7].

Assumindo que as transições do sinal PWM senoidal ocorrem de forma linear, que os tempos de subida e descida são iguais, que a corrente no transistor se encontra na

região de saturação e que os fatores de ganho dos dois transistores do estágio de saída são iguais, pode-se calcular a potência dissipada durante as transições (P_{dt}) do estágio inversor da Figura 2.23 [7] [17]:

$$P_{dt} = \frac{\beta}{12} (2V - 2V_T)^3 \frac{\tau}{T} \quad (2.11)$$

onde β é o fator de ganho associado aos transistores, V é a tensão de alimentação de uma das fontes, V_T é a tensão de limiar, τ é o tempo de subida ou descida e T é o período da senóide.

Conclui-se, portanto, que a potência dissipada durante as transições é proporcional à frequência de chaveamento, ao tempo de subida e descida do sinal de entrada e ao fator de ganho dos transistores.

Pode-se então calcular a eficiência de um estágio inversor com excitação PWM senoidal.

$$\eta = \frac{P_L}{P_S} \quad (2.12)$$

$$P_L = \frac{(V - V_{DS})^2}{R_L} \quad (2.13)$$

$$P_S = V \frac{(V - V_{DS})}{R_L} + m_f \frac{\beta}{12} (2V - 2V_T)^3 \frac{\tau}{T} \quad (2.14)$$

$$\eta = \frac{\frac{(V - V_{DS})^2}{R_L}}{V \frac{(V - V_{DS})}{R_L} + m_f \frac{\beta}{12} (2V - 2V_T)^3 \frac{\tau}{T}} \quad (2.15)$$

Considerando a condição ideal em que os transistores apresentam tensão entre dreno e fonte $V_{DS}=0$ e que o sinal de entrada do estágio apresenta tempo de subida e

descida $\tau=0$, a eficiência energética para a excitação PWM senoidal pode chegar a 100%. Entretanto, como as idealidades não existem na prática, a excitação PWM senoidal apresenta rendimento inferior a 100%. Mesmo assim, a excitação por PWM ainda é muito mais eficiente sob o ponto de vista energético em comparação à excitação senoidal contínua.

Portanto, a eficiência de um estágio inversor com excitação PWM é maior que a eficiência do estágio *Push-Pull* classe B operando de forma linear.

Para exemplificar, toma-se o exemplo anterior com $V_{TN}=V_{TP}=0,8V$, $V_{DS}=0,1$, $V=2,5V$. Porém, agora, acrescenta-se o índice de modulação em frequência $m_f=11$.

$$\eta = \frac{\frac{(2,5 - 0,1)^2}{50}}{2,5 \frac{(2,5 - 0,1)}{50} + 11 \frac{\beta}{12} (5 - 1,6)^3 \frac{\tau}{T}}$$

Se os tempos de subida e descida dos transistores são nulos ($\tau=0$), os transistores não dissipam energia durante as transições e o rendimento é:

$$\eta = \frac{\frac{(2,5 - 0,1)^2}{50}}{2,5 \frac{(2,5 - 0,1)}{50}}$$

$$\eta = 96\%$$

A eficiência energética é maior do que na situação de excitação senoidal contínua. Considerando os tempos de subida e descida do sinal iguais, o fator de ganho dos transistores e a frequência de chaveamento como sendo, respectivamente, 1ns, 0,09 A/V² e 1,2 MHz, tem-se:

$$\eta = \frac{\frac{(2,5 - 0,1)^2}{50}}{2,5 \frac{(2,5 - 0,1)}{50} + 11 \frac{0,09}{12} (5 - 1,6)^3 \frac{1 \cdot 10^{-9}}{8,33 \cdot 10^{-7}}}$$

$$\eta = 93\%$$

Portanto, conclui-se que a excitação PWM senoidal, dependendo da frequência, do tempo de ocorrência das transições e dos parâmetros dos transistores, pode ser mais eficiente energeticamente se comparada à excitação senoidal contínua.

PROJETO DO CIRCUITO INTEGRADO

3.1 – Visão geral do projeto

O CI que realiza a geração do sinal PWM senoidal foi projetado em tecnologia 0,6 μ m 5V CMOS da empresa AMS (Austria Micro Systems). Foram utilizadas no projeto células básicas pertencentes à AMS tais como *flip-flops*, portas lógicas, multiplexadores e *pads*. As características de todas as células da AMS utilizadas no projeto encontram-se no Apêndice A. Vale lembrar que estas células não são necessariamente otimizadas para consumo de energia e este fato pode tornar o uso desta tecnologia inadequado para a geração de sinais PWM senoidais com fins à medida da impedância sangüínea, onde um dos requisitos é o baixo consumo de energia.

A configuração adotada para a geração digital de sinais PWM senoidais é composta, basicamente, por três blocos: *shift-register* ou registrador de deslocamento, oscilador *on-chip* com ajuste de frequência e conversor V-I. Abaixo, a Figura 3.1 refere-se ao diagrama em blocos do circuito de geração digital de sinal PWM senoidal.

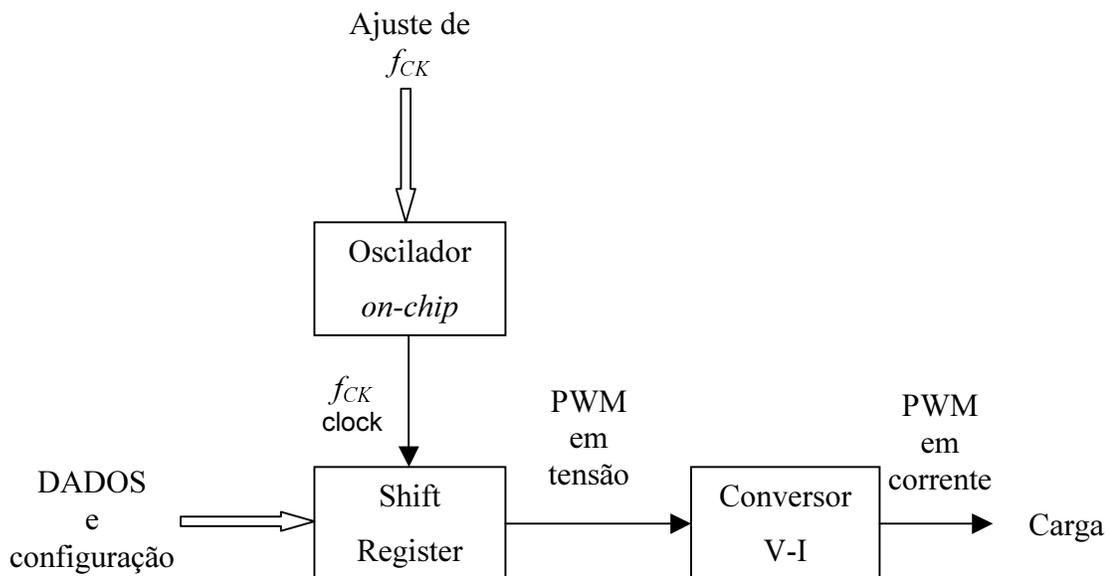


Figura 3.1: Diagrama em blocos do gerador digital de sinal PWM senoidal.

O bloco *shift-register* é responsável pelo armazenamento das características dos pulsos relativos a um período do sinal PWM senoidal. As larguras dos pulsos são múltiplas inteiras da base de tempo gerada pelo sinal de CLOCK e estas dependem do índice de modulação em amplitude e em frequência do sinal PWM senoidal.

O bloco oscilador *on-chip* tem a função de gerar a base de tempo do circuito digital gerador de sinal PWM senoidal. A frequência do oscilador pode ser ajustada mediante código externo.

O bloco conversor V-I tem a função de converter os pulsos do sinal PWM senoidal do modo tensão para o modo corrente com a finalidade de promover a excitação da carga (sangue) com um nível de corrente fixo, alternando-a de modo a produzir valor médio de tensão sobre a carga igual zero, que é uma das especificações do projeto.

3.2 – Especificações do projeto

As especificações do projeto, que resultam da aplicação prevista são as seguintes:

- sinal PWM senoidal em três frequências: 20 kHz, 800 kHz e 1,2 MHz.
- componente CC nula.
- oscilador *on-chip*.
- nível de corrente para excitação sanguínea de aproximadamente 5 μ A.
- consumo inferior a 5 miliwatts.

A necessidade de geração do sinal PWM senoidal em três frequências se deve ao fato de que um sistema de três equações e três incógnitas deve ser solucionado para determinar duas componentes resistivas e uma capacitiva da impedância sanguínea [5] [15].

O modelo elétrico considerado para o sangue é mostrado na Figura 3.2 a seguir.

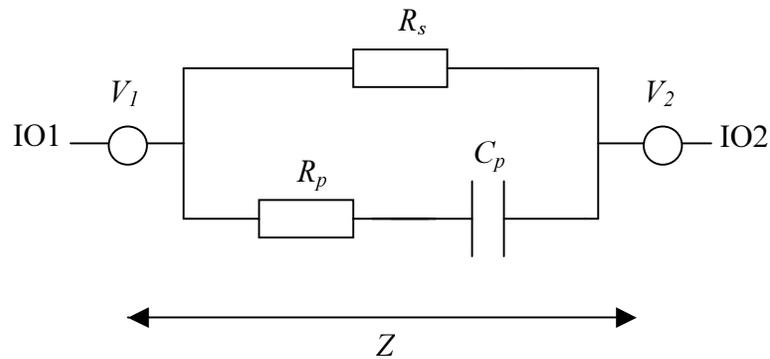


Figura 3.2: Modelo elétrico esperado para o sangue.

Nesta aplicação é imprescindível garantir que o nível CC do sinal aplicado seja nulo. Caso não seja, pode ocorrer coagulação do sangue com graves conseqüências.

O oscilador deve ser *on-chip*, ou seja, ser interno ao CI. Isto se deve à necessidade de miniaturização do sistema de medida de impedância sangüínea que não pode comportar componentes externos tal como um oscilador a cristal.

O presente projeto do CI não apresenta uma preocupação para minimização do consumo de energia necessário para geração do sinal PWM senoidal apesar de que isso é necessário e totalmente possível se houver uma focalização para o projeto adequado das células digitais em um determinado processo de fabricação visando economia de energia. Como o foco maior do trabalho é verificar a funcionalidade da excitação senoidal por PWM para medida de impedância, células disponíveis da AMS que não são necessariamente otimizadas para economia de energia são utilizadas. Por isso, o CI construído não é otimizado para consumo de energia. Uma projeção do consumo de energia do circuito se este fosse construído em tecnologia 0,35 μ m 3,3V CMOS AMS será realizada.

A reprodução do sinal PWM senoidal não é fiel ao sinal PWM senoidal ideal, ou seja, aquele gerado a partir da comparação em amplitude entre um sinal senoidal e uma onda triangular. Dessa forma, o sinal reproduzido digitalmente apresenta distorções. Uma análise da distorção harmônica do sinal PWM senoidal gerado digitalmente será realizada considerando os erros existentes nas larguras dos pulsos decorrentes da limitação em

freqüência de operação e da limitação do número de *flip-flops* que constituem o *shift-register*.

3.3 – Projeto do *shift-register*

A Figura 3.3 abaixo ilustra um registrador de deslocamento com N posições de memória, onde cada *flip-flop* tipo D representa uma posição de memória.

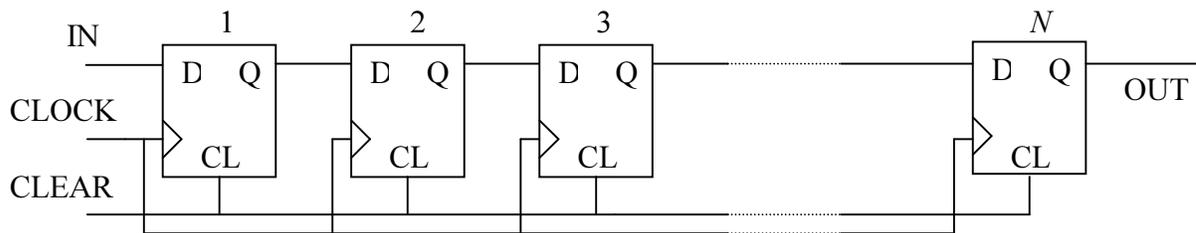


Figura 3.3: Registrador de deslocamento com N posições.

Um registrador de deslocamento pode, então, armazenar o código relativo a um período de sinal PWM senoidal e, se o registrador estiver configurado em anel, o código do sinal PWM senoidal armazenado pode ser deslocado continuamente por ação de um sinal de CLOCK. A cada transição de subida do sinal de CLOCK, uma posição de memória é deslocada. Para que o sinal PWM senoidal ideal seja gerado digitalmente sem a introdução de distorções, é necessário que a freqüência do sinal de CLOCK e o número de *flip-flops* do registrador de deslocamento sejam o maior possível. Como existe limite na freqüência de operação das células da tecnologia utilizada e limite de área do CI, não se pode obter um sinal PWM senoidal gerado digitalmente sem distorção harmônica adicional através desta metodologia de geração (metodologia síncrona). Porém, a distorção pode ser reduzida e a utilização posterior de um filtro passa-faixa pode reduzir as distorções geradas. Por simulação, verificou-se que os *flip-flops* do tipo DFE da AMS apresentam boa resposta para um sinal de CLOCK com freqüência máxima igual a 150 MHz. Tendo como base a freqüência mais alta do sinal PWM senoidal a ser gerado, que é de 1,2 MHz, um valor de freqüência do sinal de CLOCK que permite boa resposta dos *flip-flops* e pouca ocupação de área seria uma freqüência do sinal de CLOCK igual a 120

MHz. A frequência do sinal de CLOCK sendo 100 vezes a frequência do sinal PWM senoidal implica que o registrador deve ser constituído de 100 *flip-flops* para permitir o armazenamento de um período do sinal PWM senoidal.

Uma vez fixados o número de *flip-flops* e a frequência do sinal de CLOCK (100 vezes o valor da componente fundamental desejada), os erros existente nas larguras dos pulsos do sinal PWM senoidal gerado digitalmente variam de acordo com os índices de modulação em amplitude e em frequência escolhidos. Pode-se, então, criar um parâmetro para servir como elemento de comparação entre as diversas possibilidades de índices de modulação em amplitude e em frequência. A combinação do índice de modulação em amplitude com o de frequência que fornecer o menor fator de erro implicará em um sinal PWM senoidal com menor distorção em relação ao sinal PWM senoidal ideal. Este fator de erro ε pode ser assim definido:

$$\varepsilon = \sqrt{\sum_{n=1}^{n=k} \left(\frac{T_{na} - T_{ni}}{T_{ni}} \right)^2} \quad (3.1)$$

onde k representa o número de pulsos existentes em um período do sinal PWM senoidal, T_{ni} representa a largura normalizada ideal do n -ésimo pulso e T_{na} representa a largura normalizada aproximada do n -ésimo pulso.

Para ilustrar a problemática da resolução limitada da forma de geração digital de sinal PWM senoidal, toma-se a situação em que o índice de modulação em amplitude é igual a 0,85 e o índice de modulação em frequência é 11. A Tabela 3.1 ilustra as larguras normalizadas ideal e aproximada dos pulsos do sinal PWM senoidal bem como a somatória de *flip-flops*, o número dos pulsos, seus estados e o valor do fator de erro calculado pela Equação 3.1.

Tabela 3.1: Larguras ideais e aproximadas dos pulsos para $m_a=0,85$ e $m_f=11$.

PULSO	ESTADO	Tni	Tna
1	0	4.06651	4
2	1	6.18990	6
3	0	2.03325	2
4	1	7.73237	8
5	0	0.84135	1
6	1	8.28325	8
7	0	0.84135	1
8	1	7.73237	8
9	0	2.03325	2
10	1	6.18990	6
11	0	4.06651	4
12	1	4.05649	4
13	0	6.18990	6
14	1	2.03325	2
15	0	7.73237	8
16	1	0.84135	1
17	0	8.28325	8
18	1	0.84135	1
19	0	7.73237	8
20	1	2.03325	2
21	0	6.18990	6
22	1	4.05649	4
SOMA:		100	100
ERRO:			0.39386

Para obter o valor da largura dos pulsos em unidades de tempo, basta multiplicar os valores normalizados das larguras dos pulsos por $1/100f_0$, onde f_0 é a frequência da componente fundamental a ser gerada.

O sinal PWM senoidal gerado digitalmente é apresentado a seguir na Figura 3.4.

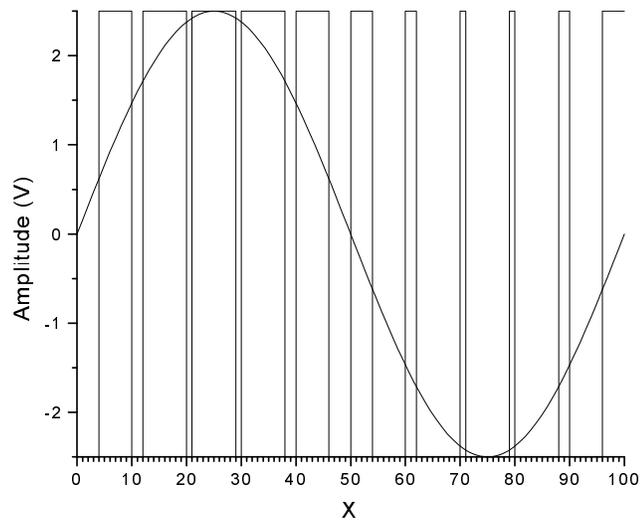


Figura 3.4: Sinal PWM senoidal gerado digitalmente – $m_a=0,85$ e $m_f=11$.

O eixo X do gráfico acima corresponde aos *flip-flops* do registrador. Assim, o código a ser armazenado deve seguir a seguinte seqüência: os *flip-flops* da primeira até a quarta posição acumulam estado 0 (-2,5V), da quinta até a décima posição acumulam estado 1 (+2,5V), da décima-primeira até a décima-segunda, acumulam 0 (-2,5V) e assim por diante até a centésima posição. Os 100 *flip-flops* armazenam, então, o código correspondente a um período de sinal PWM senoidal com índice de modulação em amplitude igual a 0,85 e índice de modulação em freqüência igual a 11, aproximadamente, pois o fator de erro não é zero – o fator de erro calculado pela Equação 3.1 é $\varepsilon=0,39386$.

Apresenta-se, agora, o espectro de freqüências do sinal PWM senoidal gerado digitalmente apresentado na Figura 3.4.

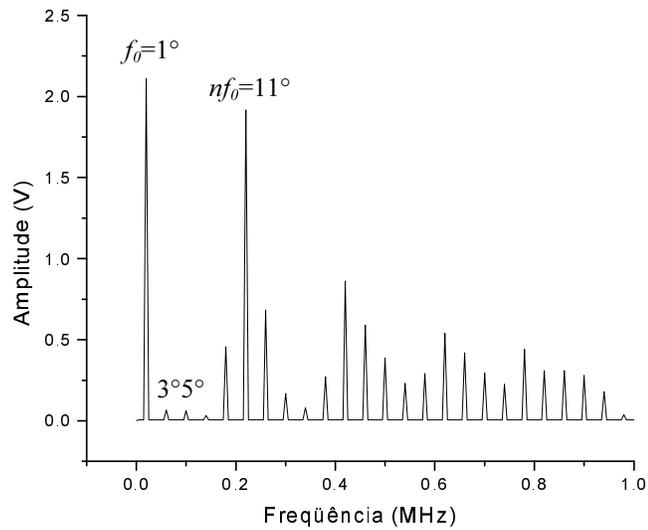


Figura 3.5: Espectro de freqüências do sinal PWM senoidal gerado digitalmente com $m_a=0,85$ e $m_f=11$.

A amplitude da fundamental é 2,110 V, que é aproximadamente igual ao índice de modulação em amplitude de 0,85 vezes 2,5V. Há o aparecimento do 3.o, 5.o e 7.o harmônicos com as amplitudes de 0,0668V, 0,0622V e 0,0323V. Observa-se que o 9.o harmônico tem sua amplitude diminuída e outros harmônicos em bandas laterais à fundamental surgem, isso se comparado a uma situação de idealidade.

Continuando a problemática de resolução limitada e para verificar a significância do parâmetro fator de erro ε , toma-se outra situação com índice de modulação em amplitude igual a 0,85 e índice de modulação em freqüência igual a 15. A Tabela 3.2 abaixo ilustra as larguras normalizadas ideal e aproximada dos pulsos do sinal PWM senoidal bem como a somatória de *flip-flops*, o número dos pulsos, seus estados e o valor do fator de erro calculado pela Equação 3.1.

Tabela 3.2: Larguras ideais e aproximadas dos pulsos para $m_a=0,85$ e $m_f=15$.

PULSO	ESTADO	Tni	Tna
1	0	3.06490	3
2	1	4.23678	4
3	0	1.92308	2
4	1	5.22837	5
5	0	1.05168	1
6	1	5.87941	6
7	0	0.56090	1
8	1	6.11979	6
9	0	0.56090	1
10	1	5.87941	6
11	0	1.05168	1
12	1	5.22837	5
13	0	1.92308	2
14	1	4.23678	4
15	0	3.06490	3
16	1	3.05489	3
17	0	4.23678	4
18	1	1.92308	2
19	0	5.22837	5
20	1	1.05168	1
21	0	5.87941	6
22	1	0.56090	1
23	0	6.11979	6
24	1	0.56090	1
25	0	5.87941	6
26	1	1.05168	1
27	0	5.22837	5
28	1	1.92308	2
29	0	4.23678	4
30	1	3.05489	3
SOMA:		100	100
ERRO:			1.57849

O sinal PWM senoidal com índice de modulação em amplitude e em frequência iguais a 0,85 e 15, respectivamente, apresentou um fator de erro $\varepsilon=1,57849$. Analisa-se, agora, a forma de onda do sinal e seu espectro de frequências.

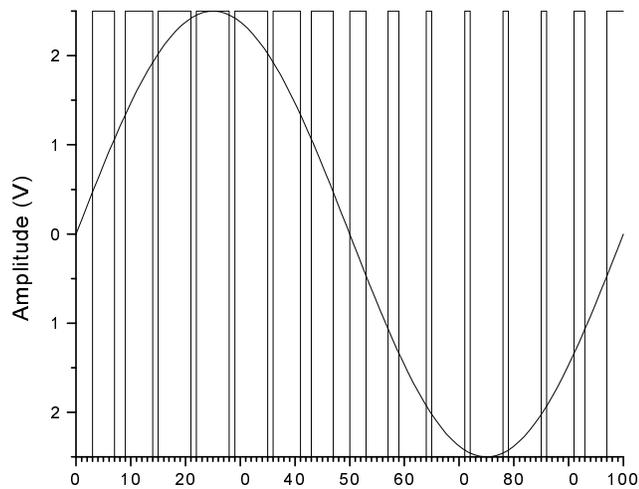


Figura 3.6: Sinal PWM senoidal gerado digitalmente – $m_a=0,85$ e $m_f=15$.

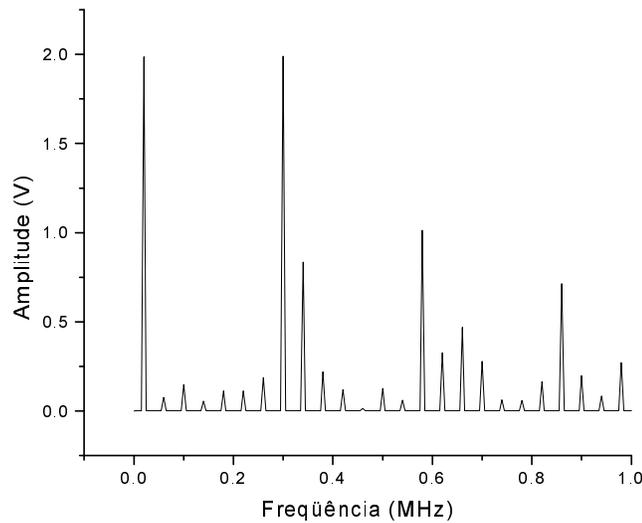


Figura 3.7: Espectro de frequências do sinal PWM senoidal gerado digitalmente com $m_a=0,85$ e $m_f=15$.

A amplitude da fundamental é 1,9868 V, que é aproximadamente igual ao índice de modulação em amplitude de 0,85 vezes 2,5V, porém, se afasta mais em relação ao caso anterior onde $m_f=11$. Há o aparecimento do 3.o, 5.o, 7.o, 9.o e 11.o harmônicos com as amplitudes de 0,0772V, 0,1498V, 0,0556V, 0,1099V e 0,1136V, respectivamente.

Observa-se que o 13.o harmônico tem sua amplitude diminuída se comparada a uma situação de idealidade e que há o surgimento de mais harmônicos em bandas laterais à fundamental, isso se comparado a uma situação de idealidade.

Conclui-se, das duas situações expostas anteriormente, que se o fator erro ε for maior, mais distante do comportamento ideal do sinal PWM senoidal estará o sinal PWM senoidal gerado digitalmente. Quanto maior o fator de erro, maiores serão as amplitudes dos harmônicos em bandas laterais à fundamental, prejudicando a implementação do filtro seletivo para extração da informação da componente fundamental e, ainda, a amplitude da componente fundamental diminui. Deve-se, portanto, para o circuito projetado, escolher os índices de modulação em amplitude e em frequência que proporcionam a menor distorção harmônica (harmônicos em bandas laterais à fundamental com menor intensidade) e a maior amplitude da componente fundamental.

Para calcular as amplitudes das componentes harmônicas do sinal PWM senoidal, basta desenvolver o sinal PWM senoidal em série de Fourier. Considerando o sinal PWM senoidal modulado com índice de modulação em frequência ímpar, tem-se simetria ímpar [6], ou seja:

$$f(-x) = -f(x) \quad (3.2)$$

Na Figura 3.8, tomando-se o eixo imaginário que passa por $X=0$, percebe-se a simetria ímpar do sinal PWM senoidal modulado com índice de modulação em frequência ímpar ($m_f=11$).

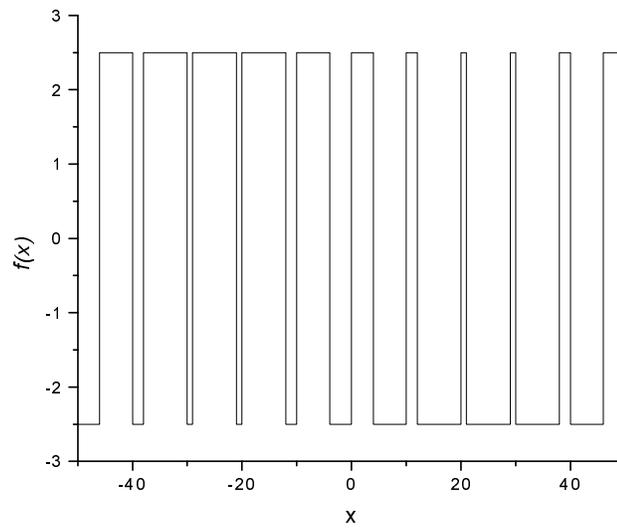


Figura 3.8: Período de sinal PWM senoidal com m_f ímpar; simetria ímpar.

Tem-se, portanto, que os coeficientes a_n da série de Fourier são nulos, ou seja:

$$\therefore a_n = 0$$

Os coeficientes b_n da série de Fourier podem ser assim calculados:

$$b_n = \frac{2}{T} \int_{-\frac{T}{2}}^{+\frac{T}{2}} f(t) \operatorname{sen}\left(\frac{2\pi n t}{T}\right) dt \quad (3.3)$$

T é o período da função e n é o número do harmônico.

O sinal PWM senoidal pode ser escrito da forma seguinte:

$$f(t) = \begin{cases} -A & \text{se} & -\frac{T}{2} < t < -\frac{T}{2} + T_1 \\ A & \text{se} & -\frac{T}{2} + T_1 < t < -\frac{T}{2} + T_1 + T_2 \\ \cdot & & \\ \cdot & & \\ \cdot & & \\ \cdot & & \\ A & \text{se} & -\frac{T}{2} + T_1 + T_2 + \dots + T_{k-1} < t < -\frac{T}{2} + T_1 + T_2 + \dots + T_{k-1} + T_k \end{cases} \quad (3.4)$$

onde k é o número de pulsos do sinal PWM senoidal em um período e A a amplitude dos pulsos.

Desenvolvendo, tem-se:

$$b_n = \frac{2}{T} \left[\int_{-\frac{T}{2}}^{-\frac{T}{2}+T_1} -A \operatorname{sen}\left(\frac{2\pi n t}{T}\right) dt + \int_{-\frac{T}{2}+T_1}^{-\frac{T}{2}+T_1+T_2} A \operatorname{sen}\left(\frac{2\pi n t}{T}\right) dt + \int_{-\frac{T}{2}+T_1+T_2}^{-\frac{T}{2}+T_1+T_2+T_3} -A \operatorname{sen}\left(\frac{2\pi n t}{T}\right) dt + \dots \right]$$

$$b_n = \frac{2A}{T} \left[\frac{\cos\left(\frac{2\pi n t}{T}\right)}{\frac{2\pi n}{T}} \Bigg|_{-\frac{T}{2}}^{-\frac{T}{2}+T_1} - \frac{\cos\left(\frac{2\pi n t}{T}\right)}{\frac{2\pi n}{T}} \Bigg|_{-\frac{T}{2}+T_1}^{-\frac{T}{2}+T_1+T_2} + \dots \right]$$

$$b_n = \frac{A}{n\pi} \left[\cos\left(\frac{2\pi n t}{T}\right) \Bigg|_{-\frac{T}{2}}^{-\frac{T}{2}+T_1} - \cos\left(\frac{2\pi n t}{T}\right) \Bigg|_{-\frac{T}{2}+T_1}^{-\frac{T}{2}+T_1+T_2} + \dots \right] \quad (3.5)$$

A função $f(t)$ pode ser assim escrita:

$$f(t) = \sum_{n=1}^{\infty} b_n \operatorname{sen}\left(\frac{2\pi n t}{T}\right) \quad (3.6)$$

Portanto, para se determinar as amplitudes dos harmônicos do sinal PWM senoidal, basta calcular os coeficientes da série de Fourier, ou seja, os coeficientes b_n .

A seguir, para três situações de índices de modulação em amplitude e em frequência é apresentada a Tabela 3.3 que contém as amplitudes dos principais harmônicos do sinal PWM senoidal e o fator de erro. Os harmônicos pares são desprezíveis pois os índices de modulação em frequência são ímpares e os erros nas larguras dos pulsos não ocasionam o aparecimento de harmônicos pares significativos.

Tabela 3.3: Amplitudes de harmônicos e fatores de erro.

n	1	3	5	7	9	11	13	15	17	erro
$mf=9$ e $ma=0,65$	1.5730	0.0818	0.0002	0.2248	2.4412	0.5644	0.0316	0.0000	1.0139	0.2379
$mf=11$ e $ma=0,80$	2.0894	0.0530	0.0625	0.0146	0.4309	1.9342	0.6996	0.1747	0.0959	0.2490
$mf=15$ e $ma=0,75$	1.9789	0.0939	0.1383	0.0315	0.0874	0.1372	0.1695	1.9932	0.8342	0.5908

Observa-se pela Tabela 3.3 que o menor fator de erro ocorre para índice de modulação em amplitude igual a 0,65 e em frequência igual a 9. Porém, para esta situação, a amplitude da componente fundamental (sinal modulante) é menor e a portadora está mais próxima da componente fundamental. Para um mesmo tipo de filtro essa situação possibilita menor atenuação da portadora em relação à componente fundamental. Já para a situação em que o índice de modulação em frequência é igual a 15 e em amplitude igual a 0,75, o fator de erro é grande e esse fato implica em componentes harmônicas entre a componente fundamental e a portadora com amplitudes mais significativas. A melhor situação ocorre para índice de modulação em amplitude igual a 0,80 e em frequência igual a 11. Nessa situação, os harmônicos existentes entre a componente fundamental e a portadora (componente de chaveamento) têm amplitudes menos significativas.

A seguir, a Tabela 3.4 contém as atenuações em dB dos principais harmônicos do sinal PWM senoidal em relação à componente fundamental nas três situações anteriores.

Tabela 3.4: Atenuação em dB dos principais harmônicos em relação à componente fundamental.

atenuação (dB)	1->3	1->5	1->7	1->9	1->11	1->13	1->15	1->17
$mf=9$ e $ma=0.65$	25.6846	78.0499	16.8982	-3.8177	8.9032	-	-	-
$mf=11$ e $ma=0.80$	31.9150	30.4860	43.0938	13.7125	0.6707	9.5032	-	-
$mf=15$ e $ma=0.75$	26.4789	23.1139	35.9544	27.0935	23.1825	21.3438	-0.0625	7.5034

Um filtro passa-faixa que produza uma atenuação de 40dB/dec pode ser utilizado para extração da componente fundamental f_0 . Considere a Figura 3.9 que apresenta a resposta do filtro passa-faixa referido.

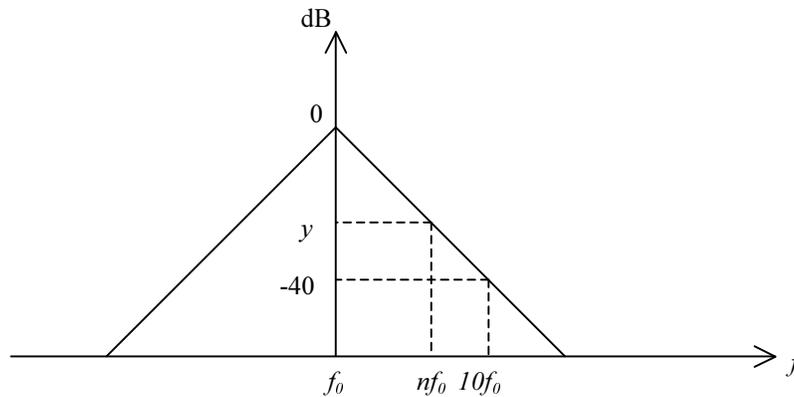


Figura 3.9: Característica de um filtro passa-faixa de segunda ordem.

O ganho y do filtro na frequência nf_0 pode ser calculada assim:

$$\frac{-40}{\log 10 - \log 1} = \frac{y}{\log n - \log 1}$$

$$y = -40 \log n \quad (3.7)$$

A Tabela 3.5 contém a atenuação em dB que o filtro passa-faixa de segunda ordem pode proporcionar aos harmônicos ímpares do sinal PWM senoidal.

Tabela 3.5: Atenuações do filtro passa-faixa de segunda ordem em dB.

n	1	3	5	7	9	11	13	15	17
atenuação γ (dB)	0.0000	19.0849	27.9588	33.8039	38.1697	41.6557	44.5577	47.0437	49.2180

A utilização do filtro cuja resposta é apresentada na Tabela 3.5 para filtragem de um sinal PWM senoidal pode proporcionar atenuações maiores dos harmônicos em relação à componente fundamental. A Tabela 3.6 apresenta as atenuações resultantes dos harmônicos do sinal PWM senoidal pela utilização do filtro cuja resposta é apresentada na Tabela 3.5.

Tabela 3.6: Atenuação resultante dos harmônicos.

atenuação (dB)	1->3	1->5	1->7	1->9	1->11	1->13	1->15	1->17
$m_f=9$ e $m_a=0,65$	44.7695	106.0087	50.7022	34.3520	50.5589			
$m_f=11$ e $m_a=0,80$	50.9999	58.4448	76.8977	51.8822	42.3264	54.0609		
$m_f=15$ e $m_a=0,75$	45.5638	51.0727	69.7583	65.2632	64.8382	65.9015	46.9811	56.7214

Para a situação em que o índice de modulação em frequência é igual a 11 e em amplitude igual a 0,80, tem-se que a portadora tem amplitude reduzida de 130 vezes em relação à componente fundamental.

Conclui-se, portanto, que a utilização de um sinal de CLOCK com frequência 100 vezes a frequência da componente fundamental aliada à composição de um *shift-register* com 100 *flip-flops* e à utilização de um filtro passa-faixa de segunda ordem, pode proporcionar a geração de sinais senoidais com baixa distorção harmônica. A menor distorção ocorre para $m_f=11$ e $m_a=0,80$. Porém, sinais PWM senoidais modulados com outros valores de m_f e m_a podem ser gerados pela simples programação do *shift-register*, sem no entanto primar pela minimização da distorção harmônica final.

A seguir, são apresentados os diagramas esquemáticos do registrador de deslocamento elaborados em ambiente Mentor Graphics com células da AMS.

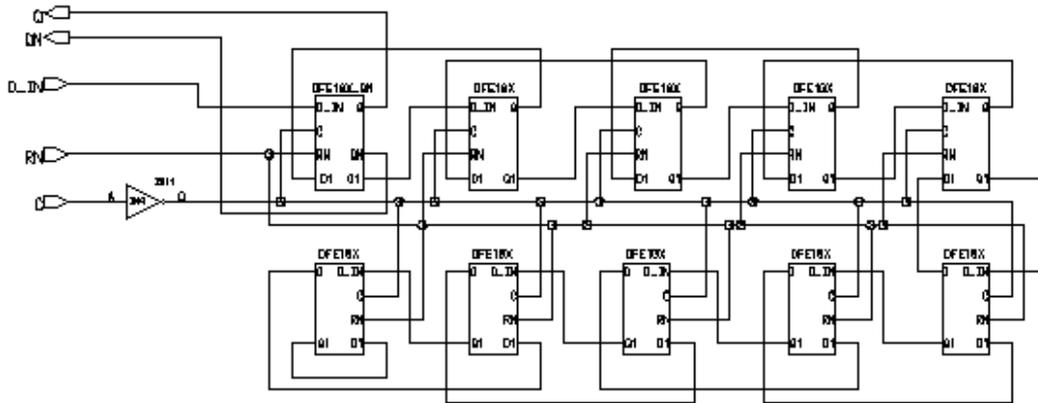


Figura 3.10: Célula 10DFEX10 – *shift-register*.

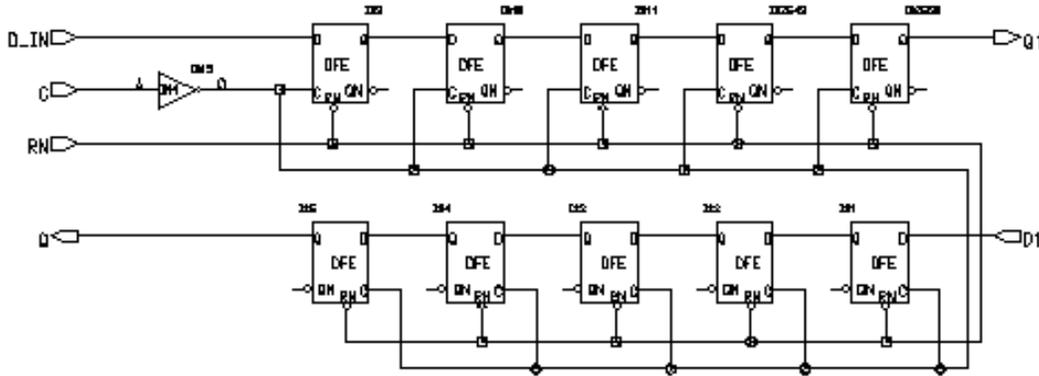


Figura 3.11: Célula DFE10X do *shift-register*.

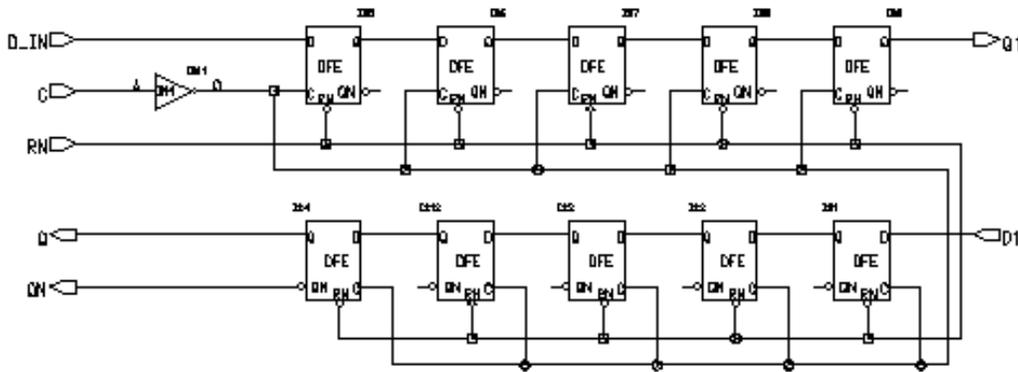


Figura 3.12: Célula DFE10X_QN do *shift-register*.

A Figura 3.13 apresenta o *layout* do *shift-register* elaborado com o *software* Mentor Graphics. A área ocupada pelo *shift-register* é de $0,167\text{mm}^2$ ($392\mu\text{m} \times 426\mu\text{m}$).

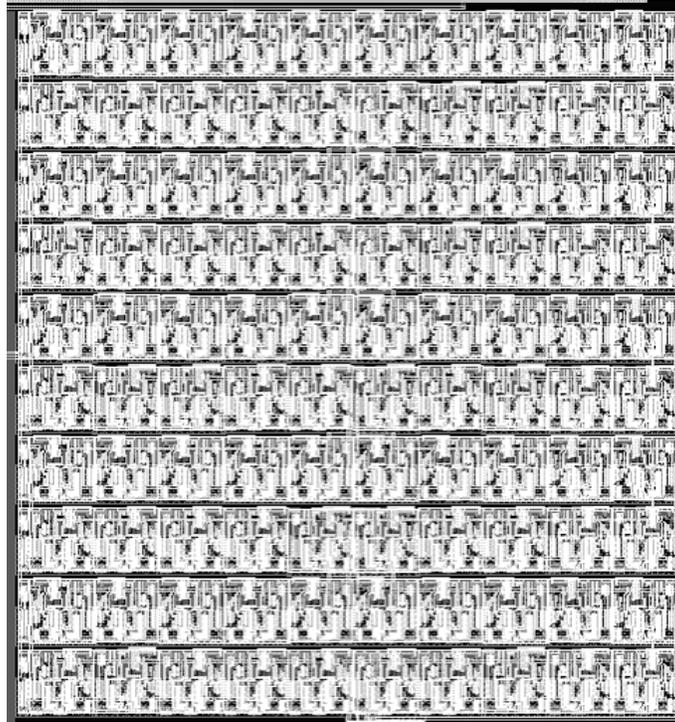


Figura 3.13: *Layout* da matriz de 100 *flip-flops* tipo D – *shift-register*.

3.4 – Projeto do oscilador em anel *on-chip*

O oscilador, como já foi descrito anteriormente, não pode ser externo por questões de miniaturização. O oscilador *on-chip* construído é um oscilador em anel (*ring-oscillator*) constituído apenas por um número ímpar maior do que um de portas inversoras em cascata e em circuito fechado. O princípio de funcionamento de um *ring-oscillator* pode ser explicado tendo como base a Figura 3.14 abaixo.

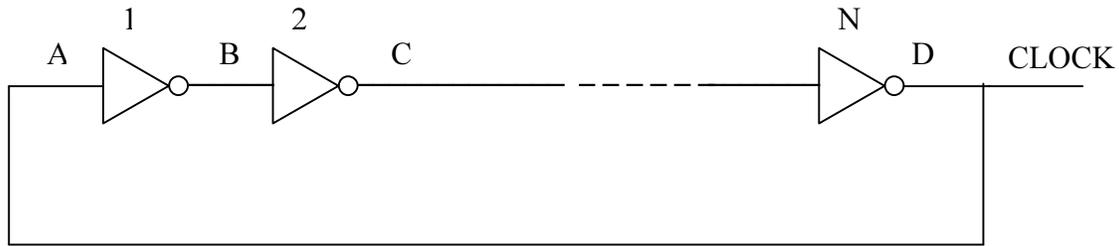


Figura 3.14: *Ring-oscillator*.

Se em um dado instante de tempo t_0 o ponto A apresentar estado 1, o ponto B apresentará estado 0 no instante t_0+t_d , com t_d sendo o tempo de atraso da porta inversora. Desse modo, se o ponto B apresenta estado 0 em t_0+t_d então o ponto C apresentará estado 1 em t_0+2t_d e o ponto D estado 0 em t_0+3t_d . Como os pontos A e D são o mesmo ponto, desconsiderando o atraso de propagação de D para A e considerando $N=3$, o ponto A, que no instante t_0 apresentava estado 1, muda para o estado 0 após $3t_d$. Assim, após novos $3t_d$ unidades de tempo, o ponto A voltará a apresentar estado 1, determinando um período de oscilação de $6t_d$. Assim, a estrutura acima oscila em uma frequência igual a $f=1/6t_d$.

O princípio de funcionamento do oscilador em anel pode ser entendido pelo que foi exposto anteriormente, considerando algumas idealidades, ou seja, o tempo de propagação do sinal é igual para todas as portas inversoras. No entanto, na prática, o cálculo da frequência de oscilação de um oscilador em anel é mais complexo. O tempo de propagação do sinal não é igual para todas as portas inversoras constituintes do oscilador em anel. Vários fatores influenciam as diferenças do atraso das portas inversoras tais como desvios do processo de fabricação, temperatura, taxa de variação do sinal na entrada de cada porta e valor da carga conectada à saída de cada porta inversora [9] [10] [11] [12] [13]. Pelo fato do circuito poder ficar no interior do corpo humano, junto a um marca-passo onde a temperatura é aproximadamente constante, o fator de variação do atraso de uma porta inversora pelo efeito da temperatura não será considerado no projeto do oscilador *on-chip* e, portanto, são desconsideradas variações de frequência por efeito térmico. Assim, o projeto do oscilador em anel deve, além de considerar a faixa de variação de frequência especificada (Seção 3.2) para proporcionar a medida da

impedância sangüínea em três freqüências, permitir ajustes finos de freqüência para compensar as possíveis diferenças decorridas dos desvios do processo de fabricação do CI.

O oscilador em anel é construído por células da empresa AMS – portas inversoras do tipo IN1, IT1 (*tri-state*) e uma porta NAND do tipo NA23 para controle LIGA/DESL. do oscilador, visando economia de energia nos períodos de tempo em que não são realizadas medidas da impedância. As características das células da AMS encontram-se na referência [16]. O número de portas inversoras constituintes do oscilador em anel para gerar as freqüências desejadas e permitir ajustes finos de freqüência foi obtido através de simulação já que o cálculo, como foi dito anteriormente, é complexo.

A Figura 3.15 a seguir ilustra um oscilador em anel com N inversores em cascata.

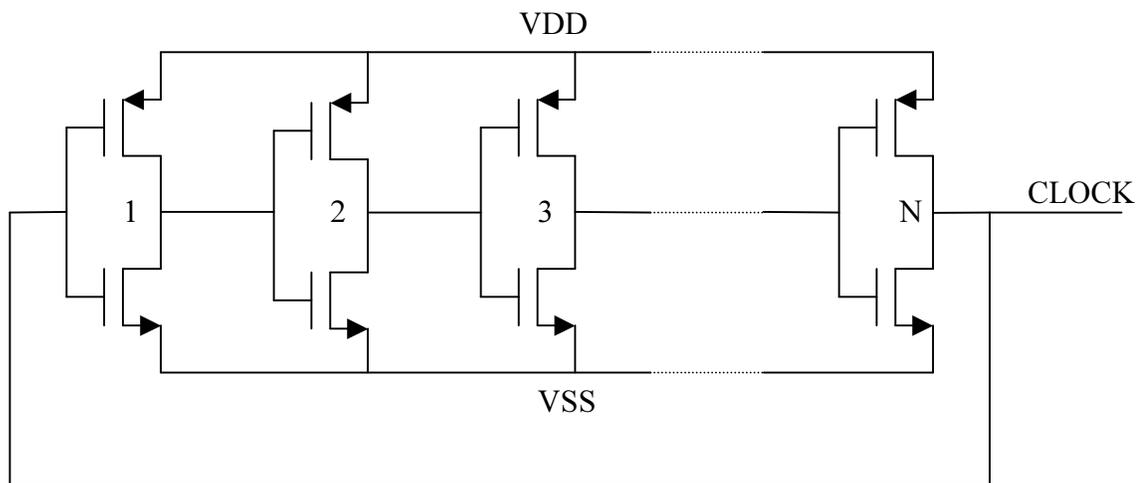


Figura 3.15: *Ring-oscillator* com N inversores em cascata.

Por simulação, considerando parâmetros com valores típicos, foram obtidos os seguintes resultados que são aproximados aos especificados: para geração do sinal de CLOCK com freqüência igual a 2 MHz são necessários 91 inversores em anel mais uma divisão por 32 na freqüência. Para 80 MHz são necessários 69 inversores em anel e para 120 MHz são necessários 39 inversores em anel. A seguir, para verificar os resultados de simulação, realiza-se o cálculo do tempo de atraso médio dos inversores constituintes do oscilador em anel para confrontar os resultados.

Pelos resultados da simulação, os valores médios obtidos para a taxa de subida e descida do sinal de CLOCK (t_T) em cada frequência são: 203,2ps para 2 MHz, 186,6ps para 80 MHz e 186,3ps para 120 MHz. A capacitância de carga de uma porta lógica em um oscilador em anel é, aproximadamente, a capacitância de entrada da porta lógica seguinte [7] [9] [10] [11] [12] [13] [17]. Assim sendo, pode-se obter um circuito equivalente formado por um único inversor para auxiliar no cálculo do tempo de atraso médio de uma porta inversora em um oscilador em anel. A Figura 3.16 a seguir ilustra o circuito equivalente.

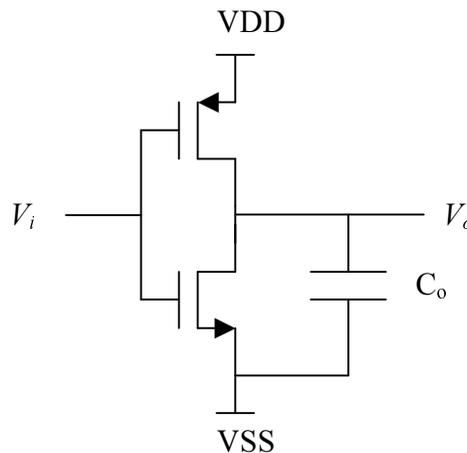


Figura 3.16: Circuito equivalente para cálculo do atraso médio de um inversor.

Desprezando-se as capacitâncias parasitas, a capacitância de saída equivalente C_o para uma célula IN1 da AMS no oscilador em anel construído é, então [16]:

$$C_o = 29\text{fF}$$

O atraso de uma porta inversora pode ser determinado pela seguinte expressão [10] [16]:

$$t_d = t_{di} + KC_o \quad (3.8)$$

onde o parâmetro t_d é o atraso da porta inversora, t_{di} é o atraso intrínscico da porta inversora, K é o fator de *fanout* e C_o é a capacitância de carga da porta inversora. Assim,

baseando-se em valores práticos apresentados pela AMS em seu *datasheet* [16], pode-se calcular os parâmetros t_{di} e K para após se determinar o atraso da porta inversora IN1.

$$0,20.10^{-9} = t_{di} + 0,1.10^{-12} K \quad (\text{I})$$

$$1,09.10^{-9} = t_{di} + 0,7.10^{-12} K \quad (\text{II})$$

Subtraindo a equação I da equação II, tem-se:

$$0,6.10^{-12} K = 0,89.10^{-9}$$

$$K = \frac{0,89.10^{-9}}{0,9610^{-12}}$$

$$K = 1483,33 \text{ s/F}$$

Com o valor de K determinado, pode-se calcular o atraso intrínscico da porta inversora IN1.

$$t_{di} = 0,2.10^{-9} - 1483,33 \times 29.10^{-15}$$

$$t_{di} = 51,667 \text{ ps}$$

Então, pode-se calcular o atraso t_d da porta inversora IN1.

$$t_d = 51,667.10^{-12} + 1533,33 \times 29.10^{-15}$$

$$t_d = 94,68 \text{ ps}$$

Com o valor do atraso da porta determinado, pode-se calcular o número de portas inversoras do oscilador em anel para a geração das três frequência de interesse.

Para frequência de 2 MHz (considerar divisão de frequência por 32), tem-se:

$$N = \frac{500.10^{-9}}{2 \times 94,68.10^{-12} \times 32}$$

(3.9)

$$N = 85$$

Como se pode observar, o resultado calculado é próximo do valor obtido por simulação (91).

Para frequência de 80 MHz, tem-se:

$$N = \frac{12,5.10^{-9}}{2 \times 94,68.10^{-12}}$$

(3.10)

$$N = 67$$

Como se pode observar, o resultado calculado é muito próximo do valor obtido por simulação (69).

Para frequência de 120 MHz, tem-se:

$$N = \frac{8,33.10^{-9}}{2 \times 94,68.10^{-12}}$$

(3.11)

$$N = 45$$

Como se pode observar, o resultado calculado é muito próximo do valor obtido por simulação (39).

Observa-se pelos resultados calculados pelas Equações 3.9, 3.10 e 3.11 que existe uma aproximação significativa entre os resultados calculados e os simulados para todas as frequências (2 MHz, 80 MHz e 120 MHz). No entanto, sabe-se que o número de inversores do oscilador em anel obtido por cálculo e por simulação pode ser diferente do número necessário na prática. Vários fatores podem contribuir para uma possível

diferença entre os resultados calculados e simulados dos práticos. O primeiro deles pode se relacionar às capacitâncias parasitas não consideradas no cálculo e na simulação. O segundo pode se relacionar aos desvios de fabricação do CI. Os desvios podem estar presentes na resistência dos drenos das portas inversoras, na espessura do óxido de *gate* dos transistores das portas inversoras e nas dimensões dos transistores. Os transistores são construídos, praticamente, nas dimensões mínimas, o que agrava os efeitos dos desvios de fabricação. Baseando-se no manual da tecnologia da AMS [19], o espalhamento máximo possível implica em uma variação de capacitância de *gate* de 40%, aproximadamente. Assim, o oscilador em anel a ser projetado deve levar em consideração o espalhamento possível e o efeito das capacitâncias parasitas. O oscilador em anel projetado deve, através de ajustes, permitir a geração das três frequências de interesse. O ajuste é obtido através da inserção ou retirada de portas inversoras do oscilador.

As próximas oito figuras correspondem aos diagramas esquemáticos do oscilador *on-chip* (*ring-oscillator*).

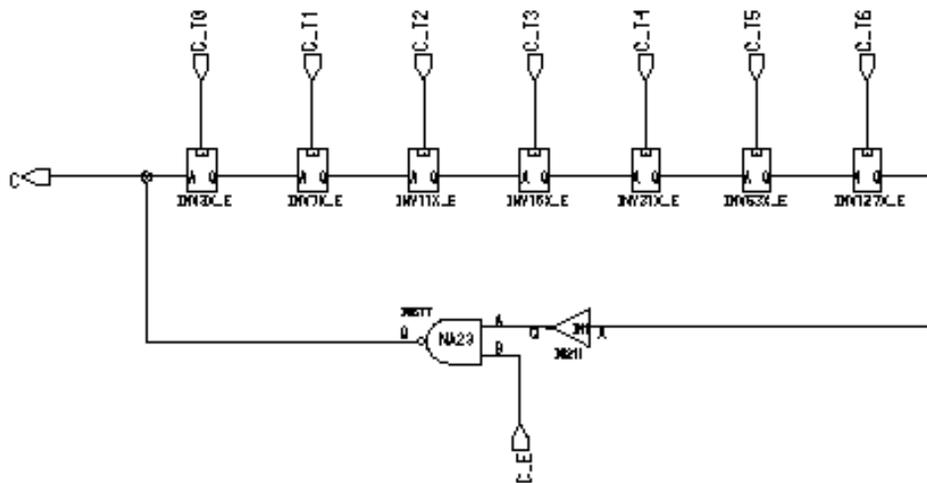


Figura 3.17: Célula RING – *ring-oscillator*.

O esquema ilustrado pela Figura 3.17 refere-se ao oscilador em anel (*ring-oscillator*) que é composto por 7 blocos de inversores (cada bloco apresentando 3, 7, 11, 15, 31, 63, 127 inversores respectivamente), uma porta inversora e uma porta NAND.

Cada bloco de inversores possui a possibilidade de ativação/desativação, o que possibilita o ajuste de frequência.

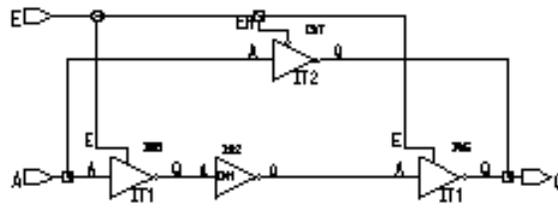


Figura 3.18: Célula INV3X_E.

A célula INV3X_E pode proporcionar um atraso de 3 portas inversoras.

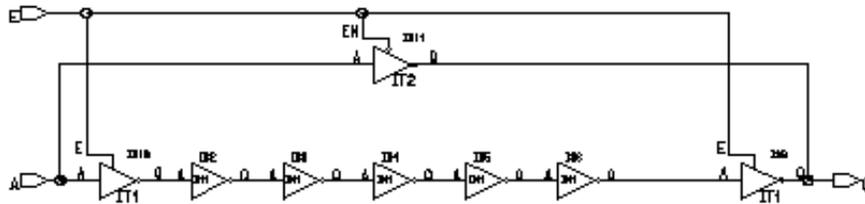


Figura 3.19: Célula INV7X_E.

A célula INV7X_E pode proporcionar um atraso de 7 portas inversoras.

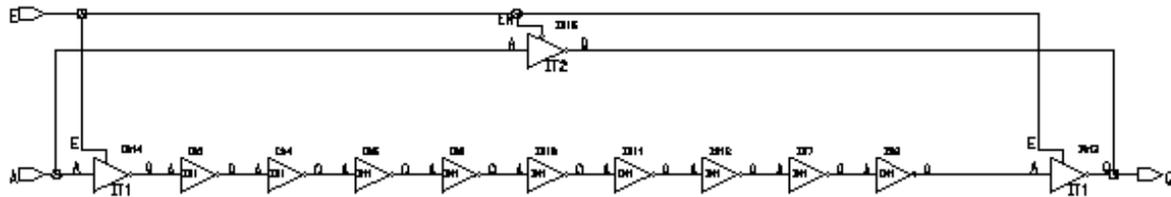


Figura 3.20: Célula INV11X_E.

A célula INV11X_E pode proporcionar um atraso de 11 portas inversoras.

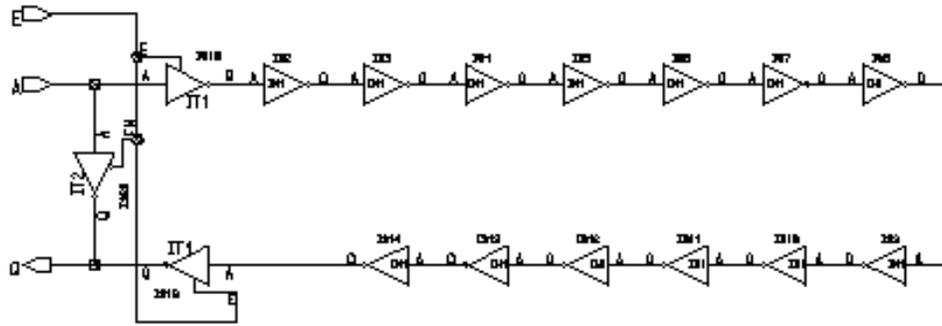


Figura 3.21: Célula INV15X_E.

A célula INV15X_E pode proporcionar um atraso de 15 portas inversoras.

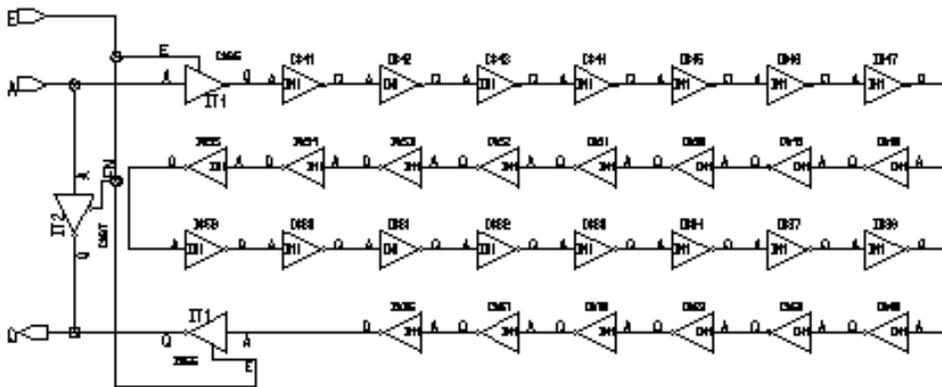


Figura 3.22: Célula INV31X_E.

A célula INV31X_E pode proporcionar um atraso de 31 portas inversoras.

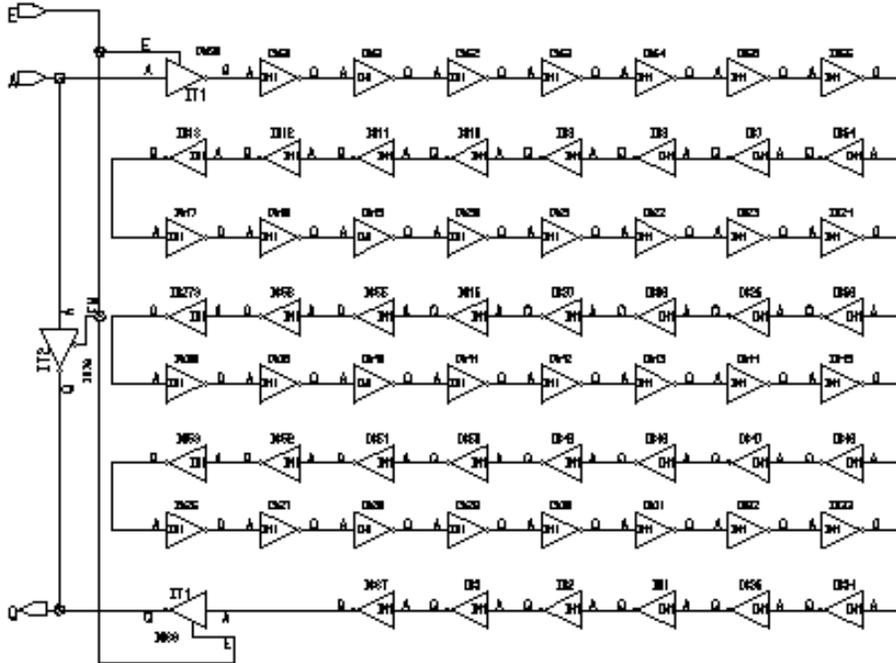


Figura 3.23: Célula INV63X_E.

A célula INV63X_E pode proporcionar um atraso de 63 portas inversoras.

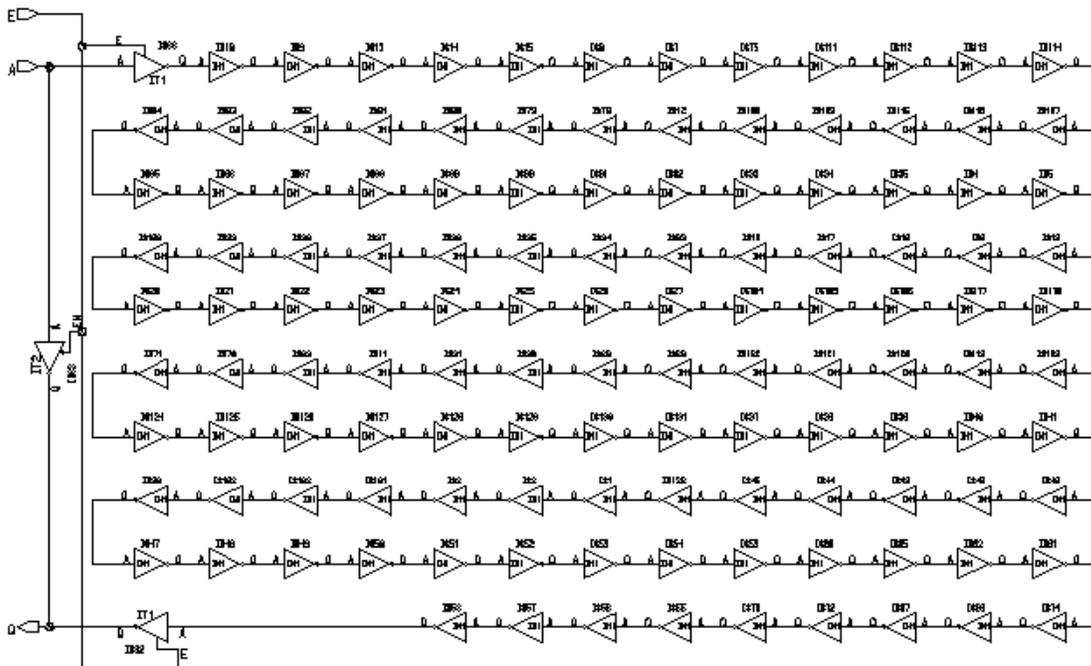


Figura 3.24: Célula INV127X_E.

A célula INV127X_E pode proporcionar um atraso de 127 portas inversoras.

O oscilador em anel pode ser configurado de modo a conter de 9 a 259 inversores em anel com passo máximo de 4 inversores. O número de inversores do oscilador em anel pode permitir o ajuste de frequência mesmo com a ocorrência do máximo espalhamento. Para geração de frequências mais baixas, um divisor de frequência síncrono foi construído, possibilitando a divisão da frequência de oscilação do *ring-oscillator* por 2, 4, 8, 16, 32 ou 64 vezes. A seguir, a Figura 3.25 ilustra o diagrama esquemático do divisor síncrono.

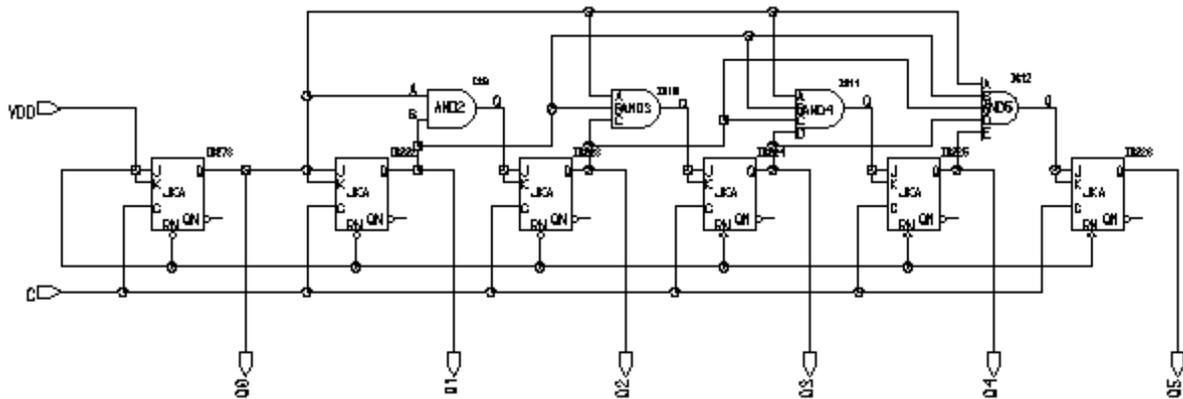


Figura 3.25: Divisor de frequências síncrono.

As saídas do divisor de frequências são multiplexadas e o código de seleção do canal é configurado pelas portas C_S0, C_S1 e C_S2, as quais podem ser visualizadas na Figura 3.32 correspondente ao diagrama esquemático geral do circuito.

A Tabela 3.7 abaixo contém os códigos necessários para configuração do oscilador *on-chip* para gerar as três frequências especificadas.

Tabela 3.7: Códigos para configuração do oscilador *on-chip* nas frequências especificadas.

	C_T0	C_T1	C_T2	C_T3	C_T4	C_T5	C_T6	C_S0	C_S1	C_S2
$f=2$ MHz	0	1	0	1	0	1	0	1	0	1
$f=80$ MHz	0	1	1	1	1	0	0	0	0	0
$f=120$ MHz	0	1	1	1	0	0	0	0	0	0

As Figuras 3.26, 3.27 e 3.28 ilustram as formas de onda do sinal de CLOCK obtidas por simulação em ambiente ACCUSIM do *software* MENTOR GRAPHICS. O primeiro gráfico de cada figura corresponde ao sinal CLOCK antes do PAD de saída e o segundo, após o PAD de saída.

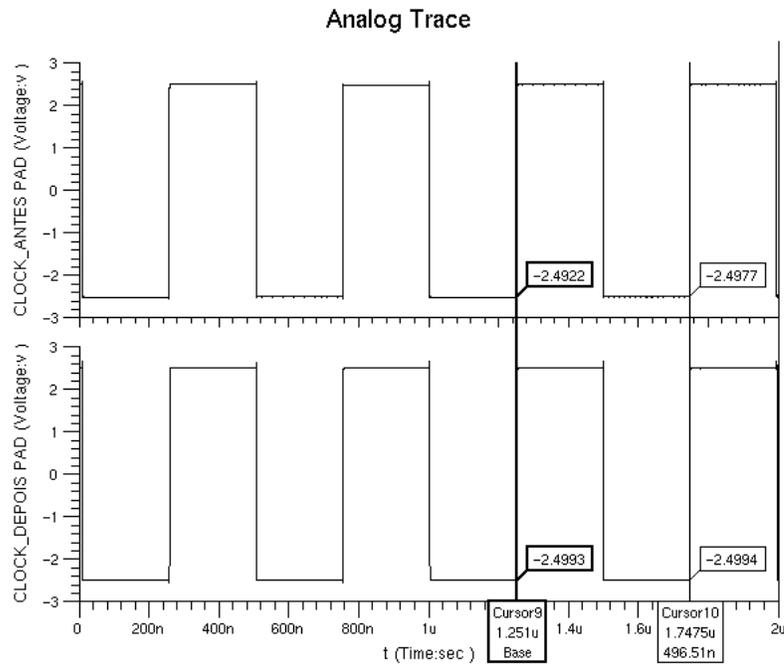


Figura 3.26: Sinal de CLOCK; $f=2,014$ MHz \cong 2 MHz.

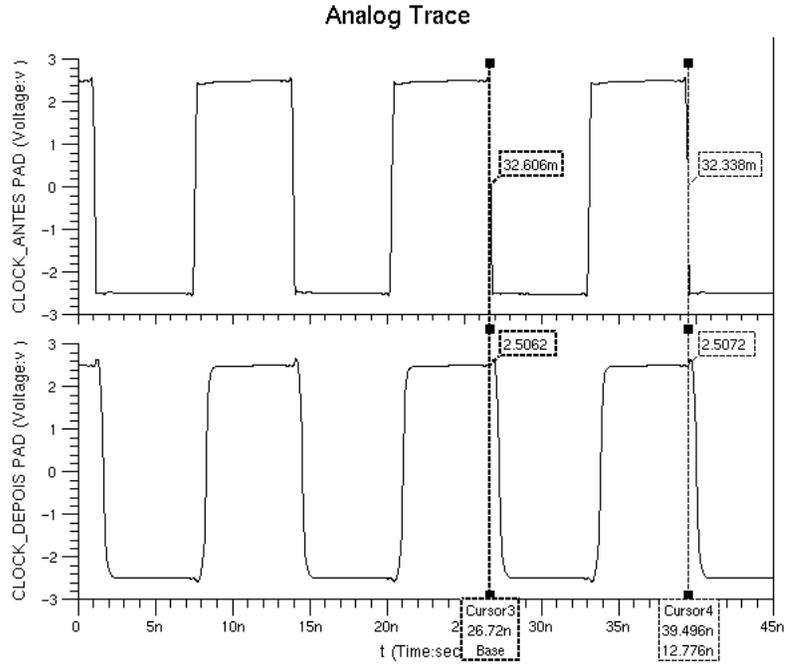


Figura 3.27: Sinal de CLOCK; $f=78,27 \text{ MHz} \cong 80 \text{ MHz}$.

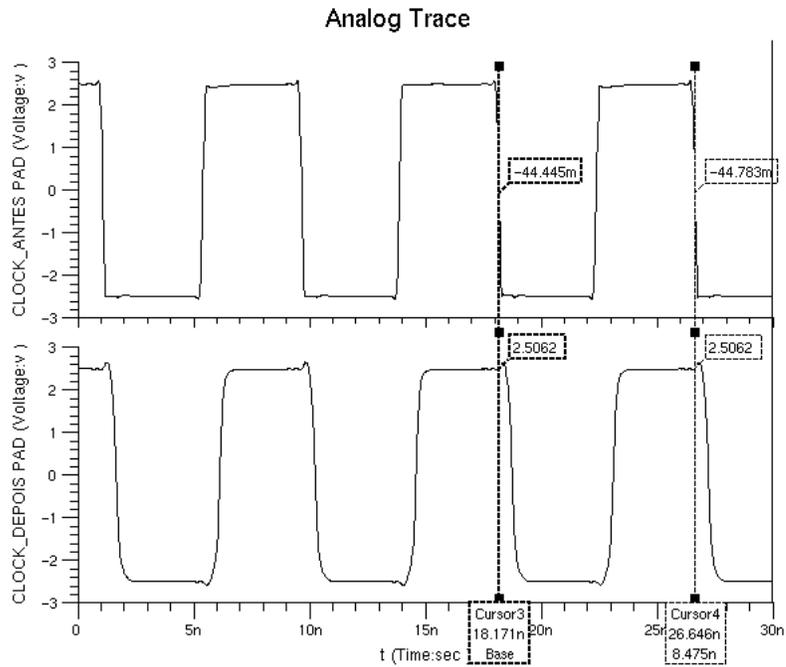


Figura 3.28: Sinal de CLOCK; $f=118,34 \text{ MHz} \cong 120 \text{ MHz}$

Como pode ser observado pelos gráficos acima, que representam os sinais de CLOCK, a frequência não é exatamente igual à especificada, isto porque existe resolução limitada de ajuste da frequência. Mas, os valores de frequência obtidos são satisfatórios e não prejudicam a medida de impedância sanguínea.

A Figura 3.29 apresenta o *layout* do oscilador em anel com o divisor de frequência. A área ocupada pelo oscilador em anel e o divisor de frequência é de $0,093\text{mm}^2$ ($265\mu\text{m} \times 351\mu\text{m}$).

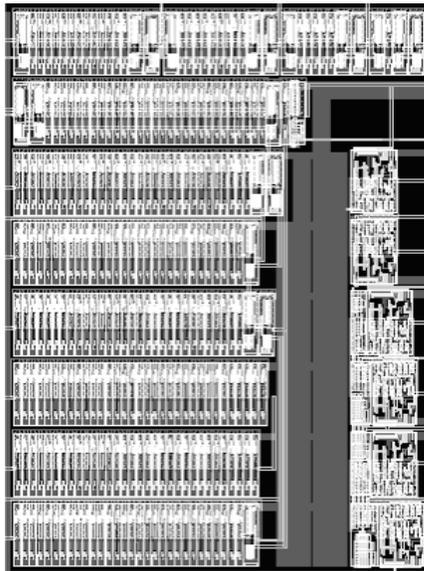


Figura 3.29: *Layout* do oscilador em anel e divisor de frequência.

3.5 – Projeto do conversor V-I

O conversor V-I (tensão-corrente) tem a função de converter os pulsos de tensão do sinal PWM senoidal em pulsos de corrente. A conversão V-I se faz necessária por dois motivos básicos: possibilitar a excitação da carga (sangue) com um nível de corrente pré-determinado entre $5\mu\text{A}$ e $10\mu\text{A}$ de modo a não provocar danos ao tecido sanguíneo. Ainda, a excitação em modo corrente ajuda a minimizar a componente CC de excitação se comparada ao modo de excitação em modo tensão onde os efeitos dos descasamentos

dos componentes e da possível falta de simetria da tensão de alimentação podem introduzir níveis CC significativos.

O conversor V-I é constituído basicamente de uma fonte de corrente e de dois pares de transistores formando um estágio em ponte completa. A corrente gerada pela fonte de corrente é espelhada e alimenta a ponte de transistores onde a carga é conectada.

A Figura 3.30 refere-se ao conversor V-I implementado.

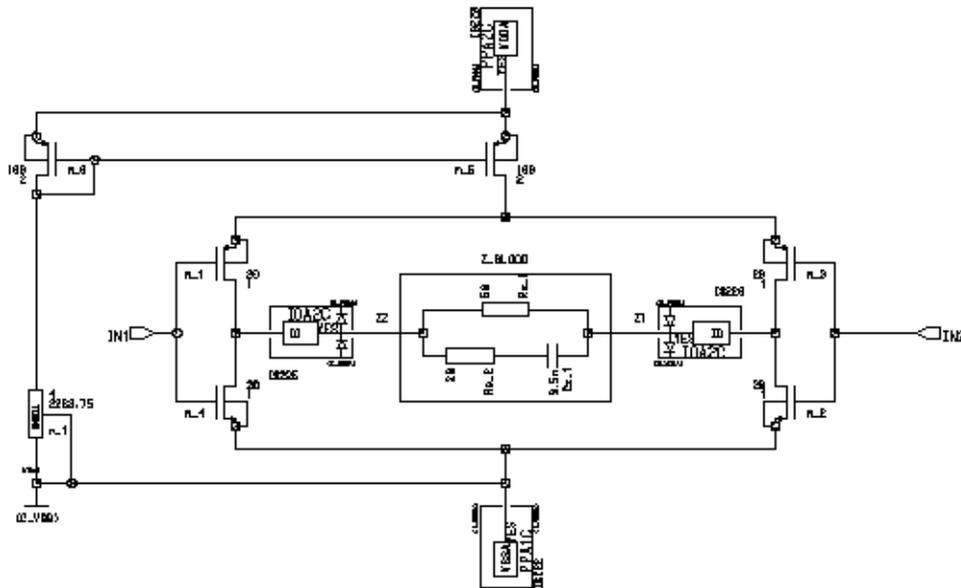


Figura 3.30: Coveror V-I.

A seguir é apresentado o cálculo do resistor de polarização da fonte de corrente para uma corrente de 5 μ A.

$$I = \frac{5 - V_{TP}}{R} \quad (3.12)$$

$$R = \frac{5 - 0,80}{5 \times 10^{-6}}$$

$$R = 840 \text{ k}\Omega$$

Pelos dados da AMS, a resistência de folha do resistor RNWELL é 1 k Ω . Tem-se que, para 840 k Ω , é necessário que o transistor tenha $W/L=840$. Escolhe-se $L=4\mu\text{m}$ e $W=3360\mu\text{m}$. As dimensões dos transistores da ponte em H foram determinados através de simulação, atentando pelo tempo de resposta da chaves e capacidade de *drive* para que o sinal tenha boa resposta frente à capacitância do *pad* de saída. A simulação forneceu os seguintes valores: $W/L=20$ para os transistores N e P, sendo $L=1\mu\text{m}$ e $W=20\mu\text{m}$.

O resistor RNWELL foi utilizado pelo fato de que este ocupa menos área. O inconveniente do resistor RNWELL é o alto coeficiente térmico, $6,6.10^{-3}/\text{K}$. No entanto, como o circuito é construído para operar em ambiente com temperatura controlada, o resistor RNWELL tem boa funcionalidade.

A Figura 3.31 apresenta o *layout* do conversor V-I, incluindo a fonte de corrente com o resistor RNWELL e a ponte em H. A área ocupada pelo conversor V-I é de aproximadamente $0,047\text{mm}^2$ ($384\mu\text{m} \times 122\mu\text{m}$).

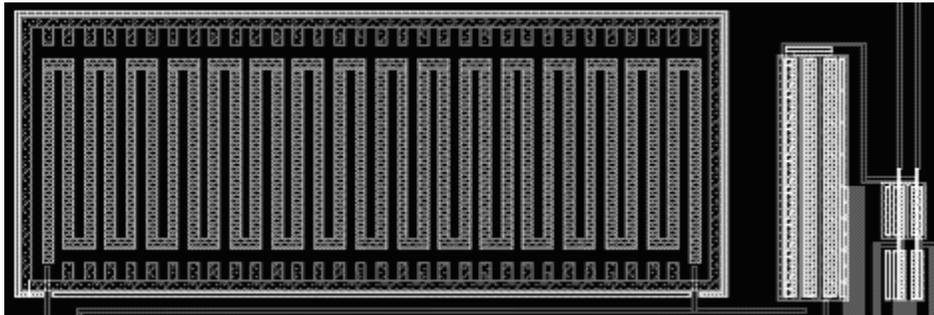


Figura 3.31: *Layout* do conversor V-I.

3.6 – Cálculo do consumo de energia do CI

Para calcular o consumo de energia geral do CI, pode-se calcular o consumo de potência de cada bloco do CI separadamente e depois somá-las para obter o consumo total. Os dois blocos que consomem potência significativa são o *shift-register* e o *ring-oscillator* com o divisor de frequência síncrono. Vale ressaltar que o cálculo será realizado baseando-se em informações fornecidas pela AMS.

O *shift-register* é formado por 100 *flip-flops* do tipo DFE. O consumo de potência de cada *flip-flop* é de 13,16 $\mu\text{W}/\text{MHz}$. Como já se sabe, quanto maior for o número de transições do sinal PWM em um período, maior será o consumo de potência. Então, o consumo de potência é proporcional ao índice de modulação em frequência, já que o número de transições do sinal PWM em um período é o dobro do índice de modulação em frequência. Para o cálculo do consumo de potência do *shift-register* (P_{SR}) tem-se, então:

$$P_{SR} = 13,16 \times 10^{-6} N f_{\text{sinat}} (\text{MHz}) m_f \quad (3.13)$$

Para a situação escolhida com índice de modulação em frequência igual a 11 e sabendo que o *shift-register* é formado por $N=100$ *flip-flops*, tem-se:

Para $f_{\text{sinat}}=1,2$ MHz:

$$P_{SR} = 17,37 \text{ mW}$$

Para $f_{\text{sinat}}=800$ kHz:

$$P_{SR} = 11,58 \text{ mW}$$

Para $f_{\text{sinat}}=20$ kHz:

$$P_{SR} = 0,290 \text{ mW}$$

O consumo do *ring-oscillator* pode ser calculado tendo como base o número de inversores IN1 presentes no oscilador. Obviamente, como se pode observar nos diagramas esquemáticos referentes ao oscilador, há outras células que não são IN1 (IT1, IT2 e NA23), porém, como as células IN1 são maioria, aproxima-se o cálculo do consumo de potência do *ring-oscillator* (P_{RO}) considerando somente a existência de inversores IN1. O consumo individual de cada inversor IN1 é de 3,11 $\mu\text{W}/\text{MHz}$. Assim, tem-se:

$$P_{RO} = 3,11 \times 10^{-6} N f_{CK} (\text{MHz}) \quad (3.14)$$

Para $f_{CK}=120$ MHz, $N=39$:

$$P_{RO} = 14,55 \text{ mW}$$

Para $f_{CK}=80$ MHz, $N=69$:

$$P_{RO} = 17,18 \text{ mW}$$

Para $f_{CK}=64$ MHz, $N=91$ (32 x 2 MHz):

$$P_{RO} = 18,11 \text{ mW}$$

O divisor síncrono é formado por 6 *flip-flops* JKA (9,98 $\mu\text{W}/\text{MHz}$ cada) e por portas AND2 (5,12 $\mu\text{W}/\text{MHz}$), AND3 (5,09 $\mu\text{W}/\text{MHz}$), AND4 (6,13 $\mu\text{W}/\text{MHz}$) e AND5 (5,78 $\mu\text{W}/\text{MHz}$). A potência consumida pelo divisor de frequências (P_{DF}) pode ser calculada considerando um valor médio de 5,53 $\mu\text{W}/\text{MHz}$ para as portas AND:

$$P_{DF} = \left\{ \left[\left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} \right) \times 9,98 \times 10^{-6} \right] + \left[\left(\frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} \right) \times 5,53 \times 10^{-6} \right] \right\} \times f_{CK} \text{ (MHz)}$$

$$P_{DF} = 12,5 \cdot 10^{-6} f_{CK} \text{ (MHz)} \quad (3.15)$$

Para $f_{CK}=120$ MHz:

$$P_{DF} = 1,50 \text{ mW}$$

Para $f_{CK}=80$ MHz:

$$P_{DF} = 1,00 \text{ mW}$$

Para $f_{CK}=64$ MHz (32 x 2 MHz):

$$P_{DF} = 0,80 \text{ mW}$$

A potência consumida no conversor V-I é desprezível (5 μA) frente à consumida nos blocos *shift-register* e *ring-oscillator* com divisor de frequências. Por isso, esta não será considerada no total.

A potência total consumida (P_{DT}) pode ser assim calculada:

$$P_T = P_{SR} + P_{RO} + P_{DF} \quad (3.16)$$

Para sinal PWM de 1,2 MHz:

$$P_T = 33,43 \text{ mW}$$

Para sinal PWM de 800 kHz:

$$P_T = 29,75 \text{ W}$$

Para sinal PWM de 20 kHz:

$$P_T = 19,20 \text{ mW}$$

O nível de potência esperado para a aplicação do circuito em marca-passos é de no máximo 5 mW. Se o projeto se focalizasse para a minimização do consumo de potência, os valores obtidos poderiam ser menores. Ainda, se o CI fosse construído em uma tecnologia mais adequada, os níveis de potência consumida seriam bem menores. A tecnologia CMOS da AMS 0,35 μ m, 3,3V apresenta, em média, uma redução de 10 vezes no consumo de potência de cada célula [20]. Conclui-se, portanto, que a mudança da tecnologia de construção pode diminuir o consumo em 10 vezes, o que aproxima o consumo de potência para o valor esperado para marca-passos. O consumo de potência é reduzido quando a tensão de operação da tecnologia e o fator de ganho dos transistores são reduzidos. Para verificar a afirmativa anterior basta recorrer à Equação 2.11 e observar como o consumo de potência está relacionado com a tensão e o fator de ganho dos transistores.

3.7 – Diagrama geral e *layout* do CI

Além de apresentar o diagrama esquemático geral do CI e seu *layout*, nesta seção apresenta-se uma tabela contendo as funções de cada porta do CI e o número dos pinos associados às portas.

Tabela 3.8: Portas do CI e suas funções.

n.o PINO	NOME	FUNÇÃO
1	C_E	OFF/ON RING-OSCILLATOR
2	C_T0	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
3	C_T1	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
4	C_T2	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
5	C_T3	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
6	C_T4	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
7	C_T5	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
8	C_T6	AJUSTE DE FREQUÊNCIA DO RING-OSCILLATOR
9	C_EXT	ENTRADA CLOCK EXTERNO
10	C_INT_EXT	SELECIONA CLOCK INTERNO/EXTERNO
11	C_PRG	ENTRADA CLOCK PROGRAMAÇÃO
12	PRG_RUN	SELECIONA MODO PROGRAMAÇÃO/RUN
13	D_IN	ENTRADA DADOS PARA PROGRAMAÇÃO
14	VSS	ALIMENTAÇÃO NEGATIVA
15	I_ADJ	AJUSTE DE CORRENTE DO CONVERSOR V-I
16	I_OUT	MONITORAÇÃO DA CORRENTE DO CONVERSOR V-I
17	Z2	SINAL PWM EM CORRENTE - TERMINAL DE CARGA 2
18	Z1	SINAL PWM EM CORRENTE - TERMINAL DE CARGA 1
19	NC1	NÃO CONECTADO
20	NC2	NÃO CONECTADO
21	PWM	SAÍDA SINAL PWM EM TENSÃO
22	PWM_OUT_E	OFF/ON SAÍDA PWM
23	C_OUT	SAÍDA SINAL DE CLOCK
24	RN	RESET FLIP-FLOPS
25	C_S2	CONFIGURAÇÃO DIVISOR FREQUÊNCIAS
26	C_S1	CONFIGURAÇÃO DIVISOR FREQUÊNCIAS
27	C_S0	CONFIGURAÇÃO DIVISOR FREQUÊNCIAS
28	VDD	ALIMENTAÇÃO POSITIVA

A Figura 3.32 apresenta o diagrama esquemático geral do CI construído.

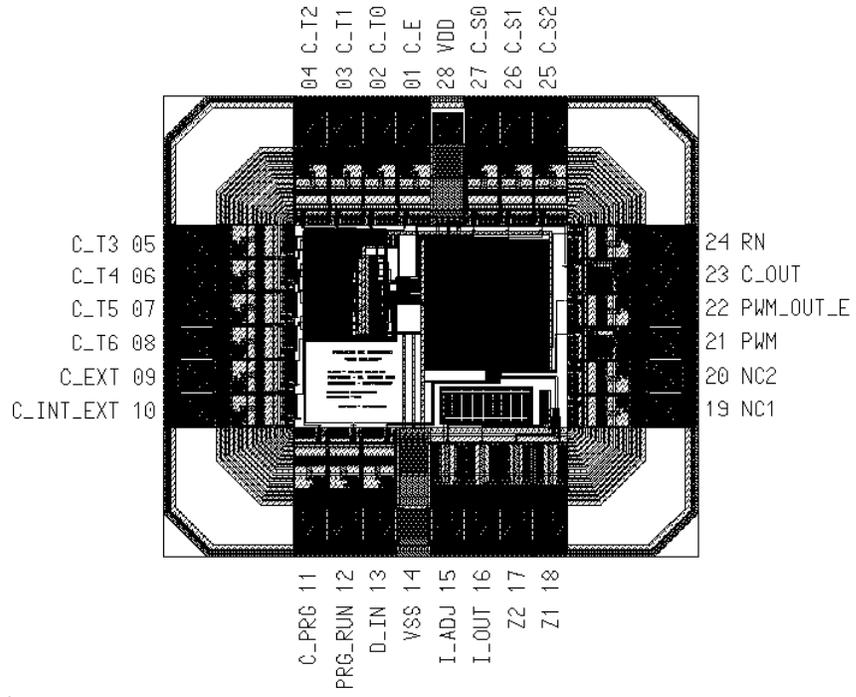


Figura 3.33: *Layout* geral do CI.

AVALIAÇÃO DOS RESULTADOS PRÁTICOS

4.1 – Montagem da estrutura de teste

Uma estrutura de teste com recursos de configuração automatizada do CI foi construída com auxílio de um PC e do *software* LabView para facilitar a obtenção dos resultados experimentais e a configuração do CI. O CI foi montado em uma placa de circuito impresso que também continha chaves (*dip-switches*) para as configurações possíveis do CI tais como ajuste da frequência do oscilador em anel, escolha do sinal de CLOCK interno/externo, habilita/desabilita oscilador interno e habilita/desabilita saída do sinal PWM em modo tensão.

Um programa em LabView foi elaborado para auxiliar a programação do CI com o sinal PWM senoidal. As portas de configuração relativas à programação do CI foram conectadas a pinos específicos da porta paralela de um microcomputador contendo o software elaborado em LabView. O CI é programado com base em arquivos contendo o código do sinal PWM senoidal desejado, ou seja, aquele com determinado índice de modulação em frequência e amplitude.

A Figura 4.1 mostra o circuito integrado montado na placa de circuito impresso juntamente com uma ponta de prova para medir a emissão eletromagnética do CI.

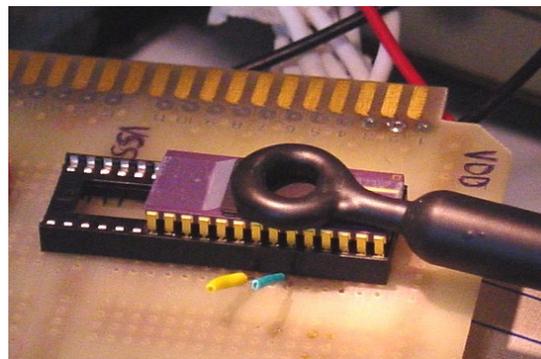


Figura 4.1: Circuito integrado implementado montado em PCB.

A Figura 4.2 ilustra a tela elaborada em LabView para programação do CI.

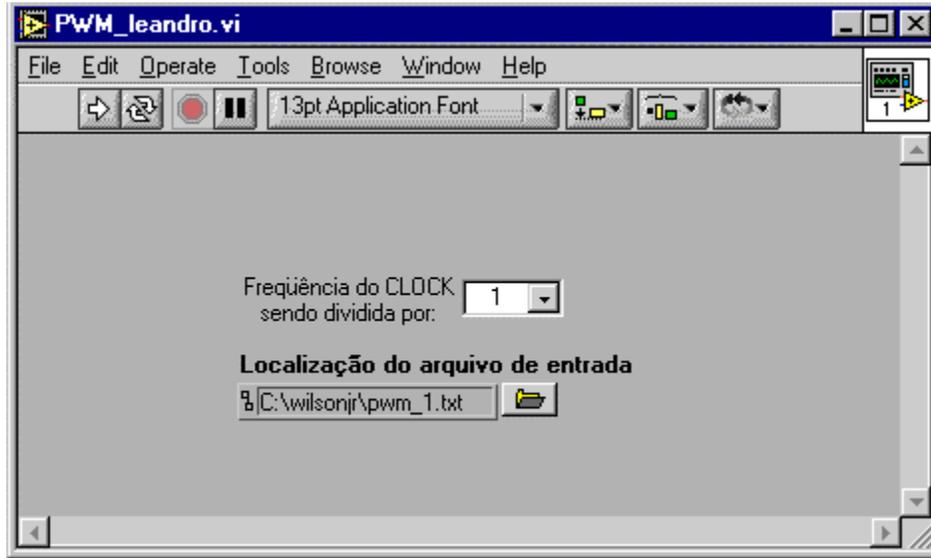


Figura 4.2: Tela de configuração e programação do CI em LabView.

4.2 – Oscilador em anel *on-chip*

O oscilador em anel foi testado e funcionou, entretanto, em frequências de oscilação diferentes da esperada. A Tabela 4.1 abaixo contém os códigos de ajuste do oscilador em anel e divisor de frequências para geração das frequências de CLOCK de interesse.

Tabela 4.1: Tabela verdade para geração do sinal de CLOCK – resultados práticos.

f(MHz)	C_T0	C_T1	C_T2	C_T3	C_T4	C_T5	C_T6	C_S0	C_S1	C_S2
2	0	0	0	1	1	0	0	1	0	1
80	0	1	1	1	0	0	0	0	0	0
120	1	0	1	0	0	0	0	0	0	0

A Tabela 4.1 apresenta códigos diferentes da Tabela 3.7 devido ao fato de que, na prática, é necessária uma outra configuração do oscilador em anel para gerar as frequências de interesse, pois os tempos de atraso obtidos por cálculo e simulação são diferentes dos práticos. Baseando-se na Tabela 4.1 e nos diagramas do oscilador em anel

presentes no capítulo 3, pode-se determinar a quantidade de inversores ativos no oscilador em anel para cada frequência e compará-la com os valores simulados e calculados.

Tabela 4.2: Comparação do número N de inversores.

<i>f</i> (MHz)	<i>N</i> prático	<i>N</i> simulado	<i>N</i> calculado
2	53	91	85
80	39	69	67
120	21	39	45

A não concordância já era esperada pois, como já foi dito no capítulo 3, a frequência de um oscilador em anel pode ser altamente influenciada pelos desvios de fabricação do CI. Como foi dito no capítulo 3, pode-se obter uma variação de, aproximadamente, $\pm 40\%$ na capacitância de *gate*. Ainda, somam-se as capacitâncias parasitas e o efeito da resistência de dreno dos transistores para aumentar o tempo de atraso das portas inversoras e, conseqüentemente, diminuir o número de inversores necessários para a geração de uma mesma frequência.

As possibilidades de ajuste da frequência do oscilador em anel implementadas no CI foram capazes de corrigir os desvios de tal forma que o oscilador em anel gera as três frequências de CLOCK de interesse.

As Figuras 4.3, 4.4 e 4.5 a seguir ilustram as formas de onda do sinal de CLOCK obtidas após o *pad* de saída OB33 (pino 23).

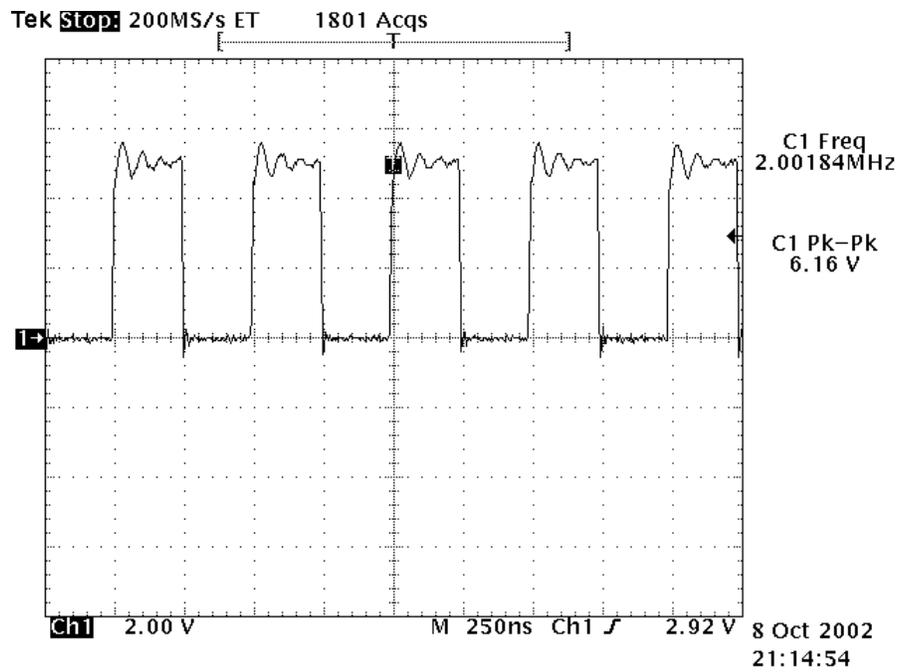


Figura 4.3: Sinal de CLOCK em 2 MHz.

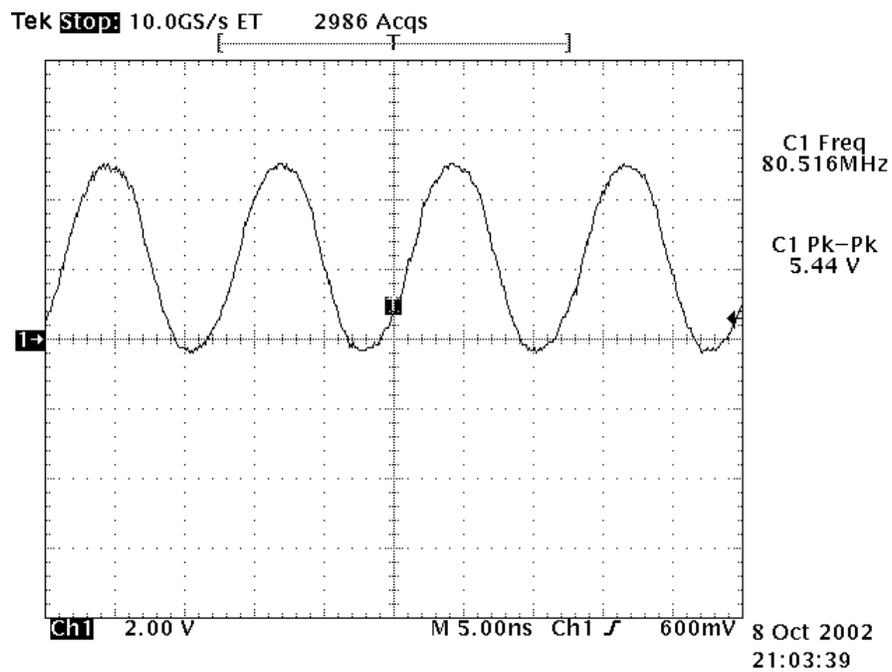


Figura 4.4: Sinal de CLOCK em 80 MHz.

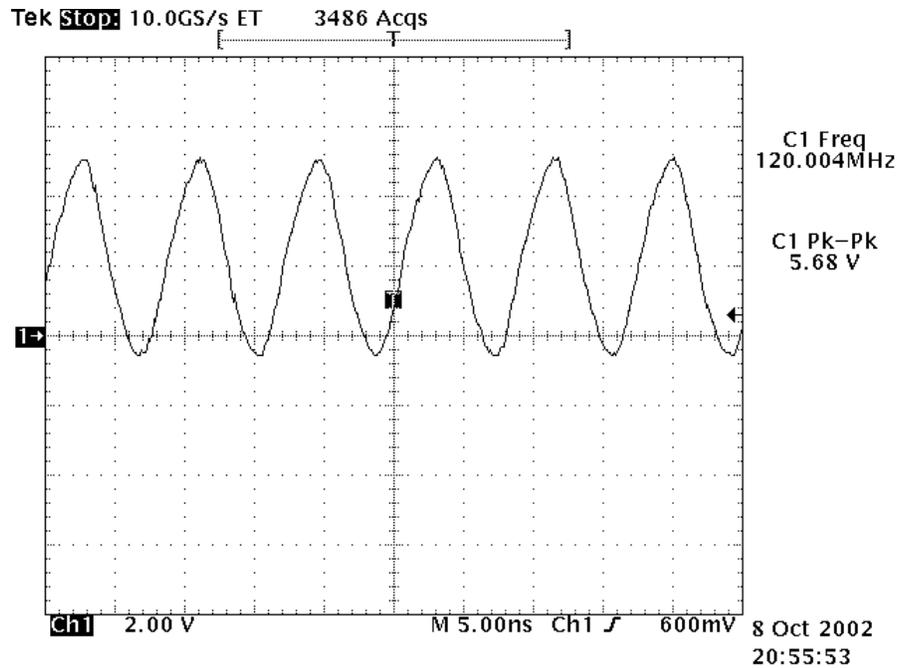


Figura 4.5: Sinal de CLOCK em 120 MHz.

Como se pode observar pelas últimas duas figuras, o sinal de CLOCK não é uma onda quadrada como previa a simulação (Figuras 3.25, 3.26 e 3.27). Segundo a AMS, o *pad* OB33 proporciona um tempo de subida e descida para o sinal de saída de, aproximadamente, 2,5ns para uma carga de 10pF desde que o tempo de subida e descida do sinal de entrada do *pad* esteja entre 100ps e 2ns [16]. Como a capacitância da ponta de prova do osciloscópio utilizado (Tektronix TDS460A) para capturar as formas de onda é de 15pF, conclui-se que o tempo de subida e descida deve, realmente, ser superior à 2,5ns.

As Figura 4.6 e 4.7 apresentam os tempos de subida e descida do sinal de CLOCK após o *pad* OB33 (pino 23 do CI).

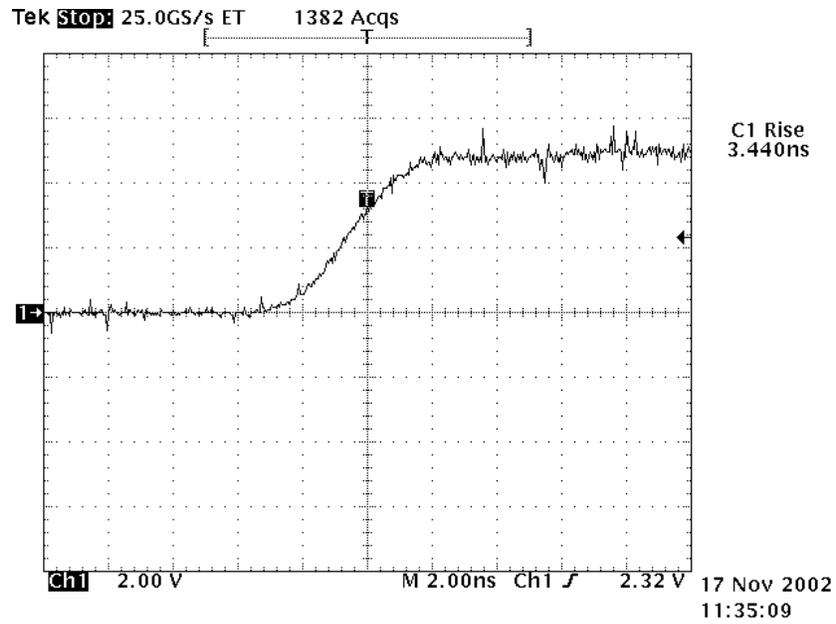


Figura 4.6: Tempo de subida do sinal de CLOCK ($f=20$ kHz).

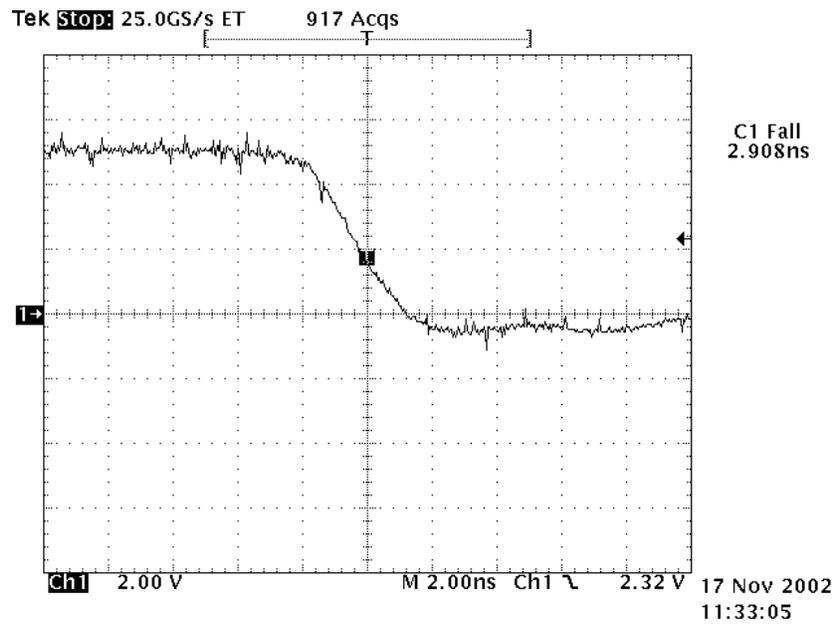


Figura 4.7: Tempo de descida do sinal de CLOCK ($f=20$ kHz).

O tempo de subida é de 3,44ns que é maior que 2,78ns, valor este especificado pela AMS para carga de 10pF. O tempo de descida é de 2,908ns que é maior que 2,16ns,

valor este especificado pela AMS para carga de 10pF. Os tempos de descida e subida aumentaram conforme o previsto, pois a carga aumentou de 10pF para 15pF [9] [10] [11].

Infelizmente não foi possível fazer nova simulação incluindo a capacitância da ponta de prova do osciloscópio. No entanto, o sinal de CLOCK gerado pelo oscilador em anel tem funcionalidade garantida, pois para um sinal de CLOCK, o que importam são as transições periódicas e a amplitude.

4.3 – Sinal PWM senoidal

O sinal PWM senoidal é gerado pelo código acumulado no *shift-register* que se desloca pela ação do sinal de CLOCK. As funções de programação do CI em conjunto com a interface LPT1 de um PC controlada pelo programa elaborado em LabView (ver tela de controle na seção 4.1) tiveram total funcionalidade.

A seguir são apresentadas as formas de onda dos sinais PWM senoidais gerados e a FFT desses sinais de acordo com as características de modulação apresentadas na Tabela 3.3 nas três frequências de interesse (especificações do projeto). Ainda, para cada gráfico é apresentada uma tabela contendo as atenuações em dB dos harmônicos em relação à componente fundamental. As amplitudes teóricas dos harmônicos foram obtidas utilizando-se a Eq. 3.5 aplicada a cada sinal PWM senoidal gerado. Os valores práticos das atenuações contidos nas tabelas foram obtidos com o auxílio de um *spectrum analyser* da HP modelo 4195A, o qual fornece maior precisão de leitura dos harmônicos em comparação ao osciloscópio com FFT usado. No entanto, os gráficos apresentados foram obtidos por um osciloscópio Tektronix modelo TDS460A pelo fato deste apresentar maior facilidade de captura da imagem e junção da forma de onda e da FFT em um mesmo gráfico. Nas tabelas são apresentadas as atenuações teóricas e as práticas. Onde houver espaço em branco no interior da tabela, deve-se considerar que a atenuação do harmônico frente à componente fundamental é muito alta, ou seja, este harmônico é inexpressivo. Ainda, é estimada a atenuação total dos sinais obtidos na prática se um filtro de segunda ordem ideal fosse utilizado.

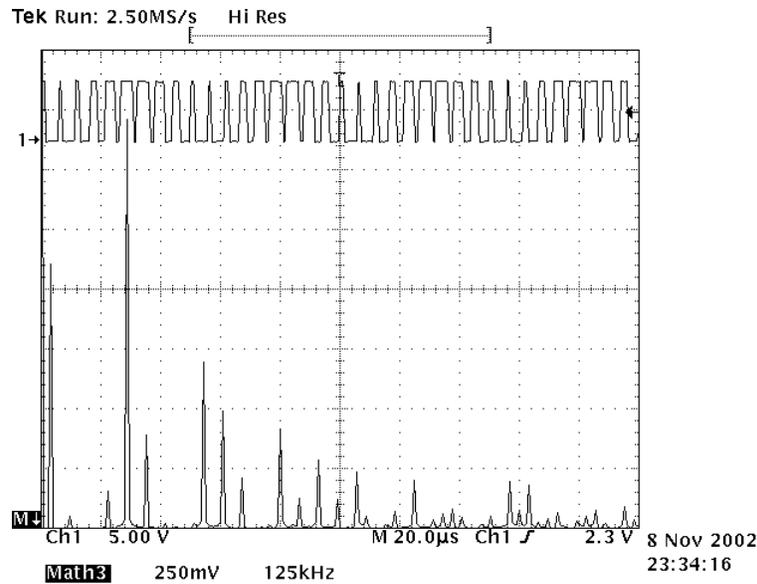


Figura 4.8: $m_a=0,65$, $m_f=9$, $f=20$ kHz.

Tabela 4.3: Sinal PWM senoidal; 20 kHz, $m_a=0,65$, $m_f=9$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6
teórico	82.1688	25.6846	80.7963	78.0499	74.7389
prático		25.4213			
c/ filtro 2a. ordem		44.5062			

atenuação (dB)	1->7	1->8	1->9	1->10	1->11
teórico	16.8982	67.4244	-3.8177	70.7913	8.9032
prático	16.4051		-4.2371		8.9002
c/ filtro 2a. ordem	50.2090		33.9326		50.5559

Observa-se pela Tabela 4.3 que há uma concordância muito grande entre os valores teóricos e os práticos para o sinal PWM senoidal em 20 kHz. No entanto, a escolha do índice de modulação em amplitude igual a 0,65 e em frequência igual a 9 não é uma boa escolha, pois mesmo com a utilização do filtro, a amplitude da portadora ainda é significativa. Considera-se aceitável uma atenuação maior do que 40dB.

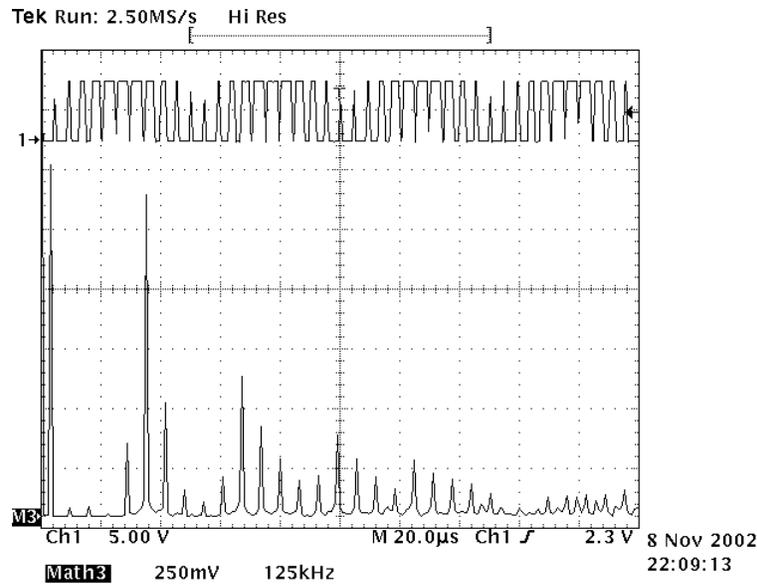


Figura 4.9: $m_a=0,80$, $m_f=11$, $f=20$ kHz.

Tabela 4.4: Sinal PWM senoidal; 20 kHz, $m_a=0,80$, $m_f=11$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7
teórico	84.4854	31.9150	83.2272	30.4860	80.7417	43.0938
prático		31.4364		29.8788		42.8420
c/ filtro 2.a ordem		50.5213		57.8376		76.6459

atenuação (dB)	1->8	1->9	1->10	1->11	1->12	1->13
teórico	74.7944	13.7125	70.4555	0.6707	75.6288	9.5032
prático		13.3574		0.4094		9.5117
c/ filtro 2.a ordem		51.5271		42.0651		54.0694

Observa-se pela Tabela 4.4 que há uma concordância muito grande entre os valores teóricos e os práticos para o sinal PWM senoidal em 20 kHz. Nota-se que a escolha do índice de modulação em amplitude igual a 0,80 e em frequência igual a 11 é uma boa escolha, pois com a utilização do filtro, a amplitude da portadora é atenuada em mais de 40dB.

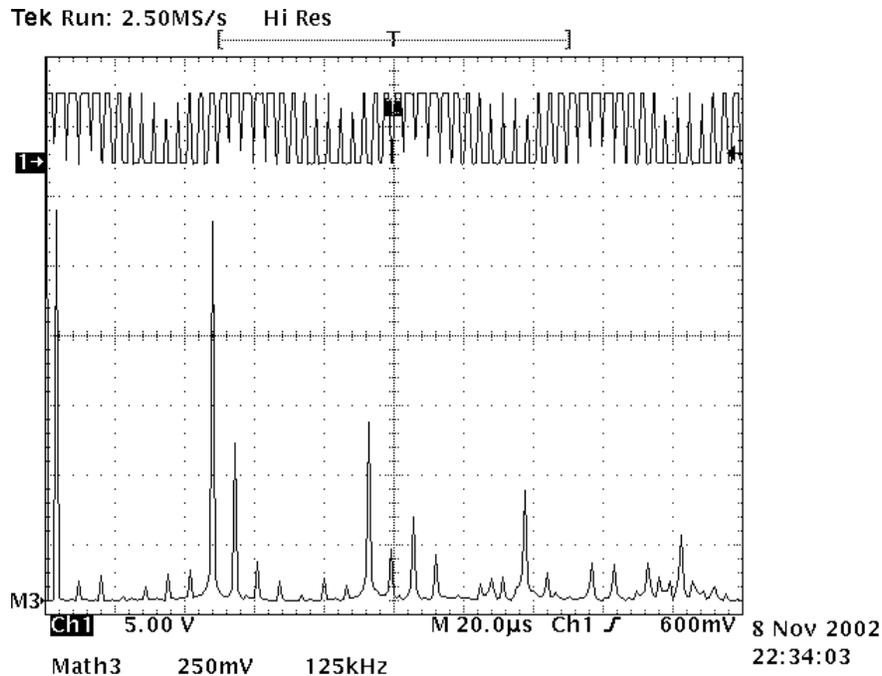


Figura 4.10: $m_a=0,75$, $m_f=15$, $f=20$ kHz.

Tabela 4.5: Sinal PWM senoidal; 20 kHz, $m_a=0,75$, $m_f=15$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7	1->8	1->9
teórico	85.4662	26.4789	84.2173	23.1139	85.9631	35.9544	81.6142	27.0935
prático		25.9609		22.6927		36.2986		26.8894
c/ filtro 2.ª ordem		45.0458		50.6515		70.1025		65.0591

atenuação (dB)	1->10	1->11	1->12	1->13	1->14	1->15	1->16	1->17
teórico	75.7875	23.1825	73.5810	21.3438	66.1899	-0.0625	73.0162	7.5034
prático		22.7742		20.8671		-0.1455		7.3076
c/ filtro 2.ª ordem		64.4299		65.4248		46.8982		56.5256

Observa-se pela Tabela 4.5 que há uma concordância muito grande entre os valores teóricos e os práticos para o sinal PWM senoidal em 20 kHz. Nota-se que a escolha do índice de modulação em amplitude igual a 0,75 e em frequência igual a 15 também é uma boa escolha, pois com a utilização do filtro, a amplitude da portadora é atenuada em mais de 40dB. No entanto, esta opção consome mais energia devido ao maior número de transições em um período do sinal PWM senoidal se comparada à opção em que o índice de modulação em amplitude é igual a 0,8 e em frequência é igual a 11. A melhor das três opções é, portanto, índice de modulação em amplitude igual a 0,8 e em frequência igual a 11.

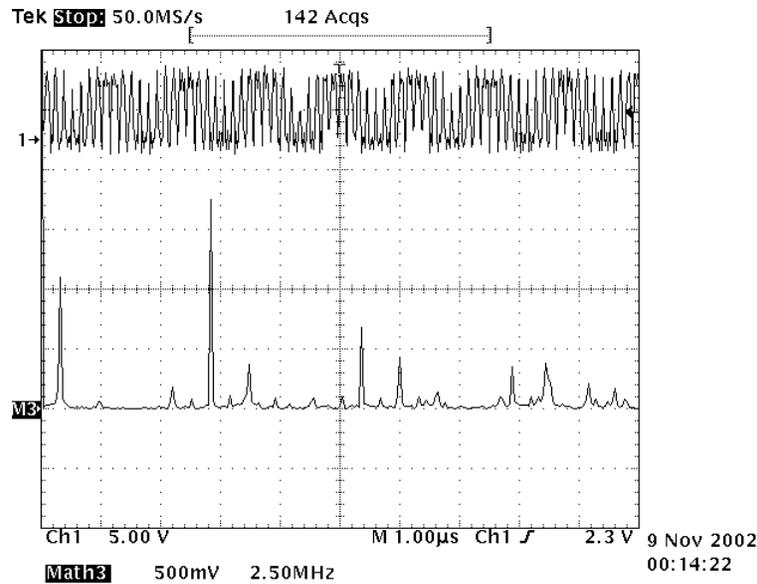


Figura 4.11: $m_a=0,65$, $m_f=9$, $f=800$ kHz.

Tabela 4.6: Sinal PWM senoidal; 800 kHz, $m_a=0,65$, $m_f=9$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6
teórico	82.1688	25.6846	80.7963	78.0499	74.7389
prático		24.3046			
prático após f. 2.a		43.3895			

atenuação (dB)	1->7	1->8	1->9	1->10	1->11
teórico	16.8982	67.4244	-3.8177	70.7913	8.9032
prático	16.4051	22.3523	-4.2371	20.8731	8.9002
prático após f. 2.a	50.2090	58.4759	29.5668	60.8731	50.5559

Observa-se pela Tabela 4.6 que existem diferenças significativas entre os valores teóricos e práticos para o sinal PWM senoidal em 800 kHz, onde a concordância entre os valores foi muito alta. Observa-se o aparecimento de harmônicos pares significativos, o que não ocorria para o sinal PWM senoidal em 20 kHz.

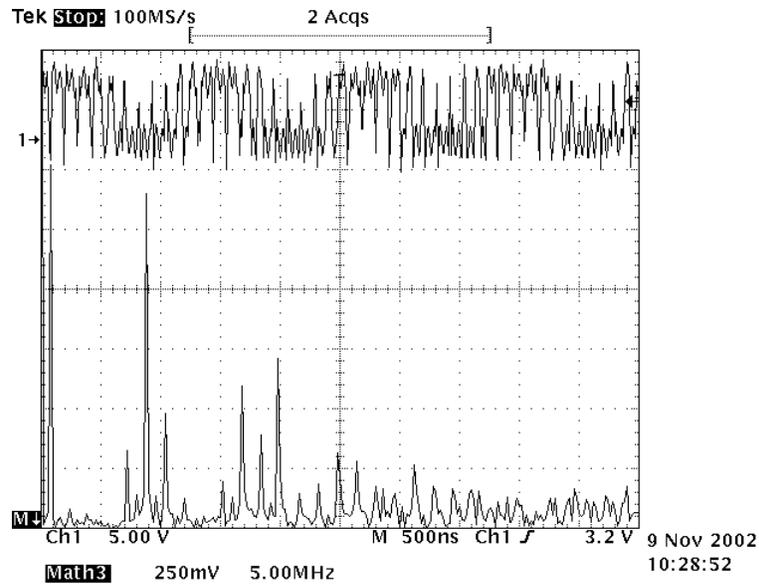


Figura 4.12: $m_a=0,80$, $m_f=11$, $f=800$ kHz.

Tabela 4.7: Sinal PWM senoidal; 800 kHz, $m_a=0,80$, $m_f=11$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7
teórico	84.4854	31.9150	83.2272	30.4860	80.7417	43.0938
prático	33.8365	27.7461	34.0420	28.3292		
c/ filtro 2.a ordem	45.8777	46.8310	58.1244	56.2880		

atenuação (dB)	1->8	1->9	1->10	1->11	1->12	1->13
teórico	74.7944	13.7125	70.4555	0.6707	75.6288	9.5032
prático		13.8930	19.9541	1.0381	21.1240	10.7843
c/ filtro 2.a ordem		52.0627	59.9541	42.6938	64.2912	55.3420

Observa-se pela Tabela 4.7 que existe uma diferença significativa entre os valores teóricos e os práticos. O aparecimento de harmônicos pares também ocorre aqui, da mesma forma que na situação anterior.

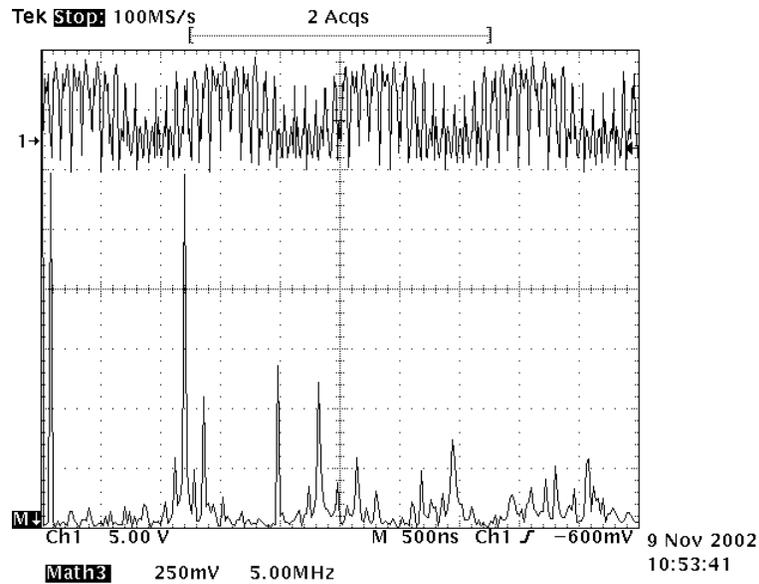


Figura 4.13: $m_a=0,75$, $m_f=15$, $f=800$ kHz.

Tabela 4.8: Sinal PWM senoidal; 800 kHz, $m_a=0,75$, $m_f=15$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7	1->8	1->9
teórico	85,4662	26,4789	84,2173	23,1139	85,9631	35,9544	81,6142	27,0935
prático	31,8241	26,1762	32,0894	23,9650	35,2980	30,0020	26,1720	28,1730
c/ filtro 2.ª ordem	43,8653	45,2611	56,1718	51,9238	66,4241	63,8059	62,2956	66,3427

atenuação (dB)	1->10	1->11	1->12	1->13	1->14	1->15	1->16	1->17
teórico	75,7875	23,1825	73,5810	21,3438	66,1899	-0,0625	73,0162	7,5034
prático	21,0840	22,2950	20,5230	19,8720	12,4970	0,0214	17,5320	2,9813
c/ filtro 2.ª ordem	61,0840	63,9507	63,6902	64,4297	58,3421	47,0651	65,6968	52,1993

Observa-se pela Tabela 4.8 que existe uma diferença significativa entre os valores teóricos e os práticos. Outra vez, ocorre o aparecimento de harmônicos pares. Fica claro que o aumento da frequência está distorcendo o sinal PWM senoidal.

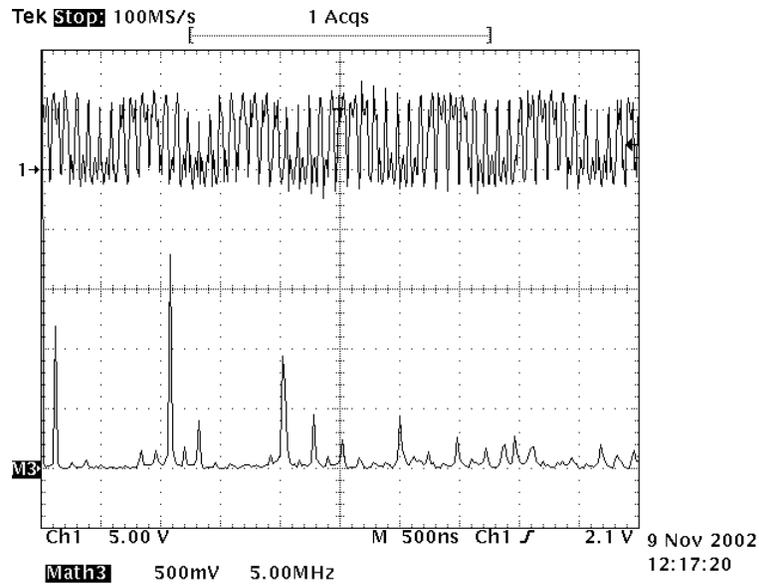


Figura 4.14: $m_a=0,65$, $m_f=9$, $f=1,2$ MHz.

Tabela 4.9: Sinal PWM senoidal; 1,2 MHz, $m_a=0,65$, $m_f=9$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6
teórico	82.1688	25.6846	80.7963	78.0499	74.7389
prático	26.6120	24.2310	27.8240	55.9998	
prático após f. 2.a	45.6969	43.3159	51.9064	83.9586	

atenuação (dB)	1->7	1->8	1->9	1->10	1->11
teórico	16.8982	67.4244	-3.8177	70.7913	8.9032
prático	16.4051	18.5612	-4.2371	13.7861	10.0342
prático após f. 2.a	50.2090	54.6848	33.9326	53.7861	51.6899

Observa-se pela Tabela 4.9 que existe uma diferença significativa entre os valores teóricos e os práticos. O aparecimento de harmônicos pares também é significativo. O aumento da frequência está distorcendo o sinal PWM senoidal.

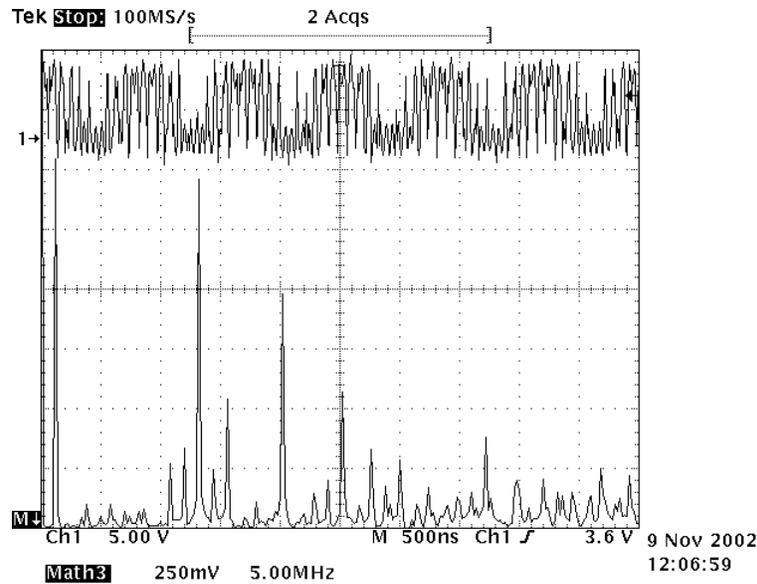


Figura 4.15: $m_a=0,80$, $m_f=11$, $f=1,2$ MHz.

Tabela 4.10: Sinal PWM senoidal; 1,2 MHz, $m_a=0,80$, $m_f=11$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7
teórico	84.4854	31.9150	83.2272	30.4860	80.7417	43.0938
prático		25.2540	30.2369	26.0451	29.4180	24.1097
c/ filtro 2.a ordem		44.3389	54.3193	54.0039	60.5441	57.9136

atenuação (dB)	1->8	1->9	1->10	1->11	1->12	1->13
teórico	74.7944	13.7125	70.4555	0.6707	75.6288	9.5032
prático		16.3190	14.0510	0.8424	15.8710	10.1800
c/ filtro 2.a ordem		54.4887	54.0510	42.4981	59.0382	54.7377

Observa-se pela Tabela 4.10 que existe uma diferença significativa entre os valores teóricos e os práticos. Nota-se, também, o aparecimento de harmônicos pares de ordens maiores se comparado ao caso anterior. O aparecimento de harmônicos pares também está relacionado ao aumento da frequência.

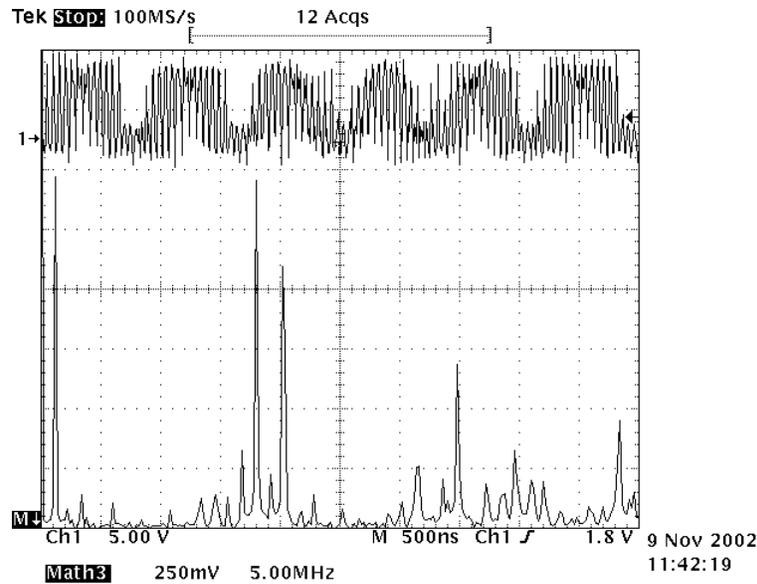


Figura 4.16: $m_a=0,75$, $m_f=15$, $f=1,2$ MHz.

Tabela 4.11: Sinal PWM senoidal; 1,2 MHz, $m_a=0,75$, $m_f=15$.

atenuação (dB)	1->2	1->3	1->4	1->5	1->6	1->7	1->8	1->9
teórico	85,4662	26,4789	84,2173	23,1139	85,9631	35,9544	81,6142	27,0935
prático	23,8734	20,3290		22,3100		32,1070		25,8120
c/ filtro 2.a ordem	35,9146	39,4139		50,2688		65,9109		63,9817

atenuação (dB)	1->10	1->11	1->12	1->13	1->14	1->15	1->16	1->17
teórico	75,7875	23,1825	73,5810	21,3438	66,1899	-0,0625	73,0162	7,5034
prático		21,6130	20,5310	20,0031	12,2100	-0,0125	18,2140	2,9817
c/ filtro 2.a ordem		63,2687	63,6982	64,5608	58,0551	47,0312	66,3788	52,1997

Observa-se pela Tabela 4.11 que existe uma diferença significativa entre os valores teóricos e os práticos. O aparecimento de harmônicos pares é muito significativo.

Do que foi apresentado na seqüência de tabelas e gráficos anteriores, conclui-se que o aparecimento de harmônicos pares está relacionado ao aumento de frequência. O sinal PWM senoidal em 20 kHz não apresentou harmônicos pares em todas as situações de índices de modulação. O sinal PWM senoidal em 800 kHz e 1,2 MHz apresentou harmônicos pares em todas as situações de índices de modulação. É notável pelas formas de onda que os sinais PWM senoidais em 800 kHz e 1,2 MHz estão distorcidos em relação ao sinal de 20 kHz. A distorção é causada pelo carregamento do *pad* de saída

OB33 (pino 21 do CI) pela capacitância da ponta de prova do osciloscópio, que é de 15pF. Da mesma forma como foi feito para o oscilador em anel, apresentam-se agora, os tempos de subida e descida do sinal PWM senoidal após o *pad* de saída.

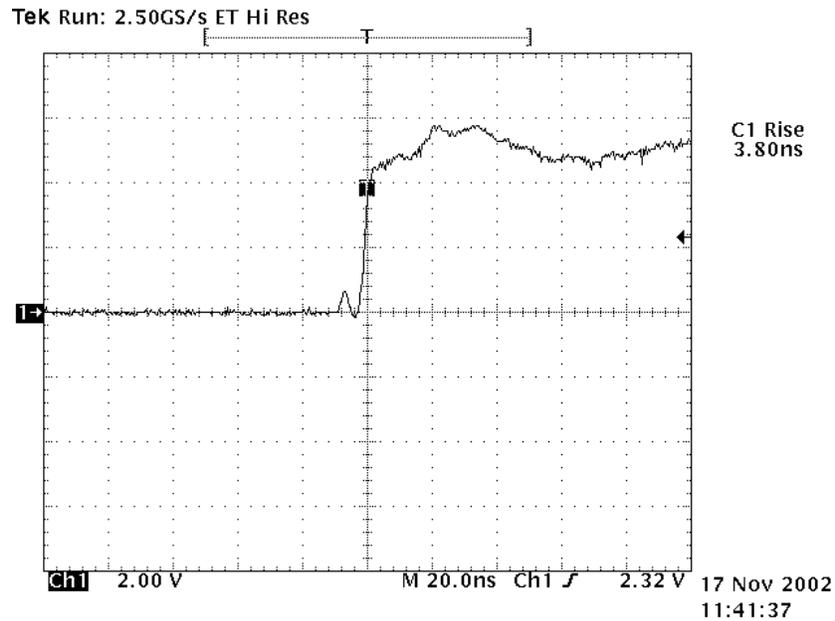


Figura 4.17: Tempo de subida do sinal PWM senoidal.

O tempo de subida do sinal PWM senoidal após o *pad* de saída OB33 (pino 21 do CI) é de 3,8ns.

A Figura 4.18 ilustra o tempo de descida.

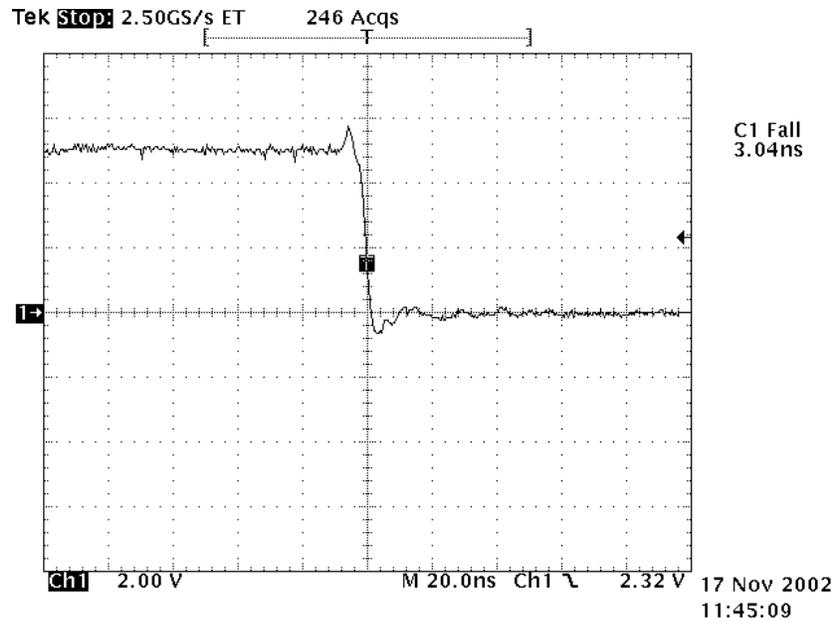


Figura 4.18: Tempo de descida do sinal PWM senoidal.

O tempo de descida do sinal PWM senoidal após o *pad* de saída OB33 (pino 21 do CI) é de 3,04ns.

Os sinais PWM senoidais aqui apresentados possuem larguras mínimas de pulso iguais a um período do sinal de CLOCK. Assim, para as frequências mais elevadas, 800 kHz e 1,2 MHz, as larguras mínimas de pulso são, respectivamente, 12,5ns e 8,33ns. Comparando as larguras dos pulsos com os tempos de subida e descida do sinal PWM senoidal, conclui-se que os pulsos estreitos passam a apresentar formas aproximadamente triangulares. Esse fato não ocorre para o sinal PWM senoidal em 20 kHz. Em 20 kHz, o pulso mais estreito possui 500ns, que é muito maior do que os tempos de subida e descida do sinal PWM senoidal somados. O aparecimento dos harmônicos pares no sinal PWM senoidal para as frequências de 800 kHz e 1,2 MHz se deve ao fato de que as taxas de subida e descida do sinal PWM senoidal não são iguais e são muito grandes comparadas às mínimas larguras de pulso do sinal PWM senoidal. Considere a seguinte situação, que ilustra como a diferença nas taxas de subida e descida do sinal PWM senoidal pode distorcê-lo.

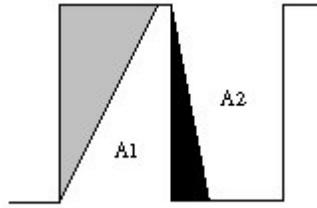


Figura 4.19: Influência dos tempos de subida e descida.

Observe que a área A1 é diferente da área A2 em decorrência da diferença entre os tempos de subida e descida do sinal. Ainda, as áreas em cinza e em negro são significativas se comparadas às áreas A1 e A2. Esta diferença entre as áreas A1 e A2 e a significância das áreas em cinza e em negro causam o aparecimento de harmônicos pares no sinal PWM senoidal. A simetria ímpar do sinal PWM senoidal deixa de existir e harmônicos pares surgem [18]. Além disso, o sinal passa a apresentar componente CC diferente de zero devido à falta de simetria.

Este fato não foi previsto em simulação devido ao fato de que não se conseguiu realizar a simulação analógica do circuito contendo os 100 *flip-flops* tipo D. A simulação tomava muito tempo e em todas as vezes que se tentou fazer a simulação esta foi interrompida por problemas no *software* que entrava em falha pela quantidade de componentes do circuito.

Mesmo com o aparecimento dos harmônicos pares, o sinal PWM senoidal com índice de modulação em amplitude igual a 0,80 e em frequência igual a 11 pode gerar um sinal senoidal com baixa distorção harmônica se for utilizado um filtro passa-faixa de segunda ordem. Para comprovar isso, basta analisar os dados das Tabelas 4.4, 4.7 e 4.10.

4.4 – Conversor V-I

A primeira parte testada do conversor V-I foi a fonte de corrente. A corrente de excitação sanguínea deve assumir um valor de aproximadamente $5\mu\text{A}$, conforme especificação do projeto. Através do pino 15 do CI pode-se medir a corrente da fonte de corrente. O valor medido com o auxílio de um microamperímetro KeythLey 197 é de $4,483\mu\text{A}$. O valor medido difere do valor de projeto ($5\mu\text{A}$), mas a diferença pode ser

explicada pelo espalhamento do processo de fabricação. Somente a resistividade do RNWELL pode variar $\pm 10\%$ [19], o que já pode, praticamente, explicar a diferença encontrada. Ainda, soma-se o espalhamento na tensão de limiar do transistor tipo P de canal curto, que é de $\pm 15\%$ [19].

A ponte em H foi testada conectando-se um resistor de $10\text{ k}\Omega$ aos pinos 17 e 18 do CI, que é a saída para conexão da amostra de tecido sangüíneo. Foi utilizado um resistor de $10\text{ k}\Omega$ devido ao fato da corrente ser extremamente baixa ($4,4835\mu\text{A}$) e não permitir a leitura da tensão sobre a carga com um osciloscópio convencional. Na condição de teste, a tensão sobre a carga deve ter amplitude de, aproximadamente, 45mV . A Figura 4.20 mostra a forma de onda sobre o resistor de $10\text{ k}\Omega$.

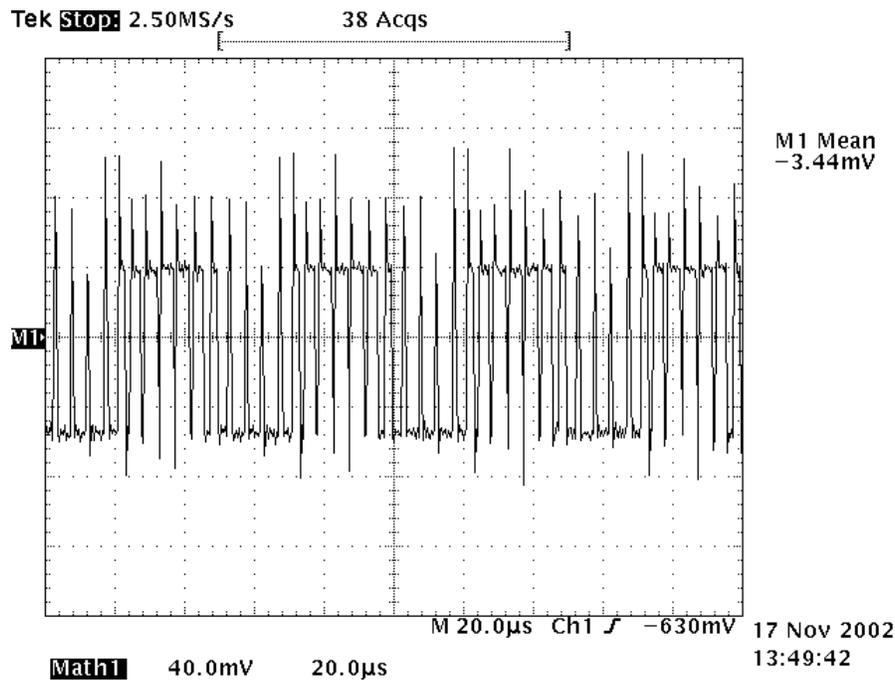


Figura 4.20: Tensão sobre a carga da ponte em H.

Pela Figura 4.20, percebe-se que o sinal de tensão é, aproximadamente, alternado e, por isso, conclui-se que o conversor V-I funciona devidamente. O que desperta a atenção é o fato do nível médio ser diferente de zero. Idealmente, uma ponte em H não geraria tensões médias diferentes de zero. Contudo, pequenas diferenças nas larguras dos

pulsos ocasionadas pelas diferenças entre os tempos de subida e descida, causam nível médio diferente de zero. Obviamente, nível CC nulo é algo muito difícil de se alcançar, até mesmo de se medir devido à fontes externas de ruído. Para a situação em que a carga é 47Ω (valor próximo ao de projeto) não é possível medir os valores médios com um osciloscópio convencional, pois o nível de tensão na carga é muito baixo. Não havia um equipamento ideal no laboratório para a realização das medidas de nível CC de sinais de frequência elevada e com níveis muito baixos de tensão. O equipamento que mais se aproximava das necessidades era um microvoltímetro *TRUE RMS* KeythLey modelo 197A. As medidas foram realizadas, mas o nível de significância das medidas causam dúvida, pois o microvoltímetro em questão realiza medidas *TRUE RMS* até 100 kHz, que é um valor muito abaixo do necessário para realizar as medidas de forma precisa. Contudo, as medidas realizadas estão tabeladas abaixo e se referem à senóide com índices de modulação em amplitude igual a 0,8 e em frequência igual a 11.

Tabela 4.12: Níveis CC sobre a carga.

f	CC (μV)
20 kHz	2
800 kHz	38
1.2 MHz	75

Pelos valores apresentados na Tabela 4.12, conclui-se que os valores de tensão média são extremamente baixos comparados à tensão pico a pico que é de $421,45\mu\text{V}$. A tensão CC tem valor mínimo de $2\mu\text{V}$ (0,475% da tensão pico a pico) quando a frequência é de 20 kHz e valor máximo de $75\mu\text{V}$ (1,78% da tensão pico a pico) quando a frequência é de 1,2 MHz. A diferença, como já foi explicada, se deve às diferenças entre os tempos de subida e descida do sinal PWM. Essa diferença nos tempos de subida e descida faz com que a ponte em H não comute de forma completamente simétrica, causando níveis CC pequenos, porém diferentes de zero.

Não se sabe ao certo, por tudo que foi exposto anteriormente, qual o nível CC resultante real do sinal PWM. No entanto, níveis inferiores a $100\mu\text{V}$ não trazem complicações ao tecido sangüíneo, pois o circuito funcionará por períodos extremamente curtos, da ordem de 20 segundos e poucas vezes ao dia (3 a 4 vezes) [14].

4.5 – Consumo de energia do CI

Como já foi descrito em capítulos anteriores, uma das grandes vantagens da excitação PWM é a economia de energia nos estágios de saída. No entanto, dependendo do nível de energia desejado para ser transferido à carga, a excitação PWM pode não ser a melhor opção. Isto porque a energia consumida na geração do sinal PWM pode superar a energia que se pode economizar no estágio de saída. Infelizmente, isso acontece nesta aplicação. Se gasta muito mais energia na geração do sinal PWM do que é necessário para excitar a amostra sanguínea ($5\mu\text{A}$). No entanto, isso não proíbe a utilização da técnica para o propósito de medida da impedância sanguínea. Como também já foi descrito anteriormente, o projeto adequado das células digitais em uma tecnologia de baixo consumo pode reduzir o consumo de energia de forma expressiva. Novamente, não há a disponibilidade de equipamentos que meçam a corrente média consumida pelo CI de forma precisa. Devido ao chaveamento do sinal PWM e do sinal de CLOCK, ocorrem *spikes* em alta frequência os quais ocasionam erros de medida. Mesmo assim, a potência média consumida pelo CI foi medida com auxílio do miliamperímetro Keythley 197A e os seguintes valores foram obtidos:

Tabela 4.13: Potência total consumida pelo CI.

f	P (mW)-experimental	P(mW)-calculado
20 kHz	21,21	19,20
800 kHz	75,93	29,75
1.2 MHz	98,65	33,43

A potência do CI foi calculada para três blocos funcionais: oscilador em anel, registrador de deslocamento e divisor de frequências. Os *pads* de saída (pinos 21 e 23) do tipo OB33 são utilizados para monitoração dos sinais PWM e CLOCK respectivamente e não serão utilizados durante operação normal do CI. Cada *pad* de saída consome $292,64 \mu\text{W}/\text{MHz}$ [16]. Isso fornece potências adicionais às calculadas de: $0,654\text{mW}$ para PWM em 20 kHz, $25,98\text{mW}$ para PWM em 800 kHz e $38,96\text{mW}$ para PWM em 1,2 MHz. As potências totais calculadas passam a ser, então: $19,85\text{mW}$ para PWM em 20 kHz, $55,73\text{mW}$ para PWM em 800 kHz e $72,39\text{mW}$ para PWM em 1,2

MHz. Nota-se que as potências calculadas e medidas se aproximam mais quando são consideradas as potências dos *pads* de saída. Mesmo assim, ainda existem diferenças significativas, sobretudo para os sinais de maior frequência, na qual o miliamperímetro tem funcionamento desconhecido.

4.6 – Fotomicrografia do CI

A Figura 4.21 a seguir refere-se à fotomicrografia do CI implementado. Pela fotomicrografia, podem-se observar os 28 *pads*, o oscilador em anel (conforme Figura 3.29), a matriz de 100 *flip-flops* (conforme Figura 3.13) e o conversor V-I com o resistor RNWELL (conforme Figura 3.31). A fotomicrografia foi realizada no CenPRA (Centro de Pesquisas Renato Archer).

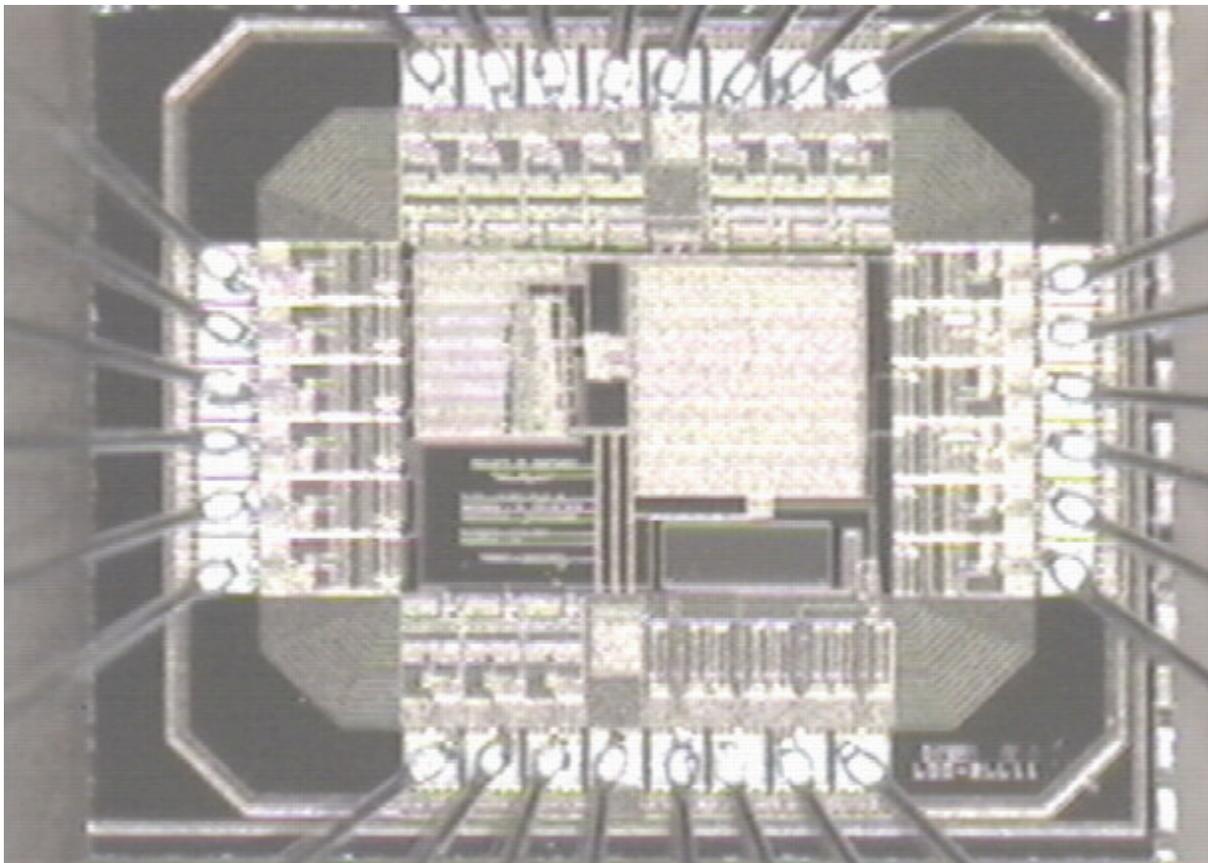


Figura 4.21: Fotomicrografia do CI.

CONCLUSÕES

O trabalho aqui apresentado procurou mostrar os princípios da geração de sinais senoidais por PWM. Mais do que isso, mostrou o estudo da distorção harmônica do sinal senoidal modulado em PWM e o desenvolvimento de um ASIC para a geração desse sinal com frequência variável.

Ficou esclarecido que a distorção harmônica do sinal senoidal modulado em PWM é altamente influenciado pelos índices de modulação em amplitude e em frequência. Além disso, foi comprovada a vantagem da excitação PWM frente à excitações lineares quanto à eficiência energética desde que uma tecnologia de baixo consumo seja utilizada, ou seja, pequena dimensão (0,35 μ m, 0,18 μ m) e baixa tensão de trabalho (3,3V).

O projeto de cada bloco funcional do CI foi detalhado e os resultados de simulação e de cálculos foram apresentados. Pelos resultados obtidos por simulação e por cálculos, notou-se que o sinal PWM senoidal gerado continha distorções de harmônicos ímpares em bandas laterais à componente fundamental em decorrência da resolução limitada do método de geração do sinal implementado. Uma tentativa para reduzir o problema de resolução limitada e, conseqüentemente, da distorção harmônica adicional, seria adotar uma forma de geração do sinal PWM de forma assíncrona, onde os pulso do sinal não seriam múltiplos inteiros do sinal de CLOCK. O oscilador em anel permitiu ajuste de forma a gerar as frequências necessárias para a geração dos sinais PWM em 20 kHz, 800 kHz e 1,2 MHz. O registrador de deslocamento permitiu o armazenamento do código necessário à geração do sinal PWM senoidal. Notou-se que o sinal PWM em modo tensão apresentou distorções de harmônicos pares para os sinais de alta frequência, devido às limitações de resposta dos *pads* de saída – os tempos de subida e descida são diferentes e, ainda, são significativos quando comparados às larguras dos pulsos do sinal PWM senoidal em frequências mais elevadas. Se o sinal PWM fosse testado no modo corrente, não haveria limitação por parte do *pad* de saída. Entretanto, não se conseguiu realizar a medida pois o analisador de espectro utilizado não possui entrada diferencial.

Em suma, toda a lógica de geração de senóide por PWM teve bom funcionamento. O aproveitamento e o aprendizado seriam ainda maiores se houvesse aparelhos adequados disponíveis para as medidas do consumo de energia do CI e nível CC do sinal PWM. Ainda, se houvesse disponibilidade de um filtro passa-faixa de segunda ordem integrado, poder-se-ia agregar o sinal PWM aqui gerado com o filtro para analisar a distorção harmônica resultante, aumentando ainda mais o aprendizado.

Este trabalho proporcionou aprender novos conceitos, fixar os já aprendidos e desenvolver habilidades em projetos de circuitos integrados com a utilização de ferramentas específicas. Ainda, deu a oportunidade de comparar dois mundos – o da simulação e o real. Portanto, o objetivo final foi alcançado. No entanto, nem tudo é acabado de forma que não possa ser melhorado.

BIBLIOGRAFIA

- [1] Burian Jr, Y., *Osciladores Eletrônicos*; GB, Almeida Neves – EDITORES LTDA;Rio de Janeiro, 1972.
- [2] Millman, J. e Halkias, C. C., *Eletrônica – Dispositivos e Circuitos*, McGraw-Hill,1981.
- [3] Doorenbosch, F., *An integrated wide-tunable sine oscillator*, IEEE Journal of Solid State Circuits, Vol. 11, 1976.
- [4] Gilbert, B., *Translinear circuits: a proposed classification*, Electronic Letters, Vol.11, 1975.
- [5] Frewer R.A., *The effect of frequency changes on the electrical conductance of moving and stationary blood*, Med&Biol Eng. 1972, 10:734-741.
- [6] Mohan, N., Undeland, T. M., Robbins, W. P., *Power Electronics – Converters, Applications and Design*, John Wiley & Sons, Inc., 1995, Ed. 2.
- [7] Veendrick, H. J. M., *Short-Circuit Dissipation os Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits*, IEEE Journal of Solid-State Circuits, Vol. SC-19, No. 4, Agosto, 1984.
- [8] Quek, D. e Yuvarajan, S., *A Novel PWM Scheme for Harmonic Reduction in PowerConverters*, IEEE Catalogue N.o 95TH8025
- [9] Holmes, R. S., *Switching Response of Complementary-Symmetry MOS Transistor Logic Circuits*, RCA Review, Dezembro, 1964.
- [10] Sakuray, T., *Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas*, IEEE Journal of Solid-State Circuits, Vol.25, N.o 2, Abril, 1990.
- [11] Bisdounis, L., Nikolaidis, S e Koufopavlou, O., *Analytical Transient Response and Propagation Delay Evaluation of the CMOS Inverter for Short-Channel Devices*, IEEE Journal of Solid-State Circuits, Vol.33, N.o2, Fevereiro, 1998.
- [12] Chow, H. e Feng, W., *An Analytical CMOS Inverter Delay Model Including Channel-Length Modulations*, IEEE Journal of Solid-State Circuits, Vol. 37, N.o 9, Setembro, 1992.
- [13] Park, H. e Soma, M., *Analytical Model for Switching Transitions of Submicron CMOS Logics*, IEEE Journal of Solid-State Circuits, Vol. 32, N.o 6, Junho, 1997.

- [14] Conversas particulares com o professor Carlos Alberto dos Reis Filho.
- [15] Zhao T., Jacobson B., Ribbe T., *Triple-frequency method for measuring blood impedance*, *Physiol. Meas.* 1993; 14:145-156.
- [16] AMS 0,6 μ m CMOS 5V Standard Cells Databook.
- [17] Oscar T.-C. Chen, *A Power-Efficient Wide-Range Phase-Locked Loop*, *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 1, Janeiro, 2002.
- [18] Oppenheim, A. V. e Schaffer, R. W., *Discrete-Time Signal Processing*, Prentice Hall, 1989.
- [19] AMS 0,6 μ m CMOS Process Parameters, Document #:9933011, Rev. B.
- [20] AMS 0,35 μ m CMOS 3.3V Standard Cells Datasheet.