

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

Geração de tensão de referência e sinal de sensoriamento térmico usando transistores MOS em forte inversão

Autor: Ricardo Pureza Coimbra

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: **Eletrônica, Microeletrônica e Optoeletrônica.**

Banca Examinadora

Carlos Alberto dos Reis Filho, Dr.	DSIF/FEEC/UNICAMP
João Paulo Cerquinho Cajueiro, Dr.	DES/CTG/UFPE
Luiz Carlos Kretly, Dr.	DMO/FEEC/UNICAMP
Furio Damiani, Dr. (suplente)	DSIF/FEEC/UNICAMP
José Carlos Petoilho, Dr. (suplente)	CONSULTOR

Campinas, SP

2009

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE -
UNICAMP

C665g Coimbra, Ricardo Pureza
Geração de tensão de referência e sinal de
sensoriamento térmico usando transistores MOS em
forte inversão / Ricardo Pureza Coimbra. --Campinas,
SP: [s.n.], 2009.

Orientador: Carlos Alberto dos Reis Filho.
Dissertação de Mestrado - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Semicondutores de óxido metálico. 2. Circuitos
integrados lineares. 3. Circuitos integrados. 4.
Semicondutores. 5. Sistemas eletrônicos analógicos. I.
Reis Filho, Carlos Alberto dos. II. Universidade
Estadual de Campinas. Faculdade de Engenharia Elétrica
e de Computação. III. Título.

Título em Inglês: Reference voltage and temperature sensing signal
generation using MOS transistors in strong inversion
Palavras-chave em Inglês: Metal oxide semiconductors, Analog integrated
circuits, Integrated circuits, Semiconductors,
Analog electronic systems
Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica
Titulação: Mestre em Engenharia Elétrica
Banca examinadora: João Paulo Cerquinho Cajueiro, Luiz Carlos Kretly
Data da defesa: 07/08/2009
Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Ricardo Pureza Coimbra

Data da Defesa: 7 de agosto de 2009

Título da Tese: "Geração de Tensão de Referência e Sinal de Sensoriamento Térmico Usando Transistores MOS em Forte Inversão"

Prof. Dr. Carlos Alberto dos Reis Filho (Presidente): _____

Prof. Dr. João Paulo Cerquinho Cajueiro: _____

Prof. Dr. Luiz Carlos Kretly: _____

Resumo

Fontes de referência de tensão e sensores de temperatura são blocos extensivamente utilizados em sistemas microeletrônicos. Como alternativa à aplicação de estruturas consolidadas, mas protegidas por acordos de propriedade intelectual, é permanente a demanda pelo desenvolvimento de novas técnicas e estruturas originais destes circuitos. Também se destaca o crescente interesse por soluções de baixa tensão, baixo consumo e compatíveis com processos convencionais de fabricação. Este trabalho descreve o desenvolvimento de um circuito que atende a estas exigências, fornecendo uma tensão de referência e um sinal de sensoriamento térmico, obtidos a partir de um arranjo adequado de transistores MOS, que operam em regime de forte inversão.

O princípio de operação do circuito desenvolvido foi inspirado no conceito de que é possível empilhar n transistores MOS, polarizados com corrente adequada, de tal forma que a queda de tensão sobre a pilha de transistores, com amplitude nV_{GS} , apresente a mesma taxa de variação térmica que a tensão V_{GS} produzida por um único transistor. Nesta condição, a diferença entre as duas tensões é constante em temperatura, constituindo-se em uma referência de tensão. No entanto, o empilhamento de dois ou mais transistores impossibilita a operação do circuito sob baixa tensão. Isto motivou a adaptação da técnica, obtendo a tensão nV_{GS} com o auxílio de um arranjo de resistores, sem o empilhamento de transistores. Desta forma, o potencial limitante da tensão mínima de alimentação tornou-se a própria tensão de referência, cuja amplitude é próxima de um único V_{GS} . A estrutura desenvolvida fornece também um sinal de tensão com dependência aproximadamente linear com a temperatura absoluta, que pode ser aplicado para sensoriamento térmico.

Foram fabricados protótipos correspondentes a diversas versões de dimensionamento do circuito para comprovação experimental de seu princípio de operação. O melhor desempenho verificado corresponde à geração de uma tensão de referência com coeficiente térmico de $8,7\text{ppm}/^\circ\text{C}$, no intervalo de -40°C a 120°C , operando com tensão de 1V. Embora o estado da arte seja representado por índices tão baixos quanto $1\text{ppm}/^\circ\text{C}$, para a mesma faixa de temperatura, a característica compacta do circuito e seu potencial de aplicação sob as condições de baixa tensão e baixo consumo lhe conferem valor como contribuição para este campo de pesquisa e desenvolvimento.

Abstract

Voltage references and temperature sensors are blocks extensively used in microelectronic systems. As an alternative to the use of consolidated structures that are protected by intellectual property agreements, there is a permanent demand for the development of new techniques and structures for these circuits. It can be also highlighted the growing interest for low-voltage and low-power solutions, implemented in conventional IC technologies. This work describes the development of a circuit that meets these requirements by providing a voltage reference and temperature sensing signal obtained from a suitable arrangement of MOS transistors biased in strong inversion.

The operation principle of the circuit developed is based on the concept that it is possible for a stack of n MOS transistors, biased by an appropriate current, to show a voltage drop, equal to nV_{GS} , with the same thermal variation rate as a V_{GS} voltage produced by a single transistor. Hence, the difference between the two voltage signals is temperature independent, characterizing a voltage reference. However, the stacking of two or more transistors prevents the operation of the circuit under low voltage. This fact motivated to adapt the technique by obtaining the voltage nV_{GS} with the aid of an array of resistors and no stacked transistors. The minimum supply voltage becomes limited only by the reference voltage itself, whose amplitude is close to a single V_{GS} . The circuit developed also provides a voltage signal almost linearly dependent with the absolute temperature, which can be applied for thermal sensing.

Prototypes corresponding to various dimensional versions of the circuit were produced to experimentally verify the principle of operation. The best performance corresponds to the generation of a voltage reference signal with 8.7ppm/°C thermal coefficient, from -40°C to 120°C, under a 1V supply voltage. Although the state of the art is represented by values as low as 1ppm/°C, at the same temperature range, the circuit's compact aspect together with the possibility to attend low-voltage and low-power requirements grants it value as contribution to this field of research and development.

Agradecimentos

Às instituições UNICAMP, CTI e Freescale Semicondutores do Brasil.

À CAPES pelo apoio financeiro.

Aos amigos do laboratório, que foram também meus professores, colegas e companheiros de divertimento, e que tanto contribuíram para a realização deste trabalho.

Ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, cujo entusiasmo e paixão pela microeletrônica me contagiaram ao ponto de eu mesmo me apaixonar pela área.

Ao Prof. Rezende, pela preciosa convivência, que “dito de forma muito simples”, foi como um divisor de águas.

À minha família, de sangue e coração, pelo amor incondicional, sacrifício e entrega, a quem devo não apenas a possibilidade de concluir esta jornada, mas também a minha vida, minha saúde, meu futuro e minha felicidade.

Às inúmeras pessoas que me ajudaram, cada um da sua maneira, a superar todas as barreiras e suportar as tribulações, até mesmo as mais difíceis.

Ao meu pequeno filho Rafael, que mora ainda na barriga da mãe, mas que tem transformado radicalmente minha vida e deu aquele empurrãozinho a mais para que eu me esforçasse ao máximo para concluir esta jornada.

À Deus, simplesmente, por tudo o que é.

À minha família.

“Tudo posso naquele que me fortalece”

Filipenses 4:13

Sumário

CAPÍTULO 1	INTRODUÇÃO	1
1.1	MOTIVAÇÃO	1
1.2	CONCEITOS BÁSICOS	1
1.3	ESCOPO E ORGANIZAÇÃO DO TRABALHO	3
CAPÍTULO 2	TÉCNICAS PARA IMPLEMENTAÇÃO DE FONTES DE REFERÊNCIA DE TENSÃO E SENSORES DE TEMPERATURA CMOS	5
2.1	INTRODUÇÃO	5
2.2	EFEITO TÉRMICO NO TRANSISTOR BIPOLAR	6
2.2.1	<i>Breve histórico</i>	6
2.2.2	<i>Princípio</i>	7
2.2.3	<i>Formas de implementação</i>	12
2.2.4	<i>Considerações sobre aplicabilidade do princípio</i>	18
2.3	TRANSISTORES MOS POLARIZADOS EM FRACA INVERSÃO	20
2.3.1	<i>Breve histórico</i>	20
2.3.2	<i>Princípio</i>	21
2.3.3	<i>Formas de implementação</i>	27
2.3.4	<i>Considerações sobre aplicabilidade do princípio</i>	33
2.4	PONTO DE COEFICIENTE TÉRMICO NULO (ZTC) DO TRANSISTOR MOS	36
2.4.1	<i>Breve histórico</i>	36
2.4.2	<i>Princípio</i>	37
2.4.3	<i>Formas de implementação</i>	40
2.4.4	<i>Considerações sobre aplicabilidade do princípio</i>	42
2.5	TENSÃO DE LIMIAR DO TRANSISTOR MOS	44
2.5.1	<i>Breve histórico</i>	44
2.5.2	<i>Princípio</i>	45
2.5.3	<i>Formas de implementação</i>	47
2.5.4	<i>Considerações sobre aplicabilidade do princípio</i>	51
2.6	OUTRAS TÉCNICAS E VARIANTES	52
2.6.1	<i>Fontes de referência de tensão baseadas em transistores de porta flutuante FG MOS</i>	53
2.6.2	<i>Fontes de referência com transistores DTMOSTs</i>	57
2.6.3	<i>Sensores de temperatura baseados em linha de atraso</i>	59
2.6.4	<i>Sensor de temperatura inteligente baseado em correntes de fuga</i>	61
2.7	CONCLUSÕES	64
CAPÍTULO 3	NOVA TOPOLOGIA DE FONTE DE REFERÊNCIA DE TENSÃO COM SENSOR DE TEMPERATURA INTEGRADO CMOS	65
3.1	INTRODUÇÃO	65
3.2	PRINCÍPIO	66
3.3	TOPOLOGIA PROPOSTA	67
3.4	EQUACIONAMENTO	69
3.4.1	<i>Modelos de comportamento térmico dos componentes do núcleo</i>	69

3.4.2	<i>Tensão de saída proporcional à temperatura</i>	70
3.4.3	<i>Tensão de Referência</i>	71
3.4.4	<i>Comportamento previsto na tecnologia de implementação</i>	72
3.5	CONCLUSÕES	77
CAPÍTULO 4 IMPLEMENTAÇÃO DE PROTÓTIPOS EM TECNOLOGIA CMOS CONVENCIONAL		79
4.1	INTRODUÇÃO	79
4.2	CONCEPÇÃO DE ESQUEMÁTICOS E SIMULAÇÕES	79
4.2.1	<i>Projeto e simulação do núcleo</i>	80
4.2.2	<i>Sistema de ajuste ou trimming</i>	92
4.2.3	<i>Circuito de estabilização transiente ou start-up</i>	98
4.3	LAYOUT	101
4.3.1	<i>Blocos digitais</i>	103
4.3.2	<i>Blocos analógicos</i>	106
4.4	CONCLUSÕES	114
CAPÍTULO 5 RESULTADOS EXPERIMENTAIS		115
5.1	INTRODUÇÃO	115
5.2	CARACTERIZAÇÃO DO COMPORTAMENTO TÉRMICO.....	119
5.2.1	<i>Procedimentos</i>	119
5.2.2	<i>Resultados obtidos</i>	124
5.3	MEDIDAS EM TEMPERATURA AMBIENTE	158
5.4	CONCLUSÕES	166
CAPÍTULO 6 CONCLUSÕES		169
APÊNDICE A RESULTADOS DE CARACTERIZAÇÃO TÉRMICA DOS CIRCUITOS MEDIDOS COM SISTEMA DE AJUSTE FUNCIONAL		171
REFERÊNCIA BIBLIOGRÁFICA		175

Lista de figuras

Figura 1 – Tensão de referência tipo <i>bandgap</i> como resultado da rotação da tensão V_{BE} ...	10
Figura 2 – Esquema simplificado de um sensor de temperatura inteligente [20].....	11
Figura 3 – Geração de tensão dependente da temperatura com excursão adaptada à faixa dinâmica do conversor AD no intervalo de -40°C a 120°C	12
Figura 4 – Transistores bipolares (a) vertical e (b) lateral na tecnologia CMOS.....	13
Figura 5 – Fonte de referência <i>bandgap</i> CMOS tradicional	15
Figura 6 - Fonte de referência proposta por: (a) Banba <i>et al.</i> [25] (b) Leung <i>et al.</i> [26]	16
Figura 7 – Transistor NMOS descrito como dispositivo simétrico pelos modelos EKV e ACM.....	22
Figura 8 – Células de fontes de referência baseadas em transistores MOS em fraca inversão	27
Figura 9 – Células para geração de corrente $I_B = \Delta V_{GS} / R_1$ com transistores NMOS: (a) clássica e (b) “ <i>peaking current source</i> ”	30
Figura 10 – Fonte de referência proposta por Wang <i>et al</i> [52].....	31
Figura 11 – Célula proposta por Vittoz para geração de tensão PTAT.....	32
Figura 12 – Ponto ZTC de coeficiente térmico nulo na característica de transcondutância de um transistor NMOS.....	37
Figura 13 – Circuito simplificado da fonte de referência proposta por Filanovsky <i>et al</i> em [66]	40
Figura 14 – Comportamento térmico do transistor NMOS polarizado por corrente PTAT abaixo do ponto ZTC.....	41
Figura 15 – Fontes de referência de tensão propostas por Filanovsky em (a) [70] e (b) [71]	41
Figura 16 – Combinação entre tensões de limiar para geração de tensão de referência	46
Figura 17 – Célula básica para extração de tensão de limiar de um transistor NMOS	48
Figura 18 – Fonte de referência proposta por Leung <i>et al</i> [91].....	50
Figura 19 – Configurações do núcleo da fonte de referência: (a) $K_1 > 1$ e $K_2 = 1$; (b) $K_1 = 1$ e $K_2 < 1$; (c) $K_1 < 1$ e $K_2 = 1$; (d) $K_1 = 1$ e $K_2 > 1$	51
Figura 20 – Transistores FGMOS: configurações reais e símbolos correspondentes	53
Figura 21 – Fonte de referência proposta por McCreary [94]: (a) notação convencional e (b) com símbolo FGMOS.....	54
Figura 22 – Geração de tensão de referência com base transistores FGMOS [3].....	55
Figura 23 – Transistor DTMOST tipo P: notação convencional e símbolo DTMOST.....	57
Figura 24 – Fonte de referência de baixa tensão proposta por Annema <i>et al.</i>	58
Figura 25 – Linha de atraso implementada por cadeia de inversores.....	59
Figura 26 – Porta inversora com corrente controlada.....	59
Figura 27 – Sensor de temperatura proposto por Ituero <i>et al</i>	61
Figura 28 – Nova topologia de fonte de referência de tensão e sensor de temperatura CMOS	67
Figura 29 – Tensão de saída V_{TEMP} em função da temperatura parametrizada por K_T	73
Figura 30 – Tensão de saída V_{REF} em função da temperatura parametrizada por K_{R2}	75
Figura 31 – Comportamento ideal das tensões de saída V_{REF} e V_{TEMP} obtido para a tecnologia escolhida de implementação	77

Figura 32 – Topologia básica proposta	80
Figura 33 – Simulação de caso típico: L1W15_WR065 e L1W15_WR5.....	83
Figura 34 – Simulação de caso típico: L1W30_WR065 e L1W30_WR5.....	84
Figura 35 – Simulação de caso típico: L3W30_WR065 e L3W30_WR5.....	85
Figura 36 – Simulação de caso típico: L3W45_WR065 e L3W45_WR5.....	86
Figura 37 – Sinal de saída V_{REF} obtido por simulação de caso típico: (a) L1W15_WR065 e L1W15_WR5; (b) L1W30_WR065 e L1W30_WR5; (c) L3W30_WR065 e L3W30_WR5; (d) L3W45_WR065 e L3W45_WR5.....	87
Figura 38 – Sinal de saída V_{TEMP} de L1W15_WR065 e L1W15_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída	88
Figura 39 – Sinal de saída V_{TEMP} de L1W30_WR065 e L1W30_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída	89
Figura 40 – Sinal de saída V_{TEMP} de L3W30_WR065 e L3W30_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída	89
Figura 41 – Sinal de saída V_{TEMP} de L3W45_WR065 e L3W45_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída	90
Figura 42 – Topologia do circuito proposto	91
Figura 43 - Simulações <i>monte-carlo</i> das saídas da versão V_L1W15_WR065.....	93
Figura 44 – (a) Primeira implementação do circuito de ajuste e (b) chaves NMOS.....	94
Figura 45 – Circuito com sistema de ajuste (<i>trimming</i>) incluído	96
Figura 46 – (a) Segundo circuito de ajuste e (b) chaves digitais complementares.....	96
Figura 47 - Circuito com o novo sistema de <i>trimming</i>	97
Figura 48 – Circuito de <i>start-up</i> conectado ao núcleo do circuito proposto	99
Figura 49 – Layout dos CIs com <i>start-up</i> da 1 ^o rodada de fabricação	101
Figura 50 – Layout dos CIs com <i>start-up</i> da 2 ^o rodada de fabricação	102
Figura 51 – Bloco digital da 1 ^o rodada de fabricação: (a) esquemático e (b) <i>layout</i>	104
Figura 52 – Bloco digital da 2 ^o rodada de fabricação: (a) esquemático e (b) <i>layout</i>	105
Figura 53 – Topologia do circuito proposto	107
Figura 54 – Layout da versão L3W30_WR065 da 1 ^o rodada de fabricação	109
Figura 55 – Layout da versão L3W30_WR065 da 2 ^o rodada de fabricação	109
Figura 56 – Blocos <i>start-up</i> (a) da 1 ^o rodada e (b) da 2 ^o rodada de fabricação.....	110
Figura 57 – Layout dos transistores M_1 , M_2 e M_5 (configuração <i>common-centroid</i>)	110
Figura 58 – Layout dos transistores M_3 e M_6 (configuração <i>common-centroid</i>)	111
Figura 59 - Bloco de ajuste da (a) 1 ^a rodada e (b) 2 ^a rodada.....	111
Figura 60 – Cadeia de transistores auxiliares em configuração <i>common-centroid</i> com segmentação de componentes (transistores unitários idênticos)	112
Figura 61 – <i>Layout</i> dos resistores.....	112
Figura 62 – Layout da versão L3W30_WR5 da 2 ^o rodada de fabricação	113
Figura 63 – Fotos de amostras de cada tipo de CI fabricado.....	116
Figura 64 – Estrutura dos blocos digitais da (a) 1 ^o rodada e (b) 2 ^o rodada de fabricação..	117
Figura 65 – Células de chaves digitais implementadas na (a) 1 ^o rodada e (b) 2 ^o rodada ...	117
Figura 66– Montagem dos CIs no interior da câmara climática.....	119
Figura 67 – Configuração da instrumentação de medidas com câmara climática.....	120

Figura 68 – Foto da montagem para medições com câmara climática.....	121
Figura 69 – Estratégia de ajuste dos coeficientes térmicos de V_{REF} e V_{TEMP}	121
Figura 70 – Histórico de medidas na câmara climática durante um ciclo de teste com CIs da (a) 1º rodada e (b) 2º rodada.....	123
Figura 71 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	126
Figura 72 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	127
Figura 73 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	128
Figura 74 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	129
Figura 75 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	130
Figura 76 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	131
Figura 77 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	132
Figura 78 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W45_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	133
Figura 79 – Saídas V_{REF} nos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3 ..	136
Figura 80 – Saídas V_{REF} nos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3 ..	137
Figura 81 – Saídas V_{REF} nos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3 ..	138
Figura 82 – Saídas V_{REF} nos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3 ..	139
Figura 83 – Saídas V_{REF} nos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3 ..	140
Figura 84 – Saídas V_{REF} nos circuitos L3W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3 ..	141
Figura 85 – Saídas V_{REF} nos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3 ..	142
Figura 86 – Saídas V_{REF} nos circuitos L3W45_WR65 das amostras: (o) 1, (□) 2 e (◇) 3 ..	143
Figura 87 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	146
Figura 88 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	147
Figura 89 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	148
Figura 90 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	149
Figura 91 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	150
Figura 92 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	151
Figura 93 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3.....	152
Figura 94 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W45_WR65 das amostras: (o) 1, (□) 2 e (◇) 3.....	153

Figura 95 – Tensões de saída dos circuitos L3W45_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	160
Figura 96 – Tensões de saída dos circuitos L1W15_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	161
Figura 97 – Tensões de saída dos circuitos L1W15_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	162
Figura 98 – Tensões de saída dos circuitos L1W30_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	162
Figura 99 – Tensões de saída dos circuitos L1W30_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	163
Figura 100 – Tensões de saída dos circuitos L3W30_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	163
Figura 101 – Tensões de saída dos circuitos L3W30_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	164
Figura 102 – Tensões de saída dos circuitos L3W45_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	164
Figura 103 – Tensões de saída dos circuitos L3W45_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}	165

Lista de tabelas

Tabela 1 – Valores de dimensionamento do núcleo de cada versão do circuito proposto ...	82
Tabela 2 – Característica de curvatura de sinais de saída de cada versão	91
Tabela 3 – Dimensionamento do bloco <i>start-up</i> da 1º rodada de fabricação	100
Tabela 4 – Dimensionamento do bloco <i>start-up</i> da 2º rodada de fabricação	100
Tabela 5 – Índices de desempenho obtidos a partir das simulações de caso típico.....	155
Tabela 6 – Índices de desempenho de melhor e pior caso para cada versão de dimensionamento.....	156
Tabela 7 – Valores mínimos e máximos de PSRR obtidos para cada versão do circuito ..	165
Tabela 8 – Índices de desempenho quanto a comportamento térmico dos circuitos medidos com sistema de ajuste funcional	173

Capítulo 1

Introdução

1.1 Motivação

Fontes de referência de tensão e sensores de temperatura são blocos fundamentais em projeto de circuitos integrados. Estão presentes em uma diversidade de circuitos analógicos, *mixed-signal* e digitais. Por exemplo, reguladores de tensão, conversores A/D e D/A, DRAM e memórias flash são alguns dos circuitos que incorporam fontes de referência de tensão. Sensores de temperatura integrados são utilizados em aplicações biomédicas, aplicações industriais, bens de consumo, para controle térmico de sistemas digitais, entre outras muitas aplicações. Com o avanço tecnológico, é permanente a demanda pelo desenvolvimento de novas topologias de fontes e sensores adaptadas a novas (em geral, mais estreitas) condições de operação. O conhecimento e o desenvolvimento de novas técnicas para a implementação de fontes de referência e sensores de temperatura tornam-se fundamentais para sustentar este movimento. O objetivo deste trabalho é contribuir neste sentido.

1.2 Conceitos básicos

Uma fonte de referência de tensão fornece como saída um sinal de tensão com valor constante utilizado por outros blocos como nível de referência para processamento de sinais analógicos. Idealmente, o nível de tensão gerado não deve variar com temperatura de

operação, tensão de alimentação, processo e carga, enquanto esses parâmetros não ultrapassam os limites de especificação. No quesito carga, a fonte de referência pode ou não ter maior capacidade de fornecer corrente (menor impedância de saída) dependendo da aplicação. Quando se requer maior capacidade de corrente para ampla faixa de carga, são utilizados reguladores de tensão, que integram fonte de referência de tensão, estágio de saída tipo *buffer* e possivelmente algum sistema de controle.

O sensor de temperatura analógico fornece um sinal no domínio elétrico que representa a temperatura do ambiente em que opera. Em geral, a saída é uma tensão, corrente, período ou frequência, cujo valor é função da temperatura. É desejável insensibilidade a variações de tensão de alimentação, processo e carga. Idealmente, a dependência térmica da saída deve ser prevista por uma função precisa e bem definida. Na maior parte dos casos, esta função deve ser linear com faixa de excursão adequada para facilitar etapas posteriores de conversão e processamento.

Os chamados sensores de temperatura inteligentes agregam a capacidade de processamento digital ao circuito sensor de temperatura. Neste caso, é comum termos um sensor de temperatura analógico, fonte de referência, conversor analógico-digital e lógica digital de processamento no mesmo circuito integrado (CI), compondo o sensor inteligente. A integração destes elementos no mesmo substrato reduz o custo de fabricação, mas normalmente implica em menor precisão já que a fonte de referência está sujeita à mesma variação de temperatura que o elemento sensor [1]. Isto reforça o interesse no desenvolvimento de fontes de referência estáveis em amplas faixas de temperatura.

No projeto de fontes de referência e sensores de temperatura, o maior desafio está no controle do comportamento térmico do sinal de saída. Essencialmente, o limite de precisão do circuito é determinado pelas relações inerentes ao método aplicado para compensação do comportamento térmico dos componentes utilizados no circuito. Isto motivou nossa pesquisa sob este enfoque.

1.3 Escopo e organização do trabalho

Considerando-se a diversidade de sistemas e aplicações, o desenvolvimento de fontes de referência e sensores de temperatura se divide em inúmeras frentes, algumas com características muito singulares. Sendo impraticável um enfoque global, é necessário delimitar o escopo deste trabalho. No entanto, mantemos o propósito de proporcionar ferramentas apropriadas para um conjunto bem amplo de aplicações, atendendo a uma demanda generalizada. Enfocamos as tendências da microeletrônica de larga escala, caracterizada pelo desenvolvimento de circuitos para o mercado mundial com aplicação em uma ampla coleção de sistemas. Identificamos dois movimentos crescentes: a difusão do conceito *System-on-chip* e o número crescente de aplicações portáteis com fonte de energia limitada.

O conceito *System-on-chip* ou simplesmente *SoC* consiste em integrar todo o sistema (ou o quanto possível) no mesmo CI, obtendo menor custo para fabricação em larga escala. O sistema pode incluir circuitos digitais, analógicos, *mixed-signal* e até mesmo de radio-frequência, todos integrados no mesmo substrato. Na maior parte dos casos, a eletrônica digital é predominante e ocupa a maior porção de área do cristal. Isto justifica a escolha por tecnologias otimizadas para circuitos digitais. Neste contexto, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) é atualmente a mais extensivamente utilizada. Isto tem motivado o crescente desenvolvimento de circuitos analógicos adaptados para esta tecnologia. Existe interesse particular em soluções que não utilizam dispositivos especiais, ou seja, que não requerem extensões dos processos digitais CMOS convencionais.

O segundo movimento reflete a proliferação de aplicações portáteis com fonte de energia limitada. Como exemplos, podemos citar a eletrônica embarcada no aparelho “marca-passo”, no telefone celular ou no computador portátil (*laptop*). Os blocos clássicos precisam ser adaptados para operar com mínimo consumo energético, garantindo máxima autonomia ao sistema. Dado que o consumo médio de circuitos digitais CMOS é proporcional à raiz quadrada da tensão de alimentação, a forma mais eficiente de reduzi-lo é reduzindo o valor desta tensão [2]. Isto explica a parceria comum entre os quesitos *low-power* (baixo consumo) e *low-voltage* (baixa-tensão). Os circuitos analógicos precisam se

adaptar às mesmas condições de operação em baixa tensão para integração com os circuitos digitais, embora seu limite mínimo de consumo, em geral, tenha pouca relação com a tensão de alimentação¹. Neste sentido, é crescente a demanda pelo desenvolvimento de circuitos analógicos de baixo consumo e baixa tensão.

Com base nestes fatores, nossa contribuição descreve as principais técnicas para implementação de fontes de referência de tensão e sensores de temperatura de baixo consumo (*low-power*), baixa tensão (*low-voltage*) e baixo custo, com implementação em processos CMOS convencionais. Enfocamos os princípios de controle e compensação do comportamento térmico de componentes microeletrônicos de maior aplicação neste campo. No capítulo 2, apresentamos uma visão panorâmica de técnicas atualmente discutidas na literatura. No capítulo 3, partimos do princípio apresentado por *Cajueiro* [3] para propor uma nova topologia de fonte de referência com sensor de temperatura integrado, totalmente MOS, sob as condições de demanda apresentadas. No capítulo 4, descrevemos a etapa de desenvolvimento de protótipos, fabricados na tecnologia CMOS AMS 0,35 μ m. Resultados experimentais são apresentados e analisados no capítulo 5. O capítulo 6 apresenta as conclusões deste trabalho.

¹ O consumo mínimo em circuitos analógicos é normalmente definido pelos limites de relação sinal-ruído (SNR) e frequência de operação (ou largura de banda) não tendo, a priori, relação significativa com o valor da tensão de alimentação [2].

Capítulo 2

Técnicas para implementação de fontes de referência de tensão e sensores de temperatura CMOS

2.1 Introdução

Neste capítulo, apresentamos princípios fundamentais aplicados no projeto de fontes de referência de tensão e sensores de temperatura de baixa tensão, baixo consumo e adaptados a processos CMOS convencionais. Identificamos quatro técnicas principais no contexto tecnológico atual que classificamos da seguinte forma:

- Baseada em transistores bipolares
- Baseada em transistores MOS polarizados em fraca inversão
- Baseada no ponto de coeficiente térmico nulo (ZTC) do transistor MOS
- Baseada na tensão de limiar do transistor MOS

Nas próximas seções, organizamos o estudo de cada técnica sob quatro itens de informação: um breve histórico que contextualiza a técnica dentro do movimento de pesquisa no campo, uma análise do princípio fundamental teórico, uma breve discussão

sobre formas práticas de implementação e considerações sobre pontos fortes e fracos associados à aplicação.

No final do capítulo, incluímos uma seção adicional com uma análise breve de algumas técnicas e estruturas adicionais, com características mais particulares, mas interessantes, segundo nosso enfoque de aplicações.

2.2 Efeito térmico no transistor bipolar

2.2.1 Breve histórico

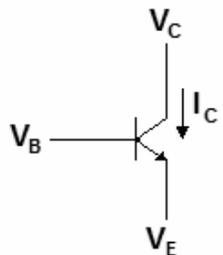
Em 1964, D.F. Hilbiber propôs o desenvolvimento de fontes de referência de tensão baseadas nas propriedades térmicas de junções PN. Apresentou um protótipo baseado em transistores bipolares discretos para geração de uma tensão de saída estável em temperatura [4]. Robert Widlar elaborou o conceito proposto por Hilbiber, criando em 1967 o primeiro regulador de tensão de potência monolítico (LM109 – National Semiconductor), com três terminais, sem sistema de ajuste (*trimming*), baseado no comportamento térmico da tensão entre base e emissor de transistores bipolares [5][6][7]. A técnica surgiu como alternativa à tradicional aplicação de diodos zener. Pouco depois, em 1971, Widlar lançou a primeira fonte de referência *bandgap* (NM113 – National Semiconductor) [8]. Fontes de referência baseadas no princípio proposto por Hilbiber fornecem uma tensão de saída aproximadamente igual à (ou fração da) tensão de faixa proibida do Silício (*Bandgap*). Neste fato está a origem do nome “fontes de referência de tensão *bandgap*”.

O primeiro sensor de temperatura monolítico foi criado por Robert C. Dobkin em 1974 [9], utilizando a estrutura apresentada por Widlar em [10] que explora o comportamento térmico da diferença entre tensões base-emissor de transistores bipolares polarizados por correntes de razão constante. Mesmo antes, sensores de temperatura já eram implementados com base nas propriedades térmicas de transistores bipolares discretos [11][12][13][14]. Entre os primeiros, em 1963, J. E. Pallet apresentou um sensor de temperatura baseado no comportamento térmico da tensão base-emissor de um único transistor bipolar discreto [11].

Atualmente, a maior parte das fontes de referência de tensão e dos sensores de temperatura continua baseada nas propriedades térmicas de transistores bipolares². Nesta linha de pesquisa, inúmeras técnicas foram desenvolvidas para minimização de efeitos de segunda ordem, redução de consumo, e outros, mas o princípio fundamental continua sendo, essencialmente, o mesmo proposto na década de 60. O extenso histórico de aplicação prática se sustenta em uma forte fundamentação física, conforme será descrito a seguir.

2.2.2 Princípio

Desconsiderando o efeito de modulação de base (efeito *Early*), a densidade de corrente de coletor em um transistor bipolar NPN polarizado na região ativa (junção base-emissor diretamente polarizada e junção base-coletor reversamente polarizada) segue a expressão [15]:



$$J_C(T) = J_S(T) \exp\left(\frac{V_{BE}}{U_t}\right) \quad (2.1)$$

Onde J_C é a densidade de corrente de coletor, V_{BE} a tensão de polarização direta entre os terminais base e emissor e T a temperatura absoluta. A tensão térmica U_t e a densidade de corrente de saturação reversa $J_S(T)$ são dadas por:

$$U_t = \frac{kT}{q} \quad (2.2)$$

² Transistores bipolares, mesmo com coletor conectado à base, são mais utilizados que simples diodos de junção porque possuem relação entre corrente de coletor e tensão base-emissor mais próxima da ideal. Ocorre que, nos transistores, as componentes não ideais de corrente de emissor provenientes do fenômeno de recombinação (cuja característica térmica é diferente da associada à corrente de difusão) são em maior parte fornecidas pelo terminal de base, o que resulta em uma corrente de coletor com comportamento mais próximo do ideal [18].

$$J_S(T) = \frac{qn_i^2(T)D(T)}{N_B} \quad (2.3)$$

Nas expressões, k é a constante de Boltzmann, q a carga elementar, $n_i(T)$ a concentração intrínseca de portadores, $D(T)$ a constante de difusão efetiva dos portadores minoritários na base e N_B o número total de impurezas por unidade de área na base (número de Gummel).

As expressões acima podem ser escritas em termos de corrente considerando:

$$J_C = \frac{I_C}{A_E} \quad ; \quad J_S = \frac{I_S}{A_E} \quad (2.4)$$

Onde I_C é a corrente de dreno, I_S a corrente de saturação reversa e A_E a área da junção base-emissor.

A expansão dos termos $n_i(T)$ e $D(T)$ da expressão (2.3) inclui aproximações e considerações teóricas amplamente discutidas na literatura [16][17]. Reproduzimos abaixo uma expressão clássica obtida a partir das expressões (2.1), (2.2), (2.3) e (2.4) que descreve o comportamento térmico da tensão V_{BE} [16]³.

$$V_{BE}(T) = V_{g0} \left(1 - \frac{T}{T_r}\right) + \frac{T}{T_r} V_{BE}(T_r) - \eta \frac{kT}{q} \ln\left(\frac{T}{T_r}\right) + \frac{kT}{q} \ln\left(\frac{I_C(T)}{I_C(T_r)}\right) \quad (2.5)$$

$$\text{onde } V_{BE}(T_r) = V_{g0} + \frac{kT_r}{q} \ln\left(\frac{I_C(T_r)}{A_E C T_r^\eta}\right)$$

Nas expressões, C e η são constantes de processo, V_{g0} é a tensão da faixa proibida extrapolada para 0K (tensão de *bandgap*) e $V_{BE}(T_r)$ a tensão base-emissor obtida na temperatura de referência T_r .

Em fontes de referência e sensores de temperatura, é comum que a corrente de coletor do transistor bipolar seja feita proporcional à temperatura absoluta elevada a certa

³ Na verdade, Tsividis apresenta uma expressão análoga à (2.5), mas em termos de $V_g(T)$. Em [16], Tsividis apresenta formas diversas de expandir o termo $V_g(T)$ através de, por exemplo, uma função linear ou uma função polinomial. No escopo deste trabalho, optamos pela forma simples da expressão (2.5), que aproxima $V_g(T)$ pela constante V_{g0} e que supõe que as constantes V_{g0} e η sejam extraídas empiricamente para melhor ajuste da curva, conforme descrito em [18].

potência m , sendo mais frequente o caso em que a corrente é PTAT (*Proportional-to-the-Absolute-Temperature*), ou seja, m é igual a 1. Isto permite simplificar a expressão (2.5) para a forma:

$$V_{BE}(T) = V_{g0} \left(1 - \frac{T}{T_r} \right) + \frac{T}{T_r} V_{BE}(T_r) - (\eta - m) \frac{kT}{q} \ln \left(\frac{T}{T_r} \right) \quad (2.6)$$

A expressão (2.6) descreve um comportamento quase linear da tensão $V_{BE}(T)$, com derivada negativa, em função da temperatura. O coeficiente térmico de V_{BE} é tipicamente próximo de $-2\text{mV}/^\circ\text{C}$. O termo não linear na expressão (2.6) resulta em uma curvatura sobreposta à componente linear, com formato parabólico e concavidade para cima, cujo valor de pico é próximo de 4mV na faixa de -55°C a 125°C [18].

Finalmente, uma das expressões consideradas mais importantes da eletrônica analógica relaciona a diferença entre as tensões base-emissor de dois transistores bipolares polarizados com densidades de corrente de razão constante. A partir das expressões (2.1) e (2.4), obtemos:

$$\begin{aligned} \Delta V_{BE} = V_{BE2} - V_{BE1} &= \frac{kT}{q} \ln \left(\frac{Jc_2 J_{s1}}{Jc_1 J_{s2}} \right) = \frac{kT}{q} \ln \left(\frac{Ic_2 A_{E1}}{Ic_1 A_{E2}} \right) \\ \Rightarrow \Delta V_{BE} &= \frac{kT}{q} \ln N \quad \text{com} \quad N = \frac{Ic_2 A_{E1}}{Ic_1 A_{E2}} \end{aligned} \quad (2.7)$$

Conforme a expressão (2.7), a diferença ΔV_{BE} é PTAT quando impomos uma razão constante e diferente de um entre as densidades de corrente de coletor. O dimensionamento das razões entre correntes e áreas de emissor permite o ajuste (embora limitado) do coeficiente térmico. É importante destacar que os únicos parâmetros passíveis de espalhamento na expressão (2.7) aparecem em razões dentro do logaritmo. Isto se traduz em baixa sensibilidade a desvios de processo, proporcionando grande robustez a circuitos baseados em ΔV_{BE} . No entanto, devido ao baixo coeficiente térmico de ΔV_{BE} (próximo de

0,1mV/°C), o sinal normalmente precisa ser amplificado. Isto implica na inclusão de erros associados ao mecanismo de amplificação usado⁴.

Para geração de uma tensão de referência tipo *bandgap*, é feita uma combinação entre tensões V_{BE} e ΔV_{BE} para obter, em primeira ordem, uma tensão constante em temperatura. Tradicionalmente, a tensão V_{BE} é somada ao sinal ΔV_{BE} amplificado conforme a expressão (2.8)⁵.

$$V_{REF} = V_{BE} + A_R \Delta V_{BE} \quad (2.8)$$

Na expressão (2.8), a soma da tensão *PTAT* à tensão $V_{BE}(T)$ equivale a uma operação de rotação em torno do ponto fixo na temperatura 0K. Ou seja, com base nas equações (2.5) a (2.8), podemos considerar a tensão V_{REF} como resultado da rotação da curva V_{BE} em torno do ponto definido pela constante física V_{g0} . O valor do ganho A_R deve ser ajustado para que o patamar horizontal seja alcançado. Desta forma, o valor da tensão de referência será próximo de 1,2V, ligeiramente acima do valor da tensão de faixa proibida (*bandgap*) do Silício extrapolada para 0K [19].

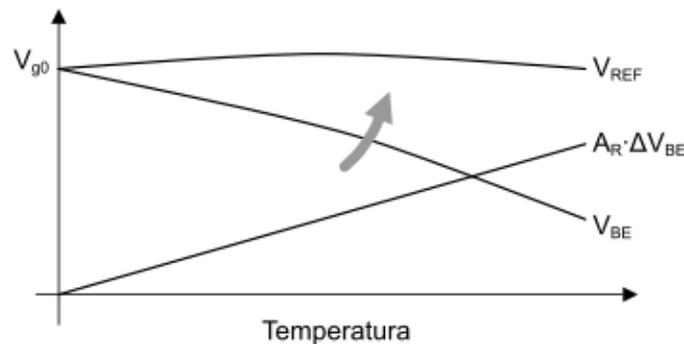


Figura 1 – Tensão de referência tipo *bandgap* como resultado da rotação da tensão V_{BE}

Neste ponto, vale ressaltar uma grande vantagem prática de fontes de referência *bandgap*. Para o ajuste do ganho A_R , é necessário medir a tensão de referência em apenas uma temperatura, por exemplo, em temperatura ambiente. A constante V_{g0} em 0K

⁴ Em fontes de referência baseadas no conceito *bandgap* reverso, o sinal ΔV_{BE} não é amplificado, mas uma tensão V_{BE} é atenuada. Neste caso, outras fontes significativas de erro surgem devido ao nível baixo de sinal.

⁵ Em fontes de referência baseadas no conceito *bandgap* reverso, a expressão da tensão de saída assume a forma $V_{REF} = M V_{BE} + \Delta V_{BE}$ onde M corresponde a um fator de atenuação menor que 1.

corresponde ao segundo ponto que define a curva. Isto resulta em um sistema de ajuste simples, rápido e econômico, ideal para aplicações de mercado.

O sinal ΔV_{BE} amplificado pode ser aplicado diretamente como sinal base para sensoriamento térmico. Para o projeto de sensores de temperatura inteligentes, a estratégia mais comum é a geração de dois sinais independentes, um de referência e outro sensível à temperatura, aplicados como sinais de base em uma etapa posterior de conversão analógico-digital. Neste sentido, é clara a conveniência em combinar tensões V_{BE} e ΔV_{BE} para a geração de ambos os sinais de base em sensores de temperatura inteligentes. De fato, esta é a estratégia de maior aplicação em circuitos de mercado.

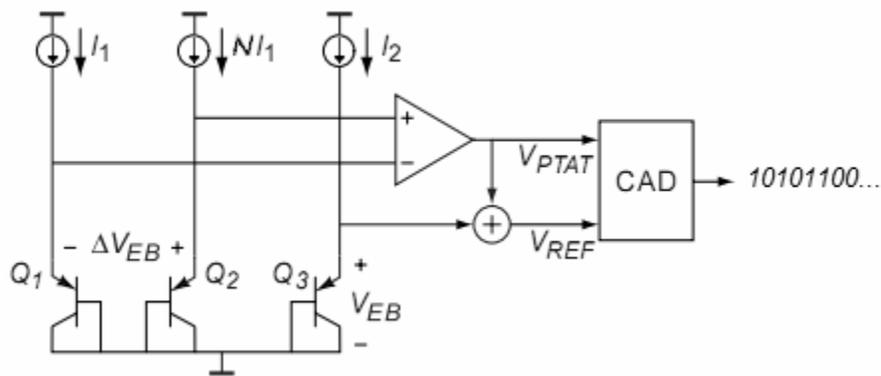


Figura 2 – Esquema simplificado de um sensor de temperatura inteligente [20]

A figura 2 exemplifica o conceito básico explorado no projeto de sensores de temperatura inteligentes baseados em transistores bipolares. Os sinais de referência e temperatura são gerados a partir do mesmo núcleo de circuito baseado em transistores bipolares. O conversor AD converte o valor da razão entre as tensões de entrada em uma representação binária.

É comum subtrair uma tensão V_{BE} do sinal V_{PTAT} para fornecer um sinal de entrada melhor adaptado à faixa dinâmica do conversor AD. O objetivo é ajustar os valores do sinal resultante nos extremos da faixa especificada de temperatura de tal forma que coincidam com os limites de entrada do conversor AD – condição de máxima excursão e sensibilidade. No entanto, o termo V_{BE} contribui com componentes de segunda ordem, degenerando à característica linear do sinal resultante. Para aplicação da técnica, é preciso

avaliar se o benefício associado à melhor adaptação à faixa dinâmica do conversor AD compensa o prejuízo associado à perda em linearidade.

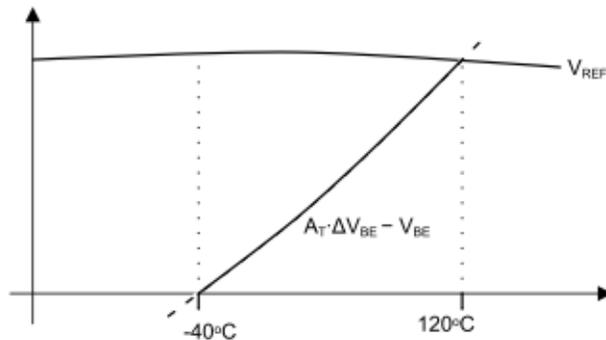


Figura 3 – Geração de tensão dependente da temperatura com excursão adaptada à faixa dinâmica do conversor AD no intervalo de -40°C a 120°C

2.2.3 Formas de implementação

A técnica de projeto de fontes de referência de tensão e de sensores de temperatura baseada em transistores bipolares possui um extenso histórico de desenvolvimento, bem maior que o de outras técnicas descritas neste capítulo. Algumas topologias fundamentais serão apresentadas nesta seção. Estas correspondem a uma amostra mínima de uma vasta coleção de trabalhos, mas que nos permite ilustrar e complementar a discussão teórica com alguns exemplos atuais.

Transistores bipolares em processos CMOS convencionais

Processos CMOS convencionais não disponibilizam estruturas especiais para a fabricação de transistores bipolares. No entanto, transistores bipolares estão sempre presentes como componentes parasitas de transistores MOS, ou seja, como dispositivos secundários, em geral indesejados, embutidos nas estruturas próprias de transistores MOS. Adaptando a estrutura MOS para o controle do componente parasita, duas opções de transistores bipolares se tornam disponíveis em um processo CMOS convencional de substrato P e poço N.

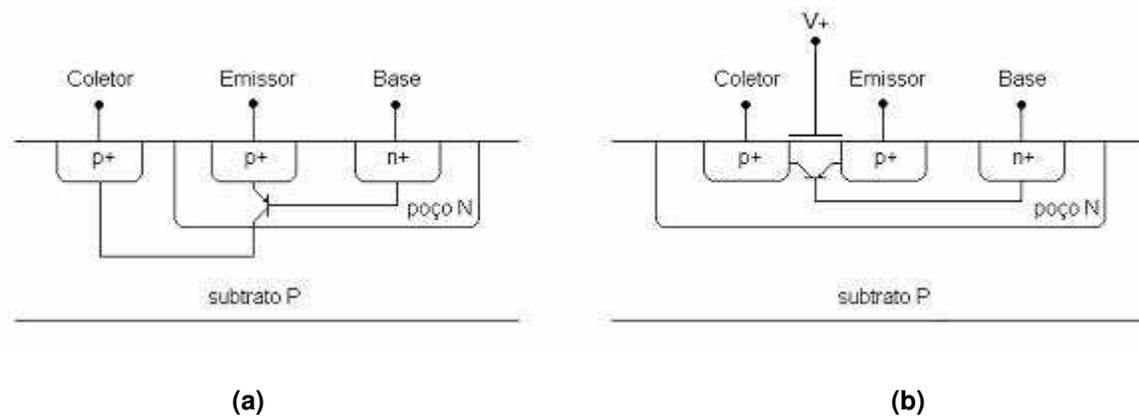


Figura 4 – Transistores bipolares (a) vertical e (b) lateral na tecnologia CMOS

O transistor PNP vertical na figura 4(a) tem estrutura semelhante à de bipolares verticais implementados em tecnologias bipolares. Mesmo com níveis de dopagem não otimizados para o efeito bipolar, a região de emissor tem dopagem bem superior à do coletor e a base é relativamente pouco dopada, características desejáveis em um transistor bipolar. No entanto, apresenta duas grandes limitações: o terminal de coletor está necessariamente conectado ao menor potencial (substrato) e a largura da base possui valor alto, o que resulta em ganho de corrente $\beta = I_C/I_B$ baixo (tipicamente próximo de 1,5). Em compensação, o alto valor de largura resulta em menor sensibilidade ao efeito de modulação de base (maior valor absoluto da tensão de *Early*). Isso se traduz em um ganho de corrente estável, particularmente valioso quando transistores bipolares são polarizados através da corrente de emissor. Considerando a relação $I_E = ((\beta + 1)/\beta) \cdot I_C$, a corrente de emissor I_E segue o mesmo comportamento exponencial que a corrente de coletor I_C quando o ganho β é constante. Outra vantagem destes componentes é a possibilidade de se dimensionar a área de emissor com valor alto o suficiente para que correntes laterais sejam desprezíveis. Com fluxo dominante através da região de largura uniforme da base, o comportamento real da corrente se aproxima do previsto pelo modelo ideal. Um estudo experimental apresentado por Wang e Meijer [19] demonstra que o modelo *Gummel-Poon* se aplica tão bem a transistores bipolares verticais de processos CMOS quanto a transistores fabricados em tecnologias bipolares. Uma vantagem importante dos transistores verticais sobre os laterais é a menor sensibilidade ao *stress* mecânico (ou encapsulamento), conforme descrito em [21].

O transistor lateral na figura 4(b) apresenta como vantagens a livre conexão de seus terminais e um alto ganho de corrente β . O maior ganho é consequência da região mais estreita de base, cuja largura mínima corresponde ao comprimento mínimo de canal no processo. Porém, note que o transistor bipolar vertical está embutido na figura 4(b) como um componente parasita. Uma parcela significativa dos portadores injetados pelo emissor irá fluir para o substrato, através do parasita vertical. Portanto, a relação entre corrente de emissor e tensão base-emissor se afasta do modelo ideal. Isto pode ser contornado polarizando o transistor bipolar lateral através de corrente de coletor. Mesmo assim, a característica $I_c(V_{BE})$ de transistores laterais apresenta não-idealidades bem mais acentuadas que no caso dos transistores verticais. Isto se deve principalmente aos efeitos relacionados à condução superficial de portadores (na interface do Silício com o óxido de porta), às componentes de corrente que fluem de forma parabólica na base (significativas, neste caso, devido à pequena área associada à profundidade das regiões de difusão) e aos níveis iguais de dopagem das regiões de coletor e emissor [18]. A estreita largura de base também confere maior sensibilidade ao efeito *Early*. O quarto terminal V_+ do transistor lateral na figura 4(b) corresponde à estrutura de porta de um transistor MOS. Deve ser polarizado com tensão no mínimo igual à aplicada no emissor para evitar a formação do canal entre as difusões P+. O terminal V_+ pode ser polarizado com tensão superior à do emissor para que o campo elétrico gerado afaste o fluxo de portadores minoritários na base (lacunas) da superfície para o interior do semiconductor, reduzindo as não-idealidades associadas à corrente superficial. No entanto, esta tensão de polarização deve ser suficientemente estável para não gerar efeitos de modulação.

Exemplos de fontes de referência e sensores de temperatura implementados com transistores laterais podem ser vistos em [22][23][24]. No entanto, é quase consenso na literatura que transistores bipolares verticais são mais indicados para a implementação destes circuitos. Tal fato motivou o desenvolvimento de topologias adaptadas a transistores bipolares de coletor aterrado⁶. Alguns exemplos serão descritos a seguir.

⁶ Transistores bipolares laterais encontram maior aplicabilidade quando sua menor característica de ruído $1/f$ ou seu maior ganho de corrente são desejáveis como, por exemplo, em amplificadores de baixo ruído [22].

Fontes de referência de tensão MOS baseadas em transistores bipolares

Uma topologia tradicional de fonte de referência *bandgap* CMOS é apresentada na figura 5.

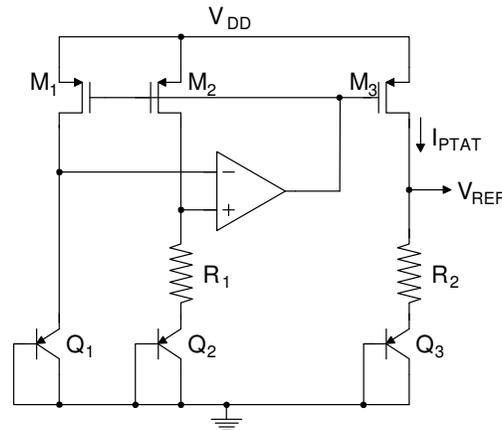


Figura 5 – Fonte de referência *bandgap* CMOS tradicional

Neste circuito, a expressão (2.8) se aplica na forma:

$$V_{REF} = V_{EB3} + \frac{R_2}{R_1} \frac{kT}{q} \ln\left(\frac{A_2}{A_1}\right) \quad (2.9)$$

Onde A_1 e A_2 são as áreas de emissor de Q_1 e Q_2 , respectivamente.

Embora simples, a topologia da figura 5 corresponde ao núcleo de uma grande parte das fontes de referência atuais, quando a tensão de alimentação comporta uma tensão de referência próxima de 1,2V. Inúmeros trabalhos partem dessa topologia, acrescentando estruturas periféricas para compensação de curvatura, para aumento de rejeição de fonte, entre outras sofisticções. Para operação em baixa-tensão, a estratégia mais utilizada é converter as tensões V_{EB} e ΔV_{EB} em correntes, efetuar a combinação em modo corrente e converter a corrente resultante na tensão de referência. Os circuitos abaixo aplicam essa estratégia.

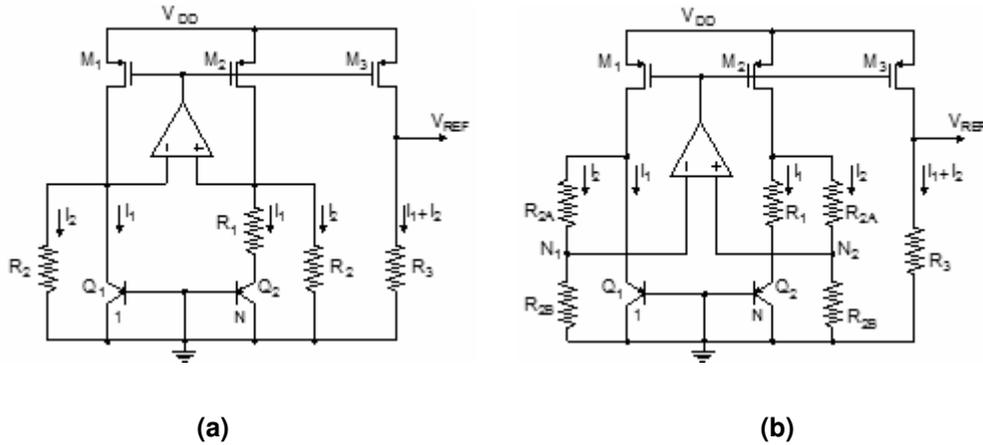


Figura 6 - Fonte de referência proposta por: (a) Banba *et al.* [25] (b) Leung *et al.* [26]

As topologias apresentadas na figura 6 são comumente identificadas em fontes de referência atuais de baixa tensão. Novamente, existem várias propostas que estendem o projeto para atingir melhores figuras de desempenho, mas o núcleo é essencialmente o mesmo [27][28]. Partindo do núcleo da topologia convencional da figura 5, Banba *et al* acrescentam resistores R_2 para a geração de uma corrente I_2 proporcional a V_{EB} enquanto I_1 continua proporcional à ΔV_{EB} (figura 6(a)). O resistor R_3 converte a soma das correntes na tensão de referência. Equacionando o circuito, obtemos:

$$V_{REF} = \frac{R_3}{R_2} \cdot \left(V_{EB1} + \left(\frac{R_2}{R_1} \right) \cdot \frac{kT}{q} \ln(N) \right) \quad (2.10)$$

Considerando uma tensão de alimentação próxima de 1V, o estágio de entrada do amplificador de erro na fonte de Banba *et al* deve ser implementado com transistores NMOS já que a tensão V_{EB} assume valores próximos de V_{DD} . Para operação correta do amplificador, é necessário que a tensão de limiar do transistor NMOS seja sempre menor que a tensão V_{EB} aplicada nas entradas, em toda a faixa de temperatura especificada. Dependendo do processo e da faixa de temperatura desejada, isso não ocorre a partir de determinada temperatura. Leung propôs a modificação apresentada na figura 6(b) que desloca o modo comum das entradas, permitindo a implementação do amplificador com estágio de entrada PMOS. Na prática, é comum que os limites de temperatura (máximo e mínimo) e o limite mínimo de tensão de alimentação sejam determinados pela topologia do amplificador já que a tensão V_{EB} exibe uma ampla excursão ao longo de faixas maiores de

temperatura. Neste sentido, são freqüentes os trabalhos que enfocam topologias de amplificadores em fontes de referência *bandgap* de baixa tensão [29][30][31][32].

Sensores de Temperatura MOS baseados em transistores bipolares

O projeto do núcleo para a geração dos sinais básicos em sensores de temperatura bipolares segue os mesmos fundamentos discutidos para fontes de referência *bandgap*. Existe um leque de possibilidades adicionais referentes à implementação das etapas posteriores de processamento dos sinais básicos em sensores de temperatura inteligentes, cujo detalhamento foge do escopo deste trabalho. No entanto, algumas considerações sobre o sensor inteligente apresentado por Pertijs *et al* em [20] são incluídas aqui para ilustrar o potencial da técnica. Mesmo não se tratando de uma solução de baixa tensão e baixo consumo, o trabalho demonstra o nível de precisão que pode ser obtido através da aplicação do princípio em sensores de temperatura inteligentes.

Pertijs *et al* desenvolveram um sensor de temperatura inteligente com saída digital, implementado em processo CMOS convencional de baixo custo, baseado em transistores bipolares verticais. Emprega um amplo conjunto de técnicas características de circuitos de alta precisão, incluindo técnicas de chaveamento para cancelamento dinâmico de *offset* (*dynamic offset cancellation*) e casamento dinâmico de elementos (*dynamic element matching*). Como os transistores PNP são polarizados via emissor, acrescentaram estruturas para cancelar o efeito da variação térmica do ganho de corrente β do transistor bipolar. Aplicaram técnica para correção de curvatura de V_{EB} e calibração em único ponto de temperatura. A topologia escolhida para o conversor analógico-digital é sigma-delta de segunda ordem com baixo *offset*, que combina técnicas de chaveamento e dupla-amostragem. Em resumo, a sofisticação do projeto garante que a fonte de erro dominante seja apenas o espalhamento na tensão V_{EB} . Isto nos permite avaliar o potencial de aplicação de transistores bipolares a partir do desempenho medido do circuito. O resultado experimental relatado, 3σ de $\pm 0,1^\circ\text{C}$ na faixa de -55°C a 125°C , corresponde ao topo em termos de precisão alcançado por sensores de temperatura inteligentes CMOS, ou seja, o estado da arte.

2.2.4 Considerações sobre aplicabilidade do princípio

Em comparação a outros componentes integrados com características elétricas fortemente sensíveis à temperatura, as propriedades térmicas exploradas em transistores bipolares apresentam maior reprodutibilidade e previsibilidade, o que justifica sua extensa aplicação [12]. Conforme mostrado na análise do princípio teórico, os sinais gerados são fundamentados em constantes físicas, ou seja, constantes que não dependem de processo. Isso resulta em maior insensibilidade a desvios de processo, portabilidade, robustez e um alto grau possível de precisão. No entanto, algumas considerações podem conduzir à escolha de outra técnica para projeto de fontes de referência e sensores de temperatura em processos CMOS, principalmente, no âmbito de aplicações de baixa tensão, baixo consumo e baixo custo.

A exemplo do circuito desenvolvido por Pertijs *et al* [20], a aplicação do princípio é indicada para o projeto de circuitos de alta precisão. No entanto, estes sistemas são em geral bastante complexos e pouco econômicos em relação ao consumo de área e energia. Embora o princípio fundamental comporte a expectativa de alta precisão, na prática, a precisão alcançada é normalmente limitada pelos demais blocos do sistema. Em aplicações de precisão moderada, outras técnicas podem originar topologias mais simples e adequadas à operação em baixa tensão, com baixo consumo de energia e com menor consumo de área (menor custo). Os seguintes fatores se destacam como causas da maior complexidade associada à aplicação de transistores bipolares:

- 1 - Transistores bipolares verticais com coletor aterrado conferem menor flexibilidade para a criação de topologias. Em geral, topologias adaptadas de processos bipolares se tornam mais complexas que as originais para se adequarem às restrições de conectividade. Enquanto transistores bipolares laterais permitem a livre-conexão de seus terminais, são contra-indicados devido aos fatores discutidos na seção 2.2.3.
- 2 - Na prática, a diferença ΔV_{EB} assumirá valores baixos, tipicamente de algumas dezenas de milivolts, o que torna a aplicação bastante sensível a tensões de

offset. Normalmente, a maior fonte de erro em circuitos *bandgap* está associada à tensão de *offset* do amplificador operacional utilizado⁷. Topologias de amplificadores com baixo *offset* acrescentam complexidade ao sistema (maior área e consumo). O coeficiente térmico de ΔV_{EB} pode ser ajustado com base na expressão (2.7), no entanto, um leve aumento da diferença de tensão demanda um aumento significativo de área ou corrente. Em sentido contrário, a razão entre correntes deve se aproximar do mínimo possível para reduzir consumo energético, o que restringe a possibilidade de aumento do coeficiente térmico de ΔV_{EB} .

- 3 - A aplicação do princípio para geração de tensão de referência próxima a 1,2V é relativamente simples e direta. No entanto, para aplicações de baixa tensão, é necessário adicionar etapas para condicionar sinais sob níveis mais baixos de tensão. Isto resulta em topologias com maior quantidade de componentes e fontes de erro potenciais. A questão se agrava quando há incorporação de maior quantidade de resistores como se observa, por exemplo, nas propostas de Banba e Leung (figura 6). Em aplicações de baixo consumo, a condução de pequenas correntes demanda valores altos de resistências, ou seja, resistores extensos que ocupam ampla área em Silício. Isso se traduz em aumento considerável no custo.
- 4 - A tensão V_{EB} , com ponto fixo em 0K próximo de 1,2V, apresenta excursão considerável em faixas amplas de temperatura. O fato limita a faixa de operação em circuitos de baixa tensão. Amplificadores operacionais com larga faixa dinâmica de entrada são necessários para permitir a operação em faixas maiores de temperatura. No entanto, a aplicação do princípio se torna inviável sob certos limites em que outras técnicas ainda encontram aplicação [93].

⁷ Existem propostas que utilizam um par de transistores MOS para refletir a tensão V_{BE} de um ramo para outro em substituição ao amplificador operacional. No entanto, além de limitar a operação em baixa tensão, o descasamento associado ao par, provocado por desvios de processo e por efeitos de segunda ordem (modulação de canal etc.), se reflete em uma tensão de *offset* que em geral degenera significativamente a resposta do circuito.

Concluindo, o princípio de implementação de fontes de referência e sensores de temperatura baseados em transistores bipolares é de valor incontestável. No entanto, em aplicações de baixa tensão, sua aplicação pode originar topologias complexas com maior consumo de energia e área do que outras topologias baseadas em princípios que, a priori, são mais sensíveis a espalhamento e desvios de processo. Neste caso, outras figuras além da precisão, como faixa de temperatura de operação e mínima tensão de operação, podem ser decisivas a favor de técnicas baseadas em outros princípios. Dependendo dos limites de operação, a aplicação de uma técnica alternativa pode ser imprescindível. Isto motiva a pesquisa e o desenvolvimento de técnicas baseados em outros princípios com enfoque principal em aplicações de baixa tensão e baixo consumo.

2.3 Transistores MOS polarizados em fraca inversão

2.3.1 Breve histórico

A tecnologia CMOS surgiu como opção mais econômica e eficiente para a implementação de circuitos digitais. O desenvolvimento de circuitos analógicos CMOS foi motivado principalmente pelo interesse econômico em se integrar no mesmo substrato os sistemas digitais já consolidados com seus blocos periféricos analógicos. A tecnologia foi otimizada e inicialmente modelada segundo a óptica de projeto digital. Neste contexto, os primeiros modelos disponíveis para o transistor MOS se baseiam na sua operação como chave [33]. O conceito de tensão de limiar V_{th} (ou *threshold* em inglês) surge como valor mínimo de tensão entre porta e fonte V_{GS} necessário para condução de corrente através do canal formado entre dreno e fonte. Com tensão V_{GS} abaixo da tensão V_{th} , o transistor é dito em “corte”, condição ideal em que não há condução de corrente.

Na realidade, é possível verificar a existência de um baixo nível de corrente, entre terminais polarizados de dreno e fonte do transistor MOS, que decai exponencialmente com V_{GS} na medida em que V_{GS} cai abaixo de V_{th} [34]. O estudo deste fenômeno se iniciou na década de 1960 com o objetivo principal de buscar formas de minimizar seus efeitos,

particularmente em circuitos de memória dinâmica [35]. A corrente sub-limiar era denominada corrente de perda ou *leakage*. Eric Vittoz foi pioneiro ao propor a exploração do comportamento sub-limiar (ou de fraca-inversão) para o projeto de circuitos analógicos. Em 1977, apresentou circuitos baseados em fraca inversão operando sob baixa tensão (1V) e com consumo de corrente da ordem de nanoampères [36]. Nas décadas seguintes, o desenvolvimento de circuitos analógicos CMOS foi baseado principalmente na operação de transistores em forte inversão evitando as dificuldades e limitações associadas à operação em fraca inversão. Atualmente, é visível a retomada no desenvolvimento de circuitos baseados na operação sub-limiar como solução diante das novas condições de baixa-tensão e consumo antecipadas por Vittoz. Naturalmente, aqui se inclui o desenvolvimento de fontes de referência e sensores de temperatura de baixa tensão e baixo consumo.

2.3.2 Princípio

Quando existe diferença de potencial entre os terminais de dreno e fonte do transistor MOS, é possível verificar a existência de uma corrente sub-limiar, que depende exponencialmente da tensão V_{GS} , quando o transistor opera com V_{GS} pouco abaixo de V_{th} . Nesta condição, a tensão V_{GS} não é alta o suficiente para induzir cargas móveis na região de canal (necessárias para compor corrente de deriva), mas é suficiente para gerar uma região de depleção na superfície do Silício pela qual portadores minoritários fluem por difusão da fonte para o dreno [34]. Do mecanismo de difusão resulta o comportamento exponencial da corrente, semelhante ao caso dos transistores bipolares, em que o fluxo de corrente dominante também ocorre por difusão.

Como ferramenta de projeto, o modelo EKV (proposto por *Enz*, *Krummenacher* e *Vittoz*) [37] e o modelo ACM (*Advanced Compact MOSFET model*) [38][39] se destacam dentre os mais indicados para projeto com transistores em fraca-inversão. A complexidade do modelo BSIM para operação em fraca inversão limita seu uso às ferramentas de simulação [40]. Adaptações do modelo BSIM para cálculos manuais envolvem aproximações que podem induzir a conclusões equivocadas, conforme será explicitado adiante.

O modelo ACM é uma extensão do modelo EKV com os seguintes diferenciais principais. É mais preciso no modelamento da região de inversão moderada (região de transição entre inversão fraca e forte) por incorporar maior embasamento físico, enquanto o modelo EKV aplica nesta região uma função de interpolação matemática. O modelo ACM fornece expressões baseadas em variáveis de corrente, enquanto o EKV é baseado em variáveis de tensão. Transistores em inversão fraca são preferencialmente polarizados por correntes de entrada (como elementos de trans-resistência), o que pode tornar conveniente o equacionamento baseado em correntes⁸. No entanto, quando enfocamos a operação em inversão fraca, ambos os modelos são baseados nos mesmos conceitos físicos, sendo praticamente equivalentes.

No escopo deste trabalho, apresentamos algumas expressões chaves que explicitam o comportamento térmico do transistor MOS operando em fraca-inversão. Escolhemos como base o modelo EKV, que fornece expressões mais intuitivas para nosso estudo. Para a análise, consideramos um transistor NMOS polarizado conforme esquema na figura 7. Um desenvolvimento análogo (com polaridades invertidas) se aplica a transistores PMOS.

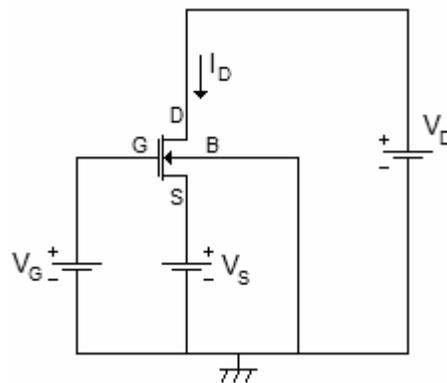


Figura 7 – Transistor NMOS descrito como dispositivo simétrico pelos modelos EKV e ACM

⁸ A análise estatística da operação do transistor MOS em fraca inversão prevê alto desvio padrão no valor de corrente através de transistores idênticos polarizados com os mesmos potenciais de tensão. De forma complementar, o desvio padrão no valor de tensão entre porta e fonte em transistores polarizados por correntes iguais é mínimo, resultando em bom casamento de tensão. Desta forma, para minimizar descasamento, recomenda-se utilizar o transistor em fraca inversão como elemento de trans-resistência (entrada em corrente e saída em tensão). Este comportamento é oposto ao verificado para transistores em inversão forte, o que explica o diferente o enfoque de projeto recomendado nesta condição [2].

Explorando a simetria do transistor NMOS, os potenciais são referenciados ao potencial de substrato e a corrente de dreno I_D é expressa como a diferença entre uma corrente direta I_F e uma corrente reversa I_R , conforme a expressão:

$$I_D = I_F(V_S, V_G) - I_R(V_D, V_G) \quad (2.11)$$

A corrente direta corresponde ao efeito do potencial no terminal de fonte (V_S) associado ao potencial de porta (V_G). De forma complementar, a corrente reversa corresponde ao efeito contrário do potencial no terminal de dreno (V_D) associado ao potencial de porta (V_G). Quando determinada componente de corrente torna-se desprezível em relação à outra, o efeito do potencial correspondente pode ser desconsiderado e o transistor é dito em saturação. Em saturação direta, temos $I_D \cong I_F$, sendo desprezível o efeito da tensão de dreno V_D sobre o valor total de corrente.

A condição para operação em fraca inversão é dada por,

$$\min(V_S, V_D) > V_P \quad \text{onde} \quad V_P \cong \frac{V_G - V_{th}}{n} \quad (2.12)$$

O parâmetro V_P (tensão de *pinch-off*) representa o potencial máximo de canal para o qual se considera nulo o fluxo de corrente por deriva. Nesta condição, o fluxo de corrente ocorre por difusão de portadores minoritários através da região de depleção formada abaixo da porta. Na expressão (2.12), V_{th} é a tensão de limiar e n o fator de rampa (*slope factor*) que relaciona os potenciais V_G e V_P . Com $n=1$ e $V_S < V_D$, a condição (2.12) assume a forma $V_{GS} < V_{th}$, que corresponde ao limite tradicional entre operação em corte ou condução. Na realidade, n tem valor pouco maior que 1 devido à existência de uma região de inversão moderada quando V_{GS} é próximo de V_{th} . Nesta região, ambos os processos de deriva e difusão são significativos na composição da corrente.

Em inversão fraca, a corrente flui por difusão de forma semelhante ao que ocorre no transistor bipolar. Isto resulta em um comportamento exponencial de corrente expresso por:

$$I_D = I_{spec} \exp\left(\frac{V_P}{U_t}\right) \cdot \left[\exp\left(\frac{-V_S}{U_t}\right) - \exp\left(\frac{-V_D}{U_t}\right) \right] \quad (2.13)$$

Onde a tensão térmica⁹ U_t e a corrente específica I_{Spec} são dadas por:

$$U_t = \frac{kT}{q} \quad (2.14)$$

$$I_{Spec} = 2 \cdot n \cdot \mu_n C_{OX} \frac{W}{L} \cdot U_t^2 \quad (2.15)$$

Nas expressões, k é a constante de Boltzmann, q a carga elementar, μ_n a mobilidade de portadores, C_{OX} a capacitância do óxido de porta por unidade de área, W a largura do canal, L o comprimento do canal e n o fator de rampa.

Substituindo (2.12) em (2.13), obtemos expressões melhor adaptadas para uso em projeto [2]:

$$I_D \cong I_{D0} \exp\left(\frac{V_G}{nU_t}\right) \cdot \left[\exp\left(\frac{-V_S}{U_t}\right) - \exp\left(\frac{-V_D}{U_t}\right) \right] \quad (2.16)$$

$$\Rightarrow I_D \cong I_{D0} \exp\left(\frac{V_G - nV_S}{nU_t}\right) \cdot \left[1 - \exp\left(-\frac{V_D - V_S}{U_t}\right) \right] \quad (2.17)$$

$$\text{Onde } I_{D0} \cong I_{Spec} \exp\left(\frac{-V_{th}}{n \cdot U_t}\right) \quad (2.18)$$

Note a partir das expressões (2.15) e (2.18) que o parâmetro I_{D0} é proporcional à razão (W/L) do transistor.

Quando $V_D - V_S \gg U_t$, o transistor é dito em saturação, condição em que a corrente I_D pode ser aproximada pela expressão:

$$I_D \cong I_{D0} \exp\left(\frac{V_G - nV_S}{nU_t}\right) \quad (2.19)$$

Note que o limite de operação em saturação depende apenas da tensão térmica, ou seja, de constantes físicas. Independe do valor de corrente ou de constantes de processo.

⁹ A tensão térmica U_t , associada ao modelo de condução de corrente por difusão, também aparece como parâmetro no modelo de transistores bipolares (vide seção 2.2.2).

Para o caso particular em que o terminal de fonte é aterrado ($V_S = 0$), podemos adotar a fonte como referência, escrevendo a expressão (2.19) na forma abaixo:

$$I_D = I_{D0} \exp\left(\frac{V_{GS}}{nU_t}\right) \quad (2.20)$$

Neste ponto, é interessante observar que expressões equivalentes à expressão (2.20) são comumente apresentadas para descrição do comportamento do transistor MOS em fraca inversão a partir de simplificações baseadas no modelo BSIM [34][41][42][43]. Neste caso, o efeito do potencial de corpo é desconsiderado, o que permite manter o modelo baseado em tensões referenciadas ao terminal fonte, mesmo quando este não é aterrado¹⁰.

Note que, exceto pelo fator n , a expressão (2.20) é análoga à expressão (2.1) que descreve a densidade de corrente de coletor em transistores bipolares. O fator n tem relação com o efeito de superfície e o efeito do terminal de corpo (quarto terminal) não presente em transistores bipolares. O comportamento exponencial tem origem no fluxo de corrente através do mesmo mecanismo de difusão verificado em transistores bipolares.

Partindo da expressão (2.20), obtemos a expressão da diferença entre tensões V_{GS} de transistores MOS polarizados em fraca inversão (com $V_{S1} = V_{S2} = 0$).

$$\Delta V_{GS} = V_{GS1} - V_{GS2} = nU_t \ln\left(\frac{I_1 (W/L)_2}{I_2 (W/L)_1}\right) \quad (2.21)$$

¹⁰ Tradicionalmente, o modelo de maior aplicação para cálculos manuais no campo de projeto analógico é baseado no modelo BSIM, que assume o terminal de fonte como referência. Os potenciais são referenciados ao terminal de fonte, a relação de transcondutância assume a forma $I_D(V_{GS})$ e o efeito de corpo (ou do quarto terminal) é visto como efeito de segunda ordem. Esse efeito, em geral, deve ser minimizado, sendo mais bem previsto através de simulação. Isto acarreta certa resistência de projetistas na adoção do modelo EKV ou ACM, por fornecerem equações baseadas em tensões referenciadas ao potencial de corpo, explorando a simetria do transistor MOS enquanto dispositivo de quatro terminais. No entanto, este enfoque permite maior controle do efeito de corpo em projeto. No caso específico de operação em fraca inversão, através de equações relativamente simples, a análise a partir do modelo EKV prevê resultados mais precisos e que afetam decisões de projeto, conforme exemplo discutido na seção 2.3.3.

Como nota de curiosidade a cerca das diferentes estratégias de modelamento, no artigo publicado em homenagem a Eric Vittoz, em nota de agradecimento ao colega, Yannis Tsvividis comenta [35]: "...he still hasn't convinced me that it's better to use the substrate as a potential reference rather than the source in circuit design, but such continuing debates are part of the fun of knowing him."*

* "...ele ainda não me convenceu que é melhor usar o substrato como referência de potencial ao invés da fonte em projeto de circuitos, mas debates freqüentes como este são parte da diversão de conhecê-lo."

A expressão (2.21) prevê comportamento análogo ao previsto pela expressão (2.7), associada à diferença ΔV_{BE} em transistores bipolares. Semelhante ao caso bipolar, as variáveis de projeto aparecem no termo logaritmo, na forma de razões entre correntes e dimensões. Assumindo n constante, é possível obter um sinal PTAT a partir da diferença ΔV_{GS} de transistores polarizados com correntes de razão constante. Isto permite utilizar transistores MOS em fraca inversão em substituição a transistores bipolares para a geração de tensões PTAT.

Finalmente, como opção à tensão V_{BE} de transistores bipolares, analisamos o comportamento térmico da tensão V_{GS} em fraca-inversão. A dependência térmica da tensão de limiar V_{th} e da mobilidade de portadores μ_n é descrita pelas expressões [66]:

$$\mu_n(T) = \mu_{n0} \left(\frac{T}{T_0} \right)^{\alpha_{\mu n}} \quad (2.22)$$

$$V_{in} = V_{in0} + \alpha_{vm} (T - T_0) \quad (2.23)$$

Onde T_0 é a temperatura de referência, μ_{n0} e V_{in0} são os valores de mobilidade e tensão de limiar, na temperatura de referência, α_{vm} e $\alpha_{\mu n}$ são constantes negativas de processo. A partir das expressões (2.14), (2.15), (2.18) e (2.20), podemos obter:

$$V_{GS}(T) = [V_{th0} - \alpha_{vm} T_0] \cdot \left(1 - \frac{T}{T_0} \right) + V_{GS}(T_0) \cdot \left(\frac{T}{T_0} \right) + n \frac{kT}{q} \ln \left[\left(\frac{T_0}{T} \right)^{\alpha_{\mu n} + 2} \frac{I_D(T)}{I_D(T_0)} \right] \quad (2.24)$$

Observe a semelhança entre a expressão (2.24) e a expressão (2.5) que descreve o comportamento térmico da tensão V_{BE} em transistores bipolares. A tensão de *bandgap* V_{g0} é substituída, no caso MOS, pelo termo dependente de parâmetros relacionados à tensão de limiar. Isto resulta em grande vantagem prática para o desenvolvimento de circuitos de baixa tensão visto que, ao contrário da tensão de *bandgap*, a tensão de limiar acompanha o escalonamento tecnológico neste sentido. Na prática, o termo não-linear na expressão (2.24) tem pouca influência e o comportamento previsto é quase linear em temperatura, com derivada negativa, enquanto se assume a condição de operação em fraca-inversão (V_{GS} sempre abaixo de V_{in}) [44]. Lembramos que as expressões (2.20), (2.21) e (2.24) foram

obtidas assumindo diferença de potencial nula entre os terminais de corpo e fonte do transistor ou, segundo enfoque tradicional, desprezando-se o efeito de corpo.

O comportamento análogo ao de transistores bipolares permite a aplicação de transistores MOS em fraca inversão no lugar de transistores bipolares em topologias adaptadas para processos CMOS. A estratégia confere vantagens principalmente para aplicações de baixa tensão e baixo consumo. Alguns exemplos são descritos na próxima seção.

2.3.3 Formas de implementação

A partir das expressões obtidas na discussão teórica, um princípio análogo à geração de tensão de referência *bandgap* baseado em transistores bipolares pode ser aplicado utilizando transistores MOS em fraca inversão. Como vantagem, transistores MOS apresentam maior flexibilidade de conexão, corrente de porta nula e baixo valor de tensão V_{GS} em toda faixa potencial de temperatura. Isto permite, por exemplo, a aplicação do princípio na sua forma fundamental, expressa pela equação (2.8), em circuitos de baixa tensão. As células apresentadas na figura 8 desempenham esta função.

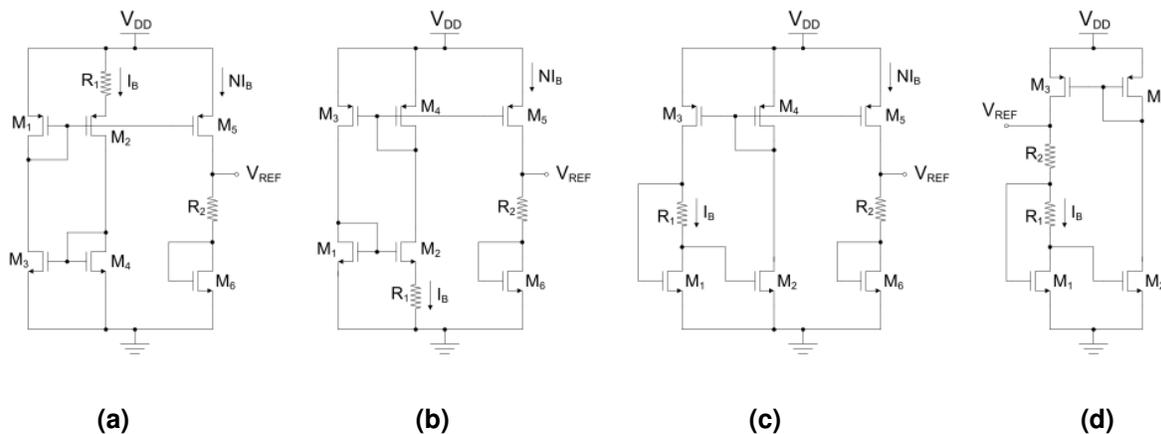


Figura 8 – Células de fontes de referência baseadas em transistores MOS em fraca inversão

A análise dos circuitos apresentados na figura 8 nos permitirá destacar um resultado importante obtido através da aplicação do modelo EKV, desconsiderado por alguns autores. A partir da expressão (2.21), desconsiderando o efeito de corpo, podemos obter a seguinte expressão para a tensão de saída dos circuitos (a), (b) e (c):

$$\begin{aligned}
V_{REF} &= V_{GS6} + N \cdot \frac{R_2}{R_1} \cdot |\Delta V_{GS12}| \\
\Rightarrow V_{REF} &= V_{GS6} + N \cdot \frac{R_2}{R_1} \cdot n \frac{kT}{q} \ln \left(\frac{(W/L)_3 (W/L)_2}{(W/L)_4 (W/L)_1} \right)
\end{aligned} \tag{2.25}$$

O circuito da figura 8 (d) representa uma versão compacta em que o ramo com ganho de corrente N é excluído¹¹. Neste caso,

$$\begin{aligned}
V_{REF} &= V_{GS1} + \frac{R_2}{R_1} \cdot \Delta V_{GS12} \\
\Rightarrow V_{REF} &= V_{GS1} + \frac{R_2}{R_1} \cdot n \frac{kT}{q} \ln \left(\frac{(W/L)_3 (W/L)_2}{(W/L)_4 (W/L)_1} \right)
\end{aligned} \tag{2.26}$$

Em processos CMOS convencionais de poço N, o terminal de corpo do transistor PMOS pode ser conectado ao terminal de fonte eliminando o efeito de corpo. Isto permite aplicar a expressão (2.25) ao circuito na figura 8 (a) sem perda de precisão. No entanto, nesta configuração, o transistor M_5 opera em fraca inversão como espelho de corrente. Espelhos de corrente com transistores MOS em fraca inversão devem ser evitados por apresentarem alto descasamento de corrente¹². Os espelhos de corrente PMOS nos circuitos dos itens (b), (c) e (d) podem ser implementados com transistores em forte-inversão, enquanto apenas os transistores NMOS operam em fraca inversão¹³. Como alternativa ao bloco básico na figura 8 (b), os componentes M_1 , M_2 e R_1 são conectados nos circuitos dos itens (c) e (d) na forma conhecida como “*peaking current source*” [45][46][47]. A estrutura desempenha a mesma função para geração de corrente, mas com transistores NMOS com fonte aterrada o que efetivamente elimina o efeito de corpo. Neste caso, as expressões

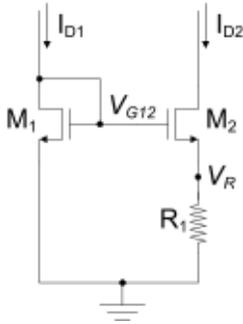
¹¹ Através de modificação semelhante, o circuito na figura 8(b) também possui versão compacta.

¹² A relação exponencial entre corrente e tensão confere uma alta sensibilidade a descasamento quando transistores em fraca inversão são polarizados por tensão, ou seja, com saída em corrente. Neste caso, transistores MOS em forte inversão devem ser aplicados dado que, nesta condição, a relação de transcondutância quadrática resulta em sensibilidade significativamente menor [2].

¹³ Mesmo com baixo valor de corrente, o ponto de operação do transistor MOS pode ser determinado em fraca ou forte inversão com base no dimensionamento da razão (W/L). Desta forma, circuitos com transistores polarizados em fraca inversão normalmente também incluem transistores em forte inversão melhor indicados para desempenhar determinadas funções como, por exemplo, em espelhos de corrente. O equacionamento baseado em correntes segundo o modelo ACM facilita o dimensionamento de transistores segundo o nível de inversão desejado.

(2.25) e (2.26) se aplicam sem perda de precisão. Note que a estrutura explora a vantagem de corrente de porta nula em transistores MOS.

Considerando processo CMOS convencional de poço N, no circuito da figura 8 (b), o terminal de corpo de M_2 está conectado ao menor potencial (substrato), o que resulta em efeito de corpo não previsto pela expressão (2.21). Com base em modelos simplificados, derivados do modelo BSIM, isto pode motivar a não aplicação da estrutura, optando-se por soluções que eliminem o efeito de corpo para aplicação coerente das expressões. No entanto, aplicando a expressão (2.19) fornecida pelo modelo EKV, o efeito do terminal de corpo pode ser considerado na análise, conforme equacionamento abaixo.



$$\begin{cases} I_{D1} = I_{D10} \exp\left(\frac{V_{G12}}{nU_t}\right) \Rightarrow V_{G12} = nU_t \ln\left(\frac{I_{D1}}{I_{D10}}\right) \\ I_{D2} = I_{D20} \exp\left(\frac{V_{G12} - nV_R}{nU_t}\right) \Rightarrow nV_R = V_{G12} - nU_t \ln\left(\frac{I_{D2}}{I_{D20}}\right) \end{cases}$$

$$\Rightarrow V_R = U_t \ln\left(\frac{I_{D1} I_{D20}}{I_{D2} I_{D10}}\right)$$

$$\Rightarrow V_R = \frac{kT}{q} \ln\left(\frac{I_{D1} (W/L)_2}{I_{D2} (W/L)_1}\right) \quad (2.27)$$

O resultado simples em (2.27) tem importante tradução prática. Comparando a expressão (2.27) com a expressão (2.21), note que o fator de rampa foi cancelado com base na consideração do efeito do potencial de corpo. Conforme comentado adiante, o fator de rampa n não é idealmente constante, sendo suscetível a espalhamento e levemente dependente da temperatura, o que torna muito conveniente seu cancelamento na expressão. A configuração analisada fornece uma tensão $V_R = \Delta V_{GS}$ com comportamento e propriedades equivalentes ao descrito pela expressão (2.7) obtida para transistores bipolares. Portanto, para o circuito da figura 8 (b), considerando o efeito do terminal de corpo através do modelo EKV, obtemos:

$$V_{REF} = V_{GS6} + N \cdot \frac{R_2}{R_1} \cdot \frac{kT}{q} \ln\left(\frac{(W/L)_3 (W/L)_2}{(W/L)_4 (W/L)_1}\right) \quad (2.28)$$

A análise das células esquematizadas na figura 9, com transistores operando em fraca-inversão, foi apresentada por Vittoz em artigo publicado em 1977 [36].

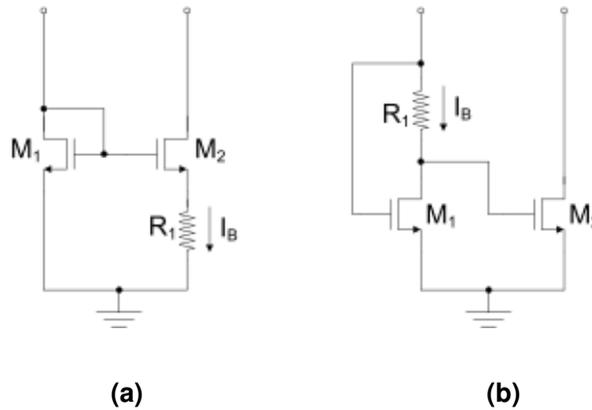


Figura 9 – Células para geração de corrente $I_B = \Delta V_{GS} / R_1$ com transistores NMOS: (a) clássica e (b) “peaking current source”

No artigo, Vittoz aplica o equacionamento com potenciais referenciados ao terminal de corpo, obtendo expressões equivalentes às expressões (2.27) e (2.21) para a diferença de potencial sobre o resistor nas células (a) e (b), respectivamente. No entanto, o resultado não é aplicado por alguns autores, que adotam expressões simplificadas derivadas do modelo BSIM, optando por desconsiderar o efeito de corpo em suas análises. Recentemente, Huang *et al* apresentaram uma fonte de referência baseada na célula na figura 9 (b), enfatizando a vantagem da eliminação do efeito de corpo, que no caso da célula (a), tornaria impreciso o modelo utilizado para o equacionamento [48]. O circuito na figura 8 (a) foi aplicado em [44] para o desenvolvimento de uma fonte de referência de baixa tensão (0,9V) e baixo consumo (<800nW) com todos os transistores polarizados em fraca inversão e efeito de corpo eliminado (transistores PMOS com terminais de fonte e corpo conectados entre si). Embora os resultados experimentais apresentados demonstrem o potencial da técnica, a topologia com espelhos de corrente polarizados em fraca inversão deve ser evitada pelos motivos citados anteriormente. A fonte de referência de baixa tensão e consumo apresentada em [47] é um exemplo de aplicação da estrutura compacta na figura 8 (d).

Semelhantemente ao caso bipolar, existem várias propostas de fontes de referência com transistores MOS em fraca inversão baseadas na combinação entre sinais derivados da tensão V_{GS} e diferença ΔV_{GS} em modo corrente [49][50][51][52][53][54][55]. Além de permitir o ajuste do nível da tensão de referência, a tensão de alimentação pode ser reduzida

ainda mais com esta estratégia. A aplicação da célula da figura 9 (a), neste caso, resulta em topologias relativamente simples, que normalmente dispensam amplificador operacional, necessário em topologias com transistores bipolares verticais.

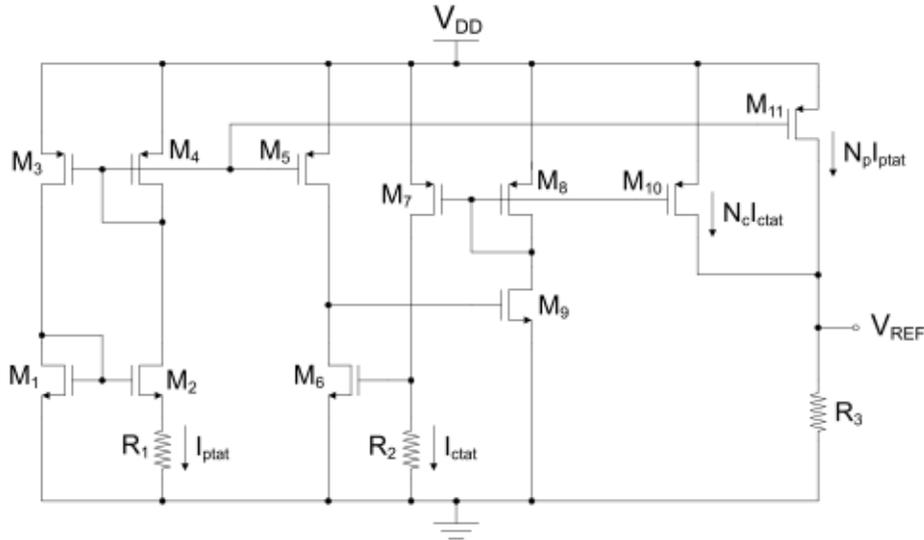


Figura 10 – Fonte de referência proposta por Wang *et al* [52]¹⁴

A topologia apresentada na figura 10, retirada da fonte de referência proposta por Wang *et al* em [52], implementa de forma simples a combinação em modo corrente. Os transistores M_1 - M_4 são responsáveis pela geração da corrente I_{ptat} proporcional à diferença ΔV_{GS12} . Os transistores M_5 - M_9 são responsáveis pela geração da corrente complementar I_{ctat} proporcional à tensão V_{GS6} . As correntes são somadas no ramo de saída, possivelmente ponderadas pelos ganhos de espelho N_c e N_p . A corrente resultante é convertida no sinal de referência de tensão através do resistor R_3 . Equacionando o circuito, obtemos:

$$\begin{aligned}
 V_{REF} &= N_c \frac{R_3}{R_2} \cdot \left(V_{GS6} + \frac{N_p}{N_c} \frac{R_2}{R_1} \Delta V_{GS12} \right) \\
 \Rightarrow V_{REF} &= N_c \frac{R_3}{R_2} \cdot \left(V_{GS6} + \frac{N_p}{N_c} \frac{R_2}{R_1} \frac{kT}{q} \ln \left(\frac{(W/L)_3 (W/L)_2}{(W/L)_4 (W/L)_1} \right) \right)
 \end{aligned} \tag{2.29}$$

¹⁴ O circuito de inicialização (*start-up*) e os capacitores de estabilização foram omitidos para simplificar o esquemático.

Observe pela expressão (2.29) que, semelhantemente ao caso bipolar descrito pela expressão (2.10), é possível definir nível de tensão de saída, além de seu coeficiente térmico, a partir do dimensionamento adequado.

Com base nesta mesma estratégia, outras topologias foram propostas com características variadas. A fonte de referência de tensão proposta em [49] possui um *loop* de realimentação na saída que implementa regulação de carga, ou seja, é capaz de fornecer corrente com menor impedância de saída. Em [54] e [55], modificações na topologia da figura 10 minimizam efeitos associados à modulação de canal. No entanto, podemos novamente destacar a aplicação do modelo que desconsidera o efeito de corpo por boa parte dos autores. A fonte de referência proposta por Naro *et al* em [53] tem base na mesma topologia apresentada na figura 10. No entanto, os terminais de fonte e corpo de M_2 são conectados (em processo não convencional de três poços) com o intuito de eliminar o efeito de corpo, tornando o equacionamento (com o fator de rampa n associado ao termo PTAT) mais preciso. Em [54] e [55], o efeito do terminal de corpo é desconsiderado, embora a célula da figura 9 (a) seja aplicada. Em [50] e [51], a topologia proposta por Banba *et al* (figura 6(a)) é adaptada com base na substituição dos transistores bipolares por transistores MOS em fraca inversão. Neste caso, não há efeito de corpo, mas, com a inclusão do amplificador operacional, são pouco exploradas as vantagens da substituição.

Encerramos a análise de formas de implementação, apresentando uma célula simples proposta por Vittoz em 1979 [56], com apenas dois transistores operando em fraca inversão, cuja utilização tem sido frequente [2][57][58][59][60][61]¹⁵.

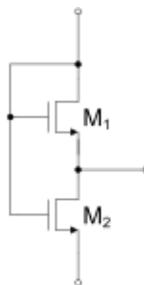
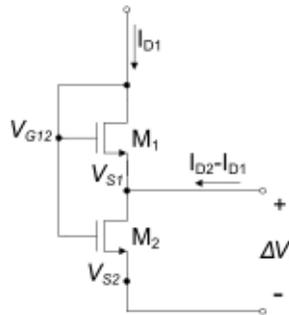


Figura 11 – Célula proposta por Vittoz para geração de tensão PTAT

¹⁵ Alguns autores estendem a aplicação da célula explorando seu comportamento tanto em fraca inversão quanto em forte inversão.

Novamente, através da análise com base no modelo EKV, verificamos que o efeito do fator de rampa n é cancelado quando M_1 e M_2 têm terminal de corpo conectado ao mesmo potencial. Considerando M_1 em saturação (efeito desprezível do potencial de dreno), a expressão (2.16) é aplicada na forma:



$$\begin{cases} I_{D1} = I_{D10} \exp\left(\frac{V_{G12}}{nU_t}\right) \cdot \exp\left(\frac{-V_{S1}}{U_t}\right) \\ I_{D2} = I_{D20} \exp\left(\frac{V_{G12}}{nU_t}\right) \cdot \left[\exp\left(\frac{-V_{S2}}{U_t}\right) - \exp\left(\frac{-V_{S1}}{U_t}\right) \right] \end{cases}$$

Resolvendo o sistema, obtemos:

$$\Delta V_O = V_{S1} - V_{S2} = \frac{kT}{q} \ln\left(1 + \frac{I_{D2}}{I_{D1}} \frac{(W/L)_1}{(W/L)_2}\right) \quad (2.30)$$

A célula simples, que fornece como saída uma diferença de potencial PTAT, possui grande flexibilidade de aplicação. O projetista deve certificar-se de que ambos os transistores operam em fraca inversão. Isto pode ser feito de forma simples a partir do equacionamento baseado em correntes proposto pelo modelo ACM. A aproximação feita ao considerar M_1 em saturação é normalmente razoável já que o transistor possui terminais de dreno e porta conectados entre si. De qualquer forma, a condição de saturação expressa por $V_{DS} \gg U_t$ pode ser facilmente garantida. A mesma condição não se aplica ao transistor M_2 uma vez que o efeito do potencial de dreno foi considerado neste caso.

2.3.4 Considerações sobre aplicabilidade do princípio

Para o projeto de fontes de referência de tensão e sensores de temperatura, o transistor MOS em fraca inversão surge como opção imediata a transistores bipolares parasitas em processos CMOS convencionais. O comportamento análogo permite adaptar topologias clássicas de processos bipolares para processos CMOS com transistores MOS em fraca inversão. Algumas vantagens na substituição consistem em maior flexibilidade de

conexão (em relação a transistores parasitas verticais), parâmetros fundamentais adequados para operação em baixa tensão (associados à tensão de limiar) e níveis mínimos de corrente, que tornam a opção ideal para aplicações de muito baixo consumo. No entanto, é preciso considerar limitações que dificultam e podem inviabilizar a aplicação da técnica. Dentre estas, destacam-se a sensibilidade a ruído, a sensibilidade a desvios de processo e a contribuição de outros mecanismos de geração de corrente, não considerados na discussão teórica, que degeneram o comportamento exponencial desejado.

A maior flexibilidade de conexão associada à corrente de porta nula favorece o desenvolvimento de topologias compactas baseadas em transistores MOS em fraca inversão em comparação a soluções com transistores bipolares. No contexto de aplicações de baixa tensão, os transistores MOS apresentam a grande vantagem de um termo equivalente à tensão de *bandgap* derivado da tensão de limiar. Como condição de operação em baixa tensão, inclusive no contexto de circuitos digitais, a evolução tecnológica prevê a redução de valores de tensão de limiar acompanhando a redução nas tensões de alimentação (embora não na mesma proporção). Desta forma, além de excursão adequada sobre ampla faixa de temperatura, podemos prever maior portabilidade de aplicação do princípio em diferentes (e futuras) tecnologias. Por outro lado, podemos prever maior espalhamento e sensibilidade a desvios de processo associados aos parâmetros que definem a tensão de limiar. Sem dúvida, a fundamentação em constantes físicas garante maior robustez a aplicações com transistores bipolares. No entanto, a geração de tensão PTAT, conforme visto na discussão teórica, é menos sensível a estes parâmetros. Na prática, é comum utilizar transistores MOS em fraca inversão para geração de corrente PTAT (conforme esquemas mostrados) associados a outras estruturas para geração do sinal complementar.

Existem dois mecanismos principais de geração de correntes na condição de operação sub-limiar: por difusão pelo canal fracamente invertido (apresentado na discussão teórica) e por geração espontânea de portadores na região de depleção de junções PN reversamente polarizadas que resulta nas chamadas correntes de junção [62]¹⁶. Este

¹⁶ Na região de depleção em uma junção PN reversamente polarizada, o fenômeno de geração espontânea consiste na geração de um par de portadores móveis, elétron e lacuna, a partir de um elétron de valência que adquire energia suficiente para migrar para a banda de condução. No momento em que o par é gerado, o campo elétrico na região de depleção força o fluxo para fora da região contribuindo desta forma com componente de corrente.

segundo mecanismo, não considerado na discussão teórica, é geralmente pouco influente, mas limita a corrente mínima de operação e a temperatura máxima de operação. A corrente de junção cresce com a temperatura (aumento de energia térmica de portadores na junção) e com a área das junções. Portanto, é preciso considerar em paralelo o limite máximo de temperatura de operação, limite mínimo de corrente e área de transistores, de tal forma que o fluxo de corrente por difusão seja sempre dominante. Em geral, o efeito de correntes de junção não é previsto com precisão por modelos atuais de simulação, o que dificulta sua consideração em projeto. Para operação em temperaturas muito altas, acima dos limites convencionais, a aplicação da técnica pode ser inviável devido a estas componentes de corrente.

Com forte relevância no contexto de aplicações de sinal misto, a sensibilidade a ruído deve ser considerada no projeto com transistores MOS em fraca-inversão. Valores típicos de corrente da ordem de nanoampères são obtidos com transistores MOS em fraca-inversão, o que se traduz em níveis baixos de energia associados aos sinais analógicos. Como limite fundamental, a energia mínima associada ao sinal deve ser superior à energia associada ao ruído, segundo o valor mínimo tolerável de relação sinal-ruído [2]. Em sistemas de baixo ruído, o ruído térmico inerente impõe o limite mínimo de energia associada ao sinal e, conseqüentemente, os limites mínimos de corrente. No entanto, sistemas de sinal misto normalmente incluem fontes variadas e significativas de ruído, associadas aos blocos digitais, que precisam ser consideradas caso a caso. A relação exponencial de corrente em fraca inversão confere maior sensibilidade a acoplamento ruidoso. A análise destes fatores em sistemas complexos pode ser limitada, derivando soluções pouco robustas ou mesmo inviabilizando a aplicação da técnica.

A aplicação de transistores MOS em fraca inversão é fortemente indicada para alcançar níveis mínimos de consumo. Mesmo quando o quesito consumo pode ser relaxado, transistores MOS em fraca inversão apresentam interessantes propriedades com grande potencial de aplicação em fontes de referência e sensores de temperatura de baixa tensão. No entanto, é fundamental que o projeto seja feito com base em modelos adequados para prover maior domínio sobre o comportamento em fraca inversão. Isto motivou o enfoque sobre os modelos EKV e ACM como opções ao modelo tradicional. Por outro lado, a polarização de transistores MOS em fraca inversão confere maior sensibilidade a fontes de

erro pouco influentes no caso da operação em inversão forte, principalmente em sistemas de sinal misto. O projeto envolve análises complexas, com base em modelos ainda pouco precisos, o que pode resultar em soluções não robustas. Neste contexto, técnicas baseadas na operação de transistores MOS em forte inversão devem ser consideradas.

2.4 Ponto de coeficiente térmico nulo (ZTC) do transistor MOS

2.4.1 Breve histórico

O conceito de ponto ZTC, um ponto de coeficiente térmico nulo (*zero-temperature-coefficient*) na característica $I_D \times V_{GS}$ de um transistor MOS, é conhecido há bastante tempo [63]. No entanto, a exploração do conceito para o projeto de fontes de referência ou sensores de temperatura foi pouco expressiva até recentemente. Em 1995, Manku *et al* propuseram a geração de uma tensão insensível à temperatura através de um mecanismo que essencialmente se baseia no ponto ZTC [64]. No entanto, atribuímos a Filanovsky e co-pesquisadores a investigação mais completa do conceito para implementação de fontes de referência de tensão e sensores de temperatura [65][66][67][68][69][70][71]. Na literatura, existem trabalhos recentes de outros grupos de pesquisa explorando o conceito para o desenvolvimento de fontes de referência [72] e sensores de temperatura [73]. Mas, na prática, a quantidade de trabalhos continua pouco expressiva. Como será visto, a existência e a posição do ponto ZTC dependem de parâmetros específicos da tecnologia. Em tecnologias MOS mais antigas, o ponto ZTC era observado para valores relativamente altos de tensão V_{GS} . Em parte, isto explica o menor interesse, devido à impossibilidade de aplicação em circuitos de baixa tensão [66]. Em tecnologias mais recentes, a tensão V_{GS} no ponto ZTC tem valor baixo o suficiente para permitir a aplicação do conceito em circuitos de baixa tensão, o que motiva seu estudo neste trabalho.

2.4.2 Princípio

O conceito do ponto ZTC pode ser facilmente compreendido observando o gráfico da figura 12. O gráfico representa curvas de transcondutância ($I_D \times V_{GS}$) de um transistor NMOS obtidas para diversas temperaturas.

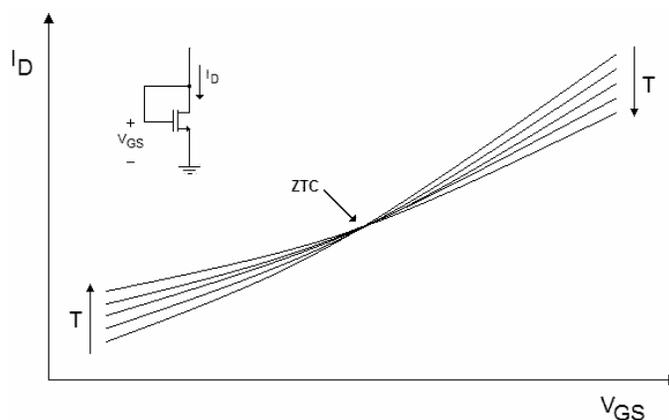


Figura 12 – Ponto ZTC de coeficiente térmico nulo na característica de transcondutância de um transistor NMOS

O ponto ZTC é o ponto comum entre as curvas, ou seja, o par (I_D, V_{GS}) que permanece como solução da função de transcondutância do transistor MOS em uma ampla faixa de temperatura. Na prática, quando o transistor é polarizado por um valor constante de tensão (ou corrente) no ponto ZTC, fornece uma corrente (ou tensão) de saída constante e independente da temperatura.

Desprezando o efeito de modulação de canal, as expressões seguintes descrevem o comportamento do transistor NMOS em saturação e forte-inversão [74]:

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_m)^2 \quad (2.31)$$

$$V_{GS} = \sqrt{\frac{2}{C_{OX} (W/L) \mu_n} I_D} + V_m \quad (2.32)$$

Nas expressões, μ_n é a mobilidade efetiva de transistores MOS de canal N, C_{OX} a capacitância do óxido por unidade de área, W e L a largura e comprimento do canal, respectivamente, e V_m a tensão de limiar do transistor NMOS.

O comportamento térmico da relação de transcondutância é determinado pelas grandezas μ_n e V_{m0} , cujas dependências com a temperatura são previstas pelas expressões [66]:

$$\mu_n(T) = \mu_{n0} \left(\frac{T}{T_0} \right)^{\alpha_{\mu n}} \quad (2.33)$$

$$V_m = V_{m0} + \alpha_{v m} (T - T_0) \quad (2.34)$$

Nas expressões, T é a temperatura de operação, T_0 a temperatura de referência, μ_{n0} e V_{m0} os valores de mobilidade e tensão de limiar, respectivamente, na temperatura de referência, $\alpha_{v m}$ e $\alpha_{\mu n}$ são constantes negativas de processo.

Substituindo (2.33) e (2.34) em (2.32) e considerando uma corrente de polarização I_D constante, obtemos:

$$V_{GS} = \sqrt{\frac{2I_D}{C_{OX}(W/L)} \cdot \frac{T^{-\alpha_{\mu n}}}{\mu_{n0}T_0^{-\alpha_{\mu n}}} + V_{m0} + \alpha_{v m}(T - T_0)} \quad (2.35)$$

$$\Rightarrow \frac{\partial V_{GS}}{\partial T} = \frac{-\alpha_{\mu n}}{2} K_I \cdot T^{\frac{-\alpha_{\mu n}}{2}-1} + \alpha_{v m} \quad (2.36)$$

Onde,

$$K_I = \sqrt{\frac{2I_D}{C_{OX}(W/L)} \cdot \frac{1}{\mu_{n0}T_0^{-\alpha_{\mu n}}}} \quad (2.37)$$

A existência do ponto ZTC pressupõe uma solução (V_{GS-ztc} , I_{D-ztc}) para a qual a derivada expressa por (2.36) é constante e igual a zero. Analisando a equação (2.36), verificamos que isto só ocorre, ou seja, só existe ponto ZTC, quando o expoente térmico da mobilidade $\alpha_{\mu n}$ tem valor -2. Neste caso, teremos¹⁷:

¹⁷ Na prática, para valores de $\alpha_{\mu n}$ suficientemente próximos de -2, verifica-se uma estreita região de afunilamento entre as curvas de transcondutância parametrizadas por temperatura, o que, até certa medida, permite a definição do ponto ZTC como uma aproximação.

$$V_{GS} = (K_I + \alpha_{vm}) \cdot T + (V_{m0} - \alpha_{vm} T_0) \quad (2.38)$$

$$\frac{\partial V_{GS}}{\partial T} = K_I + \alpha_{vm} \quad (2.39)$$

Conforme a expressão (2.39), que assume a existência do ponto ZTC, quando o transistor NMOS é polarizado com corrente constante, apresenta tensão V_{GS} linearmente dependente da temperatura. O coeficiente térmico de V_{GS} pode ser feito positivo, negativo ou nulo, dependendo do valor da constante K_I , que é determinado em função da corrente I_D e razão (W/L) . Para polarização no ponto ZTC, a condição para derivada nula equivale a $K_I = -\alpha_{vm}$. Neste caso, teremos:

$$V_{GS-ztc} = V_{mr} - \alpha_{vm} T_r \quad (2.40)$$

$$I_{D-ztc} = \frac{1}{2} \mu_{nr} T_r^2 C_{OX} \frac{W}{L} (-\alpha_{vm})^2 \quad (2.41)$$

Note que o valor da tensão V_{GS-ztc} não depende de variáveis de projeto, possuindo valor constante característico do processo, enquanto o valor de corrente I_{D-ztc} pode ser escalonado pela razão (W/L) .

Finalmente, a partir das expressões (2.38), (2.39) e (2.35), assumindo $\alpha_{\mu n} = -2$, a tensão V_{GS} do transistor NMOS polarizado com corrente I_D pode ser expressa como:

$$V_{GS} = V_{GS-ztc} + \left(\sqrt{\frac{I_D}{I_{D-ztc}}} - 1 \right) \cdot (-\alpha_{vm}) \cdot T \quad (2.42)$$

Conforme a expressão (2.42), quando o transistor é polarizado com corrente constante, a tensão V_{GS} é linearmente dependente da temperatura com coeficiente térmico positivo, se $I_D \geq I_{D-ztc}$, e negativo, se $I_D \leq I_{D-ztc}$. Lembramos que é possível ajustar o valor desejado de I_{D-ztc} através do dimensionamento da razão (W/L) , o que confere grande flexibilidade para o controle térmico da tensão V_{GS} .

2.4.3 Formas de implementação

Para o projeto de fontes de referência, a aplicação direta do princípio exposto se resume na afirmação: a polarização do transistor no ponto ZTC permite obter uma corrente (ou tensão) de referência a partir de uma tensão (ou corrente) de referência. Manku *et al* utilizaram uma fonte de corrente externa para provar experimentalmente o conceito, gerando uma tensão de referência a partir da tensão V_{GS} de um único transistor NMOS polarizado no ponto ZTC [64]. No entanto, em um circuito completo, a geração interna desta corrente pode ser bastante complexa. Filanovsky *et al* utilizaram um sistema realimentado para gerar a corrente de polarização constante a partir da tensão de saída ZTC. No entanto, precisaram combinar diversos resistores disponíveis na tecnologia, com coeficientes térmicos distintos, para minimizar o efeito da variação térmica das resistências sobre o valor final de corrente.

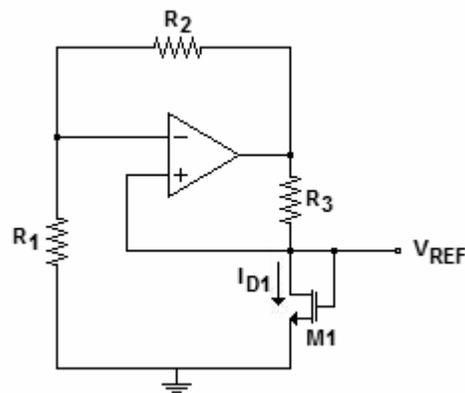


Figura 13 – Circuito simplificado da fonte de referência proposta por Filanovsky *et al* em [66]

Uma alternativa é explorar o comportamento do transistor NMOS na região pouco abaixo do ponto ZTC utilizando uma corrente de polarização PTAT. Nos trabalhos [70] e [71], Filanovsky explora este comportamento, que pode ser compreendido através do gráfico abaixo.

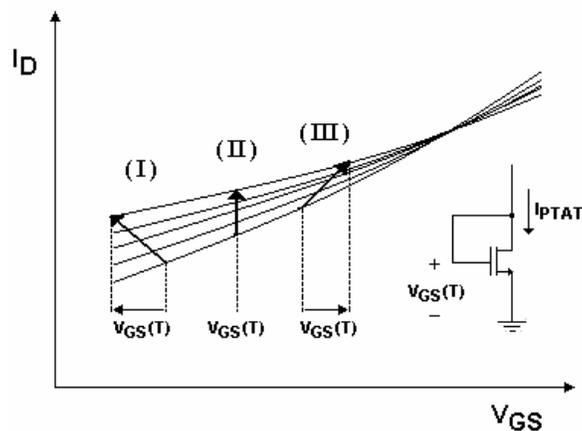


Figura 14 – Comportamento térmico do transistor NMOS polarizado por corrente PTAT abaixo do ponto ZTC

O gráfico ilustra três opções de comportamento possível da tensão $V_{GS}(T)$ quando se polariza o transistor NMOS com corrente PTAT em uma região pouco abaixo do ponto ZTC. Na fonte de referência de tensão proposta em [70], a tensão de saída corresponde à tensão V_{GS} de um único transistor NMOS polarizado com corrente PTAT na condição (II) apresentada na figura. Em [71], a tensão de referência é obtida como a média entre tensões V_{GS} de dois transistores NMOS polarizados nas condições (I) e (III).

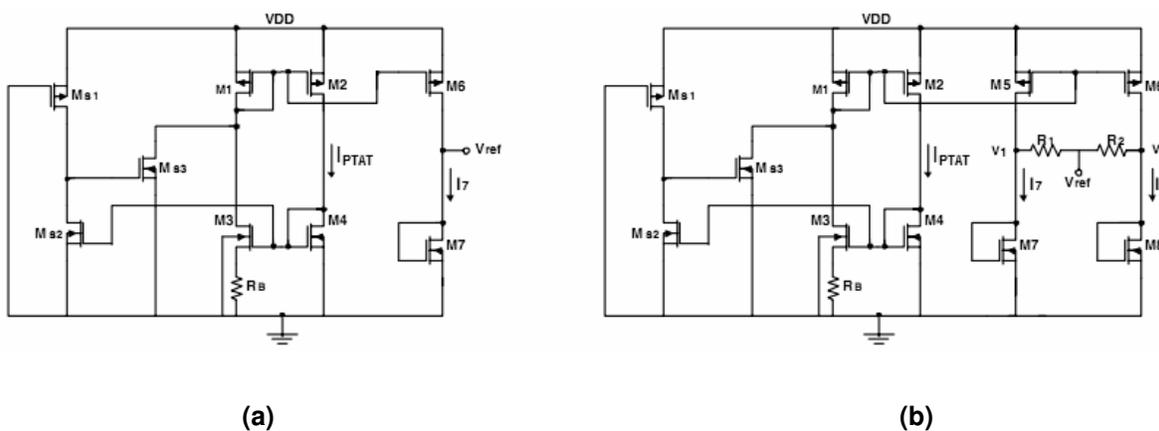


Figura 15 – Fontes de referência de tensão propostas por Filanovsky em (a) [70] e (b) [71]

Em ambos os circuitos da figura 15, os transistores M_{S1} - M_{S3} implementam blocos *start-up*¹⁸, enquanto M_1 - M_4 são responsáveis pela geração da corrente PTAT. Estes

¹⁸ Em circuitos auto-polarizados, em geral, é necessário adicionar um bloco periférico (bloco *start-up*) para garantir a não estabilização do circuito com corrente nula através dos transistores. O bloco *start-up* é ativo

exemplos de topologia demonstram como fontes de referência de tensão podem ser obtidas a partir de circuitos extremamente simples baseados nesta técnica. A polarização abaixo do ponto ZTC favorece também a operação em baixa tensão.

Para o projeto de sensores de temperatura, lembramos que a tensão V_{GS} de um transistor polarizado com corrente constante é linearmente dependente da temperatura quando existe ponto ZTC. O coeficiente térmico de $V_{GS}(T)$ pode ser feito negativo ou positivo através do controle da corrente de polarização. Com base neste princípio, Filanovsky propôs a utilização de um único transistor NMOS (com ponto ZTC) como sensor de temperatura controlável [69]. Novamente, é necessário gerar uma corrente de polarização constante para se obter o comportamento linear. Trung *et al* exploram o comportamento térmico da transcondutância na proximidade do ponto ZTC para a geração de uma corrente inversamente proporcional à temperatura com aplicação em sensores de temperatura baseados em linhas de atraso [73]. Sensores de temperatura baseados em linhas de atraso serão brevemente discutidos na seção 2.6.3.

2.4.4 Considerações sobre aplicabilidade do princípio

À primeira vista, os trabalhos na literatura sugerem que o projeto baseado no ponto ZTC pode originar topologias muito simples de fontes de referência e sensores de temperatura. No entanto, a aplicação do princípio possui fortes limitações devido à forte dependência com a tecnologia. Além do prejuízo em termos de portabilidade, é importante considerar também o efeito das não-idealidades associadas aos parâmetros de processo.

O valor do expoente térmico da mobilidade depende dos níveis de dopagem do material semiconductor que são característicos do processo. Para concentrações de dopantes $N_A, N_D \leq 10^{12} \text{ cm}^{-3}$, resultados experimentais na literatura relatam valores $\alpha_{\mu_n} = -2,42$ e $\alpha_{\mu_p} = -2,20$ para Silício tipo N e tipo P, respectivamente. Com concentrações superiores a 10^{17} cm^{-3} , os expoentes se aproximam de $\alpha_{\mu_n} = -1,2$ e $\alpha_{\mu_p} = -1,9$ [66]. Isto demonstra que o valor real do expoente térmico da mobilidade ocorre em um intervalo contínuo determinado pelo nível de dopagem do processo. Em processos modernos com N_A e N_D

apenas no transiente inicial de estabilização do circuito sem exercer nenhuma influência na resposta em regime do circuito.

entre 10^{15} e 10^{16} cm^{-3} , é possível verificar $\alpha_{\mu_n} = -2$ (ou muito próximo), de tal forma que transistores NMOS apresentem um ponto ZTC. Em geral, o mesmo não se verifica para transistores PMOS. Porém, qualquer desvio do valor ideal representa um erro inerente à aplicação do conceito. Portanto, qualquer expectativa de precisão depende do valor real desta constante de processo antes mesmo da escolha de topologia.

Supondo valor de expoente térmico da mobilidade igual a -2, o projeto baseado no ponto ZTC depende da geração de sinais de referência nos domínios de tensão e corrente, simultaneamente. A geração de uma corrente de referência, seja ela constante ou PTAT, não é trivial. Nos exemplos apresentados na seção anterior, resistores são utilizados na geração da corrente polarização. Além do alto espalhamento no valor de resistência nominal (o que pode ser contornado por um sistema de ajuste), resistores integrados apresentam seus próprios coeficientes de variação térmica representando uma fonte de erro inerente ao circuito. A alternativa empregada por Filanovsky (figura 13), combinando diferentes resistores para minimizar o efeito resultante da variação térmica, depende da disponibilidade de resistores distintos com coeficientes térmicos de valores convenientes. Outras implementações dependem de resistores com baixos coeficientes térmicos (idealmente nulos) para manter boa figura de precisão [72]. No entanto, resistores integrados normalmente apresentam coeficientes térmicos altos e a utilização de resistores externos com alta estabilidade térmica representa um aumento proibitivo no custo.

Concluindo, embora medidas experimentais comprovem a existência do ponto ZTC em determinadas tecnologias [63][64], o espalhamento proveniente de desvios de processo associado ao nível de controle necessário para a geração das variáveis elétricas torna a aplicação prática do conceito um ideal dificilmente alcançável. Em [66], Filanovsky apresenta bom detalhamento matemático, considera as não idealidades associada às constantes de processo e apresenta bons resultados experimentais, obtidos de protótipos fabricados. No entanto, estes resultados são obtidos após o ajuste de uma corrente de *offset* através do transistor M_1 (figura 13), amostra por amostra, com resistor externo de alto desempenho e estável em temperatura (TK133), o que não representa uma alternativa viável em aplicações práticas¹⁹. Os demais trabalhos referenciados, com topologias

¹⁹ O ajuste de corrente de *offset* através de M_1 é feito com base na corrente que polariza o amplificador de dois estágios com alta impedância de saída utilizado no circuito. Esta corrente de polarização é definida

completas de fontes de referência e sensores de temperatura baseados no ponto ZTC, apresentam apenas resultados de simulação de caso típico. Nisto, desconsideram o efeito de desvios de processo que, na prática, representam a maior fonte de erro prevista nestes circuitos. Não foram encontrados outros trabalhos com resultados experimentais de fontes de referência e sensores de temperatura completos baseados no ponto ZTC. Isto reforça nossa conclusão sobre a forte limitação prática de aplicação do princípio. A compreensão do conceito representa uma importante ferramenta para a polarização de transistores, em circuitos diversos, segundo o enfoque de estabilidade térmica. Mas sua aplicação como conceito de base para o projeto de fontes de referência e sensores de temperatura nos parece pouco promissora.

2.5 Tensão de limiar do transistor MOS

2.5.1 Breve histórico

Na relação de transcondutância do transistor MOS, enquanto o termo mobilidade de portadores exibe um comportamento não linear com a temperatura, a tensão de limiar é descrita por uma função linear e decrescente. Isto motivou o desenvolvimento de fontes de referência e sensores de temperatura baseados na tensão de limiar em que o efeito da variação térmica da mobilidade na saída é cancelado ou, pelo menos, bastante reduzido.

Existem várias propostas de circuitos extratores de tensão de limiar na literatura [75][76][77][78][79][80][81][82][83][84][85]. O sinal extraído, proporcional à tensão de limiar de um transistor MOS, pode ser aplicado diretamente para sensoriamento de temperatura [75]. Para o projeto de fontes de tensão, são necessários dois sinais independentes, para que através da combinação linear entre eles seja gerada a tensão de referência. Diante disto, o conceito de geração de tensão de referência baseado na combinação entre tensões de limiar pressupõe a associação de dispositivos distintos com tensões de limiar descritas por funções independentes. O princípio foi aplicado com base na diferença entre tensões de limiar de transistores de depleção e enriquecimento [86],

externamente utilizando o resistor TK 133. O TK 133 é um resistor de filme de alto desempenho com estabilidade térmica da ordem de 5 ppm/°C fabricado pela empresa *Caddock Electronics, Inc.*

transistores com diferente tensão de banda (*flat-band voltage*) [87] ou com diferente função trabalho do material de porta [88]. No entanto, estas soluções envolvem dispositivos especiais ou etapas adicionais de processo. Com interesse na implementação em processos CMOS convencionais de baixo custo, analisamos a aplicação do princípio com base em trabalhos mais recentes que exploram a combinação entre tensões de limiar de transistores PMOS e NMOS [89][90][91][92][93].

2.5.2 Princípio

Desconsiderando o efeito de modulação de canal, o comportamento do transistor NMOS em saturação e forte-inversão é descrito por [74]:

$$V_{GS} = \sqrt{\frac{2}{C_{OX}} \frac{I_D}{(W/L) \mu_n}} + V_m \quad (2.43)$$

Onde C_{OX} é a capacitância do óxido por unidade de área, W a largura de canal, L o comprimento de canal, μ_n a mobilidade efetiva de elétrons e V_m a tensão de limiar do transistor NMOS.

De forma análoga, para o transistor PMOS temos:

$$V_{SG} = \sqrt{\frac{2}{C_{OX}} \frac{I_D}{(W/L) \mu_p}} + |V_{tp}| \quad (2.44)$$

Onde μ_p é a mobilidade efetiva de lacunas e V_{tp} a tensão de limiar do transistor PMOS.

A dependência térmica dos termos de mobilidade e tensão de limiar é prevista pelas expressões [66]:

$$\mu_n(T) = \mu_{n0} \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \quad ; \quad \mu_p(T) = \mu_{p0} \left(\frac{T}{T_0} \right)^{\alpha_{\mu_p}} \quad (2.45)$$

$$V_m = V_{m0} + \alpha_{vm} (T - T_0) \quad ; \quad |V_{tp}| = |V_{tp0}| + \alpha_{vtp} (T - T_0)$$

Onde μ_{n0} , μ_{p0} , V_{tn0} e V_{tp0} são os valores de mobilidade e tensão de limiar na temperatura de referência T_0 enquanto $\alpha_{\mu n}$, $\alpha_{\mu p}$, α_{vtn} e α_{vtp} são constantes negativas de processo.

O conceito básico para extração da tensão de limiar consiste na combinação entre tensões V_{GS} de transistores de mesmo tipo, polarizados por correntes de razão constante, de tal forma que o termo dependente da mobilidade seja cancelado. Considere, por exemplo, um par de transistores NMOS, M_1 e M_2 , com dimensões $(W/L)_2 = 4 \cdot (W/L)_1$, com mesma corrente de polarização, operando em saturação. A partir da expressão (2.43), é fácil demonstrar que $2V_{GS2} - V_{GS1} = V_{tn}$. Na prática, diversas combinações são possíveis para obter sinais proporcionais à tensão de limiar.

Uma tensão constante em temperatura pode ser obtida através da combinação linear entre tensões de limiar com natureza distinta (funções independentes). O princípio é ilustrado na figura 16.

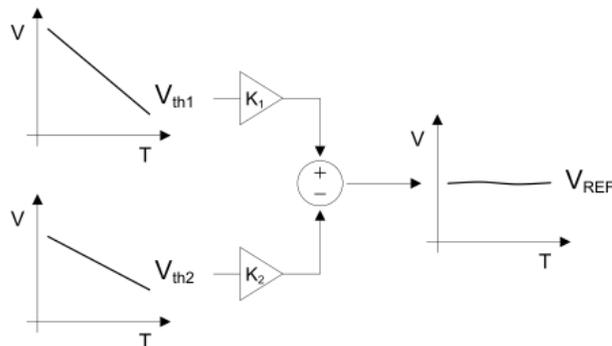


Figura 16 – Combinação entre tensões de limiar para geração de tensão de referência

A tensão de referência é obtida como:

$$V_{REF} = K_1 V_{th1} - K_2 V_{th2} \quad (2.46)$$

Conforme se observa na figura 16, a tensão de saída deve apresentar uma pequena não-linearidade decorrente do fato de que a tensão de limiar, na realidade, não é totalmente linear com a temperatura. No entanto, esta componente é normalmente desprezível em relação a outras fontes de erro.

A aplicação direta do princípio representado pela figura 16 sugere a integração de dois circuitos extratores de tensão de limiar e um circuito responsável pela operação de combinação. Uma alternativa mais econômica é obter a tensão de referência através da combinação linear entre duas tensões V_{GS} . Neste caso, o termo não-linear dependente da mobilidade corresponde a uma componente de erro que deve ser minimizada a um nível tolerável. A estratégia permite a aplicação de topologias mais simples e adequadas à condição de baixa tensão e baixo consumo.

Considerando um par de transistores M_1 e M_2 de natureza distinta, podemos escrever:

$$\begin{aligned}
 V_{REF} &= K_1 V_{GS1} - K_2 V_{GS2} \\
 \Rightarrow V_{REF} &= \underbrace{\left(K_1 V_{th1} - K_2 V_{th2} \right)}_{\text{TERMO LINEAR}} + \underbrace{\left(K_1 \sqrt{\frac{2I_1}{\mu_1 C_{OX} (W/L)_1}} - K_2 \sqrt{\frac{2I_2}{\mu_2 C_{OX} (W/L)_2}} \right)}_{\text{TERMO NÃO-LINEAR}} \quad (2.47)
 \end{aligned}$$

A equação (2.47) representa uma forma genérica para a combinação de transistores com diferentes tensões de limiar. Note que, para o caso particular em que os transistores apresentam tensões de limiar distintas, mas possuem mesma característica de mobilidade ($\mu = \mu_1 = \mu_2$), o termo não linear pode ser cancelado a partir do dimensionamento adequado das razões (W/L) e das correntes I_1 e I_2 . Isto justifica a maior aplicação do princípio em processos especiais que disponibilizam transistores com esta propriedade. Em processos CMOS convencionais, a razão entre os termos de mobilidade de transistores PMOS e NMOS não é constante em temperatura [93]. Neste caso, o termo não-linear pode ser apenas minimizado, não cancelado, constituindo-se em fonte de erro inerente ao circuito. No entanto, a perda em precisão pode ser compensada pela simplicidade de implementação.

2.5.3 Formas de implementação

Circuitos extratores de tensão de limiar variam em forma e complexidade. Como célula básica, podemos identificar em diversos trabalhos uma estrutura na forma representada na figura 17.

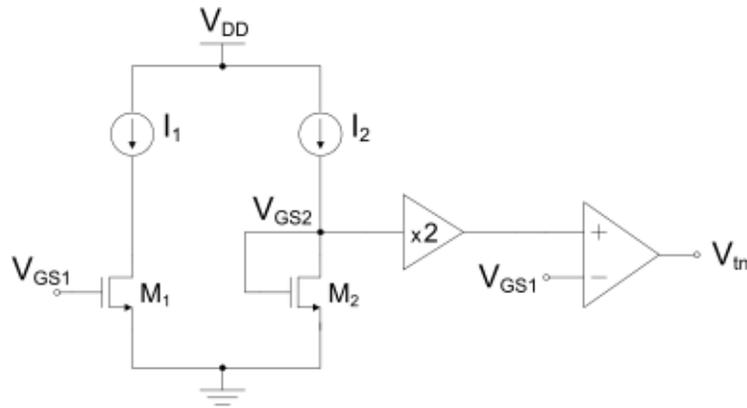


Figura 17 – Célula básica para extração de tensão de limiar de um transistor NMOS

Referindo-se ao circuito acima, com $I_1 = I_2$ e $(W/L)_2 = 4 \cdot (W/L)_1$, obtemos a saída $2V_{GS2} - V_{GS1} = V_{tn}$. Para a extração da tensão de limiar do transistor PMOS, uma célula análoga pode ser utilizada. Tipicamente, o ganho 2 aplicado à tensão V_{GS2} pode ser obtido simplesmente empilhando dois transistores idênticos [76][78][80][82][83]. Neste caso, quando transistores NMOS com corpo conectado ao substrato são empilhados (processos de único poço), técnicas adicionais devem ser aplicadas para compensar o efeito de corpo [80][82]. Uma alternativa para utilizar transistores NMOS com fonte aterrada (eliminando o efeito de corpo) é associá-los a uma malha resistiva em que a combinação de variáveis é feita em modo corrente e depois convertida novamente em tensão [78][84]. Para operação em baixa tensão, outras técnicas podem ser aplicadas para que não haja fisicamente um ponto de tensão igual a $2V_{GS}$ [85]. Finalmente, a extração da tensão de limiar com máxima precisão inclui diversas técnicas para minimizar efeitos de segunda ordem não previstos pela equação (2.43). Os circuitos propostos em [79][81] representam sistemas relativamente complexos que, entre outras sofisticações, garantem a polarização dos transistores no ponto de máxima derivada da característica $\sqrt{I_D} \times V_{GS}$, onde o comportamento real do transistor melhor se aproxima do previsto pela equação (2.43). Em resumo, circuitos extratores de tensão de limiar incluem desde topologias muito simples a sistemas complexos. Um estudo mais aprofundado do campo foge do escopo deste trabalho. Neste momento, é suficiente frisar que circuitos extratores de tensão de limiar são blocos disponíveis para projeto e incluem topologias adaptadas às condições de baixa-tensão e baixo-consumo.

A fonte de referência proposta em [92] é um exemplo de aplicação direta do conceito apresentado na figura 16. O circuito consiste na integração de dois circuitos extratores de tensão proporcional à tensão de limiar (um extrator PMOS e outro NMOS) e um circuito que realiza a subtração através de uma configuração clássica com amplificador operacional. O circuito não foi projetado para operação em baixa-tensão ou baixo-consumo, mas a mesma configuração poderia ser adaptada utilizando blocos de baixa-tensão. No entanto, embora os blocos individuais sejam simples, o circuito completo é relativamente grande. A fonte de referência proposta incorpora três amplificadores operacionais e um número significativo de resistores. Isto limita o potencial de aplicação de baixo consumo e sugere alto consumo de área (maior custo).

Como alternativa mais econômica, a combinação entre tensões de limiar pode ser feita implicitamente através da combinação entre tensões V_{GS} de transistores PMOS e NMOS, conforme a expressão (2.47). Neste caso, o termo dependente da mobilidade não é cancelado, mas corresponde a uma componente de erro que deve ser minimizada.

$$\begin{aligned}
 V_{REF} &= K_1 V_{GSN} - K_2 |V_{GSP}| \\
 \Rightarrow V_{REF} &= \underbrace{\left(K_1 V_{in} - K_2 |V_{tp}| \right)}_{\text{TERMO LINEAR}} + \underbrace{\left(K_1 \sqrt{\frac{2I_N}{\mu_n C_{OX} (W/L)_N}} - K_2 \sqrt{\frac{2I_P}{\mu_p C_{OX} (W/L)_N}} \right)}_{\text{TERMO NÃO-LINEAR}} \quad (2.48)
 \end{aligned}$$

A dependência térmica das tensões de limiar de transistores PMOS e NMOS varia entre processos. Nos trabalhos [93] e [89], topologias simples de fonte de referência são apresentadas com base na estabilidade térmica da diferença direta entre as tensões de limiar, ou seja, com $K_1 = K_2 = 1$. No entanto, os coeficientes térmicos correspondentes a transistores PMOS e NMOS em geral não são iguais, o que torna indicado efetuar uma diferença ponderada. A topologia proposta por Leung *et al* incorpora esta ponderação constituindo-se em solução com maior potencial de aplicação prática [90][91].

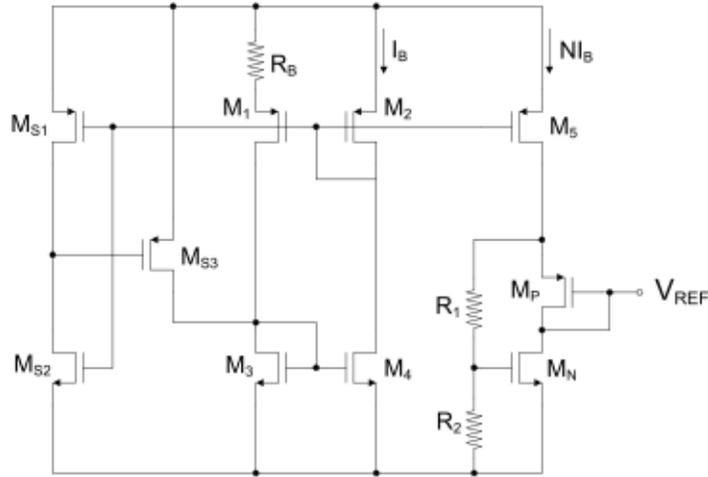


Figura 18 – Fonte de referência proposta por Leung *et al* [91]

No circuito da figura 18, os transistores M_{S1} - M_{S3} correspondem a um bloco *start-up*, M_1 - M_4 um bloco clássico para geração de corrente de polarização e os transistores M_P e M_N , polarizados por M_5 , correspondem ao núcleo da fonte de referência. O circuito simples implementa a função:

$$V_{REF} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{GSN} - |V_{GSP}| \quad (2.49)$$

A expressão acima corresponde à expressão (2.48) com $K_1 = (1 + R_1/R_2)$ e $K_2 = 1$. No processo adotado por Leung *et al* em [91], o coeficiente térmico de $|V_{tp}|$ possui maior valor absoluto que o correspondente a V_m . Portanto, é possível ajustar R_1 e R_2 para obter uma tensão de referência constante em primeira ordem. O termo não linear é minimizado através do dimensionamento adequado das razões (W/L) dos transistores M_P e M_N . A mínima tensão de alimentação V_{DDmin} é determinada pela condição de operação em saturação dos transistores no núcleo da fonte. Desta forma,

$$V_{DDmin} = V_{REF} + |V_{GSP}| + V_{DSsat5} \quad (2.50)$$

Os resultados experimentais apresentados em [91] demonstram que a não-linearidade associada ao não cancelamento dos termos dependentes da mobilidade não é excessiva. Um valor médio ou típico de coeficiente térmico de 36,9 ppm/°C sem calibração

é obtido para a tensão de saída na faixa de 0°C a 100°C. A tensão de referência tem valor típico baixo, próximo de 300mV, o que permite operação em baixa tensão. Com precisão moderada, o circuito representa uma solução econômica para implementação de fontes de referência de baixa tensão e baixo consumo.

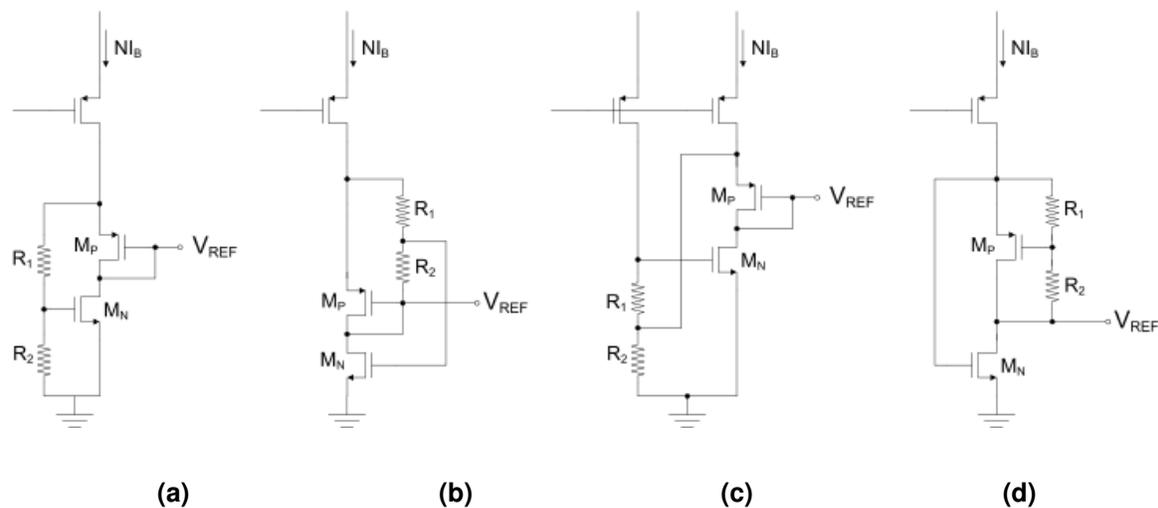


Figura 19 – Configurações do núcleo da fonte de referência:
 (a) $K_1 > 1$ e $K_2 = 1$; (b) $K_1 = 1$ e $K_2 < 1$; (c) $K_1 < 1$ e $K_2 = 1$; (d) $K_1 = 1$ e $K_2 > 1$

Leung *et al* prevêm a necessidade de outras configurações para definição das constantes K_1 e K_2 na expressão (2.48) segundo a característica de cada processo [90]. Isto é feito através de adaptações simples do núcleo de saída do circuito conforme esquematizado na figura 19. Com base no conjunto de opções possíveis, a proposta deve ser aplicável em qualquer processo CMOS convencional.

2.5.4 Considerações sobre aplicabilidade do princípio

A rigor, a tensão de limiar em transistores MOS não é totalmente linear. O modelo físico prevê termos de segunda ordem associados à tensão de Fermi na relação que descreve a dependência térmica da tensão de limiar [74]. Porém, na prática, a não-linearidade é muito pequena e normalmente não representa fonte de erro significativa. Modelos lineares são em geral adotados e as fontes dominantes de erro em circuitos reais estão normalmente associadas a outros fatores. Desta forma, a geração de sinais lineares com a temperatura com base na tensão de limiar de transistores MOS é conceitualmente válida. O desafio está

na extração (ou combinação implícita) do parâmetro com mínima incorporação de erros no processo. Estes erros sim podem ser excessivos dependendo da técnica aplicada.

Circuitos extratores de tensão de limiar são blocos amplamente discutidos na literatura. A aplicação destes blocos no projeto de sensores de temperatura ou fontes de referência pode se resumir a um processo de integração. No entanto, a simples integração de blocos resulta em sistemas excessivamente grandes. Não se justifica a aplicação tendo em vista a disponibilidade de outras técnicas, baseadas em outros princípios, que derivam circuitos menores (menor custo e consumo) com igual desempenho.

Por outro lado, a combinação implícita de tensões de limiar através da combinação de tensões V_{GS} tem maior potencial prático. A aplicação da técnica deriva topologias compactas e economicamente atraentes. Neste sentido, propostas semelhantes à de Leung *et al* merecem atenção. A técnica, bem explorada em processos não-convencionais, onde o termo não-linear pode ser cancelado, ainda deve evoluir como opção de projeto em processos CMOS convencionais. O desenvolvimento de técnicas para compensação da não-linearidade associada ao termo dependente da mobilidade neste tipo de circuito é um campo em aberto de pesquisa e desenvolvimento.

2.6 Outras técnicas e variantes

Nas seções anteriores, foram analisados os princípios com maior destaque na literatura para o projeto de fontes de referência e sensores de temperatura de baixa tensão, baixo consumo e adaptados a processos CMOS convencionais. Descrevemos, com certo nível de detalhe, os principais mecanismos de compensação térmica explorados em transistores bipolares e MOS (polarizados em forte ou fraca-inversão). Na prática, este campo de pesquisa e desenvolvimento se estende sobre inúmeras variações e casos particulares que não ambicionamos cobrir neste trabalho. No entanto, algumas técnicas adicionais, essencialmente baseadas nos conceitos anteriormente vistos, mas com nichos mais particulares de aplicação, serão brevemente discutidas a seguir. São incluídas como soluções interessantes de baixo consumo, baixa tensão, baixo custo, adaptadas a processos CMOS convencionais, comumente discutidas na literatura ou com bom potencial de

aplicação em sistemas inteligentes. Com isto, concluiremos nossa apresentação de uma coleção representativa de técnicas atualmente exploradas para o projeto de fontes de referência de tensão e sensores de temperatura CMOS.

2.6.1 Fontes de referência de tensão baseadas em transistores de porta flutuante FGMOS

O transistor MOS de porta flutuante ou FGMOS (*Floating-gate MOS*) é simplesmente um transistor MOS convencional cujo terminal de porta é conectado a apenas capacitores [3]. Em geral, são incluídas estruturas especiais para injeção ou extração de cargas do nó flutuante permitindo o ajuste (ou programação) da quantidade de carga armazenada na porta.

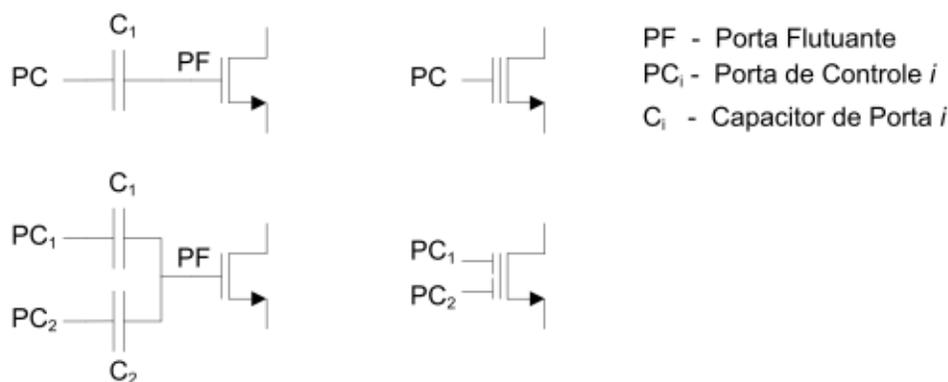
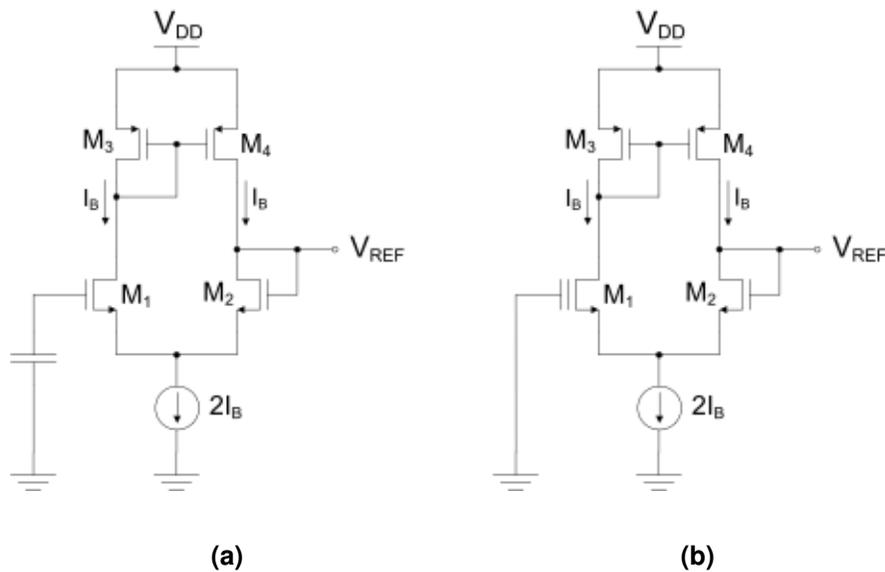


Figura 20 – Transistores FGMOS: configurações reais e símbolos correspondentes

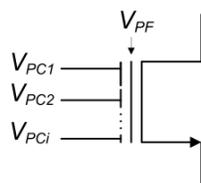
Considere um capacitor com capacitância C constante em temperatura. A tensão no capacitor, dada por $V = Q/C$, é constante e independente da temperatura enquanto a carga Q armazenada no capacitor permanecer fixa. O conceito foi explorado McCreary para o projeto de uma fonte de referência de tensão baseada na carga armazenada em um transistor FGMOS [94].



**Figura 21 – Fonte de referência proposta por McCreary [94]:
(a) notação convencional e (b) com símbolo FGMOS**

No circuito, os transistores M_1 e M_2 , com mesmas dimensões de canal e polarizados pelo mesmo valor de corrente, desenvolvem tensões V_{GS} iguais. Por inspeção do circuito, é fácil concluir que a tensão sobre o capacitor carregado é replicada na saída. Considerando que não haja perda de carga armazenada e que a capacitância não varie com temperatura, o circuito fornece uma tensão constante em temperatura. Note que a partir do ajuste da quantidade de carga armazenada na porta flutuante, o valor da tensão de referência é definido. Em outras palavras, o nível de tensão de referência é programável dentro da faixa de tensão definida pelos limites de operação em saturação dos transistores no circuito.

O transistor FGMOS possui uma interessante propriedade quando o terminal de porta flutuante é conectado a mais de um capacitor. Desconsiderando o efeito de capacitâncias parasitas e da capacitância de óxido da porta, a tensão efetiva de porta é dada pela média ponderada das tensões de controle (tensões nos terminais livres dos capacitores) somada ao termo dependente da carga armazenada. A propriedade permite efetuar uma combinação linear entre sinais de tensão utilizando um único transistor FGMOS além da soma de um termo constante de tensão devido à carga armazenada. Com base na notação apresentada na figura 20, uma expressão geral para o cálculo da tensão efetiva de porta é apresentada abaixo.



$$V_G = V_{PF} = \sum_i \frac{C_i}{C_T} V_{PCi} + \frac{Q_P}{C_T} \quad (2.51)$$

Na expressão, C_T é a soma de capacitâncias conectadas à porta flutuante e Q_P a carga armazenada na porta flutuante. Os capacitores de controle devem possuir valores de capacitância altos o suficiente para que capacitâncias parasitas e de óxido de porta sejam desprezíveis.

As propriedades descritas de transistores FGMOS foram exploradas por Cajueiro para o desenvolvimento de fontes de referência de tensão programáveis baseadas na combinação linear entre tensões V_{GS} de transistores NMOS distintos [3]. A figura abaixo ilustra a aplicação da técnica a partir de uma configuração adequada para operação em baixa tensão²⁰.

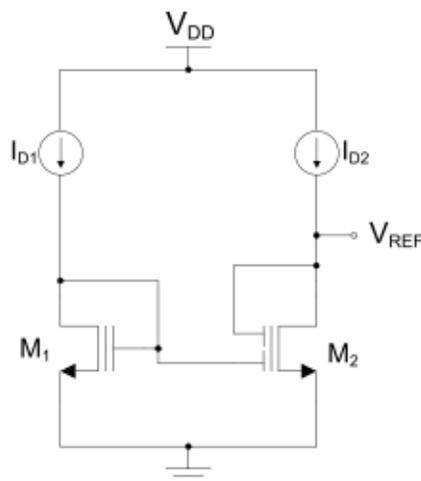


Figura 22 – Geração de tensão de referência com base transistores FGMOS [3]

Supondo valor nulo de carga armazenada nos transistores FGMOS e equacionando o circuito com base na expressão (2.51), obtemos:

²⁰ Em [3], Cajueiro utiliza dois transistores FGMOS, conectados conforme a figura 22, polarizados por fontes externas de corrente, para validação do conceito de geração de tensão de referência. A partir de correntes de polarização constantes com razão definida, obteve uma tensão de referência. No mesmo trabalho, apresenta algumas topologias completas (auto-polarizadas) baseadas no conceito, incluindo topologias sem transistores FGMOS, mas nenhuma adaptada à operação em baixa tensão.

$$V_{GS2} = \frac{V_{GS1} + V_{REF}}{2} \Rightarrow V_{REF} = 2V_{GS2} - V_{GS1} \quad (2.52)$$

A possibilidade de ajuste da carga armazenada nos transistores FGMOS resulta na soma (ou subtração) de um termo constante na expressão (2.52). A obtenção de uma tensão de referência com base na expressão (2.52) é retomada neste trabalho sem a aplicação de transistores FGMOS. O princípio será analisado no capítulo 3. Neste ponto, ressaltamos que a aplicação de transistores FGMOS permite implementar o princípio representado pela expressão (2.52) de forma simples e com a enorme vantagem da possibilidade de programação do nível de tensão de saída, através do ajuste da quantidade de carga armazenada nos transistores FGMOS. Porém, existem fortes restrições para o uso destes componentes, o que motiva a aplicação de outras configurações baseadas no conceito que não utilizem transistores FGMOS.

A principal restrição para utilização de transistores FGMOS está relacionada à condição de não perda de carga na porta flutuante. Cajueiro relata perdas significativas de carga em temperaturas altas, a partir de 80°C, que causam forte desvio na tensão de saída ao longo do tempo de exposição. Na prática, isto define um limite máximo de temperatura de operação, para fontes de referência baseadas em transistores FGMOS, abaixo dos limites alcançados com as demais técnicas apresentadas neste capítulo²¹. Isto reduz significativamente o nicho de aplicação de fontes de referência baseadas em transistores FGMOS. Outra restrição é a previsão de uma alta sensibilidade a ruído. A porta flutuante, constituindo um nó de alta impedância, é extremamente susceptível a acoplamento de ruído de alta frequência. Por exemplo, no caso do circuito na figura 22, mesmo considerando um baixo valor de capacitância de porta, podemos prever um alto acoplamento entre o terminal de porta e um substrato ruidoso, muito comum em sistemas de sinal misto. Finalmente, capacitores integrados normalmente apresentam uma fraca dependência da capacitância com a temperatura, o que limita a precisão.

²¹ Alguns trabalhos apresentam bons resultados experimentais de fontes de referência de tensão baseadas em transistores FGMOS sobre extensas faixas de temperatura. No entanto, é preciso considerar que a perda de cargas em altas temperaturas ocorre de forma gradual ao longo do tempo de exposição. Neste caso, procedimentos relativamente rápidos de medida não se alinham com aplicações reais em que um longo tempo de exposição resultaria em forte deriva do sinal de saída.

2.6.2 Fontes de referência com transistores DTMOSTs

O transistor DTMOST é simplesmente um transistor MOS comum com terminal de corpo conectado ao terminal de porta. Em um processo convencional CMOS com poço N e substrato P, apenas transistores DTMOST tipo P possuem aplicação prática, já que não há controle sobre o potencial de corpo (substrato) de transistores NMOS.



Figura 23 – Transistor DTMOST tipo P: notação convencional e símbolo DTMOST

A estrutura pode ser compreendida de duas formas. Primeiro, como um transistor MOS comum em que o potencial entre porta e fonte V_{GS} modula a tensão de limiar do transistor através da conexão com o corpo, efeito de onde se deriva o nome DTMOST (*dynamic threshold MOS transistor*). De outra forma, como um transistor bipolar lateral com o quarto terminal de porta conectado à base. Esta segunda interpretação nos permite analisar o transistor DTMOST como um transistor bipolar lateral modificado utilizando como referência a análise teórica apresentada na seção 2.2.

Em transistores DTMOST, o efeito do potencial no terminal de porta contribui no mesmo sentido que o potencial de base. Como consequência, o efeito da tensão V_{BE} é amplificado. Conforme descrito em [95], o transistor apresenta uma relação exponencial entre a corrente de coletor e a tensão base-emissor, análoga ao caso bipolar convencional. Porém, o termo correspondente à tensão *bandgap*, neste caso chamado “tensão *bandgap* aparente”, possui menor valor. Desta forma, transistores DTMOST podem ser utilizados em substituição a transistores bipolares em topologias clássicas de fontes de referência fornecendo uma tensão de referência “*bandgap*” adequada para baixa tensão. Com base neste princípio, Annema *et al* propuseram uma fonte de referência de tensão com transistores DTMOST cujo núcleo é apresentado na figura abaixo [95].

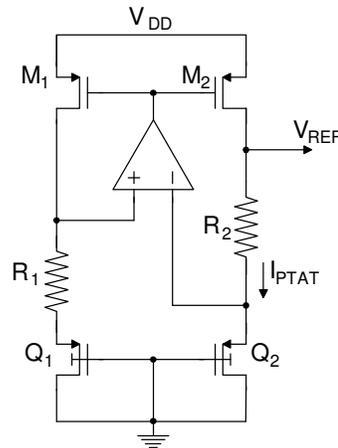


Figura 24 – Fonte de referência de baixa tensão proposta por Annema *et al*

O circuito implementa uma topologia bem conhecida, com transistores DTMOST no lugar de transistores bipolares tipo P²². Por inspeção do circuito, obtemos a expressão clássica de tensão de referência *bandgap*.

$$V_{ref} = V_{EB2} + \frac{R_2}{R_1} V_T \ln(N) \quad (2.53)$$

Embora o conceito apresentado seja simples, podemos prever sérias complicações relacionadas à aplicação de transistores DTMOST em fontes de referência de tensão. Como transistores bipolares laterais, transistores DTMOST compartilham as desvantagens descritas na seção 2.2.3, com destaque para não-idealidades provenientes de efeitos de superfície. Lembramos que o fluxo de portadores na região de interface entre óxido e semiconductor é passível de efeitos de superfície que degeneram o comportamento bipolar ideal. Em transistores bipolares laterais convencionais, o potencial de porta é normalmente superior ao potencial de base contribuindo para afastar o fluxo de portadores para o interior do Silício. No caso de transistores DTMOST, a diferença de potencial nula sugere que o efeito de superfície seja maior que no caso convencional. A carência de modelos precisos que descrevam estes efeitos prejudica o projeto com transistores DTMOST. Finalmente, em

²² Annema *et al* também exploram as propriedades do transistor DTMOST no projeto do amplificador de erro. O par de entrada do amplificador é implementado com transistores DTMOST para obter maior faixa dinâmica de entrada para operação em baixa tensão.

processos CMOS convencionais, a disponibilidade apenas de transistores DTMOST tipo P não favorece a implementação de topologias compactas e de baixa complexidade.

2.6.3 Sensores de temperatura baseados em linha de atraso

Linhas de atraso são estruturas comuns em circuitos integrados digitais. Tipicamente, consistem em cadeias de inversores pela qual um sinal digital na entrada demora certo tempo para se propagar à saída.

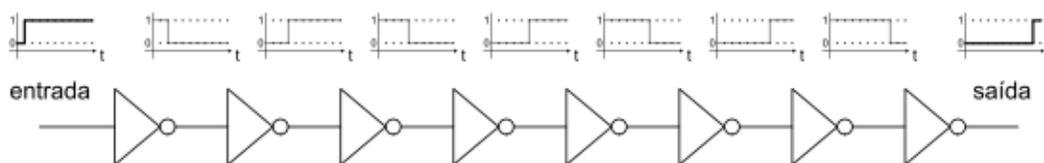


Figura 25 – Linha de atraso implementada por cadeia de inversores

O tempo de atraso da cadeia corresponde à soma dos tempos de propagação de cada porta inversora. Este tempo depende essencialmente do tempo de carga e descarga da capacitância associada ao nó de saída da porta lógica. Considerando valores de capacitância estáveis em temperatura, é possível determinar a característica térmica do tempo de propagação a partir do controle das correntes de carga e descarga fornecidas pelo inversor. Para tanto, o inversor deve ser implementado com capacidade de corrente controlada conforme esquema abaixo.

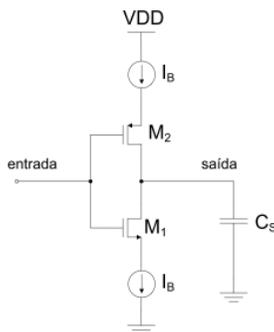


Figura 26 – Porta inversora com corrente controlada

No circuito da figura 26, em relação à configuração tradicional de um inversor, foram acrescentadas fontes de corrente I_B entre os terminais de fonte dos transistores e os

nós de alimentação. O capacitor C_S representa a capacitância equivalente associada ao nó de saída. Idealmente, quando há comutação do nível lógico na entrada, os transistores M_1 e M_2 atuam como chaves carregando ou descarregando C_S com corrente definida pelas fontes. O tempo de carga ou descarga do capacitor e, conseqüentemente, o tempo de atraso da cadeia, é inversamente proporcional à corrente I_B . Supondo transições abruptas e limiar de transição constante em temperatura, a relação térmica do tempo de atraso da cadeia será determinada pela dependência térmica da corrente. Com corrente inversamente proporcional à temperatura, o tempo de atraso será diretamente proporcional à temperatura. Uma linha de atraso constante em temperatura pode ser construída com fontes de corrente constante.

A partir deste ponto, fica claro que o maior desafio para o controle do comportamento térmico de uma linha de atraso está no projeto de fontes de corrente com a característica térmica necessária. Neste sentido, existem propostas que aplicam técnicas variadas, mas que estão essencialmente relacionadas aos princípios apresentados neste capítulo. Em [73], a geração de correntes inversamente proporcionais à temperatura em células inversoras de uma linha de atraso tem base no conceito de operação na região próxima do ponto ZTC (vide seção 2.4). Em [96], transistores MOS em fraca inversão são utilizados para a geração de correntes em um sensor de temperatura inteligente, de baixa tensão e baixo consumo, baseado em linhas de atraso. Um estudo completo de fontes de corrente está fora do escopo deste trabalho. No entanto, destacamos que é comum a geração de correntes a partir da conversão de sinais de tensão, obtidos com base nas técnicas apresentadas, em correntes, através de etapas adicionais de processamento analógico ou utilizando resistores. Isso acrescenta erros e não-idealidades em relação aos sinais de tensão, o que confere maior dificuldade para a geração de correntes de referência.

Sensores de temperatura inteligentes podem ser construídos com base na dependência térmica de uma linha de atraso. Alternativamente, a cadeia pode ser conectada em forma de anel (com número ímpar de inversores) para a geração de um sinal periódico com frequência dependente da temperatura. O tempo de atraso ou frequência pode ser medido por rotinas de temporização, no âmbito de processamento digital. Isto dispensa a etapa de conversão analógico-digital simplificando significativamente o sistema. Circuitos de baixa tensão, baixo consumo, plenamente compatíveis com blocos digitais, podem ser

corte com tensão $V_{GS} = 0$. Um pulso lógico de nível baixo é aplicado na entrada conectando o capacitor C_1 ao nó de tensão V_{DD} e provocando uma transição de subida na saída. Quando M_2 entra em corte, a carga armazenada no capacitor escoar lentamente, devido a correntes de fuga, resultando em queda do potencial no nó central. Quando a tensão cai além do limiar associado à entrada do inversor M_3 - M_4 , o estado de saída do inversor comuta. Como resultado, um pulso lógico na saída com largura dependente do tempo de descarga do capacitor é obtido. O processo é semelhante ao discutido para linhas de atraso em que o tempo medido da descarga de um capacitor reflete o comportamento térmico da corrente de descarga. Neste caso, a corrente de descarga corresponde à somatória das correntes de fuga associadas aos componentes do circuito, cuja característica térmica é modelada.

Dentre as componentes de corrente associadas à descarga do capacitor, destacam-se as correntes de tunelamento (através do óxido de C_1 e nas portas de M_3 e M_4), as correntes de junção reversas (nas junções difusão-corpo de M_1 e M_2) e as correntes de difusão entre dreno e fonte (correntes de fraca inversão através de M_1 e M_2). Segundo Ituero *et al*, a componente por difusão é dominante, o que resulta em um comportamento exponencial da corrente de descarga do capacitor em função da temperatura. Desprezando, portanto, as demais componentes de corrente, o equacionamento do circuito pode ser feito com base na teoria de fraca-inversão apresentada na seção 2.3.

No circuito apresentado, na condição de descarga do capacitor, ambos os transistores M_1 e M_2 operam com diferença de potencial nula entre porta e fonte. Desta forma, a corrente através de M_1 segue a expressão:

$$I_D \cong I_{D0} \exp\left(\frac{V_G - nV_S}{nU_t}\right) \cdot \left[1 - \exp\left(-\frac{V_D - V_S}{U_t}\right)\right]$$

$$\Rightarrow I_{D1} \cong I_{D10} \cdot \left[1 - \exp\left(-\frac{V_{DS1}}{U_t}\right)\right] \quad (2.54)$$

A corrente através de M_2 segue expressão análoga com polaridades adaptadas para o caso PMOS.

No instante inicial de descarga, o transistor M_1 possui máxima tensão $V_{DS1} = V_{DD}$, conduzindo máximo valor de corrente, enquanto M_2 não conduz ($V_{DS2} = 0$). Durante a descarga, o transistor M_2 tende a conduzir corrente no sentido de carga do capacitor. Na prática, os transistores M_1 e M_2 são dimensionados de tal forma que a corrente através M_2 seja a mínima possível o que nos permite desprezá-la no equacionamento. O limiar de transição do inversor M_3 - M_4 deve ser alto o suficiente para que a corrente mínima, através de M_1 , seja bem superior a outras componentes de fuga no ponto de comutação. Desta forma, o tempo de descarga e, conseqüentemente, a largura do pulso de saída, são determinados essencialmente pelo comportamento térmico da corrente sub-limiar que flui através de M_1 .

O comportamento térmico da expressão (2.54) é complexo, especialmente quando se considera valor nulo de V_{GS} , condição em que efeitos de segunda ordem são mais proeminentes. Na prática, Ituero *et al* adotam uma expressão empírica para descrever a dependência térmica da corrente de fuga. No entanto, a relação complexa pode ser tratada no âmbito de processamento digital já que o processamento do sinal de saída, semelhante ao caso de linhas de atraso, dispensa etapas de conversão analógico-digital. Como resultado, teremos um circuito de pequena área, muito baixo consumo e adaptado a sistemas digitais.

Uma rápida análise das fontes de erro associadas ao circuito da figura 27 nos faz prever um baixo nível de precisão e alto espalhamento em circuitos baseados neste princípio. A técnica compartilha as mesmas fontes de erro associadas a linhas de atraso e acrescenta novos erros associados às componentes desconsideradas de corrente de fuga. Circuitos convencionais baseados em fraca-inversão possuem transistores polarizados com tensões V_{GS} pouco abaixo de V_{th} . No caso do circuito da figura 27, a tensão nula entre porta e fonte resulta em valores muito menores de corrente de difusão o que aumenta consideravelmente o efeito de outras fontes de corrente na resposta do circuito. Correntes de junção reversa e tunelamento são crescentes com temperatura o que sugere menor precisão em altas temperaturas. Em contrapartida, o circuito é compacto e tem consumo de apenas alguns nanowatts, próximo do característico de perdas em portas lógicas digitais (resultantes dos mesmos mecanismos de corrente). Para integração em sistemas com baixa

demanda de precisão, a simplicidade e economia associada à técnica a tornam um opção interessante quando se almeja o mínimo consumo possível.

2.7 Conclusões

O objetivo deste capítulo foi compor uma coleção representativa dos conceitos principais explorados para o projeto de fontes de referência de tensão e sensores de temperatura CMOS de baixo consumo e baixa tensão. Nosso foco de aplicação é o mercado de larga escala, caracterizado pelo crescimento de sistemas de sinal misto, em que circuitos analógicos e digitais compartilham o mesmo substrato de integração. Neste sentido, alinhados a exemplos práticos atuais e técnicas discutidas na literatura, foram analisados os principais mecanismos de dependência térmica em transistores integrados de processos CMOS convencionais. A técnica consolidada baseada na aplicação de transistores bipolares foi discutida sobre o prisma de aplicações de baixa tensão, baixo consumo e baixo custo, o que nos permitiu compreender a demanda por técnicas alternativas para o desenvolvimento de circuitos mais compactos e econômicos. Neste sentido, o comportamento térmico do transistor MOS foi analisado nas condições de fraca e forte-inversão. Além da análise teórica e ilustração prática de cada conceito, incluímos a discussão de fatores positivos e negativos associados a cada técnica em um esforço para facilitar a comparação e a escolha consciente dentre as opções disponíveis, considerando as características de cada aplicação.

Nos próximos capítulos, contribuímos para este campo de pesquisa e desenvolvimento, propondo uma nova topologia de fonte de referência de tensão com sensor de temperatura integrado CMOS, de baixa tensão e baixo consumo.

Capítulo 3

Nova topologia de fonte de referência de tensão com sensor de temperatura integrado CMOS

3.1 Introdução

No capítulo anterior, apresentamos um coleção de técnicas, discutidas na literatura, para o projeto de fontes de referência e sensores de temperatura de baixa tensão, baixo consumo e com implementação em processos CMOS convencionais. Foi visto que a tradicional solução baseada em transistores bipolares apresenta fortes limitações quando analisada sob os quesitos de baixa tensão, baixo consumo e baixo custo (mínima área em Silício). Isto tem motivado o desenvolvimento de outras técnicas, na maior parte baseadas nas características térmicas de transistores MOS, para o projeto de topologias mais simples e melhor adaptadas a estas condições. Neste contexto, contribuímos com a proposta de uma nova topologia de fonte de referência de tensão com sensor de temperatura integrado, totalmente MOS, baseada no princípio proposto por Cajueiro em [3]. A topologia é adequada para aplicações de baixa tensão e baixo consumo, sendo bastante simples e compacta, e nos servirá como base para um estudo experimental do princípio explorado.

3.2 Princípio

O princípio proposto por Cajueiro consiste em obter uma tensão de referência a partir da combinação entre tensões V_{GS} de dois transistores NMOS que produza:

$$V_{REF} = 2V_{GS2} - V_{GS1} \quad (3.1)$$

Na expressão, V_{GS1} e V_{GS2} são as tensões entre porta e fonte de transistores M_1 e M_2 , respectivamente.

A partir do dimensionamento adequado dos transistores e das correntes de polarização, é possível obter uma tensão de referência V_{REF} , com derivada aproximadamente nula em temperatura, a partir da combinação expressa em (3.1). O princípio foi explorado por Cajueiro em [3] com ênfase na aplicação de transistores de porta flutuante para a implementação de fontes de referência de tensão com nível de saída programável²³. As topologias apresentadas por Cajueiro operam com níveis convencionais de tensão de alimentação, não menores que 2V. O transistor de porta flutuante apresenta perdas significativas de carga armazenada em temperaturas acima de 80°C, o que resulta em um limite máximo de temperatura, de operação confiável, relativamente baixo.

Com base na expressão (3.1), utilizada por Cajueiro, mas sob outro contexto de aplicação, a topologia proposta neste trabalho foi desenvolvida para operação em baixa tensão, adota uma estratégia diferente para geração de correntes de polarização, almeja ampla faixa de temperatura de operação, utilizando apenas transistores MOS convencionais, e agrega a geração de um sinal para sensoriamento de temperatura. Representa uma solução compacta para geração dos sinais de base em sensores de temperatura inteligentes.

²³ Vide seção 2.6.1

3.3 Topologia proposta

A topologia proposta neste trabalho está apresentada na figura 28.

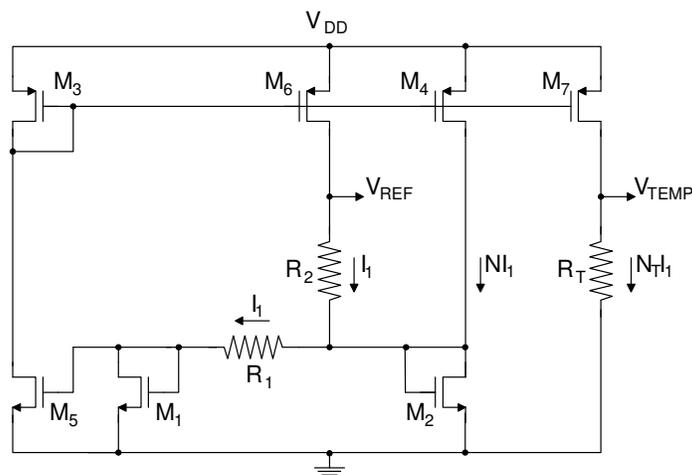


Figura 28 – Nova topologia de fonte de referência de tensão e sensor de temperatura CMOS

O circuito auto-polarizado na figura 28 fornece duas saídas: a tensão de referência V_{REF} (aproximadamente constante com a temperatura) e a tensão de sensoriamento térmico V_{TEMP} (aproximadamente linear com a temperatura, com derivada positiva).

No circuito, os transistores M_1 e M_5 são idênticos, formando um espelho de corrente de razão unitária. Os transistores M_3 e M_6 também formam um espelho de corrente de razão unitária. O espelho de corrente formado por M_3 e M_4 possui ganho $N > 1$. O espelho de corrente formado por M_3 e M_7 possui ganho N_T . Por inspeção do circuito, observe que a corrente de dreno I_1 do transistor M_1 é replicada pelo transistor M_6 . Nestas condições, toda a corrente através de M_4 (NI_1) é direcionada para o transistor M_2 . Idealmente, não há corrente através do ramo que conecta R_1 e R_2 ao transistor M_2 . Na prática, entretanto, é inevitável a ocorrência de uma corrente residual neste ramo em consequência de descasamentos e da sensibilidade dos ganhos dos espelhos aos efeitos de modulação de canal (desprezados na descrição acima). Sendo assim, o projeto deve garantir o melhor casamento possível entre os espelhos de corrente para que estas correntes (componentes de erro) possam ser desconsideradas no equacionamento.

O núcleo do circuito é composto pelos transistores M_1 , M_2 e pelos resistores R_1 e R_2 . Definindo $R_1 = R_2 = R$, obtemos:

$$I_1 = \frac{V_{GS2} - V_{GS1}}{R} \quad (3.2)$$

$$V_{REF} = V_{GS2} + RI_1 \Rightarrow V_{REF} = 2V_{GS2} - V_{GS1} \quad (3.3)$$

Note que o circuito implementa a expressão (3.1) sem o desenvolvimento de potenciais reais de tensão superiores à V_{REF} , o que possibilita a operação em baixa tensão. A corrente I_1 é proporcional à diferença entre as tensões V_{GS2} e V_{GS1} . Será visto adiante que esta diferença pode ser feita aproximadamente linear e crescente com a temperatura. Esta propriedade é explorada para a geração de um sinal de sensoriamento térmico, o sinal de saída V_{TEMP} , que é obtido através da conversão do sinal de corrente I_1 em tensão pelo resistor R_T , conforme a expressão abaixo.

$$\begin{aligned} V_{TEMP} &= N_T I_1 R_T \\ \Rightarrow V_{TEMP} &= N_T \frac{R_T}{R} (V_{GS2} - V_{GS1}) \end{aligned} \quad (3.4)$$

O *loop* formado pelos transistores M_2 , M_5 , M_3 e M_4 é responsável pela estabilização do circuito no ponto de operação desejado. Considere, por exemplo, transistores M_2 e M_5 com mesmas dimensões. Para valores muito pequenos de corrente em todos os ramos, os potenciais de porta aproximadamente iguais de M_2 e M_5 resultam na condução de correntes praticamente iguais. No entanto, o espelho formado por M_3 e M_4 força um ganho de corrente $N > 1$ como forma de realimentação positiva. A corrente no *loop* aumenta até que a queda de tensão em R_1 compense o ganho N do espelho PMOS. Neste ponto, o circuito estabiliza na condição normal de operação²⁴.

Existe um segundo ponto estável correspondente à condição de corrente nula através dos transistores. Na prática, fontes de ruído externo são geralmente suficientes para forçar o início do processo de estabilização no ponto normal de operação. Mesmo assim, recomenda-se adicionar um circuito periférico, denominado bloco *start-up*, que elimina a

²⁴ Com transistores M_2 e M_5 distintos, o ganho do *loop* com baixa corrente é o produto dos ganhos associados aos espelhos M_2 - M_5 e M_3 - M_4 , que deve ser maior que 1 para garantir estabilização.

condição de equilíbrio de corrente nula, garantindo a inicialização do circuito de forma mais robusta.

3.4 Equacionamento

Nesta seção, enfocamos o desenvolvimento matemático que permite prever o comportamento térmico dos elementos do circuito proposto. Apresentamos os modelos que descrevem a característica térmica dos componentes do núcleo do circuito. Em seguida, obtemos as expressões que descrevem a dependência térmica das tensões de saída V_{TEMP} e V_{REF} . Finalmente, o método de projeto e o comportamento previsto destas tensões são apresentados com base no processo CMOS convencional escolhido para fabricação de protótipos.

3.4.1 Modelos de comportamento térmico dos componentes do núcleo

Desconsiderando o efeito de modulação de canal, a operação do transistor NMOS em saturação e forte-inversão é expressa por:

$$I_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{GS} - V_m)^2 \quad (3.5)$$

$$V_{GS} = \sqrt{\frac{2}{C_{OX}} \frac{L}{W} \frac{I_D}{\mu_n}} + V_m \quad (3.6)$$

Onde μ_n é a mobilidade efetiva de portadores, C_{OX} a capacitância do óxido por unidade de área, W a largura do canal, L o comprimento do canal e V_m a tensão de limiar do transistor NMOS.

Considerando W , L e C_{OX} constantes, a dependência térmica da relação $I_D(V_{GS})$ é consequência das grandezas μ_n e V_m que se relacionam com a temperatura através das expressões:

$$\mu_n(T) = \mu_{n0} \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \quad (3.7)$$

$$V_m = V_{m0} + \alpha_{v_m} (T - T_0) \quad (3.8)$$

Onde μ_{n0} , α_{μ_n} , V_{m0} e α_{v_m} são constantes de processo, T a temperatura em Kelvin de operação e T_0 a temperatura de referência (normalmente, 300K).

O comportamento do resistor integrado com a temperatura é aproximado por uma relação linear simples, na forma:

$$R = R_0 [1 + \alpha_R (T - T_0)] \quad (3.9)$$

Onde R_0 é o valor da resistência na temperatura T_0 e α_R é uma constante de processo.

3.4.2 Tensão de saída proporcional à temperatura

Conforme a expressão (3.4), a tensão de saída V_{TEMP} é obtida a partir da operação:

$$V_{TEMP} = N_T I_1 R_T \quad (3.10)$$

Usando a expressão (3.6), o termo de corrente I_1 pode ser expandido conforme o equacionamento abaixo.

$$\begin{aligned} I_1 &= \frac{V_{GS2} - V_{GS1}}{R} = \frac{1}{R} \left(\sqrt{\frac{2}{Cox} \frac{L_2}{W_2} \frac{NI_1}{\mu_n}} + V_m - \sqrt{\frac{2}{Cox} \frac{L_1}{W_1} \frac{I_1}{\mu_n}} - V_m \right) \\ \Rightarrow I_1 &= \frac{1}{R} \sqrt{\frac{2}{Cox}} \sqrt{\frac{1}{\mu_n}} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \sqrt{I_1} \\ \Rightarrow \sqrt{I_1} &= \frac{1}{R} \sqrt{\frac{2}{Cox}} \sqrt{\frac{1}{\mu_n}} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \\ \Rightarrow I_1 &= \frac{1}{R^2} \frac{2}{Cox} \frac{1}{\mu_n} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right)^2 \end{aligned} \quad (3.11)$$

Substituindo na expressão (3.10), obtemos:

$$V_{TEMP} = N_T \frac{R_T}{R^2} \frac{2}{Cox} \frac{1}{\mu_n} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right)^2 \quad (3.12)$$

A partir das expressões (3.7), (3.8), (3.9) e (3.12), obtemos a expressão que descreve o comportamento térmico do sinal de saída V_{TEMP} :

$$V_{TEMP} = K_T \frac{T^{-\alpha_m}}{1 + \alpha_R(T - T_0)} \quad (3.13)$$

Onde o termo constante K_T é dado por,

$$K_T = N_T \frac{R_{T0}}{R_0^2} \frac{2}{Cox} \frac{T_0^{\alpha_m}}{\mu_{n0}} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right)^2 \quad (3.14)$$

3.4.3 Tensão de Referência

Conforme a expressão (3.3), a tensão de referência é obtida a partir da operação abaixo, da forma proposta por Cajueiro em [3].

$$V_{REF} = 2V_{GS2} - V_{GS1} \quad (3.15)$$

Substituindo (3.6) em (3.15), obtemos:

$$\begin{aligned} V_{REF} = 2V_{GS2} - V_{GS1} &= 2 \cdot \left(\sqrt{\frac{2}{Cox} \frac{L_2}{W_1} \frac{NI_1}{\mu_n}} + V_m \right) - \left(\sqrt{\frac{2}{Cox} \frac{L_1}{W_1} \frac{I_1}{\mu_n}} + V_m \right) \\ \Rightarrow V_{REF} &= \sqrt{\frac{2}{Cox} \frac{I_1}{\mu_n}} \left(2 \sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) + V_m \end{aligned} \quad (3.16)$$

Neste ponto, diferenciamos nossa proposta do que foi apresentado por Cajueiro, utilizando uma diferente estratégia para a geração da corrente de polarização I_1 . Enquanto Cajueiro utiliza uma corrente proporcional a uma tensão V_{GS} , geramos a corrente I_1 a partir da diferença entre tensões V_{GS} , conforme expresso em (3.2), obtendo uma diferente

característica de segunda ordem do sinal de saída V_{REF} . Desta forma, substituindo (3.11) em (3.16), obtemos:

$$V_{REF} = \sqrt{\frac{2}{C_{ox}} \frac{1}{\mu_n}} \cdot \frac{1}{R} \sqrt{\frac{2}{C_{ox}}} \sqrt{\frac{1}{\mu_n}} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \cdot \left(2 \sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) + V_m$$

$$\Rightarrow V_{REF} = \left[\frac{2}{C_{ox}} \cdot \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \cdot \left(2 \sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \right] \cdot \frac{1}{R \cdot \mu_n} + V_m \quad (3.17)$$

Substituindo as expressões (3.7), (3.8) e (3.9) na expressão (3.17), obtemos a expressão que descreve o comportamento térmico da tensão de referência V_{REF} .

$$V_{REF} = K_{R2} \frac{T^{-\alpha_{\mu n}}}{(1 + \alpha_R (T - T_0))} + K_{R1} T + K_{R0} \quad (3.18)$$

Onde as constantes K_{R2} , K_{R1} e K_{R0} são dadas por:

$$K_{R2} = \frac{1}{R_0} \frac{2}{C_{ox}} \frac{T_0^{\alpha_{\mu n}}}{\mu_{n0}} \left(\sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right) \cdot \left(2 \sqrt{\frac{NL_2}{W_2}} - \sqrt{\frac{L_1}{W_1}} \right)$$

$$K_{R1} = \alpha_{vth} \quad (3.19)$$

$$K_{R0} = V_{th0} - \alpha_{vth} T_0$$

O comportamento descrito pela expressão (3.18) é diferente do previsto por Cajueiro em [3], dada a diferente característica térmica da corrente de polarização. Acreditamos que a mudança de estratégia para a geração de corrente, resulta em melhor característica térmica do sinal de referência. Com isso, estendemos e agregamos valor ao princípio originalmente proposto por Cajueiro.

3.4.4 Comportamento previsto na tecnologia de implementação

Nesta seção, apresentamos gráficos que representam o comportamento térmico dos sinais de saída do circuito proposto, conforme previsto pelas expressões obtidas nas seções anteriores. Consideramos os valores das constantes do processo CMOS AMS 0,35 μ m, disponibilizados pelo fabricante, que reproduzimos a seguir.

$$\begin{aligned}
 \mu_{n0} &= 370 \text{ cm}^2/\text{Vs}; & \alpha_{\mu n} &= -1,8 \\
 V_{th0} &= 0,5 \text{ V}; & \alpha_{vth} &= -1,1 \text{ mV/K} \\
 \alpha_R &= 0,59 \cdot 10^3 / \text{K}; & C_{ox} &= 4,54 \text{ fF}/\mu\text{m}^2
 \end{aligned}
 \tag{3.20}$$

Para prever o comportamento térmico do sinal de saída V_{TEMP} , utilizamos a expressão (3.13), que repetimos abaixo:

$$V_{TEMP} = K_T \frac{T^{-\alpha_{\mu n}}}{1 + \alpha_R(T - T_0)}
 \tag{3.21}$$

Embora a função não seja linear, na prática, o comportamento previsto pela expressão (3.21) é aproximadamente linear na faixa de temperatura de interesse, conforme se observa no gráfico abaixo, que contém curvas traçadas com $12\text{E-6} \leq K_T \leq 22\text{E-6}$ e demais parâmetros com os valores explicitados em (3.20).

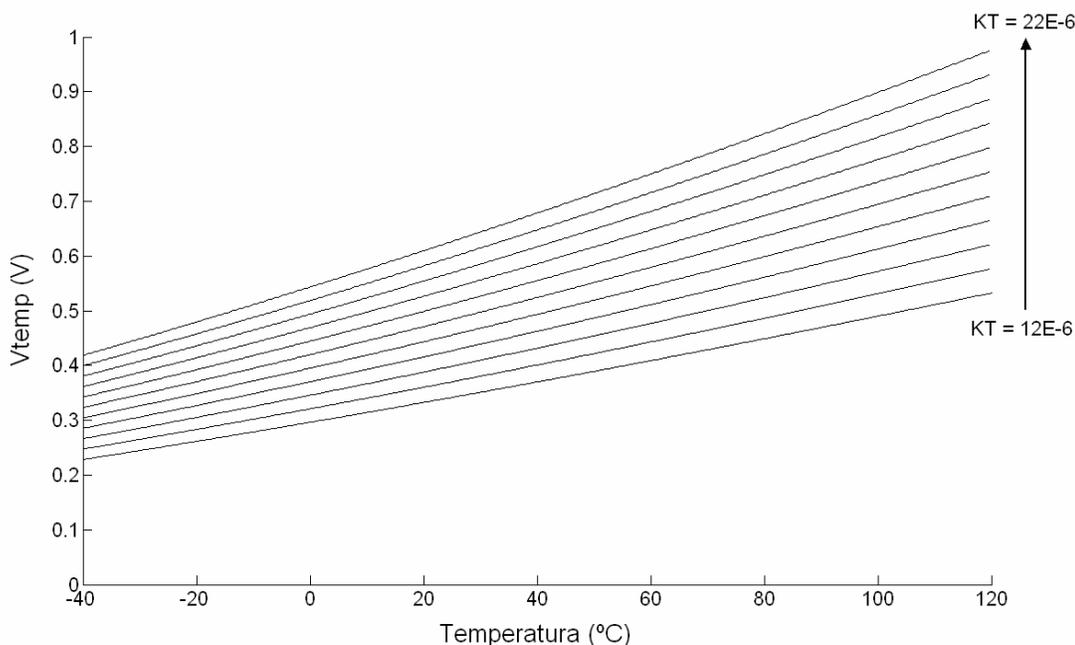


Figura 29 – Tensão de saída V_{TEMP} em função da temperatura parametrizada por K_T

O coeficiente térmico do sinal de tensão V_{TEMP} é definido através do dimensionamento dos vários parâmetros de projeto presentes na expressão (3.14), que determinam o valor da constante K_T . Isto permite uma variedade de possibilidades para o

projeto de um sistema de ajuste (ou *trimming*). Na prática, o coeficiente térmico é normalmente ajustado de tal forma que o valor de tensão V_{TEMP} coincida com o valor nominal da tensão de referência V_{REF} na temperatura máxima de operação. Isto facilita uma etapa posterior de conversão analógico-digital necessária para o processamento digital das medidas de temperatura. Desta forma, manipulando a expressão (3.21), o cálculo do valor ótimo da constante K_T é feito com base na expressão:

$$K_T = V_{REF}(T_0) \cdot \frac{(1 + \alpha_R(T_{\max} - T_0))}{T_{\max}^{-\alpha_{\mu}}} \quad (3.22)$$

Para prever o comportamento do sinal de referência V_{REF} em função da temperatura, utilizamos a expressão (3.18), que reproduzimos abaixo:

$$V_{REF} = K_{R2} \frac{T^{-\alpha_{\mu}}}{(1 + \alpha_R(T - T_0))} + K_{R1}T + K_{R0} \quad (3.23)$$

Neste caso, os valores de K_{R1} e K_{R0} são determinados por constantes do processo, enquanto o valor da constante K_{R2} é definido, no projeto, a partir do dimensionamento dos parâmetros presentes na expressão correspondente em (3.19).

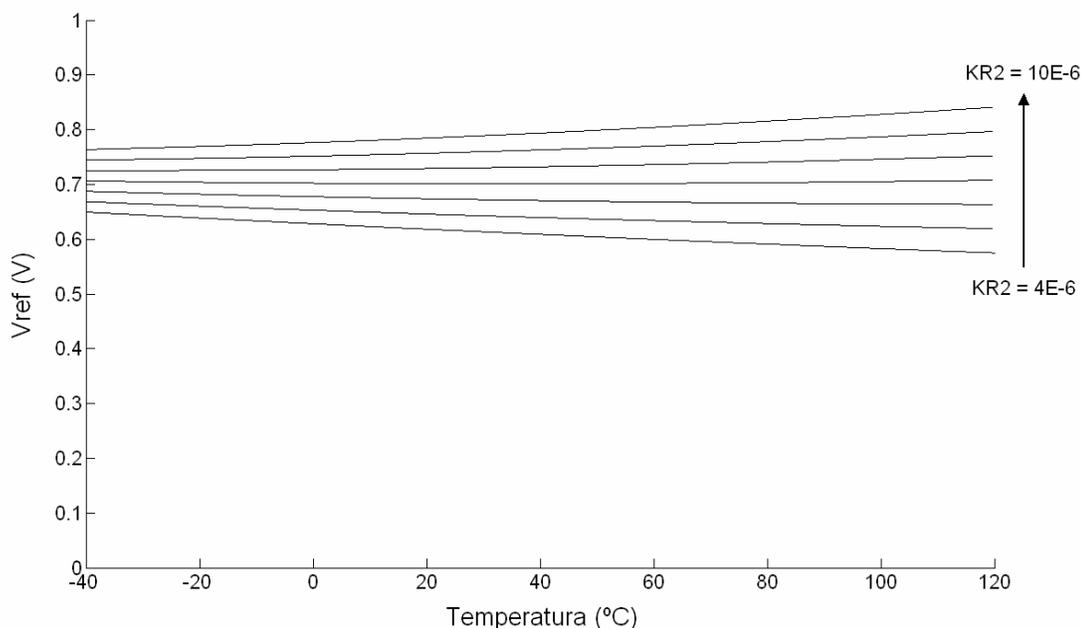


Figura 30 – Tensão de saída V_{REF} em função da temperatura parametrizada por K_{R2}

No gráfico acima, observamos que a função V_{REF} pode ser aproximada por uma reta com inclinação controlada pelo valor da constante K_{R2} . Novamente, isso confere várias possibilidades para um sistema de ajuste. Observe que o coeficiente térmico de primeira ordem de V_{REF} pode ser definido desde valores negativos a positivos. Portanto, existe um valor ótimo de K_{R2} que aproxima a função a um patamar horizontal, caracterizando uma tensão de referência. Este valor ótimo de K_{R2} corresponde à condição de melhor compensação térmica entre os dois primeiros termos da soma na expressão (3.23).

O valor ótimo da constante K_{R2} pode ser obtido impondo a condição de coeficiente térmico nulo de V_{REF} na temperatura de referência T_0 . Derivando a expressão (3.23) em função da temperatura, obtemos:

$$\begin{aligned}
 \frac{\partial V_{REF}}{\partial T} &= \frac{\partial}{\partial T} \left(K_{R2} \frac{T^{-\alpha_{\mu n}}}{(1 + \alpha_R(T - T_0))} + K_{R1}T + K_{R0} \right) \\
 \Rightarrow \frac{\partial V_{REF}}{\partial T} &= K_{R2} \frac{\partial}{\partial T} \left(\frac{T^{-\alpha_{\mu n}}}{(1 + \alpha_R(T - T_0))} \right) + K_{R1} \\
 \Rightarrow \frac{\partial V_{REF}}{\partial T} &= K_{R2} \left(\frac{-\alpha_{\mu n} T^{-(\alpha_{\mu n} + 1)}(1 + \alpha_R(T - T_0)) - \alpha_R T^{-\alpha_{\mu n}}}{(1 + \alpha_R(T - T_0))^2} \right) + K_{R1} \quad (3.24)
 \end{aligned}$$

A condição de coeficiente térmico nulo na temperatura de referência T_0 equivale a igualar a zero a expressão (3.24) com $T=T_0$. Desta forma, obtemos a expressão do valor ótimo da constante K_{R2} , conforme segue abaixo.

$$\begin{aligned} \left. \frac{\partial V_{REF}}{\partial T} \right|_{T=T_0} &= K_{R2} \left(-\alpha_{\mu n} T_0^{-(\alpha_{\mu n}+1)} - \alpha_R T_0^{-\alpha_{\mu n}} \right) + K_{R1} = 0 \\ \Rightarrow K_{R2} &= -K_{R1} \left(\frac{1}{-\alpha_{\mu n} T_0^{-(\alpha_{\mu n}+1)} - \alpha_R T_0^{-\alpha_{\mu n}}} \right) \end{aligned} \quad (3.25)$$

A partir das expressões (3.19) e (3.25), substituindo os valores das constantes do processo CMOS AMS 0,35 μ m e considerando $T_0 = 300K$, obtemos:

$$\begin{aligned} K_{R0} &= 0,83 V \\ K_{R1} &= -0,0011 V/K \\ K_{R2} &= 7,07 \cdot 10^{-6} V \cdot K^{-1,8} \end{aligned} \quad (3.26)$$

Substituindo os valores constantes na expressão (3.18), obtemos o valor da tensão de referência calculado na temperatura T_0 .

$$\begin{aligned} V_{REF}(T_0) &= K_{R2} T_0^{-\alpha_{\mu n}} + K_{R1} T_0 + K_{R0} \\ \Rightarrow V_{REF}(T_0) &= 703,3 mV \end{aligned} \quad (3.27)$$

Note que o nível da tensão de referência, próximo de 700mV, é adequado à operação em baixa tensão.

Utilizamos o valor calculado de V_{REF} para obter o valor ótimo da constante K_T relacionado à geração do sinal V_{TEMP} . Substituindo os valores constantes na expressão (3.22), obtemos:

$$K_T = 1,59 \cdot 10^{-5} V \cdot K^{-1,8} \quad (3.28)$$

Com base nos valores obtidos, o comportamento ideal dos sinais de saída do circuito proposto, no intervalo de temperatura de -40°C a 120°C, é apresentado de forma gráfica na figura 31.

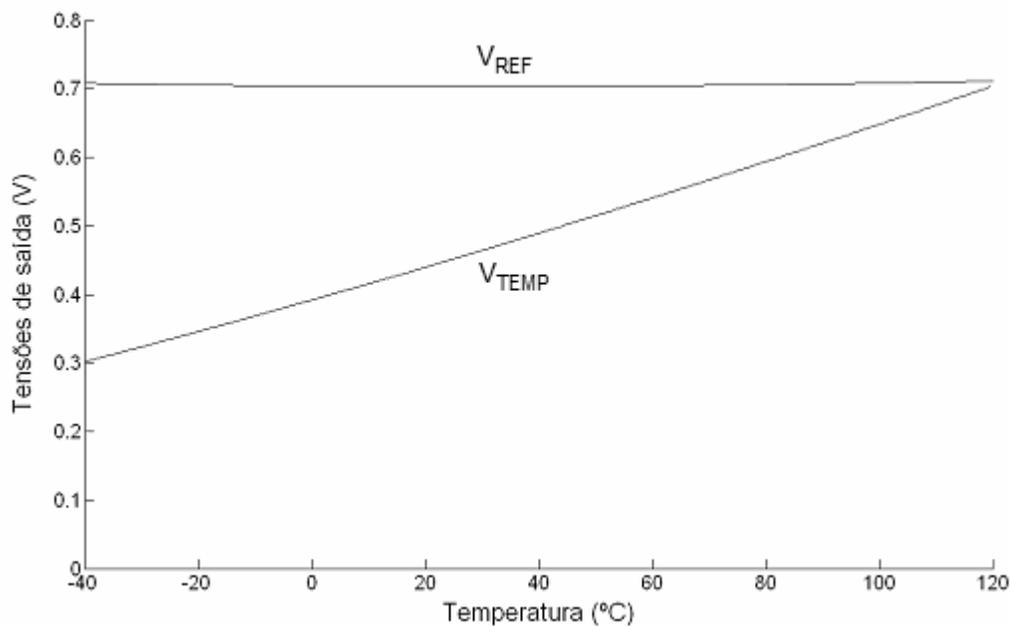


Figura 31 – Comportamento ideal das tensões de saída V_{REF} e V_{TEMP} obtido para a tecnologia escolhida de implementação

A característica térmica dos sinais de saída V_{REF} e V_{TEMP} que se observa no gráfico da figura 31 representa o comportamento previsto pelos modelos simplificados, utilizados na primeira etapa do projeto. Conforme será apresentado no capítulo 4, modelos complexos embutidos em ferramentas sofisticadas de simulação fornecem resultados mais precisos, que são utilizados para refinamento do projeto, considerando em maior extensão as particularidades da tecnologia CMOS de implementação.

3.5 Conclusões

Neste capítulo, apresentamos o desenvolvimento da base matemática que orientou o projeto do circuito proposto. Obtivemos as expressões que descrevem o comportamento térmico dos sinais de saída do circuito, explicitando os parâmetros de projeto que controlam o coeficiente térmico destes sinais. Apresentamos, em forma gráfica, os resultados obtidos, a partir dos modelos utilizados, para o caso particular de implementação na tecnologia

CMOS AMS 0,35 μ m, verificando a possibilidade de aplicação da topologia sob a condição de baixa tensão.

Com base nas expressões e nos gráficos apresentados, concluímos que o princípio explorado tem grande potencial de aplicação em fontes de referência e sensores de temperatura de baixa tensão, baixo consumo e baixo custo. Com isso, nos aproximamos do objetivo de desenvolver uma topologia compacta, que aplica e estende o princípio proposto por Cajueiro em [3], atendendo as novas condições de demanda. No próximo capítulo, continuamos este desenvolvimento, enfocando questões mais particulares de projeto, associadas à tecnologia CMOS escolhida para implementação de protótipos.

Capítulo 4

Implementação de protótipos em tecnologia CMOS convencional

4.1 Introdução

Para validação experimental da topologia proposta neste trabalho, foram fabricados protótipos com combinações diversas de parâmetros de dimensionamento. Apresentamos, neste capítulo, as considerações e procedimentos adotados para o projeto desses protótipos, com base no desenvolvimento teórico apresentado no capítulo 3, com implementação na tecnologia CMOS AMS 0,35 μm . A finalidade dos protótipos fabricados é a comprovação experimental do princípio em que as diversas estruturas desenvolvidas se baseiam.

4.2 Concepção de Esquemáticos e Simulações

Conforme descrito no capítulo 3, os coeficientes térmicos dos sinais de saída, V_{REF} e V_{TEMP} , do circuito esquematizado na figura 32, podem ser previstos através de expressões que incluem parâmetros de dimensão de transistores, ganhos de espelhos de corrente e resistências. Conseqüentemente, são inúmeras as combinações destes parâmetros que produzem um circuito com determinadas especificações de coeficientes térmicos. Este fato motivou o projeto e fabricação de oito versões do circuito, com base em diferentes

fonte. No circuito proposto, este efeito de segunda ordem afeta principalmente o ganho efetivo dos espelhos de corrente, implementados com transistores sujeitos a diferentes tensões V_{DS} . Estando associado à variação relativa do comprimento de canal efetivo do transistor MOS, o efeito é menos pronunciado nos circuitos que empregam transistores com maior comprimento de canal L . Desta forma, esperamos verificar a influência do efeito de modulação de canal sobre os perfis térmicos dos sinais de saída, analisando os resultados obtidos com versões do circuito em que o efeito é mais ($L=1\mu\text{m}$) ou menos ($L=3\mu\text{m}$) pronunciado.

- Corrente de polarização mínima $I_{Imin}=5\mu\text{A}$ e $I_{Imin}=10\mu\text{A}$: A corrente I_I mínima ocorre no limite mínimo de temperatura, conforme prevê o modelo teórico. Os circuitos com $I_{Imin}=10\mu\text{A}$ consomem o dobro da energia consumida nos circuitos com $I_{Imin}=5\mu\text{A}$. A partir da comparação entre o desempenho medido em cada caso, esperamos verificar possíveis alterações de comportamento associadas à redução do consumo energético.
- Largura de resistores de polissilício $W_R=0,65\mu\text{m}$ e $W_R=5\mu\text{m}$: O aumento da largura de resistores integrados reduz significativamente a sensibilidade a desvios de processo causadores de descasamento, mas implica em aumento significativo de área (maior custo). Uma análise experimental consistente da sensibilidade do circuito a desvios de processo deve ser feita através da caracterização de uma extensa quantidade de amostras, o que não é factível no contexto deste trabalho. Mesmo assim, foram implementadas duas opções de largura de resistor para a consideração do fator gerador de erro neste trabalho. A verificação experimental do efeito correspondente sobre a resposta real do circuito terá apenas caráter ilustrativo.

Os valores de dimensionamento, definidos para cada versão implementada do núcleo do circuito na figura 32, estão apresentados na tabela 1.

Versão (ID)	I_{1min} (μA)	$L(\mu m)$ $M1-M7$	$W(\mu m)$ $M1,M2,M5$	$W(\mu m)$ $M3,M6$	$W(\mu m)$ $M4$	$W(\mu m)$ $M7$	$W_R(\mu m)$ $R1,R2,RT$	$L_R(\mu m)$ $R1,R2$	$R (\Omega)$	$L_R(\mu m)$ RT	$R_T(\Omega)$	N	N_T
L1W15_WR065	~ 5	1	15	24	41	28,5	0,65	20	2500	260	32500	1,71	1,19
L1W15_WR5	~ 5	1	15	24	41	28,5	5	237,5	2500	3087,5	32500	1,71	1,19
L1W30_WR065	~ 10	1	30	48	82,5	47	0,65	10	1250	160	20000	1,72	0,98
L1W30_WR5	~ 10	1	30	48	82,5	47	5	118,75	1250	1900	20000	1,72	0,98
L3W30_WR065	~ 5	3	30	48	100	48	0,65	48	6000	480	60000	2,08	1
L3W30_WR5	~ 5	3	30	48	100	48	5	570	6000	5700	60000	2,08	1
L3W45_WR065	~ 10	3	45	72	124,5	72,5	0,65	20	2500	260	32500	1,73	1,01
L3W45_WR5	~ 10	3	45	72	124,5	72,5	5	237,5	2500	3087,5	32500	1,73	1,01

Tabela 1 – Valores de dimensionamento do núcleo de cada versão do circuito proposto

Os valores de dimensionamento apresentados na tabela 1 foram obtidos através de cálculos, com base nas expressões apresentadas no capítulo 3, seguidos de um “refinamento” baseado em simulações de melhor e pior caso. Nesta etapa, não incluímos um sistema de ajuste, obtendo valores únicos de ganhos N e N_T , que mais adiante serão modificados para a inclusão das estruturas de ajuste

Os circuitos atendem o requisito de baixa-tensão com tensão mínima de alimentação especificada em 1V. No quesito consumo, optamos por implementações de consumo energético moderado, embora seja possível o dimensionamento para níveis mais baixos de consumo. Prevemos maior quantidade (ou influência) de fontes de erro potenciais associadas à operação em níveis baixos de corrente, que optamos por evitar neste primeiro desenvolvimento. A partir da resposta medida de cada versão do circuito, esperamos inferir o mecanismo de erro dominante analisado em cada caso de comparação. Com base em nossas conclusões, o projeto de uma versão otimizada, de baixa-tensão e baixo-consumo, deverá ser conduzido em futuros trabalhos.

As simulações apresentadas nos gráficos que seguem foram feitas usando a ferramenta *Mentor Graphics* de simulação de circuitos integrados analógicos baseada no modelo BSIM [98]. Os resultados obtidos representam o comportamento térmico previsto do circuito, sem sistema de ajuste, na faixa de $-40^{\circ}C$ a $120^{\circ}C$, com tensão de alimentação igual a 1V, implementado no processo CMOS AMS 0,35 μm . A alteração na largura dos resistores com mesmo valor nominal de resistência não altera o resultado da simulação. Nos gráficos, I(M1.D) corresponde à corrente I_I , I(VI.NEG) corresponde à corrente total consumida pelo circuito, V(VREF) corresponde à tensão de saída de referência e V(VTEMP) corresponde à tensão de saída proporcional à temperatura.

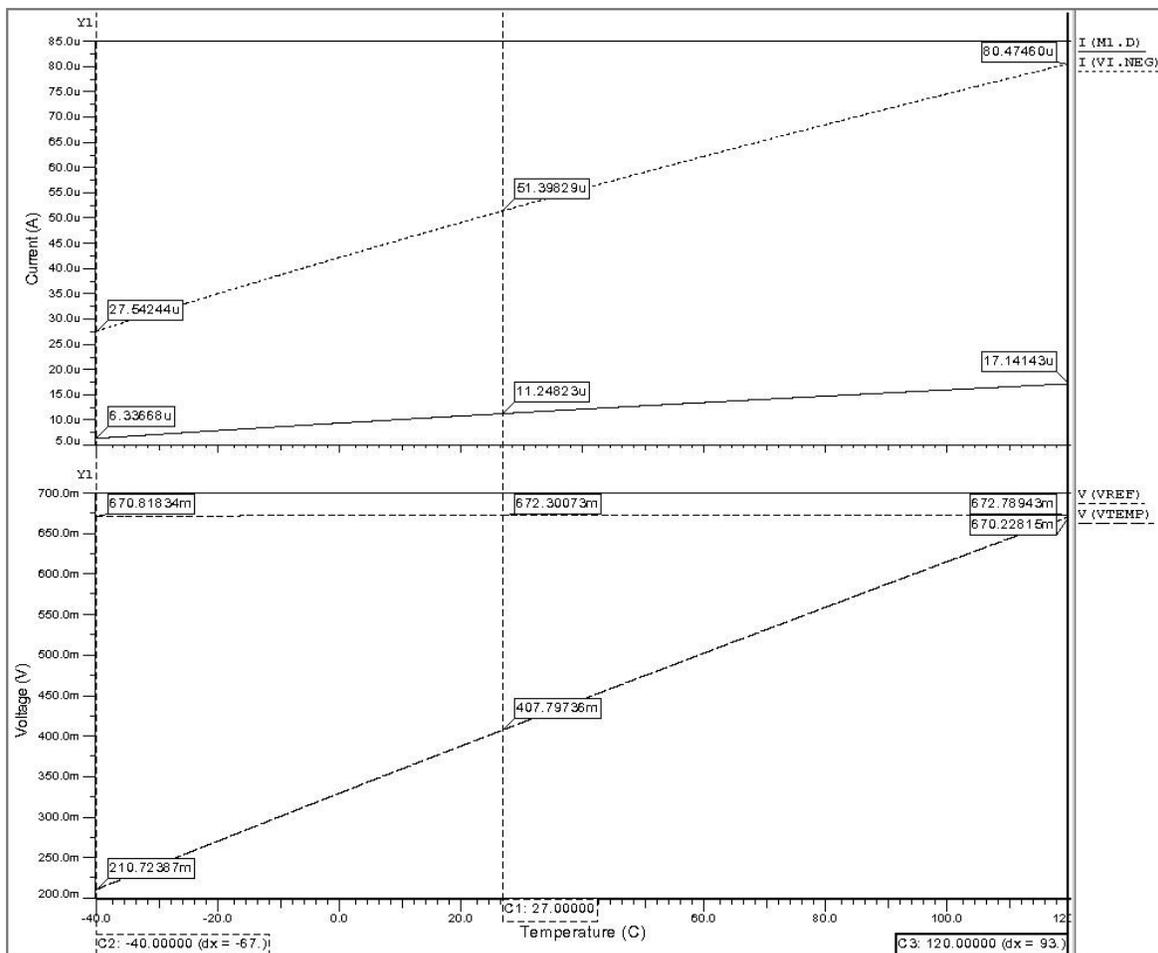


Figura 33 – Simulação de caso típico: L1W15_WR065 e L1W15_WR5

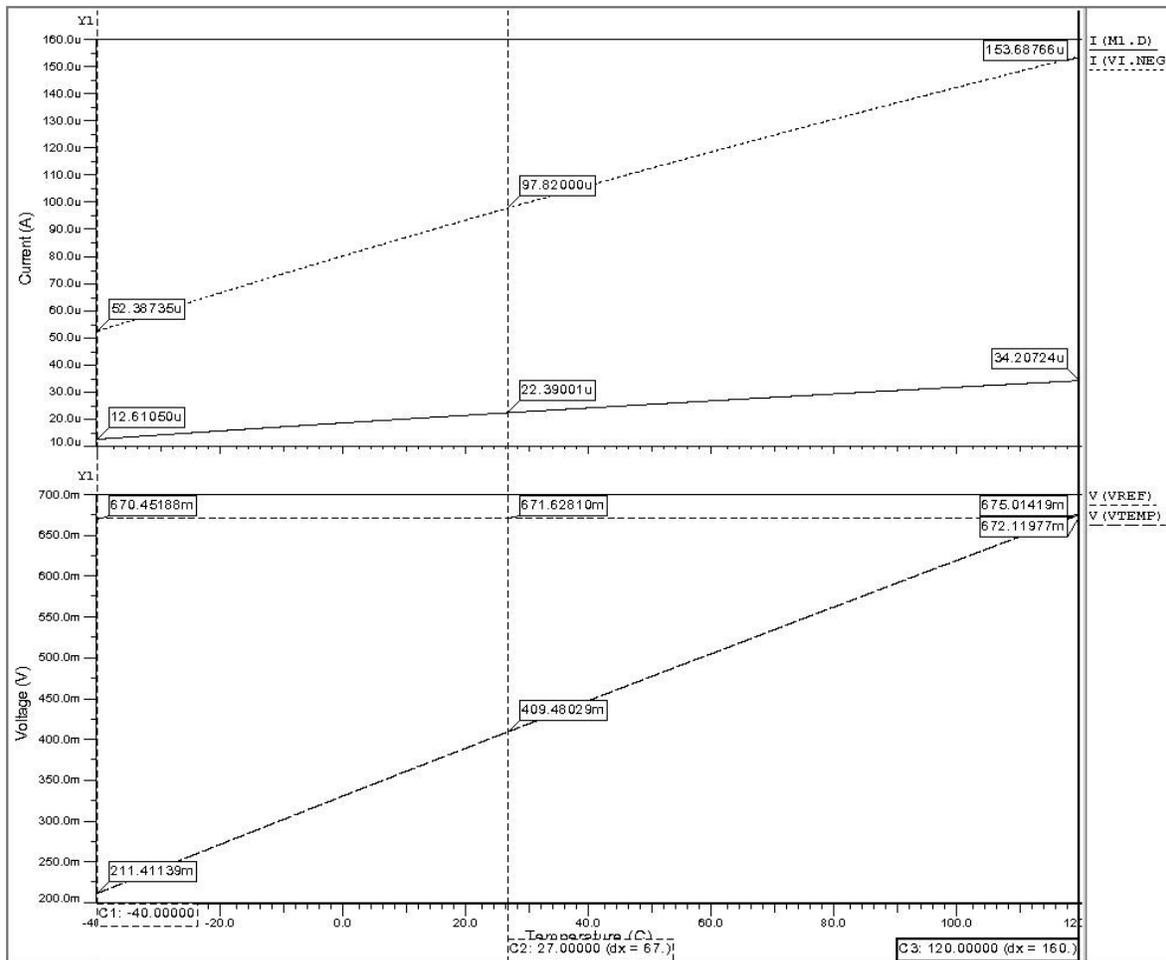


Figura 34 – Simulação de caso típico: L1W30_WR065 e L1W30_WR5

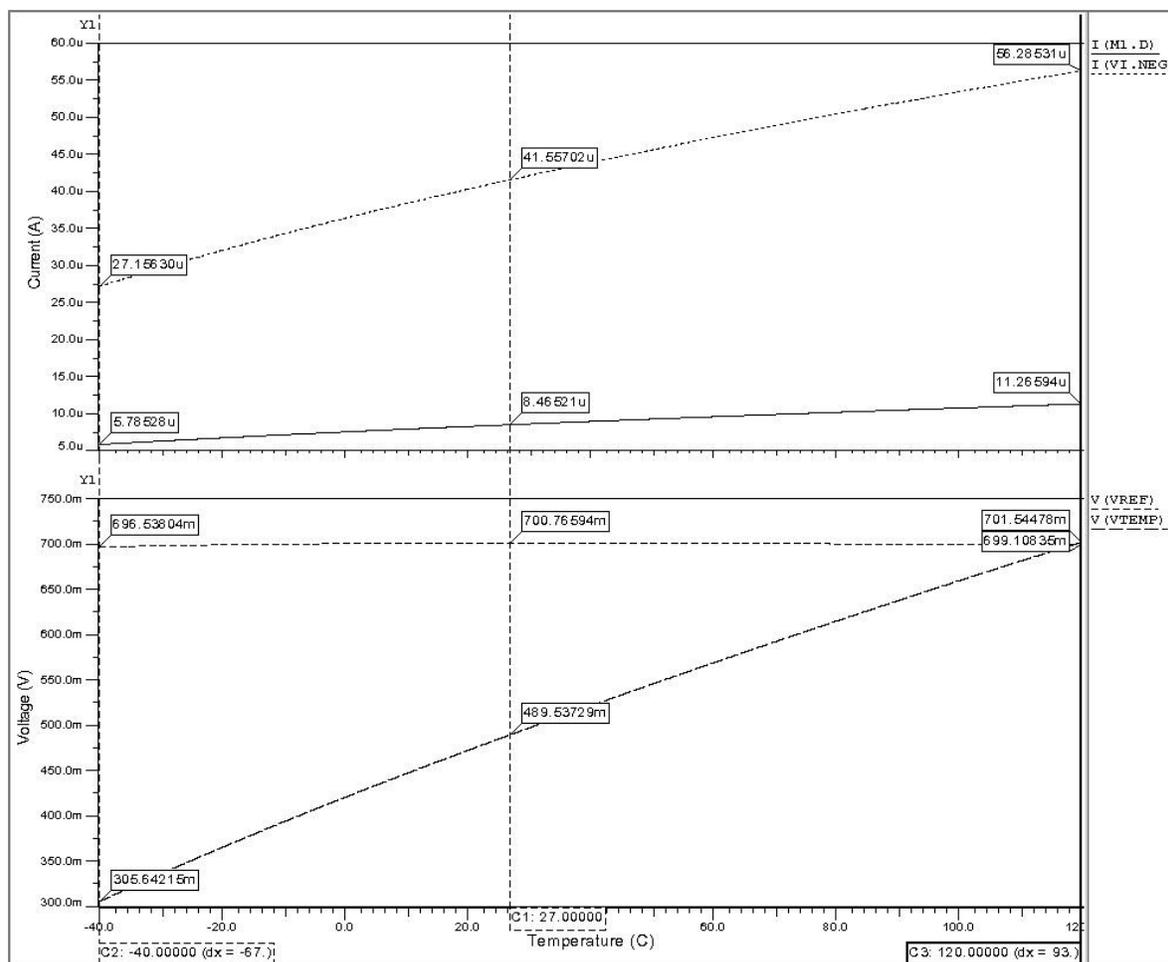


Figura 35 – Simulação de caso típico: L3W30_WR065 e L3W30_WR5

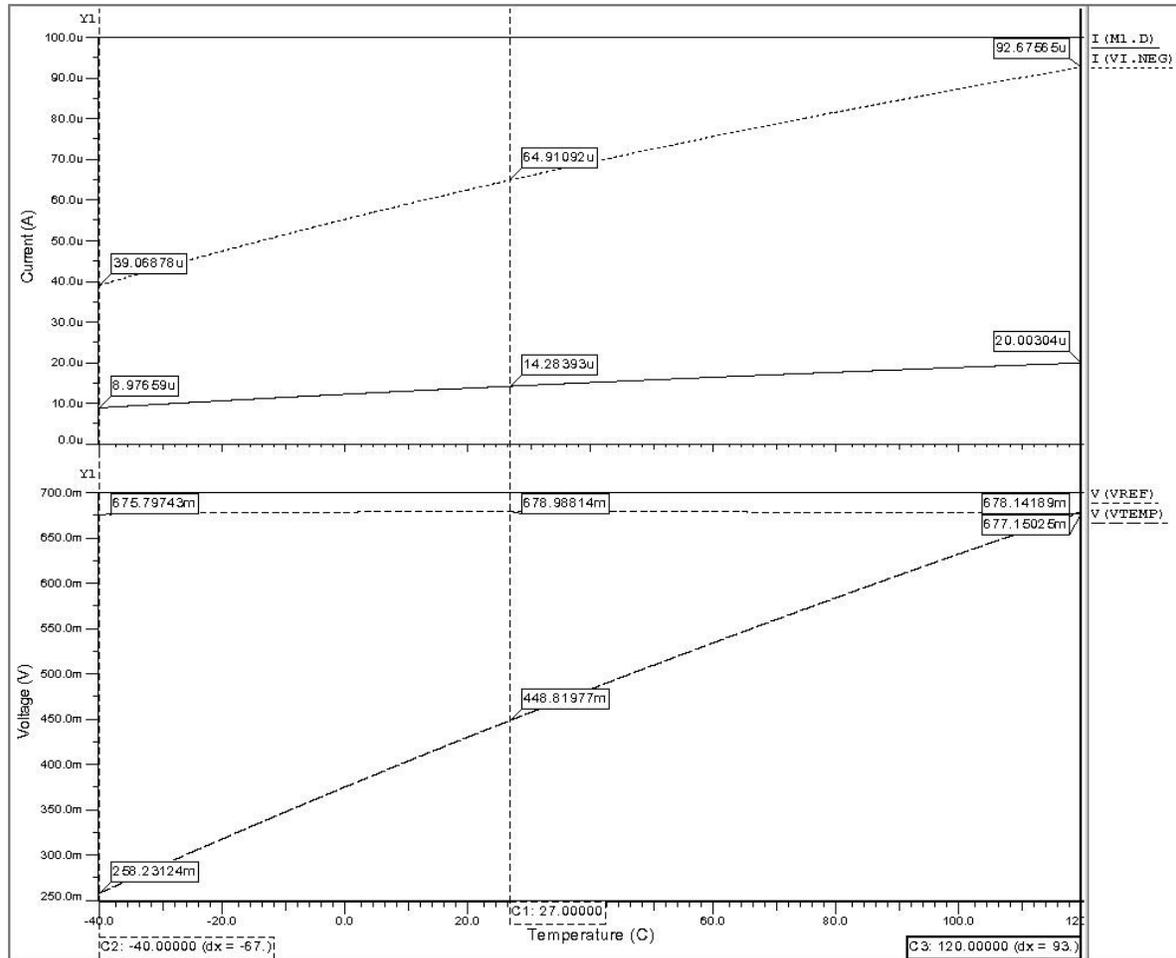


Figura 36 – Simulação de caso típico: L3W45_WR065 e L3W45_WR5

Pelos gráficos, observamos que o comportamento previsto com o modelo mais completo da ferramenta de simulação está de acordo com nossas primeiras estimativas. Os níveis de tensão de referência, entre 670mV e 700mV, são próximos do previsto com os modelos simplificados descritos no capítulo 3. A corrente total máxima de consumo vale aproximadamente 80 μ A, 154 μ A, 56 μ A e 93 μ A, na seqüência em que foram apresentados os gráficos, que correspondem a valores moderados de consumo. Note que o consumo é maior nas versões com comprimento $L=1\mu\text{m}$ em relação às versões com comprimento $L=3\mu\text{m}$. Isto deriva do dimensionamento ter sido feito com base no equacionamento que desconsidera o efeito de modulação de canal. Com menor comprimento de canal, a componente extra de corrente, associada a este efeito de segunda ordem, resulta em níveis maiores de corrente verificados na etapa de simulação.

Os gráficos apresentados confirmam nossa expectativa sobre o comportamento funcional de cada versão do circuito. Enfocamos agora as componentes não-lineares associadas às curvas de simulação de caso típico. Lembramos que em uma potencial aplicação em sensor de temperatura inteligente, a curvatura associada aos sinais de saída V_{REF} e V_{TEMP} corresponde ao fator limitante fundamental de precisão do sistema.

Os gráficos abaixo, construídos com base nos dados obtidos por simulação de caso típico, evidenciam a não-linearidade associada ao sinal de saída V_{REF} para cada versão de circuito.

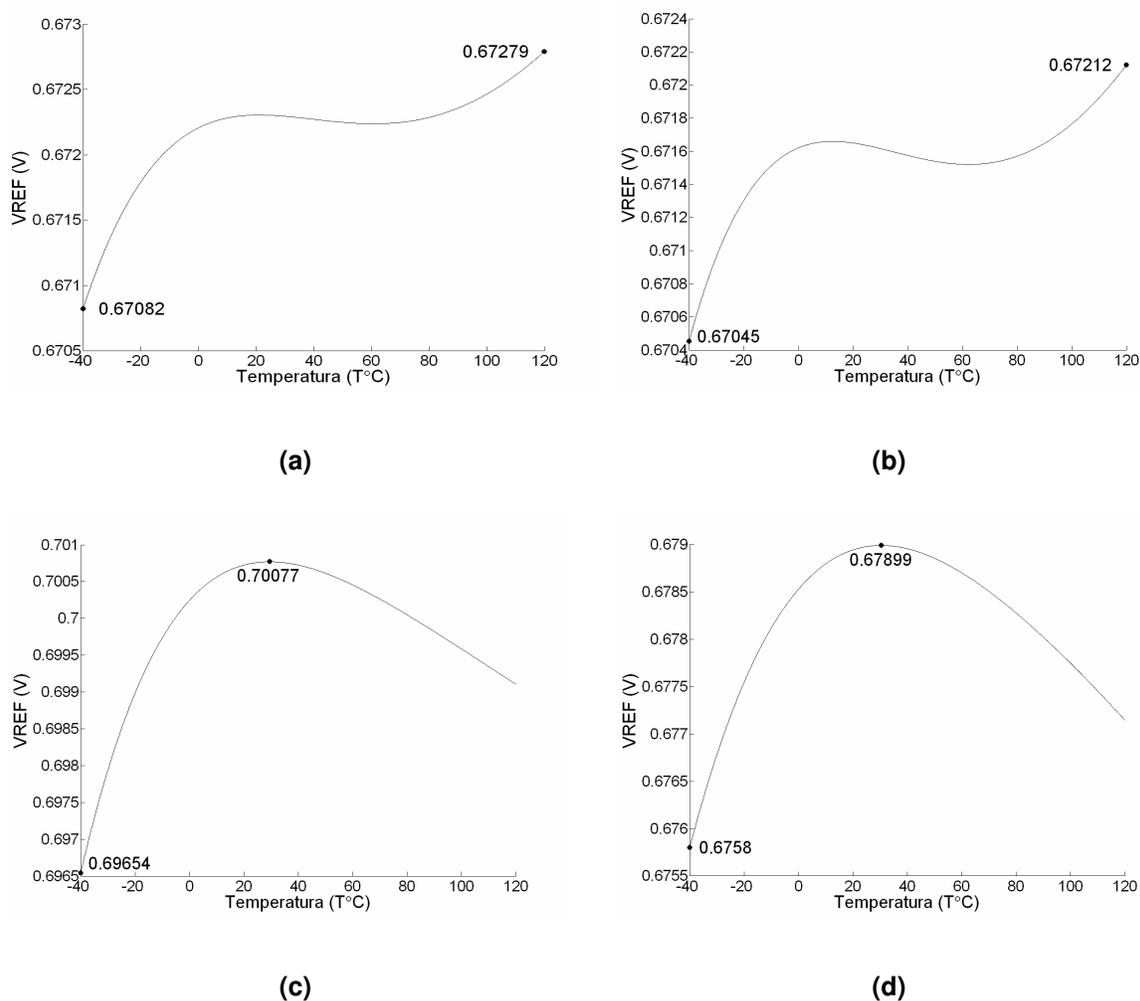


Figura 37 – Sinal de saída V_{REF} obtido por simulação de caso típico:
(a) L1W15_WR065 e L1W15_WR5; (b) L1W30_WR065 e L1W30_WR5;
(c) L3W30_WR065 e L3W30_WR5; (d) L3W45_WR065 e L3W45_WR5.

No projeto de fontes de referência de tensão, é comum impor taxa mínima de variação térmica no ponto de temperatura ambiente (27°C) considerando que, em aplicações reais, a operação normal deve se concentrar ao redor deste ponto. Através do ajuste do valor de ganho N , na etapa de refinamento por simulação, adotamos esta estratégia conforme se observa nos gráficos da figura 37.

A curvatura associada ao sinal de saída V_{TEMP} , idealmente proporcional à temperatura, corresponde ao desvio da curva simulada em relação à função linear ideal. Adotamos como referência linear a reta que conecta o ponto inicial e final das tensões V_{TEMP} simuladas. Desta forma, a não-linearidade associada (curvatura) corresponde à diferença entre a curva obtida por simulação e a referência linear adotada.

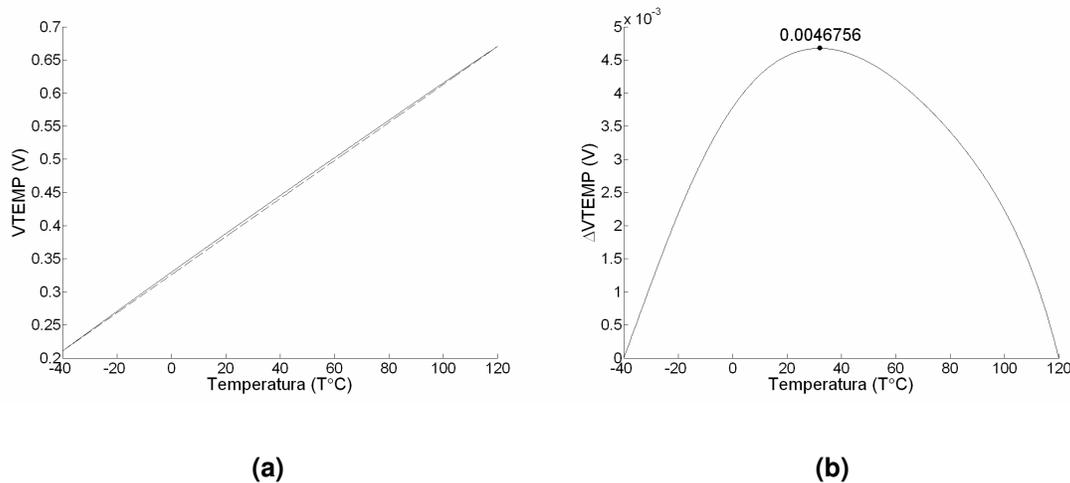
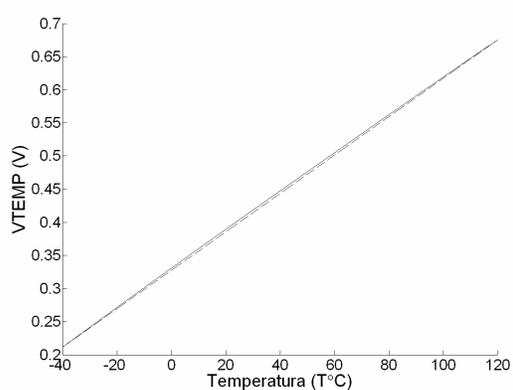
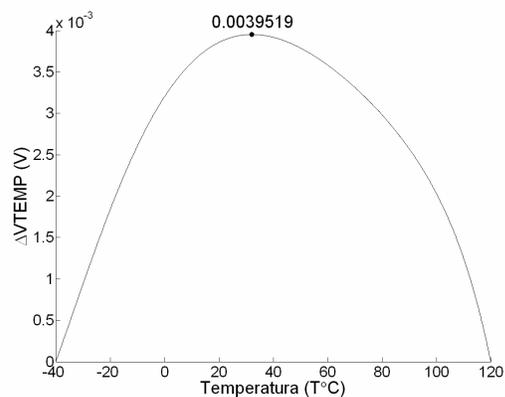


Figura 38 – Sinal de saída V_{TEMP} de L1W15_WR065 e L1W15_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída

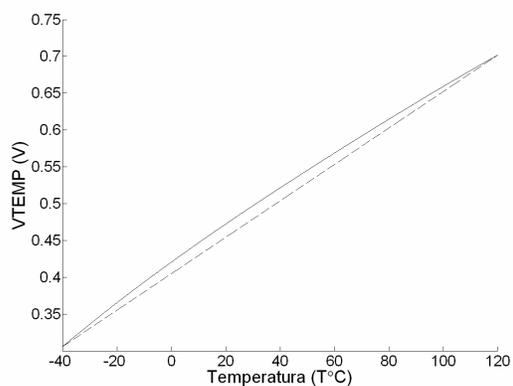


(a)

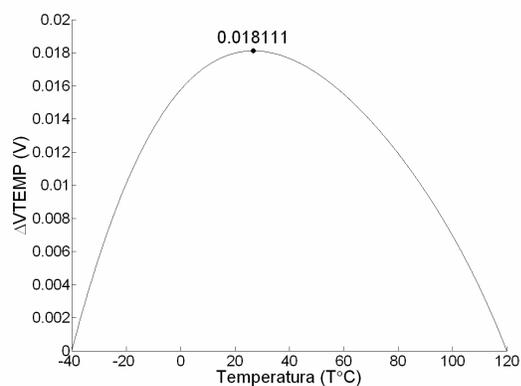


(b)

Figura 39 – Sinal de saída V_{TEMP} de L1W30_WR065 e L1W30_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída



(a)



(b)

Figura 40 – Sinal de saída V_{TEMP} de L3W30_WR065 e L3W30_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída

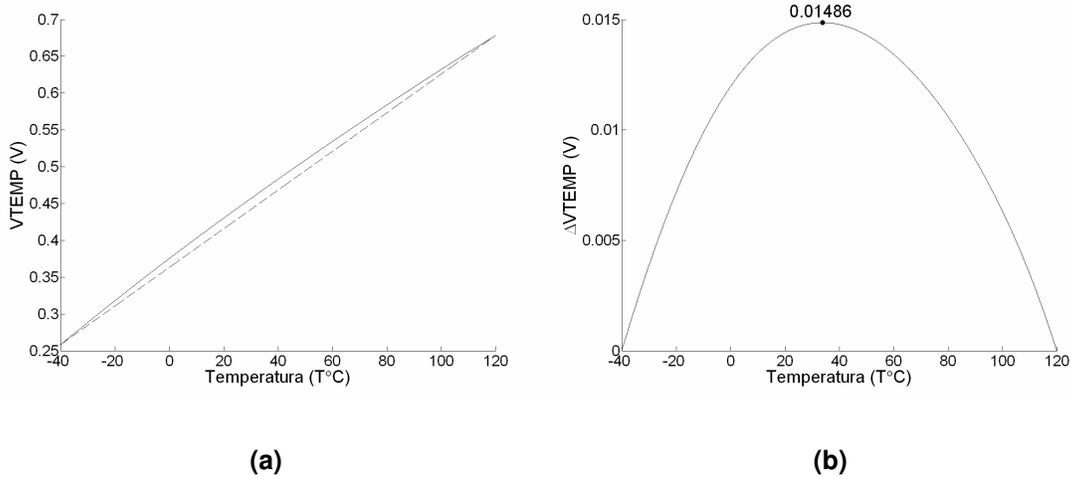


Figura 41 – Sinal de saída V_{TEMP} de L3W45_WR065 e L3W45_WR5: (a) curva obtida por simulação sobreposta à reta (---) que conecta ponto inicial e final; (b) curvatura extraída

A estabilidade térmica de um sinal de tensão de referência é comumente caracterizada a partir da expressão:

$$\Delta V_{REF} (ppm/^{\circ}C) = \frac{\left(\max \Delta V_{REF} (mV) / V_{REF} (T_0) \right)}{\Delta T} \cdot 10^6 \quad (4.1)$$

Onde o operador Δ representa a variação térmica do sinal de referência em unidade de tensão ou em ppm/ $^{\circ}C$. Podemos aplicar expressão análoga para caracterizar a curvatura associada ao par de saída V_{TEMP} , considerando a mesma base de referência, ou seja, o valor da tensão V_{REF} correspondente.

$$\Delta V_{TEMP} (ppm/^{\circ}C) = \frac{\left(\max \Delta V_{TEMP} (mV) / V_{REF} (T_0) \right)}{\Delta T} \cdot 10^6 \quad (4.2)$$

A aplicação da expressão (4.2) equivale a transformação análoga à expressão (4.1), que nos permite comparar os índices representativos de curvatura também na base ppm/ $^{\circ}C$.

Com base nos resultados apresentados e nas expressões (4.1) e (4.2), a tabela 2 resume os índices representativos de não-linearidade associada ao comportamento térmico dos sinais de saída dos circuitos, conforme previsto pelas simulações de caso típico.

Versão	$V_{REF}(T_0)$ (mV)	$V_{TEMP}(T_{max})$ (mV)	max ΔV_{REF} (mV)	max ΔV_{TEMP} (mV)	ΔV_{REF} (ppm/°C)	ΔV_{TEMP} (ppm/°C)
V_L1W15_WR065 V_L1W15_WR5	672,3	670,23	1,97	4,68	18,31	43,51
V_L1W30_WR065 V_L1W30_WR5	671,63	675,01	1,67	3,95	15,54	36,76
V_L3W30_WR065 V_L3W30_WR5	700,77	701,54	4,23	18,11	37,73	161,52
V_L3W45_WR065 V_L3W45_WR5	678,99	678,15	3,19	14,86	29,36	136,78

Tabela 2 – Característica de curvatura de sinais de saída de cada versão

Conforme dados apresentados na tabela 2, são previstos índices maiores de curvatura associados aos sinais V_{TEMP} em relação aos sinais V_{REF} correspondentes. O equacionamento previsto no capítulo 3 prevê termos idênticos associados à curvatura em cada caso, o que nos faz concluir que a maior não linearidade associada ao sinal V_{TEMP} está relacionada ao efeito de modulação de canal desconsiderado. De fato, o transistor M_7 , que fornece a corrente associada à geração do sinal V_{TEMP} , está sujeito a maior excursão térmica da diferença de potencial entre dreno e fonte ($|V_{DS7}| = V_{DD} - V_{TEMP}$) que os demais transistores dos espelhos de corrente PMOS.

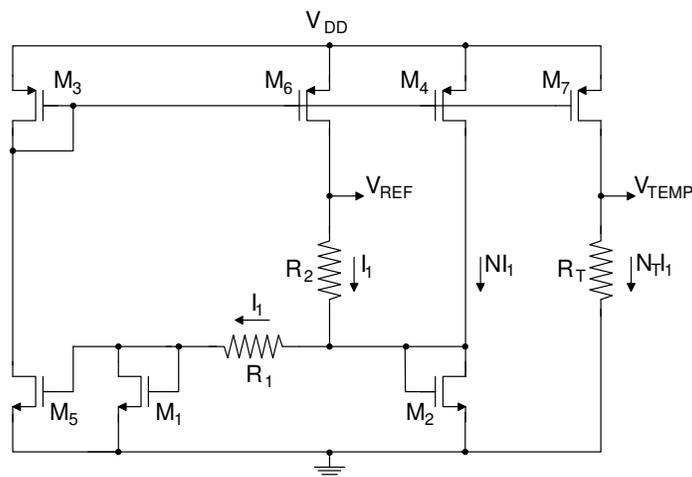


Figura 42 – Topologia do circuito proposto

Na medida em que a tensão V_{TEMP} aumenta, a componente extra de corrente, devida à modulação de canal, exerce menor influência, o que resulta na diminuição do coeficiente

térmico do sinal de saída. Isto explica a concavidade para cima pronunciada dos sinais V_{TEMP} observada nos gráficos.

Comparando os dados referentes a versões com valores distintos de comprimentos de canal dos transistores, observamos que o efeito não considerado de modulação de canal age a favor da estabilidade térmica das saídas nas versões com transistores de menor comprimento de canal. O efeito resulta no comportamento em ‘S’ verificado para os sinais de referência, não previsto pelo equacionamento, conforme se observa nos itens (a) e (b) da figura 37. O comportamento característico dos sinais V_{TEMP} também é modificado embora o efeito de modulação associado ao transistor M_7 continue dominante. O fato sugere uma possível técnica para compensação de curvatura baseada no mecanismo de modulação de canal. A verificação experimental do efeito deverá contribuir com dados práticos que sustentem ou não o aprofundamento da análise neste sentido.

4.2.2 Sistema de ajuste ou *trimming*

Nas seções anteriores, analisamos o comportamento térmico dos sinais de saída de cada circuito com base nos resultados de simulação de caso típico. Para um projeto robusto, é necessário considerar o efeito de desvios de processo, ou seja, do espalhamento possível nos valores reais dos parâmetros.

O modelo *Monte-Carlo*, aplicado através da ferramenta de simulação, permite a realização de uma série de simulações com combinações diversas de valores de parâmetros de processo, sobre faixas de tolerância especificadas. As curvas obtidas representam potenciais variações do caso típico devidas a desvios de processo. Como exemplo, a figura 43 representa as simulações *Monte-Carlo* do comportamento térmico dos sinais de saída da implementação L1W15_WR065. Este resultado consiste na simulação de 15 diferentes configurações de espalhamento.

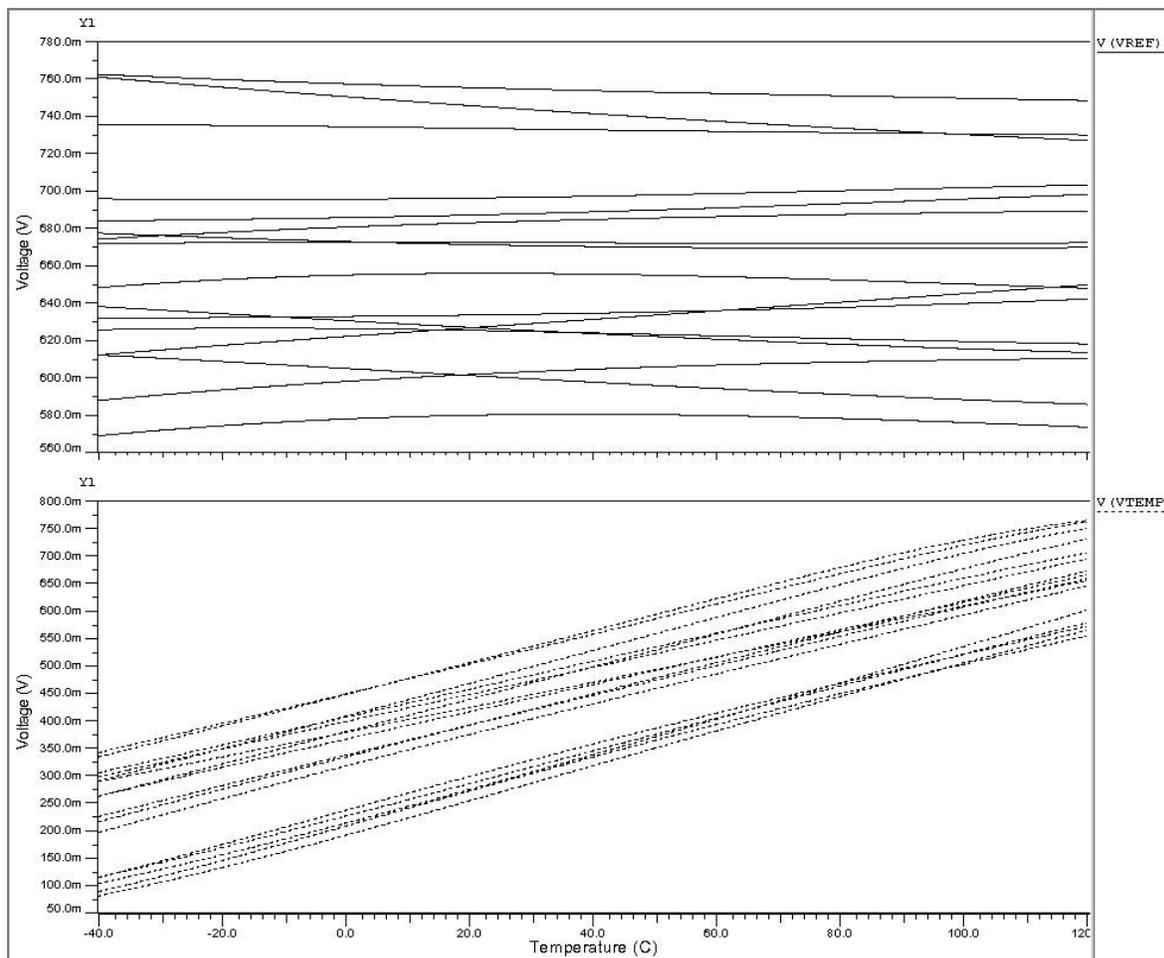


Figura 43 - Simulações *monte-carlo* das saídas da versão V_L1W15_WR065

Observamos nos gráficos que as curvas permanecem aproximadamente lineares nos diversos casos de espalhamento. Porém, há uma variação significativa nos coeficientes angulares e lineares das retas correspondentes. O mesmo comportamento foi verificado para as demais versões do circuito. A partir desta análise, verificamos a necessidade de incluir um sistema de ajuste para compensar o efeito do espalhamento.

Com maior interesse na característica de estabilidade térmica, incluímos uma estrutura para o ajuste do coeficiente térmico do sinal de referência V_{REF} . O espalhamento associado ao coeficiente linear das curvas correspondentes à tensão V_{REF} é tolerado uma vez que não afeta a característica de estabilidade térmica e não invalida a condição de operação com tensão mínima de alimentação igual a 1V. Também incluímos uma estrutura idêntica para ajuste do coeficiente térmico do sinal de saída V_{TEMP} com o intuito de obter,

na prática, a condição prevista em projeto $V_{TEMP}(T_{max}) \cong V_{REF}(T_0)$. O espalhamento associado ao coeficiente linear da curva correspondente à tensão V_{TEMP} também é tolerado sem necessidade de ajuste.

Dentre os parâmetros presentes nas expressões (3.14) e (3.19), que determinam o coeficiente térmico dos sinais V_{REF} e V_{TEMP} , escolhamos as constantes de projeto N e N_T como variáveis de ajuste. Considerando valores iguais de comprimento de canal, os valores das razões entre largura de canal W_{M4}/W_{M3} e W_{M7}/W_{M3} definem os ganhos de corrente dos espelhos M_3 - M_4 e M_3 - M_7 , respectivamente. O procedimento de ajuste consiste na conexão de transistores auxiliares, através de chaves digitais, em paralelo com M_4 e M_7 , para controle do valor efetivo dos ganhos N e N_T . Os transistores auxiliares são dimensionados com valores ponderados de largura W , de tal forma que a palavra digital aplicada para controle das chaves digitais seja decodificada sob um passo regular de ajuste de ganho.

O circuito de ajuste foi implementado conforme topologia apresentada na figura 44.

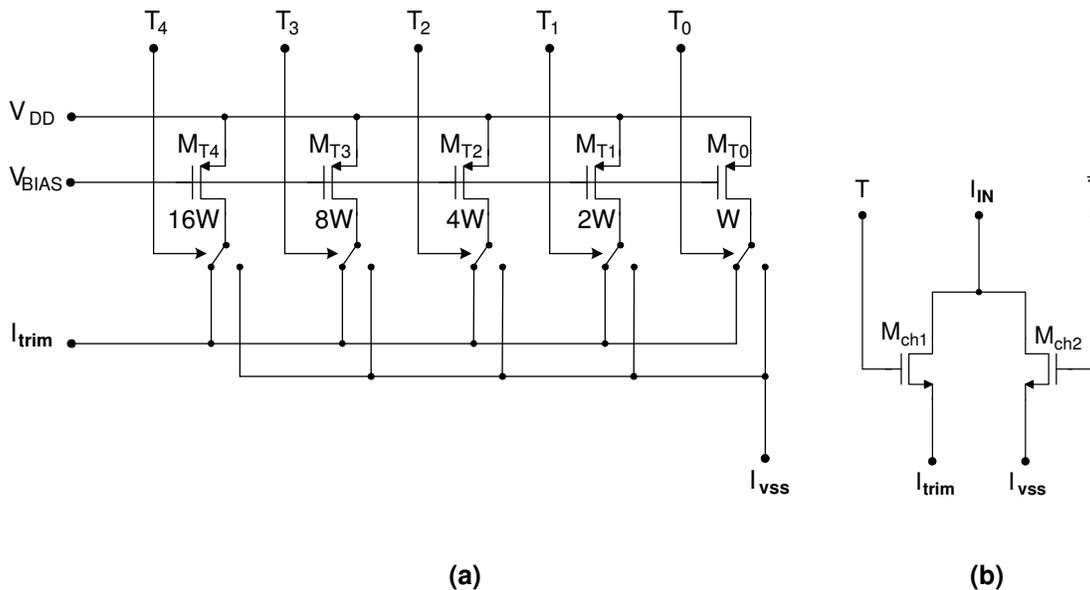


Figura 44 – (a) Primeira implementação do circuito de ajuste e (b) chaves NMOS

Na figura 44 (b), as chaves NMOS conectam o terminal I_{IN} ao terminal I_{trim} ou I_{vss} de acordo com a entrada digital de controle (e sinal complementar) correspondente. A seleção do terminal I_{trim} conecta o transistor auxiliar em paralelo com o transistor principal do núcleo do circuito, aumentando o ganho efetivo do espelho correspondente. A seleção

do terminal I_{VSS} provê um caminho alternativo de corrente quando o transistor auxiliar não é conectado ao núcleo do circuito. O transistor principal, sempre em operação, determina o valor mínimo de ganho. Em relação aos valores apresentados na tabela 1, os valores de W_{M4} e W_{M7} foram reduzidos para definir o limite mínimo de ganho de tal forma que a faixa total de ajuste tenha centro no valor correspondente ao caso típico previsto.

Conforme descrito adiante (vide seção 4.3.1), circuitos digitais auxiliares, construídos com células da biblioteca padrão da tecnologia CMOS AMS 0,35 μ m, são responsáveis pela geração e retenção dos sinais digitais que acionam as chaves nos circuitos de ajuste. Embora a tensão mínima de alimentação da topologia proposta seja igual a 1V, o nível lógico alto das células digitais disponíveis na biblioteca da tecnologia CMOS AMS 0,35 μ m corresponde a 3,3V. Portanto, a tensão V_{GS} aplicada nas chaves NMOS quando fechadas é superior a 2V, o que garante forte polarização direta nesta condição. Considerando ainda o dimensionamento adequado da razão W/L , o transistor de chave conduz na região linear apresentando uma resistência equivalente mínima. Uma vez que a corrente é definida pelo núcleo de transistores NMOS, em primeira análise, a influência da resistência de chave não deve afetar a resposta do circuito conquanto o efeito de modulação de canal seja desprezível. Em implementações com tensão de nível lógico alto próximo de 1V, a estrutura de chaves precisaria ser modificada já que o nível de tensão máximo sobre os terminais de porta do transistores NMOS seria insuficiente para garantir forte polarização direta.

A configuração resultante do circuito completo, com inclusão do sistema de ajuste, é apresentada na figura 45.

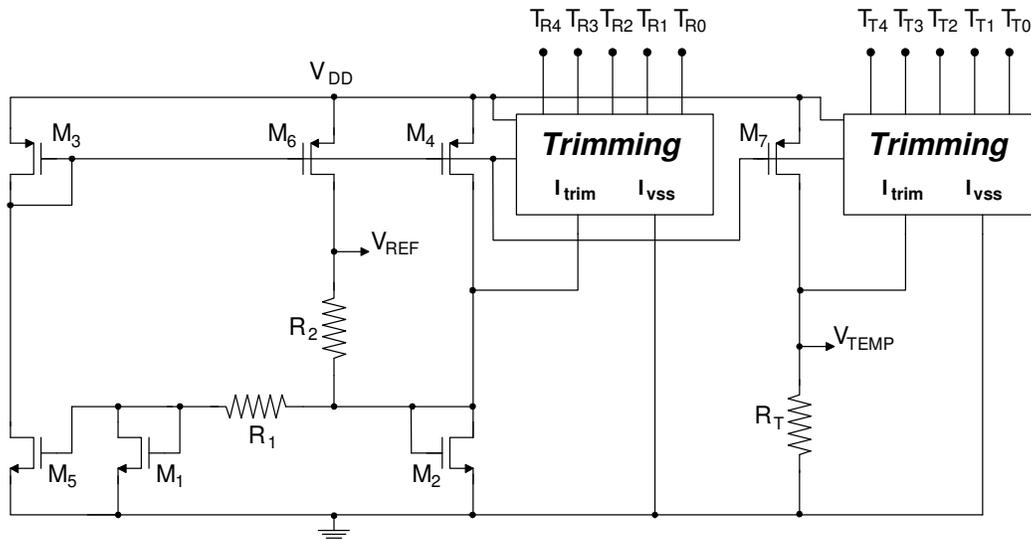


Figura 45 – Circuito com sistema de ajuste (*trimming*) incluído

Os sinais $T_{R4}...T_{R0}$ e $T_{T4}...T_{T0}$ correspondem às entradas digitais de cinco bits que acionam o ajuste de V_{REF} e V_{TEMP} , respectivamente. O esquema fornece 32 possibilidades de ajuste do coeficiente térmico de cada sinal de saída. O ajuste sobre a tensão de referência V_{REF} deve ser feito em primeiro lugar, visto que afeta o valor da corrente nos vários ramos do circuito. Em seguida, o ajuste do coeficiente térmico da tensão V_{TEMP} é feito sem qualquer influência sobre o comportamento no restante do circuito.

Para uma segunda rodada de fabricação de protótipos, a estrutura do sistema de ajuste foi modificada conforme esquema apresentado na figura 46.

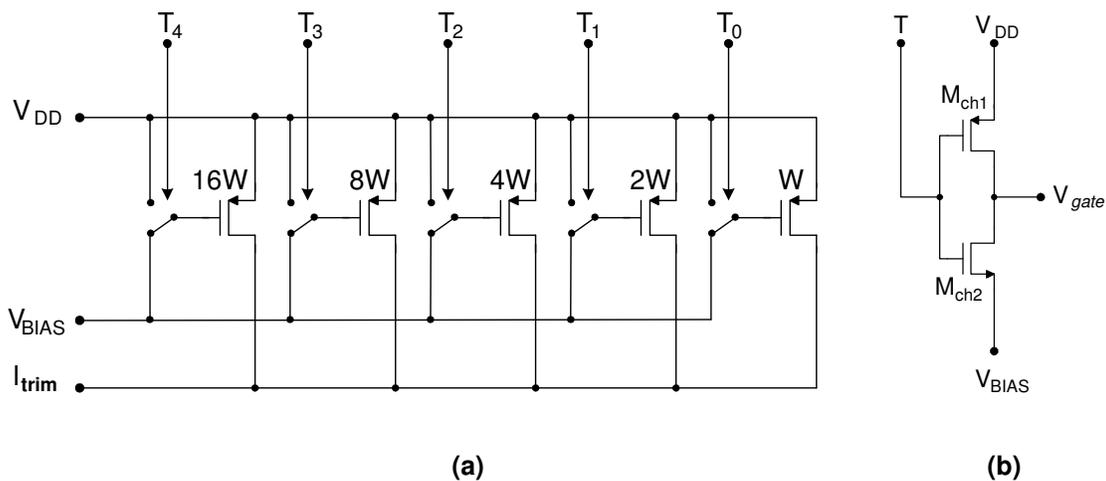


Figura 46 – (a) Segundo circuito de ajuste e (b) chaves digitais complementares

No circuito da figura 46, os terminais de dreno dos transistores auxiliares são conectados diretamente ao terminal I_{trim} . O controle digital é feito sobre as conexões dos terminais de porta de cada transistor auxiliar. Chaves digitais complementares conectam o terminal de porta do transistor ao terminal V_{BIAS} (chave NMOS fechada e PMOS aberta) ou ao terminal V_{DD} (chave PMOS fechada e NMOS aberta) de acordo com o nível lógico de controle da entrada digital correspondente. Considerando o esquema completo apresentado na figura 47, na primeira condição, o transistor auxiliar é conectado em paralelo com o transistor principal do núcleo, aumentando o ganho efetivo do espelho de corrente correspondente. Na segunda condição, o transistor auxiliar é polarizado em corte e não conduz corrente, portanto, não exercendo influência sobre o núcleo do circuito.

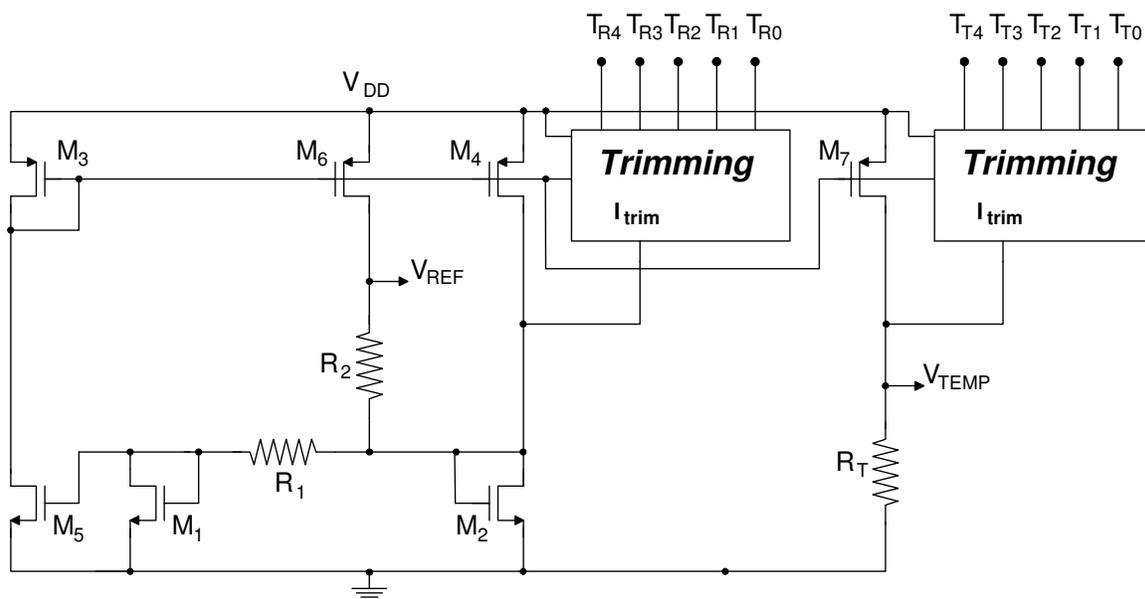


Figura 47 - Circuito com o novo sistema de *trimming*

Esta segunda forma de implementação do sistema de ajuste confere algumas vantagens em relação à primeira. A conexão direta entre os terminais de dreno dos transistores em paralelo elimina o efeito de modulação de canal associado a resistências em série das chaves digitais. Não há caminho alternativo de corrente para o terminal de terra, o que significa que toda corrente consumida efetivamente contribui para geração dos sinais de saída. Considerando que não há fluxo de corrente através das chaves digitais, exceto por picos transientes durante a configuração da palavra de ajuste, os transistores de chave

podem ser feito menores, sem forte requisito por um valor mínimo de resistência série equivalente. O nível alto de tensão para acionamento das chaves pode ser feito igual à tensão mínima de alimentação do bloco analógico sem impacto sobre a funcionalidade do sistema de ajuste. Desta forma, a estrutura é totalmente adaptada à operação em baixa-tensão. Finalmente, a possibilidade de aplicação de chaves com dimensões menores associada à necessidade de um único sinal de controle para acionamento das chaves contribui para redução de área ocupada em Silício.

4.2.3 Circuito de estabilização transiente ou *start-up*

Conforme comentado na seção 3.3 do capítulo 3, o circuito proposto apresenta dois pontos estáveis de operação: o ponto desejado de operação previsto no projeto e o ponto correspondente à condição de corrente nula em todos os ramos do circuito, ou seja, com todos os transistores em corte. Embora fontes reais de ruído sejam, em geral, suficientes para iniciar o processo de estabilização no ponto normal de operação (conforme descrito no capítulo 3), recomenda-se a inclusão de um circuito adicional, o bloco *start-up*, que garante estabilização no ponto de operação desejado de forma robusta e regular. O bloco corresponde a uma estrutura que atua sobre o núcleo do circuito apenas no transiente inicial de estabilização, enquanto os transistores do núcleo não operam em saturação. Em regime, o bloco não deve exercer qualquer influência sobre o núcleo do circuito.

O bloco *start-up* utilizado está apresentado na figura 48, integrado ao núcleo do circuito.

entanto, optamos pela estrutura compacta e simples apresentada acima por não ambicionarmos minimizar consumo neste momento.

No circuito enviado na 1ª rodada de fabricação, os transistores do bloco *start-up* foram dimensionados conforme mostra a tabela 3.

Transistor	$L(\mu\text{m})$	$W(\mu\text{m})$
M_{S1}	1	15
M_{S2}	2	10
M_{S3}	5	5

Tabela 3 – Dimensionamento do bloco *start-up* da 1ª rodada de fabricação

Embora os circuitos dimensionados para a 1ª rodada apresentem o comportamento esperado com tensões de alimentação próximas de 1V, optamos por redimensionar o bloco *start-up* para a 2ª rodada de fabricação de forma mais robusta e otimizada. Com isto, os circuitos da 2ª rodada devem operar sob uma faixa mais ampla de tensão de alimentação além de prevermos menor influência de correntes sub-limíares. Os novos valores de dimensionamento estão apresentados na tabela 4.

Transistor	$L(\mu\text{m})$	$W(\mu\text{m})$
M_{S1}	1	15
M_{S2}	30	1
M_{S3}	60	1

Tabela 4 – Dimensionamento do bloco *start-up* da 2ª rodada de fabricação

Observe na tabela 4, que o transistor M_{S3} foi dimensionado com valor de relação W/L muito abaixo do caso anterior, o que garante menor corrente associada a uma faixa mais ampla de tensão de alimentação.

Para nos certificar, na prática, de que os blocos *start-up* não exercem influência sobre a operação em regime do circuito, foram implementadas versões dos circuitos completos com e sem blocos *start-up*, em ambas as rodadas de fabricação. Quando necessário, a inicialização dos circuitos sem bloco *start-up* foi garantida a partir da indução de pulsos de tensão (por acoplamento ruidoso) nos terminais de saída V_{REF} .

4.3 Layout

Foram fabricados quatro circuitos integrados (CIs) distintos, dois em uma primeira rodada e dois em uma segunda rodada de fabricação. Cada CI contém oito versões do circuito proposto com núcleo dimensionado conforme a tabela 1 (exceto pelos valores de W_4 e W_7 que foram adaptados para integração do circuito de ajuste). Em cada rodada de fabricação, o primeiro CI inclui os circuitos completos com bloco *start-up* enquanto o segundo corresponde à mesma estrutura de *layout* com os blocos *start-up* excluídos. A diferença entre os circuitos fabricados na primeira e segunda rodada corresponde à forma de implementação dos blocos *start-up*, dos blocos de ajuste e dos blocos digitais incluídos para implementação da interface externa do CI e controle digital dos blocos de ajuste.

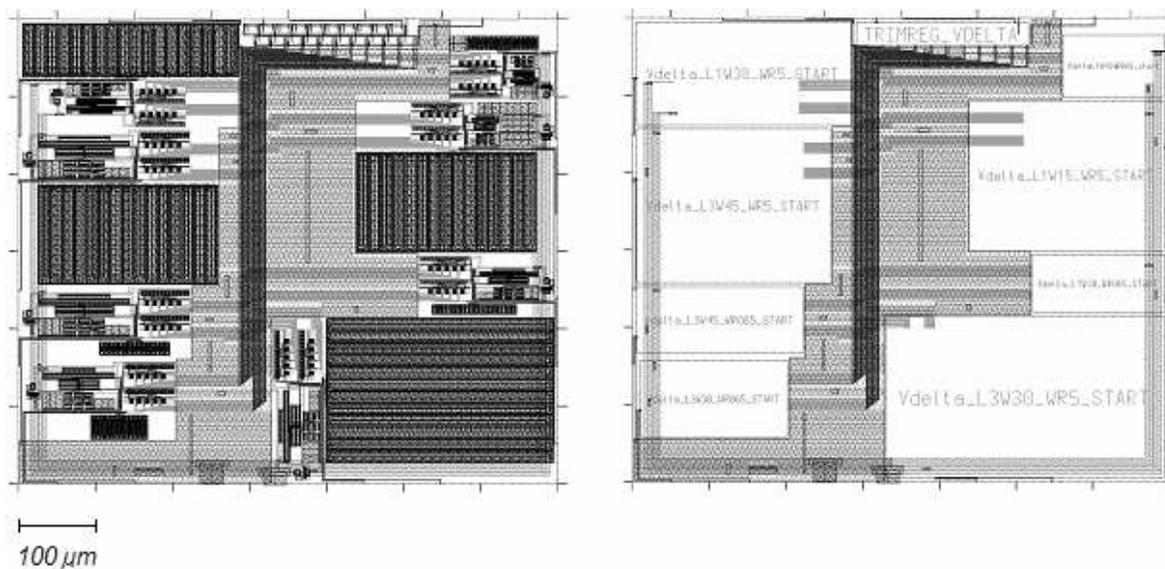


Figura 49 – Layout dos CIs com *start-up* da 1ª rodada de fabricação

A figura 49 ilustra o *layout* dos circuitos fabricados na 1ª rodada. O bloco digital, posicionado na parte superior do *layout*, controla o estado do barramento de vinte linhas correspondentes aos sinais de acionamento das chaves (sinais de controle e sinais complementares) dos blocos de ajuste dos circuitos individuais.



Figura 50 – Layout dos CIs com *start-up* da 2ª rodada de fabricação

A figura 50 ilustra o *layout* dos circuitos fabricados na 2ª rodada. O bloco digital, novamente posicionado na parte superior do *layout*, controla o estado do barramento de dez linhas correspondentes aos sinais de acionamento das chaves complementares nos blocos de ajuste dos circuitos analógicos.

Podemos inferir algumas relações de custo-benefício com base nos valores de dimensionamento apresentados na tabela 1 e nas estruturas de *layout* apresentadas. As versões de circuito com menor valor de corrente mínima usam valores maiores de resistência, o que na prática resulta em maior parcela de área ocupada por resistores. O valor de ganho N_T foi feito próximo de 1 para reduzir consumo. No entanto, isto também demanda valores altos de resistência R_T e, conseqüentemente, maior parcela de área ocupada pelo resistor. Os transistores que conduzem menor corrente foram dimensionados com menor razão W/L . No caso dos circuitos implementados, os valores de largura W dos transistores foram reduzidos nas versões do circuito de menor corrente, o que resultou em certa diminuição da área associada (parcela bem menos expressiva que a de resistores). No entanto, em implementações de muito baixo consumo, prevemos razões W/L menores que 1, de tal forma que a redução de correntes deve implicar no aumento do comprimento L dos transistores, o que reforçaria a relação entre redução de consumo e aumento de área. Para

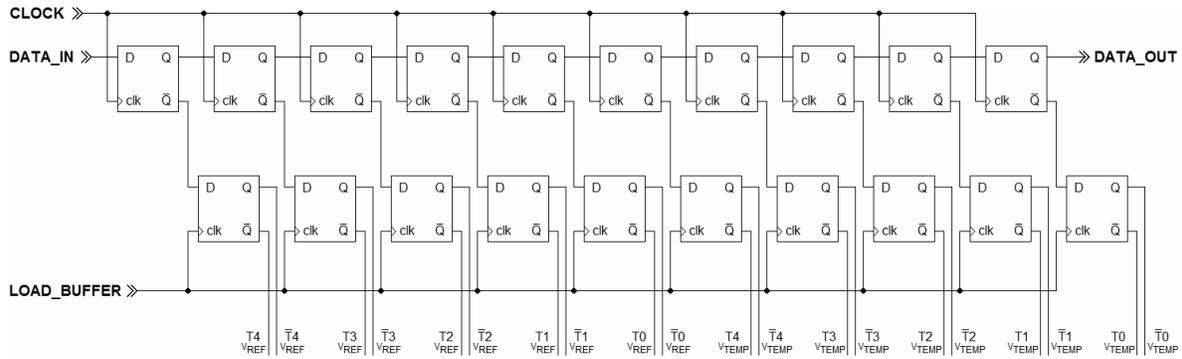
melhor casamento entre resistores, o aumento da largura do resistor implica em aumento na mesma proporção de seu comprimento, de tal forma que o valor nominal de resistência seja mantido. Consequentemente, a área ocupada pelo resistor aumenta de forma quadrática. As estruturas retangulares de coloração escura na figura 49 e na figura 50 correspondem aos resistores integrados. Observe como o aumento do valor de largura dos resistores tem forte impacto no consumo de área.

Nas seções seguintes, as estruturas de *layout* dos circuitos fabricados são apresentadas com maior detalhamento enfocando cada bloco funcional do circuito.

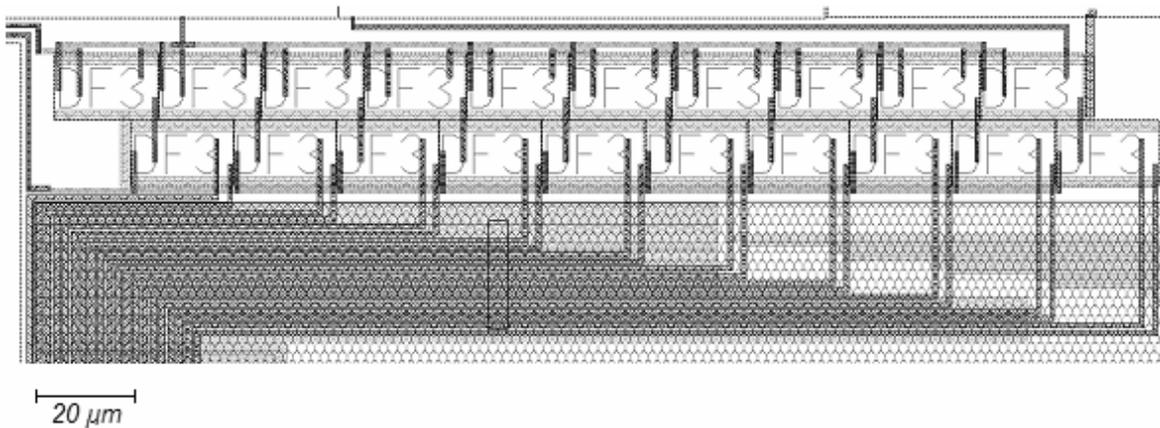
4.3.1 Blocos digitais

Os blocos digitais correspondem a elementos de memória programáveis responsáveis pelo controle digital dos sistemas de ajuste. A partir de uma interface externa simples, o usuário determina o código digital de ajuste embarcado. Estes blocos foram implementados utilizando *flip-flops*, disponíveis na biblioteca fornecida para a tecnologia AMS CMOS 0,35 μ m, dispostos em configurações básicas de projeto digital.

Nos CIs fabricados na 1^o rodada, o código digital de ajuste é carregado, através de uma interface serial simples, em um registrador interno de deslocamento de 10 bits. Os 5 bits menos significativos correspondem às entradas dos blocos de ajuste associados aos sinais V_{TEMP} , enquanto os mais significativos correspondem às entradas dos blocos de ajuste associados aos sinais V_{REF} . Um registrador adicional, com carregamento paralelo, foi adicionado como estágio *buffer*. O estágio mantém os códigos de ajuste válidos durante o carregamento serial do registrador de deslocamento. Quando o código digital no registrador de deslocamento é válido, um sinal digital externo aciona o carregamento do código no estágio *buffer*, que efetivamente disponibiliza os sinais para os blocos analógicos.



(a)



(b)

Figura 51 – Bloco digital da 1ª rodada de fabricação: (a) esquemático e (b) layout

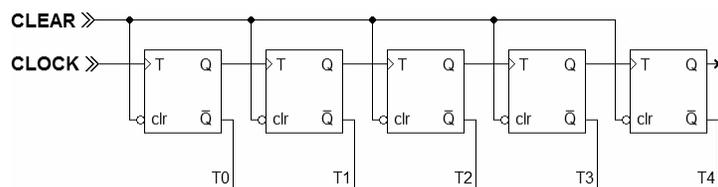
Na figura 51 (a) e (b), a cadeia de *flip-flops* tipo D (DF3) na linha superior implementa o registrador de deslocamento, enquanto a cadeia na linha inferior implementa o estágio *buffer*. O controle do bloco é feito através da interface serial implementada com três pinos de entrada e um de saída que estão descritos a seguir.

- **DATA_IN** – Entrada do registrador de deslocamento que corresponde à entrada D do primeiro *flip-flop* do registrador. Entrada de dados a serem armazenados.
- **DATA-OUT** – Saída do registrador de deslocamento que corresponde à saída Q do último *flip-flop* do registrador. Utilizada para verificação prática do funcionamento do registrador de deslocamento.
- **CLOCK** – Entrada *clock* do registrador de deslocamento, ativa na borda de subida. Controla o passo de carregamento serial do registrador de deslocamento.

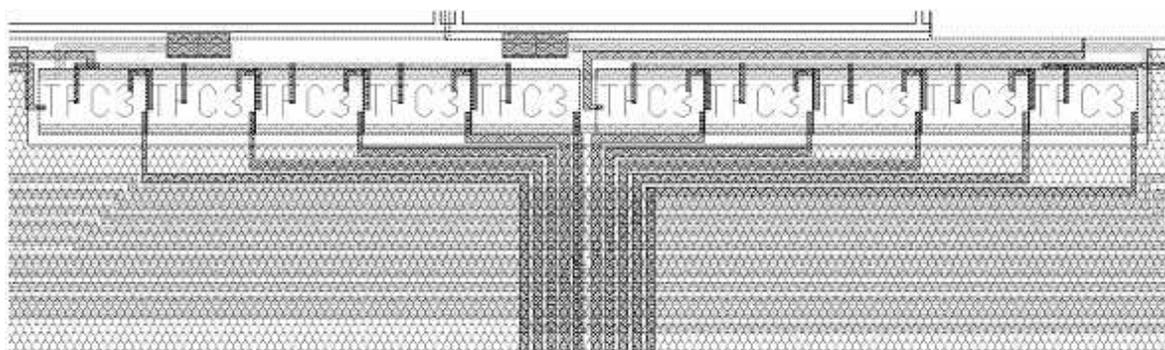
- **LOAD_BUFFER** – Entrada *clock* dos *flip-flops* do estágio *buffer*, ativa na borda de subida. Aciona o carregamento paralelo do código binário armazenado no registrador de deslocamento para o registrador *buffer*.

Conforme previsto para a topologia do bloco de ajuste apresentada na figura 44, o barramento digital inclui 10 linhas para os sinais de controle T e 10 linhas para os sinais complementares \bar{T} . Os sinais são fornecidos pelos *flip-flops* do registrador *buffer*.

Para a 2^o rodada de fabricação, optamos por uma estrutura digital diferente que permite a configuração independente dos códigos de ajuste associados aos sinais V_{REF} e V_{TEMP} . Nosso intuito foi simplificar a interface externa e o método de programação aplicado na etapa de verificação experimental. O bloco digital foi implementado com dois contadores independentes de 5 bits. Cada contador possui sua própria interface externa para programação independente dos códigos de ajuste correspondentes.



(a)



(b)

Figura 52 – Bloco digital da 2^o rodada de fabricação: (a) esquemático e (b) *layout*

Cada contador foi implementado utilizando *flip-flops* tipo T (TFC3) conforme o esquemático apresentado na figura 52 (a). O *layout* completo do bloco digital da 2^o rodada está apresentado na figura 52 (b). Na figura, os cinco *flip-flops* à esquerda implementam o contador responsável pela geração dos sinais associados ao sistema de ajuste dos sinais V_{REF} enquanto os cinco à direita implementam o contador associado ao ajuste dos sinais V_{TEMP} . O estado dos contadores corresponde aos códigos de ajuste fornecidos através do barramento digital para os blocos analógicos do CI. A interface externa de cada contador consiste em apenas dois pinos de entrada:

- **CLOCK** – Entrada de *clock* do contador, sensível à borda de subida. Cada pulso de *clock* incrementa o valor armazenado no contador.
- **CLEAR** – Entrada ativa em nível baixo. Um pulso *clear* inicializa o contador com estado inicial de contagem igual a zero.

Conforme se observa pela figura 46, os blocos de ajuste da 2^o rodada não requerem pares complementares de sinais de controle. Isso reduz pela metade as linhas de barramento necessárias em relação aos CIs da 1^o rodada.

4.3.2 Blocos analógicos

O desempenho dos blocos analógicos é influenciado pelo *layout* elaborado. Vários fatores que não comprometem o funcionamento de células digitais derivam, entretanto, fontes significativas de erro em blocos analógicos.

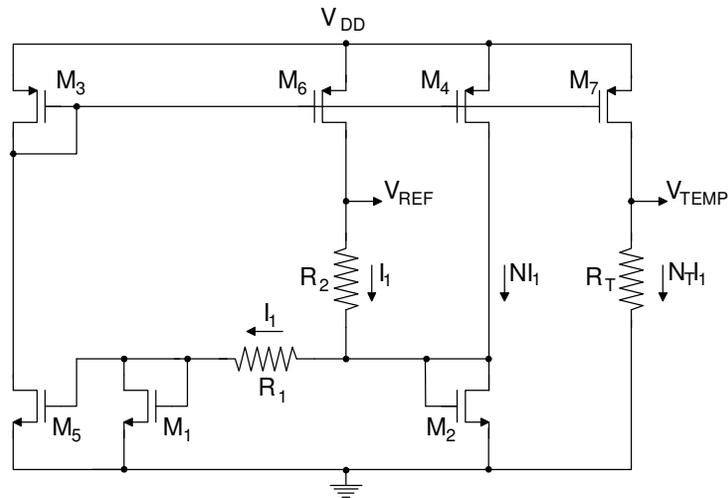


Figura 53 – Topologia do circuito proposto

O equacionamento do circuito proposto foi feito com base no esquemático reapresentado na figura 53. No equacionamento, foram considerados espelhos de corrente ideais, resistências R_1 e R_2 iguais e transistores M_1 , M_2 e M_5 idênticos. O desempenho real do circuito depende essencialmente de que tais considerações sejam consistentes na prática. Portanto, é fundamental a aplicação de técnicas na elaboração do *layout* que assegurem estas condições, para que o comportamento real do circuito se aproxime do ideal previsto. Com este propósito, adotamos os seguintes procedimentos [99] na elaboração dos *layouts* dos circuitos:

- Segmentação de componentes – São comuns desvios nas medidas reais de componentes, com valor absoluto associado a fontes de erro variadas no processo de fabricação. Para que a razão entre dimensões de componentes distintos não se altere, os componentes devem ser implementados através da associação, em série ou paralelo, de componentes idênticos (segmentos). Com a expectativa de mesmo desvio absoluto de cada componente unitário, o desvio relativo será o mesmo e a razão permanecerá inalterada.
- Inserção de *dummies* - Alguns processos para formação de componentes em Silício possuem características que dependem da morfologia da região em que o componente é posicionado. Destaca-se o processo de corrosão química cuja

eficiência depende da área exposta sem proteção. Para garantir mesmas características de processo, componentes casados devem ser posicionados em regiões com mesma morfologia, ou seja, devem ser circundados por estruturas idênticas. Neste sentido, é comum inserir estruturas inoperantes (*dummies*) para uniformizar a região ao redor dos componentes.

- c) Disposição *Common-centroid* - A técnica consiste na disposição de componentes casados de tal forma que seus centros geométricos coincidam. Os componentes precisam ser implementados através da associação de segmentos, posicionados segundo eixos de simetria, cuja intersecção define o centro geométrico. Corresponde à melhor técnica disponível para minimizar descasamento devido a *stress* físico. Os componentes devem ser proximamente posicionados para minimizar o efeito de gradientes de, por exemplo, temperatura e *stress*, ao longo da estrutura.

Em cada CI, as oito versões do circuito proposto foram implementadas segundo a mesma estratégia de *layout* e com base na mesma configuração espacial de componentes. Essencialmente, a diferença entre as estruturas de cada versão consiste nos valores reais de dimensionamento. Para ilustrar as técnicas aplicadas, analisamos o *layout* da versão L3W30_WR065, da 1º e 2º rodada de fabricação, como representante dos blocos analógicos.

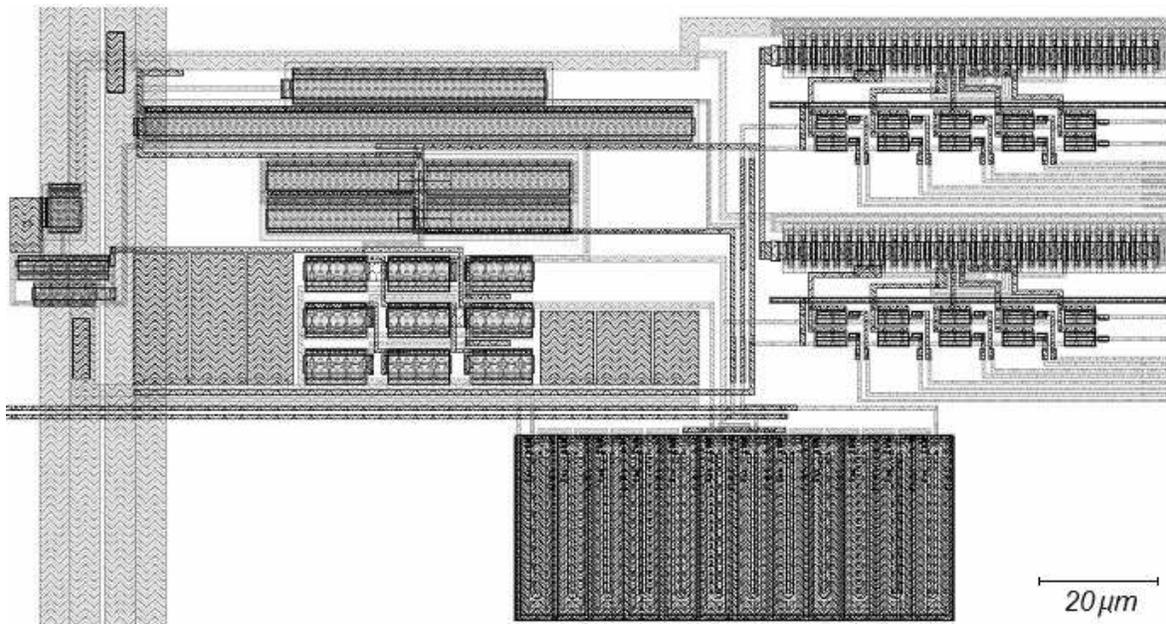


Figura 54 – Layout da versão L3W30_WR065 da 1^o rodada de fabricação

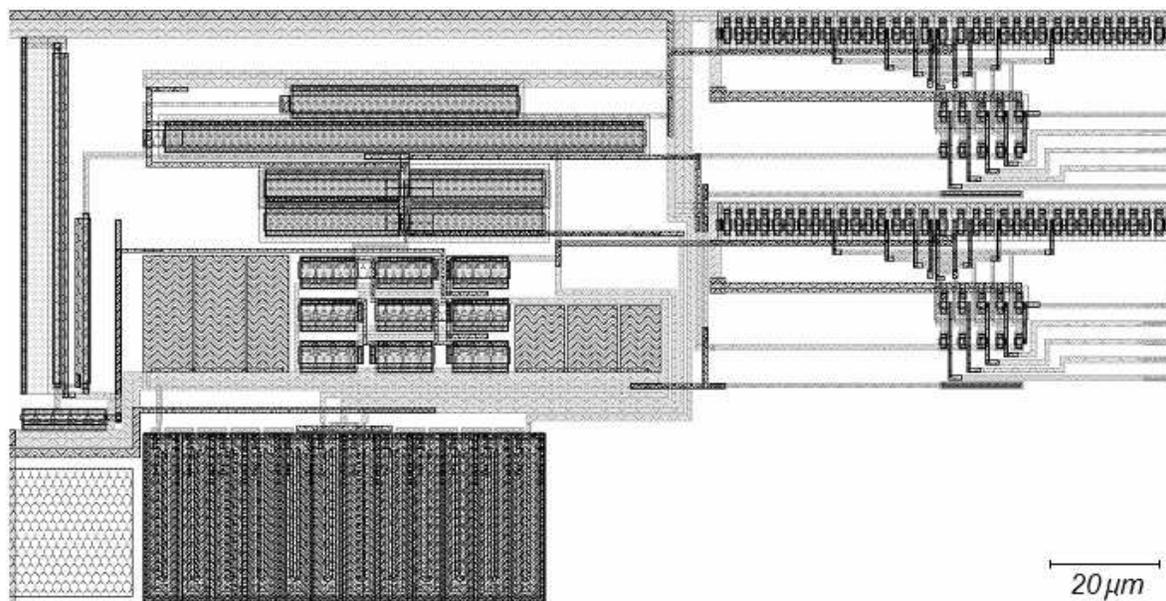


Figura 55 – Layout da versão L3W30_WR065 da 2^o rodada de fabricação

Conforme visto nas figuras, além do simples reposicionamento de blocos (como os resistores na parte inferior), o *layout* implementado em cada rodada de fabricação difere apenas na estrutura do bloco *start-up* (à esquerda nas figuras) e dos blocos de ajuste (à direita nas figuras).

A figura 56 representa o *layout* dos blocos *start-up* de cada rodada de fabricação. São estruturas simples, cuja funcionalidade pouco depende de sofisticações de *layout*.

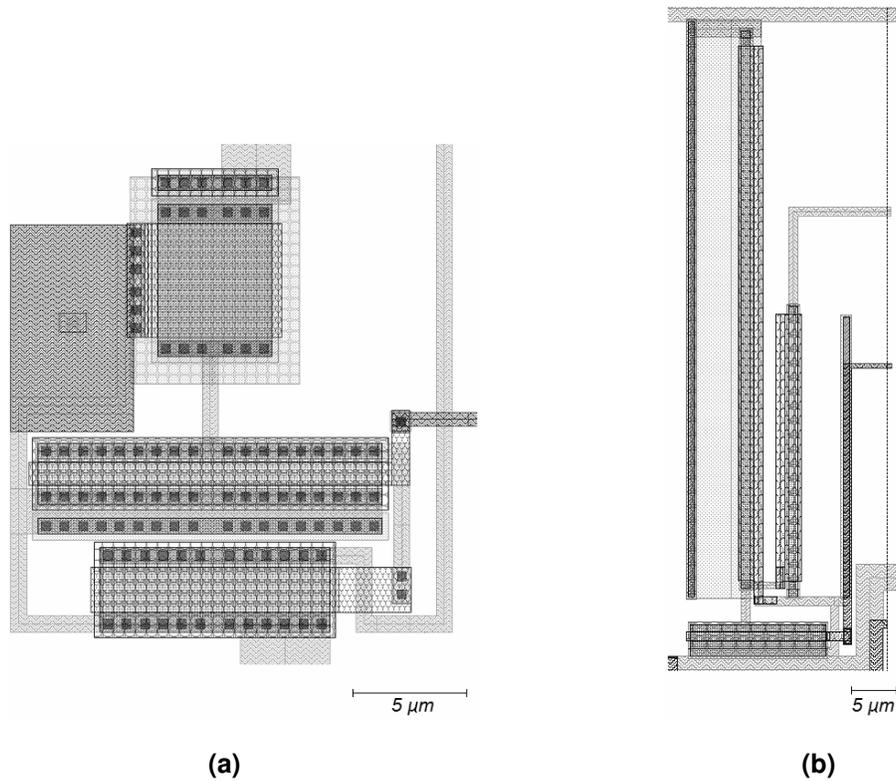


Figura 56 – Blocos *start-up* (a) da 1ª rodada e (b) da 2ª rodada de fabricação

No caso dos transistores M_1 , M_2 e M_5 do núcleo do circuito, é necessário obter máximo casamento para manter válidas as considerações previstas no seu equacionamento. Neste caso, aplicamos a disposição *common-centroid* conforme se observa na figura 57.

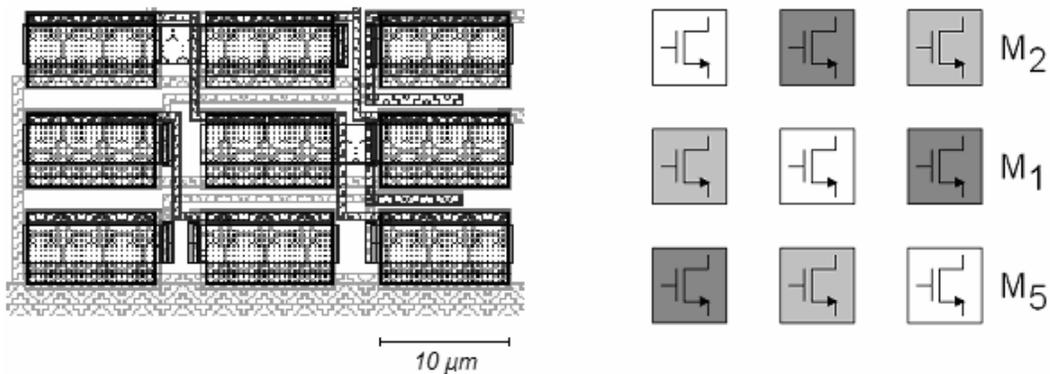


Figura 57 – Layout dos transistores M_1 , M_2 e M_5 (configuração *common-centroid*)

Observe no esquema que cada um dos transistores, M_1 , M_2 e M_5 , é implementado por uma associação em paralelo de três transistores idênticos. Os transistores de cada trio são posicionados de tal forma que o centro geométrico do conjunto coincida com o centro da matriz 3×3 .

O espelho de corrente de ganho unitário formado pelos transistores M_3 e M_6 foi implementado com base na mesma técnica, conforme mostrado na figura abaixo.

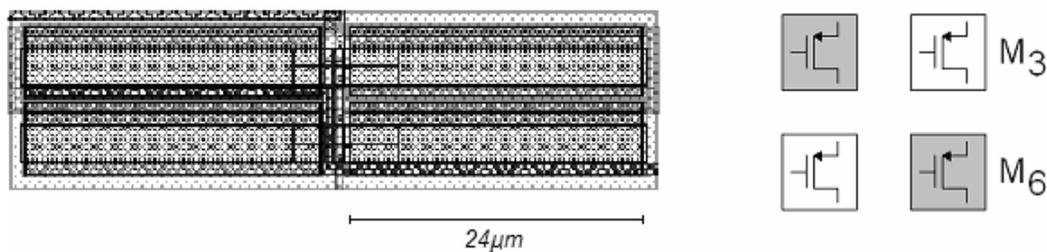


Figura 58 – Layout dos transistores M_3 e M_6 (configuração *common-centroid*)

Não há nenhuma sofisticação no layout dos transistores M_4 e M_7 , cada um é implementado por um único componente. Como estão associados a um sistema de ajuste, M_4 e M_7 definem o limite inferior da faixa de ajuste. Certa variação nos limites extremos da faixa são tolerados diante da maior simplicidade de implementação e possibilidade de ajuste. O ponto crítico, neste caso, é que o passo de ajuste seja constante em toda faixa. Neste sentido, os transistores auxiliares do sistema de ajuste devem apresentar ótimo casamento.

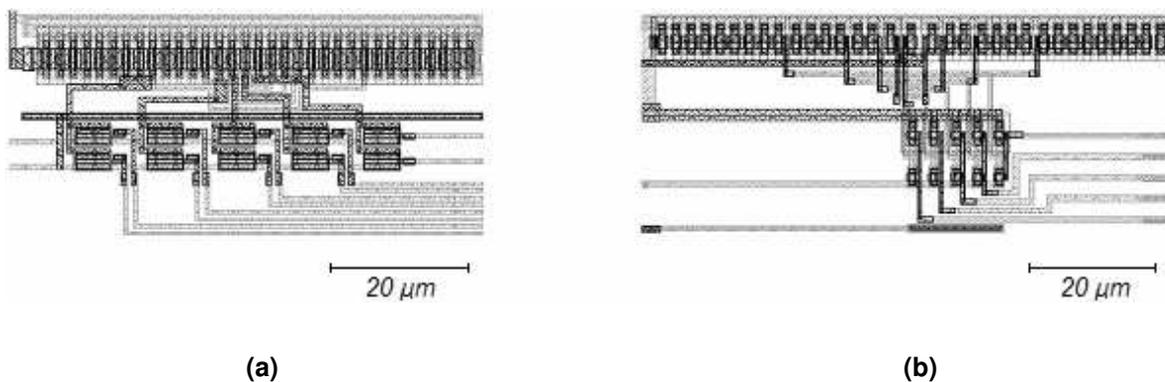


Figura 59 - Bloco de ajuste da (a) 1ª rodada e (b) 2ª rodada

Os *layouts* dos blocos de ajuste da 1^o e 2^o rodada de fabricação estão representados na figura 59. A cadeia de transistores na parte superior da estrutura (acima das chaves digitais) implementa os transistores auxiliares. Transistores *dummie* (com terminais conectados a V_{DD}) são incluídos nas extremidades da cadeia, de tal forma que todos os transistores auxiliares estejam justapostos a estruturas idênticas. Foram aplicadas as técnicas de segmentação de componentes e disposição *common-centroid*, conforme mostrado no esquema abaixo.

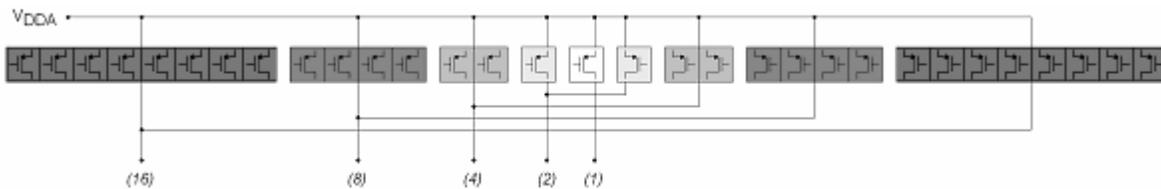


Figura 60 – Cadeia de transistores auxiliares em configuração *common-centroid* com segmentação de componentes (transistores unitários idênticos)

Finalmente, para a implementação de resistores, além da consideração em projeto $R_1 = R_2 = R$, lembramos que a tensão de saída V_{TEMP} depende da razão R_T/R , o que sugere que R_T também deva ser casado com R_1 e R_2 . A tolerância associada ao valor de resistência de um resistor integrado pode ser da ordem de 30%, mas é possível obter desvios abaixo de 1% associados ao valor da razão entre as resistências a partir da aplicação das técnicas apresentadas [99].

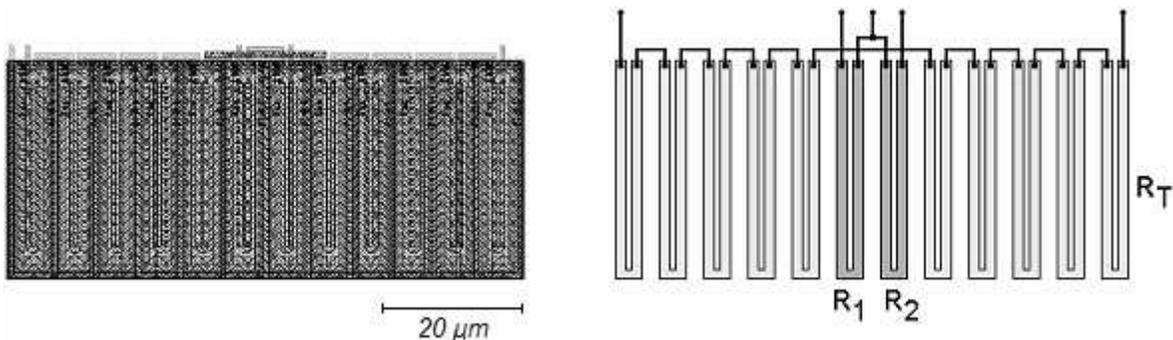


Figura 61 – Layout dos resistores

Os resistores do núcleo do circuito foram implementados conforme a figura 61. Note que existe certa simetria no layout dos resistores no sentido da aplicação da disposição

common-centroid, embora tenhamos optado pela não segmentação dos resistores R_1 e R_2 (idênticos) a fim de manter um formato espacial adequado. Os resistores R_1 e R_2 , com formato longitudinal, possuem centros geométricos relativamente próximos, o que favorece o casamento.

Observe nas figura 54 e 55 a parcela de área, relativamente pequena, ocupada pelos resistores com largura $W_R=0,65\mu\text{m}$. Nas versões com resistores de largura $W_R=5\mu\text{m}$, há um aumento quadrático da área ocupada pelos resistores em relação às implementações com menor largura. Nas versões com $W_R=5\mu\text{m}$, os resistores ocupam uma grande parcela da área total do circuito, contribuindo significativamente no custo associado. Como exemplo, observe o *layout* na figura 62, correspondente à célula L3W30_WR5, da 2ª rodada de fabricação.

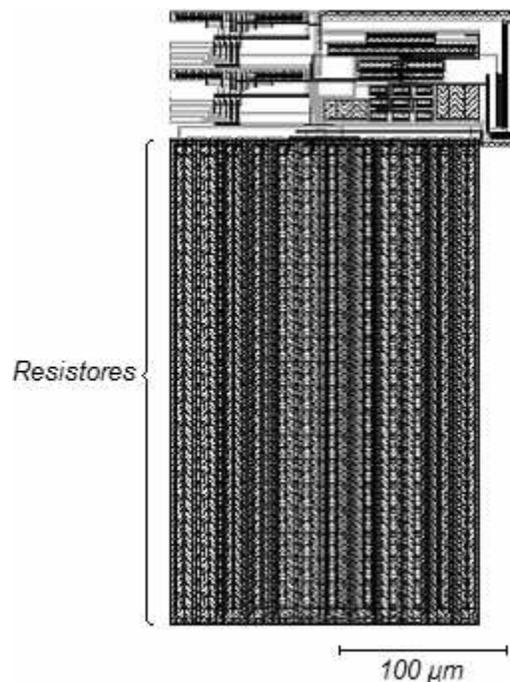


Figura 62 – Layout da versão L3W30_WR5 da 2ª rodada de fabricação

Comparando as estruturas apresentadas nas figura 62 e 55, é claro o impacto em consumo de área associado a resistores com maior largura. No entanto, quanto menor a largura dos resistores, maior a sensibilidade a desvios de processo causadores de descasamento. Para aplicações em circuitos dirigidos a mercado de baixo custo, é fundamental um estudo aprofundado para definição do valor mínimo de largura que

mantém os índices estatísticos de descasamento toleráveis. Esta análise deve considerar a dispersão estatística de parâmetros de descasamento e ser fundamentada em medidas experimentais obtidas sobre uma grande quantidade de amostras. Conforme comentado anteriormente, não é viável incluir esta análise neste trabalho, mas podemos ilustrar o impacto em área associado através dos *layouts* apresentados.

4.4 Conclusões

Neste capítulo, apresentamos detalhadamente o procedimento de projeto e implementação de protótipos da topologia proposta na tecnologia CMOS AMS 0,35 μm . Oito versões do circuito, com dimensionamento distinto, foram projetadas a fim de possibilitar a análise das principais fontes de erro associadas. Resultados de simulação foram apresentados como melhor previsão do comportamento real dos circuitos. Efeitos não previstos pelo projeto e observados nas simulações foram identificados e discutidos. Circuitos adicionais para ajuste e estabilização transiente foram incluídos e analisados. Os protótipos fabricados, em duas rodadas de fabricação, incluem variações destas estruturas periféricas, que poderão ser comparadas a partir dos resultados experimentais. Um forte enfoque na disposição espacial das estruturas em Silício foi dado, diante de nosso entendimento de que o desempenho real dos circuitos analógicos depende, fundamentalmente, das técnicas aplicadas para elaboração dos *layouts*. Desta forma, incluímos a descrição e ilustração das técnicas aplicadas nesta etapa, que devem contribuir a favor de que o comportamento real dos circuitos se aproxime do previsto pela ferramenta de simulação.

Aprimoramentos com o acréscimo de estruturas periféricas, para maior regulação de carga, rejeição de fonte e compensação de efeitos de segunda ordem, poderão ser incorporados em futuros trabalhos. Nesta etapa, nosso objetivo foi o desenvolvimento de protótipos necessários para a comprovação experimental do princípio de compensação térmica explorado para a geração dos sinais de referência e de sensoriamento térmico.

Capítulo 5

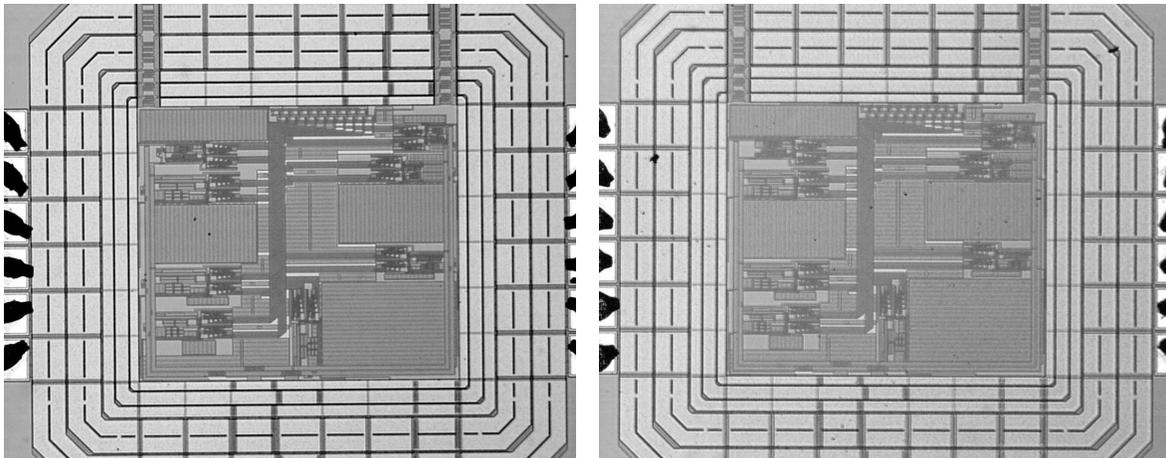
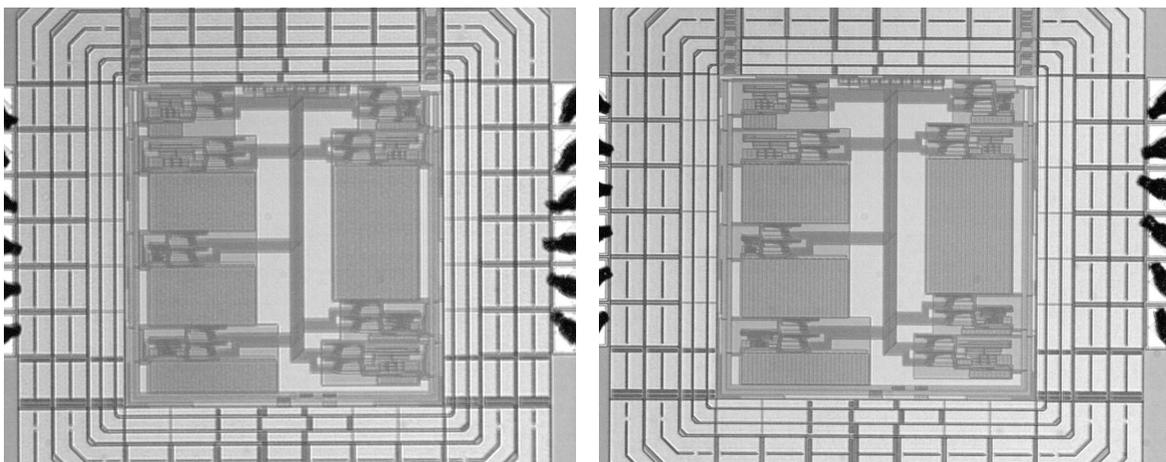
Resultados experimentais

5.1 Introdução

Foram fabricadas amostras de quatro CIs, conforme descrito no capítulo anterior. Classificamos as amostras, identificando a rodada de fabricação correspondente e a presença de bloco *start-up* integrado. Desta forma, as amostras são identificadas dentre os tipos:

- 1º rodada com *start-up*
- 1º rodada sem *start-up*
- 2º rodada com *start-up*
- 2º rodada sem *start-up*

Na figura 63, apresentamos fotos, tiradas com microscópio óptico, de uma amostra de cada tipo. Lembramos que a diferença entre os circuitos fabricados na 1º e 2º rodada corresponde ao dimensionamento dos blocos *start-up* (quando inclusos), implementação dos blocos de ajuste e implementação do bloco digital de controle e interface, não havendo diferença associada à implementação do núcleo de cada versão do circuito.

(a) 1º rodada com bloco *start-up*(b) 1º rodada sem bloco *start-up*(c) 2º rodada com bloco *start-up*(d) 2º rodada sem bloco *start-up***Figura 63 – Fotos de amostras de cada tipo de CI fabricado**

Quando iniciamos os testes com o conjunto completo de amostras recebido (CIs da 1º e 2º rodada), verificamos uma falha grave associada à etapa de fabricação: as células digitais (*flip-flops*) não foram implementadas em nenhum dos casos. Consequentemente, os sistemas de ajuste neste conjunto de amostras são totalmente inoperantes. Nas fotos apresentadas na figura 64, é possível observar que apenas a camada de metal dos blocos digitais foi de fato fabricada.

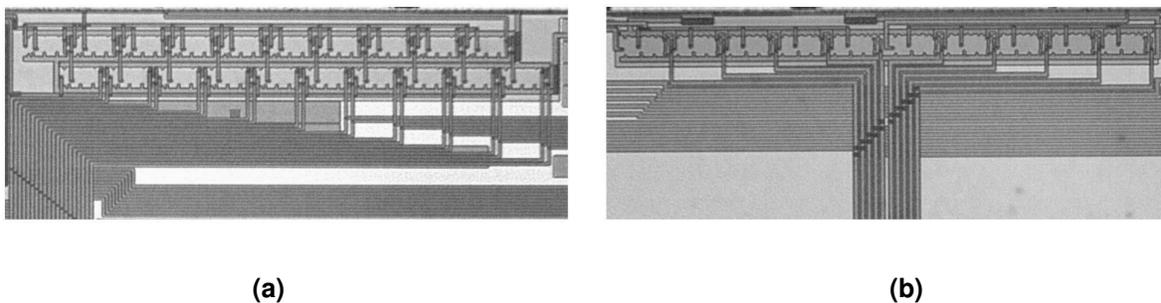


Figura 64 – Estrutura dos blocos digitais da (a) 1^o rodada e (b) 2^o rodada de fabricação

Assim que a falha foi descoberta, contatamos a AMS a respeito do problema verificado. Sem perspectiva de quais providências seriam tomadas e quando receberíamos uma resposta, optamos por realizar todo o procedimento de caracterização e análise experimental, sobre as amostras recebidas, extraindo o máximo de informação possível deste conjunto.

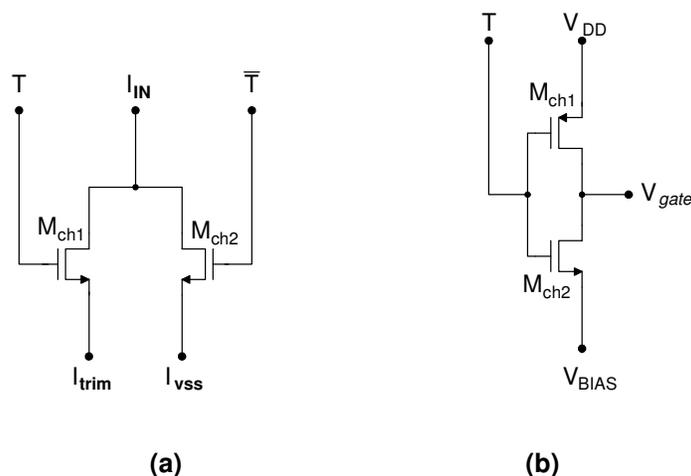


Figura 65 – Células de chaves digitais implementadas na (a) 1^o rodada e (b) 2^o rodada

A ausência dos blocos digitais resulta em terminais de porta flutuantes dos transistores de chave dos blocos de ajuste. O potencial do nó flutuante depende essencialmente de cargas presas no condutor e da influência de potenciais de condutores próximos, através de acoplamento capacitivo. No entanto, dada a característica contínua (DC) do circuito, ou seja, não havendo transientes rápidos de potencial durante a operação em regime, é provável que este potencial tenda a um valor de equilíbrio estável, que acreditamos ser determinado principalmente pelas cargas presas no condutor flutuante, uma vez que não há proximidade significativa com outros condutores não flutuantes no *layout*.

Isso nos permite considerar os circuitos funcionais, porém, com condição fixa de ajuste, não conhecida a priori. Os resultados experimentais obtidos confirmaram esta hipótese, sendo coerentes com a condição de limite mínimo da faixa de ajuste, em que as chaves digitais (com potenciais de porta em nível baixo) desconectam os transistores auxiliares do núcleo do circuito. Testes consecutivos demonstraram reprodutibilidade das medidas, o que nos fez concluir que este estado de condução das chaves era de fato estável. Desta forma, podemos interpretar os resultados obtidos, considerando a condição de limite mínimo de ajuste, analisando a resposta do circuito com base no comportamento previsto para esta condição.

Decorrido longo período de tempo, bem após conclusão dos testes experimentais feitos sobre o primeiro conjunto de amostras recebido, a AMS reconheceu sua responsabilidade sobre a falha e re-fabricou todos os CIs, com os blocos digitais devidamente incluídos. Desta forma, recebemos um segundo conjunto completo de amostras totalmente funcionais. Neste ponto, optamos por refazer todos os testes de caracterização térmica, sobre o novo conjunto de amostras, substituindo os resultados anteriores pelos novos resultados obtidos na condição ótima de ajuste. Decidimos não refazer os testes em temperatura ambiente, que caracterizam os circuitos quanto à sensibilidade a variações de potencial de alimentação (rejeição de fonte). Neste caso, em vista da proximidade do prazo final de conclusão deste trabalho, concluímos que os resultados obtidos dos testes em temperatura ambiente sobre o primeiro conjunto de amostras eram suficientes para fundamentar nossas conclusões sobre o comportamento analisado, conforme será explicado posteriormente.

Nas próximas seções, apresentamos os procedimentos de caracterização realizados, resultados experimentais obtidos e sua análise. Começamos pela caracterização do comportamento térmico dos circuitos nas amostras com sistema de ajuste funcional. Em seguida, analisamos parâmetros extraídos de testes em temperatura ambiente das amostras com blocos digitais ausentes.

5.2 Caracterização do comportamento térmico

5.2.1 Procedimentos

Para caracterização do comportamento térmico dos sinais de saída fornecidos pelos circuitos, utilizamos uma câmara climática, que permite o controle preciso da temperatura e umidade no seu interior. Em cada rodada de medição, três amostras de um mesmo CI, montadas em uma placa de circuito impresso, são colocadas no interior da câmara. Uma espessa placa de metal é fixada em contato com a parte superior das amostras, atuando como inércia térmica, para uniformizar e garantir estabilidade da temperatura de operação dos circuitos. Um sensor preciso de temperatura (sensor resistivo de platina PT500), em contato com a placa, é monitorado para que o procedimento de medição se inicie após estabilização da temperatura no valor desejado.



Figura 66– Montagem dos CIs no interior da câmara climática

Foram caracterizadas três amostras de cada CI projetado, totalizando doze amostras. Lembramos que cada amostra possui oito versões com dimensionamento distinto do circuito proposto, cada qual com dois terminais de saída, V_{REF} e V_{TEMP} . Ao todo, medimos a resposta em 192 terminais de saída, cada um sujeito a 32 níveis possíveis de ajuste. Foi necessário grande esforço para automatizar o procedimento de teste e processamento de dados, para lidar com a grande quantidade de medidas realizadas.

O ambiente de teste montado incluiu cinco multímetros, um multiplexador e uma fonte de alimentação, controlados via interface IEE488-2 (GPIB), através de um computador pessoal. A porta paralela do computador foi utilizada para transmissão dos sinais de controle dos blocos digitais dos CIs em teste²⁵. Aplicações desenvolvidas em *Matlab* executam o controle automático dos instrumentos, geração dos sinais de controle digitais, a aquisição de dados e seu tratamento. Uma vez iniciado o ciclo de teste, o procedimento de medidas é totalmente automático.

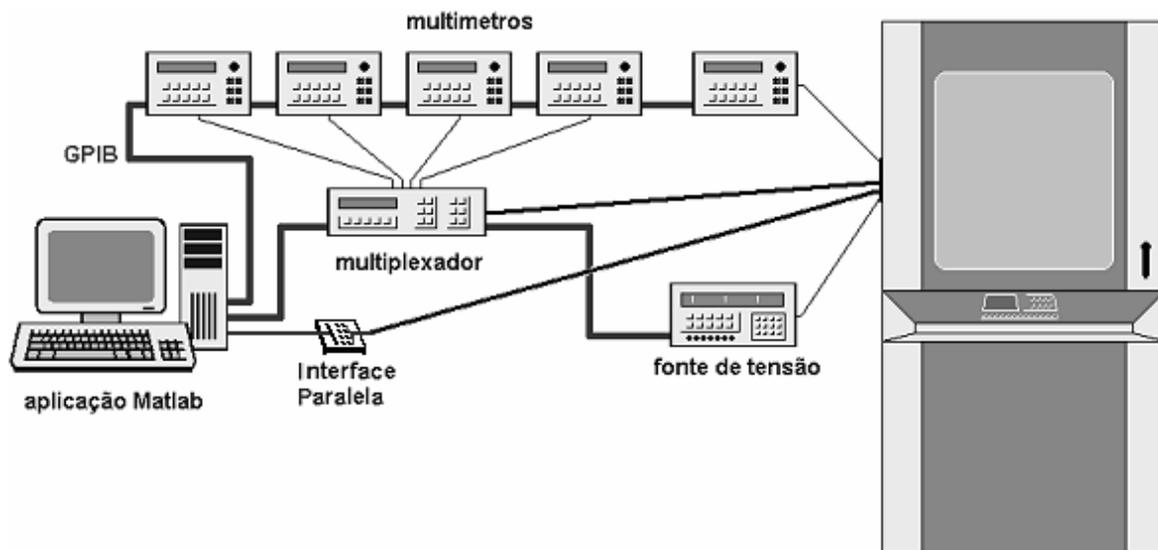


Figura 67 – Configuração da instrumentação de medidas com câmara climática

No esquema da figura 67, cada multímetro conectado ao multiplexador mede a tensão de um terminal de saída dos CIs em teste. O quinto multímetro monitora o sensor de temperatura PT500 para a extração do valor de referência. Com 24 canais de entrada e 4 saídas disponíveis no multiplexador²⁶, medimos 12 pares de saídas, V_{REF} e V_{TEMP} , em cada ciclo completo de medidas na câmara. Para cada configuração do multiplexador, todos os estados necessários de ajuste (códigos carregados nos blocos digitais dos CIs em teste) são configurados, pela aplicação em *Matlab*, através dos sinais de controle transmitidos pela porta paralela.

²⁵ Uma placa externa com opto-acopladores é montada entre a porta paralela e os CIs em teste para proteção elétrica da porta.

²⁶ Na prática, o instrumento implementa 4 multiplexadores 6x1 com controle paralelo.



Figura 68 – Foto da montagem para medições com câmara climática

O procedimento de teste consiste em medir as tensões dos pares de saída, V_{REF} e V_{TEMP} , na faixa de -40°C a 120°C , em intervalos de 20°C , com as configurações de ajuste relevantes. Os circuitos são alimentados com tensão nominal V_{DD} igual a 1V (operação em baixa tensão). Sem informação prévia da melhor condição de ajuste, é necessário medir as saídas V_{REF} e V_{TEMP} sob um conjunto completo de configurações de ajuste, selecionando a condição ótima após o tratamento de todos os dados medidos no ciclo.

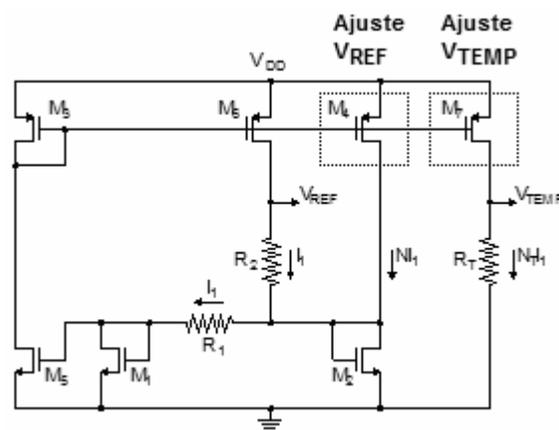
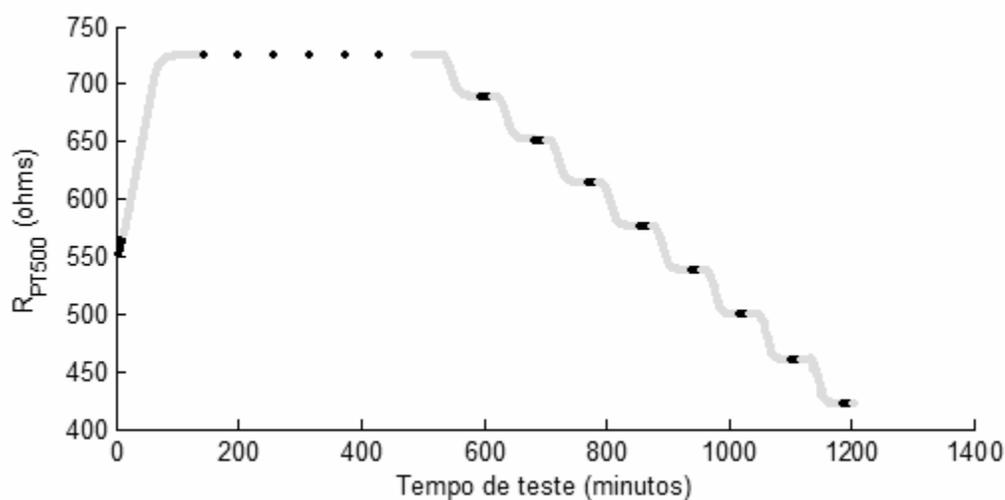


Figura 69 – Estratégia de ajuste dos coeficientes térmicos de V_{REF} e V_{TEMP}

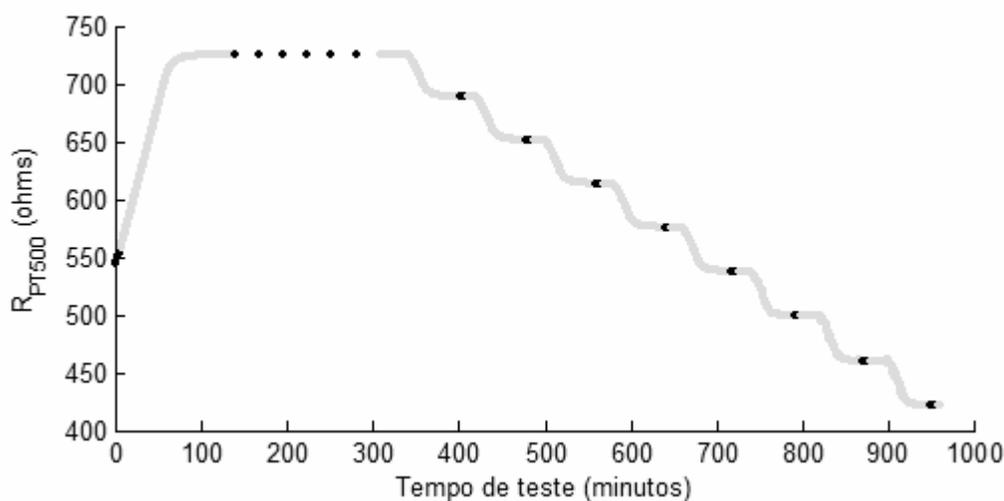
Conforme explícito na figura 69, lembramos que o ajuste do coeficiente térmico do sinal de saída V_{REF} é feito com base no controle do valor de ganho N_4 , ou seja, da largura efetiva do transistor M_4 . Para ajuste do coeficiente térmico do sinal V_{TEMP} , controlamos o valor de ganho N_7 , que é determinado pela largura efetiva do transistor M_7 . No entanto, enquanto a condição de ajuste associada ao transistor M_7 interfere apenas na geração do

sinal de saída V_{TEMP} , o ajuste associado ao transistor M_4 impacta no valor de corrente em todo o circuito, o que afeta o comportamento de ambas as saídas V_{REF} e V_{TEMP} . Desta forma, o controle do coeficiente térmico do sinal V_{TEMP} provê 32 níveis possíveis de ajuste, para cada um dos 32 níveis associados ao ajuste do coeficiente térmico do sinal V_{REF} , o que totaliza 1024 configurações independentes.

Para reduzir o tempo de cada ciclo de teste e a quantidade de dados a serem tratados, estabelecemos como condição ótima de ajuste, associada ao sinal V_{TEMP} , a condição em que os sinais de saída, V_{REF} e V_{TEMP} , apresentam valores de potencial o mais próximo possível entre si, na temperatura máxima da faixa de operação (120°C). Desta forma, o procedimento de teste se inicia na temperatura de 120°C . Nesta condição, para cada nível de ajuste configurado de V_{REF} , todos os níveis possíveis de ajuste associados ao sinal V_{TEMP} serão configurados. Ambas as tensões são medidas em cada uma das 1024 configurações de ajuste possíveis. As medidas são comparadas e para cada nível de ajuste associado à V_{REF} , o nível de ajuste correspondente, associado ao sinal V_{TEMP} , que melhor aproxima o valor das medidas entre si, é identificado e registrado. Nas demais temperaturas, cada nível de ajuste associado a V_{REF} é configurado junto com o nível correspondente de V_{TEMP} previamente selecionado, reduzindo o número de configurações medidas de 1024 para apenas 32.



(a)



(b)

Figura 70 – Histórico de medidas na câmara climática durante um ciclo de teste com CIs da (a) 1ª rodada e (b) 2ª rodada

Os gráficos nas figura 70 representam o perfil de temperatura registrado durante um ciclo de medidas na câmara climática com CIs da 1ª e 2ª rodada. Em cada gráfico, os valores no eixo das ordenadas correspondem aos valores medidos de resistência do sensor de temperatura PT500. Os pontos de coloração escura representam o momento de configuração do multiplexador, englobando os intervalos de medição. Os pontos de coloração clara representam intervalos de espera ou transição durante os quais não são feitas medidas sobre os CIs. Cada patamar horizontal no gráfico corresponde a uma

temperatura de medição. Note o longo tempo de medição associado ao patamar mais alto de temperatura (120°C), aproximadamente de 6 horas para CIs da 1ª rodada e 3 horas para CIs da 2ª rodada. O menor tempo de medidas no caso dos CIs da 2ª rodada se deve à diferente topologia dos blocos digitais que permitiu a configuração independente (mais rápida) dos códigos de ajuste associados às saídas V_{REF} e V_{TEMP} . Nos demais patamares de temperatura, o tempo de medição é significativamente menor devido ao menor número de condições de ajuste configuradas. O tempo total de cada ciclo de teste foi pouco de mais de 20 horas para os CIs da 1ª rodada e 16 horas para os CIs da 2ª rodada. Com 12 pares de saída, V_{REF} e V_{TEMP} , medidos por ciclo de teste (24 terminais), são necessárias 8 rodadas de teste para medição de todos os 96 pares de saídas (192 terminais) das 12 amostras caracterizadas²⁷.

5.2.2 Resultados obtidos

Os resultados obtidos nesta etapa serão primeiramente apresentados de forma gráfica para melhor visualização de tendências de comportamento e para facilitar a comparação entre medidas associadas às diferentes amostras. Os gráficos foram agrupados segundo a versão de dimensionamento do núcleo do circuito. Desta forma, podemos identificar variações associadas às modificações feitas entre as rodadas de fabricação ou devidas à inclusão dos blocos *start-up*. Os gráficos em cada conjunto foram colocados na mesma escala para facilitar esta análise. Em cada gráfico, são apresentadas 3 curvas correspondentes às 3 amostras caracterizadas de cada tipo de CI. Nos gráficos desta seção, adotamos a seguinte legenda: (o) amostra 1, (□) amostra 2 e (◇) amostra 3.

A primeira série de gráficos representa as saídas V_{REF} e V_{TEMP} , medidas na condição ótima de ajuste, para verificação funcional do comportamento esperado. A segunda série de gráficos apresenta as medidas de V_{REF} , em escala apropriada, de forma a evidenciar componentes de curvatura e dispersão entre amostras. Finalmente, a terceira série de gráficos apresenta a curvatura extraída das medidas de V_{TEMP} . No início de cada série, incluímos alguns comentários sobre os efeitos que esperamos observar. Alguns breves comentários são inseridos ao longo da exposição dos gráficos quando conveniente. Uma análise completa é incluída ao final de cada série.

²⁷ Na prática, um número bem maior de rodadas foi feito para eliminação de erros diversos de montagem.

No final desta seção, apresentamos uma tabela com índices representativos de desempenho calculados sobre os melhores e piores casos verificados, o que nos permitirá aprofundar a análise, considerando a faixa de desempenho alcançada por cada versão implementada do circuito. Uma tabela completa com indicadores representativos do desempenho de cada circuito medido é apresentada no Apêndice A para referência.

Sinais de saída V_{REF} e V_{TEMP}

Os gráficos que seguem apresentam as curvas obtidas na melhor condição de ajuste alcançada para os sinais de tensão V_{REF} e V_{TEMP} . É possível observar o comportamento global das tensões de saída de cada circuito, o patamar de referência e o sinal de sensoriamento térmico, ambos aproximadamente lineares, encontrando-se no limite máximo da faixa de temperatura em 120°C. Além da característica funcional das amostras, já é possível inferir sobre os principais fatores de dispersão associados às implementações.

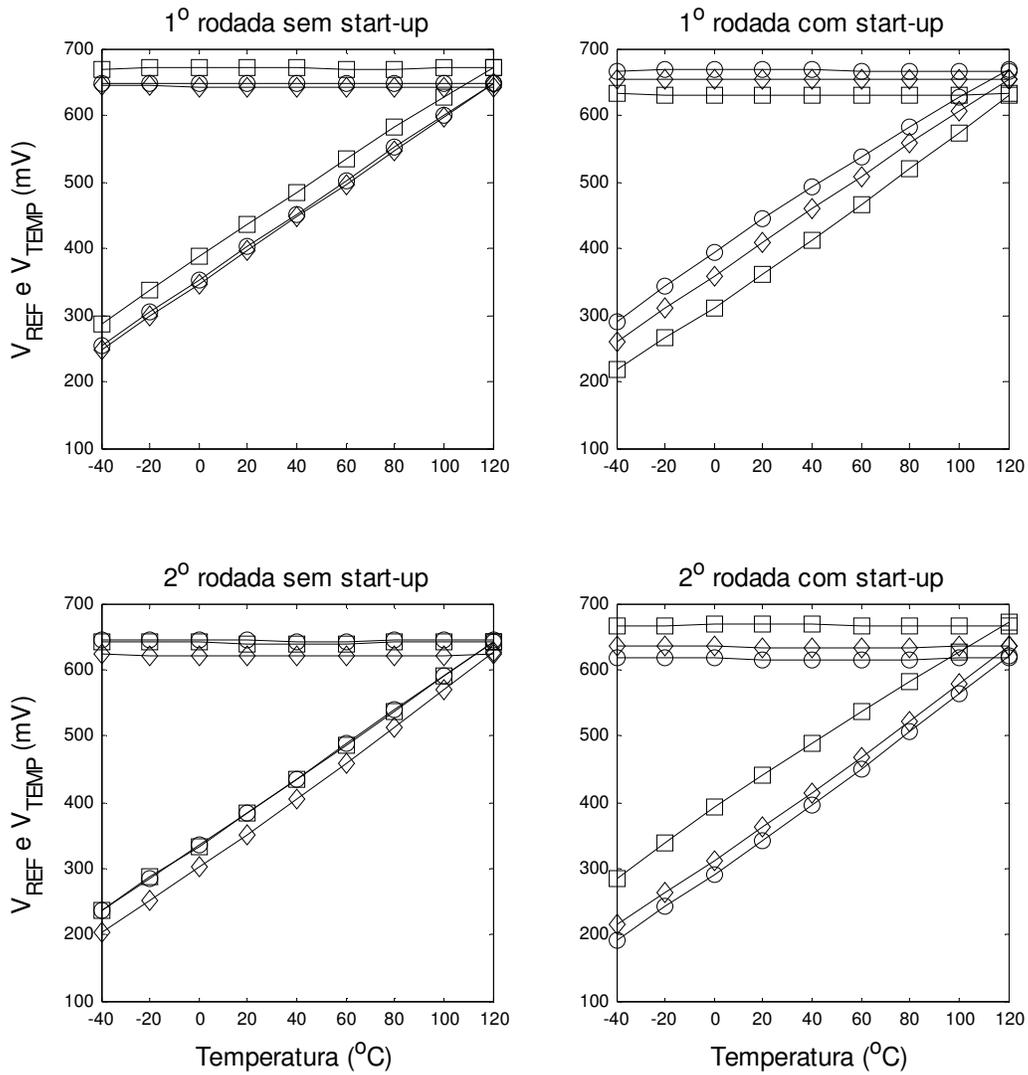


Figura 71 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

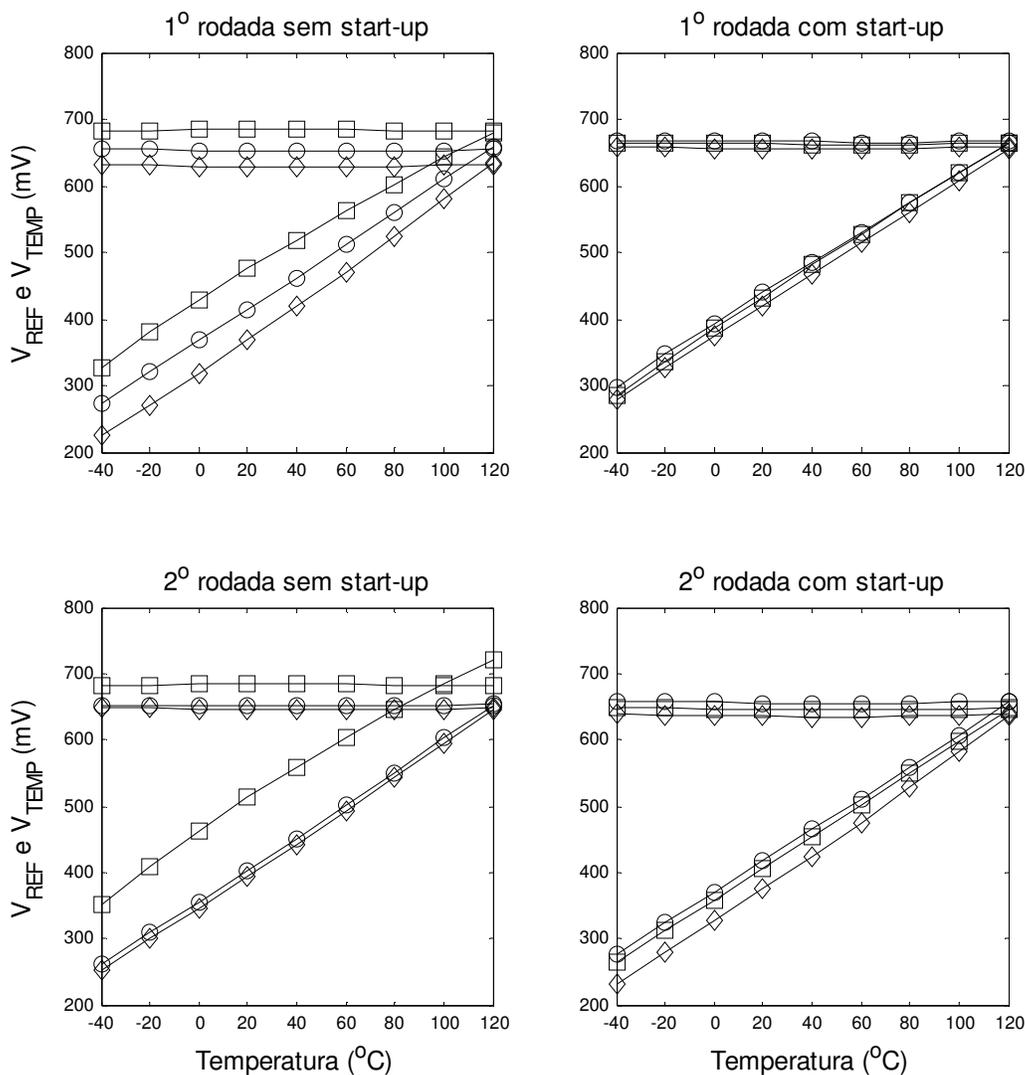


Figura 72 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

Note na figura 72 que o sinal medido V_{TEMP} da amostra 2 do CI da 2ª rodada sem *start-up* não encontra o sinal V_{REF} correspondente em 120 °C. Ocorreu que, mesmo com nível de ajuste igual ao mínimo da faixa, não se obteve a redução do coeficiente linear do sinal V_{TEMP} ao nível ótimo desejado. Este foi o único caso em que a faixa de ajuste associada ao sinal V_{TEMP} não incluiu o valor ótimo.

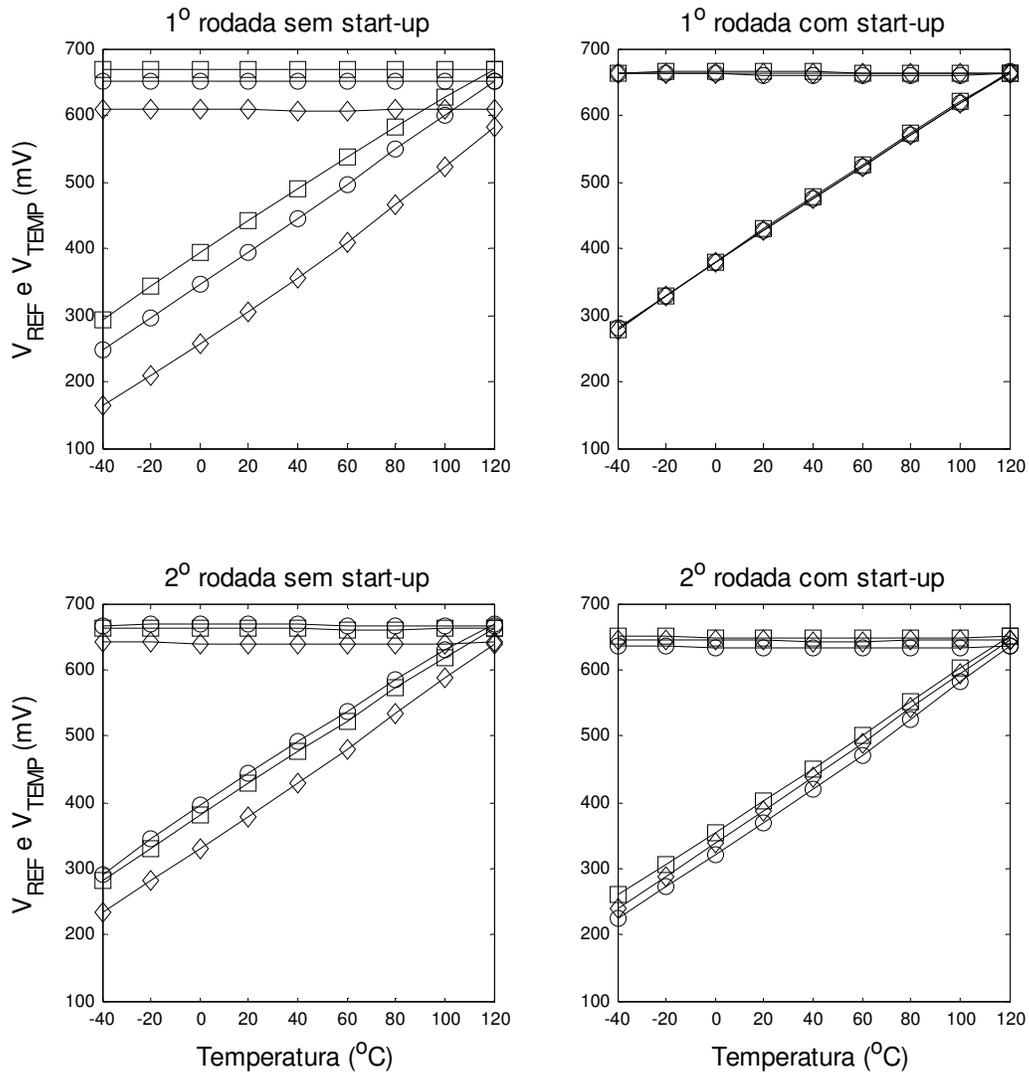


Figura 73 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

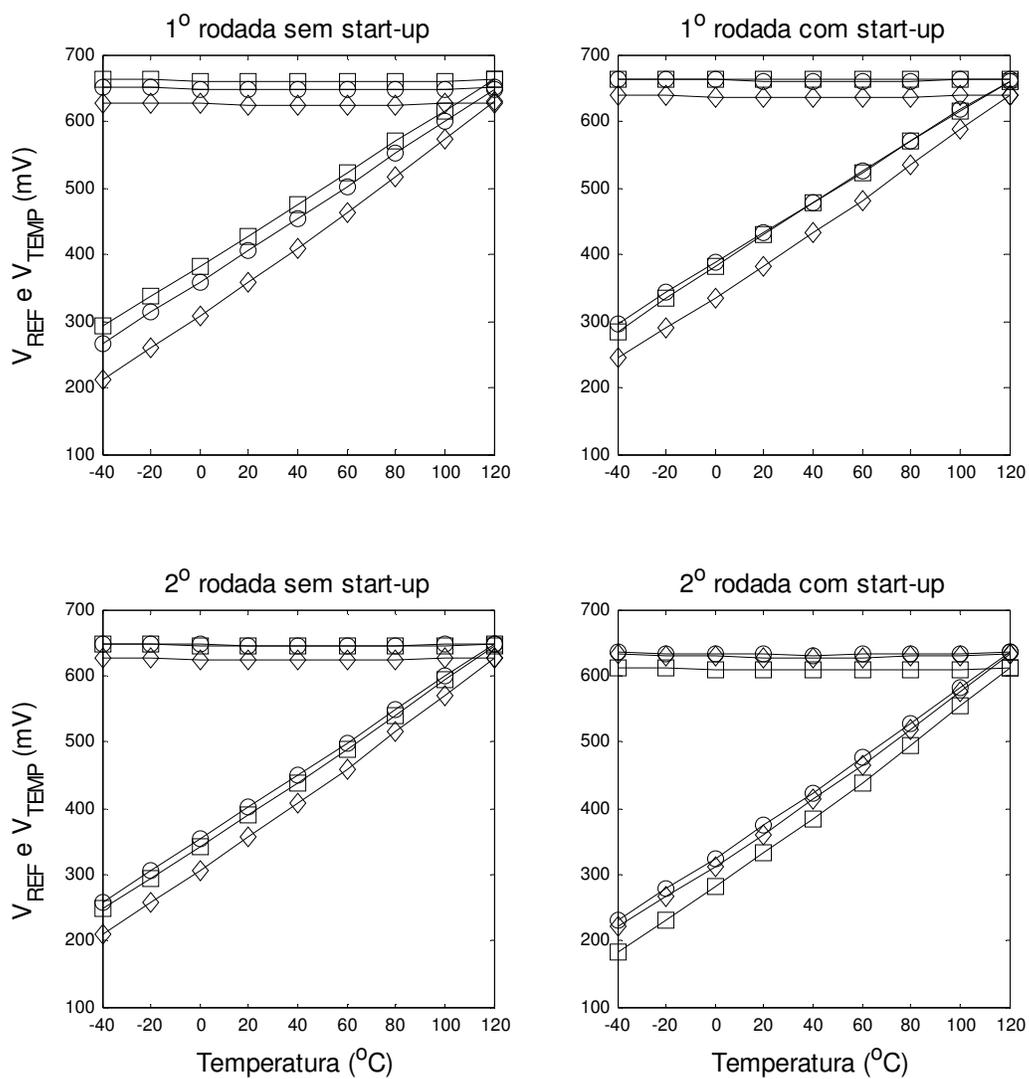


Figura 74 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

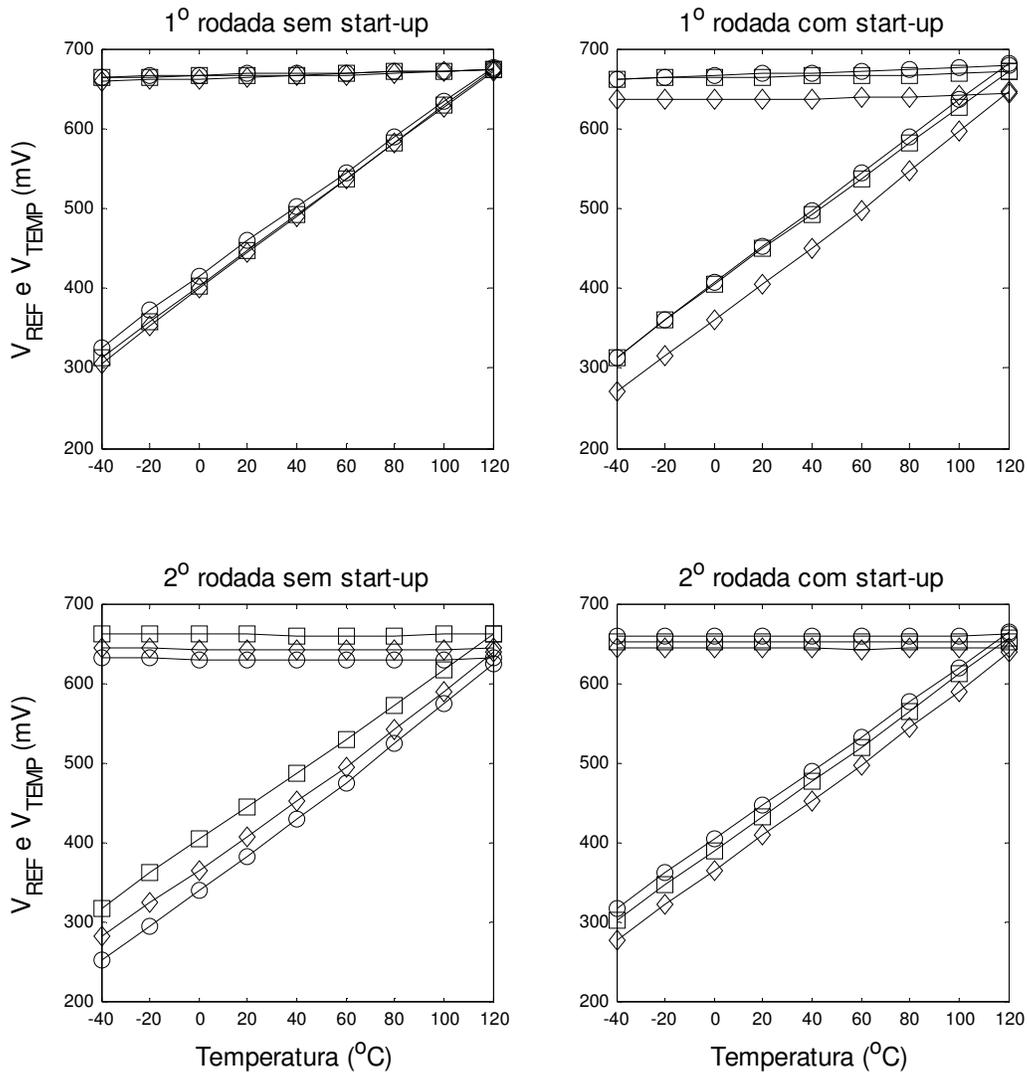


Figura 75 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

Note que alguns patamares de tensão V_{REF} nos gráficos da figura 75 apresentam um claro coeficiente positivo de variação térmica. Nestes casos, a condição ótima de ajuste foi limitada pelo valor mínimo da faixa e o cancelamento em primeira ordem da variação térmica não foi alcançado. O mesmo pode ser verificado para outras amostras de circuitos com dimensionamento $L=3\mu m$ nos gráficos que seguem.

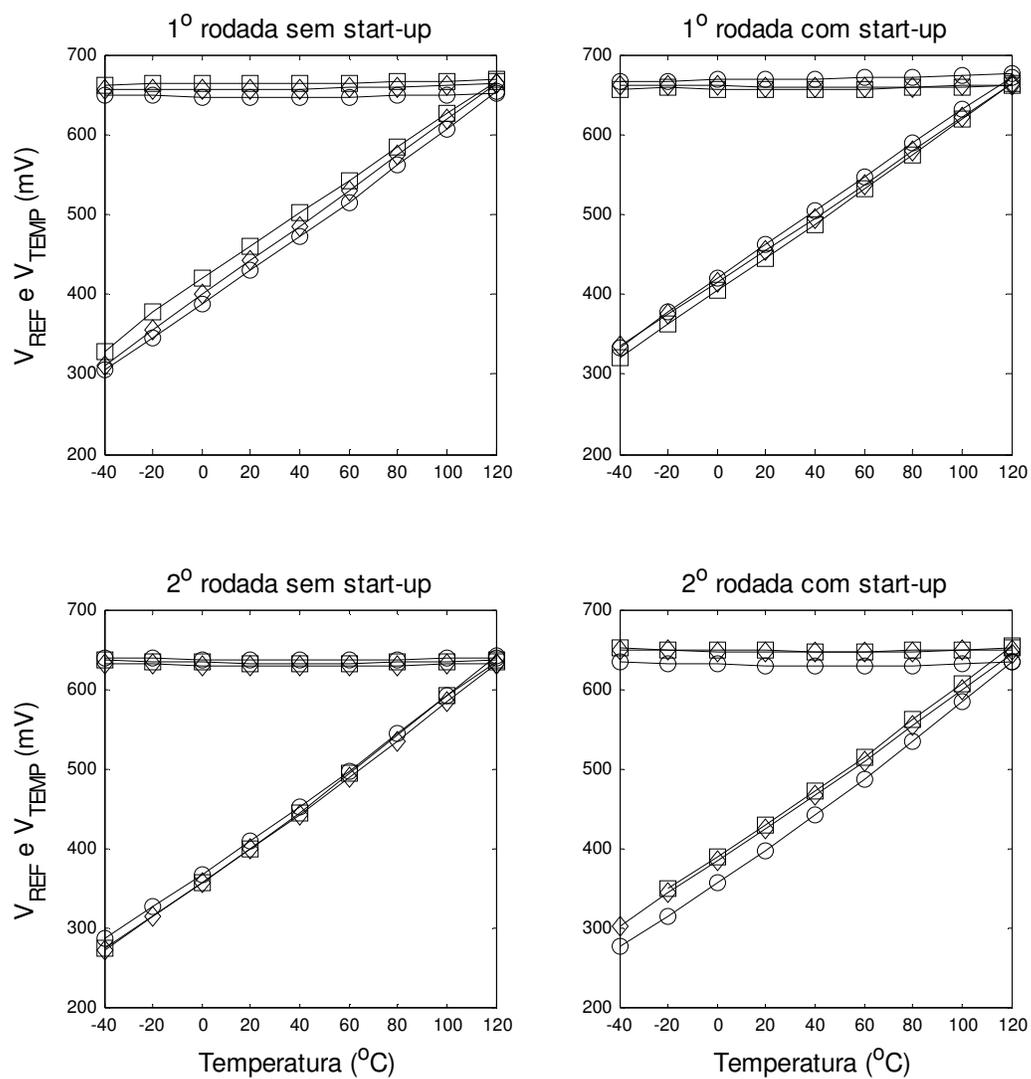


Figura 76 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

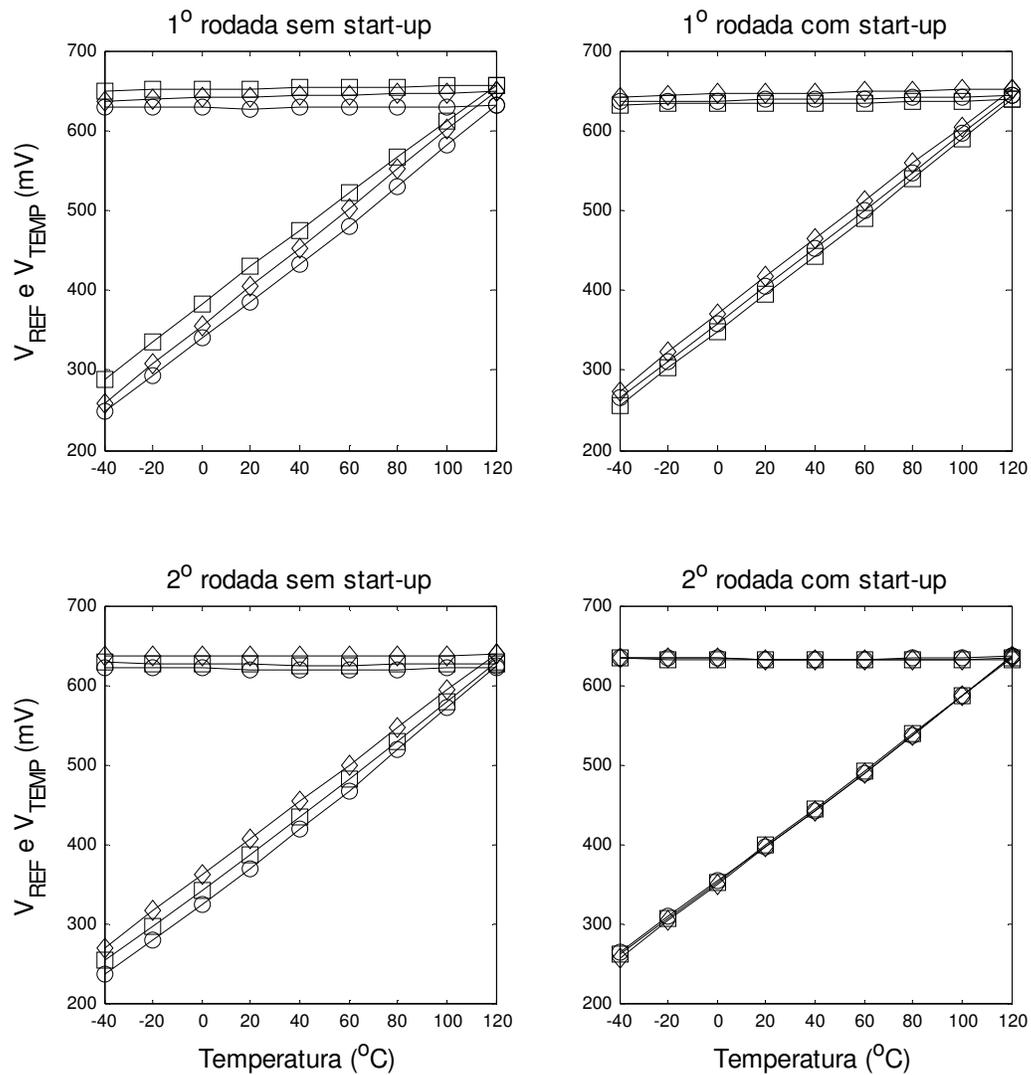


Figura 77 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

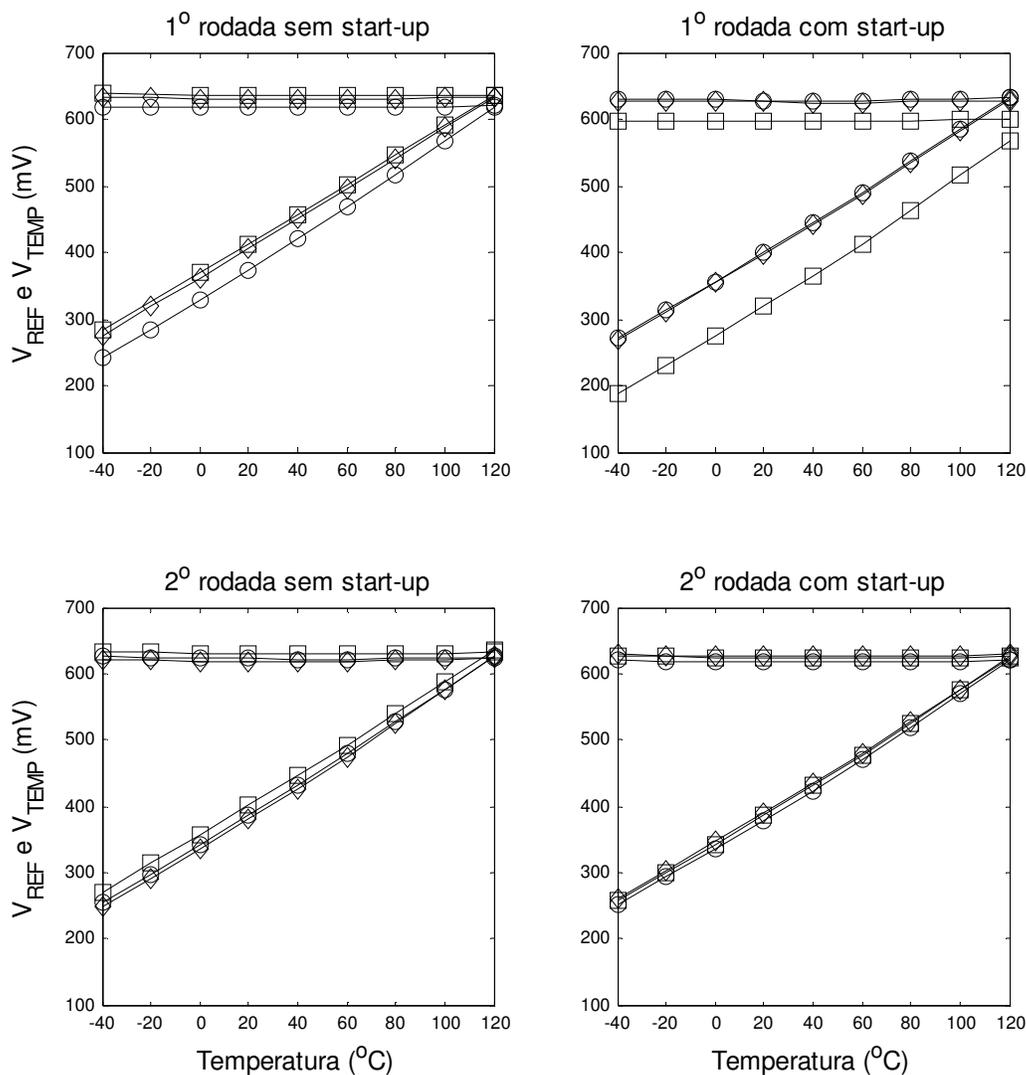


Figura 78 – Sinais de saída V_{REF} e V_{TEMP} nos circuitos L3W45_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

Os gráficos apresentados comprovam nossas expectativas no que concerne à funcionalidade dos circuitos. As curvas medidas ocorrem em níveis próximos dos previstos em simulação, apropriados para operação em baixa tensão. Observe que a característica dominante de dispersão está associada a um deslocamento vertical entre as curvas, que não compromete figuras de estabilidade térmica e nem a condição de operação em baixa tensão, sendo coerente com o espalhamento previsto pelas simulações de *Monte-Carlo*.

Comparando a resposta dos diversos circuitos, em primeira análise, não houve variações significativas relacionadas à inclusão ou não do bloco *start-up*. Isto sugere que os blocos *start-up* implementados em ambas as rodadas de fabricação não interferem na resposta em regime do circuito, conforme previsto no projeto. No transiente de inicialização, os blocos garantiram corretamente a inicialização do circuito, sem nenhum estímulo externo, o qual foi necessário em alguns casos com circuitos sem *start-up*.

Não se verificam variações significativas de resposta entre as amostras da 1^o e 2^o rodada de uma mesma versão de dimensionamento, enquanto a condição ótima de ajuste foi alcançada. Isto sugere que ambas as estruturas de chaveamento dos blocos de ajuste são adequadas, não se verificando fontes de erro significativas associadas às diferentes implementações.

Os comportamentos verificados para circuitos com mesmo dimensionamento exceto pelo valor de largura dos resistores não difere significativamente entre si. Lembramos que o maior espalhamento previsto para o caso de resistores com menor largura deve tornar-se perceptível apenas na caracterização de uma extensa quantidade de amostras. Para um conjunto limitado de 12 amostras, os resultados foram praticamente equivalentes.

Obtemos resultados semelhantes para versões correspondentes aos casos de maior e menor corrente de polarização. Em primeira análise, os resultados obtidos para ambos os níveis de corrente são coerentes com os previstos por simulação, não se caracterizando degeneração de desempenho nas versões de menor consumo.

Observando as curvas referentes aos circuitos dimensionados com comprimento de canal dos transistores $L=3\mu\text{m}$, verificamos alguns casos em que o cancelamento em primeira ordem do coeficiente térmico associado aos sinais de referência V_{REF} não foi alcançado. Nestes casos, o nível ótimo de ajuste ocorreu abaixo do limite mínimo da faixa implementada e, portanto, não alcançamos a condição ótima de estabilização térmica. Com base nos níveis configurados de ajuste correspondentes a cada curva, constantes na tabela apresentada no apêndice A, verificamos que os níveis selecionados para as versões com dimensão $L=3\mu\text{m}$, são muito próximos (ou iguais) ao limite mínimo da faixa de ajuste implementada. O mesmo não ocorreu com as versões com dimensão $L=1\mu\text{m}$, cujos valores ótimos de ajuste ocorrem mais próximos ao centro da faixa. Isto sugere um desvio de comportamento associado às versões com $L=3\mu\text{m}$ em relação ao previsto pelas simulações

de *Monte-Carlo*, que se reflete em uma faixa de ajuste com centro deslocado. Esta análise será aprofundada adiante, com base nos gráficos específicos dos sinais de saída V_{REF} .

No caso particular da amostra 2 do circuito L1W15_WR65 do CI da 2ª rodada sem *start-up*, em que não se obteve o encontro entre os potenciais V_{REF} e V_{TEMP} em 120°C, verificamos que o limite mínimo da faixa de ajuste não alcançou o valor ótimo para redução do coeficiente térmico de V_{TEMP} . Neste caso, verificamos através da tabela no apêndice A, que os níveis ótimos de ajuste associados aos sinais V_{TEMP} ocorreram espalhados ao longo de toda a faixa implementada. Desta forma, concluímos que não ocorreu um deslocamento sistemático como no caso descrito anteriormente, mas sim uma maior amplitude de espalhamento que a prevista, o que tornou relativamente estreita a faixa de ajuste implementada. Esta análise também será retomada adiante, no momento de apresentação dos gráficos referentes ao comportamento específico dos sinais V_{TEMP} .

Sinais de saída V_{REF}

Com base nos próximos gráficos, analisamos especificamente os sinais de saída V_{REF} . Com escala apropriada, verificamos o perfil e o nível médio das curvas obtidas para cada amostra, comparando os resultados das diferentes implementações. Lembramos que os resultados de simulação, apresentados no capítulo 4, prevêm um formato “~” das curvas V_{REF} de versões com dimensão $L=1\mu\text{m}$, com os menores índices de variação térmica, que reflete certo mecanismo de compensação de curvatura associado a efeitos de modulação de canal. Para os circuitos com dimensão $L=3\mu\text{m}$, as simulações não prevêm o mesmo fenômeno de inversão de concavidade, o que resulta em índices maiores de variação térmica, com a menor influência de efeitos de modulação de canal.

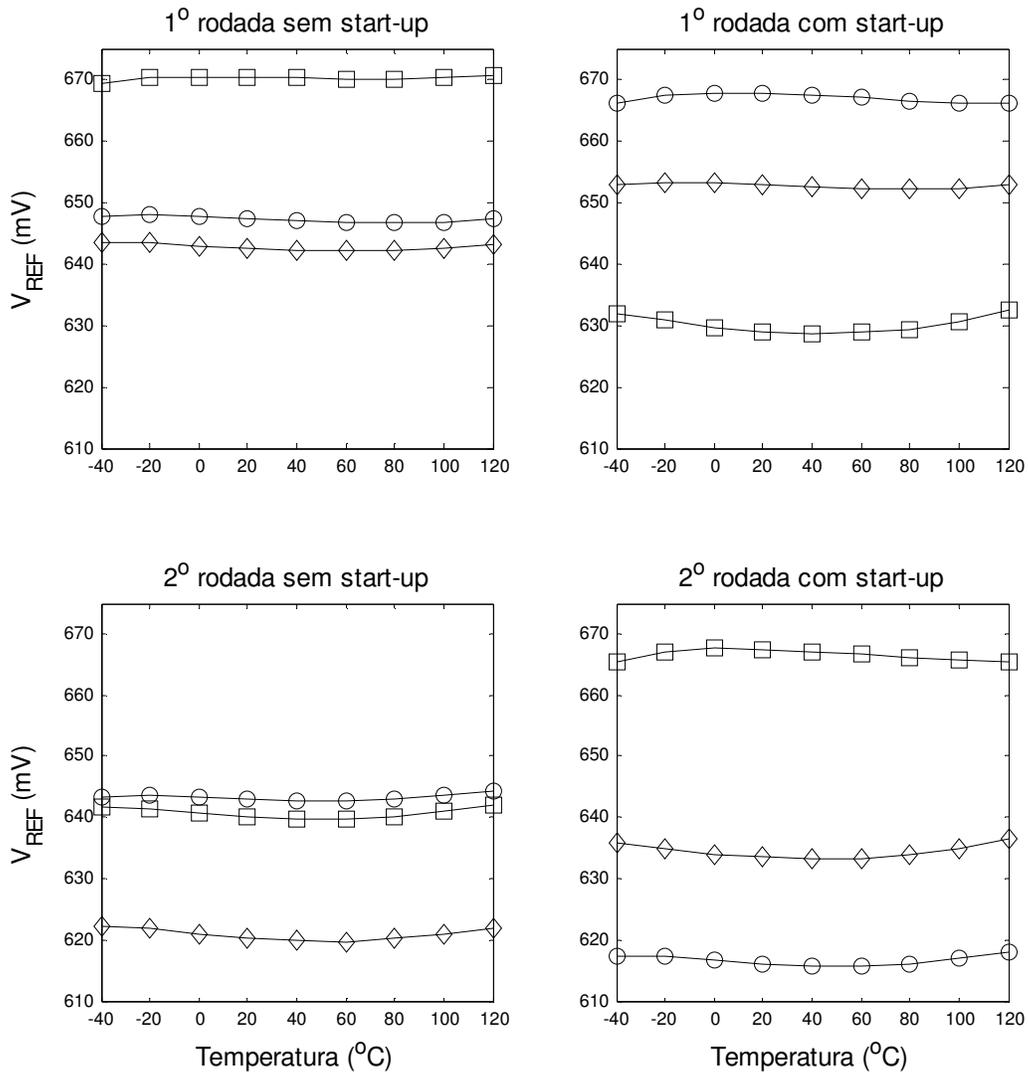


Figura 79 – Saídas V_{REF} nos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

Note a inversão de curvatura (formato “~”) presente em algumas curvas dos gráficos da figura 79, enquanto outras apresentam curvaturas para cima ou para baixo mais pronunciadas. O mesmo se observa nos próximos gráficos apresentados.

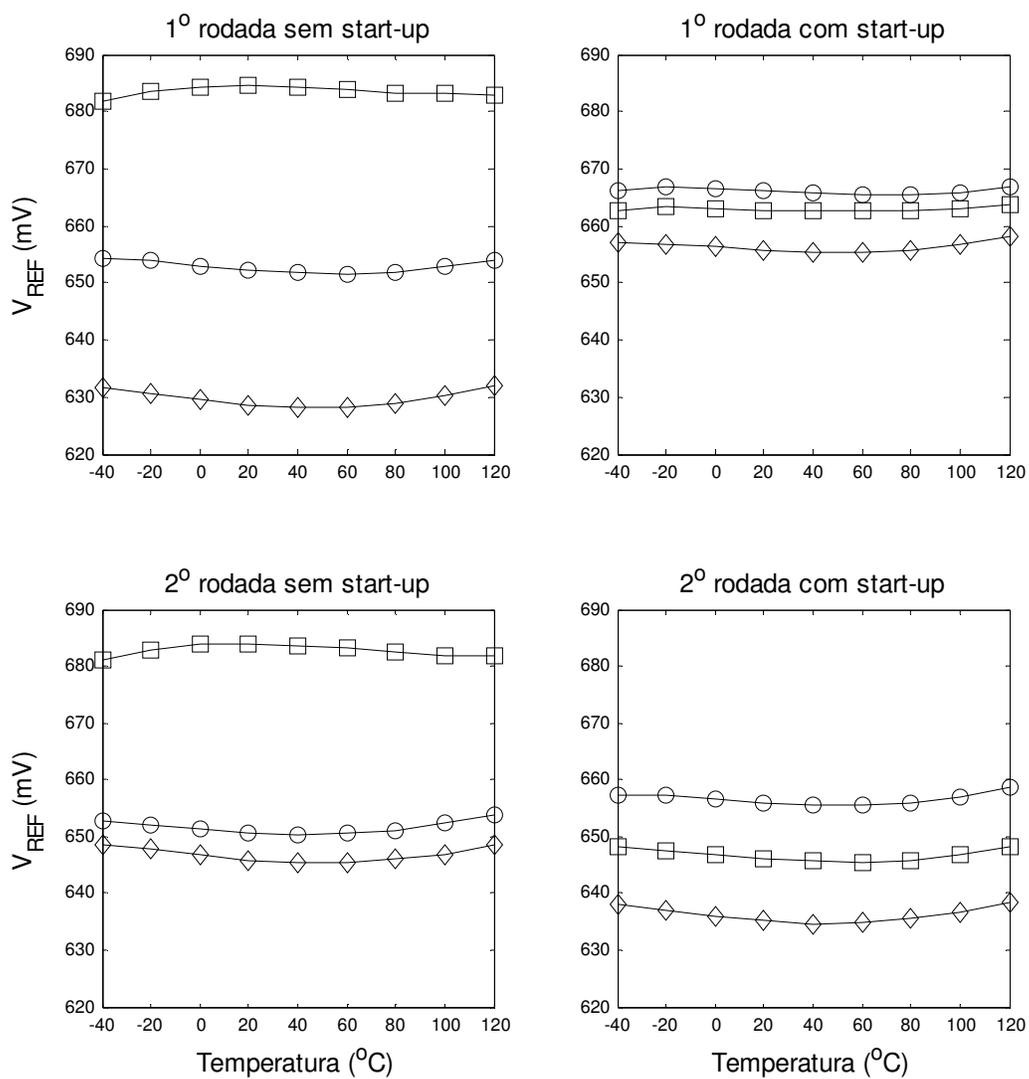


Figura 80 – Saídas V_{REF} nos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

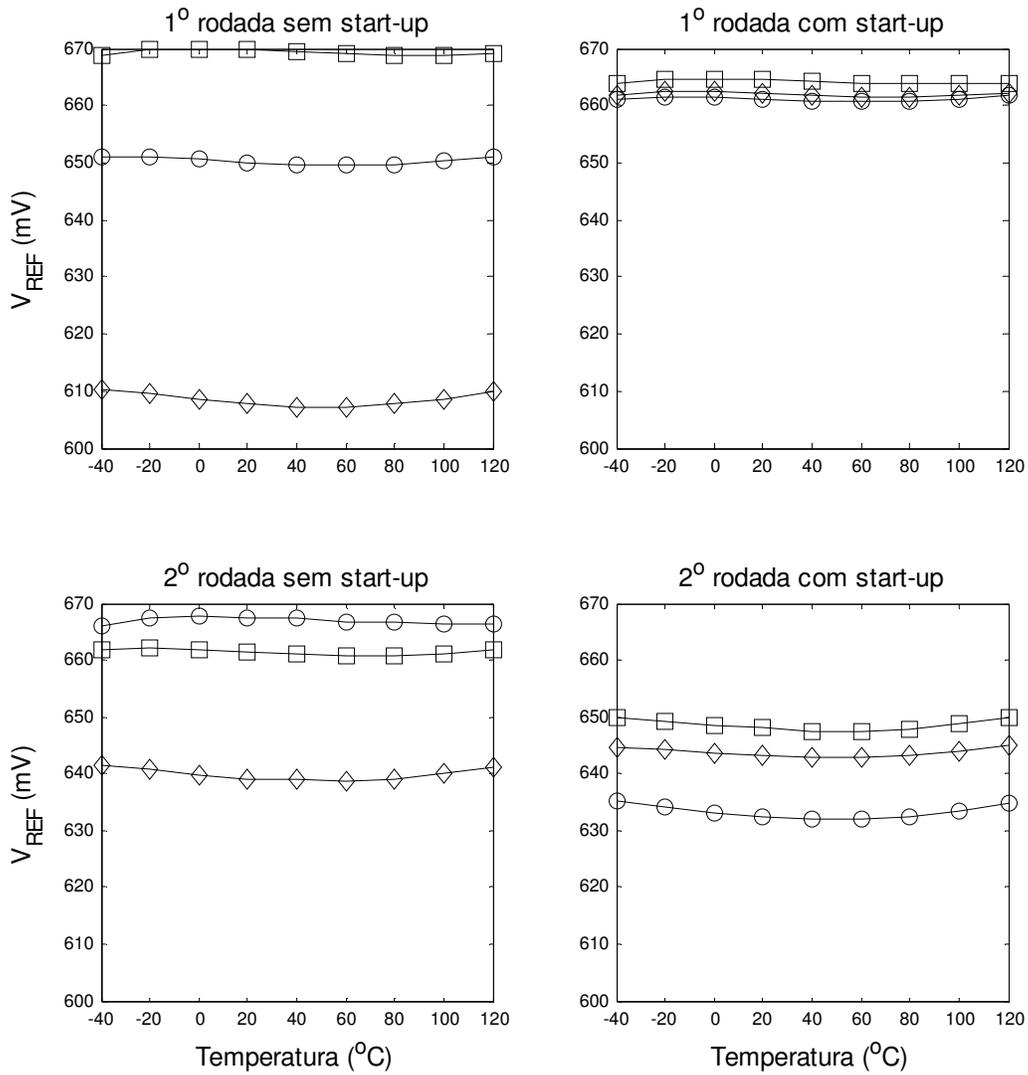


Figura 81 – Saídas V_{REF} nos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

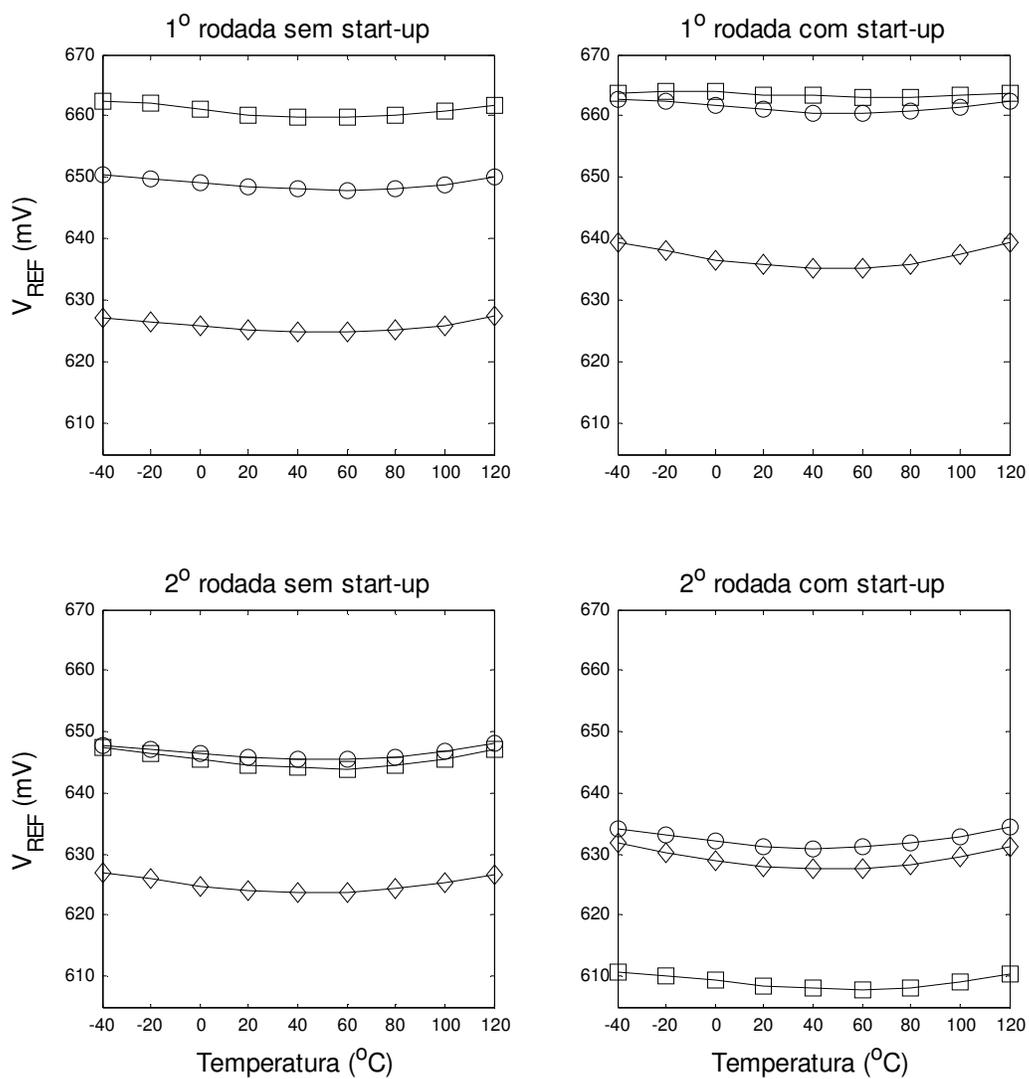


Figura 82 – Saídas V_{REF} nos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

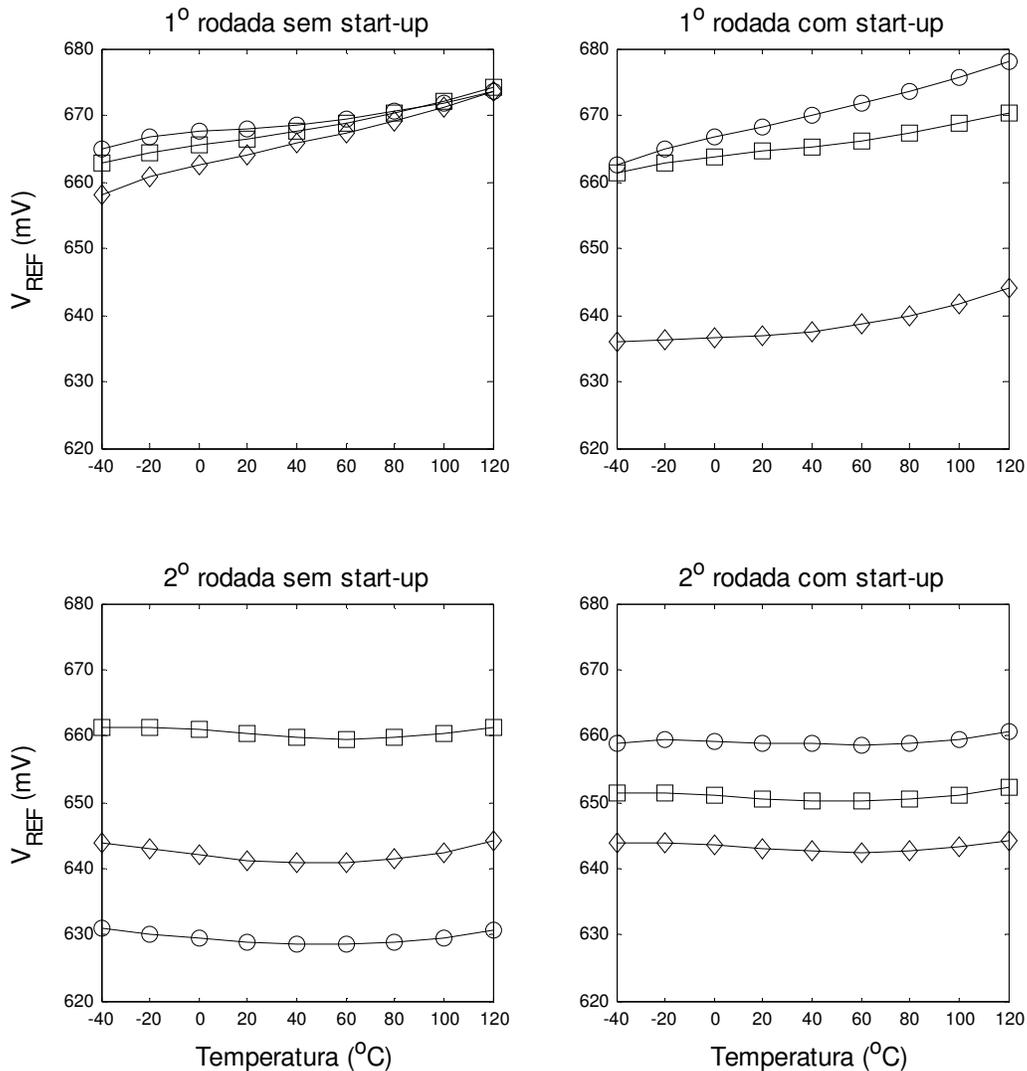


Figura 83 – Saídas V_{REF} nos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

Observando os gráficos da figura 83, fica claro que não se obteve cancelamento em primeira ordem do coeficiente térmico associado às curvas V_{REF} das amostras da 1º rodada. Conforme consta na tabela do apêndice A, os níveis de ajuste correspondentes foram limitados pelo valor mínimo da faixa, não atingindo a condição ótima desejada. Isto se verifica para a maior parte das amostras da 1º rodada dos circuitos com dimensão $L=3\mu\text{m}$, conforme se observa nos gráficos restantes desta série. Note também que algumas curvas na figura 83 apresentam inversão de concavidade, formato “~”, não prevista para o caso dos

circuitos com dimensão $L=3\mu\text{m}$, o que também ocorre em alguns casos apresentados nos próximos gráficos.

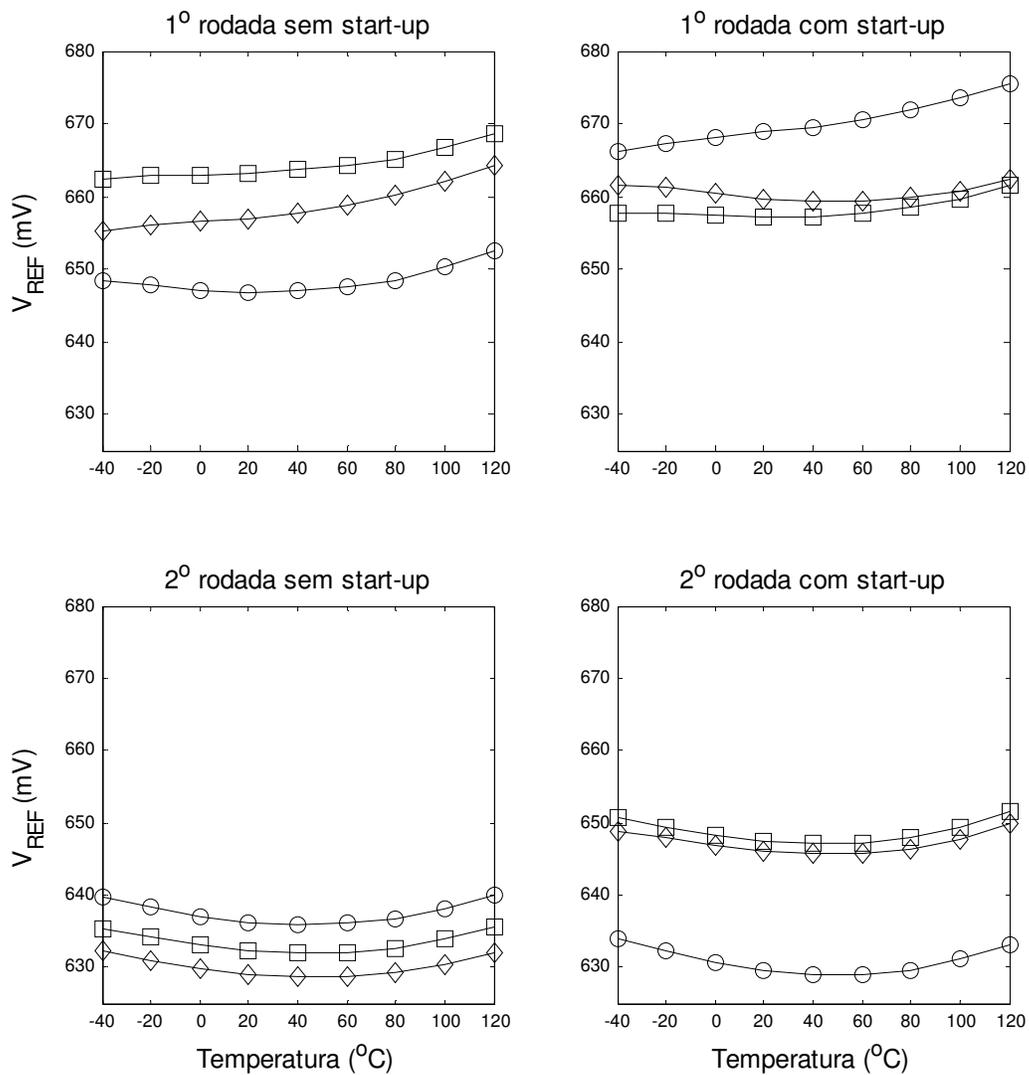


Figura 84 – Saídas V_{REF} nos circuitos L3W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

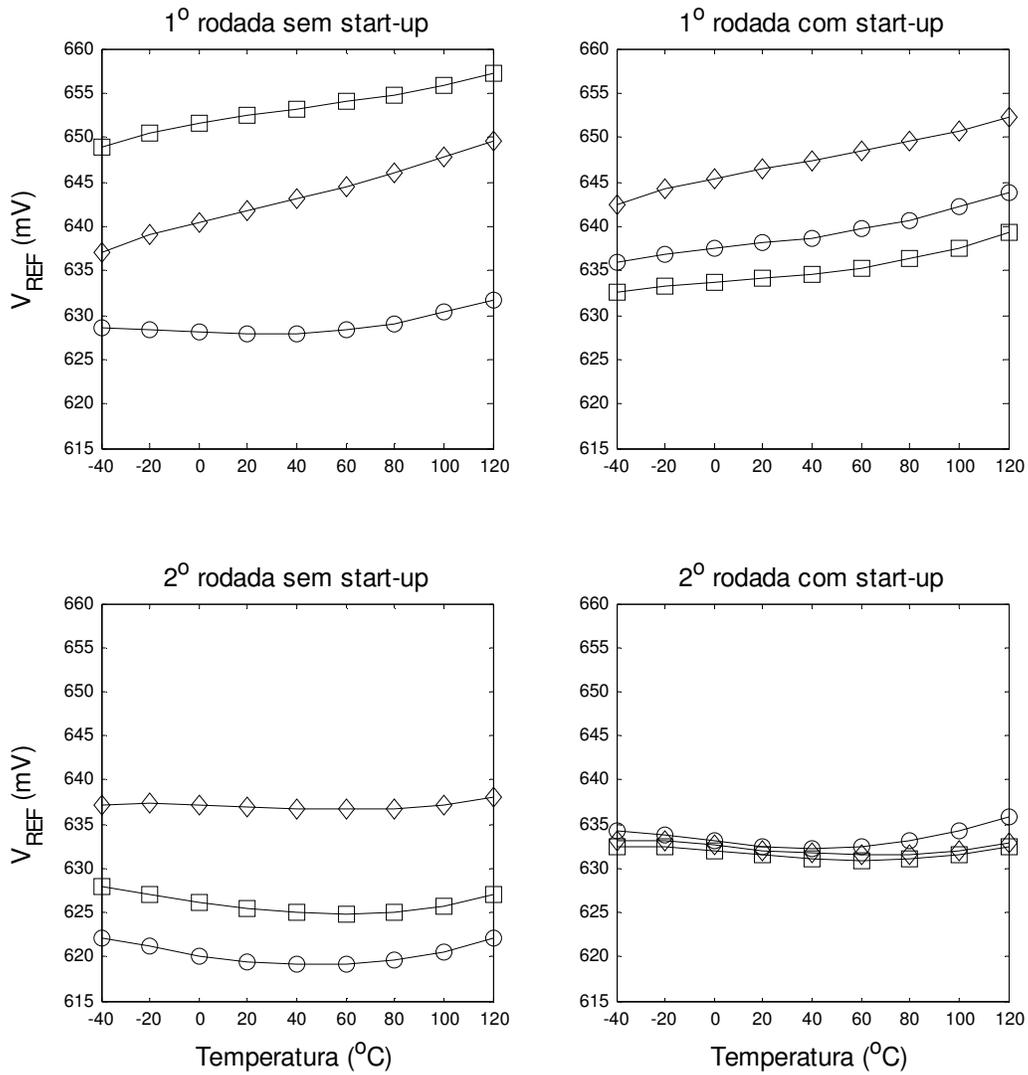


Figura 85 – Saídas V_{REF} nos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

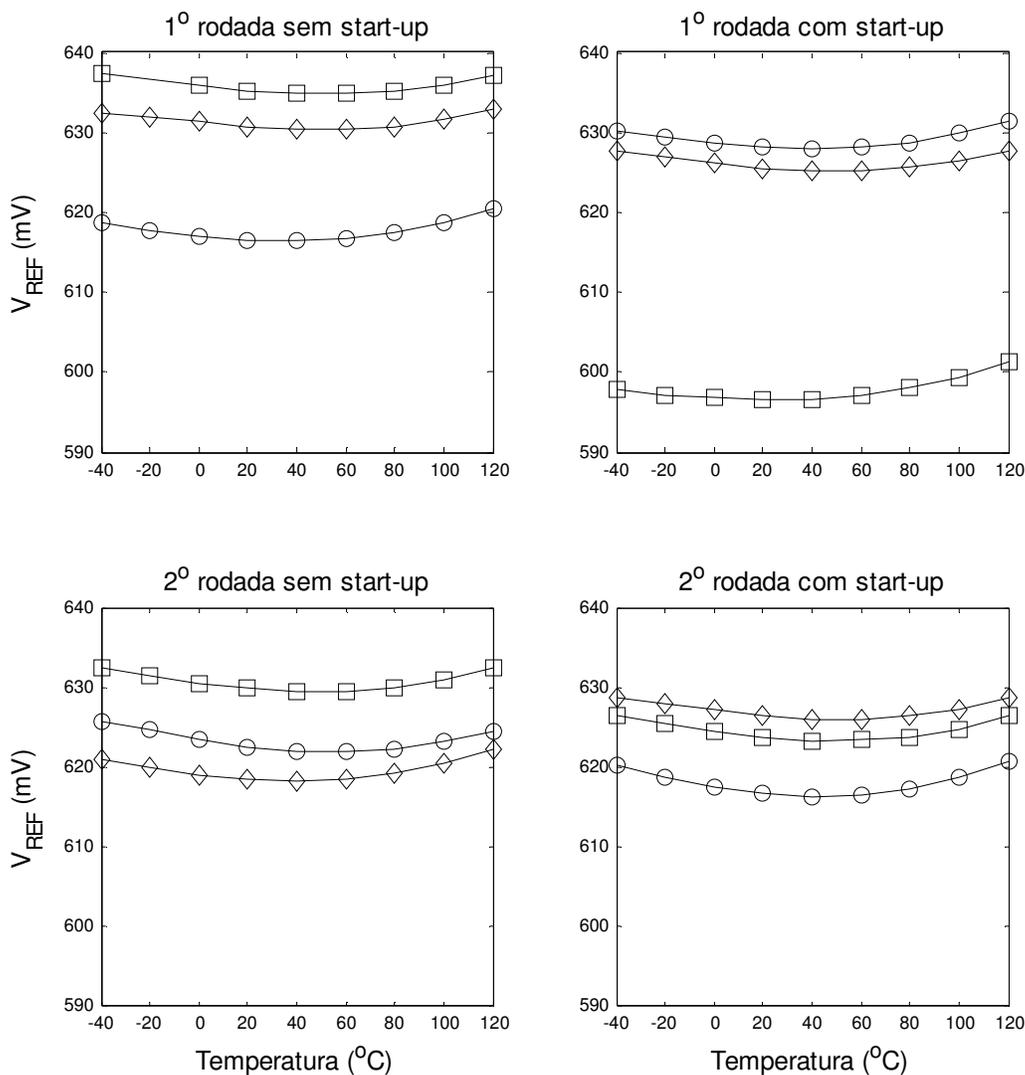


Figura 86 – Saídas V_{REF} nos circuitos L3W45_WR65 das amostras²⁸: (o) 1, (□) 2 e (◇) 3

Observando os gráficos apresentados nesta série, podemos reforçar alguns pontos levantados anteriormente. **Verificamos que a dispersão do nível médio das curvas V_{REF} é dominante em relação à dispersão na característica de estabilidade térmica, nos casos em que a condição ótima de ajuste foi alcançada.** Lembramos que esta dispersão era prevista e aceitável desde que não comprometesse a condição de operação em baixa tensão,

²⁸ As medidas de V_{REF} na temperatura -20°C da amostra 2 da 1ª rodada sem *start-up* foi descartada por ter sido corrompida devido a problemas de contato elétrico verificados apenas ao final do tratamento dos dados. Sua desconsideração não compromete as análises realizadas.

o que de fato não ocorreu. Considerando os casos em que a condição ótima de ajuste foi alcançada, não verificamos diferenças significativas de resposta entre implementações de uma mesma versão de dimensionamento, associadas às diferentes rodadas de fabricação (com topologias distintas de blocos de ajuste) ou à integração de bloco *start-up*. O espalhamento observado para cada versão ocorre sobre as diferentes implementações, sem padrão identificável, o que nos faz concluir que as diferenças associadas à implementação dos blocos periféricos não interferem significativamente na resposta dos circuitos. Considerando versões de maior e menor consumo, obtivemos resultados equivalentes, confirmando a não degeneração da resposta associada à condição de menor consumo. Também não verificamos diferenças significativas associadas às versões com diferentes larguras de resistor, talvez devido ao pequeno conjunto de amostras caracterizadas.

O efeito de maior importância verificado nos gráficos apresentados nesta série refere-se ao perfil térmico das curvas, no que concerne sua característica de curvatura. Verificamos o fenômeno de inversão de concavidade na maior parte dos casos de circuitos com dimensão $L=1\mu\text{m}$. O fenômeno parece estar de fato relacionado ao efeito de modulação de canal, o que justifica não verificarmos distinções de perfil significativas entre versões distintas de dimensionamento, mas com mesmo valor de dimensão L . Mesmo nos casos de concavidade mais pronunciada para cima ou para baixo, é provável que o fenômeno ocorra com ponto de inversão além dos limites da faixa de temperatura medida. Estes casos, porém, evidenciam a dispersão associada ao ponto de inflexão da curva, demonstrando como é fraco o controle que temos sobre este comportamento.

No caso dos circuitos com $L=3\mu\text{m}$, verificamos o maior desvio obtido em relação aos resultados previstos de simulação. Uma considerável parcela dos circuitos com $L=3\mu\text{m}$ fabricados na 1ª rodada não apresentaram condição ótima de estabilização térmica. Com base nos valores apresentados na tabela do apêndice A, verificamos que para estes casos o nível ótimo de ajuste foi limitado pelo valor mínimo da faixa implementada. No entanto, mesmo no caso dos circuitos correspondentes da 2ª rodada, os níveis ótimos de ajuste ocorreram sempre muito próximos (ou mesmo iguais) ao limite mínimo. Isso demonstra o deslocamento sistemático da condição ótima para bem abaixo do centro da faixa de ajuste, não sendo essencialmente relacionado a diferenças de implementação entre as rodadas. Desta forma, concluímos que o efeito principal verificado refere-se ao desvio do

comportamento real das curvas medidas em relação ao previsto pelas simulações de *Monte-Carlo*, que na prática tenderam a apresentar valores mais altos de coeficiente térmico do que o esperado. Acreditamos que o fenômeno está relacionado ao mesmo efeito de modulação de canal, mais pronunciado nas versões com $L=1\mu\text{m}$, que foi aparentemente subestimado pelo modelo de simulação para o caso das versões com $L=3\mu\text{m}$. Isso se confirma nos casos em que observamos a inversão de concavidade associada a curvas V_{REF} de circuitos com $L=3\mu\text{m}$, o que não era previsto para este caso de dimensionamento. O fato evidencia a limitação do modelo em prever o efeito associado à modulação de canal, o que deve ser considerado pelos projetistas do grupo em futuros trabalhos.

Sob os demais aspectos, obtemos um número suficiente de amostras, para cada versão de dimensionamento, em que o cancelamento térmico em primeira ordem foi de fato alcançado, nos permitindo verificar o desempenho atingível destes circuitos. Há considerável dispersão no nível médio das tensões, mas observamos uma aparente regularidade no grau de estabilidade térmica alcançado. Neste ponto, o avanço na análise depende do cálculo de índices numéricos de variação térmica, apresentados no final da seção, mas avaliamos que as principais características de funcionalidade foram alcançadas.

Curvatura extraída dos sinais de saída V_{TEMP}

O sinal de sensoriamento térmico V_{TEMP} é idealmente linear e crescente com a temperatura, igualando-se em potencial ao sinal de referência V_{REF} no limite máximo de temperatura estipulado em 120°C . A partir deste momento, enfocamos a não-linearidade associada ao sinal V_{TEMP} , que representa o principal fator limitante de precisão em sensores de temperatura.

Podemos extrair a curvatura associada a uma determinada saída V_{TEMP} , subtraindo da curva medida a reta que conecta seus pontos inicial e final, conforme feito no capítulo 4 sobre as curvas simuladas. Desta forma, construímos os gráficos apresentados nesta série. Esperamos verificar se o perfil de curvatura extraído de cada sinal V_{TEMP} medido apresenta a concavidade voltada para cima prevista pelas simulações e qual a amplitude associada à característica de não-linearidade.

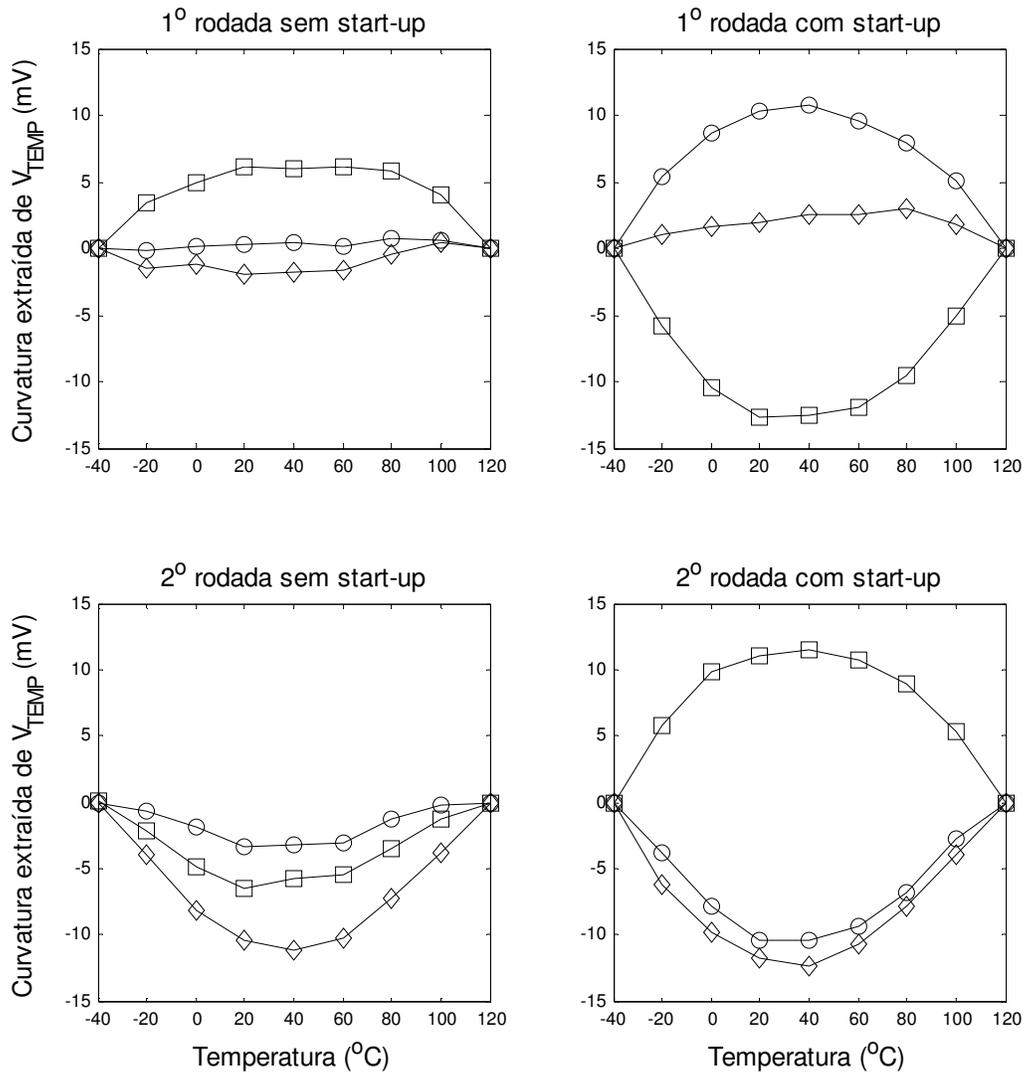


Figura 87 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W15_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

A partir dos primeiros resultados apresentados, já é possível observar que as curvaturas extraídas podem apresentar concavidade para cima ou para baixo, com amplitudes variadas e sem uma tendência claramente dominante, ao contrário do que era previsto. O mesmo se verifica para as demais versões de dimensionamento, conforme se observa nos próximos gráficos.

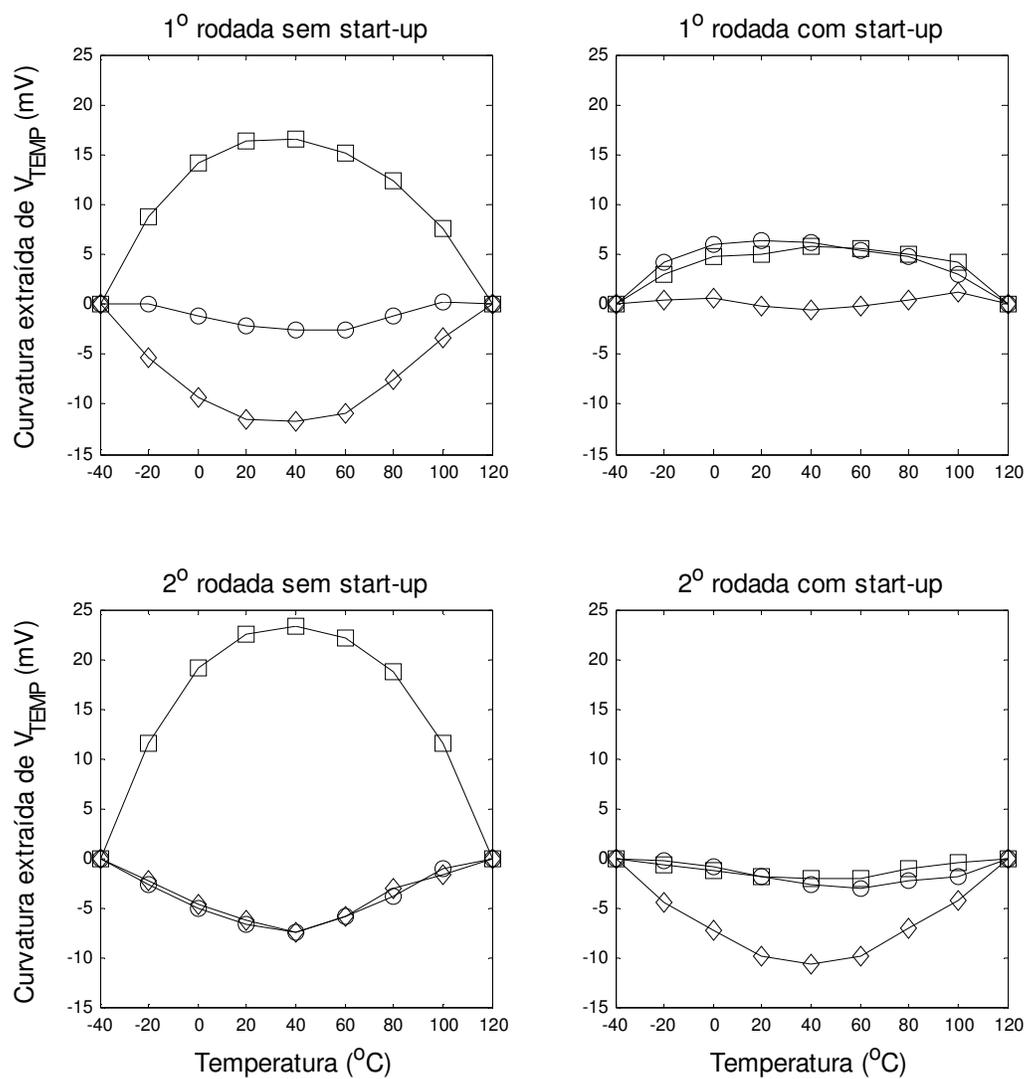


Figura 88 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W15_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

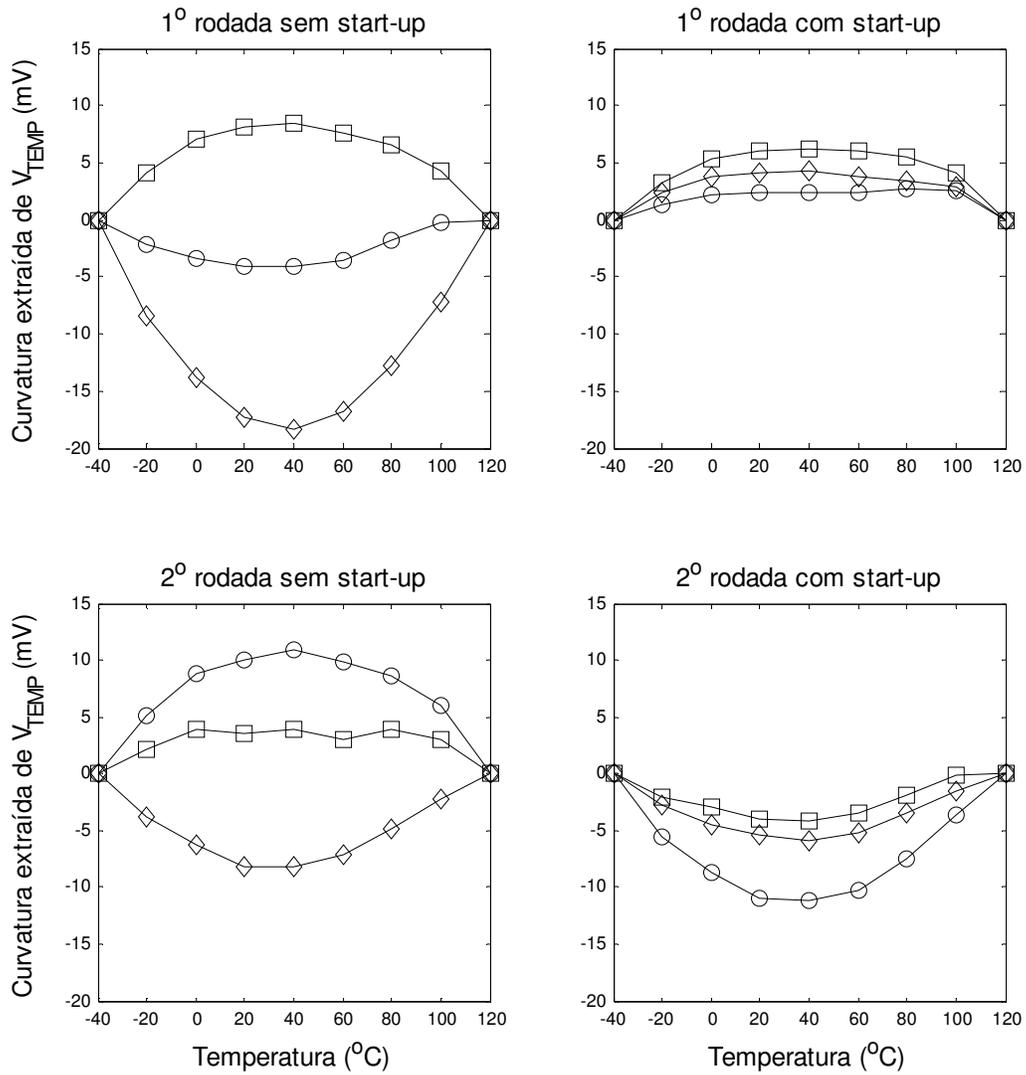


Figura 89 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

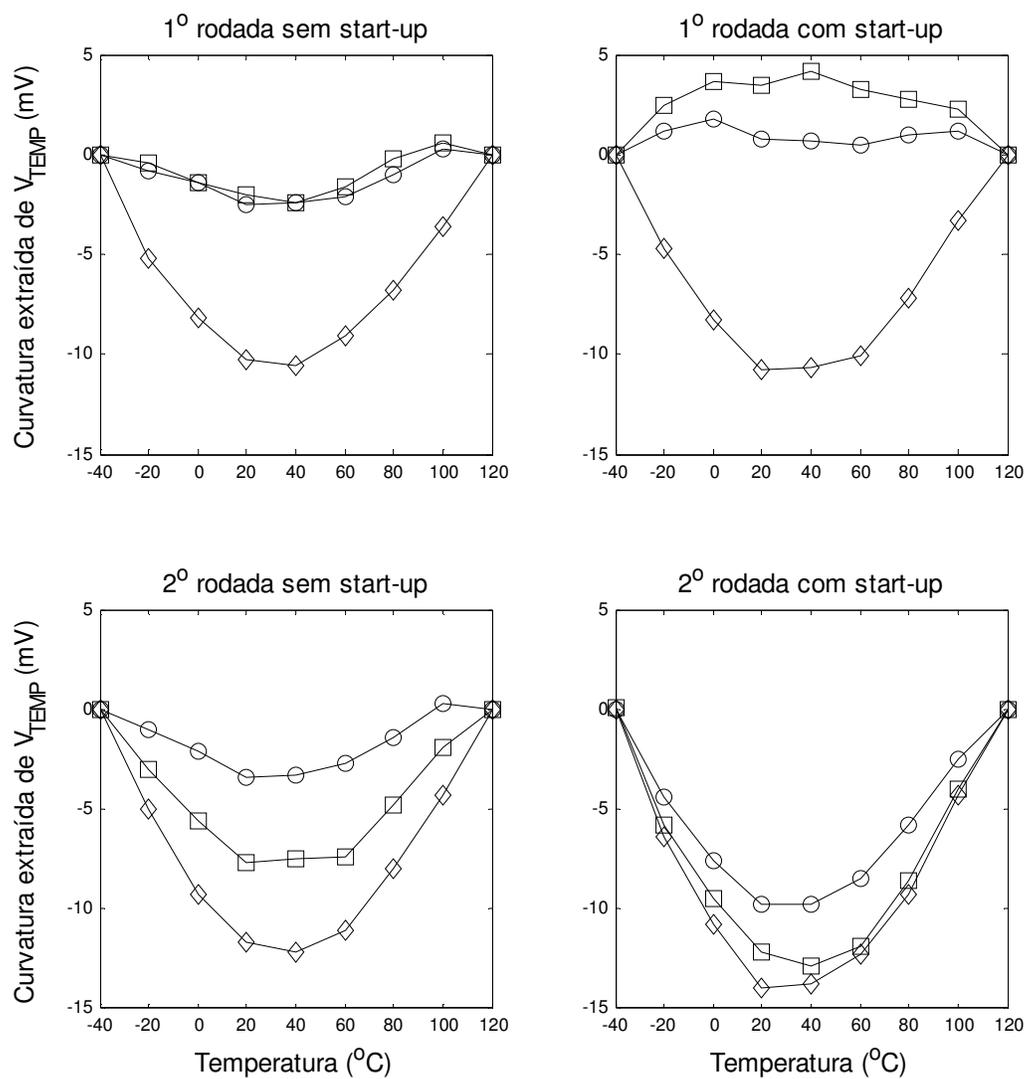


Figura 90 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L1W30_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

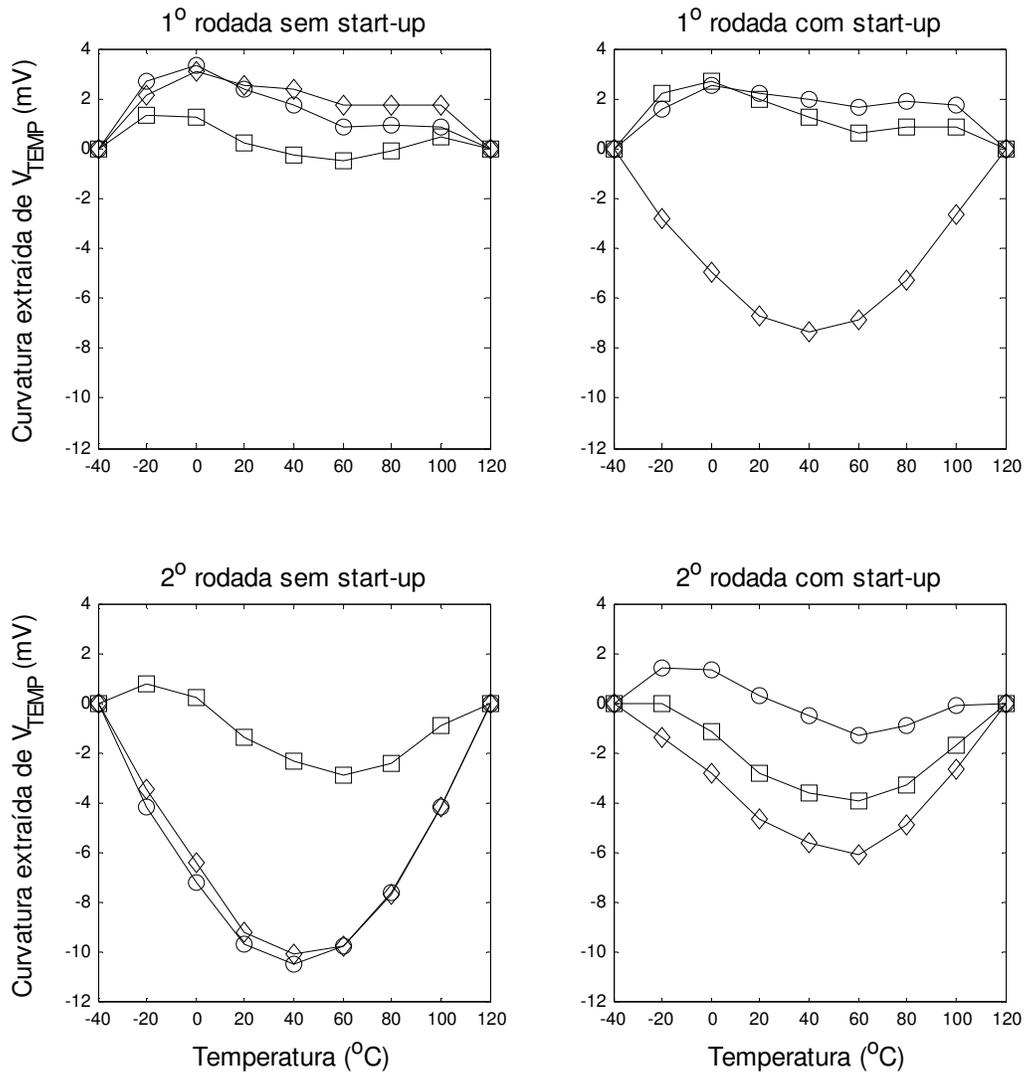


Figura 91 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W30_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

Note os casos apresentados nos gráficos da figura 91 em que a curvatura extraída apresenta inversão de concavidade, o que sugere certa compensação entre os mecanismos causadores do comportamento não linear. No entanto, o fenômeno é bem menos regular que o verificado no caso dos sinais de referência.

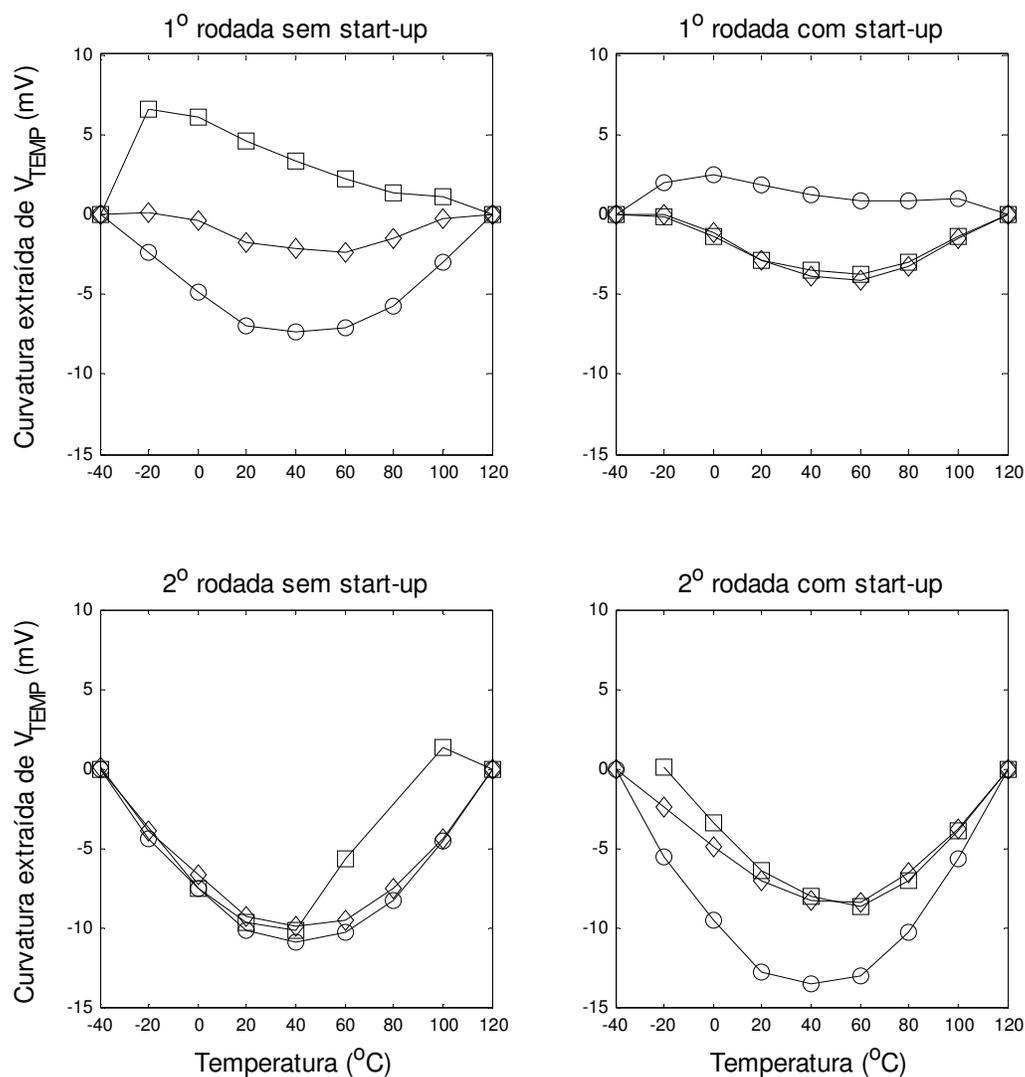


Figura 92 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W30_WR65 das amostras²⁹: (o) 1, (□) 2 e (◇) 3

²⁹ As medidas de V_{TEMP} nas temperaturas -20°C e 80°C da amostra 2 da 2ª rodada sem start-up e a medidas em -40°C da amostra 2 da 2ª rodada com start-up foram descartadas por terem sido corrompidas devido a problemas de contato elétrico verificados apenas ao final do tratamento dos dados. Sua desconsideração não impacta nas conclusões tiradas.

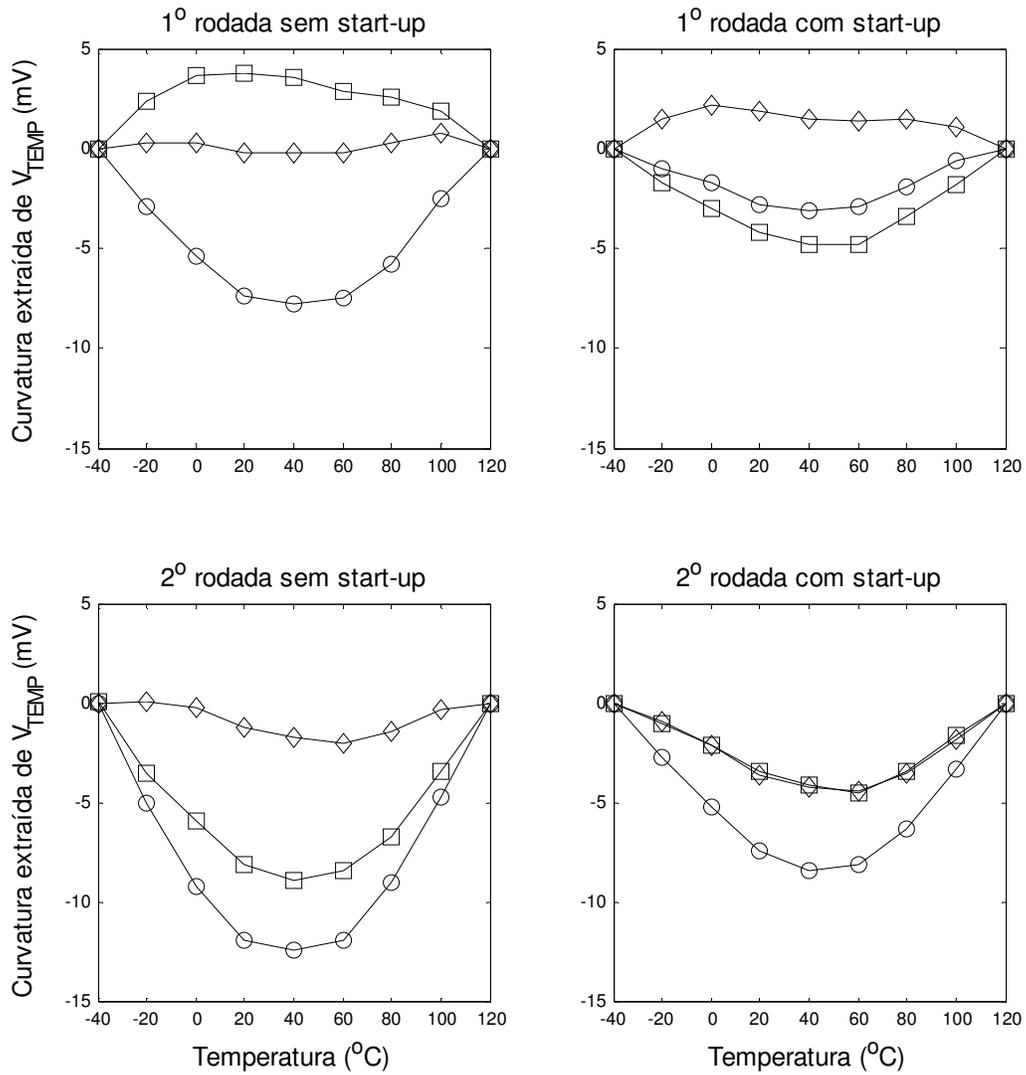


Figura 93 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W45_WR05 das amostras: (o) 1, (□) 2 e (◇) 3

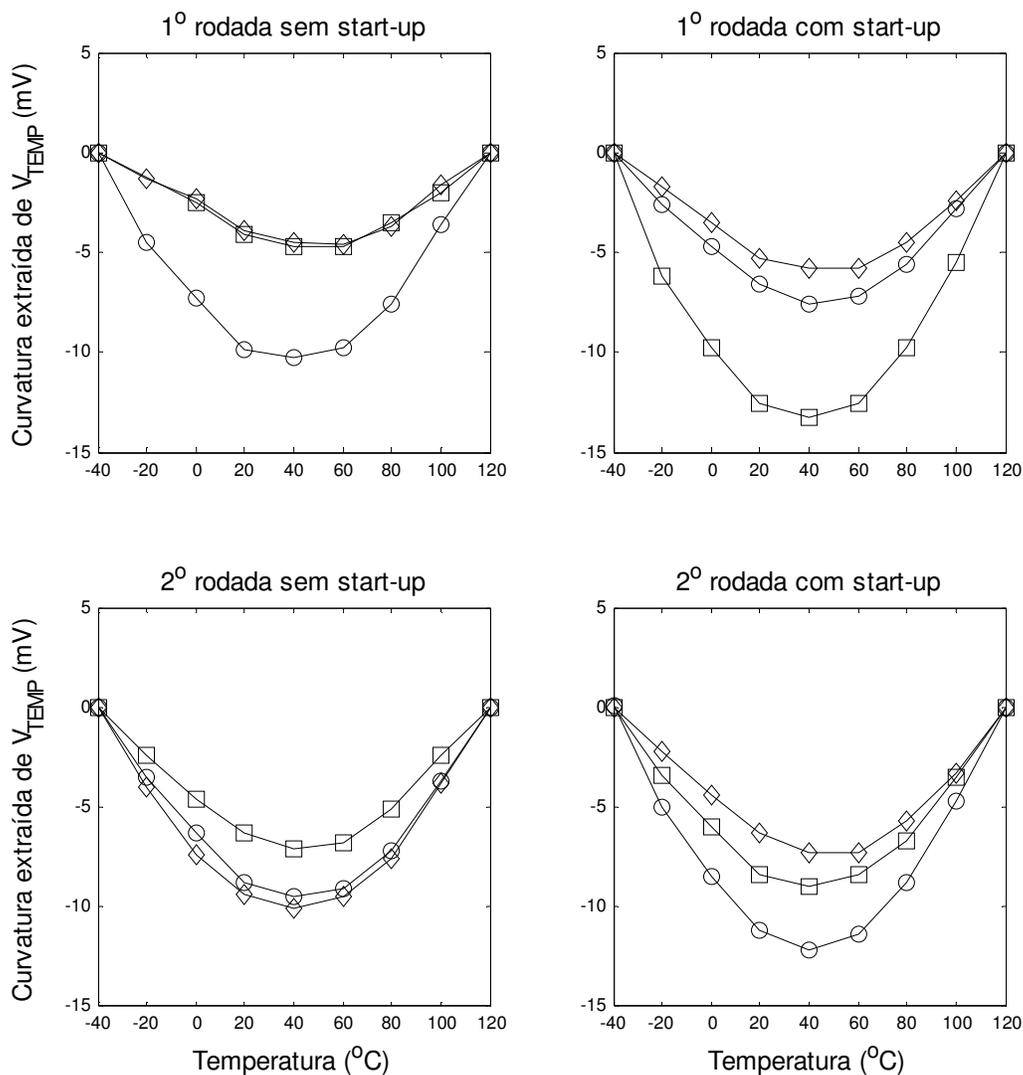


Figura 94 – Curvatura extraída dos sinais V_{TEMP} medidos dos circuitos L3W45_WR65 das amostras: (o) 1, (□) 2 e (◇) 3

Com base nos gráficos apresentados nesta série, verificamos uma alta dispersão associada aos perfis de curvatura dos sinais de saída V_{TEMP} medidos. Observamos medidas de curvatura com concavidade para cima e para baixo, para quase todos os casos de dimensionamento. Lembramos que no capítulo 4, através de simulações de caso típico, identificamos curvaturas com concavidade para cima, associadas aos sinais de saída V_{TEMP} , que explicamos ter origem na redução das componentes de corrente devidas à modulação de canal, que ocorre na medida em que o potencial V_{TEMP} cresce com a temperatura (vide

seção 4.2.1). Na prática, verificamos que outros efeitos associados a espalhamento são fortemente influentes, resultando em alta dispersão na característica de curvatura e praticamente eliminando as tendências previstas pelas simulações de caso típico. Em vários casos, verificamos, até mesmo, certa compensação entre os efeitos causadores de não-linearidade, resultando em amplitudes baixas de curvatura extraída. No entanto, dada a pronunciada dispersão e a incerteza de como controlá-los, não se caracterizam como base para o desenvolvimento de uma potencial técnica de compensação de curvatura.

Os sinais de saída V_{TEMP} compartilham a sensibilidade aos parâmetros de espalhamento associados à geração dos sinais V_{REF} , discutidos anteriormente, com novos fatores de dispersão acrescentados devido aos elementos de circuito específicos para a geração do sinal V_{TEMP} . Desta forma, é coerente verificarmos maior espalhamento e maior dispersão entre valores ótimos de ajuste (vide tabela no apêndice A) para o caso dos sinais V_{TEMP} . No entanto, não verificamos forte aumento nos valores de pico de curvatura extraída, obtendo amplitudes máximas de componentes não-lineares relativamente próximas do previsto. Desta forma, alcançamos bons índices de desempenho, conforme será visto adiante.

Finalmente, também nesta série, não foram verificadas variações significativas de resposta associadas às diferentes implementações dos blocos de ajuste, da 1º e 2º rodada, nem à integração de bloco *start-up*.

Análise de índices de desempenho, de melhor e pior caso, de cada versão de dimensionamento dos circuitos fabricados

Apresentamos adiante, uma tabela com os índices de desempenho obtidos sobre o melhor e pior caso medido de cada versão de dimensionamento do circuito. Os índices foram calculados com base nas expressões apresentadas no capítulo 4 e podem ser comparados com os índices obtidos a partir dos resultados de simulação de caso típico, apresentados na tabela 2, que reproduzimos abaixo para facilitar a referência.

Versão	$V_{REF}(T_0)$ (mV)	$V_{TEMP}(T_{max})$ (mV)	max ΔV_{REF} (mV)	max ΔV_{TEMP} (mV)	ΔV_{REF} (ppm/°C)	ΔV_{TEMP} (ppm/°C)
V_L1W15_WR065 V_L1W15_WR5	672,3	670,23	1,97	4,68	18,31	43,51
V_L1W30_WR065 V_L1W30_WR5	671,63	675,01	1,67	3,95	15,54	36,76
V_L3W30_WR065 V_L3W30_WR5	700,77	701,54	4,23	18,11	37,73	161,52
V_L3W45_WR065 V_L3W45_WR5	678,99	678,15	3,19	14,86	29,36	136,78

Tabela 5 – Índices de desempenho obtidos a partir das simulações de caso típico

Além dos níveis de tensão e índices de variação térmica, atente também para os níveis ótimos de ajuste correspondentes, selecionados na faixa de 0 a 31 (32 níveis possíveis), apresentados na tabela a seguir. Lembramos que a partir de sua consideração, inferimos importantes conclusões a respeito das características de dispersão obtidas.

Circuito	Melhor caso - V_{REF}	Nível de Ajuste (V_{REF})	Varição térmica V_{REF} (ppm/°C)	Valor médio V_{REF} (mV)
L1W15_WR05	1º rodada com <i>start-up</i> - amostra 3	12	9,74	652,74
L1W15_WR65	1º rodada com <i>start-up</i> - amostra 2	14	10,40	662,91
L1W30_WR05	1º rodada com <i>start-up</i> - amostra 3	14	8,69	662,01
L1W30_WR65	1º rodada com <i>start-up</i> - amostra 2	15	9,84	663,48
L3W30_WR05	2º rodada sem <i>start-up</i> - amostra 2	3	15,85	660,45
L3W30_WR65	1º rodada com <i>start-up</i> - amostra 3	0	29,03	660,46
L3W45_WR05	2º rodada sem <i>start-up</i> - amostra 3	2	12,78	637,10
L3W45_WR65	1º rodada sem <i>start-up</i> - amostra 3	1	23,85	631,40
Circuito	Melhor caso - V_{TEMP}	Nível de Ajuste (V_{TEMP})	Varição térmica curvatura V_{TEMP} (ppm/°C)	Coefficiente térmico de 1ª ordem V_{TEMP} (mV/°C)
L1W15_WR05	1º rodada sem <i>start-up</i> - amostra 1	15	8,56	2,47
L1W15_WR65	1º rodada com <i>start-up</i> - amostra 3	9	15,51	2,35
L1W30_WR05	1º rodada com <i>start-up</i> - amostra 1	13	25,29	2,40
L1W30_WR65	1º rodada com <i>start-up</i> - amostra 1	4	16,91	2,28
L3W30_WR05	1º rodada sem <i>start-up</i> - amostra 2	13	17,40	2,25
L3W30_WR65	1º rodada sem <i>start-up</i> - amostra 3	9	22,87	2,20
L3W45_WR05	1º rodada sem <i>start-up</i> - amostra 3	16	10,01	2,43
L3W45_WR65	1º rodada sem <i>start-up</i> - amostra 3	15	45,86	2,25
Circuito	Pior caso - V_{REF}	Nível de Ajuste (V_{REF})	Varição térmica V_{REF} (ppm/°C)	Valor médio V_{REF} (mV)
L1W15_WR05	1º rodada com <i>start-up</i> - amostra 2	17	38,09	630,14
L1W15_WR65	2º rodada com <i>start-up</i> - amostra 3	14	37,93	636,24
L1W30_WR05	2º rodada com <i>start-up</i> - amostra 1	11	29,93	633,24
L1W30_WR65	2º rodada com <i>start-up</i> - amostra 3	11	41,28	629,21
L3W30_WR05	1º rodada com <i>start-up</i> - amostra 1	0	145,36	670,09
L3W30_WR65	1º rodada com <i>start-up</i> - amostra 1	0	87,00	670,16
L3W45_WR05	1º rodada sem <i>start-up</i> - amostra 3	0	121,26	643,25
L3W45_WR65	1º rodada com <i>start-up</i> - amostra 2	0	49,57	597,85
Circuito	Pior caso - V_{TEMP}	Nível de Ajuste (V_{TEMP})	Varição térmica curvatura V_{TEMP} (ppm/°C)	Coefficiente térmico de 1ª ordem V_{TEMP} (mV/°C)
L1W15_WR05	1º rodada com <i>start-up</i> - amostra 2	20	126,23	2,57
L1W15_WR65	2º rodada sem <i>start-up</i> - amostra 2	0	214,18	2,30
L1W30_WR05	1º rodada sem <i>start-up</i> - amostra 3	31	187,82	2,60
L1W30_WR65	2º rodada com <i>start-up</i> - amostra 3	16	139,60	2,57
L3W30_WR05	2º rodada sem <i>start-up</i> - amostra 1	15	104,40	2,33
L3W30_WR65	2º rodada com <i>start-up</i> - amostra 1	12	134,47	2,25
L3W45_WR05	2º rodada sem <i>start-up</i> - amostra 1	17	125,39	2,42
L3W45_WR65	1º rodada com <i>start-up</i> - amostra 2	31	139,11	2,37

Tabela 6 – Índices de desempenho de melhor e pior caso para cada versão de dimensionamento

Os resultados apresentados na tabela 6, referentes ao melhor e pior caso medido para cada versão de dimensionamento do circuito, nos permitem identificar a faixa de desempenho alcançada por cada versão do circuito proposto. Desta forma, não destacamos apenas os melhores valores obtidos, mas consideramos toda a faixa de desempenho verificada em cada caso, que reflete o efeito dos diversos mecanismos de espalhamento e dispersão, permitindo uma análise mais consistente do potencial de aplicação dos circuitos.

Através da tabela, podemos verificar que as faixas obtidas dos índices de variação térmica associados aos sinais de saída V_{REF} englobam os valores correspondentes previstos por simulação. Os circuitos com dimensão $L=1\mu\text{m}$ apresentaram melhores índices de estabilidade térmica de V_{REF} em comparação aos circuitos com $L=3\mu\text{m}$, conforme previsto pelas simulações. Desta forma, verificamos a influência do efeito de modulação de canal sobre a resposta dos circuitos, que de fato agiu a favor da maior estabilidade térmica. Comparando versões correspondentes, de menor ou maior consumo, ou de menor ou maior valor de largura de resistor, não identificamos diferenças significativas nos índices de desempenho obtidos, o que confirma as análises feitas ao longo da exposição dos gráficos.

Note que os níveis ótimos de ajuste de V_{REF} ocorrem relativamente próximos do centro da faixa para os circuitos com $L=1\mu\text{m}$. No caso dos circuitos com $L=3\mu\text{m}$, mesmo considerando os melhores resultados obtidos com as amostras da 2ª rodada, os níveis de ajuste ocorrem sempre próximos do limite mínimo da faixa, o que reforça nossa conclusão sobre a limitação do modelo de simulação neste caso.

Analisando os índices de variação térmica de curvatura extraída dos sinais V_{TEMP} , verificamos faixas mais largas de desempenho do que as verificadas para as saídas V_{REF} . No entanto, note que os índices obtidos com base nas simulações de caso típico ocorrem no interior destas faixas, ou mesmo acima, não se caracterizando queda sistemática de desempenho em nenhum caso. É interessante observar que obtemos casos de curvatura extraída de sinais V_{TEMP} com índices de variação térmica até melhores que os verificados para os sinais V_{REF} correspondentes, efeito não previsto nas simulações. Isto reforça nossa conclusão sobre a forte característica de dispersão associada aos sinais V_{TEMP} , que embora não tenha resultado em queda significativa de desempenho, é bastante irregular, o que nos alerta para a necessidade de um estudo mais aprofundado dos fenômenos envolvidos.

Analisando os valores ótimos de ajuste associados aos sinais V_{TEMP} , observamos grande dispersão entre as amostras. Não se caracteriza um deslocamento sistemático em relação ao centro da faixa de ajuste, uma vez que podemos observar níveis ótimos obtidos ao longo de toda a faixa. Neste caso, concluímos que a faixa de ajuste implementada tornou-se estreita, ou seja, o comportamento real das curvas demonstrou maior espalhamento que o previsto pelas simulações de *Monte-Carlo*. Felizmente, a condição ótima de ajuste foi alcançada para quase todos os casos, de forma que a análise de desempenho atingível não foi comprometida.

Com base nos valores extremos de desempenho apresentados na tabela 6, verificamos um avanço significativo em relação aos resultados apresentados em [3] por Cajueiro, associados à geração de uma tensão de referência. O menor coeficiente de variação térmica medido por Cajueiro, em protótipos fabricados, foi de 100ppm/°C, na mesma faixa de temperatura adotada neste trabalho. Enquanto os melhores resultados de variação térmica de sinais V_{REF} , apresentados na tabela 6, chegam abaixo de 10ppm/°C, mesmo os resultados de pior caso obtidos com amostras que efetivamente alcançaram a condição ótima de ajuste permanecem abaixo de 100ppm/°C. Portanto, o limite mínimo de desempenho medido para cada versão de dimensionamento, considerando os casos em que a condição ótima de ajuste foi efetivamente alcançada, está acima do melhor resultado obtido por Cajueiro. Lembramos que a principal diferença em relação aos circuitos propostos por Cajueiro, baseados no mesmo princípio de compensação térmica, é o método aplicado para a geração da corrente de polarização do circuito. Enquanto Cajueiro utilizou uma corrente proporcional a uma tensão V_{GS} , a corrente unitária na topologia proposta neste trabalho é gerada a partir de uma diferença $\Delta V_{GS} = V_{GS2} - V_{GS1}$, que resulta em melhor característica de estabilidade térmica.

5.3 Medidas em temperatura ambiente

Nos circuitos fabricados, nosso objetivo principal foi a verificação prática da característica térmica dos sinais de saída gerados com base no princípio físico explorado, sem forte preocupação com outras figuras de desempenho, que deverão ser otimizadas em

futuros trabalhos. Dentre estas, a medida de rejeição de fonte ou PSRR (*Power Supply Rejection Ratio*) reflete a sensibilidade associada aos sinais de saída em relação a variações de potencial no nó de alimentação. Conforme comentado anteriormente, o baixo valor de comprimento de canal dos transistores PMOS, que implementam os espelhos de corrente nos circuitos projetados, confere um baixo índice de rejeição de fonte, devido ao pronunciado efeito de modulação de canal. Para o desenvolvimento de circuitos de baixo consumo, em futuros trabalhos, os transistores PMOS nos espelhos de corrente serão necessariamente implementados com valores altos de comprimento de canal para garantir a operação em forte-inversão, o que minimizará o efeito de modulação de canal e, conseqüentemente, a sensibilidade a variações de potencial no nó de alimentação. Ou seja, prevemos a otimização em projeto no quesito rejeição de fonte como etapa natural no avanço deste desenvolvimento, que ambicionamos continuar em futuros trabalhos.

Como procedimento comum de caracterização, medimos a rejeição de fonte nos protótipos fabricados, verificando experimentalmente a forte influência do efeito de modulação de canal sobre a resposta dos circuitos. Os testes foram feitos apenas sobre o primeiro conjunto de amostras recebido, com os blocos digitais não implementados. Consideramos que o valor configurado de ajuste, que no caso do primeiro conjunto de amostras equivale ao limite mínimo da faixa, não deve exercer grande influência na característica de rejeição de fonte, por não alterar significativamente a condição de polarização dos componentes do circuito. Somado a isto, considerando a rejeição de fonte como característica a ser otimizada em futuras implementações de baixo-consumo, não objetivamos, neste momento, uma análise rigorosa deste parâmetro. Portanto, os resultados obtidos com o primeiro conjunto de amostras recebido são suficientes para embasar nossas conclusões nesta etapa.

O procedimento de caracterização de rejeição de fonte é feito em temperatura ambiente, utilizando o analisador de parâmetros de semicondutores HP4155A. Os sinais de saída V_{REF} e V_{TEMP} são medidos enquanto é feita uma varredura contínua da tensão de alimentação na faixa de 0V a 2,8V. Os resultados são apresentados adiante em forma gráfica para evidenciar o desvio das curvas em relação ao nível horizontal ideal, no intervalo de tensão de alimentação superior ao limite mínimo especificado. As curvas medidas foram reunidas segundo a versão de dimensionamento do circuito. Incluímos

curvas de simulação, obtidas na condição de limite mínimo da faixa de ajuste, como referência de comportamento previsto. Nos gráficos construídos, adotamos a seguinte legenda:

- | | | | |
|-------|--|---|--|
| | Simulação - 1o Rodada com nível mínimo de ajuste | • | Amostra 6 - CI - 1o Rodada com start-up |
| --- | Simulação - 2o Rodada com nível mínimo de ajuste | ○ | Amostra 7 - CI - 2o Rodada sem start-up |
| ☆ | Amostra 1 - CI - 1o Rodada sem start-up | × | Amostra 8 - CI - 2o Rodada sem start-up |
| ◇ | Amostra 2 - CI - 1o Rodada sem start-up | ▽ | Amostra 9 - CI - 2o Rodada sem start-up |
| + | Amostra 3 - CI - 1o Rodada sem start-up | □ | Amostra 10 - CI - 2o Rodada com start-up |
| ▷ | Amostra 4 - CI - 1o Rodada com start-up | * | Amostra 11 - CI - 2o Rodada com start-up |
| △ | Amostra 5 - CI - 1o Rodada com start-up | △ | Amostra 12 - CI - 2o Rodada com start-up |

Como exemplo, os gráficos na figura 95 demonstram a sensibilidade dos sinais de saída dos circuitos L3W45_WR05 em relação ao potencial de alimentação.

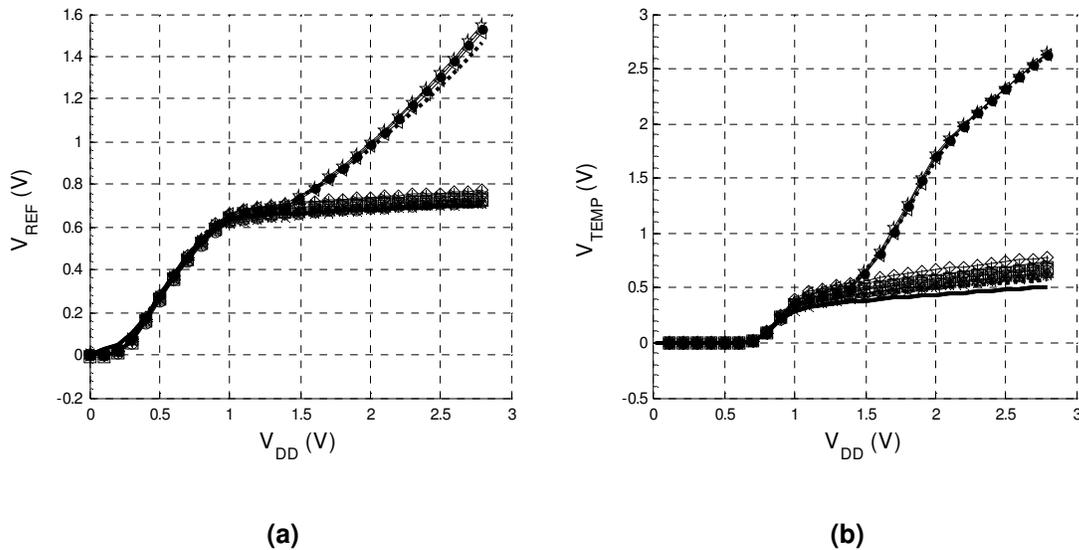


Figura 95 – Tensões de saída dos circuitos L3W45_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

Em ambos os gráficos apresentados acima, as curvas que crescem, afastando-se do comportamento comum, a partir de determinado valor de tensão de alimentação V_{DD} , próximo a 1,5V, são referentes às três amostras da 1ª rodada com bloco *start-up*. Com base neste comportamento, concluímos que as mudanças feitas no projeto do bloco *start-up* para a 2ª rodada de fabricação de fato permitem a operação normal do circuito em uma faixa mais extensa de tensão de alimentação. O bloco *start-up* da 1ª rodada interfere na resposta

do circuito quando a tensão de alimentação sobe além de certo limiar, pouco acima da condição nominal, enquanto o bloco *start-up* da 2ª rodada não interfere em toda a faixa de excursão considerada. Embora ambos os blocos não exerçam influência na condição nominal de alimentação ($V_{DD}=1V$), o bloco da 2ª rodada é preferível por garantir maior margem de segurança associada a esta condição, além de permitir a especificação de um intervalo mais extenso de tensão de alimentação.

A partir deste momento, nosso interesse é observar a característica intrínseca de rejeição de fonte dos circuitos projetados e não a influência do bloco *start-up*, que foi facilmente eliminada nos circuitos da 2ª rodada. Portanto, excluímos dos gráficos apresentados abaixo as curvas referentes às amostras da 1ª rodada com bloco *start-up*, para evidenciar apenas o comportamento de interesse.

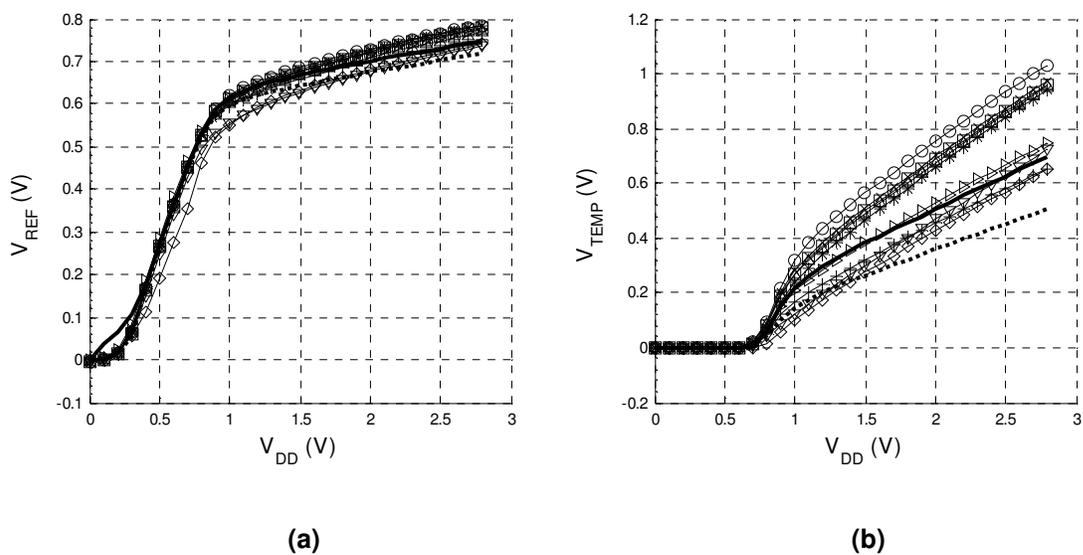
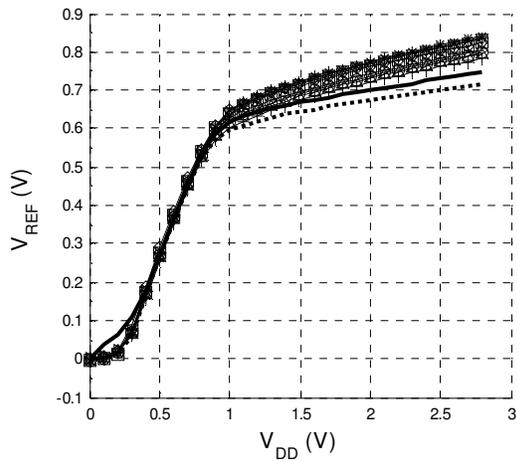
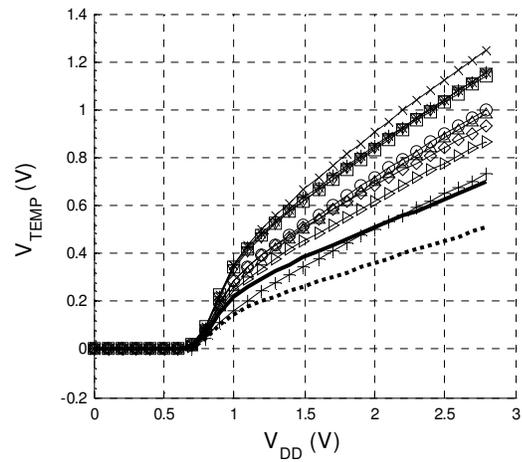


Figura 96 – Tensões de saída dos circuitos L1W15_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

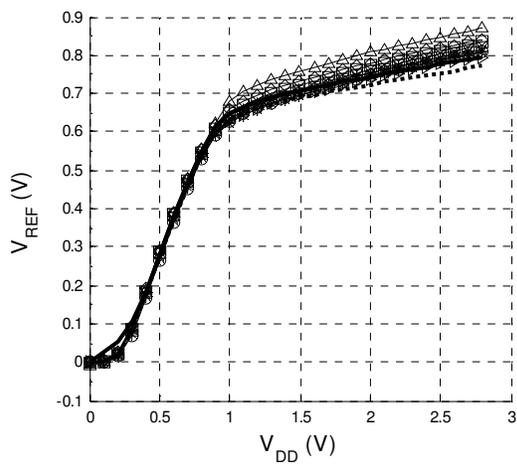


(a)

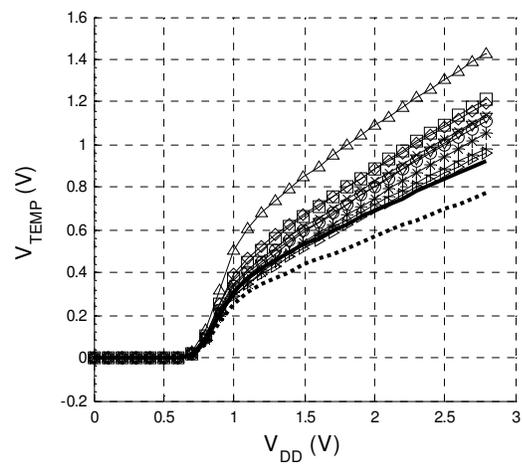


(b)

Figura 97 – Tensões de saída dos circuitos L1W15_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

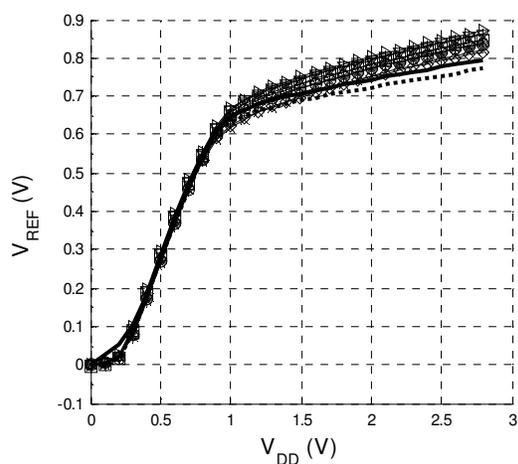


(a)

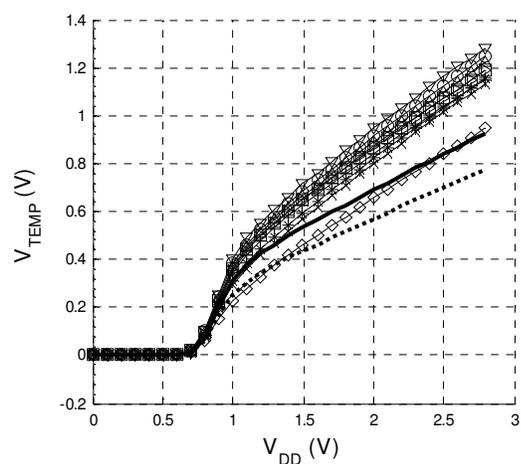


(b)

Figura 98 – Tensões de saída dos circuitos L1W30_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

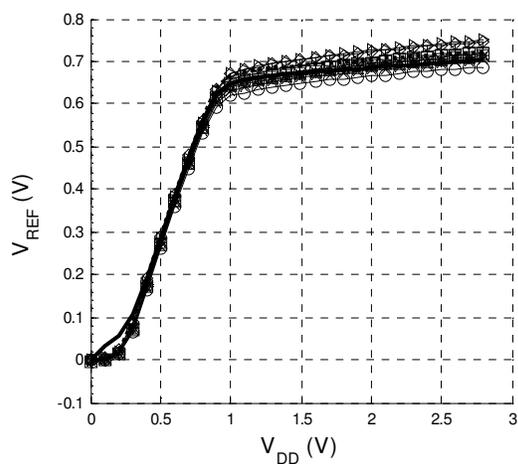


(a)

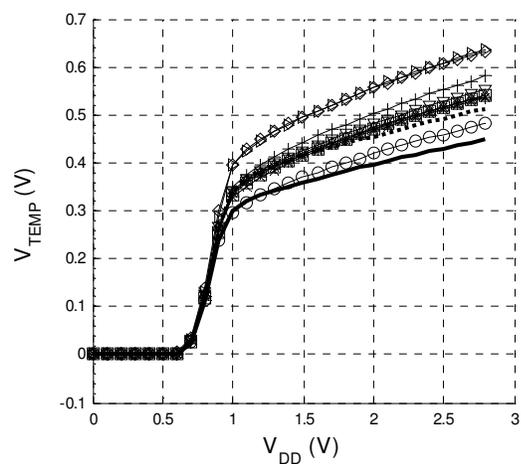


(b)

Figura 99 – Tensões de saída dos circuitos L1W30_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

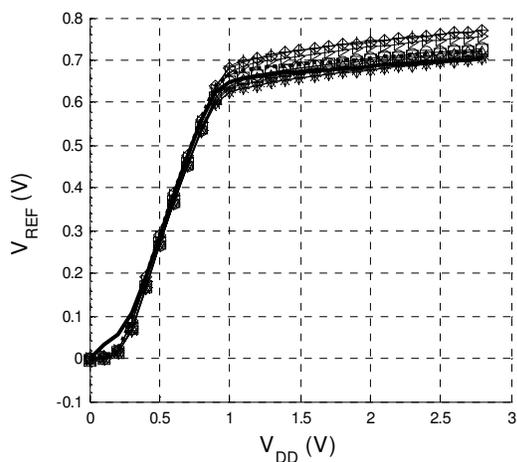


(a)

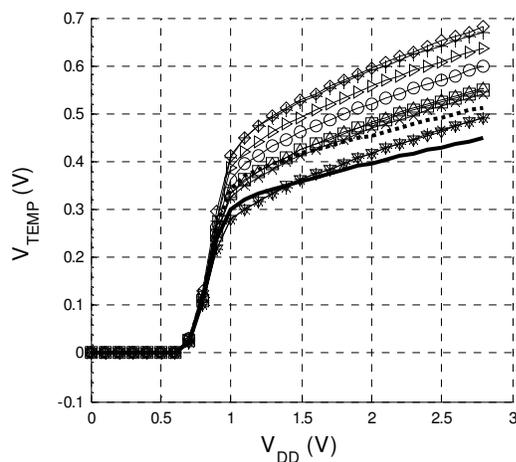


(b)

Figura 100 – Tensões de saída dos circuitos L3W30_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

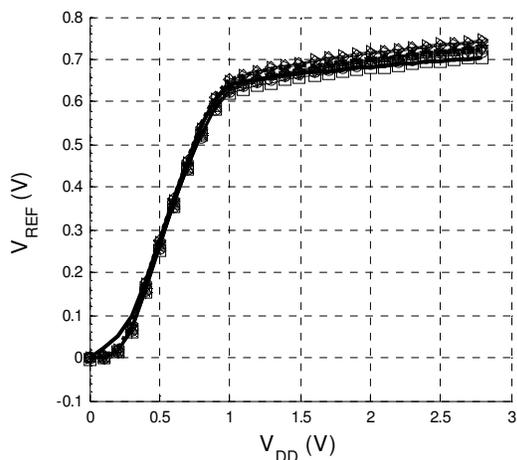


(a)

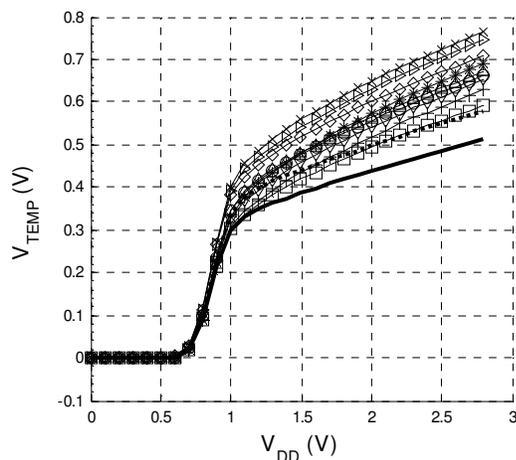


(b)

Figura 101 – Tensões de saída dos circuitos L3W30_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}



(a)



(b)

Figura 102 – Tensões de saída dos circuitos L3W45_WR065 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

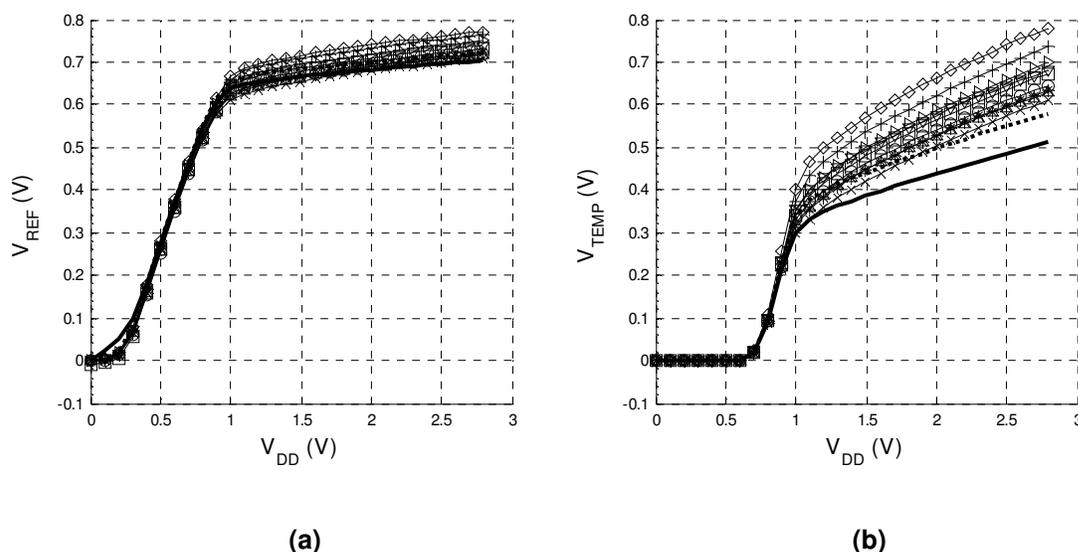


Figura 103 – Tensões de saída dos circuitos L3W45_WR05 em função da tensão de alimentação V_{DD} : (a) V_{REF} e (b) V_{TEMP}

De forma geral, é evidente a alta sensibilidade de ambas as saídas em relação à tensão de alimentação, para todos os circuitos medidos.

Na tabela abaixo, apresentamos os valores máximos e mínimos de PSSR obtidos a partir das medidas realizadas (exceto pelas medidas referentes às amostras da 1ª rodada com bloco *start-up*)³⁰.

Versão	Mínimo PSSR V_{REF} (dB)	Máximo PSSR V_{REF} (dB)	Mínimo PSSR V_{TEMP} (dB)	Máximo PSSR V_{TEMP} (dB)
L1W15_WR05	17,2	18,7	5,1	9,4
L1W15_WR65	17,8	19,7	7,3	10,8
L1W30_WR05	17,4	17,9	5,3	7,3
L1W30_WR65	17,7	19,1	4,6	7,8
L3W30_WR05	24,3	25,7	14,8	17,2
L3W30_WR65	25,2	26,6	15,7	18,2
L3W45_WR05	22,4	23,6	11,6	13,7
L3W45_WR65	22,9	24,4	12,2	14,4

Tabela 7 – Valores mínimos e máximos de PSSR obtidos para cada versão do circuito

Observe que as amostras com dimensão $L=1\mu\text{m}$ apresentam valores menores de PSSR em comparação às amostras com dimensão $L=3\mu\text{m}$, o que era previsto já que o efeito de modulação de canal é mais pronunciado nos transistores com menor comprimento de

³⁰ Para cada tensão de saída, calculamos: $PSSR_{V_{SAÍDA}} = -20 \cdot \log \left(\frac{V_{SAÍDA}|_{V_{DD}=2V}}{V_{SAÍDA}|_{V_{DD}=1V}} \right)$

canal. É interessante notar que os sinais de saída V_{TEMP} apresentam valores de PSRR significativamente menores que os apresentados pelos sinais V_{REF} . Isto ocorre porque o valor alto de resistência R_T , associado à geração de V_{TEMP} , é responsável por converter a componente de corrente devida à modulação de canal em maior incremento de tensão na saída, enquanto as componentes de corrente associadas à geração de V_{REF} são aplicadas em pontos de impedância relativamente baixa.

O comportamento verificado de rejeição de fonte em todos os circuitos medidos seria intolerável em aplicações definitivas. Representa uma grande limitação dos protótipos fabricados. Sua verificação ilustra o efeito de modulação de canal, que deverá ser minimizado em implementações futuras, conforme comentado anteriormente.

5.4 Conclusões

Neste capítulo, apresentamos os resultados obtidos a partir da caracterização experimental dos protótipos fabricados. Identificamos uma falha de fabricação associada ao primeiro conjunto de amostras recebido, que resultou em configuração fixa de ajuste (não configurável) associada a todos os circuitos. Tendo reconhecido a responsabilidade sobre a falha, a AMS forneceu posteriormente um segundo conjunto completo de amostras com a falha corrigida. Foram realizados testes de caracterização térmica utilizando câmara climática e testes em temperatura ambiente de caracterização quanto à rejeição de fonte. No segundo caso, mantemos a análise feita sobre os resultados obtidos a partir do primeiro conjunto de amostras, considerando que a condição fixa de ajuste não interfere significativamente no comportamento observado. No caso de caracterização quanto a comportamento térmico, os testes foram refeitos sobre o segundo conjunto de amostras em que a melhor condição de ajuste pode ser configurada caso a caso, o que permitiu verificarmos o máximo desempenho alcançável pelos circuitos neste quesito.

Os resultados obtidos a partir dos testes em temperatura ambiente, de caracterização quanto à rejeição de fonte, demonstraram a forte limitação dos protótipos fabricados associada a este ponto. O efeito pronunciado de modulação de canal, associado aos transistores de espelho, com baixo valor de comprimento de canal, conferiu alta

sensibilidade dos potenciais de saída a variações de tensão de alimentação. No entanto, antecipamos medidas normais ao desenvolvimento de protótipos de baixo consumo, que deverão minimizar o efeito, garantindo a otimização desta figura de desempenho como etapa normal à continuação deste trabalho.

Os resultados obtidos a partir dos testes de caracterização térmica testificam o potencial de aplicação da topologia proposta sobre o quesito de comportamento térmico, priorizado nesta etapa. Neste sentido, verificamos um avanço significativo em relação aos resultados apresentados por Cajueiro em [3], obtendo índices melhores de estabilidade térmica associados à geração de sinais de referência. Com base no mesmo princípio fundamental explorado, destacamos que a origem da melhor característica térmica está associada à diferente estratégia de geração de corrente de polarização que adotamos neste trabalho.

Enfim, concluímos que os objetivos pretendidos foram atingidos, com bons resultados, e que dispomos de material experimental e teórico suficiente para sustentar uma próxima etapa de desenvolvimento, o projeto de circuitos adaptados para baixo consumo e com alta rejeição de fonte.

Capítulo 6

Conclusões

Este trabalho representa uma contribuição para o campo de pesquisa e desenvolvimento de fontes de referência de tensão e sensores de temperatura, dois blocos extensivamente utilizados em sistemas microeletrônicos. Mais especificamente, uma contribuição alinhada a duas fortes tendências tecnológicas atuais: a difusão do conceito *System-on-chip*, que impõe a integração de circuitos analógicos e digitais no mesmo substrato, e o crescimento de aplicações portáteis com fonte de energia limitada. Sob este enfoque, foi descrito o desenvolvimento de uma nova estrutura de circuito, que atende as exigências de baixa tensão e baixo consumo, além de representar uma solução de baixo custo, pela compatibilidade a processos CMOS convencionais e pela forma compacta. Ao mesmo tempo, foi demonstrado que a estrutura proposta representa uma alternativa interessante em relação a outras estruturas consolidadas, mas que, além de protegidas por acordos de propriedade intelectual, demonstram certas limitações dentro deste novo cenário de demanda tecnológica.

Na parte inicial deste trabalho, apresentamos o resultado da pesquisa bibliográfica realizada, que nos proporcionou conhecimento sobre o estado da arte neste campo de pesquisa e desenvolvimento. As principais técnicas divulgadas na literatura, aplicadas para o projeto de fontes de referência de tensão e sensores de temperatura CMOS, foram analisadas sob diversos aspectos. O estudo feito sobre cada técnica, abrangendo não apenas seu princípio teórico, mas também questões relativas ao contexto de surgimento e formas de aplicação, constitui-se em uma base teórica útil para este e futuros trabalhos. Em particular, os comentários incluídos sobre pontos favoráveis e desfavoráveis associados à aplicação de cada técnica poderão servir como referência rápida para outros desenvolvimentos.

Partindo do princípio originalmente proposto por Cajueiro para geração de tensões de referência [3], foi descrito o desenvolvimento de uma estrutura original CMOS de fonte de referência de tensão com sensor de temperatura integrado, adaptada às condições de operação de baixa tensão, baixo consumo e sobre ampla faixa de temperatura. O procedimento prático de projeto do circuito em uma tecnologia CMOS convencional foi descrito detalhadamente, desde o equacionamento ao *layout*. Os resultados experimentais obtidos, a partir da caracterização de protótipos fabricados, comprovaram a validade do princípio explorado, atestando o potencial de aplicação da estrutura sob as especificações pretendidas. Também foram identificadas as principais limitações associadas e algumas das medidas que deverão ser tomadas para a otimização do circuito em futuros trabalhos.

Concluindo, julgamos ter alcançado nosso objetivo com este trabalho, contribuindo de forma efetiva para este campo de pesquisa e desenvolvimento.

Apêndice A

Resultados de caracterização térmica dos circuitos medidos com sistema de ajuste funcional

Circuito	Rod.	Start-up	Amo.	Nível de ajuste V_{REF}	Varição térmica V_{REF} (ppm/°C)	Valor médio V_{REF} (mV)	Nível de ajuste V_{TEMP}	Coefficiente térmico de 1ª ordem V_{TEMP} (mV/°C)	Varição térmica curvatura V_{TEMP} (ppm/°C)	$V_{REF}-V_{TEMP}$ em 120°C (mV)
L1W15WR05	1°	sem	1	13	14,04	647,25	15	2,47	8,56	-1,20
			2	15	13,33	670,15	11	2,40	57,32	-0,42
			3	12	12,69	642,74	16	2,49	23,63	-4,60
		COM	1	13	15,33	666,97	10	2,37	101,34	-3,26
			2	17	38,09	630,14	20	2,57	126,23	1,52
			3	12	9,74	652,74	14	2,46	28,13	0,40
	2°	sem	1	11	16,62	643,33	11	2,55	33,08	1,40
			2	11	23,69	640,74	8	2,52	63,11	1,36
			3	11	24,46	620,83	16	2,65	112,05	-5,23
		COM	1	9	23,79	616,56	17	2,67	106,43	-1,91
			2	8	19,96	666,50	4	2,41	108,03	-4,78
			3	13	32,40	634,41	13	2,61	122,20	2,32
L1W15WR65	1°	sem	1	16	24,44	652,83	11	2,40	26,78	-3,07
			2	16	25,46	683,46	2	2,19	151,48	4,62
			3	18	37,23	629,74	16	2,55	116,47	-2,20
		COM	1	18	11,98	666,09	6	2,29	60,50	3,93
			2	14	10,40	662,91	7	2,36	53,83	0,25
			3	19	24,16	656,38	9	2,35	15,51	3,28
	2°	sem	1	16	35,16	651,61	7	2,44	71,84	1,36
			2	11	26,77	682,70	0	2,30	214,18	-38,58
			3	14	30,40	646,76	5	2,46	71,99	2,13
		COM	1	14	30,19	656,55	0	2,38	28,63	1,27
			2	12	25,22	646,70	2	2,38	20,20	2,29
			3	14	37,93	636,24	6	2,53	104,27	1,41

Circuito	Rod.	Start-up	Amo.	Nível de ajuste V_{REF} (mV)	Varição térmica V_{REF} (ppm/°C)	Valor médio V_{REF} (mV)	Nível de ajuste V_{TEMP} (mV)	Coefficiente térmico de 1ª ordem V_{TEMP} (mV/°C)	Varição térmica curvatura V_{TEMP} (ppm/°C)	$V_{REF}-V_{TEMP}$ em 120°C (mV)
L1W30WR05	1°	sem	1	12	16,10	650,35	20	2,52	39,45	-0,24
			2	13	11,55	669,26	7	2,36	78,59	-1,13
			3	11	29,89	608,53	31	2,60	187,82	29,00
		COM	1	17	9,32	661,19	13	2,40	25,29	-2,49
			2	12	9,62	664,21	10	2,42	57,87	-0,03
			3	14	8,69	662,01	11	2,41	40,41	-0,39
	2°	sem	1	0	14,62	666,88	0	2,37	101,41	-3,27
			2	11	11,98	661,37	3	2,39	36,48	-1,45
			3	10	25,19	639,92	15	2,54	79,98	1,74
		COM	1	11	29,93	633,24	19	2,56	110,30	-0,49
			2	13	23,16	648,63	6	2,44	39,46	-0,11
			3	10	21,86	643,75	13	2,53	58,01	-0,77
L1W30WR65	1°	sem	1	16	22,21	649,00	9	2,39	26,53	1,90
			2	16	25,49	660,83	7	2,32	28,48	-0,16
			3	12	25,77	625,87	23	2,60	105,28	-1,19
		COM	1	23	20,78	661,51	4	2,28	16,91	1,54
			2	15	9,84	663,48	5	2,35	38,90	3,53
			3	25	40,44	637,02	15	2,47	106,11	-0,61
	2°	sem	1	12	24,79	646,56	5	2,44	35,14	0,61
			2	13	33,18	645,48	7	2,48	75,20	2,21
			3	4	30,37	625,03	18	2,60	122,54	0,28
		COM	1	6	33,48	632,38	11	2,52	97,70	-0,67
			2	4	29,69	609,10	23	2,68	132,77	-1,16
			3	11	41,28	629,21	16	2,57	139,60	0,02
L3W30WR05	1°	sem	1	0	79,52	668,99	11	2,19	31,27	-2,54
			2	0	106,17	668,03	13	2,25	17,40	1,27
			3	0	144,13	665,82	10	2,29	28,91	1,83
		COM	1	0	145,36	670,09	11	2,30	23,29	-2,48
			2	0	86,52	665,62	13	2,24	25,19	-0,55
			3	0	77,42	638,65	22	2,34	72,22	-1,51
	2°	sem	1	1	24,54	629,48	15	2,33	104,40	6,45
			2	3	15,85	660,45	8	2,15	35,16	1,13
			3	3	32,56	642,15	11	2,23	98,16	5,81
		COM	1	1	18,01	659,22	8	2,16	25,84	-2,00
			2	2	20,71	650,91	10	2,22	38,12	-4,26
			3	0	18,68	643,23	11	2,25	59,09	6,63
L3W30WR65	1°	sem	1	0	54,23	648,39	14	2,18	71,43	-1,27
			2	0	59,52	664,40	4	2,11	62,40	1,76
			3	0	84,53	658,60	9	2,20	22,87	0,62
		COM	1	0	87,00	670,16	7	2,12	23,48	3,03
			2	0	40,19	658,27	12	2,14	35,15	-1,92
			3	0	29,03	660,46	12	2,05	39,13	-1,43
	2°	sem	1	3	40,04	637,52	10	2,22	107,60	-0,78
			2	2	36,59	633,45	10	2,25	112,68	0,93
			3	2	34,77	630,09	11	2,25	98,85	-0,13
		COM	1	4	49,41	630,93	12	2,25	134,47	-1,34
			2	4	43,69	648,81	9	1,92	95,25	-3,07
			3	4	39,92	647,24	7	2,14	81,61	5,01

Circuito	Rod.	Start-up	Amo.	Nível de ajuste V_{REF} (mV)	Varição térmica V_{REF} (ppm/°C)	Valor médio V_{REF} (mV)	Nível de ajuste V_{TEMP} (mV)	Coefficiente térmico de 1ª ordem V_{TEMP} (mV/°C)	Varição térmica curvatura V_{TEMP} (ppm/°C)	$V_{REF}-V_{TEMP}$ em 120°C (mV)
L3W45WR05	1°	sem	1	0	38,17	628,85	30	2,39	77,77	0,22
			2	0	78,92	653,18	12	2,31	35,56	-0,13
			3	0	121,26	643,25	16	2,43	10,01	1,15
		COM	1	0	77,05	639,29	19	2,37	30,11	-0,51
			2	0	64,58	635,19	24	2,39	47,14	0,21
			3	0	95,25	647,40	15	2,36	21,05	0,94
	2°	sem	1	3	29,61	620,33	17	2,42	125,39	-2,03
			2	3	31,36	626,05	14	2,35	89,05	-2,25
			3	2	12,78	637,10	10	2,31	20,45	-1,38
		COM	1	5	34,38	633,49	11	2,32	83,56	-0,42
			2	2	16,07	631,74	12	2,33	45,22	-2,25
			3	2	16,54	632,26	13	2,36	44,06	-2,64
L3W45WR65	1°	sem	1	0	39,95	617,75	25	2,36	104,31	1,25
			2	0	26,06	635,80	13	2,20	46,41	0,12
			3	1	23,85	631,40	15	2,25	45,86	-0,91
		COM	1	0	35,39	629,18	17	2,26	75,50	-1,33
			2	0	49,57	597,85	31	2,37	139,11	33,31
			3	1	25,43	626,30	17	2,26	58,33	-1,29
	2°	sem	1	3	39,25	623,25	12	2,33	95,57	-2,77
			2	4	29,39	630,68	9	2,27	70,61	-1,69
			3	4	39,02	619,61	12	2,36	102,43	-3,69
		COM	1	5	44,69	617,97	10	2,32	124,05	-0,89
			2	4	32,43	624,60	10	2,30	90,11	2,54
			3	4	27,21	627,10	9	2,29	73,18	3,13

Tabela 8 – Índices de desempenho quanto a comportamento térmico dos circuitos medidos com sistema de ajuste funcional

Referência bibliográfica

- [1] A. Bakker. “CMOS smart temperature sensors – an overview,” em *Proceedings of IEEE Sensors*, 2002, pp. 1423-1427.
- [2] C.C. Enz e E.A. Vittoz. “CMOS low-power analog circuit design” em *Emerging Technologies, Tutorial for 1996 International Symposium on Circuits and Systems*. R. Cavin and W. Liu, Eds. Piscataway: IEEE Service Center, 1996, pp.79-133.
- [3] J.P.C. Cajueiro. “Fonte de Tensão de Referência Ajustável Implementada com Transistores MOS.” Tese de Doutorado, Universidade Estadual de Campinas, Brasil, 2005.
- [4] D.F. Hilbiber. “A new semiconductor voltage standard,” em *1964 IEEE International Solid-State Circuits Conference*, 1964, pp. 32-33.
- [5] National Semiconductor “LM109/LM309 5-Volt Regulator.” Internet: <http://cache.national.com/ds/LM/LM109.pdf>, Abr. 1998 [Jul. 2009]
- [6] T.H. Lee. “Tales of the Continuum: A Subsampled History of Analog Circuits.” *SSCS IEEE Solid-State Circuits Society News*, vol.12, no. 4, pp. 38-51, 2007.
- [7] R.J. Widlar. “New Developments in IC Voltage Regulators.” *IEEE Journal of Solid-State Circuits*, vol. 6, no. 1, pp. 2-7, Fev. 1971.
- [8] Electronic Design Website “Hall Of Fame: 2002 Honor Roll.” Internet: <http://electronicdesign.com/Articles/Index.cfm?ArticleID=2851&pg=6>, Out. 2002 [Jul. 2009]
- [9] R.C. Dobkin. “Monolithic temperature transducer,” em *1974 IEEE International Solid-State Circuits Conference*, 1974, pp. 126-127.
- [10] R.J. Widlar. “Some Circuit Design Techniques for Linear Integrated Circuits.” *IEEE Transactions on Circuits Theory*, vol. 12, no. 4, pp. 586-590, Dez 1965.

- [11] J.E. Pallet. "An Electrical Thermometer." *Eletronic Engineering*, no. 35, pp. 313-315, Mai. 1963.
- [12] G.C.M. Meijer. "Thermal Sensors Based on Transistors." *Sensors and Actuators*, vol. 10, pp. 103-125, 1986.
- [13] Motorola Semiconductors "MTS102/103/105 Silicon Temperature Sensors." Internet: <http://www.datasheetarchive.com/pdf-datasheets/Datasheets-21/DSA-414073.pdf> [Jul. 2009].
- [14] Analog Devices "MAT01 Matched Monolithic Dual Transistor." Internet: <http://www.datasheetarchive.com/pdf-datasheets/Datasheets-5/DSA-80491.pdf> [Jul. 2009].
- [15] W. Shockley. "The Theory of P-N Junctions in Semiconductors and P-N Junction Transistors." *Bell System Technical Journal*, vol. 28, no. 3, pp. 435-89, Jul. 1949.
- [16] Y.P. Tsividis. "Accurate Analysis of Temperature Effects in I_C - V_{BE} Characteristics with Application to Bandgap Reference Sources." *IEEE Journal of Solid-State Circuits*, vol. 15, no. 6, pp. 1076-1084, Dez. 1980.
- [17] G.C.M. Meijer e K. Vingerling. "Measurement of the Temperature Dependence of the $I_C(V_{be})$ Characteristics of Integrated Bipolar Transistors." *IEEE Journal of Solid-State Circuits*, vol. 15, no. 2, pp. 237-240, Abr. 1980.
- [18] M.A.P. Pertijs. "Precision Temperature Sensors in CMOS Technology." Tese de Doutorado, Technische Universiteit Delft, Holanda, 2005.
- [19] G. Wang e G.C.M. Meijer. "The Temperature Characteristics of Bipolar Transistors Fabricated in CMOS Technology." *Sensors and Actuators*, vol. 87, pp. 81-89, 2000.
- [20] M.A.P. Pertijs, K.A.A. Makinwa e J.H. Huijsing. "A CMOS Smart Temperature Sensor With a 3σ Inaccuracy of $\pm 0.1^\circ\text{C}$ From -55°C to 125°C ." *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2805-2815, Dez. 2005.
- [21] F. Fruett, G.C.M. Meijer e A. Bakker. "Low-drift bandgap voltage references," em *28th European Solid-State Circuits Conference (ESSCIRC)*, 2002, pp. 383-386.
- [22] E.A. Vittoz. "MOS Transistors Operated in the Lateral Bipolar Mode and Their Application in CMOS Technology." *IEEE Journal of Solid-State Circuits*, vol. 18, no. 3, pp. 273-279, Jun. 1983.

- [23] M.G.R. Degrauwe, O.N. Leuthold, E.A. Vittoz, H.J. Oguey e A. Descombes. "CMOS Voltage References Using Lateral Bipolar Transistors." *IEEE Journal of Solid-State Circuits*, vol. 20, no. 6, pp. 1151-1157, Dez. 1985.
- [24] E. Montané, S.A. Bota e J. Samitier. "A Compact Temperature Sensor for a 1 μ m CMOS Technology Using Lateral p-n-p Transistors." *Microelectronics Journal*, vol. 29, pp. 277-281, 1998.
- [25] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi e K. Sakui. "A CMOS Bandgap Reference Circuit with Sub-1-V Operation." *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, pp. 670-674, Mai. 1999.
- [26] K.N. Leung e P.K.T. Mok. "A Sub-1-V 15-ppm/ $^{\circ}$ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device." *IEEE Journal of Solid-State Circuits*, vol. 37, no. 4, pp. 526-530, Abr. 2002.
- [27] M.D. Ker, J.S. Chen e C.Y. Chu. "A CMOS bandgap reference circuit for sub-1-V operation without using extra low-threshold-voltage device," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2004, pp. 41-44.
- [28] Y. Jiang e E.K.F. Lee. "A low voltage low 1/f noise CMOS bandgap reference," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2005, pp. 3877-3880.
- [29] A. Boni. "Op-amps and Start-up Circuits for CMOS Bandgap References With Near 1-V Supply." *IEEE Journal of Solid-State Circuits*, vol. 37, no. 10, pp 1339-1343, Out. 2002.
- [30] Y. Jiang e E.K.F. Lee. "Design of Low-Voltage Bandgap Reference Using Transimpedance Amplifier." *IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing*, vol. 47, no. 6, pp. 552-555, Jun. 2000.
- [31] A. Aldokhalel, A. Yamazaki e M. Ismail. "A sub-1 volt CMOS bandgap voltage reference based on body-driven technique," em *The 2nd Annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS)*, 2004, pp. 5-8.
- [32] D. Killat. "A sub-1-V CMOS bandgap using forward body bias of the PMOS differential pair for reduction of the threshold voltages," em *8th International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, 2006, pp. 1692-1694.

- [33] H. Shiman, e D.A. Hodges. "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits." *IEEE Journal of Solid-State Circuits*, vol. 3, no. 3, pp. 285-289, Set. 1968.
- [34] P.R. Gray, P.J. Hurst, H. Lewis e R.G. Meyer. *Analysis and Design of Analog Integrated Circuits*. New York, NY: John Wiley & Sons, 2001, pp. 65-66.
- [35] Y. Tsvividis. "Eric Vittoz and the Strong Impact of Weak Inversion Circuits." Internet: <http://www.ieee.org/portal/pages/sscs/08Summer/Tsvividis.html>, Jul. 2008 [Jul. 2009]
- [36] E.A. Vittoz e J. Fellrath. "CMOS Analog Integrated Circuits Based on Weak Inversion Operation." *IEEE Journal of Solid-State Circuits*, vol. 12, no. 3, pp. 224-231, Jun. 1977.
- [37] C.C. Enz, F. Krummenacher e E.A. Vittoz. "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications." *Analog Integrated Circuits and Signal Processing*, vol. 8, no. 1, pp. 83-114, Jul. 1995.
- [38] A.I.A. Cunha, M.C. Schneider e C. Gallup-Montoro. "An MOS Transistor Model for Analog Circuit Design." *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1510-1519, Out. 1998.
- [39] C. Gallup-Montoro, M.C. Schneider, A.I.A. Cunha, F.R. Souza e O.F. Sibel. "The Advanced Compact MOSFET (ACM) model for circuit analysis and design," em *IEEE Custom Intergrate Circuits Conference (CICC)*, 2007, pp. 519-526.
- [40] T.M Bhatti, e F.A. Bhatti. "Charge Based MOS transistor modeling in weak inversion," em *IEEE International Conference on Electro/Information Technology (EIT)*, 2008, pp. 294-299.
- [41] D.A. Johns e K. Martin. *Analog Integrated Circuit Design*. New York, NY: John Wiley & Sons, 1997, pp. 39-41.
- [42] B. Razavi. *Design of Analog CMOS Integrated Circuits*. New York, NY: McGraw-Hill, 2001, pp. 27-28.
- [43] P.E. Allen e D.R. Holberg. *CMOS Analog Circuit Design*. New York, NY: Oxford University Press, 2002, pp. 97-99.

-
- [44] L.H. Ferreira e T.C. Pimenta. "A CMOS voltage reference based on threshold voltage for ultra low-voltage and ultra low-power," em *The 17th International Conference on Microelectronics (ICM)*, 2005, pp. 10-12.
- [45] T.M. Frederiksen. "Constant Current Source." U.S. Patent 3 659 121, Abr. 25, 1972.
- [46] A. Wild e V. Gheorghiu. "Theory of operation and design criteria for a MOS peaking current source," em *Proceedings of 1999 International Semiconductor Conference (CAS)*, 1999, pp. 85-88.
- [47] M.-H. Cheng e Z.-W. Wu. "Low-Power Low-Voltage Reference Circuit Using Peaking Current Mirror Circuit." *Electronic Letters*, vol. 41, no. 10, pp. 572-573, Mai. 2005.
- [48] H. Shinzen, L. Wei, C. Wangsheng, L. Weiming e L. Peimin. "A design of high PSRR CMOS voltage reference based on subthreshold MOSFETs," em *3rd IEEE Conference on Industrial Electronics and Applications (ICIEA)*, 2008, pp. 2495-2498.
- [49] G. Giustolisi, G. Palumbo, M. Criscione e F. Cutri. "A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs." *IEEE Journal of Solid-State Circuits*, vol. 38, no. 1, pp. 151-154, Jan. 2003.
- [50] T. Ytterdal. "CMOS Bandgap Voltage Reference Circuit for Supply Voltages Down to 0.6V." *Electronic Letters*, vol. 39, no. 20, pp. 1427-1428, Out. 2003.
- [51] I. Nissinen e J. Kostamovaara. "A low voltage CMOS constant current-voltage reference circuit," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2004, pp. 381-384.
- [52] W. Jianping, L. Xinquan, L. Yushan, Z. Jie e G. Xiaofeng. "A novel low-voltage low-power CMOS voltage reference based on subthresholds MOSFETs," em *6th International Conference on ASIC (ASICON)*, 2005, pp. 369-373.
- [53] G. Di Naro, G. Lombardo, C. Paolino e G. Lullo. "A low-power fully-mosfet voltage reference generator for 90nm CMOS technology," em *IEEE International Conference on Integrated Circuit Design and Technology (ICICDT)*, 2006, pp. 1-4.
- [54] P.-H. Huang, H. Lin e Y.-T. Lin. "A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation." *IEEE Transactions on Circuits and Systems – II: Express Briefs*, vol. 53, no. 9, pp. 882-885, Set. 2006.

- [55] J. Ma, Y. Li, C. Zhang e Z. Wang. "A 1V ultra-low power high precision CMOS voltage reference," em *IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC)*, 2007, pp. 847-850.
- [56] E.A. Vittoz e O. Neyroud. "A Low-Voltage CMOS Bandgap Reference." *IEEE Journal of Solid-State Circuits*, vol. 14, no. 3, pp. 573-577, Jun. 1979.
- [57] F. Serra-Graells e J.L. Huertas. "Sub-1-V CMOS Proportional-to-Absolute Temperature References." *IEEE Journal of Solid-State Circuits*, vol. 38, no. 1, pp. 84-88, Jan. 2003.
- [58] J.T.-S. Tsai e H. Chiueh. "High linear voltage references for on-chip CMOS temperature sensor," em *13th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2006, pp. 216-219.
- [59] Tsai, J. T.-S. e Chiueh, H. "High linear voltage references for on-chip CMOS smart temperature sensor from -60°C to 140°C," em *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2008, pp. 2689-2692.
- [60] W. Han e Y. Qing. "A CMOS voltage reference without resistors for ultra-low power applications," em *7th International Conference on ASIC (ASICON)*, 2007, pp. 526-529.
- [61] E.M. Camacho-Galeano, J.Q. Moreira, M.D. Pereira, A.J. Cardoso, C. Galup-Montoro e M.C. Schneider. "Temperature performance of sub-1v ultra-low power current sources," em *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2008, pp. 2230-2233.
- [62] W.M. Gosney. "Subthreshold Drain Leakage Currents in MOS Field-Effect Transistors." *IEEE transactions on Electron Devices*, vol. 19, no. 2, pp. 213-219, Fev. 1972.
- [63] F.S. Shoucair. "Analytical and Experimental Methods for Zero-Temperature-Coefficient Biasing of MOS transistors." *Electronics Letters*, vol. 25, no. 17, pp. 1196-1198, Ago. 1989.
- [64] T. Manku e Y. Wang. "Temperature-Independent Output Voltage Generated by Threshold Voltage of an NMOS Transistor." *Electronics Letters*, vol. 31, no. 12, pp. 935-936, Jun. 1995.

-
- [65] I.M. Filanovsky e S.T. Lim. "Interaction of threshold voltage and mobility temperature dependencies applied to stabilization of current and voltage," em *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, 2000, pp. 1022-1025.
- [66] I. M. Filanovsky. "Voltage reference using mutual compensation of mobility and threshold voltage temperature effects," em *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2000, pp. 197-200.
- [67] I.M. Filanovsky e A. Allam. "Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits." *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, no. 7, pp. 876-884, Jul. 2001.
- [68] I.M. Filanovsky e L. Najafizadeh. "Zeroing in on a zero-temperature coefficient point," em *The 2002 45th Midwest Symposium on Circuits and Systems (MWSCAS)*, 2002, pp. 271-274.
- [69] I.M. Filanovsky e S.T. Lim. "Temperature sensor applications of diode-connected MOS transistors," em *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2002, pp. 149-152.
- [70] L. Najafizadeh e I. M. Filanovsky. "A simple voltage reference using transistor with ZTC point and PTAT current source," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2004, pp. 909-911.
- [71] L. Najafizadeh e I. M. Filanovsky. "Towards a sub-1 V CMOS voltage reference," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2004, pp. 53-56.
- [72] C.-P. Liu e H.-P. Huang. "Hybrid voltage and current references based on double ZTC points," em *Proceedings of IEEE International SOC Conference*, 2005, pp. 43-46.
- [73] N.T. Trung, K. Shon, e S.-W. Kim. "A delay line with highly linear thermal sensitivity for smart temperature sensor," em *50th Midwest Symposium on Circuits and Systems (MWSCAS)*, 2007, pp. 899-902.
- [74] P.R. Gray, P.J. Hurst, H. Lewis e R.G. Meyer. *Analysis and Design of Analog Integrated Circuits*. New York, NY: John Wiley & Sons, 2001, pp. 42-43.

- [75] Z. Wang. "Automatic V_T Extractors Based on an $n \times n^2$ MOS Transistor Array and Their Application." *IEEE Journal of Solid-State Circuits*, vol. 27, no. 9, pp. 1277-1285, Set. 1992.
- [76] M.G. Johnson. "An Input-Free V_T Extractor Circuit Using a Two-Transistor Differential Amplifier." *IEEE Journal of Solid-State Circuits*, vol. 28, no. 6, pp. 704-705, Jun. 1993.
- [77] N. Manaresi, E. Franchi, A. Gnudi, e G. Baccarani. "MOSFET Threshold Extraction Circuit." *Electronics Letters*, vol. 31, no. 17, pp. 1434-1435, Ago. 1995.
- [78] F. Thomas e W.T. Holman. "MOSFET threshold voltage extractor circuits based on square-law behavior," em *42nd Midwest Symposium on Circuits and Systems*, 1999, pp. 1118-1121.
- [79] U. Cilingiroglu e S.K. Hoon. "An accurate self-bias threshold voltage extractor using differential difference feedback amplifier," em *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2000, pp. 209-212.
- [80] G. Fikos e S.Siskos. "Low-Voltage Low-Power Accurate CMOS V_T Extractor." *IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing*, vol. 48, no. 6, pp. 626-628, Jun. 2001.
- [81] S.K. Hoon e U. Cilingiroglu. "An optimally self-biased threshold-voltage extractor," em *The 8th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2001, pp.19-22.
- [82] S. Sengupta. "An input-free NMOS V_T extractor circuit in presence of body effects," em *Proceedings of the 2004 International Symposium on Circuits and Systems (ISCAS)*, 2004, pp. 912-915.
- [83] Yabin Wang, G. Tarr e Yanjien Wang. "Input-free cascode V_{thn} and V_{thp} extractor circuits," em *Proceedings of the 2004 11th IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2004, pp. 282-285.
- [84] S.K. Hoon e J. Chen. "Threshold Voltage Extraction Circuit." U.S. Patent 6 844 772 B2, Jan. 18, 2005.
- [85] S. Vlassis e C. Psychalinos. "Low-Voltage CMOS V_T Extractor." *Electronics Letters*, vol. 43, no. 17, pp. 921-923, Ago. 2007.

- [86] R.A. Blauschild, P.A. Tucci, R.S. Muller e R.G. Meyer. "A New NMOS Temperature-Stable Voltage Reference." *IEEE Journal of Solid-State Circuits*, vol. 13, no. 6, pp. 767-774, Dez. 1978.
- [87] M.C. Tobey Jr., D.J. Giuliani e P.B. Ashkin. "Flat-Band Voltage Reference." U.S. Patent 3 975 648, Ago. 17, 1976.
- [88] H.J. Oguey e B. Gerber. "MOS Voltage Reference Based on Polysilicon Gate Work Function Difference." *IEEE Journal of Solid-State Circuits*, vol. 15, no. 3, pp. 264-269. Jun. 1980.
- [89] C.H. Lucas. "CMOS Voltage Reference Circuit." U.S. Patent 5 434 534, Jul. 18, 1995.
- [90] K.N. Leung, P.K.T. Mok e K.C. Kwok. "CMOS Voltage Reference." U.S. Patent 6 441 680 B1, Ago. 27, 2002.
- [91] K.N. Leung e P.K.T. Mok. "A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators." *IEEE Journal of Solid-State Circuits*, vol. 38, no. 1, pp. 146-150, Jan. 2003.
- [92] Y. Dai, D.T. Comer, D.J. Comer e C.S. Petrie. "Threshold voltage based CMOS voltage reference," em *IEE Proceedings – Circuits, Devices and Systems*, 2004, pp. 58-62.
- [93] I.M. Filanovsky, F. Fang, A. Allam e K. Iniewski. "0.6 - V supply voltage references for CMOS technology based on threshold-voltage-difference architecture," em *48th Midwest Symposium on Circuits and Systems*, 2005, pp. 1790-1793.
- [94] J. McCreary. "Precision Voltage Reference Using EEPROM Technology." *Xicor Proprietary Information*, Jul. 2003.
- [95] A.-J. Annema. "Low-Power Bandgap References Featuring DTMOST's." *IEEE Journal of Solid-State Circuits*, vol. 34, no. 7, pp. 949-955, Jul. 1999.
- [96] Y.-S. Lin, D. Sylvester e D. Blaauw. "An ultra low power 1V, 220nW temperature sensor for passive wireless applications," em *IEEE Custom Integrated Circuits Conference (CICC)*, 2008, pp. 507-510.
- [97] P. Ituero, J.L. Ayala e M. Lopez-Vellejo. "A Nanowatt Smart Temperature Sensor for Dynamic Thermal Management." *IEEE Sensors Journal*, vol. 8, no. 12, pp. 2036-2043, Dez. 2008.

- [98] UC Berkeley Device Group. “BSIM3/BSIM4 Industry Standard for Circuit Design”
Internet: <http://www-device.eecs.berkeley.edu/~bsim3> [Jul. 2009].
- [99] A. Hastings. *The Art of Analog Layout*. Upper Saddle River, NJ: Prentice Hall, 2001.