

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

Dissertação de Mestrado

**Estudo dos Problemas para Implementação de uma
Biblioteca de Espelhos de Corrente Dinâmicos Aplicada a
Projetos de Circuitos Analógicos**

Autor: Adriano Marques Pereira

Orientador: Prof. Dr. Alberto Martins Jorge

Este exemplar corresponde a redação final da tese defendida por <u>Adriano Marques Pereira</u> e aprovada pela Comissão Julgada em <u>18 / 12 / 1997</u> .
 Orientador

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da UNICAMP como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica

Campinas, novembro de 1997
S.P. - Brasil

P414e

33994/BC

UNICAMP

9812622

**UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA**

Dissertação de Mestrado

**Estudo dos Problemas para Implementação de uma
Biblioteca de Espelhos de Corrente Dinâmicos Aplicada a
Projetos de Circuitos Analógicos**

Autor: Adriano Marques Pereira

Orientador: Prof. Dr. Alberto Martins Jorge

Banca Examinadora:

Prof. Dr. Alberto Martins Jorge (Orientador) - DEMIC/FEEC/UNICAMP

Prof. Dr. Edgar Charry Rodriguez - CPqD/TELEBRÁS

Prof. Dr. Elnatan Chagas Ferreira - DEMIC/FEEC/UNICAMP

Campinas, novembro de 1997
S.P. - Brasil

À minha mãe, Maria Conceição
e à minha esposa, Renata.

AGRADECIMENTOS

Nesta oportunidade, aproveito para expressar minha gratidão ao Prof. Alberto Martins Jorge que, desde o nosso primeiro contato, me premiou com sua confiança, capacidade, apoio e principalmente, com sua amizade.

Agradeço o Prof. Edgar Charry e à todo pessoal do Grupo de Microeletrônica da EFEI, em especial ao Eng. Robson Luiz Moreno, Prof. Paulo Cesar Crepaldi e Prof. Tales C. Pimenta, por todo apoio técnico, orientação e a mais sincera amizade.

RESUMO

Devido a enorme gama de aplicações onde os espelhos SI são empregadas, tais como redes neurais, filtros, conversores D/A e A/D, torna-se interessante a implementação de uma biblioteca de espelhos de corrente dinâmicos. Considerando-se o espelho SI como um bloco de uma biblioteca, tal como um flip-flop ou uma porta lógica, as aplicações onde ele é utilizada podem ser implementadas empregando-se uma metodologia “standard cell”. Além disso, torna-se possível o projeto de circuitos analógicos mais complexos utilizando quase que somente um simulador comportamental, tipo o HDLA [16].

Para viabilizar a implementação desta biblioteca, é necessário a definição de uma metodologia de projeto para os espelhos, bem como encontrar soluções para as dificuldades na caracterização dos espelhos.

Para definir a metodologia de projeto, são investigados e equacionados todos os problemas que acarretam erros na memorização da corrente e definidas alternativas para minimizá-los. Como consequência, obteve-se uma topologia de circuito que é facilmente ajustada em função da precisão e frequência de operação do espelho. A precisão e a frequência geralmente são grandezas inversamente proporcionais. As alternativas de projeto para os problemas que acarretam erros na cópia da corrente memorizada, são escolhidas de forma a não implicar em grandes perdas na frequência de operação, de tal forma que se possa obter espelhos de corrente dinâmicos de alta precisão e alta frequência de operação.

As soluções encontradas para a caracterização de espelhos SI levaram ao projeto de um sistema de medição, que permite a completa caracterização do espelho. No projeto do sistema de medição esta incluído o projeto de um circuito integrado de interface necessário para realizar as medições no espelho dinâmico. A caracterização dos protótipos dos circuitos de interface mostrou que o mesmo possui uma THD menor que 0,04%. O sistema de medição é capaz de caracterizar espelhos SI com precisão da ordem de 450ppm operando a frequência de 3MHz.

INDICE

RESUMO	iii
 CAPÍTULO 1: Apresentação da Tese	
1.1 - Considerações Gerais	1
1.2 - Objetivos	5
1.3 - Estrutura do Trabalho	6
1.4 - Artigos Publicados a Partir desta Tese	7
 CAPÍTULO 2: Fundamentos para o Projeto de Espelhos de Corrente Dinâmicos de Alta Precisão e Alta Frequência de Operação	
2.1 - Introdução	8
2.2 - Região de Operação do Transistor de Memorização do Espelho SI	10
2.3 - Impedância de Saída do Espelho de Corrente Dinâmico	13
2.4 - Injeção de Carga e “Clock Feedthrough”	17
2.4.1 - Injeção de Carga	19
2.4.2 - “Clock Feedthrough”	22
2.5 - “Settling-Time” do Espelho de Corrente Dinâmico	23
2.6 - Relação Sinal/Ruído	26
 CAPÍTULO 3: Projeto de um Espelho de Corrente Dinâmico	
3.1 - Introdução	30
3.2 - Dimensionamento dos Transistores do Espelho de Corrente Dinâmico	31
3.3 - Circuito de Controle das Chaves do Espelho de Corrente Dinâmico	40
3.4 - “Layout” do Espelho de Corrente Dinâmico	44
3.5 - Resultados Experimentais	46
 CAPÍTULO 4: Projeto de um Sistema de Medição para Caracterização de Espelhos de Corrente Dinâmicos	
4.1 - Introdução	50

4.2 - “Settling-Time” do Espelho de Corrente Dinâmico e Soluções para a Medição das Correntes de Entrada e de Saída	51
4.3 - Projeto do Sistema de Medição para a Caracterização de Espelhos de Corrente Dinâmicos	57

**CAPÍTULO 5: Projeto da Interface de Entrada para Caracterização de Espelhos de
Corrente Dinâmicos**

5.1 - Introdução	61
5.2 - “Conveyor” de Corrente	62
5.3 - Projeto do Conversor V/I Utilizado como Interface de Entrada para Caracterização de Espelhos de Corrente Dinâmicos	64
5.4 - “Layout” da Interface de Entrada para Caracterização de Espelhos de Corrente Dinâmicos	68
5.5 - Resultados Experimentais	70

CONCLUSÃO	71
------------------------	----

REFERÊNCIAS BIBLIOGRÁFICAS	73
---	----

CAPÍTULO 1

APRESENTAÇÃO DA TESE

1.1 - Considerações

Nos últimos anos, o processamento de corrente, entendido como a realização de circuitos em que os sinais de entrada e saída são correntes, tem conhecido um desenvolvimento notável, em especial no domínio dos circuitos analógicos de processamento de sinais. Este fato deve-se, em primeiro lugar, a que os transistores mais utilizados em circuito integrado - BJT (“Bipolar Junction Transistor”) e MOS (“Metal Oxide Semiconductor”), são intrinsecamente fontes de corrente: os transistores BJT são, em primeira análise, fontes de corrente controladas por corrente enquanto que os transistores MOS são fontes de corrente controladas por tensão. Em segundo lugar, a necessidade de miniaturização dos circuitos eletrônicos leva à procura de circuitos que não utilizem componentes de dimensões elevadas, tais como capacitores e resistores. Como estes componentes são dispensáveis nos circuitos com processamento de corrente, é possível obter circuitos de dimensões muito reduzidas e que, simultaneamente, sendo

integráveis em tecnologias de fabricação digitais, permitem obter também reduzidos custos de produção [15].

Existem dois métodos distintos de processamento de corrente: um dos métodos é designado por “switched-current” (SI) e o outro, é o processamento contínuo da corrente. O processamento contínuo utiliza espelhos de corrente convencionais, como o da Figura 1.1. No transistor de entrada, conectado como diodo, é aplicada uma corrente de entrada I_{IN} , a qual gera uma tensão porta-fonte de referência. Esta tensão é aplicada a porta do transistor de saída, o qual drena uma corrente de saída I_{OUT} . Se os dois transistores tiverem a mesma área e forem perfeitamente casados, a corrente I_{OUT} será igual a I_{IN} . Portanto, os espelhos convencionais dependem muito das variações no processo de fabricação e geralmente exigem transistores grandes para um bom casamento. Isto, além de aumentar a área do circuito, também diminui a máxima frequência das correntes a serem espelhadas, devido ao aumento das capacitâncias dos transistores.

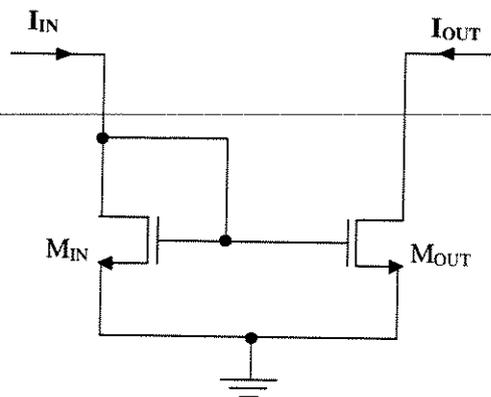


Figura 1.1: Espelho de corrente convencional

O método SI utiliza a propriedade dos transistores MOS de possuir um isolamento quase perfeito no eletrodo de porta. Devido a isto, estes dispositivos tem a capacidade de armazenar temporariamente alguma informação analógica nos capacitores de porta. Esta propriedade é a base para o funcionamento do espelho de corrente dinâmico, (espelho SI ou célula de memória SI).

A Figura 1.2 mostra o espelho SI básico. O seu funcionamento consiste em se aplicar os sinais de “clock” ϕ_1 e ϕ_2 , de forma que o transistor M_1 seja sequencialmente conectado como o dispositivo de entrada e o dispositivo de saída de um espelho de corrente. Assim, utilizando o mesmo transistor como dispositivo de entrada e de saída, o problema de

casamento entre transistores desaparece, ou seja, há uma insensibilidade às variações de processo. Como nos espelhos SI o único componente requerido é o transistor MOS, os circuitos SI são totalmente compatíveis com um processo CMOS digital padrão. A utilização de um processo CMOS digital no projeto de circuitos analógicos permite a realização de circuitos digitais e analógicos na mesma pastilha, os chamados circuitos mistos, o que é muito interessante tecnologicamente.

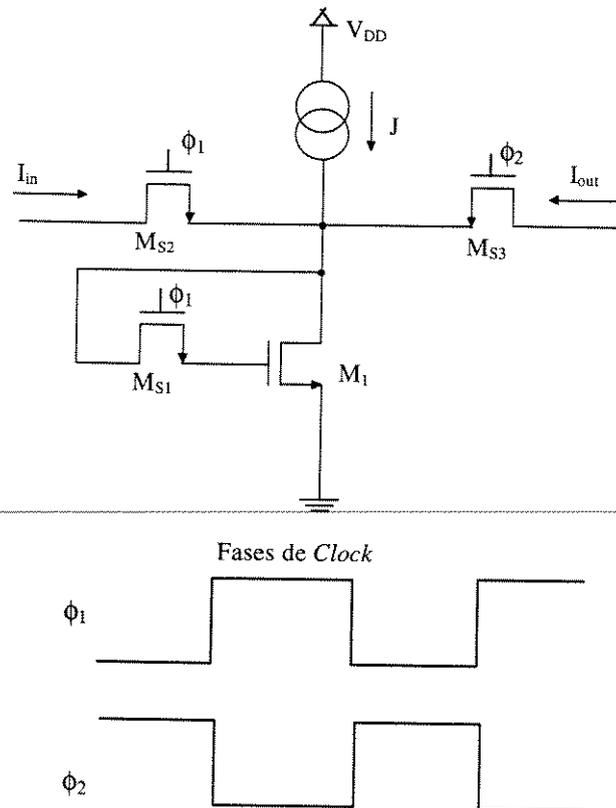


Figura 1.2: Espelho de corrente dinâmico e sinais de controle.

Os espelhos de corrente dinâmicos apresentam uma enorme gama de aplicações, tais como redes neurais [11], filtros [22], conversores D/A [20] e A/D [10,15,19,21], sendo o espelho SI o circuito principal nestes casos. Em tais circuitos, que utilizam vários espelhos SI, o sucesso do projeto depende basicamente do bom desempenho do espelho de corrente em relação a precisão DC, distorção harmônica, frequência de chaveamento, etc.

Consideremos um espelho SI previamente projetado e caracterizado integrando uma biblioteca de espelhos dinâmicos, tal como um “flip-flop” integra uma biblioteca digital “standard cell”. Como o espelho dinâmico é um bloco fundamental de diversos circuitos analógicos mais complexos, o projeto destes circuitos pode ser realizado utilizando uma metodologia “standard cell”.

Além das facilidades de “layout”, um grande benefício em consequência de se utilizar uma biblioteca de espelhos dinâmicos é a validação de um projeto analógico através de simuladores comportamentais. Nestes simuladores, não só os circuitos digitais, mas também os analógicos, podem ser simulados através de uma descrição comportamental dos blocos, empregando linguagens de descrição como o VHDL e HDL-A [16]. Torna-se possível, desta forma, o projeto de circuitos analógicos mais complexos utilizando quase que somente simulações funcionais.

A simulação funcional de um circuito analógico mais complexo, por exemplo um conversor A/D, seria feita através da descrição comportamental de um determinado espelho da biblioteca. A descrição comportamental do circuito pode ser bem realista utilizando-se grandezas obtidas durante a fase de caracterização dos espelhos da biblioteca. Assim, não há a necessidade de realizar simulações elétricas a nível de transistores nestes projetos analógicos. Estas simulações já foram realizadas na fase de implementação da biblioteca de espelhos SI. Isto leva a uma simplificação muito grande na fase de simulação dos circuitos analógicos, reduzindo-as praticamente a simulações funcionais. Como consequência, há um aumento da probabilidade de sucesso de um projeto na primeira tentativa, bem como uma redução do tempo de projeto.

A descrição comportamental de circuitos analógicos é muito utilizada também no projeto de circuitos mistos, empregando uma metodologia “standard cell” tanto para os circuitos digitais quanto para os analógicos. Para isto, é criada uma biblioteca de blocos analógicos [17]. O problema de implementar uma biblioteca analógica “standard cell” é que para se projetar um número razoável de circuitos (como diversos amplificadores operacionais, conversores A/D e D/A, filtros etc.) são necessários diversos projetistas se empenhando durante muito tempo. Quando ocorre uma evolução na tecnologia de fabricação utilizada é necessário reprojeter todos os blocos e caracterizá-los novamente.

Para que este mesmo problema não ocorra com uma biblioteca de espelhos SI, torna-se necessário definir uma metodologia de projeto para os espelhos dinâmicos. Definida uma metodologia, pode-se projetar espelhos com diversas precisões e frequências de operação empregando uma mesma topologia de circuito. Desta forma, ao contrário de uma biblioteca analógica “standard cell”, a biblioteca de espelhos dinâmicos poderia ser

constituída apenas por um tipo de circuito. Consequentemente, uma vez determinada a especificação para um espelho, pode-se rapidamente realizar o projeto.

Além disso, uma mudança na tecnologia de fabricação utilizada não implicaria em grandes mudanças no circuito, bastando apenas alguns ajustes na topologia de circuito definida na metodologia de projeto. Restaria ainda, caracterizar os espelhos novamente. Infelizmente, não se pode caracterizar o espelho de corrente dinâmico isoladamente. São necessários circuitos de interface integrados [18] juntamente com os espelhos para que se possa caracterizá-los.

1.2 - Objetivos

No item anterior verificou-se algumas vantagens da técnica SI e a possibilidade de projetar circuitos analógicos (que utilizam espelhos SI) realizando quase que somente simulações funcionais. Isto poderia ser feito através da descrição comportamental de um espelho SI pertencente a uma biblioteca de espelhos. Para tornar viável a implementação desta biblioteca torna-se necessário a solução de dois problemas:

- definir uma metodologia de projeto para espelhos dinâmicos
- encontrar soluções para a caracterização de espelhos dinâmicos

Este trabalho tem como objetivo estudar alternativas de projeto para estes dois problemas.

Para definir uma metodologia de projeto, deve-se investigar e equacionar todos os problemas que acarretam erros na memorização da corrente e definir alternativas para minimizá-los. Como consequência, deve-se obter uma topologia de circuito que seja facilmente ajustada em função da precisão e frequência de operação do espelho. A precisão e a frequência geralmente são grandezas inversamente proporcionais. As alternativas de projeto para os problemas que acarretam erros na cópia da corrente memorizada, não devem implicar em grandes perdas na frequência de operação, de tal

forma que se possa obter espelhos de corrente dinâmicos de alta precisão e alta frequência de operação.

As soluções encontradas para a caracterização de espelhos SI devem levar ao projeto de um sistema de medição, que permita a completa caracterização do espelho. No projeto do sistema de medição esta incluído o projeto de um circuito integrado de interface necessário para realizar as medições no espelho dinâmico. O sistema de medição deve ser capaz de caracterizar espelhos SI com precisão da ordem de 450ppm e operando a frequência de 3MHz e . As especificações para o circuito de interface devem ser tais que não comprometam a caracterização dos espelhos.

1.3 - Estrutura do trabalho

Este trabalho está dividido em seis capítulos. No Capítulo 1 é feito um breve posicionamento do trabalho realizado onde são apresentados seus objetivos e sua estrutura.

No Capítulo 2, são discutidos os problemas que acarretam erros na cópia da corrente memorizada, bem como as alternativas para minimizá-los sem grandes perdas na frequência de operação. O conjunto de equações e recomendações apresentados, devem conduzir à uma metodologia de projeto para uma determinada topologia de circuito de espelho SI.

No Capítulo 3, é realizado o projeto de um espelho SI utilizando a metodologia apresentada no Capítulo 2. As especificações básicas para o projeto é de um espelho SI com precisão de 12 bits e frequência de operação de 3MHz.

No Capítulo 4, são abordadas as dificuldades de se caracterizar um espelho de corrente dinâmico. São apresentadas soluções para o projeto de um sistema de medição e os procedimentos para a caracterização de espelhos SI operando a frequência de até 3MHz e precisão da ordem de 450ppm (~ 11 bits). Este capítulo também aborda a necessidade de um circuito de interface (conversor tensão-corrente) para o projeto do sistema de medição

e apresenta as especificações para este circuito integrado.

No Capítulo 5, é visto o projeto do circuito integrado de interface necessário para o sistema de medição para caracterização de espelhos SI. São também apresentados os resultados experimentais da caracterização do protótipo do circuito de interface.

No Capítulo 6, são apresentadas as conclusões e exploradas várias idéias para trabalhos futuros.

1.4 - Artigos publicados a partir desta tese

Baseado no trabalho apresentado nesta tese, foram gerados e publicados os seguintes artigos:

A. M. Pereira, T. C. Pimenta, R. L. Moreno, E. Charry, A. M. Jorge, "Design of a Measurement and Interface Integrated Circuit for Characterization of Switched Current Memory Cells", Eleventh International Conference on VLSI Design: VLSI for Signal Processing, January 4-7, 1998, Chennai, India.

A.M. Pereira, T.C. Pimenta, R.L. Moreno, C.R.T. Mori, L.L.G. Vermaas, E. Charry, "High Precision & High Frequency Switched Current Memory Cells", International Conference on Microelectronics'97 - ICM 97, October 8-10, 1997, Bandung, Indonesia.

A. M. Pereira, R. L. Moreno, E. Charry, A. M. Jorge, "Projeto de um Sistema de Medição e Circuitos de Interface Integrados para Caracterização de Células de Memória de Corrente Chaveada", XII Conference of the Brazilian Microelectronics Society - XII SBMICRO - July 28 - August 1 1997, Caxambu, Brazil.

A.M. Pereira, R.L. Moreno, C.R.T. Mori, L.L.G. Vermaas, T.C. Pimenta, E. Charry, "Design Fundamentals of High Precision and High Frequency Switched Current Memory Cells", XII Conference of the Brazilian Microelectronics Society - XII SBMICRO - July 28 - August 1 1997, Caxambu, Brazil.

CAPÍTULO 2

FUNDAMENTOS PARA O PROJETO DE ESPELHOS DE CORRENTE DINÂMICOS DE ALTA PRECISÃO E ALTA FREQUÊNCIA DE OPERAÇÃO

2.1 - Introdução

Uma célula de memória de corrente chaveada (ou espelho de corrente dinâmico), aqui chamada de espelho SI, é representado de forma simplificada na Figura 2.1, onde C_1 representa a soma das capacitâncias intrínsecas e parasitas na porta do transistor MN_1 . Durante a fase ϕ_1 alta, S_1 e S_2 se fecham. Aplicando-se uma corrente I_{in} a entrada do espelho, o capacitor C_1 se carrega com uma tensão tal que, a corrente de dreno do transistor MN_1 seja igual a $I_J + I_{in}$. O capacitor C_1 permanece carregado com este valor de

tensão mesmo após a abertura de S_1 e S_2 (término de ϕ_1). Quando a fase ϕ_2 esta alta, S_3 se fecha e uma corrente I_{out} igual a I_{in} aparece na saída da célula. Na prática, I_{out} é diferente de I_{in} devido a problemas como "clock feedthrough", correntes de fuga, "settling-time", ruído, injeção de cargas no capacitor C_1 e a diferença entre as tensões V_1 e V_2 . Destes problemas, as duas principais fontes de erro são a injeção de cargas e a diferença entre as tensões V_1 e V_2 (impedância de saída finita de MN_1).

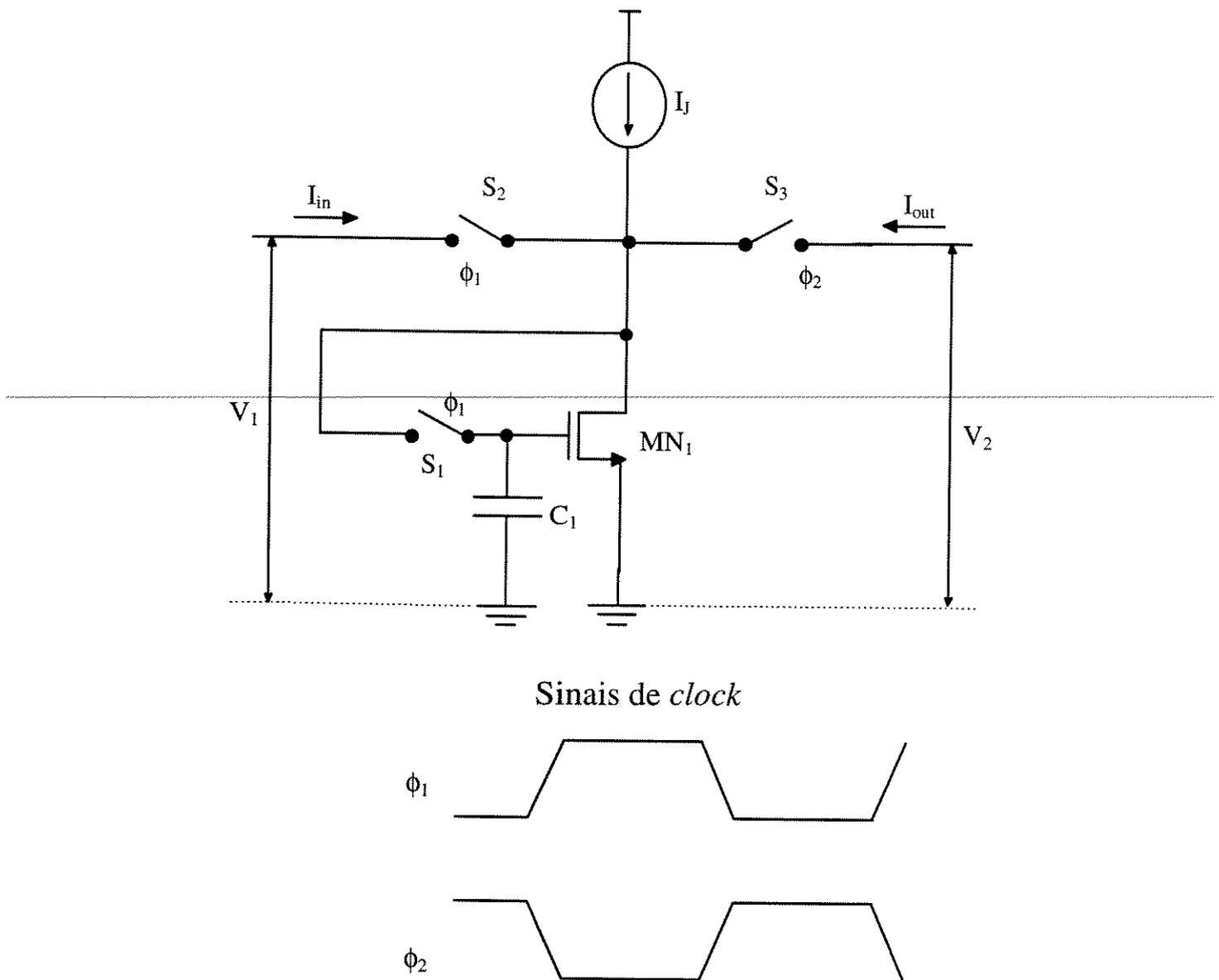


Figura 2.1: Espelho de corrente SI e sinais de controle

Neste capítulo são discutidos e equacionados os problemas que acarretam erros em

um espelho de corrente dinâmico. O objetivo é obter uma topologia de circuito simples e única, independente da precisão do espelho. Esta topologia de circuito deve ter poucos parâmetros para ajustar em função de uma dada especificação. Estes parâmetros são equacionados em função da especificação do espelho (precisão, frequência, etc.), formando uma metodologia de projeto.

Os espelhos de corrente dinâmicos apresentam uma enorme gama de aplicações, tais como filtros, conversores A/D e D/A. Quanto maior a precisão e a frequência de operação do espelho SI, maior serão a resolução e a frequência de amostragem de conversores A/D e D/A ou maior a frequência de corte (-3dB) e a SNDR (“signal to noise plus distortion ratio”) no caso de filtros. Portanto, a precisão e a frequência de operação do espelho SI devem ser maximizadas. As alternativas de projeto adotadas para minimizar os erros na cópia da corrente memorizada, não devem implicar em grandes perdas na frequência de operação.

2.2- Região de operação do transistor de memorização do espelho SI

No projeto de circuitos onde são empregados os espelhos SI, há a necessidade de vários espelhos que passam a corrente de um para outro. Esta passagem de corrente pode ser feita de duas formas. A primeira é entre dois espelhos opostos (NMOS e PMOS), como na Figura 2.2.

Este tipo de conexão tem a vantagem de dispensar uma corrente de polarização para os espelhos (fonte I_J da Figura 2.1), embora geralmente ela seja utilizada para aumentar a transcondutância de MN_1 quando a corrente de entrada é pequena.

O grande problema desta conexão é que os erros de injeção de carga e “clock feedthrough” (chaves S_1 e S_2) de cada célula se somam na corrente I_{out} . Suponha o seguinte exemplo:

No início da fase ϕ_1 , o transistor MN_1 começa a memorizar uma corrente igual a I_{in} .

Ao término da fase ϕ_1 , a chave S_1 se abre, gerando um erro ΔI_N devido a injeção de cargas. Desta forma, o transistor MN_1 memoriza uma corrente igual a $I_{in} - \Delta I_N$. Deve-se notar que o erro faz com que a corrente memorizada seja menor que I_{in} , pois a chave S_1 é do tipo NMOS e a injeção de cargas provocada por ela faz com que a tensão V_{GS} de MN_1 diminua, diminuindo também a corrente. Quando se inicia a fase ϕ_2 , o transistor MP_1 começa a memorizar uma corrente igual a $I_{in} - \Delta I_N$, drenada pela célula anterior (MN_1).

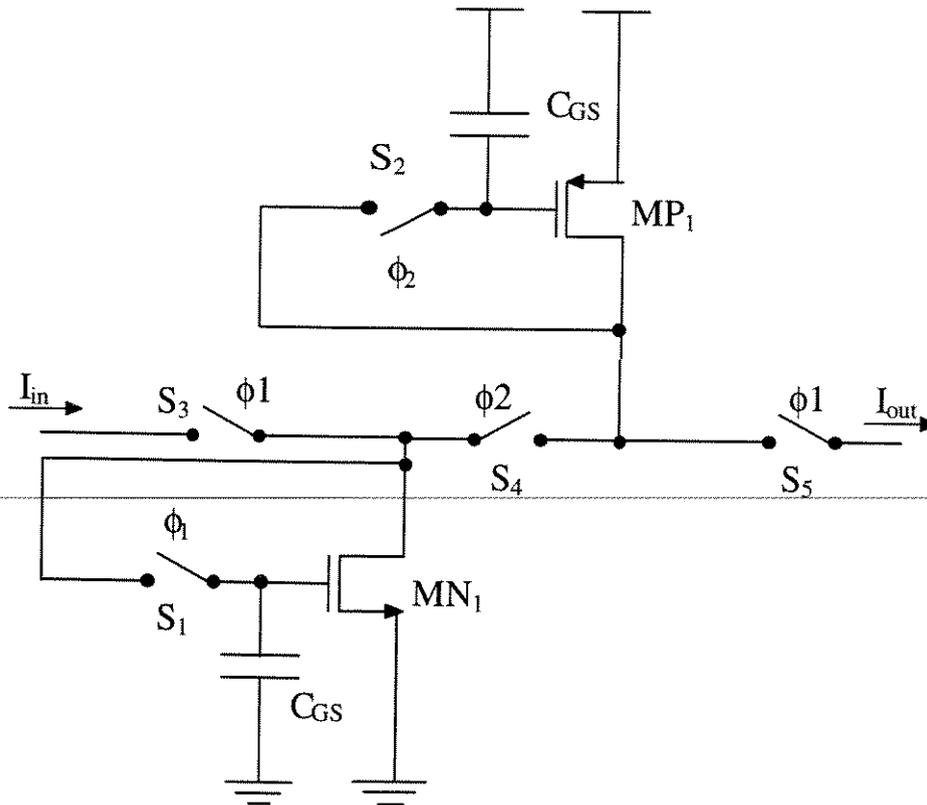


Figura 2.2: Passagem da corrente entre espelhos de tipos opostos (NMOS e PMOS)

Ao término da fase ϕ_2 a chave S_2 se abre, gerando um erro ΔI_P o qual também faz com a corrente memorizada por MP_1 seja menor que a corrente de entrada. Isto ocorre porque a chave S_2 é do tipo PMOS e a injeção de cargas provocada por ela faz com que a tensão V_{GS} de MP_1 aumente, diminuindo a corrente a ser memorizada. Desta forma, MP_1 memoriza uma corrente igual a $I_{in} - \Delta I_N - \Delta I_P$. No ciclo seguinte, quando a fase ϕ_1 se iniciar, o transistor MP_1 fornecerá uma corrente $I_{out} = I_{in} - \Delta I_N - \Delta I_P$.

A outra forma de se fazer a passagem da corrente entre células de memória é utilizar células do mesmo tipo, por exemplo NMOS. A Figura 2.3 ilustra este tipo de conexão.

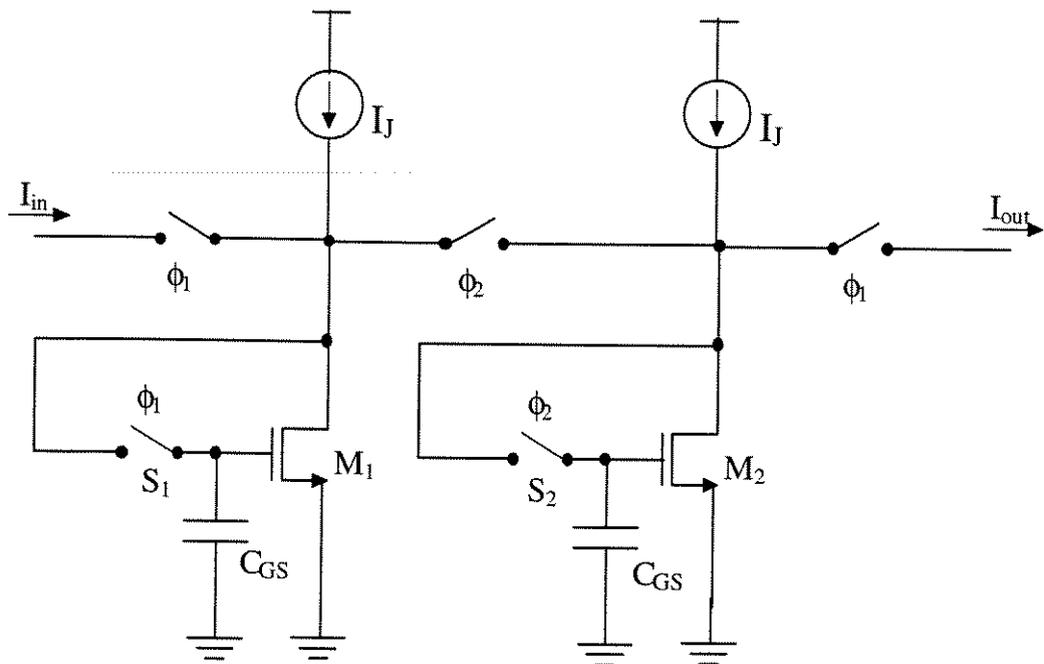


Figura 2.3: Passagem da corrente entre espelhos do mesmo tipo (NMOS)

Neste tipo de conexão torna-se necessário utilizar a fonte de polarização I_J , sendo que I_J deve ser maior que I_{in} . A grande vantagem dessa configuração é que os erros de injeção de carga e “clock feedthrough” de cada célula (M_1 e M_2) não se somam e sim se subtraem. Referindo-se a Figura 2.3, o exemplo a seguir ilustra a idéia:

No início da fase ϕ_1 , o transistor M_1 começa a memorizar uma corrente igual a $I_J + I_{in}$. Da mesma forma que no exemplo anterior, ao término da fase ϕ_1 , a chave S_1 se abre gerando um erro ΔI_{N1} . Como a chave S_1 é NMOS, o transistor M_1 memoriza uma corrente igual a $I_J + I_{in} - \Delta I_{N1}$.

Quando se inicia a fase ϕ_2 , o transistor M_2 começa a memorizar uma corrente igual a $I_J - (I_{in} - \Delta I_{N1})$, pois o transistor M_1 drena uma corrente igual a $I_{in} - \Delta I_{N1}$, a qual é fornecida pela fonte I_J . Ao término da fase ϕ_2 a chave S_2 se abre, gerando um erro ΔI_{N2} , o qual também é negativo (devido a injeção de carga), diminuindo a corrente memorizada, pois a chave S_2 é NMOS. Desta forma, M_2 memoriza uma corrente igual a $I_J - (I_{in} - \Delta I_{N1}) - \Delta I_{N2}$.

No ciclo seguinte, quando a fase ϕ_1 se iniciar, o transistor M_2 fornecerá uma corrente $I_{out} = I_{in} + \Delta I_{N1} - \Delta I_{N2}$. Pode-se notar que os erros neste tipo de conexão se subtraem gerando um erro final bem menor que a conexão com células de tipos opostos. Além disso, se for possível um casamento perfeito entre as células (M_1 e M_2), os erros seriam iguais e se anulariam, gerando uma corrente $I_{out} = I_{in}$.

Assim, pode-se concluir que a conexão de células do mesmo tipo é mais interessante para aplicações que exigem maior precisão. Deve-se fazer com que os erros de injeção de carga e “clock feedthrough” sejam o mais constantes possíveis, tornando os erros ΔI_{N1} e ΔI_{N2} aproximadamente iguais.

Conforme será visto no item 2.3, o espelho SI não é implementado somente com um transistor como nas Figura 2.2 e 2.3. Para aumentar a impedância de saída geralmente são utilizados circuitos cascode além do transistor de memorização. Nestes casos, uma forma de diminuir a variação do erro de corrente é fazer com que o transistor de memorização do espelho SI opere na região triodo. Na região triodo a transcondutância (g_m) é dada por:

$$g_m \cong \mu * C_{ox} * (W/L) * V_{DS} \quad (2.1)$$

Pela equação pode-se ver que a transcondutância do transistor de memorização não varia com a corrente de entrada. Assim, os erros de injeção de carga e “clock feedthrough” tornam-se independentes da magnitude da corrente de entrada e portanto, mais estáveis.

2.3- Impedância de saída do espelho de corrente dinâmico

O erro de corrente provocado pela diferença entre as tensões V_1 e V_2 (Figura 2.1), pode ser dividido em três partes [1]:

- Erro devido a modulação do comprimento do canal, o qual é representado pela condutância dreno-fonte de MN_1 ($g_{ds(MN1)}$):

$$\frac{I_{OUT} - I_{IN}}{I_{OUT}} \cong \frac{g_{ds_{MN1}}}{I_{OUT}} \times (V_2 - V_1) \quad (2.2)$$

- Erro devido a capacitância C_{gd} (porta-dreno) de MN_1 , a qual transfere parte da variação de tensão para a porta:

$$\Delta V = \frac{C_{gd}}{C_1} \times (V_2 - V_1) \quad (2.3)$$

$$\frac{I_{OUT} - I_{IN}}{I_{IN}} \equiv \frac{g_{m_{MN1}}}{I_{OUT}} \times \Delta V \quad (2.4)$$

- Erro devido aos "glitches" de corrente nas transições da fase 1 para a fase 2. A amplitude aproximada destes "glitches" pode ser calculada pela equação 2.5, onde F_S é a frequência de operação das chaves C_{gd} e C_d são as capacitâncias "gate"-dreno e dreno-terra do transistor MN_1 [2].

$$\Delta I_{OUT} = F_S(V_2 - V_1) \cdot (C_{gd(MN1)} + C_{d(MN1)}) \quad (2.5)$$

Pelas equações acima, pode-se concluir que se deve manter a tensão de dreno de MN_1 (V_1 e V_2) o mais constante possível entre as duas fases de operação do espelho dinâmico, para reduzir o erro de corrente.

Uma forma de deixar a tensão de dreno do transistor de memorização constante é utilizar transistores adicionais para aumentar a impedância de saída da célula. Uma boa alternativa é a utilização de um circuito cascode regulado mostrado na Figura 2.4. Isto garante impedâncias muito altas, com a vantagem de que o circuito cascode regulado apresenta uma faixa dinâmica maior que os circuitos cascode convencionais [3].

Mesmo com o transistor de memorização (M_1 da Figura 2.4) operando na região triodo, a impedância ainda é muito alta. A impedância vista pelo ponto X é de aproximadamente (considerando I_{B1} ideal), $r_{ds1} * g_{m2} * r_{ds2} * g_{m3} * r_{ds3}$, sendo g_m e r_{ds} a transcondutância e a impedância dreno-fonte de cada transistor, respectivamente. Simulações elétricas realizadas com o HSpice, com todos os transistores operando na saturação, exceto M_1 , mostraram que a impedância vista pelo ponto X é tipicamente $40M\Omega$ (a baixas frequências). A Figura 2.5 mostra a condutância (curva tracejada) em função da frequência do sinal aplicado ao ponto X. Esta impedância (o inverso da

condutância) parece ser muito alta, mas se não forem tomados cuidados na realização do “layout” deste circuito, a impedância pode cair muito, devido a formação da capacitância parasita indicada na Figura 2.4 (C_p). Com uma capacitância parasita de apenas 5fF e variações no ponto X a uma frequência de 5MHz, a impedância cai para $1,5M\Omega$ (curva cheia da Figura 2.5).

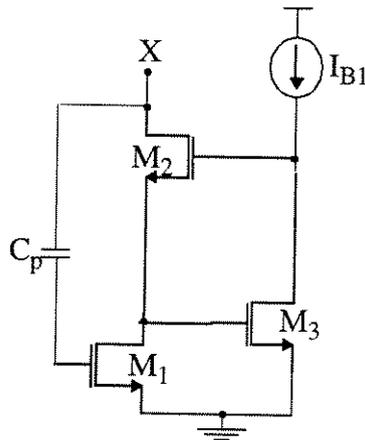


Figura 2.4: Circuito cascode regulado

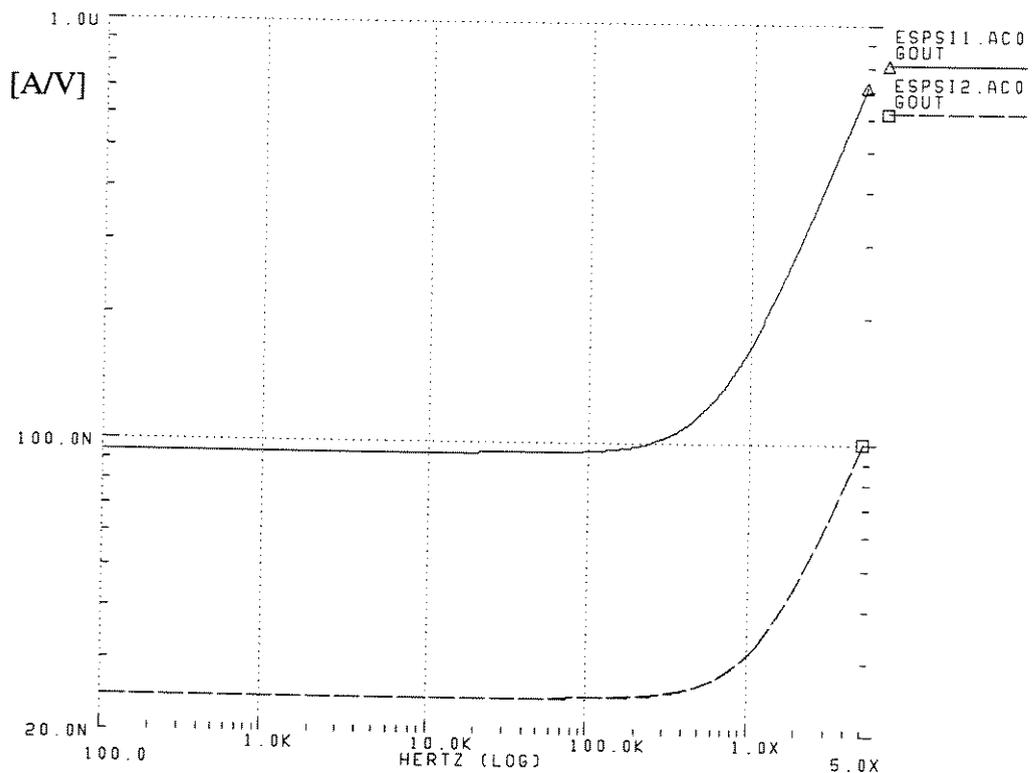


Figura 2.5: Condutância de saída do circuito cascode regulado em função da frequência. (Curva tracejada: sem capacitância parasita-Curva cheia: com capacitância parasita de 5fF)

Uma alternativa para aumentar a impedância do espelho SI é a utilização do circuito cascode regulado modificado. Este circuito é mostrado na Figura 2.6, onde percebe-se a inclusão do transistor M_4 . Esta modificação baseia-se no princípio de multiplicação de ganho [4], fazendo com que a impedância vista pelo ponto X seja de aproximadamente (considerando I_{B1} ideal), $r_{ds1} * g_{m2} * r_{ds2} * g_{m3} * r_{ds3} * g_{m4} * r_{ds4}$, sendo g_m e r_{ds} a transcondutância e a impedância dreno-fonte de cada transistor, respectivamente.

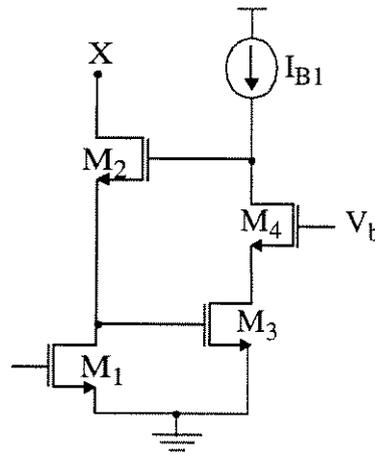


Figura 2.6: Circuito cascode regulado modificado

Simulações elétricas realizadas com o HSpice, com todos os transistores operando na saturação, exceto o transistor de memorização (M_1), mostraram que a impedância vista pelo ponto X é maior que $1G\Omega$ (a baixas frequências). Isto pode ser visto na Figura 2.7, que mostra a condutância de saída do circuito da Figura 2.6 em função da frequência do sinal aplicado ao ponto X.

Conforme abordado no item 2.2, para fazer a passagem da corrente de um espelho SI para outro, obtêm-se melhores resultados quando os espelhos são do mesmo tipo (por exemplo NMOS). A desvantagem é que para isto, os espelhos devem possuir uma fonte de polarização (fonte I_j da Figura 2.3) maior que a magnitude da corrente de entrada. Deve-se notar que, para não comprometer a impedância do espelho, o circuito cascode regulado modificado deve ser utilizado no projeto da fonte de polarização I_j . Isto fará com que se tenha um valor mínimo e máximo para a tensão de saída, de forma a manter os transistores (M_2 , M_3 e M_4) NMOS (espelho SI) e PMOS (fonte I_j) na saturação.

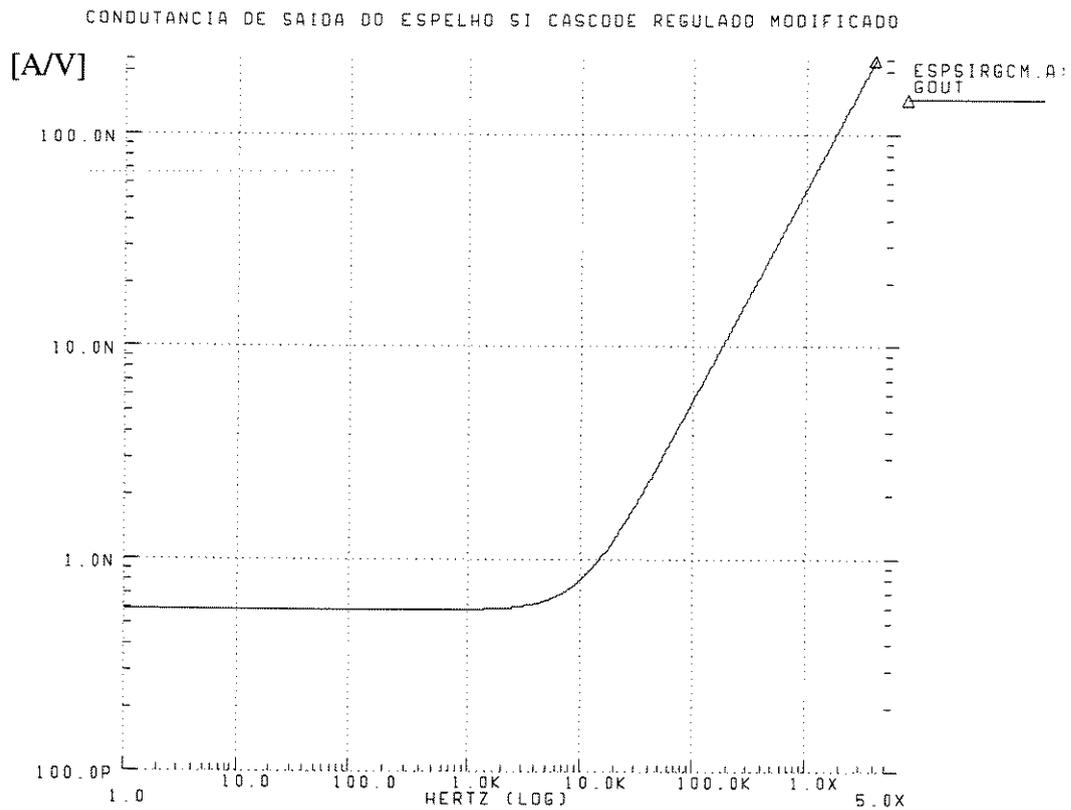


Figura 2.7: Condutância de saída do circuito cascode regulado modificado em função da frequência

2.4- Injeção de carga e “clock feedthrough”

No espelho de corrente da Figura 2.1, quando a chave S_1 abre (chave de amostragem do transistor de memorização), ocorre uma mudança na tensão de memorização do capacitor C_1 devido principalmente a dois fenômenos conhecidos como injeção de cargas e “clock feedthrough”, que são um dos principais fatores limitantes da precisão do espelho SI. A Figura 2.8 ilustra a abertura da chave de amostragem. Esta chave é implementada com o transistor NMOS MS_1 . Na Figura 2.8, C_2 representa a soma das capacitâncias (intrínsecas e extrínsecas) na entrada da célula (ponto de aplicação da corrente de entrada), C_1 representa a soma das capacitâncias (intrínsecas e extrínsecas) na porta do transistor de memorização e V_1 é a tensão de porta do transistor de memorização necessária para que este conduza a corrente de entrada (mais a corrente de polarização, se houver).

O desligamento do transistor MS_1 pode ser dividido em duas fases. Na primeira, o transistor está ligado ($V_G = V_H$) e existe um canal formado entre dreno e fonte. Quando V_G começa a cair, $V_H > V_G > V_1 + V_{TE(MS_1)}$, as cargas móveis presentes no canal, saem pelo dreno e pela fonte ($V_{TE(MS_1)}$ representa a tensão “threshold” de MS_1). As cargas que saem pela fonte de MS_1 provocam uma variação negativa (MS_1 é NMOS) no capacitor C_1 (tensão V_1). Esta fase é conhecida como injeção de cargas [5,6].

Na segunda fase ($V_1 + V_{TE(MS_1)} > V_G > V_L$) o canal de condução desaparece, e ocorre o “clock feedthrough”, que é a variação da tensão V_1 através do divisor capacitivo formado por C_1 e a capacitância de “overlap” (porta-fonte) de MS_1 [5,6].

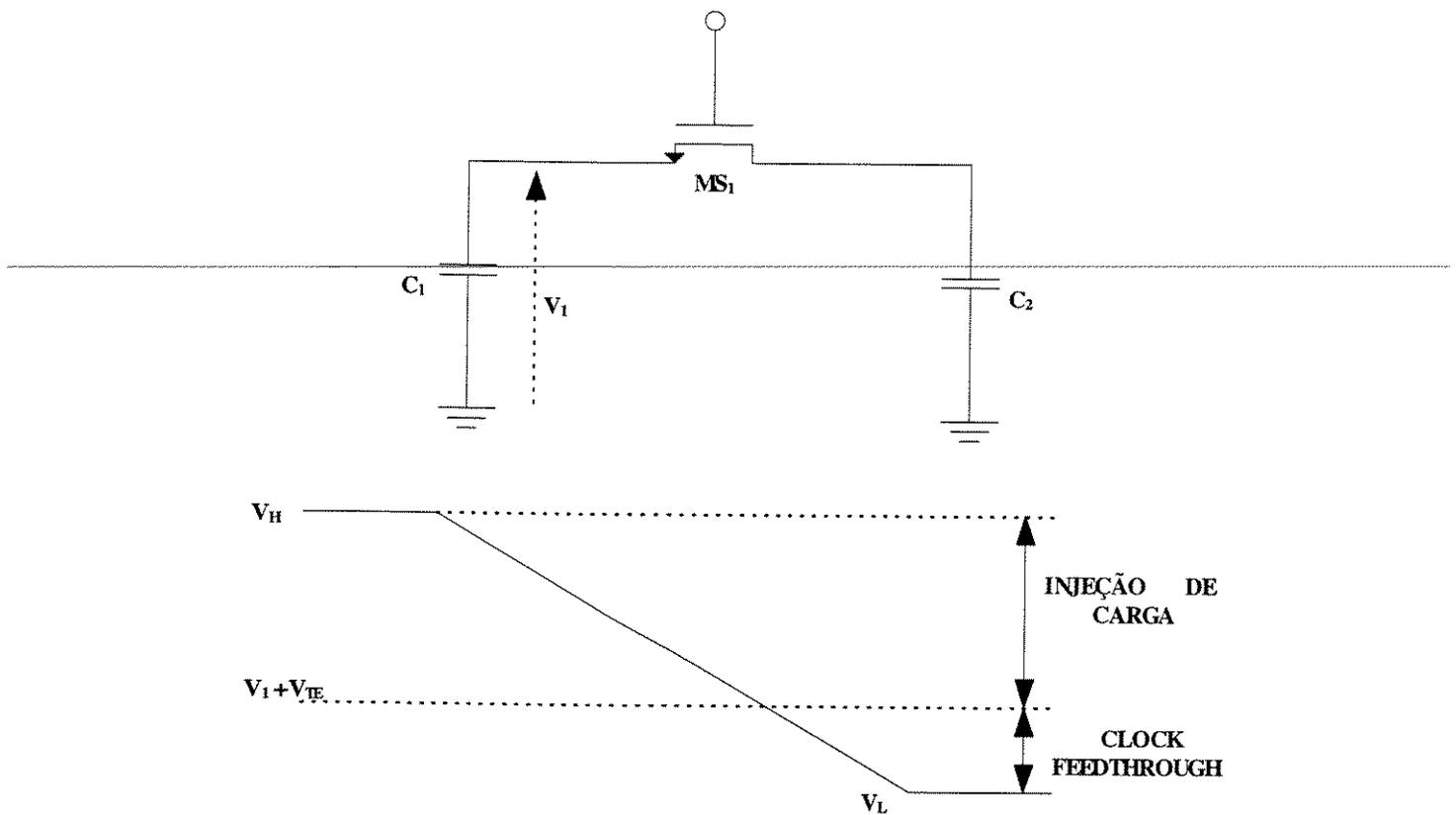


Figura 2.8: Abertura da chave de amostragem do espelho SI

Estes dois fenômenos não são possíveis de se eliminar. O que geralmente se faz é empregar alguma técnica de compensação para fazer com que as tensões não variem com a abertura da chave.

2.4.1- Injeção de carga

Existem várias técnicas para diminuir o efeito da injeção de cargas, mas a maioria delas implica na redução da frequência de operação. É o caso da utilização de algoritmos de cancelamento do erro [7] ou a utilização do efeito Miller [8], que exigem fases extras e circuitos adicionais. Para não comprometer a frequência e a simplicidade do espelho SI, a melhor solução é a utilização de chaves “dummy” e utilizar um capacitor de porta adicional (aumentar C_1). Referindo-se a Figura 2.8, se a partição de cargas do transistor MS_1 entre dreno e fonte fosse 50%, a utilização de uma chave “dummy” com metade da área de MS_1 anularia o efeito da injeção de cargas.

A partição de cargas entre C_1 e C_2 , depende da solução de uma série de equações apresentadas em [5,6]. Resolvendo-se estas equações pode-se chegar ao gráfico abaixo, Figura 2.9, [copiado da referência 6], que mostra o fator de partição de cargas ($\Delta Q_1/Q_{tot}$), em função do parâmetro característico de chaveamento B , sendo que $\Delta Q_1/Q_{tot}$ é a variação da carga no capacitor C_1 .

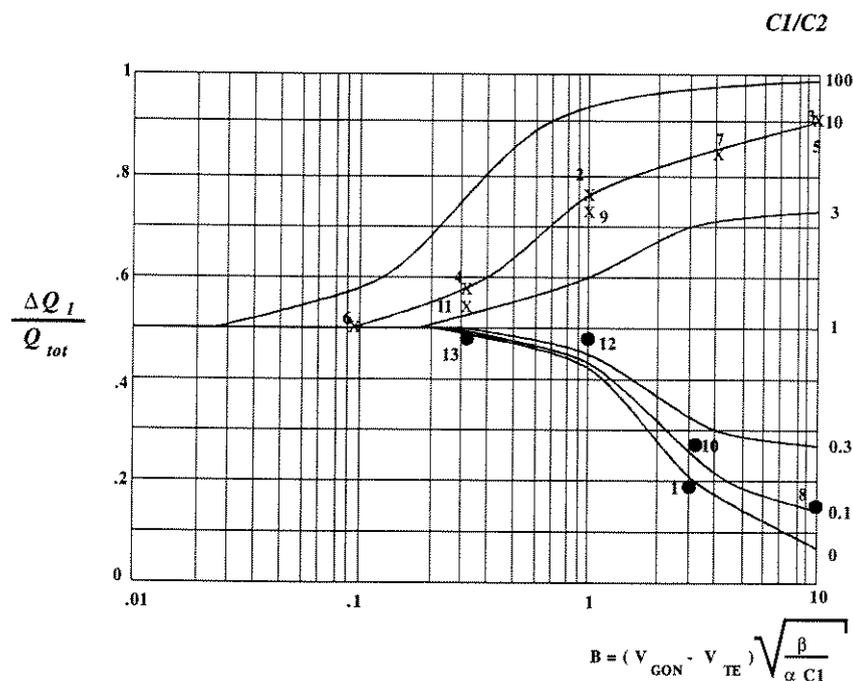


Figura 2.9: Partição das cargas entre dreno e fonte em função do parâmetro B [6]

Na Figura 2.9 B é dado por:

$$B = (V_H - V_{TE}) \times \sqrt{\beta / (a \times C_2)} \quad (2.6)$$

$$a = (V_H - V_{TE}) / t_{FALL} \quad (2.7)$$

$$\beta = \mu * C_{OX} * W/L \quad (2.8)$$

Pela Figura 2.9, pode-se ver que quando C_1/C_2 for igual a 1, temos $\Delta Q_1/Q_{tot}$ igual a 0,5, sendo ΔQ_1 a variação da carga no capacitor C_1 . O mesmo ocorre quando B atinge valores pequenos. Por imposição de projeto, C_1 é maior que C_2 (para obter uma boa relação sinal/ruído), assim deve-se tentar reduzir o parâmetro B (reduzindo-se t_{FALL} e V_H) para obter uma partição próxima de 50% e, conseqüentemente, obter uma boa compensação utilizando-se chaves “dummy”. Deve-se tomar cuidado ao reduzir V_H para não aumentar muito a condutância da chave de amostragem e tornar o sistema sub-amortecido (item 2.5).

Mesmo para valores menores de B, deve-se utilizar um capacitor adicional na porta do transistor de memorização (aumentar C_1), para reduzir o erro devido a injeção de carga. O problema é que a maioria dos simuladores elétricos (Hspice, Accusim, Precise) não modelam corretamente o efeito da injeção de carga. Desta forma, torna-se difícil estimar o valor do capacitor adicional por simulação. Uma opção é estimar o valor graficamente, utilizando-se um gráfico como o da Figura 2.9. Deve-se lembrar que este gráfico não está em escala, servindo apenas para ilustrar a partição de carga em função do parâmetro característico B. Neste trabalho, para estimar o valor do capacitor para um determinado erro de injeção de carga utilizou-se do modelo de chave desenvolvido em [14]. Este modelo equaciona corretamente o efeito da injeção de carga e pode ser utilizado no simulador elétrico Accusim. No modelo, são utilizadas as mesmas equações empregadas para se obter o gráfico da Figura 2.9.

O gráfico da Figura 2.9 é válido deste que:

$$- t_{FALL} \gg T_0 = n_0 * L_{eff}^2 / [\mu * (V_H - V_{TE})] \quad (2.9)$$

$$- C_1 e C_2 \gg C_G \text{ (capacitância total de porta da chave)} \quad (2.10)$$

Adotando-se $C_1 = 2\text{pF}$, $t_{\text{FALL}} = 0,15\text{ns}$ (tempo do “clock” ir de V_H à V_{TE} na Figura 2.8) e calculando-se T_0 e C_G , com dados típicos da tecnologia CMOS digital utilizada (CAE $1,2\mu\text{m}$ da AMS) tem-se:

$$t_{\text{FALL}} = 0,5e-09 \gg T_0 \cong 1,4e-11$$

$$C_2 \cong 0,15e-12 \text{ e } C_1 \cong 2e-12 \gg C_G = 7e-15 \text{ (Chave } W/L = 4/1,2 \mu\text{m)}$$

Logo, o gráfico da Figura 2.9 é válido para a tecnologia utilizada.

Para se conseguir uma boa compensação da injeção de carga através de chaves “dummy”, outros cuidados que devem ser tomados são:

1- Idealmente a chave “dummy” deve ser metade da chave ativa e para se conseguir um casamento melhor entre elas, deve-se utilizar “layouts” especiais como o proposto em [9], o qual será visto no item 2.4.2 (“Clock feedthrough”)

2- Os sinais de “clock” que controlam as chaves de um espelho de corrente devem ter uma seqüência correta de chaveamento para evitar, por exemplo, que a chave de entrada se abra antes da chave de amostragem. Neste caso a chave de entrada também provocaria um erro de injeção de carga no capacitor de memorização.

3- No caso de um projeto com várias células de memória, estas não devem compartilhar o mesmo circuito de controle, pois isto provocaria atrasos imprevisíveis nos “clocks”, o que poderia comprometer a seqüência de chaveamento. Portanto, de preferência, cada célula deve ter um circuito de controle, sendo que ambos devem estar o mais próximo possível.

4- No projeto do circuito de controle deve-se fazer com que a chave ativa desligue o mais rápido possível para diminuir a fator de partição B.

Utilizando uma tecnologia CMOS digital padrão de $1,2\mu\text{m}$ e um capacitor de porta (C_1) de 2pF , é possível se obter valores de $B=0,15$ a $0,2$ e uma partição ($\Delta Q_1/Q_{\text{tot}}$) da

ordem de 0,53. Se $g_m=200\mu A/V$ (transcondutância do transistor de memorização), o erro de corrente devido a injeção de cargas será da ordem de 15nA.

2.4.2- “Clock feedthrough”

A chave “dummy” permite uma boa compensação da injeção de cargas se B for reduzido [9,10,11]. Para a boa compensação do “clock feedthrough”, o maior problema é o descasamento entre as capacitâncias de "overlap" da chave de amostragem e da chave “dummy”. Para resolver este problema, adotou-se uma técnica de “layout” apresentada em [9]. Este “layout” especial e seu esquemático são mostrados nas Figuras 2.10 e 2.11.

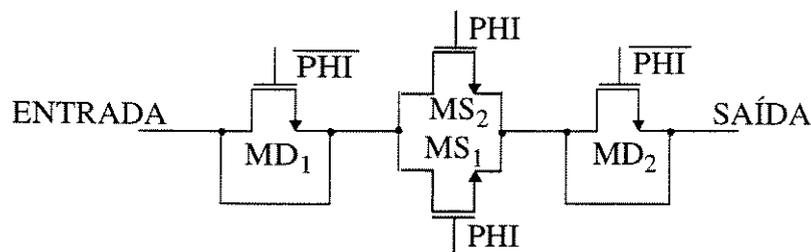


Figura 2.10: Esquemático das chaves “dummy” e chave de amostragem [9]

Pelo “layout”, percebe-se que há sempre um casamento entre as capacitâncias. Com isto, consegue-se uma eficiência de 99% na compensação do “clock feedthrough” [11].

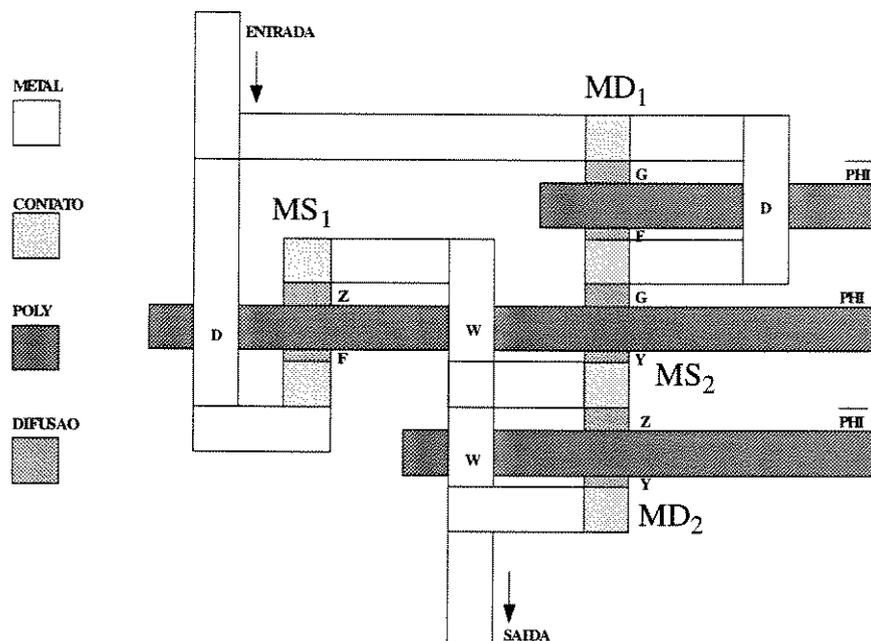


Figura 2.11: “Layout” especial para as chaves “dummy” e chave de amostragem [9]

2.5 - “Settling-time” do espelho de corrente dinâmico

O espelho de corrente dinâmico ou célula SI faz a memorização da corrente de entrada através da carga do capacitor de porta do transistor conectado como diodo. Se a carga do capacitor não se completar durante a fase de amostragem (chaves S_1 e S_2 fechadas na Figura 2.1), o capacitor armazenará um valor de tensão errado, e conseqüentemente gerará um erro de corrente. Ou seja, dado um valor de erro máximo para a tensão de memorização do capacitor, a célula deve ter um “settling-time” tal que permita não ultrapassar este erro.

A Figura 2.12 é uma representação aproximada de pequeno sinal da célula de memória de corrente durante a fase de memorização (amostragem) [9,10]. A condutância de saída da célula SI, g_0 , foi desprezada, pois a estrutura cascode regulada modificada (item 2.3), possui baixa condutância, assim $g_x \gg g_0$. Na Figura 2.12, g_x representa a condutância da chave de amostragem fechada, g_m a transcondutância do transistor MN_1 , C_p a soma de todas as capacitâncias parasitas e intrínsecas no ponto de entrada da corrente amostrada (inclusive capacitâncias das chaves) e C o capacitor de porta de MN_1 .

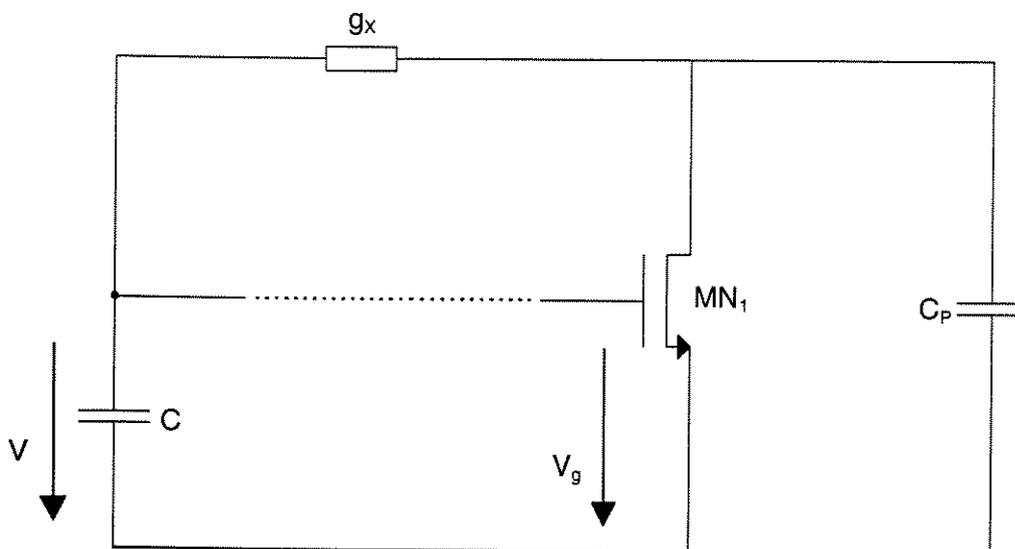


Figura 2.12: Representação de Pequeno Sinal da Célula de Memória de Corrente durante a fase de amostragem

Se a malha do circuito é aberta, como indica a linha pontilhada (Figura 2.12), a função de transferência a malha aberta pode ser expressa como [9,10]:

$$GH(s) = V(s) / V_g(s) = -1/[s\tau_d*(1+s\tau_p)] \quad (2.11)$$

Considerando-se $C \gg C_p$ e $g_x \gg g_0$, tem-se que:

$$\tau_d \cong (C+C_p) / g_m \cong C / g_m \quad (2.12)$$

$$\tau_p \cong (C*C_p) / [g_x*(C+C_p)] \cong C_p / g_x \quad (2.13)$$

Em uma função de transferência do sistema em malha fechada, os polos são dados pelas raízes da equação:

$$1 + GH(s) = 0 \quad (2.14)$$

Esta é, portanto, a equação característica do sistema. Na equação 2.14, $GH(s)$ representa a função de transferência de malha aberta.

A equação característica será:

$$\tau_d\tau_p s^2 + \tau_d s + 1 = 0 \quad (2.15)$$

A partir da equação 2.15, tem-se que os pólos do circuito a malha fechada são:

$$p_{1,2} = -\frac{1}{2\tau_p} \pm \sqrt{\frac{1}{4\tau_p^2} - \frac{1}{\tau_d \times \tau_p}} \quad (2.16)$$

Pode-se ainda definir a relação de amortecimento K e a frequência natural não amortecida ω_n , que são:

$$W_n = \sqrt{\frac{1}{\tau_d \tau_p}} \quad (2.17)$$

$$K = \frac{\tau_d}{2 \times \sqrt{\tau_d \tau_p}} = \frac{\sqrt{\tau_d}}{\sqrt{4\tau_p}} = \frac{C + C_d}{2 \cdot \sqrt{C \cdot C_d}} \cdot \sqrt{\frac{g_x}{g_m}} \quad (2.18)$$

Dependendo do valor de K pode-se ter:

$K < 1 \Rightarrow$ sistema sub-amortecido

$K > 1 \Rightarrow$ sistema sobre-amortecido

Desta forma os pólos podem ser dados por:

$$p_{1,2} = - (K \cdot W_n) \pm \left(W_n \cdot \sqrt{K^2 - 1} \right) \quad (2.19)$$

De acordo com [10], o ideal é manter a célula de memória no regime sub-amortecido, mas bem próximo do regime sobre-amortecido, ou seja, valores de K em torno de 0,95. Isto garantiria o carregamento do capacitor de porta o mais rápido possível (menor "settling-time"). No entanto, verificou-se que com a variação dos parâmetros de processo o valor de K podia atingir valores muito baixos, fazendo com que o "overshoot" no regime sub-amortecido fosse alto e conseqüentemente aumentando o tempo necessário para a estabilização da tensão do capacitor em torno da tensão ideal (com um determinado erro) e causando oscilações no circuito. Decidiu-se então, projetar o espelho SI para operar no regime sobre-amortecido ($K > 1$), evitando-se as oscilações da tensão de porta do transistor de memorização.

Para $K > 1$ os pólos p_1 e p_2 são reais e dados por:

$$p_1 = -\frac{1}{\tau_d} \cong \frac{g_m}{C + C_d} \cong \frac{g_m}{C} \quad (2.20)$$

$$p_2 = -\frac{1}{\tau_p} \cong \frac{g_x \cdot (C + C_d)}{C \cdot C_d} \cong \frac{g_x}{C_d} \quad (2.21)$$

A constante de tempo (“settling-time constant”) da célula pode ser aproximada caso para:

$$T_s \cong \tau_d \cong \frac{C + C_d}{g_m} \quad (2.22)$$

De acordo com [10], a duração da fase de memorização deve ser :

$$T_{\text{Sample}} = [(\ln(2/\epsilon_T) + \ln(1 + \ln(2/\epsilon_T)))] \cdot T_s \quad (2.23)$$

Onde ϵ_T é o erro máximo devido ao “settling” incompleto. Por exemplo, para $\epsilon_T = 250\text{ppm}$, $T_{\text{Sample}} = 11,5 \cdot T_s$

Para projetar o espelho de corrente dinâmico operando no regime sobre-amortecido ($K > 1$), pode-se ver pela equação 2.18, que g_x (condutância da chave de amostragem ligada) não deve ser muito pequena. Isto significa que para o caso de uma chave NMOS, a tensão de porta do transistor de memorização não deve ser muito elevada. De acordo com algumas simulações realizadas (com parâmetros da AMS CMOS 1,2 μm), recomenda-se que a tensão de porta máxima ($V_{G_{\text{max}}}$) deve ser de 3,5 V (no caso de chaves NMOS).

2.6 - Relação sinal/ruído

Outra das principais limitações da precisão do espelho SI é o ruído. Dos vários tipos de ruído presentes no transistor MOS, os dois dominantes são o ruído térmico e a componente de ruído a baixa frequência, conhecido como ruído 1/f ou ruído “flicker” [11]. No entanto, nos circuitos de corrente chaveada, o ruído 1/f é atenuado e pode ser negligenciado [11]. Neste item pretende-se, então, abordar apenas o ruído térmico.

Na literatura, a maior parte dos estudos são desenvolvidos considerando o transistor MOS na região de saturação. No entanto, como foi visto no item 2.2, o transistor de memorização irá operar na região triodo. Assim, optou-se por usar a equação desenvolvida em [12], onde a potência da densidade espectral do ruído (PSD) do transistor MOS é dada por:

$$\left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right) = 4 \cdot k \cdot T \cdot \frac{\mu}{L^2} \cdot (-Q_I) \quad (2.24)$$

Onde:

- Δi_n^2 é o valor médio quadrático das componentes do ruído de corrente contidos dentro da largura de banda Δf .

- k é a constante Boltzmann

- T é temperatura absoluta

- μ é a mobilidade dos portadores no canal do transistor MOS

- L é o comprimento do canal do transistor MOS

- Q_I é a carga de inversão do transistor MOS, dada por:

$$Q_I = -(2/3) \cdot W \cdot L \cdot C_{ox} \cdot (V_{GS} - V_T) \cdot (1 + \alpha + \alpha^2) / (1 + \alpha), \text{ e } \alpha \text{ dado por:}$$

$$\alpha = 1 - (V_{ds} / V_{dsat}), \text{ para o transistor operando na região linear. Na saturação } \alpha = 0.$$

Para um espelho de corrente utilizando o circuito cascode regulado modificado (item 2.3) somente o ruído do transistor de memorização (transistor M_1 da Figura 2.6) deve ser considerado. O ruído dos demais transistores é dividido pelo ganho do circuito (“loop”) e pode ser negligenciado. Outra fonte de ruído a ser considerada é o ruído da fonte de polarização I_J do espelho dinâmico (Figura 2.1). Considerando que a fonte também deverá utilizar o mesmo circuito cascode, somente o ruído do transistor principal da fonte deverá ser considerado. Desta forma, potência da densidade espectral do ruído (PSD) total de uma célula de memória é dado por:

$$\left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_{Total} = \left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_{M1} + \left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_J \quad (2.25)$$

De acordo com a literatura [11] a largura de banda do ruído pode ser aproximada por:

$$BW_n = g_m / (4 \cdot C_G) \quad (2.26)$$

Sendo que g_m e C_G são a transcondutância e a capacitância total de porta do transistor de memorização, respectivamente.

Considerando o ruído constante dentro da largura de banda e multiplicando-se a equação 2.24 por BW_n , obtem-se o valor médio quadrático da corrente de ruído total da célula de memória, dado por:

$$\overline{(i_n^2)_{Tot}} = \frac{K \cdot T \cdot g_m}{C_G} \cdot \left(\frac{\mu}{L^2} \cdot (-Q_I) \right)_{M1} + \frac{K \cdot T \cdot g_m}{C_G} \cdot \left(\frac{\mu}{L^2} \cdot (-Q_I) \right)_J \quad (2.27)$$

O ruído RMS total é dado por:

$$(i_n)_{RMS} = \sqrt{\overline{(i_n^2)_{Tot}}} \quad (2.28)$$

A relação sinal-ruído (S/N) pode ser obtida dividindo-se o valor da potência do sinal ($I_{in(pico)}^2 / 2$) pela equação 2.27. Para uma dada precisão da célula de memória, precisão esta dada em Bits, a relação sinal-ruído (em dB) deve ser maior que [13]:

$$S/N = 10 \cdot \log \left(\frac{P_{IN}}{\overline{(i_n^2)_{Tot}}} \right) > 6,02 \cdot n + 1,76 dB \quad (2.29)$$

Onde n representa o número de Bits.

No simulador HSpice não é possível fazer uma análise do ruído com o espelho sendo chaveado. No entanto, o simulador pode fornecer a potência da densidade espectral (PDS) da tensão de ruído na porta do transistor de memorização [11]. De fato, o HSpice fornece a raiz quadrada da PDS [V/SQRT(Hz)], e portanto o valor fornecido deve ser elevado ao

quadrado para calcular a potência do ruído de corrente da seguinte forma:

$$\overline{(i_n^2)}_{Tot} = \int \left(\left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right) \cdot \Delta f \right) = g_m^2 \cdot \int \left(\left(\frac{\overline{\Delta v_n^2}}{\Delta f} \right) \cdot \Delta f \right) \quad (2.30)$$

Considerando o ruído constante dentro da largura de banda, a integral da equação acima pode ser substituída pela área da curva obtida na simulação, até BW_n , ou seja, $PDS \cdot BW_n$. Para se obter melhores resultados deve-se mudar o modelo “default” utilizado no HSpice para o modelo considerado aqui [12]. Isto é feito fazendo-se NLEV=3 (nos parâmetros do modelo do transistor).

CAPÍTULO 3

PROJETO DE UM ESPELHO DE CORRENTE DINÂMICO

3.1 - Introdução

O objetivo deste item é projetar um espelho de corrente dinâmico (utilizando-se processo CMOS de 1,2 μ m) com as seguintes especificações:

- Tempo de memorização (T_{Sample}): 167ns ($F_s=3\text{MHz}$)
- Precisão de 12 Bits
- Corrente de entrada: de -150 μ A a 150 μ A.

O espelho SI será projetado seguindo todas as recomendações e equações apresentadas no Capítulo 2, como por exemplo, circuito cascode regulado modificado, chaves “dummy”, capacitor adicional de porta, tensão de porta máxima de 3,5V, etc, além de manter o transistor de memorização operando na região triodo.

3.2 - Dimensionamento dos transistores do espelho de corrente dinâmico

O espelho SI, seguindo as recomendações do Capítulo 2, teria a uma topologia de circuito de acordo com a Figura 3.1.

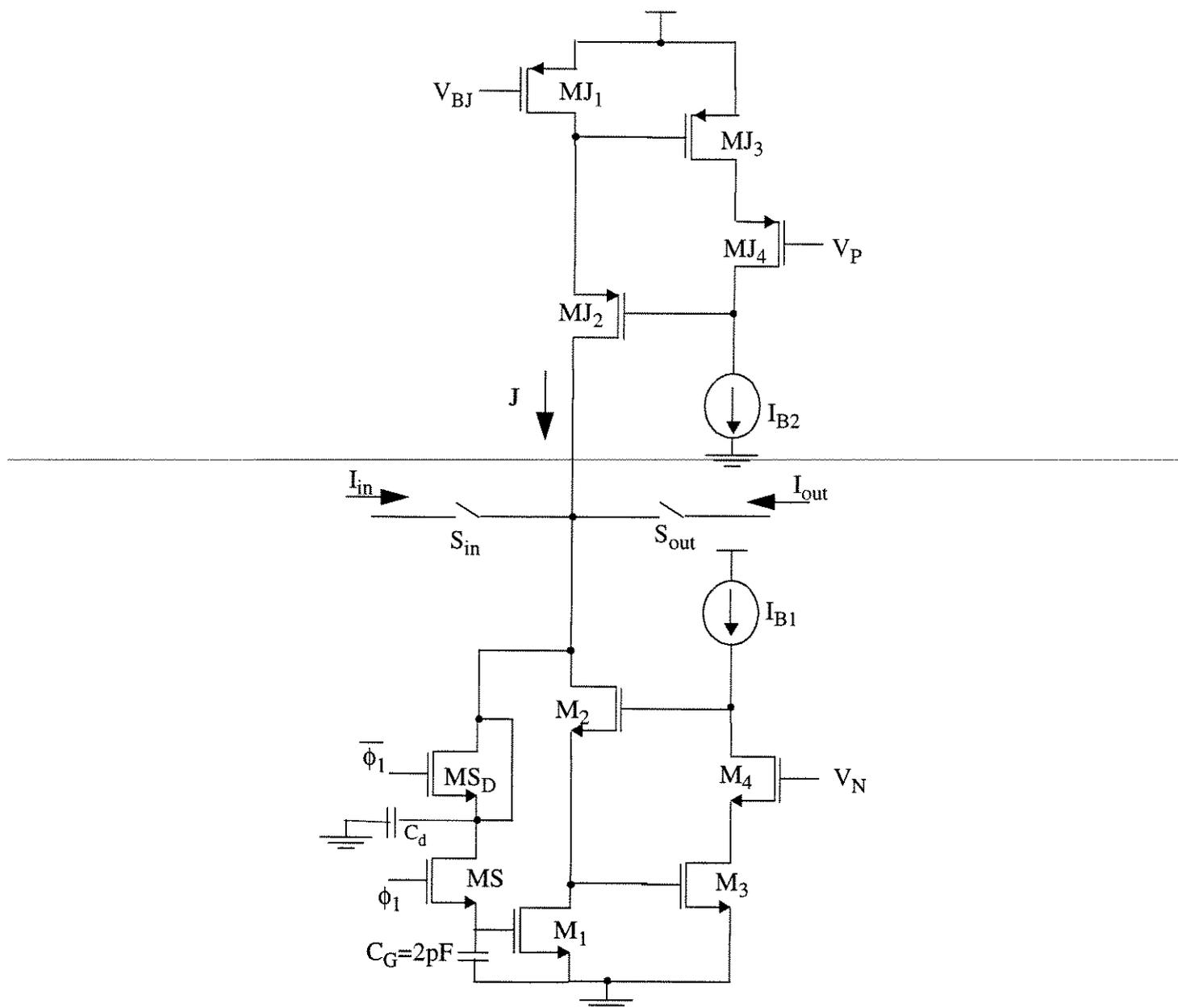


Figura 3.1 : Topologia do circuito do espelho de corrente SI

De acordo com os itens 2.4 e 2.6, o capacitor de porta do transistor de memorização deve ser aumentado (utilizar um capacitor adicional) para atenuar o efeito da injeção de carga e aumentar a relação sinal/ruído. O valor escolhido, inicialmente, para o capacitor de

porta (adicional + intrínseco) foi de 2pF (Figura 3.1). A validação do valor escolhido dependerá se ele vai satisfazer a especificação do tempo de memorização (inversamente proporcional ao valor do capacitor) e da precisão (diretamente proporcional ao valor do capacitor). O valor do capacitor C_d (Figura 3.1), foi estimado (por simulações) em 0,2pF, considerando que os transistores M_2 a M_4 tinham largura e comprimento de canal de 20 μ m e 2 μ m, respectivamente.

De acordo com o item 2.5, para uma precisão de 12 bits (aproximadamente 250ppm) o tempo de memorização (T_{Sample}) deve ser 11,5 vezes maior que a constante de tempo do espelho SI (equação 2.23). Assim, temos que:

$$T_{\text{Sample}} = 167\text{e-}09 / 11,5 = (C_G + C_d)_{M1} / g_{m(M1)} \quad (3.1)$$

Referindo-se a Figura 3.1 e considerando-se $C_G=2\text{pF}$ e $C_d=0,2\text{pF}$, obtém-se que $g_{m(M1)}$ (transcondutância de M_1) deve ser maior que 150 μ A/V para se ter uma frequência de operação do espelho de 3MHz ($T_{\text{Sample}} = 167\text{ns}$). O comportamento da transcondutância de M_1 em função da corrente de entrada é mostrado na Figura 3.2.

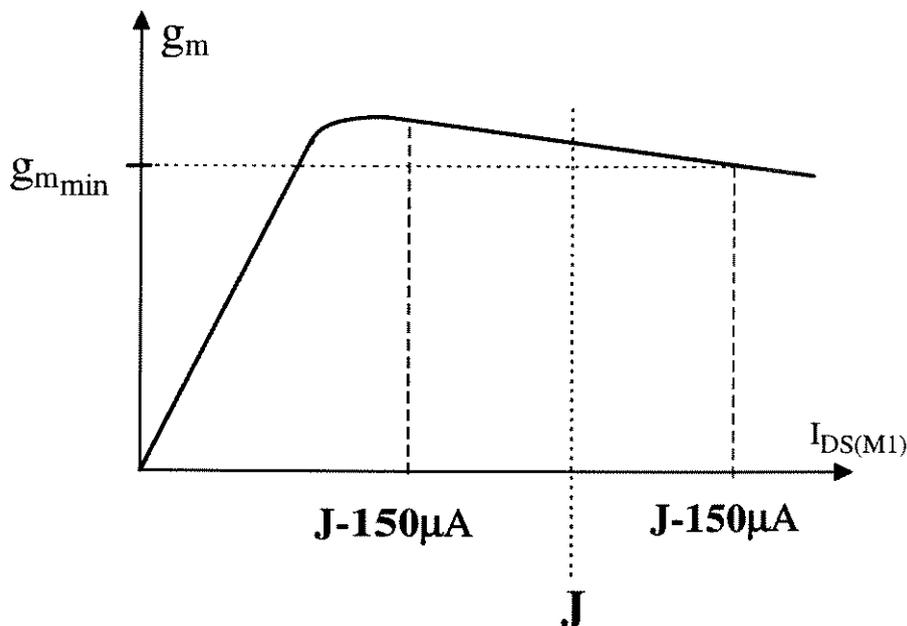


Figura 3.2: Comportamento da transcondutância do transistor de memorização em função da corrente drenos-fonte do transistor M_1

No modelo do transistor MOS (Level=2) no simulador HSpice há um problema de

descontinuidade na curva da transcondutância, causada por uma troca de equações da mobilidade. A troca ocorre quando o campo elétrico de porta excede o valor do parâmetro UCRIT no modelo do transistor MOS. Esta descontinuidade pode ser vista na Figura 3.3, onde é plotada a transcondutância do transistor M_1 na região triodo em função da corrente de entrada. Como se pode ver pela curva, a transcondutância mínima na região triodo ($g_{m(\text{mín})}$ da Figura 3.2) cai muito devido a descontinuidade, o que não ocorre na realidade (na região triodo, g_m é aproximadamente constante, como mostrado na Figura 3.2). Para obter da simulação o valor de $g_{m(\text{mín})}$, decidiu-se interpolar uma curva passando mais ou menos pelo meio da descontinuidade, obtendo assim, um valor aproximado de $g_{m(\text{mín})}$.

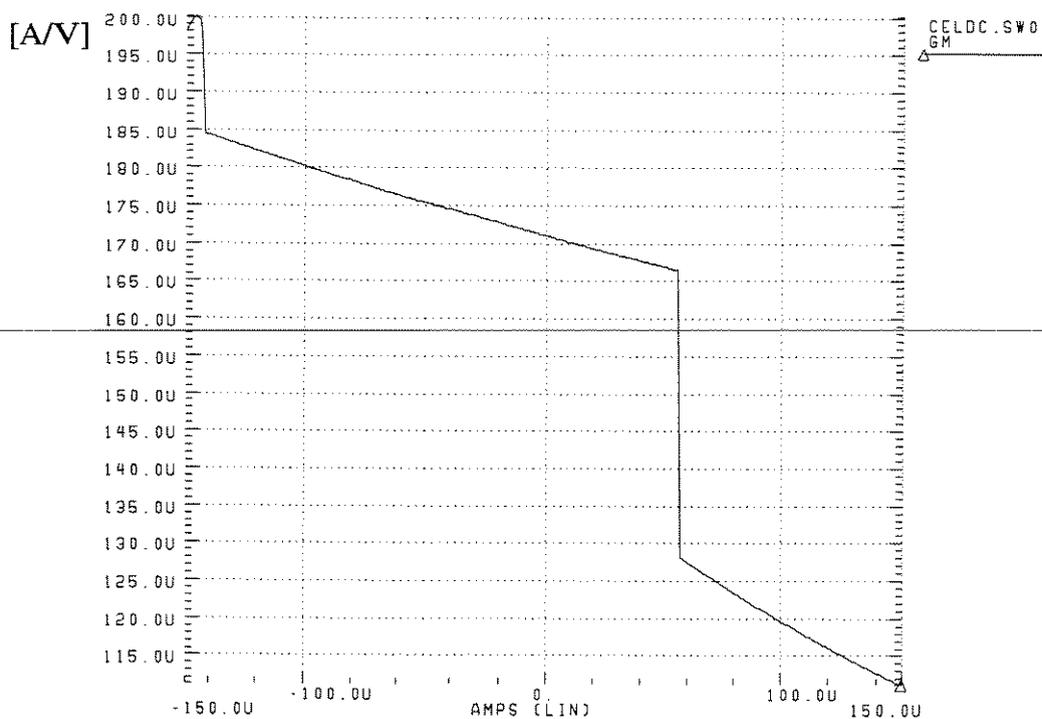


Figura 3.3: Descontinuidade da transcondutância no nível 2 do HSpice, na região triodo, em função da corrente de entrada do espelho SI.

Pode-se, então, determinar o valor da corrente J de forma que M_1 opere na região linear em toda a faixa da corrente de entrada (item 2.2). Além disso, o transistor M_1 deve ser dimensionado para que sua transcondutância mínima ($g_{m(\text{mín})}$) seja maior que $150\mu\text{A/V}$ e que a sua tensão de porta máxima ($I_{\text{in}}=150\mu\text{A}$) seja menor que $3,5\text{V}$ (item 2.5). Os valores que satisfazem estas condições são $J=250\mu\text{A}$ ($W/L_{M1}=30\mu\text{m}/2\mu\text{m}$) e (W/L) $_{M1}=16\mu\text{m}/4\mu\text{m}$. Para $I_{\text{in}}=0\mu\text{A}$, $g_{m(M1)}=200\mu\text{A/V}$.

Os valores adotados para a largura (W) e o comprimento (L) do canal dos transistores M_2 , M_3 e M_4 foram $20\mu\text{m}$ e $1,2\mu\text{m}$, respectivamente. Já os valores de W e L para os transistores MJ_2 , MJ_3 e MJ_4 foram $15\mu\text{m}$ e $1,2\mu\text{m}$, respectivamente. Deve-se notar que W é bem maior que L e isto foi feito para aumentar a faixa dinâmica da tensão de saída do espelho SI (item 2.3)

A Figura 3.4 é o resultado de uma simulação, que mostra a relação entre a tensão de porta do transistor de memorização (V_G) e a corrente de entrada do espelho SI em função da frequência. A relação (plotada em dB) a baixas frequências é aproximadamente $1/g_m$. Pode-se ver também que $F_{-3\text{dB}}$ é igual a 10MHz, que é aproximadamente $g_m(M1) / (C_G + C_d)$, ou seja, o primeiro pólo do espelho SI a malha fechada (equação 2.20).

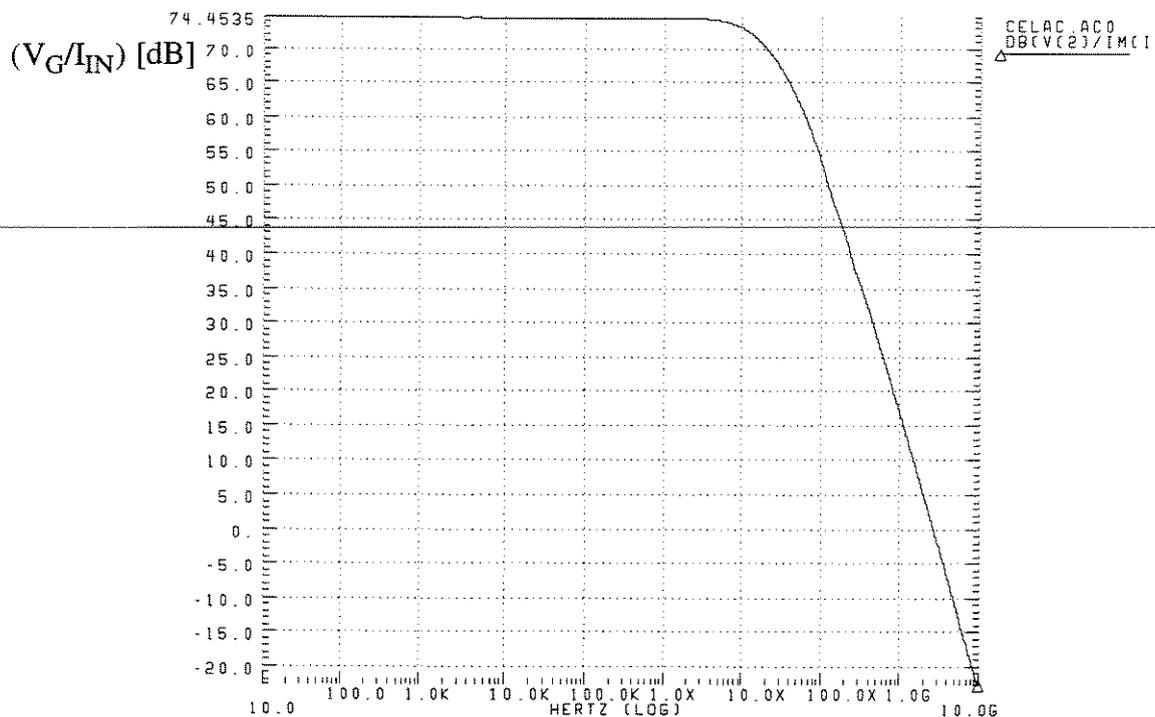


Figura 3.4: Relação entre a tensão de porta do transistor de memorização (V_G) e a corrente de entrada do espelho SI em função da frequência

A Figura 3.5 é o resultado de uma simulação utilizando o HSpice, que mostra a corrente de dreno de M_1 ($J+I_{out}$) e a tensão de memorização ($V_{G(M1)}$) quando é aplicado um "step" de corrente (de $150\mu\text{A}$ para $-150\mu\text{A}$ e de $-150\mu\text{A}$ para $150\mu\text{A}$) à entrada do espelho. Pode-se ver que não ocorrem oscilações nos sinais e que os 167ns especificados para T_{Sample} são mais do que suficientes para a memorização da corrente. Percebe-se

apenas um pequeno "overshoot" quando a corrente de entrada passa para $150\mu\text{A}$. Isso ocorre porque, neste instante, a condutância da chave de amostragem é muito pequena, devido ao aumento rápido de $V_{G(M1)}$ ao mesmo tempo que a transcondutância de M_1 é mínima (Figura 3.2), fazendo com que o espelho entre no regime sub-amortecido ($K < 1$ na equação 2.18).

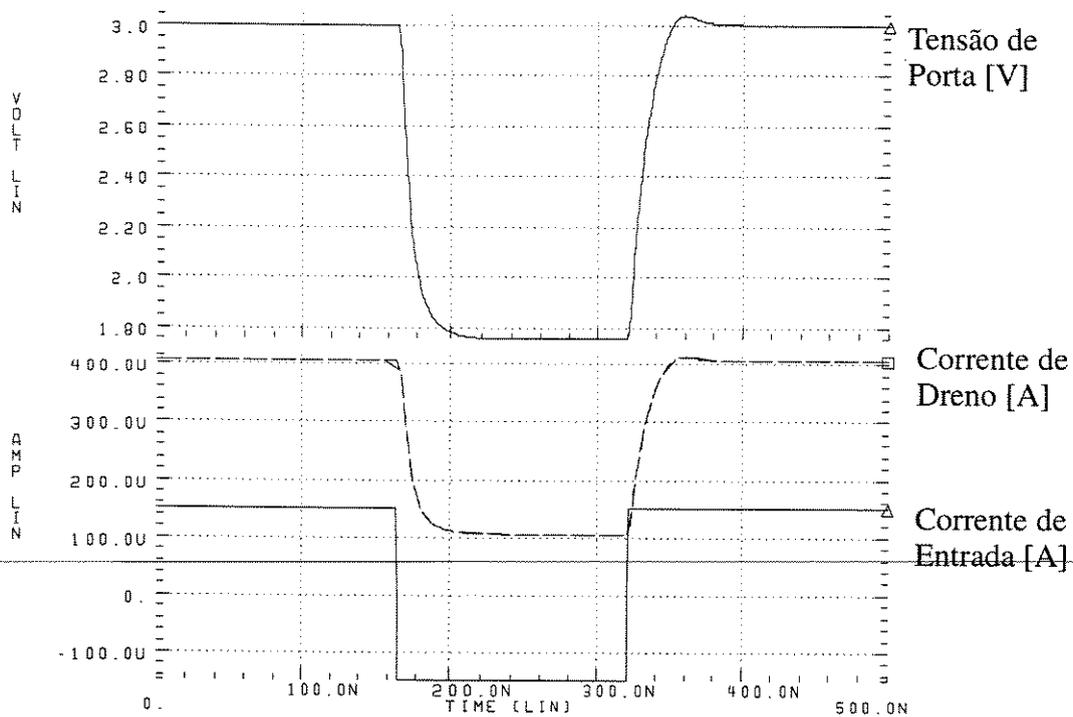


Figura 3.5: Resposta do espelho SI (tensão de porta e corrente de dreno de M_1) a um "step" da corrente I_{in} .

Outro problema a ser analisado é a condutância de saída do espelho SI a altas frequências (item 2.3). Normalmente, I_{B1} e I_{B2} (Figura 3.1) devem ser muito maiores que J [3,4]. Porém, aumentando-se um pouco estas correntes ($I_{B1}=18\mu\text{A}$ e $I_{B2}=20\mu\text{A}$), consegue-se condutâncias menores a altas frequências.

Com o auxílio do HSpice, encontrou-se que a condutância de saída a baixas frequências (até 10KHz) é desprezível e a altas frequências é 40nA/V (3MHz, que é a frequência especificada). Isto pode ser visto na Figura 3.6. Os transistores M_{J1} a M_{J4} e M_2 a M_4 operam na saturação, enquanto que o transistor M_1 opera na região linear (conforme o item 2.2). Estes valores são para $I_{in}=0\mu\text{A}$. No resultado de simulação da Figura 3.6, as fontes de corrente I_{B1} e I_{B2} foram implementadas utilizando-se um circuito cascode

convencional. O circuito destas fontes de corrente de polarização pode ser visto na Figura 3.9, que mostra o esquemático final do circuito do espelho SI. Deve-se lembrar que tomando-se cuidados no “layout”, pode-se melhorar a condutância de saída do espelho SI a altas frequências (item 2.3).

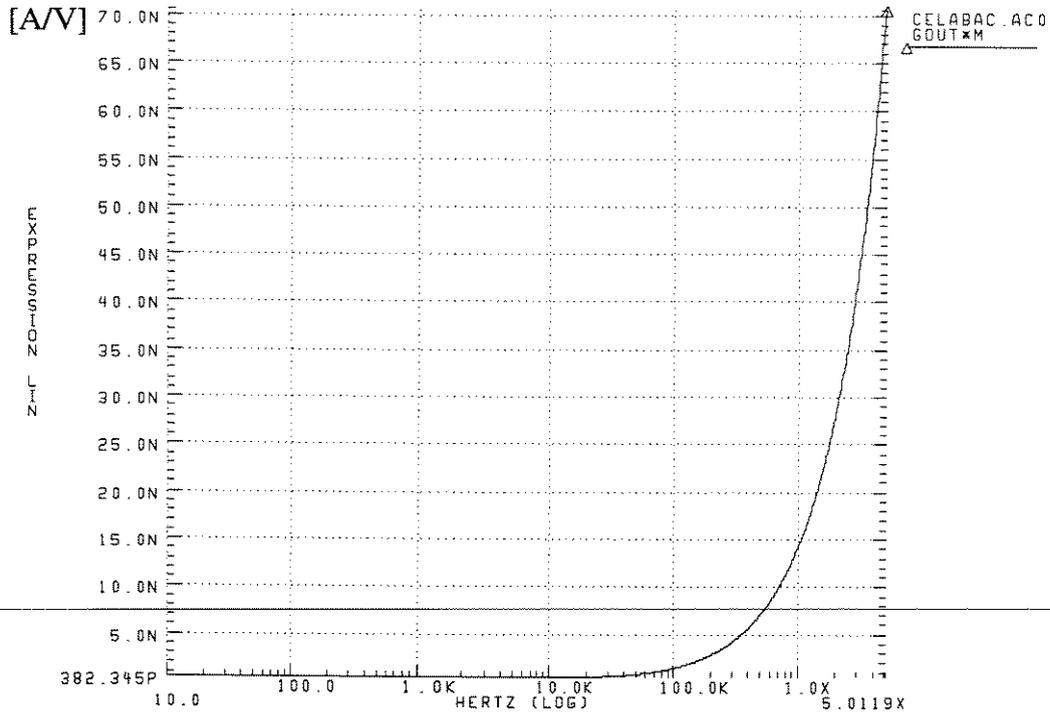


Figura 3.6: Condutância de saída do espelho de corrente dinâmico em função da frequência.

Deve-se também, fazer uma análise do ruído térmico do espelho SI. Deve-se verificar se a capacitância de porta ($C_G=2\text{pF}$) é suficiente para se obter a relação sinal/ruído. De acordo com o item 2.6, os transistores que efetivamente contribuem para o cálculo do ruído total são M_1 e MJ_1 (Figura 3.1). Utilizando dados de simulação (V_{gs} , V_{dsat} , V_{TE} , KP , V_{ds} , ...), pode-se calcular a potência da densidade espectral (PDS) de corrente do espelho de acordo com a equação 2.25:

$$\left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_{Total} = \left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_{M1} + \left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right)_J = 9,9716e-24 [A^2/Hz] \quad (3.2)$$

De acordo com a 2.26, a largura de banda do ruído é:

$$BW_n = 27,5 \text{ MHz}$$

A potência do ruído (2.27), será:

$$\overline{(i_n^2)}_{Tot} = \frac{K \cdot T \cdot g_m}{C_G} \cdot \left[\left(\frac{\mu}{L^2} \cdot (-Q_I) \right)_{M1} + \left(\frac{\mu}{L^2} \cdot (-Q_I) \right)_{J1} \right] = 2,74e-16 [A^2] \quad (3.3)$$

Isto corresponde à um ruído RMS (equação 2.28) de 16,5nA. Para uma corrente de entrada de 150μA de pico, a Relação Sinal-Ruído (S/N) (equação 2.29), será:

$$S/N = 10 \cdot \log \left(\frac{Pin}{\overline{(i_n^2)}_{Tot}} \right) = 76dB \quad (3.4)$$

Esta relação equivale a 12,3 Bits de precisão, portanto, de acordo com a especificação. Utilizando-se do simulador HSpice deve-se chegar a um número semelhante. Para tanto, deve-se proceder conforme o item 2.6 para calcular a potência da densidade espectral (PDS) da tensão de ruído na porta do transistor de memorização. De fato o HSpice fornece a raiz quadrada da PDS [V/SQRT(Hz)], e portanto o valor fornecido deve ser elevado ao quadrado para calcular a potência do ruído de corrente da seguinte forma:

$$\overline{(i_n^2)}_{Tot} = \int \left(\left(\frac{\overline{\Delta i_n^2}}{\Delta f} \right) \cdot \Delta f \right) = g_m^2 \cdot \int \left(\left(\frac{\overline{\Delta v_n^2}}{\Delta f} \right) \cdot \Delta f \right) \quad (3.5)$$

No arquivo de saída do HSpice, é calculada a raiz quadrada da integral acima (V_{nRMS}). Assim, elevando-se o resultado da integral ao quadrado e multiplicando-se pela transcondutância (também ao quadrado), obtem-se a potência do ruído de corrente. De acordo com a Figura 3.7, pode-se ver que a largura de banda do ruído é aproximadamente 30MHz. Considerando o resultado da integral até este ponto, obtêm-se uma corrente de ruído RMS de 17nA, o qual é muito próximo do número encontrado utilizando-se as equações. Na Figura 3.7, são mostrados dois resultados, um considerando o ruído "1/f" e outro sem considera-lo. De acordo com o item 2.6 deve-se utilizar este último resultado,

uma vez que o ruído "1/f" pode ser negligenciado devido ao processo de amostragem. Caso a análise de ruído mostrasse que a relação Sinal/Ruído era menor que 74dB (12 Bits de precisão), o valor do capacitor deveria ser aumentado e refeitos todos os cálculos até aqui.

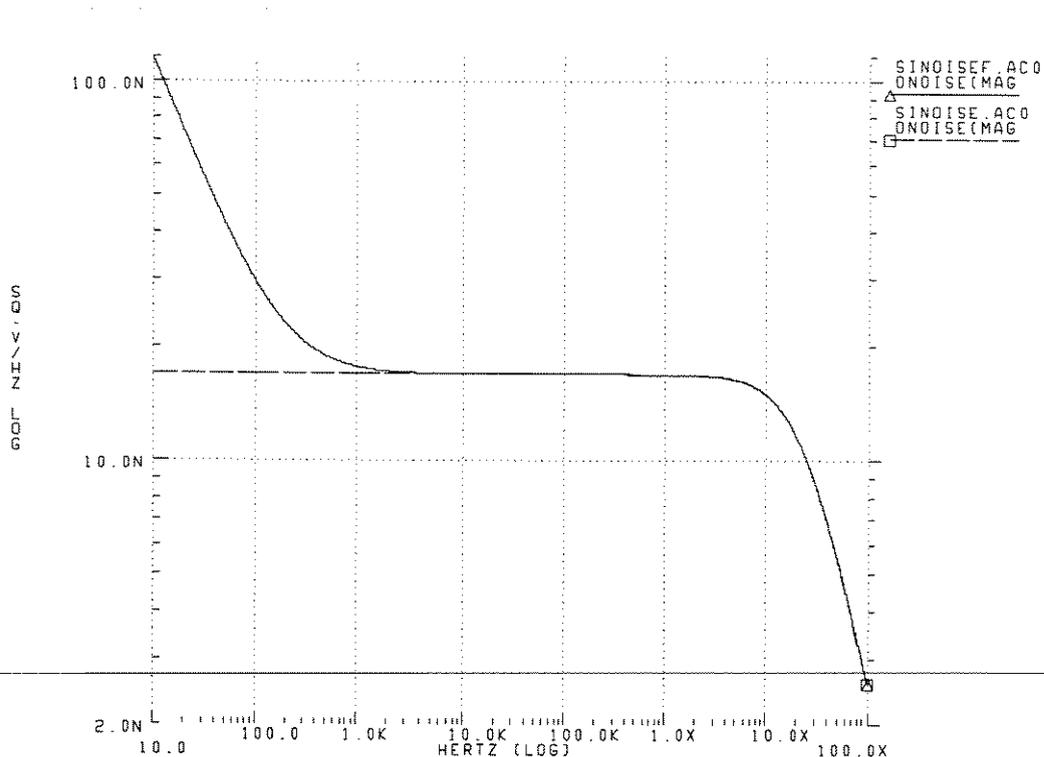


Figura 3.7: Potência da densidade espectral do ruído de tensão na porta do transistor de memorização do espelho SI. Curva cheia: considerando o ruído 1/f - Curva pontilhada: sem considerar o ruído 1/f.

Outro cálculo que deve ser feito é a estimativa do erro de injeção de carga. Referindo-se a Figura 3.1, a chave “dummy” foi feita com o transistor MS_D no tamanho mínimo ($W=2\mu\text{m}$ e $L=1,2\mu\text{m}$) e a chave ativa (transistor MS) com o dobro da área ($W=4\mu\text{m}$ e $L=1,2\mu\text{m}$), conforme descrito no item 2.4. Utilizando-se a equação 2.6 e o modelo de chave desenvolvido em [14], encontra-se um fator de partição de cargas entre dreno e fonte do transistor MS (chave ativa) igual a 0,52. Valor semelhante é encontrado se o fator de partição for calculado graficamente, através de gráficos como o da Figura 2.9. Deve-se lembrar que o gráfico da Figura 2.9 não está em escala, servindo apenas para ilustrar a partição de carga em função do parâmetro característico B .

Com um capacitor de porta adicional de 2pF, $g_{m(M1)}=200\mu\text{A/V}$ e chaves de tamanho mínimo (com a chave ativa tendo o dobro da área da chave “dummy”), o erro de corrente

devido a injeção de cargas será da ordem de 20nA (item 2.4).

Somando-se o erro devido à condutância de saída, do ruído e da injeção de carga, tem-se que o erro total é de 76nA (40nA + 16nA + 20nA). Para uma excursão da corrente de entrada de 300μA, tem-se um erro de 250ppm, que equivale a uma resolução de aproximadamente 12 Bits. A Figura 3.8 mostra a corrente de saída do espelho SI para uma corrente de entrada senoidal de 100KHz e 150μA de pico e frequência de operação de 3MHz. O erro médio na corrente de saída é menor que 10nA. Portanto, muito menor que o calculado. Esta diferença se deve ao modelamento incorreto da injeção de carga (e da compensação pela chave “dummy”) e do erro devido a condutância de saída em altas frequências.

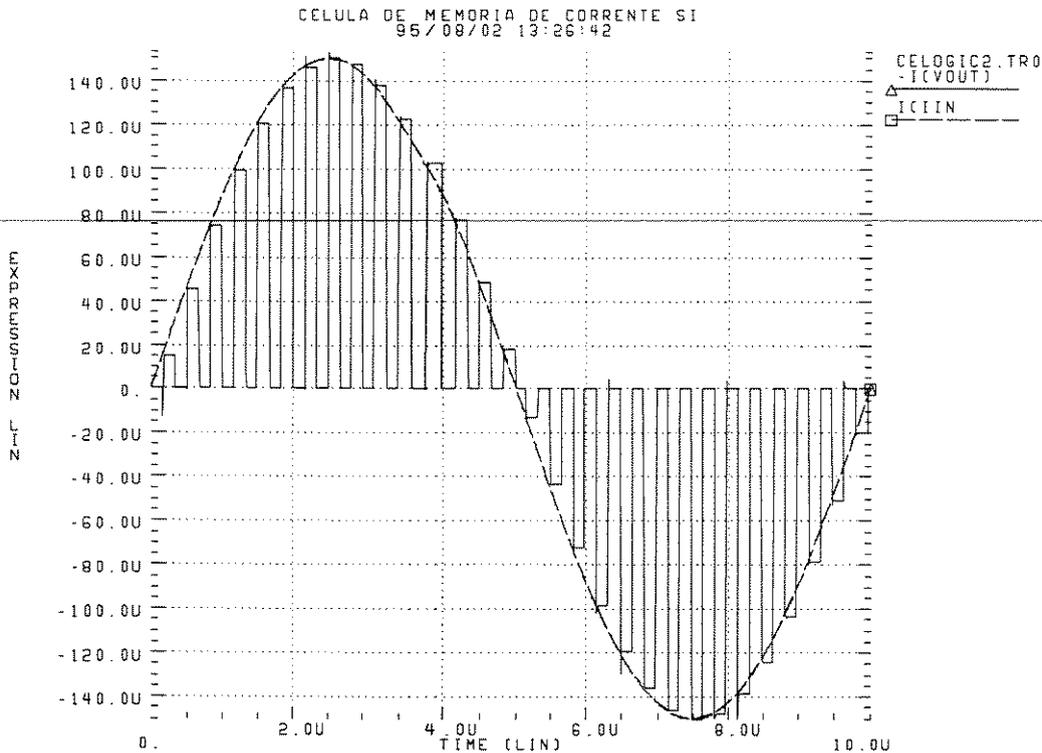


Figura 3.8: Corrente de entrada e de saída do espelho SI (seno de 150μA de pico à 100KHz) .

O circuito final do espelho de corrente dinâmico é mostrado na Figura 3.9. O esquemático foi feito utilizando o “Design Architect” (da “Mentor Graphics”). Com isto, foi possível fazer a checagem “Layout” X Esquemático utilizando o “IC Station”. O “Design Architect” também é interligado ao “HSpice” através do “HSpiceNet”.

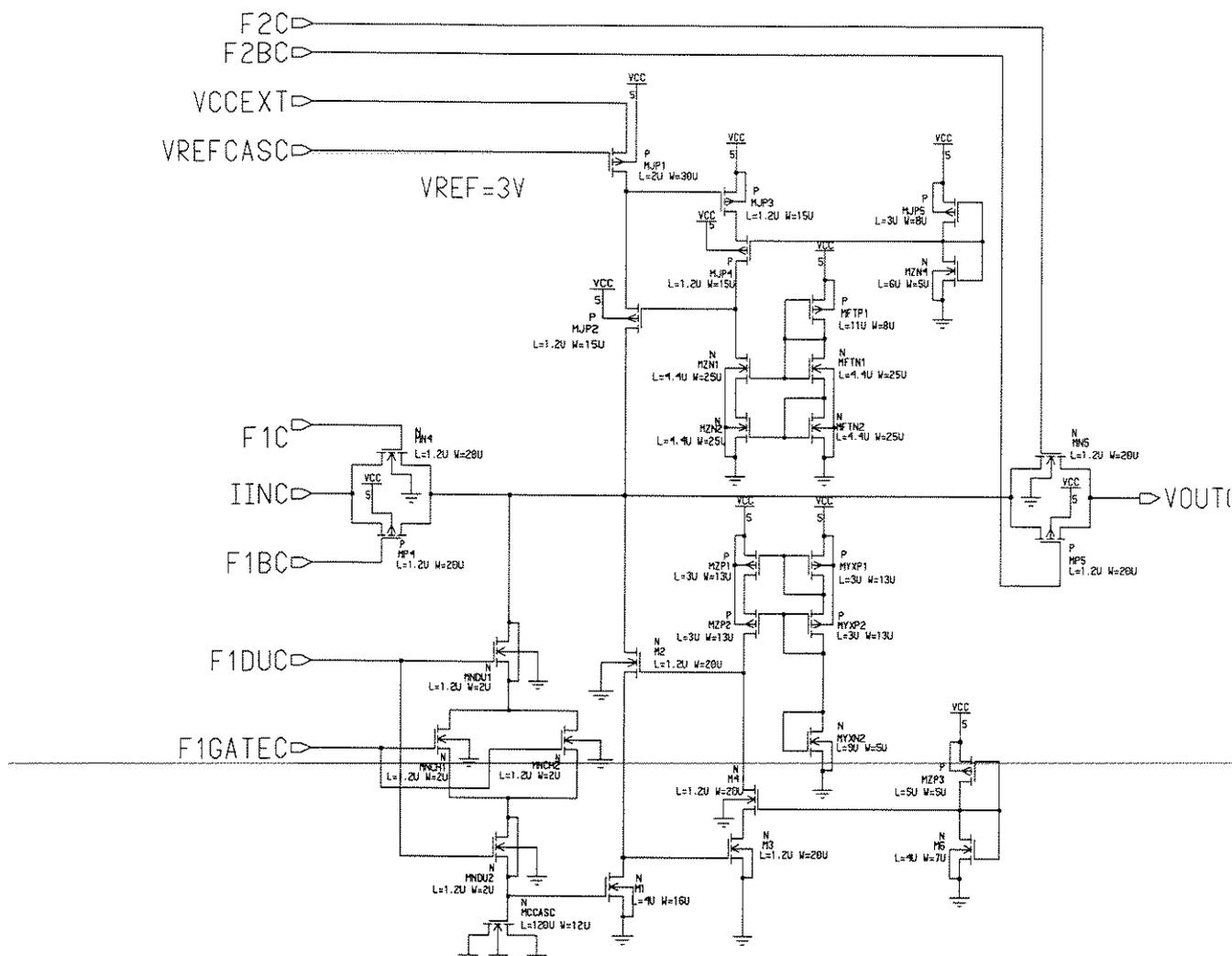


Figura 3.9: Circuito completo do espelho de corrente dinâmico

3.3 - Circuito de controle das chaves do espelho de corrente dinâmico

Para o adequado funcionamento de um espelho de corrente dinâmico, as chaves que controlam as fases de memorização e de retenção do circuito devem operar de forma que minimizem os "spikes" resultantes das transições das fases e otimizar a partição de carga na chave de amostragem (item 2.4).

Uma condição ideal de operação dos "clocks" para as chaves de entrada, saída, "dummy" e de porta foi sugerida por Wegmann [9], a qual está exemplificada na Figura

3.10, onde estão representados apenas os sinais para os transistores tipo NMOS das chaves de entrada e saída (CMOS) de um espelho.

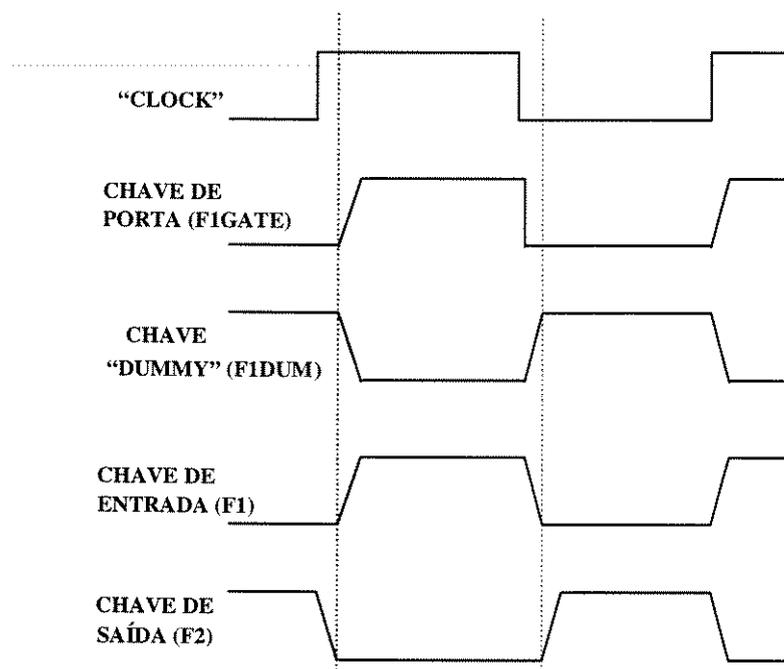


Figura 3.10: Sinais ideais para o controle das chaves do espelho SI.

Com base na Figura 3.10, pode-se observar como pontos importantes o fato de que:

- as chaves de entrada e saída não devem em nenhum momento estarem ativas simultaneamente;

- a chave “dummy” deve ser ativada após a chave de porta ter sido desligada;

- a chave de porta deve desligar o mais rápido possível de forma a facilitar a partição das cargas;

- somente um “clock” externo deve alimentar cada espelho, eliminando uma possível defasagem errônea entre os “clocks”.

O circuito lógico necessário para o espelho SI está mostrado na Figura 3.11, sendo constituído de uma porta NAND, duas NOR e sete INVERSORES. O sinal de “clock” de entrada é inserido através de um “pad” externo.

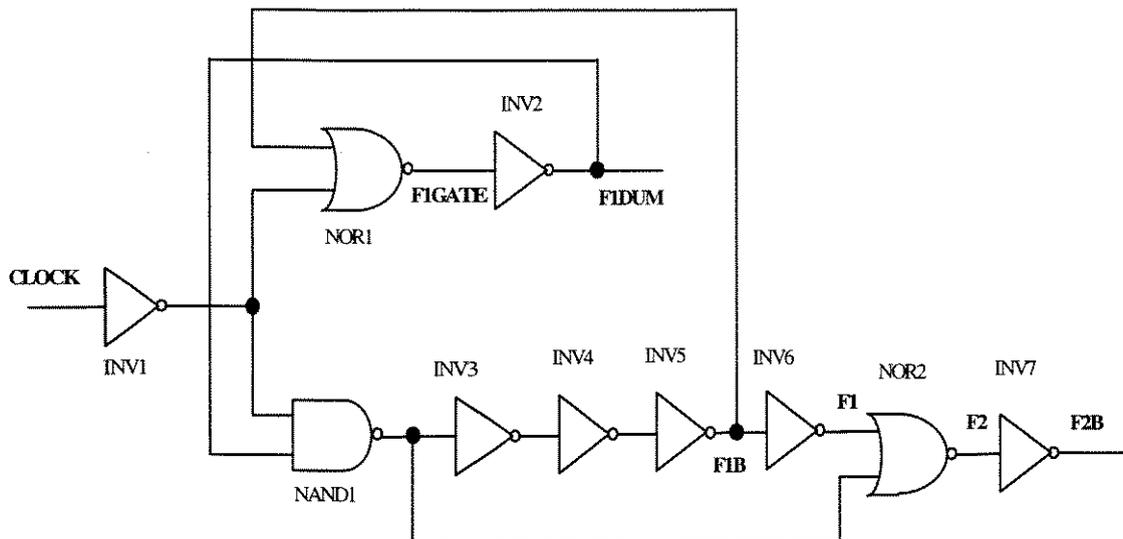


Figura 3.11: Circuito lógico para o espelho SI

Para uma melhor compreensão deste circuito, vamos considerar duas condições para o sinal de entrada:

- “Clock” em nível “1” indo para “0”: a mudança para o estado baixo (“0”) força as saídas das portas lógicas NOR1 e INV2, que correspondem aos sinais de controle das chaves de porta (F1GATE) e “dummy” (F1DUM), a estarem respectivamente em níveis baixo e alto (“1”). Desta forma, assegura-se que a chave “dummy” carregará após o desligamento da de porta. Posteriormente, a porta NAND1 apresentará as suas entradas em nível “1” e então sua saída mudará de estado, o qual se propagará até as saídas dos inversores INV5 e INV6, responsáveis por gerar os sinais para os transistores P e N da chave CMOS de entrada (F1B e F1). Assim sendo, estes inversores apresentarão em suas saídas níveis “1” e “0”, fazendo com que a chave de entrada seja então desligada. Somente após isto ter ocorrido é que as portas lógicas NOR2 e INV7 mudarão de estado, ativando a chave CMOS de saída do espelho (sinal F2 para o transistor tipo N e F2B para o transistor tipo P).

- “Clock” em nível “0” indo para “1”: quando o “clock” estiver em “1”, a saída de INV1 estará baixa e forçará a saída da porta NAND1 a ficar em nível alto e, posteriormente, a NOR2 e INV7 a ficarem em níveis “0” e “1”, correspondendo ao

desligamento da chave CMOS de saída. Portanto, a chave de saída desligará antes da chave CMOS de entrada ser ativada, tendo em vista que os inversores INV3 a INV6 defasam a propagação da mudança de estado dos sinais que acionam a chave de entrada do espelho (F1B e F1). Imediatamente após a chave CMOS de entrada ter ficado ativa, o nível "0" da saída do inversor INV5 força as portas NOR1 e INV2 a apresentarem respectivamente em suas saídas níveis "1" e "0", resultando no acionamento das chaves de porta e "dummy". Assim sendo, esta condição representa a fase de memorização do espelho.

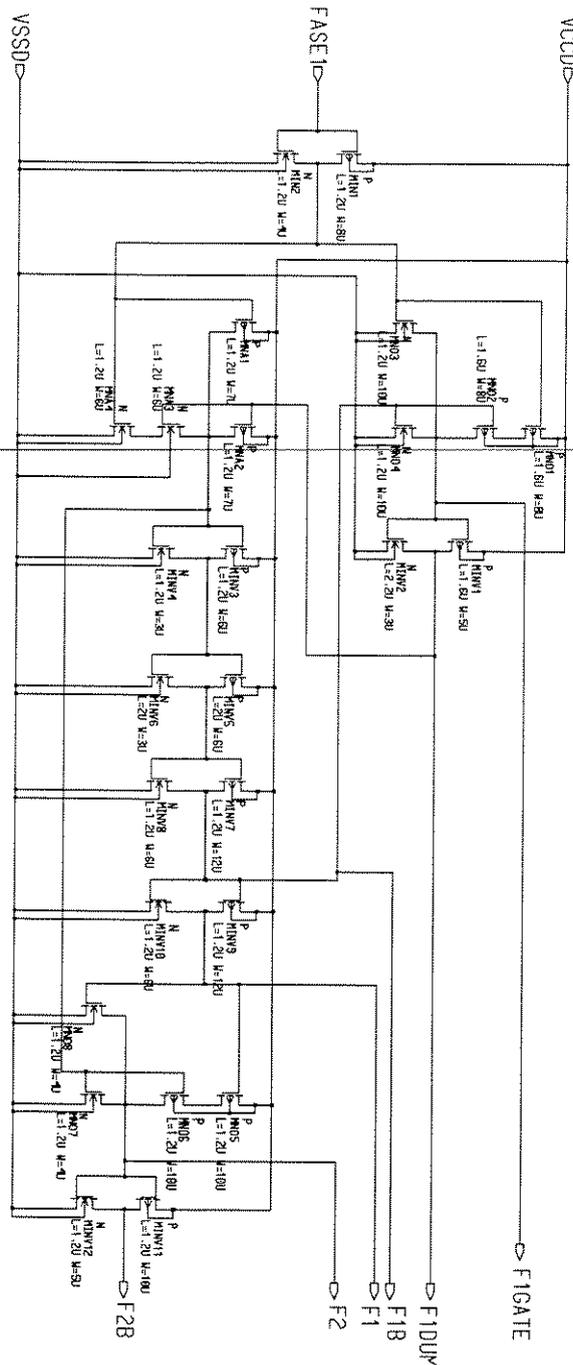


Figura 3.12: Circuito elétrico do controle das chaves do espelho SI

Pelo que foi exposto acima, pode-se observar que o circuito satisfaz as condições apresentadas por Wegmann [9], tanto no que se refere a sequência desejada de mudança dos sinais de “clock” como no desligamento rápido da chave de porta. Para isso, a porta lógica NOR1 foi projetada de forma que seus transistores tipo N apresentassem uma largura (W) mais elevada que o necessário. A Figura 3.12, mostrada acima, apresenta o circuito elétrico e os sinais de entrada/saída.

3.3 - “Layout” do espelho de corrente dinâmico

O “layout” final do circuito foi implementada utilizando as regras de projeto da “foundry” Austria Mikro Systeme International (AMS) em um processo CMOS de 1,2 μm . As camadas utilizadas neste processo foram:

-
- poço N;
 - área ativa;
 - implante P+;
 - máscara de campo canal-N;
 - polissilício 1;
 - polissilício 2;
 - implante N+;
 - contato;
 - metal1;
 - via;
 - metal2;
 - passivação.

As máscaras de campo canal-N e implante N+ são máscaras reversas do poço N e do implante P+, respectivamente. Apesar disto, devem ser necessariamente fornecidas pelo usuário.

Foram utilizados “pads” digitais e analógicos de entrada e analógicos de saída que foram fornecidos pela biblioteca de células da “foundry”.

Uma técnica de “layout” utilizada visando a diminuição das capacitâncias parasitas no espelho SI foi a inclusão de uma camada de metal sobre a estrutura do capacitor que memoriza a informação. Esta camada de metal foi conectada a terra, possibilitando a isolamento do capacitor em relação as trilhas que eventualmente sobreponham este capacitor em uma arquitetura mais complexa.

Visando compensar as capacitâncias de “overlap” e minimizar a influência do “descasamento” de transistores, utilizou-se o “layout” desenvolvido em [9] (item 2.4) para as chaves de porta e “dummy” do espelho SI.

Uma outra observação é a existência de uma ilha de isolamento, além da inclusão de sinais de alimentação separados, entre os circuitos analógicos e digitais, visando minimizar as interferências entre os mesmos.

A Figura 3.13 mostra o “layout” completo do espelho SI.

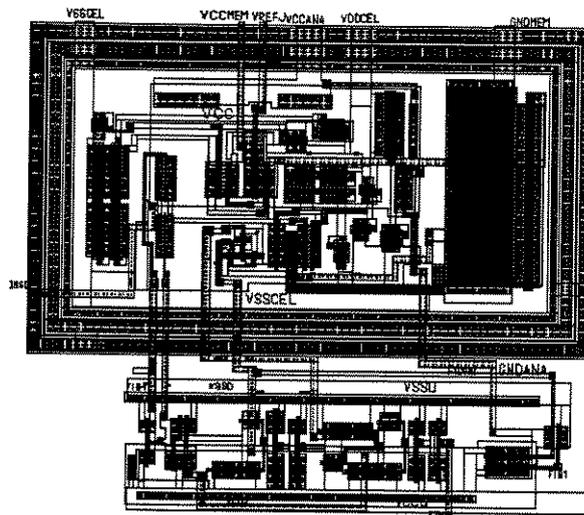


Figura 3.13: “Layout” do espelho de corrente dinâmico

O “layout” completo do circuito apresenta dimensões nos eixos X e Y de 184 μm x 244 μm .

3.5 - Resultados experimentais

Foram analisadas vinte amostras do circuito do espelho de corrente dinâmico. Para a caracterização foi utilizado o sistema de medição que será descrito no capítulo 4. Este sistema inclui uma interface de entrada para aplicar a corrente ao espelho SI. O projeto e caracterização deste circuito integrado de interface são descritos no capítulo 5.

Desta forma, o circuito de interface foi integrado juntamente com o espelho SI. Utilizando o sistema de medição pretendia-se caracterizar o espelho através da medição das seguintes grandezas: consumo, precisão DC, distorção harmônica (THD), relação sinal/ruído, frequência máxima de chaveamento (para um determinado erro), impedância de saída e compliância da tensão de saída.

No entanto, testes iniciais mostraram que o desempenho do espelho SI estava bem abaixo do esperado, quando comparado com os resultados de simulações. Por exemplo, a Figura 3.14 mostra o erro de corrente (precisão DC) em função da corrente de entrada. O procedimento para obtenção desta curva é descrito no item 4.3.

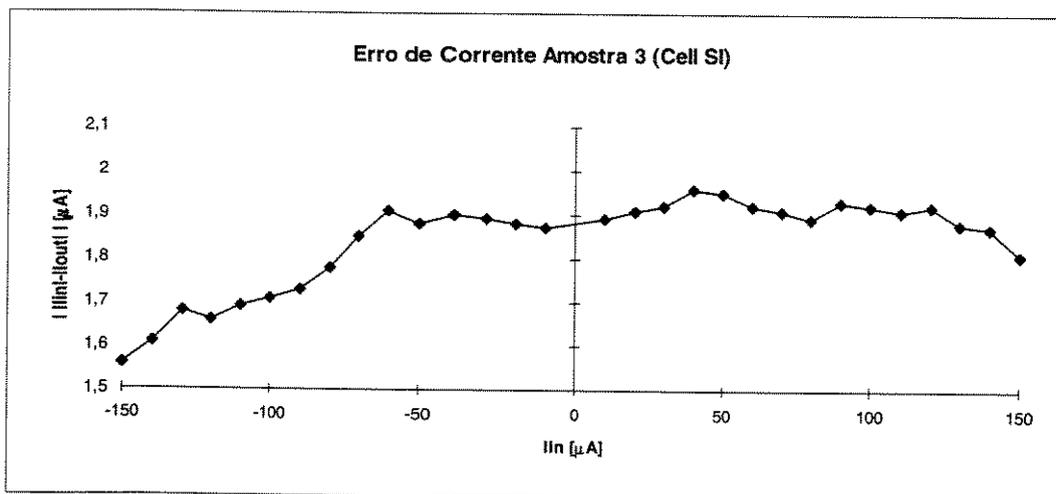


Figura 3.14: Erro de corrente ($|I_{in}| - |I_{out}|$) da amostra 3 em função da corrente de entrada (frequência de chaveamento de 100 [KHz])

Como pode ser visto na Figura 3.14, o erro de corrente chega a quase $2\mu A$. Este

valor é praticamente uma ordem de grandeza maior do que os valores obtidos na fase de simulação do circuito.

A análise inicial das amostras não revelou nenhum problema com o circuito que pudesse causar um erro desta magnitude. Como a princípio o problema não estava no circuito foram levantadas duas hipóteses. O problema estaria no sistema de medição ou o erro estava sendo causado pelo ruído de acoplamento.

Para verificar se o problema estava no sistema de medição (descrito no capítulo 4), a mesma montagem utilizada para se obter a curva da Figura 3.14 foi utilizada para se medir o erro de corrente existente entre a corrente do estágio de saída da interface de entrada (conversor V/I) e a corrente de um resistor ligado a uma fonte DC, ou seja, o espelho SI foi substituído por um resistor. O valor do resistor e da fonte DC foram escolhidos de tal forma que para uma variação de corrente de $-150\mu\text{A}$ a $+150\mu\text{A}$, a tensão na saída do conversor V/I fosse aproximadamente a mesma gerada pelo espelho SI. Para se medir o valor da corrente pelo resistor foi utilizado um voltímetro de precisão. O procedimento foi realizado e os erros de corrente ficaram sempre abaixo de 30nA . Idealmente este erro deveria ser zero, já que o resistor não introduzia nenhum erro. Mas 30nA é um erro aceitável devido a imprecisões nas medições. Portanto, o sistema de medição foi validado para se medir a precisão DC do espelho SI.

Restava então, a segunda hipótese para justificar o elevado erro de corrente, ou seja, o ruído de acoplamento, que é a interferência, via substrato, dos chaveamentos dos circuitos digitais nos circuitos analógicos.

Devido a pequena área ocupada pelo espelho SI ($184\ \mu\text{m} \times 244\ \mu\text{m}$), a mesma pastilha do espelho foi utilizada para fabricar um conversor A/D, o qual faz parte de uma outra tese de mestrado. Embora os circuitos compartilhassem a mesma pastilha, todos os pinos de alimentação e polarizações eram separados.

Para facilitar os testes uma única placa foi fabricada para caracterizar os dois circuitos. Desta forma, na mesma placa existiam, por exemplo, potenciômetros distintos para setar tensões de polarização do conversor A/D e do espelho SI.

Foi então que verificou-se que alterando-se as polarizações do conversor A/D o erro de corrente do espelho SI alterava-se também, apesar dos dois circuitos serem totalmente independentes, apenas compartilhando o mesmo substrato. A curva de erro da Figura 3.14 foi obtida com as tensões e correntes do conversor A/D setados para os valores obtidos nas simulações. Ou seja, durante as medições realizadas no espelho (Figura 3.14) o conversor A/D estava, a princípio, funcionando em condições normais.

A Figura 3.15 mostra uma outra curva de erro da mesma amostra (amostra 3), obtida com a mesma montagem e condições daquela da Figura 3.14. A única diferença é que foram alteradas alguma polarizações do circuito do conversor A/D

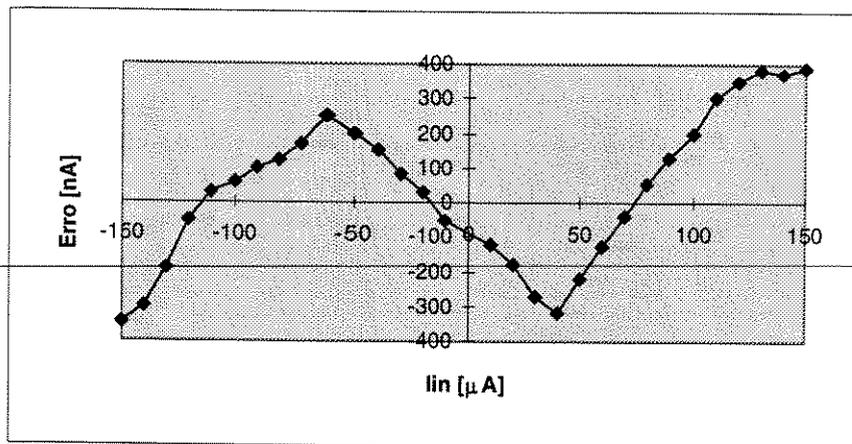


Figura 3.15: Erro de corrente ($|I_{in}| - |I_{out}|$) da amostra 3 em função da corrente de entrada (frequência de chaveamento de 100 [KHz])

Como pode-se ver, os erros nestas condições são bem mais próximos dos valores encontrados nas simulações.

Pequenas variações nas polarizações do conversor A/D eram suficientes para mudar a curva de erro do espelho. A curva obtida na Figura 3.15 foi o melhor ajuste que se conseguiu. Para alguns ajustes o erro de corrente diminuía com o aumento da frequência de chaveamento, o que é totalmente incoerente.

Com isto, pode-se concluir, que o baixo desempenho do espelho SI em relação aos resultados de simulações foi causado pelo ruído de acoplamento.

Devido aos problemas causados pelo ruído de acoplamento, a caracterização do espelho SI em termos de precisão DC e AC ficou totalmente comprometida. Foram realizadas apenas as medições da impedância de saída e compliância da tensão de saída, de acordo com os procedimentos do item 4.2.

A compliância da tensão de saída ficou de 1,15[V] a 3,61[V] na média das amostras analisadas. Este valor é coerente com as simulações realizadas.

Já o valor da impedância de saída não pode ser determinado de forma exata. Variações na tensão de saída não provocaram variações na corrente suficientemente grandes para serem detectadas pelos medidores. Isto indica que a impedância de saída é muito alta, conforme era esperado.

Deve-se lembrar que foram tomados alguns cuidados no “layout” para minimizar o ruído de acoplamento. Foi feita de uma ilha de isolamento separando a parte digital da analógica, além da inclusão de sinais de alimentação separados, entre os circuitos analógicos e digitais, visando minimizar as interferências entre os mesmos. Infelizmente estes cuidados não foram suficientes.

O “layout” do capacitor de porta adicional foi feito dentro da ilha de isolamento (juntamente com os demais transistores da parte analógica). Este capacitor está conectado entre um ponto de oscilações (porta do transistor de memorização) e o substrato dos transistores NMOS (terra analógico). Como este capacitor possui um valor elevado, ele pode produzir variações no terra analógico via substrato, o que também é considerado um ruído de acoplamento. Portanto, para minimizar ainda mais o ruído de acoplamento, deveria-se ter colocado o capacitor adicional de porta em uma ilha de isolamento separada.

CAPÍTULO 4

PROJETO DE UM SISTEMA DE MEDIÇÃO PARA CARACTERIZAÇÃO DE ESPELHOS DE CORRENTE DINÂMICOS

4.1 - Introdução

Como visto no capítulo 1, os espelhos de corrente dinâmicos apresentam uma enorme gama de aplicações, tais como redes neurais [11], filtros [22], conversores D/A [20] e A/D [10,11,23], sendo o espelho SI o circuito principal nestes casos. Em tais circuitos o sucesso do projeto depende basicamente do bom desempenho do espelho de corrente em relação a precisão DC, distorção harmônica, frequência de chaveamento, etc. Se considerarmos o espelho SI previamente caracterizado, é possível utilizá-lo como um

bloco de uma biblioteca, tal como um “flip-flop” ou uma porta lógica, em um circuito “standard cell”. Torna-se possível, desta forma, o projeto de circuitos mais complexos, por exemplo, um conversor A/D, utilizando quase que somente um simulador comportamental. Com isto, há um aumento da probabilidade de sucesso de um projeto na primeira tentativa, bem como uma redução da complexidade e do tempo de projeto.

Para tornar viável a implementação desta biblioteca, vimos no capítulo 1 que seria necessário a solução de dois problemas:

- definir uma metodologia de projeto para espelhos dinâmicos
- encontrar soluções para a caracterização de espelhos dinâmicos

A definição da metodologia foi abordada nos capítulos anteriores. Neste capítulo serão vistas as dificuldades de se caracterizar um espelho de corrente dinâmico, bem como o projeto de um sistema de medição e os procedimentos para a caracterização de espelhos operando à frequências de até 3MHz e precisão da ordem de 450ppm (que equivale a uma resolução de 11 bits).

4.2 - ”Settling-time” do espelho de corrente dinâmico e soluções para a medição das correntes de entrada e de saída

O espelho SI faz a memorização da corrente de entrada através da carga do capacitor de porta do transistor de memorização conectado como diodo, como mostrado na Figura 4.1. Se a carga do capacitor não se completar durante a fase de amostragem (chaves M_{S1} e M_{S2} fechadas na Figura 4.1), o capacitor porta-fonte do transistor M_1 armazenará um valor de tensão errado e, conseqüentemente, gerará um erro de corrente. Isto significa que, dado um valor de erro máximo para a tensão de memorização do capacitor, a duração da fase de amostragem (ϕ_1) deve ser tal que permita não ultrapassar este erro.

A equação que relaciona a duração da fase de amostragem ($T_{\phi 1}$), o erro de memorização (ϵ_T) e a constante de tempo para a carga do capacitor (T_S) é mostrada abaixo

[10].

$$T_{\phi_1} = [(\ln(2/\epsilon_T) + \ln(1 + \ln(2/\epsilon_T)))] \cdot T_S \quad (4.1)$$

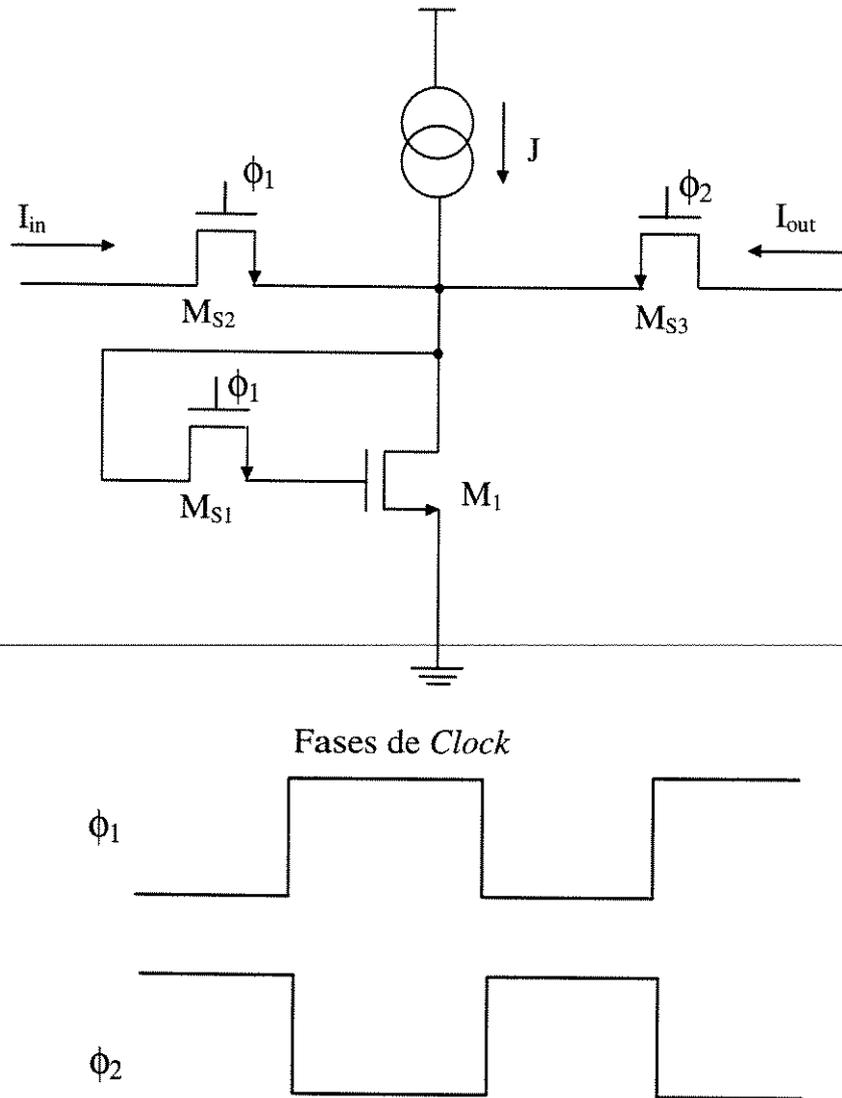


Figura 4.1: Circuito simplificado do espelho de corrente dinâmico e fases de “clock”

Considerando-se o espelho operando no regime sobre-amortecido (item 2.5), os polos do espelho de corrente serão reais e podem ser aproximados pelas equações 4.2 e 4.3 [9,10].

$$p_1 = -\frac{1}{\tau_d} \cong \frac{g_m}{C_g + C_d} \quad (4.2)$$

$$p_2 = -\frac{1}{\tau_p} \cong \frac{g_x \cdot (C_g + C_d)}{C_g \cdot C_d} \quad (4.3)$$

Nas equações anteriores e referindo-se a Figura 4.1, g_x representa a condutância da chave de amostragem fechada (M_{S1}), sendo que g_x é muito maior que a impedância de saída do espelho (item 2.3); g_m é a transcondutância do transistor M_1 ; C_d é a soma de todas as capacitâncias parasitas no nó de entrada da corrente amostrada (inclusive capacitâncias das chaves) e C_g a soma das capacitâncias na porta de M_1 . Considerando a soma $C_g + C_d$ igual C_I (capacitância de entrada do espelho), a constante de tempo do espelho pode ser aproximada pela equação 4.4. A constante de tempo é que vai definir a duração mínima do sinal ϕ_1 para uma dada precisão do espelho SI, de acordo com a equação 4.1.

$$T_{s1} \cong \tau_d \cong \frac{C_I}{g_m} \quad (4.4)$$

No projeto do espelho SI, na fase de simulação elétrica, são consideradas apenas as capacitâncias intrínsecas aos transistores do espelho e algumas parasitas devido ao “layout”, obtendo-se, desta forma, a frequência de operação especificada do espelho. No entanto, na caracterização dos espelhos, são introduzidas as capacitâncias dos instrumentos e pontas de prova, os quais são utilizados para realizar as medições e definir a precisão (AC e DC) do espelho SI. Assim, na fase de caracterização, é preciso tomar alguns cuidados para aplicar ou medir a corrente de entrada ou de saída do espelho, evitando aumentar a constante de tempo. A Figura 4.2 mostra o circuito equivalente de um espelho SI (em termos de capacitância e impedância) na fase de amostragem, considerando que vai se aplicar a corrente diretamente no espelho.

Na Figura 4.2, a resistência $1/g_m$ e a capacitância C_I representam a impedância e capacitância de entrada do espelho SI durante a fase de amostragem, respectivamente. C_p é a soma das capacitâncias parasitas de pad, pino e conexões, C_F é a capacitância de saída da fonte de corrente (I_{in}). Desta forma, a constante de tempo passaria a ser:

$$T_{s2} \cong \tau_d \cong \frac{C_I + C_P + C_F}{g_m} \quad (4.5)$$

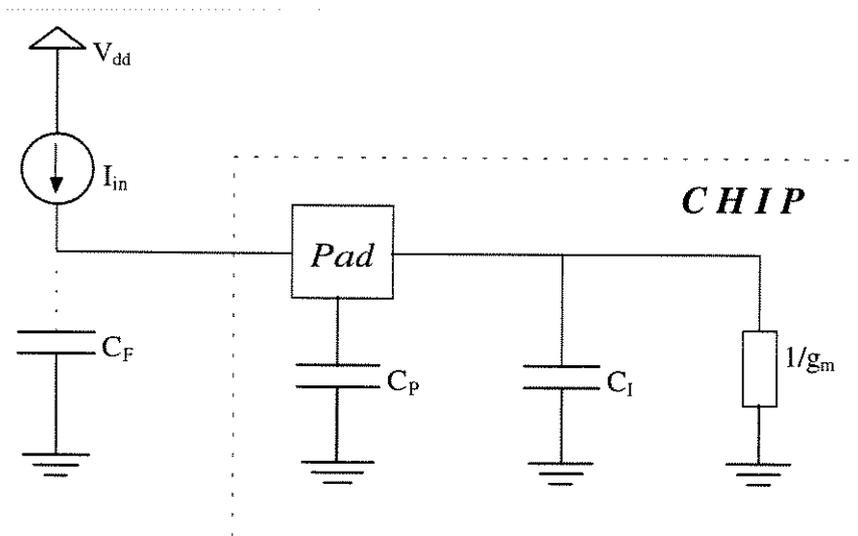


Figura 4.2: Circuito equivalente da célula de memória na fase de amostragem

Esta nova constante de tempo inviabilizaria a operação do espelho a altas frequências. Por exemplo, para uma precisão do espelho de 450ppm, a duração da fase ϕ_1 seria de 11,5 vezes a constante de tempo T_{s2} (equação 4.1). Adotando-se $g_m=100\mu A/V$, $C_P=1pF$, $C_F=8pF$ e $C_I=2pF$, a duração mínima de ϕ_1 seria de 1,265 μs . Para ϕ_2 igual a ϕ_1 , a frequência máxima de operação do espelho seria de 395 KHz.

A solução para não aumentar a constante de tempo, quando se aplica ou se mede a corrente de entrada, está na utilização de um conversor tensão-corrente (V/I) integrado, como mostrado na Figura 4.3. Na Figura 4.3, VM_1 e VM_2 são voltímetros, R_1 e R_2 são resistores de precisão e M_N , juntamente com as chaves e I_B , formam um espelho de corrente dinâmico.

Para medir a corrente de entrada, poderia-se utilizar amperímetros ao invés dos voltímetros VM_1 e VM_2 , mas verificou-se que isto aumenta o nível de ruído do espelho. A solução foi a utilização de um resistor no caminho da corrente de entrada. Convertida para tensão, pode-se medi-la utilizando-se voltímetros ou osciloscópios, altamente precisos, calibrados e com a capacidade de fazer a média do sinal de entrada, o que reduziria as

variações do sinal devido ao ruído.

O espelho SI opera com correntes de entrada positivas e negativas, o que leva a necessidade de projetar o conversor V/I com um estágio de saída “push-pull”. Aplicada uma determinada tensão DC na entrada do conversor V/I, para medir a corrente de entrada basta subtrair a corrente de R_1 (leitura de VM_1 dividida por R_1) da corrente de R_2 (leitura de VM_2 dividida por R_2). Se os voltímetros possuírem controle do tempo de integração, pode-se reduzir a influência do ruído na medida. Deve-se notar que, para utilização dos voltímetros ao invés de osciloscópios, a corrente deve ser constante no estágio “push-pull”, daí a necessidade de utilizar a chave S_4 e o bloco V_B , que formam um caminho para a corrente quando a chave de entrada da célula está aberta.

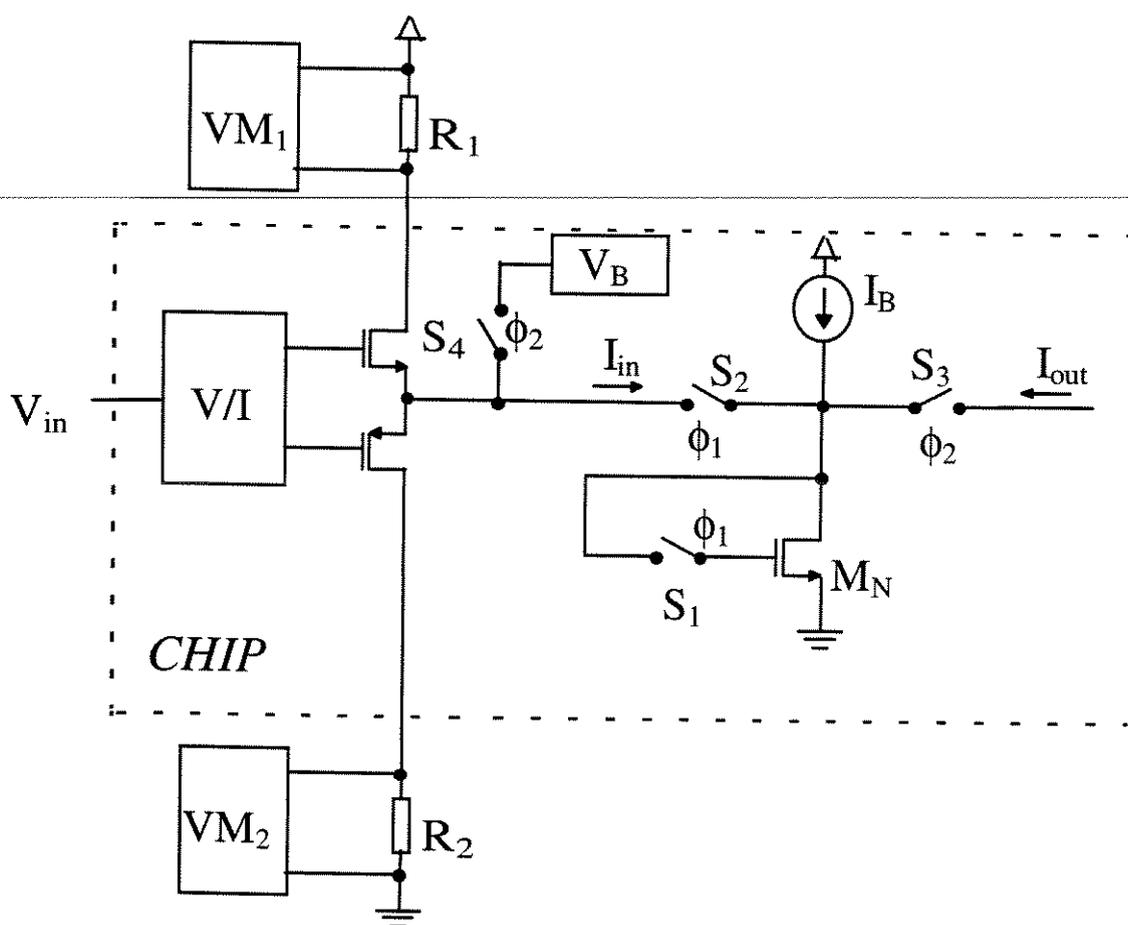


Figura 4.3: Solução para aplicar e medir a corrente de entrada

Para se medir a corrente de saída, pode-se também utilizar um resistor, ligado entre a

saída do espelho SI e uma fonte DC. A Figura 4.4 ilustra o procedimento. Ao contrário da corrente de entrada, não há como se manter a corrente de saída sempre fluindo, daí a necessidade do osciloscópio para monitorar a variação de tensão naquele ponto.

Os efeitos das capacitâncias parasitas discutidos até aqui, acarretam o aumento da duração da fase de amostragem (ϕ_1). De forma análoga, elas afetam a duração da fase ϕ_2 (fase de retenção) na medição da corrente de saída. Se o espelho utiliza circuitos cascode regulado [3], a impedância de saída do espelho é muito maior que R_{out} (Figura 4.4). Desta forma, pode-se mostrar que a constante de tempo que limita a fase ϕ_2 é dada por:

$$T_{s\phi_2} \cong C_P \cdot R_{out} \quad (4.6)$$

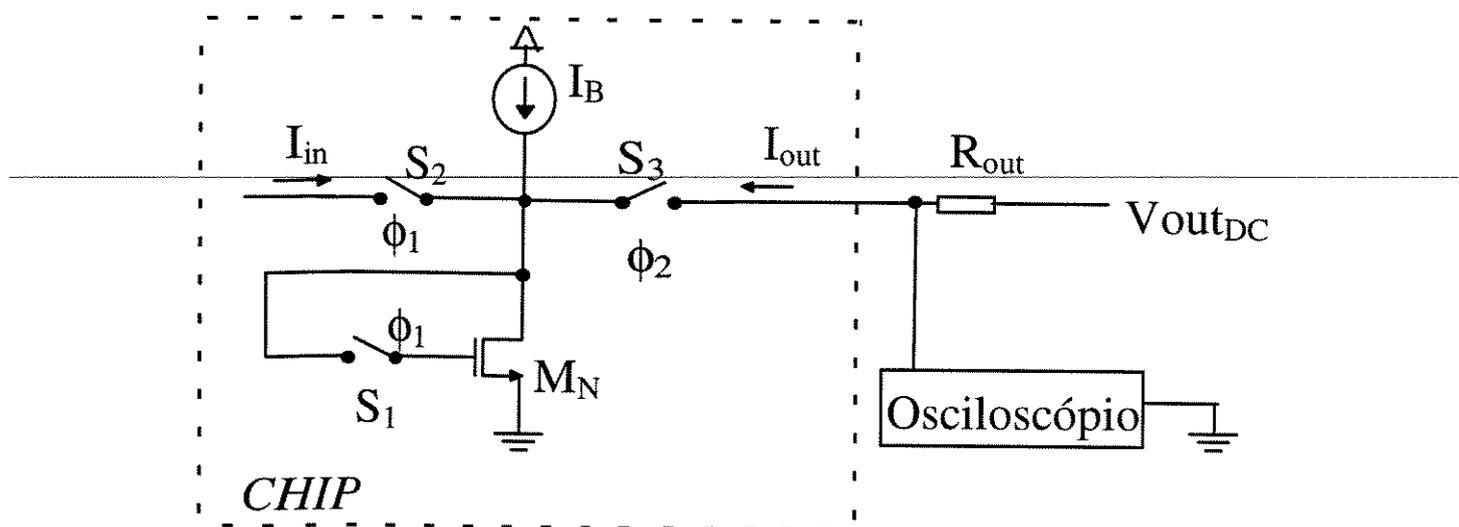


Figura 4.4: Medição da corrente de saída

Na equação 4.6, C_P representa a soma das capacitâncias parasitas de “pad”, pino e conexões, etc. Principalmente para valores mais altos de R_{out} (necessário para correntes menores), a constante de tempo aumenta, fazendo com que a duração da fase ϕ_2 aumente também (equação 4.1). Desta forma, é necessário o projeto de um circuito de interface (como um “conveyor” de corrente), para tornar possível medir a corrente de saída. No entanto, este circuito não é tão simples como o conversor V/I para a corrente de entrada. Isto porque o circuito de interface para a corrente de saída, deve operar na frequência de chaveamento do espelho (MHz) e não na frequência do sinal de entrada (DC ou KHz).

Como pretende-se caracterizar espelhos dinâmicos operando a frequência de até 3MHz e precisão de 11 bits, seria extremamente complexo desenvolver um “conveyor” de corrente para operar nestas condições, principalmente em um processo CMOS digital padrão.

Nas aplicações onde o espelho dinâmico é utilizado, a corrente é passada de um espelho para outro, ou seja, a fase ϕ_2 de um representa a fase ϕ_1 do outro. Desta forma, a duração das fases deve ser a mesma, sendo que esta duração é definida pela fase ϕ_1 (tempo de carga do capacitor de memorização). Portanto, na caracterização do espelho, o importante é definir a duração de ϕ_1 . Pode-se, então, dispensar a interface para medição da corrente de saída e fazer a duração de ϕ_2 maior que ϕ_1 , sem comprometer a medição da frequência máxima de operação do espelho.

Infelizmente, esta simplificação na medição da corrente de saída minimiza o erro devido a impedância de saída do espelho SI. Isto porque a impedância diminui com o aumento da frequência do sinal de saída e a frequência de ϕ_1 é maior que a de ϕ_2 . Desta forma, para não gerar um erro na medição da corrente de saída, deve-se corrigi-la, somando o erro devido a impedância do espelho na frequência de ϕ_1 . Para isto, basta levantar a curva do erro devido a impedância do espelho em função da frequência (item 4.3).

4.3 - Projeto do sistema de medição para caracterização de espelhos de corrente dinâmicos

Para utilizar o espelho como um bloco de uma biblioteca, como visto no item 4.1, é preciso caracterizá-lo através da medição das seguintes grandezas: consumo, precisão DC, distorção harmônica (THD), relação sinal/ruído, frequência máxima de chaveamento (para um determinado erro), impedância de saída e compliância da tensão de saída. Para realizar estas medidas, é necessário realizar um sistema de medição e seguir uma seqüência de procedimentos que serão descritos neste item. O sistema de medição deverá ser capaz de caracterizar espelhos operando a frequência de até 3MHz e precisão de 450ppm.

Para medição das correntes de entrada e de saída da célula, deve-se utilizar as recomendações do item 4.2. Um sistema que permite a medição de todas as grandezas necessárias para a caracterização do espelho SI ou célula de memória de corrente, é mostrado na Figura 4.5. Na figura, VM_1 e VM_2 são voltímetros, Oscilos. 1 é um osciloscópio, Gerador 1 e 2 são geradores de sinais senoidais e DC variáveis, V/I é um conversor tensão-corrente integrado com estágio de saída “push-pull”, R_1 a R_3 são resistores de precisão de diversos valores e M_N , juntamente com as chaves e I_B , representam a célula de memória de corrente chaveada (SI) a ser caracterizada. A linha pontilhada representa a separação dos elementos que estão fora e dentro do “chip” a ser caracterizado.

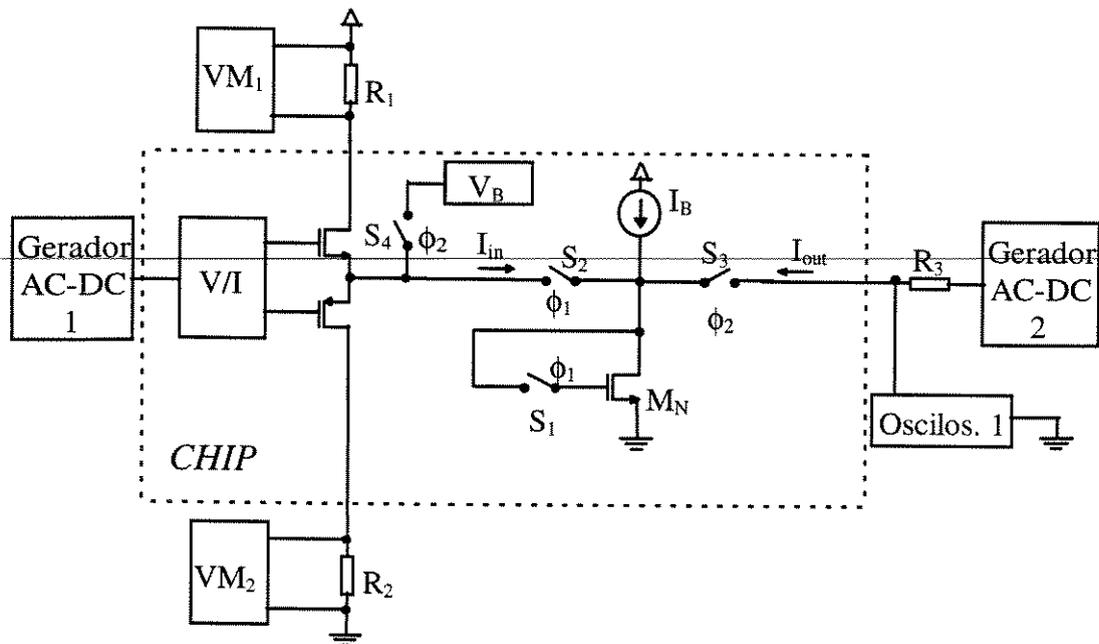


Figura 4.5: Sistema de medição para caracterização de células de memória de corrente chaveada

Para medição de cada uma das grandezas para caracterização da célula SI, deve-se seguir os procedimentos abaixo:

- Erro devido à impedância de saída

Mesmo com a utilização de circuitos cascode regulado [3], a impedância de saída da célula não é infinita e, portanto, as variações na tensão de saída da célula, provocam um erro de corrente. Como a impedância varia com a frequência, o erro deve ser medido em

função dela. Este erro deve ser medido na fase de retenção (ϕ_2), mas não se pode travar a célula nesta fase (para não descarregar o capacitor de memorização). A solução é aumentar a duração da fase ϕ_2 e utilizar o Gerador 2 (Figura 4.5) para variar a tensão de saída em uma determinada frequência e medir a corrente (Oscilos 1). Inicialmente, a frequência deve ser menor que $1/C_p \cdot R_{out}$ (equação 4.6). Aumentando-se a frequência, a diferença observada na corrente de saída é o erro devido a impedância da célula nesta nova frequência. Pode-se, também, traçar a curva da impedância da célula em função da frequência (a partir de valores maiores que $1/C_p \cdot R_{out}$ Hz). Se a amplitude da tensão de saída for 1V (Gerador 2), a variação observada na corrente de saída é a própria condutância de saída da célula. A curva resultante desta medida é também importante para correção da corrente de saída (item 4.2).

- Compliância da tensão de saída

A compliância da tensão, ou faixa dinâmica, deve ser medida para valores DC. Portanto, pode-se utilizar o mesmo procedimento descrito para medição do erro devido a impedância da célula. Porém, no Gerador 2, deve-se aplicar um valor DC e variar sua amplitude de 0V a 5V. Dentro de uma faixa central, as variações na corrente de saída devem ser praticamente zero. Fora desta faixa, ocorrerá um aumento do erro. A compliância será a faixa de valores da tensão de saída, na qual a variação da corrente é desprezível.

- Precisão DC

A precisão DC da célula, que é uma das grandezas mais importantes a serem medidas, consiste em se medir as correntes de entrada e saída da célula, para calcular o erro entre elas. O cálculo do erro deve ser feito para uma determinada frequência de chaveamento e para toda a faixa da corrente de entrada da célula. Conforme explicado do item 4.2, não é possível aplicar uma fonte de corrente diretamente a célula SI. Por isso a necessidade do conversor V/I (dentro do “chip”) para fazer a interface de entrada. Aplicando-se uma tensão DC no Gerador 1, pode-se medir a corrente de entrada pelos voltímetros VM_1 e VM_2 . A medição da corrente de saída deve ser corrigida, somando-se o erro devido a impedância de saída para a frequência de ϕ_1 . Isto porque, conforme mencionado no item 4.2, a duração de ϕ_2 é maior que a de ϕ_1 , de forma que na frequência de ϕ_2 (muito baixa), o erro devido a impedância de saída é praticamente desprezível (item

2.3). O valor da tensão de saída (Gerador 2), deve ser setado para cada valor da corrente de entrada, de forma que as variações no ponto de ligação do Oscilos. 1, fiquem em torno 2,5V. A precisão (%) será: $[(I_{out}-I_{in})/I_{in}].100$

- Distorção harmônica

A distorção introduzida pela célula SI é um fator importante em muitas aplicações [11,22,24]. Como se pretende caracterizar células com precisão da ordem de 450ppm, a distorção harmônica total (THD) introduzida pelo conversor V/I, deve ser menor ou igual a 0,04%, para não comprometer a medida da THD da célula SI. Para medir a distorção da célula, deve-se ajustar um nível DC no Gerador 1, de forma a se ter a amplitude de corrente máxima na saída do conversor V/I (voltímetros VM₁ e VM₂). O Gerador 2 deve ser ajustado em 2,5V e o valor de R₃ deve ser tal, que a queda de tensão não seja maior que a tensão de saída. O osciloscópio 1 (Oscilos. 1 da Figura 4.5) deve ser substituído por um analisador de sinais, conectado ao mesmo ponto, para calcular as harmônicas do sinal de saída da célula SI. Estas harmônicas devem ser comparadas com o espectro da corrente de saída ideal (sem erros), para calcular a distorção introduzida pela célula SI. Isto ocorre porque mesmo que a distorção introduzida pela célula fosse zero, o analisador de sinais mostraria várias harmônicas, pois a corrente de saída não é constante (retorna para zero durante a fase ϕ_1 alta).

- Relação sinal/ruído

A relação sinal/ruído (SNR), juntamente com a distorção harmônica, definem a precisão AC da célula SI. Assim como no caso da distorção harmônica, a relação sinal/ruído do conversor V/I deve ser maior que a relação a qual se pretende medir na célula SI, ou seja, maior que 68dB. O procedimento para a medição pode ser o mesmo utilizado para a distorção harmônica, sendo que, neste caso a SNR pode ser calculada diretamente do analisador de sinais.

CAPÍTULO 5

PROJETO DA INTERFACE DE ENTRADA DO SISTEMA DE MEDIÇÃO PARA CARACTERIZAÇÃO DE ESPELHOS DE CORRENTE DINÂMICOS

5.1 - Introdução

Conforme foi visto no capítulo 4, a interface para a corrente de entrada é o circuito principal necessário para a completa caracterização de espelhos de corrente dinâmicos. Esta interface, basicamente, consiste de um conversor tensão-corrente (V/I). Como o sistema de medição será utilizado para caracterização de espelhos de corrente com precisão de até 450ppm e frequência de operação de até 3MHz, o conversor V/I terá que atender as seguintes especificações:

- Distorção harmônica total menor ou igual a 0,04%.
- Operar com correntes de saída positivas e negativas, de até 150 μ A.
- Operar com sinal de entrada de até 1,5MHz.

Para implementar esta interface de entrada, optou-se por utilizar um “conveyor” de corrente [1] configurado como conversor tensão-corrente (V/I).

5.2 - “Conveyor” de corrente

O “conveyor” de corrente representado em bloco na Figura 5.1 é um circuito, em termos ideais, no qual a corrente aplicada ao nó X é “seguida” pela corrente do nó Y, da mesma forma que a tensão do nó X segue a tensão aplicada ao nó Y. Esta mesma corrente aplicada em X é “transferida” para a saída Z, ou seja, a corrente pelo nó Z é uma fonte de corrente controlada pela corrente através de X, sendo o ganho igual a 1. O terminal Z tem as características de uma fonte de corrente, portanto, possui uma alta impedância de saída. O potencial do nó X, que é setado pelo de Y, é independente da corrente aplicada à entrada X. Da mesma forma, a corrente através da entrada Y, que é setada pela corrente da entrada X, é independente da tensão aplicada ao terminal Y. O circuito com estas características é chamado de “conveyor” de corrente de primeira geração (CCI).

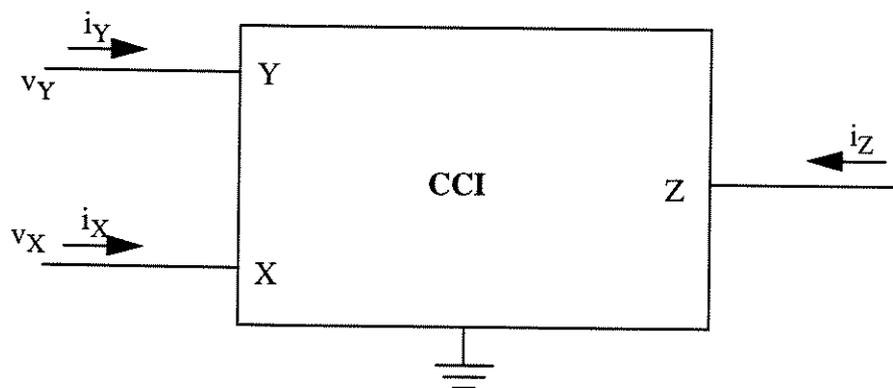


Figura 5.1: “Conveyor” de corrente de primeira geração (CCI)

Uma implementação de primeira ordem do CCI em tecnologia CMOS é mostrada na Figura 5.2 [1]. As relações geométricas entre os transistores é de 1 para 1.

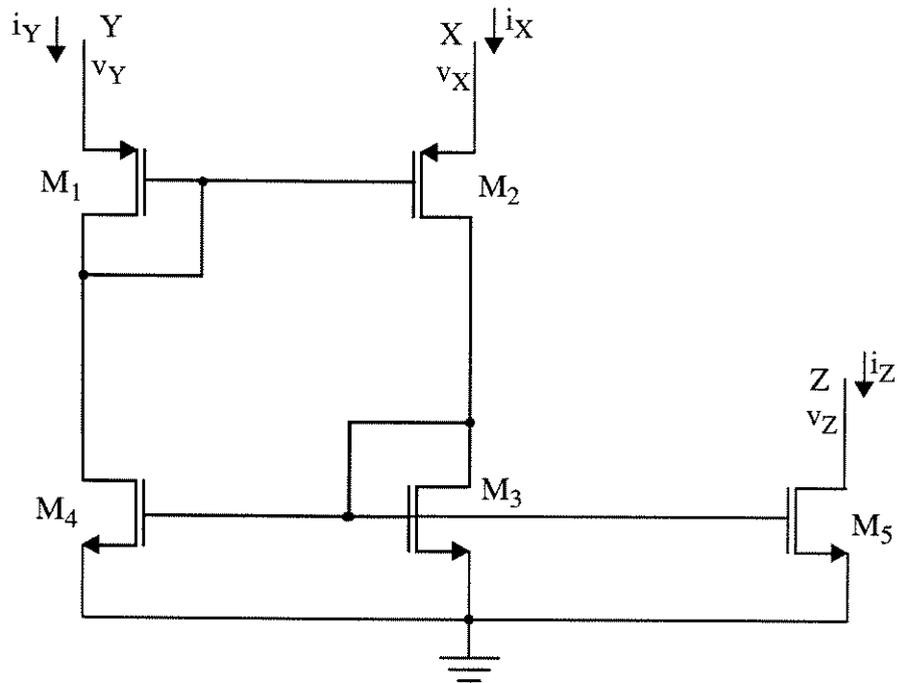


Figura 5.2: Implementação de primeira ordem do CCI em tecnologia CMOS

Para aumentar a versatilidade do “conveyor” de corrente, uma segunda versão na qual não há corrente fluindo no terminal Y, foi introduzida [27]. Este bloco básico tem provado ser mais útil do que o CCI [1]. Esta nova versão é chamada de “conveyor” de corrente de segunda geração (CCII).

O terminal Y possui uma impedância de entrada infinita. A tensão no terminal X segue a aplicada em Y, assim X tem uma impedância de entrada, idealmente, igual a zero. A corrente aplicada em X é “transferida” para o terminal de alta impedância Z, onde i_Z pode ter polaridade positiva (CCII+) ou negativa (CCII-). Uma possível implementação do CCII+ é mostrada na Figura 5.3. Na figura foi introduzido um amplificador operacional no circuito para tornar mais próxima do ideal a propriedade de seguidor de tensão entre os terminais X e Y [1].

O CCII é largamente utilizado em fontes controladas, conversores de impedância, inversores de impedância e amplificadores, integradores, somadores, diferenciadores de corrente [1]. Entre as fontes controladas está a fonte de corrente controlada por tensão, que basicamente é um conversor tensão-corrente (V/I).

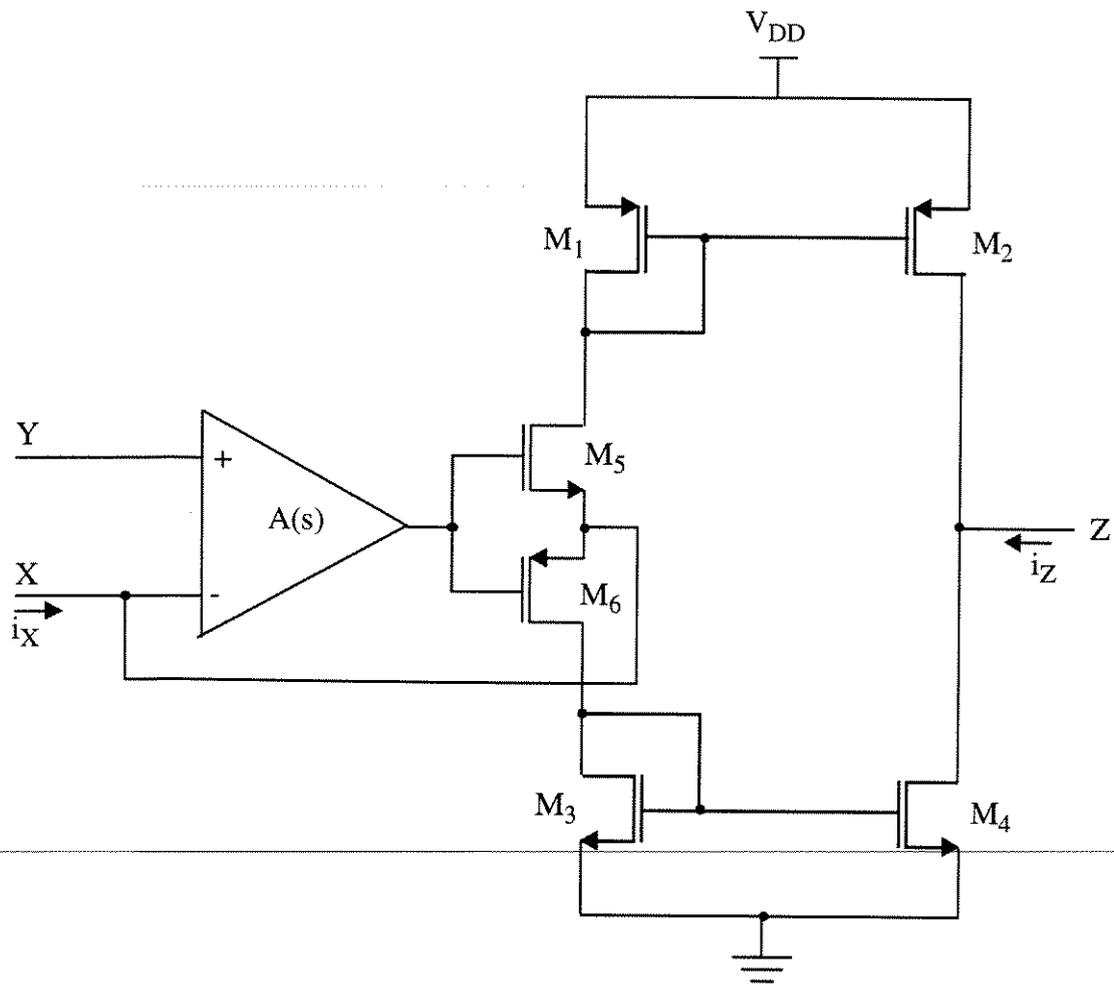


Figura 5.3: Implementação do “conveyor” de corrente de segunda geração positivo

5.3 - Projeto do conversor V/I utilizado como interface de entrada para caracterização de espelhos de corrente dinâmicos

A Figura 5.4 mostra o “conveyor” de corrente configurado como um conversor V/I, sendo que os transistores M_1 e M_2 da Figura 5.3 foram incorporados ao estágio de saída do amplificador operacional. Conforme mencionado anteriormente, o operacional é empregado para melhorar a propriedade de seguidor de tensão do “conveyor”. Como se deseja que o conversor V/I apresente baixa distorção, torna-se necessário a utilização deste amplificador operacional.

Neste circuito, se o ganho do operacional for elevado, a corrente i_i (corrente pelo nó

(no caso de circuito NMOS) [3]. A Figura 5.5 mostra o circuito cascode regulado utilizado no lugar de cada transistor. Com este circuito (com todos transistores na saturação), a impedância de saída do conversor V/I ficou em torno de $900\text{M}\Omega$ (terminal Z do “conveyor”).

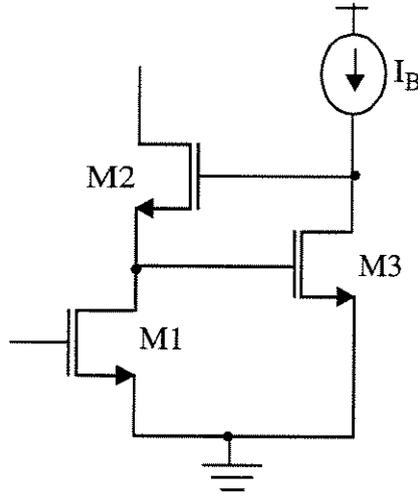


Figura 5.5: Circuito cascode regulado

~~As dimensões dos transistores do amplificador operacional foram definidas com base em [25] e [26], que são estudos para se obter operacionais de baixo ruído. Isto foi feito para não comprometer a relação Sinal/Ruído do conversor V/I. Dentre as medidas tomadas para reduzir o nível de ruído estão:~~

- utilização de par diferencial PMOS
- transistores do par diferencial com grande área
- aumento da transcondutância do transistor M_{13} em relação a transcondutância de M_{11} ($L_{M11}/L_{M13}=7,5$)

O esquemático completo do circuito de interface é mostrado na Figura 5.6, incluindo os circuitos cascode regulado, fontes de corrente e tensões de polarização. Na figura pode-se ver que o circuito possui dois terminais de saída, CVIVOUT e CUIOUTCEL. O terminal CUIOUTCEL é utilizado para ligação com o terminal de entrada do espelho SI. O terminal CVIVOUT está em série com uma chave CMOS. Esta chave possui sinais de “clock” invertidos em relação a chave CMOS de entrada do espelho SI. Assim, quando a chave de entrada do espelho está aberta, o terminal CVIVOUT pode ser ligado a uma fonte de tensão para formar um caminho para a corrente de saída do conversor V/I. Travando-se os sinais de “clock” na situação anterior, pode-se caracterizar o conversor V/I.

As tensões V_{B1} e V_{B2} (Figura 5.4) foram "exteriorizadas" (terminais CVIVB1 CVIVB2 da Figura 5.6) para permitir ajustes nas correntes I_{SS} e I_B , que nas simulações foram setadas para $80\mu\text{A}$ e $50\mu\text{A}$, respectivamente ($V_{B1}=3,3\text{V}$ e $V_{B2}=3,5\text{V}$).

Conforme descrito no item 4.2 (Figura 4.3) o estágio de saída do conversor V/I deve possibilitar a ligação de resistores em série com V_{DD} e GND para monitorar a corrente que está sendo aplicada ao espelho SI. Isto é feito através dos terminais CVIGND e CVIVDD2 da Figura 5.6. O terminal CVIVDD1 tem o mesmo propósito dos anteriores, mas com o objetivo de monitorar a corrente de polarização do estágio de saída do "conveyor".

As simulações realizadas com o circuito de interface indicaram as seguintes características:

- V_{IN} : 50mV de pico
- Distorção: 0,01% (100KHz, $150\mu\text{A}$ de pico e $R_{REF}=510\Omega$)
- Impedância de entrada do terminal X do "conveyor": 770Ω

- A_v (ganho de tensão em malha aberta do operacional): 92dB
- F_{-3dB} do operacional: 1KHz
- Frequência de ganho unitário do operacional: 16MHz
- Margem de Fase do operacional: 59°
- I_{SS} (ver Figura 5.4): $80\mu\text{A}$
- I_B (ver Figura 5.4): $50\mu\text{A}$

5.4 - "Layout" da interface de entrada para caracterização de espelhos de corrente dinâmicos

O "layout" final do circuito foi implementado utilizando as regras de projeto da "foundry" Austria Mikro Systeme International (AMS) em um processo CMOS de $1,2\mu\text{m}$. As camadas utilizadas neste processo foram:

- poço N;

- área ativa;
- implante P+;
- máscara de campo canal-N;
- polissilício 1;
- polissilício 2;
- implante N+;
- contato;
- metal1;
- via;
- metal2;
- passivação.

As máscaras de campo canal-N e implante N+ são máscaras reversas do poço N e do implante P+, respectivamente. Apesar disto, devem ser necessariamente fornecidas pelo usuário.

Foram utilizados “pads” digitais e analógicos de entrada e analógicos de saída que foram fornecidos pela biblioteca de células da "foundry".

Uma outra observação é a existência de uma ilha de isolamento, além da inclusão de sinais de alimentação separados, entre os circuitos analógicos e digitais, visando minimizar as interferências entre os mesmos. A Figura 5.7 mostra o “layout” completo do circuito.

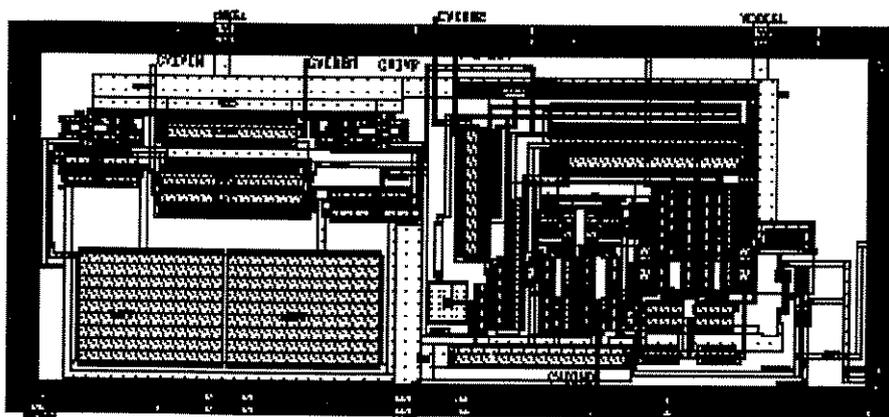


Figura 5.7: “Layout” do conversor V/I utilizado como interface para caracterização da célula de memória SI.

5.5 - Resultados experimentais

Foram analisadas vinte amostras do conversor tensão corrente (V/I). A saída do conversor foi ligada a um resistor (R_{out}) de mesmo valor de R_{REF} (Figura 5.4) e R_{out} foi conectado a uma fonte DC de 2,5V. O espectro medido do sinal de saída ($R_{out} \cdot i_o$) é mostrado na Figura 5.8.

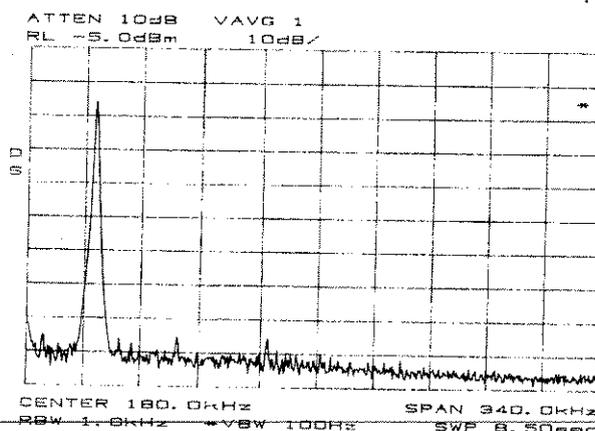


Figura 5.8: Espectro do sinal de saída ($i_o=300\mu A$) para o sinal de entrada em 50KHz

A amplitude da tensão de entrada foi ajustada para uma corrente de saída de $300\mu A$ pico a pico. Pode-se ver que as componentes harmônicas e o nível do ruído estão mais de 70dB abaixo da fundamental. A distorção harmônica total (THD) média das amostras ficou em 0,04%, satisfazendo a THD especificada. Esta distorção mantém-se aproximadamente constante até 200KHz. Comparado com as simulações, a THD medida foi superior, mas isto se deve ao equipamento utilizado para gerar a tensão de entrada do conversor V/I. Até o término deste trabalho, não tinha sido possível utilizar um gerador que apresentasse mais que 70dB entre a fundamental e as componentes harmônicas de distorção. Para sinais com frequência superior a 200KHz a distorção aumenta gradativamente, chegando a 0,09% em 500KHz. Este problema também se deve em parte, ao gerador, pois a sua distorção também aumenta para frequências superiores a 200KHz.

CONCLUSÃO

Foi visto que devido a enorme gama de aplicações onde os espelhos SI são empregadas, tais como redes neurais [11], filtros [22], conversores D/A [20] e A/D [10,15,19,21], torna-se interessante a implementação de uma biblioteca de espelhos de corrente dinâmicos. Considerando-se o espelho SI como um bloco de uma biblioteca, tal como um flip-flop ou uma porta lógica, as aplicações onde ela é utilizada podem ser implementadas empregando-se uma metodologia “standard cell”. Além disso, torna-se possível o projeto de circuitos analógicos mais complexos utilizando quase que somente um simulador funcional (HDLA).

Para viabilizar a implementação desta biblioteca, apresentou-se a necessidade da definição de uma metodologia de projeto para os espelhos, bem como encontrar soluções para as dificuldades na caracterização dos espelhos.

Visando a definição de uma metodologia de projeto, foi visto o princípio básico de funcionamento de um espelho de corrente dinâmico, bem como os problemas que acarretam erros na cópia da corrente memorizada, ou seja, a condutância de saída do espelho, injeção de cargas, o “clock feedthrough”, o tempo de carga do capacitor de memorização e o ruído térmico do espelho. Foram apresentadas soluções para minimizar estes problemas que não penalizavam muito a frequência de amostragem do espelho. Também foram vistas as vantagens de se operar o transistor de memorização na região triodo.

Com base nos estudos realizados, foi projetado um espelho SI de 12 bits de precisão e frequência de operação de 3 [MHz]. Embora os resultados da caracterização do espelho projetado não tenham sido satisfatórios, um primeiro objetivo deste trabalho foi alcançado, ou seja, foram discutidos e equacionados os problemas que acarretam erros em um espelho de corrente dinâmico e obteve-se uma topologia de circuito simples e única, independente da precisão do espelho. A topologia de circuito obtida possui poucos parâmetros para serem ajustados em função de uma dada especificação. Estes parâmetros foram equacionados em função da especificação do espelho (precisão, frequência, etc.), formando uma metodologia de projeto.

Visando solucionar alguns problemas na caracterização dos espelhos SI, foi projetado um sistema de medição para caracterização de espelhos com precisão de 450ppm e frequência de operação de 3MHz. Para realização deste sistema, concluiu-se que era fundamental o projeto de uma interface de entrada para caracterização dos espelhos. O projeto desta interface, que basicamente é um conversor tensão/corrente (V/I), foi realizado e enviado para fabricação. Medições realizadas nos protótipos do circuito de interface, indicaram que as componentes harmônicas e o nível do ruído estão mais de 70dB abaixo da fundamental. A distorção harmônica total (THD) média das amostras ficou em 0,04%, satisfazendo a THD especificada.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] C. Toumazou, F. J. Lidgley, D. G. Haigh. "Analogue IC Design: The Current-Mode Approach". April 1990: Peter Peregrinus Ltd.
- [2] G. Wegmann, E. A. Vittoz. "Analysis and Improvements of Accurate Dynamic Current Mirrors" IEEE J. Solid-State Circuits, vol. 25, n. 3, June 1990.
- [3] E. Säckinger, W. Guggenbühl - "A High-Swing, High-Impedance MOS Cascode Circuit" IEEE J. Solid-State Circuits, Vol. 25, No./ 1, Feb. 1990.
- [4] Klass Bult. "The CMOS Gain-Boosting Technique" in Proc. Workshop on Advances in Analogue Circuit Design, pp. 81-121, April 1992.
-
- [5] Je-Hurn Shieh, Mahesh Patil, Bing J. Sheu. "Measurement and Analysis of Charge Injection in MOS Analog Switches". IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 2, April 1987.
- [6] G. Wegmann, E. A. Vittoz. "Charge Injection in Analog MOS Switches". IEEE Journal of Solid-State Circuits, vol. sc-22, n. 6, December 1987.
- [7] C. Toumazou, N.C. Battersby, C. Maglaras. "High Performance Algorithmic SI Memory Cell". Electr. Letters 13st Set. 1990 - vol. 26 No. 5.
- [8] W. Guggenbühl, J. Di, J. Goette - "Switched-Current Memory Circuits for High-Precision Applications"- IEEE J. Solid-State Circuits, Vol. 29 No. 9, Set. 1994.
- [9] "Design and Analysis Techniques for Dynamic Current Mirrors"; These No. 890 (1990), George Wegmann; EPFL, Suíça
- [10] Convertisseurs Analogiques/Numeriques Cycliques a Memoires de Courant CMOS; These No. 1001 (1992); Philippe Deval; EPFL, Suíça
- [11] C. Toumazou, J. B. Hughes, N. C. Battersby. "Switched-Currents an Analogue Technique for Digital Technology". April 93: P. Peregrinus Ltd.
- [12] Y. P. Tsividis. "Operation and Modeling of The MOS Transistor - cap.8, item 8.5.3 ". 1987, McGraw-Hill Book Company.
- [13] Rudy Van De Plassche. "Integrated Analog-to-Digital and Digital-to-Analog

Converters". 1994, Kluwer Academic Publishers.

[14] Robson L. Moreno - "Projeto de um Circuito Sample-and-Hold Autozero"; Dissertação de Mestrado, Março 1996 - FEE - UNICAMP, SP, Brasil.

[15] João P. A. Carreira - "Circuitos com Processamento de Corrente para Conversão Analógica-Digital e Digital-Analógica de Sinais de Alta Frequência"; Dissertação de Mestrado, Agosto 1993 - IST - Universidade Técnica de Lisboa, Portugal.

[16] HDL-A Training Workbook, V8.4_2 - Mentor Graphics

[17] L. D. Smith, H. R. Farmer, M. Kunesh, M. A. Masseti, D. Willmott, R. Hedman, R. Richetta, T. J. Schmerbeck, "A CMOS-Based Analog Standard Cell Product Family" IEEE Journal of Solid-State Circuits, vol. 24, n. 2, April 1989.

[18] Chris Toumazou, N. Battersby, S. Porta - "Circuits and Systems Tutorials - ISCAS 94" - IEEE Press - 1994.

[19] D. G. Nairn, C. A. T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters", IEEE Journal of Solid-State Circuits, vol. 35, n. 4, August 1990.

[20] D. W. J. Groeneveld, H. J. Schouwenaars, H. A. H. Termeer, C. A. A. Bastiaansen, "A Self-Calibration Technique for Monolithic High-Resolution D/A Converters", IEEE Journal of Solid-State Circuits, vol. 27, n. 5, December 1989.

[21] A. M. Cujec, D. G. Nairn, C. A. T. Salama, "An Optimized Bit Cell Design for a Pipelined Current-Mode Algorithmic A/D Converter", Analog Integrated Circuits and Signal Processing, K. A. P., Vol. 3, n. 2, March 1993.

[22] J. B. Hughes, K.W. Moulding, "Switched-Current Signal Processing for Video Frequencies and Beyond", IEEE J. Solid-State Circuits, vol. 28, n. 3, March 1993.

[23] D. Macq, P. G. A. Jespers, "A 10-Bit Pipelined Switched-Current A/D Converter", IEEE J. Solid-State Circuits, vol. 29, n. 8, August 1994.

[24] P. J. Crawley, G. W. Roberts, "Predicting Harmonic Distortion in Switched-Current Memory Circuits", IEE Trans. on Circuits and System-II: Analog and Digital Signal Processing, vol. 41, n. 2, February 1994.

[25] Phillip E. Allen - "CMOS Analog Circuit Design" Holt, Rinehart and Winston, Inc. - Series in Electrical and Computer Engineering, 1987.

[26] R.D. Jolly, R. H. McCharles - "A Low Noise Amplifier for Switched Capacitor Filters"- IEEE Journal of Solid-State Circuits, Vol. SC-17, No. 6, Dec. 1982.

[27] A. S. Sedra, K. C. Smith - "A Second-Generation Current Conveyor and Its Applications", IEEE Transactions on Circuit Theory, vol. CT-17, Feb. 1970.