



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e Computação
DEMIC

**Implementação de Uma Nova Técnica para Demodulação
Digital de Sinal de Giroscópio a Fibra Óptica**

Autor: Alécio Pontes Fernandes

Orientador: Prof. Dr. Elnatan Chagas Ferreira

Trabalho apresentado à Faculdade de Engenharia Elétrica e de Computação da UNICAMP como parte dos requisitos exigidos para obtenção do título de Mestre em Engenharia Elétrica.

Comissão Examinadora:

Prof. Dr. Elnatan Chagas Ferreira

Prof. Dr. José Antônio Siqueira Dias

Ten Cel. Dr. Josiel Urbaninho de Arruda

Campinas, 08 de abril de 2009

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

F391i Fernandes, Alécio Pontes
 Implementação de uma nova técnica para
 demodulação digital de sinal de giroscópio a fibra óptica
 / Alécio Pontes Fernandes. --Campinas, SP: [s.n.], 2009.

 Orientador: Elnatan Chagas Ferreira.
 Dissertação de Mestrado - Universidade Estadual de
 Campinas, Faculdade de Engenharia Elétrica e de
 Computação.

 1. Giroscópios óticos. 2. Moduladores (Eletronico).
 3. Processamento de sinais. 4. Detecção de sinais. 5.
 Detectores oticos . I. Ferreira, Elnatan Chagas. II.
 Universidade Estadual de Campinas. Faculdade de
 Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: New technique for the implementation of digital demodulation
of fiber optic gyroscopes

Palavras-chave em Inglês: Optics gyroscopes, Modulators (Electronics), Signal
processing, Signal detection, Optical detectors

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Jose Antonio Siqueira Dias, Josiel Urbaninho de Arruda

Data da defesa: 08/04/2009

Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Alécio Pontes Fernandes

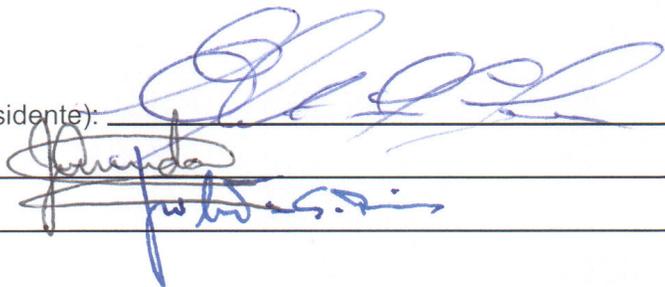
Data da Defesa: 8 de abril de 2009

Título da Tese: "Implementação de Uma Nova Técnica para Demodulação Digital de Sinal de Giroscópio a Fibra Óptica"

Prof. Dr. Elnatan Chagas Ferreira (Presidente):

Dr. Josiel Urbaninho de Arruda:

Prof. Dr. José Antonio Siqueira Dias:



The image shows three handwritten signatures in blue ink, each written over a horizontal line. The first signature is the most prominent and appears to be 'Elnatan Chagas Ferreira'. The second signature is smaller and appears to be 'Josiel Urbaninho de Arruda'. The third signature is also smaller and appears to be 'José Antonio Siqueira Dias'.

Dedico este trabalho
ao meu pai Fernandes,
à minha mãe Maria das Graças,
à minha esposa Daniela,
e a meu filho Filipe.

Agradecimentos

Ao meu orientador, Professor Elnatan Chagas Ferreira, sou plenamente grato pelo apoio incondicional e muita paciência, sem os quais este trabalho não seria possível.

Ao professor Siqueira do DEMIC pela ajuda nos trabalhos e publicações.

Ao Major Dr. Renato Cunha Rabelo pela participação na banca.

Aos amigos Ademir Xavier, Lalinka Gomes e Rodrigo H. Watanabe pela ajuda na revisão do trabalho.

À minha esposa Daniela, meu filho Filipe e aos meus pais pelo apoio durante esta jornada.

A CAPES, pelo apoio financeiro.

Resumo

Giroscópios são dispositivos usados para medir rotação angular, sendo extensivamente empregados em sistemas de guiamento, navegação e estabilização. Entre os diversos tipos de giroscópios, o IFOG (Giroscópio Interferométrico a Fibra Óptica) baseado no efeito de *Sagnac* é uma das soluções mais interessante, dada sua alta sensibilidade, resolução, ausência de partes móveis, confiabilidade, tamanho compacto e imunidade a interferências eletromagnéticas. Este trabalho descreve a implementação de um circuito digital de demodulação para IFOGs operando em malha aberta utilizando a técnica de *zero-crossing* (cruzamento em zero). A técnica implementada no circuito eletrônico descrito neste trabalho emprega um *clock* quase-síncrono para processamento, o que leva a um esquema de demodulação digital preciso, simples e de baixo custo. O circuito de demodulação proposto foi testado em laboratório, utilizando um sinal de giroscópio emulado. Os resultados experimentais medidos no protótipo mostraram que a resolução final do circuito de detecção é 1000 vezes melhor que a resolução possível de se alcançar em um demodulador *zero-crossing* digital convencional com *clock* síncrono.

Abstract

Gyroscopes are devices used to measure angular orientation, being extensively employed for guidance, navigation and stabilization. Among the many types of gyroscopes, IFOG (Interferometer Fiber Optic Gyroscope), based on Sagnac effect, is the most interesting solution due to its high sensitivity, resolution, reliability, small size and EMI immunity. The present work describes a digital electronic circuit implementation for open-loop IFOGs using zero-crossing demodulation techniques. The technique used in the electronic circuit described in this work employs a quasi-synchronous clock for signal processing which leads to an accurate, simple and low cost digital demodulation scheme. The experimental results of the prototype showed that the final detection resolution is 1000 times better than one achieved by the conventional synchronous clock zero-crossing digital demodulator.

Sumário

Agradecimentos	vii
Resumo	ix
Abstract.....	xi
Sumário.....	xiii
Lista de Figuras	xvii
Lista de Tabelas	xxi
Glossário.....	xxiii
Glossário.....	xxiii
Lista de Símbolos	xxv
Trabalhos publicados pelo autor.....	xxvii
Capítulo 1	29
Introdução.....	29
1.1 Sistemas de Navegação Inercial	29
1.2 Giroscópio a Fibra Óptica.....	32
1.3 Campos de Aplicação	35
1.4 Estrutura da Tese	36
Capítulo 2	37
Princípio de funcionamento.....	37
2.1 O Efeito <i>Sagnac</i>	37
2.2 Configuração Típica	41
2.3 Teoria Zero Crossing.....	46
2.4 Técnica de demodulação digital a ser validada	49
Capítulo 3	55
Síntese de Frequência com DDS	55

3.1	PLL versus DDS.....	55
3.2	Conceitos e Fundamentos da Síntese Direta Digital	59
3.3	Efeitos da Amostragem digital na DDS	62
3.4	Aplicações dos dispositivos DDS.....	66
Capítulo 4		69
Descrição de um circuito para Implementação da Técnica		69
4.1	Diagrama em Blocos	69
4.2	Descrição do circuito	70
	Fotodetector	72
	Amplificador de Transimpedância	72
	Comparador rápido de <i>zero-crossing</i>	75
	Geração de Clock de Referência	77
	Circuito de medida para ΔT e T_0	83
4.3	Emulação do Sinal do Giroscópio	88
4.4	Controle e Comunicação	90
4.5	Circuito de Alimentação.....	101
Capítulo 5		103
Resultados e Aplicação da Técnica		103
5.1	Simulações.....	103
5.2	Resultados práticos	106
5.3	Apresentação do Circuito Final	120
	Diagrama em Blocos	121
	Diagrama do circuito	124
	Placa PCB do circuito.....	126
5.4	Principais modificações para melhorias no circuito.....	128
	Estágio de transimpedância	128
	Estágios Adicionais de Filtro e Amplificação	129
	Geração da frequência de modulação f_m a partir de DDS.....	130
	Módulo de comunicação RS485.....	132
Capítulo 6 Conclusões, Trabalhos Futuros e Publicações		135

6.1	Conclusões.....	135
6.2	Sugestões para Novos Trabalhos.....	136
6.3	Publicações.....	136
	Apêndice I.....	137
	Apêndice II.....	145
	Apêndice III.....	159
	Referências Bibliográficas.....	173

Lista de Figuras

Fig. 1-1: Giroscópio RLG - <i>Ring Laser Gyroscope</i>	33
Fig. 1-2: Representação típica completa de um Giroscópio a fibra óptica operando em malha aberta.	34
Fig. 2-1: Mudança de caminho em um anel interferométrico poligonal regular, (a) em repouso; (b) co-rotacionado; (c) contra-rotacionado.....	38
Fig. 2-2: Análise geométrica do efeito de Sagnac sobre um lado do caminho poligonal	38
Fig. 2-3 - Configuração mínima de um Giroscópio a Fibra Óptica operando em malha aberta	41
Fig. 2-4: - Polarização Dinâmica de $I_d(\Delta\phi_s)$ sem rotação (a) e com rotação (b)	45
Fig. 2-5 – Mínimo sinal $\Delta\phi_s$ detectável no Giroscópio.	47
Fig. 2-6: Desvio de fase de Sagnac ϕ_s em função da Rotação Ω	49
Fig. 2-7: A rotação é proporcional à diferença dos tempos no cruzamento por zero.	50
Fig. 2-8: Aplicação da técnica: sinal após $Z = 3$ períodos de integração.	52
Fig. 3-1: Configuração de um sintetizador PLL básico.....	55
Fig. 3-2: Implementação da técnica utilizando PLL.....	56
Fig. 3-3: Implementação da técnica utilizando DDS.....	58
Fig. 3-4: Diagrama de blocos de um dispositivo baseado em tecnologia DDS	60
Fig. 3-5: Redução do ruído de fase após sintetização pelo dispositivo DDS.	63
Fig. 3-6: Frequências pura e sintetizada	64
Fig. 3-7: Reconstrução por filtro LPF (Filtro Passa-Baixas).....	64
Fig. 3-8: Gráficos de simulação de um dispositivo DDS obtidos no <i>LabView</i> : O sinal senoidal corresponde a um sinal superamostrado e o sinal quadrado que acompanha o sinal senoidal é o sinal de saída do dispositivo.	65
Fig. 3-9: Montagens do AD9851 e do AD9850 em circuitos de avaliação em <i>proto-board</i>	67
Fig. 3-10: Programa desenvolvido em Delphi para calcular a palavra de controle do DDS AD985X, e programá-lo via porta paralela do computador	68
Fig. 4-1: Diagrama em blocos do demodulador de giroscópio a fibra óptica construído para validação da técnica.....	70
Fig. 4-2: Diagrama em blocos do emulador do GFO	72
Fig. 4-3: Amplificador de Transimpedância para monitoração de fotocorrente.	73
Fig. 4-4: Circuito amplificador de Transimpedância.....	74
Fig. 4-5: Circuito comparador operando com realimentação AC positiva.....	76
Fig. 4-6: Circuito implementado com o chip DDS.....	78
Fig. 4-7: Diferença entre o sinal ideal e o obtido através na saída do A/D no DDS	80
Fig. 4-8: Diferença de fase entre o sinal ideal e a saída do A/D no DDS após o comparador rápido	81
Fig. 4-9: Filtro de 5ª ordem e corte em 12 MHz. A ligação entre os capacitores C56 e C57 é uma associação paralela de valores comerciais.....	82
Fig. 4-10: Resposta do filtro de 5ª ordem e corte em 12 MHz.....	82
Fig. 4-11: Sinal antes (canal 2) e depois do filtro de 5ª ordem (canal 1).	83
Fig. 4-12: Diagrama de implementação da técnica na CPLD para medida de ΔT e T_0	84
Fig. 4-13: Esquema do programa VHDL implementado internamente na CPLD.....	85
Fig. 4-14: simulação do circuito de medidas desenvolvido em VHDL.....	87
Fig. 4-15: Esquemático da CPLD de medidas.....	87
Fig. 4-16: Geração do duty-cycle para emulação de um sinal de giro.	89

Fig. 4-17: Geração de <i>clock</i> para o DDS AD9851.	89
Fig. 4-18: Geração de <i>clock</i> para o microcontrolador PIC16F877A.	89
Fig. 4-19: Esquemático circuito de emulação.	90
Fig. 4-20: Esquemático elétrico do módulo de comunicação: microcontrolador PIC e driver RS232	91
Fig. 4-21: Diagrama de portas e conexões no Microcontrolador	92
Fig. 4-22: Diagrama de Blocos do AD8400.	93
Fig. 4-23: Diagrama de tempos do AD8400.	94
Fig. 4-24: Diagrama de tempos obtido na simulação utilizando o software ActiveHDL.	95
Fig. 4-25: Pinagem utilizada para comunicação.	96
Fig. 4-26: Esquema de ligação da CPLD 2 no circuito	96
Fig. 4-27: Forma de onda do emulador com <i>duty-cycle</i> variável.	97
Fig. 4-28: Módulo de ajuste da frequência do chip DDS.	99
Fig. 4-29: Módulos de ajuste do sinal do emulador do giroscópio.	100
Fig. 4-30: Módulo de obtenção de medições.	100
Fig. 4-31: Esquema do circuito de alimentação utilizado	101
Fig. 5-1: Simulação em <i>LabView</i> : sem aumento de resolução.	104
Fig. 5-2: Simulação em <i>LabView</i> - com aumento de resolução (4x).....	105
Fig. 5-3: Simulação em <i>LabView</i> : aumento de resolução de 100X.....	105
Fig. 5-4: Circuito eletrônico do protótipo para realização das medidas.	106
Fig. 5-5: Sinal emulado de 100 KHz com variação de 100 ns no <i>duty-cycle</i>	107
Fig. 5-6: Sinal emulado de 100 KHz com variação de 200 ns no <i>duty-cycle</i>	108
Fig. 5-7: Sinal emulado de 100 KHz com variação de 300 ns no <i>duty-cycle</i>	108
Fig. 5-8: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para zero ns.	109
Fig. 5-9: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 100 ns.	110
Fig. 5-10: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 200 ns.	110
Fig. 5-11: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 300 ns.	111
Fig. 5-12: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 400 ns.	111
Fig. 5-13: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 500 ns.	112
Fig. 5-14: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 600 ns.	112
Fig. 5-15: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 700 ns.	113
Fig. 5-16: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 800 ns.	113
Fig. 5-17: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 900 ns.	114
Fig. 5-18: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 1000 ns.	114
Fig. 5-19: Circuito utilizado para gerar pequenos atrasos (da ordem de picosegundos).	115
Fig. 5-20: Atraso gerado com potenciômetro todo em sentido horário.	116

Fig. 5-21: Atraso gerado com potenciômetro todo em sentido anti-horário	116
Fig. 5-22: Gráfico da Linearidade do potenciômetro (voltas) x tempo medido (ps).....	117
Fig. 5-23: Desvio Médio nas Medições (ps).	117
Fig. 5-24: Valor da resistência x tempo medido.....	118
Fig. 5-25: Tempo medido e tempo esperado	118
Fig. 5-26: Gráfico de resistência <i>versus</i> tempo esperado e tempo obtido	119
Fig. 5-27: Gráfico do tempo <i>versus</i> resistência do potenciômetro.	120
Fig. 5-30: <i>Layout</i> final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro: PCI de dois <i>layers</i> somente.....	126
Fig. 5-31: Renderização 3D do <i>Layout</i> final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro – <i>top layer</i>	127
Fig. 5-32: Renderização 3D do <i>Layout</i> final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro – <i>bottom layer</i>	127
Fig. 5-33: circuito de transimpedância	128
Fig. 5-34: FPA e o amplificador operacional.	129
Fig. 5-35: Simulação para $f_m = 100,0000$ KHz, $f_{ref} = 20$ MHz e $f_m = 10,0100100$ MHz	131
Fig. 5-36: Simulação para $f_m = 100,0002$ KHz, $f_{ref} = 20$ MHz e $f_m = 10,0100100$ MHz	132
Fig. 5-37: Circuito do transceptor RS485.....	133
Fig. I-6-1: Estrutura de uma CPLD XC9572.....	138
Fig. I-6-2: Etapas de um projeto em Lógica Programável	140
Fig. I-6-3: Editor VHDL do ISE da Xilinx.....	141
Fig. I-6-4: Editor de esquemático VHDL do ISE da Xilinx.....	142
Fig. I-6-5: Editor de pinagem da CPLD do ISE da Xilinx	142
Fig. I-6-6: iMPACT - software para programação via JTAG da CPLD	143

Lista de Tabelas

Tab. 1-1: Diferentes tecnologias de giroscópios e suas correspondentes derivas	35
Tab. 2-1 - Resolução utilizando Clock Quase-Síncrono (K=100)	54
Tab. 3-1: Dispositivos DDS fabricados pela Analog Devices Inc.	66
Tab. 4-1: Descrição dos 40 bits que compõe a palavra de controle.	79

Glossário

AC	Corrente Alternada
D/A	Conversor Digital-Analógico
DDS	Direct Digital synthesis (Síntese Direta Digital)
FOG	<i>Fiber Optics Gyroscope</i> (Giroscópio a Fibra Óptica)
GFO	Giroscópio à Fibra Óptica
GPS	<i>Global Positioning System</i> (Sistema de Posicionamento Global)
HPF	<i>High Pass Filter</i> (filtro passa-altas)
INS	<i>Inercial Navigation System</i> (Sistema de Navegação Inercial)
IE	Interferência Eletromagnética
LPF	<i>Low Pass Filter</i> (filtro passa-baixas)
MEM	<i>MicroElectroMechanical System</i> (Sistema Micro-Eleto-Mecânico)
PLL	<i>Phase-Locked Loop</i> (Elo Travado em Fase)
PROM	<i>Programmable Read Only Memory</i> (Memória programável apenas de leitura)
PWM	<i>Pulse Width Modulation</i> (modulação por largura de pulso)
RLG	<i>Ring Laser Gyroscope</i> (Giroscópio Cavidade Laser em Anel)
RMS	<i>Root Mean Square</i> (Raiz Quadrática Média)
VCO	Oscilador Controlado por Tensão
VCXO	<i>Voltage Controlled Crystal Oscillator</i> (oscilador cristal controlado por tensão)
VI	<i>Virtual Instrument</i> (instrumento virtual)
VLS	Veículo Lançador de Satélite
SLV	<i>Satellite Launch Vehicle</i> (Veículo Lançador de Satélite)
SoC	<i>System on a Chip</i> (Sistema em um chip)

Lista de Símbolos

A	Área contida pelo caminho óptico	n_d	Eficiência quântica do fotodetector.
c	Velocidade da luz	N_e	Número de espiras
D	Diâmetro da bobina	N_P	Número de períodos de integração
E_{ns}	Tensão de ruído	P_0	Potência óptica
f_0	Frequência de saída do PLL	P_o	Potência óptica de pico incidente no fotodetector
f_c	Frequência do clock	q	Carga do elétron ($-1,602 \times 10^{-19}$ C)
F_e	Fator de escala do giroscópio	q	Carga do elétron
f_m	Frequência própria do giroscópio	R	Raio do disco
f_r	Frequência de referência do PLL	\mathfrak{R}	Responsividade do fotodiodo
f_s	Frequência do sistema	T	Período do sinal
ϕ_m	Coefficiente de modulação	t	Tempo
ϕ_s	Desvio de fase de cada feixe luminoso	v	Velocidade
h	Constante de <i>Planck</i> ($6,626 \times 10^{-34}$ J)	V_s	Tensão de saída
h	Constante de Planck	Z_r	Impedância da realimentação
h_v	Energia do fóton (1,503 eV)	$\Delta\phi_s$	Defasagem de Sagnac
I_0	Corrente de pico no fotodiodo	ΔL_N	Comprimento do caminho óptico aumentado N vezes
I_d	Corrente detectada no fotodiodo	Δt	Diferença de tempo
i_p	Corrente fotogerada.	Δt_N	Diferença de tempo aumentada N vezes
J_n	Função de Bessel de ordem n	λ	Comprimento de onda luminosa
K	Constante de proporcionalidade	ω	Velocidade angular
l	Perímetro		
M	Coefficiente da frequência do clock		
N	Coefficiente da frequência do clock		
n	Índice de refração		

Trabalhos publicados pelo autor

Trabalhos completos em anais de congressos:

Nacional

CHAGAS FERREIRA, Elnatan; FERNANDES, A. P.; SIQUEIRA DIAS, José Antonio; Implementação de uma Nova Técnica para Demodulação Digital em Giroscópio a Fibra Óptica, 11/2007, V Simpósio Brasileiro de Engenharia Inercial - SBEIN, Vol. 1, pp.1-5, Rio de Janeiro, RJ, Brasil, 2007

Internacional

FERNANDES, A. P.; CHAGAS FERREIRA, Elnatan; SIQUEIRA DIAS, José Antonio; New Technique for the Implementation of Digital Demodulation of Fiber Optic Gyroscopes, 11/2007, 19 th International Congress of Mechanical Engineering - COBEM 2007, Vol. 1, pp.1-6, Brasília, DF, Brasil, 2007

Capítulo 1

Introdução

Nas próximas seções são apresentadas motivações para o uso dos sistemas de navegação inercial, a importância do giroscópio em seu desenvolvimento, assim como exemplos de aplicações do giroscópio a fibra óptica dentro da navegação inercial. Por último, será apresentada a estrutura dos capítulos que se seguem neste trabalho.

1.1 Sistemas de Navegação Inercial

A navegação tem sua origem nos primórdios da civilização, sendo decorrente da necessidade do homem explorar os mares, descobrir novas terras e conquistar o espaço. A navegação acompanha e impulsiona o desenvolvimento da humanidade, sendo definida de forma simples como o processo de orientar os movimentos de um veículo de um ponto até outro da Terra ou mesmo do espaço. Tal definição implica em dois tipos de operações: primeiro, a determinação de uma posição e velocidade inicial do veículo em relação a um sistema referencial conhecido e, segundo, guiar, ou seja, modificar o curso do veículo tal que o destino desejado seja alcançado. Desde a década de 40, os sistemas de navegação, em especial os Sistemas de Navegação Inercial (INS: *Inertial Navigation System*) tornaram-se importantes componentes em aplicações científicas e militares [1]. Os sistemas de navegação inercial podem ser assistidos ou auxiliados (por exemplo, por GPS) ou podem ser autônomos que são aqueles sistemas de navegação que são auto contidos, ou seja, não necessitam de informações externas ao sistema para determinação de suas variáveis de navegação.

A navegação inercial pode ser realizada em diferentes modalidades de navegação como marítima, submarina, terrestre, aérea e até espacial. São crescentes os interesses no desenvolvimento e na utilização de veículos terrestres, aéreos ou submarinos em tarefas de inspeção, transporte, monitoração e auxílio ao ser humano. A navegação tornou-se uma técnica bastante complexa cujo componente básico é a aquisição e o processamento de dados provenientes de sensores para a determinação do conjunto de pontos que fornecem a posição, a velocidade e a atitude ao longo do tempo do veículo em sua trajetória.

O contínuo investimento em armamentos tem impulsionado o desenvolvimento de tecnologias de ponta para navegação inercial, o qual pode representar um diferencial em operações militares. A tecnologia em navegação inercial de precisão é tratada como secreta por governos de vários países, uma vez que com seu uso é possível, entre outras aplicações, fabricar armamentos balísticos de longo alcance. A navegação inercial de ponta também é impulsionada por sistemas complexos de alto valor agregado, como por exemplo, o alinhamento de plataformas de petróleo no mar.

A determinação de trajetórias em navegação inercial é um importante caso particular da estimação de estados na Teoria de Sistemas. A navegação inercial utiliza giroscópios (que medem velocidade de rotação angular) e acelerômetros (que medem aceleração) para manter estimativas de posição e velocidade do veículo no qual a Central Inercial é embarcada. Sabendo a orientação e posição inicial do veículo, as medidas da integração (matemática) da aceleração e da taxa de rotação fornecem a atitude e a trajetória do veículo.

Ambos os tipos de sensores fornecem respectivamente os valores instantâneos da aceleração e da velocidade angular nos seis eixos (para facilitar, na prática, admitem-se apenas três eixos, ou seja, assume-se coincidência entre os dois sistemas coordenados). A partir destes dados obtidos pelos sensores, é plausível através de cálculos matemáticos, descrever as variáveis associadas ao movimento do veículo em navegação, tais como sua velocidade e atitude ao longo do trajeto, assim como seus movimentos rotacionais. Através de giroscópios e acelerômetros se obtêm velocidade, atitude, direção, posição, velocidade inercial e aceleração. Os Giroscópios a Fibra Óptica, utilizados como sensores para medição de deslocamento ou razão angular, abrem novas possibilidades em diversas aplicações, especialmente no campo da navegação inercial, como por exemplo, em sistemas de navegação inercial do tipo *strapdown*.

Strapdown é o nome dado para o sistema integrado de medição inercial onde três acelerômetros e três giroscópios são montados sobre eixos ortogonais coincidentes e sobre uma mesma base rígida [10].

Este trabalho é focado em um tipo particular de giroscópio, o Giroscópio a Fibra Óptica (GFO ou, da sigla em inglês FOG, *Fiber Optics Gyroscope*). Os GFOs são usados em sua grande parte como complemento aos sistemas de posicionamento global (GPS - *Global Positioning System*) para sistemas de navegação de veículos terrestres, aeronaves, submarinos, navios e aplicações militares. Sistemas de sensores de atitude inerciais são também baseados em giroscópios. O giroscópio convencional (mecânico) com uma roda girante foi utilizado por anos em uma grande variedade de sistemas de navegação. Os giroscópios de fibra óptica e o de cavidade laser em anel (RLG - *Ring Laser Gyroscope*) são mais recentes e desenvolvidos, e estão substituindo a tecnologia mecânica[4].

Dentre os tipos de giroscópios existentes, o GFO é o mais moderno e tem evoluído bastante nestas últimas três décadas, passando de experiências pioneiras de física para dispositivos práticos e eficazes, encontrando-se atualmente em produção. Isto se deve não só a uma análise refinada da arquitetura do sistema e das técnicas de processamento de sinais, mas também ao progresso fundamental de várias tecnologias voltadas ao desenvolvimento de fibras ópticas, estudos e pesquisas aplicadas em engenharia.

Propriedades excepcionais dos giroscópios ópticos tais como ampla faixa dinâmica e não sensibilidade à aceleração linear, entre outras, estimularam o progresso de vários sistemas de navegação inercial que são muito demandados no mercado atual. A integração de sistemas de navegação inercial baseados em GFO com sistemas de navegação por satélite, como o GPS, possibilitou aplicações de uso em tecnologia comercial e militar.

Em oposição ao GPS, os giroscópios fornecem uma altíssima precisão em um tempo curto (centésimos de segundo até segundos), mas têm sua precisão reduzida em um tempo mais longo (minutos ou horas) principalmente devido aos efeitos de deriva ou *drift* (estabilidade dos circuitos de alimentação, variações de temperatura, erros de precisão etc.). Por sua vez, sistemas de posicionamento por satélite (GPS) podem oferecer uma ótima precisão nesse tempo maior. Entretanto, em espaços de tempo curtos sua precisão é baixa devido à resolução do satélite. Portanto, estas duas técnicas são freqüentemente associadas: o

giroscópio é usado para prover um posicionamento quase instantâneo e preciso, enquanto o GPS é utilizado para prover uma referência ao giroscópio.

As vantagens inerentes dos sensores a fibra óptica (que incluem seu tamanho reduzido e conseqüente baixo peso, passividade elevada, de baixa potência, imune à IE, de sensibilidade elevada e banda larga) foram usadas amplamente para diminuir suas desvantagens: custo elevado e pouca familiaridade ao usuário final.

Como exemplo do grande mercado deste tipo de sensor, os giroscópios baseados em Sistemas Micro-Eleto-Mecânicos (MEMS - *MicroElectroMechanical Systems*) têm alcançado lugar de destaque em vários tipos de aplicação, como aumento de confiabilidade e precisão em sistemas GPS, estabilização de plataformas de automóveis, aeronaves, robôs, antenas, telefones celulares, equipamentos industriais e, mais recentemente, aplicações aeroespaciais [4].

A aplicação mais importante de sensores a fibra óptica em termos de valor agregado é certamente o Giroscópio a Fibra Óptica. Reconheceu-se muito cedo que o GFO poderia oferecer o prospecto de um sensor inercial de estado sólido sem peças móveis, confiabilidade sem precedentes e a um custo de produção baixo para aplicações estratégicas.

1.2 Giroscópio a Fibra Óptica

A tecnologia mecânica permite atualmente construir giroscópios de alta precisão que equipam plataformas inerciais de aviões, satélites e veículos espaciais. Dois aspectos importantes neste tipo de dispositivo o fazem apresentar custos elevados, motivando o uso do GFO em sua substituição. Em primeiro lugar, a estrutura mecânica do dispositivo está sujeita a acelerações que levam à necessidade da correção do valor medido da rotação, o que normalmente é feito utilizando-se complexos algoritmos de compensação no software do computador de bordo. Esse problema torna mais complexo o processamento de sinal. Em segundo lugar, no intuito de reduzir o atrito entre as partes móveis e aumentar a compactação, esses equipamentos são construídos utilizando tecnologia de mecânica fina.

Como alternativa ao giroscópio mecânico, surgiram os giroscópios ópticos, que empregam basicamente um interferômetro na configuração conhecida como “interferômetro de Sagnac” como sensor de rotação. O conceito do interferômetro foi concebido em 1913 pelo físico francês George Marc Sagnac que mostrou como medir velocidades de rotação usando a luz [2]. Ele mostrou que um anel interferométrico poderia medir sua própria velocidade angular comparada a um referencial inercial. Em seu experimento, a diferença de fase observada entre duas ondas de luz contrapropagantes é proporcional à superfície delimitada pelo caminho óptico. O resultado da interferência, medido como uma variação na potência do sinal, fornece a velocidade angular. A invenção do laser permitiu o desenvolvimento do primeiro giroscópio óptico, o Giroscópio de Cavity Laser em Anel (RLG - *Ring Laser Gyroscope*) visto na Fig. 1-1, e depois do Giroscópio a Fibra Óptica (FOG - *Fiber Optic Gyroscope*) conforme a Fig. 1-2, ambos baseados no efeito *Sagnac*. O desenvolvimento do RLG está relacionado ao desenvolvimento do laser (1962), e o FOG relacionado ao da fibra óptica (1976).

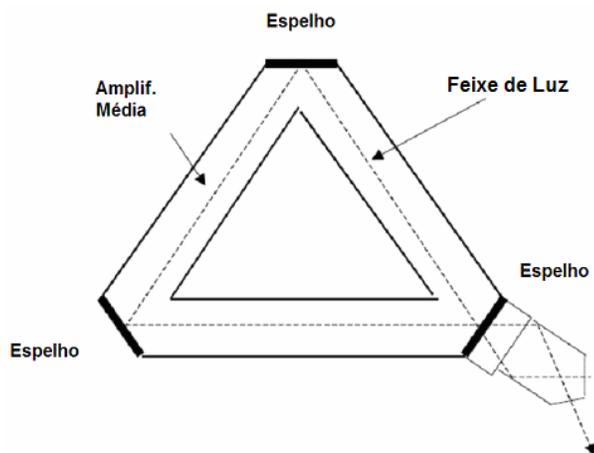


Fig. 1-1: Giroscópio RLG - *Ring Laser Gyroscope*

Desta maneira, as principais vantagens dos giroscópios ópticos sobre os mecânicos, essencialmente são [4]: não possuem partes móveis; não é necessário tempo de aquecimento (*warm-up*); não são sensíveis à gravidade; possuem grande faixa dinâmica; fornecem leitura digital e têm tamanho reduzido.

Como mencionada anteriormente, a taxa de rotação medida por um giroscópio óptico está diretamente relacionada com a defasagem existente entre dois feixes luminosos

contrapropagantes em um caminho óptico (espiras de fibra óptica no caso do GFO) quando o plano da espira é submetido à rotação. Esta onda luminosa, ao sair da espira, é transformada em um sinal elétrico de corrente (em um dispositivo fotodetector), para ser analisada e processada.

Giroscópios a fibra óptica baseados no efeito de Sagnac apresentam alta resolução quando operados com demodulador em malha fechada [20], mas sua alta resolução é alcançada empregando componentes de alto custo no esquema de demodulação, inviabilizando assim seu uso para aplicações de baixo custo [26][29].

Em um giroscópio a fibra óptica, a informação da taxa de rotação é obtida a partir do deslocamento de fase medido entre dois feixes de luz contrapropagantes no *loop*. A luz detectada na saída das espiras é convertida em corrente elétrica por um fotodetector, usualmente um fotodiodo de resposta rápida. A Fig. 1.2 mostra uma representação típica completa de um giroscópio a fibra óptica operando em malha aberta.

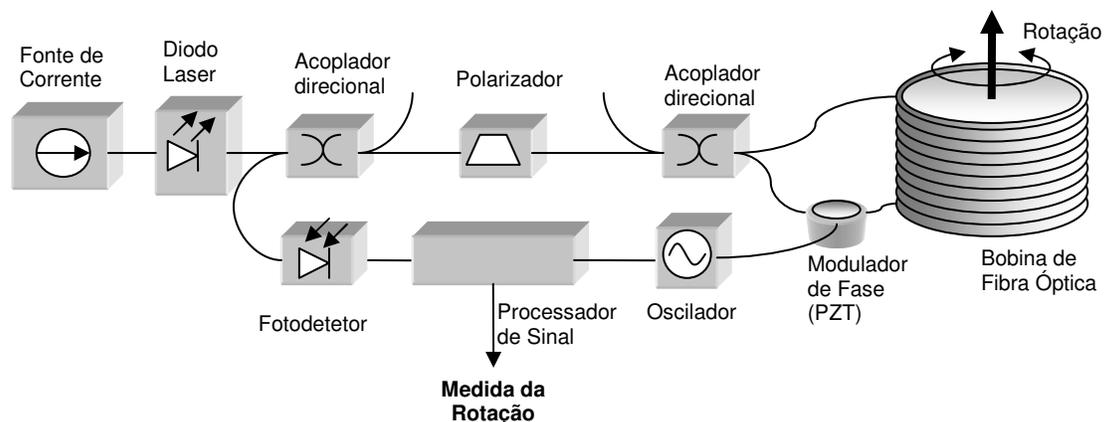


Fig. 1-2: Representação típica completa de um Giroscópio a fibra óptica operando em malha aberta.

1.3 Campos de Aplicação

Os campos de aplicação dos giroscópios são classificados de acordo com a sua deriva, resolução e sensibilidade. Para alcançar melhor relação custo/benefício, cada tecnologia específica corresponde a uma classe de giroscópios:

- 100 graus/hora: aplicação em sistemas de baixo desempenho que necessitam de informações em um espaço de tempo muito curto. Navegação de automóveis usa giroscópio desta classe para indicar uma curva, por exemplo. Essa informação, acoplada a um GPS padrão (10 a 30 metros de resolução), permite indicar uma rápida mudança de pista;
- 1 grau/hora: aplicação em estabilização de helicópteros;
- 0.1 grau/hora: aplicação em Giro Bússola;
- 0.01 grau/hora: aplicações em mísseis, aviação, submarinos, investigação subaquática e cartográfica, onde o GPS não pode ser utilizado;
- 0.001 grau/hora: aplicações em satélites, naves espaciais. Para tais aplicações, os giroscópios devem ser bastante robustos, com alto desempenho. Giroscópios mecânicos são agora substituídos pelos giroscópios a fibra óptica, que são confiáveis, e antes eram usados somente para aplicações terrestres.

A Tab. 1.1 mostra as diferentes tecnologias de giroscópios e sua correspondente performance.

Tab. 1-1: Diferentes tecnologias de giroscópios e suas derivas correspondentes

Tecnologia do Giroscópio	Princípio	Deriva
RLG	Efeito Sagnac	De 1°/h a 0.003°/h
FOG	Efeito Sagnac	De 100°/h a 0.001°/h
MEMS	Efeito Coriolis	De 1°/h a 0.1°/h

Para o giroscópio a fibra óptica existe basicamente três tipos de uso: medição de posição, controle de atitude e medição de direção absoluta. Para determinar a posição de um veículo, o GFO é usado como referencial inercial e provê um ângulo de azimute. Em sistemas

de medida de atitude, o GFO também mede a inclinação dos corpos em movimento. Para medida de direção absoluta, o GFO é usado para medir a razão de rotação da Terra como função da direção.

1.4 Estrutura da Tese

O objetivo principal deste trabalho é apresentar a implementação de uma nova técnica para demodulação digital de sinal de giroscópio a fibra óptica, a partir da técnica de demodulação por clock “*quasi-síncrono*”, baseado na teoria do *zero crossing*.

O presente trabalho encontra-se subdividido em seis capítulos, sendo que nesse primeiro capítulo foram apresentados os conceitos iniciais e a importância de um sistema de navegação inercial, assim como os tipos de giroscópios mecânicos e ópticos e, por fim, o giroscópio a fibra óptica e suas aplicações.

No segundo capítulo são discutidos mais a fundo os conceitos do giroscópio a fibra óptica, desde a teoria de seu funcionamento até técnica de demodulação de *zero crossing*.

O terceiro capítulo traz algo sobre a tecnologia de síntese de frequências através do uso de DDS (*Direct Digital Synthesis* ou Síntese Direta Digital), mostrando conceitos, aplicações e uma comparação com a conhecida tecnologia de PLL (*Phase Locked Loop*).

No quarto capítulo é apresentada a implementação do circuito eletrônico elaborado para validação prática da técnica proposta no segundo capítulo. Entre outras tecnologias, o circuito faz uso da DDS para síntese de frequência *quasi-síncrona*.

O quinto capítulo apresenta resultados práticos e a aplicação da técnica, propondo o desenho do circuito final do demodulador digital, voltado para aplicações práticas reais com o giroscópio a fibra óptica. Isto é feito empregando a técnica apresentada e testada no circuito indicado no quarto capítulo.

E, finalmente, conclusões, sugestões para trabalhos futuros na área e as publicações sobre este trabalho são mencionados no sexto capítulo.

Capítulo 2

Princípio de funcionamento

Neste capítulo é introduzido o princípio de funcionamento do giroscópio a fibra óptica, apresentando as características de um sinal interferométrico de Sagnac, as expressões matemáticas que descrevem seu comportamento nos domínios do tempo e da frequência, e também sua configuração mínima. Esse estudo, sobre os princípios de funcionamento e física, é de suma importância para o entendimento dos Giroscópios a Fibra Óptica.

2.1 O Efeito *Sagnac*

O efeito Sagnac pode ser definido como o efeito do deslocamento relativo de fase entre dois feixes de luz que percorreram caminhos idênticos em direções opostas em um caminho fechado [2]. O giroscópio a fibra óptica é baseado no efeito de Sagnac, o qual produz uma diferença de fase $\Delta\phi_s$ proporcional a taxa de rotação Ω em um anel interferométrico. Este efeito pode ser explicado, considerando um caminho poligonal regular $M_0M_1... M_{N-1}M_0$. [3]. No repouso, ambos os caminhos opostos são iguais ao redor do centro. Fora do repouso, quando o caminho co-rotacionado é aumentado para $M_0M'_1... M'_{N-1}M'_N$ e se o caminho contra-rotacionado é decrementado para $M_0M''_1... M''_{N-1}M''_N$. A Fig. 2-1 mostra a mudança de caminho em um anel interferométrico poligonal regular, (a) em repouso; (b) co-rotacionado; (c) contra-rotacionado.

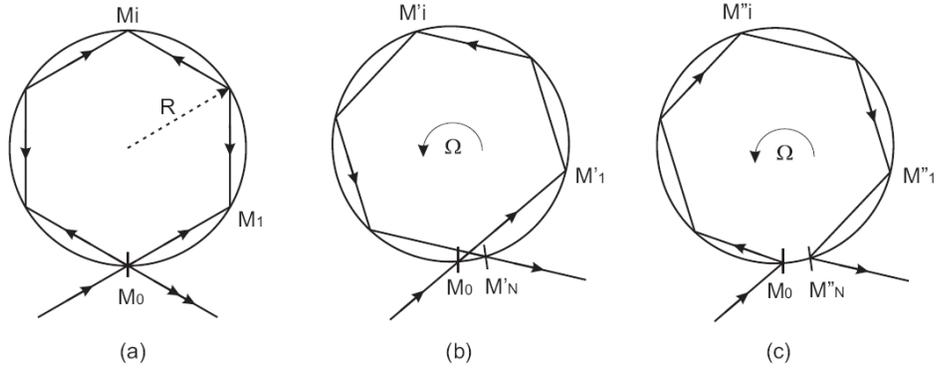


Fig. 2-1: Mudança de caminho em um anel interferométrico poligonal regular, (a) em repouso; (b) co-rotacionado; (c) contra-rotacionado

É fato que um observador em repouso no centro inercial de referência do caminho fechado, observa que os pontos M_i movem-se no círculo de raio R , e a luz se propaga pelos lados do polígono $M'_i M'_{i+1}$ ou $M''_i M''_{i+1}$ ao invés de $M_i M_{i+1}$. Sendo assim, o primeiro lado do caminho do polígono co-rotacionado se torna $M_0 M'_1$ (Fig. 2-2). Usando 2θ para representar o ângulo $M_0 O M_1$, $\delta\theta$ para o ângulo $M_1 O M'_1$, L_M para o comprimento $M_0 M_1$, e δL_M para o aumento do comprimento do caminho $M_0 M'_1 - M_0 M_1$, tem-se:

$$\begin{aligned} \delta L_M &= M_1 M'_1 \cos \theta \\ M_1 M'_1 &= R \delta\theta \end{aligned} \quad (2.1)$$

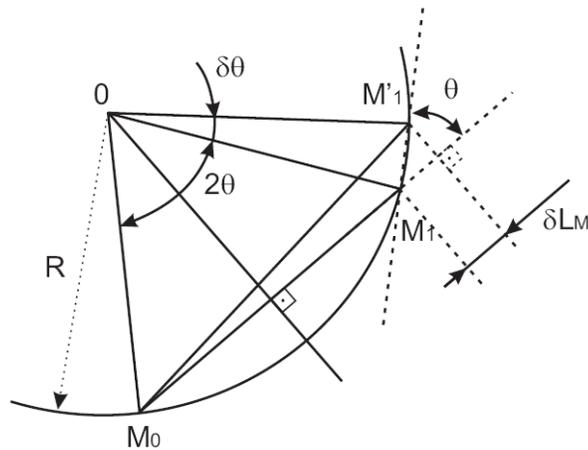


Fig. 2-2: Análise geométrica do efeito de Sagnac sobre um lado do caminho poligonal

O ângulo $\delta\theta$ é a princípio o ângulo de rotação durante a propagação entre M_0 e M_1

$$\delta\theta = \frac{L_M}{c} \Omega \quad (2.2)$$

e sendo que $L_M = 2R \text{ sen } \theta$, e a área do triangulo M_0OM_1 é $A_t = (R \text{ sen } \theta)(R \text{ cos } \theta)$, isto resulta

$$\delta L_M = \frac{2A_t \Omega}{c} \quad (2.3)$$

O fenômeno é observado no caminho em repouso onde a luz sempre se propaga com velocidade c , portanto, o aumento do caminho δL_M corresponde a um aumento δt^+ do tempo de propagação

$$\delta t^+ = \frac{\delta L}{c} = \frac{2A_t \Omega}{c^2} \quad (2.4)$$

onde existe este mesmo incremento para cada lado do polígono e a variação oposta $\delta t^- = -\delta t^+$ na direção contra propagante. A diferença Δt_v do tempo de propagação entre os dois caminhos opostos fechados no vácuo é então dado por

$$\Delta t_v = 2 \frac{\sum A_t \Omega}{c^2} = \frac{4A \Omega}{c^2} \quad (2.5)$$

onde $\sum A_t$ é a soma de todas as áreas trianguladas (isto é, de toda área fechada A). Medido em um interferômetro, esta diferença de tempo resulta na diferença de fase

$$\Delta \phi_s = \omega \Delta t_v = \frac{4\omega A}{c^2} \Omega \quad (2.6)$$

sendo que ω é a frequência angular da onda. Pode ser mostrado que este resultado é muito generalizado e pode ser estendido para qualquer eixo de rotação e para qualquer caminho fechado, mesmo se eles não estiverem contidos no plano, usando o produto escalar $A \cdot \Omega$

$$\Delta\phi_s = \frac{4\omega}{c^2} A \cdot \Omega \quad (2.7)$$

onde Ω é o vetor taxa de rotação e A é o vetor área equivalente do caminho fechado definido em termos da integral de linha

$$A = \frac{1}{2} \oint r \times dr, \quad (2.8)$$

sendo r a coordenada vetorial radial. O Efeito de Sagnac aparece como o fluxo do vetor rotacional Ω através de uma área fechada.

Para uma fibra de comprimento L enrolada N vezes numa bobina de diâmetro D , tem-se que:

$$\begin{aligned} A &= \frac{\pi D^2}{4} \\ N &= \frac{L}{\pi D} \\ \omega &= \frac{2\pi c}{\lambda} \end{aligned} \quad (2.9)$$

Substituindo as equações 2.9 na equação 2.7:

$$\Delta\phi_s = \frac{2\pi LD}{\lambda c} \Omega = F_s \Omega, \quad (2.10)$$

onde F_s é conhecido como o fator de escala do Giroscópio.

Para um dado λ e uma dada área A , o fator de escala F_e pode ser ajustado para N (ou L_N), cujo limite é imposto, entre outras coisas, pela atenuação da fibra óptica, tipicamente de 1 dB/Km. Em um girômetro da classe de navegação inercial, se escolhermos $D = 20$ cm, $L_N = 0,5$ Km, $\lambda = 1$ μ m e $\omega = 0,1$ °/h, obtem-se $\Delta\phi_s = 1$ μ rad [7].

2.2 Configuração Típica

A representação esquemática ilustrada na Fig. 2-3 mostra os principais componentes optoeletrônicos da configuração mínima de um giroscópio interferométrico a fibra óptica operando em malha aberta:

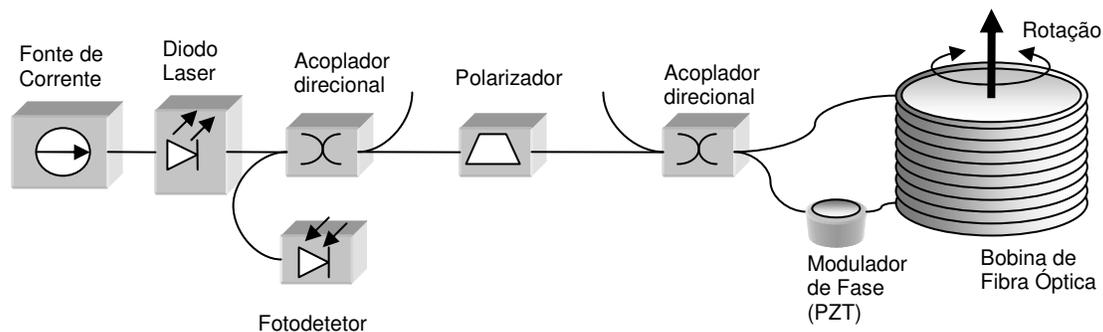


Fig. 2-3 - Configuração mínima de um Giroscópio a Fibra Óptica operando em malha aberta

O diodo laser tem sua saída conectada a um acoplador direcional, cuja função é separar a onda óptica incidente do laser da onda que retorna com informação de rotação. A necessidade deste acoplador é para obtenção de uma entrada-saída comum no GFO. O sinal de saída do polarizador, ao atingir o segundo acoplador direcional, tem sua potência dividida em duas parcelas iguais que se propagam em sentidos opostos na bobina de fibra óptica dando origem a dois feixes idênticos e contrapropagantes. Os sinais contrapropagantes, após se propagarem pela bobina de fibra óptica em caminhos idênticos e opostos, retornam à entrada do acoplador. A onda resultante com a informação de $\Delta\phi_s$, passa pelo polarizador para retornar finalmente ao acoplador de entrada, que a encaminha ao fotodetector. Com esta configuração,

garante-se que o caminho óptico percorrido pelas ondas contrapropagantes seja o mesmo, e que $\Delta\phi_s$ seja a única causa para a diferença de fase existente no momento da detecção.

Para minimizar interferências externas ao efeito de Sagnac e para garantir uma perfeita interação no giroscópio, o feixe de luz que é injetado em sentidos opostos na fibra óptica deve percorrer caminhos ópticos idênticos e ter os mesmos modos de polarização espacial. Para se obter um modo de polarização espacial uniforme usa-se fibra óptica monomodo e também um polarizador no circuito óptico antes do acoplador direcional que direciona o feixe de luz na bobina de fibra óptica. O polarizador é introduzido no circuito para servir como filtro de modo de polarização, permitindo que apenas um dos modos de polarização se propague, reduzindo assim erros na medida da rotação devido a acoplamentos entre modos propagantes.

A expressão (2.11) mostra a corrente de Pico I_o detectada no fotodetector [9]:

$$I_o = \frac{\eta_d P_o q}{h\nu}, \quad (2.11)$$

sendo:

q é a carga do elétron igual a $-1,602 \times 10^{-19}$ C;

h é a constante de *Planck* igual a $6,626 \times 10^{-34}$ J;

$h\nu$ é a energia do fóton igual a 1,503 eV;

P_o é a potência óptica de pico incidente no fotodetector, medida em Watts (W);

η_d é a eficiência quântica do fotodetector, que é aproximadamente igual a 0,68.

O valor da corrente I_d , resultante da interferência de dois feixes de intensidades iguais e diferença de fase de *Sagnac* de $\Delta\phi_s$, é expresso por [7][8]:

$$I_d = \frac{I_o}{2}(1 + \cos \Delta\phi_s), \quad (2.12)$$

onde ϕ_s é o desvio de fase experimentado em cada feixe luminoso da fibra.

Se considerarmos em função da velocidade de rotação Ω , teremos:

$$I_d = \frac{I_o}{2} (1 + \cos(F_e \Omega)). \quad (2.13)$$

$I_d(\Omega)$ é uma função par de Ω , ou seja, $I_d(\Omega) = I_d(-\Omega)$, o que implica em uma indeterminação na medida do sentido da velocidade de rotação Ω .

Para que se possa distinguir uma rotação horária de outra anti-horária da espira de fibra e ainda aumentar a sensibilidade do interferômetro, um modulador de fase é inserido em um dos caminhos ópticos da espira de fibra. O modulador de fase também ajuda a reduzir a ruído $1/f$ no amplificador de transimpedância, que é necessário para converter a corrente do fotodiodo em voltagem [28]. A modulação de fase é dada pela equação:

$$\phi(t) = \phi_m \text{sen}(\Omega_m t). \quad (2.14)$$

Devido à modulação de fase, o sinal de saída do giroscópio torna-se uma função ímpar de Ω , o que possibilita determinar o sentido de rotação Ω .

O sinal interferométrico I_d possui a seguinte forma:

$$I_d = \frac{1}{2} I_0 [1 + \cos(\Delta\phi_s) + \text{sen}(\omega_m t)]. \quad (2.15)$$

onde $\Delta\phi_s$ é o deslocamento de fase devido a uma rotação na espira.

O modulador de fase é construído enrolando-se a fibra óptica em um cilindro feito de material piezoelétrico, cujas paredes internas e externas são revestidas de cobre e providas de terminais de contato elétrico. O princípio do funcionamento do modulador é bastante simples: uma tensão elétrica senoidal com frequência igual ao modo radial de vibração é aplicada aos terminais do modulador. Devido ao efeito piezoelétrico, esta tensão provoca uma modulação na dimensão radial do cilindro e, portanto, uma variação do comprimento da fibra óptica do giroscópio [24].

$I_d(t)$ pode ser expandido em funções de *Bessel*:

$$I_d(t) = \frac{I_o}{2} \{1 + \cos(\Delta\phi_s [J_o(\phi_m) + 2J_2(\phi_m) \cos 2\omega_m t + \dots])\} - \frac{I_o}{2} \{ \text{sen} \Delta\phi_s [2J_1(\phi_m) \text{sen} \omega_m t + 2J_3(\phi_m) \text{sen} 3\omega_m t + \dots] \}, \quad (2.16)$$

que pode ser escrita na forma mais compacta:

$$I_d(t) = \frac{I_o}{2} \{1 + [J_o(\phi_m) + 2 \sum_n J_{2n}(\phi_m) \cos(2n\omega_m t)] \cos \Delta\phi_s\} - \frac{I_o}{2} \{2 \sum_n J_{2n-1}(\phi_m) \text{sen}[(2n-1)\omega_m t] \text{sen} \Delta\phi_s\}, \quad (2.17)$$

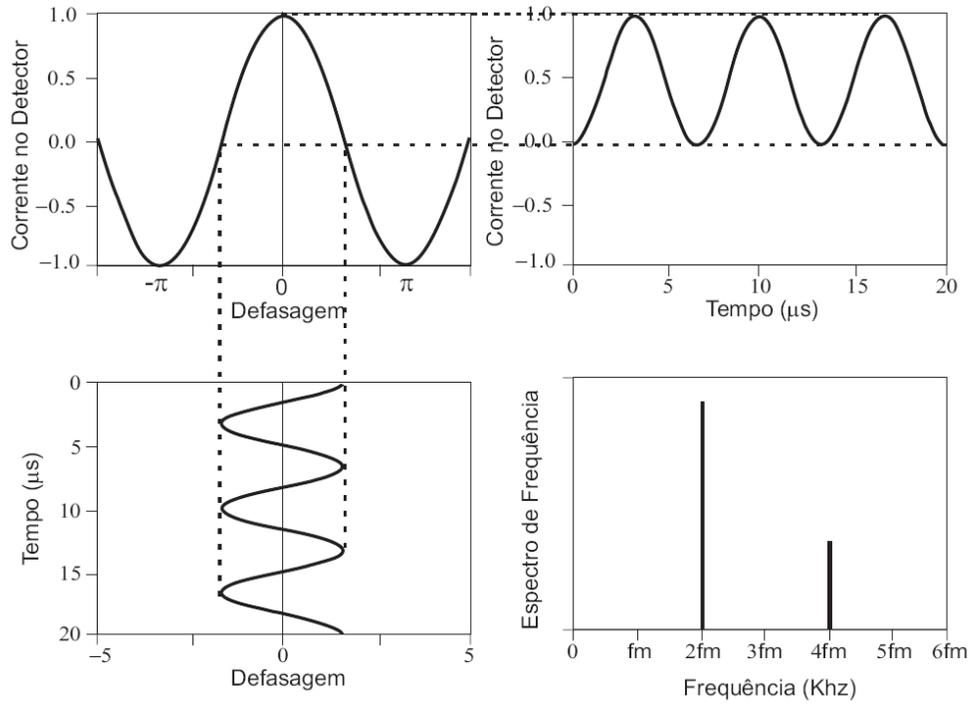
onde n é um número inteiro positivo e J_n é a função de *Bessel* de ordem n de primeira espécie.

Observa-se que as harmônicas ímpares de $I_d(t)$ são proporcionais a $\text{sen}(\Delta\phi_s)$, implicando em máxima sensibilidade para $\Delta\phi_s \ll 1$ rad. Para baixas rotações, o seno de $\Delta\phi_s$ pode ser aproximado por seu argumento, linearizando a relação $I_d(t)$ versus $\Delta\phi_s$.

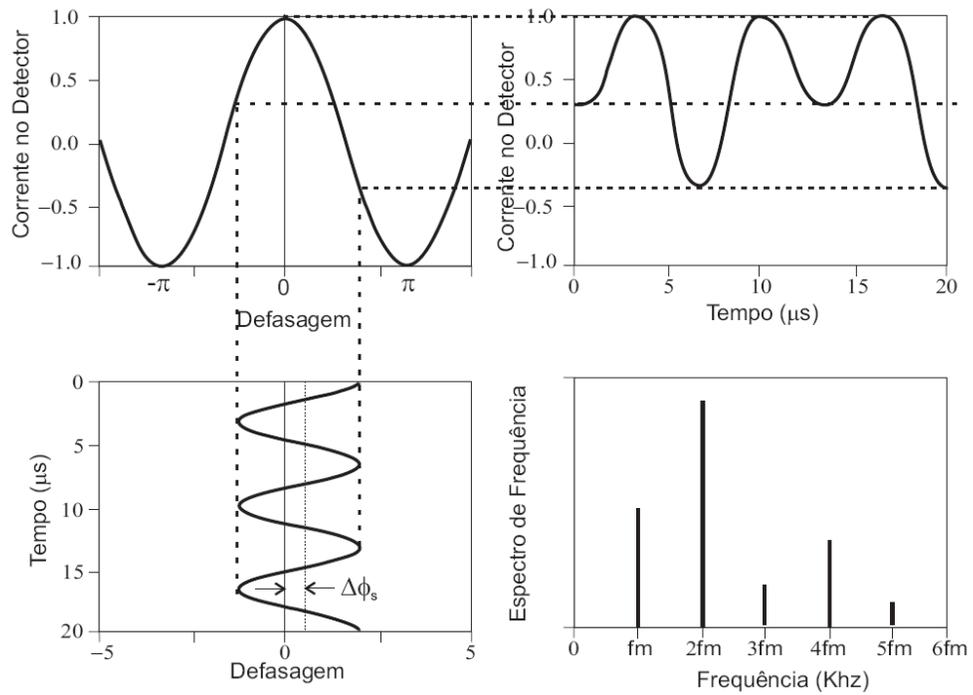
As Fig. 2-4(a) e Fig. 2-4(b) mostram as respostas em corrente do fotodetector sem rotação e com rotação diferente de zero, no espaço de tempo e das frequências.

Quando não há rotação da bobina, a saída do interferômetro exibe um comportamento periódico cujo espectro da frequência compreende os harmônicos pares de *Bessel* da frequência de modulação (ver Fig. 2-4 (a)). Já que a modulação de fase é simétrica, só os harmônicos pares estão presentes. A proporção das amplitudes dos harmônicos depende da amplitude da modulação de fase.

Quando a bobina é rotacionada, ocorre a modulação sobre a posição deslocada da resposta do interferômetro. A modulação é desbalanceada, assim os harmônicos fundamentais ímpares estarão presentes (ver Fig. 2-4 (b)). As amplitudes dos harmônicos fundamentais ímpares são proporcionais ao seno da taxa angular da rotação, enquanto os harmônicos pares têm um relacionamento com o cosseno. O esquema mais intuitivo de demodulação funciona detectando de forma síncrona o sinal na frequência fundamental.



(a) Sem rotação



(a) com rotação

Fig. 2-4: - Polarização Dinâmica de $I_d(\Delta\phi_s)$ sem rotação (a) e com rotação (b)

2.3 Teoria Zero Crossing

O método de demodulação por *zero crossing* é uma aproximação e baseia-se no fato que a informação de rotação pode ser extraída através dos cruzamentos de zero da parte AC do sinal foto-detectado, uma vez que essa componente alternada é proporcional à velocidade angular do giroscópio.

A partir da equação (2.27), percebe-se que quando $\Delta\phi_s = 0$, temos a parte DC da equação. Subtraindo a parte DC da parte AC, quando I_d cruza o zero, temos:

$$\cos(\Delta\phi_s + \phi_m \cos(\omega_m t)) = J_0(\phi_m) \cos \Delta\phi_s. \quad (2.18)$$

E, considerando o intervalo de tempo T_0 , T_1 , T_2 e T_3 , onde $\Delta T = T_3 - T_1$ e $T_0 = T_2$, temos:

$$\frac{\Delta\phi_s}{\phi_m} = \cos \frac{\omega_m T_0}{2} \operatorname{sen} \frac{\omega_m \Delta T}{4}. \quad (2.19)$$

Para $\Delta\phi_s \ll \phi_m$, temos:

$$\frac{\Delta\phi_s}{\phi_m} \cong k\Delta T, \quad (2.20)$$

sendo que valores típicos para ϕ_m são de 1.8 rad a 2.6 rad.

Esse resultado permite constatar que é possível calcular diretamente $\Delta\phi_s$ a partir da diferença de tempo entre os cruzamentos de zero do sinal interferométrico ΔT e o intervalo T_0 .

Para se ter uma idéia mais clara da sensibilidade em defasagem obtida com a técnica do *zero-crossing*, aplicando na equação (2.31) $\phi_m = 2 \text{ rad}$, $T_0 \cong \frac{1}{4} T_m = \frac{\pi}{2\omega_m}$ temos,

$$\frac{\Delta\phi_s}{\phi_m} = \cos(\pi/4) \cdot \frac{\pi \cdot \Delta T}{2T_m}, \quad (2.21)$$

$$\frac{\Delta\phi_s}{\phi_m} = \frac{\sqrt{2}}{2} \cdot \frac{\pi \cdot \Delta T}{2T_m},$$

$$\frac{\Delta\phi_s}{\phi_m} = \frac{\sqrt{2} \cdot \pi}{4} \cdot \frac{\Delta T}{T_m},$$

$$\Delta\phi_s = \frac{\sqrt{2} \cdot \pi}{2} \cdot \frac{\Delta T}{T_m},$$

$$\Delta\phi_s \cong 2.2 \cdot \frac{\Delta T}{T_m}. \quad (2.22)$$

Para $\Delta T = 100$ ps e frequência de modulação f_m de 100 KHz ($T_m = 10$ us), $\Delta\phi_s \cong 22$ μ rad.

A Fig. 2-5 mostra um gráfico [17] do mínimo sinal detectável de ϕ_s a partir de ϕ_m . Cada curva corresponde a uma harmônica de ordem “N” para uma largura de banda de 1 Hz, onde o ruído RMS equivale em potência ao sinal a ser medido.

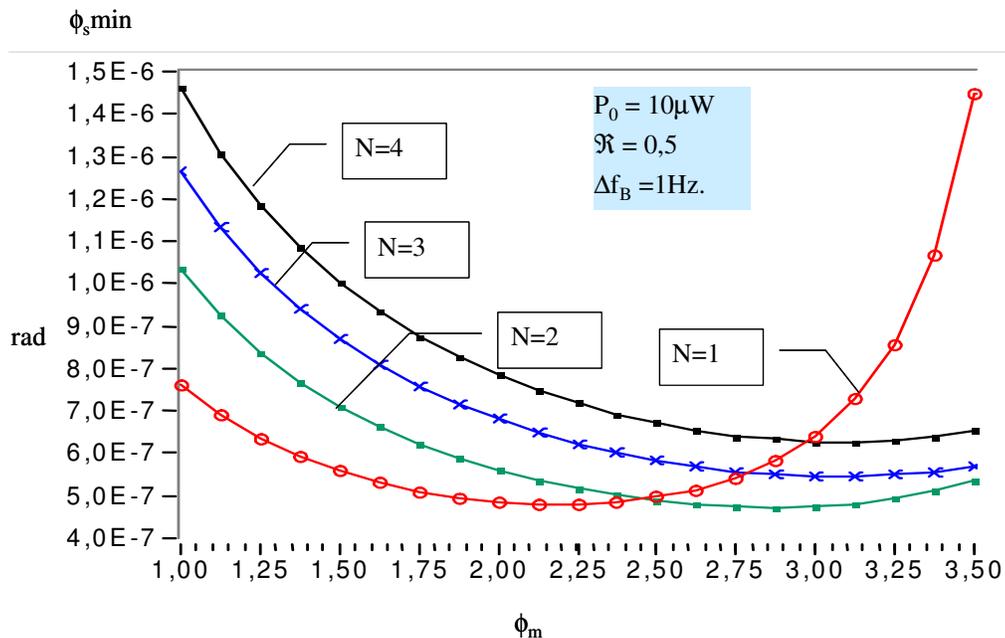


Fig. 2-5 – Mínimo sinal $\Delta\phi_s$ detectável no Giroscópio.

Para se ter idéia do mínimo sinal detectável (pico a pico) de um GFO típico, assumindo 25 Hz como largura de banda (valores usuais), e, admitindo uma distribuição de ruído gaussiano, a incerteza será $\sqrt{25}$ Hz, ou seja, o valor do mínimo sinal detectável (RMS) para 25 Hz será 5 vezes o mínimo sinal detectável. Para 0,5 μ rad @ 1 Hz, teremos 2,5 μ rad @ 25 Hz.

Como o valor pico-a-pico é da ordem de 6 vezes o valor RMS, teríamos então como mínimo sinal detectável $\Delta\phi_s = 15 \mu$ rad.

Sendo assim, resolvendo a técnica para $\Delta T = 100$ ps ($\Delta\phi_s \cong 22 \mu$ rad como visto na equação (2.33)), o valor mínimo detectável estará muito próximo do teórico. Conclui-se assim que detectar valores muito menores que o mínimo detectável é desnecessário para estas condições.

Utilizando a técnica descrita na próxima seção, o mínimo valor detectável (aproximadamente 10 μ rad) é atingido através de uma frequência f_c da ordem de apenas 20 MHz.

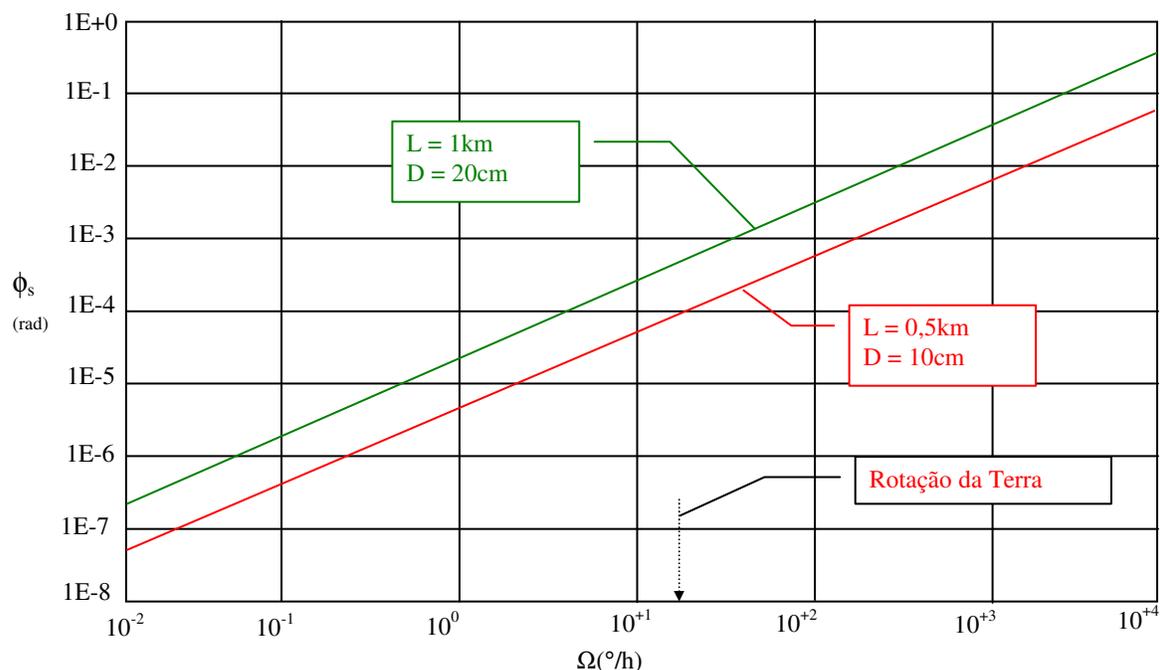


Fig. 2-6: Desvio de fase de Sagnac ϕ_s em função da Rotação Ω

É importante notar que o valor de ϕ_m depende de qual técnica será usada para a demodulação. Além disso, o mínimo sinal detectável, limitado pelo ruído do GFO, depende fortemente do valor de ϕ_m . [25]

2.4 Técnica de demodulação digital a ser validada

Basicamente são dois os tipos de demodulação do sinal do fotodetector do giroscópio: a demodulação analógica, em que o sinal é obtido e tratado por meio de eletrônica analógica, e a demodulação digital, que é escopo deste trabalho. Ambos os tipos se baseiam na determinação de $\Delta\phi_s$ e, conseqüentemente, na rotação a partir da medição entre os intervalos de cruzamento por zero da componente alternada do sinal de saída. Muitas técnicas foram propostas para medir $\Delta\phi_s$ através da teoria do *zero-crossing* usando circuitos analógicos [21][23], uma vez que a técnica digital de *zero-crossing* requer geralmente uma proibitiva e extremamente alta frequência de *clock* para se obter um giroscópio de alta resolução. Uma tentativa de sobrepujar este ponto fraco da técnica foi apresentada por McCain [27], com a introdução do *clock* assíncrono de baixa frequência. Entretanto, os erros DC e RMS presentes nos valores medidos de $\Delta\phi_s$ com o *clock* assíncrono limitaram a aplicação desse esquema de demodulação digital por *zero-crossing*, que foi praticamente abandonado, exceto para uso em sistemas de baixa resolução.

Para ilustrar a nova técnica de demodulação digital, na Fig. 2-7 é mostrada a corrente de saída no fotodiodo para $\Delta\phi_s = 0$ rad (a) e $\Delta\phi_s = 0,4$ rad (b), com $\phi_m = 2,0$. Observando essa figura, pode-se observar que os períodos T_0 e T_2 não mudam e praticamente permanecem iguais independente de $\Delta\phi_s$, mas T_3 e T_1 mudam. Uma vez que $\Delta\phi_s$, para pequenos valores, é aproximadamente proporcional à diferença dos intervalos de tempo $\Delta T = T_3 - T_1$, é possível calcular o deslocamento de fase $\Delta\phi_s$ simplesmente medindo estes intervalos de tempo e calculando $T_3 - T_1$.

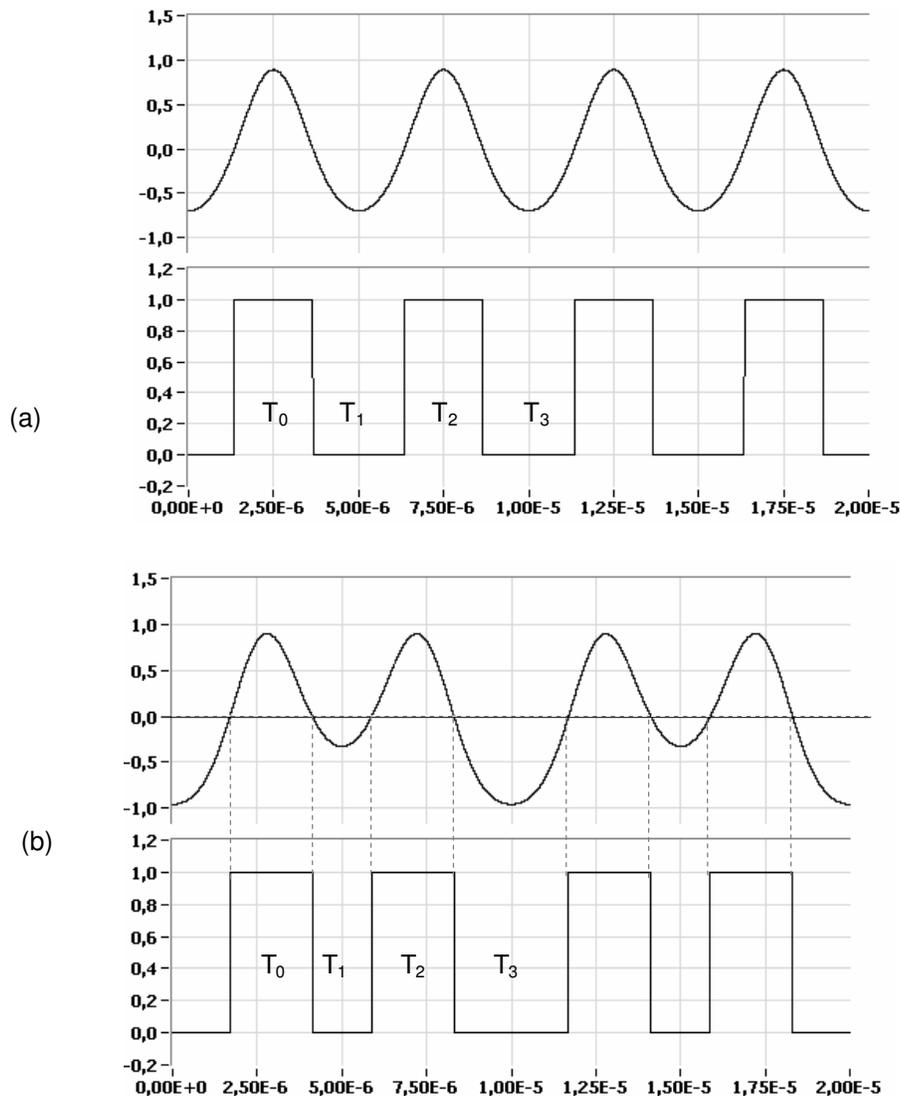


Fig. 2-7: A rotação é proporcional à diferença dos tempos no cruzamento por zero.

O valor de $\Delta\phi_s$ a partir da medida das diferenças de tempo, é dado pela expressão:

$$\Delta\phi_s \approx K\Delta T = K(T_3 - T_1) \quad (2.23)$$

Em um sistema de demodulação digital clássico síncrono, geralmente é medido o número de pulsos de *clock*, N_1 em T_1 , e o número de pulsos de *clock*, N_3 em T_3 para recuperar $\Delta\phi_s$, mas a resolução de ΔT está limitada pela razão de repetição de pulsos de *clock* usados para contar os intervalos de tempo de interesse. Por exemplo, utilizando um *clock* síncrono na

técnica convencional com frequência de 100 MHz, os pulsos de *clock* usados para medir T_1 e T_3 estarão espaçados por 10 ns, significando que qualquer sinal aplicado que desloque o cruzamento de zero por menos de 10 ns pode ser não detectável, usando $N_3 - N_1$ para recuperar $\Delta\phi_s$. Em muitos sistemas, tais como nos GFO, é desejável medir $T_3 - T_1$ para uma resolução menor que 1 ns. Portanto, a menos que o período dos pulsos do *clock* síncrono seja reduzido para menos de 1 ns, isto não será possível. Uma solução trivial para este problema é usar um *clock* síncrono com frequência maior que 1 GHz, a fim de medir os cruzamentos de zero. Esse esquema funciona em princípio, mas requer circuitos que usem micro-ondas, e que geralmente são caros e mais difíceis de projetar, pois necessitam de roteamento especial, placas de circuito impresso especiais, além de serem bem mais sensíveis a ruídos.

A técnica para demodulação digital de sinal do giroscópio a fibra óptica [14], no qual esse trabalho é baseado, oferece as vantagens de um circuito que opera com *clock* de alta frequência, mas com custo e simplicidade de um circuito que opera com frequências menores. Isso se torna possível medindo os intervalos de tempo com um *clock* assíncrono, que funciona como um nônio ou escala de *Vernier*, bastante utilizada em escalas de instrumentos de medida, como por exemplo, o paquímetro de nônio. Nesse esquema, a frequência do *clock* assíncrono (ou *quasi*-síncrono, ou seja, síncrono ao final de um certo número de ciclos) depende da frequência do sinal e da frequência do *clock* de demodulação, com uma proporção não inteira, para se obter uma medição com alta resolução do cruzamento de zero [13].

O principal problema de demodulação com um *clock* assíncrono é que um ruído de quantização é introduzido a fim de conseguir uma alta resolução associada com o esquema de *clock* síncrono rápido.

Para uma melhor compreensão denota-se a frequência do *clock* do demodulador com f_m , e a frequência do sistema como:

$$f_c = 2 \cdot f_m. \quad (2.24)$$

Utiliza-se a frequência do sistema para pequenos valores de $\Delta\phi_s$, porque o sinal de saída de giro é duas vezes mais rápido que o sinal de modulação. Se a relação destas frequências, f_c/f_s , é um inteiro, está se usando um sistema de *clock* síncrono de baixa

resolução, como descrito anteriormente. Nesse esquema pode-se medir consistentemente N_2 pulsos de clock no intervalo T_2 e N_1 pulsos de clock no intervalo T_1 , onde N_1 e N_2 são iguais.

A nova técnica proposta usa *clock quasi-síncrono*, cuja frequência tem que ser ajustada para:

$$f_c = k \frac{W}{Z} f_m, \quad (2.25)$$

onde k , W e Z são inteiros e o produto kW não pode ser um múltiplo inteiro de Z . Essa frequência de clock será síncrona para a frequência de modulação f_m a cada Z períodos, como mostrado na Fig. 2-8, em que um diagrama exibe o princípio de operação da técnica é apresentado para: $Z = 3$, $W = 8$, $k = 2$, e $f_m = 100$ kHz.

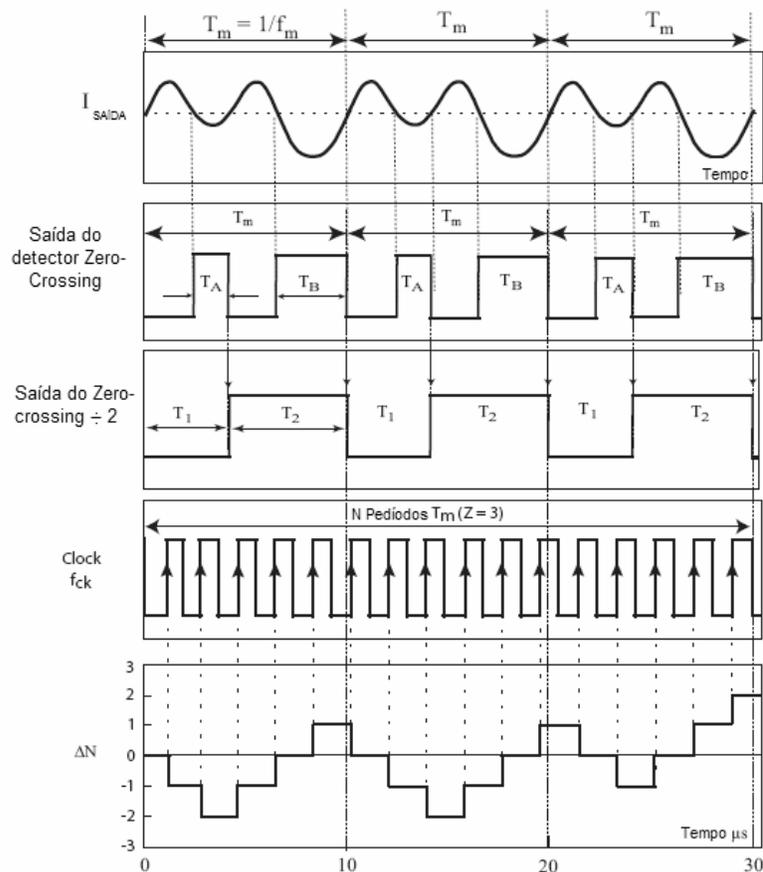


Fig. 2-8: Aplicação da técnica: sinal após $Z = 3$ períodos de integração.

Analisando o esquema de demodulação com *clock quasi-síncrono* durante Z períodos de integração e considerando a diferença dos intervalos de tempo ΔT positivos e negativos, como mostrado na Fig. 2-8, pode-se determinar o número de pulsos de *clock* acumulados durante intervalos T_1 (N_1 pulsos) e T_2 (N_2 pulsos), por Z períodos. Esses intervalos de tempo (T_1, T_2) são obtidos pela divisão por dois (com um *flip-flop*) do sinal na saída do detector de *zero-crossing*.

O valor da diferença entre N_1 e N_2 é dado por:

$$\Delta N = Z(N_2 - N_1) = (T_2 - T_1)f_m kW . \quad (2. 26)$$

Utilizando um tempo de integração igual a N períodos, eliminam-se os problemas de erro apresentados pelo *clock* assíncrono. Além disso, a frequência do *clock* praticamente não aumenta já que:

$$f_c = k \frac{W}{Z} \cdot f_m \cong k \cdot f_m . \quad (2. 27)$$

Por outro lado, se a relação f_c/f_s não for inteira, pode-se obter contagens diferentes que causam o ruído no esquema de demodulação com *clock* assíncrono.

Devido à estrutura simétrica desse esquema, somente contagens de múltiplos de dois são obtidas e, depois de Z períodos. O menor número de pulsos acumulados que pode ser contado em um período de frequência de modulação $T_m = 1/f_m$ é $\Delta N = 2$, e a máxima resolução do sistema pode ser escrita como:

$$\frac{T_2 - T_1}{T_m} = \frac{2}{kW} . \quad (2. 28)$$

Como a resolução de um demodulador com *clock* síncrono convencional é somente $2/k$ [27], a resolução do sistema proposto é aumentado W vezes usando o *clock* quase-síncrono. Portanto, consegue-se um aumento de resolução, como apresentado na

Tab. 2-1:

Tab. 2-1 - Resolução utilizando Clock Quase-Síncrono (K=100)

W	Z	Resolução (Z-Períodos)
10	9	0,002 (54dB)
100	99	0,0002 (74 dB)
1000	999	0,00002 (94 dB)

Uma vez que a implementação da técnica em circuito eletrônico consiste principalmente no tratamento de frequências quase-síncronas para a demodulação, torna-se necessária o uso de sintetizadores de frequências como PLL e DDS para a geração dessas frequências *quasi-síncronas*. O capítulo 3 apresenta a tecnologia desses sintetizadores e aponta as razões da então escolha da tecnologia DDS para integrar o circuito da implementação da técnica.

Capítulo 3

Síntese de Frequência com DDS

O uso de sintetizadores de frequências como o PLL ou DDS na geração de frequência *quasi*-síncrona se faz mandatório para a implementação da técnica em circuito eletrônico. Neste capítulo é discutida brevemente a síntese por PLL e o motivo que levou a DDS a ser escolhida como solução. O capítulo também contempla um estudo mais aprofundado da tecnologia DDS, apresentando seus conceitos, fundamentos, características e por fim, suas aplicações.

3.1 PLL versus DDS

A técnica mais comum e popular de síntese de frequência é certamente a síntese com PLL (*Phase Locked Loop* ou *elo travado em fase*). Para recordar, o PLL é um circuito eletrônico que consiste de um detector de fase, um Filtro Passa-Baixas, divisores e um oscilador controlado por tensão, conectado como na Fig. 3-1:

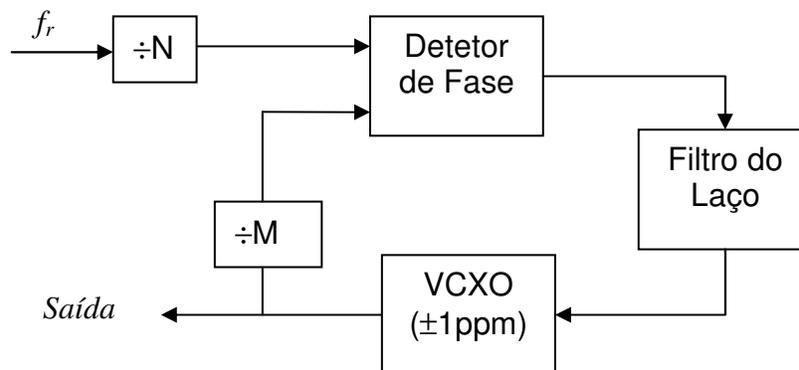


Fig. 3-1: Configuração de um sintetizador PLL básico.

O sintetizador contém uma fonte de referência com frequência f_r e um VCO com frequência f_o . A frequência de referência é dividida por um N inteiro e a frequência do VCO é dividida por M, e as duas ondas divididas são comparadas em um detector de fase. O travamento de fase é a condição de $f_r/N = f_o/M$, deste modo a frequência de saída é amarrada a uma fração racional de frequência. Ou seja, a saída é um múltiplo da frequência de entrada, enquanto a malha está amarrada, resultando:

$$f_o = \frac{M}{N} f_r. \quad (3.1)$$

Obtém-se dessa forma a frequência de *clock* necessária para a implementação da técnica de detecção dos cruzamentos de zero, com *clock quasi-síncrono*.

Um aspecto importante a ser destacado é que, para gerar as frequências utilizadas no circuito do demodulador do giroscópio, seria necessário utilizar um VCXO (*Voltage Controlled Crystal Oscillator*) com faixa de captura e *jitter* de frequência de ± 1 ppm, para o maior intervalo de medidas ($N = 999$ e $M = 1000$) gerando assim $f_c = 100,1001001$ MHz.

Na Fig. 3-2 temos um diagrama de blocos do circuito que implementa a técnica utilizando PLL para síntese da frequência quase-síncrona.

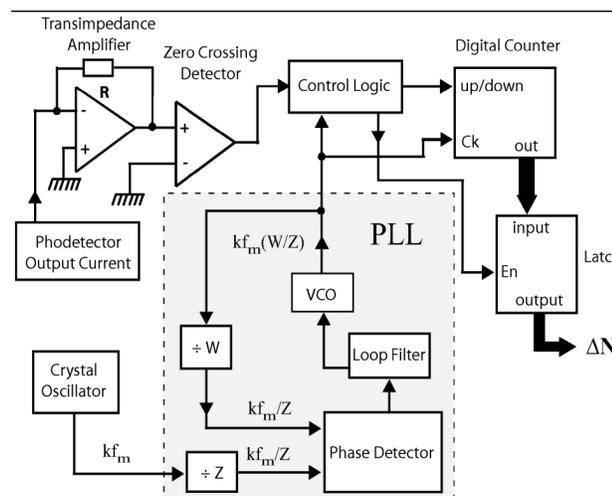


Fig. 3-2: Implementação da técnica utilizando PLL

A DDS (*Direct Digital Synthesis* – Síntese Digital Direta), por sua vez, consiste no uso de técnicas de processamento digital de sinais para gerar, a partir de uma frequência fixa e única, diversas frequências (e/ou fases), ajustadas digitalmente conforme a necessidade da aplicação. Em suma, dentro da arquitetura de um circuito baseado em tecnologia DDS, basicamente tal frequência única é dividida por um fator (definido na palavra de controle) que tipicamente varia entre 24 e 48 bits. Quanto maior o fator, maior será sua resolução, podendo ser ajustada a frequência até com resolução de sub-Hertz (μHz em alguns casos). Em alguns dispositivos a frequência fixa do sistema é multiplicada internamente por um circuito PLL, o que permite ao dispositivo DDS gerar sub-frequências inclusive maiores que a frequência fixa. Na prática, essa multiplicação serve para aumentar a resolução do sinal de saída do DDS para frequências menores que a fixa.

Sendo assim, uma das vantagens do dispositivo DDS é notadamente a sua resolução. Além da resolução, outra grande vantagem, que justifica sua aplicação em sensores, é que a frequência e a fase de saída são determinadas numericamente, portanto não há erros de *drift* por causa da temperatura, fadiga ou envelhecimento dos componentes, provendo grande flexibilidade. Porém, os circuitos baseados em tecnologia DDS possuem algumas restrições que devem ser levadas em conta em seu uso, como [31]:

- Limite para frequência fundamental menor que 40% da frequência fixa;
- Variação da amplitude em sinal senoidal (pode ser revertido com circuito adicional ao sistema);
- Distorção do sinal na saída do D/A, pois o sinal é obtido a partir de técnicas de amostragem digital.

A Fig. 3-3 mostra um diagrama de blocos do circuito que implementa a síntese da frequência *quasi*-síncrona da técnica utilizando DDS.

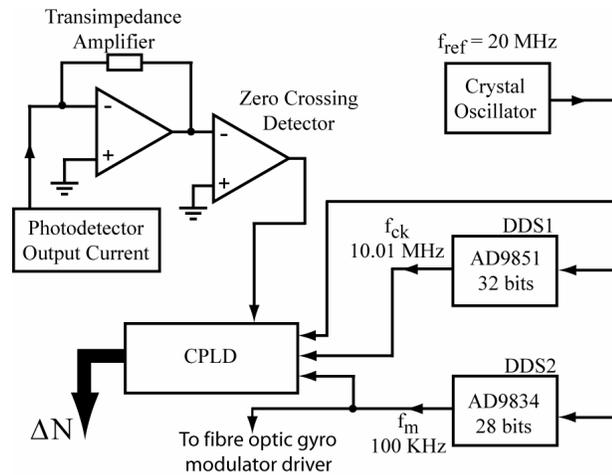


Fig. 3-3: Implementação da técnica utilizando DDS

Por um longo tempo os sintetizadores de frequência PLL foram os favoritos dos projetistas e engenheiros que precisavam de estabilidade, de programação em altas ou baixas frequência, e de alta qualidade de fontes de *clocks*. Os PLLs são largamente conhecidos, baratos e difundidos. No entanto, a tecnologia em DDS possui algumas vantagens em relação aos PLLs, entre elas [31]:

- é extremamente rápida em mudança de frequência. A DDS é muito mais ágil que um PLL, fazendo a técnica DDS ideal para aplicações em banda larga.
- a resolução de frequência da DDS é muito alta, podendo alcançar, em certos casos, até um milionésimo de Hertz.
- ampla faixa de frequência de saída, indo de 1 μ Hz a 150 MHz;
- modulação de fase extremamente rápida e simples;
- Baixo custo.

Um bom exemplo de comparação entre um PLL e um chip DDS é a característica do PLL de travar a saída na fase do sinal de entrada. Um simples PLL pode facilmente travar seu VCO para 10 MHz e prover um sinal de 20 MHz na saída. Um chip DDS pode chegar muito próximo a essa frequência de 20 MHz, porém com uma ligeira diferença, que é denominada ruído de fase. Para o chip DDS gerar 20 MHz, ele precisa de um *clock* de pelo menos duas

vezes a frequência gerada. Se for usado o multiplicador interno de 6 vezes, tem-se então um clock interno de 60 MHz para se gerar 20 MHz na saída. Porém, devido à resolução de 32 bits do chip DDS, obtém-se somente a frequência de 19,9999999954 MHz ou 20,000000009 MHz, sendo que os exatos 20 MHz não podem ser obtidos. A frequência de saída em DDS é uma divisão inteira exata por um fator de potência de dois, 2^N . A escolha do *clock* de referência de acordo com a frequência gerada é importante para aumentar a resolução e precisão do sistema.

Ainda que as frequências utilizadas no demodulador proposto nesse trabalho possam ser implementadas utilizando-se um PLL, contudo, devido à alta resolução dos chips DDS e facilidade de uso, optou-se pela conveniência dessa solução. A implementação através de DDS também permite bastante flexibilidade na construção do protótipo, pois como a frequência pode ser facilmente programada em uma grande faixa dinâmica, é possível testar diversas frequências para diferentes graus de resolução do demodulador do giroscópio a fibra óptica. Por exemplo, para aumentar a resolução de um *clock* de 10 MHz em 100 vezes, é necessária uma frequência de 1,01010 MHz. Para aumentar em 1000 vezes, o *clock* necessário já seria de 10,01001 MHz e assim por diante. Usando um dispositivo DDS fica muito mais fácil testar cada uma das frequências, por ser ele controlado digitalmente, uma vez que o sinal de saída de um dispositivo DDS é um sinal analógico controlado por uma palavra digital. Na próxima seção serão discutidas a teoria e a prática em DDS.

3.2 Conceitos e Fundamentos da Síntese Direta Digital

A arquitetura de um dispositivo DDS como apresentado anteriormente é feita a partir de blocos de processamento digital. Para entender o conceito de DDS, tomemos como modelo a geração de um sinal senoidal, cujos blocos consistem de cinco elementos fundamentais.

- *Clock* de frequência precisa para referência;
- Acumulador Digital de Fase;
- Memória PROM;
- Conversor D/A;
- Filtro passa-baixas (LPF) .

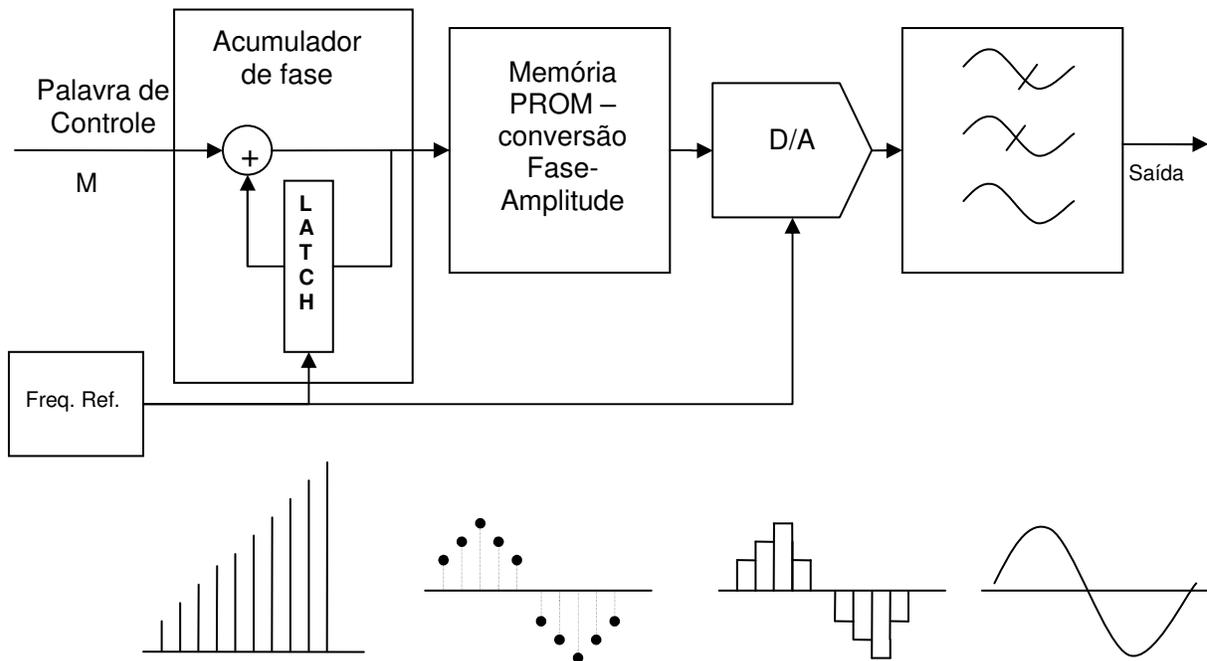


Fig. 3-4: Diagrama de blocos de um dispositivo baseado em tecnologia DDS

O acumulador de fase é um integrador digital que produz uma rampa de saída linear cuja inclinação é dada pelo Fator “M” (que faz parte da palavra de controle do dispositivo). Para gerar a amplitude, utiliza-se uma memória PROM, que contém o ciclo completo de um seno armazenado nela. O acumulador digital de fase, por sua vez, acumula a fase em passos de acordo com a palavra de controle, endereçando a memória PROM, que devolve o resultado em forma de amplitude fazendo, portanto, uma conversão de ângulo em amplitude. Basicamente a conversão de uma fase $\varphi(t)$ é feita em $\sin(\varphi(t))$. O D/A converte por sua vez essa informação de amplitude em uma onda senoidal analógica. O LPF (*Low Pass Filter* – Filtro Passa-Baixas) é o responsável por filtrar as frequências de *aliasing*, fazendo com que o sinal apareça como suavizado. Um *clock* externo de frequência “precisa” é necessário para gerar o *clock* de referência. A relação entre a frequência de saída, a frequência do *clock* de referência e o fator da palavra de controle de frequência, é determinada pela fórmula:

$$f = \frac{M \times f_{CLK}}{2^N} \quad (3.2)$$

onde:

f é a frequência de saída do DDS;

M é o fator da palavra de controle para a frequência desejada;

F_{CLK} é a frequência do clock de referência;

N é a longitude em bits do acumulador de fase.

As palavras de modulação de fase, controle e sintonia de frequência são carregadas no dispositivo DDS por meio de comunicação serial ou paralela. A tecnologia DDS é uma arquitetura de circuitos inovadora, que permite uma manipulação rápida de sua frequência de saída, utilizando um controle totalmente digital. A comunicação paralela é mais rápida e é usada quando se deseja mudanças rápidas de frequências sintetizadas, necessária nos casos de modulação de sinais. Quando se gera um *clock* fixo ou para aplicações onde velocidades de modificação da frequência não são críticas, pode-se utilizar a comunicação serial. O dispositivo DDS possibilita uma resolução muito alta na seleção de frequência de saída e até de formas de ondas de saída com baixa distorção. O circuito integrado AD9851 da *Analog Devices* (referência site: www.analog.com), por exemplo, utilizado em nosso esquema de processamento, permite uma resolução de frequência de saída de 0,0291 Hz se um *clock* referencial de 125 MHz for utilizado.

Para se obter maior compreensão do sinal gerado a partir de um DDS, foi desenvolvido um *VI (Virtual Instrument)* no software *LabView* da empresa *National Instruments* (referência site: www.ni.com). Este programa permitiu simular o comportamento da tecnologia DDS, possibilitando analisar seu espectro em frequência, o comportamento do acumulador de fase e determinar os códigos de configuração e de Fator (palavra de controle), que são transmitidos via comunicação serial para programar o dispositivo DDS com a frequência desejada.

3.3 Efeitos da Amostragem digital na DDS

A amostragem e o processamento digitais na DDS podem causar respostas e efeitos não desejados na frequência de saída do dispositivo como ruído espectral e *jitter*.

O desempenho do *clock* de referência irá intervir diretamente na performance do *clock* sintetizado de saída de um dispositivo DDS, sendo que sinais espúrios e ruídos no *clock* de referência são transferidos para a saída do DDS com a mesma relação de síntese. Aspectos de qualidade importantes como a estabilidade da frequência (em ppm), *jitter* de borda (dado em ps ou ns) e ruído de fase (*dBc/Hz*) devem ser considerados na escolha do gerador de *clock* de referência f_{ref} [31].

No entanto, as amplitudes dos sinais espúrios e ruídos na saída do dispositivo DDS são reduzidas quando se diminui ou se divide seu fator da palavra de controle. O ruído de fase pode ser equacionado como:

$$dBc = -20 \log\left(\frac{f_{ref}}{f}\right), \quad (3.3)$$

onde f é a frequência de saída.

Isso denota que, quanto maior a frequência de *clock* em relação a frequência de saída, menor será o ruído de fase provindo do cristal. Por exemplo, para se gerar um sinal sintetizado de 10 MHz usando um *clock* de referência de 100 MHz, o ruído de fase será atenuado em 20 dB na saída. O ruído de fase absoluto permanece o mesmo, o que diminui é o ruído de fase relativo a frequência da onda de saída. Esse princípio pode ser facilmente visualizado na Fig. 3-5 [31].

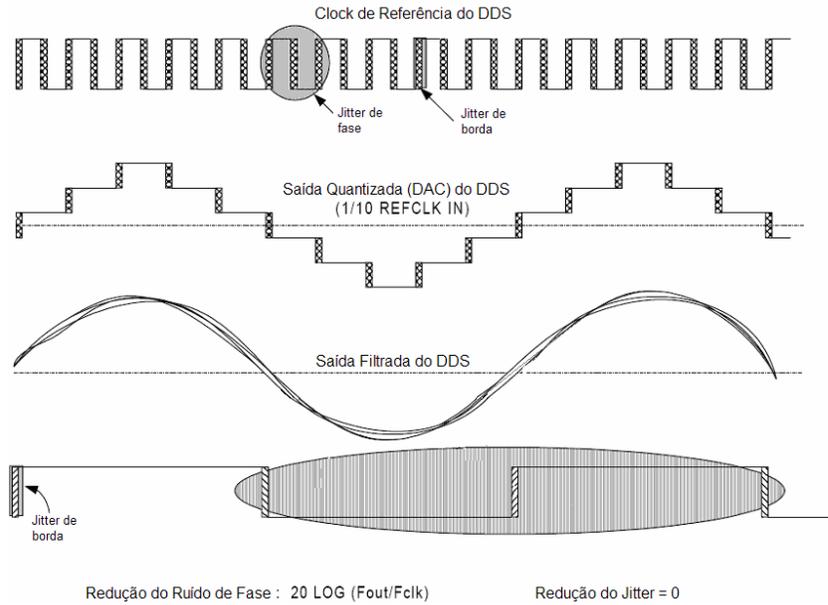


Fig. 3-5: Redução do ruído de fase após sintetização pelo dispositivo DDS.

Se for utilizado o multiplicador interno (PLL) do *clock* de referência, qualquer sinal espúrio ou ruído será amplificado dentro da largura de banda do *loop* do PLL. O ruído de fase que é adicionado ao *clock* de referência devido ao multiplicador interno é igual a:

$$dBc_f = 20 \log\left(\frac{f}{f_{CLK}}\right) , \quad (3.4)$$

onde dBc_f é o ruído de fase do clock de referência, que é obtido depois de multiplicar f pelo fator multiplicador do dispositivo DDS.

A onda senoidal gerada pelo circuito DDS é sintetizada e não é pura como uma onda senoidal gerada a partir de um circuito PLL. Como consequência, existem harmônicas da frequência fundamental, e há a necessidade de se filtrar o sinal de saída do dispositivo DDS. As magnitudes das frequências harmônicas dependem diretamente da relação entre a frequência de *clock* interna do dispositivo e a frequência gerada. Quanto maior for esta relação, menores serão as magnitudes das frequências harmônicas. Os gráficos da Fig. 3-6 exemplificam a diferença entre um sinal puro e um sintetizado. A Fig. 3-7 mostra a aplicação

de um filtro LPF (Filtro Passa-Baixas) para reconstrução do sinal de saída, utilizado para eliminar as frequências harmônicas [31].

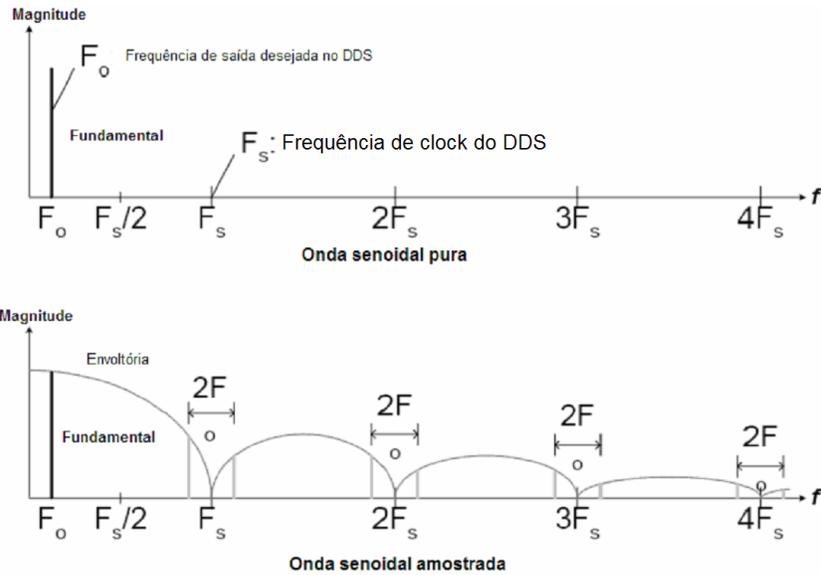


Fig. 3-6: Frequências pura e sintetizada

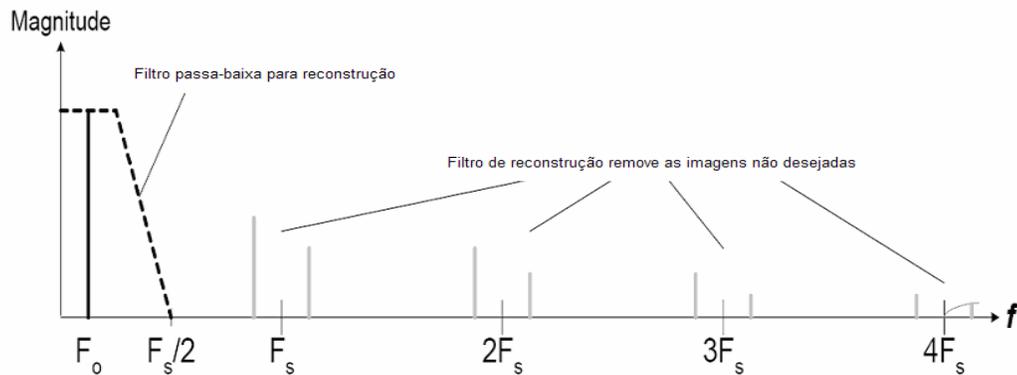


Fig. 3-7: Reconstrução por filtro LPF (Filtro Passa-Baixas).

A saída do dispositivo DDS é um seno amostrado contendo várias componentes de frequências não desejadas que formam um *jitter* (oscilação do período), se o sinal de saída for usado sem passar por um LPF - Filtro Passa-Baixas [32]. A Fig. 3-8 apresenta a simulação de um sinal superamostrado e um sinal sintetizado obtido de um dispositivo DDS obtidos no

software *LabView*. Também mostra o ruído ou erro de fase associado ao sinal. O *clock* de referência utilizado é de 100 MHz e a frequência de saída igual a 10,01001 MHz

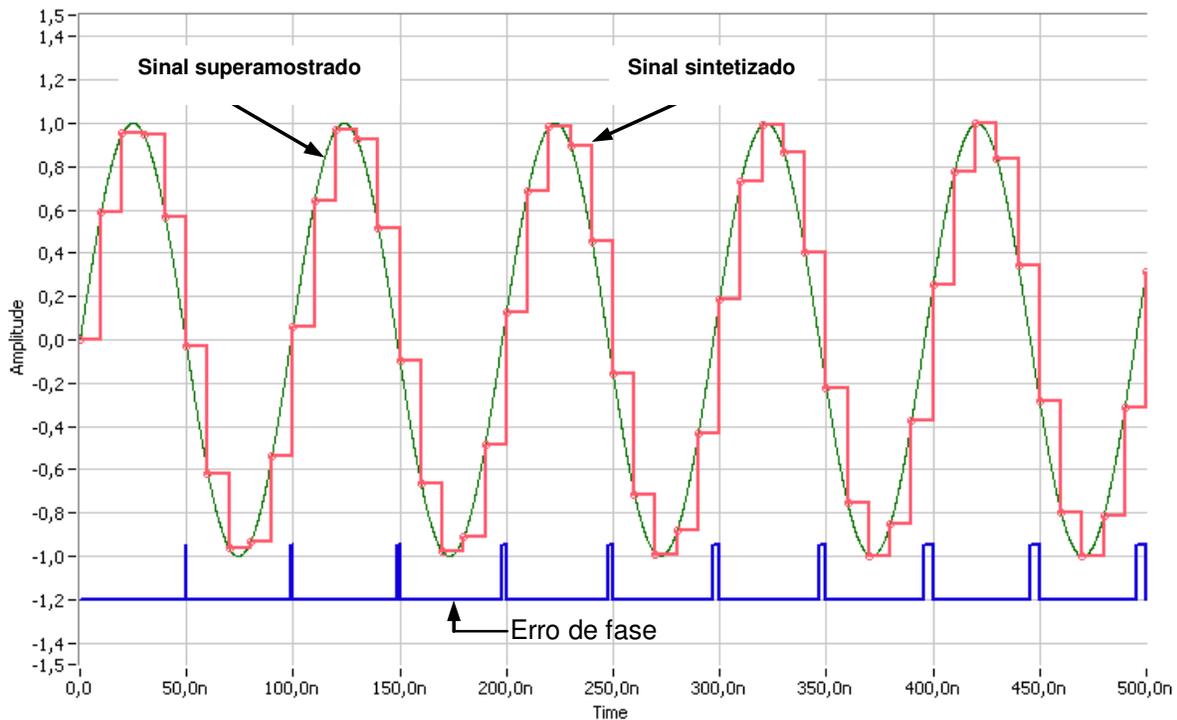


Fig. 3-8: Gráficos de simulação de um dispositivo DDS obtidos no *LabView*: O sinal senoidal corresponde a um sinal superamostrado e o sinal quadrado que acompanha o sinal senoidal é o sinal de saída do dispositivo.

A quantidade de *jitter* do sinal amostrado é igual a um ciclo de *clock* do sinal de entrada. Entretanto, ao se filtrar o sinal através de um filtro LFP, muitos desses sinais indesejados podem ser removidos da onda sintetizada e pode-se obter uma onda senoidal “quase pura”. Após uma filtragem e logo depois de passar por um comparador de cruzamento por zero, o *jitter* é reduzido de 1 ciclo de clock para aproximadamente $25 \cdot 10^{-11}$ segundos (incluindo o *jitter* do instrumento de medida). A filtragem reduz o sinal até certo nível, sendo que após esse nível, qualquer outra filtragem não terá efeito, pois existe também o *jitter* associado ao comparador que está sendo usado.

3.4 Aplicações dos dispositivos DDS

O sistema que forma a DDS pode ser implementado por inteiro em um simples circuito integrado, sendo que o principal fornecedor deste tipo de tecnologia atualmente é Analog Devices Inc (referência site: www.analog.com). A DDS é uma solução que possui vantagens relevantes em comparação com sintetizadores analógicos baseados em circuitos PLL (*Phase-Locked Loop*), como visto na primeira seção deste capítulo, e vem sendo usado em uma gama cada vez maior de sensores, de produtos e equipamentos de laboratório, como por exemplo, a nova geração de geradores de funções. A Tab. 3-1 mostra uma lista de chips atualmente fabricados pela Analog Devices Inc.:

Tab. 3-1: Dispositivos DDS fabricados pela Analog Devices Inc.

Nome do Chip	f_{CLK}	Resolução (Bits)	Palavra de controle (bits)	REFCLK Multiplicador	Comparador On-Board	Interface I/O
AD9831	25 MHz	10	32	Não	Não	Paralelo
AD9832	25 MHz	10	32	Não	Não	Serial
AD9833	25 MHz	10	28	Não	Não	Serial
AD5930	40 MHz	10	24	Não	Não	Serial
AD5932	50 MHz	10	24	Sim	Não	Serial
AD9830	50 MHz	10	32	Não	Não	Paralelo
AD9834	50 MHz	10	28	Não	Sim	Serial
AD9835	50 MHz	10	32	Não	Não	Serial
AD9850	125 MHz	10	32	Não	Sim	Paralelo, Serial
AD9851	180 MHz	10	32	Sim	Sim	Paralelo, Serial
AD9852	300 MHz	12	48	Sim	Sim	Paralelo, Serial
AD9854	300 MHz	12	48	Sim	Sim	Paralelo, Serial
AD9859	400 MHz	10	32	Sim	Não	Serial
AD9956	400 MHz	14	48	Não	Não	Serial
AD9951	400 MHz	14	32	Sim	Não	Serial
AD9952	400 MHz	14	32	Sim	Sim	Serial
AD9953	400 MHz	14	32	Sim	Não	Serial
AD9954	400 MHz	14	32	Sim	Sim	Serial
AD9911	500 MHz	10	32	Sim	Não	Serial
AD9958	500 MHz	10	32	Sim	-	Serial
AD9959	500 MHz	10	32	Sim	-	Serial
AD9858	1000 MHz	10	32	Não	Não	Paralelo, Serial

Para a análise do funcionamento do dispositivo e do seu desempenho, foram montadas placas que permitiram testes iniciais para avaliação em *proto-board* no laboratório para os chips DDS AD9850 e AD9851, conforme Fig. 3-9. Para o trabalho, foram escolhidos os circuitos integrados AD9851 para a geração de *clock* quasi-síncrono e o AD9834 para a frequência do giroscópio (modulador de fase piezoelétrico).

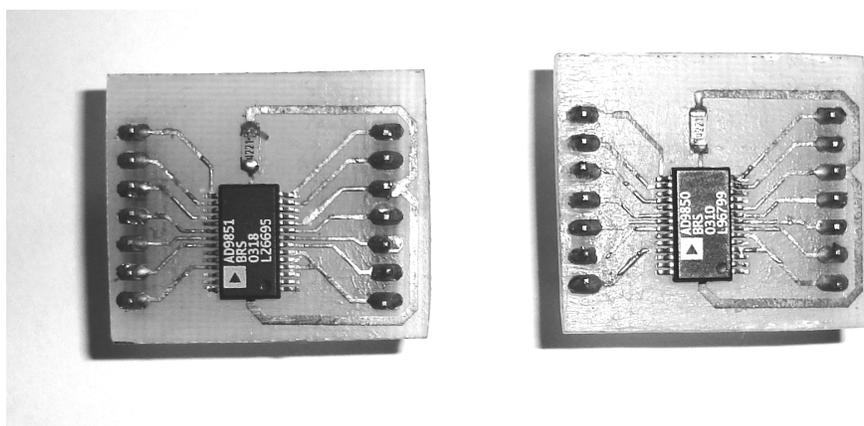


Fig. 3-9: Montagens do AD9851 e do AD9850 em circuitos de avaliação em *proto-board*.

Como o chip DDS necessita de programação da palavra de controle para os testes, desenvolveu-se em linguagem *Delphi* (referência site: www.codegear.com) um programa que permite reinicializar, configurar e então calcular a palavra de controle e transmiti-la via porta paralela do PC para o chip DDS. A Fig. 3-10 mostra a tela do programa utilizado para desenvolvimento.

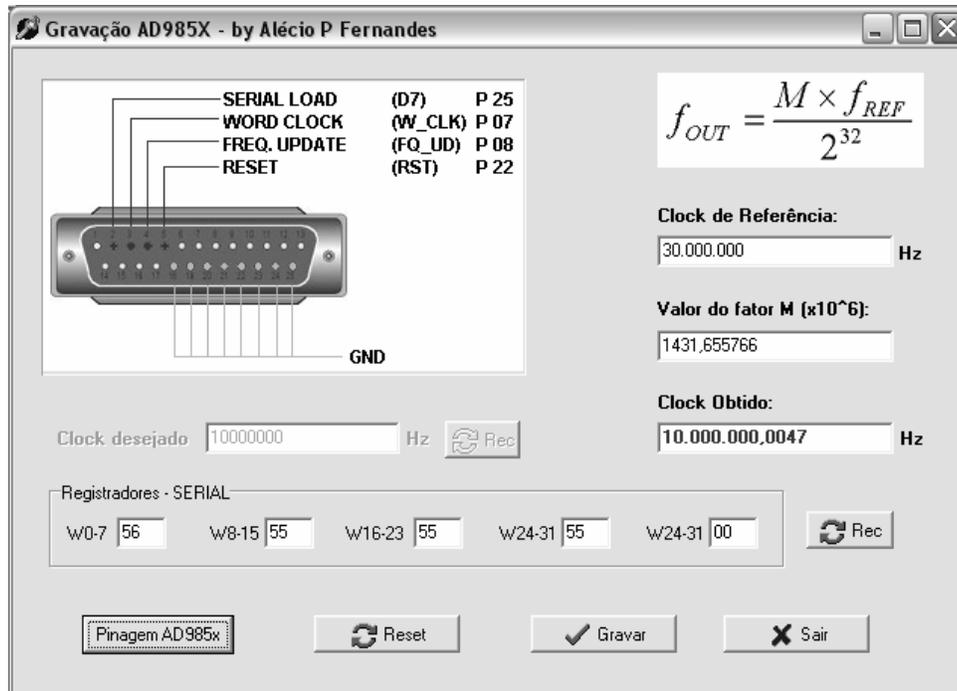


Fig. 3-10: Programa desenvolvido em Delphi para calcular a palavra de controle do DDS AD985X, e programá-lo via porta paralela do computador

Um gerador de funções de bancada e um osciloscópio digital foram usados para testar e visualizar o chip DDS com diversas frequências de entrada. Foi possível também sintetizar as frequências posteriormente utilizadas no circuito principal. Através desta montagem, avaliou-se o funcionamento e a configuração do chip DDS na prática antes da implementação final, visando minimizar erros de projeto ou *layout* e tirar vantagens das características do dispositivo.

Capítulo 4

Descrição de um circuito para Implementação da Técnica

A validação da técnica de demodulação digital para giroscópio a fibra óptica usando *clock* quase-síncrono foi obtida através do projeto, montagem e testes práticos de uma placa de circuito eletrônico de demodulação digital. Além da implementação dessa placa de circuito demodulador, foi também projetado um circuito eletrônico capaz de testar convenientemente a precisão e a sensibilidade do circuito demodulador.

4.1 Diagrama em Blocos

Baseado nas análises e teorias realizadas nos capítulos anteriores, onde se definiu o problema de medidas de intervalos de tempo consecutivos, e com objetivo de validar a técnica de cruzamentos de zero estudada, foi desenvolvido um circuito eletrônico capaz de realizar a medida digital de pequenos valores de ΔT e T_0 . A idéia básica para se realizar essa medida é, depois de dividir por dois o sinal proveniente do giroscópio através de um *flip-flop*, contar de forma crescente os pulsos provenientes do *clock* de referência durante o intervalo de tempo T_1 e, de forma decrescente, durante o intervalo de tempo T_2 , de modo que o número de pulsos remanescentes durante o intervalo de tempo T_2 seja proporcional a ΔT e, por sua vez, proporcional à rotação em que o giroscópio está submetido, conforme visto na Fig. 2-7. A Fig. 4-1 mostra a implementação em diagrama em blocos do circuito. O circuito todo é síncrono entre si, pois o *clock* interno é baseado na frequência f_{ref} de referência.

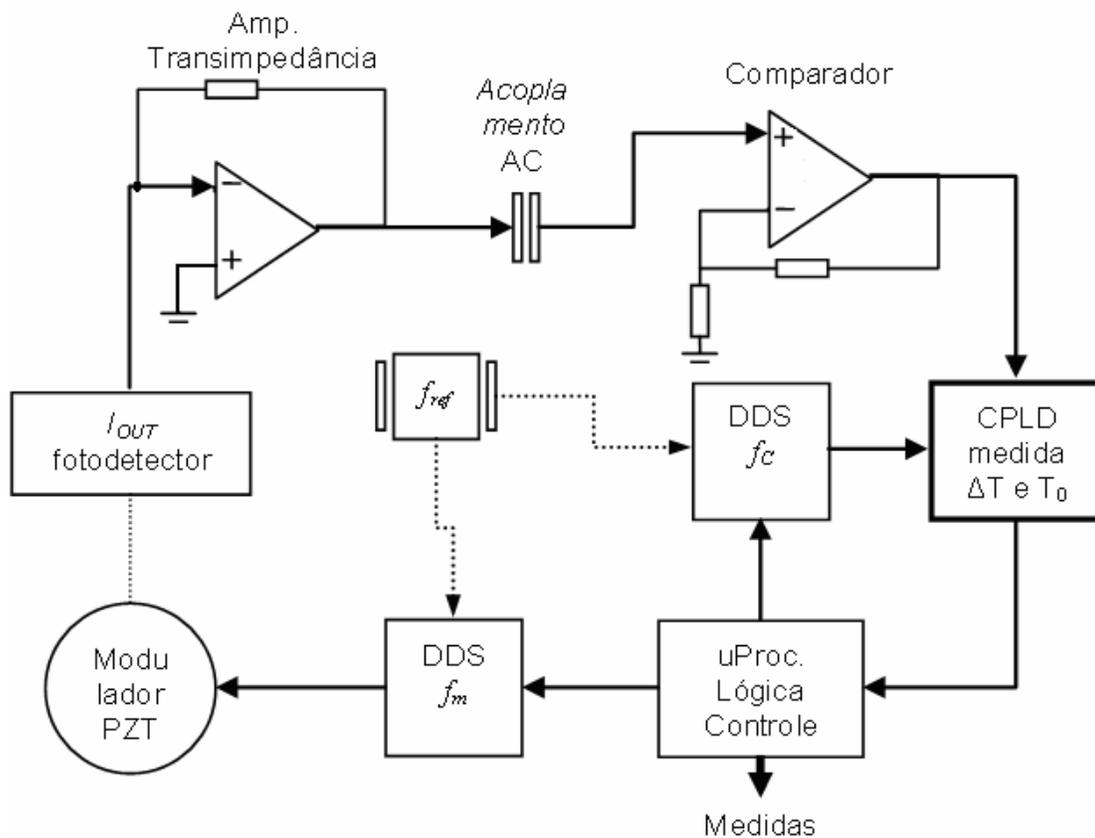


Fig. 4-1: Diagrama em blocos do demodulador de giroscópio a fibra óptica construído para validação da técnica.

O esquemático e o *layout* do circuito completo projetado e montado são apresentados no Apêndice II.

Nas próximas seções serão abordadas cada parte do circuito construído, incluindo o emulador do sinal do giro, usado no teste.

4.2 Descrição do circuito

Visando melhor compreensão, o circuito eletrônico do demodulador pode ser subdividido nas seguintes partes:

- Fotodetector (fotodiodo): detector cuja função é transformar o sinal de luz procedente da fibra óptica em corrente elétrica;
- Amplificador de transimpedância: converte a corrente elétrica advinda do fotodetector em um sinal de tensão;
- Comparador rápido: gera um sinal quadrado pela comparação (*zero crossing*) a partir do amplificador de transimpedância;
- Circuito de medida ΔT e T_0 (CPLD): lógica de demodulação digital dos valores de ΔT e T_0 a partir do sinal quadrado obtido no comparador rápido.
- Circuito sintetizador de frequências (DDS): gera as frequências necessárias para o circuito de medida operar;
- Lógica de Controle (microcontrolador): faz o controle de parâmetros e funcionamento do circuito e a comunicação do circuito;
- Circuito de alimentação: responsável pela alimentação do circuito.

Além do circuito dessas partes do demodulador, foi projetado e implementado um circuito de testes, em que foi gerado um *clock* com uma pequena variação de largura de pulso (como PWM), emulando assim o sinal existente na saída do fotodetector em um giroscópio a fibra óptica (após o mesmo passar por um comparador).

A Fig. 4-2 mostra um diagrama em blocos simplificado do circuito emulador conectado às demais partes inteiramente digitais do circuito demodulador. O emulador recebe o *clock* f_{ref} do cristal de 20 MHz e faz a divisão da frequência, baixando para 100 KHz, com largura de pulso variável controlada pelo microprocessador. Todas as frequências do circuito são derivadas da frequência f_{ref} , assim pode-se afirmar que todos os *clocks* estão sincronizados.

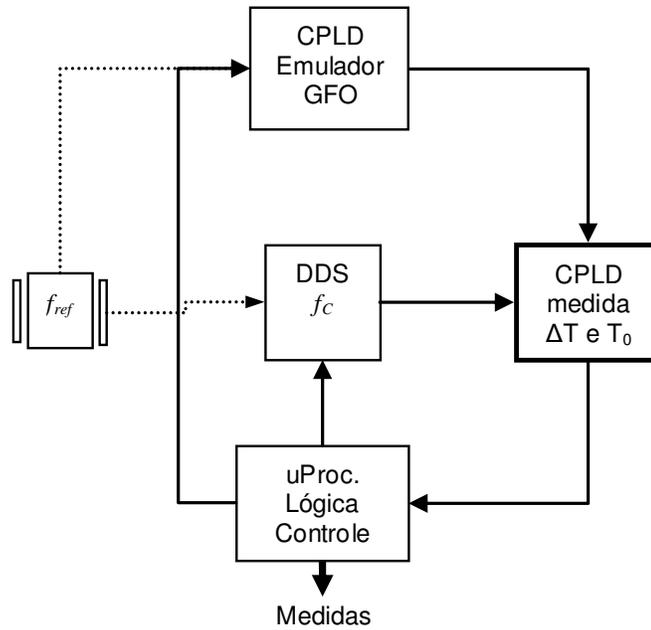


Fig. 4-2: Diagrama em blocos do emulador do GFO

Fotodetector

O fotodiodo é uma junção P-N projetado para responder a uma entrada óptica. O sinal proveniente do efeito de Sagnac no giroscópio é captado através de um fotodiodo de silício, cujas características principais são a alta velocidade e baixo ruído. Este diodo foi especialmente selecionado para este tipo de aplicação [17], e é responsável por converter a potência luminosa incidente de luz em uma corrente que será transformada em um nível de tensão no próximo estágio do circuito, o circuito de transimpedância.

Detalhes adicionais sobre o fotodetector podem ser obtidos na referência [17].

Amplificador de Transimpedância

O amplificador de transimpedância é responsável por condicionar o sinal proveniente do sensor óptico do giroscópio (fotodiodo). A corrente proveniente do fotodiodo, ao passar pelo amplificador de transimpedância, é transformada em um sinal com nível de tensão

variável proporcional à corrente. Basicamente, o amplificador de transimpedância é um amplificador operacional operando como conversor da corrente do fotodiodo em tensão de saída. Na Fig. 4-3 tem-se a configuração clássica de um amplificador operacional no modo de transimpedância:

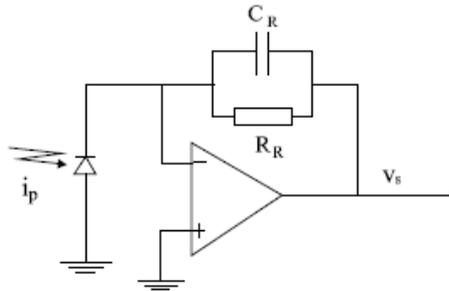


Fig. 4-3: Amplificador de Transimpedância para monitoração de fotocorrente.

Na configuração apresentada, o amplificador é caracterizado por uma tensão V_S de saída de:

$$V_S = -Z_r i_p , \quad (4.5)$$

onde Z_r é a impedância da realimentação e i_p é corrente fotogerada.

A fim de diminuir o valor do menor sinal detectável proveniente do fotodiodo, o resistor de realimentação R_R deve ser o maior possível. Isto implica em um valor do capacitor de realimentação C_f comparável com o das capacitâncias parasitas. Isso torna pobre a estabilidade da banda do amplificador de transimpedância. Para suavizar o problema da capacitância parasita, existem duas possíveis modificações para o circuito amplificador de transimpedância. Uma delas é utilizar uma malha T resistiva no lugar do resistor de realimentação e a outra utiliza uma malha T capacitiva no lugar do capacitor de realimentação. A malha T resistiva apresenta o inconveniente de aumentar o ruído térmico na saída do amplificador por aproximadamente o mesmo fator que aumenta o capacitor de realimentação.

O circuito apresentado na Fig. 4-4 mostra o amplificador de transimpedância utilizado operando com rede T capacitiva.

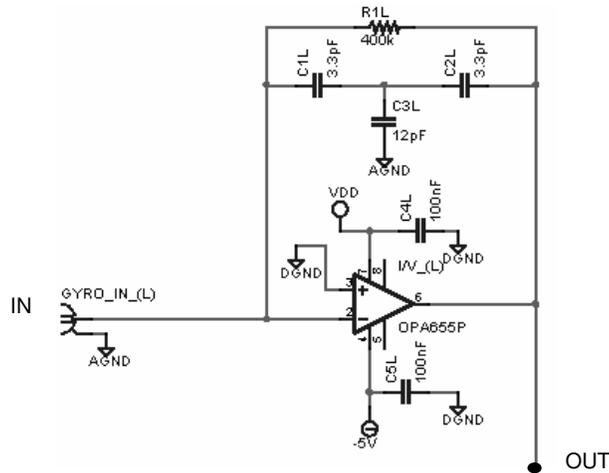


Fig. 4-4: Circuito amplificador de Transimpedância

O divisor capacitivo formado por C_{2L} e C_{3L} atenua o sinal de saída, que é realimentado para o terminal de entrada do amplificador através do capacitor C_1 , reduzindo a realimentação capacitiva da malha. O capacitor equivalente da realimentação, C_{eq} , é dado por [17]:

$$C_{eq} = \frac{C_1 C_2}{C_1 + C_2 + C_3} \quad (4.6)$$

Assim, através da figura Fig. 4-4, nota-se que o preço pago para tornar o circuito menos sensível às capacitâncias parasitas é o de aumentar a capacitância no terminal não inversor do amplificador (kC_{eq} , $k = C_2/C_3$).

Os valores dos capacitores devem ser muito maiores que as capacitâncias parasitas, porém não tão altos a ponto de aumentar de forma significativa a capacitância no terminal não inversor, pois como visto anteriormente, é o aumento dessa capacitância que determina um zero no ganho de tensão, aumentando o ruído na saída devido ao ruído de tensão do amplificador operacional. Além disso, o segundo pólo do ganho de transimpedância diminui, desviando mais a característica daquela de um simples pólo.

Para essa aplicação o amplificador operacional escolhido foi o OPA655, da *Burr-Brown* (referência site: www.burr-brown.com), cuja frequência de ganho unitário é da ordem de 400 MHz.

Uma característica importante do bloco amplificador de transimpedância é que, além de amplificar o ruído proveniente do fotodetector, ele também gera o seu próprio ruído. No caso do processamento do sinal do giroscópio, existem diversas fontes de ruído que se somam ao sinal fotodetectado: o ruído de intensidade ou de radiação causado pela incerteza na intensidade da radiação emitida por uma fonte luminosa por um certo período de tempo; o ruído *Johnson*, causado pelo movimento térmico das partículas carregadas em um elemento resistivo; e o ruído *shot*, causado pelo fotodiodo, amplificador selecionado, e impedância de realimentação. A tensão total de ruído na saída do amplificador de transimpedância é dada pela equação:

$$E_{ns} = \sqrt{E_{ns1}^2 + E_{ns2}^2 + E_{ns3}^2}, \quad (4.7)$$

onde E_{ns1} é a tensão devido aos geradores de tensão de ruído na entrada do amplificador, E_{ns2} é a tensão de ruído devido aos geradores de corrente de ruído na entrada do amplificador e E_{ns3} é a tensão devido ao ruído térmico (ruído *Johnson*) no resistor de realimentação. Uma abordagem interessante sobre fontes de ruído em amplificadores de transimpedância pode ser encontrada em [16][17]. As técnicas para a otimização da configuração do amplificador de transimpedância podem ser vistas em [17] página 71.

Comparador rápido de *zero-crossing*

O circuito comparador opera como um detector de cruzamentos em zero com saída de nível lógico padrão TTL. Todas as vezes que o sinal de entrada cruzar o nível zero (sem considerar a histerese), o sinal da saída seguirá com a mesma polaridade, respeitando os intervalos de tempo do sinal de entrada.

A Fig. 4-5 mostra o circuito do comparador utilizado para tratar o sinal proveniente do amplificador de transimpedância.

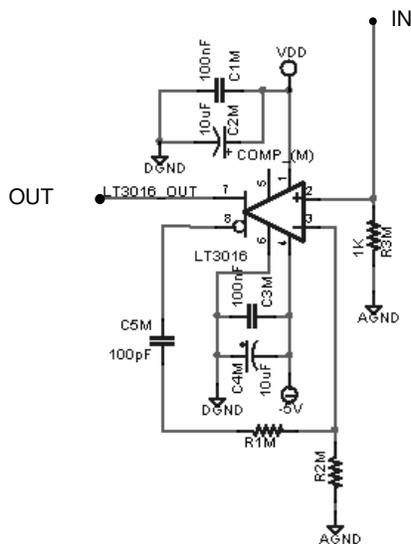


Fig. 4-5: Circuito comparador operando com realimentação AC positiva.

A utilização de realimentação AC positiva com histerese no circuito comparador possibilita uma transição de sinal mais rápida, não dependendo da velocidade de excursão do sinal de entrada. Quando o sinal de entrada varia lentamente, como no caso da entrada do sinal do giroscópio, circuitos comparadores simples (sem histerese) tendem a variar muito a saída, enquanto a entrada passa pelo ponto de comparação, ou ainda demorar muito para efetuar a transição.

O comparador escolhido para ser utilizado é o TL3016 da *Texas Instruments* (referência site: www.ti.com) pois, apesar desse comparador ser rápido (atraso típico de 7,6 ns), mantém ainda assim um consumo relativamente baixo (10 mA em 5 Volts). Ele também possui saídas complementares, o que possibilitou utilizar a saída complementar (negada) para fazer a realimentação positiva a partir da entrada negativa do comparador.

Cabe ressaltar que variáveis como o atraso na detecção e o *offset* do comparador não afetam a medida final de ΔT , pois a técnica utilizada no circuito faz sucessivas somas dos tempos de ciclos positivos, e subtrai da soma dos ciclos negativos, cancelando assim essas variáveis.

Geração de Clock de Referência

O sintetizador digital de frequências ou DDS (*Direct Digital Synthesis*), como já visto no capítulo 3, é um circuito capaz de gerar frequências diversas, conforme a necessidade, com uma precisão de miliHertz (mHz) para os dispositivos escolhidos.

Nessa parte do circuito, a função do dispositivo DDS é gerar uma frequência de clock *quasi-síncrona* para que o bloco demodulador possa fazer a contagem crescente e decrescente dos ciclos de *clock* entre os períodos do sinal do giro. Esta frequência é, na verdade, uma proporção não inteira da frequência de modulação, dada pela equação vista em (2.32):

$$f_c = k \frac{W}{Z} f_m.$$

Como mencionando no capítulo 3, o chip DDS utilizado é o AD9851 da *Analog Devices* (referência site: www.analog.com), que pode chegar a sintetizar frequências de até 90 MHz (se for utilizar o multiplicador PLL interno de 6 vezes, possibilita *clock* interno de 180 MHz). O ideal é utilizar um *clock* interno alto, sintetizando frequências baixas, pois assim aumenta-se a precisão da frequência escolhida.

A frequência sintetizada $f_{saída}$ pelo chip DDS é dada pela equação:

$$f_{saída} = \frac{M \times f_{REF}}{2^{32}}. \quad (4.8)$$

O chip DDS AD9851 aceita a programação de sua palavra de controle via comunicação serial ou paralela. A programação paralela é útil quando se deseja fazer modulação em frequência ou em fase, e é necessário se ter velocidade nessa modulação, que não é o caso desse trabalho. Portanto, a programação do DDS nessa aplicação é feita de forma serial através do módulo de controle e comunicação do sistema, economizando pinos de dados e facilitando o desenho do layout do sistema.

Para a programação serial, este dispositivo necessita dos seguintes sinais:

- SL (*Serial Load* ou carga serial): contém o dado a ser programado
- WCLK (*Word Clock* ou palavra de clock): indica ao chip DDS que existe um dado novo no barramento.
- FQUD (*Frequency Update* ou atualização da frequência): indica que toda a palavra de controle e demais configurações já foram enviadas. Após o sinal de *update* (atualização), o chip DDS assumirá a nova configuração realizada.

A implementação realizada com o chip DDS é apresentada conforme a Fig. 4-6.

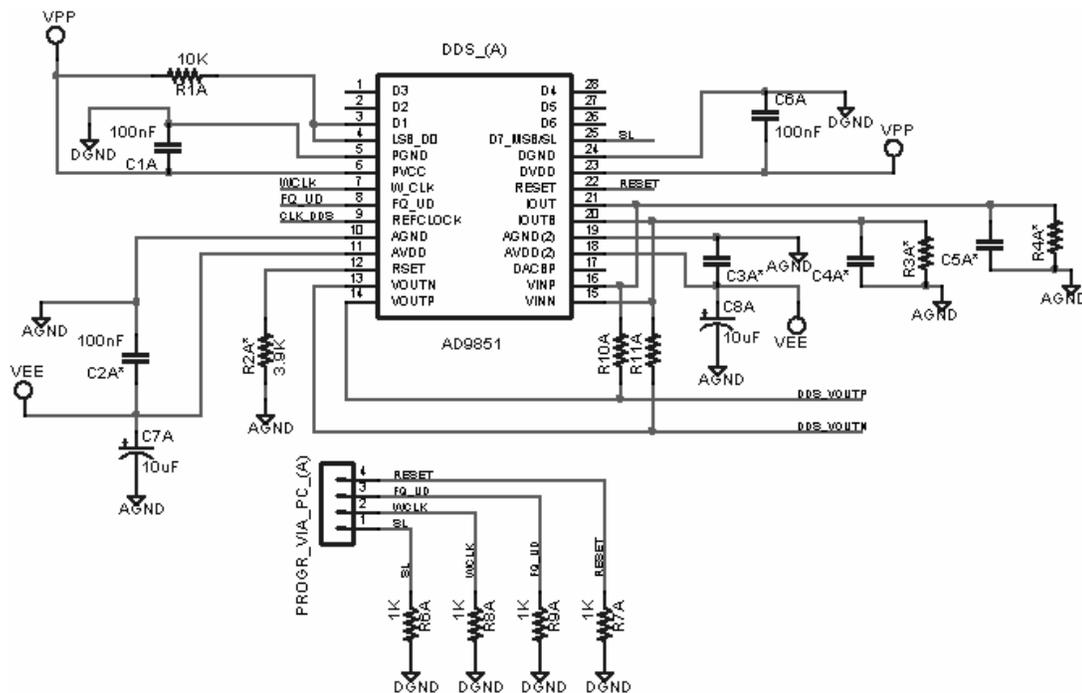


Fig. 4-6: Circuito implementado com o chip DDS.

Cabe salientar que o chip DDS AD9851 armazena a Palavra de Controle em sua memória volátil. Portanto, quando o chip é desenergizado, as informações de configuração são perdidas. Ao ser novamente energizado, o AD9851 inicia com a sua configuração padrão e necessita ser reprogramado para a frequência desejada. Como na configuração padrão a comunicação paralela é utilizada, torna-se imprescindível fazer a configuração inicial e

programação do dispositivo, para que o mesmo reconheça que está em modo serial e se ajuste na frequência desejada.

A palavra de controle completa do DDS AD9851 possui 40 bits, que são utilizados para ajustar frequência de saída (fator de ajuste), definir a fase, habilitar o multiplicador interno e também habilitar o modo de operação *sleep* (ou *Power-down*).

A Tab. 4-1 mostra a distribuição dos bits da palavra de controle do AD9851.

Tab. 4-1: Descrição dos 40 bits que compõe a palavra de controle.

Bit	descrição	Bit	descrição
W0	Freq-b0 (LSB)	W21	Freq-b21
W1	Freq-b1	W22	Freq-b22
W2	Freq-b2	W23	Freq-b23
W3	Freq-b3	W24	Freq-b24
W4	Freq-b4	W25	Freq-b25
W5	Freq-b5	W26	Freq-b26
W6	Freq-b6	W27	Freq-b27
W7	Freq-b7	W28	Freq-b28
W8	Freq-b8	W29	Freq-b29
W9	Freq-b9	W30	Freq-b30
W10	Freq-b10	W31	Freq-b31 (MSB)
W11	Freq-b11	W32	habilita multiplicador 6 x REFCLOCK
W12	Freq-b12	W33	0
W13	Freq-b13	W34	modo <i>power-down</i>
W14	Freq-b14	W35	fase-b0 (LSB)
W15	Freq-b15	W36	fase-b1
W16	Freq-b16	W37	fase-b2
W17	Freq-b17	W38	fase-b3
W18	Freq-b18	W39	fase-b4 (MSB)
W19	Freq-b19		
W20	Freq-b20		

O chip DDS AD9851 foi implementado nesse circuito com alimentação de 3,3 Volts e utilizando um *clock* de referência na entrada de 20 MHz. Como é utilizado o multiplicador PLL interno de 6 vezes, o *clock* interno para síntese passa a ser de 120 MHz, onde o limite máximo para esse dispositivo alimentado em 3,3 Volts, segundo seu *datasheet*, é de 125 MHz.

Sendo 5,0 Volts a tensão do microcontrolador escolhido para o módulo de controle e comunicação, foi necessário fazer um divisor resistivo para a correta programação do chip DDS, que é alimentado em baixa voltagem.

Esse chip DDS utilizado também incorpora um comparador rápido ao seu encapsulamento, que funciona de maneira independente do circuito interno de síntese digital direta de frequências.

A largura do *jitter* depende da frequência de amostragem e é igual ao período desta frequência. Para se assegurar disso, foi feita uma simulação utilizando um VI feito no software *LabView*, cujo resultado pode ser visualizado na figura Fig. 4-7 a seguir.

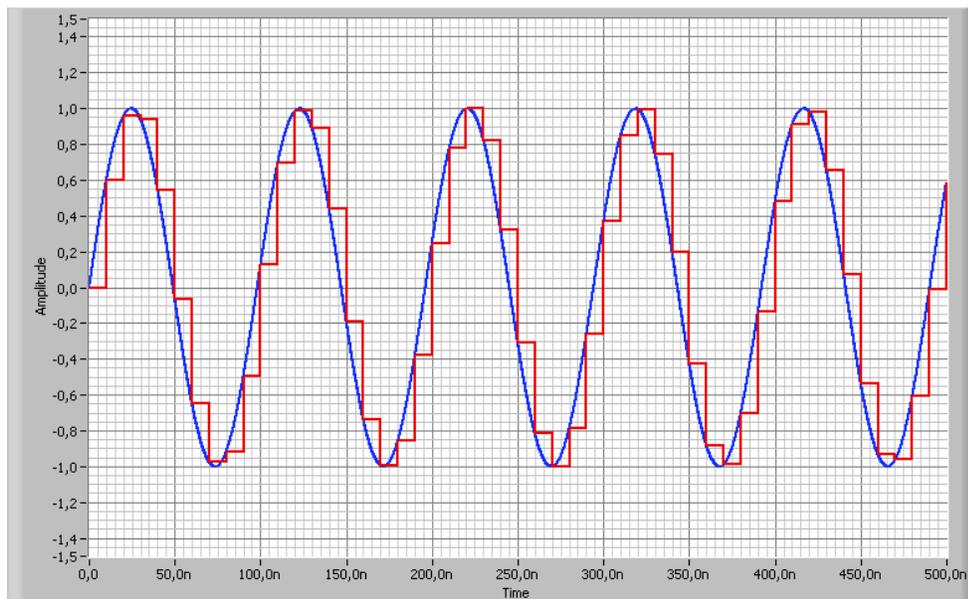


Fig. 4-7: Diferença entre o sinal ideal e o obtido através na saída do A/D no DDS

Na Fig. 4-7 observa-se claramente que o cruzamento em zero ocorre em tempos diferentes para o ideal na saída do A/D no chip DDS. Na Fig. 4-8, o sinal foi passado em um comparador rápido de cruzamento de zero (*zero-crossing*). A forma de onda da Fig. 4-8 é o sinal obtido da diferença entre o sinal ideal e a saída do conversor A/D.

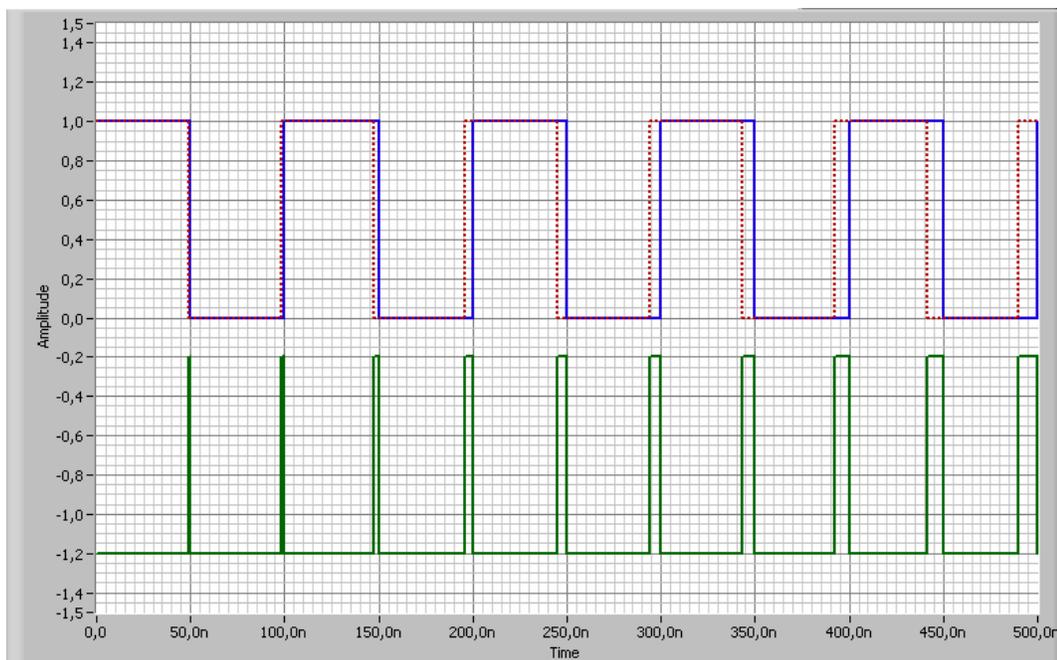


Fig. 4-8: Diferença de fase entre o sinal ideal e a saída do A/D no DDS após o comparador rápido

Como observado, a diferença de fase embute um ruído a mais, e que em simulações feitas para períodos inteiros de contagem, não se anulava na média. Assim optou-se por montar na saída do chip DDS um filtro LPF (Filtro Passa-Baixas) conectado ao comparador rápido, alcançando assim um sinal de *clock* mais estável para a contagem crescente/decrescente de N períodos do sinal do giroscópio. Na primeira tentativa experimental foi feito um filtro de primeira ordem. Porém, os resultados não foram satisfatórios. Então optou-se por fazer um filtro passivo de 5ª ordem, como o mostrado na Fig. 4-9. A resposta desse filtro em frequência, simulada no software *PSpice* (referência site: www.cadence.com) é mostrada na Fig. 4-11.

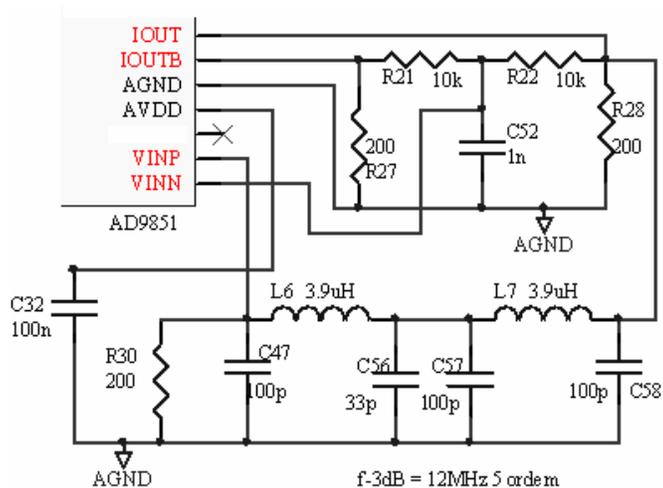


Fig. 4-9: Filtro de 5ª ordem e corte em 12 MHz. A ligação entre os capacitores C56 e C57 é uma associação paralela de valores comerciais.

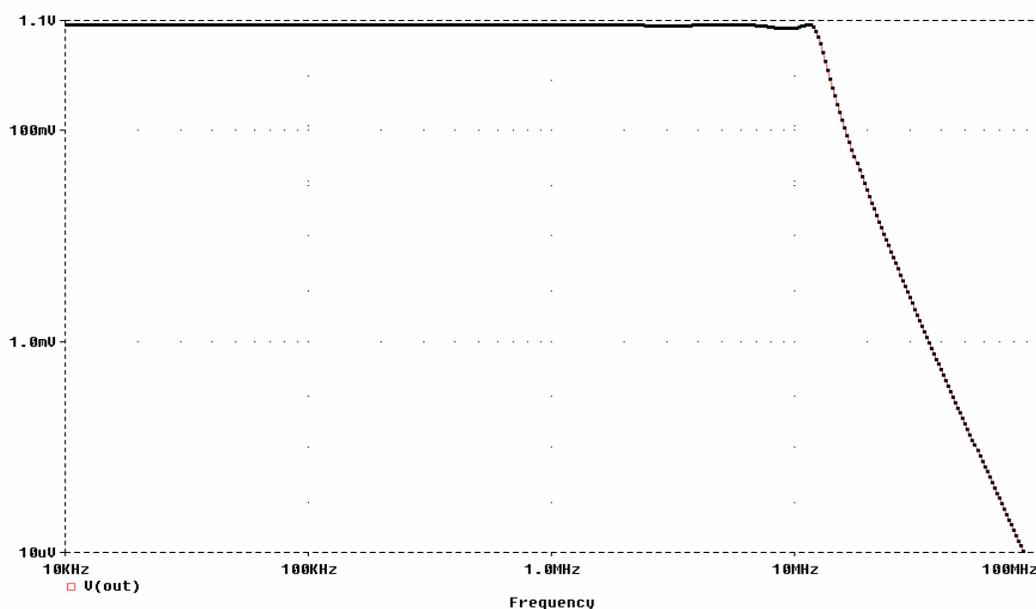


Fig. 4-10: Resposta do filtro de 5ª ordem e corte em 12 MHz.

A Fig. 4-11 apresenta o sinal obtido a partir de um osciloscópio digital de banda 200 MHz a 2GSa/s antes e depois do filtro com frequência de corte em 12 MHz. Note que o sinal proveniente do chip DDS contém harmônicas de ordem mais elevada devido à digitalização da síntese direta, onde cada valor amostrado corresponde a um degrau na senóide. O filtro atenuou as frequências mais altas, deixando o sinal conforme desejado, no caso com frequência de 10,0100100 MHz.

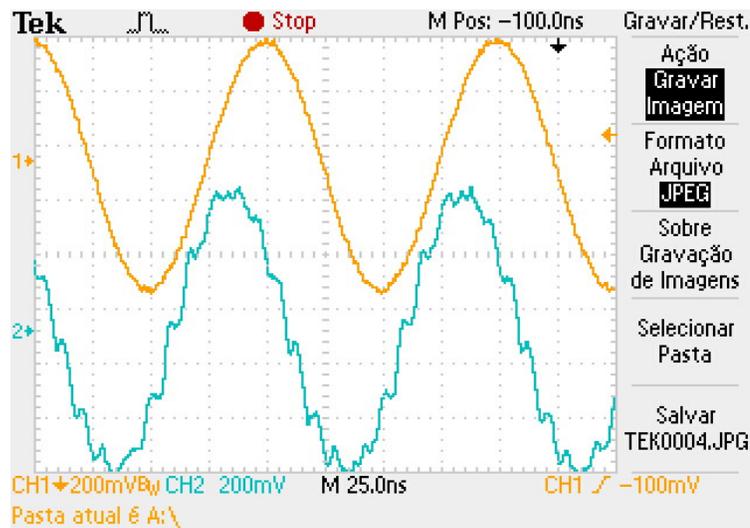


Fig. 4-11: Sinal antes (canal 2) e depois do filtro de 5ª ordem (canal 1).

Circuito de medida para ΔT e T_0

Todo o circuito de demodulação digital de sinal do giroscópio através das contagens crescente/decrescente é implementado dentro de uma CPLD (*Complex Programmable Logic Device* ou dispositivo lógico programável complexo), que por sua natureza programável, diminuem consideravelmente o tempo de projeto, pois quando é necessário realizar uma alteração no circuito, basta reprogramar o chip com as devidas alterações, sem precisar refazer fisicamente o circuito. No Apêndice I são apresentadas características funcionais e técnicas das CPLDs e em particular da utilizada nesse trabalho, a CPLD XC9572XL de baixo custo (cerca de USD\$ 2 em abril/09) do fabricante *Xilinx* (referência site: www.xilinx.com).

O diagrama da Fig. 4-12 mostra a implementação da técnica digital para medição de ΔT , realizada em um CPLD XC9572XL de 5 ns:

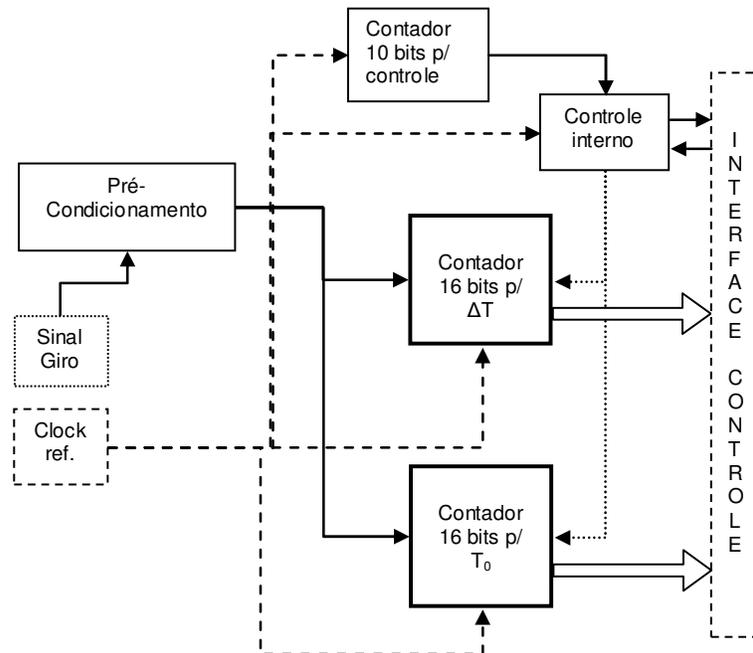


Fig. 4-12: Diagrama de implementação da técnica na CPLD para medida de ΔT e T_0 .

Para validação da técnica de demodulação digital, foram feitos dois programas para a CPLD de medição. O que será apresentado é o mais simples e é o que foi usado de fato na validação. A diferença entre eles está no fato de o circuito mais completo possuir, além de um contador de 16 bits para a medição do ΔT , ter um circuito de medição também do T_0 . Os esquemáticos que representam a programação em VHDL foram feitos dentro do software ISE, também do fabricante *Xilinx*.

A Fig. 4-13 mostra o esquema do programa VHDL implementado internamente na CPLD. Todos os códigos escritos em VHDL na íntegra podem ser vistos no Apêndice III.

giroscópio. No final do ciclo de medida (após os 999 ciclos do sinal externo), o saldo restante no contador de 16 bits é proporcional à diferença da largura de pulso do sinal externo. Fazendo essa configuração, é possível obter uma taxa de amostragem de 101 amostras por segundo, que torna o sistema viável para aplicações aéreas, como por exemplo, em Veículos Lançadores de Satélites (VLSs).

Os *flip-flops* na saída do contador de 16 bits funcionam como um *latch* para segurar a contagem final até que a mesma seja repassada inteiramente para o processador externo, e o MUX (multiplexador) se encarrega de passar apenas 8 bits por vez durante a comunicação com o microcontrolador de 8 bits.

A função do *flip-flop* tipo D colocado logo na entrada do contador de 16 bits é de forçar o sinal a ser síncrono com o *clock* fornecido pelo circuito DDS, evitando concorrência interna de portas lógicas durante transição assíncrona. Este *flip-flop* foi inserido após problemas de erros aleatórios de contagem com a contagem.

Para simular o programa desenvolvido em VHDL, usou-se o software *ActiveHDL* da empresa Aldec Inc. (referência site: www.aldec.com), conforme a simulação indicada na Fig. 4-14. Embora o software ISE pudesse também simular, o *ActiveHDL* se mostrou muito mais versátil e interessante para simulação.

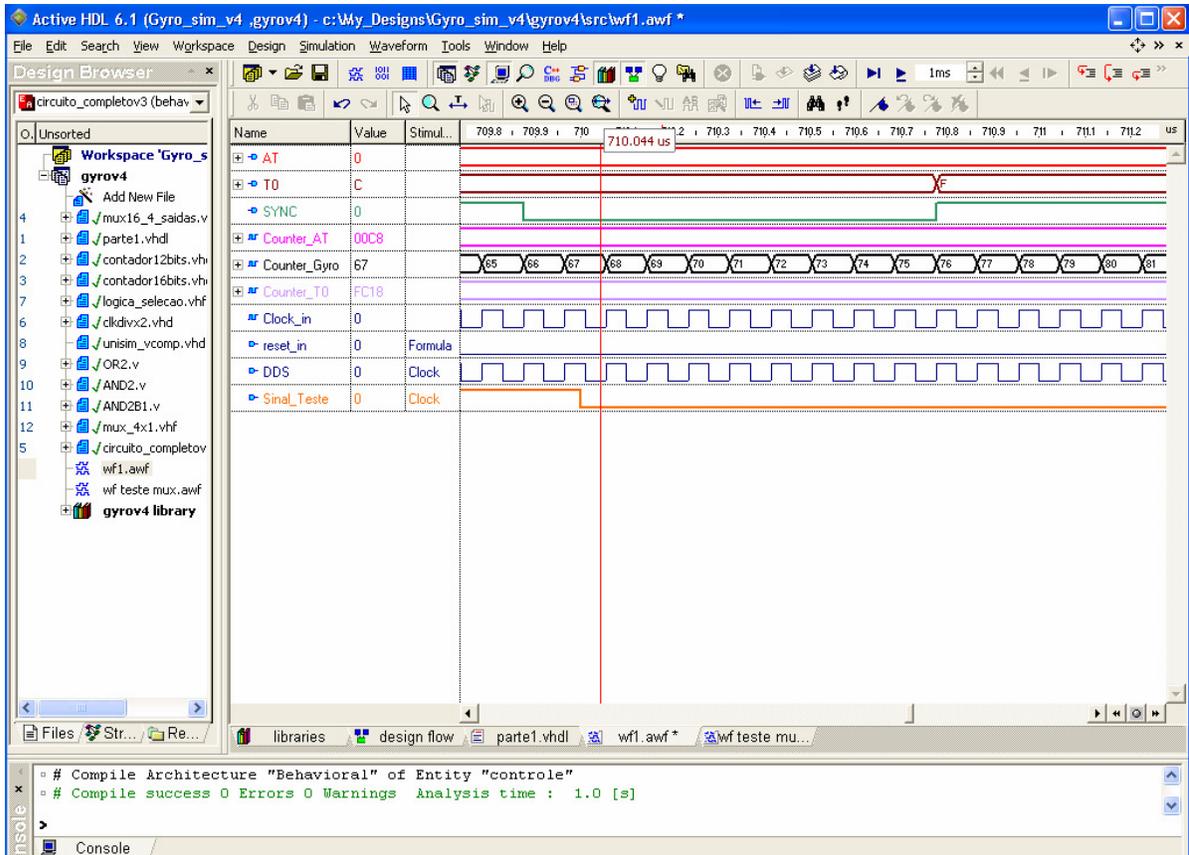


Fig. 4-14: simulação do circuito de medidas desenvolvido em VHDL

As simulações ajudaram não só na concepção do circuito, mas também na visualização de seu comportamento e principalmente na depuração do programa.

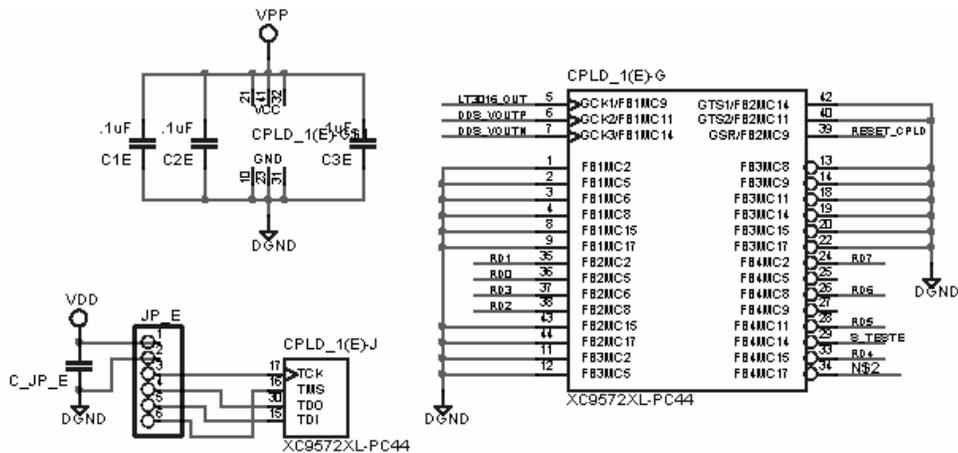


Fig. 4-15: Esquemático da CPLD de medidas.

Como se vê na Fig. 4-15, o esquemático do hardware da CPLD utilizado para a implementação das funções necessárias para as medidas em circuito eletrônico fica bastante simplificado com o uso de CPLDs em comparação ao uso de circuitos eletrônicos discretos.

4.3 Emulação do Sinal do Giroscópio

Para validar todo o projeto do circuito de demodulação digital, foi construído um módulo para emular um sinal condicionado similar ao que seria obtido de um giroscópio real após condicionamento do sinal. Entre outras palavras, o circuito é capaz de gerar um sinal de ciclos com largura de pulso controlada e com os intervalos bem definidos.

Esse circuito é composto por duas partes distintas: uma parte totalmente digital, que serve para ajuste maior da largura de pulso, e outra parte analógica, para se obter pequenas variações de largura de pulso. Nesse módulo de emulação é bastante importante se ter controle sobre os tempos de largura de pulso para se fazer a validação da técnica.

A primeira parte, a digital, consiste no circuito responsável pelo ajuste grosso de tempo discreto obtido a partir um ciclo elementar da frequência de *clock*. Por esta razão, esse tempo tende a ser mais definido e preciso em relação ao ajuste feito analogicamente pela outra parte. Todo o ajuste digital é realizado dentro de uma CPLD a partir de um circuito integrado gerador de frequências de 20 MHz.

A seguir nas Fig. 4-16 a Fig. 4-18 tem-se a representação na forma de esquemáticos dos programas feitos em VHDL usando o ISE da Xilinx.

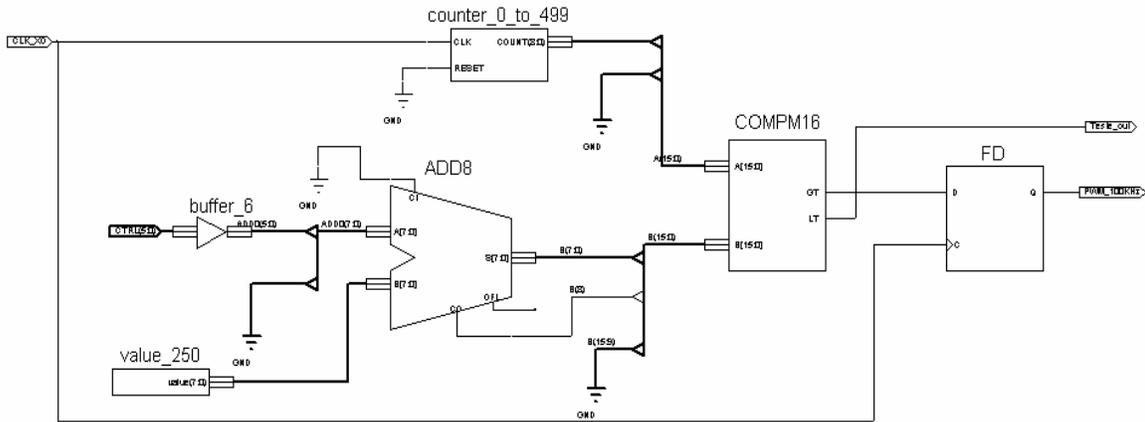


Fig. 4-16: Geração do duty-cycle para emulação de um sinal de giro.

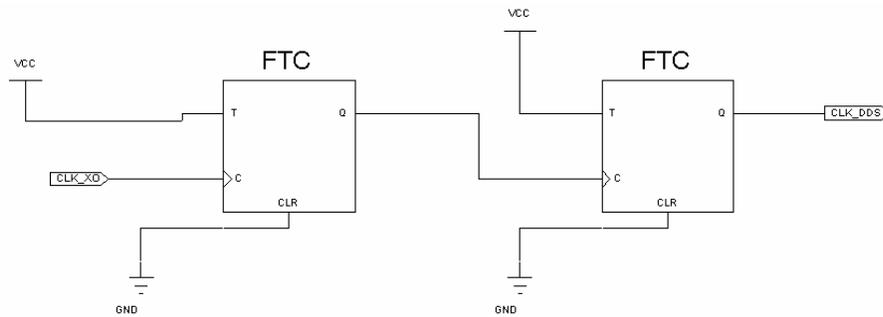


Fig. 4-17: Geração de *clock* para o DDS AD9851.

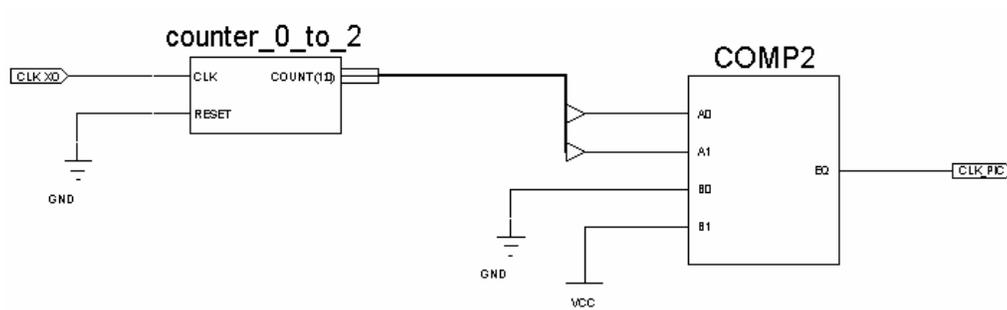


Fig. 4-18: Geração de *clock* para o microcontrolador PIC16F877A.

A segunda parte é um ajuste fino, através do qual é possível realizar subdivisões do tempo discreto, porém sem muita precisão.

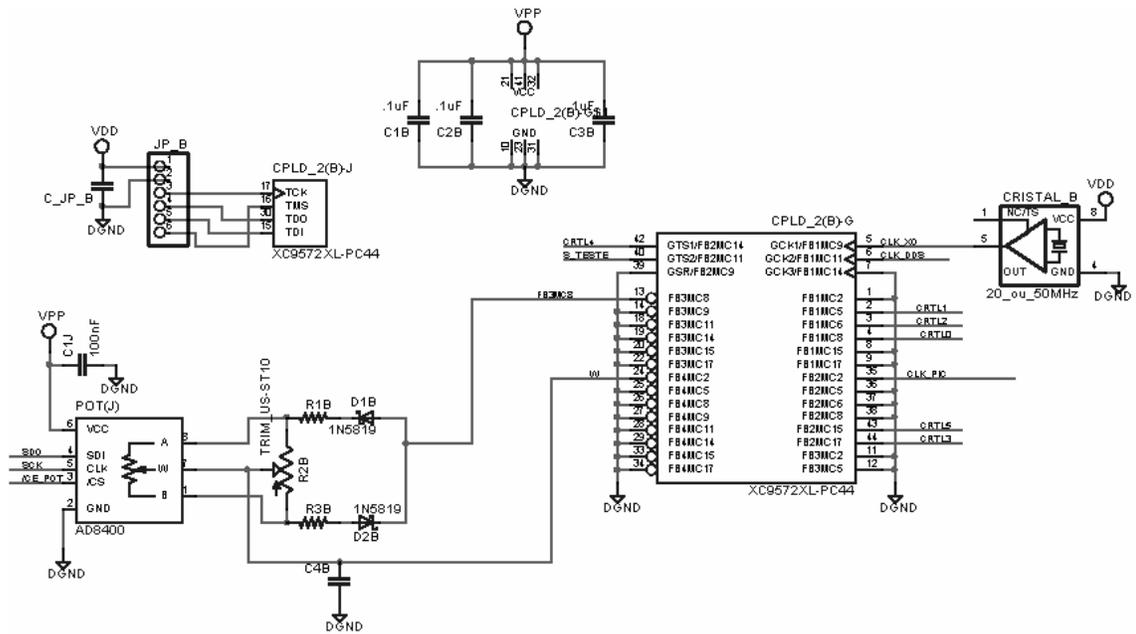


Fig. 4-19: Esquemático circuito de emulação.

4.4 Controle e Comunicação

Para o módulo de controle do sistema de demodulação foi selecionado o microcontrolador da *Microchip* PIC16F877A (referência site: www.microchip.com). A Fig. 4-20, mostra a parte de circuito do microcontrolador utilizado.

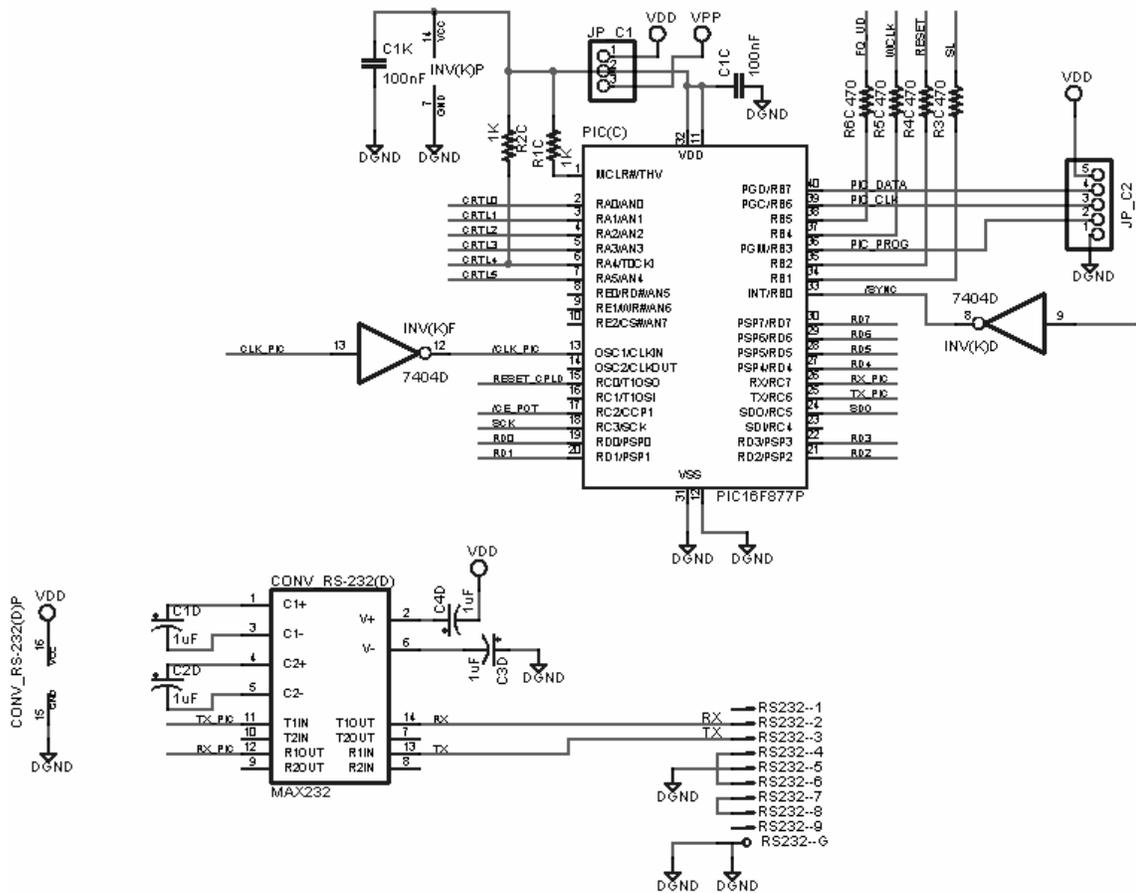


Fig. 4-20: Esquemático elétrico do módulo de comunicação: microcontrolador PIC e driver RS232

Na Fig. 4-21, tem-se um diagrama de portas e conexões entre o microcontrolador e os demais dispositivos pertencentes ao sistema como o chip de DDS (Síntese Direta Digital), as CPLDs, o Potenciômetro Digital e a Porta de Comunicação Serial.

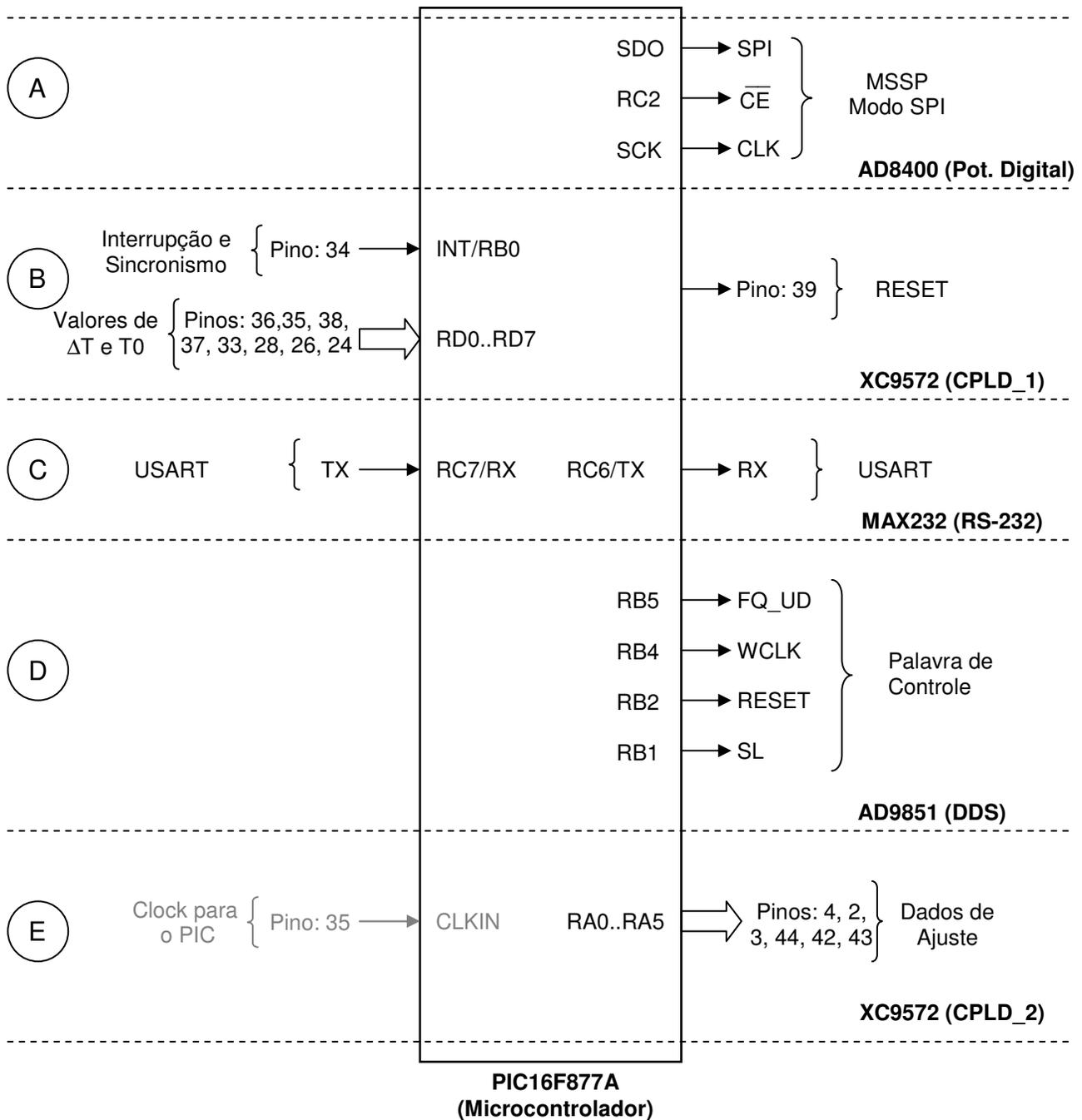


Fig. 4-21: Diagrama de portas e conexões no Microcontrolador

A seguir são apresentados mais detalhes a respeito do diagrama de portas e conexões no Microcontrolador com o restante dos módulos:

A – Comunicação e Programação do AD8400 (Potenciômetro Digital)

O potenciômetro digital é usado para ajuste fino analógico no emulador do giro. O AD8400 é um potenciômetro digital de 256 posições fabricado pela *Analog Devices Inc.* Este dispositivo contém três pinos de entradas para controle da interface serial que é compatível com o padrão SPI (*Serial Peripheral Interface*). Os pinos de entrada do dispositivo são: *Clock* (CLK), *Chip Enable* (ICS), e *Serial Data Input* (SDI).

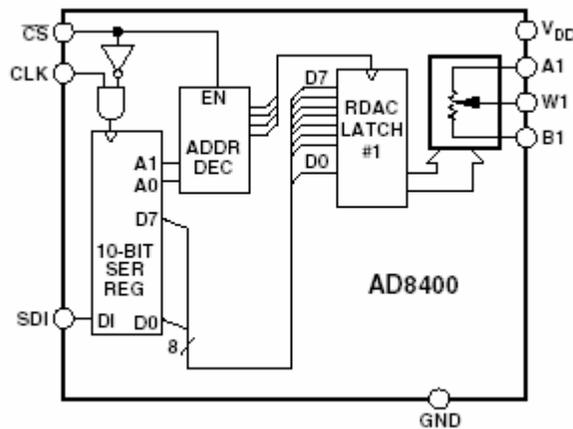


Fig. 4-22: Diagrama de Blocos do AD8400.

A palavra de controle para programação do dispositivo é de 10 bits, sendo que os dois primeiros são para endereçamento e os oito bits restantes para seleção da resistência, como mostra a Fig. 4-23. No caso do AD8400, os bits A0 e A1 sempre serão zero, pois o dispositivo possui apenas um potenciômetro em seu encapsulamento.

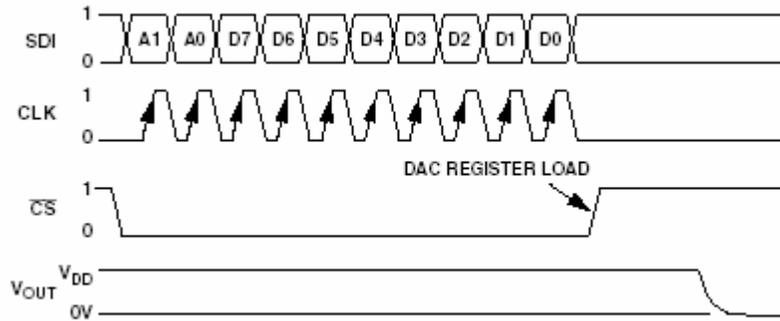


Fig. 4-23: Diagrama de tempos do AD8400.

Durante o envio dos dados, o pino *Chip Enable (CE)* deve se encontrar habilitado, ou seja, em nível baixo (zero) e, ao retornar para nível alto, o registrador irá carregar a palavra serial enviada. O envio de cada bit ocorre sempre na borda de subida do sinal de clock.

A equação que determina a resistência de saída programada digitalmente é dada por:

$$R_{WB}(D_x) = \frac{D_x}{256 \cdot R_{AB}} + R_W, \quad (4.12)$$

onde:

- R_{WB} é a resistência entre W e B,
- D_x é a o valor do dado serial programado,
- R_{AB} é a resistência total do dispositivo (para este caso é 1 Kohm),
- R_W – é a resistência de *Wipe* (em torno de 50 ohms).

Uma observação importante é que ao colocar o dispositivo no passo zero (00h) a corrente não deve ultrapassar 5 mA em R_{WB} , o que poderia danificar o componente.

B – Comunicação e Controle do XC9572 (CPLD 1)

Na Fig. 4-24 é mostrado o diagrama de tempos de quando a CPLD vai começar a enviar os dados de ΔT e de T_0 . A presença de novos dados no barramento é confirmada pela transição na borda de subida do sinal SYNC. A metade do byte representa ΔT e a outra metade T_0 . No total, o valor de ΔT e de T_0 possuem 4 bytes (ou 16 bits) cada um deles, totalizando 32 bits de informação a ser recebida através deste barramento.

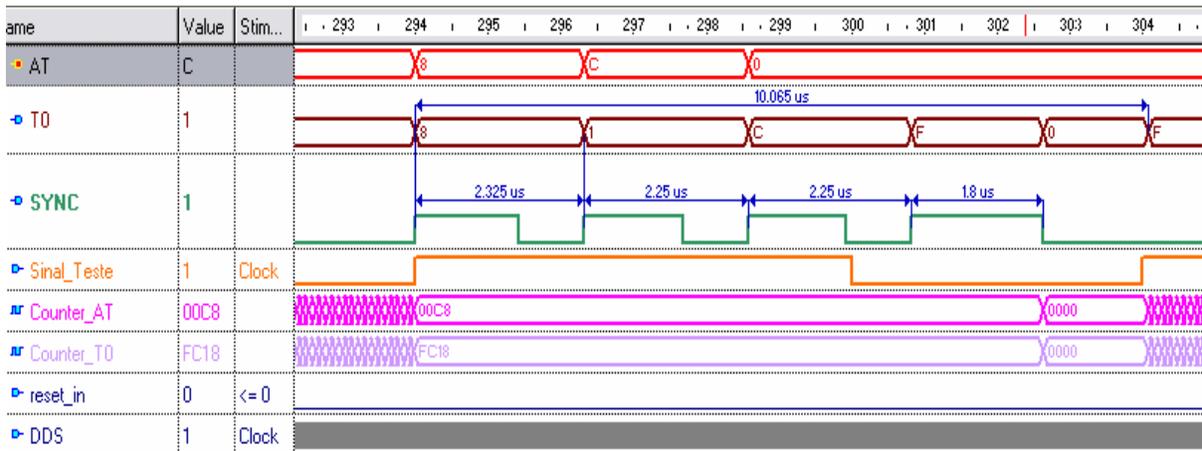


Fig. 4-24: Diagrama de tempos obtido na simulação utilizando o software ActiveHDL.

Toda a transmissão dos dados ocorre em tempos iguais a, no mínimo, um décimo do tempo total, ou seja, o tempo gasto em uma transmissão é 10 vezes menor que o tempo para ela voltar a ocorrer.

C – Comunicação USART com Host

A comunicação entre o microcontrolador e sistema *host* (no caso foi usado um PC) é realizada através de um protocolo que foi especificamente desenvolvido para esta aplicação. Este protocolo é descrito no Anexo III.

D – Programação da Palavra de Controle no AD9851 (DDS)

O *handshaking* do AD9851 para gravação de frequência de trabalho foi descrita em detalhes na seção 4.2

E – Controle do XC9572 (CPLD 2)

A CPLD 2 é responsável por gerar o clock para o microcontrolador PIC e também pelo ajuste grosso do *duty-cycle*. A programação é feita somente colocando 6 bits correspondentes

ao *duty-cycle* desejado. Os bits devem manter o estado para manter a configuração do CPLD. A Fig. 4-25 traz a pinagem envolvida na comunicação:

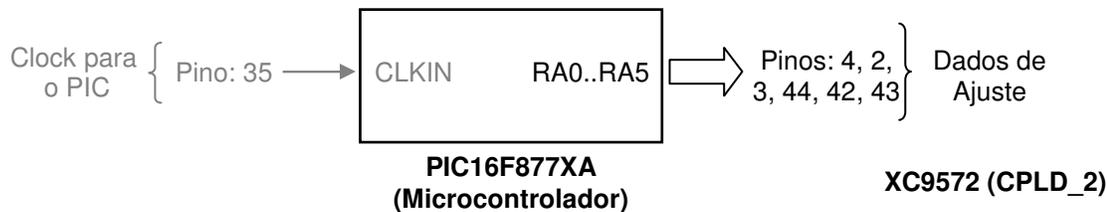


Fig. 4-25: Pinagem utilizada para comunicação.

Programa de testes da CPLD 2

Abaixo o esquema de ligação da CPLD 2 no cristal, no PIC e no circuito de ajuste fino através de potenciômetro (digital ou manual)

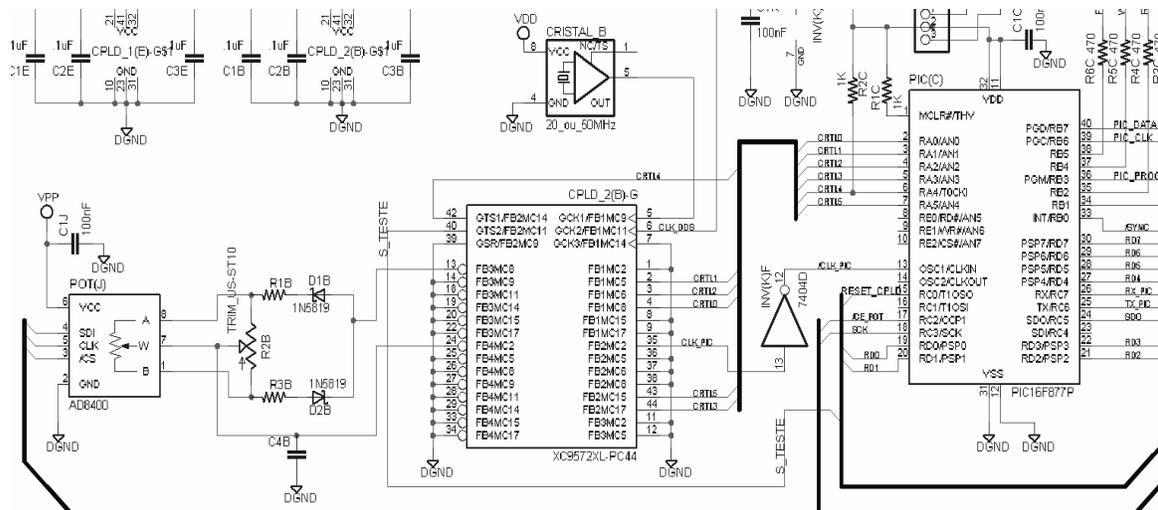


Fig. 4-26: Esquema de ligação da CPLD 2 no circuito

Sinais envolvidos na CPLD 2

- **CTRL[0..5] (pinos: 4, 2, 3, 44, 42, 43 – IN)**

É um dado de 6 bits que representa a variação do *duty-cycle*. A frequência de entrada será dividida por 500, sendo que esses bits farão com que o *duty-cycle* varie de:

6 bits = 64 combinações

Porém, as 64 combinações possibilitam apenas uma variação de 12,8%, admitindo então 6,4% de em cada semiciclo.

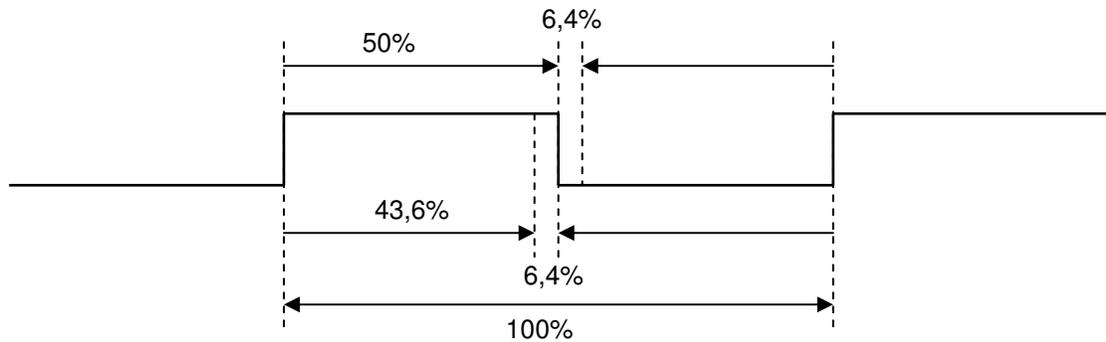


Fig. 4-27: Forma de onda do emulador com *duty-cycle* variável.

- **FB3MC8 (pino 13 - OUT)**

Nesta porta é colocado o sinal com *duty-cycle* determinado pela CPLD para sofrer o ajuste fino no conjunto RC (resistor-capacitor) controlado via potenciômetro.

O sinal apresenta uma frequência de 100 KHz (com *duty-cycle* variável) que é derivada do *clock* de 20 MHz (cristal). A resolução do sistema é de 100 nanosegundos limitada pelo período do sinal de referência de entrada.

- **W (pino 24 – IN)**

Neste pino é retornado o sinal já ajustado pelo conjunto RC. O sinal entra no *buffer* e acessa diretamente S_TESTE.

- **CLK_XO (pino 5 - IN)**

Esse pino recebe o *clock* de referência (20 MHz) fornecido pelo cristal.

- **CLK_DDS (pino 6 - OUT)**

No CLK_DDS é gerado o *clock* de referência do DDS. A frequência para o DDS é de 20 MHz, ou seja, é a mesma frequência de entrada em CLK_XO

- **S_TESTE (pino 40 - OUT)**

Esse pino da CPLD_1 é usado para entrada do sinal de testes a ser demodulado.

- **CLK_PIC (pino 35 – OUT)**

Fornece o *clock* de 20 MHz para o PIC a partir do *clock* de referência (20Mhz), ou seja, nesse caso é apenas um *buffer*. A configuração foi feita desta forma para se ter praticidade em caso de alterações no valor da frequência do dispositivo.

Software de controle e comunicação

Para controle e obtenção de dados de simulação, foi contruído em linguagem de programação *Delphi* um software que se comunica com o microcontrolador a partir da porta serial do computador. As telas a seguir mostram os módulos de ajuste de frequência do DDS, ajuste do sinal do emulador do Giro e obtenção de medições.



Fig. 4-28: Módulo de ajuste da frequência do chip DDS.



Fig. 4-29: Módulos de ajuste do sinal do emulador do giroscópio.

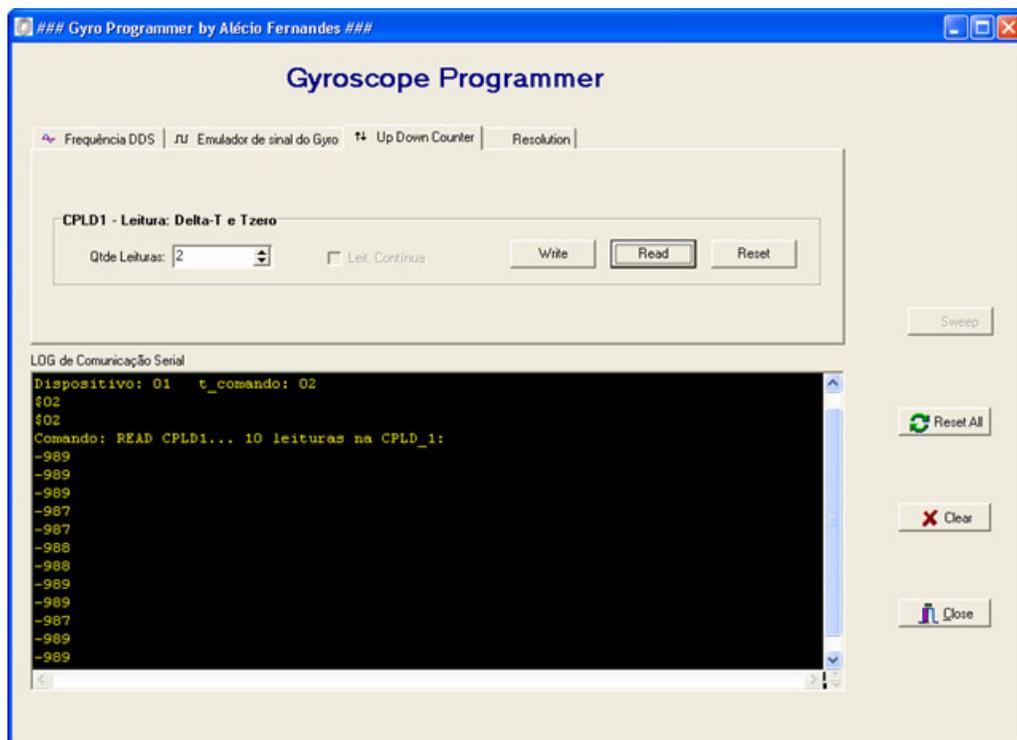


Fig. 4-30: Módulo de obtenção de medições.

4.5 Circuito de Alimentação

Para alimentar o circuito utiliza-se uma fonte DC simétrica de $-V$, Terra e $+V$. A tensão fornecida pode variar entre $V = \pm 8$ a ± 12 Volts. A alimentação negativa se faz necessária por causa do circuito analógico responsável pela recepção do sinal do giroscópio que contém amplificadores operacionais.

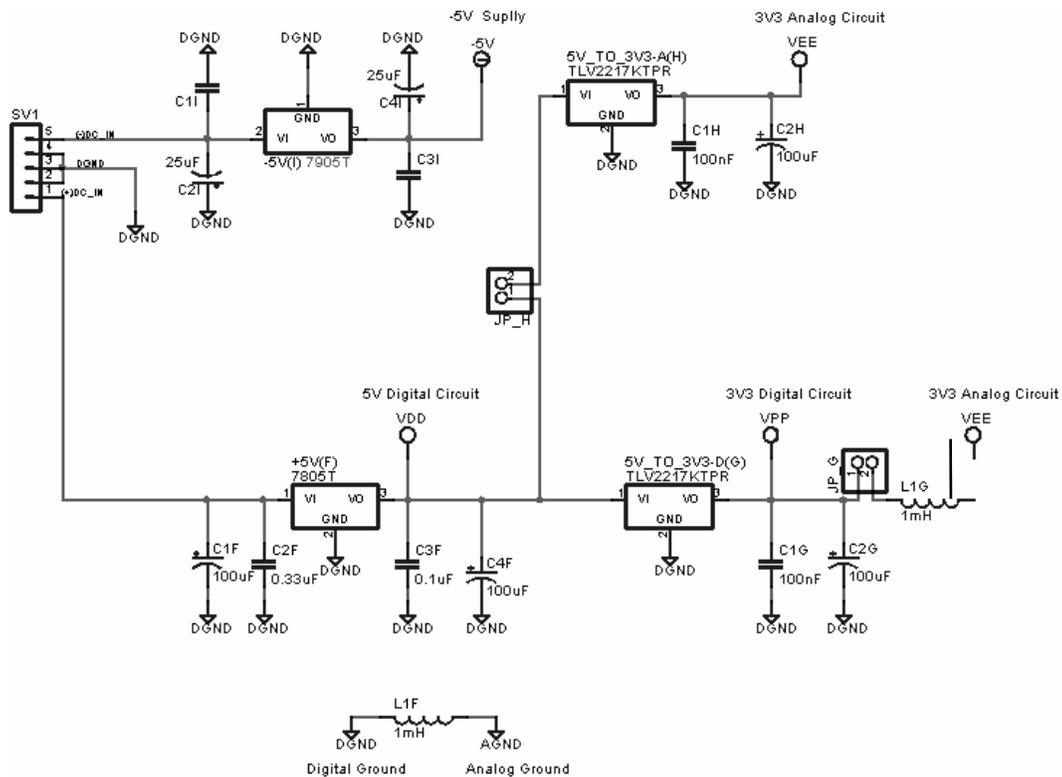


Fig. 4-31: Esquema do circuito de alimentação utilizado

No circuito de alimentação da placa são geradas três tensões distintas a partir de reguladores de tensão de ± 5 Volts (os muito usados 7805 e 79L05) e circuitos integrados “*low drop-out*” de 3,3 Volts (foi usado o TLV2217 da *Texas Instruments*). Os circuitos analógicos da placa têm sua alimentação e planos de terra separados dos circuitos digitais por um indutor de 1mH para evitar que ruídos e correntes por indução entre os circuitos interfiram no

funcionamento dos mesmos. Para garantir a separação entre os circuitos de alimentação foram usados reguladores “*low drop-out*” distintos de 3,3 Volts. No ponto de junção dos planos de terra (AGND e DGND, terra analógico e terra digital, respectivamente) foram usados indutores de 1 miliHenry.

Capítulo 5

Resultados e Aplicação da Técnica

Neste capítulo são apresentados os resultados obtidos a partir de simulações com o circuito projetado e implementado para validação da técnica.

Um diagrama de blocos e o projeto do circuito com modificações e melhorias para viabilizar a aplicação da técnica na prática são apresentados ao final do capítulo, apontando as contribuições e consolidação do trabalho realizado.

5.1 Simulações

Para simular o comportamento do circuito, foi desenvolvido um VI em *LabView* que implementa a técnica *clock quasi-síncrono*. A Fig. 5-1 mostra o resultado para um caso onde não há aumento de resolução (a relação entre kW e Z é múltipla da frequência f_m do sinal a ser medido). Apesar do *duty-cycle* ser de 51,251 %, o ΔN medido em $Z = 3$ períodos é igual a zero (ou seja, não detectou a variação), pois a resolução do sistema passar a ser síncrona.

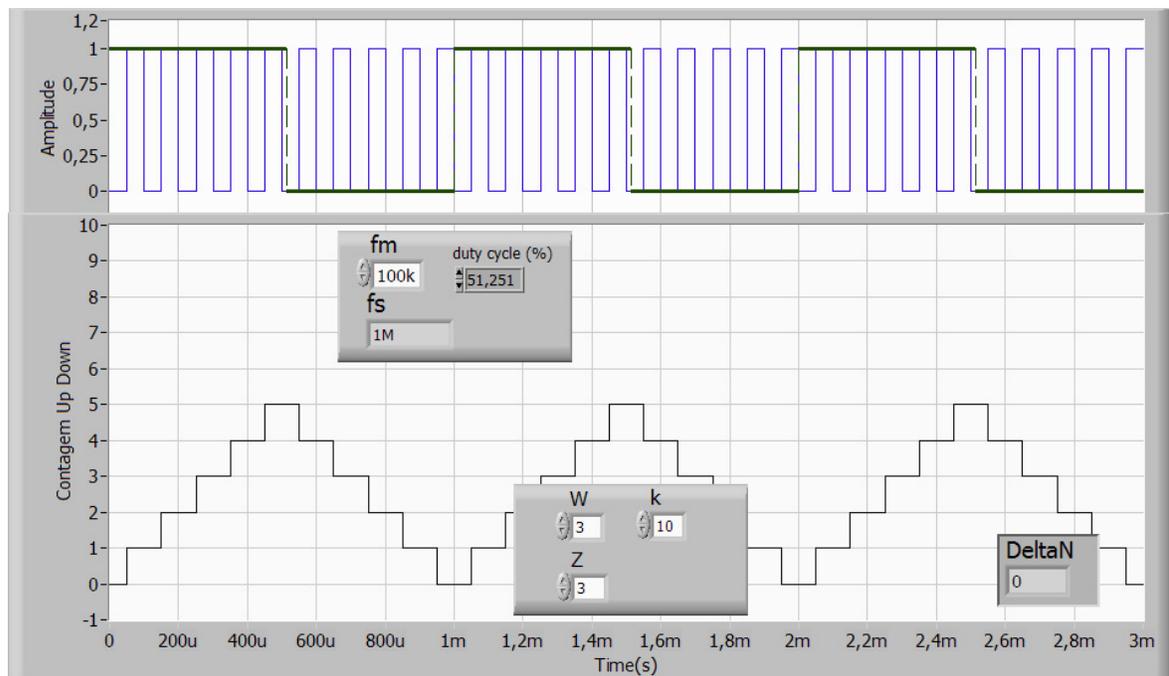


Fig. 5-1: Simulação em *LabView*: sem aumento de resolução.

Fazendo a mesma simulação para um aumento de resolução de 4 vezes já é possível detectar o *duty cycle* de 51,251 %. O ΔN medido em $Z = 3$ períodos foi igual a 2. A Fig. 5-2 mostra o resultado da simulação.

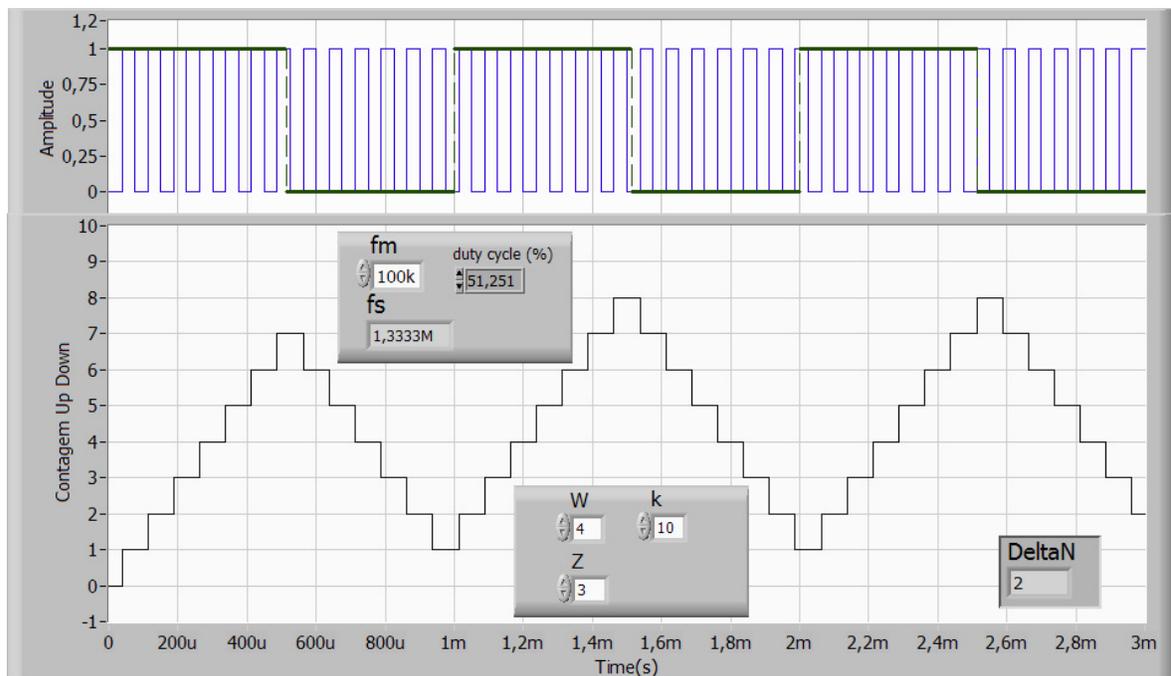


Fig. 5-2: Simulação em *LabView* - com aumento de resolução (4x)

Para uma simulação com um aumento de resolução de 100 vezes é possível detectar uma variação de 0,5 %, onde o ΔN medido para $Z = 99$ períodos foi igual a 100. A Fig. 5-3 mostra o resultado da simulação.

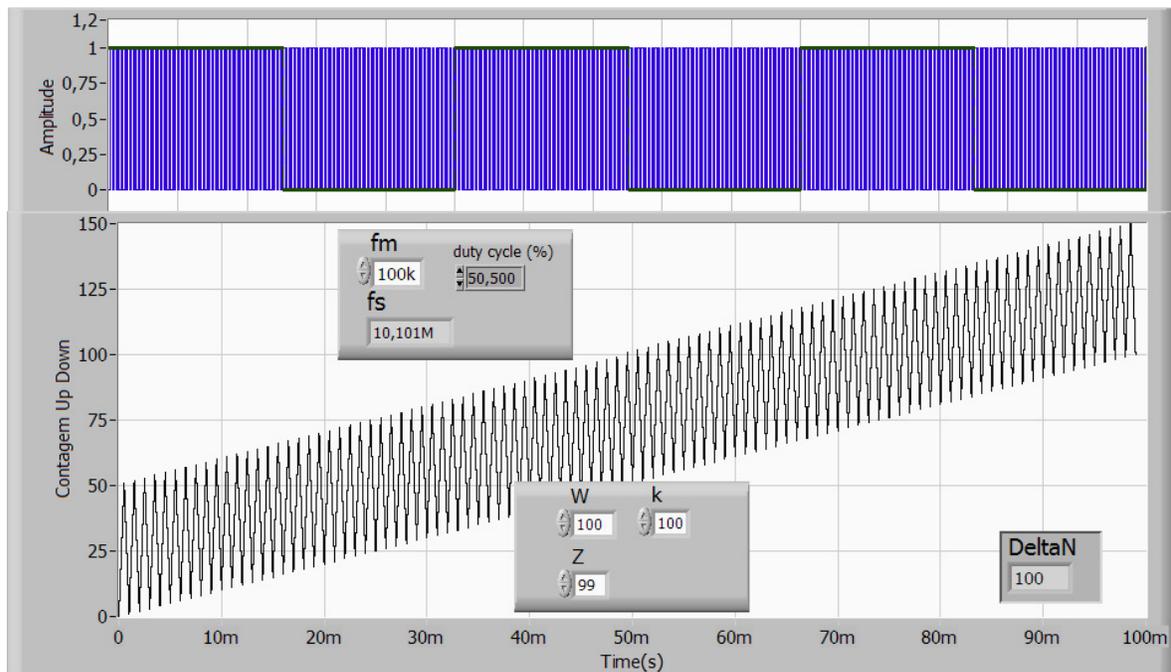


Fig. 5-3: Simulação em *LabView*: aumento de resolução de 100X

5.2 Resultados práticos

Os resultados a seguir apresentados foram obtidos com o circuito montado e descrito no capítulo anterior (Fig. 5-4).

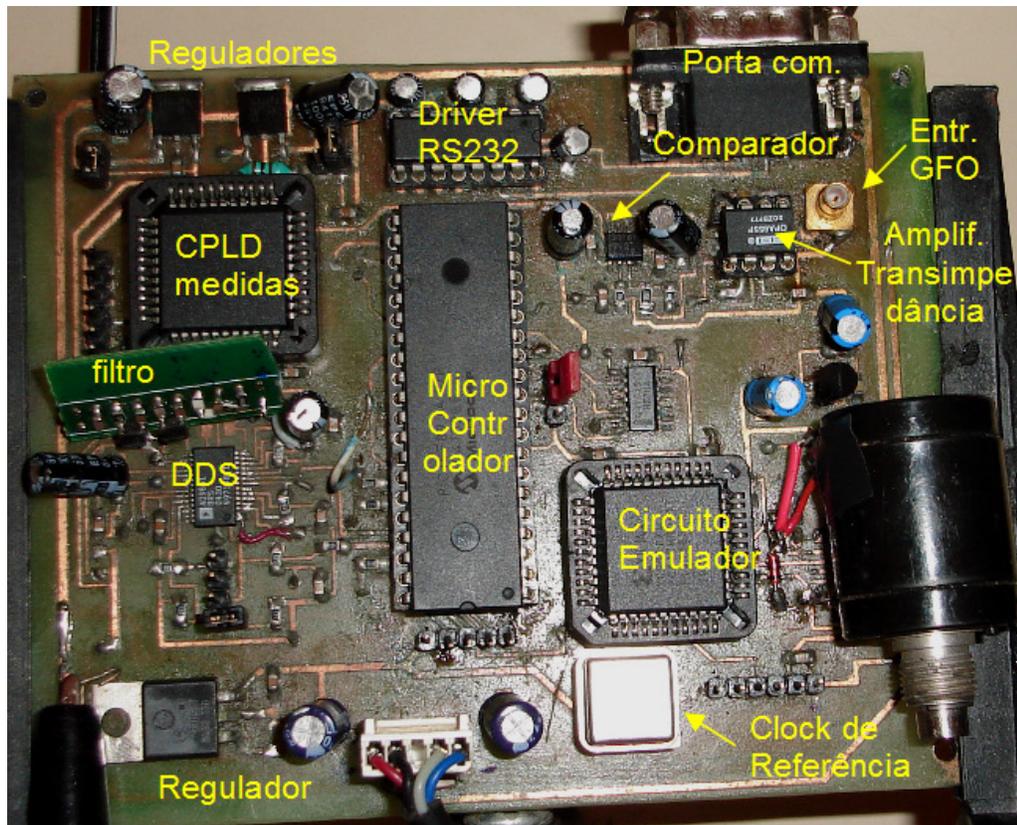


Fig. 5-4: Circuito eletrônico do protótipo para realização das medidas.

As próximas figuras mostram os gráficos obtidos como resultado das medidas em laboratório do protótipo construído, com $k = 1000$, $W = 1000$, $Z = 999$ e $f_m = 100$ KHz, o que permite uma melhora de 1000 vezes na resolução do demodulador (quando comparado ao demodulador síncrono). As Fig. 5-5, Fig. 5-6 e Fig. 5-7 obtidas através de um osciloscópio digital de 400 MSa/s (escala 50 ns/div x 500 mV) mostram o sinal de 100 KHz emulado no sistema para medição de ΔT de 100 ns, 200 ns e 300 ns. O *clock* do sistema de 20 MHz ($T = 50$ ns) é mostrado nas figuras para fins de comparação. Na Fig. 5-6 o sinal está deslocado 50

ns comparado a Fig. 5-5. Já o sinal da Fig. 5-7 está deslocado 100 ns se comparado a figura Fig. 5-5.

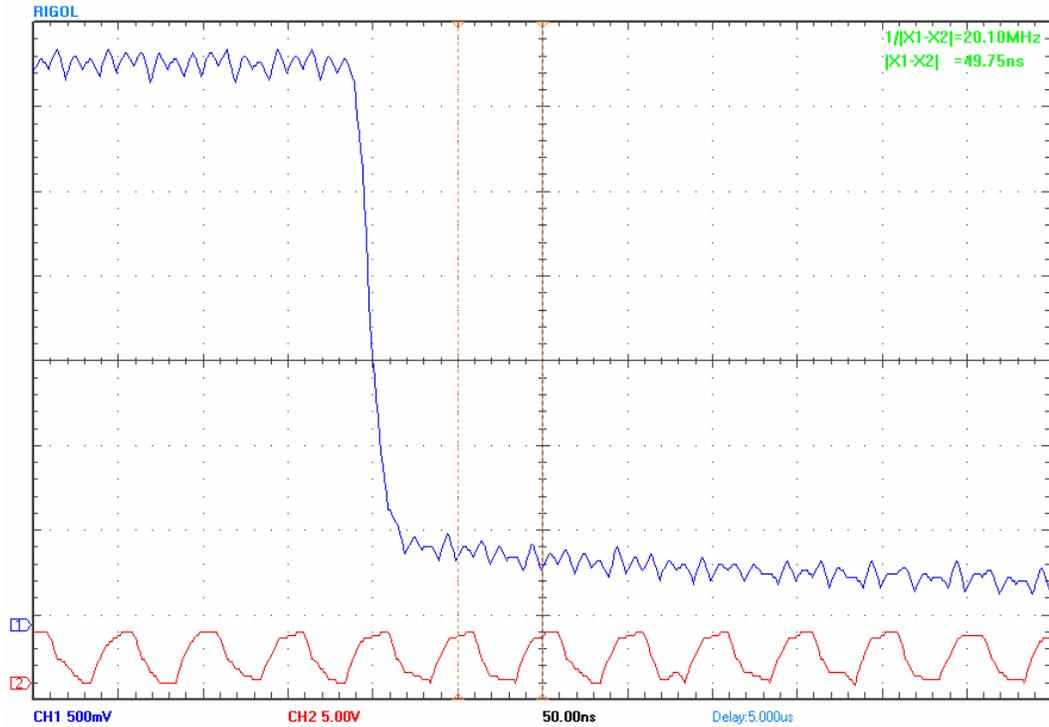


Fig. 5-5: Sinal emulado de 100 KHz com variação de 100 ns no *duty-cycle*.

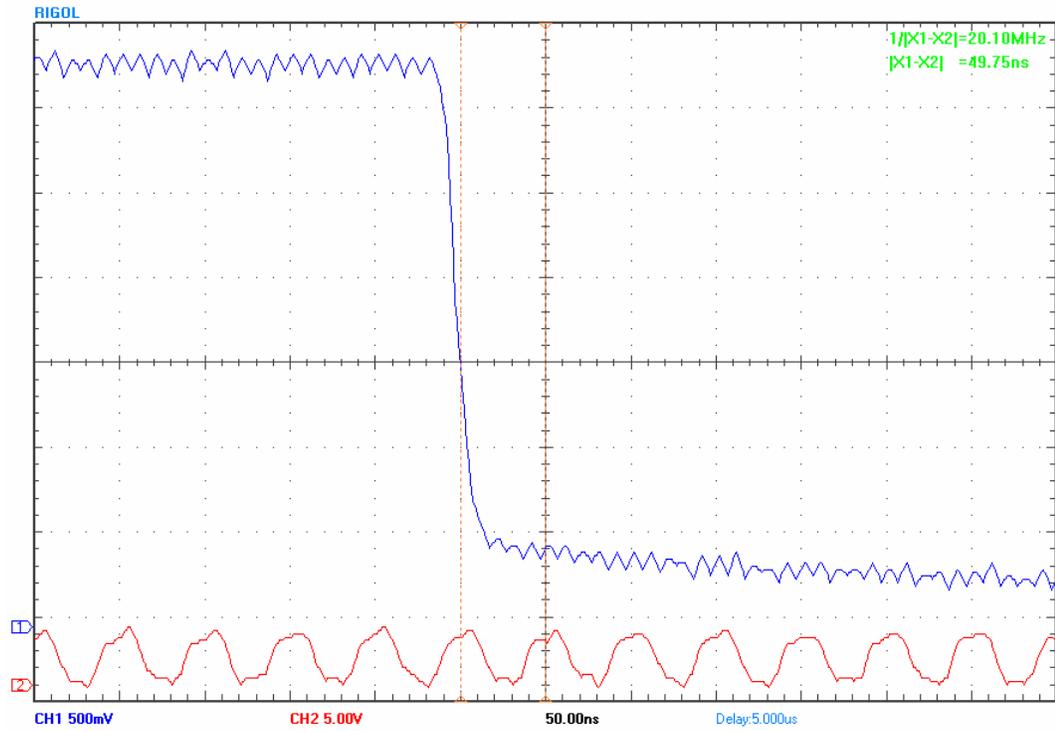


Fig. 5-6: Sinal emulado de 100 KHz com variação de 200 ns no *duty-cycle*.

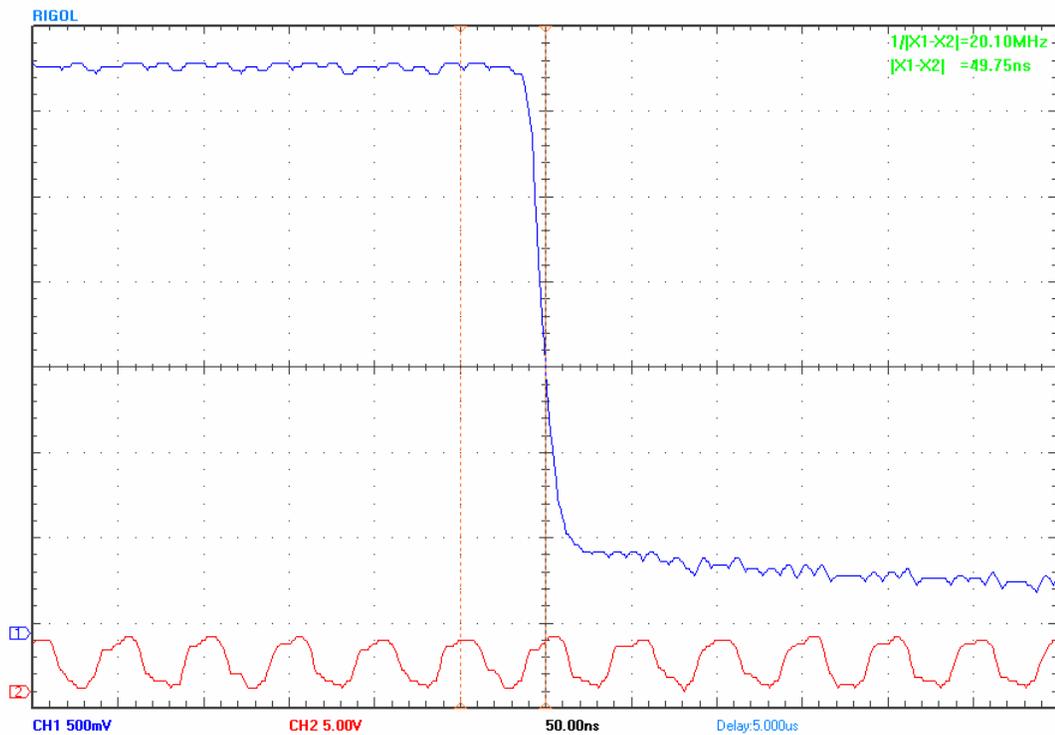


Fig. 5-7: Sinal emulado de 100 KHz com variação de 300 ns no *duty-cycle*.

Foram feitas diversas medições para um sinal ΔT variando de 100 em 100 ns, indo de 0 a 1 μs , aplicado na entrada do sistema. Como se pode observar nos próximos gráficos (Fig. 5-8 até Fig. 5-18), a contagem obtida na média foi ΔT , e foi possível detectar tempos de $\Delta T = 100$ ps (devido a limitação do *jitter* no sinal de entrada), atingindo-se a resolução esperada (de $1/kW$), ou seja, 1000 vezes melhor que um demodulador digital síncrono convencional. As próximas figuras mostram esses gráficos obtidos fazendo média com 20 pontos para $\Delta T = 0, 100, 200, 300, 400, 500, 600, 700, 800, 900$ e 1000 ns para as mesmas condições.

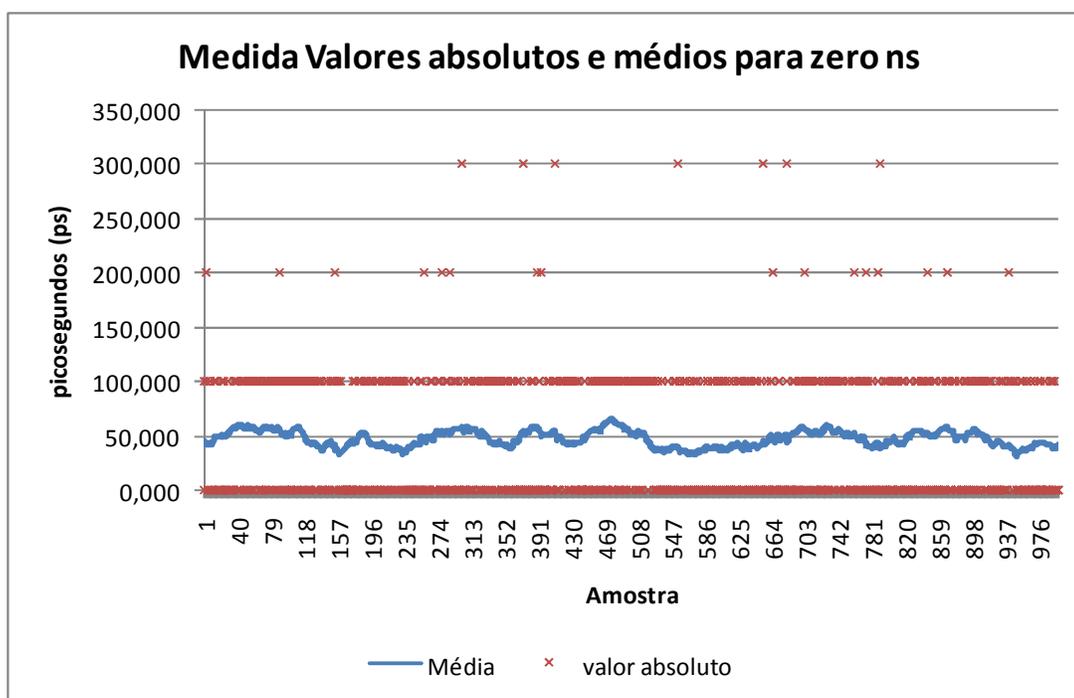


Fig. 5-8: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para zero ns.

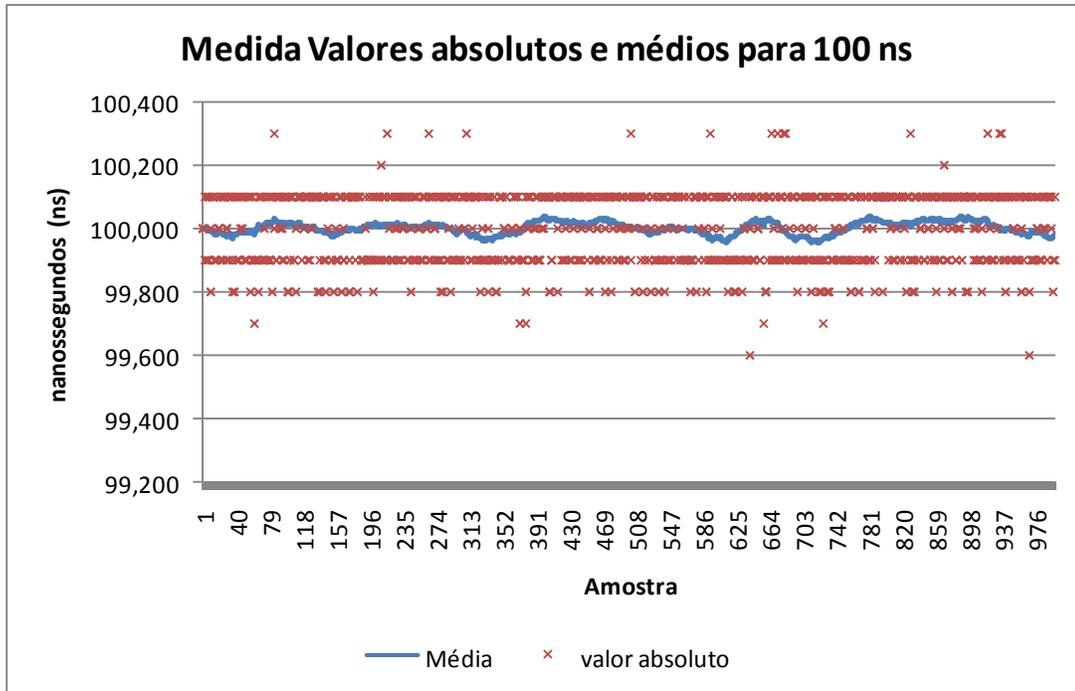


Fig. 5-9: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 100 ns.

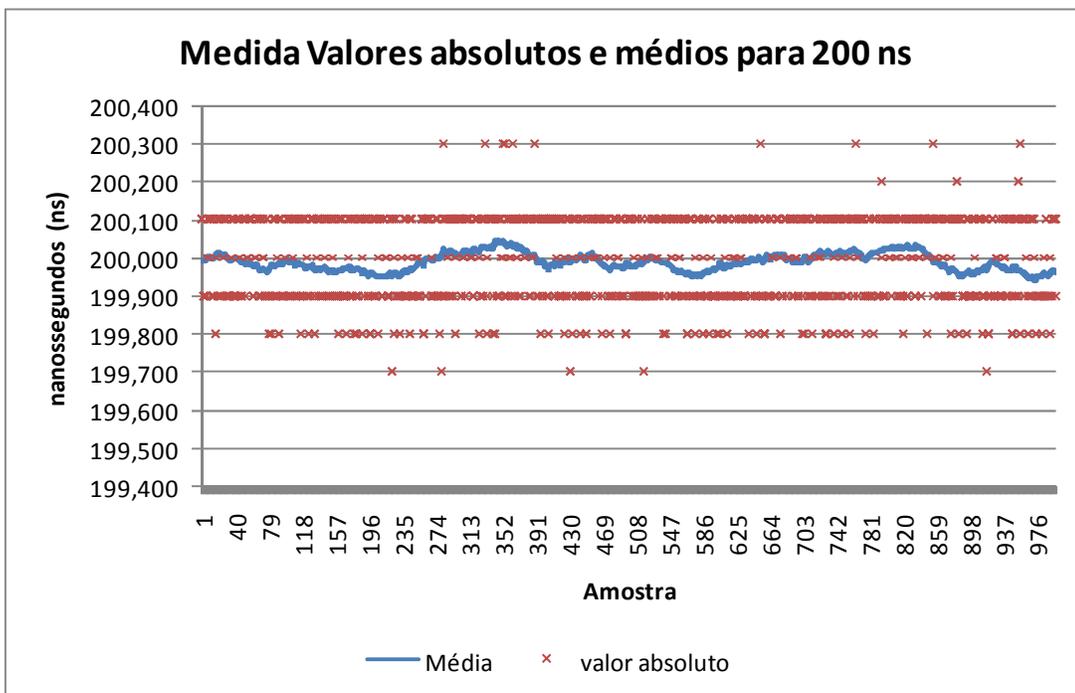


Fig. 5-10: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 200 ns.

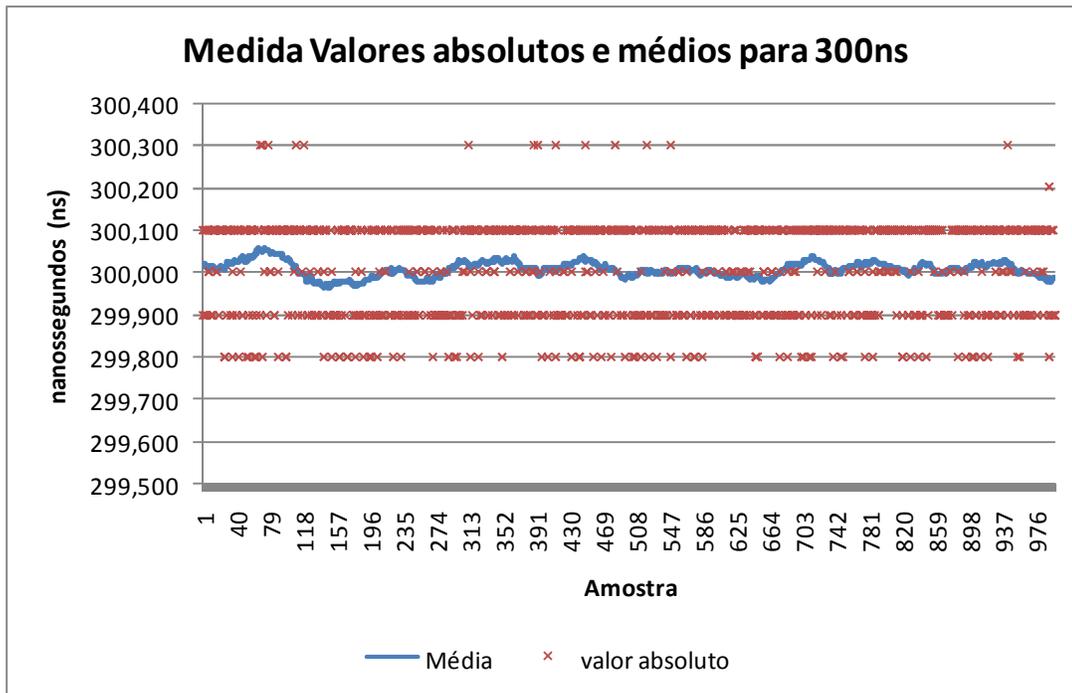


Fig. 5-11: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 300 ns.

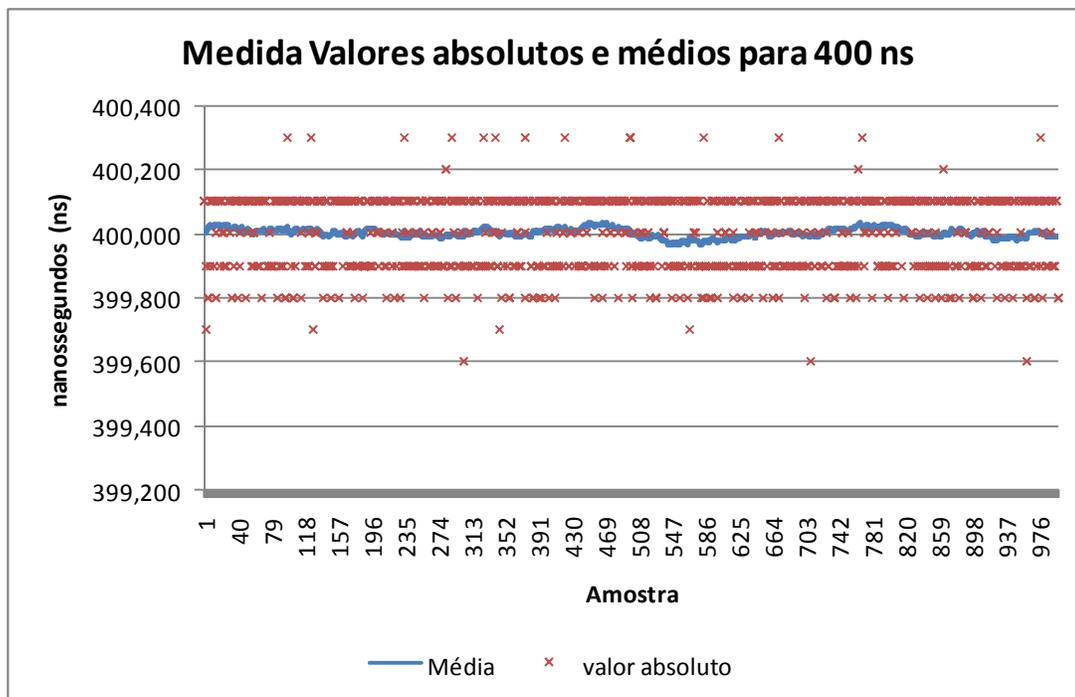


Fig. 5-12: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 400 ns.

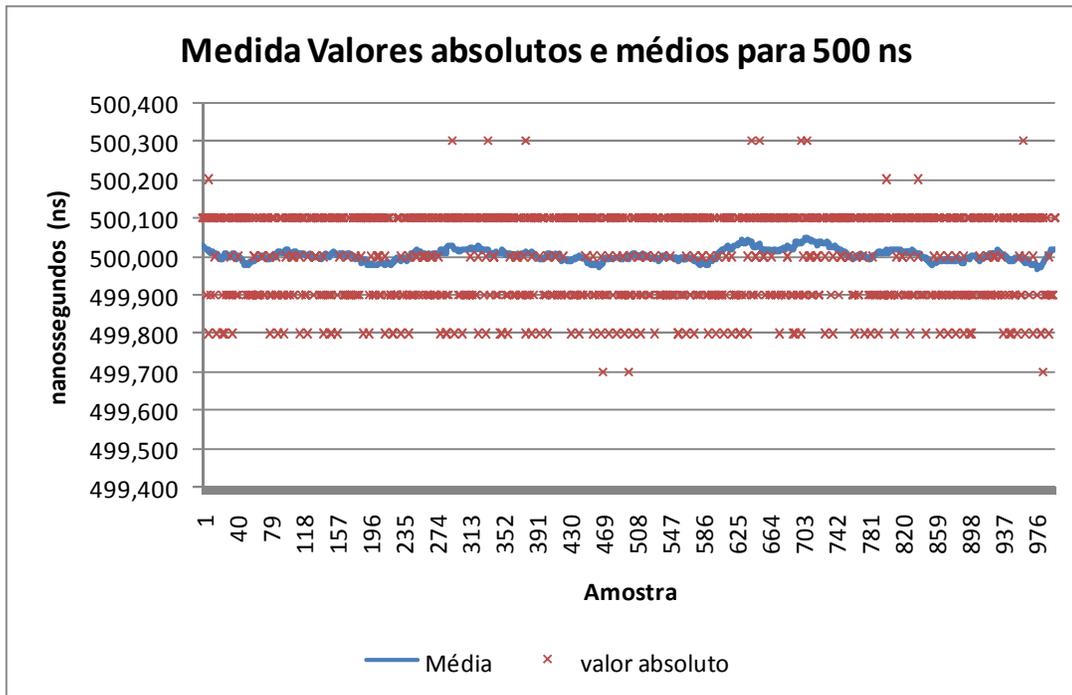


Fig. 5-13: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 500 ns.

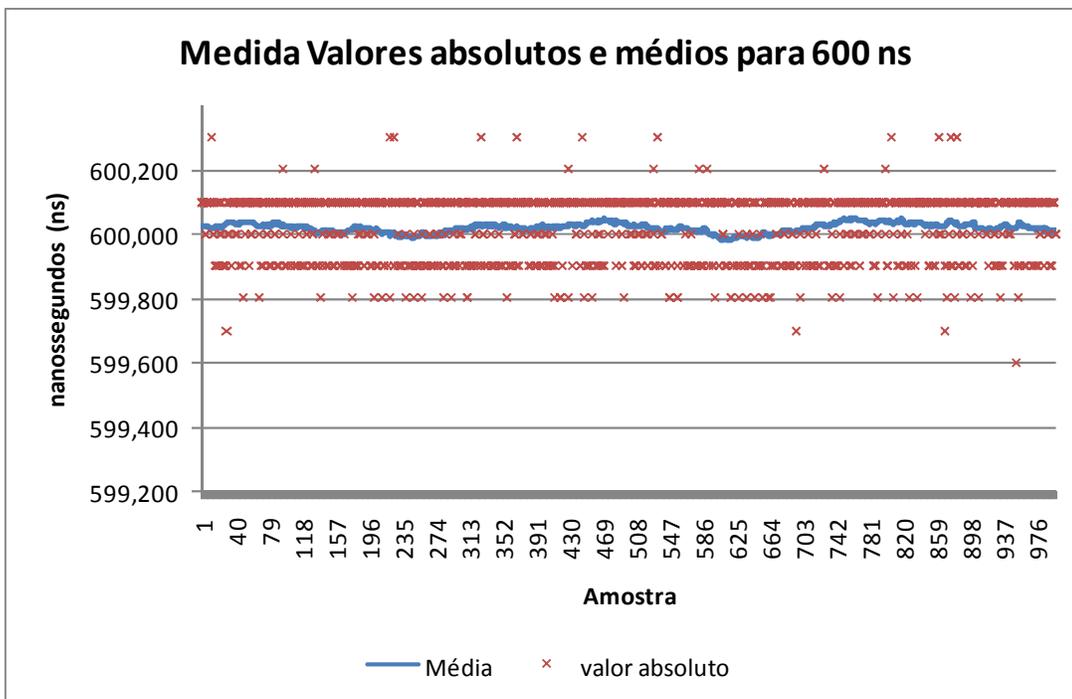


Fig. 5-14: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 600 ns.

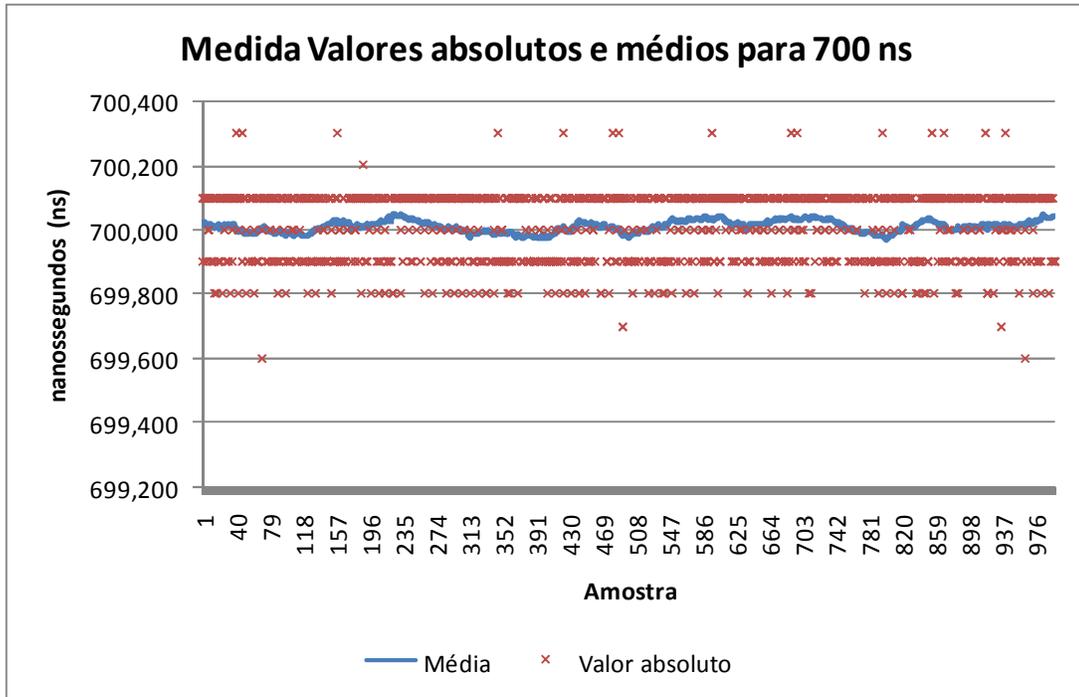


Fig. 5-15: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 700 ns.

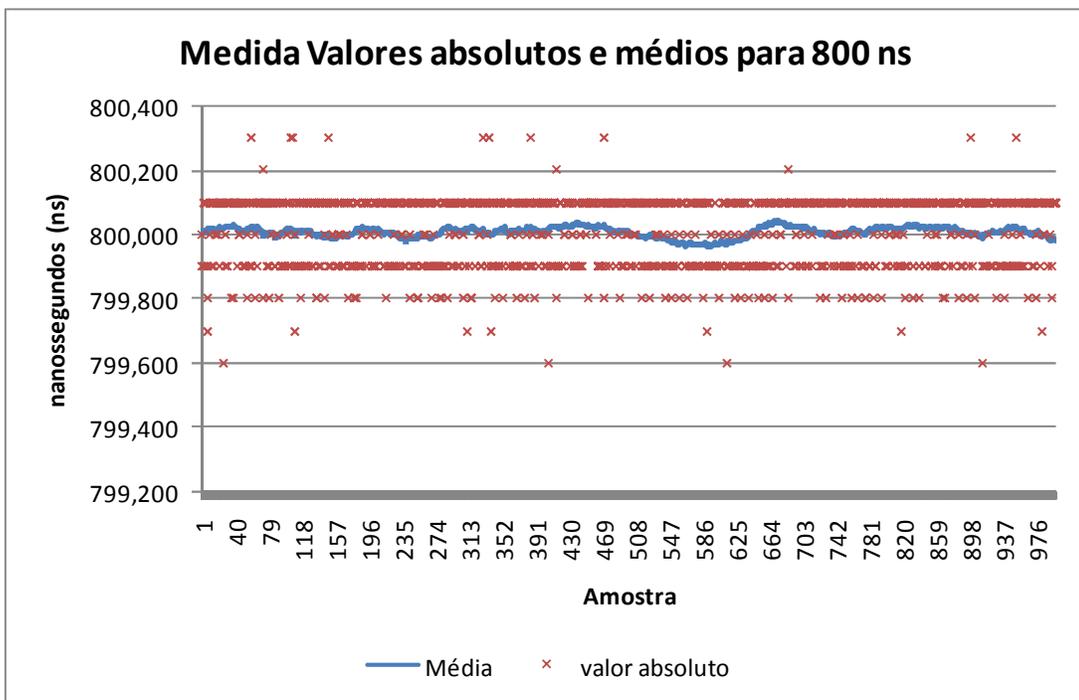


Fig. 5-16: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 800 ns.

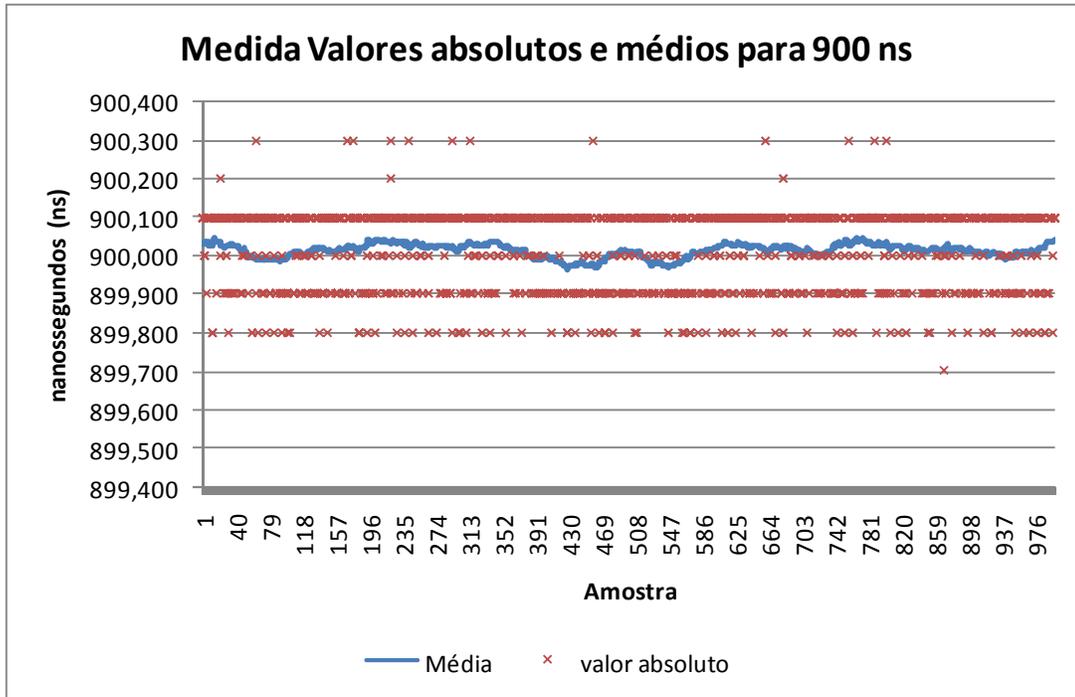


Fig. 5-17: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 900 ns.

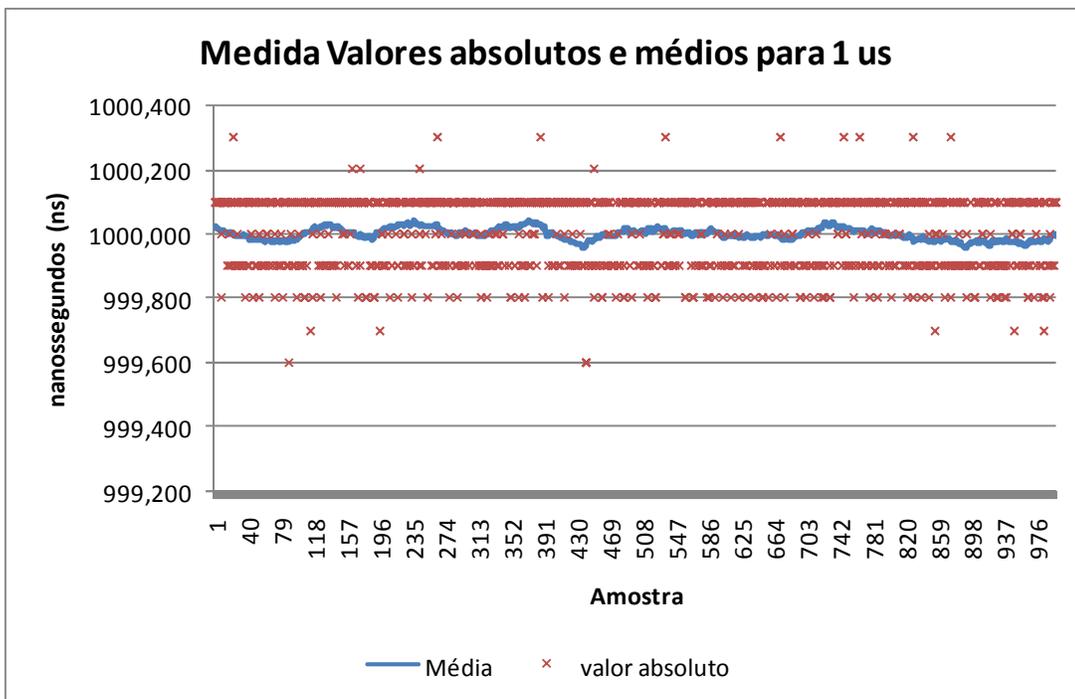


Fig. 5-18: Gráfico da medida dos valores lidos absolutos e dos valores médios (20 amostras) para 1000 ns.

Os resultado obtido mostra que a média dos valores obtidos variam dentro do tempo ajustado com a resolução e resultado esperados, mostrando que a implementação se destaca como mais uma opção para demodulação de giroscópios utilizando circuitos inteiramente digitais e de baixo custo. Os gráficos mostram que através desse circuito, que utiliza *clock quasi-síncrono* comparativamente lento, pode fornecer a mesma resolução, ou até superior, do que aquela fornecida por um *clock síncrono* mais rápido.

Outra experiência realizada foi obtida com a montagem de um circuito emulador para gerar um pequeno atraso no sinal da ordem de picosegundos e então medir esse desvio com o demodulador. O circuito utilizado para gerar esse atraso é o mostrado na Fig. 5-19:

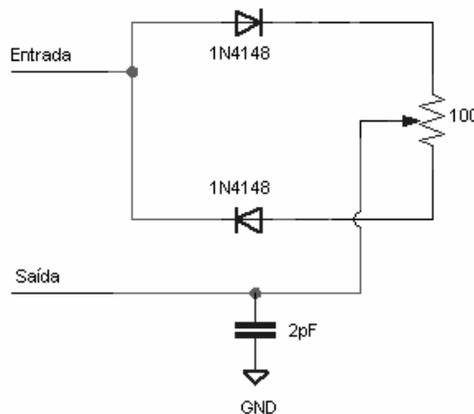


Fig. 5-19: Circuito utilizado para gerar pequenos atrasos (da ordem de picosegundos).

O potenciômetro de 100 ohms é multivoltas (10 voltas), e conseguiu-se um fundo de escala com esse circuito de 10 ns em 3600 graus de rotação do potenciômetro, portanto, nessa aproximação linear, teríamos aproximadamente 3 ps/grau, o que permitiria testar a sensibilidade do circuito. As figuras Fig. 5-20 e Fig. 5-21 mostram as formas de onda do sinal de 100 KHz modificado pelo circuito e obtidas com fundo de escala do potenciômetro em sentido horário e anti-horário, usando um osciloscópio de 40 MHz a 400 MSa/s. O sinal quadrado é o *clock* do sistema com período de 50 ns e serve para fins de comparação.

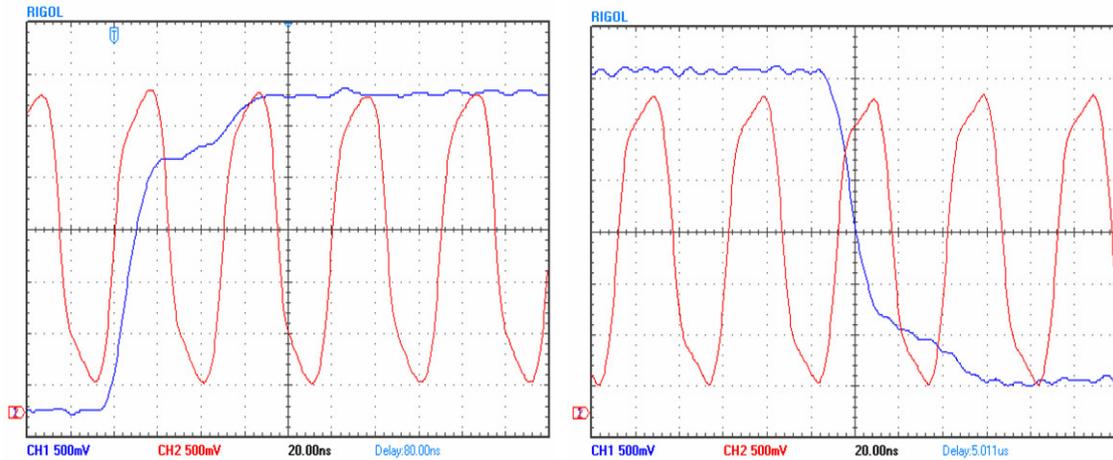


Fig. 5-20: Atraso gerado com potenciômetro todo em sentido horário

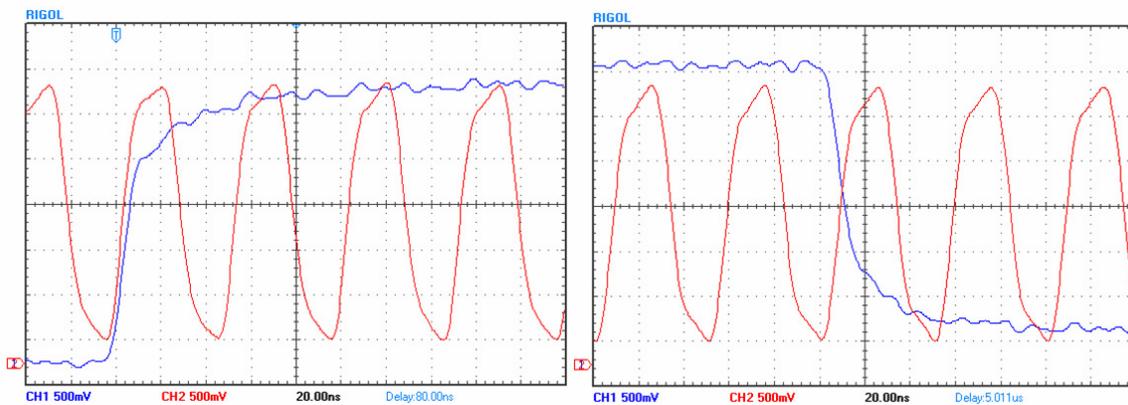


Fig. 5-21: Atraso gerado com potenciômetro todo em sentido anti-horário

O primeiro experimento utilizando esse circuito de geração de pequenos atrasos foi realizado colocando o potenciômetro em seu ponto de equilíbrio e, em seguida, fazendo o potenciômetro girar para um único sentido de forma linear e em passos iguais de um quarto de volta ($0, \frac{1}{4}, \frac{1}{2}, \frac{3}{4}, 1, 1 \frac{1}{4}, 1 \frac{1}{2}, 1 \frac{3}{4}, 2, 2 \frac{1}{4}, 2 \frac{1}{2}, 2 \frac{3}{4}$ de volta). Foram feitas 1000 medições em cada passo. Os gráficos a seguir (Fig. 5-22 e Fig. 5-23) mostram a média e o desvio médio dos valores obtidos.

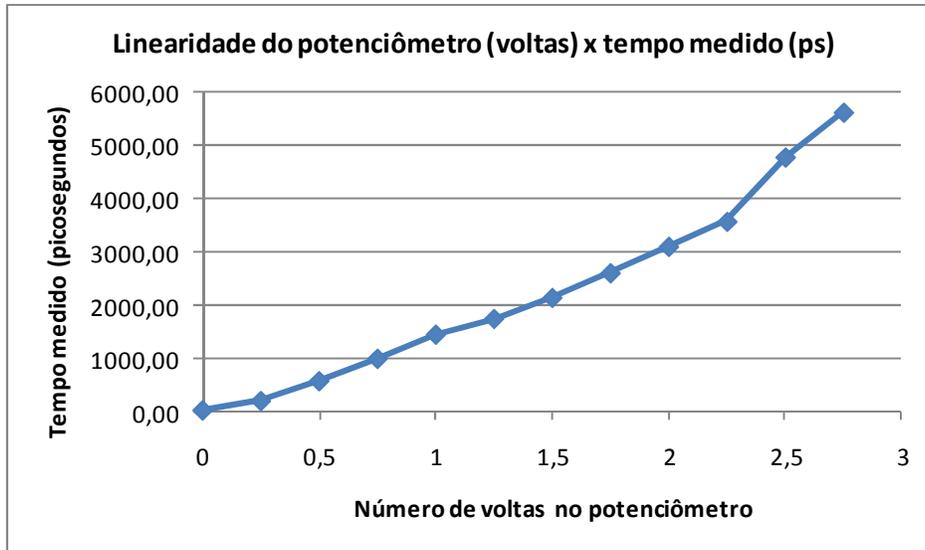


Fig. 5-22: Gráfico da Linearidade do potenciômetro (voltas) x tempo medido (ps).

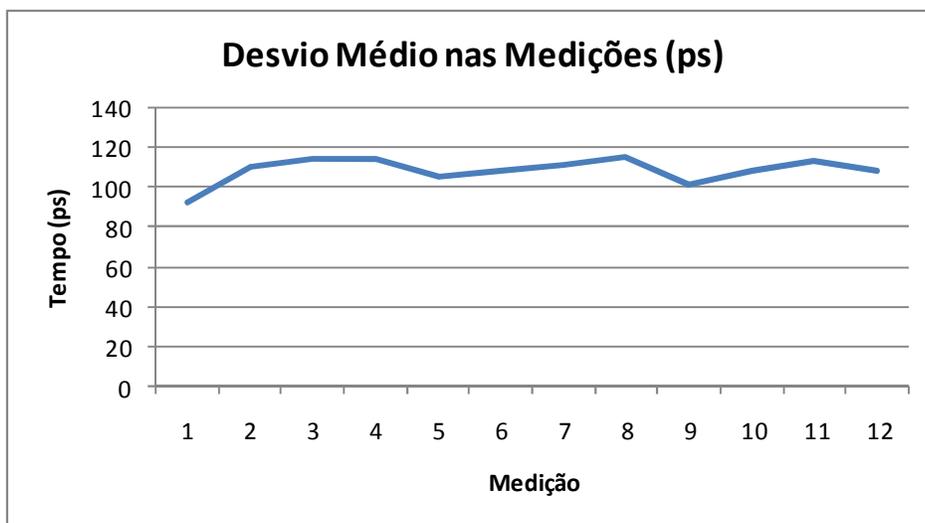


Fig. 5-23: Desvio Médio nas Medições (ps).

Em um segundo experimento, colocou-se em curto-circuito um dos diodos do circuito de atraso (para ficar apenas com um pequeno atraso na borda de subida) e então, a partir do ajuste no potenciômetro para obter o equilíbrio do circuito (tempo igual a zero), mediu-se o valor do mesmo com um multímetro e observou-se no sistema o valor da resistência para se obter 1 ns de tempo. Os demais valores foram obtidos somando-se o valor da resistência e

ajustando o potenciômetro com o auxílio de um multímetro. Os gráficos a seguir (Fig. 5-24 e Fig. 5-25) mostram o valor da resistência *versus* o tempo obtido e a diferença entre o tempo obtido e o tempo esperado.



Fig. 5-24: Valor da resistência x tempo medido

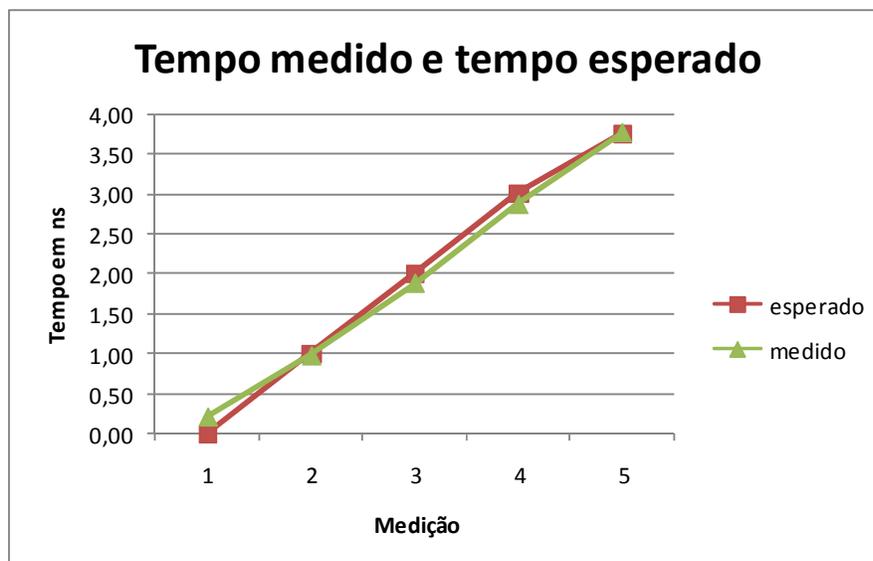


Fig. 5-25: Tempo medido e tempo esperado

Em um terceiro experimento, ajustou-se o potenciômetro com valores discretos para se obter tempos de 0 a 1000 ps de forma linear, a partir do equilíbrio, conforme feito no experimento anterior, porém para se obter agora valores menores que 1 ns. O gráfico da Fig. 5-26 mostra os resultados deste experimento, assim como a curva esperada.

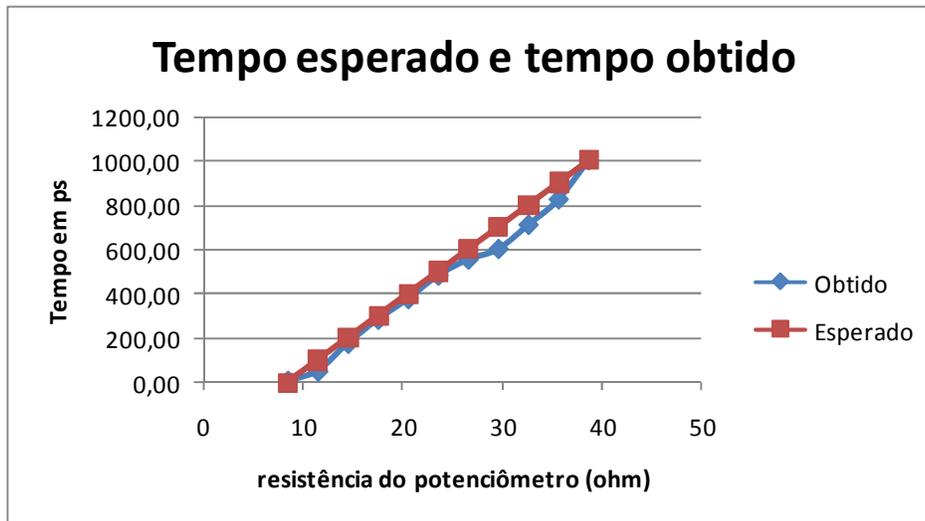


Fig. 5-26: Gráfico de resistência *versus* tempo esperado e tempo obtido

O gráfico da Fig. 5-27 mostra o mesmo experimento realizado a partir da posição zero ohm do potenciômetro. O tempo obtido para zero ohm é negativo, pois representa na prática uma rotação em sentido contrário, ou seja, uma variação de *duty-cycle* no sentido inverso.

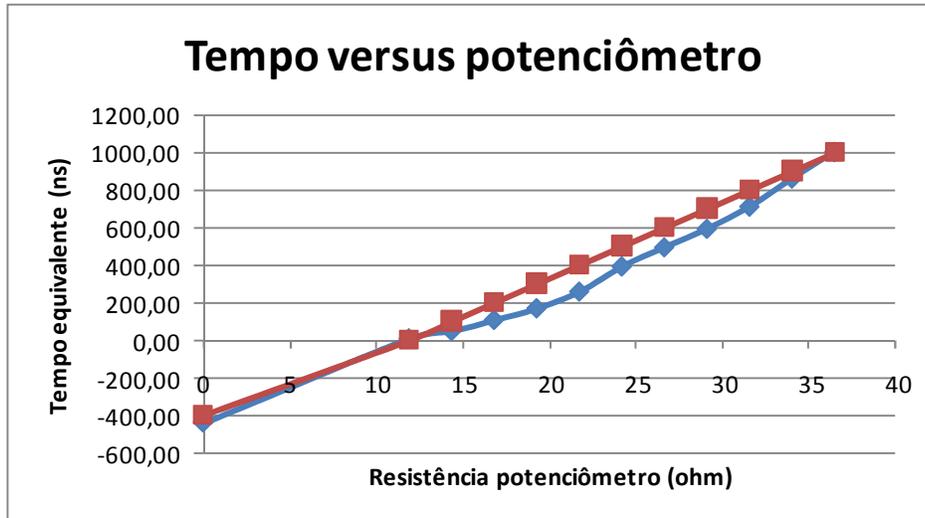


Fig. 5-27: Gráfico do tempo versus resistência do potenciômetro.

Cabe ressaltar que a técnica aqui aplicada ao giroscópio pode ser utilizada em qualquer tipo de circuito onde se necessite medir tempo, utilizando um clock de referência menor e, portanto, simplificando os projetos e diminuindo os custos de implementação.

5.3 Apresentação do Circuito Final

O circuito projetado e apresentado a seguir utiliza a técnica proposta para uso no giroscópio a fibra óptica para ser empregado em aplicações práticas. Para tanto foram feitas melhorias e modificações em relação ao primeiro circuito desenvolvido (protótipo) para validação da técnica digital, como modificação do circuito de transimpedância, inserção de estágios adicionais de filtragem e amplificação, e um módulo de comunicação para *debug*. O diagrama em blocos, o circuito e uma sugestão para o *layout* do PCI em formato PC104 são apresentados nas seções a seguir.

Diagrama em Blocos

A próxima figura (Fig-5.28) traz um diagrama em blocos do circuito final proposto para o giroscópio, onde são apresentados os três principais blocos funcionais:

- Blocos de Demodulação: composto por: Fotodiodo, Amplificador de Transimpedância, Amplificador AC, Comparador, CPLD, Filtro DC e DDS;
- Blocos de Modulação: composto por: medidor de Temperatura, Pot. Digital, DDS, Filtro e Driver;
- Blocos de Controle/comunicação/Demais: oscilador 20 MHz, Filtro DC, Regulador 3V3, Unidade de controle, RS422, RS232 e LEDs.

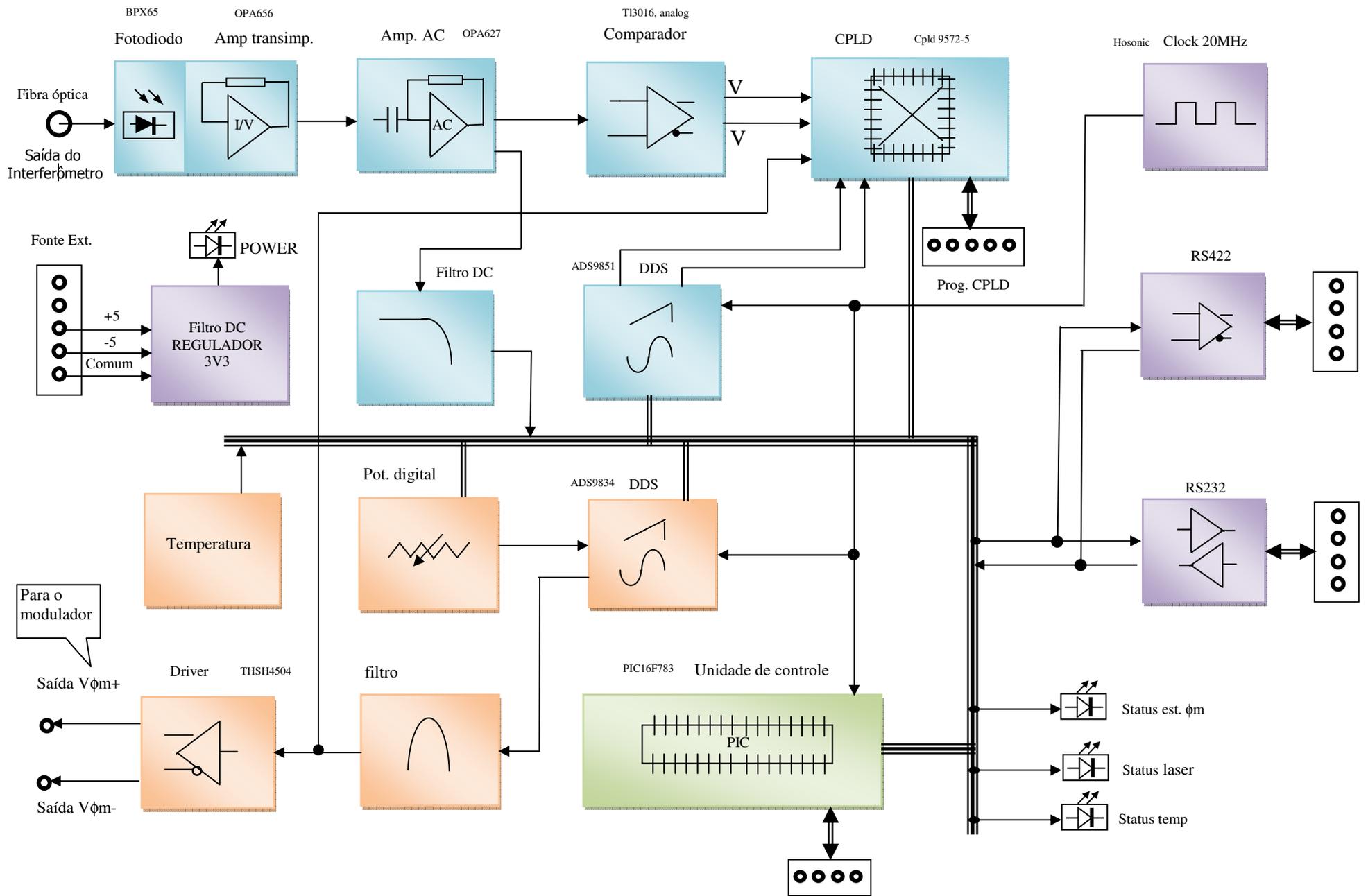


Fig. 5-28: Diagrama em Bloco do detector do giroscópio

Blocos de Demodulação

São os blocos da Fig-5.28 responsáveis por fazer a demodulação do sinal proveniente do GFO. São compostos por:

- Fotodiodo: fotodiodo BPX65 responsável pela captação do sinal na fibra óptica do giro, que transforma a informação óptica em um sinal de corrente;
- Amp. Transimp.: amplificador de transimpedância baseado no amplificador operacional OPA656, responsável por transformar o sinal de corrente advindo do fotodiodo em sinal de voltagem;
- Amp. AC.: amplificador de acoplamento baseado no amplificador Operacional OPA627, responsável por melhorar o ganho do sinal de tensão para o estágio de comparação. Também fornece um sinal para o bloco Filtro DC;
- Comparador: comparador que usa o chip TL3016 do fabricante *Texas Instruments* e é responsável pela separação do sinal após o cruzamento em zero, transformando o sinal do giro em um sinal quadrado;
- CPLD: circuito que utiliza a CPLD XL9572 do fabricante *Xilinx* para lógica de demodulação do sinal da fibra óptica;
- Filtro DC: filtro cuja função é fornecer um sinal que possa ser utilizado para realimentação do controle de frequência do sinal de demodulação;
- DDS: circuito que utiliza o chip DDS AD9851 para a geração do clock quase-síncrono necessário para a demodulação usando a técnica proposta.

Blocos de Modulação

São blocos utilizados para gerar a frequência do modulador de fase para modulação do sinal na fibra óptica do Giroscópio. São compostos por:

- Temperatura: bloco responsável pela leitura de temperatura do sistema para compensação de deriva (*drift*) relativa ao circuito;
- Pot. Digital: bloco composto de um potenciômetro digital que serve para controlar a amplitude da senóide gerada pelo circuito DDS de modulação [34];
- DDS: bloco baseado no chip DDS AD9834 para geração de senóide utilizada na modulação do modulador de fase;
- Filtro: filtro utilizado para reconstrução do sinal de saída do dispositivo DDS (que é amostrado);
- Driver: responsável por condicionar o sinal que vai para o modulador.

Blocos de Controle/ comunicação/ demais blocos:

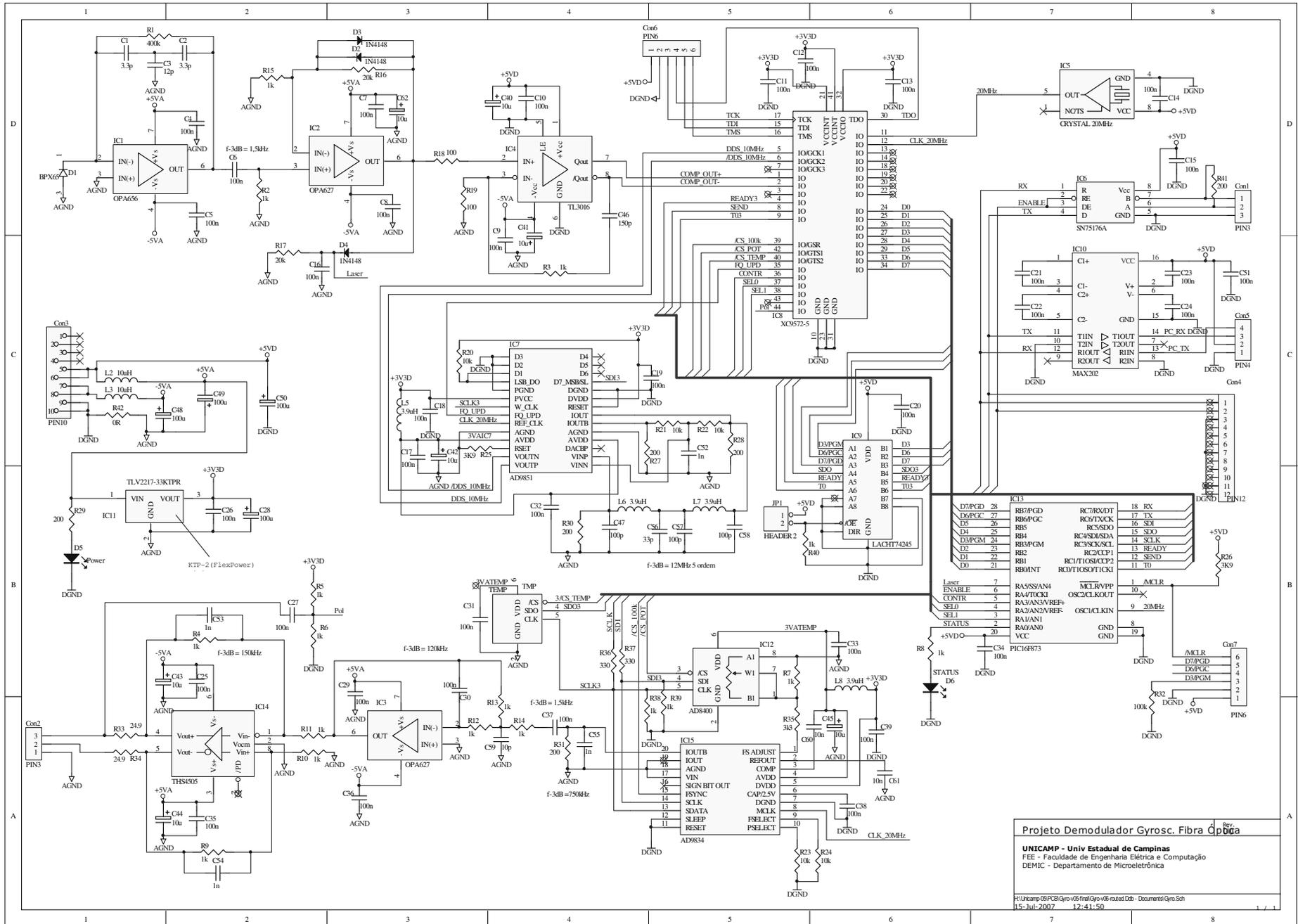
São compostos pelos blocos de controle, de comunicação e dos demais blocos do sistema.

- *Clock* 20 MHz: oscilador que gera o *clock* utilizado em todos os blocos.
- Filtro DC/Regulador 3V3: fonte de alimentação do circuito com filtro.
- Unidade de controle: microcontrolador responsável pelo controle do sistema
- RS422: comunicação do sistema com o meio externo
- RS232: porta de comunicação para *debug*
- LEDs (*Power, status Temp, status Laser*, est. ϕ_m): LEDs para informação visual de *status*.

Diagrama do circuito

Na Fig. 5-29 é mostrado o esquemático da placa projetada para o circuito de validação, enquanto que o *layout* sugerido para padrão PC104 é mostrado na Fig. 5-30:

Fig. 5-29: Placa projetada para o circuito de validação.



Projeto Demodulador Gyrosc. Fibra Óptica

UNICAMP - Univ Estadual de Campinas
 FEE - Faculdade de Engenharia Elétrica e Computação
 DEMIC - Departamento de Microeletrônica

#Unicamp-DEMIC-pcb-gyro-05-final-gyro-06-routed-06b - Documents\Gyro Sch
 15-3-Jul-2007 12:41:50

Placa PCB do circuito

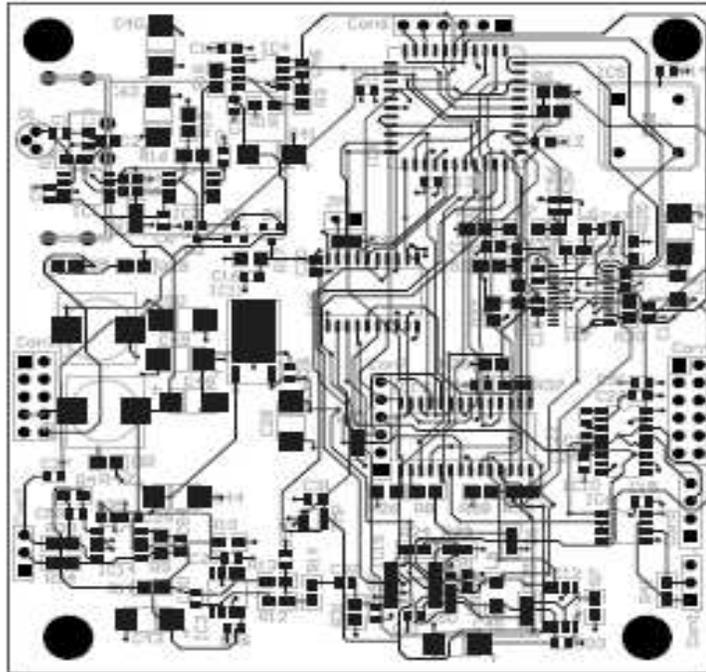


Fig. 5-30: *Layout* final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro: PCI de dois *layers* somente.

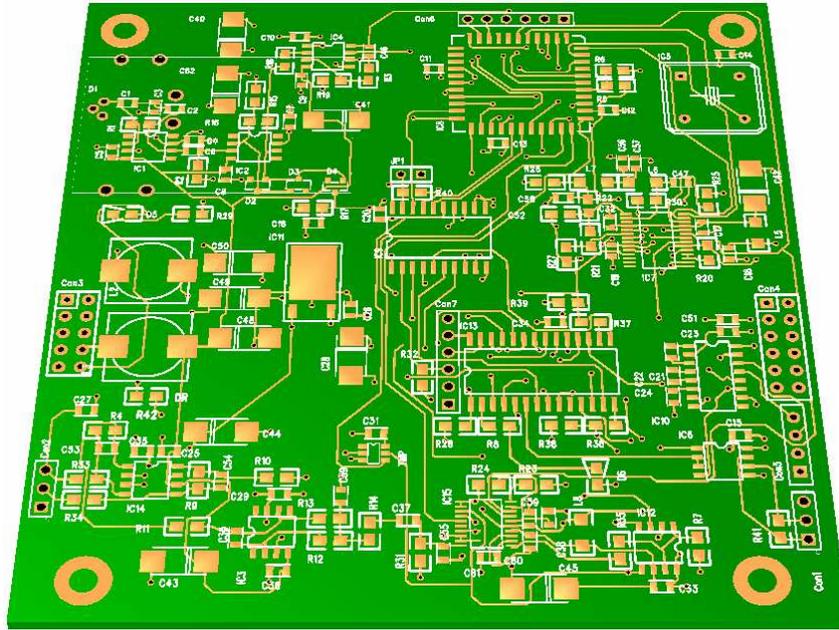


Fig. 5-31: Renderização 3D do *Layout* final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro – *top layer*

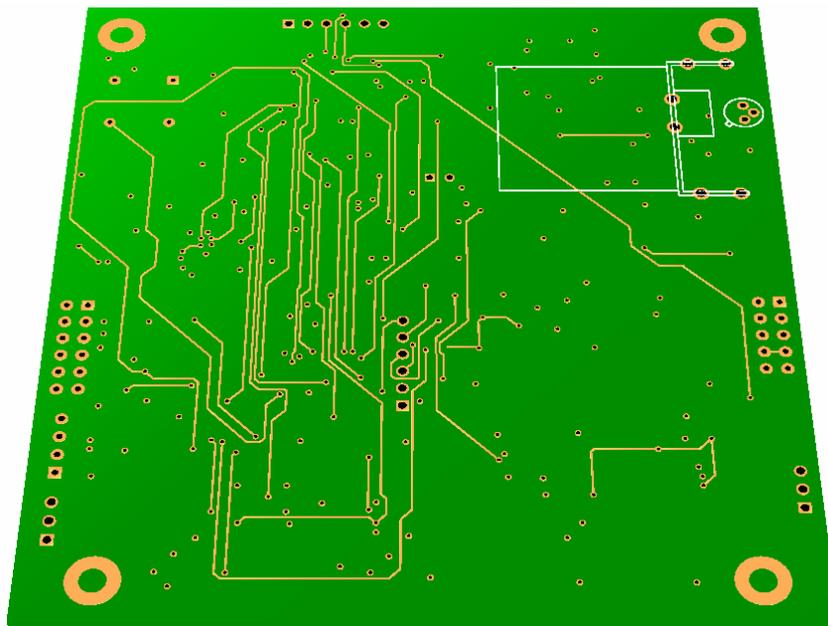


Fig. 5-32: Renderização 3D do *Layout* final em padrão PC104 sugerido para a placa eletrônica do demodulador do giro – *bottom layer*

5.4 Principais modificações para melhorias no circuito

Estágio de transimpedância

O amplificador operacional OPA656 substitui o OPA655 utilizado no circuito de validação, que atualmente foi descontinuado pelo seu fabricante. A troca proporcionou ainda um ganho de 25% na largura de banda do amplificador operacional, mantendo as demais características. A configuração do circuito de transimpedância também foi mantida sem alterações.

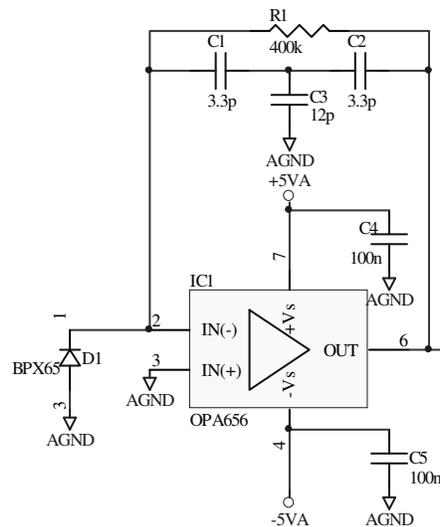


Fig. 5-33: circuito de transimpedância

Estágios Adicionais de Filtro e Amplificação

Ao sinal obtido do Amplificador de Transimpedância foram adicionados um Filtro Passa-Alta (FPA) e um amplificador operacional. O FPA de primeira ordem com frequência de corte em 1,5 KHz tem a função de eliminar ruídos em baixa frequência, como o *flicker* ou *1/f*, enquanto que o estágio adicional de amplificação amplifica o sinal de saída do giro em cerca de 20 vezes, ajudando a diminuir as oscilações no estágio seguinte, que faz a comparação em zero. Os diodos D2 e D3 foram inseridos para limitar a amplitude do sinal, evitando o regime de saturação do amplificador operacional. Fig. 5-34 mostra o circuito do FPA e do amplificador Operacional:

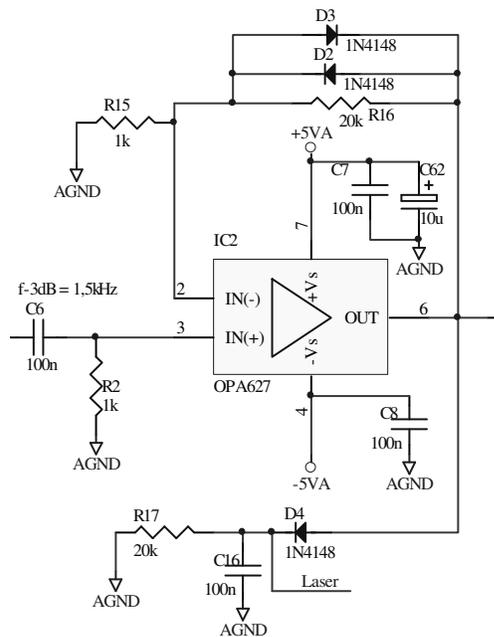


Fig. 5-34: FPA e o amplificador operacional.

O sinal "Laser" é usado para controle da frequência do modulador de fase no microcontrolador.

Geração da frequência de modulação f_m a partir de DDS

Para a geração e controle da frequência de modulação de fase do PZT (f_m) foi utilizado um chip DDS de 28 bits da empresa *Analog Devices* (o AD9834). A vantagem do uso de DDS é a conveniência para se determinar a melhor frequência a ser utilizada, e ainda de permitir corrigir erros de *drift* de temperatura pelo controle da amplitude, através da configuração do próprio chip DDS (via variação da resistência que determina a corrente de saída do sinal sintetizado [34]).

Como o sinal f_m determina a modulação do sinal do giroscópio e, como a frequência gerada pelo chip DDS não é exata e sim um arredondamento de acordo com a sua palavra de controle, utilizando pequenas variações nos valores de f_m pode-se minimizar esses problemas indesejados. O mesmo ocorre com a geração da frequência *quasi*-síncrona, chamada aqui de f_j . A interação dessas duas frequências não exatas influencia a medição do ΔT de maneira não desejada, provocando um *offset* na saída do demodulador.

Foi realizado um estudo para descobrir o impacto que a utilização de 28 bits para gerar f_m no DDS causaria no *offset* de leitura de ΔT . A seguir a equação da f_m :

$$f_m = \frac{M}{2^{N_1} f_{ref}}, \quad (4.12)$$

onde M é a palavra de controle, N_1 é o número de bits do chip DDS (no caso, para o AD9834 é 28 bits), e f_{ref} é a frequência de referência dada pelo *clock* do circuito (20 MHz). Para o chip DDS encarregado da demodulação do sinal do giroscópio (f_j), temos:

$$f_j = \frac{J}{2^{N_2} f_{ref} \times 6}, \quad (4.12)$$

onde J é sua palavra de controle, N_2 é o número de bits do chip DDS (no caso, para o AD9851 é 32 bits). Como visto no Capítulo 3, o chip DDS AD9851 usa um multiplicador interno, daí o fator (6x) no denominador. Foi realizada uma simulação no *LabView* em que, a partir de f_m e f_j geradas em um dispositivo DDS virtual, aplicou-se a técnica para se obter o *offset* gerado na determinação do ΔT , conforme mostra a Fig. 5-35.

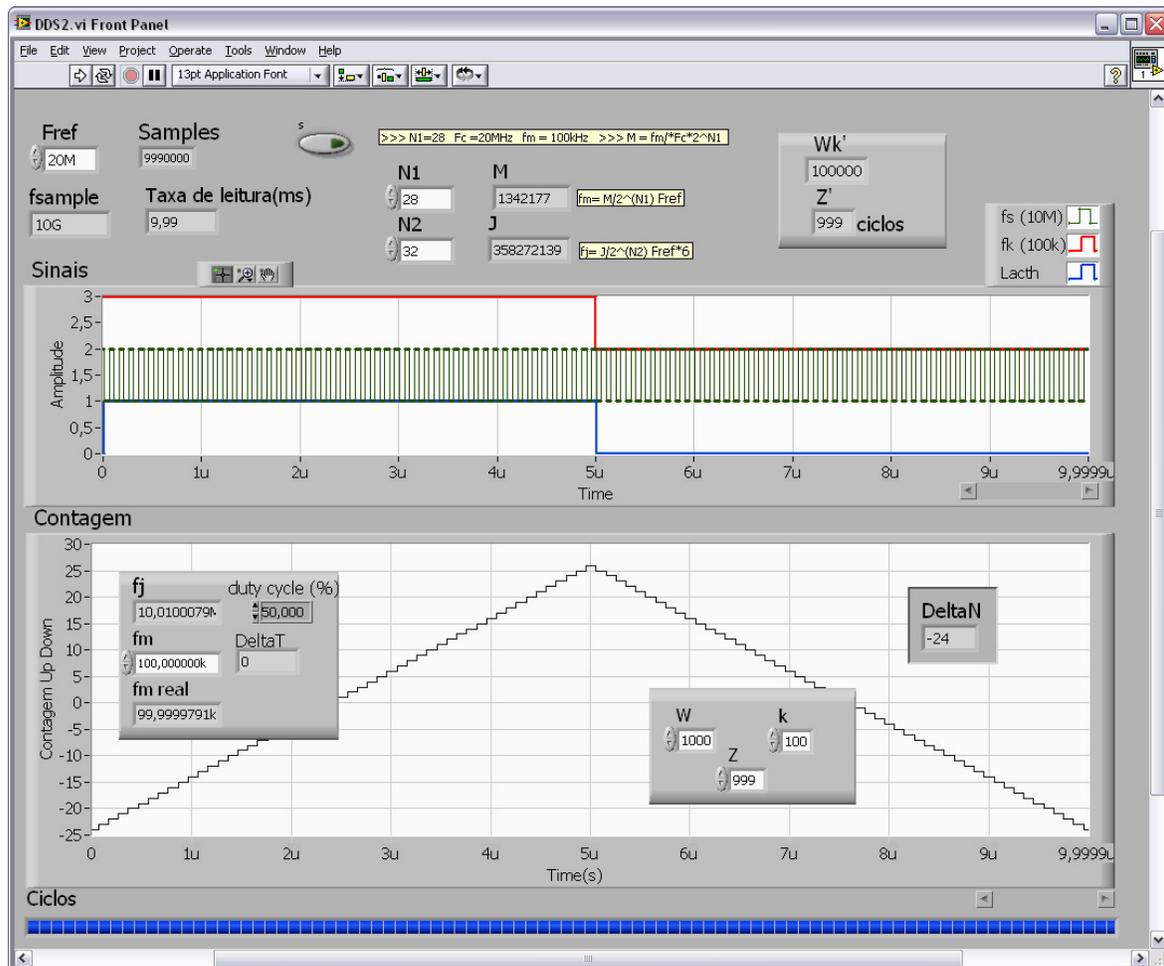


Fig. 5-35: Simulação para $f_m = 100,0000$ KHz, $f_{ref} = 20$ MHz e $f_m = 10,0100100$ MHz

Conforme observado, o *offset* obtido para o estado de repouso ($\Delta T = 0$) foi $\Delta N = -24$ (equivalente a 2,4 ns). Este *offset* é constante, não variando com a temperatura e demais condições. Para diminuir o efeito do *offset*, mudou-se ligeiramente (200 miliHertz) o valor de f_m . Essa correção é totalmente aceitável e não influi no desempenho do sistema. Com ela o *offset* caiu para somente -2 (equivalente a 200 ps), valor o qual está dentro da resolução esperada do sistema.

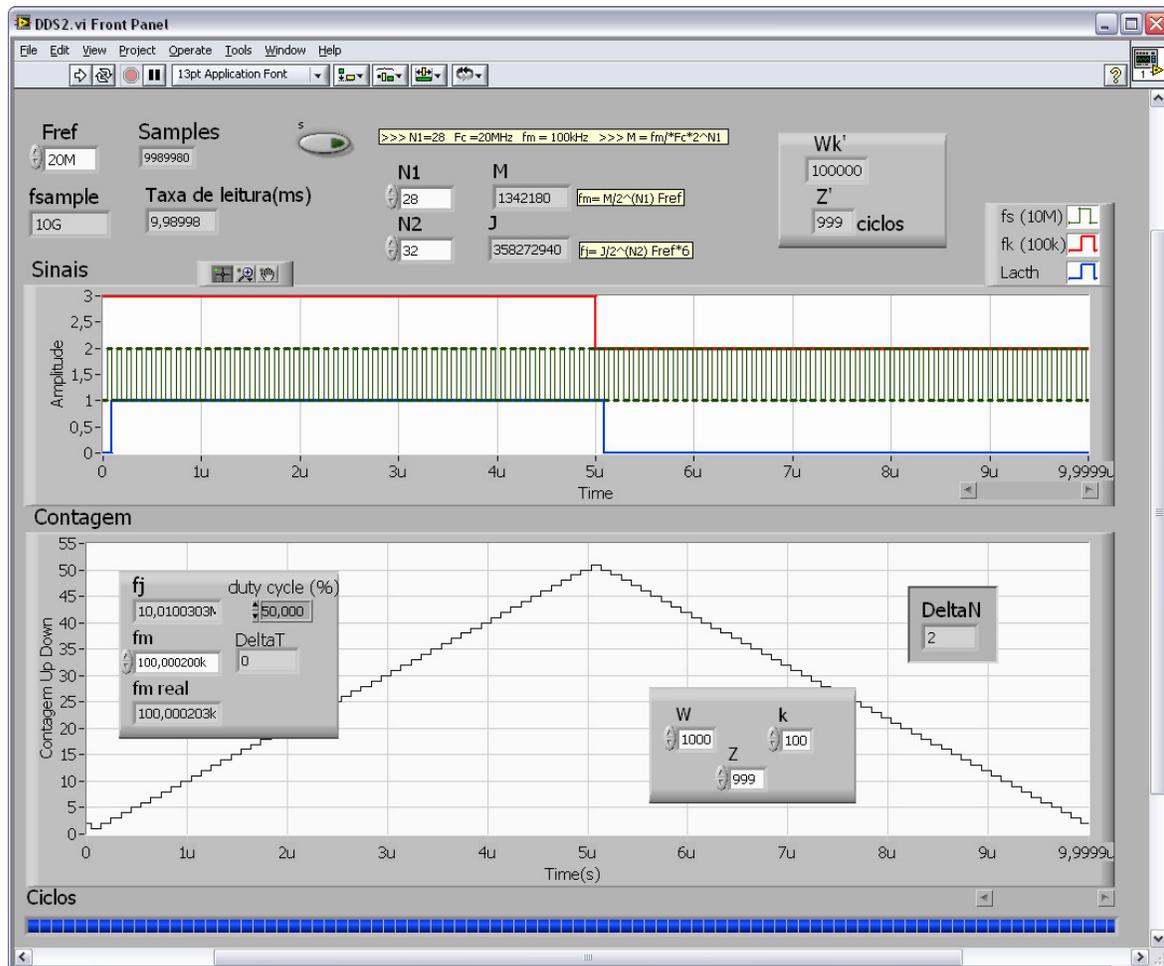


Fig. 5-36: Simulação para $f_m = 100,0002$ KHz, $f_{ref} = 20$ MHz e $f_m = 10,0100100$ MHz

Módulo de comunicação RS485

Para comunicação mais robusta e dentro dos padrões industriais, foi inserido um transceptor bidirecional para barramento diferencial RS485 [35] usando o circuito integrado SN75176 do fabricante *Texas Instruments* (referência site: www.ti.com), conforme mostra a Fig. 5-37.

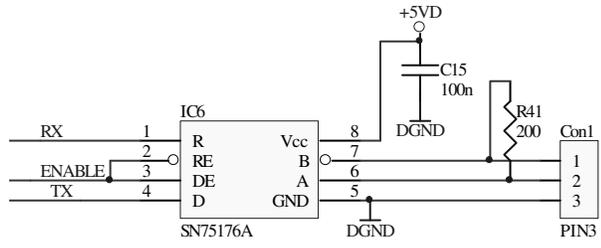


Fig. 5-37: Circuito do transceptor RS485.

Capítulo 6

Conclusões, Trabalhos Futuros e Publicações

Neste último capítulo são apresentadas as conclusões desse trabalho, além de algumas sugestões para novos trabalhos dentro do mesmo assunto. As publicações motivadas por esse trabalho são apresentadas no final desse capítulo.

6.1 Conclusões

Concluiu-se que a técnica aqui apresentada permite obter uma alta resolução com o emprego de baixas frequências de *clock* nos circuitos digitais, se comparado com circuitos síncronos digitais convencionais. Os resultados experimentais obtidos com uma frequência de *clock* de apenas 10,01001MHz mostraram que é possível construir um demodulador com resolução de 100 ps, enquanto a técnica síncrona permitiria resolver uma variação de tempo mínima de apenas 100 ns.

Uma vez que o estado da arte em DDS permite gerar frequências da ordem de centenas de MHz, maiores resoluções podem ser obtidas na implementação.

Dada a simplicidade de implementação do circuito, o mesmo pode ser montado em uma placa padrão PC104 (conforme o protótipo e também o *layout* final sugerido, mostrado na Fig. 5-30) ou ainda integrado em um único chip (SoC – *System on a Chip*), garantindo assim, maior confiabilidade e maior compactação.

6.2 Sugestões para Novos Trabalhos

O projeto aqui apresentado foi montado em uma placa de circuito impresso simples, sem planos de terra e sem maiores cuidados para se evitarem ruídos externos ao circuito. Com a correta blindagem dos circuitos e adequação da placa de circuito impresso, assim como a utilização de circuitos DDS de alta frequência e performance, é possível implementar facilmente faixa dinâmica de até 120dB, por exemplo.

Por ser basicamente digital, pode-se construir também um ASIC (*Application Specific Integrated Circuit* ou circuito integrado de aplicação específica) e chegar a um preço de produção que o tornará mais atraente ainda.

Já está em estudo utilizar uma estrutura baseada em processador de arquitetura ARM (Advanced RISC Machine) para dar seqüência ao trabalho.

6.3 Publicações

Este trabalho rendeu dois artigos em congressos. Um deles [13] foi apresentado oralmente no V Simpósio Brasileiro de Energia Inercial (SBEIN), que ocorreu de 26 a 29 de novembro de 2007 no Rio de Janeiro. O SBEIN é um fórum nacional que reúne pesquisadores e engenheiros da área acadêmica e das indústrias desenvolvedoras ou usuárias de tecnologia, atuantes no desenvolvimento de sensores e equipamentos, monitoramento, instrumentação, controle, guiagem e navegação, relacionados à engenharia inercial.

O outro artigo [12] foi publicado no Congresso Internacional de Engenharia Mecânica (COBEM), realizado de 5 a 9 de novembro de 2007 em Brasília-DF. Esse congresso, segundo os organizadores, é um dos mais importantes eventos na área de Engenharia Mecânica na América Latina e almeja promover cooperação entre cientistas e engenheiros ligados a todos os aspectos das ciências mecânicas e engenharia no mundo.

Apêndice I

CPLD

As CPLDs são circuitos integrados compostos por matrizes de portas lógicas programáveis chamadas de macrocélulas, que são capazes de fazer implementações lógicas convencionais ou ainda expressões mais especializadas e elaboradas. A CPLD possui uma memória não volátil onde é feita a programação das macrocélulas. Entre os principais fabricantes de CPLDs no mercado atual, podemos citar a Lattice (www.lattice.com), Altera (www.altera.com) e Xilinx (www.xilinx.com). Para o projeto, optou-se utilizar as CPLDs XC9572XL de ótima relação custo benefício da *Xilinx*, por sua facilidade na implementação, ferramentas de desenvolvimento gratuitas e ainda pela sua relação custo benefício.

A XC9572XL utilizada possui atraso lógico de 10 ns de pino a pino (sendo que nesta família, a Xilinx possui de até 5 ns), podendo trabalhar com *clocks* de até 178MHz. Sua capacidade é de 72 macrocélulas, contendo 1600 portas lógicas. A Fig. I-6-1 a seguir mostra a arquitetura interna de uma CPLD XC9572:

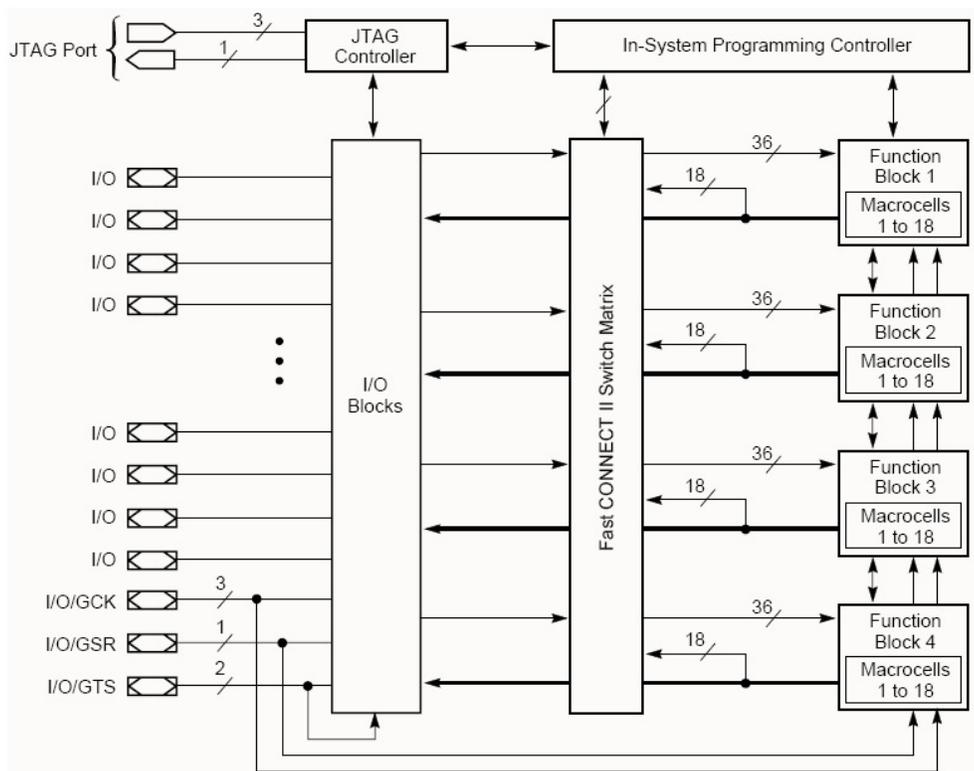


Fig. I-6-1: Estrutura de uma CPLD XC9572

Cada CPLD contém múltiplos blocos de função (Function Blocks) e Blocos de Entrada e Saída (I/O Blocks) os quais são totalmente interconectados através da matriz de comutação FastCONNECT II. Cada bloco de função é composto por 18 macrocélulas, onde é possível implementar funções combinatoriais ou utilizar registradores, o que possibilita circuitos lógicos com até 54 entradas e 18 saídas (limitados principalmente pelo número de pinos do dispositivo utilizado). No caso, foi utilizado um CPLD de 44 pinos (sendo que 34 são pinos para Entrada/Saída).

Para a programação das CPLDs é utilizada uma linguagem de programação conhecida como VHDL ou "*VHSIC Hardware Description Language*" (Linguagem de descrição de hardware) que é concebida para facilitar o projeto /concepção de circuitos digitais em FPGAs, PLDs e ASICs. A linguagem VHDL foi originalmente desenvolvida sob o comando do Departamento de Defesa dos Estados Unidos, em meados da década de 80, para fins de documentação de ASICs (*Application Specific Integrated Circuit* ou Circuito integrado de

aplicação específica) que compunham os equipamentos vendidos às Forças Armadas americanas. Em outras palavras, a linguagem VHDL foi desenvolvida para substituir os complexos manuais que descreviam o funcionamento dos ASICs. Até aquele momento, a única metodologia largamente utilizada no projeto de circuitos era a criação através de diagramas esquemáticos. O problema da metodologia com diagramas esquemáticos é o fato de que tem menor portabilidade, são mais complexos para compreensão e são extremamente dependentes da ferramenta utilizada para produzi-los. Como o projeto VHSIC (*Very-High-Speed Integrated Circuit* ou circuito integrado de alta velocidade) era de alta prioridade militar e havendo dezenas de fornecedores envolvidos, a principal preocupação foi com questões de portabilidade, documentação e compreensibilidade dos projetos. Cada um dos fornecedores atuava desenvolvendo partes dos projetos ou mesmo fornecendo componentes que viriam a se encaixar em outros sistemas maiores. Dessa forma, optou-se pelo desenvolvimento de uma linguagem que servisse como base para troca de informações entre componentes e projetos. Uma linguagem que, independente do formato original do circuito, pudesse servir como uma descrição e documentação eficientes do circuito, possibilitando os mais diferentes fornecedores e participantes a entender o funcionamento das outras partes, padronizando a comunicação. Assim surgiu assim a linguagem VHDL. O desenvolvimento da VHDL serviu inicialmente aos propósitos de documentação do projeto VHSIC. Entretanto, nessa época buscava-se uma linguagem que facilitasse o projeto de um circuito, ou seja, a partir de uma descrição textual, como um algoritmo, desenvolver o circuito, sem necessidade de especificar explicitamente as ligações entre componentes. A VHDL presta-se adequadamente a tais propósitos, sendo utilizada para as tarefas de documentação, descrição, síntese, simulação, teste, verificação formal e ainda compilação de software, em alguns casos. Com o sucesso inicial do uso da VHDL, a sua definição foi posta em domínio público, o que levou a VHDL a ser padronizada pelo IEEE (*Institute of Electrical and Electronic Engineers*) em 1987. O fato de ser padronizada e de domínio público ampliou ainda mais a sua utilização, e novas alterações foram propostas, como é natural em um processo de aprimoramento de linguagem.

Apesar da linguagem de programação da CPLD ser VHDL, existem muitas ferramentas visuais que permitem uma programação visual de mais alto nível, muitas vezes valendo-se de tecnologias (acrônimo da expressão em inglês "*What You See Is What You Get*")

ou “o que você vê é o que você tem”). O projeto em VHDL, bem como outras linguagens, segue um fluxo de informações, composto por sete etapas: Especificação de Requisitos, Modelamento, Síntese de Alto Nível, Mapeamento Tecnológico, Implementação, Testes e Simulação. A Fig. I-6-2 ilustra essas etapas.

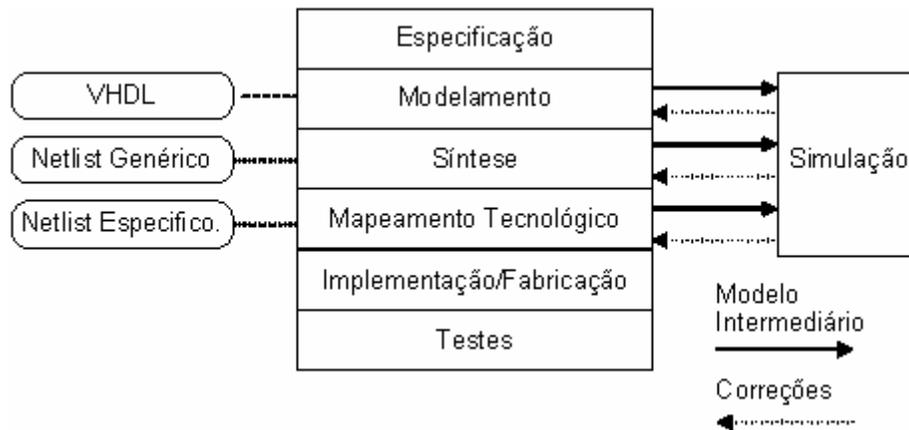


Fig. I-6-2: Etapas de um projeto em Lógica Programável

Após a especificação do projeto através da VHDL é possível fazer um modelamento do que se deseja. Após o modelamento, a próxima etapa é sintetizar o programa. Para entender melhor o que é a síntese, imagine-se que a síntese de alto nível está para o hardware assim como a compilação está para o software. Na etapa de Mapeamento Tecnológico é feita uma síntese de mais baixo nível, que considera aspectos mais específicos das características do hardware onde vai ser implementado o sistema. Na etapa de implementação/fabricação se faz um processo de compilação para o dispositivo final é feito. Em praticamente todas as etapas é possível fazer testes diversos para saber se o modelamento atende as especificações e serve dentro do mapeamento tecnológico.

O ambiente de desenvolvimento para CPLDs e FPGAs da Xilinx chama-se ISE, que é um pacote completo que permite implementação, síntese, simulação e programação, tudo integrado dentro de um mesmo ambiente.

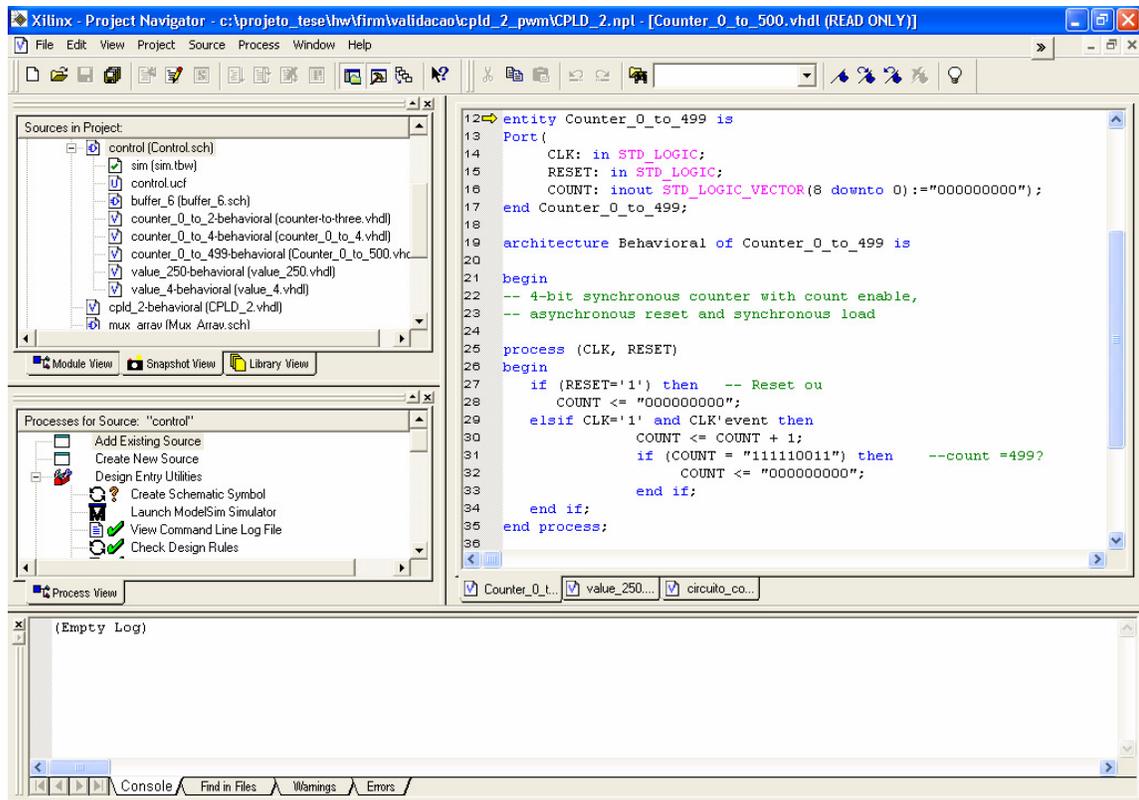


Fig. I-6-3: Editor VHDL do ISE da Xilinx

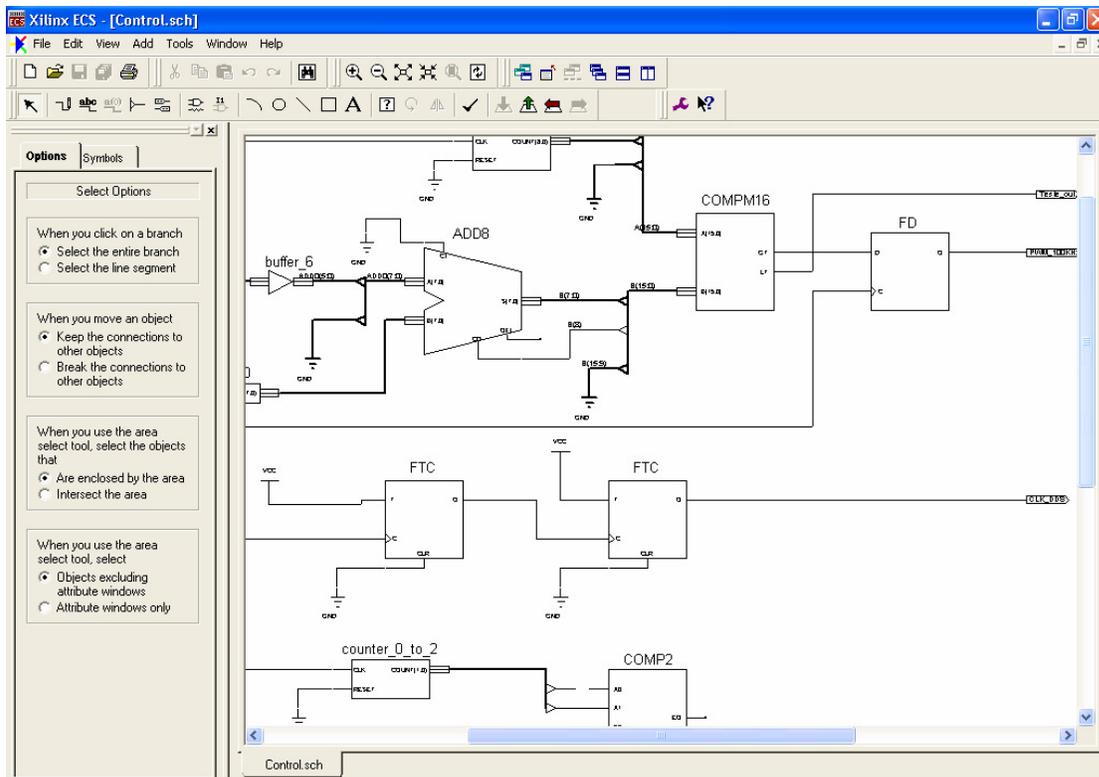


Fig. I-6-4: Editor de esquemático VHDL do ISE da Xilinx

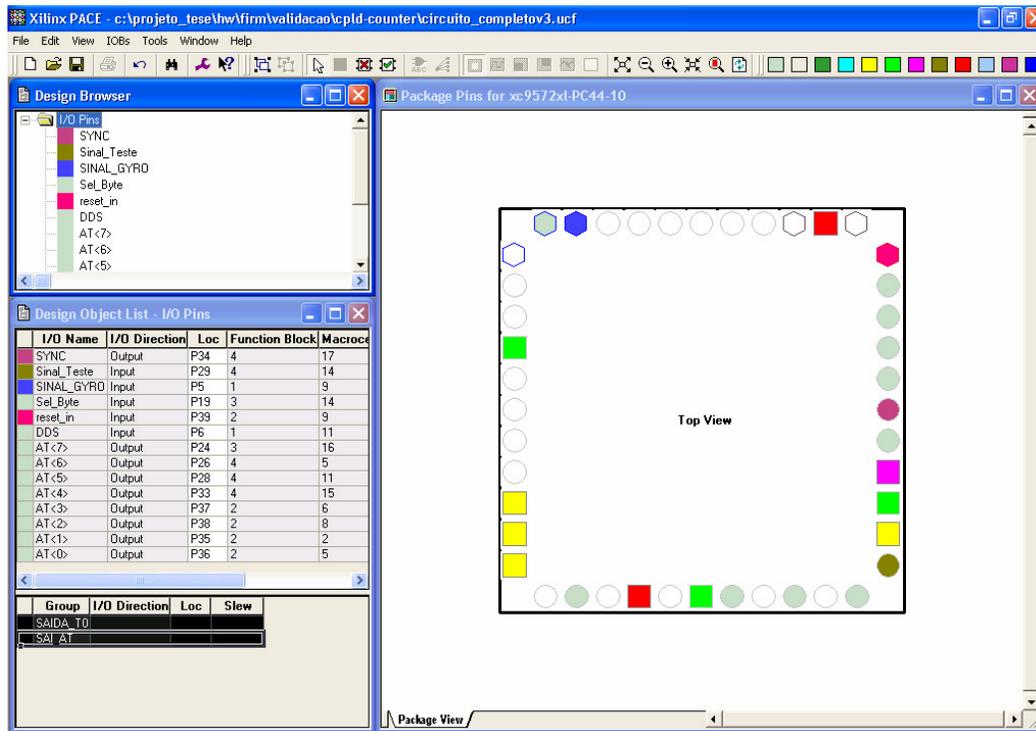


Fig. I-6-5: Editor de pinagem da CPLD do ISE da Xilinx

Após a síntese final e geração de imagem de arquivo final, a imagem é passada ao chip utilizando um aplicativo contido no pacote de software do fabricante e uma placa gravadora que utiliza tecnologia de programação por JTAG (padrão IEEE 1149.1) com a CPLD para gravação ICSP (*In-Circuit Serial Programming* ou programação serial no circuito) que utiliza somente quatro pinos. Utilizando JTAG, é possível gravar diversos dispositivos simultaneamente, pois ela funciona como uma rede lógica de dispositivos. Uma vez programado o chip, o programa pode permanecer em sua memória *flash* interna, que é não volátil, por até 20 anos.

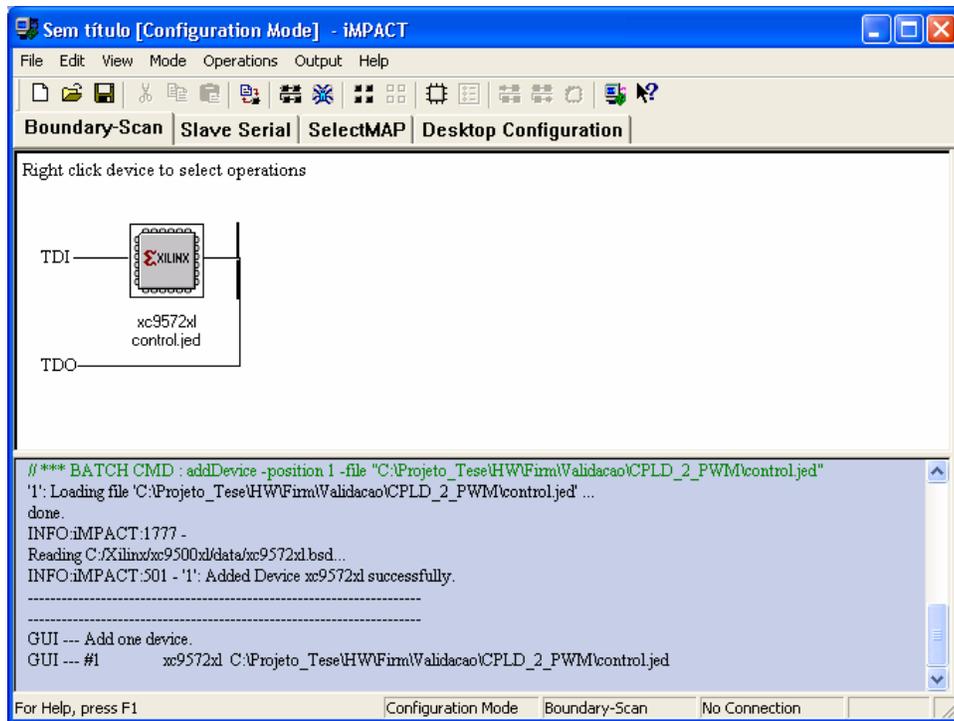
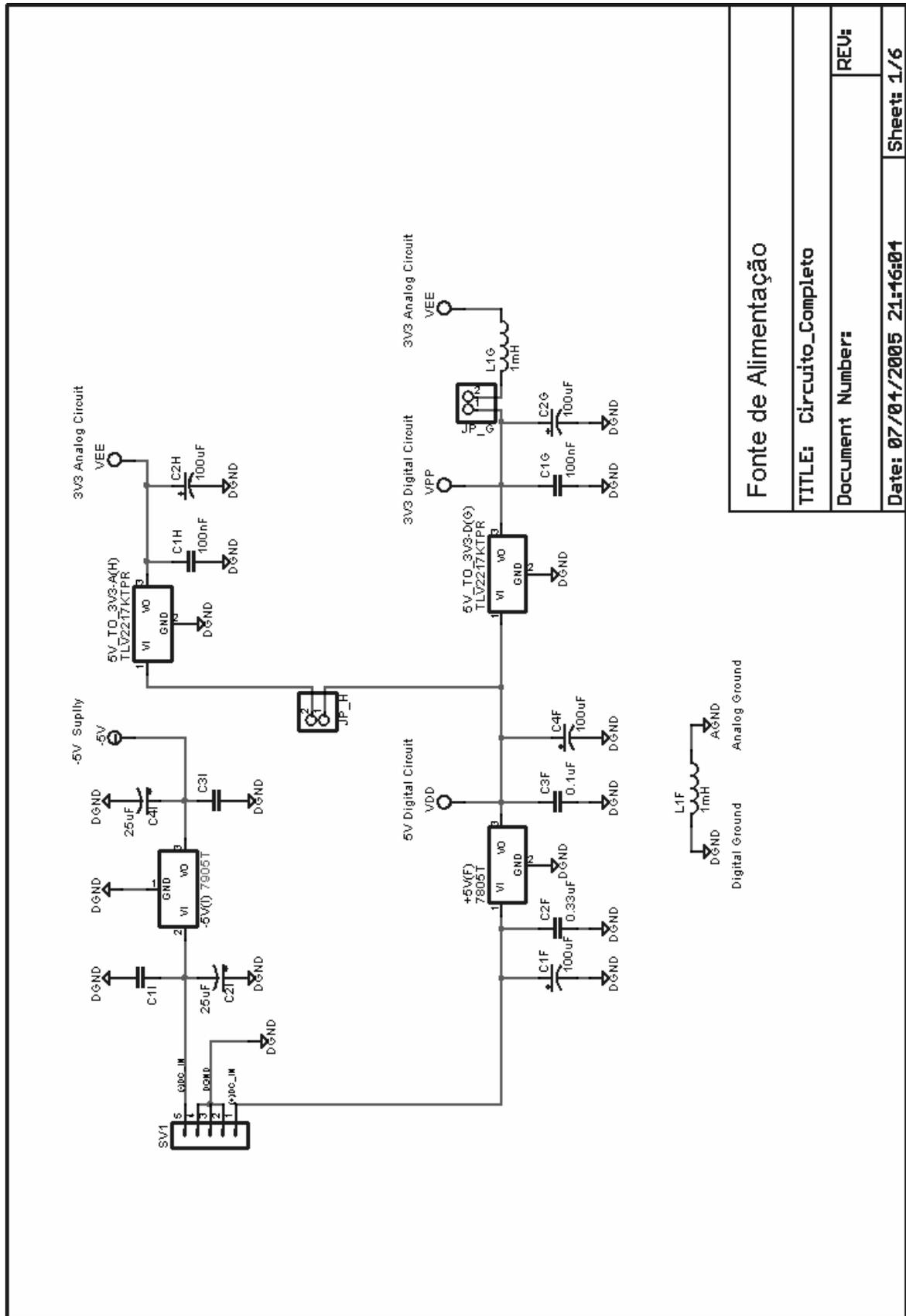


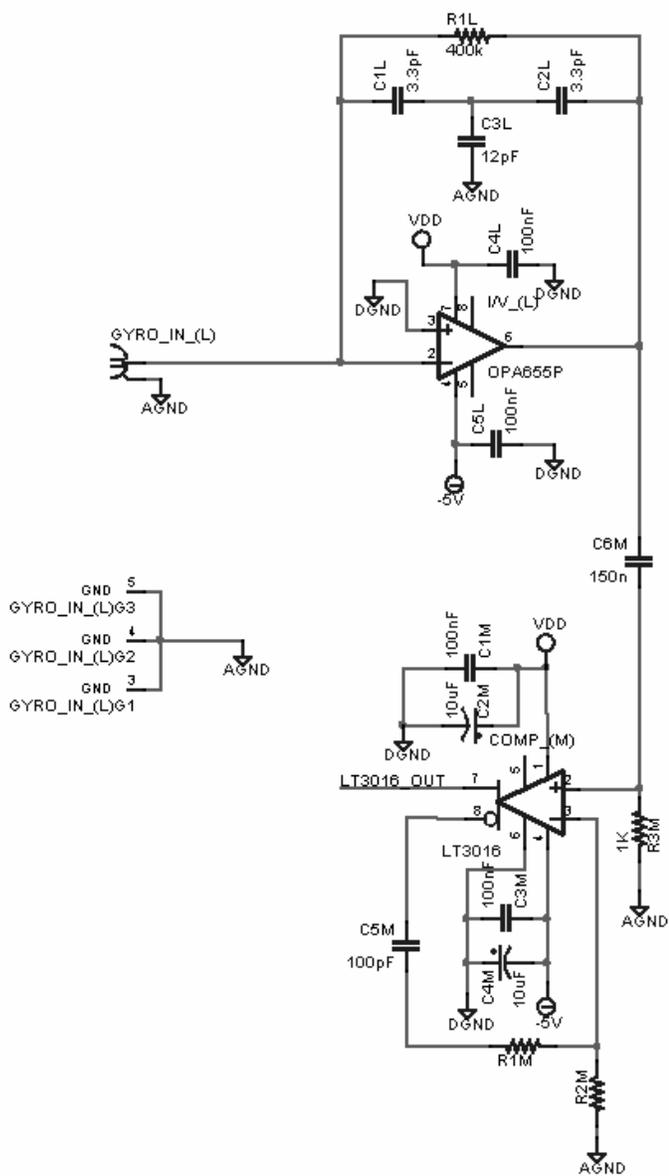
Fig. I-6-6: iMPACT - software para programação via JTAG da CPLD

Apêndice II

Esquemático do Circuito de Validação



Fonte de Alimentação	
TITLE: Circuito_Completo	
Document Number:	REV:
Date: 07/04/2005 21:16s01	Sheet: 1/6



Entrada Analógica

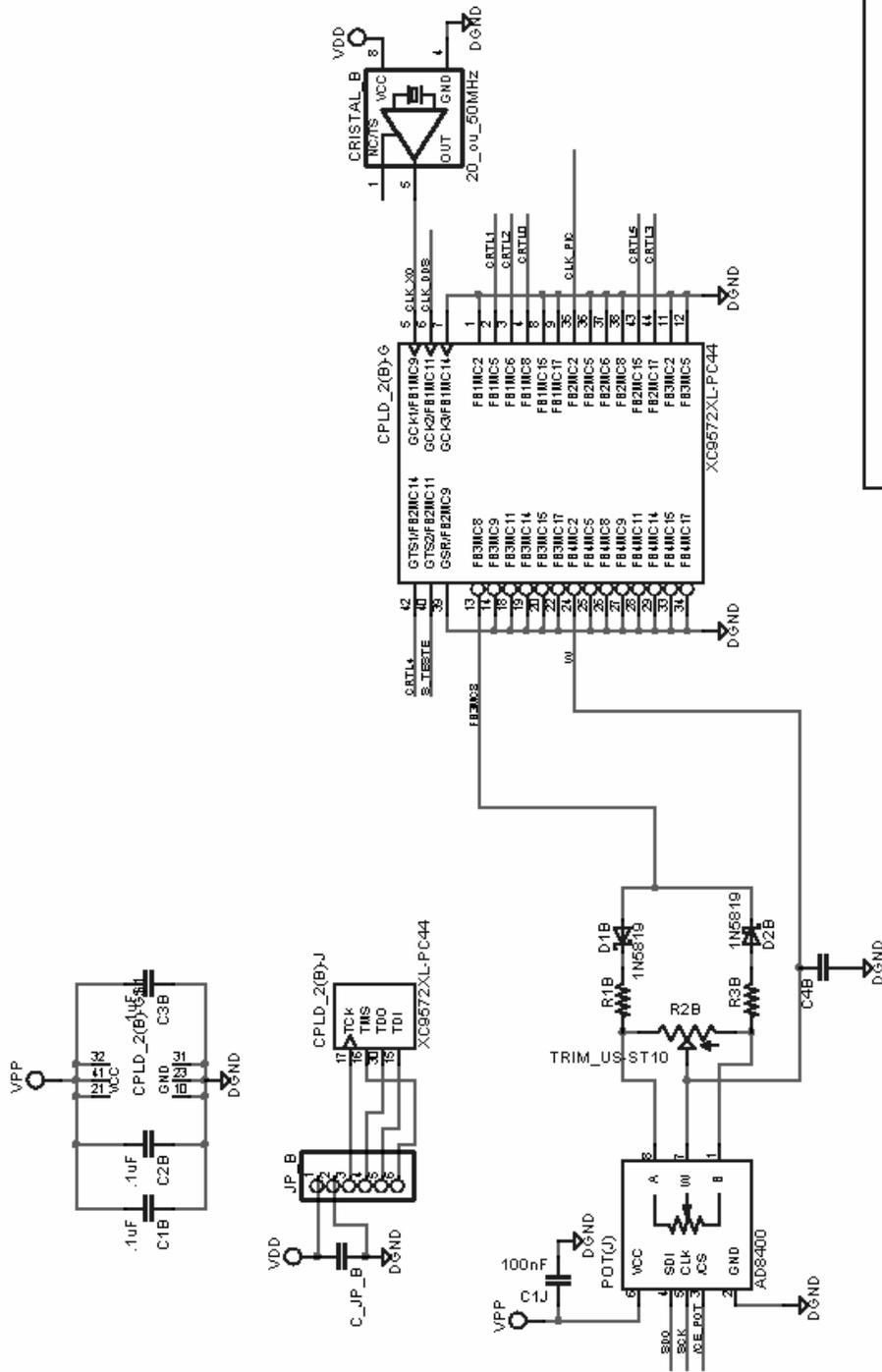
TITLE: Circuito_Completo

Document Number:

REV:

Date: 07/04/2005 21:46:04

Sheet: 2/6



Emulador do Gyro e Cristal

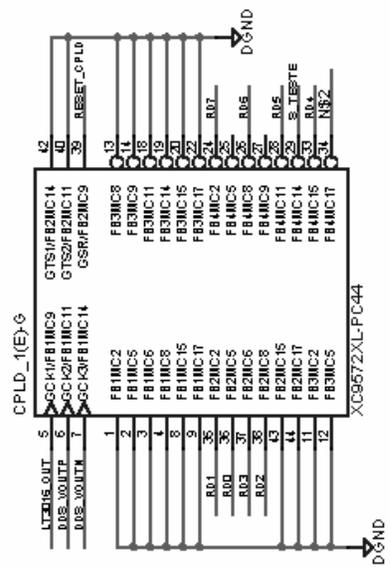
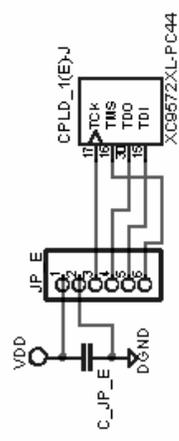
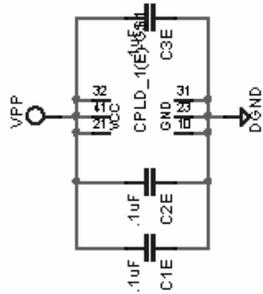
TITLE: Circuito_Completo

Document Number:

REV:

Date: 07/04/2005 21:16s01

Sheet: 3/6



Circuito de Contagem Up-Down

TITLE: Circuito_Completo

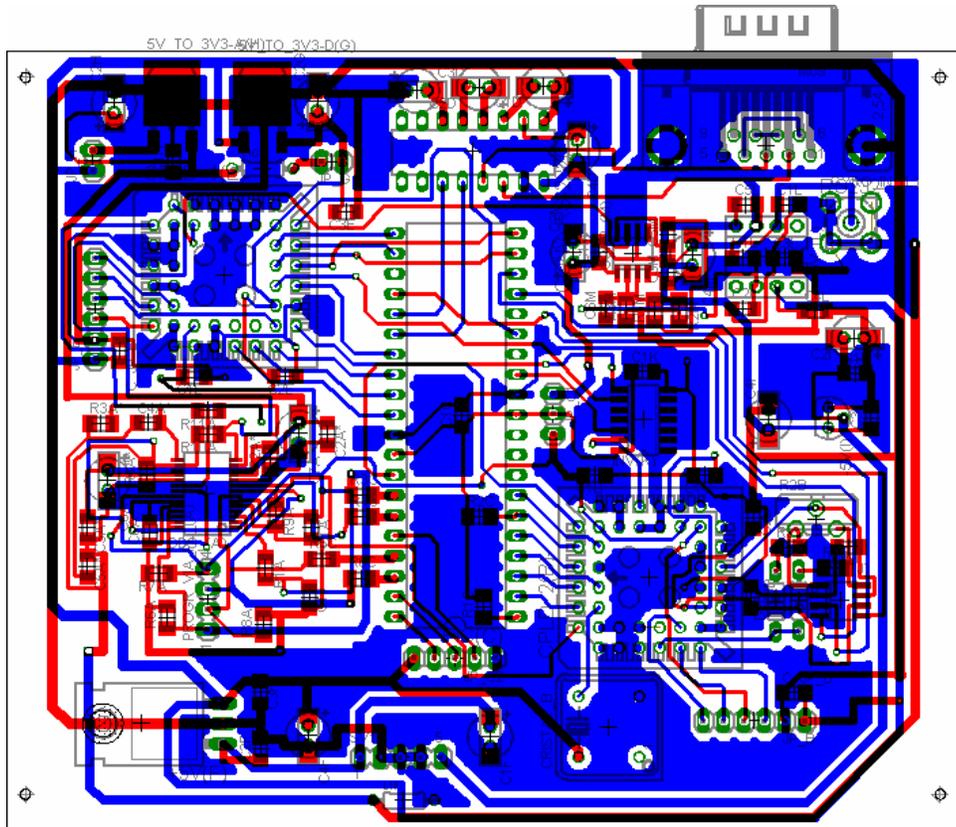
Document Number:

REV:

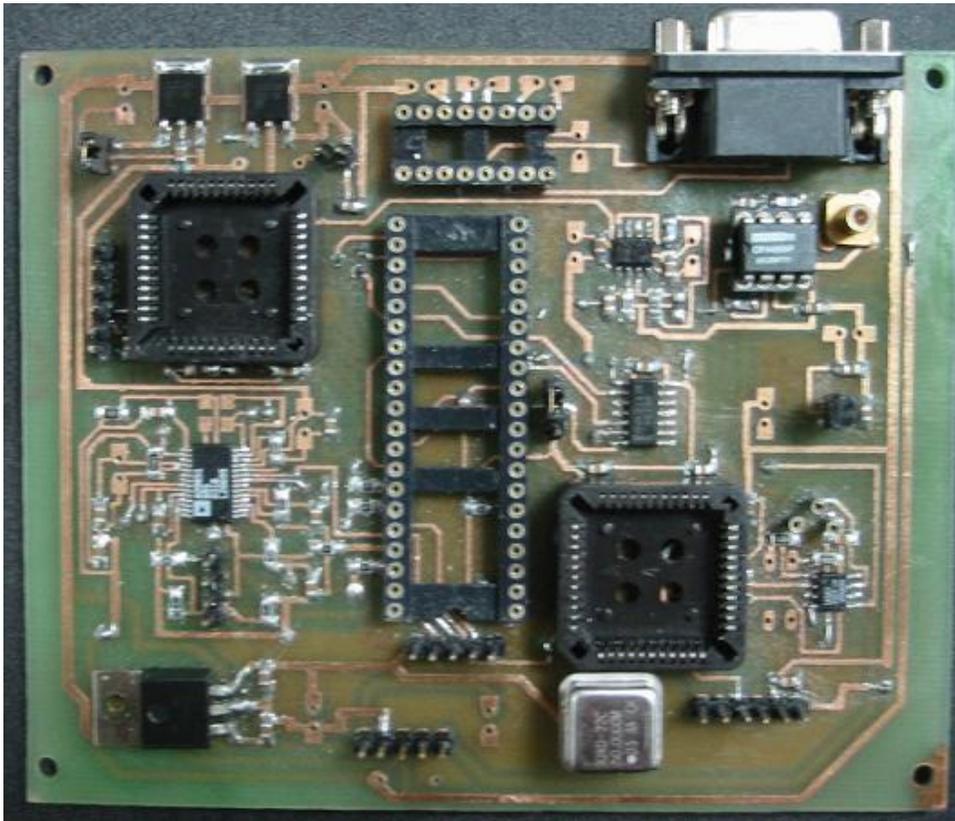
Date: 07/04/2005 21:46:04

Sheet: 6/6

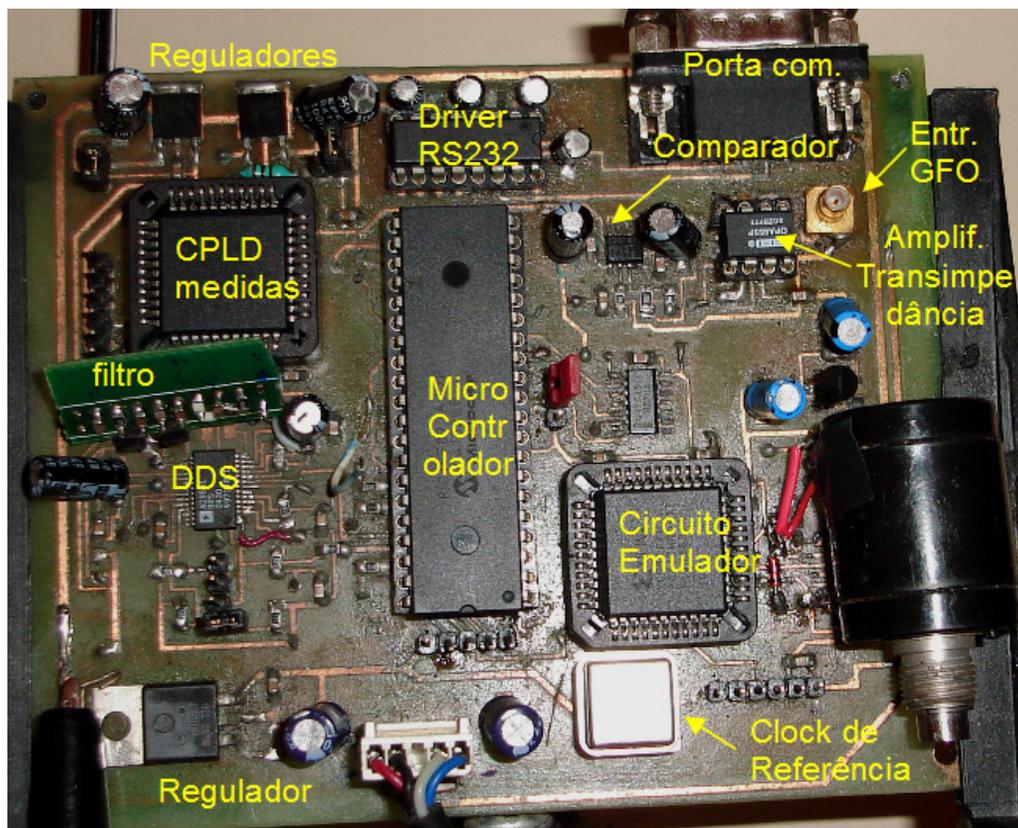
Layout do Circuito de Validação



Placa do circuito de validação utilizada



Placa do giro



Placa do Giro montada.

Lista de Materiais:

ITEM	DESCRIÇÃO	Qtde
1	comparador LT3016 SOIC8	1
2	amp op OPA655P PDIP Fêmea	1
3	capacitor 10pF cerâmico SMD	2
4	capacitor 22pF cerâmico SMD	1
5	capacitor 0.33nF cerâmico SMD	1
6	capacitor 100nF cerâmico SMD	22
7	capacitor 100pF cerâmico SMD	1
8	capacitor 100uF eletrolítico/tantalum SMD/Through-hole	4
9	capacitor 10uF eletrolítico/tantalum SMD/Through-hole	4
10	capacitor 12pF cerâmico SMD	1
11	capacitor 150nF cerâmico SMD	1
12	capacitor 1uF eletrolítico/tantalum SMD/Through-hole	4
13	capacitor 25uF eletrolítico/tantalum SMD/Through-hole	2
14	capacitor 3.3pF cerâmico SMD	2
15	CI AD9851 SOIC	1
16	CI MAX232 PDIP	1
17	CI PIC16F877XA PDIP	1
18	CI XC9572XL PLCC44	2
19	conector 5 pinos para alimentação PDIP	1
20	conector DB-9 DB-9 fêmea	1
21	conector coaxial BNC-FGND BNC	1
22	headpins 2 DIP	2
23	headpins 3 DIP	1
24	headpins 5 DIP	2
25	headpins 6 DIP	2
26	indutor 1mH Through-hole	2
27	inversor 7404 SO-14	1
28	Oscilador TTL PDIP Oscilador a cristal de 50Mhz	1
29	pot digital AD8400 SO-08	1
30	potenciômetro 10K Through-hole Potenciômetro multi-voltas	1
31	Regulador 7805 T0220	2
32	Regulador TLV2217KTPR KTP	2
33	resistor 1.2K SMD	2
34	resistor 1 SMD	2
35	resistor 2.2K SMD	1
36	resistor 100	2
37	resistor 10K SMD	1
38	resistor 1K SMD	8
39	resistor 3.9K SMD	1
40	resistor 400K SMD	1
41	resistor 470 SMD	8
	TOTAL	98

Placa do circuito de final projetado: Lista de Materiais:

Qtde	Valor	Legenda	Footprint	Descrição
3	1N4148	D2 D3 D4	SOT23-D	Diodo
17	1k	R2 R3 R4 R5 R6 R7 R8 R9 R10 R11 R12 R13 R14 R15 R38 R39 R40	0805W	Resistor Thick film
4	1n	C52 C53 C54 C55	0805	Capacitor
2	3.3p	C1 C2	0805	Capacitor
4	3.9uH	L5 L6 L7 L8	1206	Resistor Thick film
2	3K9	R25 R26	0805W	Resistor Thick film
1	3k3	R35	0805W	Resistor Thick film
5	10k	R20 R21 R22 R23 R24	0805W	Resistor Thick film
2	10n	C60 C61	0805	Capacitor
1	10p	C59	0805	Capacitor
7	10u	C40 C41 C42 C43 C44 C45 C62	CASE-C	Capacitor
2	10uH	L1 L3	1210	inductor
2	10uH	L2 L4	IND-TDK	inductor
1	12p	C3	0805	Capacitor
2	20k	R16 R17	0805W	Resistor
2	24.9	R33 R34	0805W	Resistor Thick film
1	33p	C56	0805	Variable Capacitor
2	100	R18 R19	0805W	Resistor
1	100k	R32	0805W	Resistor Thick film
36	100n	C4 C5 C6 C7 C8 C9 C10 C11 C12 C13 C14 C15 C16 C17 C18 C19 C20 C21 C22 C23 C24 C25 C26 C27 C29 C30 C31 C32 C33 C34 C35 C36 C37 C38 C39 C51	0805	Capacitor

Qtde	Valor	Legenda	Footprint	Descrição
3	100p	C47 C57 C58	0805	Capacitor
4	100u	C28 C48 C49 C50	CASE-C	Capacitor
1	150p	C46	0805	Capacitor
6	200	R27 R28 R29 R30 R31 R41	0805W	Resistor Thick film
2	330	R36 R37	0805W	Resistor Thick film
1	400k	R1	0805W	Resistor Thick film
1	AD8400	IC12	SO-8	Digital Potentiometer 256 positions
1	AD9834	IC15	TSOP20	50 MHz Complete DDS - Direct Digital Synthesis
1	AD9851	IC7	SSOP28	CMOS 180 MHz DDS/DAC Synthesizer
1	BPX65	D1	OTICO	Photodetector
1	CRYSTAL 20MHz	IC5	DIL08S	crystal oscillator
1	HEADER 2	JP1	SIP-2	
1	LACHT74245	IC9	SOL-20	
1	MAX202	IC10	SO-16	
2	OPA627	IC2 IC3	SO-8	
1	OPA656	IC1	SO-8	Wideband, Unity-Gain Stable, FET-Input operational amplifier
1	PIC16F873	IC13	sol-28	28/40-Pin 8-Bit CMOS FLASH Microcontrollers
2	PIN3	Con1 Con2	PIN3	connector
1	PIN4	Con5	PIN4	connector
2	PIN6	Con6 Con7	PIN6	connector
1	PIN10	Con3	IDC10	connector
1	PIN12	Con4	PIN12	connector
1	Power	D5	LED	smd LED 0805 package
1	SN75176A	IC6	SO-8	Differential bus transceiver eia/tia-422-b rs-422
1	STATUS	D6	LED	smd LED 0805 package
1	TEMP	TMP	SOT23-6	Tem sensor

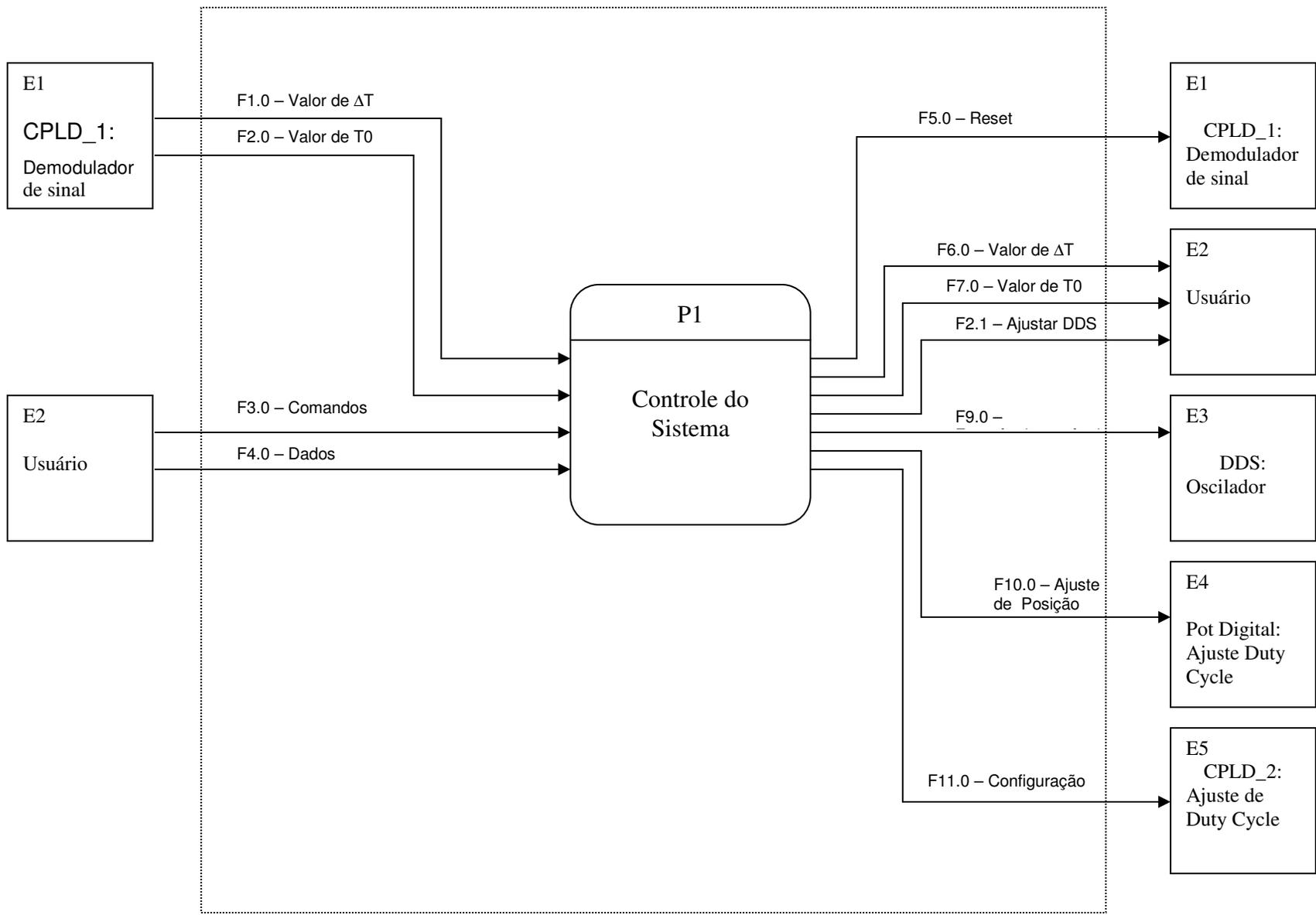
Qtde	Valor	Legenda	Footprint	Descrição
1	THS4505	IC14	SO-8	wideband, low-distortion, fully differential amplifier
1	TL3016	IC4	SO-8	ultra-fast low-power precision comparator
1	TLV2217-33KTPR	IC11	KTP	Low dropout
1	XC9572-5	IC8	PLCC44	In-System Programmable CPLD

Apêndice III

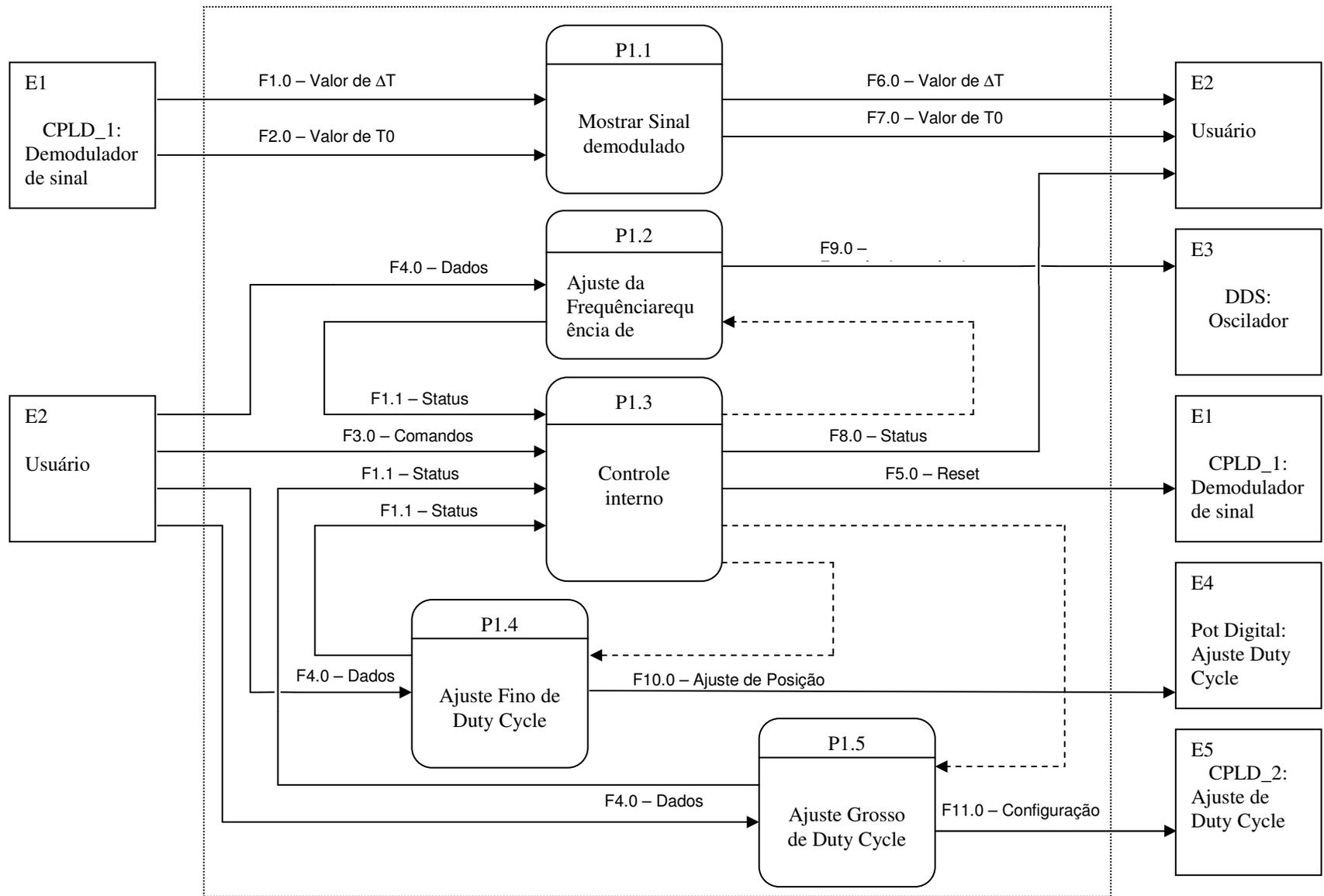
Documentação de Software

No documento a seguir estão descritos os Diagramas de Fluxo de Dados e os Fluxogramas dos procedimentos envolvidos para o Controle Central do Demodulador do Giroscópio a fibra óptica implementado em um microcontrolador da Microchip modelo PIC 16F877, assim como uma descrição detalhada de todas as entidades e modos de programação dos dispositivos envolvidos no controle.

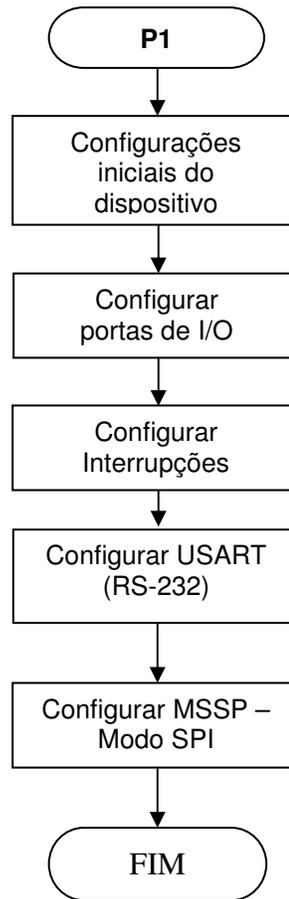
Data Flow – Controle do Sistema de Demodulação – nível 0



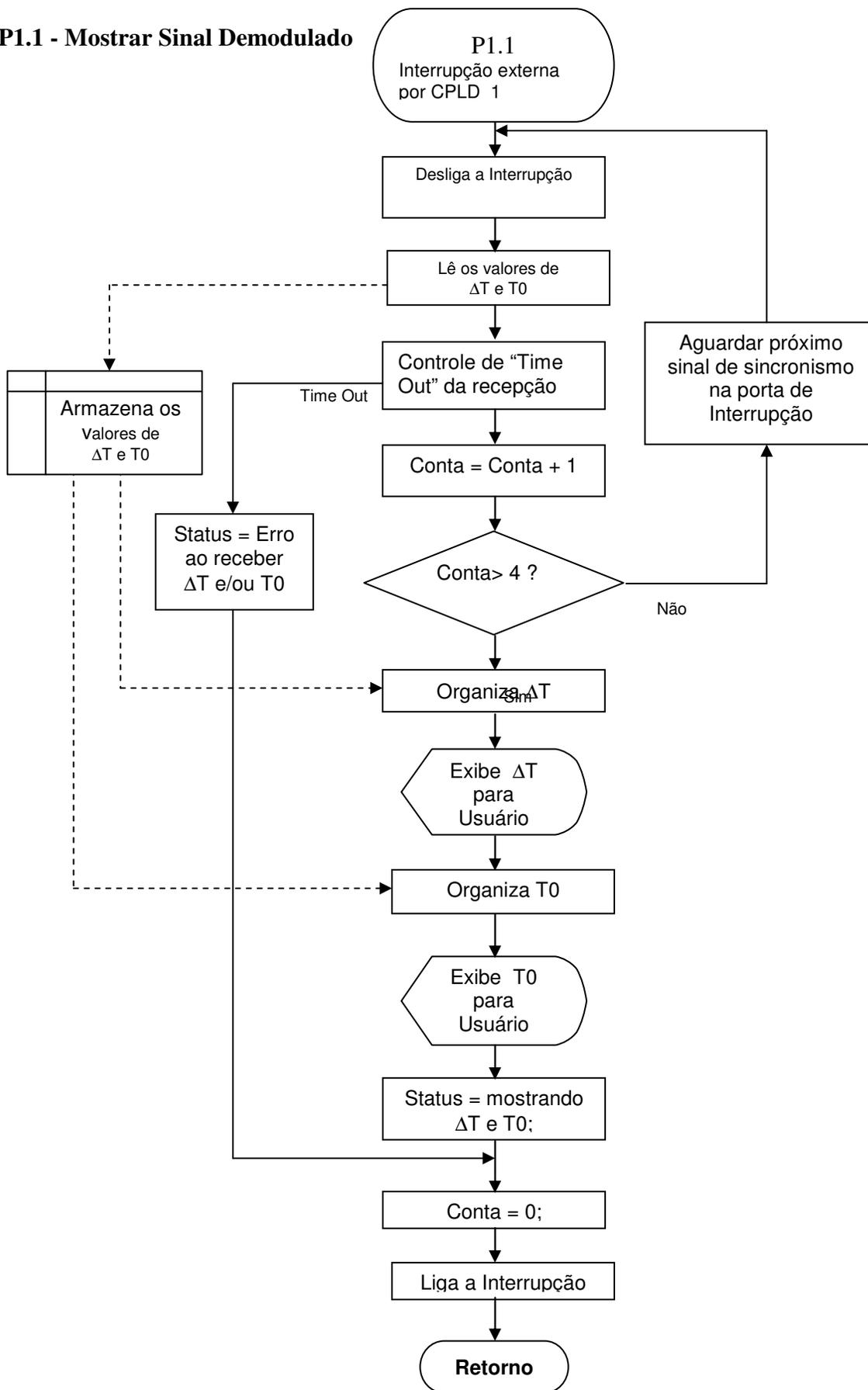
Data Flow – Controle do Sistema de Demodulação – nível 1



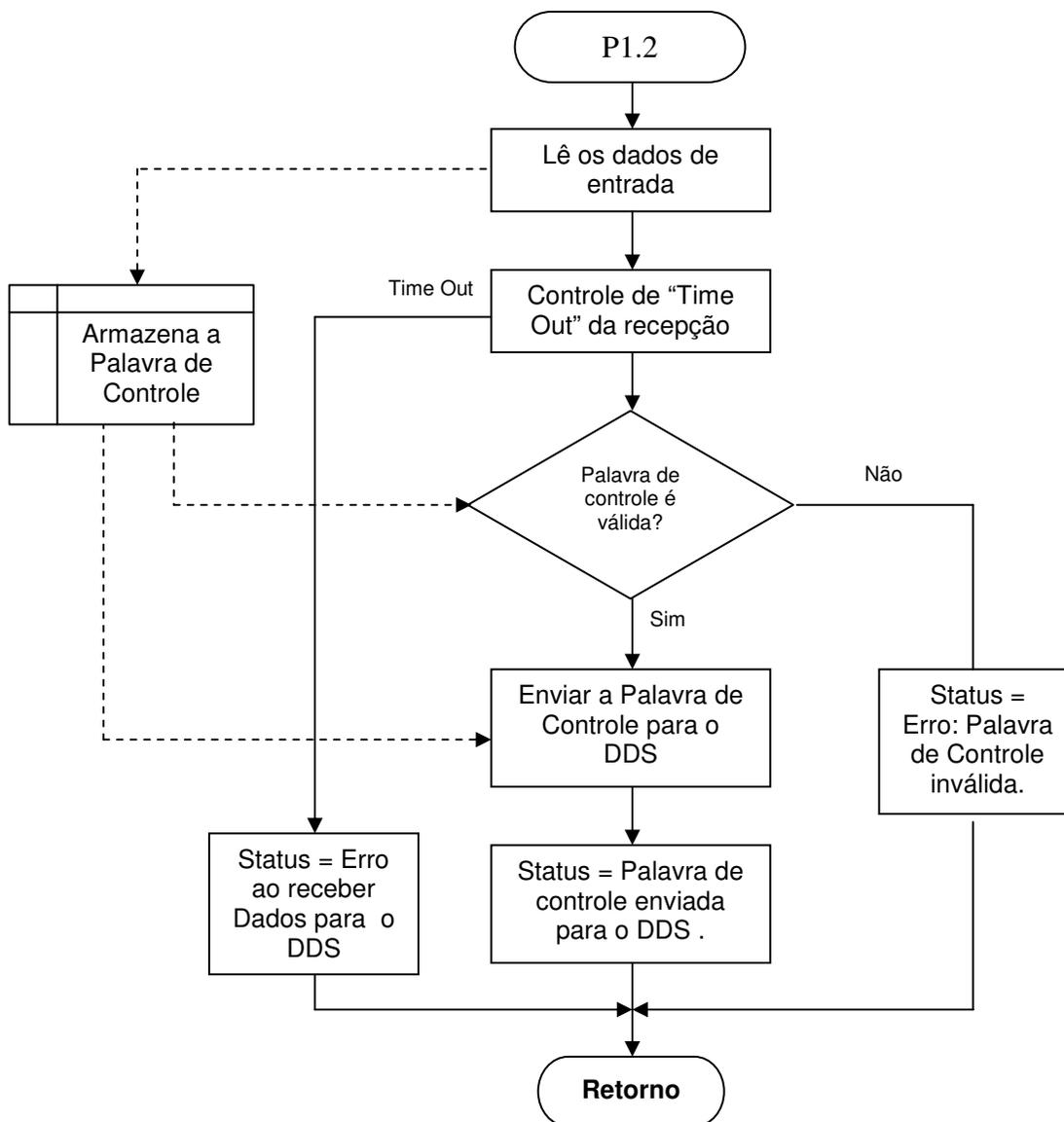
P1 - Controle do Sistema



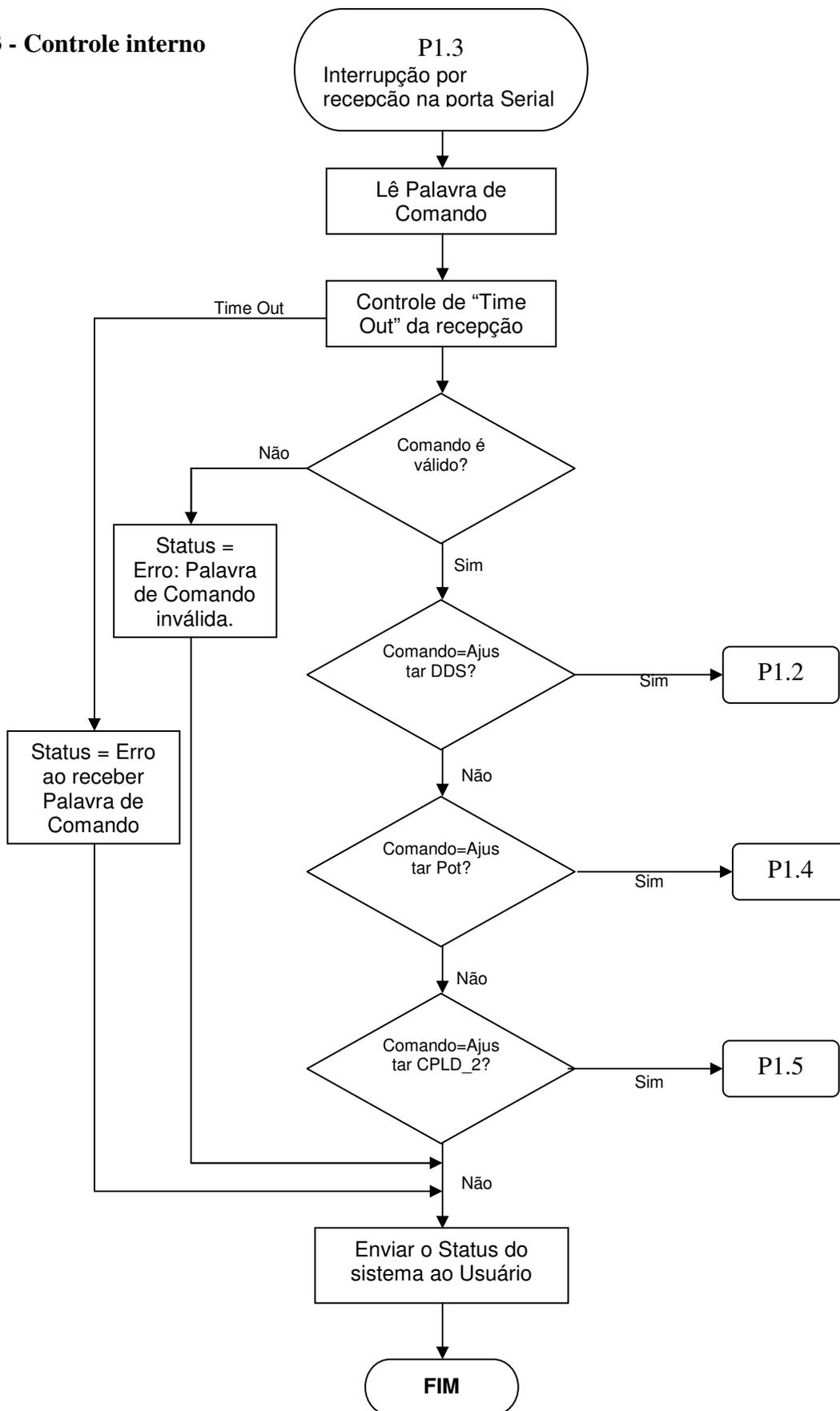
P1.1 - Mostrar Sinal Demodulado



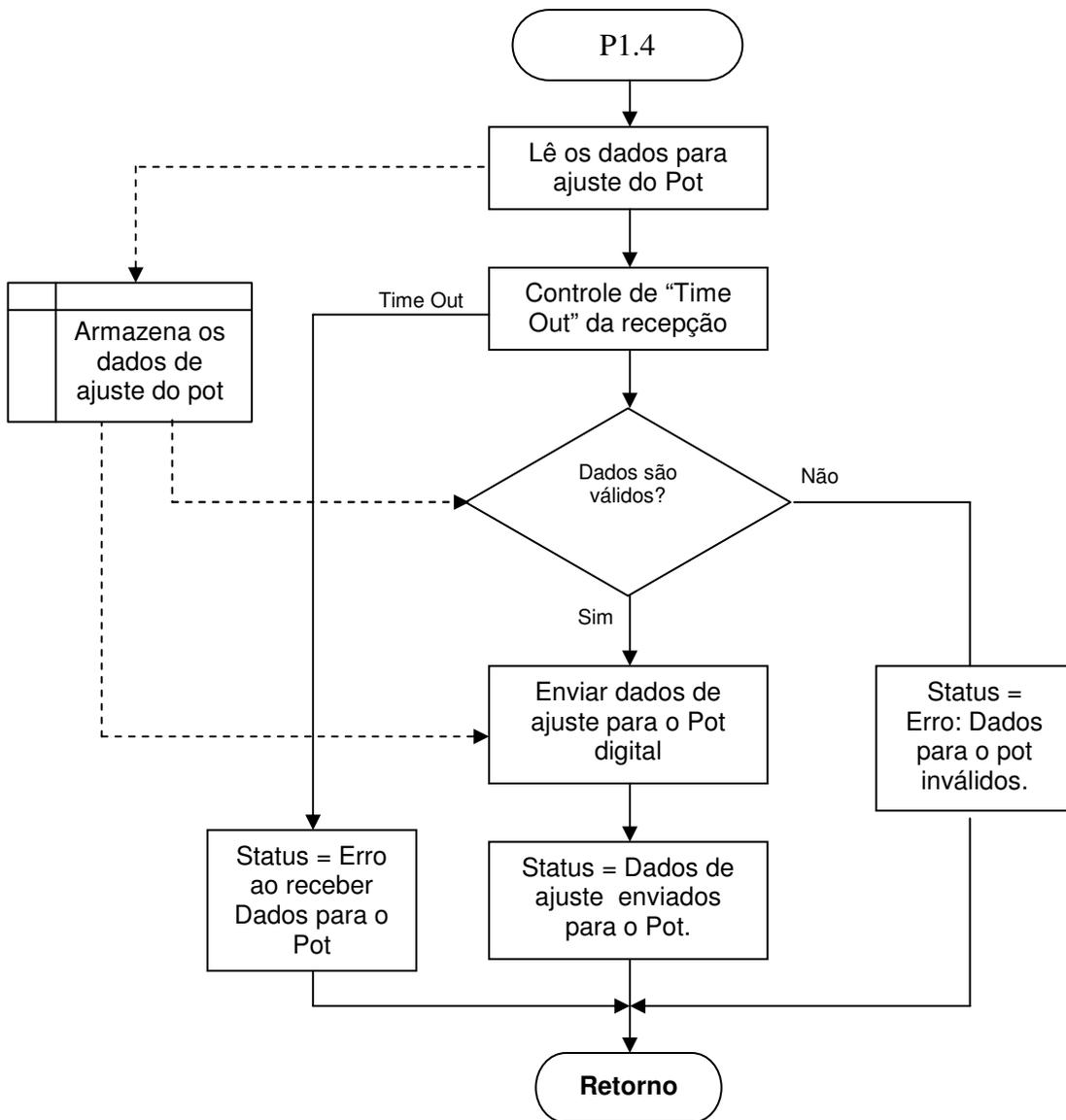
P1.2 - Ajuste da Frequência de Oscilação



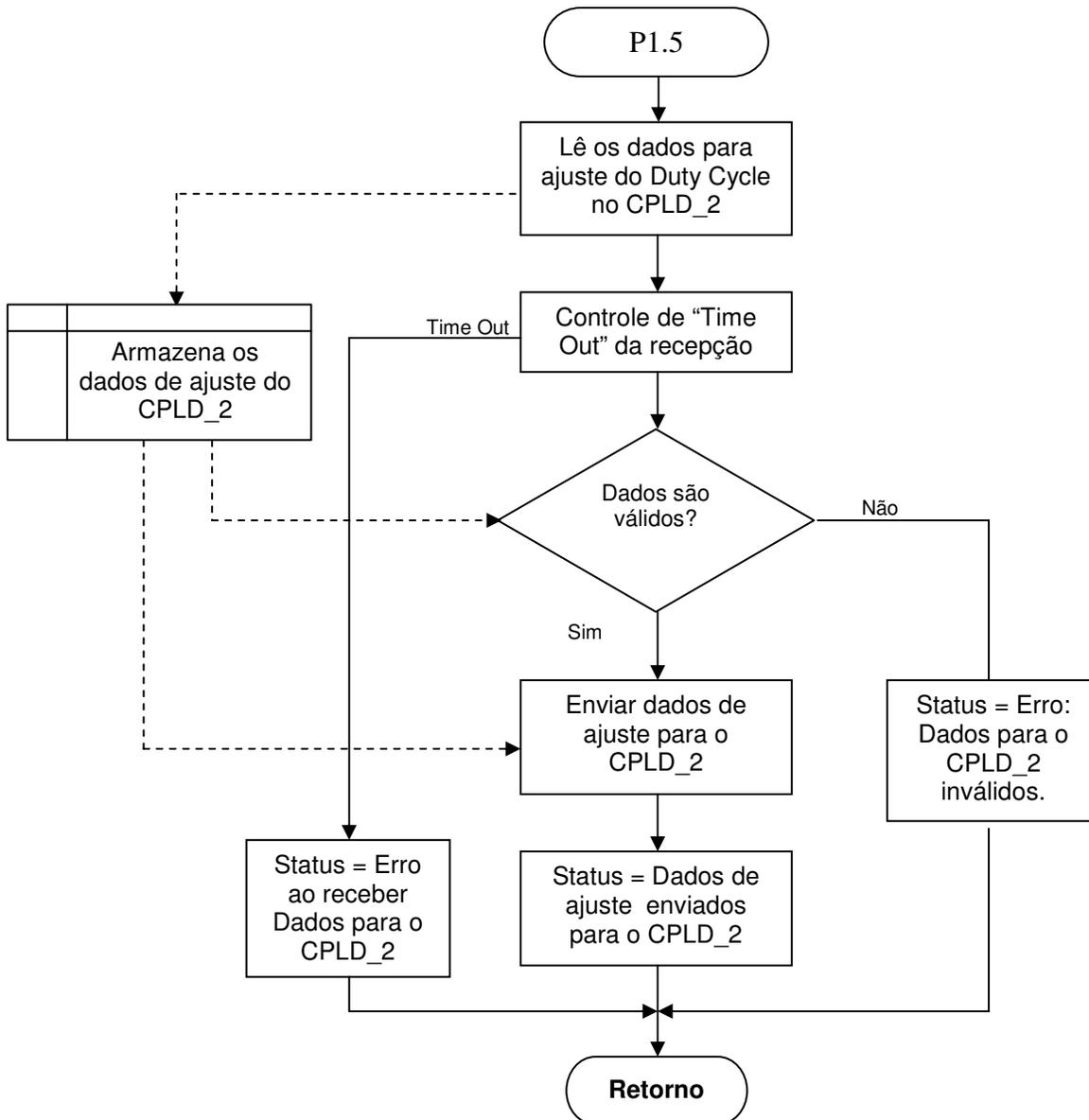
P1.3 - Controle interno



P1.4 - Ajuste “Fino” de Duty Cycle



P1.5 - Ajuste “Grosso” de Duty Cycle



Protocolo de comunicação do sistema

Máscara do comando

A máscara dos comandos definidos no protocolo de comunicação entre a placa do demodulador do giroscópio e o sistema principal ou host é constituída por uma palavra de controle com a seguinte configuração:

- 1 nibble (4 bits) para indicar o tamanho total da palavra de comando (n+1)
- 1 nibble (4 bits) para o dispositivo
- 1 byte para o mnemônico
- n bytes para o dado.

Dispositivos:

Os dispositivos da placa do demodulador do giroscópio passíveis de comunicação com o sistema principal e sua numeração correspondente no protocolo são:

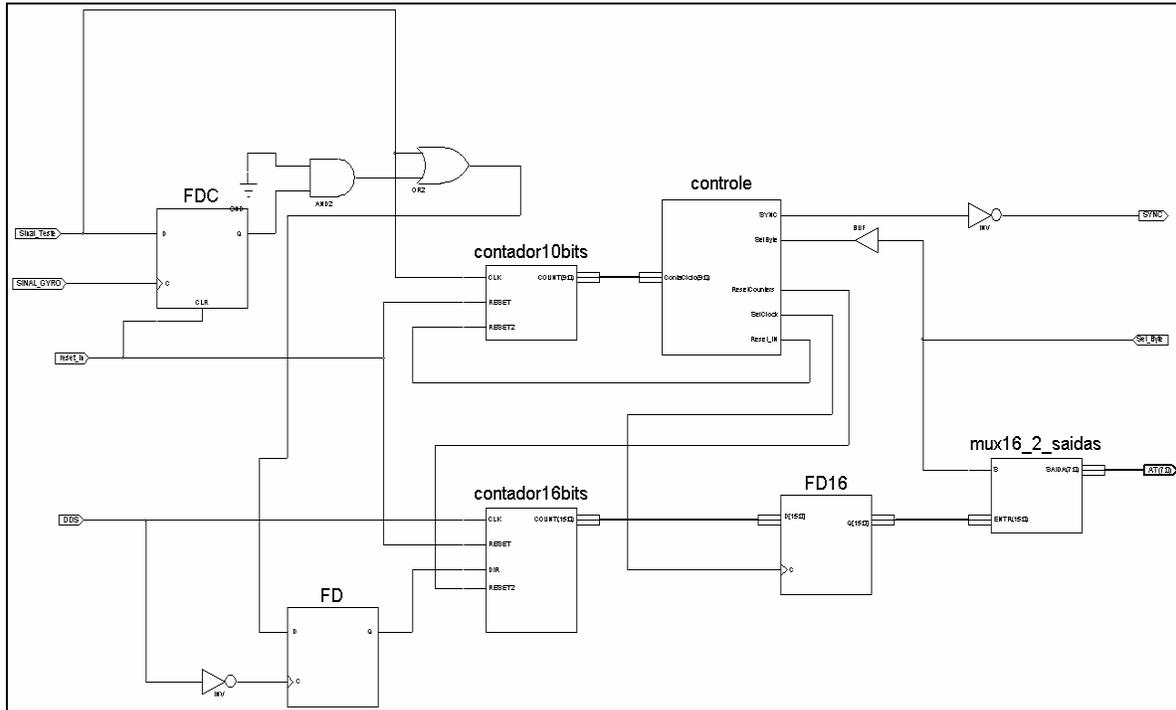
- 0x1 – CPLD 1 (análise do sinal do giroscópio)
- 0x2 – CPLD 2 (emulador do sinal do giroscópio)
- 0xA – POT digital (ajuste fino do duty-cycle do emulador)
- 0xD – DDS

Mnemônicos:

São definidos os seguintes mnemônicos no sistema:

- 0x01 = WR = write (escrita)
- 0x02 = RD = read (leitura)
- 0x03 = RS = reset (reinicia)

Códigos VHDL do Circuito de Medidas



--Contador 16 bits:

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;

entity contador16bits is
    PORT
    (
        CLK: in STD_LOGIC;
        RESET: in STD_LOGIC;
        RESET2: in STD_LOGIC;
        DIR: in STD_LOGIC; --LOAD,
        COUNT: inout STD_LOGIC_VECTOR(15 downto 0):=X"0000");
end contador16bits;

architecture Behavioral of contador16bits is
begin
    process (CLK, RESET, RESET2)
    begin
        if RESET='1' or RESET2='1' then
            COUNT <= X"0000";
        elsif CLK='1' and CLK'event then
            if DIR='1' then
                COUNT <= COUNT + 1;
            else
                COUNT <= COUNT - 1;
            end if;
        end if;
    end process;
end Behavioral;
    
```

--Contador 10 bits:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

library UNISIM;
use UNISIM.VComponents.all;

entity contador10bits is
    PORT
        (
            CLK: in STD_LOGIC;
            RESET: in STD_LOGIC;
            RESET2: in STD_LOGIC;
            COUNT: inout STD_LOGIC_VECTOR(9 downto 0):="0000000000");
end contador10bits;

architecture Behavioral of contador10bits is
begin
    process (CLK, RESET,RESET2)
    begin
        if RESET='1' or RESET2='1' then
            COUNT <= "0000000000";
        elsif CLK='1' and CLK'event then
            COUNT <= COUNT + 1;
        end if;
    end process;
end Behavioral;
```

--Controle:

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity controle is
    PORT
        (
            ContaCiclo      : IN STD_LOGIC_VECTOR (9 downto 0):="0000000000";
            ResetCounters   : OUT STD_LOGIC:='0';
            SelByte          : IN STD_LOGIC;
            Reset_IN        : OUT STD_logic:='0';
            SYNC            : OUT STD_LOGIC:='0';
            SelClock        : OUT STD_LOGIC:='0'
        );
end controle;

architecture Behavioral of controle is
begin
    Process (ContaCiclo)
    begin
        If ( SelByte = '1' ) then
            Sync<='0';
        end if;

        If ( ContaCiclo = "0000000000" ) then
            Reset_IN<='0';
            ResetCounters<='0';
        end if;

        If ( ContaCiclo = "1111100111" ) then -- = 1000?      -- para 999 ciclos!
            If ( SelByte = '0' ) then
                end if;
            SelClock<='1';
        end if;
    end process;
end Behavioral;
```

```

        If ( ContaCiclo = "1111101000") then -- = 1001?      -- para 1000 ciclos!
            If ( SelByte = '0' ) then
                Sync<='1';
            end if;
            Reset_IN<='1';
            ResetCounters<='1';
            SelClock<='0';
        end if;
    end process;

end Behavioral;

```

Código VHDL da CPLD de Testes

```

--Counter 0 a 499
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

library UNISIM;
use UNISIM.VComponents.all;

entity Counter_0_to_499 is
Port(
    CLK: in STD_LOGIC;
    RESET: in STD_LOGIC;
    COUNT: inout STD_LOGIC_VECTOR(8 downto 0):="000000000");
end Counter_0_to_499;

architecture Behavioral of Counter_0_to_499 is

begin
-- synchronous counter with count enable,
-- asynchronous reset and synchronous load

process (CLK, RESET)
begin
    if (RESET='1') then          -- Reset ou
        COUNT <= "000000000";
    elsif CLK='1' and CLK'event then
        COUNT <= COUNT + 1;
        if (COUNT = "111110011") then    --count =499?
            COUNT <= "000000000";
        end if;
    end if;
end process;

end Behavioral;

```

Referências Bibliográficas

- [1] TORRES, J. M. C. e HEMERLY E. M. **“Caracterização de sensor inercial e aplicação em barco autônomo”** VIII ENCITA, outubro de 2002.
- [2] SAGNAC G. **“L'éther lumineux démontré par l'effet du vent relatif d'éther dans un interféromètre en rotation uniforme”** C. R. Acad. Sci., Paris, 1913.
- [3] LEFEVRE, H. C. **“Fiber-optic Gyroscopes”**, Artech House Inc, France, 1993
- [4] M. N. ARMENISE, et all. **“Gyroscope technologies for space applications”**, ESA MNT4 (European Space Agency: Micro & Nano Technologies), Italy, 2004
- [5] PREZZAVENTO, A., **“3-Axis Micro Gyroscope Feasibility Study”**, ESA MNT4 (European Space Agency: Micro & Nano Technologies), Italy, 2004
- [6] ALMEIDA, J.C.J. **“Técnicas de processamento de sinais em girômetros a fibra óptica para sistemas de navegação inercial”** (tese de mestrado), Universidade Estadual de Campinas, 1996
- [7] CHINLON, L. Optical Fiber Gyroscope. In: **Optoelectronic Technology and Lightwave Communications Systems**. New York, Van Nostrand Reinhold, 1989. p. 636-652. Cap. 21.
- [8] GIALLORENZI, T. G. and EZEKIEL, S. Optical Fiber Sensors. **Optic News**, Special Issue, p.11-47, Nov 1989.
- [9] CARRARA, S. L. A. **Drift Reduction in Optical Fiber Gyroscopes**. Stanford: Stanford University, 1988. 147p. Ph.D. Thesis.
- [10] TITTERTON D. H. AND WESTON J. L. 1997. **“Strapdown Inertial Technology”**, Peter Peregrinus Ltd, UK.
- [11] CARVALHO, R. T. **Redução de Deriva em Giroscópios a Fibra Óptica Convencionais**, (Tese de Mestrado) São José dos Campos: ITA, 1991. 162p.
- [12] FERNANDES A. P., FERREIRA, E. C., SIQUEIRA D, J. A. **New Technique For The Implementation Of Digital Demodulation Of Fiber Optic Gyroscopes**. 19th Congress of Mechanical Engineering (COBEM), 2007.
- [13] E. C. FERREIRA, A. P. FERNANDES, J. A. SIQUEIRA Dias, **Implementação de uma nova técnica para demodulação digital em giroscópios a fibra ótica**. Brazilian Symposium on Inertial Engineering (SBEIN), 2007.
- [14] RODRÍGUES, R. B. G., **Uma Nova Técnica de Detecção de Sinais de Giroscópio a Fibra Óptica usando “Zero Crossing” com Clock Síncrono** (Tese de Mestrado) Universidade Estadual de Campinas. Junho de 1999.
- [15] IKEDA, J et al. **Development of Fiber-Optic Gyroscopes for Industrial and Consumer Applications**. SPIE Vol. 2349 p 73-86. 1995.
- [16] GRAEME, J. G. **Photodiode Amplifiers. Op Amp Solutions**. McGraw-Hill, Inc. 252p. 1996.

- [17] E.C. FERREIRA, **Nova Técnica de Processamento de Sinais de Girômetros a Fibra Óptica para Sistemas de Navegação Inercial.** (Tese de Livre Docência) Universidade Estadual de Campinas. Campinas. Março de 2001.
- [18] APPLICATIONS OF OPTOELECTRONICS. **Applications of Silicon Photodiodes.** Hawthorne, CA, USA: UDT Sensors, Inc., 1993.
- [19] PHOTODIODE DATA SHEETS. **Photodiode Specifications and Application Notes.** Waltham, Ma. USA: EG & G Photon Devices, 1988.
- [20] CULSHAW, B., **The optical fibre Sagnac interferometer: an overview of its principles and applications,** Institute Of Physics Publishing, 30 November 2005.
- [21] TSELIKOV, A., ARRUDA, J.U., BLAKE, J., **Zero Crossing demodulation for open-loop Sagnac interferometers,** IEEE J. Lightwave Techn. 16, N. 9, pp. 1613, 1998.
- [22] ALVES, F. D. P.; De Carvalho, r. t.; Oliveira, J. E. B. **Demodulação de Sinal de Giroscópio a Fibra Óptica: Resultados Experimentais Utilizando Técnica de Cruzamento de Zero.** Telecomunicações. Vol. 2. pp 23-27. 1999.
- [23] E.C. FERREIRA, F. F. MELO and J. A. SIQUEIRA Dias. **Precision Analog Demodulation Technique for Open-loop Sagnac fiber optic gyroscopes.** American Institute of Physics. Publishing, Vol 78, No.2, pp 024704-1,5, February 2007.
- [24] EZEQUIEL, S. and ARDITTY, H. J. **Fiber-Optic Rotation Sensors and Related Technologies.** New York. Springer-Verlag Berlin Inc. 440p 1982.
- [25] FERREIRA, E.C, MELO, F.F and SIQUEIRA Dias, J.A., "**Minimum detectable signal and optimal operating point in intensity noise-limited fiber optic gyroscopes**", Third European Workshop on Fibre Optic Sensors, accepted for publication, Napoli, Italy, July 2007.
- [26] KERSEY, A.D and MOELLER, R.P, "**Open loop fiber optics gyroscopes with phase shift nulling signal processing**", Electron. Lett., 26, pp 1251-1255, 1990.
- [27] MCCAIN, D.M., "**An interferometric signal demodulation scheme using zero crossing and an asynchronous clock**", M.Sc. Thesis, Texas A & M University, 1992.
- [28] NASCIMENTO, A.R.Z., ALMEIDA, J.C.J., "**Circuitos Amplificadores de Transimpedância Integrados a Fotodiodos**", Revista Científica Periódica - Telecomunicações, Vol 02, N. 02, Setembro de 1999.
- [29] TOYAMA, K., FESTER, K.A., KIM, B.Y., SHAW, H.J. "**Digital integrating fiber optic gyroscope with electronic phase tracking**", Opt. Lett. Vol. 16, pp. 1207-1211, 1991.
- [30] BUCHANAN, D. **Choosing DACs for Direct Digital Synthesis,** AN-237 Analog Devices Inc., 1997.
- [31] **A Technical Tutorial on Digital Signal Synthesis,** Tutorial, Analog Devices Inc., 1999.

- [32] CUSHING, R., **“Jitter Reduction in DDS Clock Generator Systems”**, Technical Note, Analog Devices Inc.
- [33] BRANDON, D **“Synchronizing Multiple AD9850/AD9851 DDS-Based Synthesizers”**, AN-587 Analog Devices Inc., 2002.
- [34] CUSHING, R., **“Digital Control of the AD9850/51 DDS Output Amplitude”**, Technical Note, Analog Devices Inc.
- [35] **Selecting and Using RS-232, RS-422, and RS-485 Serial Data Standards**, AN-723, Dallas Maxim Semiconductors Inc., 2000.