

SIDNEY SERGIO SAVIANI

Engenheiro Eletricista Eletrônico, FEC - UNICAMP, 1976

S I S T E M A D E P R O C E S S A M E N T O
P A R A P R O J E T A R E A N A L I S A R
L A Y - O U T D E C I R C U I T O S
I N T E G R A D O S D E M I C R O O N D A S

Dissertação apresentada à Faculdade
de Engenharia de Campinas da UNICAMP
como requisito parcial para a obten-
ção do Título de MESTRE EM CIÊNCIAS.

Orientador: Prof. Dr. Atílio José Giarola

Universidade Estadual de Campinas
Faculdade de Engenharia de Campinas
Departamento de Engenharia Elétrica
Laboratório de Eletrônica e Dispositivos

AGOSTO DE 1981

UNICAMP
BIBLIOTECA CENTRAL

AGRADECIMENTOS

Ao Prof. Giarola pela exemplar orientação.

Ao LED-FEC-UNICAMP por permitir a realização deste trabalho e à sua Equipe de Apoio pelo trabalho por ela realizado.

Aos colegas e professores do LED, do grupo de microondas e do grupo de comunicações pela atenção certa.

À TELEBRAS e à UNICAMP pelo apoio financeiro e de infra estrutura.

Este trabalho é dedicado às pessoas inofensivas e sem malícia.

RESUMO

Ao se projetar um circuito integrado de microondas encontram-se grandes dificuldades em se fazer um lay-out que realmente se comporte como o modelo desejado, pois é preciso reunir o acervo técnico, necessário a esse projeto, que está disperso entre muitas publicações. Estas, geralmente são restritas à análise, síntese ou discussão sobre um componente, dispositivo ou material. Por isso, achamos que é muito bom termos em mãos um sistema de processamento que auxilie o projeto e analise o lay-out desses circuitos. Se ele tiver um acervo técnico básico que possa ser modificado quando necessário, então satisfaz aos anseios de qualquer projetista que queira sintetizar ou analisar um circuito integrado de microondas.

Este trabalho descreve um sistema de processamento que permite projetar e analisar lay-out de dispositivos e circuitos de microondas fabricados pela técnica de microfita. Este sistema permite forte interação projetista-computador, através de um terminal gráfico do tipo GT.40, para definição do lay-out desejado. Um acervo de técnicas de lay-out faz parte do mesmo e permite a sua ampliação conforme as necessidades futuras. Um acervo de técnicas de análise, também aprimorável de acordo com as necessidades, integra o sistema e permite ao seu usuário prever as principais características elétricas do dispositivo ou circuito por ele projetado.

Para a comprovação dos modelos adotados foi feita uma simulação de todas as descontinuidades que são elementos simples, componentes de lay-out, alguns dispositivos compostos e um circuito mais complexo, seguida de uma crítica detalhada dos resultados obtidos.

Com seus programas computacionais escritos de uma forma simples e na linguagem Fortran IV, o sistema descrito permite o intercâmbio de dados com outros sistemas, e integra um sistema de projetos auxiliado por computador para a área de microondas em desenvolvimento na FEC-UNICAMP.

Por desconhecermos a existência de algo semelhante, acreditamos termos feito uma contribuição visando o desenvolvimento de projetos, análises e otimizações de circuitos, no caso de microondas, auxiliados por computador.

INDICE

CAPÍTULO I - COLOCAÇÃO DO PROBLEMA-OBJETIVO E SOLUÇÃO ADOTADA		Pág.
I.1 - Introdução		1
I.2 - O Uso do Computador no Projeto de Circuitos Integrados de Microondas		2
I.3 - O Projeto e a Análise de Circuitos Integrados de Microondas		3
I.4 - Sistema de Projeto Auxiliado por Computador para a Área de Microondas		4
I.5 - Colocação do Problema-Objetivo e Solução Adotada		4
I.6 - Descrição Geral do Sistema de Processamento		6
CAPÍTULO II - DESCRIÇÃO DETALHADA DO SISTEMA DE PROCESSAMENTO		
II.1 - Projeto de Lay-Out de Circuitos Integrados de Microondas		9
II.2 - Análise de Lay-Out de Circuitos Integrados de Microondas		15
II.3 - Análise de Circuitos Integrados de Microondas por Segmentação do Circuito		17
CAPÍTULO III - CARACTERIZAÇÃO DOS COMPONENTES DE LAY-OUT		
III.1 - Elementos Componentes de Lay-Out		23
III.1.1. - Dispositivos Compostos		23
III.1.2. - Elementos Simples		23
III.1.3. - Elementos Concentrados		24
III.2 - Modelos dos Elementos Componentes de Lay-Out		24
III.2.1. - Modelo Geométrico ou Desenho		24
III.2.2. - Modelo Elétrico dos Componentes		24
III.2.2.1. - Modelo Elétrico dos Elementos Simples		27
III.2.2.2. - Modelo Elétrico dos Dispositivos Compostos		41
III.2.2.3. - Modelo Elétrico dos Elementos Concentrados		43
CAPÍTULO IV - UTILIZAÇÃO DO SISTEMA DE PROCESSAMENTO		
IV.1 - Forma dos Arquivos de Entrada de Dados.		44
IV.2 - Convenção dos Parâmetros dos Arquivos de Dados.		45
IV.3 - Forma dos Arquivos de Saída de Dados		46
IV.4 - Saídas Gráficas		49
IV.5 - As "Conversas" do Sistema (Interação Projetista-Computador)		49
IV.6 - Um Exemplo de Utilização do Sistema de Processamento		53

CAPÍTULO V - ANÁLISE DOS RESULTADOS OBTIDOS COM O USO DO SISTEMA
DE PROCESSAMENTO

	Pág.
V.1 - Análise dos Resultados do Projeto de Lay-Outs	61
V.2 - Crítica dos Resultados da Análise de Lay-Outs	61

CAPÍTULO VI - CONCLUSÕES

VI.1 - Síntese da Filosofia, Relevância e Interesse do Trabalho	73
VI.2 - Proposições para Continuação e Aprimoramento do Trabalho	73

APÊNDICE	75
----------------	----

REFERÊNCIAS BIBLIOGRÁFICAS	77
----------------------------------	----

CAPÍTULO I

COLOCAÇÃO DO PROBLEMA-OBJETIVO E SOLUÇÃO ADOTADA

I.1 Introdução

Na década de 1945/55 houve muito interesse em se usar linhas de transmissão de ondas eletromagnéticas na forma de fitas condutoras com diversas configurações, o que levou o Institute of Radio Engineers a uma publicação especial do IRE Transaction on Microwave Theory and Techniques, em março de 1955 [1]. Popularizou-se então o uso do termo micro-fita, do inglês microstrip, que é um nome conveniente para as configurações de circuitos de microondas construídos por técnicas de circuito impresso, modificadas quando necessário para reduzir perdas, reflexão e acoplamentos espúricos, mas conservando as vantagens no tamanho, simplicidade, confiabilidade e custo que essa técnica de produção proporciona [2].

A micro-fita é uma linha de transmissão muito atrativa para aplicações em circuitos integrados de microondas que envolvem um grande número de unidades idênticas e necessitam de uma alta densidade de empacotamento [3]. Embora muitos interesses correntes na área de utilidade da micro-fita advêm dessas aplicações, existe também uma apreciável e crescente soma de interesses nas suas possibilidades como elemento de circuito para a geração de computadores de alta velocidade que operam com comprimentos de pulsos correspondentes a frequências acima de 1GHz [4].

Desde que a contribuição das reatâncias parasitas de um elemento concentrado pode pesar bastante no circuito calculado, é muito desejável o uso de circuitos distribuídos em frequências de microondas. O uso de elementos distribuídos juntamente com elementos ativos e passivos, segundo Gelnovatch [5] é, por definição, um circuito integrado de microondas.

Os circuitos integrados de microondas estão sob ativa investigação desde 1965 e são agora produzidos em toda parte do mundo. As técnicas de circuito que permitem redução de tamanho dos elementos de microondas são realidade desde 1952 [6], mas o ímpeto para atingir o estado da arte tecnológica, segundo Caulton [7], veio da utilidade ou eficácia de 1) dispositivos de estado sólido de pequeno tamanho operando em frequências de microondas e 2) técnicas de integração desenvolvidas para circuitos integrados de baixa frequência. Também desempenhou papel importante no progresso da tecnologia a realização de muitas das vantagens dos dispositivos de estado sólido que puderam ser alcançadas por técnicas de circuitos de tamanho comparável.

1.2 O Uso do Computador no Projeto de Circuitos Integrados de Microondas

A complexidade dos modelos matemáticos dos dispositivos usados nos circuitos integrados de microondas tem levado aqueles que militam nessa área a fazer uso constante de computadores para sintetizar, analisar e otimizar, através de métodos numéricos nem sempre facilmente obtidos, os dispositivos que compõem aqueles circuitos.

Importantes dispositivos para circuitos de microondas são realizados usando-se micro-fitas. Dentre eles temos filtros, cujas sínteses são apresentadas por Cohn |8|, Matthaei |9|, Cristal |10|, Jones e Bolldjahn |11|, acopladores que foram sintetizados por Leighton e Milnes |12|, Norris |13|, de Ronde |14|, ressoadores sintetizados por Troughton |15|, Wolff |16|, Iveland |17|, Kretzschmar |18|, deslocadores de fase sintetizados nas publicações de Opp e Hoffman |19|, e de Rome, Hair e Gerst |20|, bem como circuladores cuja síntese pode ser encontrada na publicação de Fay e Comstock |21|. Todas essas sínteses dependem de um cálculo tedioso e, com a ajuda do computador, tornam-se facilmente realizáveis.

Outros dispositivos de especial importância nos circuitos de microondas são os elementos concentrados. A síntese dos mesmos, que dependente de exaustivos cálculos, é executada com o uso de computadores. Cabe aqui mencionar os trabalhos de Caulton, Daly, Knight, Ekhold |5 e 22|, Aitchison e outros |23| e Alley |24|.

Várias técnicas foram desenvolvidas para simplificar ou automatizar muitos dos cálculos envolvidos no projeto de micro-fitas. Em particular, análises dessas linhas incluindo dispersão requerem cálculos por computador. Dentre elas podemos citar as publicadas por Bryant e Weiss |2 e 25|, Kimura e Frey |26| e Jansen |27|. Diversos estudiosos como Wheeler |1|, Schneider |27|, Hammerstad |29| e Giarola |30|, desenvolveram expressões fechadas que simplificaram a obtenção de algoritmos, tornando fácil a sua resolução por métodos numéricos através do computador.

As técnicas de projeto com ajuda de computador são particularmente úteis na construção de amplificadores para pequenos sinais de microondas com transistores como elementos ativos. Nessa área podemos encontrar Troughton |31|, Gelnovatch e Burke |32|, Gelnovatch e Chase |33|, Houston e Read |34| que publicaram algoritmos para o projeto computarizado desses amplificadores.

A otimização de circuitos integrados de microondas, tal como as técnicas de projeto com ajuda do computador, teve a sua maior força dirigida aos amplificadores de pequenos sinais para microondas por serem os mesmos particularmente convenientes para isso. Um resumo abrangente dos métodos usados nas otimizações em geral foi dado por Bandler |35|. Para otimizar esses amplificadores encontramos algoritmos desenvolvidos por Houston e Read |34| e Gelnovatch e Chase |33|. Recentemente, os mesmos métodos abordados por Bandler e variações deles foram dirigidos ao projeto e otimização de amplificadores de potência para sinais de microondas. Com essa aplicação podemos citar trabalhos desenvolvidos por Kotzebue |36| e Hornbuckle e Kuhlman |37|.

As palavras de Bandler |35| são bastante significativas para concluir as colocações acima: "Projeto e otimização totalmente automatizado é, seguramente, uma das últimas conquistas do projeto auxiliado por computador. A quantidade de intervenção humana necessária para produzir um projeto aceitável,

embora seja frequentemente inevitável, pode, entretanto, ser considerada como uma medida da nossa ignorância do problema, nossa inabilidade para especificar nossos objetivos completamente para o computador, ou nossa falha para antecipar ou fazer previsões dos riscos que possam ser encontrados na solução do problema".

1.3 O Projeto e a Análise de Circuitos Integrados de Microondas

Os conhecimentos publicados até os dias atuais acerca dos circuitos integrados de microondas estão em forma de análise, síntese ou discussão do comportamento elétrico de diversos componentes ou dispositivos que podem integrar um circuito de microondas, tais como filtros, ressoadores, deslocadores de fase, descontinuidades em linhas de transmissão e discussão de certas propriedades elétricas de alguns materiais usados na fabricação desses dispositivos ou circuitos. Ao se projetar um CIRCUITO ELÉTRICO cujos componentes são discretos, a principal preocupação é como combinar esses componentes para obter o comportamento elétrico desejado. No caso de um CIRCUITO INTEGRADO DE MICROONDAS, onde a maioria dos componentes é formada por elementos distribuídos, a grande dificuldade está em fazer um lay-out que realmente se comporte como o modelo desejado pois uma simples descontinuidade numa linha de transmissão já é um elemento a mais no circuito, modificando o modelo prévio. Do ponto de vista de análise de circuitos, uma montagem com elementos concentrados tem o seu circuito elétrico facilmente obtido através de uma simples inspeção e, portanto, sua análise se torna imediata com a escolha do método desejado, não ocorrendo a mesma simplicidade no caso do lay-out de um circuito integrado de microondas. Aqui a análise só é válida se executada pelo próprio projetista que tem em mãos todas as informações do circuito que projetou, tais como características do material, efeitos elétricos produzidos por acoplamentos, certas fendas, descontinuidades, etc, que ao olho de um terceiro podem só eventualmente ser encontradas. Uma justificativa adequada para essa colocação é o uso altamente difundido de analisadores de circuito como ferramenta principal na bancada do "profissional de microondas".

Dificuldade de mesma ordem encontra o projetista de circuitos integrados de microondas com respeito ao acervo técnico disponível para seus projetos. Atualmente tem-se que procurar dentre dezenas, ou talvez centenas de publicações no gênero para se formar o acervo necessário a um certo projeto. Cada estudo, ao publicar a análise, síntese ou discussão sobre um componente, dispositivo ou material, apresenta um ponto de vista novo e possivelmente alguns modelos publicados anteriormente tenham que ser revistos ou mesmo relegados ao esquecimento por serem, então, inadequados. Devido a esse grande número de informações que devem ser processadas ao se projetar ou analisar um circuito integrado de microondas e também ao fato de que ir do modelo para o lay-out do circuito e vice-versa requer uma grande quantidade de conhecimentos na área, achamos que é muito bom colaborar para as atividades de síntese e análise de circuitos integrados de microondas com um sistema de processamento, através de computador, que auxilie o projeto e analise o lay-out desses circuitos integrados. Se esse sistema tiver um acervo de técnicas básicas e específicas dessa área, podendo ser modificado sempre que necessário, então satisfaz aos anseios de qualquer projetista que queira sintetizar ou analisar um circuito integrado de microondas.

I.4 Sistema de Projeto Auxiliado por Computador para a Área de Microondas

O sistema de processamento que propomos integrará um sistema de Projeto Auxiliado por Computador, dirigido para a área de microondas que, num primeiro empreendimento, será formado de dois subsistemas:

1. Projeto e análise de dispositivos de microondas;
2. Projeto e análise de lay-out de circuitos integrados de microondas.

O subsistema que compreende o projeto e a análise de dispositivos de microondas está estruturado de maneira a prover o sistema de projeto auxiliado por computador de recursos que possam ser usados pelo projetista na síntese e na análise de dispositivos de microondas e foi objeto da tese de mestrado de H.C.C. Fernandes [38]. O subsistema para projeto e análise de lay-out de circuitos integrados de microondas estamos descrevendo neste trabalho.

Nestas condições é possível relacionar as utilidades do Sistema de Projeto Auxiliado por Computador para a área de microondas como segue:

- Síntese de dispositivo ou componente
- Análise de dispositivo ou componente
- Síntese e análise de um dispositivo ou componente
- Projeto do lay-out de um componente ou dispositivo
- Análise do lay-out de um componente ou dispositivo
- Projeto e análise do lay-out de um dispositivo ou componente
- Projeto do lay-out de um circuito integrado de microondas
- Análise do lay-out de um circuito integrado de microondas
- Síntese e projeto do lay-out de um circuito integrado de microondas
- Síntese, projeto e análise do lay-out de um circuito integrado de microondas
- Síntese e análise dos dispositivos e projeto e análise do lay-out de um circuito integrado de microondas.

I.5 Colocação do Problema Objetivo e Solução Adotada

A partir de um circuito ou modelo elétrico previamente definido, no qual cada componente e dispositivo é totalmente caracterizado, trabalha-se no sentido de obter um lay-out que o realize fisicamente. Esse trabalho é feito em parte pelo projetista e em parte pelo sistema de processamento que se descreve. O projetista especifica cada dispositivo ou componente, as técnicas de fabricação que usará, interage com o sistema fornecendo informações quanto à topologia do lay-out e decide quanto a possíveis erros encontrados pelo sistema de processamento. A opção por essa metodologia se deve a:

1. As decisões tomadas por um computador são podem ser lógicas e levariam um circuito elétrico sempre ao mesmo lay-out, o que não é verdade, em se tratando de circuitos integrados de microondas;
2. A programação necessária ao computador para executar operações que o projetista faz com base no seu bom senso e acuidade

de devido à experiência envolve algoritmos muito complicados - às vezes impossíveis - aumentando drasticamente o tempo de processamento e a ocupação de memórias do computador, tornando o sistema sem utilidade prática. A melhor solução de compromisso parece estar num sistema no qual as decisões são tomadas pelo projetista e todos os cálculos e arquivos de dados ficam por conta da máquina. Isso reduz bastante a possibilidade de erros tornando os cálculos confiáveis, além de reduzir o tempo de processamento, facilitando, portanto, o uso do sistema.

Assim sendo, a estrutura de trabalho do sistema é a seguinte:

- O projetista especifica cada dispositivo e componente, as técnicas que usará no lay-out do circuito e interage com o computador para produzirem o lay-out que a vontade, necessidades, bom senso, etc., do projetista determinam;

- O computador calcula os parâmetros básicos e gera dados para o lay-out de cada dispositivo ou componente do circuito, arquiva e controla todos os dados gerados nas diversas etapas do trabalho, executa os testes necessários durante os cálculos e formação do lay-out do circuito e executa as diversas análises sobre o lay-out produzido, segundo determinações do projetista. Por fim, expede os resultados na forma de listagens, gráficos e desenhos.

O sistema de processamento deve contar com acervos de técnicas para a síntese e análise dos diversos tipos de componentes e dispositivos, acervo de técnicas de confecção e análise de lay-out, acervo de técnicas de fabricação de componentes ou dispositivos e de fabricação de lay-out de circuitos. Esses acervos são compostos, de uma maneira geral, de:

- Elementos para síntese e análise de componentes e dispositivos básicos aos circuitos integrados de microondas;

- Elementos sobre componentes ou dispositivos de interesse especial;

- Técnicas de fabricação, com micro-fitas, dos componentes acima;

- Técnicas de ligações e acoplamento entre dispositivos ou componentes do circuito, bem como destes com o exterior do circuito;

- Técnicas para uso de dispositivos ou componentes concentrados;

- Métodos de análise de dispositivos ou componentes e de lay-out de circuitos integrados de microondas;

- Versatilidade para permitir modificações ou ampliações de acordo com as necessidades futuras;

- Compatibilidade para transferência de dados entre outros sistemas de processamento.

I.6 Descrição Geral do Sistema de Processamento

O fluxograma da figura 1 mostra a estrutura do sistema de processamento descrito:

1. O projetista interage com o sistema de maneira a compor o lay-out do circuito, indicado no fluxograma pelo bloco PROJETO DE LAY-OUT DE CIRCUITOS INTEGRADOS DE MICROONDAS. Através do terminal gráfico, o projetista acompanha a formação do lay-out desejado;
2. O lay-out obtido é analisado em seguida na ANÁLISE DE LAY-OUT DE CIRCUITOS INTEGRADOS DE MICROONDAS cujos resultados chegam às mãos do projetista através do terminal gráfico e de listagens.

Os acervos técnicos são formados pelos algoritmos empregados no tratamento dos dados processados pelo sistema, pelos modelos geométricos ou topológicos adotados para os elementos componentes de lay-out, seus modelos elétricos, e pelos modelos adotados para análise e síntese de linhas de transmissão e para a análise do comportamento elétrico do lay-out. Assim sendo, novos elementos componentes de lay-out podem ser introduzidos simplesmente escrevendo-se adequadamente seu modelo geométrico e seu modelo elétrico.

O tratamento dos dados processados pelo sistema já tem um algoritmo que satisfaz a todas as necessidades práticas. Entretanto, é facilmente implementável novo procedimento para uso do projetista. Podemos também acrescentar outras rotinas que analisam e sintetizam linhas de transmissão como novas opções para o usuário. Desta forma, o sistema permite modificações e ampliações para satisfazer necessidades específicas ou para seu aprimoramento.

Quanto ao fluxo de dados, o sistema de processamento prevê a entrada dos mesmos através de arquivo em disco magnético. Os dados resultantes do lay-out e da sua análise também são armazenados em disco. Essa forma de armazenar informações dá a este sistema condições de transferir dados entre sistemas de processamento, o que é extremamente útil no caso de interações entre diversos sistemas. Noutros termos, o arquivo em disco serve como a interface necessária à interação entre sistemas de processamento que devem existir numa estrutura de projeto auxiliado por computador. Desta forma, o nosso sistema de processamento pode receber dados de sistemas que sintetizam ou otimizam dispositivos ou circuitos integrados de microondas através dos arquivos de entrada de dados para o lay-out e para a análise do lay-out. Igualmente, através dos arquivos de saída de dados do lay-out e de sua análise, pode transferir dados para sistemas de desenho ou fotolitográficos automáticos ou não e para sistemas que se dedicam especialmente à análise de parâmetros S versus frequência. Por outro lado, se o arquivo de dados para a análise do lay-out for confeccionado pelo projetista, é possível a utilização deste sistema para a análise de um lay-out não gerado pelo mesmo o que lhe confere excelente espectro de aplicações.

Pode ser considerado como circuito um só dispositivo. Nestas condições o sistema também pode ser usado para projetar e analisar o lay-out de um único dispositivo de microondas.

Facilidades tais como, diversas técnicas de fabricação de um mesmo dispositivo, possibilidade de acervo com diversos componentes concentrados, e

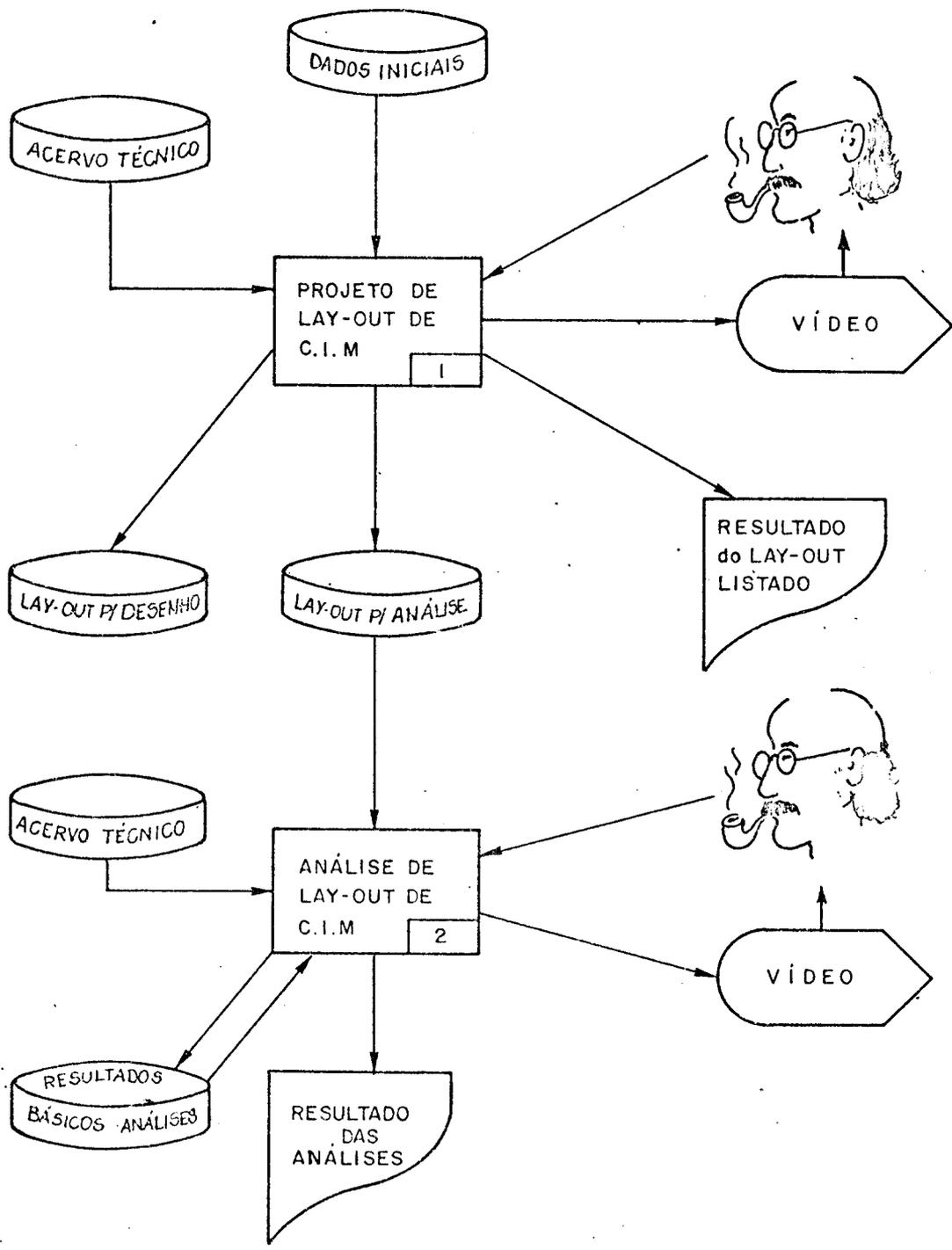


Figura 1 - Fluxograma do Sistema de Processamento para Projeto e Análise de lay-out de Circuitos Integrados de Microchips.

a possibilidade de modificações de qualquer um dos acervos técnicos do sistema, tornando-o versátil a ponto de admitir qualquer necessidade de projeto de lay-out de circuitos integrados de microondas pela técnica de micro-fita.

CAPÍTULO II

DESCRIÇÃO DETALHADA DO SISTEMA DE PROCESSAMENTO

Como vimos no capítulo anterior, o sistema de processamento é formado por duas partes principais: o Projeto de Lay-Out de Circuitos Integrados de Microondas e a Análise de Lay-Out de Circuitos Integrados de Microondas.

Ambas as partes podem ser consideradas independentes entre si, tendo em vista que executam funções totalmente autônomas e, como asseguramos anteriormente, podem ser usadas independentemente uma da outra para melhor utilização dos recursos do sistema.

Os programas computacionais desenvolvidos para este sistema foram escritos em Fortran IV e implementados no computador PDP-10 do Centro de Computação da UNICAMP. As rotinas gráficas foram escritas, também em Fortran IV, para o terminal gráfico que dispomos que é o modelo GT-40 da Digital Equipment Co.

II.1 Projeto de Lay-Out de Circuitos Integrados

Esta parte do sistema executa o processamento e a formação do lay-out do circuito integrado de microondas a partir de um conjunto determinado de dados fornecido pelo projetista, gerando, com a atuação deste, o desenho do lay-out desejado na tela do terminal gráfico, uma listagem impressa do mesmo e um arquivo do lay-out em disco que servirá como interface para processamentos seguintes necessários à execução de desenhos e máscaras para fotografação do lay-out obtido. Além disso, há a geração de um arquivo adequado, também em disco, que serve de entrada de dados para a parte do sistema que analisa o lay-out do circuito.

Na figura 2 temos o fluxograma desta parte do sistema. O bloco 1.1 representa as operações de entrada e interpretação dos dados do arquivo gerado pelo projetista, o qual é usado no sistema como base para a formação do lay-out. Também temos ali as operações de geração dos dados físicos e elétricos para o lay-out. Estas são formadas pela análise e síntese das linhas de transmissão usadas no lay-out. Um detalhamento deste bloco é mostrado na figura 3.

A análise e a síntese das linhas de transmissão são feitas com o uso de dois programas por nós desenvolvidos [39] e adaptados para este sistema. Um deles é o MICROLINHA, com algoritmo baseado nas equações obtidas por Giarola [30], e que analisa e sintetiza linhas de transmissão acopladas. O outro, MICROHAM, analisa e sintetiza linhas de transmissão simples e é baseado nas equações de Hammerstad.

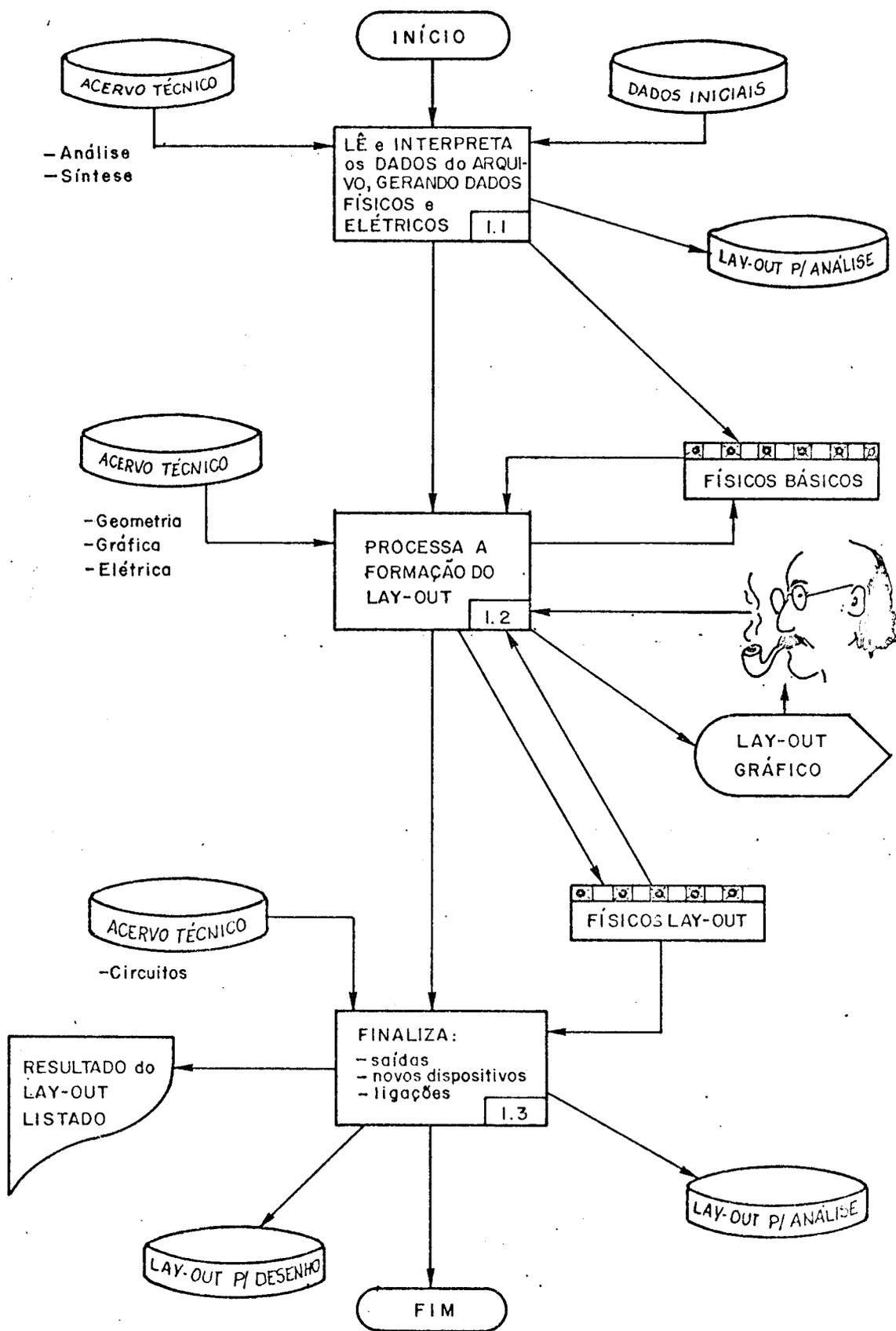


Figura 2 - Fluxograma do Projeto de Lay-out de Circuitos Integrados de Microondas (detalhamento do bloco 1).

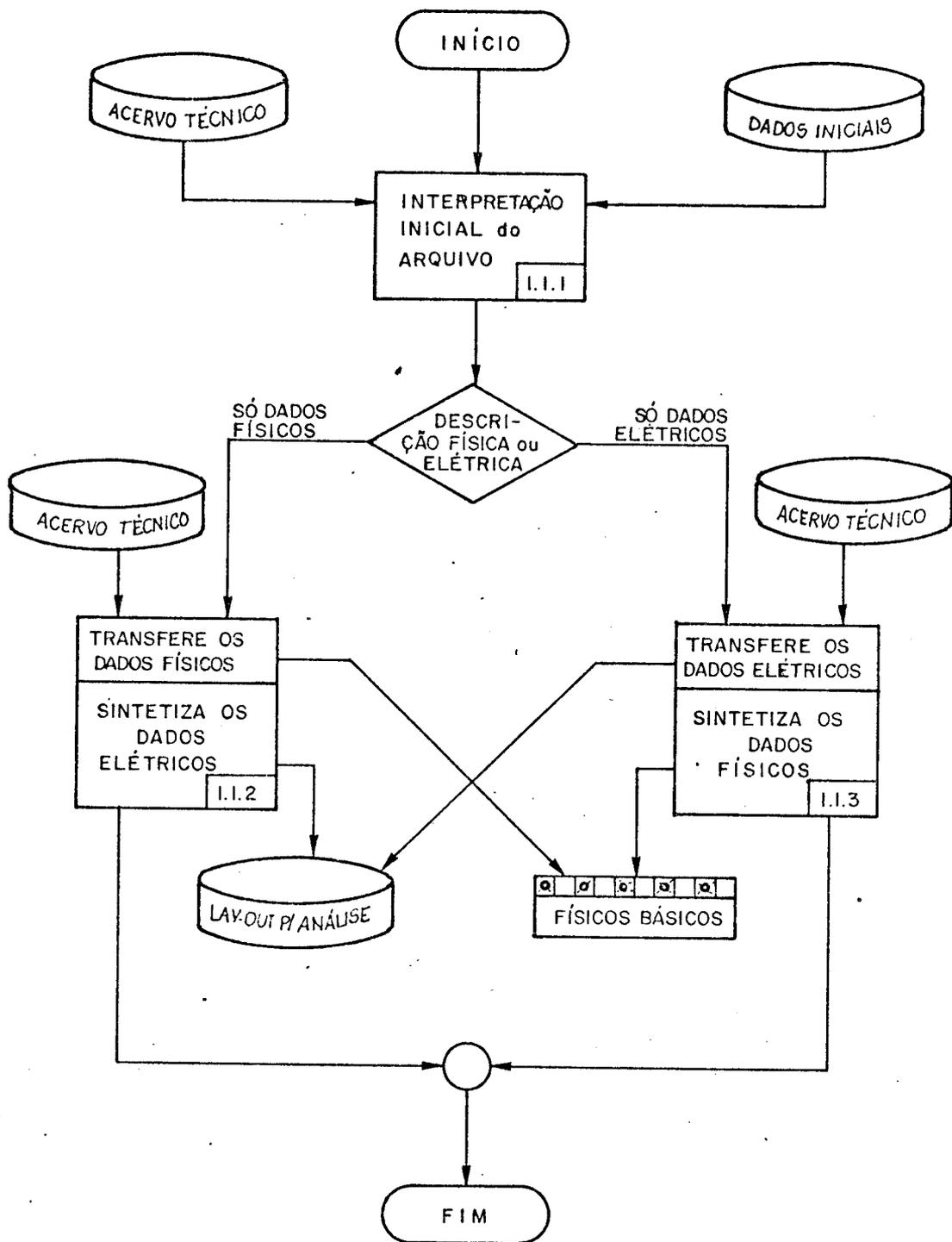


Figura 3 - Detalhamento do bloco 1.1.

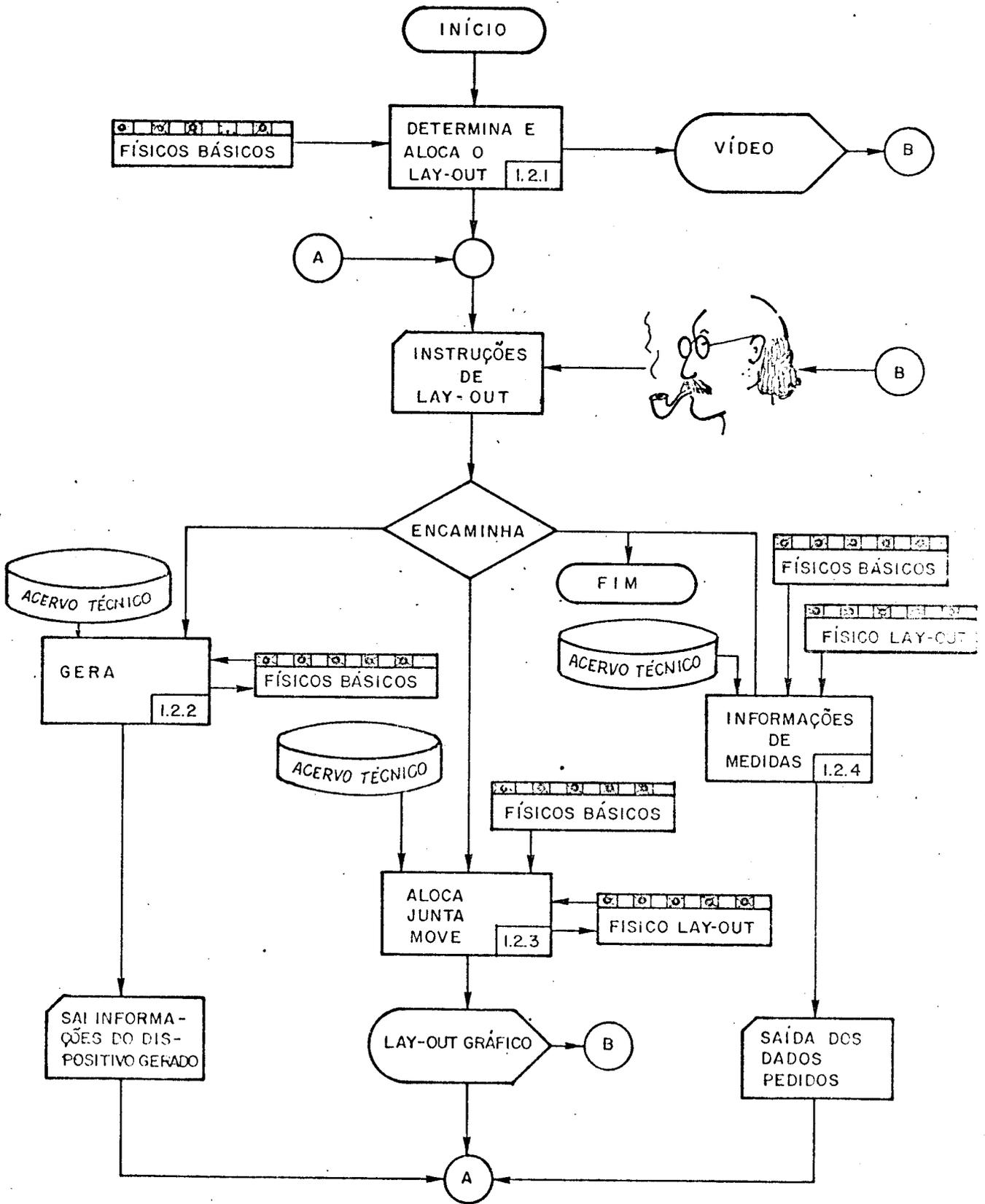


Figura 4 - Detalhamento do bloco 1.2.

As razões que nos levaram a adotar ambos estão claramente discutidas em [39].

O bloco 1.2 representa o processamento e a formação do lay-out desejado. É nesta etapa que o projetista interage com o sistema e comanda a formação do lay-out, com base no seu bom senso, necessidade, etc. Observando a figura 4, que é o fluxograma detalhado deste bloco, vemos que o projetista atua no sistema com os comandos Gera, Aloca, Junta, Move e também Informações de Medidas. Eles executam funções necessárias ao processo de formação do lay-out que o projetista acompanha observando o terminal gráfico. À medida que o projetista forma o lay-out, o sistema controla e salva todos os dados associados com as dimensões do mesmo e dos dispositivos ou elementos envolvidos na sua formação.

O lay-out do circuito integrado de microondas é gerado sempre sobre um retângulo que está no primeiro quadrante de um sistema cartesiano como mostra a figura 5. Esse retângulo representa o substrato dielétrico, base do circuito em questão, e o sistema cartesiano assumido é o referencial absoluto para todas as operações de formação do lay-out. Nesse retângulo devem ser alocados todos os dispo

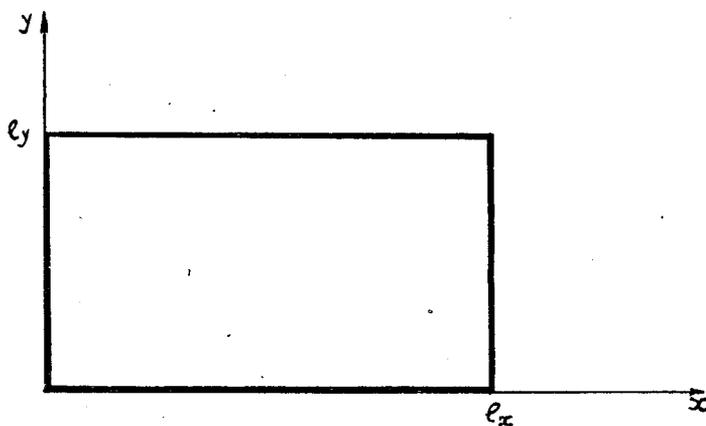


Figura 5 - Colocação do retângulo do substrato no sistema cartesiano do lay-out.

sitivos ou componentes que formarão o circuito os quais foram previamente definidos no arquivo de entrada de dados para o lay-out. Uma vez que todos os componentes do circuito estão alocados, eles serão ajustados para dar forma ao circuito através das operações de movimento e junção. Se o projetista necessitar, durante a formação do lay-out, de uma linha de transmissão singela reta ou um arco, a qual não foi definida no arquivo de dados para o lay-out por esquecimento ou estrita falta de condições de contorno para tal, poderá lançar mão do comando gera com o qual define e cria a linha que estava faltando em seu lay-out, restando, em seguida, usá-la como um dispositivo qualquer.

Acerca das Informações de Medidas o projetista poderá obter distâncias entre duas portas quaisquer de dois dispositivos, largura de uma certa linha de transmissão ou porta, ângulo do eixo de certa porta de um dispositivo no retângulo do lay-out, distância de uma porta de certo dispositivo a qualquer extremidade do retângulo representativo do substrato ou, finalmente, onde está certa porta de um dispositivo.

Uma vez finalizada a formação do lay-out, e o que caracteriza isso é um comando do projetista, o sistema começa a executar a última parte do Pro-

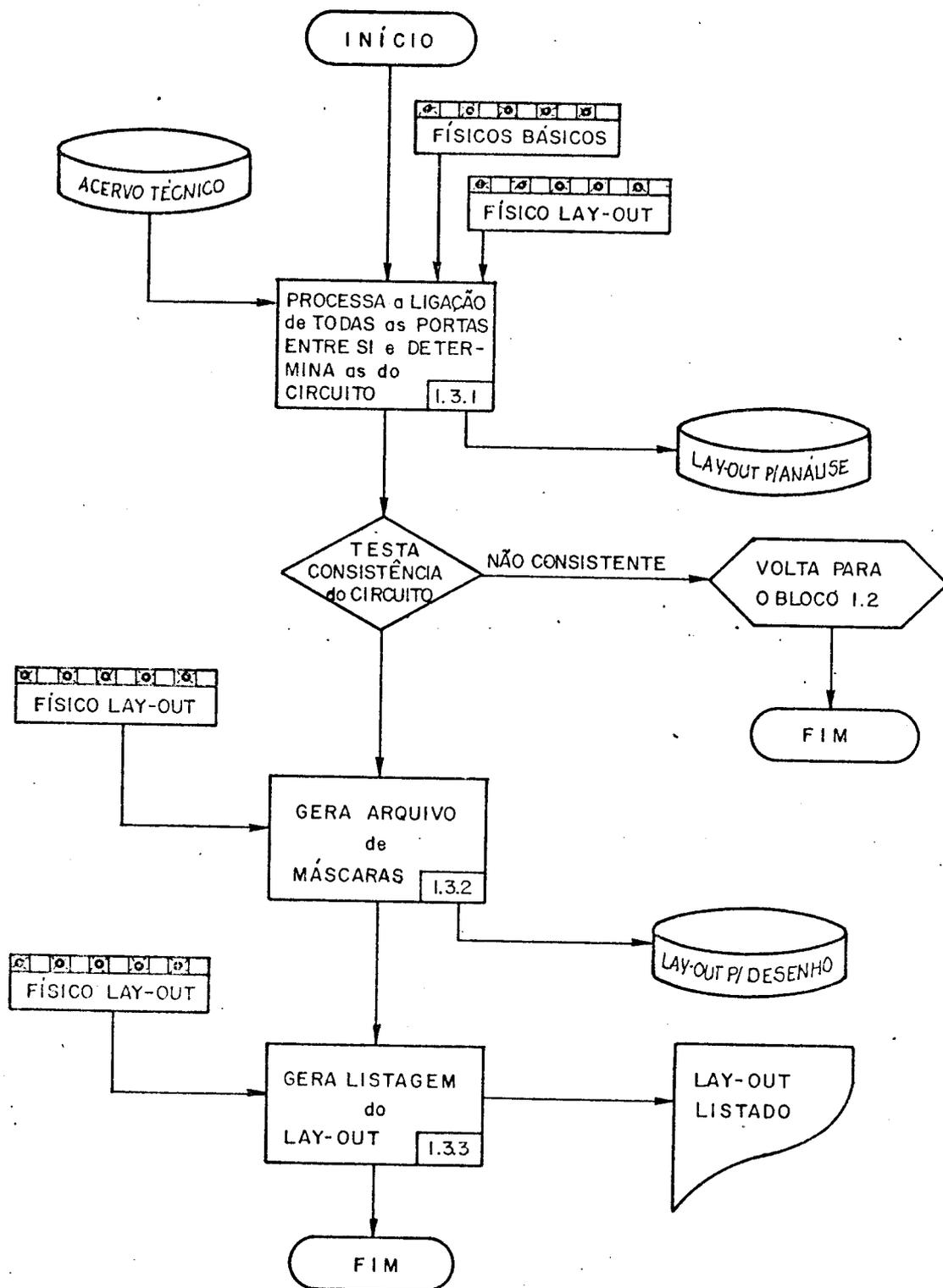


Figura 6 - Detalhamento do bloco 1.3.

jeto de Lay-Out de Circuitos Integrados de Microondas, descrita pelo bloco 1.3 do fluxograma da figura 2. Seu detalhamento pode ser visto na figura 6 e consta de três partes:

1^a) Ligação de todas as portas dos dispositivos do lay-out entre si e determinação das portas do circuito.

Estas operações são feitas com base na formação que o projetista deu para o lay-out e obedecem às seguintes regras:

- só há ligação entre portas de dispositivos ou elementos distintos;
- duas portas serão ligadas entre si somente se ocuparem o mesmo lugar no plano do lay-out e estiverem "olhando" uma para a outra:

$$x_{p_i} = x_{p_j}$$

$$y_{p_i} = y_{p_j}$$

$$\theta_{p_i} = 180^\circ + \theta_{p_j}$$

onde x_p , y_p e θ_p representam as coordenadas (x,y) da porta e θ o ângulo da normal à porta em relação ao eixo x. Os índices i e j representam portas de elementos distintos;

- são consideradas portas do circuito aquelas que não satisfizerem as condições acima.

Uma vez que as ligações entre os dispositivos do lay-out estejam caracterizadas e também determinadas as portas do circuito, esta etapa completa o arquivo de dados do lay-out para a análise. Neste instante, este arquivo contém todas as informações elétricas necessárias à análise do circuito. É então transferido para o disco magnético à disposição dos programas de análise do lay-out do circuito.

2^a) Geração do Arquivo do Lay-Out em Disco, para uso futuro na confecção de desenhos e de máscara para fotografação do lay-out.

Nesta operação, todos os dados do lay-out são transferidos para o disco magnético numa formatação adequada para ser usado futuramente por um programa que o interpreta e o converte numa máscara, usando plotters adequados.

3^a) Geração de Listagens do Lay-Out

Pode ser necessário o desenho à mão do lay-out. Os dados para tal constam de uma listagem, gerada nesta etapa, e que é facilmente interpretada por qualquer desenhista. Além disso é uma fonte de informações indispensável para a análise gráfica ou geométrica do lay-out.

II.2 Análise de Lay-Out de Circuitos Integrados de Microondas

Esta parte do sistema de processamento representada na figura 7 efetua a análise do lay-out do circuito com o fim de determinar o comportamento elétrico do mesmo. Os dados necessários para a execução da análise citada são formados por duas partes:

- a primeira, gerada pela primeira parte deste sistema ou pelo próprio projetista, consta das informações elétricas dos dispositivos componentes do lay-out e como os mesmos estão interligados;

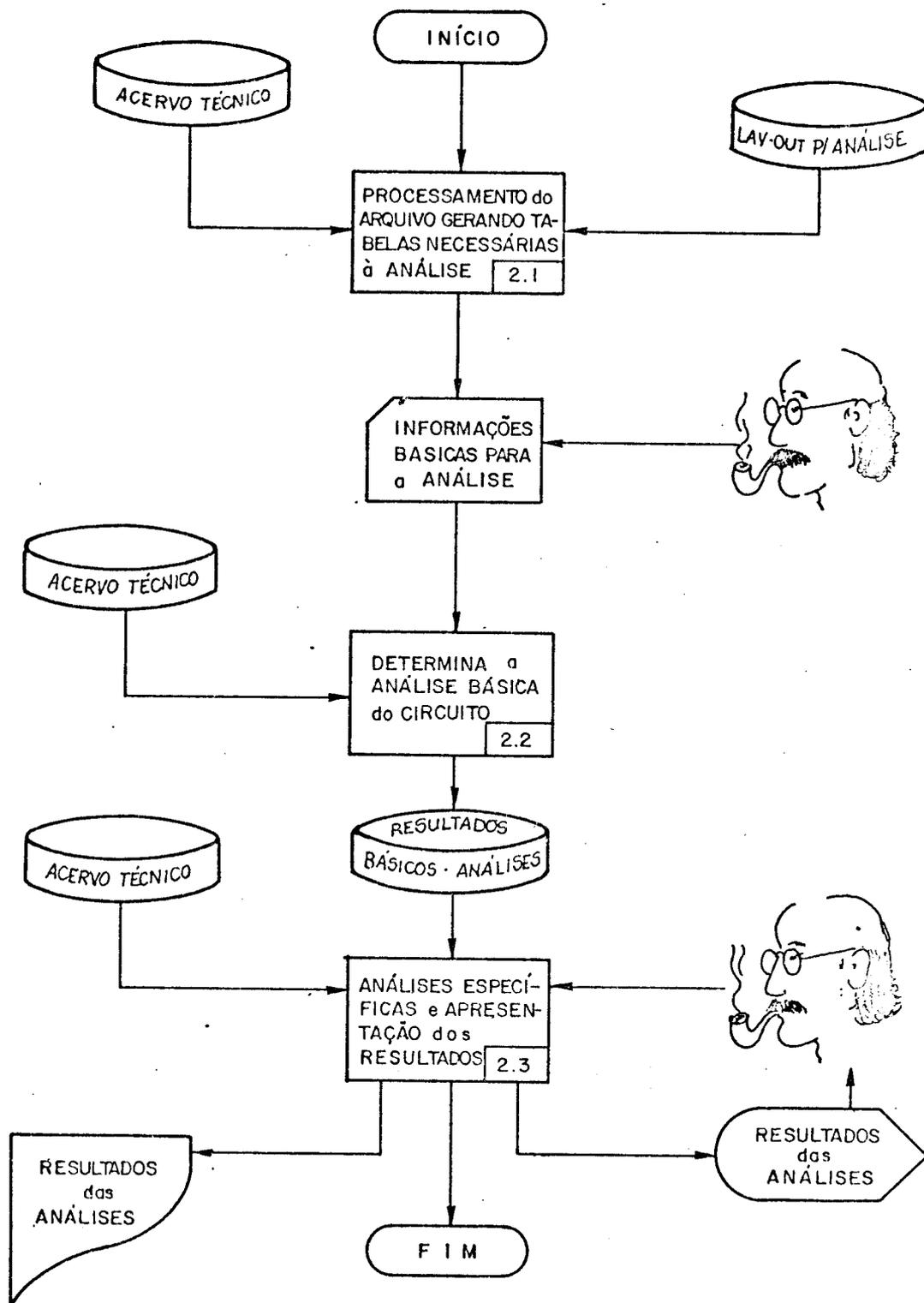


Figura 7 - Fluxograma da Análise de Lay-out de Circuitos Integrados de Microondas (detalhamento do bloco 2).

- a segunda, fornecida exclusivamente pelo projetista, complementa as informações acima que constam de um arquivo em disco magnético, e dizem respeito à faixa de frequências para análise, bem como caracteriza as terminações das portas do circuito.

De posse dessas informações, o lay-out é analisado usando-se o Método de Segmentação e temos como resultados um conjunto de valores dos parâmetros S do circuito em função da frequência, que ficam, por sua vez, armazenados em disco magnético para futuros usos. A partir desses parâmetros S , que representam o comportamento elétrico do circuito, podemos obter análises específicas, derivadas, tais como Taxa de Ondas Estacionárias, Perdas ou Ganhos, Comportamento de Impedâncias e assim por diante.

II.3 Análise de Circuitos Integrados de Microondas por Segmentação do Circuito

O método de análise de circuitos integrados de microondas por segmentação do circuito é tal que as características do circuito são computadas combinando os diversos segmentos ou dispositivos componentes que o formam. Por exemplo, o circuito da figura 8 se divide onde indicado, pode se constituir de segmentos como mostrado na figura 9, cujas características elétricas são conhecidas.

A partir da segmentação mostrada na figura 9a, obtém-se o diagrama de blocos mostrado na figura 9b. A análise desse diagrama pode ser feita por métodos convencionais de solução de circuitos. Entretanto, o método proposto por Otoshi e outros [40] e por Bonfatti e outros [41] será aqui discutido e aplicado para a solução de um circuito simples de microondas. Esse método permite, de forma lógica e sistemática, a análise de circuitos de microondas de complexidade variada.

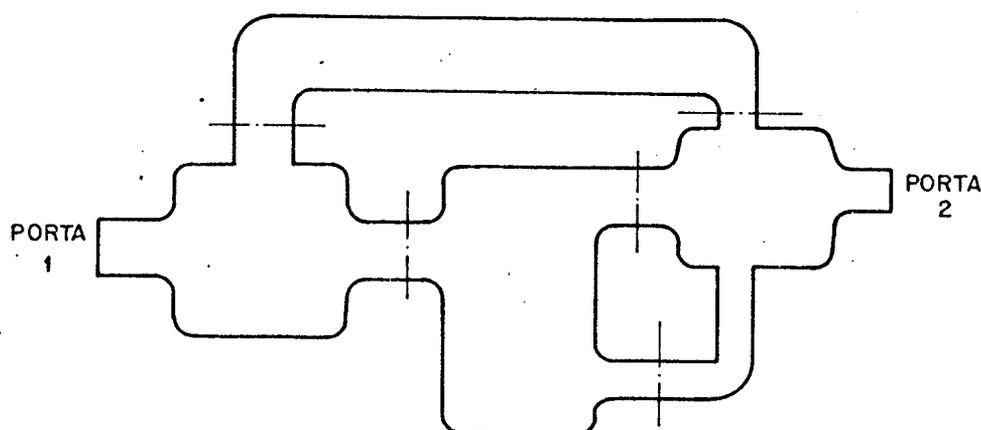


Figura 8 - Um exemplo de circuito integrado de microondas; --- indica onde ele pode ser segmentado.

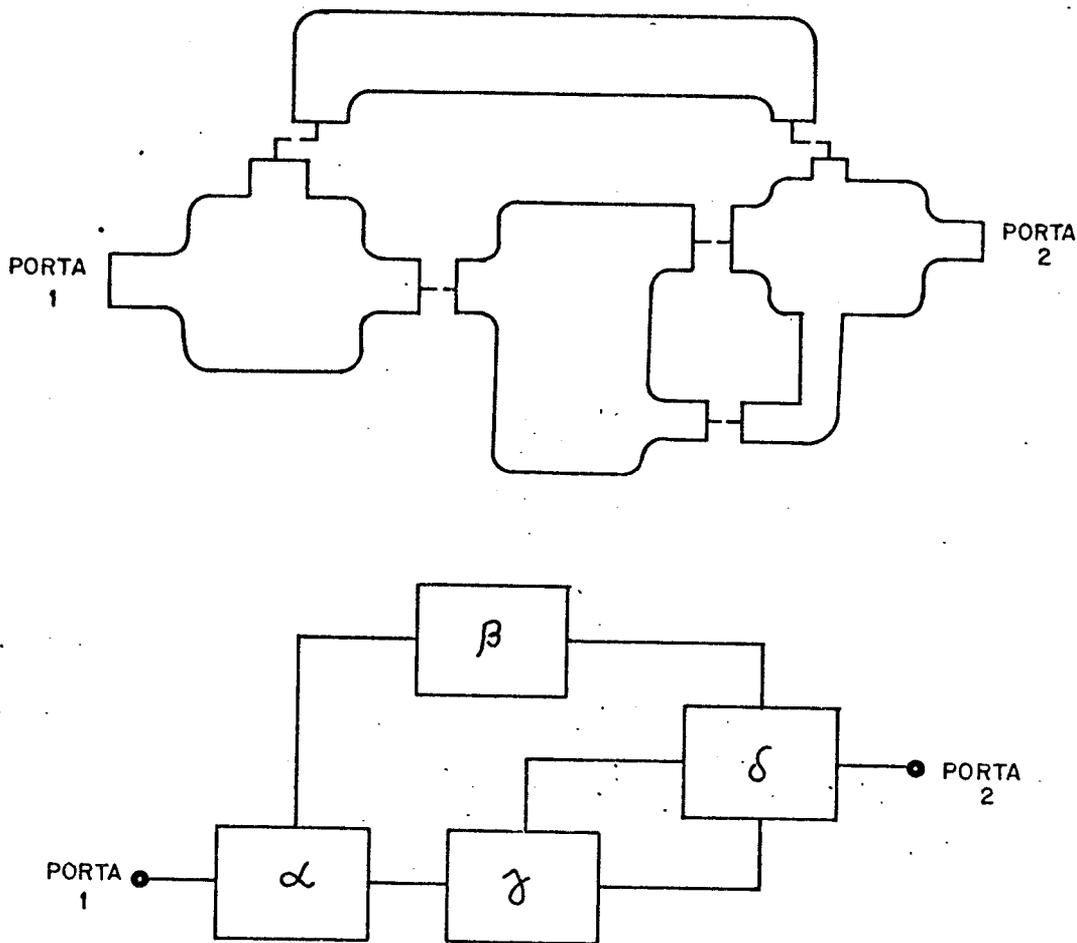


Figura 9 - Circuito dividido em segmentos. a) lay-out segmentado; b) diagrama de blocos.

Para se analisar os segmentos do circuito de uma maneira unificada, um novo elemento chamado Malha de Interface é introduzido. Como mostrado na figura 10 as conexões entre os segmentos são feitas através da Malha de Interface. Tal malha não passa de uma rede de conexões diretas entre as portas conectadas.

Tomamos como exemplo um circuito com duas portas, para facilidade de apresentação. No entanto, o que se segue é facilmente verificado para um caso geral. Para melhor entendimento, ajeitemos o esquema da figura 10 da maneira mostrada na figura 11, considerando que

$$a_{1p}, a_{2p}, a_1, a_2, \dots, a_n$$

e

$$b_{1p}, b_{2p}, b_1, b_2, \dots, b_n$$

são, respectivamente, as ondas incidentes e refletidas nas portas $1p, 2p, 1, 2, \dots, n$ da malha de interface.

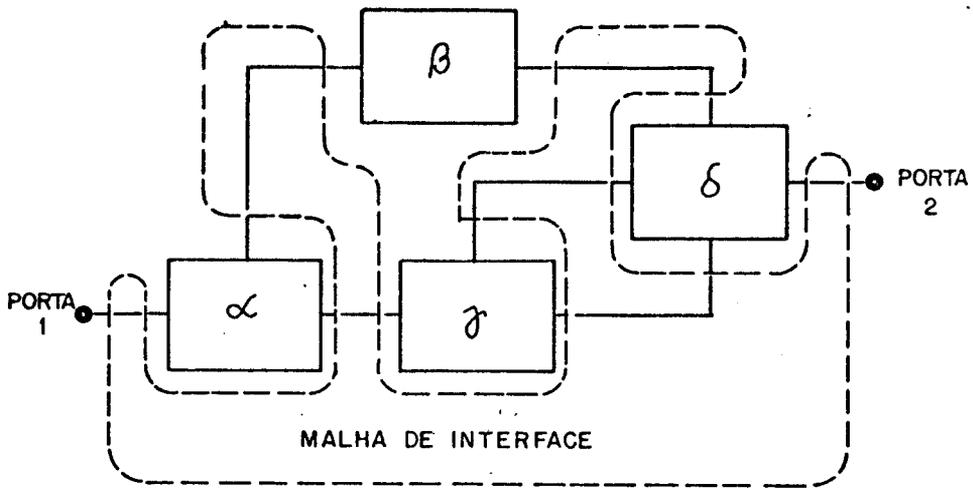


Figura 10 - Circuito dividido com a malha de interface introduzida.

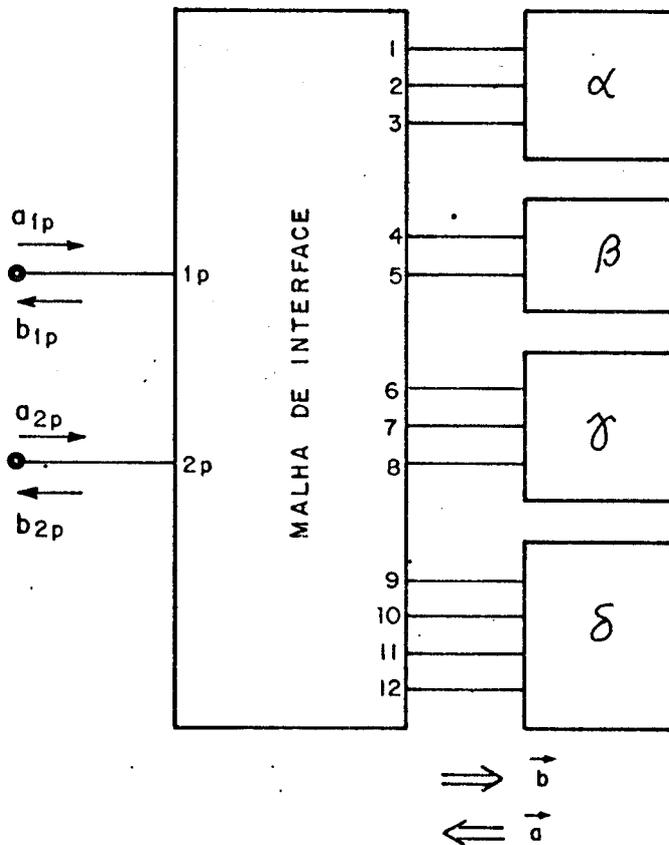


Figura 11 - Circuito modificado.

As ondas incidentes e refletidas na malha de interface são relacionadas com sua matriz de espalhamento $[S_M]$ como:

$$\begin{bmatrix} b_{1p} \\ b_{2p} \\ b_1 \\ b_2 \\ \vdots \\ b_n \end{bmatrix} = [S_M] \begin{bmatrix} a_{1p} \\ a_{2p} \\ a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} \quad (1)$$

onde cada elemento de $[S_M]$ é dado por:

$$[S_M]_{ij} = \begin{cases} 1 & \text{se as portas } i \text{ e } j \text{ são conectadas} \\ 0 & \text{se as portas } i \text{ e } j \text{ não são conectadas,} \end{cases}$$

com $i, j = 1p, 2p, 1, 2, \dots, n$. Se $i = j$, $[S_M]_{ij} = 0$.

Supondo-se que as portas $1p$ e $2p$ sejam conectadas diretamente, através da Malha de Interface, às portas k e l respectivamente, $[S_M]$ assume a forma

$$[S_M] = \begin{bmatrix} 0 & 0 & S_{l_1} \\ 0 & 0 & S_{l_2} \\ S_{c_1} & S_{c_2} & S_m \end{bmatrix}$$

com S_{l_1} e S_{l_2} vetores linha e S_{c_1} e S_{c_2} vetores colunas, definidos por

$$S_{l_1} = [0, 0, \dots, 0, 1, 0, \dots, 0] \quad (3a)$$

↑
l-ésima posição

$$S_{l_2} = [0, 0, \dots, 0, 1, 0, \dots, 0] \quad (3b)$$

↑
k-ésima

$$S_{c_1} = [S_{l_1}]^t \quad (3c)$$

$$S_{c_2} = [S_{l_2}]^t \quad (3d)$$

com t denotando transposição e S_m expressando a conexão entre os segmentos do circuito. Podemos notar ainda que, devido à conexão da porta $1p$ com a k e da $2p$ com a l e sabendo que S_{c_i} e S_{l_i} tem a forma apresentada acima, temos

$$b_{1p} = a_k \quad \text{e} \quad b_{2p} = a_l \quad (4)$$

Da equação (1) tiramos que

$$\begin{bmatrix} b_1 \\ b_2 \\ \vdots \\ b_n \end{bmatrix} = [S_m] \begin{bmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} + Sc_1 \cdot a_{1p} + Sc_2 \cdot a_{2p} \quad (5)$$

Observando a figura 4, verificamos que podemos escrever

$$\begin{bmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} = [S_d] \begin{bmatrix} b_1 \\ b_2 \\ \vdots \\ b_n \end{bmatrix} \quad (6)$$

sendo $[S_d]$ a matriz de espalhamento composta dos diversos segmentos do circuito, escrita como

$$[S_d] = \begin{bmatrix} S_\alpha & & & \\ & S_\beta & & \\ & & S_\gamma & \\ & & & S_\delta \end{bmatrix} \quad (7)$$

e tendo S_α , S_β , S_γ e S_δ como a matriz de espalhamento de cada segmento α , β , γ , δ do circuito.

Manipulando-se as equações (5) e (6) pode-se eliminar o vetor b , obtendo-se

$$\begin{bmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} = [I - S_d \cdot S_m]^{-1} [S_d] \{Sc_1 \cdot a_{1p} + Sc_2 \cdot a_{2p}\} \quad (8)$$

Por medida de conveniência, definimos

$$T = [I - S_d \cdot S_m]^{-1} \cdot [S_d] \quad (9)$$

onde I é uma matriz unidade. Reescrevendo a equação (8) obtemos:

$$\begin{bmatrix} a_1 \\ a_2 \\ \vdots \\ a_n \end{bmatrix} = T \cdot Sc_1 \cdot a_{1p} + T \cdot Sc_2 \cdot a_{2p} \quad (10)$$

Das equações (3c) e (3d) tiramos que

$T \cdot Sc_1$ é igual à k-ésima coluna de T.

$T \cdot Sc_2$ é igual à l-ésima coluna de T.

Tirando da equação (10) os valores de a_k e a_l e considerando (4), obtemos facilmente

$$b_{1p} = a_k = T_{kk} \cdot a_{1p} + T_{kl} \cdot a_{2p} \quad (11)$$

$$b_{2p} = a_l = T_{lk} \cdot a_{1p} + T_{ll} \cdot a_{2p}$$

O circuito todo tem uma matriz de espalhamento S cujos elementos são extraídos da matriz T, derivada somente das S_d e S_m , e que assume a forma

$$[S] = \begin{bmatrix} T_{kk} & T_{kl} \\ T_{lk} & T_{ll} \end{bmatrix}$$

Conhecida a matriz [S], o comportamento do circuito pode ser completamente determinado.

CAPÍTULO III

CARACTERIZAÇÃO DOS COMPONENTES DE LAY-OUT

III.1 Elementos Componentes de Lay-Out

Dentre os elementos que podem constituir um lay-out de circuito integrado de microondas destacamos três grandes grupos:

- dispositivos compostos que reúnem filtros, acopladores, circuladores, etc;
- elementos simples tais como descontinuidades, linhas simples ou acopladas, indutores e capacitores;
- elementos concentrados como transistores, diodos e assim por diante.

Neste trabalho, estão assim preenchidos os grupos acima:

III.1.1 - Dispositivos Compostos

- . ACPSI - Acoplador Simétrico Direcional
- . FLHMO - Filtro Homogêneo de Meia Onda
- . FLRAP - Filtro de Ressonadores Acoplados Paralelamente
- . TRAFO - Transformador de Quarto de Onda
- . HANEL - Acoplador Híbrido em Anel
- . HRATR - Acoplador "Rat-Race"
- . HQAD1 - Acoplador Híbrido de Quadratura de Uma Seção
- . HQAD2 - Acoplador Híbrido de Quadratura de Duas Seções
- . CR3CS - Circulador de Três Portas com Linha para Casamento;

III.1.2 - Elementos Simples

Linhas de Transmissão:

- . RETAS - Linha Singela Uniforme e Reta
- . RETAC - Linha Singela Afilada e Reta
- . ARCOS - Linha Singela Uniforme em Arco
- . ARCO - Linha Singela Afilada em Arco
- . ACOP2 - Linha Acoplada Paralelamente, Reta, de Duas Portas
- . ACOP4 - Linha Acoplada Paralelamente, Reta, de Quatro Portas;

Descontinuidades:

- . OPEND - Fim de Linha em Aberto
- . GAPEN - Linha Singela Reta com "gap"
- . STEPW - Degrau na Largura de uma Linha Singela e Reta

- . DOBRA - Dobra Numa Linha Singela Reta
- . DBRCN - Dobra Numa Linha Singela Reta com Canto Chanfrado
- . DBCNA - Dobra Assimétrica com Canto Chanfrado
- . JUNCT - Junção em T de Duas Linhas Singelas Retas
- . JUNCA - Junção em T de Três Linhas Singelas Retas
- . JUNCC - Junção em Cruz (Cross-Junction) de Duas Linhas Singelas Retas;

Outros Elementos Simples:

- . DISCO - Disco ressonante com uma, duas, três ou quatro portas
- . CPINT - Capacitor Interdigital
- . INESC - Indutor Espiral - Circular
- . INESR - Indutor Espiral - Retangular

III.1.3 - Elementos Concentrados

Neste trabalho optamos por agrupar todos os elementos concentrados, para efeito de lay-out, em três grupos:

- . BIPTA - Elemento Concentrado de Duas Portas
- . TRIPT - Elemento Concentrado de Três Portas
- . QUAPT - Elemento Concentrado de Quatro Portas

III.2 Modelos dos Elementos Componentes de Lay-Out

Para projetar e analisar lay-out de circuitos integrados de microondas devemos ter um modelo geométrico ou desenho e um modelo elétrico de cada componente que pode constituir o lay-out.

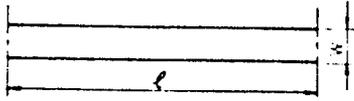
III.2.1 - Modelo Geométrico ou Desenho

As figuras 12, 13, 14 e 15 apresentam o desenho de todos os componentes de lay-out adotados. Todas as dimensões dos desenhos são reais, isto é, aquela apresentada fisicamente no lay-out, sendo então mensurável. O uso de dimensões efetivas ocorre nos cálculos do comportamento elétrico do dispositivo. A convenção adotada para as dimensões que constam dos desenhos é dada no item 1 do capítulo IV.

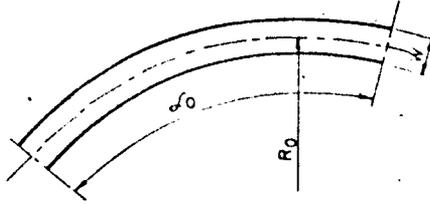
III.2.2 - Modelo Elétrico dos Componentes

Os modelos elétricos de todos os componentes de lay-out serão elaborados a partir da junção conveniente dos modelos dos elementos simples que são linhas de transmissão simples, acopladas e descontinuidades em linhas de transmissão são.

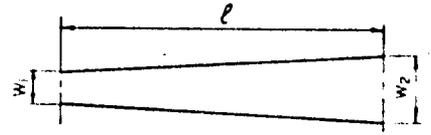
Levando-se em conta o método de análise adotado, todos os elementos de lay-out terão como elemento matemático que o representa, uma matriz de espalhamento (matriz S) de dimensão igual ao número de portas que esse elemento possue, obtida com as portas desse elemento carregadas igualmente com uma carga resistiva Z_N .



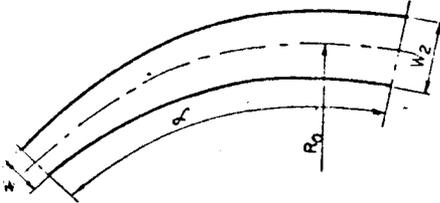
RETAS - Linha singela uniforme e reta.



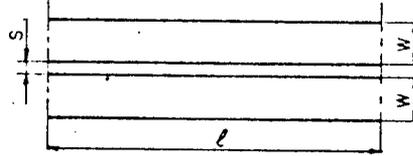
ARCOS - Linha singela uniforme em arco.



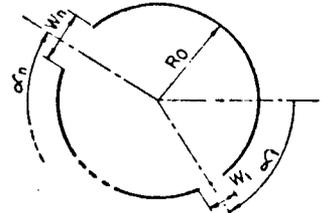
RETAC - Linha singela afilada e reta.



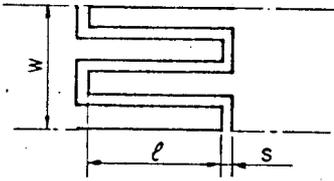
ARCOO - Linha singela afilada em arco.



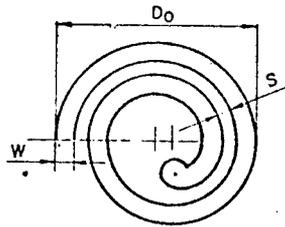
ACOP4 - Linha acoplada paralelamente, reta, de 4 portas.



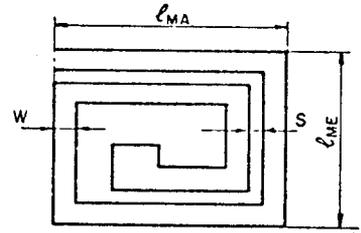
DISCO - Disco ressonante de uma a quatro portas.



CPINT - Capacitor interdigital.

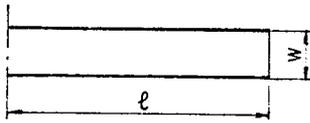


INESC - Indutor espiral-circular.

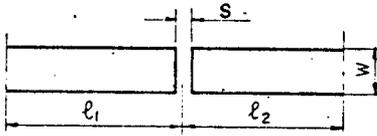


INESR - Indutor espiral-retangular.

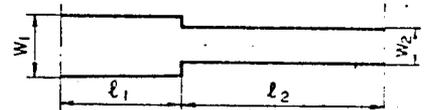
Figura 12 - Elementos simples.



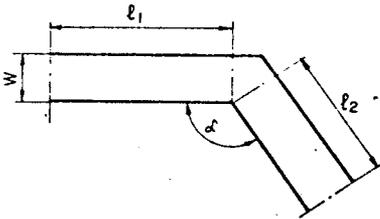
OPEND - Fim de linha em aberto.



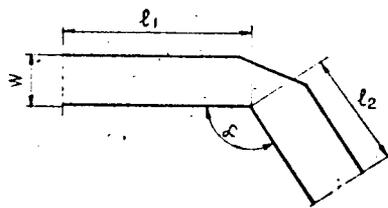
GAPEN - Linha singela reta com "gap".



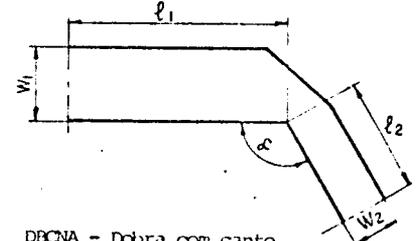
STEPW - Degrau na largura de uma linha singela reta.



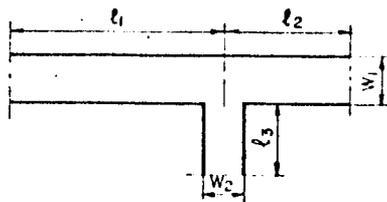
DOBRA - Dobra numa linha singela reta.



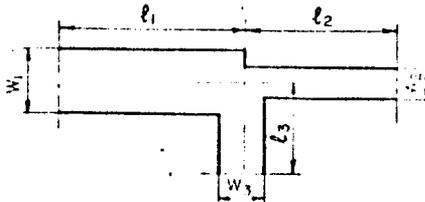
DBRCN - Dobra numa linha singela reta com canto chanfrado.



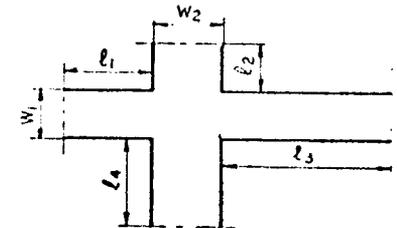
DBCNA - Dobra com canto chanfrado assimétrica.



JUNCT - Junção em T de duas linhas singelas retas.

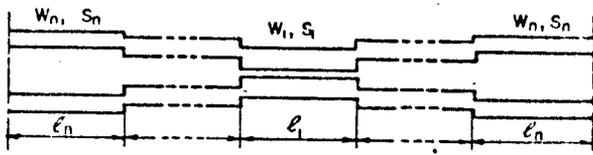


JUNCA - Junção em T de três linhas singelas retas.

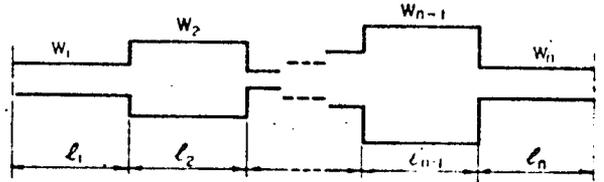


JUNCC - Junção em cruz de duas linhas singelas retas.

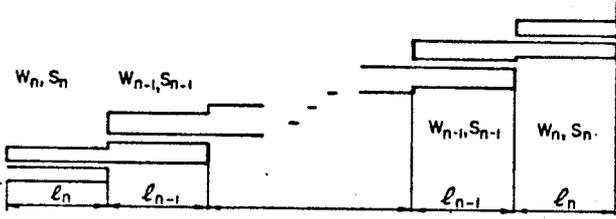
Figura 13 - Descontinuidades.



ACPSI - Acoplador simétrico direcional.



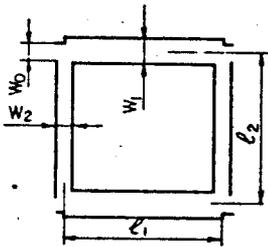
FLHMO - Filtro homogêneo de meia onda.



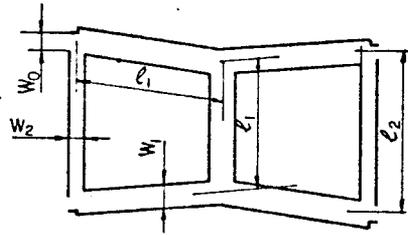
FLRAP - Filtro de ressoadores acoplados paralelamente.



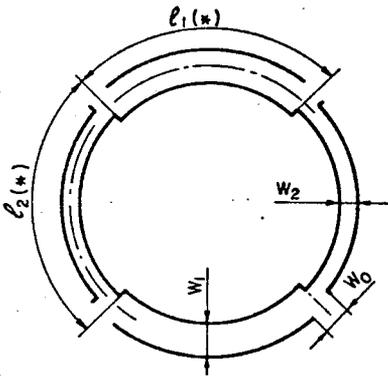
TRAFQ - Transformador de quarto de onda.



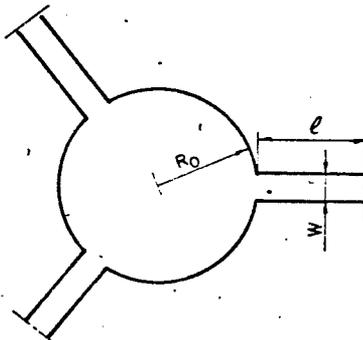
HQAD1 - Acoplador híbrido de quadratura de uma seção.



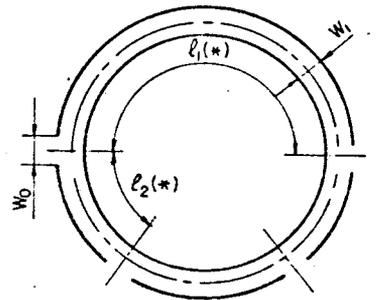
HQAD2 - Acoplador híbrido de quadratura de duas seções.



HANEL - Acoplador híbrido em anel.

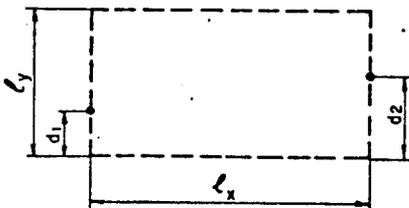


CR3CS - Circulador de três portas com linha para casamento.

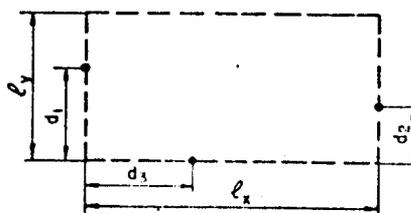


HRATR - Acoplador "rat-race"

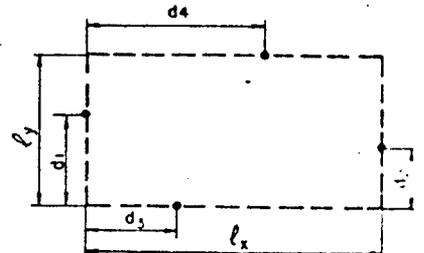
Figura 14 - Dispositivos compostos. (*) denota medida sobre a linha do eixo.



BIPTA - Elemento concentrado de duas portas.



TRIPT - Elemento concentrado de três portas.



QUAPT - Elemento concentrado de quatro portas.

Figura 15 - Elementos concentrados.

III.2.2.1 - Modelo Elétrico dos Elementos Simples

[S] da linha singela uniforme e reta

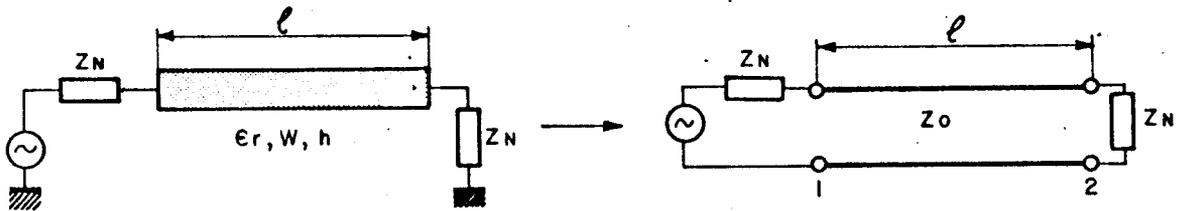


Figura 16 - Modelo Elétrico da Linha Singela Uniforme e Reta.

Partindo-se da matriz Z da linha de transmissão, dada por

$$[Z] = \begin{bmatrix} Z_0 \cdot \coth(\gamma l) & Z_0 / \sinh(\gamma l) \\ Z_0 / \sinh(\gamma l) & Z_0 \cdot \coth(\gamma l) \end{bmatrix}$$

e considerando a transformação [Z] → [S] apresentada no apêndice, obtemos

$$S_{11} = S_{22} = \frac{[Z_0 \cdot \cosh(\gamma l)]^2 - [Z_N \cdot \sinh(\gamma l)]^2 - Z_0^2}{[Z_0 \cdot \cosh(\gamma l) + Z_N \cdot \sinh(\gamma l)]^2 - Z_0^2}$$

$$S_{12} = S_{21} = \frac{2 \cdot Z_0 \cdot Z_N \cdot \sinh(\gamma l)}{[Z_0 \cdot \cosh(\gamma l) + Z_N \cdot \sinh(\gamma l)]^2 - Z_0^2}$$

Para linhas sem perdas $\gamma = j\beta$ e então $\cosh(\gamma l) = \cos(\beta l)$ e $\sinh(\gamma l) = j\sin(\beta l)$. Z_0 é a sua impedância característica.

[S] da linha singela afilada e reta

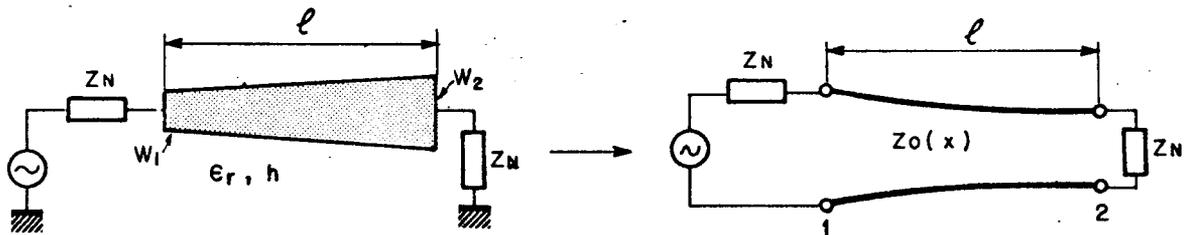


Figura 17 - Modelo Elétrico da Linha Singela Afilada e Reta.

Escolhemos segmentar a linha afilada em N pedaços de linha uniforme ligados em cascata. Cada pedaço tem a sua impedância característica em função do valor de x onde está colocado. Com esse procedimento podemos obter a matriz [ABCD] de cada um desses pedaços e, por produto das N matrizes [ABCD], obter a [ABCD] da linha afilada completa. Assim,

$$[ABCD] \text{ linha afilada} = \prod_{i=1}^N [ABCD]_i$$

Obtida [ABCD] linha, obtemos sua [Z] e conseqüentemente sua [S]. Assim temos, para o i-ésimo pedaço,

$$[ABCD]_i = \begin{bmatrix} \cos(\beta_i d) & j \cdot Z_{o_i} \cdot \sin(\beta_i d) \\ j \sin(\beta_i d) / Z_{o_i} & \cos(\beta_i d) \end{bmatrix}$$

para $W_i/h \leq 1$

$$Z_{o_i} = \frac{60}{\sqrt{\epsilon_{re_i}}} \ln \left(8 \frac{h}{W_i} + 0.25 \frac{W_i}{h} \right)$$

$$\epsilon_{re_i} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12h/W_i}} + 0.04 \left(1 - \frac{W_i}{h} \right)^2$$

para $W_i/h > 1$

$$Z_{o_i} = \frac{120\pi/\sqrt{\epsilon_{re_i}}}{W_i/h + 1.393 + 0.667 \ln(W_i/h + 1.444)}$$

$$\epsilon_{re_i} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} (1 + 12 h/W_i)^{-1/2}$$

com

$$W_i = W_1 + \frac{W_2 - W_1}{N} (i - 1/2)$$

$$d = \ell/N$$

er sendo a constante dielétrica relativa do substrato e ϵ_{re_i} a constante dielétrica relativa efetiva. d é o comprimento do pedaço de linha e W_i a sua largura. W_1 , W_2 e ℓ são definidos na figura 17.

Obtida a [ABCD] linha teremos a sua [Z] pelas seguintes relações

$$Z_{11} = \frac{A}{C}, \quad Z_{12} = Z_{21} = \frac{1}{C}, \quad Z_{22} = \frac{D}{C}$$

Finalmente Z é levada à S pela transformação dada no apêndice.

[S] da linha singela uniforme em arco

A linha em arco será tratada como a linha reta, uma vez que o raio máximo será tal que não introduz características diferentes nenhuma na linha. Portanto, sua matriz S será a mesma da linha singela uniforme reta.

[S] da linha singela afilada em arco

As mesmas considerações sobre o efeito da curvatura feitas para a linha singela uniforme em arco são adotadas para esta linha. Portanto, sua matriz S será a mesma da linha singela afilada reta.

[S] da linha acoplada paralelamente, reta, de quatro portas

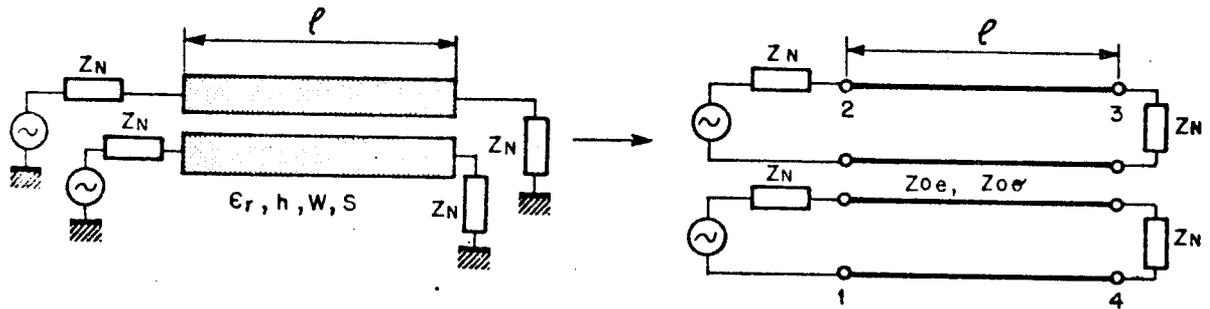


Figura 18 - Modelo Elétrico da Linha Acoplada Paralelamente, Reta, de Quatro Portas.

Para obtermos a matriz S desta linha, aplicaremos a transformação apresentada no apêndice sobre sua matriz Z obtida por $|11|$, onde

$$Z_{11} = Z_{22} = Z_{33} = Z_{44} = -j(Z_{0e} + Z_{0o}) \frac{\cot\theta}{2}$$

$$Z_{12} = Z_{21} = Z_{34} = Z_{43} = -j(Z_{0e} - Z_{0o}) \frac{\cot\theta}{2}$$

$$Z_{13} = Z_{31} = Z_{24} = Z_{42} = -j(Z_{0e} - Z_{0o}) \frac{\csc\theta}{2}$$

$$Z_{14} = Z_{41} = Z_{23} = Z_{32} = -j(Z_{0e} + Z_{0o}) \frac{\csc\theta}{2}$$

Nestas equações, θ é o comprimento elétrico da linha acoplada e Z_{0e} e Z_{0o} são as impedâncias do modo par e do modo ímpar, respectivamente.

[S] da linha acoplada paralelamente, reta, de duas portas

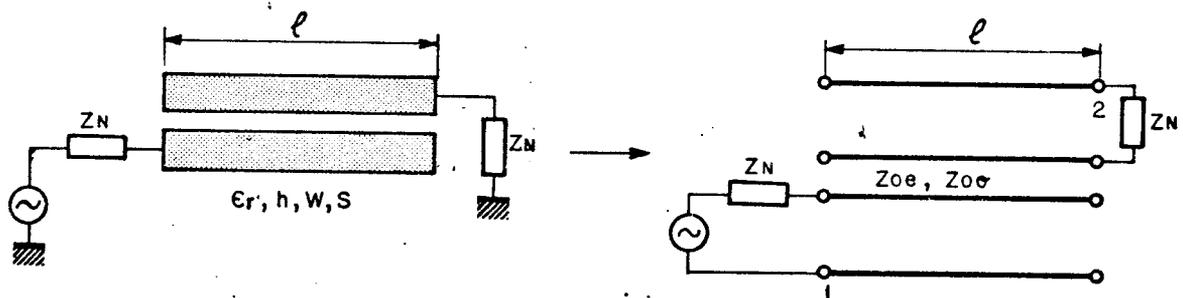


Figura 19 - Modelo Elétrico da Linha Acoplada Paralelamente, Reta, de Duas Portas.

Partindo da matriz Z da linha acoplada de 4 portas dada no item anterior, colocamos a condição para as portas 2 e 4 abertas, isto é $i_2 = i_4 = 0$. Assim obtemos

$$v_1 = Z_{11} i_1 + Z_{13} i_3$$

$$v_3 = Z_{31} i_1 + Z_{33} i_3$$

i_1, i_3 e v_1, v_3 são correntes e tensões nas portas 1 e 3, respectivamente, da linha acoplada da figura 18.

Para a linha de duas portas obtemos finalmente sua matriz Z cujos elementos são:

$$z_{11} = z_{22} = -j(z_{0e} + z_{0o}) \frac{\cot\theta}{2}$$

$$z_{12} = z_{21} = -j(z_{0e} - z_{0o}) \frac{\csc\theta}{2}$$

A partir da matriz Z , obtemos sua matriz S , que nos interessa mais, através da transformação apresentada no apêndice.

[S] do fim de linha em aberto

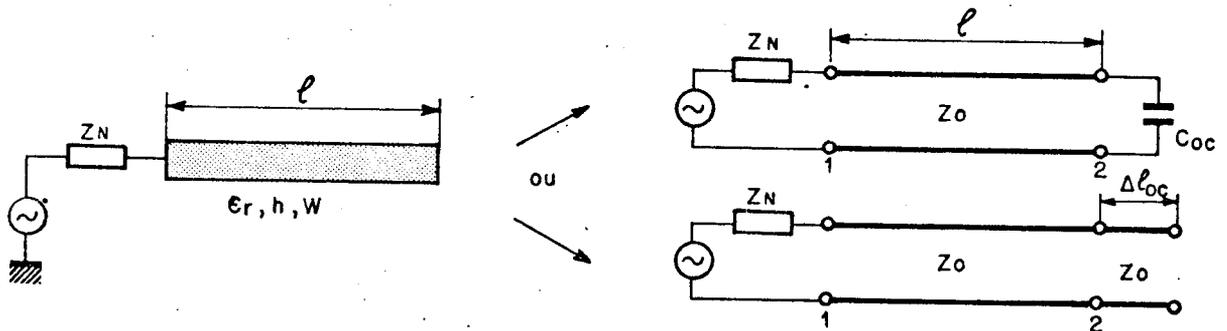


Figura 20 - Modelo Elétrico do Fim de Linha em Aberto.

Neste trabalho o fim de linha em aberto é tratado como um dispositivo de uma só porta, com uma impedância de entrada dada por

$$z_{ent} = z_0 \frac{z_L + z_0 \cdot \text{tgh}(j\beta l)}{z_0 + z_L \cdot \text{tgh}(j\beta l)} \quad \text{com}$$

$$z_L = \frac{1}{j\omega C_{oc}} \quad \text{que nos dá}$$

$$z_{ent} = z_0 \frac{1 - \omega \cdot C_{oc} \cdot z_0 \cdot \text{tg}(\beta l)}{j \cdot \omega \cdot C_{oc} \cdot z_0 + j \cdot \text{tg}(\beta l)}$$

A obtenção da capacitância C_{oc} é feita com o uso da expressão

$$\frac{C_{oc}}{W} = \exp\left\{2.3026 \sum_{i=1}^5 C_i(\epsilon_r) \left[\log\left(\frac{W}{h}\right)\right]^{i-1}\right\} \text{ pF/m}$$

dada por Silvester e Benedek [42] que também tabularam os valores de $C_i(\epsilon_r)$. Tais valores são os seguintes

ϵ_r i	1.0	2.5	4.2	9.6	16.0	51.0
1	1.110	1.295	1.443	1.738	1.938	2.403
2	-0.2892	-0.2817	-0.2535	-0.2538	-0.2233	-0.2220
3	0.1815	0.1367	0.1062	0.1308	0.1317	0.2170
4	-0.0033	-0.0133	-0.0260	-0.0087	-0.0267	-0.0240
5	-0.0540	-0.0267	-0.0073	-0.0113	-0.0147	-0.0840

Finalmente, [S] deste dispositivo é dada pelo único elemento

$S_{11} = \frac{Z_{ent} - Z_N}{Z_{ent} + Z_N}$ lembrando que todas as matrizes S deste trabalho são obtidas com os dispositivos carregados em suas portas por uma carga real igual a Z_N .

[S] da linha singela reta com "gap"

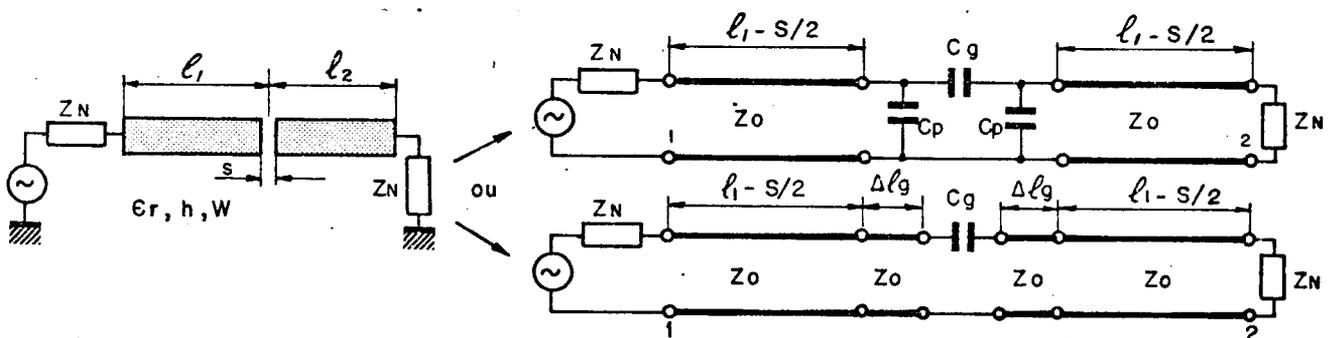


Figura 21 - Modelo Elétrico da Linha Singela Reta com "gap" .

A matriz S desta estrutura será obtida a partir da sua matriz Z através da transformação discutida no apêndice. Por sua vez [Z] será obtida da [ABCD] pela transformação $Z_{11} = A/C$, $Z_{12} = Z_{21} = 1/C$ e $Z_{22} = D/C$. A matriz ABCD é obtida pelo produto das seguintes matrizes, nesta ordem:

$$[ABCD]_{l_1} = \begin{bmatrix} \cos(\beta L_1) & jZ_0 \sin(\beta L_1) \\ \frac{j \sin(\beta L_1)}{Z_0} & \cos(\beta L_1) \end{bmatrix}$$

$$[ABCD]_{C_p} = \begin{bmatrix} 1 & 1/j\omega C_p \\ 0 & 1 \end{bmatrix}$$

$$[ABCD]_{l_2} = \begin{bmatrix} \cos(\beta L_2) & jZ_0 \sin(\beta L_2) \\ \frac{j \sin(\beta L_2)}{Z_0} & \cos(\beta L_2) \end{bmatrix}$$

com l_1 , l_2 e s definidas na figura 21 e tendo

$$L_1 = l_1 - s/2 + \Delta l_g \quad e$$

$$L_2 = l_2 - s/2 + \Delta l_g$$

O incremento no comprimento da linha Δl_g é obtido de

$$\frac{\Delta l_g}{h} = \frac{C_p}{W} \frac{c \cdot Z_0 \cdot W/h}{\sqrt{\epsilon_r e}}$$

onde c é a velocidade da luz no espaço livre e os valores das capacitâncias C_p e C_g são obtidos das relações

$$C_p = \frac{C_e}{2} \quad , \quad C_g = \frac{C_o}{2} - \frac{C_e}{4}$$

Os valores C_e e C_o são capacitâncias par e ímpar, respectivamente, associadas às C_p e C_g . Podemos obtê-las em expressões fechadas do trabalho de Garg e outros [43] sobre os resultados numéricos publicados por Benedek e Silvester [42] para $\epsilon_r = 9.6$ e $0.5 \leq W/h \leq 2$ que são

$$\frac{C_o}{W} = \left(\frac{s}{W}\right)^{m_o} \cdot \exp(k_o) \quad \text{pF/m}$$

$$\frac{C_e}{W} = \left(\frac{s}{W}\right)^{m_e} \cdot \exp(k_e) \quad \text{pF/m}$$

onde

$$\left. \begin{aligned} m_o &= \frac{W}{h} (0.619 \log \frac{W}{h} - 0.3853) \\ k_o &= 4.26 - 1.453 \log \frac{W}{h} \end{aligned} \right\} 0.1 \leq \frac{s}{W} \leq 1.0$$

$$m_e = 0.8675 \quad , \quad k_e = 2.043 \left(\frac{W}{h}\right)^{0.12} \quad 0.1 \leq \frac{s}{W} \leq 0.3$$

$$m_e = \frac{1.565}{(W/h)^{0.16}} - 1 \quad , \quad k_e = 1.97 - \frac{0.03}{W/h} \quad 0.3 \leq s/W \leq 1.0$$

Para outros valores de ϵ_r , dentro da faixa $2.5 \leq \epsilon_r \leq 15$, podemos calcular C_e e C_o pelas relações

$$C_o(\epsilon_r) = C_o(9.6) \left(\frac{\epsilon_r}{9.6}\right)^{0.8}$$

$$C_e(\epsilon_r) = C_e(9.6) \left(\frac{\epsilon_r}{9.6}\right)^{0.9}$$

[S] da linha singela reta com degrau na largura

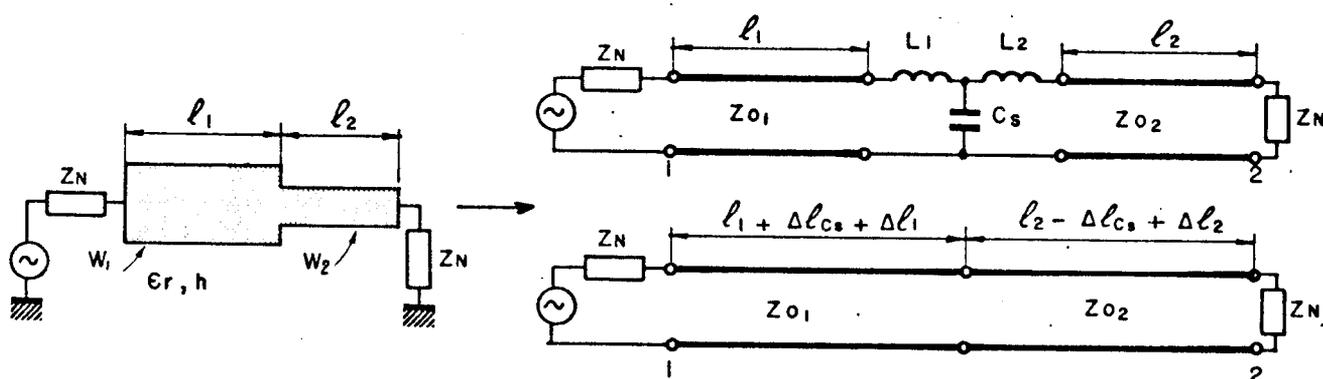


Figura 22 - Modelo Elétrico da Linha Singela Reto com Degrau na Largura.

Em termos de parâmetros distribuídos, a capacitância C_s representa um aumento no comprimento da linha mais larga e uma diminuição no da linha mais estreita [44]. Nestes termos as indutâncias L_1 e L_2 representam um aumento, também, no comprimento de cada uma das linhas. Por isso, podemos obter a matriz S deste elemento pela transformação de sua matriz Z , obtida do produto da matriz ABCD das duas linhas em cascata de comprimentos l_{E1} e l_{E2} .

Os comprimentos efetivos l_{E1} e l_{E2} de cada uma das linhas deste elemento são dados por

$$l_{E1} = l_1 + \Delta l_{C_s} + \Delta l_1$$

$$l_{E2} = l_2 - \Delta l_{C_s} + \Delta l_2, \quad \text{onde usamos}$$

$$\frac{\Delta l_{C_s}}{h} = \frac{C_s}{\sqrt{W_1 W_2}} \cdot \frac{c \sqrt{Z_{01} \cdot Z_{02}} \cdot \sqrt{W_1 W_2} / h}{(\epsilon r_1 \cdot \epsilon r_2)^{1/4}}$$

$$\frac{\Delta l_1}{h} = \frac{\Delta l_2}{h} = \frac{L_s}{(L_{W1} + L_{W2}) h} \quad \text{onde}$$

L_{W_i} é a indutância da microfita de largura W_i dada por

$$L_{W_i} = \frac{Z_{0i} \cdot \sqrt{\epsilon r_i}}{c} \quad \text{H/m, para } i = 1 \text{ e } 2.$$

Os valores de C_s e L_s são apresentados por Gupta e outros [44] em expressões fechadas obtidas do ajuste de curvas e são

$$\frac{C_s}{\sqrt{W_1 W_2}} = (10.1 \log \epsilon r + 2.33) \cdot \frac{W_1}{W_2} - 12.6 \log \epsilon r - 3.17 \quad \text{pF/m}$$

para $\epsilon r \leq 10$ e $1.5 \leq W_1/W_2 \leq 3.5$, apresentando erro de até 10%. Para uma maior precisão em substratos de alumina ($\epsilon r = 9.6$) a expressão acima assume a forma

$$\frac{C_s}{\sqrt{W_1 W_2}} = 130 \log \left(\frac{W_1}{W_2} \right) - 44 \quad \text{pF/m,}$$

para $3.5 \leq W_1/W_2 \leq 10$, e apresentando precisão de 0.5%. A indutância é dada por

$$\frac{L_s}{h} = 40.5 \left(\frac{W_1}{W_2} - 1.0 \right) - 75 \log \left(\frac{W_1}{W_2} \right) + 0.2 \left(\frac{W_1}{W_2} - 1.0 \right)^2 \quad \text{nH/m}$$

para $W_1/W_2 \leq 5$ e $W_2/h = 1.0$, apresentando erro menor ou igual a 5%.

[S] da dobra numa linha singela reta

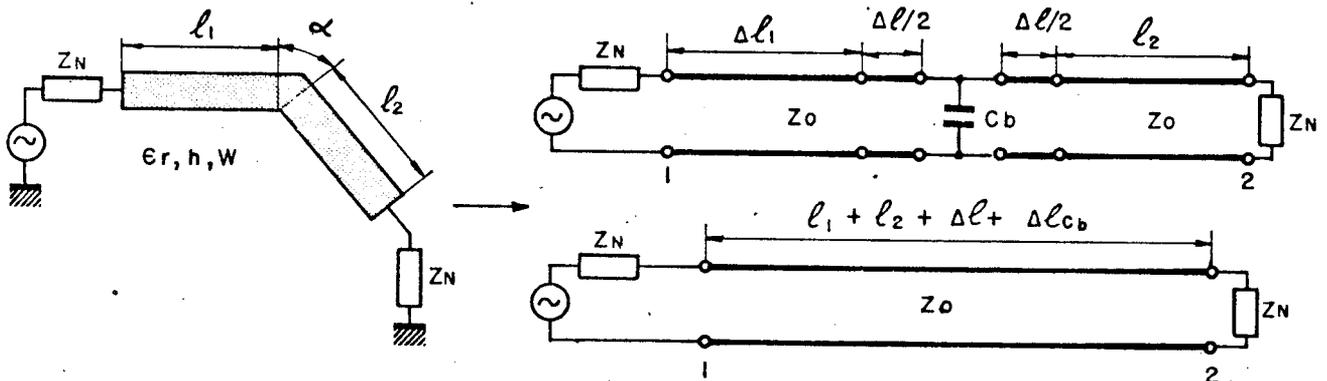


Figura 23 - Modelo Elétrico da Dobra numa Linha Singela Reta.

Os modelos obtidos para este tipo de descontinuidade incluem uma indutância série L_b e uma capacitância paralela C_b . Ambas introduzem um aumento no comprimento efetivo da linha. A linha assim obtida é que será nosso objeto de modelo para obtermos a matriz [S] necessária.

Expressões de forma fechada obtidas por Garg e outros [44] sobre os dados publicados por Thomson e Gopinath [45] e também por Easter [46] são disponíveis somente para dobras de ângulo reto, e são as seguintes:

$$p/ W/h < 1$$

$$\frac{C_b}{W} = \frac{(14\epsilon_r + 12.5)W/h - (1.83\epsilon_r - 2.25)}{\sqrt{W/h}} + \frac{0.02\epsilon_r}{W/h} \quad \text{pF/m}$$

$$p/ W/h \geq 1$$

$$\frac{C_b}{W} = (9.5\epsilon_r + 1.25)W/h + 5.2\epsilon_r + 7.0 \quad \text{pF/m}$$

$$\frac{L_b}{h} = 100(4\sqrt{W/h} - 4.21) \quad \text{nH/m}$$

As expressões para C_b/W apresentam um erro de até 5% para $2.5 \leq \epsilon_r \leq 15$ e $0.1 \leq W/h \leq 5$. A expressão para L_b/h tem erro de até 3% para $0.5 \leq W/h \leq 2.0$.

Uma vez obtidas a capacitância e a indutância equivalente, obtêm-se os comprimentos de linha Δl e Δl_{C_b} pelas transformações:

$$\frac{\Delta l}{h} = \frac{L_b}{h} \cdot \frac{c}{z_0 \cdot \sqrt{\epsilon_r \epsilon}} \quad e$$

$$\frac{\Delta l}{h} \frac{C_b}{W} = \frac{C_b}{W} \cdot \frac{c \cdot z_0 \cdot W/h}{\sqrt{\epsilon_r \epsilon}}$$

Para as dobras com ângulo diferente do reto podemos, em primeira aproximação, usar as seguintes conversões:

$$\frac{C_b}{W}(\theta) = \frac{\pi}{2\theta} \cdot \frac{C_b}{W}(90^\circ)$$

$$\frac{L_b}{W}(\theta) = \frac{\pi}{2\theta} \cdot \frac{L_b}{h}(90^\circ)$$

[S] da dobra numa linha singela reta com canto chanfrado

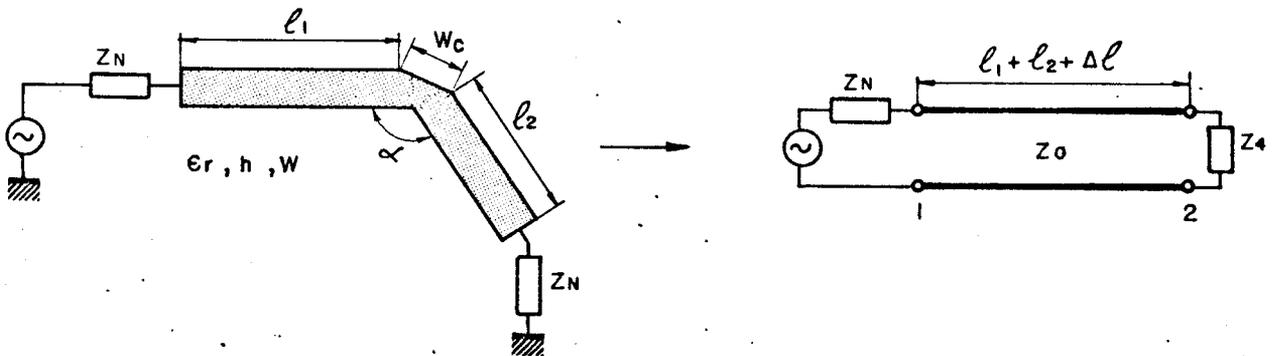


Figura 24 - Modelo Elétrico da Dobra numa Linha Singela Reta com Canto Chanfrado.

Segundo Gupta e outros [44] se W_c (veja Fig. 24) for da ordem de $1.8 W$, o valor de VSWR é menor que 1.11 até 12 GHz para alguns substratos, dentre eles o de alumina, e para ângulos da dobra dentre 30° e 120° . Nestas condições a descontinuidade provoca um aumento no comprimento da linha de $\Delta l \approx 0.3h$.

Neste trabalho vamos adotar como modelo da dobra assim compensada uma linha de transmissão uniforme e sem descontinuidades com impedância característica Z_0 e comprimento total $L = l_1 + l_2 + 0.3h$.

[S] da dobra assimétrica com canto chanfrado

Em primeira aproximação vamos adotar as mesmas considerações feitas à dobra numa linha singela e reta com canto chanfrado (item anterior). Nestas condições, o comprimento total das linhas desta dobra será aumentado de $0.3h$, sendo $0.15h$ para cada uma das linhas. Assim obtemos a matriz S deste elemento a partir de sua matriz Z, obtida do produto de duas [ABCD] das duas linhas em cascata de comprimentos $l_1 + 0.15h$ e $l_2 + 0.15h$.

[S] da junção em T de duas linhas singelas e retas

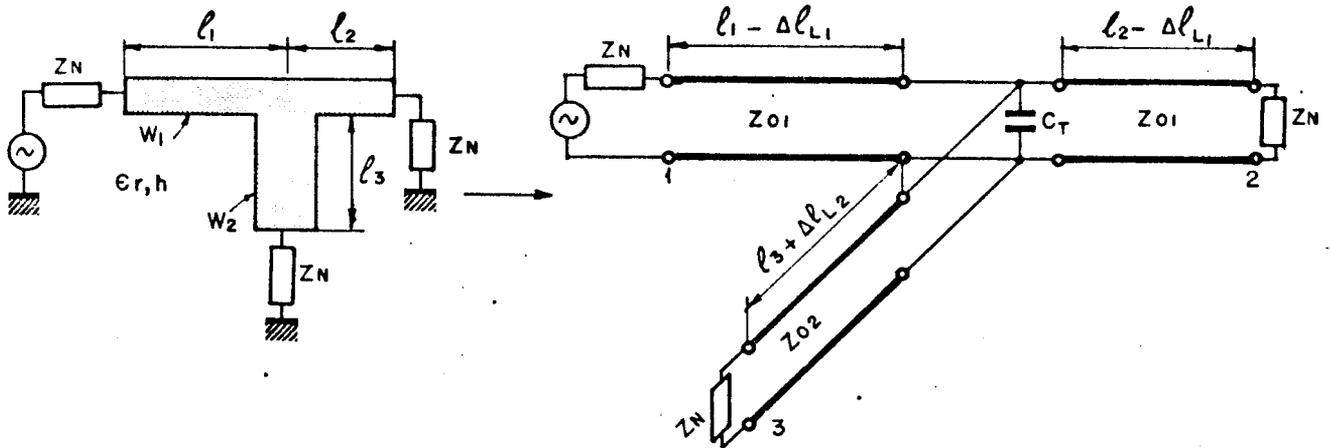


Figura 25 - Modelo Elétrico da Junção em T de Duas Linhas Singelas e Retas.

Usando o método da segmentação descrito neste trabalho, obtém-se a matriz [S] deste elemento de circuito, considerando o modelo acima, onde a matriz [Z] do capacitor C_T paralelo com três portas é dada por

$$[Z]_{C_T} = \frac{1}{j \omega C_T} \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix}$$

os outros elementos do modelo são linhas de transmissão cuja matriz [S] é conhecida.

Segundo [43] temos a expressão para o cálculo de C_T , obtida pelo ajuste de curvas (para as variáveis indexadas veja a figura 25).

$$\frac{C_T}{W_1} = \frac{100}{\tanh(0.0072 Z_{02})} + 0.64 Z_{02} - 261 \quad \text{pF/m}$$

válida com erro menor ou igual a 5% para $25 \leq Z_{02} \leq 100$.

Os comprimentos de linha Δl_{L_1} são obtidas de

$$\frac{\Delta l_{L_1}}{h} = \frac{L_1}{h} \cdot \frac{c}{z_0 \cdot \sqrt{\epsilon_r \epsilon_0}}$$

onde

$$\frac{L_1}{h} = \frac{W_2}{h} \left\{ \frac{W_2}{h} (-0.016 \frac{W_1}{h} + 0.064) + \frac{0.016}{W_1/h} \right\} \cdot L_{W_1} \quad \text{nH/m}$$

com erro menor ou igual a 5% para $0.5 \leq (\frac{W_1}{h}, \frac{W_2}{h}) \leq 2.0$

$$\frac{L_2}{h} = \left\{ (0.12 \frac{W_1}{h} - 0.47) \frac{W_2}{h} + 0.195 \frac{W_1}{h} - 0.357 + \right. \\ \left. + 0.0283 \sin \left(\frac{\pi W_1}{h} - 0.75 \pi \right) \right\} \cdot L_{W_2} \quad \text{nH/m}$$

com o mesmo erro acima para $1 \leq \frac{W_1}{h} \leq 2.0$ e $0.5 \leq W_2/h \leq 2.0$.

As indutâncias Lw_1 são calculadas a partir da expressão

$$Lw_1 = \frac{Z_{01} \sqrt{\epsilon r \epsilon_1}}{c} \quad H/m$$

[S] da junção em T de três linhas singelas e retas

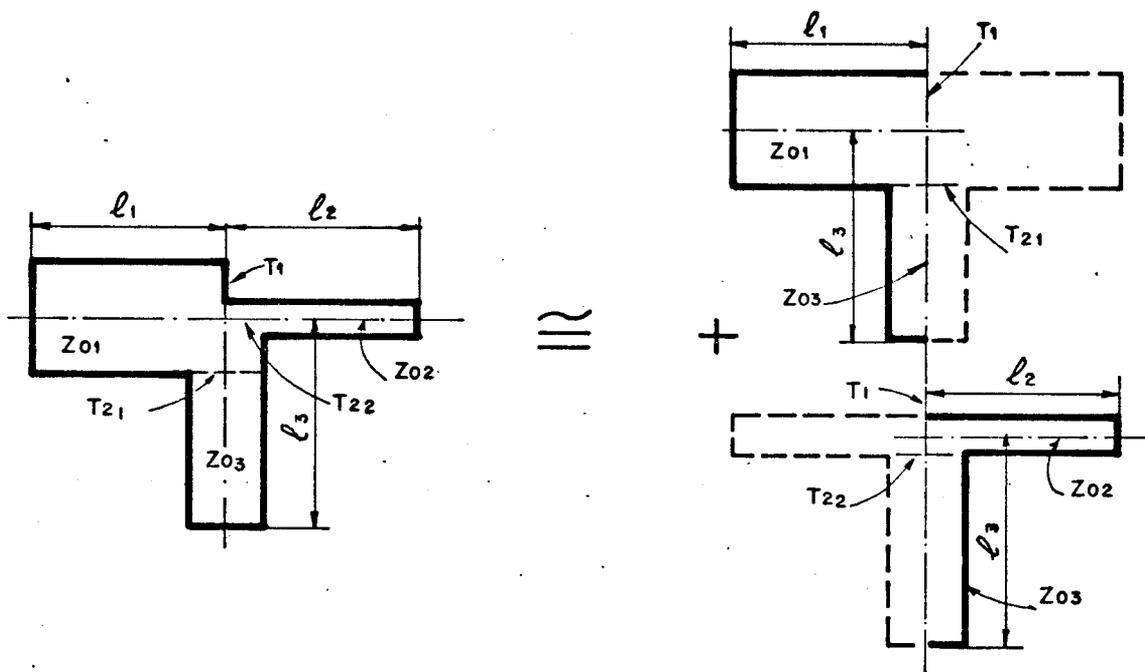


Figura 26 - Composição Suposta para a Junção em T de Três Linhas Singelas e Retas.

Podemos supor, em primeira aproximação, que esta junção se comporta como a sobreposição de duas metades de junções T de duas linhas singelas e retas, como mostra a figura 26. Assim, considerando o modelo discutido anteriormente, as indutâncias e capacitâncias comuns às duas metades devem ter seus efeitos considerados pela metade. Isso posto, obtemos o modelo elétrico mostrado na figura 27.

O pedaço de linha de impedância característica Z_{03} e comprimento $(W_1 - W_2)/2$ pode ser aproximado por uma indutância L_3 . Assim, no ramo ligado à linha 3 ficamos com duas indutâncias em paralelo e na junção dos três ramos com dois capacitores em paralelo. Considerando que cada indutância destas podem ser convertidas num pequeno comprimento de linha de transmissão, obtemos finalmente o modelo elétrico mostrado na figura 28, onde

$$C = (C_{T_1}/2) // (C_{T_2}/2) = \frac{1}{2} (C_{T_1} + C_{T_2})$$

$$\frac{C_{T_1}}{W_1} = \frac{100}{\tanh(0.0072 \cdot Z_{03})} + 0.64 \cdot Z_{03} - 261 \quad pF/m$$

válida com erro menor ou igual a 5% para $25 \leq Z_{03} \leq 100$. Para as variáveis indexadas observe as figuras 26, 27 e 28.

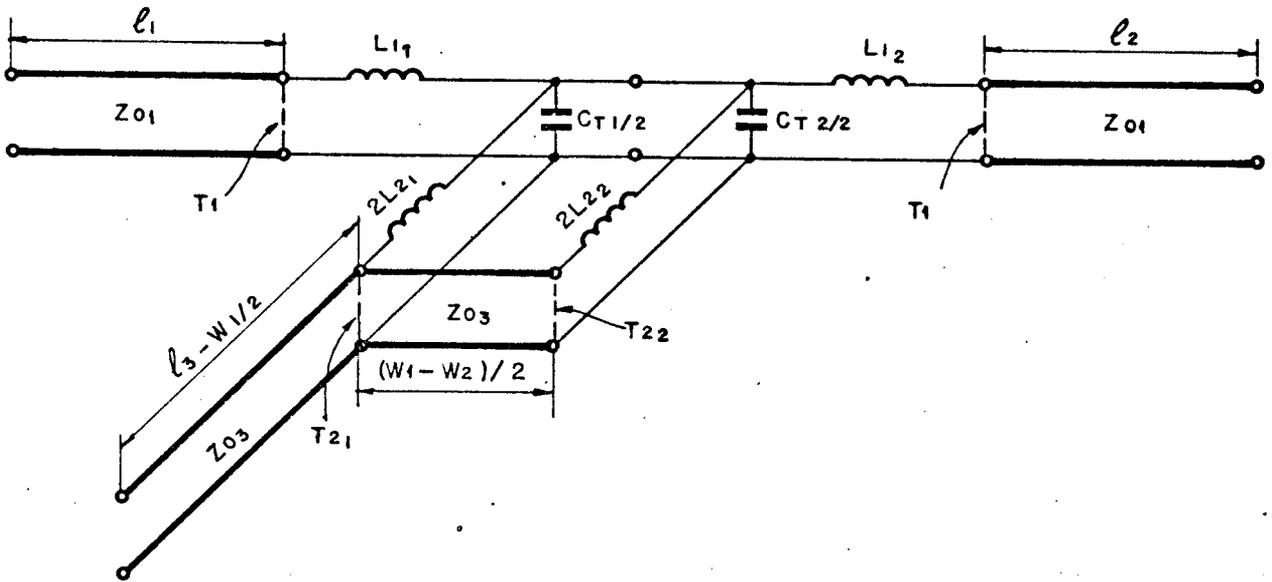


Figura 27 - Modelo Elétrico da Junção em T de Três Linhas Singelas e Retas.

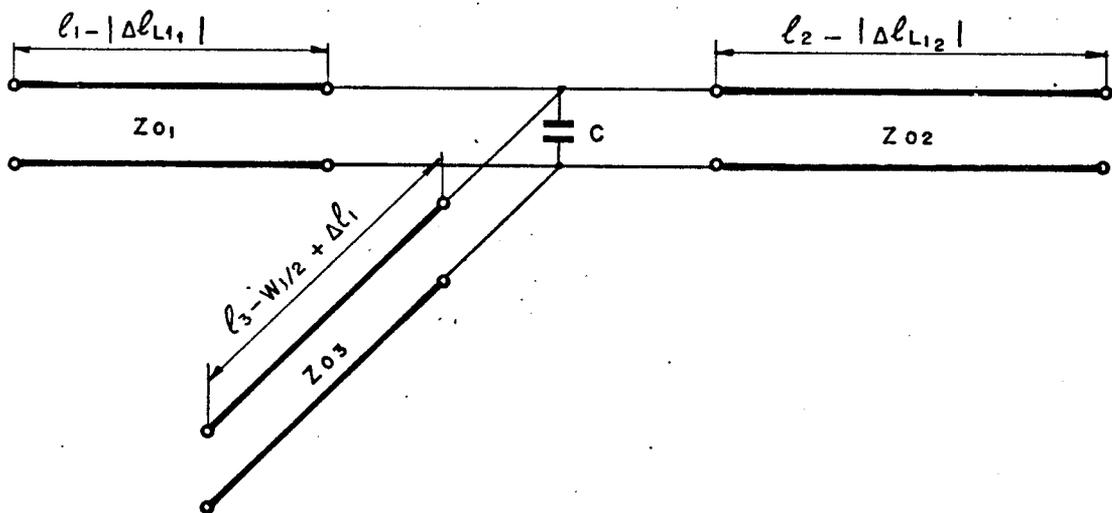


Figura 28 - Modelo Elétrico da Junção em T de Três Linhas Singelas e Retas depois de Simplificado.

Os comprimentos de linhas Δl , devidos às indutâncias, são da dos por

$$\frac{\Delta l_{L_1}}{h} = \frac{L_1}{h} \cdot \frac{c}{Z_{01} \sqrt{\epsilon r \epsilon_1}}$$

$$\frac{L_{1i}}{h} = \frac{W_3}{h} \left\{ \frac{W_3}{h} (-0.016 \frac{W_i}{h} + 0.064) + \frac{0.016}{W_i/h} \right\} L_{w_i} \quad \text{nH/m}$$

com erro menor ou igual a 5% para $0.5 \leq (\frac{W_i}{h}, \frac{W_3}{h}) \leq 2.0$

$$L = (2 L_{2_1}) // (L_3 + 2 L_{2_2}) \quad \text{para}$$

$$\frac{L_{2_i}}{h} = \left\{ (0.12 \frac{W_i}{h} - 0.47) \frac{W_3}{h} + 0.195 \frac{W_i}{h} - 0.357 + \right. \\ \left. + 0.0283 \sin \left(\frac{\pi W_i}{h} - 0.75 \pi \right) \right\} L_{W_3} \quad \text{nH/m}$$

com o mesmo erro acima para $1 \leq W_i/h \leq 2.0$ e $0.5 \leq W_3/h \leq 2.0$ e ainda

$$\frac{L_3}{h} = \frac{W_1 - W_2}{2h} \frac{Z_{o_3} \cdot \sqrt{\epsilon r \epsilon_3}}{c}$$

As indutâncias L_{w_i} são obtidas a partir de

$$L_{w_i} = \frac{Z_{o_i} \cdot \sqrt{\epsilon r \epsilon_i}}{c} \quad \text{H/m}$$

A partir do modelo finalmente obtido, aplica-se o método de segmentação, da mesma maneira que para a junção T de duas linhas singelas e retas, para se obter a matriz S desta junção.

[S] da junção em cruz de duas linhas singelas e retas

O modelo adotado é proposto por Gopinath e outros [47]. De seus resultados e dos de Silvester e Benedek [48], Garg e outros [44] obtiveram as seguintes expressões para o cálculo das capacitâncias e indutâncias concentradas:

$$\frac{C_+}{W_1} = \left[\log \frac{W_1}{h} \left\{ 86.6 \frac{W_2}{h} - 30.9 \left(\frac{W_2}{h} \right)^{1/2} + 367 \right\} \right. \\ \left. + \left(\frac{W_2}{h} \right)^3 + 74 \left(\frac{W_2}{h} \right) + 130 \right] \left(\frac{W_1}{h} \right)^{-1/3} \\ - 240 + \frac{2}{W_2/h} - 1.5 \frac{W_1}{h} \left(1 - \frac{W_2}{h} \right) \quad \text{pF/m,}$$

válida para $0.3 \leq W_1/h \leq 3.0$ e $0.1 \leq W_2/h \leq 3.0$.

$$\frac{L_i}{h} = \left\{ \frac{W_i}{h} \left[165.6 \frac{W_j}{h} + 31.2 \sqrt{\frac{W_j}{h}} - 11.8 \left(\frac{W_j}{h} \right)^2 \right] - 32 \frac{W_i}{h} + 3 \right\} \left(\frac{W_i}{h} \right)^{-3/2} \quad \text{nH/m}$$

As variáveis indexadas são definidas nas figuras 29 e 30.

para $i = 1, 2$ e $j = 2, 1$

$$-\frac{L_3}{h} = 337.5 + \left(1 + \frac{7}{W_1/h}\right) \frac{1}{W_2/h} - 5\left(\frac{W_2}{h}\right) \cos\left[\frac{\pi}{2}\left(1.5 - \frac{W_1}{h}\right)\right] \quad \text{nH/m}$$

para $0.5 \leq (W_1/h, W_2/h) \leq 2.0$

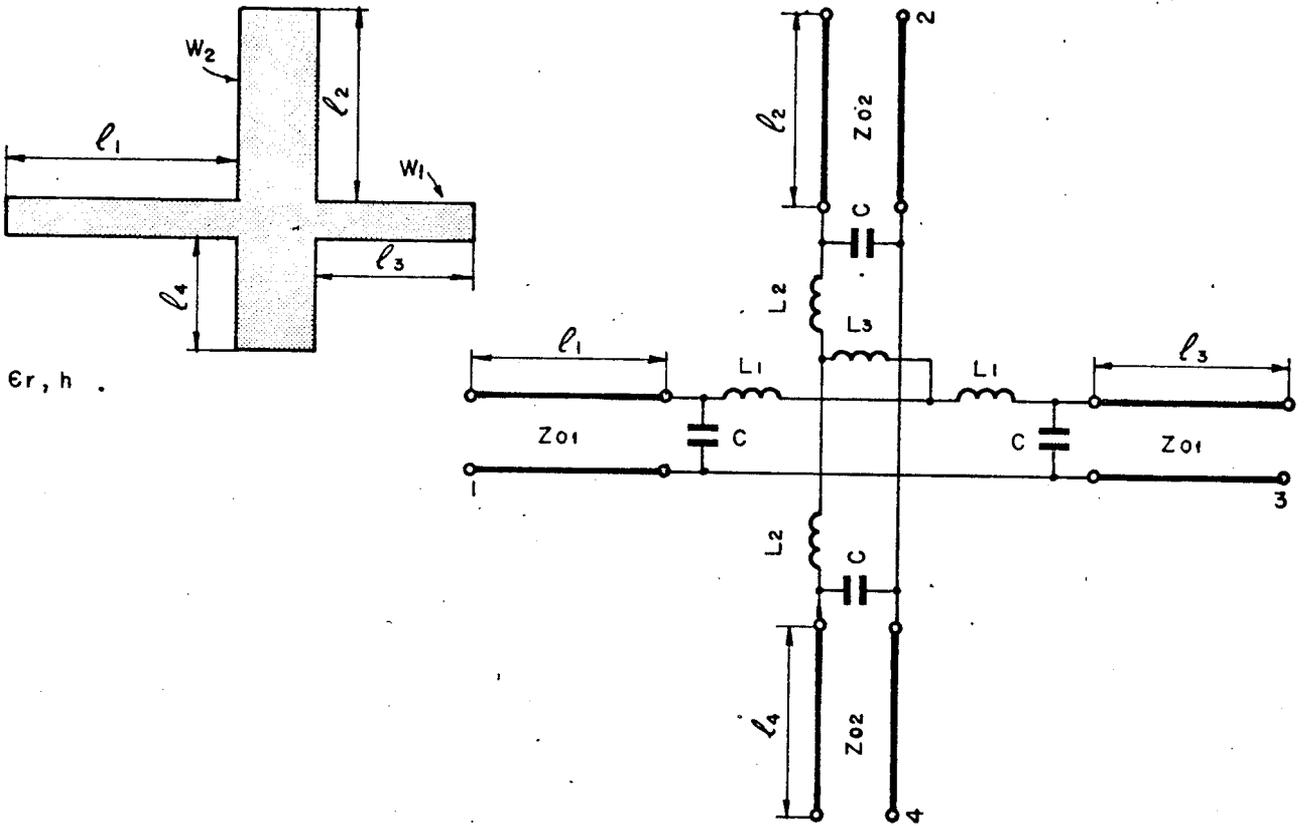


Figura 29 - Modelo Elétrico da Junção em Cruz de Duas Linhas Singelas e Retas.

As capacitâncias C são dadas por $C = C_+/4$.

Para nossos propósitos ajeitaremos o modelo acima, de maneira a obtermos o circuito da figura 30.

A obtenção da matriz $[S]$ que nos interessa é feita com a aplicação do método de segmentação descrito neste trabalho e considerando que

$$\Rightarrow [Y] = \frac{1}{Z_{L_3}} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad e$$

$$\Rightarrow [S] = \frac{1}{3} \begin{bmatrix} -1 & 2 & 2 \\ 2 & -1 & 2 \\ 2 & 2 & -1 \end{bmatrix}$$

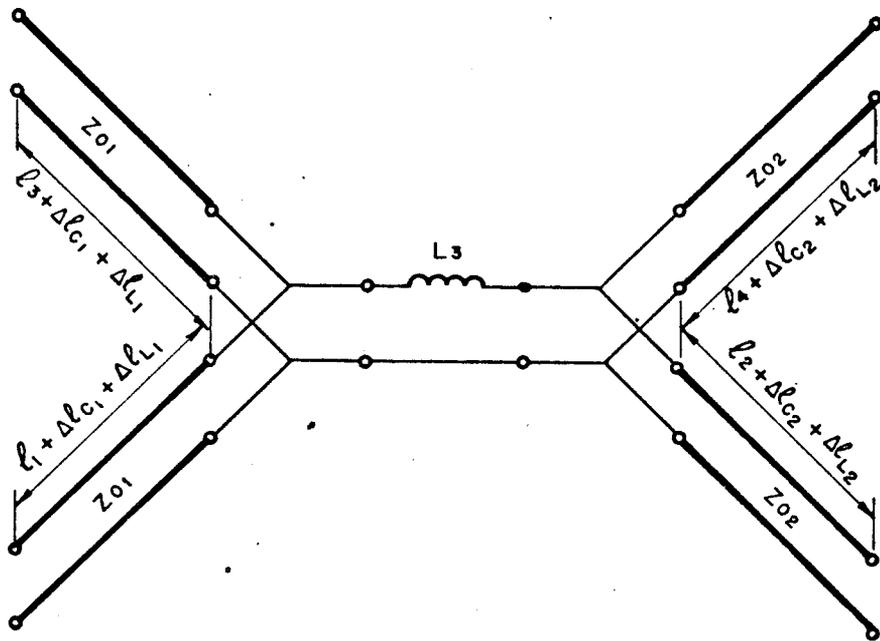


Figura 30 - Modelo Elétrico final obtido para a Junção em Cruz de Duas Linhas Singelas e Retas.

A conversão de L em Δl_L e de C em Δl_C é dada por

$$\frac{\Delta l_{C_i}}{h} = \frac{C [F]}{w_i [m]} \cdot \frac{c Z_0}{\sqrt{\epsilon \epsilon f_i}} \cdot \left(\frac{w_i}{h}\right)$$

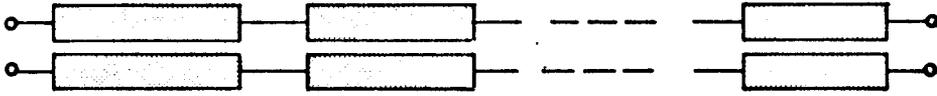
$$\frac{\Delta l_{L_i}}{h} = \frac{L_i [H]}{h [m]} \cdot \frac{c}{Z_{0_i} \sqrt{\epsilon \epsilon f_i}}$$

[S] do disco ressonante com uma, duas três ou quatro portas

A matriz S deste elemento é dada pelo usuário através de arquivo em disco magnético, como descrito no ítem 1 do capítulo IV. Tal opção se deve à generalização imposta ao modelo geométrico que admite um largo espectro de aplicações e, conseqüentemente, deve admitir muitos modelos elétricos.

III.2.2.2 - Modelo Elétrico dos Dispositivos Compostos

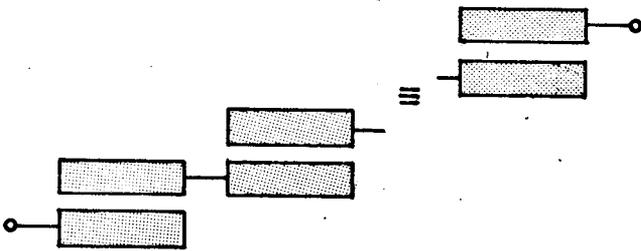
A matriz S de cada dispositivo composto é obtida a partir de uma segmentação do dispositivo em elementos simples cujas matrizes S são conhecidas. Assim, temos os seguintes modelos elétricos para nossos dispositivos compostos com seus esquemas mostrados na figura 31.



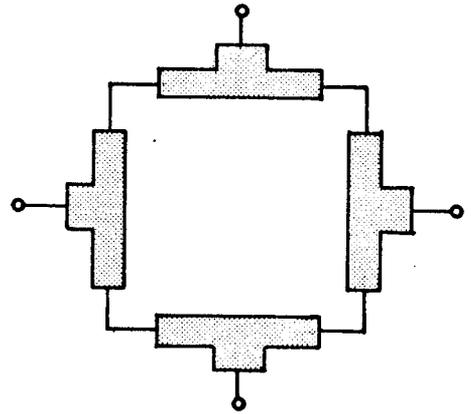
Acoplador simétrico direcional



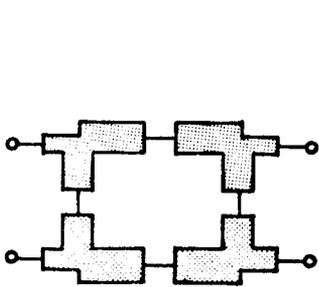
Filtro homogêneo de meia onda e transformador de quarto de onda



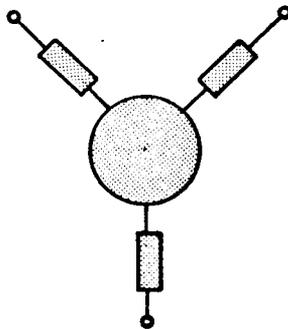
Filtro de ressoadores acoplados paralela-
mente



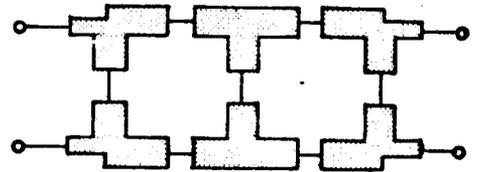
Acoplador híbrido "rat-race"



Acoplador híbrido em
anel e quadratura de
uma seção



Circulador de três por-
tas com linha para casa-
mento



Acoplador híbrido de quadratura
de duas seções

Figura 31 - Esquema dos modelos elétricos adotados para os dispositivos
compostos.

Acoplador Simétrico Direcional:

ligação em cascata de N elementos Linha Acoplada Paralelamente, Reta, de Quatro Portas;

Filtro Homogêneo de Meia Onda e Transformador de Quarto de Onda:

ligação em cascata de N-1 elementos Degrau na Largura de uma Linha Singela e Reta;

Filtro de Ressonadores Acoplados Paralelamente:

ligação em cascata de N seções do elemento Linha Acoplada Paralelamente, Reta, de Duas Portas;

Acoplador Híbrido em Anel e Acoplador Híbrido de Quadratura de uma Seção:

ligação de quatro elementos Junção em T de três Linhas Singelas e Retas;

Acoplador Híbrido de Quadratura de Duas Seções:

usa-se quatro elementos Junção em T de três Linhas Singelas e Retas e dois elementos Junção em T de duas Linhas Singelas Retas;

Acoplador "Rate-Race":

usamos quatro elementos Junção em T de duas Linhas Singelas e Retas;

Circulador de Três Portas com Linha para Casamento:

o modelo elétrico deste dispositivo é formado pela ligação de um elemento Disco de Três Portas com três elementos Linha Singela Uniforme e Reta.

III.2.2.3 - Modelo Elétrico dos Elementos Concentrados

Devido à grande variedade de elementos concentrados que podemos admitir no lay-out e considerando que os seus modelos elétricos podem assumir as formas mais diversas, resolvemos deixar que o próprio usuário forneça os parâmetros S em função da frequência daqueles elementos que ele utilizar. O fornecimento desses dados para este sistema de processamento está descrito no item 1 do capítulo IV.

CAPÍTULO IV

UTILIZAÇÃO DO SISTEMA DE PROCESSAMENTO

Todos os programas que desenvolvemos para este sistema levam em conta que o usuário deve interagir fortemente com ele. Portanto, sempre que um programa do sistema deve dar entrada ou saída de dados para o projetista, ele é conversacional.

Os arquivos de dados que o projetista deve manipular são no máximo três. O primeiro deles é gerado pelo projetista e contém todos os dados básicos dos dispositivos e elementos que integrarão o circuito. O segundo que poderá ser ou não gerado pelo usuário, contém os dados básicos, elétricos, do circuito do lay-out para análise. Os dois arquivos possuem uma formatação simples e os códigos usados são mnemônicos a fim de apresentarem a maior facilidade para o usuário menos experiente. O terceiro que vamos chamar de arquivo de parâmetros S, é gerado pelo projetista somente se usar, em seu lay-out, dispositivos discretos ou o elemento DISCO que está implementado de forma generalizada.

IV.1 - Forma dos Arquivos de Entrada de Dados

Tanto o arquivo de entrada de dados para o lay-out quanto o de entrada de dados para a análise são escritos como uma tabela com três campos principais a saber:

- 1º nº de ordem
- 2º código mnemônico do dispositivo ou elemento
- 3º dados do dispositivo ou elemento.

O terceiro campo é dividido em diversos subcampos, sendo 15 deles no arquivo de dados para o lay-out e 8 para o arquivo de dados para a análise. Esses três campos principais obedecem ao formato (I3, 1X, A5, 1X, nG) com n = 15 ou 8.

As linhas dos arquivos são ocupadas na seguinte ordem:

- 1ª ... nome ou título dado ao circuito com até 100 caracteres;
- 2ª ... dados referentes ao substrato usado no lay-out;
- 3ª até 3ª + n ... dados das n linhas de transmissão acopladas usadas no lay-out;
- m linhas seguintes ... dados das m linhas de transmissão acopladas usadas no lay-out;
- restantes ... dados dos dispositivos ou elementos usados no lay-out, colocando cada um deles em uma linha do arquivo;

Somente o arquivo de dados para a análise do lay-out terá, em seguida, a tabela de ligação dos dispositivos ou elementos do circuito entre si e com o exterior do circuito.

Os dispositivos ou elementos e as linhas de transmissão que não entram no lay-out não devem constar dos arquivos. Dentro de cada classe acima a ordem nominal pode ser qualquer, desde que os números de ordem estejam em ordem crescente.

Cada dispositivo ou elemento que pode ocupar esses arquivos vem seguido de uma série de dados, colocados nos campos de formato G (geral). Para cada dispositivo ou elemento o conjunto é diferente e constam das tabelas I e II.

IV.2 - Convenção dos Parâmetros dos Arquivos de Dados

Além dos códigos mnemônicos, todos com 5 caracteres, que dão nome aos dispositivos e elementos integrantes do lay-out, os arquivos de dados contêm diversos valores para cada dispositivo todos representados por variáveis literais nas tabelas I e II. A convenção adotada é a seguinte:

- α_0 ... ângulo principal num dispositivo;
- α_i ... ângulos de acidentes de um dispositivo;
- N ... número de seções, portas, espiras ou dedos;
- D_0 ... diâmetro principal do indutor;
- d_i ... distâncias medidas num dispositivo;
- ϵ_r ... permissividade dielétrica relativa do substrato;
- ϵ_{ef} ... permissividade efetiva para uma linha;
- ϵ_{ef_e} ... permissividade efetiva para o modo par numa linha acoplada;
- ϵ_{ef_o} ... permissividade efetiva para o modo ímpar de uma linha acoplada;
- h ... espessura do substrato;
- I_s ... número de ordem das linhas simples;
- I_A ... número de ordem das linhas acopladas;
- I_D ... número de ordem dos dispositivos do lay-out;
- I_{s_i} ... número de ordem da linha da i-ésima seção do dispositivo;
- I_{A_i} ... número de ordem da linha da i-ésima seção do dispositivo;
- l ... comprimento físico de uma linha ou seção;
- l_i ... comprimento físico da i-ésima linha ou seção;
- l_{MA} ... dimensão do lado maior do indutor;
- l_{ME} ... dimensão do lado menor do indutor;
- l_x ... dimensão do lado do retângulo paralelo ao eixo x;
- l_y ... dimensão do lado do retângulo paralelo ao eixo y;
- R_0 ... dimensão do raio do dispositivo;
- s ... espaçamento entre elementos do dispositivo;
- s_a ... espaçamento entre linhas acopladas;
- t ... espessura da camada condutora sobre o substrato;
- V ... velocidade de propagação na linha simples;

TABELA I
ARQUIVO DE DADOS PARA O LAY-OUT DO CIRCUITO

Nº DE ORDEM	CODIGO ALFABETICO DO DISPOSITIVO OU ELEMENTO	DADOS DO DISPOSITIVO OU ELEMENTO									
-	DIELT	ϵ_r	h	l_x	l_y	t					
I _S	LNTRS	W_s	Z_o	V	ϵ_{ef}						
I _A	LNTRA	W_a	S_a	Z_{o_e}	Z_{o_o}	V_e	V_o	ϵ_{ef_e}	ϵ_{ef_o}		
I _D	RETAS	I_s	l								
I _D	ARCOS	I_s	R_o	α_o							
I _D	RETAC	I_{s1}	I_{s2}	l							
I _D	ARCOG	I_{s1}	I_{s2}	R_o	α_o						
I _D	ACOP2	I_A	l								
I _D	ACOP4	I_A	l								
I _D	DISCO	N	R_o	α_1	W_1	α_2	W_2	α_3	W_3	α_4	W_4
I _D	OPEND	I_s	l								
I _D	GAPEN	I_s	l_1	l_2	s						
I _D	STEPW	I_{s1}	I_{s2}	l_1	l_2						
I _D	DOBRA	I_s	l_1	l_2	α_o						
I _D	DBRCN	I_s	l_1	l_2	α_o						
I _D	DBCNA	I_{s1}	I_{s2}	l_1	l_2	α_o					
I _D	JUNCT	I_{s1}	I_{s2}	l_1	l_2	l_3					
I _D	JUNCA	I_{s1}	I_{s2}	I_{s3}	l_1	l_2	l_3				
I _D	JUNCC	I_{s1}	I_{s2}	l_1	l_2	l_3	l_4				
I _D	BIPTA	l_x	l_y	d_1	d_2						
I _D	TRIPT	l_x	l_y	d_1	d_2	d_3					
I _D	QUAPT	l_x	l_y	d_1	d_2	d_3	d_4				
I _D	ACPSI	N	I_{A1}	l_1	I_{A2}	l_2	I_{A3}	l_3	I_{A4}	l_4	
I _D	FLRAP	N	I_{A1}	l_1	I_{A2}	l_2	I_{A3}	l_3	I_{A4}	l_4	
I _D	FLHMO	N	I_{s1}	l_1	I_{s2}	l_2	I_{s3}	l_3	I_{s4}	l_4	I_{s5} l_5 I_{s6} l_6 I_{s7} l_7
I _D	TRAFO	N	I_{s1}	l_1	I_{s2}	l_2	I_{s3}	l_3	I_{s4}	l_4	I_{s5} l_5 I_{s6} l_6 I_{s7} l_7
I _D	HANEL	I_s	I_{s1}	I_{s2}	l_1	l_2					
I _D	HQAD1	I_s	I_{s1}	I_{s2}	l_1	l_2					
I _D	HQAD2	I_s	I_{s1}	I_{s2}	l_1	l_2					
I _D	HRATR	I_s	l_1	l_2							
I _D	CRJCS	I_s	l	R_o							
I _D	CPINT	N	W	l	s						
I _D	INESC	N	D_o	W	s	l					
I _D	INESR	N	ϵ_{MA}	ϵ_{ME}	W	S	l				

ARQUIVO DE DADOS PARA A ANÁLISE DO LAY-OUT DO CIRCUITO

Nº DE ORDEM	CÓDIGO MNEMONICO DO DISPOSITIVO OU ELEMENTO	DADOS DO DISPOSITIVO OU ELEMENTO			
-	DIELT	$\epsilon_r h$			
I _s	LNTRS	$W_s Z_o V_{cef}$			
I _A	LNTRA	$W_a s_a Z_{o_e} Z_{o_o} V_e V_o cef_e cef_o$			
I _D	RETAS	$I_s l$			
I _D	ARCOS	$I_s l$			
I _D	RETAC	$I_{s_1} I_{s_2} l$			
I _D	ARCO	$I_{s_1} I_{s_2} l$			
I _D	ACOP2	$I_A l$			
I _D	ACOP4	$I_A l$			
I _D	DISCO	DISXXX.DAT N			
I _D	OPEND	$I_s l$			
I _D	GAPEN	$I_s l_1 l_2 s$			
I _D	STEPW	$I_{s_1} I_{s_2} l_1 l_2$			
I _D	DOBRA	$I_s l_1 l_2 \alpha_o$			
I _D	DBRCN	$I_s l_1 l_2 \alpha_o$			
I _D	DBCNA	$I_{s_1} I_{s_2} l_1 l_2 \alpha_o$			
I _D	JUNCT	$I_{s_1} I_{s_2} l_1 l_2 l_3$			
I _D	JUNCA	$I_{s_1} I_{s_2} I_{s_3} l_1 l_2 l_3$			
I _D	JUNCC	$I_{s_1} I_{s_2} l_1 l_2 l_3 l_4$			
I _D	BIPTA	BIPXXX.DAT			
I _D	TRIPT	TRIXXX.DAT			
I _D	QUAPT	QUAXXX.DAT			
I _D	CPINT	N W l s			
I _D	INESC	N D _o W s l			
I _D	INESR	N l _{MA} l _{ME} W s l			
I _D	OFFSET	$I_{s_1} I_{s_2} l_1 l_2 s$			
		DISPOSITIVO I		DISPOSITIVO J	
		PORTA	NÚMERO DO DISPOSITIVO	PORTA	NÚMERO DO DISPOSITIVO
		⋮	⋮	⋮	⋮
		P _k	D _i	P _l	D _j
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		P _m	D _i	P _n	0
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮

Cada uma das linhas à esquerda representa uma ligação entre dois dispositivos. O dispositivo 0 (zero) corresponde ao circuito.

- V_e ... velocidade de propagação na linha acoplada, modo par;
- V_o ... velocidade de propagação na linha acoplada, modo impar;
- W ... largura num dispositivo;
- W_a ... largura das fitas das linhas acopladas;
- W_i ... largura da i-ésima porta do dispositivo;
- W_s ... largura da fita da linha simples;
- Z_o ... impedância característica na linha simples;
- Z_{o_e} ... impedância característica na linha acoplada, modo par;
- Z_{o_o} ... impedância característica na linha acoplada, modo impar.

No arquivo de dados para a análise do lay-out aparece também as variáveis

- DISXXX.DAT
- BIPXXX.DAT
- TRIXXX.DAT
- QUAXXX.DAT

que são o nome do arquivo de parâmetros S dos dispositivos discretos e do disco generalizado. O conjunto literal XXX deve ser substituído por três algarismos que formam um número igual ao número de ordem desse dispositivo no arquivo de dados para o lay-out do circuito.

O arquivo de parâmetros S assume a mesma forma para os quatro dispositivos que ele pode representar e é a seguinte:

FREQ1	S11	S11	S12	S12	...	S1n
	S21	S21	S22	S22
	⋮					
	Sn1	Sn1	Snn		Snn
	⋮					
FREQM	S11	S11	S1n		S1n
	⋮					
	Sn1	Sn1	Snn		Snn

isto é, uma matriz S para cada uma das m frequências de que se dispõe desses parâmetros para o dispositivo de n portas que se está analisando.

IV.3 - Forma dos Arquivos de Saída de Dados

São três os arquivos de saída de dados do sistema de processamento:

- 1º) saída de dados do lay-out para análise;
- 2º) saída do lay-out para desenho;
- 3º) resultados básicos da análise.

O primeiro é o mesmo que o de entrada de dados para a análise do circuito que discutimos anteriormente, só que gerado pelo próprio sistema ao invés do projetista.

O segundo, saída do lay-out para desenho, é formado por uma série de informações que podem ser interpretadas por outros programas a fim de gerar desenhos do lay-out através de ploters adequados ou então usados por programas destinados à geração automática de máscaras para fotolitografia do lay-out. A forma deste arquivo, embora simples, não é dirigida para uso imediato do projetista que dispõe de melhores saídas de dados, tais como o próprio desenho do lay-out ou então uma listagem do mesmo de forma dirigida aos seus propósitos.

O arquivo de resultados básicos da análise assume a mesma forma dos arquivos de parâmetros S usados como entrada de dados de certos dispositivos, como já o apresentamos. Este porém contém os parâmetros S do lay-out analisado pelo projetista em função das frequências e condições que o mesmo determinou ao sistema de processamento.

IV.4 - Saídas Gráficas

Além dos arquivos em disco magnético que não estão na forma mais direta de comunicação máquina-usuário, o sistema conta com três tipos de saídas de dados dirigidas especificamente para seu usuário:

- listagens do lay-out e dos resultados das análises efetuadas sobre o mesmo;
- desenhos executados por "ploters" como arte-final para foto-redução ou simplesmente para a análise do projetista;
- gráficos do lay-out no terminal gráfico (com a precisão permitida por esse terminal) e dos resultados das análises que o projetista solicitar.

No item 5 veremos um exemplo do que acabou de ser exposto.

IV.5 - As "conversas" do sistema (interação projetista-computador)

Durante todo o tempo no qual o lay-out é projetado, o sistema de processamento fica "conversando" com o projetista. Esse diálogo é composto por solicitações de instruções ou dados ao projetista, advertências que o sistema pode fazer ou então respostas que este pode dar ao usuário a perguntas bem específicas. Diálogo:

```
S:  ** DESENHO **
    NOME DO ARQUIVO:
U:  NOMARQ.EXT)
```

NOMARQ.EXT é o nome que o projetista deu ao arquivo de dados para o lay-out do circuito.

S: INSTRUÇÃO DE LAY-OUT:

U: qualquer uma das seguintes frases:

- ALC IP ID X Y T)
- TRN ID DX DY)
- ROD ID IP T)
- JNT IP₁ ID₁ IP₂ ID₂ T)

O sistema responderá com atos: alocando, transladando, ro- dando ou juntando dispositivos. IP e ID são o número da porta e o número do dispositivo; X,Y são coordenadas da porta IP, DX e DY deslocamentos em x e em y e T o ângulo da porta com o eixo x.

PTA ID)

O sistema indicará cada porta por vez do dispositivo ID.

GER)

O sistema solicitará, para poder Gerar um dispositivo, o seguinte:

ENTRE COM O CODIGO MNEMONICO E OS DADOS:

O usuário deverá escrever o nome o os dados do dispositivo que quer que seja gerado com a mesma forma que o mesmo se ria escrito no arquivo de entrada de dados para projeto do lay-out. São gerados somente os dispositivos RETAS, RETAC, ARCOS e ARCOE. Em seguida o sistema responderá com uma das frases:

HOUVE ALGUM ERRO. TENDE NOVAMENTE.

DISPOSITIVO CRIADO: XXX - XXXXX

NAO É GERADO O DISPOSITIVO "XXXXX"!!

LRG IP ID)

O sistema dará a largura da porta IP do dispositivo ID com a resposta

LARGURA DA PORTA XX DO DISPOSITIVO XXX = XXX.XXXX

ou então responderá

WPORTA: DISPOSITIVO NAO IMPLEMENTADO OU NOMDIS NAO CONSTA NA TABELA

ou ainda

WPORTA: DISPOSITIVO XXX NAO EXISTENTE, OU NAO TEM A PORTA XX.

- DST IP₁ ID₁ IP₂ ID₂) ou
- DST IP₁ ID₁ LD) ou
- DST IP₁ ID₁ LE) ou
- DST IP₁ ID₁ LB ou LI) ou
- DST IP₁ ID₁ LC ou LS)

O sistema responderá com a distância da porta IP₁ do dispo

sitivo ID₁ à:
 - porta IP₂ do dispositivo ID₂;
 - lado direito do substrato;
 - lado esquerdo do substrato;
 - lado de baixo ou inferior do substrato;
 - lado de cima ou superior do substrato,
 numa das seguintes formas:

DISTANCIA PX DX - PY DY = XXX.XXXXXXXXXX
 DISTANCIA PX DX - L? = XXX.XXXXXXXXXX

POS IP ID)

O sistema dará a posição (x,y,θ) da porta IP do dispositivo ID no plano do lay-out na forma

PORTA XX DISP.XXX - X = valor Y = valor
 T = valor G ou valor RAD.

FNL)

Causa o desvio do sistema para a finalização do lay-out. Com isso o usuário caracteriza que finalizou a formação do lay-out.

O sistema dará as seguintes mensagens que caracterizam erro no arquivo de dados para o lay-out.

S: ? XXX XXXXX ELEMENTO DESCONHECIDO!

S: ? XXX XXXXX FALTA DADOS!

Tais situações causam o encerramento imediato da execução do programa.

A mensagem

S: ? XXX ? TENTE NOVAMENTE

caracteriza erro no comando que contém uma instrução de lay-out.

Terminada a formação do lay-out, o sistema passa ao reconhecimento do mesmo com vistas às ligações das portas dos dispositivos ou elementos componentes do lay-out. Nesta etapa são determinadas também as portas do circuito. O diálogo empreendido entre sistema e usuário é o seguinte:

S: AS PORTAS ABAIXO SAO DO CIRCUITO:

S: PORTA XX DO DISPOSITIVO XX

S: PORTA YY DO DISPOSITIVO YY

.
 .
 .

O sistema relaciona todas as portas dos dispositivos ou elementos do lay-out que não foram ligados, considerando que as mesmas sejam do circuito, e pergunta:

S: CONFERE?

U: SIM) ou então

U: NAO)

se a resposta for a negativa, o sistema retornará às rotinas que formam o lay-out:

S: VOLTEMOS AO LAY-OUT!

S: INSTRUCAO DE LAY-OUT:

O usuário modificará então o lay-out da maneira que lhe interessa. Se a resposta for a afirmativa, teremos

S: ENTÃO QUAL O NÚMERO DA PORTA DO CIRCUITO PARA CADA UMA DELAS?

S: PORTA XX DO DISPOSITIVO XX É NÚMERO:

O usuário informará ao sistema qual é o número de porta do circuito que ele deu àquela porta não ligada daquele dispositivo:

U: XX)

O sistema continuará com a pergunta sobre o número da porta do circuito até que todas sejam numeradas.

Em seguida o sistema pergunta

S: QUER REDUZIR OU AMPLIAR O LAY-OUT PARA SAÍDA?

U: SIM) ou então

U: NÃO)

Se o usuário responder SIM, será questionado:

S: ENTRE COM: "RED" FATOR <CR> OU ENTÃO
"AMP" FATOR <CR>

RESP

U: RED XXX.XXX) ou então

U: AMP XXX.XXX)

Assim terminam as "conversas" do sistema com o usuário na parte de projeto de lay-out de circuitos integrados de microondas.

Durante o tempo no qual o lay-out é analisado, as "conversas" do sistema de processamento com o usuário são as seguintes:

S: ENTRE COM O NOME DO ARQUIVO DE DADOS:

U: NOMARQ.EXT)

NOMARQ.EXT é o nome do arquivo de dados do lay-out para a análise.

S: ENTRE COM FIN, FFIN, NTP:

U: fin f_{fin} N)

fin, f_{fin} e N são os valores da frequência inicial, frequência final e o número de pontos da faixa de frequências onde se quer analisar o comportamento elétrico do lay-out

S: ENTRE COM A IMPEDANCIA NORMALIZADORA (REAL!):

U: Zn)

Como resultado obtemos, no disco magnético, o arquivo dos resultados básicos da análise.

Para a etapa de análises específicas do lay-out, o sistema de processamento inicia indagando:

S: ARQUIVO.RBA +
 U: NOMARQ.RBA }

NOMARQ.RBA é o nome do arquivo que contém os resultados básicos da análise do lay-out.

S: USE UM DOS COMANDOS SEGUINTE PARA CONTINUAR:
 MOD I J <CR> PARA O GRAFICO DO MODULO DE SIJ,
 FAS I J <CR> PARA O GRAFICO DA FASE DE SIJ,
 ATN I J <CR> PARA O GRAFICO DA PERDA POR INSERCAO,
 VSW I <CR> PARA O GRAFICO DE VSWR DE INSERCAO
 IMP 1 <CR> PARA IMPRIMIR LISTAGEM DE TODOS OS SIJ,
 IMP 2 <CR> PARA IMPRIMIR LISTAGEM DE TODAS AS ATN E VSW,
 FIM <CR> PARA FINALIZAR
 COMANDO:

Feita essa explicação inicial, o sistema espera o comando que é formado sempre por um dos códigos de três letras acima seguido de um ou dois algarismos que representam as portas do circuito as quais se refere o projetista.

Os comandos cujo código é MOD, FAS, ATN ou VSW provocam a geração de um gráfico na tela do GT.40 do parâmetro pedido em função da frequência. Os códigos IMP 1 e IMP 2 provocam a geração de uma listagem, na impressora, dos parâmetros indicados em função da frequência.

Todos os comandos acima, exceto o FIM que finaliza a execução do programa, podem ser usados à vontade do usuário, isto é, em qualquer ordem e quantas vezes forem necessárias.

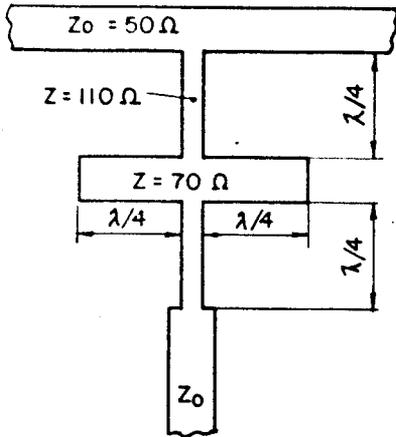
IV.6 - Um Exemplo de Utilização do Sistema de Processamento

Para mostrar o uso do Sistema de Processamento descrito, bem como os resultados obtidos em todas as suas etapas, escolhemos um circuito simples e bem conhecido que é o Filtro para Polarização ou Elemento em Paralelo para FI. Seu esquema é mostrado na figura 32a. Devido às características de comportamento em frequência que desejamos, ao material utilizado e às supostas necessidades topológicas, o seu lay-out deve ser como mostrado na figura 32b. A divisão do lay-out é feita a seguir como mostra a figura 32c e é então gerado o Arquivo de Dados para o Lay-Out (figura 32d). O arquivo citado é então inserto no disco magnético do computador em uso (no nosso caso o PDP-10 do CCUEC) e em seguida são acionados os programas para Projeto de Lay-Out de Circuitos Integrados de Microondas.

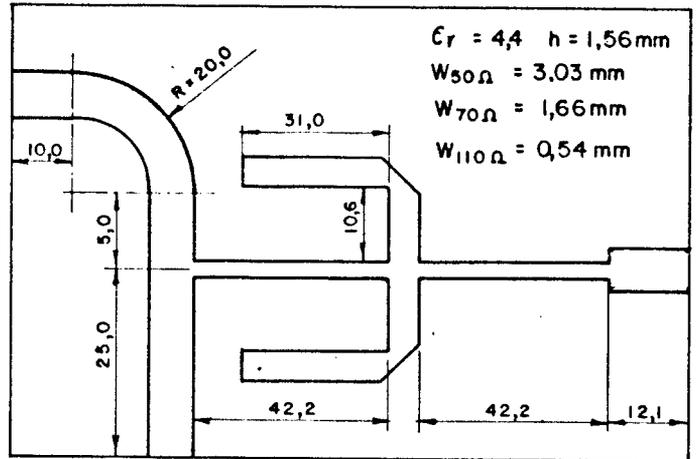
Utilizando-se dos diálogos apresentados no item anterior vamos formando o lay-out desejado como mostram as fotos da figura 33, obtidas do terminal gráfico que usamos. Finalizadas as operações de formação de lay-out obtemos a listagem impressa do mesmo (figura 34) e dois arquivos no disco magnético: um para uso futuro em desenhos automáticos e outro para a análise do lay-out. A cópia de cada um desses arquivos é mostrada na figura 35.

A etapa de Análise de Lay-Out de Circuitos Integrados de Microondas é então acionada, tendo como dados de entrada o arquivo cuja cópia mostramos na figura 35b. Podemos aí obter diversos gráficos do comportamento elétrico do circuito conforme nossos interesses. Neste caso obtivemos, através de simples comandos (item 4 deste capítulo), os gráficos mostrados nas fotos da figura 36. Para

a) Esquema do Filtro

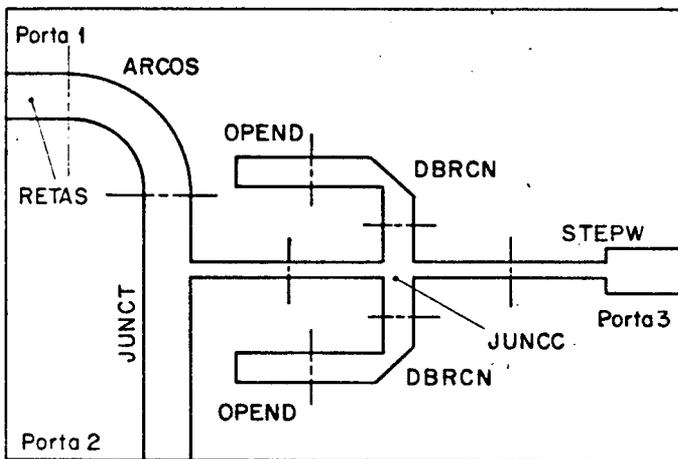


b) Lay-out desejado do Filtro



c) Divisão do lay-out em elementos simples

d) Arquivo de Dados para o Lay-out



EXEMPLO DE USO DO SISTEMA
DIELT 4.4 1.56

1	LNTRS	3.03	50.0	1.647E11	3.311		
2	LNTRS	1.66	70.0	1.675E11	3.202		
3	LNTRS	0.54	110.0	1.721E11	3.031		
1	RETAS	1	10.0				
2	ARCOS	1	20.0	90.0			
3	JUNCT	1	3	25.0	5.0	21.2	
4	JUNCC	3	2	21.0	5.2	21.0	5.2
5	STEPW	1	3	12.1	21.2		
6	DBRCN	2	15.4	5.2	90.0		
7	OPEND	2	15.3				
8	DBRCN	2	5.2	15.4	90.0		
9	OPEND	2	15.3				

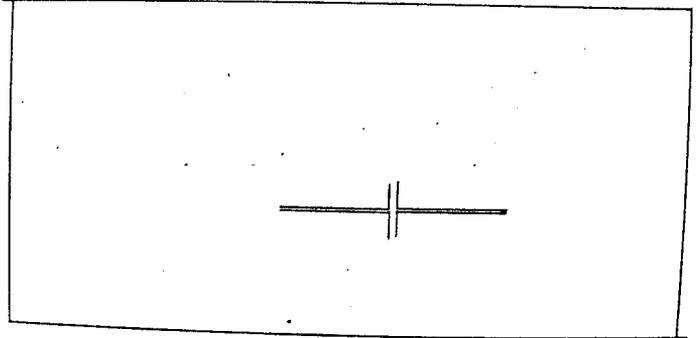
Figura 32 - Filtro para Polarização ou Elemento em Paralelo para FI.

```

INSTRUCAO DE LAY-OUT: ALC 1 4 52.715 25.0 100.0
? INSTRUCAO DESCONHECIDA! REPITA: ALC 1 4 52.715 25.0 100.0
ACEITA OU REJEITA? -> A
INSTRUCAO DE LAY-OUT: T

```

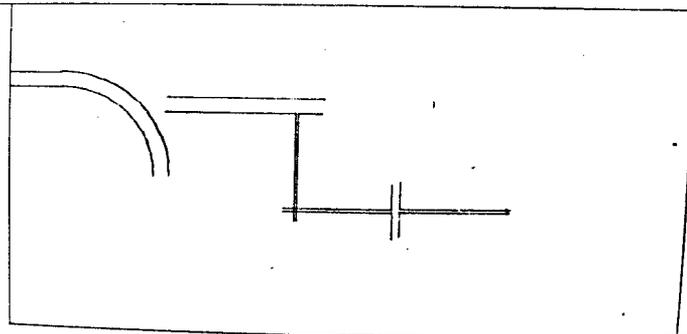
a) Lay-out em formação:
primeiras manipulações



```

INSTRUCAO DE LAY-OUT: ALC 1 2 10.0 50.0 100.0
ACEITA OU REJEITA? -> A
INSTRUCAO DE LAY-OUT: ALC 1 3 30.0 0.0 100.0
ACEITA OU REJEITA? -> A
INSTRUCAO DE LAY-OUT: T

```



b) Lay-out em formação

```

QUER REDUZIR OU AMPLIAR O LAY-OUT PARA A SAIDA? -> NAO
SEU LAY-OUT E/OU DESENHO ESTA' NO ARQUIVO "EXEMPL.LMS".
NA IMPRESSORA SAIU UMA LISTAGEM DO LAY-OUT.
END OF EXECUTION
CPU TIME: 3.90 ELAPSED TIME: 14:36.52
EXIT

```

c) Lay-out completamente formado

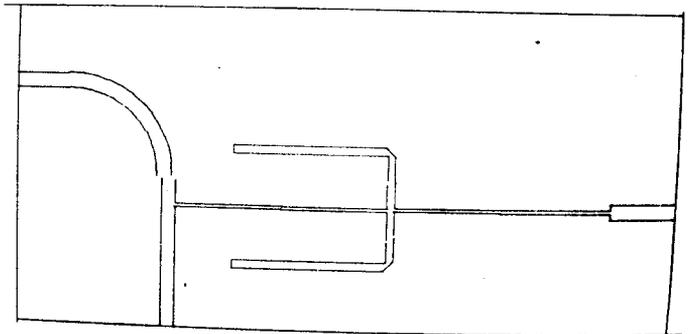


Figura 33 - Fotos do Terminal Gráfico mostrando a formação do Lay-out do exemplo.



PROJETO E ANÁLISE DE LAY-OUT DE CIRCUITOS INTEGRADOS DE MICROONDAS

AUTOR: SIDNEY S. SAVIANI CONVENIO UNICAMP/TELEBRAS 143/76

NOME DO LAY-OUT: EXEMPLO DE USO DO SISTEMA
SUBSTRATO: EP = 4.4700 H = 1.5600
ESCALA DO LAY-OUT: 1:1 (ORIGINAL) X = 130.0000 Y = 65.0000

DISPOSITIVOS DO LAY-OUT: 1 RETAS 2 ARCS 3 JUNCT 4 JUNC 5 STEP 6 DRMCN 7 UPEND 8 DRMCN 9 UPEND

DISPOSITIVO	1 - RETAS	2 - ARCS	3 - JUNCT	4 - JUNC	5 - STEP	6 - DRMCN	7 - UPEND	8 - DRMCN	9 - UPEND
1 RETAS:	(0.0000, 48.1450) (10.0000, 48.4848)	15708 CENTRO EM (9.9997, 30.0000) INICIO EM (10.0000, 48.4850)	15708 CENTRO EM (9.9997, 30.0000) INICIO EM (10.0000, 48.4850)						
1 RETAS:	(10.0001, 51.5144) (0.0001, 51.5150)								
2 - ARCS:									
1 ARCO:	RAIOE 14.4150 ANGULOE 15708	RAIOE 15708 ANGULOE 15708							
1 ARCO:	RAIOE 21.5150 ANGULOE 15708	RAIOE 15708 ANGULOE 15708							
2 - ARCS:									
2 RETORES:	(52.7152, 24.7294) (31.5152, 24.7304) (31.5146, 0.0004) (
1 RETOR:	(28.4486, 0.0005) (24.4854, 30.0005)								
2 RETORES:	(31.5153, 30.0004) (31.5152, 25.2704) (52.7152, 25.2699) (
3 - JUNCT									
2 RETORES:	(52.7150, 25.2704) (73.7150, 25.2700) (73.7151, 56.2700) (
1 RETOR:	(75.3750, 30.5700) (75.3750, 25.2700) (96.3750, 25.2696) (
2 RETORES:	(75.3750, 24.7300) (75.3750, 24.7300) (75.3749, 19.7300) (
2 RETORES:	(73.7149, 19.4300) (73.7150, 24.7300) (52.7150, 24.7304) (
3 - STEP									
3 RETORES:	(129.0750, 23.4441) (117.5750, 23.4486) (117.5750, 24.7296) (96.3750, 24.7300) (
3 RETORES:	(129.0750, 26.5111) (117.5750, 26.5146) (117.5750, 25.2696) (96.3750, 25.2700) (
6 - DRMCN									
1 RETOR:	(58.2150, 37.5303) (73.2624, 37.5300)								
2 RETORES:	(58.2150, 37.5303) (73.2624, 37.5300) (75.3750, 35.4171) (
3 RETORES:	(58.2150, 37.5303) (73.2624, 37.5300) (75.3750, 35.4171) (
1 RETOR:	(73.7150, 35.4700) (58.2150, 35.4703)								
1 RETOR:	(73.7150, 35.4700) (73.7149, 30.5700)								
7 - UPEND									
3 RETORES:	(58.2150, 35.8700) (42.7150, 35.8700) (42.7150, 37.5300) (58.2150, 37.5300) (
8 - DRMCN									
1 RETOR:	(75.3750, 19.4301) (75.3750, 11.5429)								
2 RETORES:	(75.3750, 19.4301) (75.3750, 14.5829) (73.2621, 12.4701) (
3 RETORES:	(75.3750, 19.4301) (75.3750, 14.5829) (73.2621, 14.4701) (
1 RETOR:	(73.7150, 14.4301) (73.7150, 19.4301)								
1 RETOR:	(73.7150, 14.4301) (58.2150, 14.1302)								
9 - UPEND									
3 RETORES:	(58.2150, 14.1700) (42.7150, 12.4700) (42.7150, 14.1300) (58.2150, 14.1300) (

FIM DO LAY-OUT. UNIDADES EMPREGADAS: [ANGULOS]=RADIANS [DIMENSÕES]=AS MESMAS DO ARQUIVO DE DADOS

Figura 34 - Listagem do lay-out do exemplo.

a) Arquivo para uso em desenhos automáticos

N EXEMPLO DE USO DO SISTEMA
 S 139.0000000 65.0000056
 E 0.0000000

1 V	0.00000	48.48500	10.00000	48.48483					
1 V	10.00005	51.51483	0.00005	51.51500					
1 A	18.48590	1.57080	9.99967	30.00000	9.99997	48.48500			
1 A	21.51500	1.57080	9.99967	30.00000	10.00003	51.51500			
2 V	52.71520	24.72986	31.51520	24.73039	31.51458	0.00039			
1 V	28.48458	0.00046	28.48533	30.00046					
2 V	31.51533	30.00039	31.51521	25.27039	52.71521	25.26986			
2 V	52.71500	25.27036	73.71500	25.27002	73.71509	30.27002			
2 V	75.37509	30.56998	75.37500	25.26998	96.37500	25.26964			
2 V	96.37500	24.72963	75.37500	24.72998	75.37491	19.72998			
2 V	73.71491	19.43001	73.71500	24.73001	52.71500	24.73036			
3 V	129.57497	23.48444	117.57497	23.48465	117.57500	24.72965	96.37500	24.73000	
3 V	124.67503	26.51445	117.57503	26.51465	117.57500	25.26965	96.37500	25.27000	
1 V	58.21503	37.53025	73.26219	37.53001					
2 V	58.21503	37.53026	73.26219	37.53001	75.37499	35.41714			
3 V	58.21503	37.53026	73.26219	37.53001	75.37499	35.41714	75.37491	30.56997	
1 V	73.71500	35.87000	58.21500	35.87026					
1 V	73.71500	35.87000	73.71491	30.57000					
3 V	58.21500	35.87000	42.71500	35.87000	42.71500	37.53000	58.21500	37.53000	
1 V	75.37501	19.43008	75.37497	14.58292					
2 V	75.37501	19.43008	75.37497	14.58292	73.26212	12.47010			
3 V	75.37501	19.43008	75.37497	14.58292	73.26212	12.47010	58.21490	12.47023	
1 V	73.71497	14.13010	73.71501	19.43010					
1 V	73.71497	14.13010	58.21497	14.13023					
3 V	58.21500	12.47000	42.71500	12.47000	42.71500	14.13000	58.21500	14.13000	

b) Arquivo de dados para a análise do lay-out.

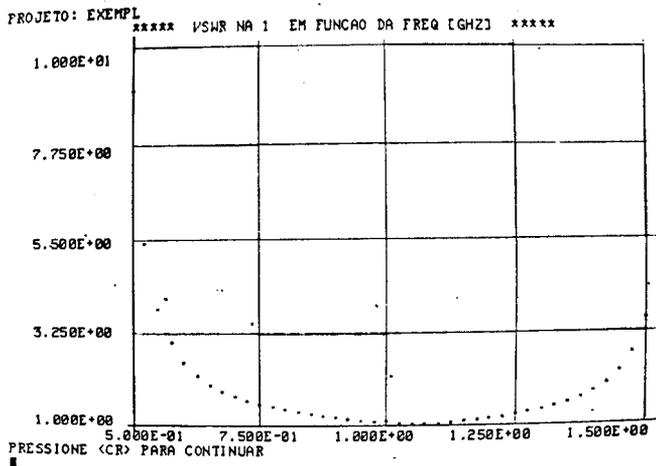
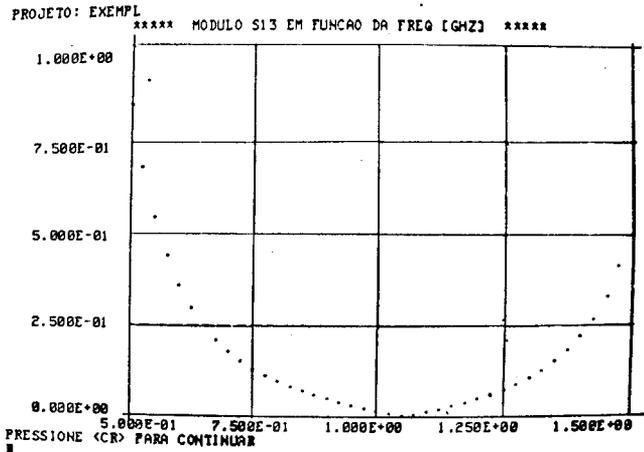
EXEMPLO DE USO DO SISTEMA

DIET	4.400000	1.560000				
1 LNTR	3.030000	50.00000	9.1617417E+12	3.311570		
2 LNTR	1.660000	70.00000	0.1675296E+12	3.202270		
3 LNTR	0.540000	110.0000	0.1721744E+12	3.031830		
1 RETAS	1	10.00000				
2 ARCUS	1	31.41592				
3 JUNCT	1	3	25.00000	5.000000	21.20000	0.0000000
4 JUNC	3	2	21.00000	5.300000	21.00000	5.3000000
5 STEPW	1	3	12.10000	21.20000	0.0000000	0.0000000
6 DBRCN	2		15.50000	5.300000	1.570796	
7 UPEND	2		15.50000			
8 DBRCN	2		5.300000	15.50000	1.570796	
9 UPEND	2		15.50000			

1	1	1	0
2	1	1	2
2	2	2	3
1	3	2	0
3	3	1	4
2	4	2	6
3	4	2	5
4	4	1	8
1	5	3	0
1	6	1	7
2	8	1	9

Figura 35 - Cópia dos arquivos em disco magnético gerados do exemplo.

a) Módulo de S_{13}



b) VSWR na linha principal do filtro

c) Atenuação através do filtro

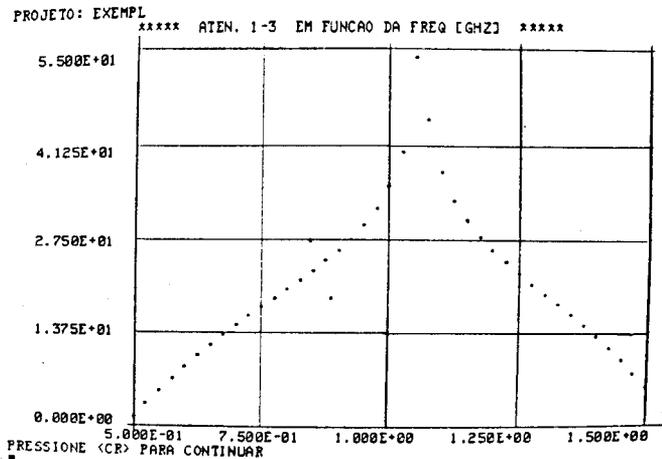


Figura 36 - Fotos do Terminal Gráfico mostrando alguns resultados da análise do lay-out do exemplo.

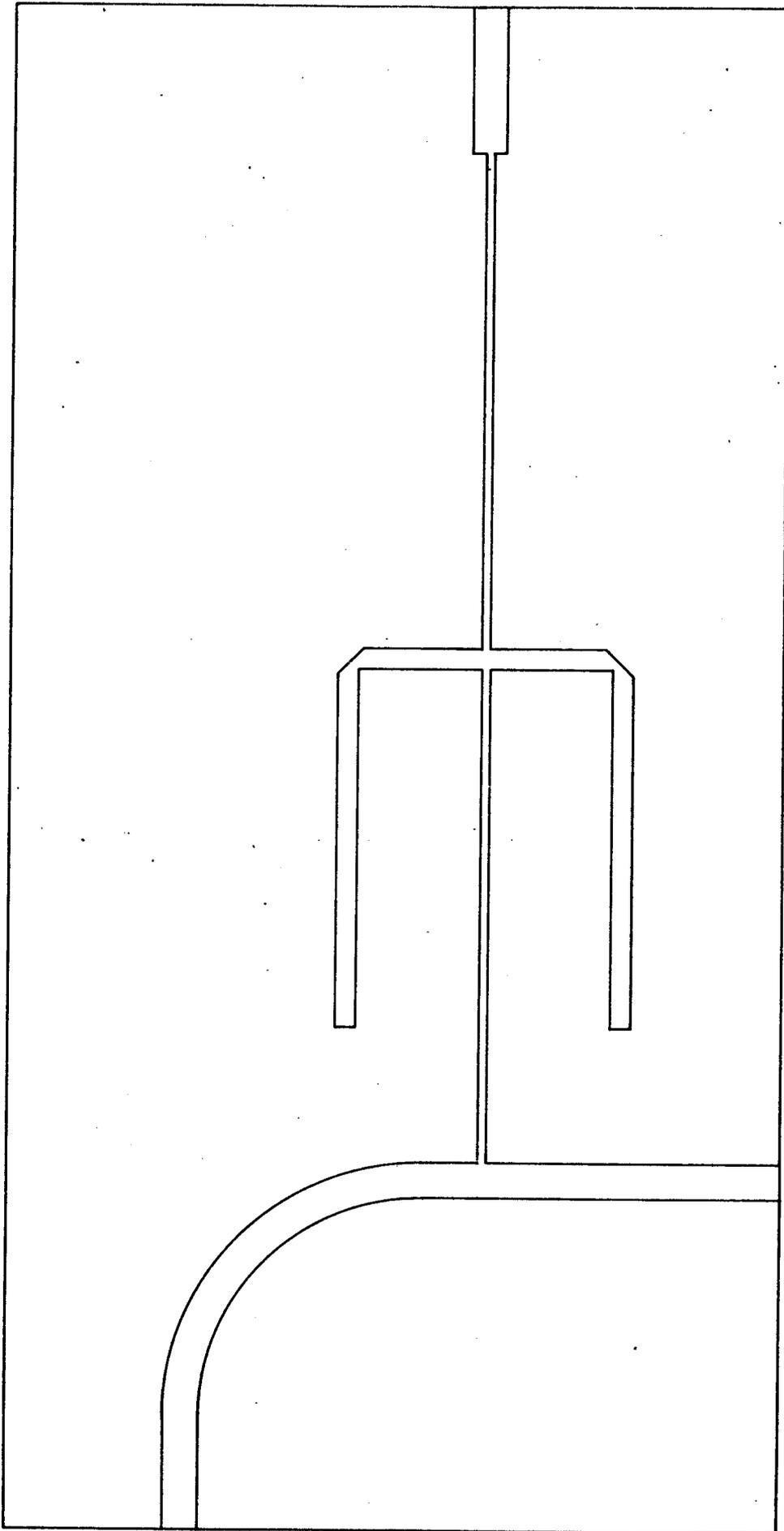


Figura 37 - Desenho em escala do lay-out do exemplo.

análise posterior podemos nos valer da listagem obtida dos Parâmetros S e da Perda e VSWR de Inserção em função da frequência (figura 37), ou do arquivo de parâmetros básicos da análise que ficou armazenado no disco magnético.

CAPÍTULO V

ANÁLISE DOS RESULTADOS OBTIDOS COM O USO DO SISTEMA DE PROCESSAMENTO

Os resultados obtidos com o uso do sistema de processamento são classificados em dois grupos: resultados do projeto e resultados da análise de lay-outs. Portanto, a análise desses resultados deve ser feita sob esses dois pontos de vista.

V.1 - Análise dos Resultados do Projeto de Lay-Outs

Ao usarmos este sistema para projetarmos um lay-out, temos como resultados o desenho deste no terminal gráfico, uma listagem do mesmo e ainda um arquivo seu em disco magnético.

O desenho do lay-out no terminal gráfico serve apenas para o projetista acompanhar a sua formação. A precisão deste desenho é dependente da resolução da tela do terminal usado, que, para o nosso caso, foi o GT 40 que resolve 1024 x 768 pontos [49]. O desenho ali executado só é bom quando suas linhas são paralelas aos eixos x ou y. As inclinadas apresentam degraus que podem deteriorar a qualidade do desenho conforme o tipo de detalhe que se quer observar. As linhas curvas, além de serem executadas com diversos segmentos retos, ainda obedecem a programas próprios o que deteriora ainda mais sua qualidade.

A listagem do lay-out tem a forma apresentada no ítem 5 do capítulo IV. Facilmente observamos que ela é de interpretação imediata por qualquer usuário, tornando fácil a tarefa de convertê-la num desenho que sirva para processos de fotorredução e fotolitografia do lay-out.

O arquivo do lay-out em disco magnético permite o desenho automático do mesmo, através de programas computacionais adequados, por "ploters" controlados por computador. O usuário não encontrará dificuldades adicionais em elaborar os programas necessários ao seu "ploter", pois o arquivo é formatado de maneira muito simples.

V.2 - Crítica dos Resultados da Análise de Lay-Outs

A análise do comportamento elétrico do lay-out é dependente

dos modelos elétricos adotados. No capítulo III foi mostrado o modelo e suas condições de validade para cada um dos componentes de lay-out. Para que pudéssemos observar a validade dos mesmos fizemos uma simulação para todas as descontinuidades que são elementos simples, componentes de lay-out, alguns dispositivos compostos e um circuito mais completo. Mostramos, a partir da figura 38, os valores dos parâmetros S obtidos para cada um deles.

Nas figuras 38 até 45 e 48 colocamos, juntamente com os $|S_{ij}|$, as curvas das fases de S_{ij} correspondentes. Através delas podemos observar o comportamento dos comprimentos elétricos associados àqueles elementos. Todas as dimensões dos trechos de linha forma feitas para um comprimento elétrico de $\lambda/2$ para a frequência de 4 GHz ou para a de 2 GHz.

Na figura 38 são mostrados os parâmetros S da linha singela unforme. Como era de se esperar, observamos que $|S_{11}| = 0$ e $|S_{12}| = 1$ enquanto que a fase de S_{12} decresce com a frequência apresentando uma descontinuidade em 4 GHz de acordo com a justificativa apresentada acima.

Na figura 39 vemos que os parâmetros da linha singela afilada tem um comportamento um pouco diferente daqueles da figura 38. Enquanto $|S_{12}|$ é pouco menor que 1, $|S_{11}|$ se situa entre 0.15 e 0.25. O ângulo de fase de S_{12} também decresce com a frequência apresentando sua descontinuidade abaixo de 4 GHz como se espera.

Na figura 40 vemos o valor de $|S_{11}|$ para o fim de linha em aberto, que é igual à unidade para qualquer frequência, resultado esse esperado, pois as perdas foram desprezadas. O comportamento da fase de S_{11} é o esperado uma vez que depende da dimensão utilizada no comprimento da linha.

Temos, na figura 41, os resultados dos parâmetros S para a linha singela reta com "gap". Embora se tenha utilizado o menor "gap" (0.1 mm) admitido pelo modelo, observamos que os comportamentos do $|S_{11}|$, $|S_{12}|$ e de suas respectivas fases estão de acordo com o esperado.

Os parâmetros S do degrau na largura de uma linha singela reta são apresentados na figura 42. Observamos que a menor transmissão de sinal ocorre em torno de 4 GHz, verificando o comportamento do $|S_{11}|$ e do $|S_{12}|$. O ângulo de fase de S_{11} foi o mais afetado pela descontinuidade, enquanto a transmissão, representada por S_{12} tem seu ângulo de fase pouco comprometido.

Os parâmetros S da dobra numa linha singela reta que observamos na figura 43 são exatamente iguais ao da linha mostrada na figura 38. O modelo adotado permite tal comportamento uma vez que leva em conta somente indutâncias em série e capacitância em paralelo, que são modeladas como pequenos comprimentos de linha. O modelo não prevê o efeito de reflexão devido à dobra. A dobra numa linha singela reta com canto chanfrado, cujos parâmetros S são mostrados na figura 44, apresenta um comprimento elétrico ligeiramente maior que o da linha reta. Também nesta dobra o modelo adotado prevê somente a inclusão de um pequeno segmento da mesma linha no lugar do chanfro, o que nos leva à obtenção desses resultados.

A figura 45 mostra os parâmetros S da dobra com canto chanfrado assimétrica. Observamos perfeitamente o efeito da variação da largura da linha comparando-a com a figura 42 onde temos os resultados obtidos para o degrau na largura de uma linha singela reta.

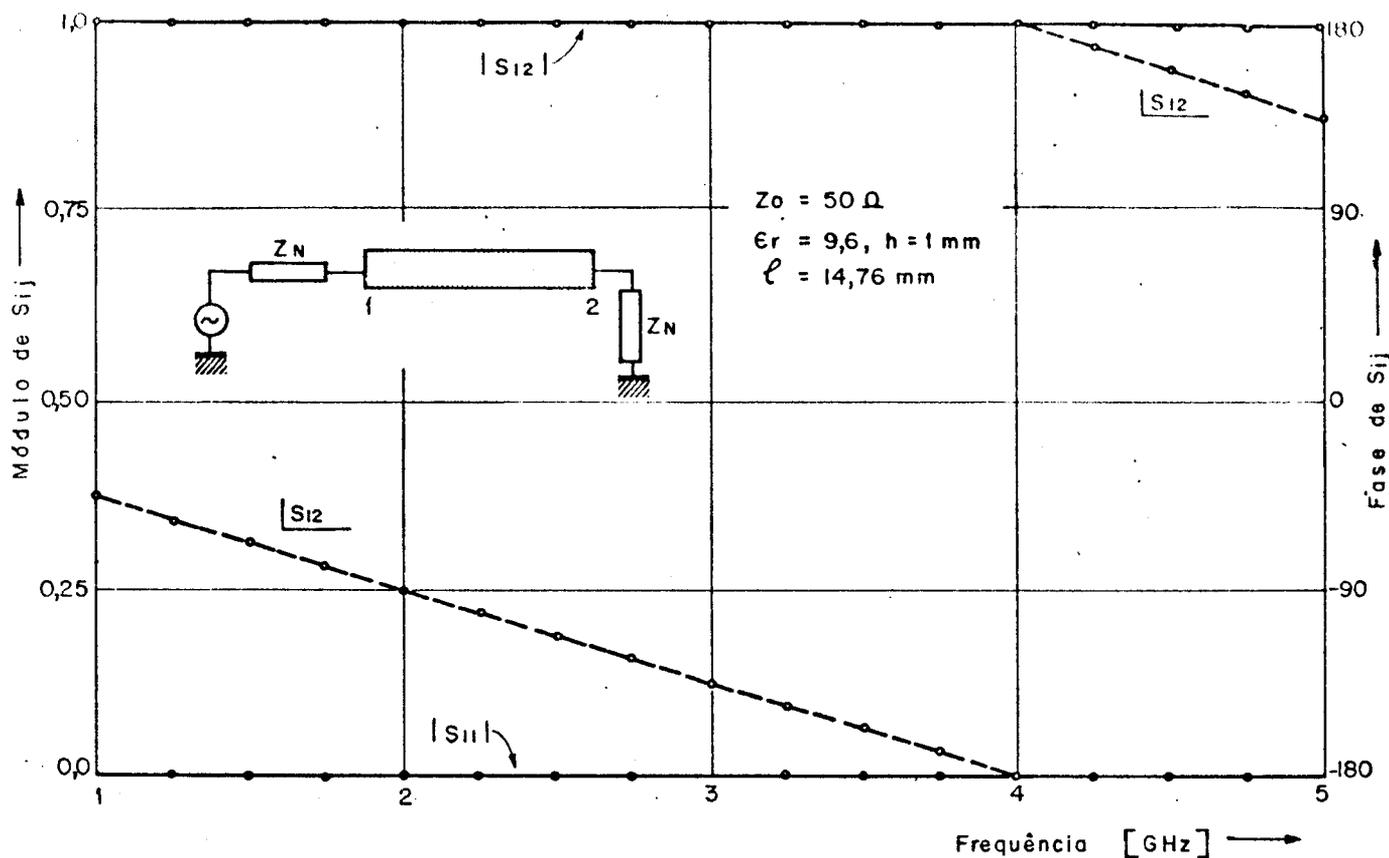


Figura 38 - Parâmetros S da linha singela uniforme reta.

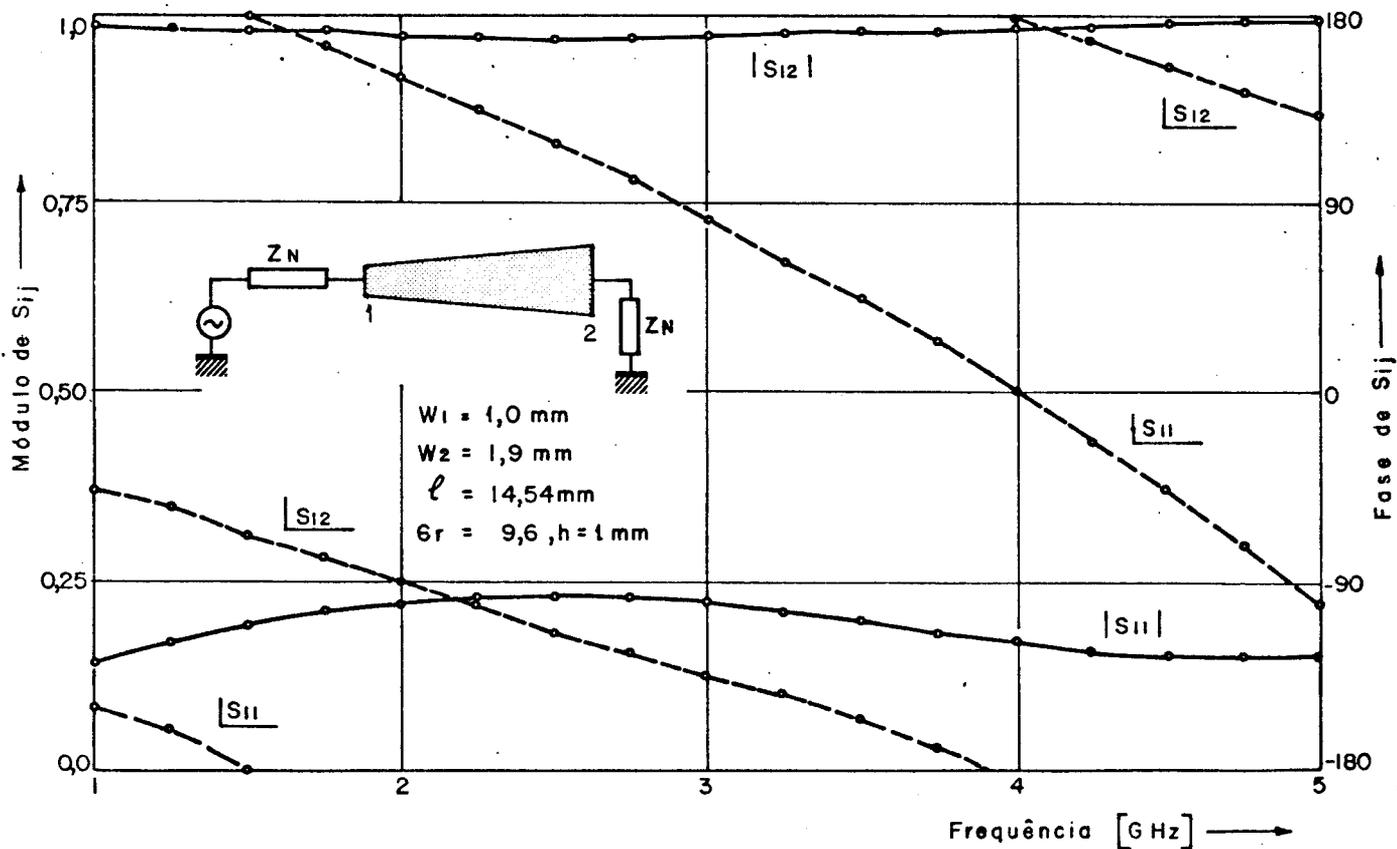


Figura 39 - Parâmetros S da linha singela afilada reta.

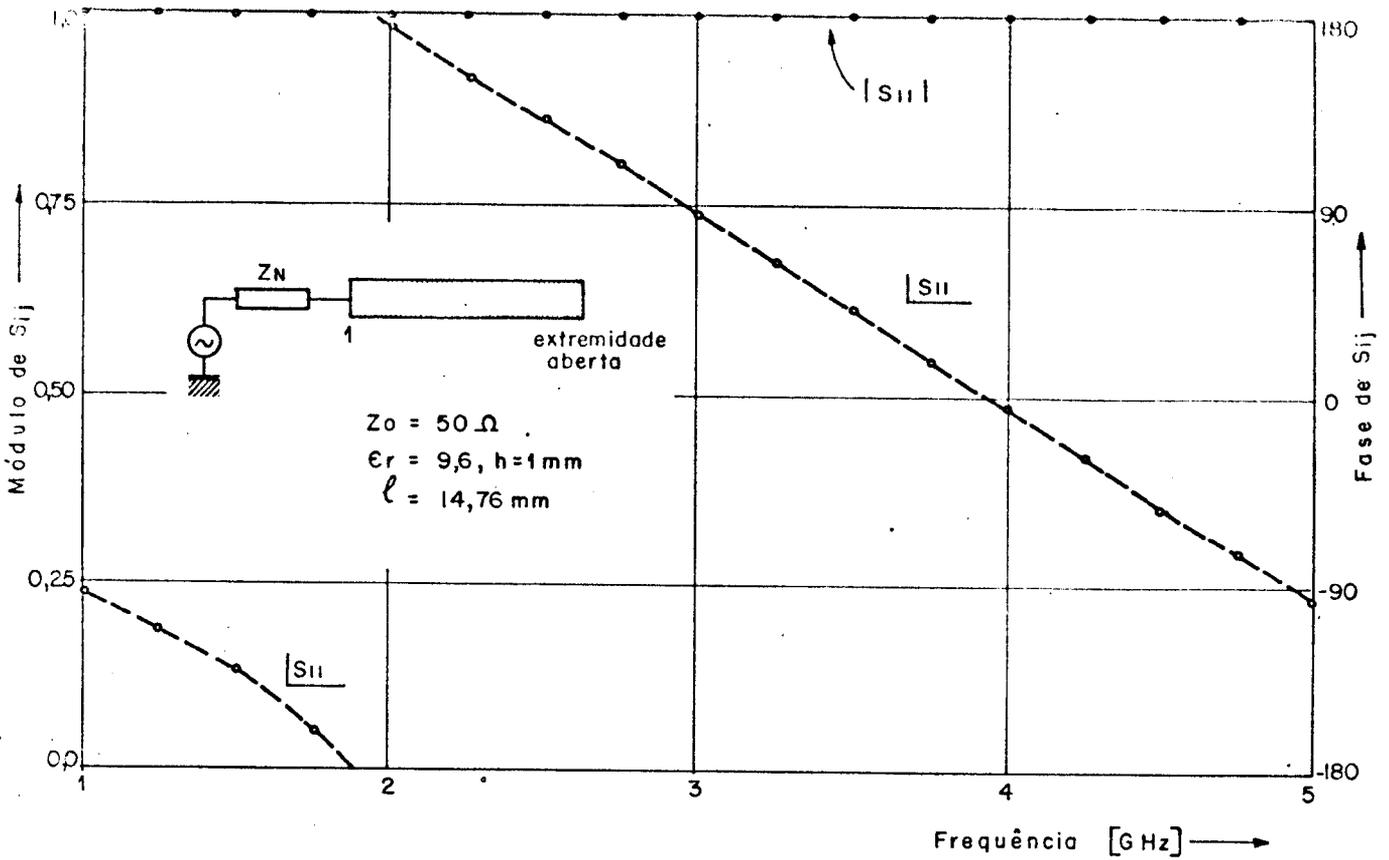


Figura 40 - Parâmetro S do fim da linha em aberto.

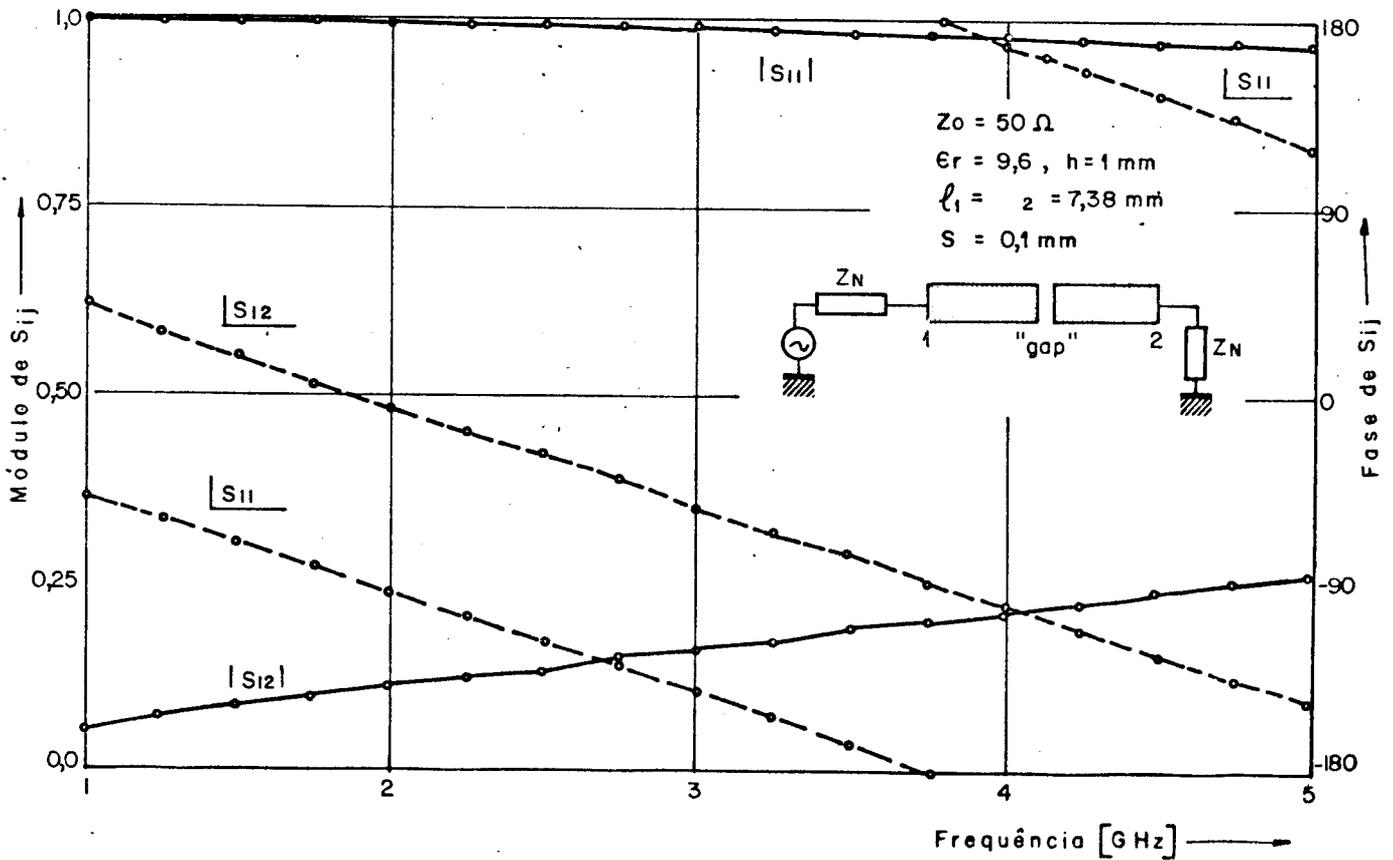


Figura 41 - Parâmetros S da linha singela reta com "gap".

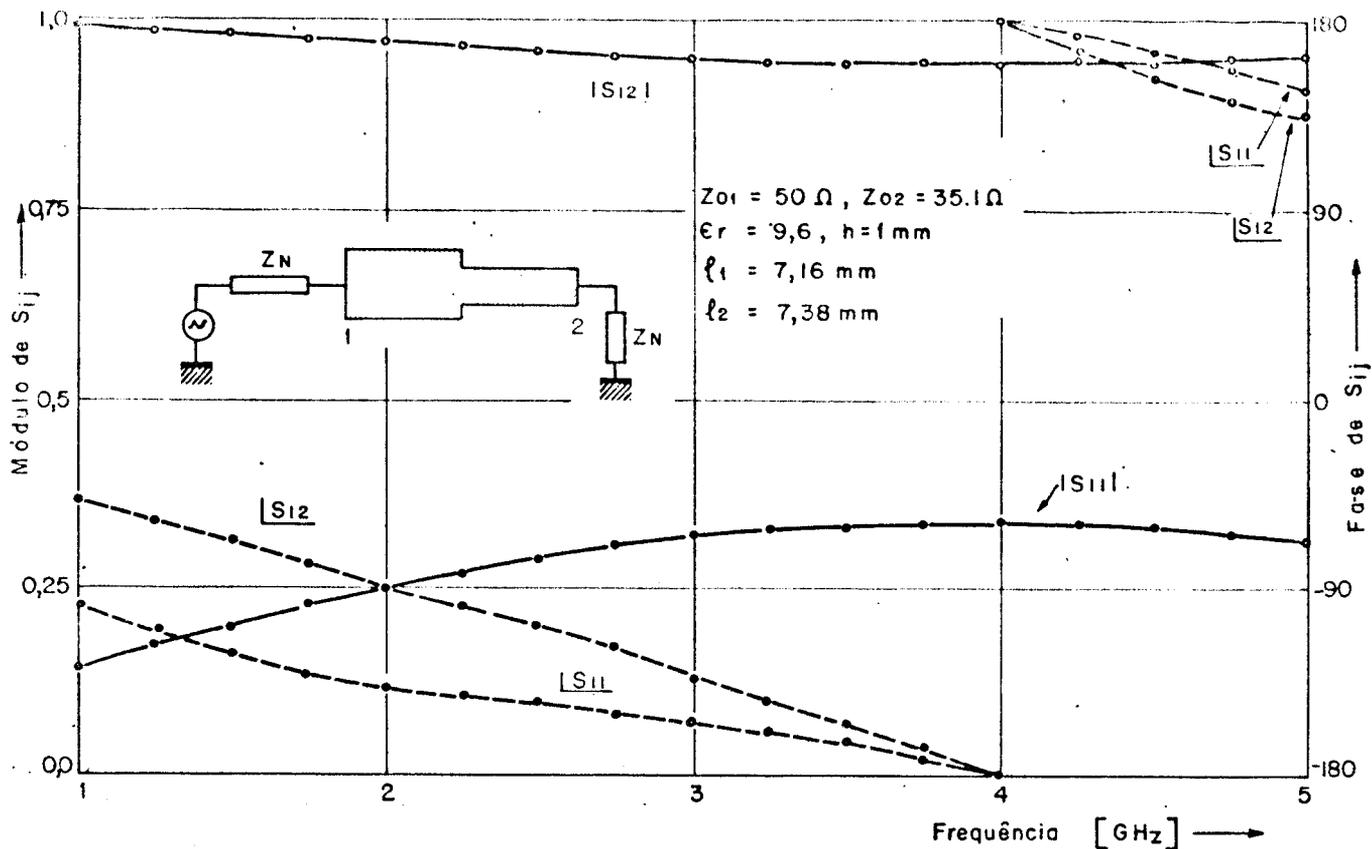


Figura 42 - Parâmetros S do degrau na largura de uma linha singela reta.

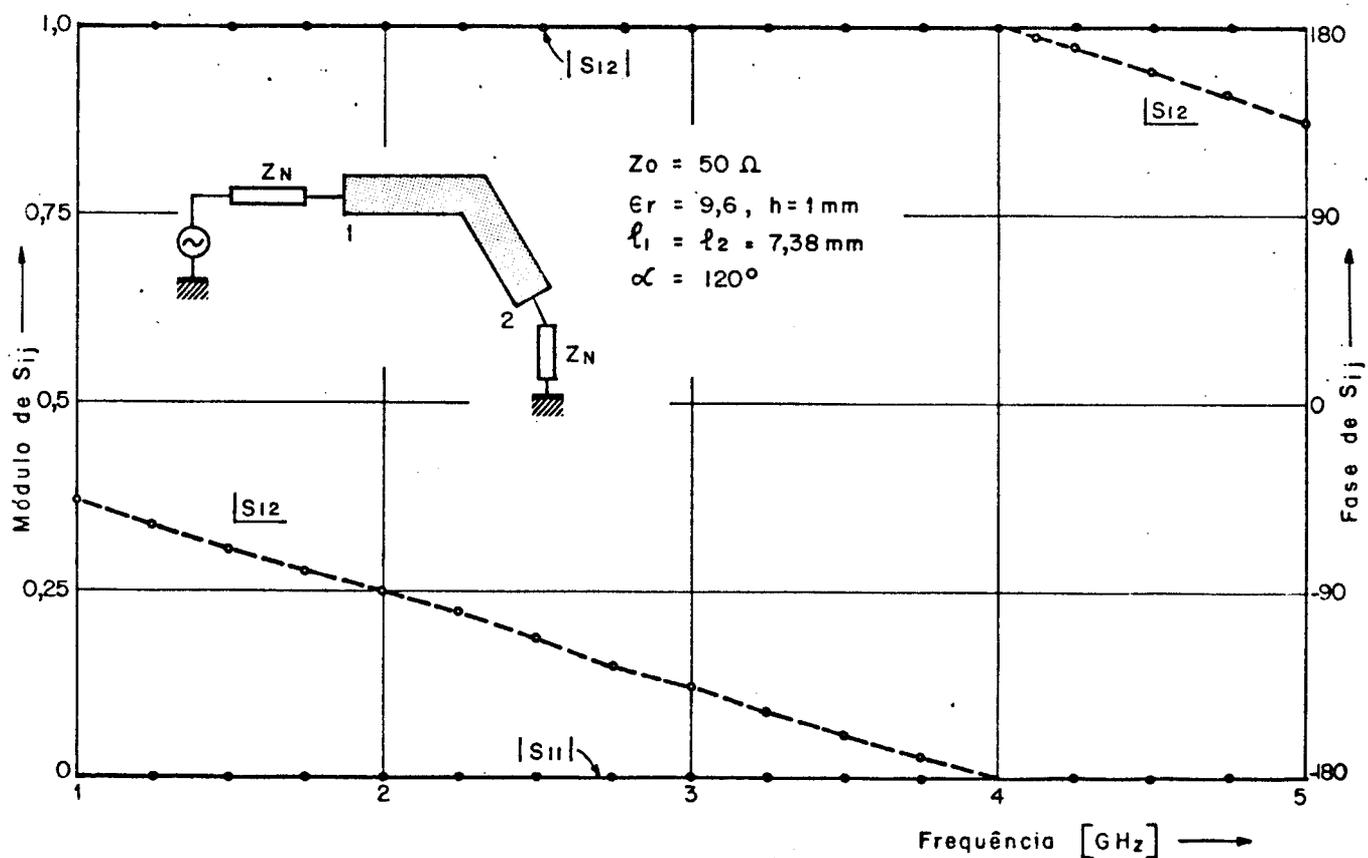


Figura 43 - Parâmetros S da dobra numa linha singela reta.

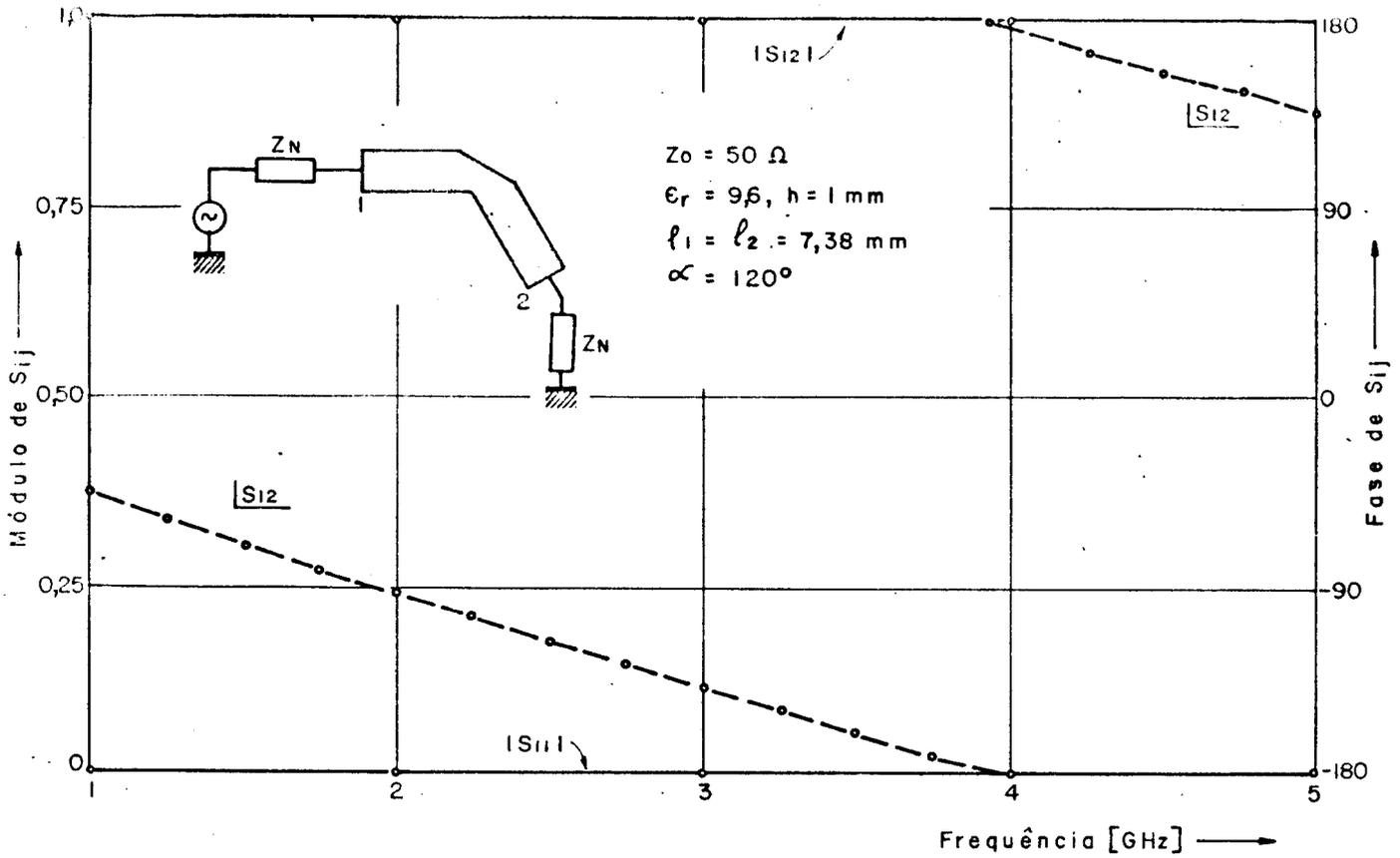


Figura 44 - Parâmetros S da dobra numa linha singela reta com canto chanfrado.

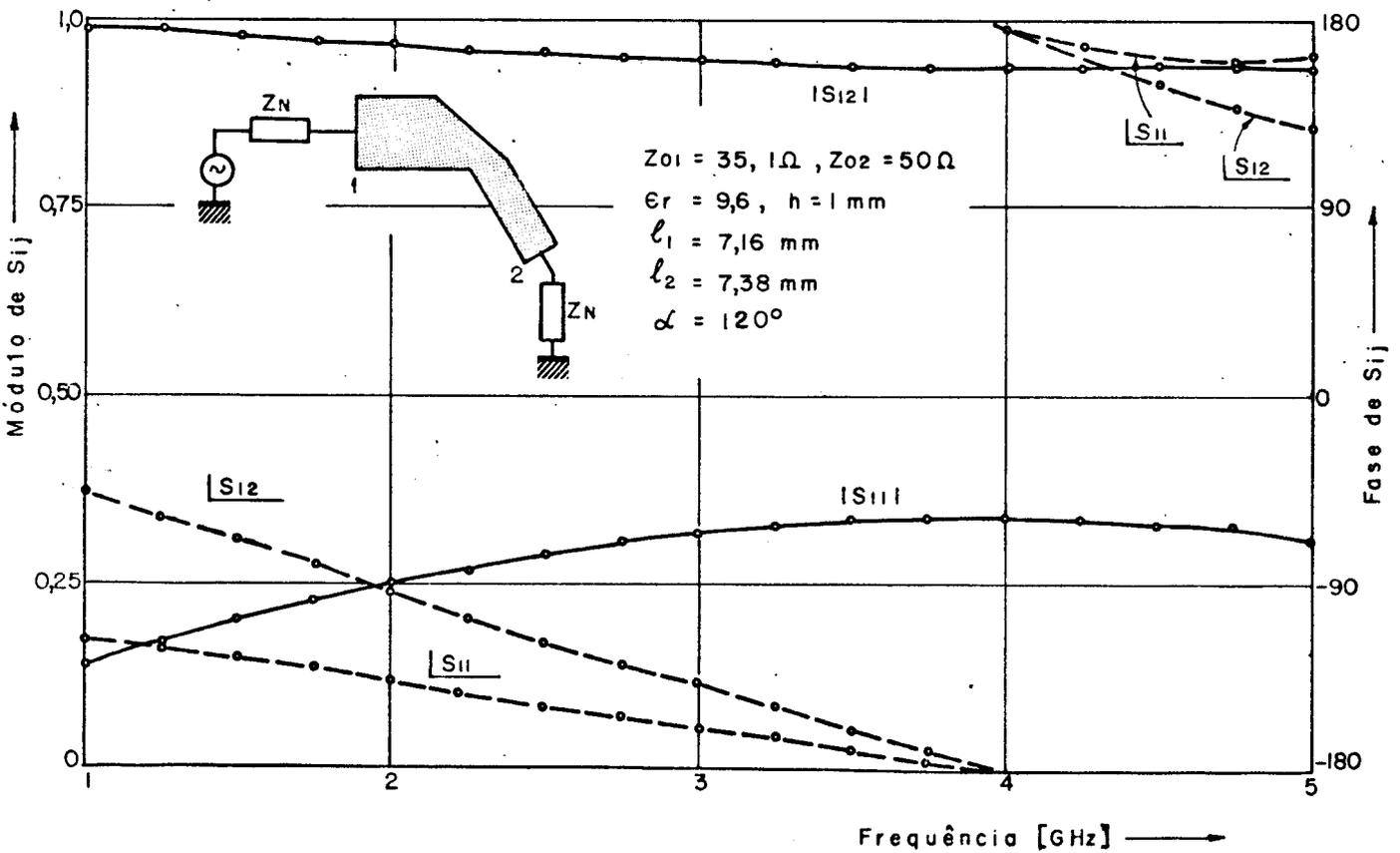


Figura 45 - Parâmetros S de uma dobra com canto chanfrado assimétrica.

As figuras 46, 47 e 48 mostram os parâmetros S da junção em T de duas e três linhas singelas retas e da junção em cruz de duas linhas singelas retas, respectivamente. Apesar de ser mais difícil de visualizar seus comportamentos do que os das descontinuidades anteriores, verificamos que a lei de conservação da energia é satisfeita para ambos, o que se espera de uma junção sem perdas.

A figura 49 mostra os parâmetros S de um acoplador simétrico direcional discutido por Cristal e Young [50] cujo projeto é ótimo para acoplamento de 3 dB com ondulação de 0.5 dB na faixa de 20° a 160° de comprimento elétrico ($2.222 \dots$ GHz até $17.777 \dots$ GHz se $f_{\text{central}} = 10$ GHz). Observamos que os resultados obtidos são exatos.

O filtro com ressoadores acoplados paralelamente, cujos parâmetros S são mostrados na figura 50, é discutido por Matthaei [9]. Os resultados que obtivemos com a análise do seu lay-out concordam perfeitamente com os obtidos por Matthaei através da simulação do seu protótipo passa-baixas.

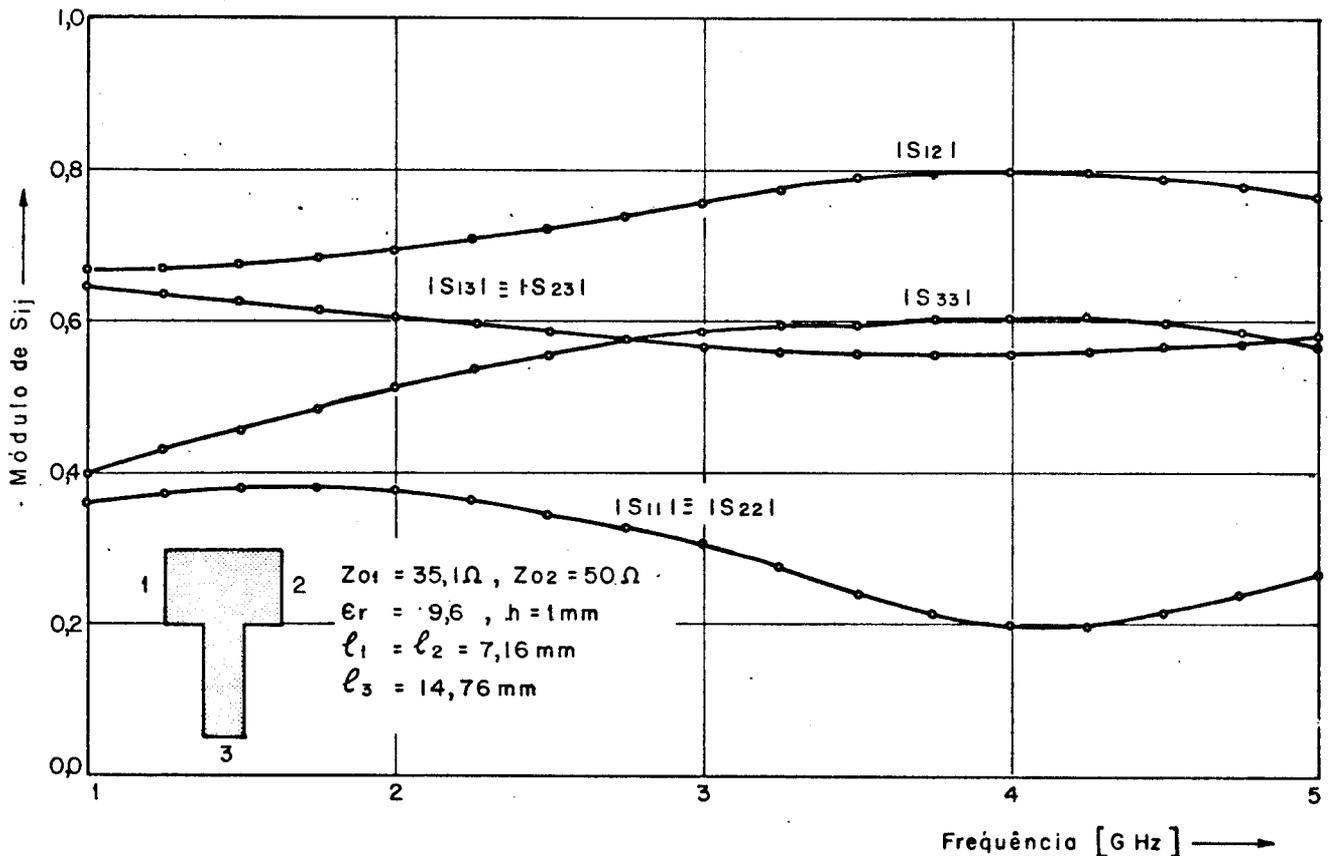


Figura 46 - Parâmetros S da junção em T de duas linhas singelas retas.

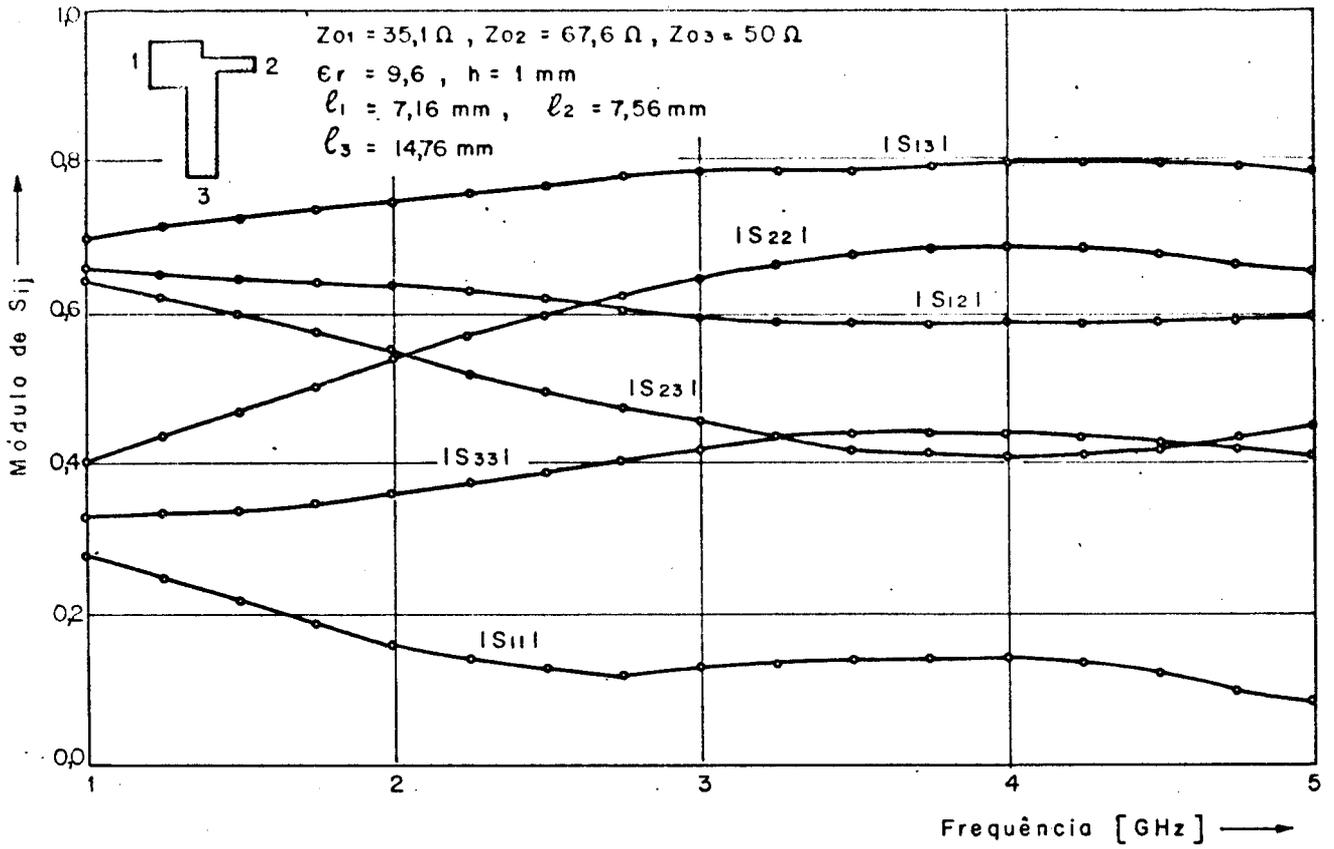


Figura 47 - Parâmetros S da junção em T de três linhas singelas retas.

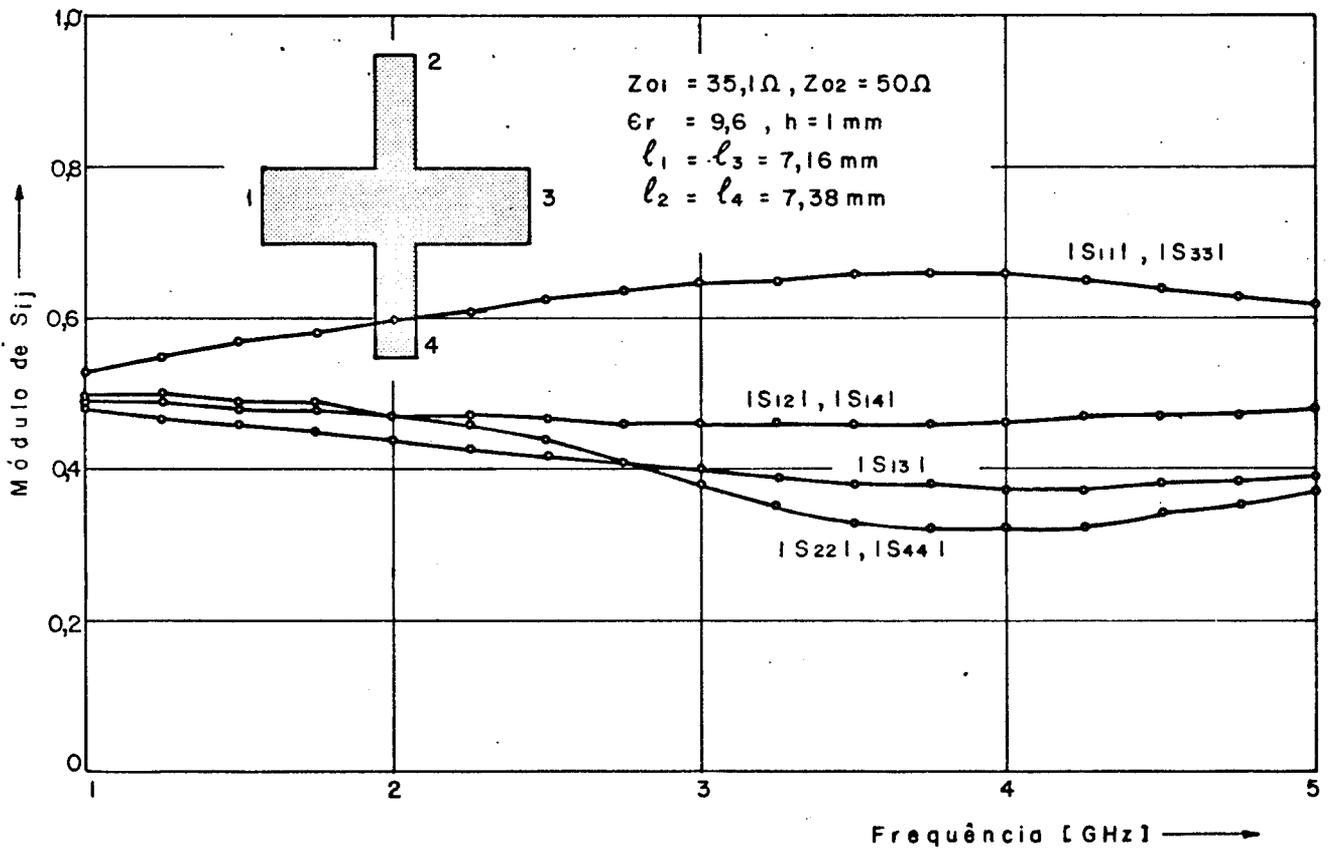


Figura 48 - Parâmetros S da junção em cruz de duas linhas singelas retas.

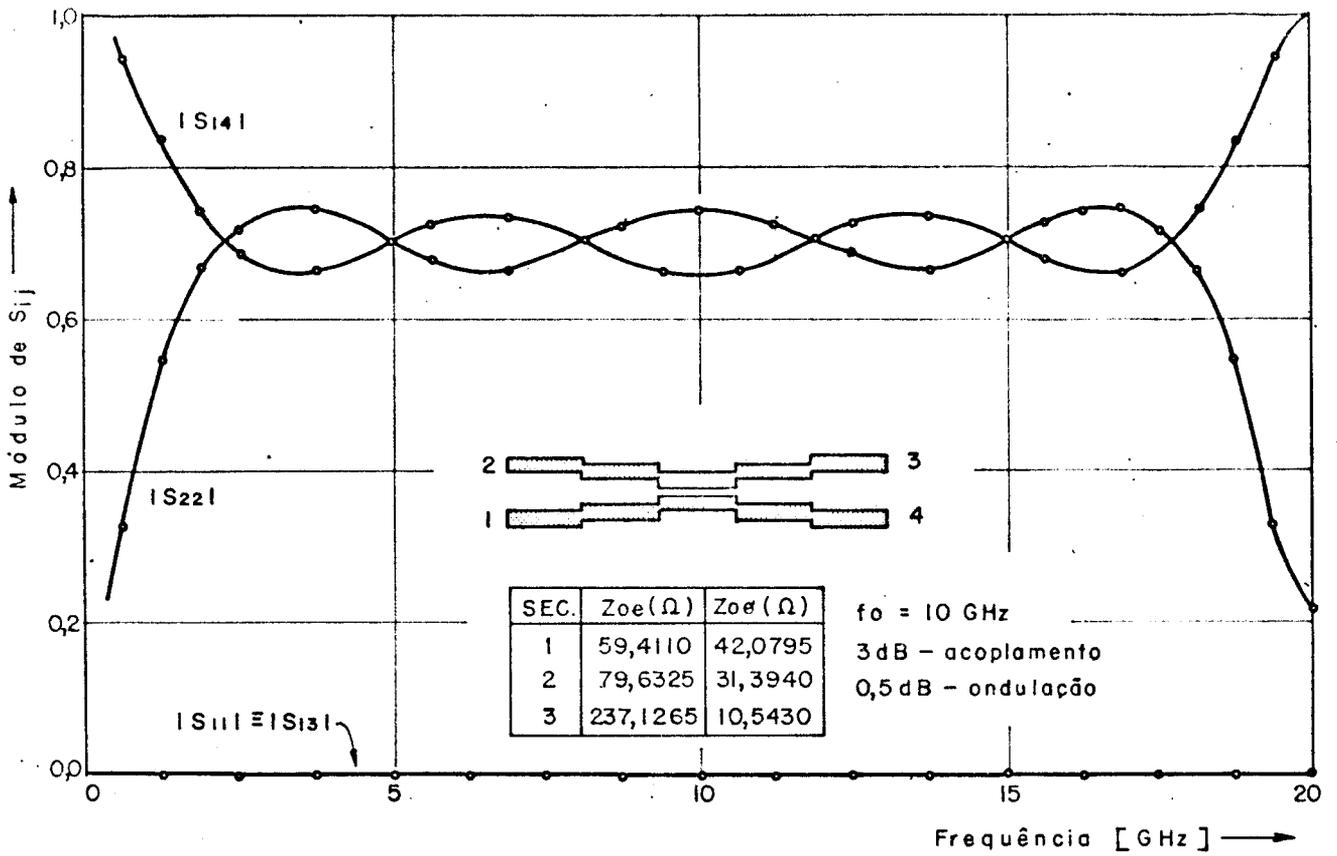


Figura 49 - Parâmetros S do acoplador simétrico direcional de cinco seções.

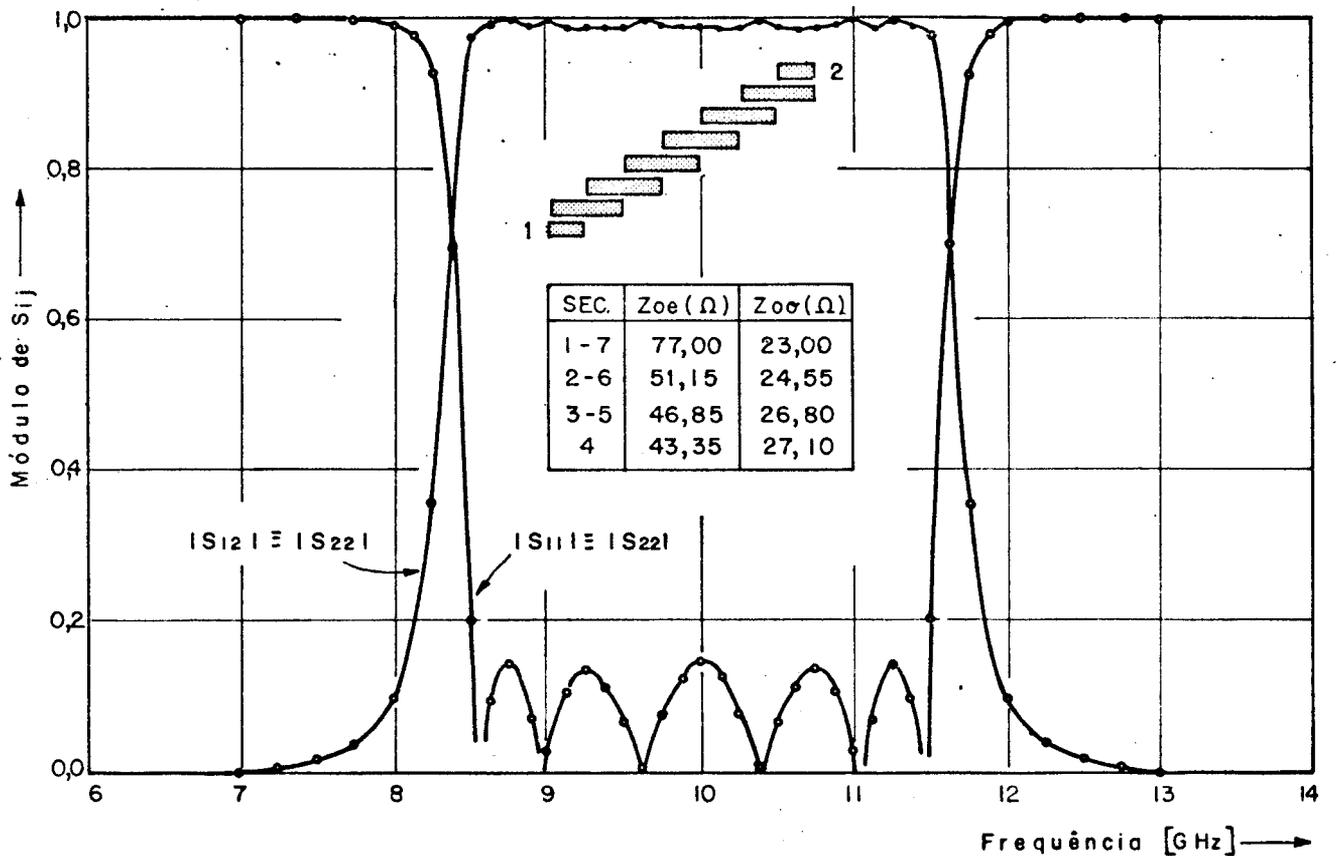


Figura 50 - Parâmetros S do filtro com reservadores acoplados paralelamente de sete seções.

Os parâmetros S mostrados na figura 51 são do acoplador híbrido de quadratura discutido por M.H.M. Costa e outros [51]. A linha cheia daquele gráfico representa os resultados que obtivemos com o uso do sistema de processamento que descrevemos e a linha tracejada os dados que obtivemos dos resultados publicados em [51]. O parâmetro $|S_{11}|$ foi obtido com a transformação $VSWR = (1+|S_{11}|)/(1-|S_{11}|)$ e os parâmetros $|S_{ij}|$ através da transformação $P(\text{dB}) = -20 \log |S_{ij}|$, sendo P a perda por inserção.

Nossa simulação prevê com boa aproximação a curva de VSWR ($|S_{11}|$) obtido no protótipo, mostrando que as qualidades do dielétrico usado no mesmo não são completamente responsáveis por este seu comportamento. As curvas de transmissão direta e transmissão acoplada ($|S_{12}|$ e $|S_{14}|$, respectivamente) que encontramos estão mais próximas de 3 dB do que as medidas no protótipo, cujo comportamento pode ser justificado pela inadequação do material dielétrico utilizado no protótipo. Finalmente, a curva de isolamento ($|S_{13}|$) se comporta próxima da obtida no protótipo, dando-nos maior confiança nos nossos modelos. A possível degenerescência observada em frequências acima de 1.8 GHz acreditamos ser motivada por comportamento indesejável no protótipo.

O filtro passa-baixas cujo parâmetro $|S_{21}|$ é mostrado na figura 52 foi simulado como sendo um circuito complexo formado de junções em T de duas linhas singelas retas, degrau na largura de uma linha singela reta e fim de linha em aberto. Nenhum desses elementos simples estavam dentro dos limites de validade dos nossos modelos, devido às suas dimensões. Mesmo assim, insistimos em comparar nossos resultados com os publicados por Mehran [52] para verificar que, para uma faixa não muito estreita de exigência, podemos usar nossos modelos fora dos seus limites de validade com razoável grau de confiança.

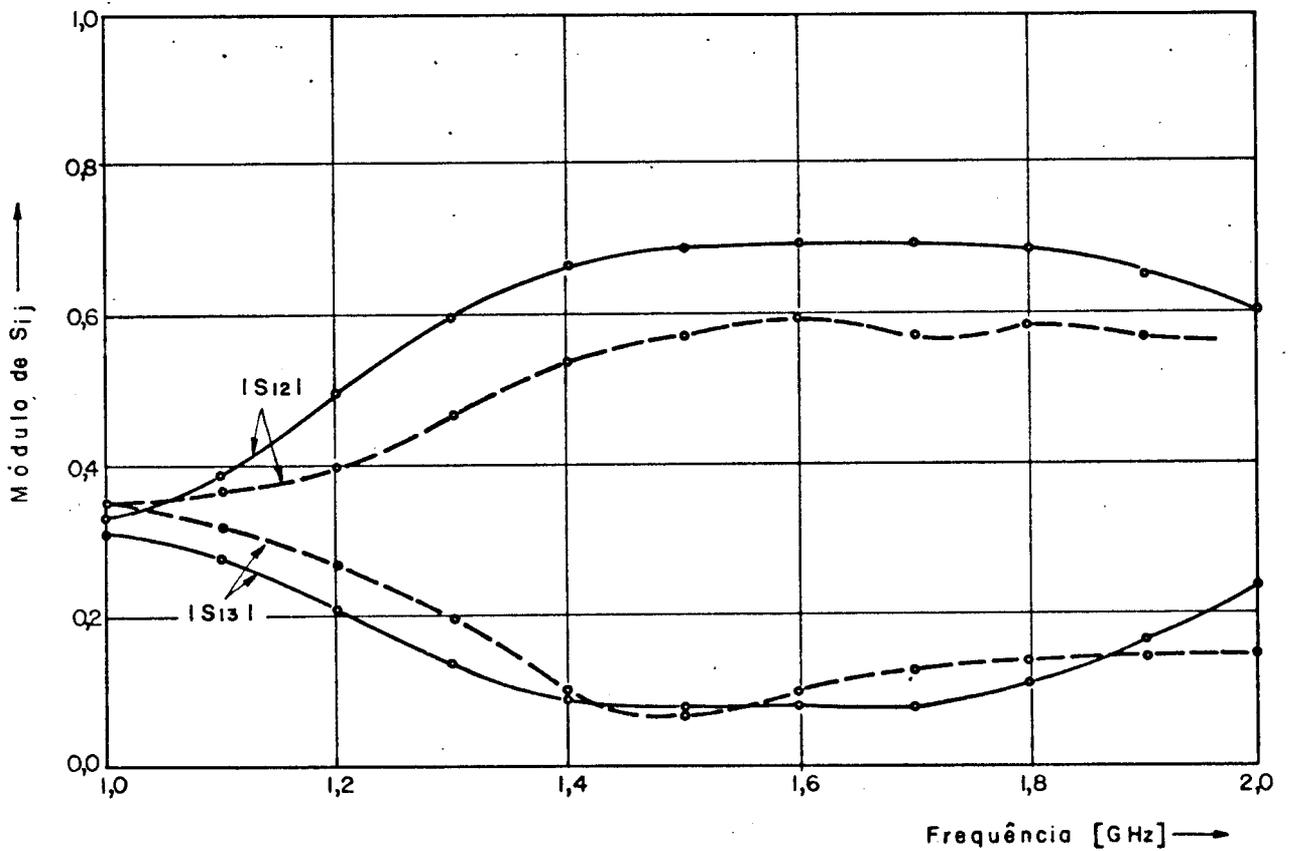
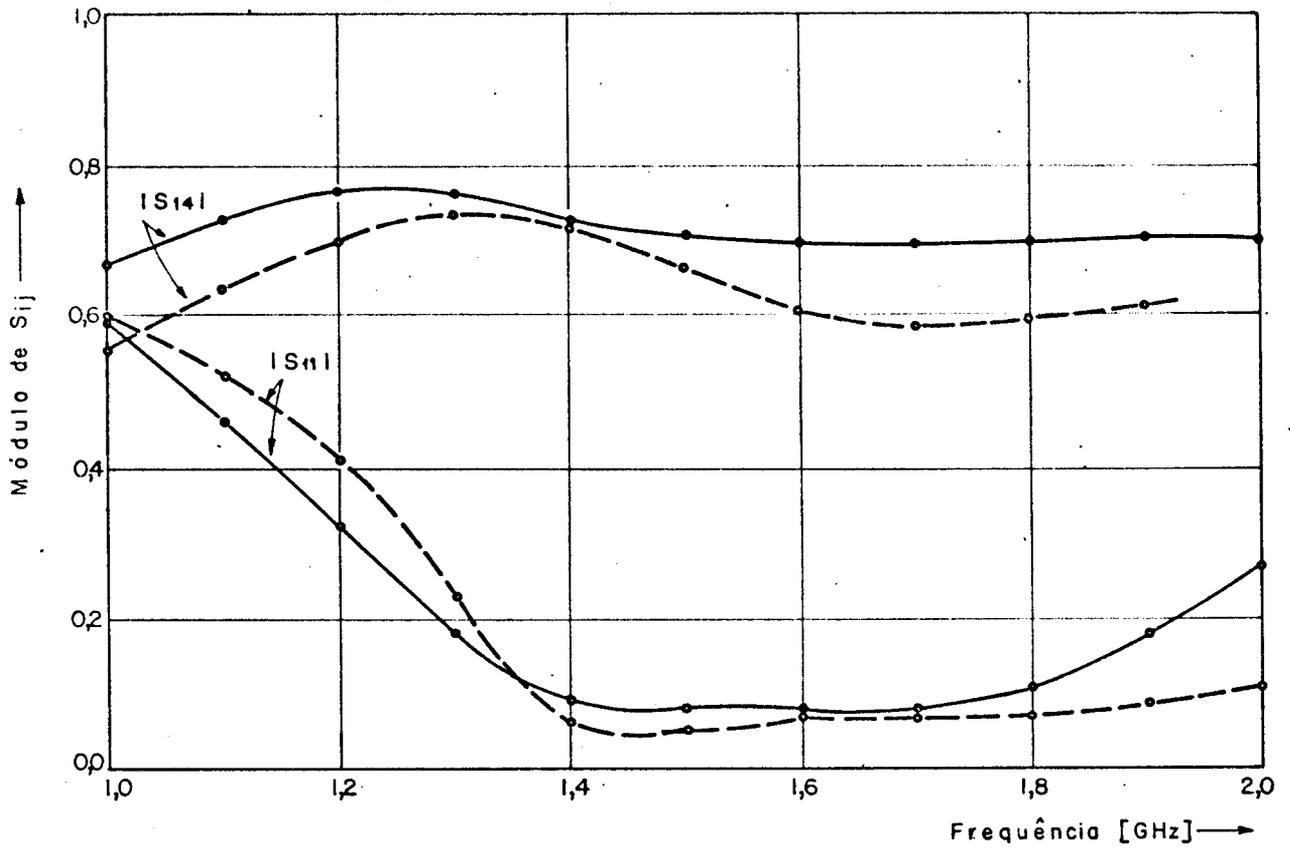


Figura 51 - Parâmetros S do acoplador híbrido de quadratura.

(—●—) valores simulados; (---) valores obtidos por M.H.M. Costa e outros.

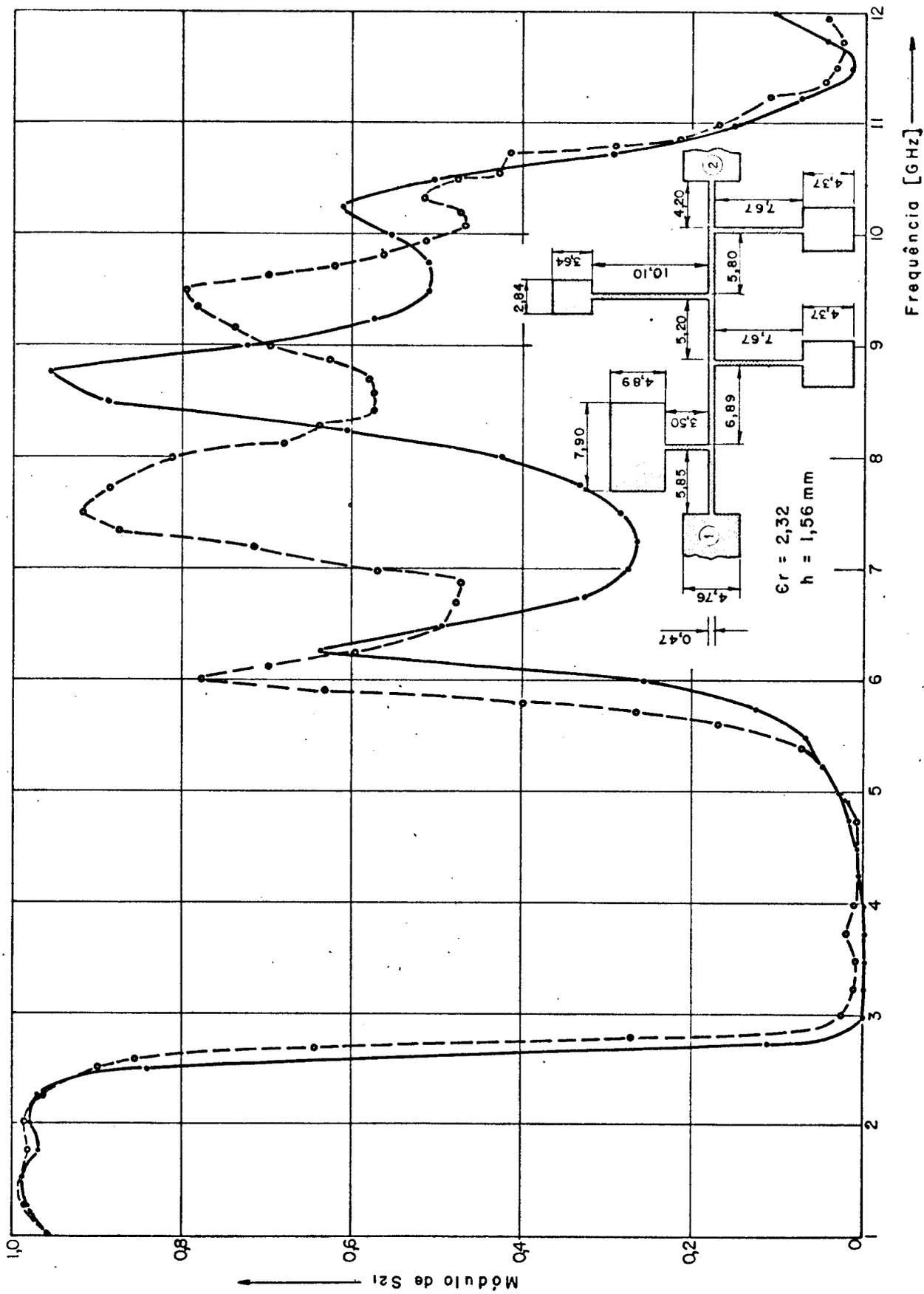


Figura 52 - Parâmetros S do filtro passa-baixas: (—) resultados simulados; (---) resultados medidos por Nasser [52].

CAPÍTULO VI

CONCLUSÕES

VI.1 - Síntese da Filosofia, Relevância e Interesse do Trabalho

O sistema de processamento que acabamos de propor integrará um sistema de projetos auxiliado por computador, para a área de microondas, em desenvolvimento na FEC-UNICAMP. Para sua realização foram empregados recursos principalmente locais.

Este sistema de processamento é modificável e aprimorável segundo as necessidades de usuários ou do desenvolvimento da área. Além disso permite o intercâmbio de dados com outros sistemas de processamento. Finalmente, teve seus programas computacionais escritos de uma forma simples e em Fortran IV. Tal linguagem de programação permite sua pronta transferência para outro computador ou local, a menos no que concerne ao uso do terminal gráfico que, de certa maneira, pode ser dispensado.

Os recursos fornecidos por este sistema vem de encontro aos interesses dos militantes da área de microondas, pois permite a reunião, num só empreendimento, de acervos técnico diversos e em grande quantidade, além de minorar sensivelmente a complexidade da análise de lay-out de circuitos integrados de microondas.

Finalmente, desconhecemos a existência de algo semelhante, pelo menos no Brasil. Acreditamos, portanto, termos feito uma contribuição visando o desenvolvimento de projetos, análises e otimizações de circuitos (no caso de microondas) auxiliados por computador.

VI.2 - Proposição para Aprimoramento e Continuação do Trabalho Realizado

Para os circuitos integrados de microondas, construídos pela técnica de micro-linha-de-fita, temos uma aproximação muito importante: eles são planares. Nestas condições é possível antever um sistema de processamento para projeto e análise desses circuitos capaz de, dada uma região metalizada qualquer sobre um substrato isolante, determinar as tensões e correntes ou ondas em alguns trechos específicos dessa região metálica chamados "portas", através de uma computação adequada dos campos ou potenciais eletromagnéticos presentes nesse circuito.

Trabalhos que podem ser usados para iniciar essa investida são citados em [53, 54].

Podemos particularizar o método acima, sem perda de rigor, para certas estruturas ou formas simples que, no conjunto, formam um acervo suficiente para projeto e análise de lay-out de circuitos integrados de microondas com base na computação dos campos ou potenciais eletromagnéticos.

Entretanto, um aprimoramento mais imediato do sistema que propusemos pode ser conseguido reestruturando-o exclusivamente com base no uso de dispositivos e elementos elementares. Uma lógica adequada deve ser desenvolvida e convertida num algoritmo adequado que deixaria o sistema funcionando sob essa nova filosofia, quer para projeto, quer para análise de lay-outs de circuitos integrados de microondas.

Independentemente de se mudar a estrutura ou filosofia de trabalho do sistema, é possível e desejável que sejam implementadas técnicas adequadas para

- caracterização de irradiações no lay-out com vistas a acoplamentos indesejáveis que redundariam em possíveis realimentações, intermodulações, etc;
- projeto e análise do lay-out de circuitos integrados de microondas feitos sobre substratos anisotrópicos em geral;
- uso de linha de transmissão diferentes da microfita, tais como dielétricas, difundidas ou implantadas (para circuitos monolíticos), fendida (slotted-line), etc.
- processamento e modelamento de transições nas microlinhas associadas com transição no substrato dielétrico, acoplamentos com cavidades ou outros elementos ressonantes, do lay-out com o seu exterior e assim por diante;
- projeto e análise de componentes concentrados (cargas, capacitâncias, indutâncias) integrados no lay-out do circuito integrado de microondas.
- projeto e análise de elementos formados por linhas acopladas de diferentes larguras e mais que duas linhas juntas, divisoras/somadoras de potência em formas diversas e geometrias gerais para serem usadas como plano de terra, blindagem ou algum elemento de circuito.

Possivelmente a proposição mais importante para o aprimoramento e continuação do trabalho realizado diz respeito aos modelos elétricos adotados para os elementos componentes de lay-out. Eles são usados, juntamente com o método de segmentação de circuito, na análise do comportamento elétrico do lay-out. Quanto melhor o modelo, mais precisos e próximos da realidade são os resultados. Em compensação, esses modelos tendem a uma maior complexidade o que exige maior disponibilidade computacional. Sugerimos, então, que eles sejam implementados para obtenção de resultados que levem à formulação de expressões simples, as quais, com pouca perda de precisão nos seus resultados, possam ser implementadas neste sistema de processamento que exige do modelo elétrico do elemento pouca ocupação de memórias no computador, e pequeno tempo de processamento.

APÊNDICE

RELAÇÃO ENTRE MATRIZ [S] E MATRIZ [Z]

Numa junção de n portas podemos associar a cada uma delas um par V e I tal que

$$\bar{v} = Z\bar{i} \quad (1)$$

Sendo Z a matriz impedância característica do dispositivo, \bar{v} e \bar{i} são vetores de tensão e corrente, cujas i-ésimas componentes são V_i e I_i , respectivamente. Podemos introduzir também ondas de potência a_i e b_i na i-ésima porta satisfazendo as seguintes transformações lineares de V e I [55,56]

$$\begin{aligned} a_i &= \frac{1}{2} \left[\operatorname{Re} Z_i \right]^{-1/2} (V_i + Z_i I_i) \\ b_i &= \frac{1}{2} \left[\operatorname{Re} Z_i \right]^{-1/2} (V_i - Z_i^* I_i) \end{aligned} \quad (2)$$

onde Z_i é a impedância vista olhando da junção pela porta i. $\operatorname{Re} Z_i$ deve ser diferente de zero e Z_i^* denota conjugado complexo.

Se Z_i é real e positiva e é a impedância característica da linha de transmissão acoplada à porta i, então a_i e b_i são ondas caminhando através do plano de referência de tal porta, tal que a_i é incidente e b_i é refletida.

Definindo \bar{a} e \bar{b} vetores cuja i-ésima componente é a_i e b_i , respectivamente e F e G tal que

$$\begin{aligned} F &= \operatorname{diag} \left[\frac{1}{2} (\operatorname{Re} Z_1)^{-1/2} \quad \frac{1}{2} (\operatorname{Re} Z_2)^{-1/2} \dots \frac{1}{2} (\operatorname{Re} Z_n)^{-1/2} \right] \\ G &= \operatorname{diag} [Z_1 \cdot Z_2 \dots Z_n] \end{aligned} \quad (3)$$

temos

$$\begin{aligned} \bar{a} &= F(\bar{v} + G\bar{i}) \\ \bar{b} &= F(\bar{v} - G^*\bar{i}) \end{aligned} \quad (4)$$

G^* é a matriz conjugado complexo de G.

Se \bar{v} e \bar{i} são relacionados linearmente, existe então uma rela

ção linear entre \bar{b} e \bar{a} que pode ser assim escrita:

$$\bar{b} = S\bar{a} \quad (5)$$

onde S é uma matriz quadrada, chamada MATRIZ ESPALHAMENTO.

Substituindo (5) em (4) obtemos

$$F(\bar{v} - G^* \bar{i}) = SF(\bar{v} + G\bar{i}) \quad (6)$$

Usando a relação (1) em (6) obtemos

$$F(Z - G^*) \cdot \bar{i} = SF(Z + G) \cdot \bar{i} \quad (7)$$

De (7) obtemos o valor de S em função da matriz Z :

$$S = F(Z - G^*) (Z + G)^{-1} \cdot F^{-1} \quad (8)$$

Analogamente podemos obter Z em função de S :

$$Z = F^{-1} (I - S)^{-1} (SG + G^*) \cdot F \quad (9)$$

sendo I a matriz unidade.

REFERÊNCIAS BIBLIOGRÁFICAS

- | 1 | H.A. Wheeler, "Transmission-Line Properties of Parallel Strips Separated by a Dielectric Sheet", IEEE Trans. on MTT, vol. MTT 13, Mar./1965, pgs.172-185.
- | 2 | T.G. Bryant e J.A. Weiss, "Parameters of Microstrip Transmission Lines and of Coupled Pairs of Microstrip Lines", IEEE Trans. on MTT, vol. MTT 16, nº 12; Dez./1968, pgs. 1021-1027.
- | 3 | E.J. Denlinger, "A Frequency Dependent Solution for Microstrip Transmission Lines", IEEE Trans. on MTT, vol. MTT 19, Jan./1971, pgs. 30-39.
- | 4 | M.A.R. Guston e J.R. Weale, "Variation of Microstrip Impedance with Thickness", Electronics Letters, vol. 5, Nov./1969, pgs. 697-698.
- | 5 | V.G. Gelnovatch, "Computer Aided Design of Wide-Band Integrated Microwave Transistor Amplifiers on High Dielectric Substrates", IEEE Trans. on Electron Devices, vol. ED 15, nº 7, Jul./1968, pgs. 491-501.
- | 6 | F. Assadourian e E. Rimai, "Simplified Theory of Microstrip Transmission Systems", Proc. IRE, vol. 40, Dez./1952, pgs. 1651-1657.
- | 7 | M. Caulton, "Film Technology in Microwave Integrated Circuits", Proc. IEEE, vol. 59, nº 10, Out./1971, pgs. 1481-1489.
- | 8 | S.B. Cohn, "Parallel-Coupled Transmission-Lines Resonator Filters", IRE Trans. on MTT, vol. MTT 6, nº 2, Abr./1958, pgs. 223-231.
- | 9 | G.L. Matthaei, "Design of Wide-Band (and Narrow-Band) Band-Pass Microwave Filters on the Insertion Loss Basis", IRE Trans. on MTT, vol. 8, nº 11, Nov./1960, pgs. 580-593.
- | 10 | E.G. Cristal, "Design Equations for a Class of Wide-Band Bandpass Filters", IEEE Trans. on MTT, vol. 20, Out./1972, pgs. 696-699.
- | 11 | E.M.T. Jones e J.T. Bolljahn, "Coupled-Strip-Transmission-Line Filters and Directional Couplers", IRE Trans. on MTT, vol. MTT 4, nº 2, Abr./1956, pgs. 75-81.
- | 12 | W.H. Leighton Jr. e A.G. Milnes, "Junction Reactance and Dimensional Tolerance Effects on X-Band 3 dB Directional Couplers", IEEE Trans. on MTT, vol. MTT 19, Out./1971, pgs.818-824.
- | 13 | J.E. Morris, "A 3 dB Directional Coupler for Microwave Integrated Circuits", IEEE Trans. on Elec. Dev., vol. ED 15, nº 7, Jul./1968, pgs. 538-539.
- | 14 | F.C. de Ronde, "A New Class of Microstrip Directional Couplers", Proc. IEEE G-MTT Intern. Mic. Symp. Digest.

- |15| P. Troughton, "High Q Factor Resonators in Microstrip", Elec. Letters, vol. 4, n° 24, Nov./1968, pgs. 520-522.
- |16| I. Wolff, "Microstrip Bandpass Filter Using Degenerate Modes of a Microstrip Ring Resonator", Elec. Letters, vol. 8, n° 12, Jun./1972, pgs. 302-303.
- |17| T.D. Iveland, "Dielectric Resonator Filters for Application in Microwave Integrated Circuits", IEEE Trans. on MTT, vol. MTT 19, n° 7, Jul./1971, pgs. 643-652.
- |18| J.G. Kretzschmar, "Theoretical Results for the Elliptic Microstrip Resonator", IEEE Trans. on MTT, vol. 20, Maio/1972, pgs. 342-343.
- |19| F.L. Opp e W.F. Hoffman, "Design of Digital Loaded-Line Phase-Shift Networks for Microwave Thin-Film Applications", IEEE Trans. on Elec. Dev., vol. ED 15, n° 7, Jul./1968, pgs. 524-530.
- |20| G.T. Roome, H.A. Hair e C.W. Gerst, "Thin Ferrite Phase-Shifters for Integrated Microwave Devices", Journal of Applied Physics, vol. 38, n° 3, Mar./1967, pgs. 1411-1412.
- |21| C.E. Fay e R.L. Comstock, "Operation of the Ferrite Junction Circulator", IEEE Trans. on MTT, vol. MTT 13, n° 1, Jan./1965, pgs. 1 a 13.
- |22| D.A. Daly, W.P. Knight, M. Caulton e R. Ekholdt, "Lumped Elements in Microwave Integrated Circuits", IEEE Trans. on MTT, vol. MTT 15, Dez./1967, pgs. 713-721.
- |23| C.S. Aitchison, R. Davies, I.D. Higgins, S.R. Lougley, B.H. Newton, J.F. Wells e J.C. Willians, "Lumped-Circuit Elements at Microwave Frequencies", IEEE Trans. on MTT, vol. MTT 19, Dez./1971, pgs.928-937.
- |24| G.D. Alley, "Interdigital Capacitors and Their Application to Lumped-Element Microwave Integrated Circuit", IEEE Trans. on MTT, vol. MTT 18, Dez./1970, pgs. 1028-1033.
- |25| T.G. Bryant e J.A. Weiss, "MSTRIP (Parameters of Microstrip)", IEEE Trans. on MTT, vol. MTT 19, n° 4, Abr./1971, pgs. 418-419.
- |26| A. Kimura e J. Frey, "Calculation and Measurements of the Frequency Dependence of Effective Dielectric Constant of Microstrip Lines", Compi-lado no Microwave Integrated Circuits por J. Frey, pgs. 205-217, Artech House, Inc.
- |27| R.H. Jansen, "High-Speed Computation of Single and Coupled Microstrip Parameters Including Dispersion, High-Order Modes, Loss and Finite Strip Thickness", IEEE Trans. on MTT, vol. MTT 26, n° 2, Fev./1978, pgs.75-82.

- [28] M.V. Schneider, "Microstrip Lines for Microwave Integrated Circuits", Bell Syst. Tech. Journal, vol. 48, Maio/Jun./1969, pgs. 1421-1444.
- [29] E.O. Hammerstad, "Equations for Microstrip Circuit Design", Proc. European Microwave Conference, Hamburg, Germany, Set./1975, pgs. 268-272.
- [30] A.J. Giarola, "Impedance of Single and Parallel Coupled Microstrip Lines", 21st Annual Southwestern IEEE Conference and Exhibition, Abr./1971, pgs. 154-159.
- [31] P. Troughton, "Design of Complex Microstrip Circuits by Measurement and Computer Modelling", Proc. IEEE, vol. 118, n^{os} 3, 4, Mar./Abr./1971, pgs. 469-474.
- [32] V.G. Gelnovatch e T.F. Burke, "Computer Aided Design of Wide-Band Integrated Microwave Transistor Amplifiers on High Dielectric Substrates", IEEE Trans. on Elec. Devices, vol. ED 15, n^o 7, Jul./1968, pgs. 491-501.
- [33] V.G. Gelnovatch e I.I. Chase, "Demon - An Optimal Seeking Computer Program for the Design of Microwave Circuits", IEEE Journal of Solid-State Circuits, vol. SC 5, Dez./1970, pgs. 303-310.
- [34] T.W. Houston e L.W. Read, "Computer-Aided Design of Broad-Band and Low-Noise Microwave Amplifiers", IEEE Trans. on MTT, vol. MTT 17, n^o 8, Ago./1969, pgs. 612-614.
- [35] J.W. Bandler, "Optimization Methods for Computer-Aided Design", IEEE Trans. on MTT, vol. MTT 17, Ago./1969, pgs. 533-552.
- [36] K.L. Kotzebue, "A Quasi-Linear Approach to the Design of Microwave Transistor Power Amplifiers", IEEE Trans. on MTT, vol. MTT 24, Dez./1976, pgs. 975-978.
- [37] D.P. Hornbuckle e L.J. Kuhlman Jr., "Broadband Medium Power Amplification in the 2-12.4 GHz Range with GaAs MESFETS", IEEE Trans. on MTT, vol. MTT 24, Jun./1976, pgs. 338-342.
- [38] H.C.C. Fernandes, "Programas Computacionais para Projetar Dispositivos de Microondas", Tese de Mestrado apresentada à FEC-UNICAMP, Fev./1980.
- [39] S.S. Saviani e A.J. Giarola, "A Linha de Microfita no PAC do LED", Codex RP.006, do LED-FEC-UNICAMP, Mar./1980.
- [40] T. Okoshi, Y. Uehara e T. Takeuchi, "The Segmentation Method - An Approach to the Analysis of Microwave Planar Circuits", IEEE Trans. on MTT, Out./1976, pgs. 662-668.
- [41] F. Bonfatti, V.A. Monaco e P. Tiberio, "Microwave Circuit Analysis by Sparse Matrix Techniques", IEEE G-MTT Inter. Microw. Symposium, Jun./1970, pgs. 41-43.

- [42] P. Silvester e P. Benedek, "Equivalent Capacitance of Microstrip Open Circuits", IEEE Trans. on MTT, vol. MTT-20, 1972, pgs. 511-516.
- [43] Garg, Ramesh e I.J. Bahl, "Microstrip Discontinuities", Int. J. Electronics, vol. 45, Jul./1978.
- [44] K.C. Gupta, R. Garf e I.J. Bahl, "Microstrip Lines and Slotlines", ítem 3.4.3, pgs. 136-140, Artech House, Inc., 1979.
- [45] A.F. Thomson e A. Gopinath, "Calculation of Microstrip Discontinuity Inductances", IEEE Trans. on MTT, vol. MTT-23. 1975, pgs. 648-655.
- [46] B. Easter, "The Equivalent Circuit of Some Microstrip Discontinuities", IEEE Trans. on MTT, vol. MTT-23, 1975, pgs.655-660.
- [47] A. Gopinath e outros, "Equivalent Circuit Parameters of Microstrip Step Change in Width and Cross Junctions", IEEE Trans. on MTT, vol. MTT-24, 1976, pgs. 142-144.
- [48] P. Silvester e P. Benedek, "Microstrip Discontinuity Capacitances for Right-Angle Bends, T-Junctions and Crossings", IEEE Trans. on MTT, vol. MTT-21, 1973, pgs. 341-346. Veja correções em IEEE Trans. on MTT, vol. MTT-23, 1975, pg. 456.
- [49] Digital Eq. Co., "GT40 User's Guide", Digital Equipment Corporation, Maynard, Ma, 2^a edição, Set./1973.
- [50] E.G. Cristal e L. Young, "Theory and Tables of Optimum Symmetrical TEM-Mode Coupled-Transmission-Line Directional Couplers", IEEE Trans. on MTT, vol. MTT-13, pgs. 544-558, Set./1965.
- [51] M.H.M. Costa, D.A. Rogers e A.J. Giarola, "Desenvolvimento de Componentes de Microondas para um Sistema de Comunicação por Lasers Semicondutores: II- Acoplador Híbrido de Quadratura", Codex RT.007, LED-FEC-UNICAMP, Abr./1978.
- [52] R. Mehran, "Computer-Aided Design of Microstrip Filters Considering Dispersion, Loss, and Discontinuity Effects", IEEE Trans. on MTT, vol. MTT-27, pgs. 239-245, Mar./1979.
- [53] Okoshi, T. e Kitazawa, S., "Computer Analysis of Short-Boundary Planar Circuits", IEEE Trans. on MTT, vol. MTT-23, Mar./1975, pgs. 299-306.
- [54] D'Inzeo, G. e outros, "Method of Analysis and Filtering Properties of Micro wave Planar Circuits", IEEE Trans, on MTT, vol. MTT-26, Jul./1978, pgs. 462-471.

[55] K. Kurokawa, "An Introduction to the Theory of Microwave Circuits", Academic Press, pg. 222, 1969.

[56] R.S. Carson, "High Frequency Amplifiers", John Wiley & Sons Inc., pgs. 209-218, 1975.