



UNICAMP

01688015-10

# Sincronização dos Embaralhadores na Camada Física ATM

Tese submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, Departamento de Comunicações, como parte dos requisitos exigidos para a obtenção do título de

**Mestre em Engenharia Elétrica.**

Autor

**Gilmar Soneguetti Hackbart**  
Engenheiro Eletricista pelo INATEL em 1994

Orientador

**Prof. Dr. Rege Romeu Scarabucci**

Campinas, 19 de dezembro de 1996.

Este exemplar corresponde à edição final da tese  
 apresentada por **GILMAR SONEGUETTI  
 HACKBART** e aprovada pela Comissão  
 orientadora por **Rege Romeu Scarabucci** Orientador

UNIVERSIDADE UNICAMP  
CHAMADA: H115s  
COMBO BC/ 31328  
PROCC. 281197  
C  D   
PREÇO R\$ 11,00  
DATA 13/08/97  
N° CPD

CM-00 099583-3

FICHA CATALOGRÁFICA ELABORADA PELA  
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

H115s Hackbart, Gilmar Sonegueti  
Sincronização dos embaralhadores na camada física  
ATM / Gilmar Sonegueti Hackbart.--Campinas, SP:  
[s.n.], 1996.

Orientador: Rege Romeu Scarabucci.  
Dissertação (mestrado) - Universidade Estadual de  
Campinas, Faculdade de Engenharia Elétrica e de  
Computação.

1. Sincronização. 2. Rede digital de serviços  
integrados.. I. Scarabucci, Rege Romeu. II. Universidade  
Estadual de Campinas. Faculdade de Engenharia Elétrica e  
de Computação. III. Título.

## AGRADECIMENTOS

Agradeço a todas as pessoas que colaboraram para a realização deste trabalho, direta ou indiretamente.

Aos meus pais: Zélia e João, a quem devo tudo o que hoje sou.

Ao amigo e Prof. Rege R. Scarabucci, pela confiança e incentivo.

Aos amigos Antônio Augusto A. Faria e Geraldo Jair V. Segatto pelos anos de longa convivência e experiências trocadas, desde a graduação até a conclusão deste trabalho.

Aos amigos: Fabiana, Sandrão, Gean, Nata, Jackson, Amorim, Surerus, Fred, Cristiana, Ayrton, Fançony, Waltinho, Gaúcho (Flávio), Paulão, Luciano, Hugo, Ricardo, Flávia, Henrique, Edgarfo, Ricardo, Jugurta, Mário Niimi, Lin, Sandrão Modenese, Osmar, Marcos, Ernesto, Pellenz, Alberti, Renatinha, Kyn, Rivas, Marcelo, enfim, a todos os amigos que mesmo não tendo seus nomes aqui citados por um lapso de memória, mas que não serão esquecidos pelos momentos de convivência e amizade.

Ao amigo Marcelo Segatto que em muito contribui para impulsionar este mestrado.

À Marilú, ao Prof. e amigo Ivanil, ao Prof. Jaime Portugues e ao Andrade pela força nos desenvolvimentos matemáticos.

À tia Teresa e tio Francisco pelo apoio durante todos estes anos.

Aos meus irmãos: Lucimara, Gilcimar e Welton e a minha avó: Nila.

À Nil, pelo carinho e paciência na distância de todos estes anos e, acima de tudo, à Deus.

Este trabalho contou com o apoio financeiro da CAPES.

## **ABSTRACT**

In this work we develop a study of synchronization for the ATM Physical Layer in the case of cell based transmission. Starting with basic definitions of ATM technology, we direct our study to the physical layer and focus on the process of cell delineation. Next, we study the process of synchronization of scramblers used for cell based systems, showing a mathematical treatment leading to complete synchronization. Analysis circuit performance and simulation of synchronous status achievement are both presented. Finally, a new proposal for scramblers synchronization is presented and compared with ITU-T process of synchronization.

## **SUMÁRIO**

Neste trabalho desenvolve-se o estudo do sincronismo na camada física ATM para a transmissão de células. Iniciando a partir de definições básicas da tecnologia ATM, este segue na direção da camada física e enfoca o processo de demarcação de células durante a sua transmissão. Em seguida, é estudado o processo de sincronismo de embaralhadores utilizados nos sistemas de transmissão pura de células, mostrando todo o desenvolvimento matemático do processo para a obtenção do sincronismo. É feita uma análise do funcionamento do circuito e várias simulações são exercitadas. Finalmente, uma nova proposta para sincronização destes embaralhadores é apresentada e comparada com o processo de sincronização adotado pelo ITU-T.

# Conteúdo

<b>Capítulo 1 - Introdução</b>	<b>1</b>
1.1 Descrição Geral .....	1
1.2 Objetivos do Trabalho.....	2
<b>Capítulo 2 - ATM-Definições Básicas</b>	<b>4</b>
2.1 Introdução .....	4
2.2 Princípios Básicos ATM.....	5
2.3 Configuração de Referência.....	6
2.3.1 Agrupamentos Funcionais.....	7
2.3.2 Pontos de Referência.....	9
2.4 Modelo em Camadas ATM.....	10
2.4.1 Camada Física .....	12
2.4.1.1 Subcamada de Meio Físico.....	13
2.4.1.2 Subcamada de Convergência de Transmissão.....	13
2.4.2 Camada ATM.....	13
2.4.2.1 Estrutura do Cabeçalho das Células .....	14
2.4.2.2 Comutação de Células ATM .....	18
2.4.3 Camada de Adaptação ATM.....	23
2.4.3.1 Classes de Serviço .....	24
2.4.3.2 Tipos de AAL .....	26
2.4.3.3 AAL 0.....	28
2.4.3.4 AAL 1 .....	29
2.4.3.5 AAL 2 .....	31
2.4.3.6 AAL 3/4.....	32
2.4.3.7 AAL 5.....	38
2.4.4 Funções de Manutenção.....	41
2.4.4.1 Fluxos e Níveis de OAM.....	42
2.4.4.2 Mecanismos para Fornecer os Fluxos OAM .....	43
2.4.4.2.1 Mecanismos da Camada Física.....	43

2.4.4.2.2 Mecanismos da Camada ATM.....	44
2.4.4.2.3 Associação do Mecanismo de OAM com as Funções de Transporte .....	47
2.4.4.3 Funções OAM da Camada Física .....	48
2.4.4.4 Funções OAM da Camada ATM.....	50
<b>Capítulo 3 - Camada Física ATM</b>	<b>52</b>
3.1 Introdução .....	52
3.2 Subcamada de Meio Físico .....	54
3.3 Subcamada de Convergência de Transmissão .....	56
3.3.1 Estruturas de Transmissão.....	56
3.3.2 Adaptação do Quadro de Transmissão.....	57
3.3.2.1 Camada Física para a Interface Baseada em Células (TPCA).....	58
3.3.2.1.1 Sincronismo .....	58
3.3.2.1.2 Estrutura da Interface para 155520 e 622080 kbit/s.....	58
3.3.2.1.3 Implementação de OAM.....	58
3.3.2.2 Camada Física para as Interfaces Baseadas na SDH.....	64
3.3.2.2.1 Sincronismo .....	64
3.3.2.2.2 Estrutura da Interface em 155520 e 622080 kbit/s .....	64
3.3.2.2.3 Implementação de OAM.....	64
3.3.2.3 Camada Física para as Interfaces Baseadas na PDH.....	67
3.3.2.3.1 Formato do Quadro .....	67
3.3.2.3.2 Mapeamento de Células ATM.....	67
3.3.2.3.3 Monitoração de Desempenho de Erro.....	68
3.3.3 Controle de Erro do Cabeçalho .....	69
3.3.3.1 Funções .....	69
3.3.3.2 Seqüência de Geração do HEC.....	71
3.3.3.3 Impacto de Erros Aleatórios de Bits no Cabeçalho das Células.....	72
3.3.3.3.1 Avaliação do Código.....	73
3.3.3.3.2 Determinação das Probabilidades .....	75
3.3.4 Desacoplamento da Taxa de Células.....	80
3.3.5 Demarcação de Células ATM .....	81

3.3.5.1	Objetivos.....	81
3.3.5.2	Algoritmo de Demarcação de Células.....	81
3.3.5.3	Desempenho na Demarcação de Células.....	83
3.3.6	Embaralhamento.....	84
3.3.6.1	Funções.....	84
3.3.6.2	Tipos de Embaralhadores Utilizados para a Camada Física ATM.....	85
3.4	Funções Operacionais da Camada Física.....	95
3.4.1	Definição de Sinais.....	95
<b>Capítulo 4</b>	<b>Sincronização de Embaralhadores em ATM</b>	<b>100</b>
4.1	Introdução.....	100
4.2	DSS - Implementação Série.....	102
4.2.1	Descrição do Processo.....	102
4.2.2	Modelamento Matemático.....	103
4.2.2.1	Definições Básicas para os SGR's.....	104
4.2.2.2	Modelamento do Processo de Sincronismo.....	105
4.2.2.3	Problema do Sincronismo.....	108
4.2.3	Soluções para o Problema do Sincronismo.....	110
4.2.3.1	Condições para os Tempos de Amostragem.....	110
4.2.3.2	Condições para os Vetores e Tempos de correção.....	113
4.2.4	DSS para o Embaralhamento de Células ATM.....	123
4.2.4.1	Modo Uniforme.....	124
4.2.4.2	Modo Contíguo.....	127
4.3	Implementação Paralela.....	130
4.3.1	Implementação do Embaralhador.....	130
4.3.2	Implementação do Desembaralhador.....	135
4.4	Estudo do DSS Padronizado pelo ITU-T.....	139
4.4.1	Sincronismo.....	140
4.4.1.1	Descrição do Método.....	142
4.4.1.2	Resultados da Simulação.....	144
4.4.2	Verificação da Detecção Automática do Sincronismo.....	151

4.4.3 Simulação do Balanceamento .....	154
4.4.4 Proposição de Outro Método de Sincronização .....	155
<b>Capítulo 5 - Resultados</b> .....	<b>160</b>
5.1 Contribuição do Trabalho .....	160
<b>Apêndice A</b> .....	<b>163</b>
A.1 Introdução .....	163
A.2 Estrutura da Interface SDH .....	164
A.3 Estrutura do Quadro STM-1 .....	165
A.3.1 Formação do Módulo de Transporte STM-1 .....	168
A.4 Estrutura de Quadro do STM-N .....	170
A.4.1 Formação do Módulo de Transporte do STM-4 .....	172
A.5 Mapeamento de Sinais ATM no Quadro SDH .....	173
A.5.1 Mapeamento de Células ATM no VC-4 .....	173
A.5.2 Mapeamento de Células ATM no VC-4-Xc .....	174
A.6 Estrutura da Interface PDH .....	175
A.6.1 Mapeamento de Sinais ATM na PDH .....	176
A.6.1.1 Mapeamento de Células ATM no sinal de 2048 kbit/s .....	177
A.6.1.2 Mapeamento de Células ATM no sinal de 34368 kbit/s .....	177
A.6.1.3 Mapeamento de células ATM no sinal de 139264 kbit/s .....	178
A.6.1.4 Alocação de Overheads para os Mapeamentos de 34368 e 139264 kbit/s .....	179
<b>Lista de Acrônimos</b> .....	<b>183</b>
<b>Referências Bibliográficas</b> .....	<b>187</b>

# Capítulo 1

## Introdução

### 1.1 Descrição Geral

As redes de telecomunicações atuais estão sofrendo uma rápida evolução.

Progressos na tecnologia dos semicondutores, da óptica e dos sistemas tem propiciado atender a demanda tecnológica por novos serviços e a evolução e modernização daqueles já prestados.

A fusão das tecnologias de telecomunicações e de informática é um outro fator que contribui para o desenvolvimento de novos serviços (aplicações) e equipamentos, o que implica o surgimento de novas redes de telecomunicações.

Atualmente, tem-se a rede de telefonia pública, redes de dados, TV a cabo e inúmeras redes privadas LAN's e MAN's e WAN's.

Com o objetivo de tornar mais eficiente a utilização dos recursos e equipamentos, partiu-se para a integração das redes, de modo que estas pudessem ser compartilhadas entre os diversos serviços requeridos, diminuindo assim, despesas com manutenção, operação e administração de um número considerável de redes, além do investimento em equipamentos específicos a cada uma destas.

Assim, o ATM foi adotado pelo ITU-T como tecnologia de suporte para este processo.

O ATM é uma tecnologia baseada no transporte da informação via pacotes de comprimento fixo, denominados "células", cujo cabeçalho apresenta uma

funcionalidade mínima, proporcionando maiores facilidades e velocidades de comutação, compatibilizando assim, as altas velocidades desenvolvidas na rede.

A transmissão das células no meio pode se dar via sistemas PDH, SDH ou mesmo via transmissão pura de células. Nos dois primeiros, as células são mapeadas em quadros e estes transmitidos através da rede. Para a transmissão pura de células através do meio é necessário incluir-se na recepção, um processo de demarcação de células. Este processo consiste em se determinar o início de cada célula num fluxo contínuo de bits.

Outro aspecto importante é o de correção/deteção de erros de bits aplicados ao cabeçalho das células, cujo objetivo principal é o de evitar erros no roteamento das células.

Ainda em relação a transmissão pura de células, o processo de demarcação é realizado baseado na informação contida no campo de HEC do cabeçalho. Para evitar que erros de bits no campo de informação simulem uma seqüência equivalente àquela contida no campo de HEC, todo o campo de informação da célula é embaralhado, utilizando um processo específico para tal. Para que a informação possa ser recuperada na outra ponta (recepção) corretamente, é necessário que haja um perfeito sincronismo entre o embaralhador e o desembaralhador.

## 1.2 Objetivos do Trabalho

O objetivo do trabalho consiste no estudo da sincronização entre embaralhadores e desembaralhadores utilizados na transmissão pura de células ATM, assim como, do processo de demarcação de células durante a recepção.

No capítulo 2 é feita uma abordagem da tecnologia ATM, relatando de forma sucinta os principais conceitos envolvidos. O objetivo deste capítulo é, portanto, apresentar uma visão geral da tecnologia.

No capítulo 3 estuda-se a camada física ATM, destacando-se as principais funções da subcamada de convergência de transmissão, merecendo atenção especial o processo de demarcação de células e a descrição do processo de operação do receptor ATM.

No capítulo 4 faz-se um estudo do sincronismo da camada física ATM. Em particular, estuda-se a sincronização de embaralhadores de amostras distribuídas no tempo, que é o processo adotado pelo ITU-T para a transmissão pura de células ATM.

Finalmente, no capítulo 5 tem-se um resumo do trabalho desenvolvido e dos resultados obtidos.



# Capítulo 2

## ATM - Definições Básicas

### 2.1 Introdução

Na evolução das atuais redes de telecomunicações em direção às Redes de Comunicações Integradas de Faixa Larga (IBCN - Integrated Broadband Communications Network) ou Rede Digital de Serviços Integrados de Faixa Larga (B-ISDN - Broadband Integrated Services Digital Network) algumas diretrizes importantes foram tomadas. As mais recentes foram influenciadas por vários fatores, destacando-se entre eles a emergência de um grande número de teleserviços, algumas vezes com requisitos desconhecidos (novos serviços exigidos por usuários). Outros fatores que também influenciaram as diretrizes tomadas foram [De Prycker 93]:

- A rápida evolução dos semicondutores, permitindo o desenvolvimento de chips cada vez mais complexos e trabalhando a altas taxas (acima de 200 até 300 Mbit/s).
- O desenvolvimento da tecnologia óptica, permitindo taxas de transmissão de bits cada vez maiores, maiores distâncias atingidas sem a utilização de repetidores e redução no custo da fibra. Vale lembrar que parte desta estrutura óptica ainda possui um custo elevado, como é o caso dos lasers, dos receptores ópticos, etc. Espera-se uma redução maior no custo destes componentes dentro de alguns anos.

- O progresso no conceito de sistemas, que está fundamentado sob duas idéias básicas:
  - *transparência semântica*, que corresponde a entrega correta dos bits da fonte ao destino, baseado em baixíssimas taxas de probabilidade de erro do meio ( $10^{-9}$  a  $10^{-12}$ ).
  - *transparência temporal*, que corresponde a entrega dos bits da fonte ao destino com o menor atraso possível, baseado na idéia de mínima funcionalidade nos nós de comutação.

Assim, a necessidade por uma rede flexível e o progresso na tecnologia conduziram à definição do Modo de Transferência Assíncrono (ATM - Asynchronous Transfer Mode), aceito como solução definitiva para a B-ISDN pelo CCITT, hoje, ITU-T.

## 2.2 Princípios Básicos ATM

O ATM está fundamentado sob alguns princípios básicos, dentre os quais tem-se:

- É um modo de transferência de pacotes, baseado em células de comprimento fixo. Cada célula consiste de um campo de informação relativamente pequeno (**48 bytes**, reduzindo assim o tamanho das memórias internas nos nós de comutação e limitando o atraso de fila nestas) e um cabeçalho (**5 bytes**), cuja função principal é determinar a conexão virtual e executar o roteamento apropriado. A integridade da seqüência de células é preservada por conexão virtual. A figura 2.1 mostra a estrutura de uma célula ATM.
- Opera em modo de conexão orientado. Os valores do cabeçalho são determinados para cada seção de uma conexão durante a duração completa da mesma. Informações de sinalização e de serviços são transportadas em canais virtuais separados.
- Os campos de informação das células são transportados transparentemente através da rede. Nenhum processamento (como controle de erro a nível de enlace) é executado dentro da mesma. Controle de fluxo também não é exercido dentro da rede, pois a alocação de recursos próprios no início das ligações e o dimensionamento de filas na rede garantem baixíssima probabilidade de congestionamento com conseqüente perda de pacotes.

- Todos os serviços (voz, vídeo, dados, etc..) podem ser transportados via ATM, incluindo serviços com conexão não orientada (connectionless). Para suportar os vários tipos de serviços, funções de adaptação são fornecidas de modo a ajustar a informação dos mesmos dentro das células e também fornecer funções específicas de serviços (recuperação de relógio, recuperação de perda de células,...).

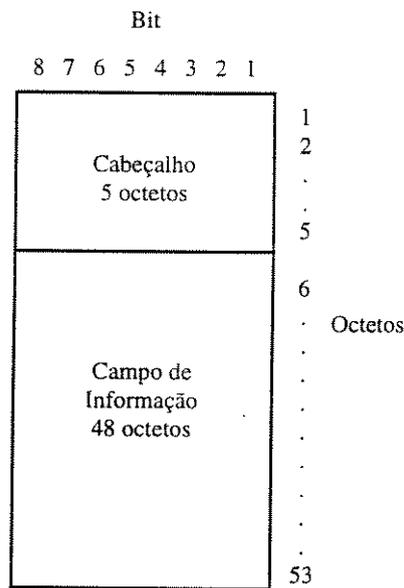


Figura 2.1: Estrutura da célula ATM.

## 2.3 Configuração de Referência

Uma configuração de referência é um instrumento prático para definir a interface entre as diferentes entidades e as funções destas.

A configuração de referência da interface rede-usuário usada para a B-ISDN foi obtida do modelo para a N-ISDN (Narrowband Integrated Service Digital Network) conforme descrito em [ITU-T, I.411].

Esta configuração adotada pelo ITU-T é descrita como na figura 2.2.

Os pontos de referência R,S,T e U definidos para a N-ISDN também são válidos para o caso B-ISDN, assim como os seus agrupamentos funcionais. Desta forma, de acordo com [ITU-T, I.413] ficaram estabelecidos os agrupamentos funcionais B-NT1 e B-NT2 (Broadband Network Termination 1 e 2), B-TE1 e B-TE2 (Broadband Terminal

Equipment 1e 2) e B-TA (Broadband Terminal Adapter), onde o B indica “Broadband” (assim também para o caso dos pontos de referência onde aparece um B subscrito). Foi decidido pelo ITU-T que apenas as interfaces nos pontos  $T_B$  e  $S_B$  seriam padronizadas.

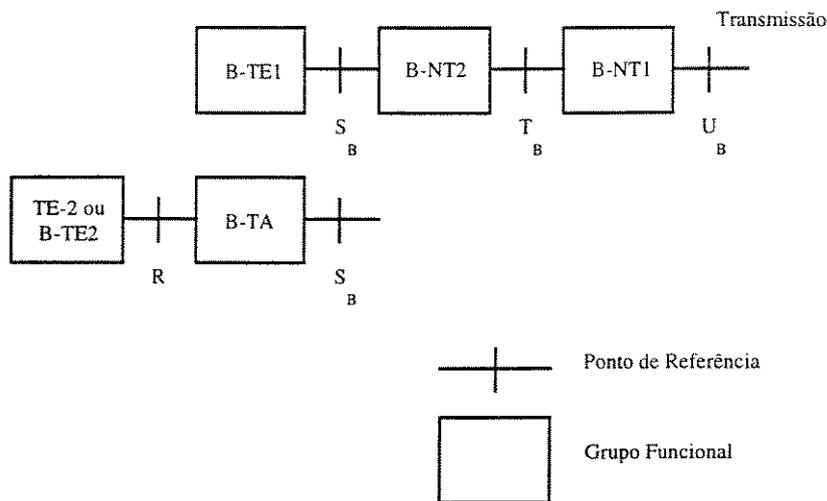


Figura 2.2: Configuração de referência.

A configuração de referência como descrito, pode ser realizada fisicamente de diferentes maneiras. Assim, alguns exemplos são mostrados na figura 2.3, onde as interfaces mostradas são fisicamente implementadas, assim como os agrupamentos funcionais.

Dois conceitos são usados na definição de configuração de referência:

- Pontos de referência e agrupamento funcional.

### 2.3.1 Agrupamentos Funcionais

Ou simplesmente grupos funcionais, é o conjunto de funções que podem ser necessárias a uma determinada disposição de acesso de usuário. Dependendo desta disposição, funções específicas podem ou não estar presentes. Note também que funções específicas de um agrupamento funcional podem ser executadas em uma ou mais partes do equipamento.

O ITU-T ainda não realizou a descrição completa de todos os agrupamentos funcionais. Contudo, algumas características principais podem ser estabelecidas.

### 1. B-NT1 (Broadband Network Termination 1 - Terminação 1 de Rede Faixa Larga)

Este grupo inclui funções equivalentes a camada 1 do modelo OSI, tais como:

- terminação de linha de transmissão;
- tratamento de interface de transmissão;
- funções OAM:

Quando o B-NT1 termina fluxos OAM baseado em células (transmissão de células puras ATM), a demarcação de células é aí realizada.

### 2. B-NT2 (Broadband Network Termination 2 - Terminação 2 de Rede Faixa Larga)

Este grupo inclui funções equivalentes a camada 1 e camadas superiores do modelo de referência da recomendação X.200. Exemplos de suas funções são:

- funções de adaptação para diferentes meios e topologias (funções MA<sup>1</sup>);
- funções de um B-NT2 distribuído;
- demarcação de células;
- concentração;
- armazenamento;
- multiplexagem/demultiplexagem;
- alocação de recursos;
- funções de adaptação de camada para sinalização (para tráfego interno);
- tratamento da interface (para as interfaces T<sub>B</sub> e S<sub>B</sub>);
- funções OAM;
- tratamento do protocolo de sinalização;
- comutação de conexões internas;

As implementações de B-NT2 podem ser concentradas ou distribuídas (ver figura 2.3).

---

<sup>1</sup> MA: Adaptador de Meio (Medium Adaptor) - acomoda a topologia específica do B-NT2 distribuído. A interface W da figura 2.3(b) pode incluir elementos de topologia dependente, podendo ser uma interface não-padronizada.

### **3. B-TE (Terminal Equipment - Equipamento Terminal)**

Inclui funções amplamente equivalentes a camada 1 e camadas superiores do modelo de referência da recomendação X.200 (modelo OSI). São exemplos de suas funções:

- protocolo e diálogo usuário/usuário e usuário/máquina;
- terminação de interface e outras funções de camada 1;
- tratamento de protocolo para sinalização;
- tratamento de conexões para outros equipamentos;
- funções OAM;

#### **3.a B-TE1 (Broadband Terminal Equipment 1 - Equipamento Terminal Faixa Larga Tipo 1)**

Este grupo funcional inclui funções pertencentes ao grupo funcional B-TE com uma interface definida dentro dos parâmetros estabelecidos nas recomendações para B-ISDN (interfaces em  $S_B$  e  $T_B$ ).

#### **3.b B-TE2 (Broadband Terminal Equipment - Equipamento Terminal Faixa Larga Tipo 2)**

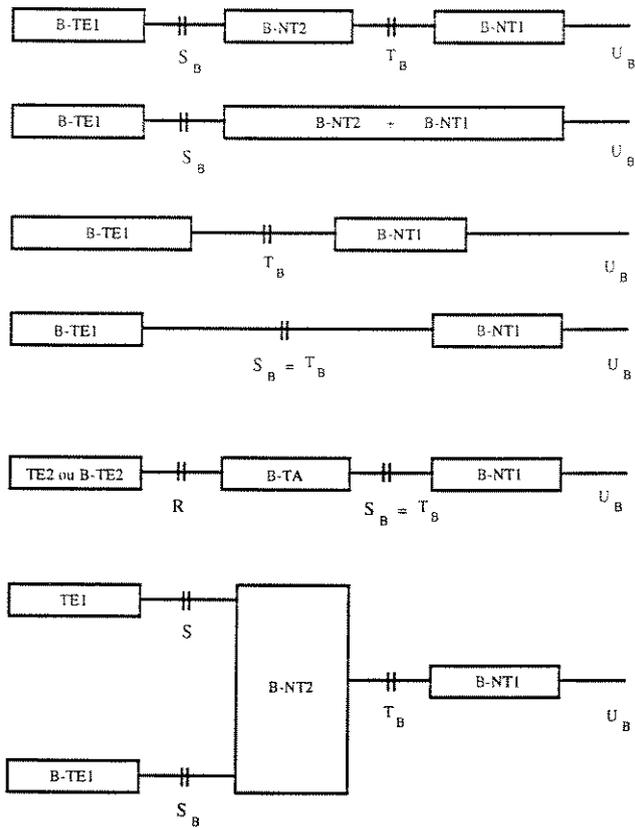
Inclui funções pertencentes ao grupo funcional B-TE com uma interface (faixa larga) diferente daquelas padronizadas pelas recomendações para B-ISDN, ou seja, interfaces não padronizadas pelo ITU-T (não inclusas nas recomendações).

### **4. B-TA (Broadband Terminal Adapter - Adaptador Terminal Faixa Larga)**

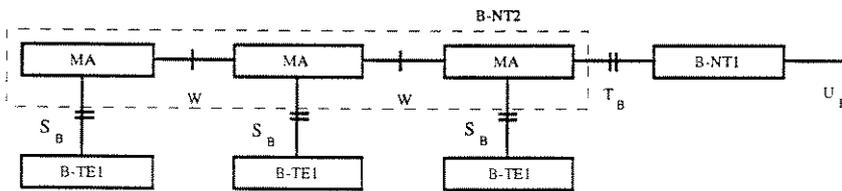
Possui funções pertencentes a camada 1 e camadas superiores do modelo de referência da recomendação X.200 que permite aos terminais TE-2 ou B-TE2 ser atendido por uma interface rede-usuário B-ISDN.

## **2.3.2 Pontos de Referência**

Pontos de referência são pontos conceituais que dividem o agrupamento funcional, ou seja, numa disposição específica da rede de acesso do usuário, um ponto de referência corresponde a uma interface física entre equipamentos. (algumas interfaces físicas não correspondem a um ponto de referência, como é o caso das interfaces de linha de transmissão [ITU-T, I.413]).



a) Implementações de B-NT1 e de B-NT2 (concentrado)



b) Implementação de B-NT2 distribuído

Figura 2.3: Exemplo de configurações físicas.

## 2.4 Modelo em Camadas ATM

O modelo OSI (Open System Interconnection - Interconexão de Sistemas Abertos) da ISO (International Standardization Organization - Organização de Padronização Internacional) é usado para modelar todos os tipos de sistemas de comunicações. A mesma hierarquia lógica como a usada na OSI é usada para a rede B-ISDN ATM como em [ITU-T, I.321]. Contudo, somente as camadas baixas são explicadas.

O modelo utiliza o conceito dos planos separados para a distribuição das funções de usuário, controle e gerenciamento. Essa aproximação em planos já foi usada na N-ISDN e está descrita em [ITU-T, I.321], que contém o modelo de referência do protocolo ISDN (PRN - Protocol Reference Model). Este modelo para a B-ISDN está apresentado na figura 2.4.

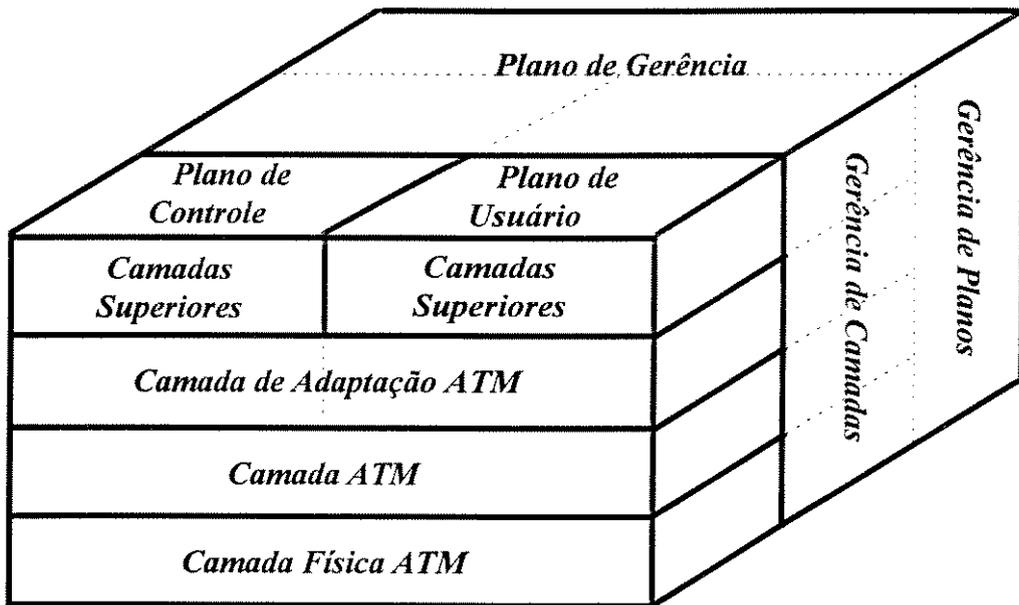


Figura 2.4: Modelo de referência de protocolo para B-ISDN.

Como na N-ISDN, ele contém 3 planos: um plano de usuário para transportar informação de usuário, um plano de controle composto principalmente de informações de sinalização e um plano de gerência (usado para preservar a rede e executar funções operacionais). Uma terceira dimensão é adicionada ao plano de gerência chamada gerência dos planos, responsável pelo gerenciamento dos diferentes planos.

De acordo com o ITU-T as camadas podem ser divididas e subdivididas, sendo que cada subcamada executa um certo número de funções, como mostra a figura 2.5. Três camadas são definidas:

- Camada física (PHY - Physical layer), encarregada do transporte de células.
- Camada ATM (ATM layer), responsável principalmente pelas funções de comutação, roteamento e multiplexagem.

- Camada de adaptação ATM (AAL - ATM Adaptation Layer) que é responsável principalmente por adaptar a informação de serviço ao fluxo ATM, ou seja, é responsável pela adaptação dos protocolos das camadas superiores (sejam estas informações de usuários ou sinalização) às células ATM.

Convergência	CS	AAL
Segmentação e remontagem	SAR	
Controle de fluxo genérico	TC	ATM
Extração/geração do cabeçalho da célula		
Tradução do VCI/VPI da célula		
Multiplex./demultiplex. da célula		
Desacoplamento da taxa de células	PM	PHY
Verificação/geração do HEC		
Demarcação de célula		
Adaptação do quadro de transmissão		
Geração/recuperação do quadro de transmissão		
Sincronismo de bit		
Conversão eletro-óptica		
Transmissão pelo meio físico		

CS : Convergence Sublayer (Subcamada de Convergência)  
 SAR : Segmentation and Reassembly (Segmentação e Remontagem)  
 TC : Transmission Convergence (Convergência de Transmissão)  
 PM : Physical Medium (Meio Físico)

Figura 2.5: Funções e subcamadas do modelo de referência.

### 2.4.1 Camada Física

A camada física da B-ISDN é composta de duas subcamadas: a *subcamada de meio físico* (PM - *Physical Medium Sublayer*) que suporta funções sobre bits e a *subcamada de convergência de transmissão* (TC - *Transmission Convergence*) que converte o fluxo de células ATM em bits a serem transportado através do meio físico.

### **2.4.1.1 Subcamada de Meio Físico**

Esta subcamada é responsável pela correta transmissão e recepção dos bits no meio físico apropriado. As funções a serem executadas estão apresentadas na figura 2.5 - elas são realmente dependentes do meio físico (óptico/elétrico). Esta subcamada deve garantir uma reconstrução apropriada dos bits no receptor. Conseqüentemente a entidade de transmissão será responsável pela inserção da informação de sincronismo de bit e codificação de linha exigidos.

### **2.4.1.2 Subcamada de Convergência de Transmissão**

Esta subcamada executa basicamente 5 funções, como apresentado também na figura 2.5.

A primeira função, após a reconstrução dos bits (na direção de recepção) é a adaptação do sistema de transmissão usado. Os sistemas de transmissão possíveis estão baseados na hierarquia digital síncrona (SDH - Synchronous Digital Hierarchy), hierarquia plesiócrona ou baseados em transmissão de células puras ATM.

Outras funções desta subcamada são o reconhecimento das extremidades da célula e a preparação dos dados no transmissor para assegurar uma demarcação correta destas no receptor, geração e verificação da síndrome de cada célula (um mecanismo adaptativo o qual permite correção/detecção de erros) e embaralhamento do fluxo de bits.

Finalmente, esta subcamada deve assegurar a inserção (na transmissão) e a supressão (na recepção) de células vazias para adaptar a taxa útil à carga útil disponível do sistema de transmissão. Esta função é denominada desacoplamento da taxa de células.

Em adição, as informações de manutenção e operação (OAM - Operation Administration and Maintenance) devem ser trocadas com o plano de gerenciamento.

## **2.4.2 Camada ATM**

A camada ATM é completamente independente do meio físico usado para transportar as células ATM e assim independente da camada física. Esta camada deve executar principalmente 4 funções:

- Multiplexagem e demultiplexagem de células de diferentes conexões dentro de um único fluxo de células.

- Uma tradução dos códigos de endereçamento das células deve ser exigida nas centrais ATM e “crossconnects”.
- Antes da célula ser entregue para a camada de adaptação, o cabeçalho da mesma deve ser extraído. Assim também, depois da célula ser passada da camada de adaptação para a camada ATM, o cabeçalho deve ser adicionado.
- Na interface rede-usuário, um mecanismo de controle de fluxo pode ser implementado, sustentado pelos bits do campo de controle de fluxo do cabeçalho (GFC - Generic Flow Control) - ver a seguir.

### 2.4.2.1 Estrutura do Cabeçalho das Células

A estrutura do cabeçalho das células para a interface rede-usuário (UNI - User Network Interface) e para a interface nó-rede (NNI - Node Network Interface) estão apresentados nas figuras 2.6 e 2.7.

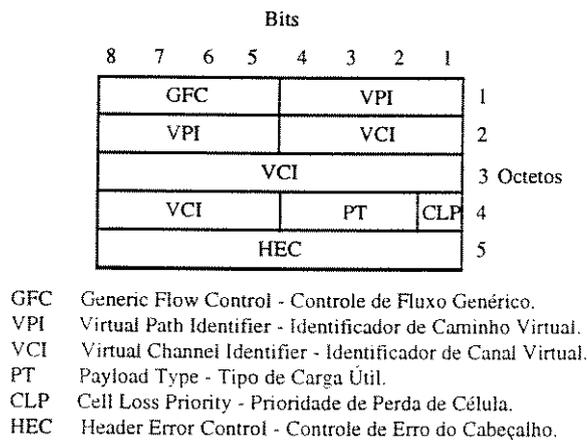


Figura 2.6: Estrutura do cabeçalho para UNI.

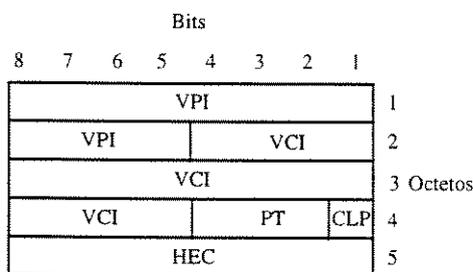


Figura 2.7: Estrutura do cabeçalho para NNI.

Os campos VCI (Virtual Channel Identifier - Identificador de Canal Virtual) e VPI (Virtual Path Identifier - Identificador de Rota Virtual) são os campos necessários para que os comutadores possam efetuar o chaveamento das células.

O campo PT (Payload Type - Tipo de Carga Útil) identifica o tipo de célula que pode ser um dos tipos especificados na tabela 2.1.

Qualquer nó congestionado, assim que recebe uma célula, pode mudar o seu cabeçalho de forma a indicar que a mesma passou por um nó em congestionamento.

As configurações de PT iguais a 100, 101 e 110 designam células de manutenção e operação.

**Tabela 2.1: Campo PT.**

Codificação do PT Bits 4 3 2	Interpretação
0 0 0	Célula de informação de usuário que não passou por congestionamento no caminho. ATM user-to-user indication = 0.
0 0 1	Célula de informação de usuário que não passou por congestionamento no caminho. ATM user-to-user indication = 1.
0 1 0	Célula de informação de usuário que passou por nó em congestionamento. ATM user-to-user indication = 0.
0 1 1	Célula de informação de usuário que passou por nó em congestionamento. ATM user-to-user indication = 1.
1 0 0	Célula associada ao fluxo F5 de segmento.
1 0 1	Célula associada ao fluxo F5 ponta-a-ponta.
1 1 0	Célula de gerenciamento de recursos.
1 1 1	Reservado para uso futuro.

O campo CLP (Cell Loss Priority - Prioridade de Perda de Células) indica a prioridade no caso de descarte de células (células com CLP = 1 são descartadas primeiro).

O HEC corresponde a um código de redundância (código cíclico) que permite à camada física efetuar a verificação de erro do cabeçalho (podendo efetuar a correção de um bit) e a demarcação de células. Note que não há esquema de detecção de erros para as informações contidas em uma célula à nível de enlace, visto que o ATM está

fundamentado em meios confiáveis, de acordo com as características: *transparência semântica e transparência temporal*.

O campo GFC (Generic Flow Control - Controle de Fluxo Geral) aparece apenas no cabeçalho da célula na UNI. O protocolo de funcionamento deste campo é como apresentado a seguir.

Para equipamentos que utilizam um conjunto de procedimentos de transmissão não-controlada, a função GFC não é usada. Assim, nenhuma ação é tomada ao se receber células cujos campos GFC estejam ativos (diferentes de zero) e ao mesmo tempo, estes são ativados ao valor "0000" ("tudo zero") durante a transmissão das células. Para equipamentos que implementam procedimentos de transmissão controlada, as ações tomadas na recepção dos campos GFC's e os valores para os quais estes campos serão ativados, estão ainda sob estudos.

A fim de minimizar as interações entre estes dois conjuntos de procedimentos (transmissão controlada e não-controlada), é necessário identificar os procedimentos de operação na interface num intervalo de tempo qualquer. O mecanismo para distinguir tais procedimentos está baseado no princípio de que qualquer equipamento que receba dez ou mais campos GFC's diferentes de zero dentro do intervalo de 30000 tempos de células, deve considerar que a outra entidade ATM está executando procedimentos de transmissão controlada. Qualquer TE que implemente procedimentos de transmissão não-controlada e detecta que a outra ponta está executando transmissão controlada deve notificar ao gerenciamento de camadas.

Uma distinção é feita entre células que são visíveis na camada física e não passam para a camada ATM e aquelas que são visíveis em ambas as camadas utilizando o bit 1 do 4º octeto do cabeçalho (figura 2.6). Os seguintes tipos de células já foram definidas pelo ITU-T:

- Células não-designadas;
- Células vazias;
- Células de meta-sinalização;
- Células de sinalização "broadcast";
- Células OAM da camada física;

As células não-designadas são aquelas as quais não contêm informações úteis de usuário, sendo designadas muitas vezes como células vazias. Contudo o ITU-T faz uma distinção entre estes dois tipos de células. As células não-designadas são visíveis tanto na camada ATM como na camada física e são enviadas pelo transmissor sempre que não há informações disponíveis para serem transmitidas, com o objetivo de alertar o equipamento distante da continuidade da conexão. A existência destas células se limita a interface UNI, ou seja, estas células existem somente entre o usuário e a primeira central local. Estas células não possuem endereçamento de destino, não pertencendo a nenhum usuário específico (nó de recepção). Por sua vez, as células vazias são visíveis somente na camada física e desta forma, não passam para a camada ATM. Estas células estão presentes em toda a rede, e assim como as células não-designadas, não pertencem a nenhum usuário específico. Elas são inseridas com o objetivo de adaptar a taxa do sistema à taxa útil de transmissão (em sistemas SDH e TPCA esta taxa é de 149760 kbits/s), quando não se tem informações a transmitir.

Em relação ao termo assíncrono, A do acrônimo ATM, é oportuno lembrar aqui que o fato se deve ao usuário começar a transmitir a partir de um instante qualquer, a uma taxa qualquer. Durante o período em que o usuário não está transmitindo, e assim, não havendo conexão estabelecida, células vazias são inseridas com o objetivo de realizar a função descrita acima, ou seja, adaptar a taxa de transmissão do sistema.

As células de meta-sinalização são usadas para negociar o VCI e os recursos de sinalização. As células de sinalização “broadcast” transportam informações as quais devem ser difundidas entre todos os terminais da UNI. Os valores de VCI/VPI para estas células são apresentados na tabela 2.2. As células OAM da camada física transportam principalmente informações de manutenção relacionadas a esta camada.

Os valores de cabeçalho predeterminados para estas células são apresentados na tabela 2.3.

Ainda na tabela 2.3 vê-se que as células vazias não usam o campo GFC, dado que as mesmas transitam apenas na camada física (como já mencionado, estas células existem tanto no segmento usuário-central local como dentro da rede). As células não-designadas podem usar os bits do campo GFC, pois estão presentes na camada ATM e o controle de fluxo é executado a nível desta camada (estão presentes apenas entre o usuário e a central-local).

Pode-se verificar também que existem alguns bits reservados para o uso nas camadas ATM e física respectivamente. Os 7 bits a serem usados pela camada ATM são identificados por A e aqueles a serem usados pela camada física são identificados por P.

**Tabela 2.2:** Valores de VCI/VPI para células de sinalização.

	VPI	VCI
Meta-sinalização	0000 0000	0000 0000 0000 0001
Sinalização 'broadcast'	0000 0000	0000 0000 0000 0010

**NOTA:** Os valores de VPI iguais a zero na tabela acima, indica que as sinalizações acima são executadas a nível de central local. Para valores de VPI diferentes de zero, os valores de VCI especificados são reservados para sinalização com outras entidades de sinalização (outros usuários ou redes remotas) [ITU-T, I.361].

**Tabela 2.3:** Valores pré-determinados de cabeçalhos de células.

	Octeto 1	Octeto 2	Octeto 3	Octeto 4
Reservada para uso pela camada física (UNI)	PPPP0000	00000000	00000000	0000PPP1
Reservada para uso pela camada física (NNI)	00000000	00000000	00000000	0000PPP1
Células não-designadas (UNI)	AAAA0000	00000000	00000000	0000AAA0
OAM da camada física	00000000	00000000	00000000	00001001
Células vazias	00000000	00000000	00000000	00000001

A : Bit disponível para uso da camada ATM

P : Bit disponível para uso da camada Física

#### 2.4.2.2 Comutação de Células ATM

Um comutador (ou nó de comutação) é formado por várias portas associadas às linhas físicas da rede. A função de comutação em um nó corresponde a recepção de células que chegam pelas portas de entrada e à sua retransmissão pelas portas de saída, mantendo a ordem das células em cada conexão. Em outras palavras, a comutação em cada nó é a parte mais básica do encaminhamento das células ao destino. Para que cada nó possa efetuar a comutação é necessário que seja alimentado de informações sobre as rotas das células.

As células numa rede ATM são transportadas através de conexões. Uma conexão ponta-a-ponta em redes ATM é denominada uma Conexão de Canal Virtual (Virtual Channel Connection - VCC) e é formada pela concatenação de conexões virtuais estabelecidas nos vários enlaces da rede, da origem até o destino. Cada conexão virtual em um enlace é denominada de Enlace de Canal Virtual (Virtual Channel Link - VCL).

Desta forma, os campos de VCI e VPI, os quais serão denominados em conjunto de rótulo da célula, são responsáveis pela identificação destas conexões.

Quando uma célula chega a um comutador ATM, o rótulo é avaliado e este identifica o VCL utilizado pelo comutador anterior do caminho estabelecido pela VCC. De posse desta informação e da porta de entrada, o comutador consulta uma tabela estabelecida e mantida pelos processos de sinalização e estabelecimento de conexões, que relaciona cada VCL e porta de entrada ao próximo VCL e porta de saída, a ser utilizada no caminho estabelecido pela VCC. O comutador pode então atualizar o rótulo da célula e retransmití-la pela porta de saída especificada na tabela, conforme é ilustrado na figura 2.8.

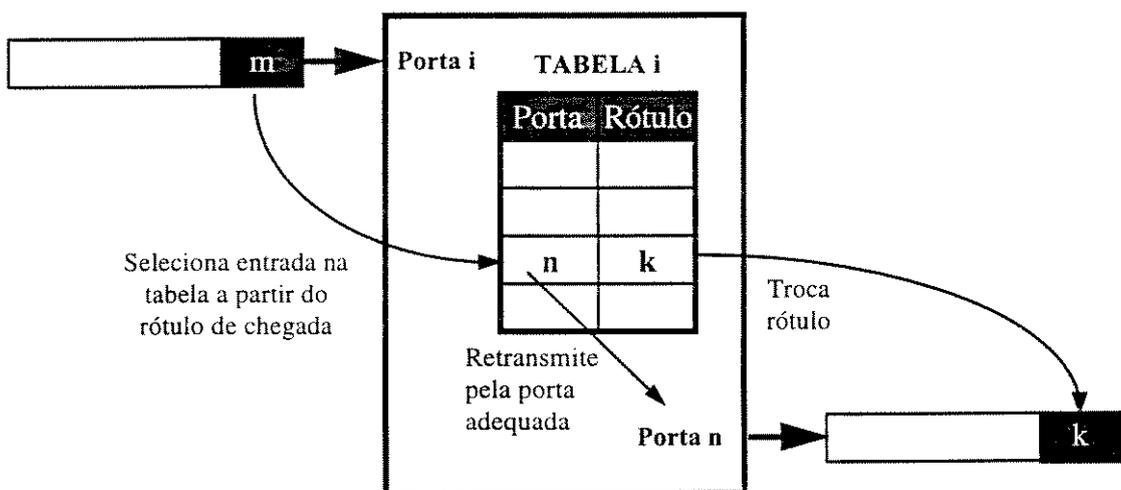


Figura 2.8: Comutação através do rótulo.

Uma VCC é uma concatenação de VCL's identificadas pelos rótulos e portas contidos nas tabelas dos nós de comutação.

A associação de entradas a cada VCC, nas tabelas de rotas, implica um volume alto de processamento, tanto no momento da conexão como no momento do encaminhamento. Para reduzir o processamento em alguns nós de comutação, é comum que várias VCC's sejam roteadas pelos mesmos caminhos em determinadas partes da rede (principalmente onde o número de linhas é pequeno e com alta concentração de tráfego). Assim, as tabelas de rotas não precisariam conter uma entrada para cada VCC estabelecida, mas sim para cada conjunto de VCC's, que seria comutado de forma única. Denomina-se uma Conexão de Rota<sup>2</sup> Virtual (Virtual Path Connection - VPC) um conjunto de VCC's que são comutadas em conjunto. VPC's são formadas através da concatenação de Enlaces de Rotas Virtuais (Virtual Path Links - VPL's), correspondendo aos diferentes enlaces que, juntos, formam o caminho entre dois pontos. Um VCL pode ser identificado em cada comutador por um identificador de VPL (Virtual Path Identifier - VPI) mais um identificador de qual conexão dentro da VPL estamos nos referindo (Virtual Channel Identifier - VCI).

Vários caminhos virtuais, cada um composto de várias conexões virtuais, podem ser entendidas como um cabo, em cada enlace, composto de vários cabos internos mais finos (os VPL's) que, por sua vez, ainda são compostos de cabos mais finos (que identificam uma VCL dentro de uma VPL). A figura 2.9 ilustra esta analogia.

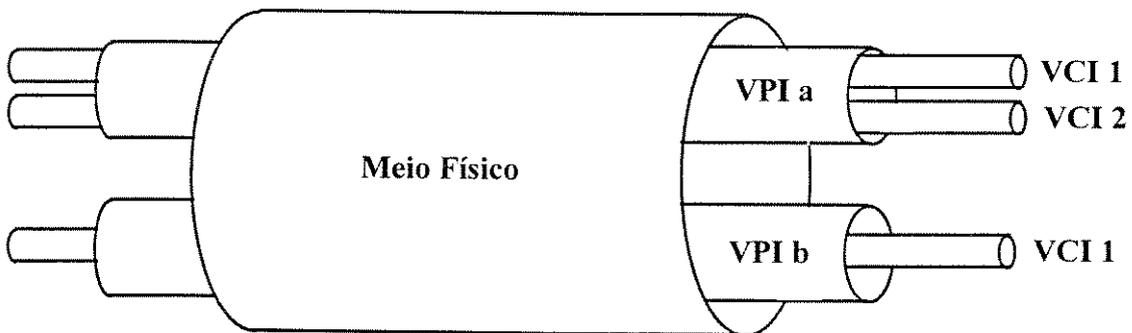


Figura 2.9: Meio físico com duas VPLs e três VCLs.

<sup>2</sup> Optou-se aqui pela tradução *Path=Rota*, tradução já bem difundida e compreendida dentro do conceito de telecomunicações, embora pudesse ser também utilizada a tradução *Path=Caminho*, definindo desta forma, um conceito físico-lógico de conexão entre dois extremos.

Como o VPI é apenas uma parte do rótulo da célula utilizado para o seu encaminhamento, podemos imaginar que existem duas camadas de comutação: uma camada inferior onde apenas o VPI é analisado e uma camada superior, na qual dado um VCI contido naquele VPI, a comutação poderá ser efetuada. Alguns nós da rede poderão efetuar a comutação baseando-se apenas no VPI (exibindo somente a camada inferior) enquanto que outros farão a comutação baseando-se no rótulo completo da célula (ou seja, VPI + VCI, exibindo as duas camadas de comutação).

O funcionamento para os comutadores de VP é idêntico ao ilustrado para a comutação a partir de um rótulo, só que apenas o campo VPI é utilizado, como mostra a figura 2.10.

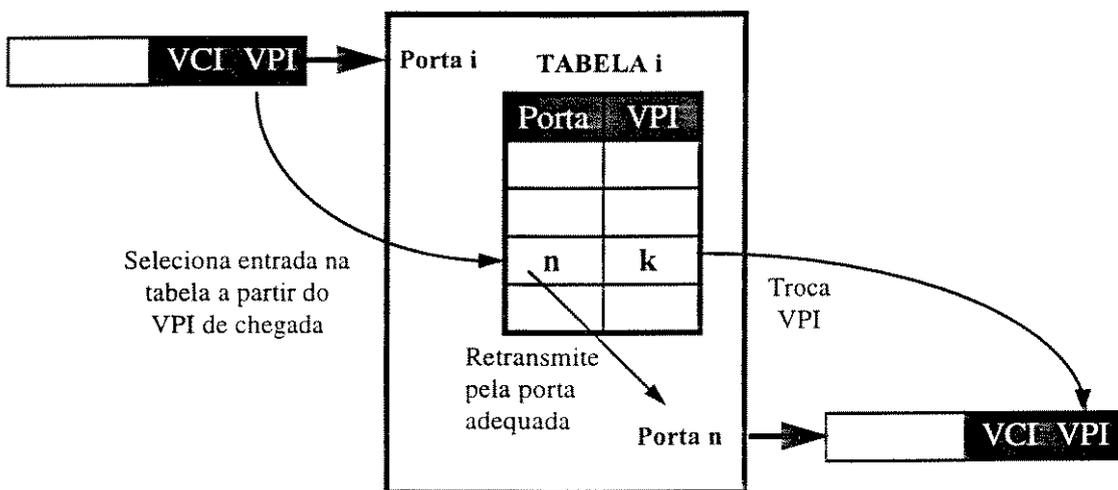


Figura 2.10: Funcionamento de comutadores de VP.

Os comutadores que comutam VP's e VC's (apresentam as duas camadas) utilizam o VPI como uma entrada para a tabela de VPI associada à porta de entrada da célula. Cada porta do comutador tem uma tabela de VPI associada, na qual cada entrada representa um VPI diferente. Associada a cada entrada desta tabela, encontra-se um ponteiro para uma nova tabela: a tabela de VCI associada àquele VPI. As tabelas de VCI's contêm então os novos identificadores de porta, VCI e VPI utilizados para retransmitir a célula. O processo é ilustrado na figura 2.11.

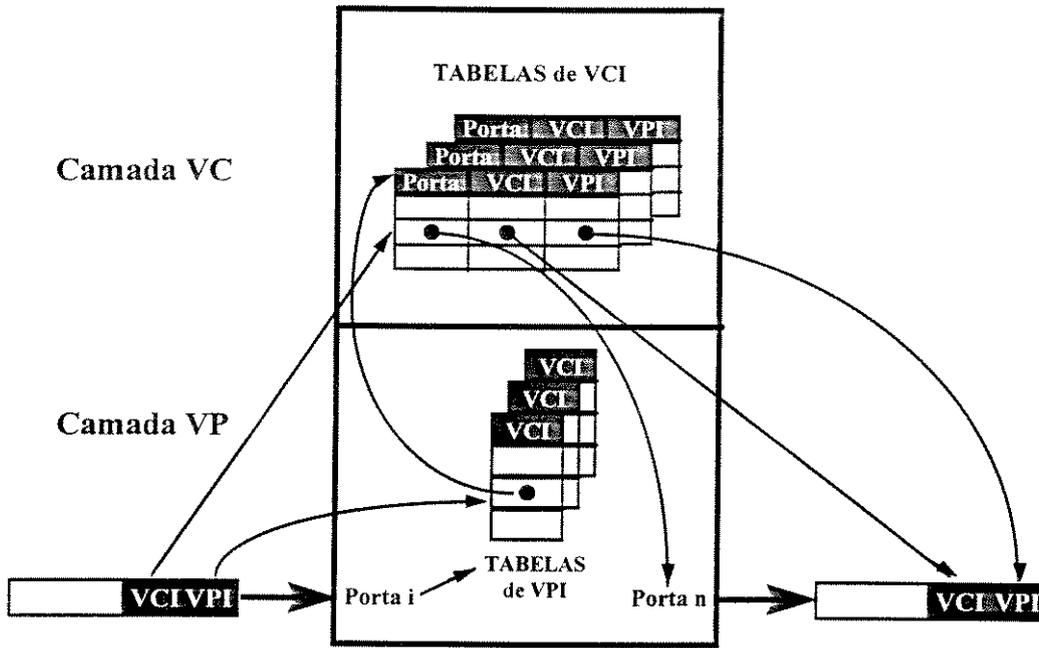


Figura 2.11: Funcionamento de um comutador com as duas camadas VP e VC.

Observe que, através de uma VPC, formada por elementos comutadores de VP, o VCI é passado de forma transparente, como mostrado na figura 2.12.

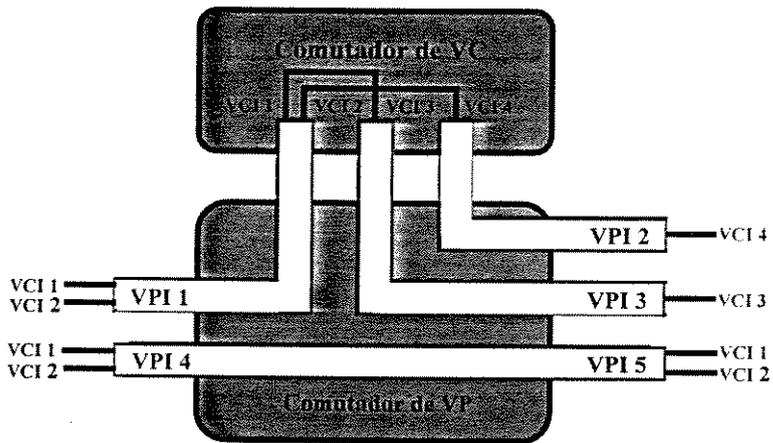


Figura 2.12: Comutadores de VP e de VC.

Tanto os VPC's quanto os VCC's podem ser permanentes (também chamados dedicados) ou chaveados (estabelecidos dinamicamente através de procedimentos de sinalização).

### 2.4.3 Camada de Adaptação ATM (AAL)

Esta camada é responsável pela adaptação da informação das camadas superiores às células ATM. Esta é subdividida em duas subcamadas: a subcamada de segmentação e remontagem (SAR - Segmentation And Reassembly Sublayer) e a subcamada de convergência (CS - Convergence Sublayer).

A subcamada SAR tem como função principal a quebra da unidade de informação das camadas superiores em células ATM (segmentação) e o inverso desta operação (remontagem). Para que esta última seja executada, a SAR deve ser capaz de identificar uma seqüência de células como a unidade de informação original segmentada. Assim, é necessário definir campos adicionais dentro do campo de carga útil da célula, para que seja verificada a continuidade dos segmentos de informação e, dependendo do protocolo usado (principalmente no caso de serviços VBR), informar se o campo de carga útil está completamente ou apenas parcialmente preenchido.

A subcamada de convergência é dependente do tipo de serviço e pode executar funções tais como: identificação de mensagens (multiplexação), recuperação de relógios, detecção de perdas de células.

A camada AAL é responsável por adequar os serviços fornecidos pela camada ATM, para que se possa suportar as funções exigidas pelas camadas superiores. Estas funções podem ser funções de usuários, funções de controle (sinalização) e gerenciamento. A AAL mapeia as unidades de dados do protocolo (PDU - Protocol Data Unit) de usuários, controle ou gerenciamento dentro do campo de informação da célula ATM e vice-versa.

Estes serviços que serão transportados sobre a camada ATM são classificados em 4 classes, sendo que cada classe possui seus requisitos próprios em relação a AAL.

Para obter estas 4 classes, os serviços são classificados de acordo com 3 parâmetros básicos:

1. relação de tempo entre fonte e destino;
2. taxa de bit: constante ou variável;
3. modo de conexão: orientado à conexão ou não orientado à conexão;

### 2.4.3.1 Classes de Serviço

Das 8 combinações possíveis destes parâmetros, o ITU-T definiu 4 classes de serviço: da classe A à classe D. O *ATM Forum* definiu mais uma classe: a classe X. As características das classes de A à D estão resumidas na tabela 2.4.

Tabela 2.4: Classes de serviços para AAL.

	Classe A	Classe B	Classe C	Classe D
<b>Sincronismo entre fonte e destino</b>	Exigido		Não exigido	
<b>Taxa de bit</b>	Constante	Variável		
<b>Modo de conexão</b>	Conexão orientada			Sem conexão orientada

#### Classe A

É utilizada para emulação de circuitos. Aplicações que necessitam de serviços isócronos utilizam-se deste tipo de serviços, como a transmissão de voz e vídeo a taxas constantes (sem compressão).

A AAL deverá efetuar as seguintes funções para suportar serviços de classe A:

- Quebra e remontagem de quadros em células;
- Compensação da variação estatística do retardo<sup>3</sup>:

<sup>3</sup> O retardo (delay) é definido como a diferença temporal entre o envio da informação pela fonte e a recepção desta informação pelo receptor. Este pode ser diferente para cada bloco de informação (um bit ou um pacote), sendo assim uma variável estatística com um valor mínimo e um valor máximo. A diferença entre estes dois valores (mínimo e máximo) é muitas vezes conhecida como "jitter".

O valor deste retardo ponta-a-ponta é um importante parâmetro para serviços de tempo real, tais como voz e vídeo.

O retardo dentro de uma rede possui várias componentes, que podem ser divididas em 2 grupos basicamente:

- Retardo de transferência, causado pelo tempo de transmissão da informação da fonte ao destino.
- Retardo de processamento, causado pelo processamento nos nós de comutação, multiplexadores, etc.

O retardo de transferência é determinado pela velocidade física do meio e a distância a ser coberta entre transmissor e receptor.

O retardo de processamento nos nós é determinado pela implementação física de cada nó no caminho entre fonte e destino e como esta informação é tratada.

Serviços de tempo real permitem uma pequena variação ou nenhuma no retardo do sinal de saída da rede; estes serviços são chamados CBR (Continuous Bit Rate Oriented - Taxa Contínua de Bit Orientada), ou isócronos.

- Tratamento adequado de perdas, duplicações e erros em células recebidas;
- Recuperação do relógio de origem.

### Classe B

Esta classe é, basicamente, destinada para tráfego de voz e vídeo cujas reproduções são feitas à taxa constante, mas que podem ser codificadas com taxas variáveis através de compressão ou compactação. Os serviços fornecidos pela AAL para suportar os requisitos de serviços de classe B deve incluir mecanismos de compensação da variação estatística do retardo. Os procedimentos para a AAL relativa a esta classe ainda não foram definidos.

### Classe C

Os serviços de classe C são os tradicionais serviços encontrados em redes de comutação de pacotes com conexão como o X.25, por exemplo. São serviços não isócronos de conexão orientada, onde a variação estatística do retardo não causa maiores problemas.

Dois modos de serviços são definidos: *modo de mensagem e modo de fluxo*. O modo de mensagem permite a transferência de um quadro de informação, enquanto que o modo de fluxo permite transferência sem particionamento da informação em mensagens, ou seja, a transferência da informação é feita de forma contínua (sem se preocupar com o início e o fim de uma SDU).

Algumas das funções que a AAL deverá executar para dar suporte a serviços de classe C incluem:

- Quebra e remontagem de quadros em células;
- Detecção e sinalização de erros na informação.

Adicionalmente, a AAL poderá fornecer serviços como os de multiplexação e demultiplexação de várias conexões de usuário em uma única conexão ATM, muito embora este ainda seja um ponto de desacordo.

**Classe D**

Serviços de classe D são serviços sem orientação de conexão e com taxa variável. Correspondem aos serviços sem orientação de conexão das redes de dados, como os de interconexão de redes com TCP/IP.

**Classe X**

A classe X define um serviço de conexão orientada ATM. A camada AAL, neste caso, não tem função.

**2.4.3.2 Tipos de AAL**

Existem atualmente, cinco tipos de AAL:

- *AAL 0*: este tipo representa a ausência de funções da camada AAL, representando o fornecimento de serviços da camada ATM.
- *AAL 1*: efetua os procedimentos necessários para fornecer serviços de classe A.
- *AAL 2*: efetua os procedimentos necessários para fornecer serviços de classe B. As recomendações para este tipo ainda não foram estabelecidas.
- *AAL 3/4*: efetua os procedimentos necessários para fornecer os serviços de classe C e D. Os tipos AAL3 e AAL 4 foram combinados durante o processo de definição das normas quando se concluiu que os mesmos procedimentos poderiam ser executados para ambas as classes de serviço.
- *AAL 5*: efetua os procedimentos necessários para fornecer serviços de classe C e D, porém de forma mais simples do que os procedimentos definidos para a AAL 3/4.

Há também uma AAL de sinalização (Signalling AAL - SAAL) definida. Esta AAL não é utilizada para serviços de usuário, mas sim para suporte a conexões de sinalização entre comutadores ATM ou entre pontos terminais e comutadores ATM.

É importante ressaltar aqui que, para as estruturas AAL 3/4 e AAL 5, a subcamada de convergência é ainda subdividida em duas subcamadas: a Subcamada de Convergência Específica do Serviço (Service Specific Convergence Sublayer - SSCS) e a Parte Comum da Subcamada de Convergência (Common Part Convergence Sublayer - CPCS), como ilustrado na figura 2.13.

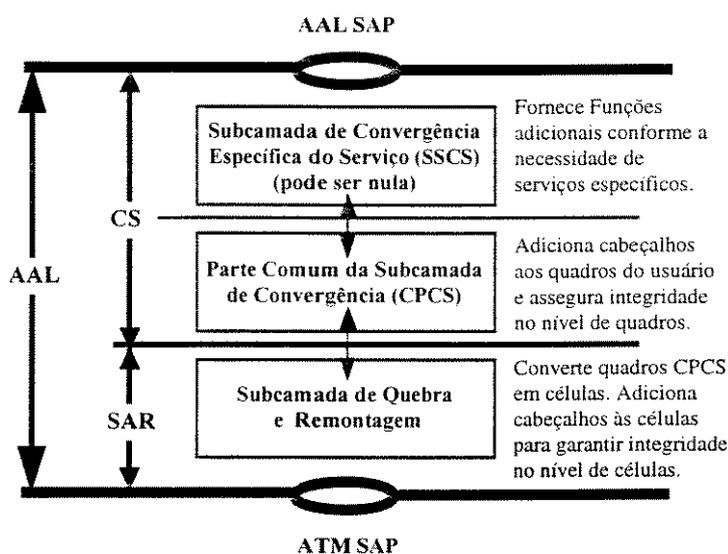


Figura 2.13: Estrutura das subcamadas para as AAL 3/4 e AAL 5.

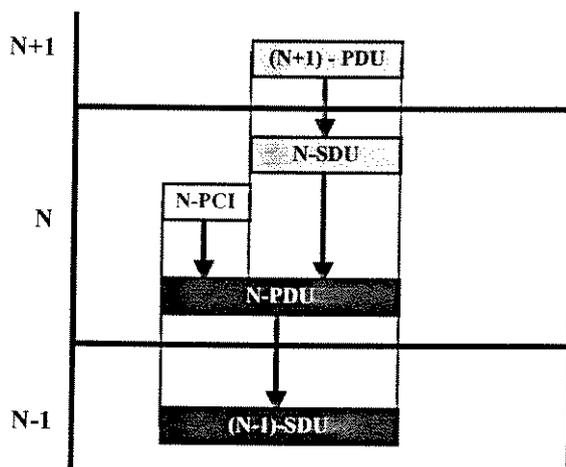
Nas AAL's do tipo 3/4 e 5, ao receber quadros da camada superior, a CS pode efetuar procedimentos para suporte a serviços específicos. Tais procedimentos já foram definidos para alguns serviços específicos da classe D, como para o serviço de frame relay, por exemplo. A SSCS é a subcamada responsável pelos procedimentos específicos (para cada classe de serviço e para serviços específicos de uma mesma classe). A CPCS efetua os procedimentos comuns às classes de serviço.

As interfaces entre as subcamadas da AAL são definidas apenas através de primitivas lógicas, sem a especificação de pontos de acesso a serviços (SAP's), o que significa dizer que estas interfaces internas não estarão disponíveis aos usuários.

A terminologia utilizada para as unidades de informação trocadas entre as camadas obedece as regras estabelecidas pelo modelo OSI. Convém lembrar esta nomenclatura:

- SDU (Service Data Unit): é a unidade de informação de serviço, recebida por uma camada através da interface com a camada superior.
- PDU (Protocol Data Unit): é a unidade de informação de protocolo, gerada por uma camada a partir de uma SDU recebida da camada superior, adicionando informações de controle da camada (PCI). A PDU é a unidade de informação entregue à camada inferior.
- PCI (Protocol Control Information): é a informação de controle do protocolo, que adicionada a SDU recebida, transforma-a em uma PDU da camada.

A figura 2.14 ilustra estas unidades mostrando a troca de informação na transmissão em três camadas adjacentes.



**Figura 2.14:** Troca de unidades de informação entre três camadas adjacentes.

No modelo OSI, dada uma camada N define-se (por simplicidade) a camada imediatamente inferior como N-1 e a imediatamente superior como N+1. Um conceito fundamental ao modelo de camadas OSI é o de serviço.

Cada camada de um nível inferior fornece um conjunto diferente de serviços à camada superior. A medida que se move em direção às camadas superiores, o conjunto de serviços fornecidos são incrementados. Em outras palavras, uma camada intermediária fornece serviços a camada superior e utiliza os serviços fornecidos pela camada inferior e todas as demais camadas inferiores a esta. Basicamente a camada N adiciona valores aos serviços da camada N-1 e, conseqüentemente, acrescenta um conjunto de novos serviços que são fornecidos a camada superior.

A interação entre a camada N+1 e a N (ou N e N-1) é feita pelos Pontos de Acesso ao Serviço (SAP's - Service Access Point).

Um ponto de acesso ao serviço é como uma interface através da qual duas entidades de camadas adjacentes, porém dentro do mesmo sistema aberto, podem interagir uma com a outra, tal que serviços são fornecidos ou acessados [Jain / Agrawala 93].

### 2.4.3.3 AAL 0

É conhecida também como *AAL nula* e corresponde ao processo que conecta o usuário da AAL diretamente ao serviço oferecido pela camada ATM. Alguns sugerem que este serviço deve ser utilizado para o tráfego de controle, muito embora outros

argumentem que o tráfego de controle é justamente aquele que não pode ser perdido ou danificado.

A AAL 0 pode ser utilizada por equipamentos que querem fornecer seus próprios serviços utilizando diretamente a tecnologia de transferência baseada no ATM. Estes serviços deverão então ser providos em camadas superiores.

#### **2.4.3.4 AAL 1**

É utilizada para serviços de classe A. Estes são serviços para tráfego de taxa constante (CBR), onde o sincronismo existente na origem deve ser reproduzido no destino. As funções da AAL 1 são:

- O recebimento de informação na origem e o seu empacotamento em unidades do tamanho do campo de informação das células para a transmissão através da rede.
- A entrega da informação ao usuário no outro lado da rede, mantendo a sincronização existente na origem.

Quando células são geradas na origem a partir do fluxo contínuo de informações e transmitidas através da rede, elas não mais exibirão um padrão contínuo no destino devido à variação estatística do retardo. A AAL deverá se encarregar de, na recepção, manter o fluxo contínuo e constante dos dados.

Os relógios dos transmissores e receptores ao longo de uma rede não são, na prática exatamente iguais. O tráfego de células pode passar por vários comutadores e multiplexadores que podem utilizar diferentes taxas de transmissão ao longo de caminhos da rede. A AAL deve providenciar para que a taxa de entrega de bits na recepção esteja sincronizada com a taxa original desejada pelo serviço na origem, ou seja, a recuperação do relógio.

#### **Operação da AAL 1**

Sua operação está resumida na figura 2.15.

A AAL recebe um fluxo de bits constante e contínuo da camada superior e monta CS-PDU's, que são enviadas a SAR, tornando-se SAR-SDU's. Às SAR-SDU's são adicionados os campos SN (Sequence Number) e SNP (Sequence Number Protection)

para formar as SAR-PDU's. SAR-PDU's têm 48 octetos cada, consistindo na carga útil da célula ATM. A estrutura da SAR-PDU para a AAL 1 está apresentada na figura 2.16.

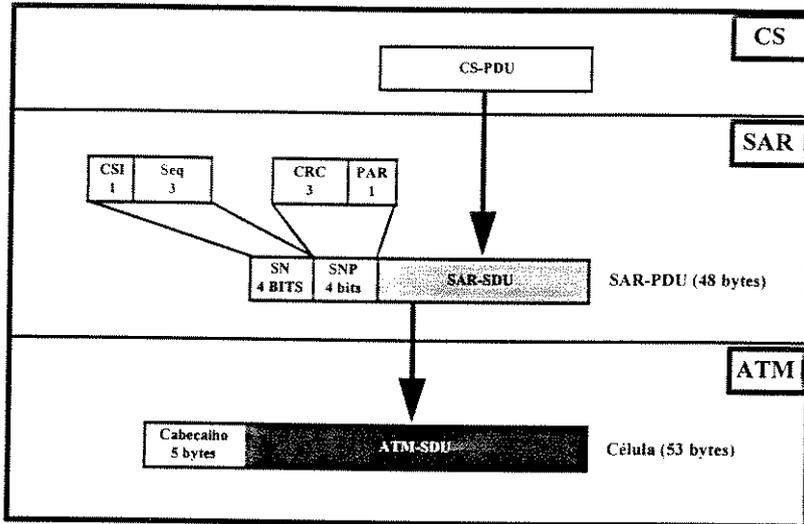
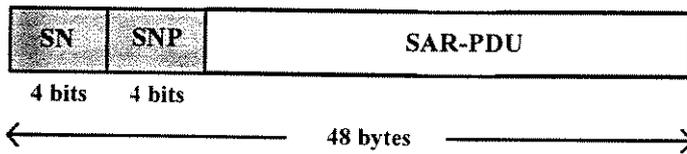


Figura 2.15: Operação da AAL 1.



SN = Sequence Number - Número de Sequência  
 SNP = Sequence Number Protection - Proteção do Número de Sequência  
 SDU = Service Data Unit - Unidade de Serviço de Dados

Figura 2.16: Estrutura da SAR-PDU para a AAL 1.

O campo SN da SAR-PDU contém três bits que indicam a sua seqüência no fluxo, e um bit de indicação de CS (CS indication - CSI) destinado a recuperação de relógios. O campo SNP (Sequence Number Protection) é utilizado para detectar erros no SN, consistindo de um campo de CRC de três bits (cujo polinômio gerador é  $x^3 + x + 1$ ) e de um bit de paridade par que protege os demais bits do cabeçalho. Com o CRC mais a paridade, é possível corrigir erros de um bit e detectar erros múltiplos.

A informação gerada por uma fonte de tráfego para serviços de classe A pode ser estruturada ou não estruturada. No tráfego estruturado, o fluxo contínuo e constante apresenta intervalos lógicos com início e fim. Em transmissão de vídeo, por exemplo, pode-se querer marcar o início de cada quadro no fluxo gerado. A AAL 1 fornece um mecanismo para a marcação de trechos lógicos no fluxo de transmissão. A forma com

que a AAL 1 faz isso é através da introdução de SAR-PDU's especiais, cujo primeiro octeto carrega um ponteiro que indica, dentro de sua carga, o ponto de início da informação estruturada. Tais células são marcadas no cabeçalho com o bit CSI.

O formato interno da SAR-PDU pode ser então, um dos dois ilustrados pela figura 2.17.

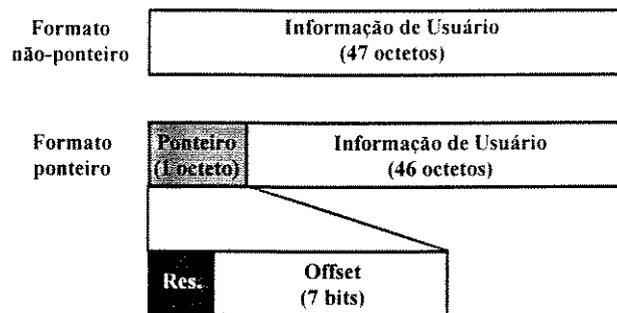


Figura 2.17: Formato da SAR-SDU.

O formato *não-ponteiro* é utilizado para informações de usuário e para informação de marca de tempo residual (Residual Time Stamp - RTS), como será visto a seguir. O formato *ponteiro* exibe um primeiro octeto que é um campo de deslocamento (offset) para indicar a fronteira de dados estruturados.

SAR-PDU's com o número de seqüência ímpar e bit CSI=1 são utilizados para transportar o RTS (utilizado num dos esquemas de recuperação de relógio que será visto a seguir) e têm formato não-ponteiro.

SAR-PDU's com número de seqüência par e bit CSI=1 indicam a utilização de formato ponteiro. O formato *ponteiro* têm como primeiro octeto o campo ponteiro, no qual o primeiro bit é reservado, enquanto que os sete restantes formam o offset para indicar o início de um quadro de dados estruturados.

SAR-PDU's com bit CSI=0 são utilizados para transportar informações de usuário e têm formato não-ponteiro.

### 2.4.3.5 AAL 2

A AAL 2 é utilizada para prover serviços de classe B, isto é, serviços para dados com tráfego de taxa variável. vídeo e áudio compactado ou comprimido são os exemplos mais comuns desta classe. Atualmente, ainda não existem recomendações do

ITU-T sobre a operação da AAL 2. A necessidade da compensação estatística do retardo já foi apontada. Um dos maiores desafios é definir os mecanismos de sincronização.

Uma possível estrutura para a SAR-PDU desta AAL é apresentada na figura 2.18.

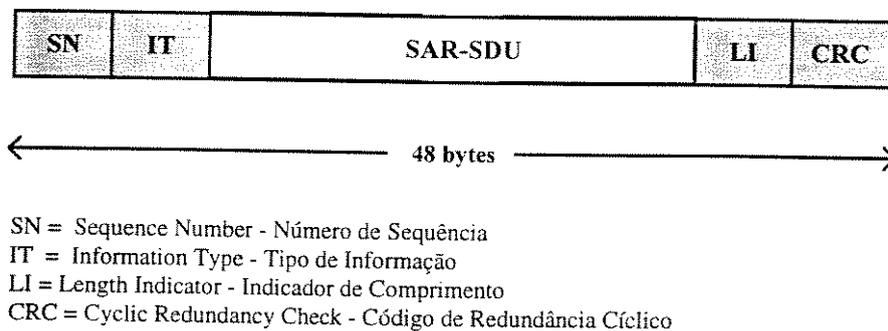


Figura 2.18: Possível estrutura SAR-PDU para a AAL 2.

#### 2.4.3.6 AAL 3/4

A AAL 3/4 fornece suporte para serviços de classe C (orientado à conexão) e classe D (não orientado à conexão). Originalmente, dois tipos de AAL foram propostos para suporte às classes C e D: a AAL 3 e a AAL 4, respectivamente. Estes dois tipos foram combinados durante o processo de definição das normas, quando se concluiu que vários procedimentos comuns eram executados para ambas as classes de serviço. Entre estes se incluem as funções associadas à subcamada SAR e mais algumas das funções executadas pela subcamada CS. Assim, o ITU-T propôs uma subdivisão da subcamada CS de forma a refletir a divisão entre os procedimentos comuns e os procedimentos específicos de uma classe de serviços (ver figura 2.13): a *Subcamada de Convergência Específica de Serviço (Service Specific Convergence Sublayer - SSSCS)* e a *Parte Comum da Subcamada de Convergência (Common Part Convergence Sublayer - CPCS)*.

Os serviços de transporte fornecidos pela AAL 3/4 são de dois modos:

- O *modo de mensagem*, no qual um quadro de informação (AAL-SDU) é recebido do usuário e enviado a outro usuário na rede.
- O *modo de fluxo*, no qual um fluxo de quadros de informação é transportado pela rede a outro usuário.

Quando células são transportadas através de uma rede ATM, muitas delas poderão ser perdidas, descartadas, entregues erroneamente ou danificadas. Dependendo da forma de tratamento escolhida nestas situações, existem três alternativas de tratamento que a AAL pode adotar para a entrega de SDU's à camada superior:

1. Entregar somente SDU's corretas ao destino, descartando qualquer SDU que teve células perdidas ou com erro.
2. Realizar a recuperação de erros fim a fim e entregar a seqüência correta de SDU's sem nenhuma faltando.
3. Não fazer a recuperação de erros fim a fim e entregar todas as SDU's ao destino (mesmo as com erros e ausência de células). Neste caso, a AAL deverá sinalizar ao destino que erros foram detectados na informação que está sendo entregue.

A AAL 3/4 permite a utilização de todas as alternativas de entrega, definido dois tipos de operação: *operação assegurada* e *operação não assegurada*.

Na *operação assegurada*, a AAL deverá efetuar a recuperação de erros ponta a ponta através de retransmissão. Esta função é parte da subcamada de convergência específica de serviço (SSCS).

Na *operação não assegurada*, a AAL não efetua a recuperação de erros e deixa a cargo do usuário decidir se quer ou não receber as SDU's com erro.

Os modos (mensagem/fluxo) e os tipos de operações (assegurada ou não) são opções a serem implementadas de acordo com a definição de serviços específicos e, portanto, são funções da subcamada de convergência específica do serviço (SSCS).

#### **Operação da AAL 3/4**

A operação da AAL 3/4 pode ser resumida como mostra a figura 2.19.

Um quadro de usuário é passado a AAL e recebido na SSCS, sendo aí denominado AAL-SDU. Pressupondo a ausência de funções específicas de serviço, o quadro é entregue à subcamada CPCS, que adiciona bits de enchimento (padding) de forma a tornar o tamanho do quadro um múltiplo de 4 bytes, adicionando também o cabeçalho (header) e o cauda (trailer) relativos a esta subcamada (o formato destes campos será detalhado mais adiante). A nova unidade de informação denominada CPCS-PDU, é passada para a SAR onde será segmentada em unidades de exatamente 44 bytes

(podendo haver enchimento na unidade final). A SAR adiciona, então, seus próprios bits de “overheads”, gerando a SAR-PDU que é passada à camada ATM. O formato da CPCS-PDU encontra-se na figura 2.20 e a estrutura da SAR-PDU está apresentada na figura 2.21.

O campo CPI (Common Part Indicator) especifica como os outros campos da CPCS-PDU devem ser interpretados. Ele especifica, por exemplo, a codificação utilizada para os campos Length e BAsize.

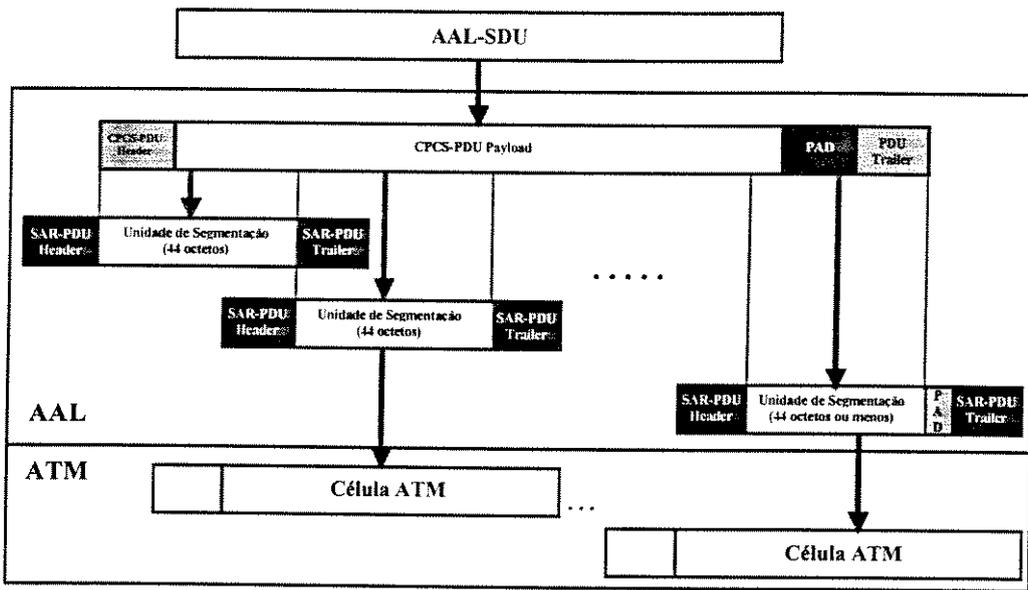


Figura 2.19: Operação da AAL 3/4.

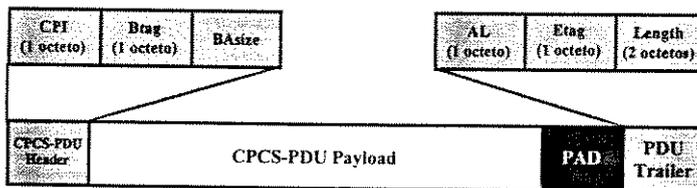


Figura 2.20: Formato da CPCS-PDU.

Quando o CPCS adiciona o cabeçalho e a cauda para gerar o CPCS-PDU, o mesmo valor é atribuído aos campos Btag (Beginning tag) e Etag (End tag). A cada PDU construída, este valor é incrementado (até um valor máximo, quando então retorna ao início). Ao efetuar a remontagem de uma CPCS-PDU, o valor do Btag deve ser igual ao

do Etag. Este é um dos mecanismos utilizados pela CPCS para assegurar que a remontagem de PDU's foi realizada corretamente na recepção.

O campo BAsize é utilizado para informar ao receptor quanto espaço de armazenamento temporário é necessário ser alocado para a remontagem da CPCS-PDU. Este valor pode ser maior ou igual ao tamanho da PDU.

O campo PAD é adicionado à AAL-SDU de forma a garantir que o tamanho de unidade de informação tenha um valor determinado (múltiplo de quatro bytes, por exemplo).

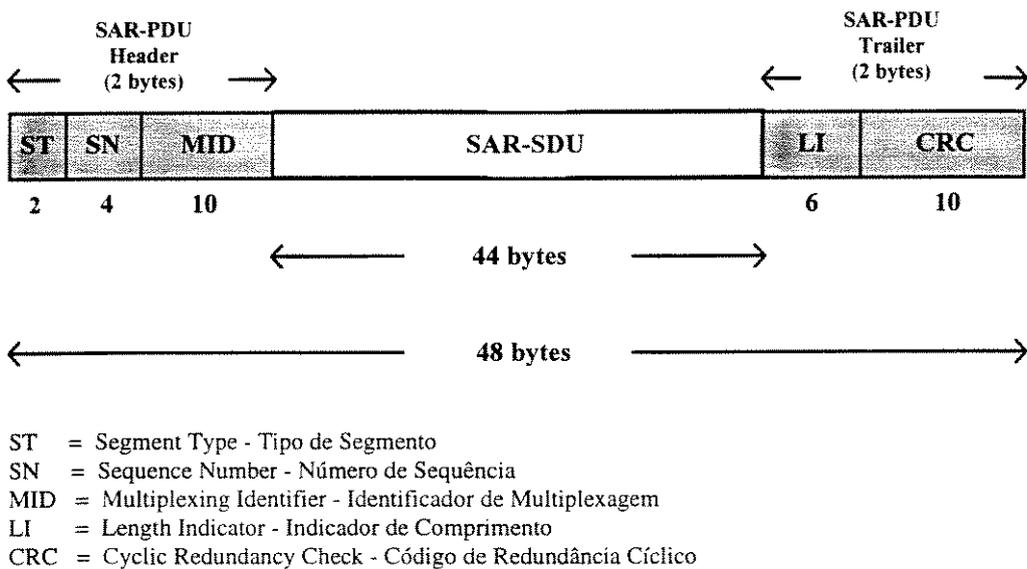


Figura 2.21: Estrutura da SAR-PDU para AAL 3/4.

O campo de alinhamento (AL - Alignment Field) é utilizado somente para fazer com que o fecho tenha tamanho igual a quatro octetos. O AL é definido como sendo formado por oito bits zero.

O Field Length é o tamanho real (em bytes, se o CPI=0) da carga CPCS-PDU. Este campo pode ser utilizado como mais uma forma de assegurar que a remontagem foi realizada de forma correta.

O Segment Type (ST) é formado de dois bits que indicam a posição de segmentos individuais dentro de SAR-SDU's. Os valores definidos para este campo são:

10 = BOM - Beginning of Message (início da mensagem)

00 = COM - Continuation of Message (continuação de mensagem)

01 = EOM - End of Message (fim de mensagem)

11 = SSM - Single Segment Message (mensagem de segmento simples)

O Sequence Number (SN) é formado de quatro bits para numerar as SAR-PDU's em seqüência módulo 16. Este campo é utilizado para a verificação da seqüência correta de células no momento da remontagem da SAR-SDU.

O campo MID (multiplexing Identification Field) é explicado logo a seguir quando será abordado a multiplexação de conexões.

O Length Indicator (LI) especifica quantos octetos de informação realmente existem na carga útil da SAR-PDU. Para todas as SAR-PDU's, exceto a última de uma SAR-SDU, LI é igual a 44. Na última SAR-PDU, este campo pode assumir um valor entre 4 e 44 (a CPCS já havia efetuado o enchimento (padding) que tornou a CPCS-PDU múltipla de 4).

O CRC é calculado sobre todo o SAR-PDU, exceto sobre o próprio campo de CRC, sendo utilizado para a detecção de erros.

### **Multiplexação de Conexões**

Como na rede DQDB, a AAL 3/4 tem a capacidade de permitir que várias conexões AAL 3/4 de usuários utilizem a mesma conexão ATM simultaneamente. Cada conexão AAL tem uma instância separada de AAL, o que permite às SAR-PDU's originadas de diferentes CPCS-PDU's serem aleatoriamente mescladas na mesma conexão ATM. Ao alcançar a AAL de destino, estas SAR-PDU's devem ser separadas corretamente de forma a remontar as CPCS-PDU's. Para tanto, faz-se necessária alguma forma de identificar SAR-PDU's originadas de uma mesma CPCS-PDU. O campo MID (Multiplexing Identification Field) é utilizado com este propósito, consistindo em um número escolhido pela SAR para identificar o referido grupo de SAR-PDU's. Quando uma SAR-PDU cujo campo ST (Segment Type) é igual a BOM (Begin of Message) é recebida pela AAL destino, ela é interpretada como um início de quadro, sendo o valor do seu campo MID armazenado para ser utilizado no reconhecimento de todas as SAR-PDU's subseqüentes, do mesmo quadro.

A idéia por trás da utilização do MID é a de um estabelecimento de conexão virtual momentânea: a primeira célula de um grupo funciona como se fosse o sinal para estabelecimento da conexão, que permanece ativa até a última célula do grupo. O MID é como se fosse o identificador da conexão para as células subseqüentes. O resultado é um

serviço não orientado à conexão, mas que utiliza as idéias originadas em serviços orientado à conexão para diminuir o “overhead” de endereçamento e de comutação.

### Serviços não Orientado à Conexão

Um serviço não orientado à conexão recebe unidades de informação (denominadas de quadros) que contêm informação suficiente para o seu encaminhamento sem a necessidade de estabelecimento de conexão prévia entre origem e destino. É o serviço que comumente denominamos de datagrama.

Existem duas propostas para fornecer serviços não orientado à conexão em redes ATM. A primeira delas, denominada *abordagem indireta*, sugere que o serviço deve ser oferecido por equipamentos externos à rede denominados *Interworking Units (IWU's)*. Internamente à rede informações são transportadas através de conexões ATM (portanto orientado à conexão) entre IWU's.

A outra alternativa, denominada *abordagem direta*, consiste em fornecer os serviços não orientado à conexão internamente à rede, através da utilização de *servidores de serviço (Connectionless Servers - CLS)*. Os CLS's são capazes de rotear quadros através de conexões ATM até outros CLS's e daí até o destino. Ambas as propostas estão representadas esquematicamente na figura 2.22 e 2.23.

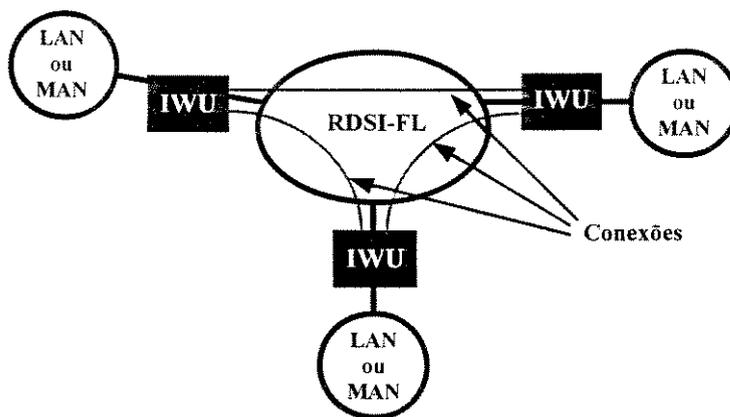


Figura 2.22: Abordagem indireta para serviços não orientado à conexão.

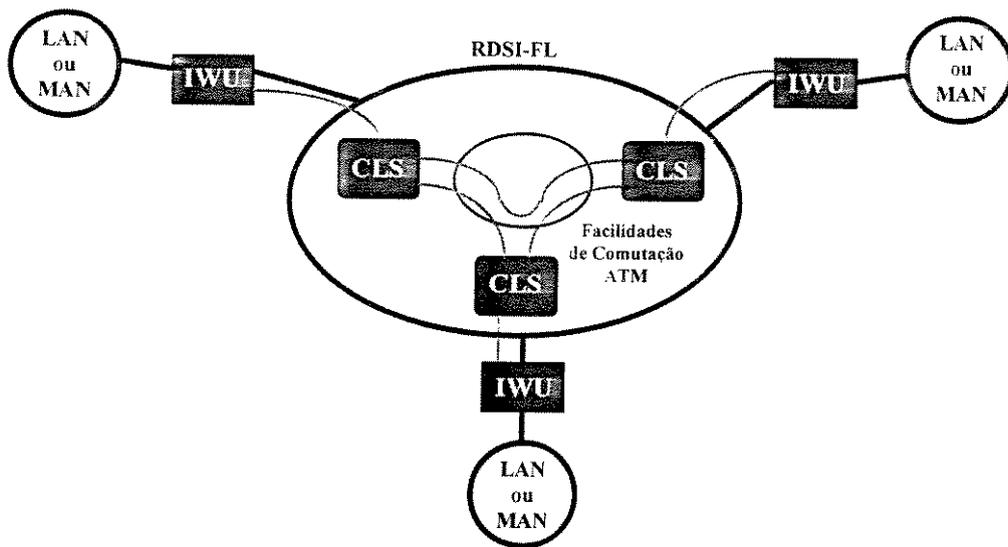


Figura 2.23: Abordagem direta para serviços não orientado à conexão.

### Serviços Orientado à Conexão

As redes ATM também podem ser utilizadas para oferecer serviços orientado à conexão, como os definidos pela classe C, também através de serviços fornecidos pela AAL 3/4.

Serviços como o frame relay, por exemplo, podem teoricamente ser oferecidos sobre a AAL 3/4, embora a recomendação do ITU-T especifique a utilização da AAL 5.

#### 2.4.3.7 AAL 5

Originalmente denominada de *SEAL* (*Simple and Efficient Adaptation Layer*), a AAL 5 foi elaborada para operar de forma mais eficiente que a AAL 3/4 (muito embora não ofereça todas as funções da AAL 3/4).

À exceção da multiplexação de conexões, a AAL 5 apresenta as mesmas funções da AAL 3/4, incluindo: a entrega assegurada ou não assegurada, e os modos de mensagem ou de fluxo. Estas opções, assim como na AAL 3/4, são implementadas como parte da subcamada de convergência específica do serviço (SSCS).

#### Operação da AAL 5

Na operação sem funções específicas de serviço, cada AAL-SDU é mapeada numa CPCS-PDU e a operação é sem segurança em relação a descarte de quadros com erro. Para fornecer operação com segurança, protocolos de camadas superiores são necessários. A operação é ilustrada na figura 2.24.

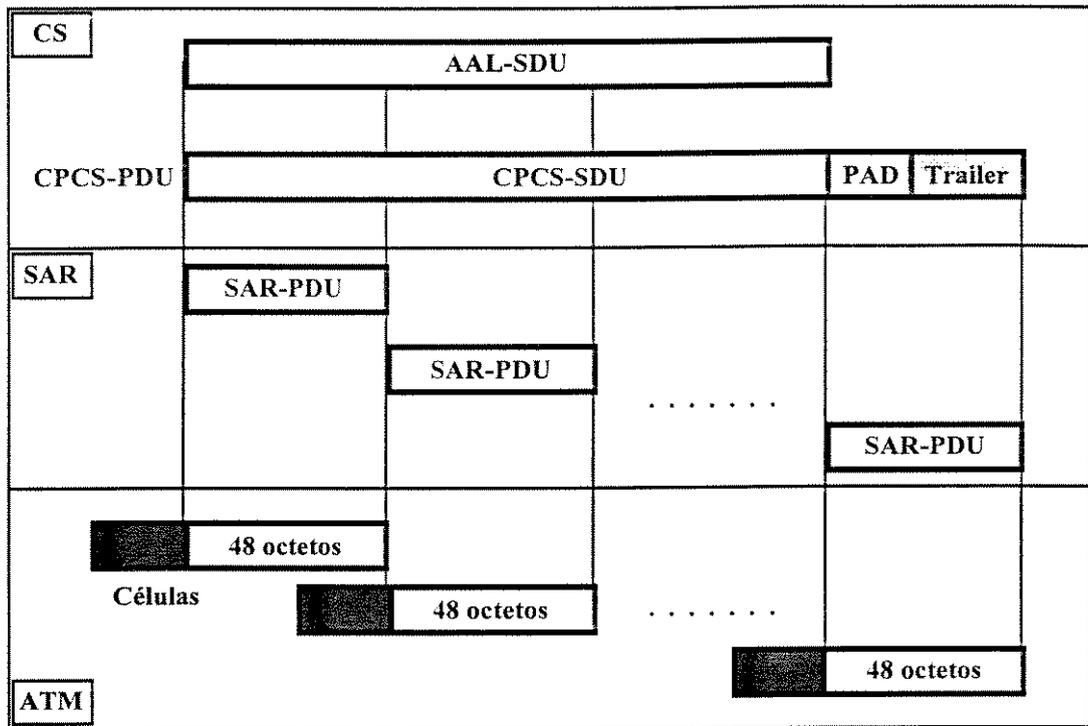


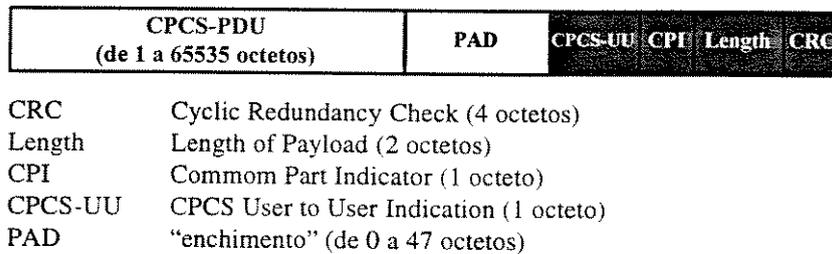
Figura 2.24: Modo de operação para a AAL 5.

Os passos na transmissão podem ser resumidos na seguinte seqüência:

1. Uma AAL-SDU é recebida na AAL-SAP, podendo ser ou não processada por uma SSCS.
2. A informação é passada para a CPCS, tornando-se uma CPCS-SDU.
3. Com a inclusão de uma cauda (trailer) e de bits de enchimento, de forma a tornar o seu tamanho em um múltiplo de 48 octetos, obtemos a CPCS-PDU. A informação presente na cauda é suficiente apenas para assegurar que a CPCS-PDU foi corretamente remontada pela SAR após a sua transmissão pela rede.
4. A CPCS-PDU é então entregue a SAR, tornando-se a SAR-PDU.
5. A subcamada SAR segmenta a SAR-SDU em SAR-PDU's de 48 octetos sem adicionar qualquer campo de overhead.

6. A SAR entrega à camada ATM estes segmentos, agora denominados ATM-SDU's, e indica através de um parâmetro de primitiva<sup>4</sup>, a última do grupo originado pela mesma SAR-SDU.
7. a camada ATM monta as células com o cabeçalho e inclui no campo PT a indicação de última célula do grupo.

A seqüência inversa ocorrerá na recepção. O CPCS-PDU é ilustrado na figura 2.25.



**Figura 2.25: Formato do CPCS-PDU.**

A carga do CPCS-PDU, em caso de ausência da subcamada SSCS, será a própria AAL-SDU. Este campo pode apresentar no máximo 65535 octetos.

O campo PAD é inserido de forma a tornar o tamanho da PDU um múltiplo de 48 octetos.

O campo CPCS-UU (CPCS User to User indication) é utilizado para passar informações entre CPCS's.

O campo Data Length informa o quanto do CPCS-PDU é informação e o quanto é PAD, através do tamanho da parte de informação.

O CRC é o código de redundância cíclica utilizado para detectar erros no CPCS-PDU.

<sup>4</sup> Primitivas de serviço descrevem, de uma forma abstrata, os serviços de informações trocadas entre duas camadas adjacentes através de um ponto de acesso ao serviço (SAP). O parâmetro ATM user-to-user indication pode assumir o valor "1" ou "0" e é passado transparentemente através da camada ATM, sendo usado pelas camadas superiores como forma de controle de tipo de informação. No caso da AAL 5, por exemplo, é utilizado para indicar se a ATM-SDU é a última de uma seqüência que faz parte de um mesmo bloco de informação [Soares 95].

As únicas funções da SAR são a quebra e remontagem de segmentos de 48 octetos, e a sinalização, através de um parâmetro de primitiva, do último segmento de uma mesma SAR-SDU.

#### 2.4.4 Funções de Manutenção

Os princípios básicos de manutenção estão baseados numa manutenção controlada a qual consiste de supervisão, teste e monitoração do desempenho a fim de minimizar a manutenção preventiva e reduzir a manutenção corretiva.

Em [ITU-T, I.610] é descrito um mínimo de funções necessárias para a manutenção das camadas física e ATM, de forma a se obter uma funcionalidade ótima em termos de OAM. As funções de operação e manutenção são especificadas em cinco fases:

- monitoração de desempenho;
- detecção de falhas e defeitos;
- proteção do sistema;
- informação de desempenho ou falha;
- localização de falhas;

Na fase de *monitoração de desempenho*, as entidades são monitoradas por checagens periódicas. Como resultado, informações de eventos de manutenção que mostram o estado das entidades monitoradas (taxas de erros em bits, por exemplo), são produzidas.

Na fase de *detecção de falhas e defeitos*, qualquer mau funcionamento é detectado por checagem (contínua e periódica). Como resultado, informações de eventos de manutenção são produzidas, ou alarmes são disparados.

Na fase de *proteção do sistema*, o efeito da falha é minimizado através do bloqueio da entidade em falha ou através da troca por entidades alternativas. Como resultado, a entidade em falha é excluída da rede.

Na fase de *informação de desempenho ou falha*, a informação sobre falhas e avisos são propagados a outras entidades de gerenciamento.

Finalmente, na fase de *localização de falhas*, testes são efetuados para determinar a exata localização da falha, caso a informação desta não tenha sido suficiente.

### 2.4.4.1 Fluxos e Níveis de OAM

As funções de OAM na rede são executadas de acordo com 5 níveis hierárquicos de manutenção associados às camadas física e ATM. Estas funções resultam em fluxos de informações bidirecionais F1, F2, F3, F4 e F5 denominados fluxos OAM, de acordo com a figura 2.26. Há casos porém, em que nem todos os fluxos OAM são implementados dentro da rede, sendo que as funções relativas a um fluxo não implementado são executadas por um nível superior (fluxo OAM superior). Os seguintes níveis são identificados:

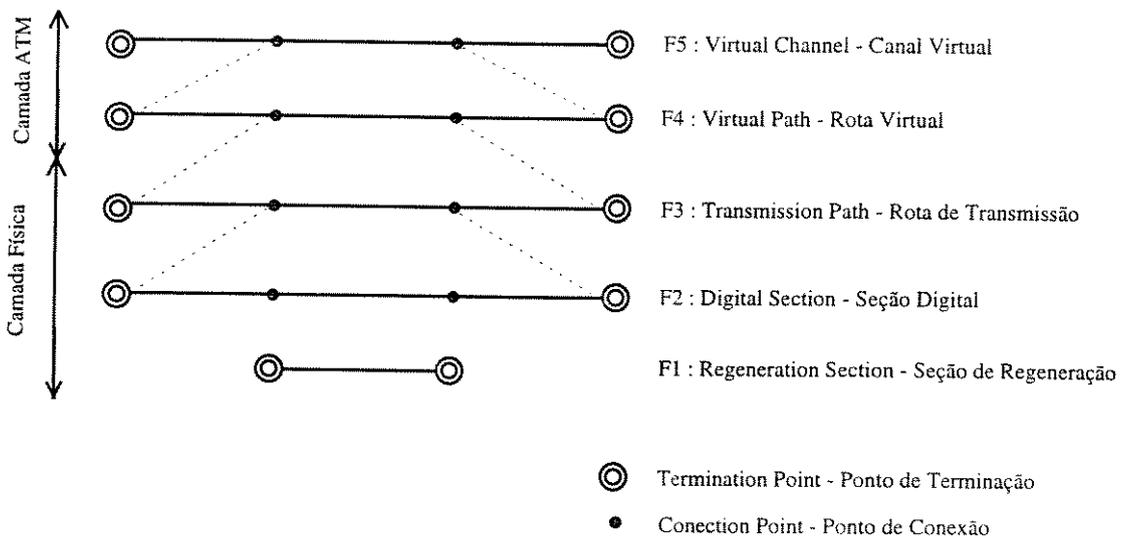


Figura 2.26: Níveis hierárquicos OAM e suas relações com as camadas Física e ATM.

#### 1. Canal Virtual - Fluxo F5

Estende-se entre elementos de rede que executam funções de terminação de conexão de canal virtual e compreende uma ou mais conexões de rota virtual.

#### 2. Rota Virtual - Fluxo F4

Estende-se entre elementos de rede que executam a terminação de conexão de rota virtual e é formada por uma ou mais rotas de transmissão.

#### 3. Rota de Transmissão - Fluxo F3

Estende-se entre elementos de rede que executam montagem e desmontagem da carga útil de um sistema de transmissão, associando-os a suas funções de OAM. O

processo de demarcação de células e as funções de controle de erro do cabeçalho (HEC) devem ser executadas no ponto de terminação de cada rota de transmissão, para que se possa extrair as células de OAM. A rota de transmissão é composta por uma ou mais seções digitais.

#### **4. Seção Digital - Fluxo F2**

Estende-se entre pontos de terminação de seção e compreende uma entidade de manutenção [ITU-T, M.20], sendo capaz de transportar informações de OAM de seções digitais adjacentes.

#### **5. Seção de Regeneração - Fluxo F1**

A seção de regeneração é uma porção (parte) de uma seção digital e assim, é considerada uma subentidade de manutenção.

### **2.4.4.2 Mecanismos para Fornecer os Fluxos OAM**

#### **2.4.4.2.1 Mecanismos da Camada Física**

A camada física contém os três níveis inferiores da hierarquia de OAM, ou seja, os fluxos F1, F2 e F3, apresentados na figura 2.26.

Os mecanismos para fornecer as funções OAM e gerar os fluxos F1, F2, e F3 dependem do sistema de transmissão, assim como das funções de supervisão contidas dentro das funções de terminação de camada física do equipamento. Os três tipos de sistemas de transmissão que podem ser fornecidos pelas redes ATM são:

#### Sistemas Síncronos de transmissão SDH

Os fluxos F1 e F2 são transportados pelo overhead de seção (SOH) e o fluxo F3 é transportado no overhead de rota de ordem superior (POH) do quadro de transmissão (ver anexo A). O transporte ATM baseado neste sistema de transmissão pode ser fornecido em rotas de ordem inferior, as quais possuem seus próprios overheads de rota. Estes fluxos OAM de rotas de baixa ordem são subconjuntos do fluxo F3.

### Sistemas de Transmissão Pura de Células ATM

Os fluxos OAM F1 e F3 são transportados através de células de manutenção da camada física (PLOAM's), utilizando um padrão específico no cabeçalho (para F1 e F3). O fluxo F2 não é fornecido, porém as funções associadas a este são suportadas pelo fluxo F3. Estas células não passam para a camada ATM, como já mencionado, e a ocorrência destas é determinada pelos requisitos das funções OAM fornecidas. Para cada tipo de célula PLOAM (F1 e F3) um espaçamento máximo é aplicado entre estas células, o qual determina a taxa mínima destas no sistema (este espaçamento será definido no próximo capítulo). Se o espaçamento máximo é excedido, ocorrerá a perda do fluxo de manutenção (Loss of Maintenance Flow - LOM, de acordo com [ITU-T, I.432] ou LMF, de acordo com [ITU-T, I.610]).

### Sistemas de Transmissão Baseados na PDH

Meios específicos de monitorar o desempenho da seção estão definidos nas recomendações G.702, G.804 e G.832. Estes meios implicam na monitoração do fluxo de bits da seção rota código cíclico (CRC). Se a camada ATM é suportada somente numa seção PDH, então o overhead definido para os quadros da PDH [ITU-T, G.804] constitui ambos os fluxos F1 e F3<sup>5</sup>.

#### **2.4.4.2.2 Mecanismos da Camada ATM**

A camada ATM contém os dois níveis OAM superiores F4 e F5, como mostrado também na figura 2.26.

Estes fluxos são fornecidos por células dedicadas às funções OAM da camada ATM para as conexões de canal virtual (VCC) e conexões de rota virtual (VPC). Tais células são usadas para comunicações dentro das mesmas camadas dentro do plano de gerência.

---

<sup>5</sup> O fluxo F1 é fornecido pelos bytes de alinhamento de quadro da estrutura definida para a PDH e o resto do overhead constitui o fluxo F3. Se a taxa de bit da estrutura de quadro PDH é transportada rota SDH, então o overhead definido na recomendação G.804 menos a palavra de alinhamento de quadro constitui o fluxo F3, com o overhead de ordem superior (POH) da SDH formando um subconjunto do fluxo F3.

### Mecanismos do Fluxo F4

O fluxo F4 é bidirecional. As células OAM do fluxo F4 têm os mesmos valores de VPI, assim como as células de usuário de uma VPC, e são identificadas por um ou mais valores predeterminados de VCI. Estes valores de VCI deverão ser usados em ambas as direções do fluxo F4. As células OAM para ambas as direções de F4 devem seguir o mesmo caminho físico, de modo que qualquer ponto de conexão suportando tal conexão possa correlacionar informações de desempenho e falhas de ambas as direções.

O termo “*célula do usuário*” a nível do fluxo OAM F4, é definido de acordo com os valores de VCI definidos na tabela 2.5.

**Tabela 2.5: Células de usuário a nível de F4.**

VCI	Interpretação	Categoria
0	células não-designadas (VPI=0)	células não pertencentes a usuário
0	sem utilização (VPI>0)	
1	célula de meta-sinalização (UNI)	célula de usuário
2	célula de sinalização broadcast (UNI)	
3	célula de fluxo F4 de segmento	células não pertencentes a usuário
4	célula de fluxo F4 ponta-a-ponta	
5	célula de sinalização ponta-a-ponta	célula de usuário
6	célula de gerenciamento de recurso	células não pertencentes a usuário
7-15	reservado à aplicações futuras (funções padronizadas)	
16-31	reservado à aplicações futuras (funções padronizadas)	célula de usuário
VCI>31	disponíveis para transmissão de dados do usuário	

Existem dois tipos de fluxo F4, os quais podem coexistir numa VPC:

- *Fluxo F4 ponta-a-ponta*: é identificado por um VCI padronizado [11] e é usado para operações de comunicação de VPC ponta-a-ponta.
- *Fluxo F4 de Segmento*: é identificado por um valor de VCI padronizado [ITU-T, I.610] e é usado para comunicar informações de operação dentro dos limites de um enlace VPC ou múltiplos enlaces VPC interconectados. Tal concatenação de enlaces VPC é denominada segmento de VPC.

Os fluxos F4 ponta-a-ponta devem ser finalizados pelos pontos de terminação de VPC e os fluxos F4 de segmento devem ser finalizados nos pontos de conexão.

Os pontos intermediários (pontos de conexão) ao longo de uma VPC ou ao longo de um segmento de VPC, podem monitorar células OAM passando através destes e inserir novas células OAM, mas não podem terminar o fluxo. O fluxo F4 será iniciado durante ou após o estabelecimento da conexão pela TMN (Telecommunication Management Network - Rede de Gerenciamento de Telecomunicações) ou pelas funções OAM dependentes do procedimento de ativação.

### Mecanismos do Fluxo F5

O fluxo F5 é bidirecional. As células OAM para o fluxo F5 têm os mesmos valores de VCI/VPI tais como as células de usuário de uma VCC e são identificadas por um identificador de carga útil (Payload Type Indicator - PTI). O mesmo valor de PTI ou simplesmente PT, será usado em ambas as direções do fluxo. As células OAM para ambas as direções do fluxo F5 devem seguir o mesmo caminho físico, de modo que qualquer ponto de conexão que suporte tal conexão possa correlacionar informações de desempenho e falhas de ambas as direções.

O termo “célula do usuário” a nível do fluxo OAM F5 é definido de acordo com os valores de PTI como já apresentado na tabela 2.1 (seção 2.4.2.1).

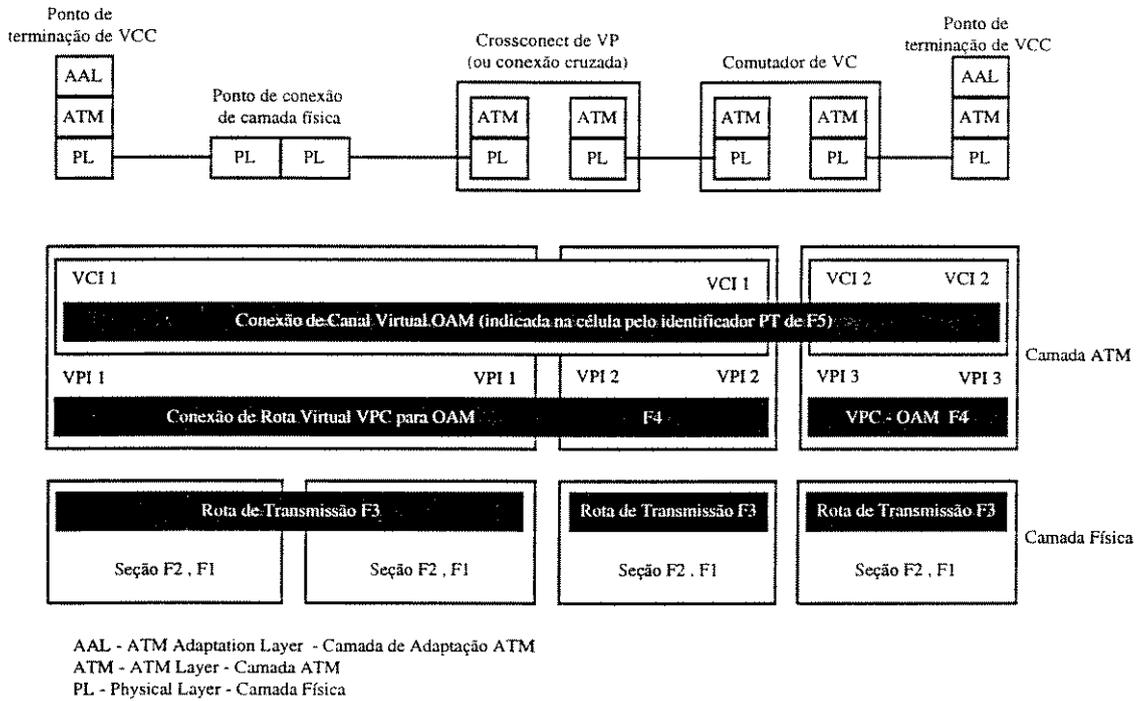
Existem dois tipos de fluxo F5, os quais podem coexistir numa VCC. São eles:

- *Fluxo F5 ponta-a-ponta*: é identificado por um valor de PTI padronizado e é usado para comunicação de operações em VCC's ponta-a-ponta.
- *Fluxo F5 de segmento*: é identificado por um valor de PTI padronizado e é usado na comunicação de informações de operação dentro dos limites de um enlace VCC ou múltiplos enlaces VCC interconectados. Tal concatenação de enlaces VCC é chamada segmento de VCC.

Os fluxos F5 ponta-a-ponta devem ser finalizados nos pontos de terminação de VCC e os fluxos F5 de segmento nos pontos de conexão terminando um segmento de VCC. Os pontos intermediários (pontos de conexão) ao longo de uma VCC ou ao longo de um segmento de VCC podem monitorar células OAM passando através deles e inserir novas células, mas não podem terminar o fluxo. O fluxo F5 será iniciado durante

ou após o estabelecimento da conexão, ou pela TMN ou pelas funções OAM dependentes do processo de ativação.

**2.4.4.2.3 Associação do Mecanismo de OAM com as Funções de Transporte**



**Figura 2.27: Exemplo de mecanismos para o fluxo OAM.**

Na figura 2.27 é dado um exemplo de conexão de canal virtual suportado pelos níveis inferiores da rede como descrito em [ITU-T, I.311]. É mostrado para cada nível os mecanismos de OAM associado. Os níveis de seção digital e seção de regeneração são combinados num único termo “seção”.

### 2.4.4.3 Funções OAM da Camada Física

Dois tipos de funções OAM são distinguidas:

1. Funções OAM suportadas apenas pelos fluxos F1, F2 e F3

- dedicadas a detecção e indicação do estado de indisponibilidade do sistema;
- transporte de informação de defeito em direção aos pontos de terminação afetados, para proteção do sistema;

2. Funções OAM Considerando o Sistema de Gerenciamento

- dedicadas a monitoração de desempenho e relatórios , ou na localização de equipamentos em falha;
- podem ser suportadas pelos fluxos F1 a F3 ou, de outra forma, pela TMN rota interfaces Q;

Exemplos de falhas detectadas pelas funções OAM são dados a seguir, de acordo com os sistemas de transmissão SDH ou TPCA.

Para os Sistemas de Transmissão SDH

Fluxos F1, F2:

- perda de alinhamento de quadro (o sincronismo do quadro SDH é perdido);
- desempenho de erro degradado;
- perda do ponteiro de AU (Administrative Unit - Unidade Administrativa);

Fluxo F3:

- perda da demarcação de células;
- cabeçalho incorrigível;
- desempenho de erro do cabeçalho degradado;
- falha na inserção e supressão de células vazias;
- desempenho de erro degradado;

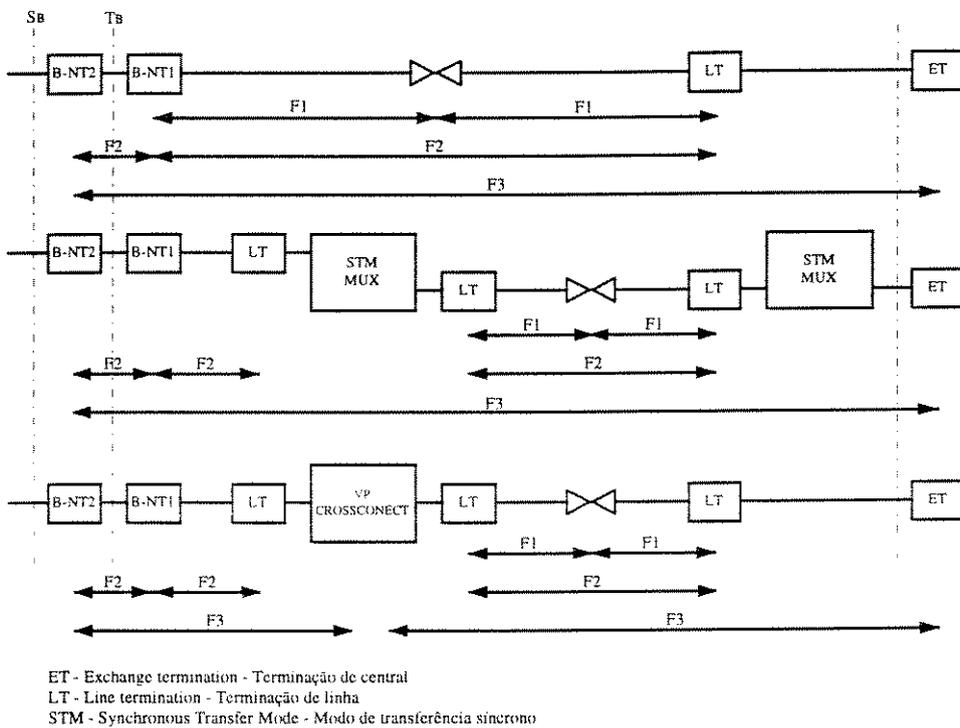
Sistemas de Transmissão Pura de Células ATM

Fluxo F1:

- perda do reconhecimento de células PLOAM's (F1);
- desempenho de erro degradado (F1);

Fluxo F3:

- perda de reconhecimento de células PLOAM's (F3);
- desempenho de erro degradado (F3);
- perda de demarcação de células;
- cabeçalho incorrigível;
- desempenho de erro do cabeçalho degradado;
- falha na inserção e supressão de células vazias;



**Figura 2.28: Exemplos de configurações física e fluxos de manutenção na camada física.**

A figura 2.28 acima ilustra exemplos de fluxos OAM (F1, F2 e F3) em algumas configurações físicas para o acesso do usuário B-ISDN.

#### 2.4.4.4 Funções OAM da Camada ATM

As funções de OAM definidas para esta camada são responsáveis pela detecção das seguintes falhas:

Fluxo F4:

- rota virtual não disponível, ou seja, interrupção da continuidade a nível de VP;

Fluxo F5:

- canal virtual não disponível, ou seja, interrupção da continuidade a nível de VC;

Fluxo F4, F5:

- desempenho degradado, causando perda de células, inserção errônea e alta BER (Bit Error Rate - Taxa de Erro de Bit) no campo de informação;

A tabela 2.7 mostra resumidamente as principais funções OAM da camada ATM.

**Tabela 2.7: Funções OAM da camada ATM**

Funções OAM	Aplicação Principal
AIS	Para relatar indicações de defeitos para frente
RDI	Para relatar indicações de defeitos remotos para trás
Verificação de continuidade	Para monitoração da continuidade
Loopback	Para monitoração da conectividade em demanda
	Para localização de falta
	Para verificação da conectividade pré-serviço
Monitoração de desempenho para frente	Para avaliação do desempenho
Monitoração de desempenho para trás	Para relatar avaliação de desempenho para trás
Ativação/desativação	Para ativação/desativação da monitoração de desempenho e verificação da continuidade
Gerenciamento de sistema	Para uso do sistema em suas pontas

A figura 2.29 ilustra a implementação de fluxos OAM (F4 e F5) em algumas configurações físicas para o acesso do usuário B-ISDN. As setas indicam possíveis pontos de terminação dos fluxos.

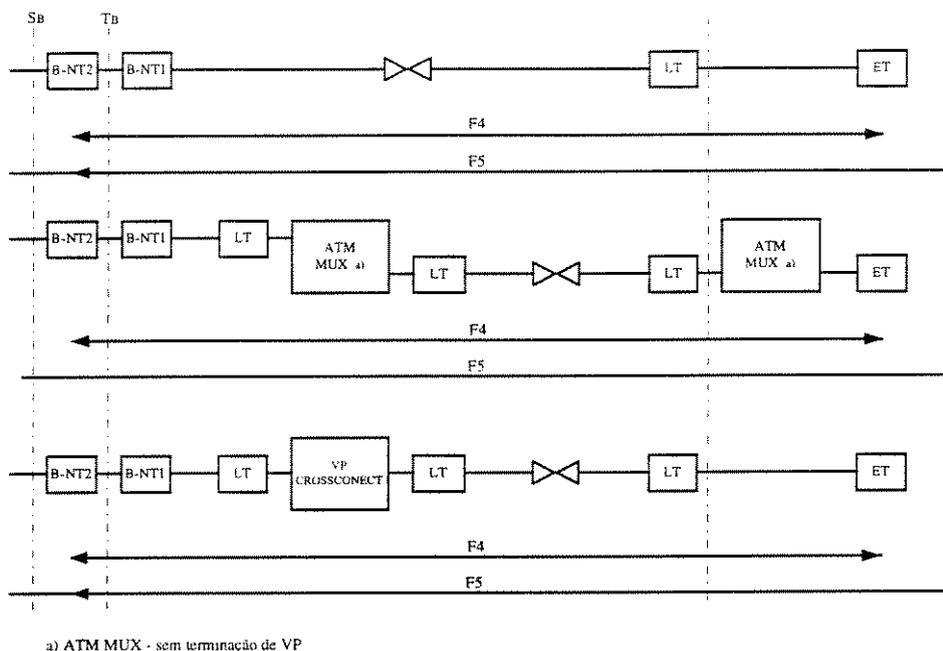


Figura 2.29: Exemplos de configurações física e fluxos de manutenção na camada ATM.

**Síntese**

O escopo deste capítulo inicial, foi apresentar conceitos básicos relativos à tecnologia ATM, enfatizando sua divisão em camadas, pois no capítulo seguinte será estudada com um pouco mais de detalhes a camada física ATM e suas subdivisões. Desta forma foram discutidos os seguintes aspectos:

- Requisitos e evolução tecnológica que conduziram a definição do ATM, adotado como solução para a B-ISDN;
- Princípios de funcionamento, componentes da rede e configurações de referência;
- O modelo em camadas ATM onde foram abordadas de forma global e sucinta as camadas físicas, ATM e AAL;
- Por último, abordou-se os aspectos relativos às funções de manutenção, bem como, as implementações dos fluxos OAM das camadas física e ATM.

# Capítulo 3

## Camada Física ATM

### 3.1 Introdução

A camada física está presente em todos os equipamentos da rede, provendo as facilidades de transmissão e comutação de células. Este capítulo tem por objetivo definir as características da camada física a ser aplicada às interfaces UNI (privativa e pública) e NNI, apresentadas na figura 3.1.

A camada física é dividida em duas subcamadas: a *subcamada de Meio Físico* (*Physical Medium sublayer - PM*) e *subcamada de Convergência de Transmissão* (*Transmission Convergence sublayer - TC*).

Na transmissão a subcamada TC recebe um fluxo de células vindo da camada ATM e efetua a seguinte seqüência de operações:

1. Gera o HEC (Header Error Correction) para cada célula e o insere no campo a ele destinado no cabeçalho.
2. Transforma o fluxo de células em um fluxo de bits (ou bytes, dependendo da PM - que pode ser baseado na SDH, na PDH ou em células) adequado para a transmissão pela subcamada inferior (PM), inserindo informações que permitirão à subcamada TC do receptor recuperar as fronteiras das células transmitidas.

- Conforme o fluxo de saída vai sendo gerado, ele vai sendo passado para a subcamada de meio físico (PM) que se encarregará da transmissão de bits pelo meio físico.

A subcamada PM tem como função a transmissão e a recepção da seqüência contínua de bits pelo meio físico. Ao receber a seqüência de bits transmitidos, esta subcamada simplesmente a repassa à subcamada TC.

Ao receber uma seqüência contínua de bits da subcamada PM (ou bytes, dependendo da PM), a subcamada de convergência TC, baseada em informações inseridas pela TC transmissora, recupera as fronteiras das células, que são em seguida passadas para a camada ATM.

Para o objetivo deste trabalho, este capítulo concentrará atenção às funções da subcamada de convergência de transmissão, de modo que a descrição relativa à subcamada de meio físico será breve.

E finalmente, como uma última seção deste, serão abordadas as funções operacionais da camada física.

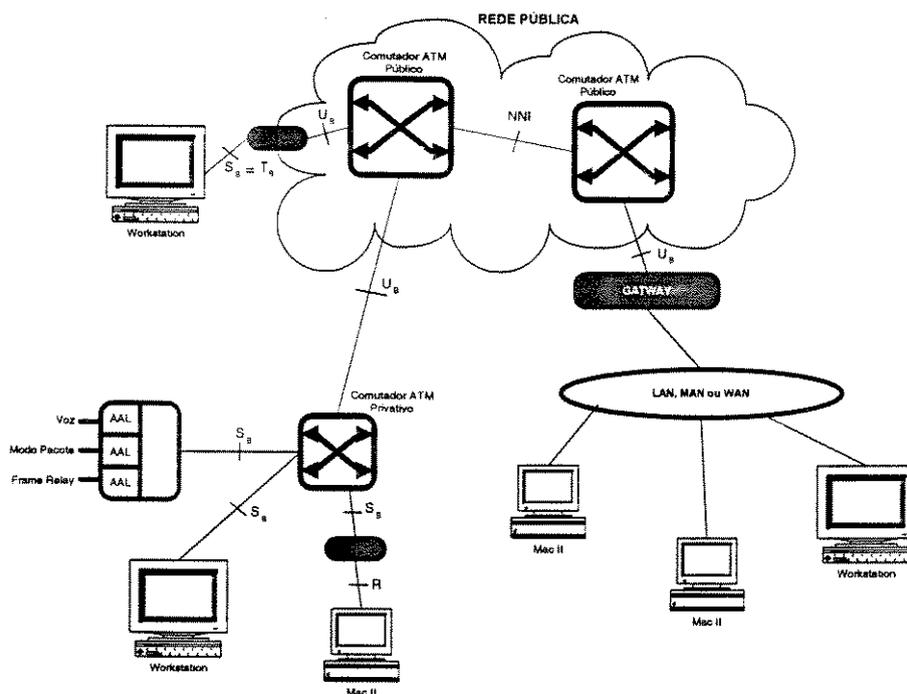


Figura 3.1: Localização das interfaces UNI e NNI numa rede ATM.

## 3.2 Subcamada de Meio Físico

A subcamada PM é responsável pela transmissão adequada de bits pelo meio físico, incluindo o alinhamento de bits, sinalização na linha e conversão eletro-óptica.

A função básica da subcamada PM é transmitir um conjunto de bits através de uma linha de transmissão, incluindo conversões eletro-ópticas. Na prática, a PM costuma trabalhar a nível de bytes. Na maioria dos sistemas de transmissão, as informações passam por algum tipo de codificação para garantir uma certa taxa de transições no sinal enviado, de forma a facilitar a sincronização entre as partes envolvidas. A subcamada PM é responsável pela codificação do fluxo de informação recebido da TC em uma forma adequada para transmissão no meio físico, para que seja possível a sincronização entre circuitos transmissores e receptores.

De acordo com a recomendação I.432 [ITU-T, I.432], algumas interfaces já foram padronizadas e as características de meio físico (relevantes a subcamada PM) destas já estão definidas, como por exemplo:

### 1. Interface à 155520 kbit/s

Esta interface é simétrica<sup>1</sup>, com taxa nominal de 155520 kbit/s  $\pm 20$  ppm, podendo ser elétrica ou óptica.

#### 1.a Interface Elétrica

O alcance para uma interface elétrica depende do meio físico de transmissão utilizado, por exemplo:

- 100 m para cabos do tipo microcoax (4mm diâmetro);
- 200 m para cabos utilizados em CATV (7 mm diâmetro);

O meio de transmissão definido para essas interfaces é o cabo coaxial, que deve apresentar as seguintes características elétricas:  $75 \Omega$  com  $\pm 5\%$  de tolerância na faixa de frequência de 50 a 200 MHz, sendo que a atenuação no cabo deve seguir uma lei de aproximação igual a  $\sqrt{f}$  (onde  $f$  é a frequência citada) e a perda por retorno deve ser de

---

<sup>1</sup> Interfaces simétricas são interfaces que possuem a mesma taxa de transmissão em ambas as direções.

20 dB. O código de linha a ser utilizado é o CMI (Coded Mark Inversion - Código de Marca Invertida) [ITU-T, I.432].

### 1.b Interface Óptica

Para este tipo de interface define-se a escala de atenuação máxima permitida para o sinal. Esta atenuação do caminho óptico entre os pontos S e R<sup>2</sup>, como definido na recomendação G.957 [ITU-T, G.957], deverá estar entre 0 a 7 dB (para a UNI).

O meio de transmissão utilizado consiste de duas fibras ópticas monomodo, uma para cada direção, operando em 1310 nm, como especificado pela recomendação G.652 [ITU-T, G.652]. O código de linha a ser utilizado é o NRZ (Non Return to Zero).

## 2. Interface à 622080 kbit/s

Esta interface pode ser simétrica ou assimétrica, de acordo com a definição a seguir:

- Simétrica - com a taxa nominal de 622080 kbit/s em ambas as direções;
- Assimétrica - com taxa de 622080 kbit/s numa direção e 155520 kbit/s na direção oposta;

No caso da opção por uma interface assimétrica, o meio definido para a taxa de 155520 kbit/s segue as características já apresentadas no item 1.

A taxa nominal da interface é de 622080 kbit/s com uma tolerância de  $\pm 20$  ppm, sendo que para esta taxa foi definida apenas na interface óptica.

### 2.a Interface Óptica

As características definidas para a interface óptica à 622080 kbit/s são idênticas às definidas para as interfaces ópticas à 155520 kbit/s.

---

<sup>2</sup> De acordo com [ITU-T, G.957], o ponto S é um ponto de referência na fibra óptica, localizado logo após o conector óptico do transmissor. Da mesma forma, o ponto R é um ponto de referência na fibra localizado antes do conector óptico do receptor (ver referência).

### 3. Interface à 2048 kbit/s

Esta interface é elétrica com taxa nominal de 2048 kbit/s  $\pm 50$  ppm. O código de linha utilizado é o Bipolar de Alta Densidade de Ordem 3 (High Density Bipolar of order 3 - HDB3). O meio de transmissão utilizado pode ser o par coaxial, cuja impedância nominal é de 75  $\Omega$  ou par simétrico, cuja impedância é 120  $\Omega$ .

## 3.3 Subcamada de Convergência de Transmissão

As funções desta subcamada são: adaptação do quadro de transmissão, controle de erro do cabeçalho, desacoplamento da taxa de células, demarcação de células e embaralhamento do sinal.

Com o objetivo de tornar evidente cada uma destas funções, é feita a seguir uma descrição de suas implementações. Antes porém, é apresentada uma síntese (histórico) de como foram definidas as estruturas de transmissão para a camada física ATM (seção 3.2.1). Na seção seguinte 3.2.2 (adaptação do quadro de transmissão), é realizada a descrição destas estruturas.

### 3.3.1 Estruturas de Transmissão

Quando, ao final do oitavo período de estudos, o BBTG (Broadband Task Groups - Grupo de Estudos para as redes de faixa larga) definiu o ATM como a tecnologia para suportar a B-ISDN, o SG.XVIII (Subgroup XVIII - Subgrupo de estudos XVIII, do ITU-T) se encontrava em fase de concluir a padronização da SDH (rec. G707, G708 e G709) para a transmissão na NNI, baseando-se no SONET (Synchronous Optical Network). No nono período de estudos, a atenção voltou-se para a UNI. Dentre os aspectos referentes à camada física, o de maior controvérsia foi a definição da estrutura de transmissão. O T1S1 da ANSI era a favor da utilização de uma estrutura baseada na SDH, mantendo a compatibilidade com a NNI. Já a ETSI recomendava a utilização de uma forma totalmente baseada em células, sem qualquer delimitação de quadros (frames). O ITU-T terminou por adotar as duas opções de transmissão para a UNI.

Os diversos órgãos de padronização nacionais, principalmente a ANSI e o ETSI, ainda prevêm a utilização de suas estruturas anteriores, baseadas na PDH (Plesyochronous Digital Hierarchy - Hierarquia Digital Plesiócrona). Adicionalmente, o ATM Forum definiu uma estrutura baseada no FDDI para a utilização na UNI privativa. A tabela 3.1 ilustra algumas opções recomendadas. A expressão “canal limpo” é

utilizada com a idéia de ausência de delimitação ou estrutura de quadro. É abordado nesta tabela apenas os sinais pertencentes a hierarquia européia.

**Tabela 3.1: Estruturas de transmissão.**

Sinal Básico	Taxa (kbits/s)	Estrutura	Interface
E1	2048	PDH	UNI/NNI
E3	34368	PDH	
E4	139264	PDH	
SDH STM-1	155520	SDH	
SDH STM-4c	622080	SDH	
Baseada em Células	155520	Canal Limpo	
Baseada em Células	622080	Canal Limpo	

### 3.3.2 Adaptação do Quadro de Transmissão

As células ATM podem ser transportadas de acordo com os sistemas de transmissão disponíveis (ver apêndice A):

- como um fluxo contínuo de células num sistema baseado na Transmissão Pura de Células ATM - TPCA (Cell Based Format);
- como células transportadas dentro de uma estrutura de quadro da Hierarquia Digital Síncrona (SDH - Synchronous Digital Hierarchy), utilizando-se de um mapeamento apropriado;
- como células transportadas dentro de uma estrutura de quadro bem definida, nos sistemas plesiócronicos existentes;

### 3.3.2.1 Camada Física para Interface Baseada em Células (TPCA)

#### 3.3.2.1.1 Sincronismo

É obtido do sinal recebido através da interface ou fornecido localmente pelo equipamento do usuário.

#### 3.3.2.1.2 Estrutura da Interface para 155520 e 622080 kbit/s

A estrutura da interface consiste de um fluxo contínuo de células (53 octetos). O espaçamento máximo entre células sucessivas da camada física é de 26 células ATM, ou seja, após 26 células da camada ATM serem transmitidas necessariamente 1 célula da camada física deve ser inserida. Esta relação teve origem a partir das taxas definidas para o primeiro quadro da hierarquia SDH (STM-1), onde tem-se 149760 kbit/s para a carga útil do sistema e 5760 kbit/s para sua manutenção ( $149760/5760 = 26$  células).

Assim, para a interface de 155520 kbit/s, a taxa de bit disponível para células ATM (células de informação de usuário, células de sinalização, células OAM de camadas superiores e células para desacoplamento da taxa) é de 149760 kbit/s, ficando portanto, a taxa de 5760 kbit/s disponível para as células de manutenção da camada física (células de overhead), que representa a taxa máxima destas no sistema em 155520 kbit/s.

Para a interface de 622080 kbit/s, a taxa disponível para as células ATM é de  $599040 \text{ kbit/s} = 4 \times 149760 \text{ kbit/s}$ , enquanto que 23040 kbit/s está destinada às células de manutenção da camada física (células de overhead).

#### 3.3.2.1.3 Implementação de OAM

##### Alocação de Overheads na Transmissão

As células OAM da camada física são usadas para transportar informações de operação e manutenção desta. A frequência com que estas células devem ser inseridas é determinada pelas exigências de OAM do sistema. Contudo, não pode haver mais do que uma célula PLOAM a cada 27 células e nem menos que uma a cada 512 células por fluxo em estado operacional (este espaçamento entre as células PLOAM's define a taxa destas no sistema, sendo a sua taxa máxima de 5760 kbit/s, como foi definido para os sistemas de 155520 kbit/s). Sabe-se que em determinadas fases, por exemplo, inicialização do sistema, é desejável um aumento da taxa de inserção de células PLOAM's para aumentar a resposta do sistema. Porém, estas exigências encontram-se

sob estudo pelo ITU-T. Deve ser considerado também que, nem todas as aplicações exigirão a implementação de todos os fluxos OAM.

### Identificação das Células OAM

São identificados 3 tipos de fluxos OAM da camada física transportados por células PLOAM's, que utilizam nos campos de cabeçalho um padrão específico que as identifica. Estes fluxos são:

- F1 - nível de seção de regeneração;
- F2 - nível de seção digital;
- F3 - nível de rota de transmissão;

O fluxo F1 transporta funções OAM a nível de seção de regeneração. O fluxo OAM F2 não é implementado devido ao fato de não haver quadros de transmissão através da UNI em sistemas baseados em células (TPCA), sendo suas funções correspondentes suportadas pelo fluxo OAM F3. Este por sua vez, transporta funções a nível de rota de transmissão.

As células de OAM da camada física possuem um padrão de cabeçalho de modo que possam ser propriamente identificadas pela camada física no receptor. Este padrão é apresentado na tabela 3.2, antes do embaralhamento da célula ser efetuado.

Tabela 3.2: Padrão de cabeçalhos para identificação de células OAM.

Fluxo	Octeto 1	Octeto 2	Octeto 3	Octeto 4	Octeto 5
F1	00000000	00000000	00000000	00000011	HEC=Código válido 01011100
F3	00000000	00000000	00000000	00001001	HEC=Código válido 01101010

**NOTA:**

Não existe significado para qualquer um destes campos individualmente do ponto de vista da camada ATM, visto que as células da camada física não passam para a mesma.

A necessidade de identificar outros valores de cabeçalho entre aqueles reservados para o uso da camada física para acomodar futuros fluxos OAM estão sob estudo. No capítulo 2 foram apresentados na tabela 2.3 os valores de campo do cabeçalho reservados com esta finalidade.

### **Alocação das Funções OAM no Campo de Informação das Células F1/F3**

A alocação das funções nos octetos das células PLOAM's F1 e F3 é mostrada na figura 3.1.

Os campos definidos para as células que transportam os fluxos F1 e F3 (células PLOAM's F1 e F3) estão descritos abaixo:

I. Número de Seqüência de PLOAM's - (PSN - PLOAM Sequence Number)

Este campo deve possuir um contador cujo período deve ser longo o suficiente quando comparado com o número de células perdidas ou inseridas erroneamente. São reservados para esta função 8 bits, resultando num contador módulo 256.

II. Número de Células Inclusas - (NIC - Number of Included Cells)

Mostra o número de células inclusas entre a célula PLOAM (F1/F3) anterior e a atual. O comprimento proposto para este campo é destinado a monitoração de 512 células, sendo que este número compreende células ATM e células vazias.

III. Monitoração e Relatório de Erros de Rota de Transmissão (F3) e/ou Seção Regeneradora (F1)

Inclui os seguintes campos:

- Comprimento do Bloco de Monitoração - (MBS - Monitoring Block Size)

É escolhido em função da eficiência de balanceamento e precisão de monitoração. O MBS deve ser fixado dentro dos valores 15-47 células e (36-64) células para as interfaces de 155520 kbit/s e 622080 kbit/s respectivamente.

- Número de Blocos Monitorados (NMB-EDC - Number of Monitored Blocks)

Mostra o número de blocos inclusos entre a célula atual e a célula OAM (F1/F3) anterior. Assim, foi proposto como limite superior um NMB-EDC = 8 como o número de blocos para os quais o código de detecção de erro está presente. Todo o octeto é alocado.

- Código de Detecção de Erros - (EDC - Error Detection Code)  
Este é um código de paridade intercalada de 8 bits (BIP-8 - Bit Interleaved Parity) calculado a cada bloco de células (MSB) monitorado. Um octeto é alocado para cada bloco.
  
  - Número de Blocos Monitorados no Receptor (NMB-EB - Number of Monitored Blocks at the Far End)  
Mostra o número de blocos contendo erros transportados através da rota de transmissão (para células F3) e/ou seção de regeneração (para células F1). Foi proposto um NMB-EB = 8 sendo que todo o octeto é alocado.
  
  - Erros de Blocos no Receptor a nível de Rota de Transmissão e/ou Seção de Regeneração (EB - Errored Blocks)  
Este informa o número de violações de paridade em cada bloco, sendo necessário apenas 4 bits para indicá-las através de um código BIP-8. Assim, com um NMB-EB = 8 blocos, um total de 4 octetos são necessários.
- IV. Sinal de Indicação de Alarme de Rota de Transmissão e/ou Seção de Regeneração (TP-AIS - Transmission Path Alarm Indication Signal / S-AIS - Section Alarm Indication Signal)  
Um octeto é alocado para esta função, sendo que o código utilizado para indicar a presença de TP-AIS / S-AIS na rede, é ativar todos os bits do mesmo ao estado lógico "1".
- V. Falha Recebida no Receptor a nível de Rota de Transmissão e/ou Seção de Regeneração (TP-RDI - Transmission Path Remote Defect Indication ou S-RDI - Section Remote Defect Indication)  
Um bit é alocado e o mesmo é ativado quando um dos defeitos (perda de demarcação de células, perda de manutenção, etc.) ou um AIS é detectado.
- VI. Controle de Erro da Célula (CEC - Cell Error Control)  
É usado para detectar erros no campo de informação das células PLOAM's, utilizando-se de um código CRC 10, como proposto em [ITU-T, I.432].

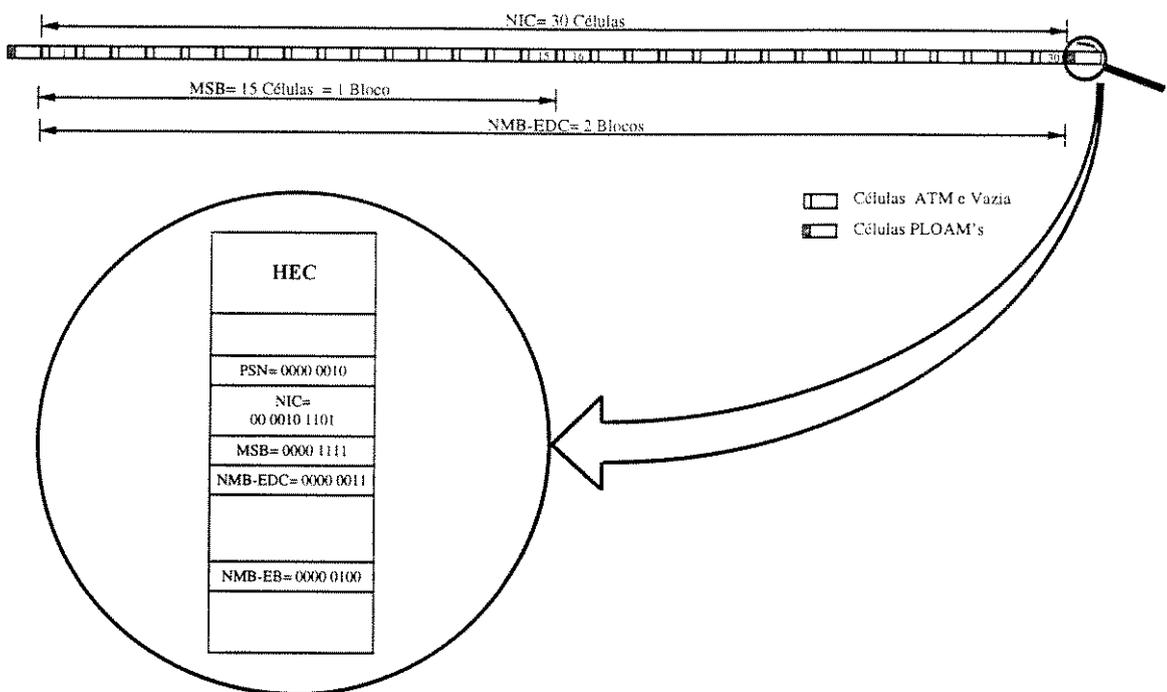
### VII. Reservado (R - Reserved Field)

Contém o mesmo padrão de octeto do campo de informação das células vazias, o qual é representado pela seqüência "01101010". É destinado a aplicações futuras.

1	R
2	AIS
3	PSN
4	NIC (10)
5	
6	MBS
7	NMB-EDC
8	EDC-B1
9	EDC-B2
10	EDC-B3
11	EDC-B4
12	EDC-B5
13	EDC-B6
14	EDC-B7
15	EDC-B8
16	R
17	R
18	R
19	R
20	R
21	R
22	R
23	R
24	R
25	R
26	R
27	R
28	R
29	R
30	RDI (1)
31	NMB-EB
32	EB-2      EB-1
33	EB-4      EB-3
34	EB-6      EB-5
35	EB-8      EB-7
36	R
37	R
38	R
39	R
40	R
41	R
42	R
43	R
44	R
45	R
46	R
47	CEC (10)
48	CEC (10)

Figura 3.1: Alocação de funções OAM no campo de informação.

Outros campos a serem definidos estão sob estudos. A título de ilustração, é apresentado na figura 3.2 a transmissão de um fluxo de células de um equipamento terminal A para um equipamento terminal B, com o objetivo de compreender melhor os campos definidos em I, II e III.



**Figura 3.2: Diagrama de ilustração de alocação dos bytes do campo de informações das células PLOAM's.**

Tem-se no diagrama uma seqüência de transmissão de células, onde a primeira célula transmitida (à esquerda) é uma PLOAM, assim como a última célula transmitida (à direita), identificadas por um padrão de cor no cabeçalho diferente daquele utilizado para as células intermediárias. Verifica-se também que entre as duas células PLOAM's existe uma seqüência de 30 células representando aí, células ATM e vazias.

Supondo que a célula PLOAM à esquerda é a primeira a ser transmitida e a célula PLOAM à direita, a segunda da seqüência de PLOAM's, para uma transmissão ATM a 155520 kbits/s o comprimento do bloco monitorado adotado é de 15 células (mínimo permitido de acordo com o item III), assim tem-se:

- NIC - número de células inclusas - 30 células;
- MSB - comprimento do bloco monitorado - 15 células;
- EMB-EDC - número de blocos monitorados - 2 blocos.

Como visto na figura 3.1, estas informações são alocadas dentro do campo de informação das células PLOAM's. No exemplo da figura 3.2, os valores acima foram utilizados para preencher os referidos campos (valores em binário). Ainda no exemplo,

o valor alocado para o campo NMB-EB foi “00000100”, indicando que numa transmissão anterior ocorrida em sentido contrário, ou seja, do equipamento terminal B para o equipamento A, foram detectados pelo receptor 4 blocos contendo erro de bits.

### **Monitoração do Desempenho de Transmissão**

A monitoração de desempenho através das interfaces é executado para detectar e reportar erros de transmissão.

O objetivo desta função é informar ao equipamento na direção oposta de transmissão, os resultados da monitoração de erros de rota; para isto, o código BIP dá o número de violações de paridade em cada bloco obtido no receptor, por comparação com o resultado transportado pela célula.

## **3.3.2.2 Camada Física para Interfaces Baseadas na SDH**

### **3.3.2.2.1 Sincronismo**

Em operação normal, o sincronismo do transmissor está amarrado ao sincronismo recebido do relógio da rede. A tolerância sob condições de falha é 155520 kbit/s  $\pm 20$  ppm.

### **3.3.2.2.2 Estrutura da Interface em 155520 e 622080 kbit/s**

O fluxo de bits da interface possui um quadro externo baseado na hierarquia digital síncrona, de acordo com [ITU-T, G.709]. No apêndice A é abordado o assunto “*Rede de Transporte*”, onde é enfatizado o processo de mapeamento de sinais do tipo ATM dentro destas estruturas.

### **3.3.2.2.3 Implementação de OAM**

#### **Alocação dos Overheads de Transmissão**

A alocação dos “overheads” de transmissão para as funções de camada física SDH são apresentadas na tabela 3.3. A utilização destes “overheads” no alinhamento de quadro, interpretação e geração do ponteiro de AU (Administrative Unit), cálculo do código de paridade BIP, entre outras funções, deverá estar de acordo com [ITU-T, G708/709] para a interface nó-rede (NNI) SDH.

### **Monitoração do Desempenho de Transmissão**

Esta monitoração é executada através das interfaces para detectar e informar erros de transmissão. A monitoração de desempenho é fornecida à seção digital (seção multiplex, como definido nas normas para SDH - séries G) e rota de transmissão, correspondendo respectivamente aos fluxos de manutenção F2 e F3 (fig.2.26/CAP-2).

A nível de seção digital (fluxo F2), a monitoração do sinal de entrada é executada usando o código BIP-24 (155520 kbit/s) ou BIP-96 (622080 kbit/s) que é inserido no campo do octeto B2. A monitoração do sinal de saída é executada usando um contador de erros de blocos no receptor (FEBE - Far End Block Error). Esta contagem é obtida por comparação entre o valor do código BIP calculado na recepção e o valor do campo B2 que foi transmitido, sendo o seu valor inserido no campo M1 e enviado de volta. Isto é suficiente para informar ao ponto de terminação de seção digital (seção multiplex) sobre o desempenho de erro do seu sinal de saída.

Da mesma maneira, para a rota de transmissão (fluxo F3), a monitoração do sinal de entrada é executada usando um código BIP-8 e o valor calculado é inserido no campo do octeto B3. A monitoração do sinal de saída é executada usando um contador de erros de blocos no receptor (FEBE - Far End Block Error) à nível de rota de transmissão (bits 1-4 do octeto G1).

A monitoração a nível de seção de regeneração (fluxo F1) através da UNI é opcional. Se exigido o sinal de entrada é monitorado usando o código BIP-8 do octeto B1. A capacidade de monitoração do sinal de saída não é fornecida.

Definições adicionais podem ser encontradas em [ITU-T, G708]. A localização destes bytes no cabeçalho pode ser verificada no apêndice A (seção A.3.1).

Tabela 3.3: Alocação de octetos de overhead para o SDH.

Octeto	Função	Código (nota 1)
Overhead de seção		
A1 , A2	Alinhamento de quadro	
J0	Rastreamento de seção de regeneração	
B1	Monitoração de erro de seção de regeneração (nota 2)	BIP-8
B2	Monitoração de erro de seção multiplex	BIP-24 (155520 Kbits/s) BIP-96 (622080 Kbits/s)
H1 , H2	AIS de rota (nota 8) , ponteiro de AU-4	todos '1's
H3	Ação do ponteiro	
K2 (bits 6-8)	AIS de seção / RDI de seção multiplex (nota 7)	111/110
M1 (nota 5)	Relatório de erro de seção multiplex (FEBE)	Contador de erro de B2
S1 (bits 5-8)	Categoria do sincronismo (nota 9)	
Overhead de rota (nota 8)		
J1	Verificação do ponto de acesso	
B3	Monitoração de erro de rota (nota 8)	BIP-8
C2	Rótulo de sinal de rota	Células ATM (nota 3)
G1 (bits 1-4)	Relatório de erro de rota (FEBE)	Contador de erro de B3
G1 (bit 5)	RDI de rota (nota 6)	1

**Nota 1** - Somente a codificação de octetos relevantes a implementação de funções OAM são listadas.

**Nota 2** - O uso de B1 para a monitoração de erro de seção de regeneração através da UNI é uma aplicação dependente e é conseqüentemente opcional.

**Nota 3** - O código de rótulo de sinal para a carga útil da célula ATM é 0001 0011 para VC (Virtual Container - Container Virtual).

**Nota 4** - A numeração dos bits usada nesta tabela é diferente da convenção usada na recomendação I 361, estando de acordo com a numeração usada na G.709.

**Nota 5** - Usando a notação da recomendação G.708 [ITU-T, G.708], os bits a serem usados são os bits 2-8 do octeto S (9,6,1) no caso da interface em 155520 kbit/s, e bits 2-8 do octeto S (9,4,3) no caso da interface em 622080 kbit/s.

**Nota 6** - O RDI de rota deve ser usado também, para indicar perda de demarcação de células.

**Nota 7** - A aplicabilidade do AIS de seção multiplex (MS-AIS) para a B-UNI está sob estudos.

**Nota 8** - O termo rota de transmissão é adotado por alguns, mas pode ser usado também os termos "caminho de transmissão" ou "via de transmissão".

**Nota 9** - Os valores para este byte estão definidos na tabela 1 da recomendação G.708 [ITU-T, G.708].

### 3.3.2.3 Camada Física para as Interfaces Baseadas na PDH

A PDH corresponde às hierarquias digitais desenvolvidas nas décadas de 70 e 80 e foi incluída de forma a facilitar a implantação do ATM a curto prazo. A utilização da capacidade de um quadro PDH para o transporte de células ATM está baseado no mapeamento direto destas no quadro. Neste processo, os bytes de cada quadro são tratados como um fluxo contínuo e constante, podendo uma célula ultrapassar as fronteiras de um quadro. A demarcação de células é feita através do campo HEC, conforme será apresentado na seção 3.3.5.

De acordo com o apêndice A, “*Rede de Transporte*”, na seção A.3 são definidas as estruturas de mapeamento de células ATM para as diferentes taxas da PDH. Apesar de já estarem definidos os mapeamentos para as taxas de 2048, 34368 e 139264 kbit/s, o ITU-T tem padronizado apenas a interface em 2048 kbit/s. Assim, será descrito a seguir, os atributos desta interface.

#### 3.3.2.3.1 Formato do Quadro

O quadro é formado por 32 janelas de tempo (Time Slot), numeradas de 0 a 31, contendo cada uma 8 bits numerados de 1 até 8. O total de número de bits por quadro é de 256 e sua frequência de repetição de 8000 quadros por segundo.

A taxa de bits da interface é de 2048 kbit/s, estando disponível para as células ATM (células de informação do usuário, células de sinalização, células OAM de camadas superiores, células não-designadas) e células vazias a taxa de 1920 kbit/s. Para as células de manutenção da camada física (células de overhead) tem-se disponível a taxa de 128 kbit/s.

#### 3.3.2.3.2 Mapeamento de Células ATM

O mapeamento de células é efetuado como descrito no apêndice A. A “janela de tempo 0” (Time Slot 0 - TS0) é usado para transportar funções OAM, tais como monitoração e relatórios de desempenho, alinhamento de quadro, entre outras sinalizações, enquanto que as demais janelas de tempo: janelas de 1 a 15 e 17 a 31 são destinadas ao transporte de células ATM. A janela de tempo 16 (TS16) não é usada nesta interface.

### 3.3.2.3.3 Monitoração de Desempenho de Erro

Logo após o alinhamento de quadro e multiquadro terem sido atingidos, inicia-se o processo de monitoração dos bits em cada sub-multiquadro através da utilização do código CRC-4, como definido em [ITU-T, G.706].

O procedimento de monitoração possui as seguintes etapas:

1. O CRC de sub-multiquadro recebido é obtido pelo processo de multiplicação/divisão realizado por um circuito específico definido na recomendação G.704 [ITU-T, G.704].
2. O resto do processo de divisão é armazenado e comparado bit a bit com os bits do CRC recebidos no próximo sub-multiquadro (Sub Multi Frame - SMF).
3. Se o resto calculado anteriormente, corresponde aos bits de CRC contidos no próximo SMF recebido, é assumido que o SMF (inicial) não possui erros.

As informações de status referentes ao processamento do CRC-4 estão disponíveis em duas formas:

#### a) Informação Direta

Todas as vezes em que erros forem detectados durante a monitoração de um bloco via CRC, será necessário indicar esta condição.

#### b) Informação Integrada

Em períodos consecutivos de 1 s, o número de blocos CRC errados deverá estar disponível. Este número deverá situar-se entre os valores 0 e 1000 (decimal).

#### Obtenção do CRC-4 para as interfaces de 2048 kbit/s

Na figura 3.3 é mostrado um diagrama do circuito que realiza a operação de divisão, para a obtenção do CRC de acordo com a G.704 [ITU-T, G.704]. Tem-se aí:

- Entrada I aos registradores: SMF(N) com os valores de C1, C2, C3, C4 inicializados ao valor 0 (zero);
- O polinômio gerador dos registros é:  $x^4 + x + 1$ ;

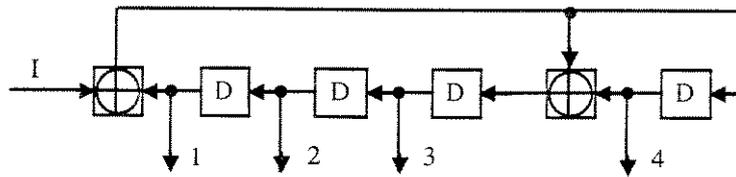


Figura 3.3: Circuito divisor para a obtenção do CRC-4.

No ponto I, o SMF é alimentado serialmente (bit a bit) dentro do circuito. Quando o último bit do SMF (bit 256 do quadro número 7 ou quadro número 15) ter sido alimentado dentro dos registros de deslocamento, os bits de CRC C1 a C4 estarão disponíveis nas saídas 1 a 4 (a saída 1 fornece o bit mais significativo, C1, e a saída 4 o bit menos significativo, C4). Os bits de C1 a C4 são transmitidos no próximo SMF, no caso o SMF(N+1), nos quadros onde são transportadas as palavras de alinhamento de quadro, nas janelas de tempo TS0 (Time Slot 0).

O processo de monitoração de erros de bits empregando o código CRC é executada no enlace digital total entre fonte e destino de um sinal multiplex.

### 3.3.3 Controle de Erro do Cabeçalho

#### 3.3.3.1 Funções

O controle de erro do cabeçalho (HEC - Header Error Control) atua sobre todo o campo de cabeçalho da célula (5 octetos).

O código usado para esta função é capaz de [ITU-T, I.432]:

- corrigir erros simples de bit;
- detectar erros múltiplos de bits;

Uma descrição detalhada para a obtenção do valor do HEC é dada na próxima seção 3.4.2.

Durante o processo de transmissão, o valor do HEC é calculado e enviado ao receptor, que possui dois modos específicos de operação como ilustrado na figura 3.4.

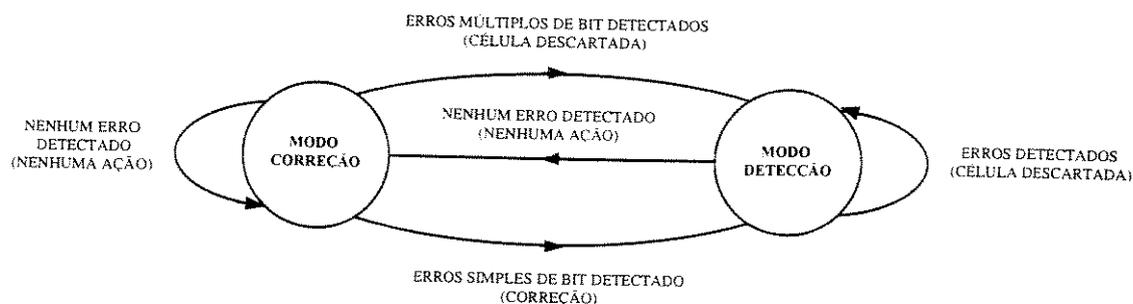


Figura 3.4: HEC - Modos de operação do receptor.

Inicialmente, o receptor opera no “*modo correção*” e a cada célula recebida o seu cabeçalho é analisado e se erros são detectados, diferentes ações são tomadas. Nesse modo inicial (correção), se ocorrer um erro simples de bit, este é corrigido e o receptor comuta para o “*modo detecção*”. Se erros múltiplos de bits ocorrem, estes são detectados e o receptor comuta para o “*modo detecção*”, descartando a célula.

No modo detecção, qualquer erro detectado fará com que a célula seja descartada. Durante a permanência neste estado, caso não sejam detectados erros, o receptor comuta de volta para o “*modo correção*”. O receptor permanece no “*modo correção*” enquanto não for detectado a presença de erros no cabeçalho da célula.

O fluxograma da figura 3.5 mostra a consequência de erros de bits no cabeçalho da célula. A função de proteção de erro fornecida pelo HEC é capaz de recuperar erros simples de bit e assegurar uma baixa probabilidade do envio de células na condição de “burst” de erros no cabeçalho. A característica de erro dos sistemas de transmissão baseados em fibra óptica caracteriza-se por uma mistura de erros simples de bit e grandes “bursts” de erros, de acordo com as referências [ITU-T, I.432], [De Prycker 93].

Para alguns sistemas de transmissão esta capacidade de correção de erro não é eficiente, e conseqüentemente não é implementada, por exemplo, para sistemas que se caracterizam por erro em burst (erro em rajada), pois o código de correção/detecção de erros utilizado não é eficiente para corrigir e/ou detectar este tipo de erro [Lin 70, 83]<sup>3</sup>.

<sup>3</sup> De acordo com a referência, um código cíclico utilizado para corrigir/detectar erros simples de bit não é eficaz na correção/detecção de erros de burst.

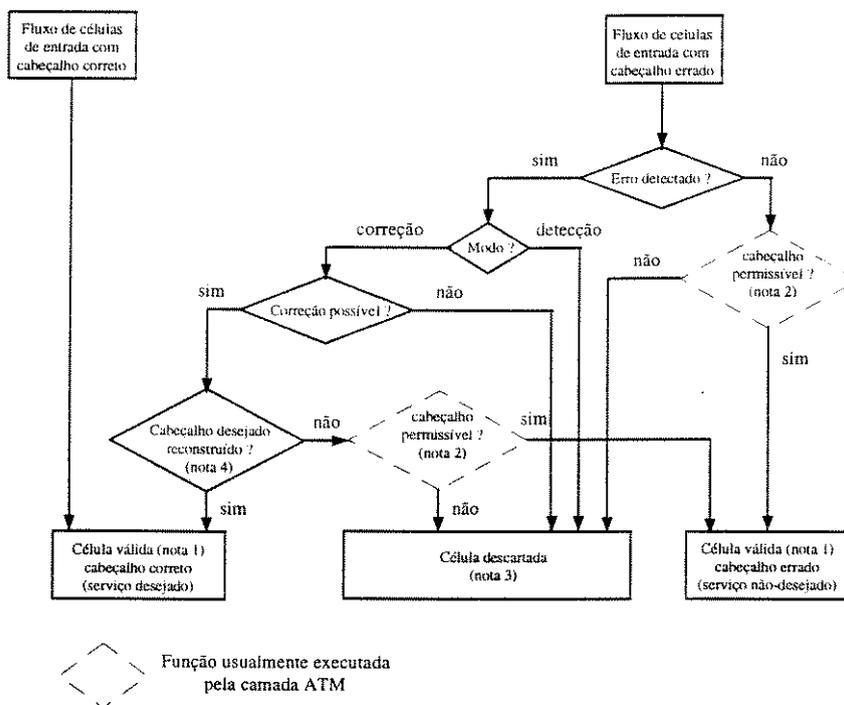


Figura 3.5: Conseqüências de erros no cabeçalho da célula.

**NOTAS:**

- 1- Definição de “*célula válida*”: uma célula onde o cabeçalho é declarado livre de erros pelo processo de controle de erro - HEC [ITU-T, I.413].
- 2- Um exemplo de cabeçalho não-permissível é aquele cujo VPI/VCI não está alocado para uma conexão, nem predeterminado para uma função particular (células vazias, células OAM, etc.), sendo que em muitos casos, a camada ATM decidirá se o cabeçalho da célula é permissível.
- 3- Uma célula é descartada se o seu cabeçalho for declarado ser inválido ou se o mesmo for declarado ser válido e não permissível.
- 4- Definição de “*intended header*” (cabeçalho desejado, esperado): é o cabeçalho que não foi corrompido por erros (um ou mais), apresentando-se assim, como no instante em que foi gerado pelo transmissor (equipamento de transmissão).

**3.3.3.2 Seqüência de Geração do HEC**

A notação usada para descrever o HEC está baseada nas propriedades dos códigos cíclicos (por exemplo, uma seqüência “1000000100001” pode ser representada por um polinômio  $P(x) = x^{12} + x^5 + 1$ ). Os elementos de uma palavra código de n-elementos são, desta forma, os coeficientes de um polinômio de ordem  $n-1$ . No exemplo, os coeficientes tem valores 1 e 0 e as operações polinomiais são executadas módulo 2. O polinômio representando o conteúdo do cabeçalho, excluindo o campo de HEC, é gerado usando o primeiro bit do cabeçalho (bit mais significativo - MSB do primeiro byte) como coeficiente do termo de mais alta ordem.

O campo de HEC é representado por uma seqüência de 8 bits, obtida pelo produto de  $x^8$  pelo polinômio representante do conteúdo do cabeçalho (4 primeiros bytes) e este resultado é dividido pelo polinômio gerador  $x^8 + x^2 + x + 1$ , onde obtida a seqüência, esta completa os 5 bytes do cabeçalho.

No transmissor, o conteúdo inicial do registro do componente responsável por efetuar a divisão é inicializado e então é modificado pela seqüência de 8 bits obtida como descrito anteriormente, inserida no campo de HEC e transmitida.

A fim de melhorar o desempenho na demarcação de células, no caso de escorregamentos de bits ("*bit-slip*"), a seqüência seguinte é recomendada [ITU-T, I.432]:

- os bits de verificação (resto da divisão polinomial) calculados pelo polinômio de verificação (polinômio gerador) devem ser adicionados (módulo 2) a uma seqüência padrão de 8 bits antes de serem inseridos no último octeto do cabeçalho (campo de HEC);
- a seqüência padrão recomendada é "01010101" (o bit da esquerda é o mais significativo);
- o receptor deve subtrair (igual a adição módulo 2) este padrão dos bits do HEC antes de calcular a síndrome do cabeçalho;

Esta operação não afeta a capacidade de detecção/correção do HEC.

### 3.3.3.3 Impacto de Erros Aleatórios de Bits no Cabeçalho das Células

É realizado nesta seção, uma análise do efeito de erros aleatórios de bits ocorridos no campo de cabeçalho da célula, em relação a dois aspectos específicos de operação do receptor:

- A probabilidade de descarte da célula ATM.
- A probabilidade da célula ATM ser aceita pelo receptor apresentando erros no seu cabeçalho (que é a situação mais crítica).

O processo de correção/detecção de erros é realizado através do campo de HEC do cabeçalho da célula, onde temos para este campo um código cíclico (CRC), cujo polinômio gerador é  $x^8 + x^2 + x + 1$ . Tem-se ainda que, o receptor opera em dois modos distintos: *modo correção e modo detecção*, sendo capaz de corrigir erros simples de bits e detectar erros múltiplos de bit de acordo com [ITU-T, I.432], como foi mencionado na seção 3.3.3.1.

Assim, para que se possa avaliar as probabilidades acima e representá-las num gráfico em função da probabilidade de erros de bit, é necessário saber quais são as probabilidades de transição entre os estados (modos de operação) do receptor, em função de sua capacidade de correção/detecção.

Torna-se importante nesta fase, determinar exatamente ou com boa aproximação, a capacidade de correção e detecção máxima do código, em função do polinômio gerador.

### 3.3.3.3.1 Avaliação do Código

O cabeçalho da célula ATM possui cinco bytes, dos quais, os quatro primeiros (em sua maioria) são informações relevantes ao roteamento da célula dentro da rede, e o último, uma redundância da informação destinada a proteção de todo o campo de cabeçalho contra possíveis erros de bits, sendo representada pelo campo de HEC. Tem-se desta forma, uma palavra de informação de 32 bits a ser protegida e 8 bits de redundância pertencentes ao código cíclico, resultando numa palavra código de 40 bits.

Baseando-se em tabelas para código de blocos lineares [Verhoff 87], tem-se que para um código do tipo (40,32) ou seja, 32 bits de informação e 40 bits da palavra código, obtém-se que a maior distância mínima (distância de Hamming)<sup>4</sup> possível para este código é  $d_{min} = 4$ .

---

<sup>4</sup> A distância de Hamming (Hamming Distance) entre  $u$  e  $v$ ,  $d(u,v)$ , é definida como o número de componentes as quais eles diferem.

$$\begin{aligned} u &= (10010110001), \\ v &= (11001010101), \end{aligned}$$

então  $d(u,v)=5$ .

Utilizando-se da definição de adição módulo 2, tem-se:

$$\begin{aligned} d(u,v) &= w(u+v) \\ u+v &= (01011100100) \\ w(u+v) &= 5 \Rightarrow d(u,v)=5 \end{aligned}$$

Dado um código linear, pode-se calcular as distâncias entre todos os pares de palavras códigos; a menor distância é chamada de distância mínima do código, e é denotada por  $d_{min}$ .

De acordo com [Merkey 84], um código CRC (40,32) possui distância mínima,

$$d_{min} \geq (2t + 2) \quad (3.1)$$

onde  $t$  é a capacidade de correção de erros projetada. Como se sabe de [ITU-T, I.432], o código é capaz de corrigir todos os erros simples de bits, assim tem-se  $t = 1$  e portanto  $d_{min} \geq 4$  (I).

Mas sabe-se também que  $g(x) = x^8 + x^2 + x + 1$  é uma palavra do código que possui peso<sup>5</sup> 4. Assim  $d_{min} \leq 4$  (II).

De (I) e (II) concluímos que  $d_{min} = 4$ .

Inicialmente, será avaliada a capacidade do código quando este estiver operando no modo correção e em seguida, quando este estiver operando no modo detecção.

#### a) Modo Correção

Neste modo de operação, o receptor realiza os processos de correção e detecção simultaneamente.

Quando o código é usado para correções simultâneas de todas as combinações de  $t$  ou menos erros e detecção de todas as combinações de  $l \geq t$  erros, é exigido que o código tenha distância mínima dada por:

$$d_{min} \geq t + l + 1 \quad (3.2)$$

Dado que  $d_{min} = 4$  e que a capacidade de correção do código é de  $t = 1$  erro, levando estes valores em (3.2) obtém-se  $l = 2$ .

Podemos concluir assim que, neste modo de operação, o código é capaz de corrigir todas as combinações de 1 erro e detectar todas as combinações de 2 erros.

---

<sup>5</sup> Os pesos de um vetor  $v$  (Hamming Weight)  $w(v)$ , é definido como o número de componentes não nulas de  $v$ . Seja  $v=(10010110001)$ , o peso do vetor  $v$  é dado por  $w(v)=5$ , isto é, seu peso é igual a 5.

### b) Modo Detecção

No modo detecção, o receptor apenas detecta os erros ocorridos, aumentando assim esta capacidade, pois neste modo não são efetuadas correções.

Se um código com distância mínima  $d_{min}$  é usado para detecção e somente detecção de erros, o decodificador pode detectar todos os padrões de  $l$  erros ou menos, dados por:

$$l = d_{min} - 1 \quad (3.3)$$

Assim, para o  $d_{min}$  em questão, tem-se  $l = 3$  e pode-se concluir que o receptor é capaz de detectar todos os padrões de 1, 2 e 3 erros.

#### 3.3.3.3.2 Determinação das Probabilidades

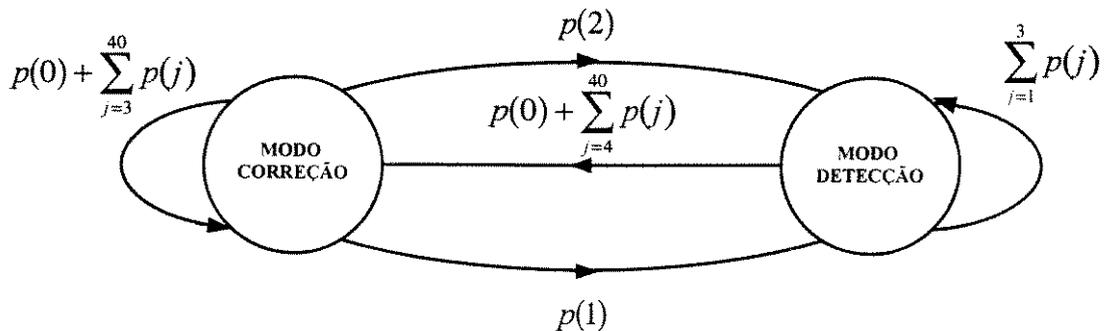


Figura 3.6: Diagrama de estados e probabilidades de transição.

#### Descrição do Diagrama de Estados

Como pode ser visto na figura 3.6, as probabilidades de transição de estados ou permanência nestes, estão relacionadas a capacidade de correção/detecção do código dado o modo de operação em que o receptor se encontra.

De acordo com a mesma, tem-se:

- A probabilidade de transição de estado do modo correção para o modo detecção sem descarte da célula é dada por  $p(1)$ , ou seja, a probabilidade de ocorrer apenas 1 erro.

- A probabilidade de transição de estado do modo de correção para o modo detecção descartando a célula é dada por  $p(2)$ , ou seja, a probabilidade de ocorrer 2 erros.
- A probabilidade de permanecer no modo correção é dada por  $p(0) + \sum_{k=3}^{40} p(k)$ , ou seja, a probabilidade de não ocorrer erros ou ocorrer erros além da capacidade de detecção/correção do código, neste modo de operação, o que é equivalente a erros de bits superiores a 3.
- A probabilidade da célula ser descartada no modo detecção é dada por  $p(1) + p(2) + p(3)$ , ou seja, a capacidade de detecção total do código neste modo.
- A probabilidade de transição do modo detecção de volta para o modo correção é dada por  $p(0) + \sum_{k=4}^{40} p(k)$ , ou seja, a probabilidade de não ocorrer erros ou ocorrer erros além de sua capacidade de detecção, neste modo de operação, o que é equivalente a erros superiores a 4.

Definições:

$p_k \equiv$  Probabilidade de  $k$  erros de bits.

$p \equiv$  Probabilidade de erro de bit.

$P(desc) \equiv$  Probabilidade da célula ser descartada.

$P(ac) \equiv$  Probabilidade da célula ser aceita com erros no cabeçalho.

$P(C) \equiv$  Probabilidade do receptor estar no modo de correção.

$P(D) \equiv$  Probabilidade do receptor estar no modo detecção.

As probabilidades acima são dadas pelas equações (3.4), (3.5), (3.6), (3.7) e (3.8):

$$p_k = \binom{n}{k} p^k (1-p)^{n-k} \quad (3.4)$$

$$P(desc) = P(desc \cap C) + P(desc \cap D) \quad (3.5)$$

$$P(ac) = P(ac \cap C) + P(ac \cap D) \quad (3.6)$$

### Cálculo de $P(C)$ e $P(D)$

Os valores de  $P(C)$  e  $P(D)$  podem ser obtidos avaliando-se o sistema na figura 3.5 como uma *Cadeia de Markov* em regime estacionário.

Um sistema representado por um conjunto de probabilidades  $p_{ij}$  que definem as probabilidades de transição de um estado qualquer  $i$  a um estado qualquer  $j$ , e que estas probabilidades de transições  $p_{ij}$  dependem somente dos estados  $i$  e  $j$ , sendo completamente independentes dos estados anteriores, exceto do último estado (estado  $i$ ), caracteriza um modelo denominado *Cadeia de Markov*. Considerando ainda, que o receptor opera em dois estados bem definidos e a probabilidade de transição é função da análise de erros ocorridos no cabeçalho da célula, sendo esta análise feita em intervalos de tempo equivalente a uma célula, ou seja, periodicamente, pode-se considerar este modelo como uma Cadeia de Markov de estados discretos e tempos discretos.

Assim, o sistema pode ser equacionado como,

$$P(C)[p(1) + p(2)] = P(D)[1 - p(1) - p(2) - p(3)] \quad (3.7)$$

$$P(C) + P(D) = 1 \quad (3.8)$$

Substituindo a equação (3.7) em (3.8),

$$P(C) = \frac{1 - p(1) - p(2) - p(3)}{1 - p(3)} \quad (3.9)$$

De (3.9) e (3.8) tem-se,

$$P(D) = \frac{p(1) + p(2)}{1 - p(3)} \quad (3.10)$$

Probabilidade da célula ser descartada

A probabilidade de descarte da célula é dada pelas equações (3.9) e (3.10) em (3.5),

$$P(desc) = \frac{p(1)^2 + p(2) + p(1)p(2) + p(1)p(3)}{1 - p(3)} \quad (3.11)$$

Probabilidade da célula ser aceita com erros no cabeçalho

A probabilidade da célula ser aceita pelo receptor como correta, contendo erros no seu cabeçalho, devido a capacidade de detecção do código ser limitada, é dada pelas equações (3.9) e (3.10) em (3.6),

$$P(ac) = \frac{1 - p(0) - p(1) - p(2) - p(3) + p(0)p(3)}{1 - p(3)} \quad (3.12)$$

Para obter-se as curvas de ambas as probabilidades, é necessário avaliar o valor de cada  $p(k)$  individualmente, para os valores de  $k$  variando de zero até três, e substituí-los nas equações (3.11) e (3.12). Porém, outro fator deve ser levado em consideração ao se plotar as curvas, dado que as mesmas serão plotadas para valores muito baixos de probabilidade de erro de bit (de  $10^{-10}$  a  $10^{-4}$ ), deve-se aproximar cada  $p(k)$ , representado por binomiais, numa série de Taylor, de forma que se consiga uma melhor definição das curvas plotadas devido a problemas numéricos de computação dos valores dados pelas equações (3.11) e (3.12).

Abaixo, são calculados os valores de  $p(k)$  utilizando-se a sua definição inicial (na forma binomial),

$$\left. \begin{aligned} p(0) &= \binom{40}{0} p^0 (1-p)^{40-0} = (1-p)^{40} \\ p(1) &= \binom{40}{1} p^1 (1-p)^{40-1} = 40p(1-p)^{39} \\ p(2) &= \binom{40}{2} p^2 (1-p)^{40-2} = 780p^2(1-p)^{38} \\ p(3) &= \binom{40}{3} p^3 (1-p)^{40-3} = 9880p^3(1-p)^{37} \end{aligned} \right\} \quad (3.13)$$

Tomando-se as equações em (3.13), aproximando-as numa série de Taylor e em seguida, tomando-se os termos até 3ª ordem,

$$\left. \begin{aligned} p(0) &\cong 1 - 40p + 780p^2 - 9880p^3 \\ p(1) &\cong 40p - 1560p^2 + 29640p^3 \\ p(2) &\cong 780p^2 - 29640p^3 \\ p(3) &\cong 9880p^3 \end{aligned} \right\} \quad (3.14)$$

Substituindo os valores de (3.14) em (3.11) e (3.12) obtém-se:

$$P(desc) \cong 2380p^2 \quad (3.15)$$

$$P(ac) \cong 9880p^3 \quad (3.16)$$

A partir dos valores de probabilidades em (3.15) e (3.16), dada uma certa taxa de erro de bit  $p$  obtém-se as curvas da figura 3.7.

As curvas de probabilidades plotadas na figura 3.6, fornecem uma aproximação muito boa das curvas mostradas em [ITU-T, I.432]. Esta aproximação se deve principalmente, aos valores de probabilidade definidos na figura 3.5 e mencionados na descrição de estados equivalente a esta figura, onde considera-se que no modo correção,

não se detecta erros de bit superiores a 2 (parcela referente ao  $\sum_{k=3}^{40} p(k)$ ) e no modo

deteccção, não se detecta erros de bit superiores a 3 (em referência ao  $\sum_{k=4}^{40} p(k)$ ), o que na

verdade não procede, pois alguns destes padrões de erros de bit ainda são detectados<sup>6</sup>.

Para a obtenção das curvas exatas, seria necessário despender um certo esforço computacional para se determinar dentre estes valores dos somatórios acima, quais não são realmente detectados, o que não se justifica, visto que a diferença obtida no final do processo é muito pequena, e que o objetivo das curvas é fornecer apenas uma idéia do impacto de erros aleatórios de bit no campo de cabeçalho da célula.

---

<sup>6</sup> De acordo com [Haykin 88], um polinômio gerador que possui um número par de coeficientes é capaz de detectar todos os padrões de erros ímpares, ou seja, para valores de  $k=1,3,5,7,9,\dots,37,39$ .

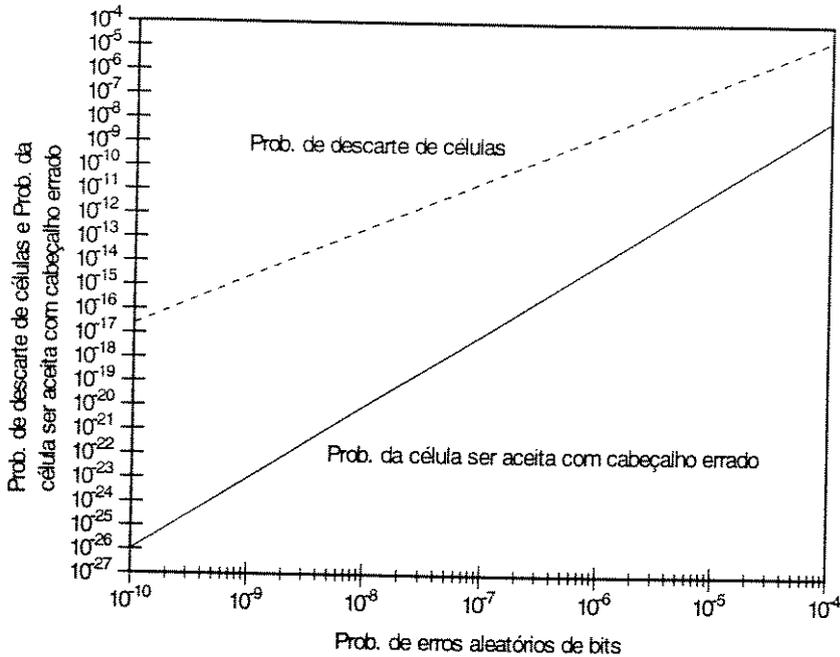


Figura 3.7: Impacto de erros aleatórios de bits no cabeçalho da célula.

### 3.3.4 Desacoplamento da Taxa de Células

Esta função é executada pela inserção ou supressão de células especiais denominadas células vazias. Estas não têm qualquer efeito no nó de recepção, a não ser durante o processo de demarcação de células.

A identificação destas se faz através de um campo de informação padrão e um valor específico de cabeçalho, como apresentado na tabela 3.4.

O valor padrão determinado para o campo de informação é a seqüência “01101010” repetida 48 vezes.

Tabela 3.4: Padrão de cabeçalho para a identificação das células vazias

	Octeto 1	Octeto 2	Octeto 3	Octeto 4	Octeto 5
Padrão de cabeçalho	00000000	00000000	00000000	00000001	HEC=Código válido 01010010

### 3.3.5 Demarcação de Células ATM

#### 3.3.5.1 Objetivos

A demarcação de células é um processo que permite a identificação de suas extremidades, de modo a se obter o sincronismo entre transmissão e recepção (sincronismo de quadros - início e fim de cada célula neste caso). O mecanismo de demarcação de células está baseado no campo de proteção do cabeçalho (HEC), o qual é usado para se obter tal sincronismo.

#### 3.3.5.2 Algoritmo de Demarcação de Células

A demarcação de células é executada utilizando-se da correlação entre os bits do cabeçalho a serem protegidos (32 bits) e os bits de controle de erro deste (8 bits de redundância ou HEC). A figura 3.8 mostra o diagrama de estados do método de demarcação utilizando o campo de HEC.

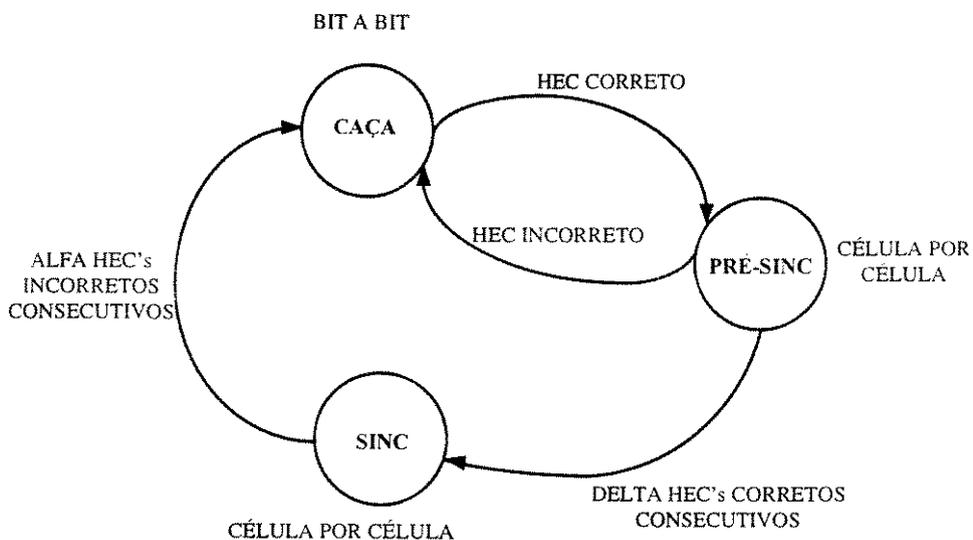


Figura 3.8: Diagrama de estados para demarcação de células.

Este diagrama é descrito em detalhes como segue:

#### 1. Estado de Busca

Neste, o processo de demarcação é efetuado através da verificação bit a bit na busca por um HEC correto (síndrome igual a zero) para o pressuposto campo de cabeçalho. Assim, tendo-se um fluxo contínuo de bits, é assumido para um determinado instante

ser este o início da célula. Toma-se os 32 primeiros bits a partir deste instante inicial, calcula-se o valor do HEC e compara-se com o campo dos 8 bits subseqüentes. Caso seja verificada a igualdade destes, assume-se que um possível início de célula foi encontrado e o processo entra no estado de “Pré-Sincronismo”; caso contrário, segue-se o processo de “Busca”, deslocando-se de um bit o fluxo de entrada com relação ao instante inicial adotado como referência. O cálculo do HEC é refeito e novamente comparado com o campo dos bits subseqüentes até que seja verificada a igualdade, e assim sucessivamente.

Para a camada física baseada em células, antes do sincronismo dos embaralhadores (que será abordado a seguir), somente os últimos 6 bits do campo de HEC são utilizados para a demarcação. No caso da camada física cuja estrutura esteja baseada nos sistemas de transmissão SDH e PDH, todos os 8 bits deste campo são utilizados no processo. Nos casos em que as extremidades de octetos estão disponíveis na recepção, antes do processo de demarcação das células, como acontece com as interfaces SDH, o processo de busca pode ser executado octeto a octeto (byte a byte).

## **2. Estado de Pré-Sincronismo**

O processo de demarcação, neste estado, é executado célula por célula, verificando a existência de HEC's corretos. Este processo se repete até que DELTA HEC's corretos sejam confirmados consecutivamente, passando ao estado de “Sincronismo”. Se um HEC incorreto é verificado o processo retorna ao estado de “Busca”.

## **3. Estado de Sincronismo**

O receptor permanece neste estado até que a demarcação das células seja declarada perdida, o que ocorre quando ALFA HEC's incorretos consecutivos sejam obtidos.

Os parâmetros ALFA e DELTA são escolhidos de modo que tornem o processo de demarcação o mais seguro e robusto possível e ao mesmo tempo, satisfazendo algumas características de desempenho. A robustez contra a perda de demarcação devido a erros de bits depende do fator ALFA e a robustez contra falsas demarcações que podem ser encontradas no processo de resincronização depende do valor de DELTA.

Através de cálculos estatísticos foram estabelecidos os valores de ALFA=7 e DELTA=6 para a camada física baseada na SDH e ALFA=7 e DELTA=8 para a camada física baseada na transmissão pura de células ATM (TPCA).

### 3.3.5.3 Desempenho na Demarcação de Células

O desempenho na demarcação de células ainda está sob estudos, porém os gráficos das figuras 3.9 e 3.10 fornecem uma informação qualitativa do desempenho do algoritmo de demarcação de células na presença de erros aleatórios de bits, para diferentes valores de ALFA e DELTA [ITU-T, I.432].

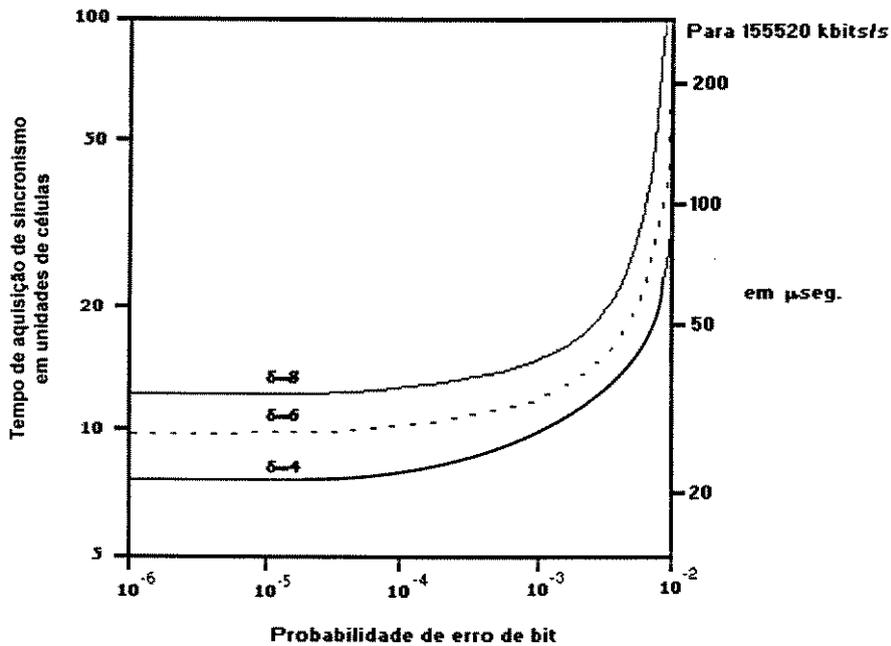


Figura 3.9: Tempo de aquisição de sincronismo versus probabilidade de erro de bit [ITU-T, I.432].

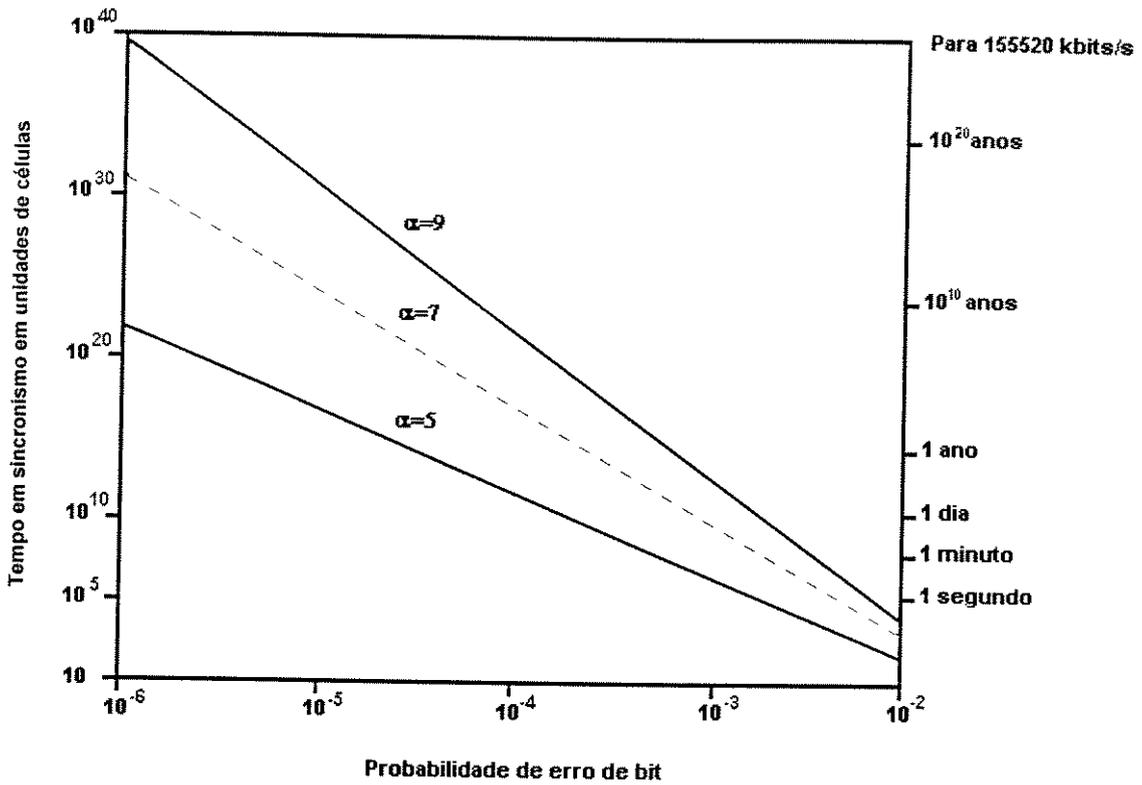


Figura 3.10: Tempo em sincronismo versus probabilidade de erro de bit [ITU-T, I.432].

### 3.3.6 Embaralhamento

#### 3.3.6.1 Funções

O embaralhamento é o processo pelo qual aplica-se uma aleatoriedade à informação, com os seguintes objetivos:

- evitar a geração de seqüências muito longas de “0’s” e “1’s”, aumentando o desempenho de transmissão;
- facilitar a extração de relógio pelo receptor;
- aumentar a robustez e segurança do processo de demarcação evitando possíveis simulações do campo de HEC pelo campo de informação da célula;
- reduz ruídos indesejados devido a ecos e presença de jitter, além de reduzir efeitos de interferência causado por outros sinais [Kim 94].

São definidos três tipos de embaralhadores empregados nos sistemas de transmissão para o transporte de células ATM:

- Embaralhadores Auto-Sincronizáveis (Self-Synchronous Scramblers - SSS);
- Embaralhadores Síncronos de Quadro (Frame Synchronous Scramblers - FSS);
- Embaralhadores de Amostras Distribuídas (Distributed Samples Scramblers - DSS);

A seguir, faz-se uma descrição sucinta do processo de embaralhamento destes.

### 3.3.6.2 Tipos de Embaralhadores Utilizados para a Camada Física

#### I. Embaralhadores Auto-Sincronizáveis

O embaralhador auto-sincronizável além de ter sido extensivamente empregado em sistemas de transmissão PDH, foi adotado também nos sistemas de transmissão SDH para a transmissão de células ATM. O polinômio gerador adotado para este embaralhador é  $x^{43} + 1$ .

A operação deste par embaralhador/desembaralhador (e/d) em relação ao diagrama de estados na demarcação de células está definida abaixo:

1. O par (e/d) atua apenas sobre o campo de informação das células;
2. Durante os 5 octetos do cabeçalho a operação é suspensa e o estado do par (e/d) é retido;
3. No estado de busca o desembaralhador é desabilitado;
4. Nos estados de “sincronismo e pré-sincronismo” o desembaralhador é habilitado por um número de bits igual ao comprimento do campo de informação e novamente desabilitado na presença de um novo cabeçalho;
5. Durante a inicialização do sistema e ressincronização após uma perda de sinal, os primeiros 43 bits da carga útil da primeira célula transmitida serão usados para sincronizar o desembaralhador ao embaralhador, e assim a primeira célula será perdida;

Com relação ao sincronismo deste tipo de embaralhador, este é obtido automaticamente como mostra o esquema apresentado na figura 3.11.

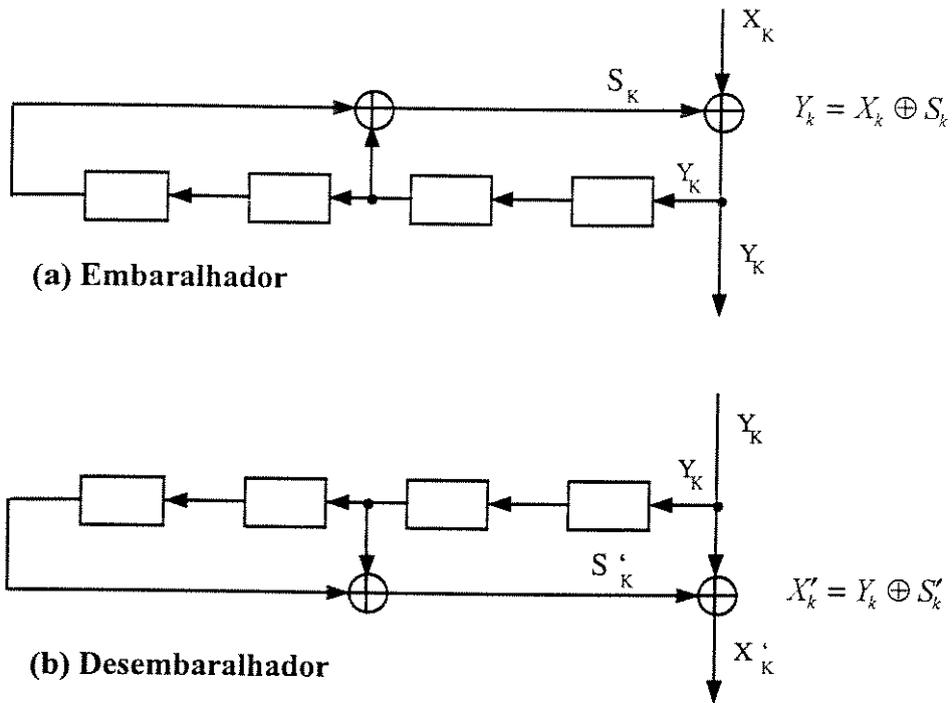


Figura 3.11: Esquema de um embaralhador/desembaralhador auto-sincronizável.

A figura mostra que os dados recebidos no embaralhador são adicionados às seqüências de saída dos registros de deslocamento gerando a seqüência de saída deste, que por sua vez, é transmitida e ao mesmo tempo realimentada aos registros de deslocamento. Por outro lado, no receptor, a seqüência embaralhada é recebida e primeiramente realimentada aos registros de deslocamento do desembaralhador para logo em seguida ser adicionada a seqüência de saída dos registros gerando a seqüência original de dados, antes do embaralhamento (seqüência de dados desembaralhada). Ou seja, podemos escrever o processo como segue:

$$Y_k = X_k \oplus S_k \tag{3.17}$$

$$X'_k = Y_k \oplus S'_k \tag{3.18}$$

Escrevendo-se (3.18) como  $Y_k = X'_k \oplus S'_k$  e realizando-se a adição com (3.17) resulta em:

$$0 = X_k \oplus X'_k \oplus S_k \oplus S'_k$$

$$X'_k = X_k \oplus S_k \oplus S'_k \tag{3.19}$$

Pode-se concluir que, para  $S_k = S'_k$  obtém-se  $X_k = X'_k$ , ou seja, a seqüência de entrada do embaralhador é idêntica à saída do desembaralhador. Porém, inicialmente devido o estado do embaralhador ser completamente distinto do desembaralhador, a primeira seqüência de bits de comprimento igual ao número de registros de deslocamento do par (e/d) será perdida, pois estes continham inicialmente bits espúrios armazenados e desta forma a seqüência inicial será desembaralhada erroneamente.

Um problema comum deste tipo de embaralhador é o efeito multiplicativo de erro (erros duplos) [De Prycker 93], porém não relevante neste caso, pois o cabeçalho da célula não é embaralhado nos sistemas em que este é empregado.

## II. Embaralhadores Síncronos de Quadro

Estes embaralhadores são utilizados nos sistemas SDH. Nestes sistemas todo o quadro é embaralhado com exceção da primeira linha do SOH (bytes A1, A2, C1 e também os bytes reservados para uso nacional).

O polinômio gerador adotado para este tipo de embaralhador foi  $x^7 + x^6 + 1$  e o sincronismo é obtido inicializando os seus registros no estado lógico "1111111" a cada princípio de quadro, tanto do lado do embaralhador como no desembaralhador, simultaneamente. Um esquema do embaralhador é apresentado na figura 3.12.

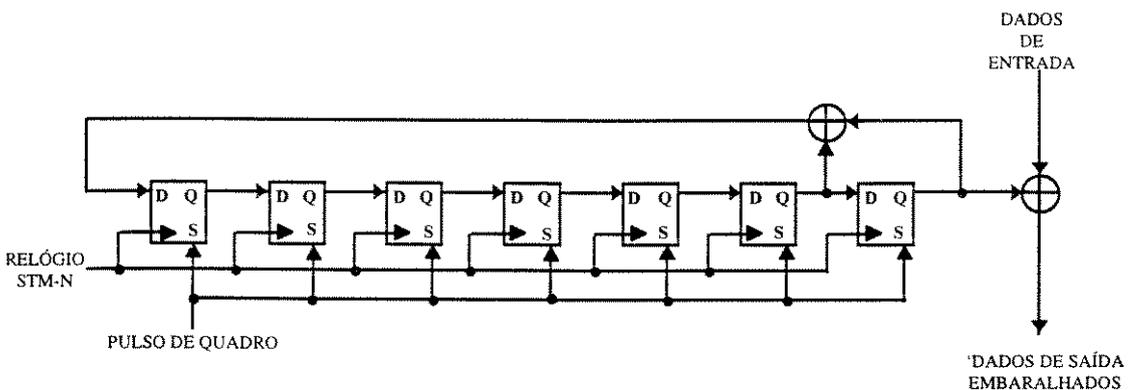


Figura 3.12: Esquema do embaralhador síncrono de quadro.

Nos sistemas SDH onde tem-se o transporte de células ATM mapeadas em seus quadros de transmissão, os campos de informação das células são embaralhados primeiramente via SSS e logo em seguida, um novo processo de embaralhamento utilizando o FSS é realizado em todo o quadro, de modo que o processo final é

equivalente ao embaralhamento utilizado quando se tem a Transmissão Pura de Células ATM (TPCA) [Lee 94].

### III. Embaralhadores de Amostras Distribuídas

Este tipo de embaralhador é o que foi adotado para os sistemas de transmissão baseados em células (TPCA - Transmissão Pura de Células ATM).

O embaralhador de amostras distribuídas é um exemplo de uma classe de embaralhadores no qual a aleatoriedade do fluxo de dados transmitido é alcançada pela adição<sup>7</sup> de uma seqüência pseudo-aleatória. O desembaralhamento no receptor é alcançado pela adição de uma seqüência idêntica gerada localmente, em sincronismo de fase com a seqüência de células transmitidas. O embaralhador não afeta o desempenho dos bits de HEC (correção/detecção de erros) durante o regime permanente de operação do receptor.

O sincronismo de fase de um receptor PRBS (Pseudo Random Binary Sequence - Seqüência Binária Pseudo-Aleatória) com polinômio gerador de ordem  $r$  é alcançado pelo envio de  $r$  amostras linearmente independentes do gerador PRBS fonte através do canal de transmissão. Quando recebidas sem erros, estas  $r$  amostras são suficientes para sincronizar a fase do gerador PRBS do receptor àquela do gerador PRBS do transmissor.

#### III.1 Operação do Transmissor

A seqüência binária pseudo-aleatória do transmissor é adicionada bit a bit a célula ATM, com exceção do campo de HEC. O polinômio gerador da seqüência pseudo-aleatória é  $x^{31} + x^{28} + 1$ .

O campo de HEC calculado é modificado pela adição do CRC calculado para os 32 primeiros bits da seqüência gerada pelo PRBS, coincidentes com os 32 primeiros bits do cabeçalho.

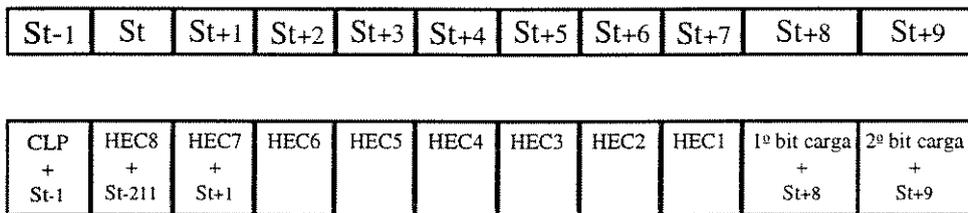
Em seguida os dois primeiros bits do campo HEC são modificados pelas amostras do PRBS no embaralhador. O primeiro bit do HEC (bit 8) é adicionado ao valor da amostra do gerador PRBS no embaralhador, que por sua vez foi adicionada há 211 intervalos de bit para trás à carga útil da célula anterior.

---

<sup>7</sup> Todas as operações realizadas aqui, exceto quando mencionado, são operações módulo 2.

O segundo bit do campo de HEC (bit 7) é adicionado ao valor atual da amostra gerada pelo PRBS (amostra esta, gerada exatamente no instante do bit 7 do campo de HEC), no embaralhador. Estas amostras estão separadas exatamente por meia célula ATM, sendo que a primeira amostra, a qual denominaremos  $S_{t-211}$  é armazenada no transmissor por 211 bits (211 intervalos de tempo bit) antes de ser transmitida, exigindo para isto a utilização de dispositivos de memória (armazenamento).

A idéia acima está caracterizada na figura 3.13, como segue.



**Figura 3.13: Esquema de transporte das amostras no campo de HEC.**

### III.2 Operação do Receptor

Três estados básicos de operação do receptor são definidos:

- Aquisição de sincronismo do embaralhador (em seguida ao processo de demarcação de células).
- Verificação do sincronismo do embaralhador.
- Operação em regime estacionário.

#### 1. Aquisição do sincronismo do embaralhador (seguido à demarcação de células)

##### 1.a Demarcação das células

O mecanismo de demarcação de células é independente do mecanismo de aquisição de sincronismo do embaralhador (mesmo estado para os PRBS's do embaralhador/desembaralhador). A demarcação de células em sistemas TPCA é realizada usando os últimos seis bits do campo de HEC. Os dois primeiros bits (HEC7 e HEC8) transportam as amostras que serão utilizadas no sincronismo do desembaralhador sendo, portanto, modificados na transmissão através da adição destes aos bits das amostras do PRBS fonte (em referência ao transmissor), e conseqüentemente, não podem ser usados para a demarcação de células ou avaliação do CRC, no processo de detecção/correção de erros, enquanto o embaralhador não estiver em sincronismo.

### 1.b Aquisição do sincronismo

O objetivo aqui é descrever o funcionamento do circuito do desembaralhador e todo o processo para que este atinja o seu sincronismo. No capítulo seguinte, será apresentada a teoria para a obtenção do circuito responsável pelo sincronismo, baseada no funcionamento aqui descrito.

Assim, após a determinação das extremidades da célula, através do processo de demarcação, o receptor efetua o cálculo do CRC no cabeçalho das células recebidas (utilizando os 32 primeiros bits do cabeçalho) e adiciona-o ao campo de HEC que contém o CRC modificado pelas amostras na transmissão (bits HEC7 e HEC8), obtendo-se assim, os valores destas.

O sincronismo do embaralhador é obtido aplicando-se as amostras recebidas em intervalos de tempo equivalente a meia célula (212 tempos de bit)<sup>8</sup> ao desembaralhador recursivo. A fim de assegurar que as amostras sejam adicionadas no desembaralhador no mesmo intervalo de tempo em que foram obtidas do PRBS fonte, visto que a amostra  $S_{t-211}$  adicionada ao bit HEC8 já se encontra atrasada de 211 intervalos de tempo de bit, a segunda amostra  $S_{t+1}$  obtida do bit HEC 7 é armazenada no receptor por 211 tempos de bit antes de ser usada.

Devido ambas as amostras serem aplicadas ao desembaralhador 211 tempos de bit atrás de seu ponto de adição à seqüência de dados transmitida, o vetor de correção é escolhido de modo a gerar valores de correção em sua saída que estão adiantados de 211 tempos de bit em relação as amostras que deram origem ao mesmo, eliminando a diferença entre o valor utilizado para a correção e a seqüência de bits recebida, possibilitando desta forma a obtenção do sincronismo em tempo real. Uma outra maneira de entender o processo é assim: se fossem utilizadas as amostras atrasadas de 211 tempos de bit, desconsiderando este fato no cálculo do vetor de correção, o sincronismo obtido no desembaralhador conduziria o mesmo a um estado final atrasado de 211 tempos de bit em relação ao embaralhador, ou seja, o estado do desembaralhador estaria em sincronismo com o estado do embaralhador, porém, 211 tempos de bit atrás do tempo atual. Desta forma, seria necessária a utilização de um mecanismo de atraso para a seqüência de bits que está chegando ao receptor, de modo que esta fosse atrasada

---

<sup>8</sup> A razão pela qual as amostras são aplicadas neste intervalo definido (de meia célula) será apresentada no próximo capítulo.

por 211 intervalos de tempo de bit. No entanto, o fato das amostras estarem atrasadas de 211 tempos de bit será considerado no cálculo do vetor de correção (como será visto no capítulo seguinte), sendo que o valor de correção aplicado ao PRBS do desembaralhador, está adiantado de 211 tempos de bit com relação às amostras utilizadas para a obtenção do seu valor (que por sua vez, estão atrasadas de 211 tempos de bit), e assim, tudo se passa como se o sincronismo acontecesse no tempo atual.

Equivalentemente, pode-se verificar que as amostras transportadas e suas predições (valores calculados no receptor) são equalizados (em referência ao atraso de 211 tempos de bit) usando um mecanismo de armazenagem de 1 bit, como ilustrado na figura 3.14.

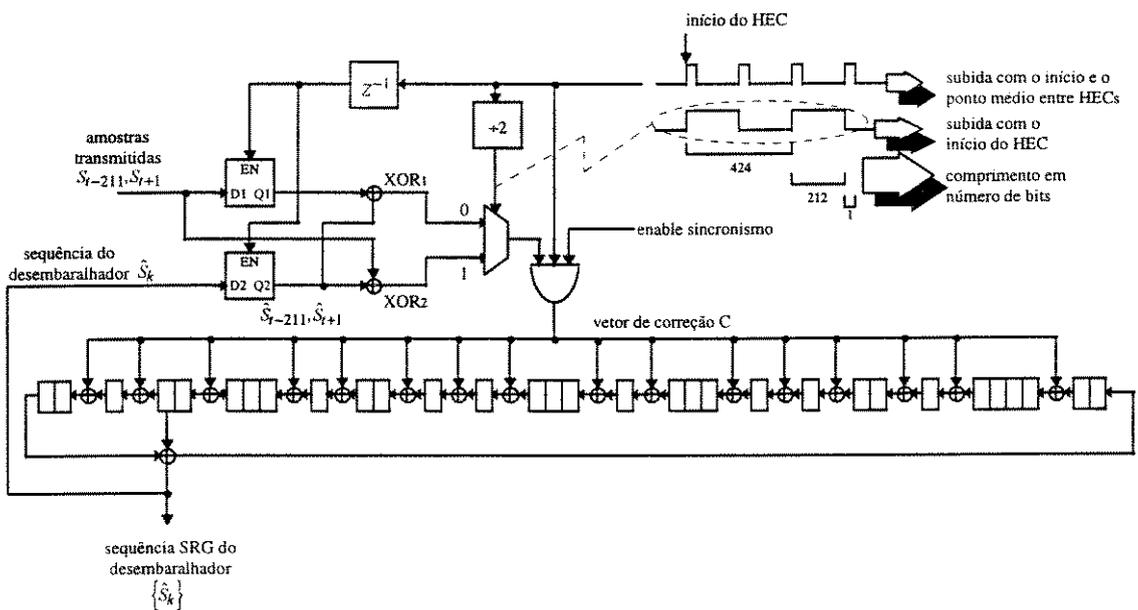


Figura 3.14: Esquema do desembaralhador de amostras distribuídas (DSS).

1.c Tempo para alcançar o sincronismo do embaralhador

Dois bits de informação (amostras do PRBS fonte) são transportados por célula (bits HEC7 e HEC8). O número de amostras consecutivas, livre de erros, necessárias para sincronizar o desembaralhador será igual ao comprimento do embaralhador, ou seja, igual ao número de registros do mesmo, ou ainda, igual a grau do polinômio gerador (31), conseqüentemente, 16 células fornecerão as 31 amostras necessárias ao sincronismo do desembaralhador.

O processo de sincronismo do embaralhador/desembaralhador não é desabilitado durante o processo de demarcação de células, contudo, o estado do desembaralhador não

irá convergir enquanto o mecanismo de demarcação não encontrar a posição verdadeira do HEC no cabeçalho da célula (ou seja, enquanto não for encontrado o início da mesma), não estando mais no seu *estado de busca* (algoritmo de demarcação). Assim, o início da aquisição de sincronismo do desembaralhador, coincidirá com a transição final do *estado de busca* ao *estado de pré-sincronismo* do mecanismo de demarcação de células.

## 2. Verificação do sincronismo do embaralhador

O estado de verificação difere do estado de aquisição no aspecto de que o desembaralhador já não é mais modificado pelas amostras de sincronismo. A verificação é necessária porque erros não-detectáveis nos bits transportados (amostras) podem ter ocorrido durante a aquisição de fase. Esta compara o estado dos registros do receptor com o estado dos registros do transmissor através das amostras transportadas e aquelas obtidas localmente. Para verificar a aquisição de fase total, de modo que a probabilidade de falsa sincronização seja menor que  $10^{-6}$  são necessárias 16 verificações, o que exige taxa de erro na transmissão melhor que  $10^{-3}$ .

## 3. Estado de operação em regime permanente (Embaralhador em Sincronismo)

Neste estado, os bits HEC7 e HEC8 podem retornar ao seu uso normal (correção/detecção de erros), após o seu desembaralhamento.

Tanto a demarcação de células quanto o sincronismo do embaralhador estão neste estado, confiavelmente monitorados por uma máquina de estados existente (algoritmo de demarcação de células).

### 3.a Regeneração do HEC e Embaralhamento do Cabeçalho

Os bits do HEC da célula transmitida foram modificados antes da transmissão correspondendo assim, ao HEC do cabeçalho embaralhado. Para reverter este processo e obter o HEC do cabeçalho desembaralhado, os bits do HEC (equivalentes ao cabeçalho embaralhado) são modificados pela adição do CRC calculado nos 32 bits da seqüência de saída do desembaralhador coincidentes com os 32 primeiros bits do cabeçalho.

### 3.b Detecção automática do Embaralhamento

Caso não ocorra o embaralhamento da seqüência de transmissão, então as amostras do PRBS fonte transportadas e obtidas no receptor através dos bits HEC7 e HEC8 terão valor nulo (zero). Assim, estes bits usados para obter o sincronismo de fase do desembaralhador deteriorarão o mesmo, inibindo o PRBS deste. Conseqüentemente, a ausência do embaralhamento pelo transmissor pode ser detectada automaticamente pelo receptor e corretamente tratada.

### III. **Mecanismo e diagrama de transição de estados do embaralhador**

Os três estados definidos para o embaralhador são: *aquisição*, *verificação* e *operação* (em regime estacionário).

A transição entre estes estados pode ser determinada em referência ao valor de um simples contador, denominado *contador de confiança* (C), que será descrito a seguir.

Estado inicial = Aquisição, valor inicial do contador de confiança  $C = 0$ .

Um diagrama mostrando as transições de estado para o receptor é apresentado na figura 3.15.

#### Estado I: Aquisição - Contador de confiança variando de 0 até X-1

Para cada célula recebida corretamente, sem erros detectados na avaliação dos bits de 1 a 6 do campo de HEC, o contador de confiança é incrementado de um e as duas amostras transportadas são usadas para obter o sincronismo do desembaralhador. Qualquer erro detectado no cabeçalho da célula resulta no retorno ao estado inicial (o contador de confiança é reinicializado).

A transição ao *estado de verificação* ocorre quando o contador alcança o valor X (o valor  $X=16$  foi proposto).

Diagrama de Transição de Estados  
 Estados: I - Aquisição II - Verificação III - Operação

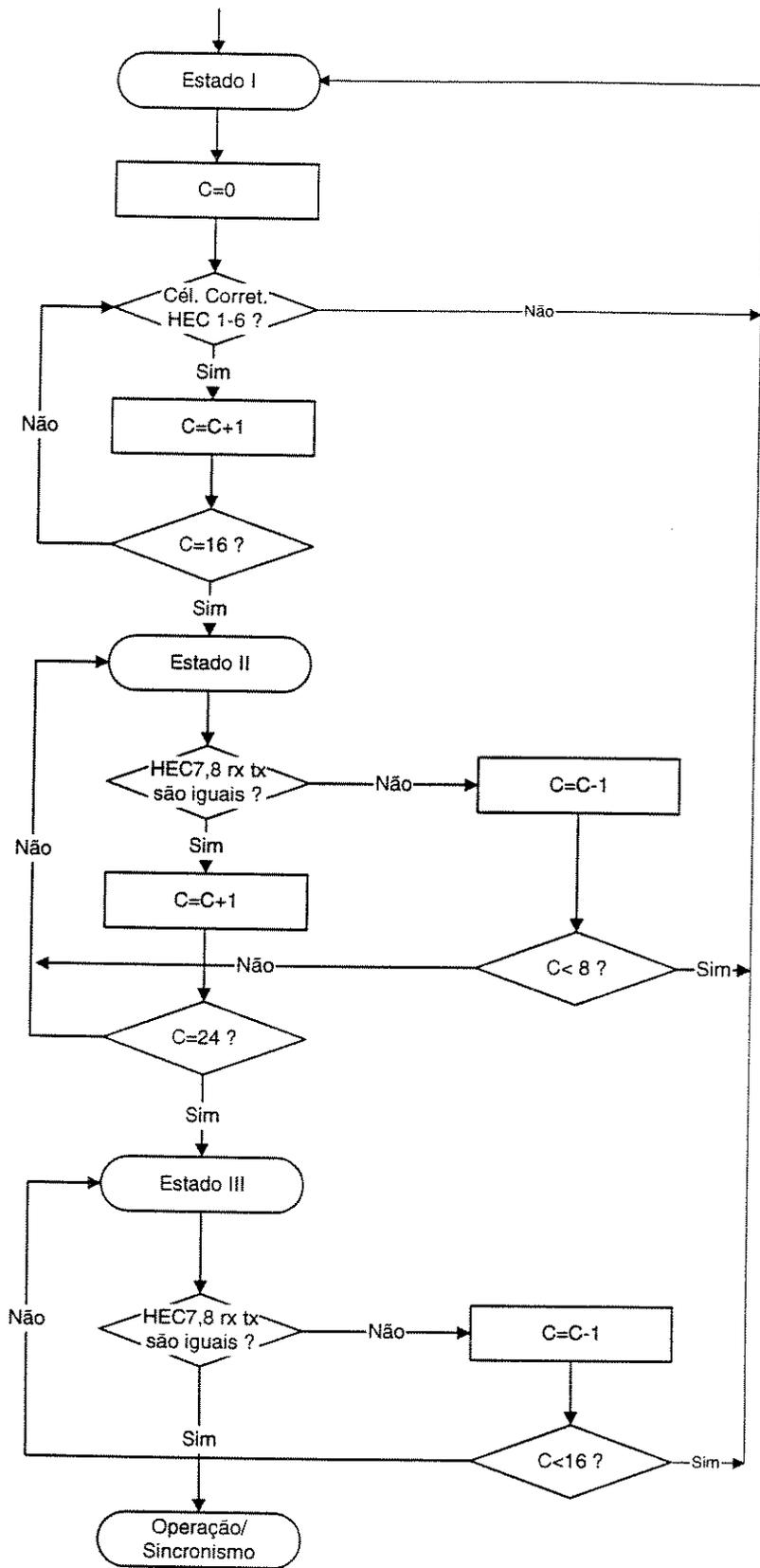


Figura 3.15: Diagrama de transição de estados do receptor.

#### Estado II: Verificação - Contador de confiança variando de X até Y-1

Para qualquer célula recebida sem erros detectados, as duas amostras transportadas são comparadas às amostras do receptor. Para cada célula onde as amostras comparadas são iguais, o contador de confiança é incrementado. Se uma ou as duas amostras comparadas são diferentes, o contador é decrementado. Se o valor do contador cair abaixo de V (valor proposto V=8) o sistema retorna ao *estado I de aquisição inicial* e o contador é reinicializado.

A transição ao *estado de regime permanente de operação* ocorre quando o contador alcançar o valor Y (valor proposto Y=24).

#### Estado III: Estado em regime permanente de operação - Contador de confiança variando de Y até Z.

As regras para o incremento e o decremento do contador de confiança são idênticas às do *estado II de verificação*. Retorna-se automaticamente ao estado de aquisição se o contador cair abaixo do valor W (valor proposto W=16). O contador tem um limite superior de Z (valor proposto Z=24).

## 3.4 Funções Operacionais da Camada Física

### 3.4.1 Definição de Sinais

Em relação aos princípios de manutenção os seguintes sinais estão definidos:

#### 1. Perda de Sinal (Loss of Signal - LOS)

Assume-se ter ocorrido uma LOS quando a amplitude do sinal relevante cai abaixo de um determinado limite por um período de tempo preestabelecido.

#### 2. Perda de Quadro (Loss of Frame - LOF)

A interface detecta uma LOF quando (TBD)<sup>9</sup> ou mais padrões de quadros errados consecutivos tenham sido recebidos.

---

<sup>9</sup> A abreviação TBD significa "To Be Determined" o que significa que o ITU-T ainda não definiu o valor a ser utilizado, estando ainda sob estudos.

### 3. Perda de Ponteiro (Loss of Pointer - LOP)

A interface detecta uma LOP quando um ponteiro válido não pode ser obtido pelas regras de interpretação de ponteiro definidas na Recomendação G.783 [ITU-T, G.783].

### 4. Perda da Demarcação de Células (Loss of Cell Delineation - LCD)

A interface detecta uma LCD quando o valor alfa ( $\alpha=7$ ) é atingido, indicando que 7 HEC's incorretos consecutivos foram detectados no processo de demarcação de células (algoritmo de demarcação).

### 5. Sinal de Indicação de Alarme de seção Multiplex (Multiplex Section Alarm Indication Signal - MS-AIS)

O MS-AIS é um sinal STM contendo um overhead de seção válido e um padrão de "1's" embaralhados contidos no campo de informação do quadro STM. Detectando LOS ou LOF no sinal de entrada, O MS-AIS é gerado dentro de (TBD)  $\mu$ s. MS-AIS é detectado quando se tem os bits 6,7 e 8 do byte K2, após desembaralhamento, iguais a "1".

### 6. Sinal de Indicação de Alarme de Rota (Path Alarm Indication Signal - P-AIS)

O P-AIS é enviado para alertar o equipamento na direção de transmissão que uma falha foi detectada. O P-AIS é detectado quando os octetos H1, H2 e H3 e toda a carga útil do quadro de transmissão são iguais a "1". Ao detectar uma falha (LOS, LOF, LOP ou LCD) ou MS-AIS, o P-AIS é gerado automaticamente.

### 7. Indicação de Defeito Remoto em Seção Multiplex (Multiplex Section Remote Defect Indication - MS-RDI)

O MS-RDI alerta o equipamento na direção oposta de transmissão que uma falha foi detectada. Ao detectar LOS, LOF ou um MS-AIS no sinal de entrada, o MS-RDI é enviado dentro de (TBD)  $\mu$ s pela inserção do código "110" nas posições dos bits 6,7 e 8 do byte K2.

#### 8. Indicação de Defeito Remoto em Rotas de Transmissão (Path Remote Defect Indication - P-RDI)

O P-RDI alerta o equipamento de rota de transmissão associado que uma falha na direção oposta a de transmissão foi declarada ao longo de uma rota STM. Se LOS, LOF, LOP, LCD MS-AIS ou P-AIS são detectados, o P-RDI é gerado dentro de (TBD)  $\mu$ s ativando o bit 5 do byte G1 (status da rota) ao valor "1".

A indicação de LOS, LOF, LOP e LCD são geradas dentro do equipamento funcional. Os sinais de MS-AIS, P-AIS, MS-RDI e P-RDI são sinais transmitidos/recebidos através das interfaces (UNI/NNI).

Todos estes sinais definidos são característicos da interface física baseada nos sistemas de transmissão SDH.

Em se tratando das interfaces baseadas em TPCA, alguns destes sinais não fazem sentido, como por exemplo, os sinais LOF, LOP e os sinais MS-AIS e MS-RDI que são sinais de seção digital (seção multiplex) o que não existe em TPCA, devido a não existência de quadros de transmissão bem definidos. Em TPCA tem-se sinais a nível de seção de regeneração (fluxo F1) e rota de transmissão (fluxo F3) como definidos abaixo, com funções equivalentes às definidas para os sinais anteriores:

- P-AIS (Path Alarm Indication Signal) - sinal de indicação de alarme de rota de transmissão.
- P-RDI (Path Alarm Remote Defect Indication) - indicação de defeito remoto em rota de transmissão.
- S-AIS (Section Alarm Indication Signal) - sinal de indicação de alarme em seção de regeneração.
- S-RDI (Section Remote Defect Indication) - indicação de defeito remoto em seção de regeneração.

Além destes, existem os sinais de defeitos gerados dentro dos equipamentos funcionais tais como: LOS, LCD e LOM - Loss of Maintenance Flow (Perda do Fluxo de Manutenção Associado).

Para as interfaces baseadas na PDH, as funções operacionais são implementadas utilizando-se os sinais descritos a seguir, conforme estabelecido em [ITU-T, G.704]:

- Indicação de alarme remoto (Remote Alarm Indication - RAI);
- Sinal de indicação de alarme (Alarm Indication Signal - AIS);
- Sinais de loopback (esta função está bem definida em [ITU-T, I.610]);
- Sinais de informação de desempenho (transporta resultados do CRC e desempenho de camada 1);

Em relação aos sinais definidos observa-se:

- Não há distinção entre seção multiplex e rota de transmissão;
- A função RDI é implementada usando o sinal RAI de acordo com [ITU-T, G.704];
- a monitoração de desempenho é implementada usando código CRC-4, definido em [ITU-T, G.706];

O objetivo da definição destes sinais está associado a construção de tabelas de estados, que serão traduzidas em primitivas<sup>10</sup> trocadas com a entidade de gerenciamento, para que providências sejam tomadas em relação a defeitos alertados por cada um destes sinais. Cada sinal caracteriza um tipo de alarme que será ativado em função de falhas operacionais como descrito na própria definição destes.

### Síntese

O objetivo deste capítulo foi estudar um pouco mais a camada física e suas subdivisões.

Para a subcamada de meio físico, limitou-se apenas a uma abordagem superficial, dado conter esta aspectos muito técnicos, tais como: características e tipos de cabos a serem utilizados, codificação de linha a ser utilizada, faixa de atenuação permitida para um determinado meio de transmissão utilizado, entre outras.

Com relação a subcamada de convergência de transmissão, abordou-se suas principais funções, tais como:

- Adaptação do quadro de transmissão, de acordo com o sistema de transmissão utilizado: PDH, SDH e células puras (TPCA);

---

<sup>10</sup> As primitivas são mensagens com estrutura bem definidas (pré-determinadas), onde tem-se todo um protocolo para o estabelecimento das mesmas, e que serão trocadas entre duas entidades para a solução de um determinado problema ocorrido.

- Controle de erro do cabeçalho, onde verificou-se a geração do campo de HEC e o mecanismo (algoritmo) para correção/detecção de erros;
- Desacoplamento da taxa de células através da inserção/supressão de células vazias;
- Demarcação de células, onde buscou-se descrever o mecanismo para determinar o início de uma célula no fluxo de recepção;
- Embaralhamento, onde foi descrito o funcionamento de embaralhadores utilizados em ATM.

Por último, foram definidos os sinais de manutenção trocados entre a camada física e a respectiva camada de gerenciamento.

# Capítulo 4

## Sincronização de Embaralhadores em ATM

### 4.1 Introdução

No capítulo anterior, foram apresentados os principais tipos de embaralhadores empregados na camada física ATM. Os três tipos básicos apresentados foram:

- SSS - Self Synchronous Scramblers - Embaralhadores Auto-Sincronizáveis;
- FSS - Frame Synchronous Scramblers - Embaralhadores Síncronos de Quadro;
- DSS - Distributed Sample Scramblers - Embaralhadores de Amostras Distribuídas;

Estes embaralhadores são empregados de acordo com o meio de transmissão utilizado para a camada física ATM, de modo que se possa obter o melhor desempenho possível destes. Para os sistemas PDH e SDH, ambos SSS e FSS são empregados, enquanto que o DSS está restrito a transmissão pura de células ATM.

Cada embaralhador possui um método de sincronismo específico, sendo que para o SSS, este é obtido através da realimentação do fluxo de bits de entrada internamente aos seus registros; o FSS é reinicializado a cada novo quadro de transmissão (no caso de sistemas que possuem demarcação de quadro) e o DSS obtém o seu sincronismo graças ao envio de amostras do PRBS (Pseudo Random Binary Sequence) do embaralhador, que são comparadas às amostras tomadas no desembaralhador. Caso estas amostras

sejam diferentes, inicia-se um processo de correção efetuado por um circuito específico, objetivo deste capítulo, e que atua diretamente nos registros do PRBS (SRG) do desembaralhador. Se as amostras forem iguais, nenhuma ação é tomada.

O processo de correção pode ser executado de uma só vez usando todas as amostras, ou gradualmente, usando parte das amostras em cada correção. No caso do DSS porém, a correção é gradual, usando-se amostras distribuídas no tempo.

O DSS é um tipo de embaralhador útil para transmissão de dados através de pequenos quadros (pacotes). No ambiente ATM baseado na transmissão pura de células, o sinal transmitido é um fluxo destas, cujo o comprimento é de 53 bytes. Se o FSS fosse utilizado para o embaralhamento do fluxo de células, o efeito aleatório da informação não seria satisfatório do ponto de vista de sincronismo, pois este seria reinicializado a cada início de célula (53 bytes), o que poderia levar a geração de seqüências não balanceadas, dependendo do polinômio gerador, e desta forma uma ineficiência no processo de embaralhamento. Já o SSS, apesar de sua fácil implementação e possuir a vantagem da recuperação automática de sincronismo na presença de erros, não é atrativo devido ao seu efeito multiplicativo de erro, o qual é muito crítico em transmissão pura de células, pois nesta o cabeçalho da célula também é embaralhado (exceção feita ao campo de HEC).

Desta forma, este capítulo tem por objetivo abordar os aspectos de implementação deste tipo de embaralhador (DSS), assim como mostrar como foi desenvolvido o circuito de correção para a obtenção do sincronismo. Serão abordados ainda dois métodos de implementação: *série* e *paralelo*, sendo este último baseado nos conceitos desenvolvidos para o primeiro. Ainda em referência a implementação série, dois modos são apresentados para a sua realização de acordo com o modo de transporte das amostras, comparando as suas complexidades de hardware.

Finalmente, são relatados alguns resultados de estudos e simulações do circuito do desembaralhador, para verificar as características deste relatadas no capítulo 3, bem como uma outra proposição para sincronização dos circuitos.

## 4.2 DSS - Implementação Série

O DSS foi introduzido recentemente para o embaralhamento de dados na transmissão pura de células ATM e são idênticos aos embaralhadores síncronos de quadro (FSS) nos processos de embaralhamento e desembaralhamento, mas diferem no método de sincronização dos estados dos SRG's<sup>1</sup> do desembaralhador. Aqui, vai-se obter uma solução sistemática para o problema de sincronismo do DSS baseado em modelamento matemático. Este considera primeiramente como amostrar as informações de estado dos SRG's do embaralhador para transmissão. Em seguida discute-se como usar as amostras de estado dos SRG's recebidas, para a sincronização dos estados dos SRG's do desembaralhador.

Exemplos de circuitos desenvolvidos para o ambiente ATM, são apresentados na seção 4.2.3, com o objetivo de demonstrar a aplicação da teoria desenvolvida.

### 4.2.1 Descrição do Processo

Na figura 4.1 é apresentado um diagrama em blocos do DSS. Assim como no FSS, o fluxo de bits de entrada do embaralhador  $\{b_k\}$  é embaralhado adicionando-se as seqüências SRG's  $\{S_k\}$  a este. O fluxo de bits embaralhado  $\{b_k + S_k\}$  é desembaralhado adicionando as seqüências SRG's do desembaralhador  $\{\hat{S}_k\}$  ao mesmo<sup>2</sup>. A fim de tornar o fluxo de bits desembaralhado  $\{b_k + S_k + \hat{S}_k\}$  idêntico ao fluxo de bits original  $\{b_k\}$ , o desembaralhador deve estar em perfeito sincronismo com o embaralhador, ou seja, o estado dos SRG's do desembaralhador devem ser idênticos aos estado SRG's do embaralhador. Para que isto ocorra, informações de estados dos SRG's na transmissão são tomadas por uma função de amostragem (circuito) e transportadas em paralelo com o fluxo de bits embaralhado (ver figura 4.1).

O desembaralhador gera suas próprias amostras de estado dos SRG's localmente, da mesma maneira como foram geradas as do embaralhador, e as compara com aquelas que

---

<sup>1</sup> Em ambos DSS e FSS, os geradores PRBS (Pseudo Random Binary Sequence) são usados nos processos de embaralhamento e desembaralhamento. Porém, note que os geradores PRBS são subconjuntos dos SRG's e então, a teoria geral desenvolvida para os SRG's é aplicável também aos geradores PRBS.

<sup>2</sup> Todas as operações efetuadas aqui serão operações módulo 2, à exceção daquelas sobrescritas ou superescritas.

chegam oriundas deste último, e que foram transportadas pelas células. Esta comparação é realizada por uma porta lógica OU-EXCLUSIVA (XOR) no circuito do desembaralhador, como pode ser visto também, na figura 4.1. Se ambas as amostras são idênticas nenhuma ação é tomada, caso contrário, uma lógica de correção é iniciada para mudar o estado dos SRG's do desembaralhador. As estruturas (inclusive as funções de amostragem) dos SRG's de ambos, embaralhador e desembaralhador, são idênticas.

Dois problemas fundamentais surgem no processo de sincronismo: *quando tomar as amostras de estado dos SRG's e quando e como corrigir os estados SRG's do desembaralhador.*

O primeiro é o problema do intervalo entre amostras (tempo de amostragem) e o segundo se refere à obtenção do vetor de correção em função do tempo (vetor e tempo de correção).

Em primeiro lugar será descrito o processo de sincronismo do DSS sob um modelo matemático. Baseado no modelamento, serão formulados dois problemas fundamentais e estes serão resolvidos.

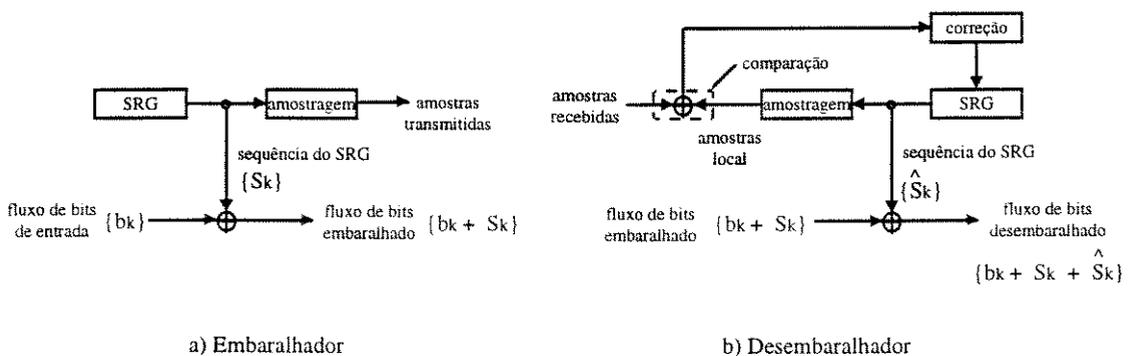


Figura 4.1: Diagrama em blocos do DSS.

### 4.2.2 Modelamento Matemático

O processo de sincronismo será aqui traduzido para um problema matemático baseado no modelo a ser desenvolvido. Porém, inicialmente serão consideradas algumas definições e notações básicas a serem aplicadas aos SRG's.

### 4.2.2.1 Definições Básicas para os SRG's

Os seguintes parâmetros são definidos para um SRG: o comprimento  $L$ , o vetor estado  $\vec{d}_k$ , a matriz de transição de estados  $\vec{T}_k$  e o vetor gerador  $\vec{h}$ .

O comprimento  $L$  é definido como o número de registradores do SRG e o vetor estado  $\vec{d}_k$ , de comprimento  $L$ , representa o estado dos registradores no tempo  $k$  qualquer. Assim tem-se:

$$\vec{d}_k = [d_{0,k} \quad d_{1,k} \quad \cdots \quad d_{L-1,k}]^t \quad (4.1)$$

para  $\vec{d}_k \in F_2^L$ , onde:

- $d_{i,k}$  - denota o valor do  $i$ -ésimo registrador no tempo  $k$  para  $i = 0, 1, 2, \dots, L-1$ ;
- $t$  - significa transposto;
- $F_2^L$  - define um espaço vetorial sobre  $F_2$ .

A matriz de transição de estados  $\vec{T}$  é definida como uma matriz  $L \times L$  representando a relação entre os vetores estados  $\vec{d}_k$  e  $\vec{d}_{k+1}$ .

$$\vec{d}_{k+1} = \vec{T} \vec{d}_k \quad (4.2)$$

O vetor gerador  $\vec{h}$  representa a relação entre o vetor estado  $\vec{d}_k$  e o valor do elemento da seqüência de saída do SRG,

$$S_k = \vec{h}' \vec{d}_k \quad (4.3)$$

onde  $\vec{h} \in F_2^L$  e  $S_k$  é um elemento da seqüência gerada pelo SRG.

Assim, de acordo com exemplo da figura 4.2, onde é apresentado um SRG de comprimento  $L$  igual a 4, a matriz de transição  $\vec{T}$  e o vetor gerador  $\vec{h}$  são definidos:

$$\tilde{T} = \begin{bmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 \end{bmatrix} \quad (4.4)$$

$$\vec{h} = [0 \ 0 \ 1 \ 1]^t \quad (4.5)$$

Pode-se notar que,  $\vec{d}_{k+1} = \tilde{T} \vec{d}_k$ ,  $\vec{d}_{k+2} = \tilde{T} \vec{d}_{k+1} = \tilde{T}^2 \vec{d}_k$ ,  $\dots$ ,  $\vec{d}_{k+n} = \tilde{T}^n \vec{d}_k$ ,  $\forall n \in \mathbb{N}$ , por indução.

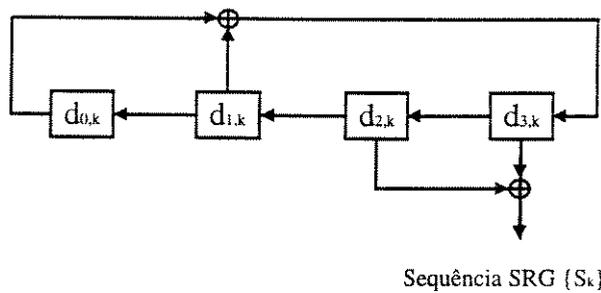


Figura 4.2: Exemplo de um SRG.

#### 4.2.2.2 Modelamento do Processo de Sincronismo

Para o par embaralhador/desembaralhador (e/d) de um DSS, os vetores de estado de ambos serão denotados por  $\vec{d}_k$  e  $\vec{\tilde{d}}_k$ , respectivamente.

Admite-se que a primeira amostra da seqüência  $\{S_k\}$  é tomada no tempo de referência  $r$ , tal que a amostra seja  $S_r$ . Assume-se por conveniência que o desembaralhador recebe e usa esta amostra  $S_r$  para a correção no mesmo tempo de referência  $r$ , ou seja, o tempo  $r$  de referência é idêntico para embaralhador e desembaralhador.

Para sincronizar o desembaralhador ao embaralhador,  $L$  ou mais amostras devem ser transmitidas (veja prova a seguir), desde que é impossível prever o estado inicial dos SRG's de ambos. Conseqüentemente, para um processo de sincronismo eficiente é preciso  $L$  tempos de amostragem no embaralhador e  $L$  tempos de correção no

desembaralhador (o tempo para sincronização será grande caso as amostras sejam corrompidas por erros durante o processo de transmissão).

Denota-se por  $r + \alpha_i$ ,  $i = 1, 2, \dots, L - 1$ , o tempo de amostragem da  $i$ -ésima amostra e por  $r + \beta_i$ ,  $i = 0, 1, 2, \dots, L - 1$ , o tempo de correção no receptor usando a  $i$ -ésima amostra. Observe que a  $i$ -ésima correção é executada após a  $i$ -ésima amostragem, mas nunca após a  $(i+1)$ -ésima amostragem, isto é,

$$r < r + \beta_0 \leq r + \alpha_1 < r + \beta_1 \leq \dots \leq r + \alpha_{L-1} < r + \beta_{L-1}$$

Para sincronizar o desembaralhador, o estado dos SRG's é repetidamente corrigido até que sua seqüência  $\{\hat{S}_k\}$  torne-se idêntica a seqüência  $\{S\}$  do embaralhador. A cada correção a amostra transmitida  $S_{r+\alpha_i}$  é comparada com o seu complemento  $\hat{S}_{r+\alpha_i}$ , no desembaralhador, e a correção é efetuada caso as duas amostras não sejam idênticas.

Este processo é equivalente a adicionar um vetor de correção  $\bar{c}_i$ ,  $i = 0, 1, 2, \dots, L - 1$ , para corrigir o vetor estado do desembaralhador. Assim, o processo de correção pode ser obtido da seguinte maneira: primeiramente, adicionam-se as amostras  $S_{r+\alpha_i}$  e  $\hat{S}_{r+\alpha_i}$ . Em seguida multiplica-se o vetor  $\bar{c}_i$  a esta soma, e finalmente adiciona-se este resultado ao vetor estado  $\hat{d}_{r+\beta_i}$ , no tempo  $r + \beta_i$ . Isto é apresentado na figura 4.3.

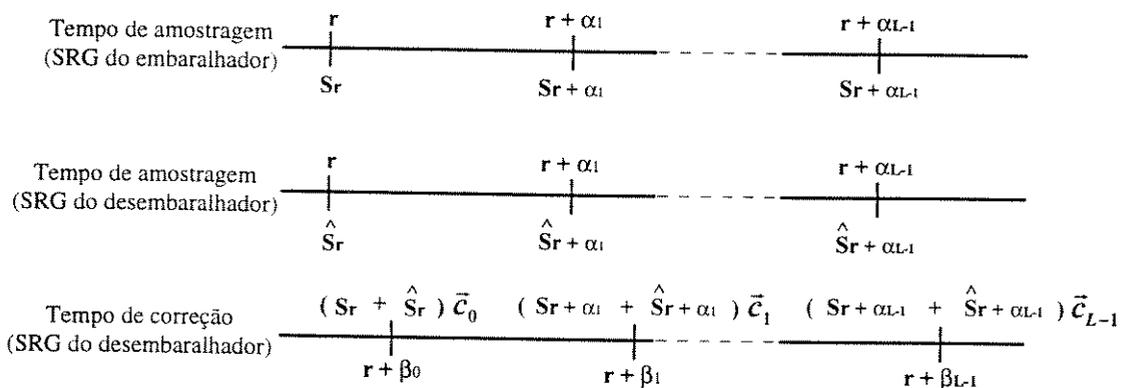


Figura 4.3: Diagrama de tempo para os instantes de amostragem e correção.

A seguir, são definidas as expressões para os vetores estado e para as amostras em ambos os SRG's (embaralhador e desembaralhador).

### 1. Vetores Estado para o Embaralhador

O vetor estado para o embaralhador será escrito de duas formas de acordo com o diagrama da figura 4.3. Na primeira, o vetor estado do embaralhador no tempo de amostragem  $r + \alpha_i$  será escrito em função do estado deste vetor no tempo de correção  $r + \beta_{i-1}$  (tempo de correção anterior). Assim, o vetor pode ser escrito como:

$$\begin{aligned} \bar{d}_{r+\alpha_i} &= \tilde{T}^{\alpha_i} \bar{d}_r, \quad \bar{d}_r = \tilde{T}^{(\alpha_i - \beta_{i-1}) + \beta_{i-1}} \bar{d}_r = \tilde{T}^{(\alpha_i - \beta_{i-1})} \tilde{T}^{\beta_{i-1}} \bar{d}_r = \tilde{T}^{(\alpha_i - \beta_{i-1})} \bar{d}_{r+\beta_{i-1}} \\ \bar{d}_{r+\alpha_i} &= \tilde{T}^{\alpha_i - \beta_{i-1}} \bar{d}_{r+\beta_{i-1}} \quad i = 1, 2, \dots, L-1 \end{aligned} \quad (4.6)$$

A segunda representação do vetor estado do embaralhador, será escrita como a relação do vetor estado num tempo de correção  $r + \beta_i$  em função do seu estado num tempo de correção anterior  $r + \beta_{i-1}$ . Assim,

$$\bar{d}_{r+\beta_i} = \begin{cases} \tilde{T}^{\beta_0} \bar{d}_r & i = 0 \\ \tilde{T}^{\beta_i - \beta_{i-1}} \bar{d}_{r+\beta_{i-1}} & i = 1, 2, \dots, L-1 \end{cases} \quad (4.7)$$

### 2. Valores das Amostras para o Embaralhador

Como  $S_k = \bar{h}' \bar{d}_k$  e  $S_{k+1} = \bar{h}' \tilde{T} \bar{d}_k$ , em geral,  $S_{k+n} = \bar{h}' \tilde{T}^n \bar{d}_k \quad \forall n \in \mathbb{N}$ . Assim, os valores das amostras podem ser obtidos como:

$$\begin{cases} S_r = \bar{h}' \bar{d}_r \\ S_{r+\alpha_i} = \bar{h}' \tilde{T}^{\alpha_i - \beta_{i-1}} \bar{d}_{r+\beta_{i-1}} \end{cases} \quad i = 1, 2, \dots, L-1 \quad (4.8)$$

Para o desembaralhador, as expressões mudam refletindo o processo de correção que ocorre no tempo  $r + \beta_i$ . Deve-se notar que o processo de correção corresponde a uma soma módulo 2 de  $(S_{r+\alpha_i} + \hat{S}_{r+\alpha_i}) \bar{c}_i$ .

### 3. Vetores Estado para o Desembaralhador

As expressões para os vetores estados do desembaralhador serão escritas de acordo com o raciocínio utilizado para os vetores estados do embaralhador. Porém aqui, a representação do vetor estado num tempo de correção  $r + \beta_i$ , em função de um tempo de correção  $r + \beta_{i-1}$  anterior deverá considerar a correção efetuada neste intervalo de tempo  $r + \beta_i$ . Assim, os vetores estados podem ser escritos como:

$$\vec{d}_{r+\alpha_i} = \vec{T}^{\alpha_i - \beta_{i-1}} \vec{d}_{r+\beta_{i-1}} \quad i = 1, 2, \dots, L-1 \quad (4.9)$$

$$\vec{d}_{r+\beta_{i-1}} = \begin{cases} \vec{T}^{\beta_0} \vec{d}_r + (S_r + \hat{S}_r) \vec{c}_0 & i = 0 \\ \vec{T}^{\beta_i - \beta_{i-1}} \vec{d}_{r+\beta_{i-1}} + (S_{r+\alpha_i} + \hat{S}_{r+\alpha_i}) \vec{c}_i & i = 1, 2, \dots, L-1 \end{cases} \quad (4.10)$$

### 4. Valores das Amostras para o Desembaralhador

Utilizando-se do mesmo princípio usado para se obter as expressões das amostras para o embaralhador, pode-se conseguir as amostras do desembaralhador. Desta forma resulta:

$$\begin{cases} \hat{S}_r = \vec{h}' \vec{d}_r \\ \hat{S}_{r+\alpha_i} = \vec{h}' \vec{T}^{\alpha_i - \beta_{i-1}} \vec{d}_{r+\beta_{i-1}} \end{cases} \quad i = 1, 2, \dots, L-1 \quad (4.11)$$

#### 4.2.2.3 Problema do Sincronismo

Define-se o vetor distância  $\vec{\delta}_k$  entre os estados como um vetor de comprimento  $L$  representando a diferença entre o vetor estado do embaralhador  $\vec{d}_k$  e o vetor estado do desembaralhador  $\vec{d}_k$  no intervalo de tempo  $k$  como:

$$\vec{\delta}_k = \vec{d}_k + \vec{d}_k \quad (4.12)$$

onde  $\vec{\delta}_k \in F_2^L$ .

Assim, de (4.8), (4.11) e (4.12) tem-se a relação:

$$\begin{cases} (S_r + \hat{S}_r) = \bar{h}' \bar{\delta}_r \\ (S_{r+\alpha_i} + \hat{S}_{r+\alpha_i}) = \bar{h}'^i \bar{T}^{\alpha_i - \beta_{i-1}} \bar{\delta}_{r+\beta_{i-1}} \end{cases} \quad i = 1, 2, \dots, L-1 \quad (4.13)$$

Tem-se também, de (4.7), (4.10), (4.12) e (4.13)

$$\bar{\delta}_{r+\beta_i} = \begin{cases} \bar{T}^{\beta_0} \bar{\delta}_r + (\bar{h}' \bar{\delta}_r) \bar{c}_0 & i = 0 \\ \bar{T}^{\beta_i - \beta_{i-1}} \bar{\delta}_{r+\beta_{i-1}} + (\bar{h}'^i \bar{T}^{\alpha_i - \beta_{i-1}} \bar{\delta}_{r+\beta_{i-1}}) \bar{c}_i & i = 1, 2, \dots, L-1 \end{cases}$$

ou equivalentemente,

$$\bar{\delta}_{r+\beta_i} = \begin{cases} (\bar{T}^{\beta_0} + \bar{c}_0 \bar{h}') \bar{\delta}_r & i = 0 \\ (\bar{T}^{\beta_i - \beta_{i-1}} + \bar{c}_i \bar{h}'^i \bar{T}^{\alpha_i - \beta_{i-1}}) \bar{\delta}_{r+\beta_{i-1}} & i = 1, 2, \dots, L-1 \end{cases} \quad (4.14)$$

Como,

$$\bar{\delta}_{r+\beta_{L-1}} = (\bar{T}^{\beta_{L-1} - \beta_{L-2}} + \bar{c}_{L-1} \bar{h}' \bar{T}^{\alpha_{L-1} - \beta_{L-2}}) \bar{\delta}_{r+\beta_{L-2}}$$

$$\bar{\delta}_{r+\beta_{L-2}} = (\bar{T}^{\beta_{L-2} - \beta_{L-3}} + \bar{c}_{L-2} \bar{h}' \bar{T}^{\alpha_{L-2} - \beta_{L-3}}) \bar{\delta}_{r+\beta_{L-3}}$$

⋮  
⋮

$$\bar{\delta}_{r+\beta_0} = (\bar{T}^{\beta_0} + \bar{c}_0 \bar{h}') \bar{\delta}_r$$

pode-se concluir que a relação entre o vetor distância do estado corrigido  $\bar{\delta}_{r+\beta_{L-1}}$  e o vetor distância do estado inicial  $\bar{\delta}_r$  é, por recursão,

$$\bar{\delta}_{r+\beta_{L-1}} = \tilde{\Lambda} \bar{\delta}_r \quad (4.15)$$

onde  $\tilde{\Lambda}$  é a *matriz de correção* de dimensões  $L \times L$ , e é dada pela seguinte expressão:

$$\tilde{\Lambda} = \left[ \prod_{i=1}^{L-1} \left( \tilde{T}^{\beta_{L-i} - \beta_{L-(i+1)}} + \bar{c}_{L-i} \bar{h}^t \tilde{T}^{\alpha_{L-i} - \beta_{L-(i+1)}} \right) \right] \left( \tilde{T}^{\beta_0} - \bar{c}_0 \bar{h}^t \right) \quad (4.16)$$

A fim de sincronizar o SRG do desembaralhador ao SRG do embaralhador, deve-se tornar o vetor estado do primeiro idêntico àquele do segundo. Isto é equivalente a tornar o vetor  $\bar{\delta}_{r+\beta_{L-1}}$  nulo (igual a zero), independente do valor do vetor distância entre estados inicial  $\bar{\delta}_r$ . Isto pode ser obtido tornando a matriz de correção  $\tilde{\Lambda}$  nula. Assim, o problema de sincronismo do DSS pode ser redefinido como um problema de identificação apropriada dos valores de  $\alpha_i$ 's,  $\beta_i$ 's e  $\bar{c}_i$ 's que tornam a matriz  $\tilde{\Lambda}$  nula, dado que são conhecidos a matriz  $\tilde{T}$  de transição de estados e o vetor gerador  $\bar{h}$  (ambos não nulos).

### 4.2.3 Soluções para o Problema de Sincronismo

O problema do sincronismo pode ser caracterizado pelas condições: “tempo de amostragem”, “tempo de correção e vetor de correção”, descritos nas seções seguintes.

#### 4.2.3.1 Condições para os Tempos de Amostragem

São feitas aqui algumas considerações em relação a escolha dos tempos de amostragem, de modo que para determinados valores de  $\beta_i$ 's e  $\bar{c}_i$ 's a serem escolhidos, a matriz  $\tilde{\Lambda}$  se anula.

Define-se a *matriz discriminação*  $\tilde{\Delta}$ , como uma matriz  $L \times L$  da forma:

$$\tilde{\Delta} = \begin{bmatrix} \bar{h}^t \\ \bar{h}^t \tilde{T}^{\alpha_1} \\ \bar{h}^t \tilde{T}^{\alpha_2} \\ \vdots \\ \bar{h}^t \tilde{T}^{\alpha_{L-1}} \end{bmatrix} \quad (4.17)$$

Assim, tem-se o seguinte teorema:

### Teorema 1

Para uma matriz de transição de estados  $\tilde{T}$  não-singular, se os tempos de amostragem  $\alpha_i$ 's forem escolhidos de modo que a matriz de discriminação  $\tilde{\Delta}$  em (4.17) torne-se singular, a matriz de correção  $\tilde{\Lambda}$  não se anulará, para qualquer escolha dos tempos de correção  $\beta_i$ 's e vetores de correção  $\bar{c}_i$ 's onde,  $\beta_i \in \mathbb{N}$  e  $\bar{c}_i \in F_2^L$ .

### Prova do Teorema 1

Este será provado por contradição. Sejam os tempos de amostragem  $\alpha_i$ 's,  $i = 1, 2, \dots, L-2$ , escolhidos tal que a matriz  $\tilde{\Delta}$  seja singular. Suponha que existam valores de  $\beta_i$ 's e  $\bar{c}_i$ 's,  $i = 0, 1, \dots, L-1$  tal que a matriz  $\tilde{\Lambda}$  seja nula, em contradição ao *teorema 1* acima.

Escolhendo-se um vetor  $\bar{\vartheta}$  não nulo tal que,  $\bar{\vartheta} \in F_2^L$  e  $\tilde{\Delta} \bar{\vartheta} = 0$ , então tem-se de (4.17):

$$\begin{bmatrix} \bar{h}' \\ \bar{h}' \tilde{T}^{\alpha_1} \\ \bar{h}' \tilde{T}^{\alpha_2} \\ \vdots \\ \bar{h}' \tilde{T}^{\alpha_{L-1}} \end{bmatrix} \cdot \bar{\vartheta} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ \vdots \\ 0 \end{bmatrix} \quad (4.18)$$

assim,

$$\begin{aligned} \bar{h}' \bar{\vartheta} &= 0 \\ \bar{h}' \tilde{T}^{\alpha_i} \bar{\vartheta} &= 0 \end{aligned} \quad (4.19)$$

De (4.16) tem-se:

$$\tilde{\Lambda} = \left[ \prod_{i=1}^{L-1} \tilde{T}^{\beta_{L-i} - \beta_{L-(i+1)}} + \bar{c}_{L-1} \bar{h}' \tilde{T}^{\alpha_{L-1} - \beta_{L-(i+1)}} \right] (\tilde{T}^{\beta_0} + \bar{c}_0 \bar{h}')$$

aplicando (4.19) em (4.16), e efetuando o produto do vetor  $\bar{\vartheta}$  recursivamente, resulta:

$$\begin{aligned}\tilde{\Lambda} \bar{\vartheta} &= \left[ \prod_{i=1}^{L-1} \tilde{T}^{\beta_{L-i} - \beta_{L-(i+1)}} + \bar{c}_{L-1} \bar{h}' \tilde{T}^{\alpha_{L-1} - \beta_{L-(i+1)}} \right] (\tilde{T}^{\beta_0} + \bar{c}_0 \bar{h}') \bar{\vartheta} \\ \tilde{\Lambda} \bar{\vartheta} &= \tilde{T}^{\beta_{L-1}} \bar{\vartheta}\end{aligned}\quad (4.20)$$

Sendo  $\tilde{T}$  não-singular, tem-se que  $\tilde{T}^{\beta_{L-1}}$  é também não-singular. Assim, a equação acima pode ser rescrita como:

$$\bar{\vartheta} = \tilde{T}^{-\beta_{L-1}} \tilde{\Lambda} \bar{\vartheta} \quad (4.21)$$

Por hipótese inicial  $\tilde{\Delta} \bar{\vartheta} = 0$  e, portanto,  $\bar{\vartheta} = 0$ , o que contradiz a proposição inicial.

Assim, para que se possa sincronizar os estados dos SRG's do desembaralhador ao embaralhador, é necessário que os tempos de amostragem sejam escolhidos de modo a tornar  $\tilde{\Delta}$  não-singular.

Por exemplo, para o SRG da figura 4.2 fazendo-se os tempos de amostragem  $\alpha_0 = 0$ ,  $\alpha_1 = 1$ ,  $\alpha_2 = 3$ ,  $\alpha_3 = 4$ , obtém-se a matriz discriminação a seguir,

$$\tilde{\Delta} = \begin{bmatrix} 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 \\ 1 & 1 & 1 & 0 \end{bmatrix}$$

a qual é singular e conseqüentemente, é impossível sincronizar os registros do desembaralhador usando as amostras  $S_r$ ,  $S_{r+1}$ ,  $S_{r+3}$  e  $S_{r+4}$ .

### 4.2.3.2 Condições para os Vetores e Tempos de Correção

Assumindo que os  $\alpha_i$ 's foram escolhidos de modo que a matriz de discriminação seja não-singular, o próximo problema está na escolha dos tempos e vetores de correção. Para isto tem-se o seguinte teorema:

#### Teorema 2

Escolhidos os valores dos  $\alpha_i$ 's em oposição ao teorema 1, a matriz de correção torna-se nula, “se” e “somente se”, o vetor  $\bar{c}_i$  tiver para os tempos de correção  $\beta_i$ 's a expressão:

$$\bar{c}_i = \begin{cases} \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \left( \bar{e}_i + \sum_{j=i+1}^{L-1} u_{i,j} \bar{e}_j \right) & i = 0, 1, \dots, L-2 \\ \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \bar{e}_{L-1} & i = L-1 \end{cases} \quad (4.22)$$

onde,  $\bar{e}_i$ ,  $i = 0, 1, \dots, L-1$ , são os vetores da base usual (bases canônicas) do espaço vetorial  $F_2^L$ , onde o  $i$ -ésimo elemento é “1” e os demais “0”. O valor de  $u_{i,j}$  é “0” ou “1” para  $i = 0, 1, \dots, L-2$  e  $j = i+1, i+2, \dots, L-1$ .

Para *provar o teorema 2* é preciso conhecer os dois lemas seguintes:

#### Lema 1

Se  $\tilde{\Delta}$  é não-singular, então:

$$\begin{aligned} \bar{h}' \tilde{\Delta}^{-1} &= \bar{e}'_0 & i &= 0 \\ \bar{h}' \tilde{T}^{\alpha_i} \tilde{\Delta}^{-1} &= \bar{e}'_i & i &= 1, 2, \dots, L-1 \end{aligned} \quad (4.23)$$

#### Prova do Lema 1

Note que  $\bar{e}'_0 \tilde{\Delta} = \bar{h}'$ ,  $i = 0$  e  $\bar{e}'_i \tilde{\Delta} = \bar{h}' \tilde{T}^{\alpha_i}$ ,  $i = 1, \dots, L-1$ . Assim, usando a propriedade das matrizes  $\tilde{\Delta} \tilde{\Delta}^{-1} = I$ , obtém-se as equações em (4.23).

**Lema 2**

Se  $\tilde{\Lambda}_i$ ,  $i = 1, 2, \dots, L-1$  é uma matriz  $L \times L$  dada por:

$$\tilde{\Lambda}_i = \prod_{j=1}^{L-i} \left( \tilde{T}^{\beta_{L-j} - \beta_{L-i+j}} + \tilde{c}_{L-j} \tilde{h}' \tilde{T}^{\alpha_{L-j} - \beta_{L-i+j}} \right) \quad i = 1, 2, \dots, L-1 \quad (4.24)$$

então,

$$\begin{cases} \tilde{\Lambda} = \tilde{\Lambda}_1 (\tilde{T}^{\beta_0} + \tilde{c}_0 \tilde{h}') \\ \tilde{\Lambda}_i = \tilde{\Lambda}_{i+1} (\tilde{T}^{\beta_i - \beta_{i+1}} + \tilde{c}_i \tilde{h}' \tilde{T}^{\alpha_i - \beta_{i+1}}) \end{cases} \quad i = 1, 2, \dots, L-1 \quad (4.25)$$

e ainda,

$$\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \tilde{e}_j = \begin{cases} \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \tilde{e}_j & 0 \leq j < i \leq L-1 \\ \tilde{\Lambda} \tilde{\Delta}^{-1} \tilde{e}_j & 1 \leq i < j \leq L-1 \end{cases} \quad (4.26)$$

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \tilde{e}_i = \begin{cases} \tilde{\Lambda}_{i+1} (\tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \tilde{e}_i + \tilde{c}_i) & i = 0, 1, \dots, L-2 \\ \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \tilde{e}_{L-1} + \tilde{c}_{L-1} & i = L-1 \end{cases} \quad (4.27)$$

Prova do Lema 2

A prova de (4.25) é trivial; assim, será analisado (4.26) para o produto  $\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \tilde{e}_j$  nos seguintes intervalos:

$$\underline{0 \leq j < i \leq L-1}$$

Das equações (4.23) e (4.25) tem-se a relação:

$$\begin{aligned}
\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i - \beta_{i-1}} + \bar{c}_i \bar{h}' \tilde{T}^{\alpha_i - \beta_{i-1}} \right) \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j \\
\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_i \bar{h}' \tilde{T}^{\alpha_i} \tilde{\Delta}^{-1} \bar{e}_j \right) \\
\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_i \bar{e}'_i \bar{e}_j \right)
\end{aligned} \tag{4.28}$$

Como  $i > j$  tem-se:

$$\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{\Lambda}_{i+1} \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j \tag{4.29}$$

Aplicando-se o processo acima recursivamente, obtém-se:

$$\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{\Lambda}_{L-1} \tilde{T}^{\beta_{L-2}} \tilde{\Delta}^{-1} \bar{e}_j \tag{4.30}$$

Para  $\tilde{\Lambda}_{L-1}$ , de (4.24), tem-se:

$$\tilde{\Lambda}_{L-1} = \tilde{T}^{\beta_{L-1} - \beta_{L-2}} + \bar{c}_{L-1} \bar{h}' \tilde{T}^{\alpha_{L-1} - \beta_{L-2}} \tag{4.31}$$

assim, levando (4.31) em (4.30), resulta:

$$\tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \bar{e}_j \tag{4.32}$$

Analisando-se agora o próximo intervalo, vem

$$\underline{1 \leq i < j \leq L-1}$$

Para  $j = 1, 2, \dots, L-1$ , por indução tem-se, de (4.25) a relação:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{\Lambda}_1 \left( \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_0 \bar{h}' \tilde{\Delta}^{-1} \bar{e}_j \right) \tag{4.33}$$

inserindo (4.19) em (4.33), obtém-se:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{\Lambda}_1 \left( \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_0 \bar{e}'_0 \bar{e}_j \right) = \tilde{\Lambda}_1 \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_j \quad (4.34)$$

onde a equação (4.34) prova (4.26) para  $i = 1$ .

Assumindo agora,  $\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j = \tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j$  para  $i = 1, 2, \dots, j-1$ , então de (4.23) e (4.25) vem,

$$\begin{aligned} \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_i \bar{h}' \tilde{T}^{\alpha_i} \tilde{\Delta}^{-1} \bar{e}_j \right) \\ \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j + \bar{c}_i \bar{e}'_i \bar{e}_j \right) \\ \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j &= \tilde{\Lambda}_{i+1} \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j \end{aligned} \quad (4.35)$$

o que completa a prova para (4.26).

Finalmente, analisando-se o último intervalo será provado (4.27).

$i = j$

De (4.23) e (4.25) tem-se a relação:

$$\begin{aligned} \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_0 &= \tilde{\Lambda}_1 \left( \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_0 + \bar{c}_0 \bar{h} \tilde{\Delta}^{-1} \bar{e}_0 \right) \\ \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_0 &= \tilde{\Lambda}_1 \left( \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_0 + \bar{c}_0 \bar{e}'_0 \bar{e}_0 \right) \\ \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_0 &= \tilde{\Lambda}_1 \left( \tilde{T}^{\beta_0} \tilde{\Delta}^{-1} \bar{e}_0 + \bar{c}_0 \right) \end{aligned} \quad (4.36)$$

o que prova a equação em (4.27) para o valor de  $i = 0$  analisado. A seguir, será considerado o caso quando  $i = 1, 2, \dots, L-2$ . Fazendo  $i = j$  em (4.26) tem-se a relação:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i = \tilde{\Lambda}_i \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_i \quad (4.37)$$

e conseqüentemente, de (4.23) e (4.25),

$$\begin{aligned}
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_i + \bar{c}_i \bar{h}' \tilde{T}^{\alpha_i} \tilde{\Delta}^{-1} \bar{e}_i \right) \\
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_i + \bar{c}_i \bar{e}'_i \bar{e}_i \right) \\
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i &= \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_i + \bar{c}_i \right)
\end{aligned} \tag{4.38}$$

Para provar (4.27) para o caso  $i = L - 1$ , fazendo-se  $i = j = L - 1$  em (4.26), resulta:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} = \tilde{\Lambda}_{L-1} \tilde{T}^{\beta_{L-2}} \tilde{\Delta}^{-1} \bar{e}_{L-1} \tag{4.39}$$

Inserindo (4.23) e (4.24) em (4.39), tem-se:

$$\begin{aligned}
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} &= \tilde{T}^{\beta_{L-2}} \tilde{\Delta}^{-1} \bar{e}_{L-1} + \bar{c}_{L-1} \bar{h}' \tilde{T}^{\alpha_{L-1}} \tilde{\Delta}^{-1} \bar{e}_{L-1} \\
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} &= \tilde{T}^{\beta_{L-2}} \tilde{\Delta}^{-1} \bar{e}_{L-1} + \bar{c}_{L-1} \bar{e}'_{L-1} \bar{e}_{L-1} \\
\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} &= \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \bar{e}_{L-1} + \bar{c}_{L-1}
\end{aligned} \tag{4.40}$$

completando assim, a prova para (4.27).

### Prova do Teorema 2

De (4.16) pode-se notar que a matriz de correção é descrita como um produtório de um agrupamento de termos. Assim, esta matriz será nula caso um destes seus termos seja nulo. Tomando-se assim, um termo genérico da matriz e igualando-o a zero vem,

$$\tilde{T}^{\beta_i - \beta_{i-1}} + \bar{c}_i \bar{h}' \tilde{T}^{\alpha_i - \beta_{i-1}} = 0 \tag{4.41}$$

e

$$\bar{c}_i \bar{h}' \tilde{T}^{\alpha_i} = \tilde{T}^{\beta_i} \tag{4.42}$$

Aplicando (4.23) em (4.42), resulta:

$$\begin{aligned}
\bar{c}_i \bar{e}'_i \tilde{\Delta} &= \tilde{T}^{\beta_i} \\
\bar{c}_i \bar{e}'_i &= \tilde{T}^{\beta_i} \tilde{\Delta}^{-1}
\end{aligned} \tag{4.43}$$

Mas existem vetores  $\bar{v}_i \in F_2^L$ , tais que  $\bar{e}_i' \bar{v}_i = 1$ , onde  $\bar{e}_i'$  são vetores linha e  $\bar{v}_i$  são vetores coluna. Assim, a expressão em (4.43), pode ser escrita como:

$$\bar{c}_i = \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{v}_i \quad (4.44)$$

Porém,  $\bar{v}_i$  pode ser escrito em função de sua base usual (canônica), ou seja,  $\{\bar{e}_j\}$ ,  $j = 0, 1, \dots, L-1$ . Desta forma, tem-se:

$$\bar{v}_i = \sum_{j=0}^{L-1} v_{i,j} \bar{e}_j \quad (4.45)$$

onde,  $v_{i,j}$  é um escalar pertencente ao corpo  $F_2$ .

Assim, se  $\tilde{T}$  e  $\tilde{\Delta}$  são não-singulares, o vetor  $\bar{c}_i$  pode ser escrito unicamente como:

$$\bar{c}_i = \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \sum_{j=0}^{L-1} v_{i,j} \bar{e}_j \quad i = 0, 1, \dots, L-1 \quad (4.46)$$

Na equação (4.46), as matrizes  $\tilde{T}$  e  $\tilde{\Delta}$  quando elevadas a uma potência (um escalar inteiro), resulta numa nova matriz não-singular, assim como o produto entre elas, ou seja, o produto  $\tilde{T}^{\beta_i} \tilde{\Delta}^{-1}$  continua sendo uma matriz não-singular. Esta nova matriz aplicada a uma base de um espaço vetorial qualquer, no caso  $F_2^L$ , continua sendo uma base (nova) deste espaço vetorial, mudando apenas a referência dos eixos, ou seja, o produto de uma matriz não-singular por uma base implica simplesmente na mudança desta.

Assim, o conjunto  $\{\tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_j\}$ ,  $j = 0, 1, \dots, L-1$ , representa uma nova base do espaço vetorial  $F_2^L$ , porém aqui, adaptada ao problema em questão. Como  $\bar{c}_i \in F_2^L$ , este pode ser escrito em função desta nova base, o que justifica a equação em (4.16).

Para provar a parte “se” do teorema, basta mostrar que  $v_{i,i} = 1$  e  $v_{i,j} = 0$  para  $i = 0, 1, \dots, L-1$ , e  $j = 0, 1, \dots, i-1$ , quando  $\tilde{\Lambda}$  for uma matriz nula.

Para  $i = 0, 1, \dots, L-2$ , inserindo (4.46) em (4.27), obtém-se:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i = \tilde{\Lambda}_{i+1} \left( \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \bar{e}_i + \tilde{T}^{\beta_i} \tilde{\Delta}^{-1} \sum_{j=0}^{i-1} v_{i,j} \bar{e}_j \right) \quad (4.47)$$

A equação (4.47) pode ser rescrita utilizando (4.26), como:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_i = \sum_{j=0}^{i-1} v_{i,j} \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j + (1 + v_{i,i}) \tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \bar{e}_i + \sum_{j=0}^{L-1} v_{i,j} \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j \quad (4.48)$$

Assumindo que  $\tilde{\Lambda}$  é uma matriz nula, tem-se a igualdade,

$$\tilde{T}^{\beta_{i-1}} \tilde{\Delta}^{-1} \left\{ \sum_{j=0}^{i-1} v_{i,j} \bar{e}_j + (1 + v_{i,i}) \bar{e}_i \right\} = 0 \quad (4.49)$$

donde,  $v_{i,i} = 1$  e  $v_{i,j} = 0$  para  $j = 0, 1, \dots, i-1$ .

Para o caso  $i = L-1$ , de (4.27) obtém-se a igualdade,

$$\bar{e}_{L-1} = \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \bar{e}_{L-1} \quad (4.50)$$

o que implica que  $v_{L-1,L-1} = 1$  e  $v_{L-1,j} = 0$  para  $j = 0, 1, \dots, L-2$ , completando assim, a prova da parte “se” do teorema.

Para provar a parte “somente se”, é suficiente mostrar que  $\tilde{\Lambda} \tilde{\Delta} \bar{e}_i = 0$ ,  $i = 0, 1, \dots, L-1$  para os  $\bar{e}_i$ 's escolhidos como em (4.22). Isto será mostrado por indução.

De (4.23), tem-se a relação,

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} = \tilde{T}^{\beta_{L-1}} \tilde{\Delta}^{-1} \bar{e}_{L-1} + \bar{e}_{L-1} \quad (4.51)$$

Inserindo (4.22) em (4.51), resulta,

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{L-1} = \bar{e}_{L-1} + \bar{c}_{L-1} = 0 \quad (4.52)$$

o que prova a equação para  $i = L - 1$ .

Assumindo agora, que  $\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j = 0$ ,  $j = L - 1, L - 2, \dots, i$  então de (4.27) tem-se a relação:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{i-1} = \tilde{\Lambda}_i (\tilde{T}^{B_{i-1}} \tilde{\Delta}^{-1} \bar{e}_{i-1} + \bar{c}_{i-1}) \quad (4.53)$$

Inserindo (4.22) em (4.53), resulta:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{i-1} = \sum_{j=i}^{L-1} u_{i-1,j} \tilde{\Lambda}_i \tilde{T}^{B_{i-1}} \tilde{\Delta}^{-1} \bar{e}_j \quad (4.54)$$

que pode ser rescrita de acordo com (4.26), como:

$$\tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_{i-1} = \sum_{j=i}^{L-1} u_{i-1,j} \tilde{\Lambda} \tilde{\Delta}^{-1} \bar{e}_j \quad (4.55)$$

Mas (4.55) é igual zero, desde que  $\tilde{\Lambda}$  seja nula, isto é,  $\tilde{\Lambda} \tilde{\Delta} \bar{e}_j = 0$ ,  $j = i, i + 1, \dots, L - 1$ , o que completa a prova do teorema.

Pode-se observar da equação (4.22) que o vetor de correção  $\bar{c}_{L-1}$ , que torna a matriz de correção nula é único, mas o vetor  $\bar{c}_{L-1-i}$ ,  $i = 1, \dots, L - 1$  pode ter  $2^i$  valores dependendo da escolha de  $u_{i,j}$ .

A título de ilustração, se for considerado o SRG da figura 4.2 e os tempos de amostragem escolhidos como  $\alpha_0 = 0$ ,  $\alpha_1 = 1$ ,  $\alpha_2 = 5$  e  $\alpha_3 = 6$ , a matriz discriminação  $\tilde{\Delta}$  em (4.17), de (4.4) e (4.5), torna-se,

$$\tilde{\Delta} = \begin{bmatrix} 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} \tag{4.56}$$

a qual é não-singular. Conseqüentemente, se forem escolhidos os tempos de correção  $\beta_0 = 1, \beta_1 = 3, \beta_2 = 6$  e  $\beta_3 = 7$ , obtendo assim, de (4.4), (4.22) e (4.56) os vetores de correção  $\vec{c}_i$  's mostrados na tabela 4.1 (a).

**Tabela 4.1: Exemplos de vetores de correção para conjuntos distintos de  $\beta$ .**

(a)		(b)	
C <sub>3</sub>	[0010] <sup>t</sup>	C <sub>3</sub>	* [0010] <sup>t</sup>
C <sub>2</sub>	[0010] <sup>t</sup> [0011] <sup>t</sup>	C <sub>2</sub>	* [0010] <sup>t</sup> [0011] <sup>t</sup>
C <sub>1</sub>	[0100] <sup>t</sup> [0110] <sup>t</sup> [1000] <sup>t</sup> [1010] <sup>t</sup>	C <sub>1</sub>	* [0010] <sup>t</sup> [0011] <sup>t</sup> [1100] <sup>t</sup> [1101] <sup>t</sup>
C <sub>0</sub>	[0010] <sup>t</sup> [0011] <sup>t</sup> [1100] <sup>t</sup> [1101] <sup>t</sup> [0100] <sup>t</sup> [0101] <sup>t</sup> [1010] <sup>t</sup> [1011] <sup>t</sup>	C <sub>0</sub>	* [0010] <sup>t</sup> [0011] <sup>t</sup> [1100] <sup>t</sup> [1101] <sup>t</sup> [0100] <sup>t</sup> [0101] <sup>t</sup> [1010] <sup>t</sup> [1011] <sup>t</sup>

\* indica os vetores comuns

Caso seja outro o conjunto de tempos de correção escolhidos tal que,  $\beta_0 = 1, \beta_1 = 2, \beta_2 = 6$  e  $\beta_3 = 7$ , obtém-se os vetores de correção  $\vec{c}_i$  's mostrados na tabela 4.1 (b). Pode-se observar das tabelas, que é possível a escolha de um vetor de correção comum  $\vec{c}_i = [0 \ 0 \ 1 \ 0]^t, i = 0, 1, 2, 3$ , para este último caso.

Como um caso específico, será considerado o caso onde os tempos de amostragem e correção são uniformemente espaçados. Desta forma, o corolário seguinte descreve o processo para a obtenção do vetor de correção comum, para qualquer valor de  $i$ .

**Corolário**

Para uma matriz de transição de estados  $\tilde{T}$  não-singular, fazendo-se os tempos de amostragem uniformes tal que,  $\alpha_i = i\alpha$ ,  $i = 0, 1, \dots, L-1$ , sejam escolhidos de modo que atenda os requisitos do tempo de amostragem (Teorema 1), a matriz  $\tilde{\Lambda}$  em (4.16) torna-se nula para os tempos de correção  $\beta_i = \beta + i\alpha$ ,  $i = 0, 1, \dots, L-1$  com  $\beta \leq \alpha$ , se o vetor de correção for expresso como:

$$\bar{c}_i = \tilde{T}^{\beta+(L-1)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \quad i = 0, 1, \dots, L-1 \quad (4.57)$$

**Prova do Corolário**

Para o caso de  $i = L-1$ , a equação (4.57) é óbvia em vista de (4.22). Para  $i \neq L-1$ , basta inserir o artifício matemático  $u_{i,j} = \bar{h}^t \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1}$ ,  $i = 0, 1, \dots, L-2$ ,  $j = i+1, i+2, \dots, L-1$  dentro de (4.22). Desta forma, tem-se:

$$\bar{c}_i = \tilde{T}^{\beta+i\alpha} \tilde{\Delta}^{-1} \left\{ \bar{e}_i + \sum_{j=i+1}^{L-1} \left( \bar{h}^t \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \right) \bar{e}_j \right\} \quad (4.58)$$

Pode-se mostrar, desenvolvendo o somatório na equação (4.59) a seguir, e aplicando (4.23), que

$$\sum_{j=0}^i \left( \bar{h}^t \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \right) \bar{e}_j = \bar{e}_i \quad (4.59)$$

Conseqüentemente,  $\bar{c}_i$  pode ser rescrito como,

$$\bar{c}_i = \tilde{T}^{\beta+i\alpha} \tilde{\Delta}^{-1} \sum_{j=0}^{L-1} \left( \bar{h}^t \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \right) \bar{e}_j \quad (4.60)$$

Para a parte do somatório, na equação (4.60), extraindo os termos independentes de  $j$  (com exceção do vetor  $\bar{h}^t$ ), resulta:

$$\sum_{j=0}^{L-1} (\bar{h}' \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1}) \bar{e}_j = \sum_{j=0}^{L-1} (\bar{h}' \tilde{T}^{j\alpha} \tilde{T}^{(L-1-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1}) \bar{e}_j$$

$$\sum_{j=0}^{L-1} (\bar{h}' \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1}) \bar{e}_j = \left\{ \sum_{j=0}^{L-1} \bar{e}_j \bar{h}' \tilde{T}^{j\alpha} \right\} \tilde{T}^{(L-1-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \quad (4.61)$$

mas, aplicando (4.17) ao somatório da expressão (4.61), tem-se:

$$\left\{ \sum_{j=0}^{L-1} \bar{e}_j \bar{h}' \tilde{T}^{j\alpha} \right\} = \tilde{\Delta} \quad (4.62)$$

Levando o valor de (4.62) em (4.61), resulta:

$$\sum_{j=0}^{L-1} (\bar{h}' \tilde{T}^{(L-1+j-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1}) \bar{e}_j = \tilde{\Delta} \tilde{T}^{(L-1-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \quad (4.63)$$

Conseqüentemente,  $\bar{c}_i$  pode ser rescrito como,

$$\bar{c}_i = \tilde{T}^{\beta+i\alpha} \tilde{\Delta}^{-1} \tilde{\Delta} \tilde{T}^{(L-1-i)\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} = \tilde{T}^{\beta+i\alpha} \tilde{\Delta}^{-1} \bar{e}_{L-1} \quad (4.64)$$

Desta forma, utilizando-se a expressão em (4.64) pode-se obter os valores de  $\bar{c}_i$  comuns para qualquer valor de  $i$ .

Na próxima seção, serão apresentados exemplos de implementação de desembaralhadores (DSS), aplicando a teoria desenvolvida para o cálculo do vetor de correção no ambiente ATM. A primeira implementação apresentada, denominada modo uniforme, foi padronizada pelo ITU-T.

#### 4.2.4 DSS para o Embaralhamento de Células ATM

Serão aplicados aqui os conceitos e resultados desenvolvidos nas seções anteriores em relação às condições de amostragem e correção para o DSS utilizado na transmissão pura de células ATM para a B-ISDN.

Serão considerados ainda dois modos de implementação do DSS nesta forma serial, comparando suas complexidades de hardware.

Os dois modos de implementação série do DSS, de acordo com o método de transmissão das amostras  $r$ , são:

1. Modo Uniforme
2. Modo Contíguo

### 4.2.4.1 Modo Uniforme

De acordo com a recomendação I.432 [ITU-T, I.432], o DSS emprega um SRG como mostra a figura 4.4, com comprimento  $L$  igual a 31 e com matriz de transição de estados e vetor gerador dados por:

$$\tilde{T} = [t_{i,j}]_{31 \times 31} \tag{4.65}$$

$$t_{i,j} = \begin{cases} 1 & j = i + 1, \quad i = 0, 1, \dots, L - 1 \\ 1 & j = 0 \quad \text{ou} \quad j = 3, \quad i = 30 \\ 0 & \text{c.c.} \end{cases}$$

$$\vec{h} = [10010000000000000000000000000000]^t \tag{4.66}$$

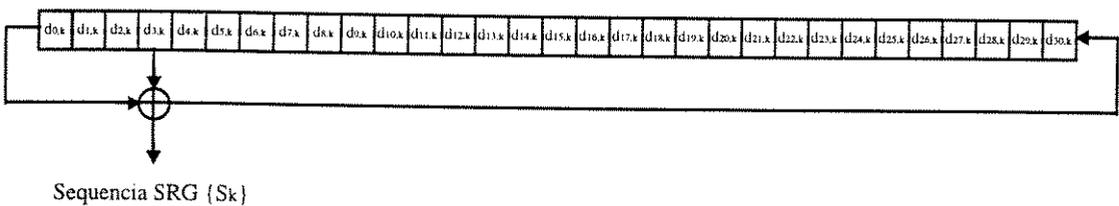


Figura 4.4: SRG empregado para o DSS da camada física baseada em células ATM (B-ISDN).

Como já referido no capítulo 3, as 31 amostras da seqüência do SRG do embaralhador são transportadas através de campos específicos dentro do HEC em

unidades de duas amostras por célula ATM. Como cada célula ATM é composta de 53 bytes (424 bits), as amostras transmitidas tornam-se uniformemente espaçadas para os tempos de amostragem  $\alpha_i = 212i$ ,  $i = 0, 1, \dots, 30$  (dado em intervalos de tempo de bit). Neste caso obtém-se de (4.17), (4.65) e (4.66), a matriz discriminação não-singular, a seguir:

$$\tilde{\Delta} = \begin{bmatrix} 10010000000000000000000000000000 \\ 01000000000000000000000010000010010 \\ 0110010110010010010011010011010 \\ 1011010010010010110110010000100 \\ 1011110111000001100101010001100 \\ 0000001000001000000001000001000 \\ 0100100001000001100100000100100 \\ 1011000000010100100000000001101 \\ 0101100010000001101101111001100 \\ 1000000000100100110100100100110 \\ 0000000000011001001001010000000 \\ 1011000100011101000000000000001 \\ 0110010100000000001101001101000 \\ 1000001101001011010111010001100 \\ 1001100100100100100100010110000 \\ 0010110100000110001110000000011 \\ 1110001101011100111101111001100 \\ 000101111110110100011101000010 \\ 1110001101001101001111011100001 \\ 1000100100100100100100100101110 \\ 1000010000010001000000101101100 \\ 0000100100101101110000111101110 \\ 1001100100100110110110011001010 \\ 0110100111001000010000011011000 \\ 0010100010000000010100010000000 \\ 0100000110001001000001011010111 \\ 0110001100010011011011000110111 \\ 0100111110000011110001010001101 \\ 1101000110010001000111010000000 \\ 000000011111011101010000000000 \\ 110011001101000000000000011100 \end{bmatrix} \quad (4.67)$$

Conseqüentemente, se forem escolhidos tempos de correções uniformes  $\beta_i = 212 + 212i$  (dado em intervalos de tempo de bit), tem-se de (4.64), (4.65) e (4.67), o vetor de correção comum:

$$\tilde{c} = [0110100110111001100111011000100]'$$

o qual torna a matriz de correção em (4.16) nula. Para este modo de implementação a estrutura de dados resultante para o campo de HEC está apresentada na figura 4.5a. Na figura, o tempo  $t$  é o tempo em que o HEC8 é obtido e a amostra  $S_{t-211}$  é o valor da seqüência de saída do SRG, de 211 intervalos de bits anteriores ao tempo  $t$  atual. Desta forma, se o tempo de amostragem uniforme for adotado, torna-se necessário um circuito adicional de relógio e armazenagem, para tomar esta amostra e armazená-la no embaralhador. O desembaralhador, por sua vez, necessita também de um circuito de relógio adicional para tomar a amostra  $\hat{S}_{t-211}$ , um circuito de armazenamento adicional para armazenar as amostras  $S_{t+1}$ ,  $\hat{S}_{t-211}$  e  $\hat{S}_{t+1}$ , assim como um circuito adicional para corrigir o estado dos SRG's 211. O circuito é apresentado na figura 4.6.

HEC8	HEC7							
+	+	HEC6	HEC5	HEC4	HEC3	HEC2	HEC1	
$S_{t-211}$	$S_{t+1}$							

(a) Modo Uniforme

HEC8	HEC7						
+	+	HEC6	HEC5	HEC4	HEC3	HEC2	HEC1
$S_t$	$S_{t+1}$						

(b) Modo Contíguo

Figura 4.5: Estrutura de dados do campo de HEC. (a) Modo uniforme, (b) Modo contíguo.

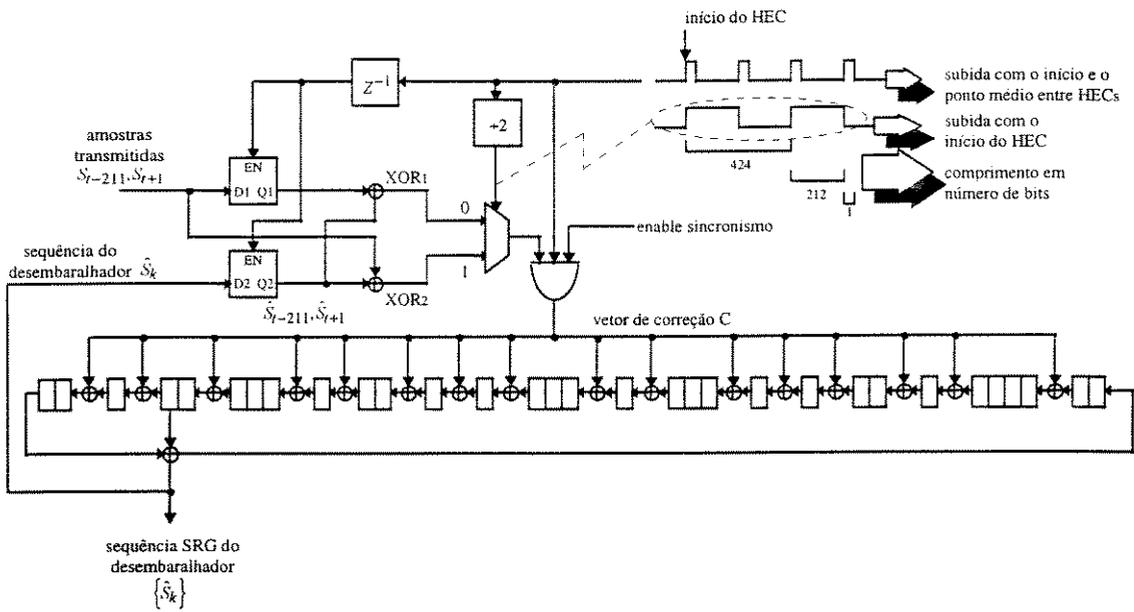


Figura 4.6: DSS utilizando modo uniforme.

Este hardware adicional para a armazenagem das amostras pode ser eliminado, adotando o modo contíguo de implementação.

#### 4.2.4.2 Modo Contíguo

Neste modo, o esquema de amostragem será rearranjado como mostra a figura 4.5b, isto é, as duas amostras serão escolhidas de modo que:  $\alpha_1 = 1$ ,  $\alpha_2 = 424 \times 1 = 424$ ,  $\alpha_3 = 424 \times 1 + 1 = 425$ ,  $\alpha_4 = 424 \times 2 = 848$ ,  $\dots$ ,  $\alpha_{29} = 424 \times 14 + 1 = 5937$ ,  $\alpha_{30} = 424 \times 15 = 6360$  (dado em intervalos de tempo de bit). Assim, será obtido de (4.17), (4.65) e (4.66) a matriz discriminação em (4.68), a qual também é não-singular.

No desembaralhador serão escolhidos os tempos de correção contíguos de forma similar, tal que  $\beta_0 = 1$ ,  $\beta_1 = 2$ ,  $\beta_2 = 424 \times 1 + 1 = 425$ ,  $\beta_3 = 424 \times 1 + 2 = 426$ ,  $\dots$ ,  $\beta_{29} = 424 \times 14 + 2 = 5938$  e  $\beta_{30} = 424 \times 15 + 1 = 6361$  (dado em intervalos de tempo de bit).

De (4.22), (4.65) e (4.68) obtém-se os vetores correções mostrados na tabela 4.2.

$$\tilde{\Delta} = \begin{bmatrix} 10010000000000000000000000000000 \\ 01001000000000000000000000000000 \\ 0110010110010010010011010011010 \\ 0011001011001001001001101001101 \\ 1011110111000001100101010001100 \\ 0101111011100000110010101000110 \\ 0100100001000001100100000100100 \\ 0010010000100000110010000010010 \\ 0101100010000001101101111001100 \\ 0010110001000000110110111100110 \\ 0000000000011001001001010000000 \\ 0000000000001100100100101000000 \\ 011001010000000001101001101000 \\ 0011001010000000000110100110100 \\ 1001100100100100100100010110000 \\ 0100110010010010010010001011000 \\ 1110001101011100111101111001100 \\ 0111000110101110011110111100110 \\ 1110001101001101001111011100001 \\ 1110000110100110100111101110000 \\ 1000010000010001000000101101100 \\ 0100001000001000100000010110110 \\ 1001100100100110110110011001010 \\ 0100110010010011011011001100101 \\ 0010100010000000010100010000000 \\ 00010100010000000001011001000000 \\ 0110001100010011011011000110111 \\ 1010000110001001101101100011011 \\ 1101000110010001000111010000000 \\ 0110100011001000100011101000000 \\ 110011001101000000000000011100 \end{bmatrix} \quad (4.68)$$

Tabela 4.2: Exemplos de vetores de correção para o modo contíguo.

C <sub>30</sub>	[1001010000000111001001100110111] <sup>t</sup>
C <sub>29</sub>	[1110010010011001110010000000001] <sup>t</sup> [0011001101001010111001111101101] <sup>t</sup>
C <sub>28</sub>	[1001010000000111001001100110111] <sup>t</sup> [1111111111101110101100011000001] <sup>t</sup> [1110011001001011110000100110111] <sup>t</sup> [1000110110100010010101011000001] <sup>t</sup>
C <sub>27</sub>	[1110010010011001110010000000001] <sup>t</sup> [0011001101001010111001111101101] <sup>t</sup>
	••••
C <sub>26</sub>	[1001010000000111001001100110111] <sup>t</sup>
	••••
C <sub>25</sub>	[1110010010011001110010000000001] <sup>t</sup> [0011001101001010111001111101101] <sup>t</sup>
	••••
⋮	⋮
C <sub>1</sub>	[1110010010011001110010000000001] <sup>t</sup> [0011001101001010111001111101101] <sup>t</sup>
	••••
C <sub>0</sub>	[1001010000000111001001100110111] <sup>t</sup>
	••••

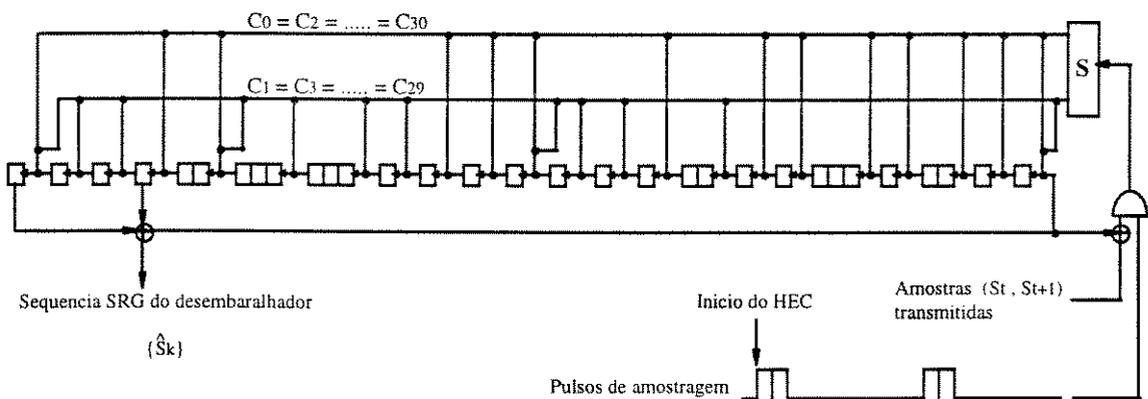
Desta tabela, pode-se selecionar dois conjuntos de vetores de correção tais que:

$$\begin{aligned} \bar{c}_0 &= \bar{c}_2 = \bar{c}_4 = \dots = \bar{c}_{30} \\ &= [1001010000000111001001100110111]' \end{aligned}$$

e

$$\begin{aligned} \bar{c}_1 &= \bar{c}_3 = \bar{c}_5 = \dots = \bar{c}_{29} \\ &= [1110010010011001110010000000001]' \end{aligned}$$

O desembaralhador resultante deste tipo de implementação, denominada de modo contíguo de operação, tem a configuração mostrada na figura 4.7. Nesta figura, S denota uma chave que comuta a cada tempo de correção. Pode ser observado também que, circuitos, relógios e dispositivos de armazenagem adicionais (flip-flop's) exigidos na configuração anterior, agora desaparecem.



OBS: Os nós mostrados entre os registradores significam soma módulo 2

**Figura 4.7: DSS empregando modo contíguo.**

## 4.3 Implementação Paralela

A implementação paralela surgiu com o intuito de suprir a deficiência dos e/d (DSS) utilizados na camada física, cuja velocidade básica é de 155520 kbit/s, devido a limitação imposta pela velocidade dos componentes atuais. Assim, a velocidade de operação de cada componente pode ser reduzida a 19440 kbit/s, utilizando um circuito paralelo cuja palavra de dados seja de 8 bits. Esta velocidade é plenamente acessível à tecnologia CMOS dos semicondutores, muito utilizado em processamento digital.

### 4.3.1 Implementação do Embaralhador

O embaralhamento de dados pode ser obtido utilizando um gerador PRBS, como já mencionado em capítulos anteriores, que consiste de um conjunto de registros combinados de forma serial ou paralela. A implementação paralela do embaralhador será aqui desenvolvida a partir de um pequeno exemplo descrito de forma serial, como mostrado na figura 4.8. Assim, a configuração paralela será obtida da configuração série.

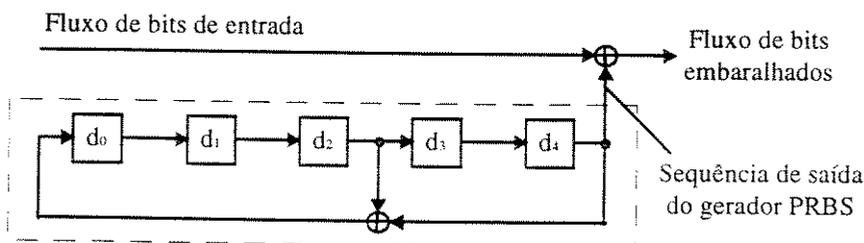


Figura 4.8: Esquema de um embaralhador (gerador PRBS) implementado serialmente.

A característica polinomial (polinômio gerador) para este embaralhador da figura 4.8 é dada por:

$$g(x) = x^5 + x^3 + 1 \quad (4.69)$$

A equação de estados do conjunto de registros com a característica polinomial dada em (4.69), pode ser escrita na forma matricial, como mostra a equação (4.2) descrita na seção 4.2.2.1.

Aqui neste exemplo, a nova matriz de transição de estados é dada por:

$$\tilde{T} = \begin{bmatrix} 0 & 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \end{bmatrix} \quad (4.70)$$

O vetor gerador para o embaralhador mostrado na figura 4.8 é dado por:

$$\vec{h} = [0 \ 0 \ 0 \ 0 \ 1]^t \quad (4.71)$$

A  $k$ -ésima saída  $S_k$  do gerador PRBS (SRG) mostrada na figura 4.8 é obtida pelo produto do vetor gerador  $\vec{h}^t$  pelo vetor estado dos registros  $\vec{d}_k$  no intervalo de tempo  $k$ , como descrito pela equação (4.3).

O embaralhamento é implementado através da equação de estados, que deve ser deslocada pelo número de palavra de dados de processamento paralelo, para cada pulso de relógio.

Para ilustrar este método, será apresentado um exemplo de implementação paralela que utiliza uma palavra de dados de 3 bits. A equação de estados que representa o deslocamento triplo da matriz de transição é dada por:

$$\vec{d}_{k+3} = \tilde{T}^3 \vec{d}_k \quad (4.72)$$

onde  $\tilde{T}^3$  é representado na forma matricial como,

$$\tilde{T}^3 = \begin{bmatrix} 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \end{bmatrix} \quad (4.73)$$

A seqüência de saída deste gerador PRBS paralelo é obtida aplicando-se a equação (4.2) em (4.3); porém aqui, as saídas  $S_{k+1}$  e  $S_{k+2}$  são obtidas simultaneamente, mas em saídas distintas. O equacionamento, no entanto, é efetuado como se fossem saídas sucessivas de um embaralhador série.

$$S_{k+1} = \bar{h}' \tilde{T} \bar{d}_k \quad (4.74)$$

e

$$S_{k+2} = \bar{h}' \tilde{T}^2 \bar{d}_k \quad (4.75)$$

As equações (4.74) e (4.75) podem ser escritas na forma matricial,

$$\bar{S} = \tilde{\Delta} \bar{d}_k \quad (4.76)$$

onde  $\bar{S}$  e  $\tilde{\Delta}$  são dados por:

$$\bar{S} = [S_k \quad S_{k+1} \quad S_{k+2}]' \quad (4.77)$$

$$\tilde{\Delta} = [\bar{h}' \quad \bar{h}' \tilde{T} \quad \bar{h}' \tilde{T}^2]' \quad (4.78)$$

A matriz  $\tilde{\Delta}$  é obtida de (4.70) e (4.71) em (4.77),

$$\tilde{\Delta} = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 \end{bmatrix} \quad (4.79)$$

a qual descreve as saídas paralelas do e/d.

A figura 4.9 mostra a implementação de um embaralhador paralelo para uma palavra de dados de três bits usando a matriz de transição de estados em (4.73). Esta matriz fornece as realimentações dos registros do PRBS, como pode ser visto na figura.





### 4.3.2 Implementação do Desembaralhador

No lado de recepção é muito importante o sincronismo do estado do desembaralhador com aquele do embaralhador. O sincronismo do embaralhador de amostras distribuídas é realizado pela mudança dos valores de registros específicos no desembaralhador, quando as amostras deste são diferentes daquelas do embaralhador. Considerando que o embaralhador mostrado na figura 4.8 toma as amostras a cada intervalo de 6 bits e que o valor dos registros do desembaralhador são corrigidos a cada 5 bits a partir do instante de amostragem, a implementação serial do desembaralhador se dá como ilustrado na figura 4.11.

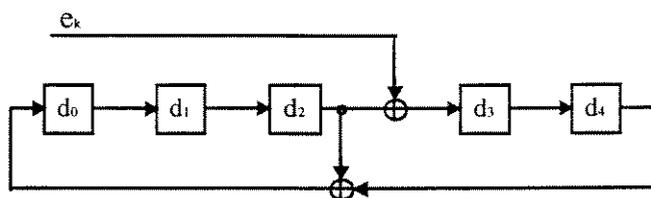


Figura 4.11: Esquema de implementação do DSS serial.

Desta forma, tem-se para a equação de estado deste conjunto embaralhador/ desembaralhador,

$$\tilde{d}_{k+1} = \tilde{T} \tilde{d}_k + \bar{c} e_k \tag{4.80}$$

onde  $\bar{c}$  é um vetor coluna representando os “taps” de correção do desembaralhador. O valor  $e_k$  é a diferença entre as amostras do embaralhador e aquelas obtidas no desembaralhador.

Aplicando-se o conceito desenvolvido para a implementação série do DSS desenvolvida na seção 4.2, o vetor de correção  $\bar{c}$  pode ser calculado, obtendo-se assim:

$$\bar{c} = [0 \ 0 \ 0 \ 1 \ 0]' \tag{4.81}$$

A equação de estados do desembaralhador para o processamento paralelo de três bits de dados é dada por:

$$\begin{aligned}\bar{d}_{k+3} &= \tilde{T} \bar{d}_{k+2} + \bar{c} e_{k+2} \\ \bar{d}_{k+3} &= \tilde{T}^3 \bar{d}_k + \tilde{H} \tilde{E}\end{aligned}\quad (4.82)$$

onde as matrizes  $\tilde{H}$  e  $\tilde{E}$  são dadas por:

$$\tilde{H} = \begin{bmatrix} \tilde{T}^2 \bar{c} & \tilde{T} \bar{c} & \bar{c} \end{bmatrix} \quad (4.83)$$

e

$$\tilde{E} = \begin{bmatrix} e_k & e_{k+1} & e_{k+2} \end{bmatrix}' \quad (4.84)$$

A representação da matriz  $\tilde{H}$  para a implementação do desembaralhador paralelo de 3 bits, usando como referência o desembaralhador série mostrado na figura 4.11 é dada por

$$\tilde{H} = \begin{bmatrix} 0 & 0 & 1 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \quad (4.85)$$

Devido ao atraso após amostragem ser de 5 bits e a palavra de dados de 3 bits, o sincronismo pode ser realizado usando somente a 2ª coluna de  $\tilde{H}$ . Em outras palavras, os valores de  $e$  e  $e_{k+2}$  são sempre zero, enquanto que  $e_{k+1}$  pode ser "1" ou "0" denotando assim, a diferença entre as amostras do embaralhador e desembaralhador.

Para entender melhor o processo, é interessante analisar o diagrama da figura 4.12. De acordo com o circuito da figura 4.11, foi representado nesta os registros de D0 a D4, bem como os seus estados iniciais de d0 a d4 (conteúdo de cada registro).

No diagrama são representadas as transições de estados para o circuito serial do desembaralhador e também, os estados em que serão efetuadas as correções e amostragem deste circuito. Como a correção é executada no 5º deslocamento a partir do instante de amostragem (5º estado), pode-se observar pelo diagrama que o processo de

correção incidirá sobre o conteúdo do registro D2 ( $d_1+d_3$ ) no 4º estado a partir do instante inicial, ao passar para o registro D3 no estado seguinte (5º estado).

Ao converter o circuito serial para o circuito equivalente paralelo de 3 bits, a transição de estados passa a ser representada apenas pelos estados em negrito, e a correção que deveria ser executada no 5º deslocamento a partir da amostragem já não poderá aí ser efetuada, dado que este estado intermediário não mais existe.

Assim, a correção equivalente, ou seja, incidente sobre o conteúdo  $d_1+d_3$  deverá atuar na passagem do registro D1 para o registro D4, representada no diagrama por um hachurado característico.

REGISTROS						Estados
D0	D1	D2	D3	D4		
Amostragem	$d_0$	$d_1$	$d_2$	$d_3$	$d_4$	Inicial
	$d_2+d_4$	$d_0$	$d_1$	$d_2$	$d_3$	1
	$d_1+d_3$	$d_2+d_4$	$d_0$	$d_1$	$d_2$	2
	<b><math>d_0+d_2</math></b>	<b><math>d_1+d_3</math></b>	<b><math>d_2+d_4</math></b>	<b><math>d_0</math></b>	<b><math>d_1</math></b>	3
	$d_1+d_2+d_4$	$d_0+d_2$	$d_1+d_3$	$d_2+d_4$	$d_0$	4
Correção:	$d_0+d_1+d_3$	$d_1+d_2+d_4$	$d_0+d_2$	$d_1+d_3$	$d_2+d_4$	5
Amostragem	<b><math>d_0+d_1</math></b>	<b><math>d_0+d_1+d_3</math></b>	<b><math>d_1+d_2+d_4</math></b>	<b><math>d_0+d_2</math></b>	<b><math>d_1+d_3</math></b>	6
	$d_2+d_3+d_4$	$d_0+d_3$	$d_0+d_1+d_3$	$d_1+d_2+d_4$	$d_0+d_2$	7
	$d_1+d_2+d_3$	$d_2+d_3+d_4$	$d_0+d_4$	$d_0+d_1+d_3$	$d_1+d_2+d_4$	8
	<b><math>d_3+d_1+d_2</math></b>	<b><math>d_1+d_3+d_4</math></b>	<b><math>d_2+d_3+d_4</math></b>	<b><math>d_0+d_4</math></b>	<b><math>d_0+d_1+d_3</math></b>	9
	$d_0+d_1+d_2+d_4$	$d_0+d_1+d_2$	$d_1+d_2+d_3$	$d_2+d_3+d_4$	$d_0+d_4$	10
Correção:	$d_0+d_1+d_2+d_3+d_4$	$d_0+d_1+d_2+d_4$	$d_0+d_1+d_2$	$d_1+d_2+d_3$	$d_2+d_3+d_4$	11
Amostragem	<b><math>d_0+d_1+d_3+d_4</math></b>	<b><math>d_0+d_1+d_3+d_4+d_2</math></b>	<b><math>d_0+d_1+d_2+d_4</math></b>	<b><math>d_0+d_1+d_2</math></b>	<b><math>d_1+d_2+d_3</math></b>	12

Figura 4.12: Diagrama de tempo de transição dos estados.

O desembaralhador paralelo baseado em (4.82) e (4.85) é apresentado na figura 4.13.

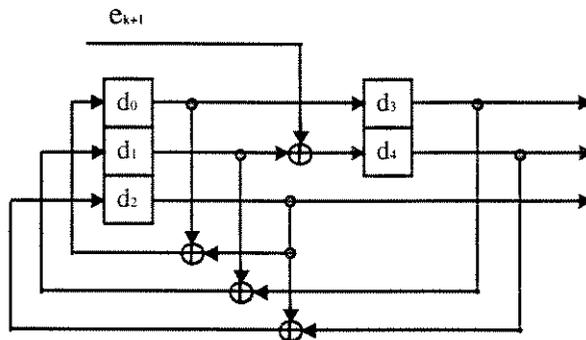


Figura 4.13: Esquema de implementação do DSS paralelo (palavra de 3 bits).

De acordo com o método apresentado, o desembaralhador paralelo para o ambiente ATM pode ser implementado. A matriz  $\tilde{H}$  para a implementação deste é dada a seguir.

Os registros do desembaralhador são corrigidos a cada 212 intervalos de bit, a partir do instante de amostragem, sendo o período desta também de 212 intervalos de bit. Em função das amostras serem tomadas e aplicadas para a correção nos intervalos de bit  $34^{\text{a}}$  e  $246^{\text{a}}$ , os valores de  $e_{k+1}$  e  $e_{k+5}$  tem valores "0" ou "1" e os demais são sempre zero. Conseqüentemente, o desembaralhador pode ser implementado usando somente a  $2^{\text{a}}$  e  $6^{\text{a}}$  coluna de  $\tilde{H}$ .

$$\tilde{H} = \begin{bmatrix} 001111000 \\ 011100001 \\ 111000011 \\ 110000110 \\ 100011101 \\ 000110101 \\ 001101000 \\ 011010001 \\ 110100011 \\ 101001101 \\ 010011101 \\ 100110111 \\ 001101111 \\ 011011110 \\ 110111100 \\ 101110001 \\ 011100011 \\ 111001110 \\ 110011100 \\ 100110001 \\ 001100011 \\ 011001111 \\ 110011110 \\ 100111101 \\ 001110111 \\ 011101110 \\ 111011100 \\ 110110000 \\ 101100001 \\ 011000101 \\ 110001100 \end{bmatrix}$$

$\underbrace{\hspace{10em}}_{e_k} \qquad \underbrace{\hspace{10em}}_{e_{k+5}}$   
 $\underbrace{\hspace{10em}}_{e_{k+1}}$

O desembaralhador paralelo baseado na matriz acima, é mostrado na figura 4.14.

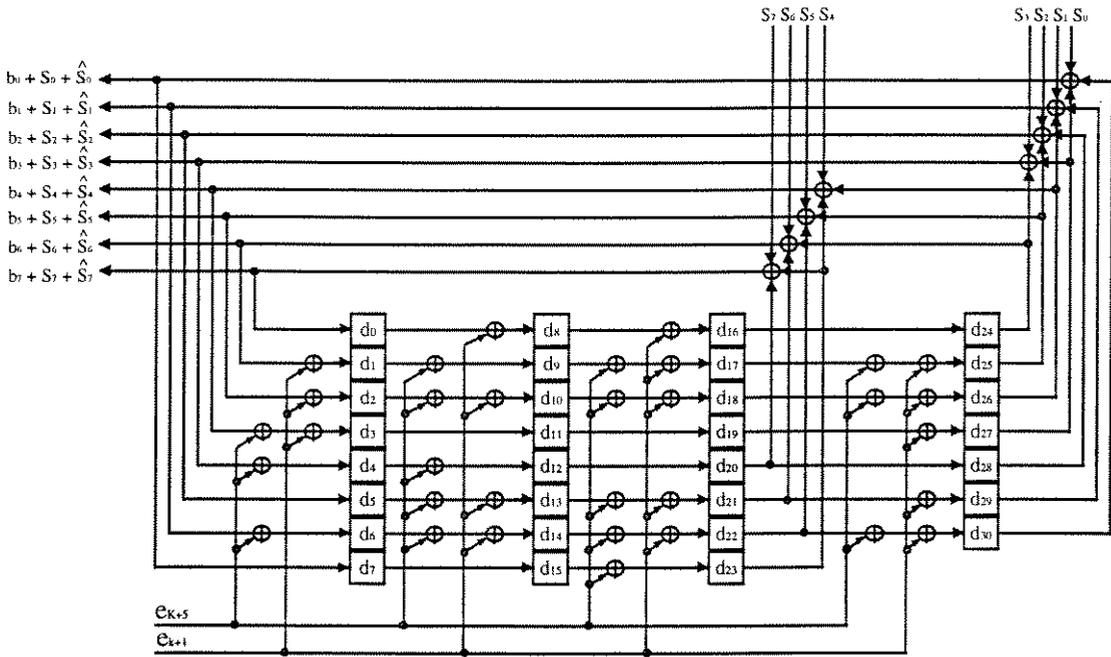


Figura 4.14: DSS paralelo para a camada física ATM baseada em células.

## 4.4 Estudo do DSS Padronizado pelo ITU-T

O objetivo principal desta seção é estudar a realização do circuito do desembaralhador, especificamente o circuito que foi padronizado pela recomendação I.432 [ITU-T, I.432] para comprovar, além do seu funcionamento, algumas de suas características. O circuito aqui discutido é um DSS implementado serialmente, cujas amostras são transportadas uniformemente, conforme foi apresentado no capítulo 3. A forma com que este será implementado dependerá de cada fabricante de equipamentos, podendo ser uma das formas apresentadas aqui. Porém, independentemente do tipo de implementação, um dos aspectos fundamentais do circuito (embaralhador/desembaralhador) é o sincronismo dos estados de seus PRBS's, pois o sinal efetivo de um sistema de transmissão pura de células ATM pode ser visto como um fluxo de bits que é embaralhado para a transmissão e que deve ser desembaralhado na recepção. Para a recuperação correta da informação o par embaralhador/desembaralhador deve estar perfeitamente sincronizado. Daí a importância do estudo deste circuito.

Além do sincronismo, serão considerados ainda nesta seção os aspectos de detecção automática da perda de embaralhamento no transmissor pelo receptor, descrito no

capítulo 3, e ainda, o aspecto do balanceamento deste tipo de embaralhador, pois dependendo do polinômio gerador utilizado pelo circuito, seqüências longas indesejadas podem ser geradas.

Considerações tais como, tempo necessário para sincronização, robustez do método e vantagens e desvantagens deste processo de sincronização (adotado pelo ITU-T), também são abordados no final deste capítulo.

#### 4.4.1 Sincronismo

O circuito a ser estudado é o mesmo circuito da figura 4.6. Na figura pode-se notar que, além do relógio principal do circuito (155520 kHz), existe um outro relógio com um pulso de subida alinhado ao início do campo de HEC, ou seja, ao primeiro bit deste campo. A partir deste sinal são derivados os relógios que atuarão no circuito de armazenamento das amostras que chegam do transmissor ( $S_{t-211}$ ,  $S_{t+1}$ ) e no circuito de armazenamento das amostras geradas localmente ( $\hat{S}_{t-211}$ ,  $\hat{S}_{t+1}$ ), assim como no circuito de correção (sincronização) do gerador PRBS.

A menos do atraso envolvido no processo, é apresentado a seguir na figura 4.15, um diagrama de tempo mostrando o funcionamento ideal deste circuito.

Existem duas formas de se verificar a aquisição de sincronismo do circuito: a primeira baseada na sua implementação prática e a segunda, através de um método de simulação do funcionamento do circuito.

Assim, optou-se pelo segundo método, utilizando-se para tal o software MATLAB.

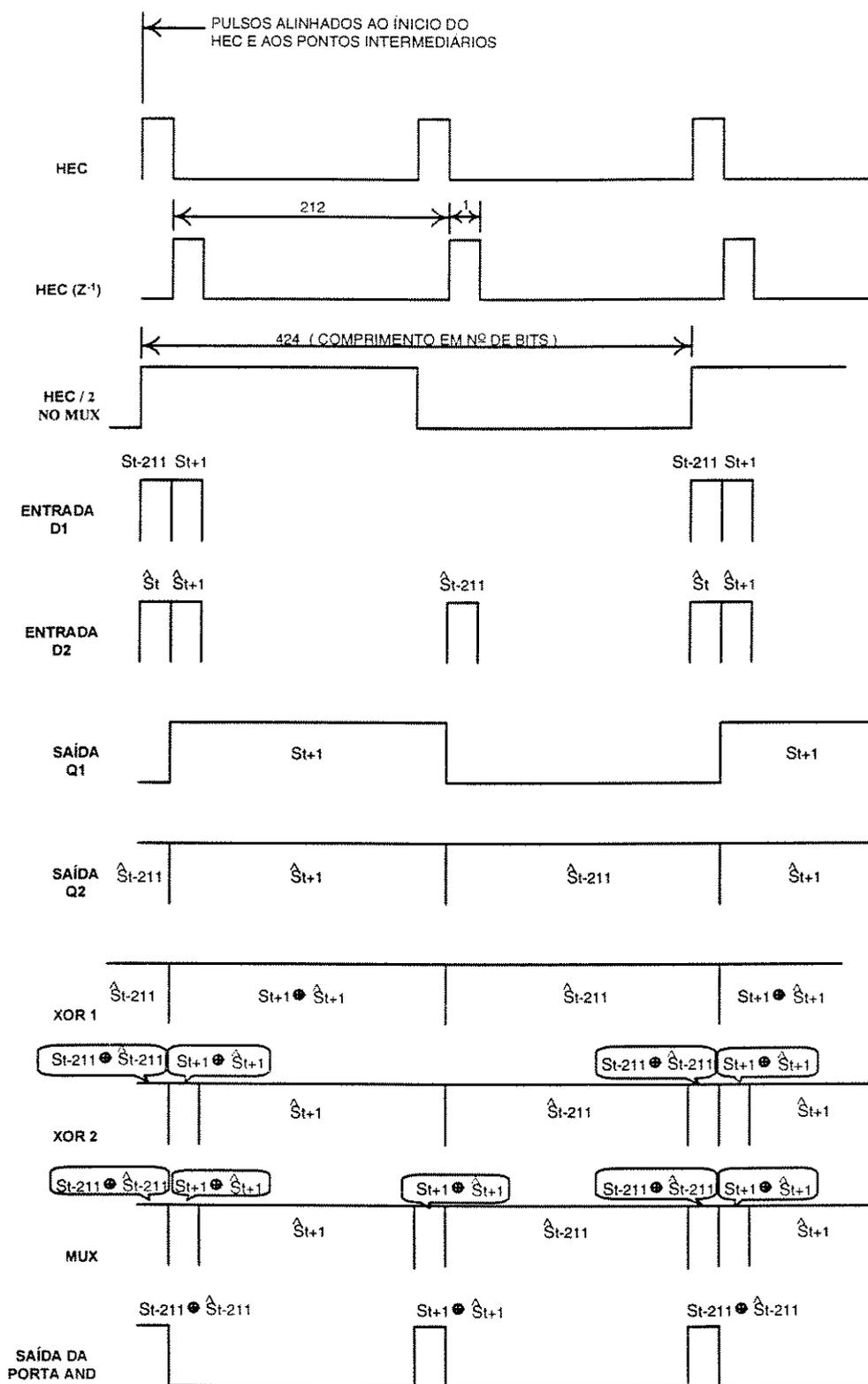


Figura 4.15: Diagrama de tempo do circuito do desembaralhador (DSS) serial.

#### 4.4.1.1 Descrição do Método

O algoritmo para a simulação do circuito, deve obedecer rigorosamente ao princípio de funcionamento do circuito, princípio este que já foi relatado no capítulo 3. Porém, será realizada aqui uma breve descrição do seu funcionamento de uma maneira mais prática.

##### Descrição do Processo no Embaralhador

- i. Num intervalo de tempo  $t$  qualquer (equivalente a um intervalo de bit), toma-se uma amostra do PRBS do embaralhador;
- ii. A amostra tomada no instante  $t$  é armazenada no embaralhador por 211 intervalos de tempo de bit;
- iii. Ao se atingir o intervalo de tempo de bit equivalente ao primeiro bit do HEC esta amostra armazenada é adicionada nesta posição  $t + 211$ ;
- iv. No intervalo de bit equivalente ao segundo bit do campo de HEC  $t + 212$  uma outra amostra é tomada e adicionada a esta posição no campo de HEC;
- v. Como um último passo as amostras são transmitidas ao desembaralhador;

Deve-se notar aqui, que se tomarmos agora o tempo  $t + 211$  como referência, ou seja, denominar o tempo equivalente ao primeiro bit do campo de HEC (definido no item “iii” acima) como  $t$ , como é feito na teoria desenvolvida nas seções anteriores, poderá ser verificado que a primeira amostra tomada no item “i” acima passa a ser a nossa amostra  $S_{t-211}$  e a amostra tomada no tempo  $t + 212$  acima, será a amostra  $S_{t+1}$  como mostrado nas seções onde foram desenvolvidos os cálculos do vetor de correção (figura 4.5 (a)).

Este processo também é realizado pelo desembaralhador nos mesmos intervalos de tempo e as amostras tomadas do PRBS deste ( $\hat{S}_{t-211}$ ,  $\hat{S}_{t+1}$ ) são armazenadas localmente pelo circuito mostrado na figura 4.6.

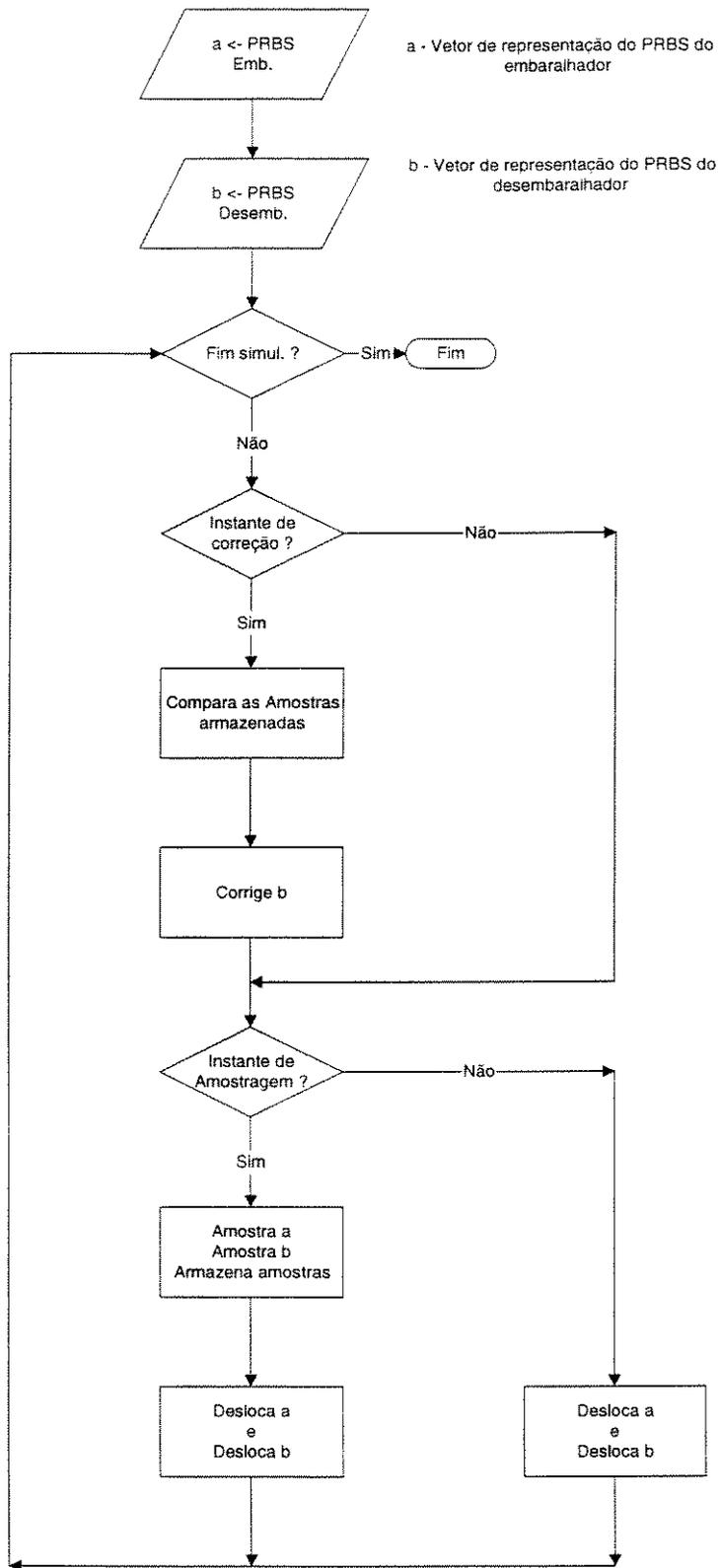


Figura 4.16: Fluxograma da simulação do sincronismo do circuito do desembaralhador.

Descrição do Processo no Desembaralhador

- i. A primeira amostra que foi armazenada no embaralhador é comparada com a sua equivalente no desembaralhador no intervalo de tempo  $t + 212$  (mantendo como referência o tempo  $t$  inicial). Note que não houve consideração de atraso no processo, partindo do princípio que, no instante em que se está tomando a segunda amostra no embaralhador, a primeira já está sendo utilizada para a correção no desembaralhador, ou seja, tudo acontece simultaneamente.
- ii. A segunda amostra tomada e transmitida ao desembaralhador (amostra  $S_{t+1}$ ) é agora armazenada neste através do mesmo circuito da figura 4.6.
- iii. 212 intervalos de tempo de bit mais tarde esta amostra é comparada com a sua equivalente, também armazenada no desembaralhador, e o processo de correção é executado, se necessário (o vetor de correção é adicionado aos registros do PRBS do desembaralhador).
- iv. O processo é executado dinamicamente, até que o circuito do desembaralhador (PRBS deste) entre em sincronismo com o embaralhador (PRBS daquele).

A partir da descrição do processo, pode-se obter um algoritmo para a simulação do circuito como descreve o fluxograma da figura 4.16. De acordo com o mesmo o circuito foi simulado e os resultados apresentados na seção seguinte.

#### 4.4.1.2 Resultados da Simulação

Para o conjunto embaralhador/desembaralhador foram definidos diferentes estados iniciais e suas respectivas seqüências de saída foram plotadas nos gráficos a seguir. Em todos os gráficos é enfatizado o instante de transição entre os estados pré e pós-sincronismo.

##### Estado Inicial dos PRBS's

A representação utilizada para os estados iniciais dos PRBS's do embaralhador e desembaralhador, respectivamente, é mostrada a seguir:

**Embaralhador** = **vetor a** (estado inicial do PRBS do embaralhador)

**Desembaralhador** = **vetor b** (estado inicial do PRBS do desembaralhador)





Vetor a = [1,0];

Vetor b = [1,1];

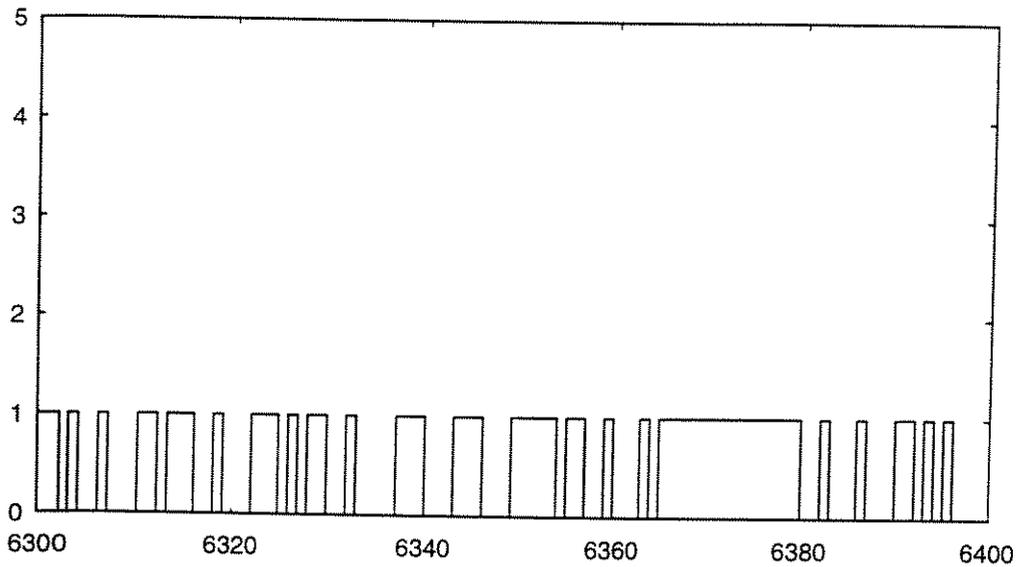


Figura 4.21: Seqüência de saída do PRBS do embaralhador.

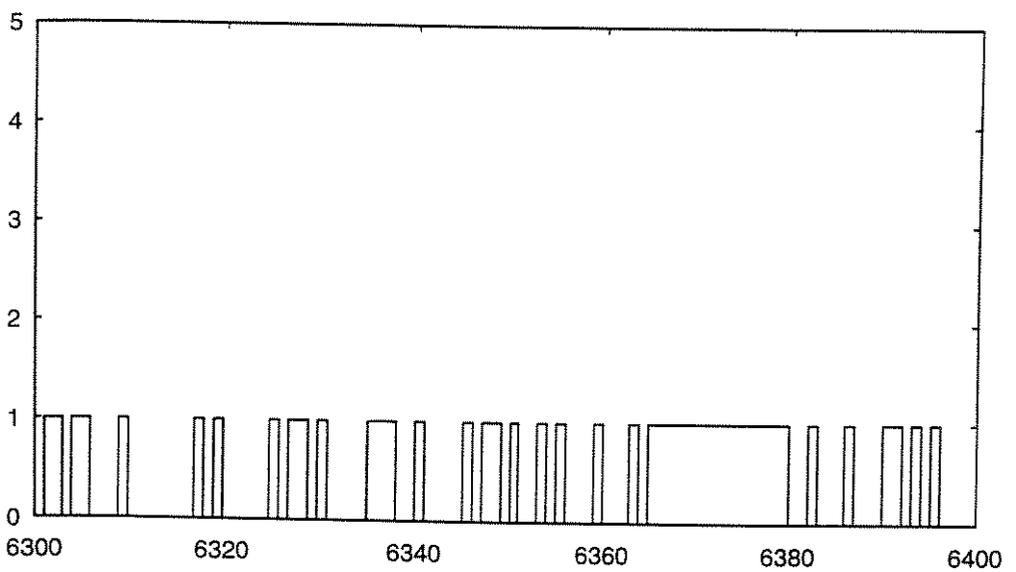


Figura 4.22: Seqüência de saída do PRBS do desembaralhador.







## Conclusão

Como pode ser observado nos gráficos, dependendo do estado inicial de cada PRBS individualmente (e/d), o sincronismo pode ser obtido através de um número menor de amostras. Porém, dada a impossibilidade de se prever os seus estados iniciais, utiliza-se então as 31 amostras, garantindo assim que o circuito entrará em sincronismo.

Outro fator a ser considerado é a relação temporal dos relógios envolvidos no processo de sincronismo. Se estes não forem estabelecidos dentro dos princípios de amostragem e correção, o sincronismo do circuito não será atingido. A título de ilustração, observe que toma-se uma amostra neste instante e vai-se efetuar a correção 212 intervalos de tempo depois. Caso isto não seja considerado pelos tempos de relógio que atuam no circuito de correção do desembaralhador, o sincronismo não poderá ser atingido em instante algum, pois o vetor de correção calculado prevê este atraso de 212 intervalos de tempo. Isto é fácil de ser verificado pela constante  $\beta = 212$  em  $\beta_i = \beta + i\alpha$ , ou seja,  $\beta_i = 212 + i\alpha$ , conforme foi visto no exemplo dado para o cálculo do vetor, quando as amostras são tomadas em intervalos uniformes de tempo (uniformemente espaçadas).

### 4.4.2 Verificação da Detecção Automática de Sincronismo

De acordo com a teoria apresentada no capítulo 3, o receptor (desembaralhador) pode detectar automaticamente a perda do embaralhamento no transmissor (embaralhador) e a partir daí, alertar ao equipamento de gerência, caso funções sejam previstas para tal.

O processo acontece em função de uma propriedade deste tipo de embaralhador, especificamente de seu PRBS. Nestes, tem-se o estado zero de seus registros como um “estado proibido”, ou seja, seus registros não podem ser todos iguais a zero.

A partir do instante em que isto ocorre, o sistema deverá ser reinicializado para que os PRBS's voltem a operar.





Assim, no instante em que ocorrer uma falha no gerador de seqüências pseudo-aleatória (PRBS), inibindo o processo de embaralhamento, ou mesmo, o processo de amostragem, as amostras enviadas agora passam a ser iguais a zero (nenhuma amostra é enviada) e após um certo tempo recebendo tais amostras, o PRBS do desembaralhador será inibido pela presença de zeros em todos os seus registros. Isto é mostrado nas figuras 4.29, 4.30, 4.31 e 4.32, das páginas anteriores.

Os gráficos mostrados caracterizam situações distintas: nas figuras 4.29 e 4.30 pode-se notar, em função da continuidade das seqüências de saída do PRBS do embaralhador, que o problema é causado pelo não envio das amostras, inibindo o PRBS do desembaralhador. Já nas figuras 4.31 e 4.32, observa-se que o PRBS do embaralhador está no estado proibido e desta forma as amostras enviadas são todas iguais a zero, o que também inibe o PRBS do desembaralhador. Isto é equivalente, por exemplo, a um possível problema no PRBS do embaralhador, de modo que este não esteja embaralhando a seqüência de dados transmitida, ou seja, as seqüências de saída do PRBS não estejam sendo geradas.

A forma de apresentação dos gráficos é a mesma utilizada anteriormente para a verificação do sincronismo.

### 4.4.3 Simulação do Balanceamento

Em transmissão digital por fibra óptica, para o bom funcionamento do sistema laser-fotodetector é importante que a seqüência seja balanceada, ou seja, na média o número de “1’s” e “0’s” sejam iguais. A seguir este balanceamento vai ser verificado para o PRBS.

O balanceamento do circuito foi testado, colocando-se o PRBS utilizado descrito pelo polinômio gerador  $x^{31} + x^{28} + 1$  em operação e contando-se o número de “zeros” e “uns” em sua saída, partindo de diferentes estados iniciais para embaralhador e desembaralhador. Isto foi verificado para 500000 amostras de saída do PRBS, o que é suficiente para embaralhar cerca de 1200 células ATM. Desta forma, partiu-se de três vetores estado inicial representando o conteúdo dos registros do PRBS, dois deles bem definidos e um terceiro aleatório. O resultado obtido é apresentado a seguir:



Este método consiste na utilização das células PLOAM's e vazias para a obtenção do sincronismo do receptor (desembaralhador) de uma só vez. Como pôde ser observado no capítulo 3, as células PLOAM's possuem uma gama de campos reservados para utilização futura (reserved field - R; figura 3.1 - capítulo 3), assim como, as células vazias que não transmitem informações em seus campos, apenas uma seqüência padrão determinada.

No caso das primeiras (células PLOAM's), num determinado intervalo de tempo as amostras do PRBS do embaralhador seriam carregadas paralelamente para um buffer e em seguida transferidas serialmente para uma posição predeterminada dentro do campo de informação destas coincidentes com os bytes reservados para aplicações futuras, onde seriam utilizados 4 destes bytes para o transporte das 31 amostras.

O processo seria aplicado também às células vazias, sendo que as amostras seriam alocadas na mesma posição em que foram alocadas para as células PLOAM's, ou seja, na mesma posição dos bytes utilizados para o transporte das amostras nas células PLOAM's.

Desta forma, o fluxo de bits seria transmitido e na posição de bit determinada (início do byte predeterminado) as amostras seriam inseridas. Através de uma seleção efetuada no mux 1 da figura 4.33, o valor das amostras armazenadas no buffer seriam transmitidas serialmente. Durante o processo de transmissão das amostras, o processo de soma do PRBS do embaralhador seria desabilitado.

No desembaralhador, o fluxo de bits recebido seria encaminhado a duas saídas distintas de acordo com a habilitação do mux 2. Durante o processo de transmissão das amostras estas seriam encaminhadas a um buffer e em seguida, após a transmissão de todas as 31 amostras, estas seriam carregadas paralelamente para o PRBS deste. Neste mesmo intervalo de tempo, a outra saída do mux 2 seria habilitada permitindo a saída do fluxo de bits embaralhado que ao passar por um atrasador equivalente a 31 tempos de bit, será adicionado às amostras do PRBS do desembaralhador, obtendo assim, o seu desembaralhamento.

As vantagens deste método em relação às amostras distribuídas no tempo consiste em se utilizar todos os bits do campo de HEC para o processo de demarcação de células aumentando assim, a robustez do processo e do algoritmo utilizado.

As desvantagens estão na utilização de campos reservados dentro das células PLOAM's, num tempo maior para se obter a sincronização dos circuitos quando comparado com o método anterior e, o uso de 3 buffers de 31 bits utilizados para a armazenagem das amostras.

#### Tempo de Sincronização para as Amostras Distribuídas no Tempo

$$t_{sinc} = (16 \times 53 \times 8) / 155520 \text{ kbit} / s \cong 43,62 \mu s$$

#### Tempo de Sincronização para as Amostras Transmitidas de uma só vez

##### Pior Caso

$$t_{sinc} = (512 \times 53 \times 8) / 155520 \text{ kbit} / s \cong 1,40 \text{ ms}$$

##### Melhor Caso

$$t_{sinc} = (26 \times 53 \times 8) / 155520 \text{ kbit} / s \cong 73,61 \mu s$$

Para o caso em que as amostras seriam transmitidas através das células vazias, não é possível calcular dado a taxa destas no sistema ser imprevisível, a priori, mas espera-se que o sincronismo seja atingido com um tempo menor devido ao grande número destas no sistema ao inicializar-se uma transmissão.

Um outro fator a ser considerado é a robustez do processo de sincronização em relação a erros incidentes sobre as amostras, assim como o tempo para adquirir o sincronismo durante o regime de aquisição.

Caso ocorra erro durante a transmissão das amostras o tempo para aquisição do sincronismo aumentará, porém de forma aleatória. Deverá ser previsto pelo circuito uma forma de informar ao sistema a obtenção do sincronismo. Assim também, durante o regime estacionário de operação, caso ocorra erro na transmissão das amostras, o circuito deverá confirmar estes erros por um número determinado de amostras antes de

iniciar o processo de ressincronização, como foi definido para o circuito atualmente adotado pelo ITU-T.

**Síntese:**

Neste capítulo buscou-se mostrar toda a teoria envolvida para a obtenção do circuito do DSS, especificamente para a obtenção do sincronismo pelo desembaralhador.

Numa primeira etapa foi apresentada a teoria que descreve sistematicamente o processo de sincronismo dos SRG's (PRBS) do DSS serial. Neste, as amostras da seqüência gerada são transmitidas ao desembaralhador de uma forma distribuída para serem utilizadas no sincronismo do estado dos SRG's do mesmo. O processo de sincronismo foi descrito por um modelo matemático, no qual os requisitos de amostragem do par  $(e/d)$  e correção do desembaralhador são formulados matematicamente.

O resultado principal deste estudo está na solução dos problemas fundamentais de amostragem e correção. As soluções para os problemas foram dadas como: “condições para o tempo de amostragem” e “tempo e vetor de correção”, as quais foram apresentadas em termos de dois teoremas.

De acordo com o primeiro teorema, os tempos de amostragem devem ser escolhidos de modo que a matriz de discriminação torne-se não-singular. Caso contrário, não existem tempos de correção e vetores de correção que possibilitem sincronizar os SRG's do desembaralhador. Conseqüentemente, a matriz de discriminação fornece uma diretriz fundamental para verificar se o DSS está propriamente projetado.

O segundo teorema descreve como escolher os tempos e vetores de correção de modo a sincronizar os estados dos SRG's do desembaralhador. De acordo com este teorema, os tempos de correção podem ser livremente escolhidos desde que estejam situados entre dois tempos de amostragem consecutivos. Uma vez que os seus valores tenham sido fixados, os vetores de correção correspondentes podem ser determinados de acordo com as equações dadas pelo teorema.

Assim, há muitas escolhas possíveis para os vetores de correção, mesmo para um conjunto fixo de tempos de amostragem e correção. A estrutura da função de correção é administrada pela escolha dos tempos de amostragem, vetores e tempos de correção. Se a amostragem distribuída e correção são feitas uniformemente espaçadas, o vetor de

correção torna-se único e comum. Contudo, a complexidade global do circuito do desembaralhador aumentaria, devido as memorizações de amostras e geração de pulsos de relógios extras. Pode-se observar que esta complexidade diminuiria substancialmente se a amostragem e correção fossem rearranjadas para serem contiguamente espaçadas.

Na etapa seguinte, é apresentada uma outra alternativa para a implementação do DSS, ou seja, a implementação paralela (Parallel Distributed Sample Scrambler/Descrambler) cujo objetivo é solucionar o problema de limitação da velocidade encontrada no DSS serial. O embaralhador/desembaralhador apresentado pode ser facilmente implementado pela utilização de chips com tecnologia CMOS. Acredita-se que, utilizando esta forma de implementação, seja possível atingir até mesmo velocidades superiores a 155520 kbit/s, como por exemplo 622080 kbit/s. Ou seja, a teoria apresentada aqui fornece uma liberdade de escolha do tipo de implementação mais conveniente para o DSS, que poderá ser projetado da forma mais apropriada para um determinado ambiente, sem estar limitado ao DSS de amostras uniformemente espaçadas. Cabe ao projetista a decisão final, de escolher um DSS entre as muitas escolhas possíveis.

Finalmente, são apresentados resultados de simulações do sincronismo deste circuito (idealmente), verificação do balanceamento, bem como a proposição e análise de outro método de sincronização.

# Capítulo 5

## Resumo dos Resultados

### 5.1 Contribuição do Trabalho

Seguindo o objetivo do trabalho, uma abordagem minuciosa da camada física foi realizada, mostrando suas subdivisões e respectivas funções, tais como, características elétricas e mecânicas das interfaces; adaptação do quadro de transmissão baseado nas estruturas PDH, SDH e TPCA para a transferência de informações pelo meio (o mapeamento de células nos sistemas PDH e SDH foi abordado em separado no apêndice A); geração e verificação do campo de HEC para proteção contra erros no cabeçalho da célula, evitando erros no roteamento; descrição de células especiais utilizadas no desacoplamento da taxa de transmissão, assim como células especiais de manutenção; estudo do mecanismo de demarcação de células e também dos embaralhadores utilizados em cada sistema de transmissão adotado.

Por último, como ponto chave do trabalho, foi realizado um estudo minucioso do embaralhador adotado para o sistema baseado na transmissão pura de células ATM (TPCA).

Outros pontos importantes do presente trabalho são:

- Desenvolvimento matemático do impacto de erros aleatórios no campo de cabeçalho da célula, analisando dois aspectos específicos de operação do receptor, no que diz respeito a robustez do processo de

correção/detecção de erros: a probabilidade de descarte de células e a probabilidade da célula ser aceita com erros no cabeçalho;

- Estudo matemático da publicação [Lee 94] apresentando um detalhamento na dedução do cálculo do vetor de correção;
- Estudo detalhado do circuito de sincronização através da análise das ondas no tempo;
- Descrição do método para obtenção do vetor de correção para a implementação paralela do circuito, partindo do vetor calculado para a implementação série, através do estudo da publicação [Kim 94]. Este tipo de implementação é interessante para a transmissão à altas taxas de bits devido a velocidade atingida pelos “chips” atuais.
- Simulação do balanceamento do circuito, partindo-se de alguns estados iniciais pré-definidos para o gerador PRBS e verificando o número de zeros e uns em sua saída para um dado número de amostras. Na média este número deve ser equilibrado, dada a importância deste equilíbrio para um bom desempenho de sistemas ópticos. O resultado obtido foi satisfatório.
- Simulação do sincronismo do par embaralhador/desembaralhador, partindo-se de alguns estados predeterminados. Foram simulados oito estados e os resultados mostrados em gráficos comparativos das seqüências de saídas do embaralhador/desembaralhador, enfatizando o instante em que os circuitos entram em sincronismo. O resultado mais importante é mostrado nas duas últimas seqüências de simulação (ver gráficos comparativos), onde mostra-se que a ausência de embaralhamento na transmissão é detectada automaticamente pelo desembaralhador, que é inibido após um determinado intervalo de tempo.
- Como contribuição, é proposto um outro método de implementação para o sincronismo dos circuitos, mediante o envio de todas as amostras de uma só vez, partindo-se de um estado inicial do gerador PRBS num dado instante. A vantagem deste método está no fato de que todos os bits do campo de HEC são destinados apenas à correção de erros, não sendo mais utilizados para transportar as amostras responsáveis por efetuar o

sincronismo do circuito. É um processo perfeitamente viável, porém um pouco mais demorado comparado com o método atualmente adotado pelo ITU-T.



# Apêndice A

## Rede de Transporte

### A.1 Introdução

A rede de transporte é responsável pela transmissão da informação entre os nós da rede, seja através de fibras ópticas, cabos coaxiais, sistemas rádio, sistemas via satélite, ou qualquer outro meio de transmissão. Atualmente, temos padronizadas duas hierarquias de multiplexação para a transmissão de sinais digitais: a Hierarquia Digital Plesiócrona (PDH) e a Hierarquia Digital Síncrona (SDH). Existe ainda uma terceira estrutura de transmissão baseada na multiplexação de células ATM, ou seja, transmissão pura de células ATM (TPCA) ou (Cell Based) que está sob padronização pelo ITU-T.

A nível mundial, temos três hierarquias digitais plesiócronicas diferentes: a europeia baseada em 2048 kbit/s, a norte americana baseada em 1544 kbit/s e a japonesa também baseada em 1544 kbit/s, divergindo da americana nos níveis 3 e 4 (enquanto na hierarquia japonesa a taxa nos níveis 3 e 4 é 32064 kbit/s e 97728 kbit/s a hierarquia americana só possui o nível 3 à taxa de 44736 kbit/s).

Além disso, os equipamentos plesiócronicos não são totalmente padronizados, dificultando a interconexão a nível mundial. A Hierarquia Digital Síncrona surgiu com a finalidade de ser um padrão mundial, possibilitando a interconexão entre as nações e a compatibilidade entre os equipamentos de transmissão. Esta hierarquia é baseada na norte americana SONET (Synchronous Optical Network - Rede Óptica Síncrona), a qual foi desenvolvida com a finalidade de fixar um padrão para a transmissão óptica,

simplificar o processo de multiplexação/demultiplexação existente na PDH e aumentar a capacidade de transmissão de bytes para o gerenciamento e supervisão.

A terceira estrutura baseada na transmissão de células puras é o sistema que deve ser adotado, principalmente no que se refere a parte de comutação da futura rede de faixa larga (B-ISDN) utilizando como meio preferencial de transporte a SDH. Porém, a maioria das redes implantadas atualmente são baseadas na hierarquia digital plesiócrona e durante o período de transição, será necessário o transporte de células ATM nestas.

Desta forma, é enfatizado nos itens a seguir, alguns dos processos de mapeamento de sinais tipo ATM (células) dentro destas estruturas.

## A.2 Estrutura da Interface SDH

A estrutura básica da SDH é denominada módulo de transporte síncrono nível 1 (STM-1 - Synchronous Transport Module Level 1). O STM 1 possui uma estrutura de quadro bem definida que se repete a cada 125  $\mu$ s e uma taxa de bit de 155520 kbit/s. Este módulo define o primeiro nível da hierarquia. As taxas de bits dos níveis superiores, denominado STM-N, são múltiplos inteiros da taxa de bit do primeiro nível.

Atualmente, temos padronizado pelo ITU-T três módulos de transporte a saber:

- STM-1, STM-4 e STM-16;

A tabela A.1 contém as taxas de bits para esses níveis:

Nível SDH	Taxas (kbit/s)	Designação
1	155520	STM-1
4	622080	STM-4
16	2488320	STM-16

Tabela A.1: Taxas de bit da SDH.

Além destes níveis a ANSI (American National Standards Institute) padronizou uma estrutura de transmissão menor que o STM-1, com uma taxa de 51840 kbit/s (1/3 do STM-1) denominado “Synchronous Transport Signal Level 1 - STS-1” e que corresponde ao primeiro nível da hierarquia americana, não sendo considerada pelo ITU-T como nível da SDH.

### A.3 Estrutura do Quadro STM-1

A estrutura básica do quadro STM-1 é apresentado na figura A.1 e consiste de 9 linhas de 270 bytes, lidos da esquerda para a direita, de cima para baixo. Este quadro possui as seguintes características:

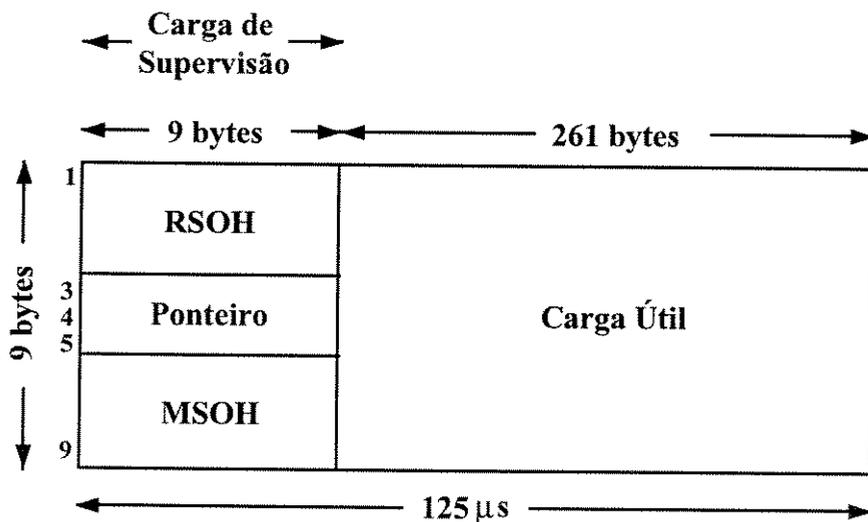


Figura A.1: Estrutura de quadro do STM-1.

- comprimento total: 2430 bytes;
- duração: 125  $\mu$ s;
- taxa de bit: 155520 kbit/s;
- capacidade efetiva:  $[(2430-81)/2430]*155520 = 150336$  kbit/s

O quadro possui três áreas principais:

- área de supervisão de seção (SOH - Section Overhead) - que possui uma palavra de alinhamento de quadro para identificar o início deste e informações adicionais para supervisão.

A SOH subdivide-se em: Área de Supervisão da Seção de Regeneração (Regenerator Section Overhead - RSOH) e Área de Supervisão de Seção Multiplex (Multiplexing Section Overhead - MSOH);

- Área de Ponteiro;
- Área de Carga Útil;

Para a formação da carga útil do STM-1 é utilizada a estrutura de multiplexação representada na figura A.2.

A primeira etapa dessa multiplexação é a formação dos containers (C). Os containers são estruturas que alojam os sinais a serem transportados, por exemplo os sinais da PDH. Existe um container apropriado para cada carga útil de informação a ser transportada, como mostra a tabela A.2.

Adicionando-se aos containers bytes para supervisão da rota percorrida, aos quais denominamos Carga de Supervisão da Rota (Path Overhead - POH), obtém-se estruturas denominadas containers Virtuais de Ordem Inferior (VC-I), conforme indica a figura A.2. Os VC's são entidades gerenciáveis da SDH: o POH é utilizado para supervisionar a rota a qual ele corresponde.

CONTAINERS	TAXA DA CARGA ÚTIL PDH TRANSPORTADA (kbit/s)
C-11	1544
C-12	2048
C-2	6312
C-3	44736 / 34368
C-4	139264

**Tabela A.2: Containers definidos pelo ITU-T.**

O processo de introdução de sinais tributários em VC's de Ordem Inferior é denominado Mapeamento. Os VC's-I definidos pelo ITU-T são VC-11, VC-12, VC-2 e VC-3.

Uma vez obtidos os VC's, a próxima etapa é a adição de ponteiros ou apontadores que marcam a posição do primeiro byte VC-I dentro do quadro que aloja esse sinal, o que possibilita ajustes de frequência entre os VC's-I e as estruturas de ordem superior.

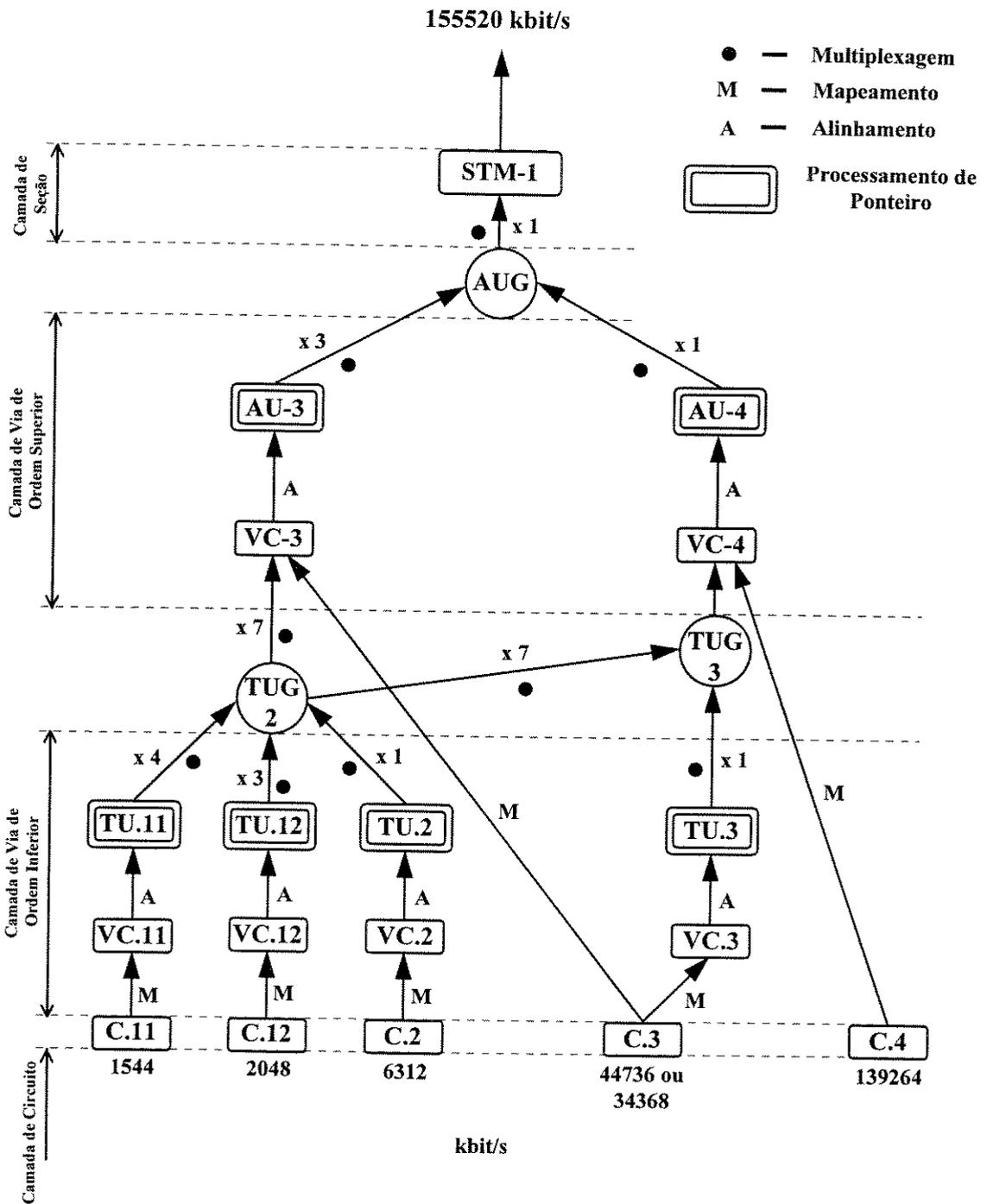


Figura A.2: Estrutura de multiplexação da SDH.

A combinação de um VC de Ordem Inferior e um ponteiro é denominada Unidade Tributária (Tributary Unit - TU). Estão definidas as seguintes TU's: TU-11, TU-12, TU-2 e TU-3.

As TU's podem ser arranjadas em grupos ordenados denominados Grupamento de Unidades Tributárias (Tributary Unit Group - TUG). Nesse nível, o processamento envolvido é a multiplexação dos sinais das TU's. Os TUG's definidos são: TUG-2 e o TUG-3.

No próximo nível da estrutura de multiplexação estão os containers Virtuais de Ordem Superior (VC-S). Os containers de Ordem Superior são obtidos através da multiplexação de TUG's e da adição de uma Carga de Supervisão de Rota (POH). Os VC-S padronizados são o VC-3 e o VC-4.

Uma vez obtidos esses containers, ponteiros são adicionados a essas estruturas para indicar a localização do primeiro byte desses VC's dentro do STM-1, gerando uma "Unidade Administrativa" (Administrative Unit - AU). Estão definidas a AU-3 e a AU-4. A organização da carga útil de um STM-1 em três AU-3 ou em uma AU-4 é denominado Grupamento de Unidades Administrativas (Administrative Unit Group - AUG).

Adicionando-se a carga Útil (AUG) à Carga de Supervisão de Seção (SOH) obtém-se o quadro STM-1.

No Brasil a formação de qualquer STM tem como ponto de partida as taxas plesiócronas de 2048, 34368 e 139264 kbit/s (containers C-12, C-3 e C-4 respectivamente), seguindo sempre em direção a formação do VC-4 e assim sucessivamente até alcançar o STM.

Esses são os princípios da multiplexação síncrona. A seguir é discutido a formação do módulo de transporte STM-1.

### **A.3.1 Formação do Módulo de Transporte STM-1**

O STM-1 pode ser gerado a partir de VC's-3 ou de um VC-4. Estes, por sua vez, podem ter sido originados de qualquer um dos containers de acordo com a hierarquia já apresentada anteriormente (figura A.2). No Brasil, segue-se a hierarquia européia no que se refere as taxas de bits de sistemas plesiócronicos, o que conduz a utilização dos containers C-12, C-3 e o C-4, seguindo sempre em direção à formação do container virtual VC-4, no que diz respeito a estrutura de multiplexação da SDH.

A título ilustrativo, apresentaremos a formação de um STM-1 a partir de um container C-4, como apresentado na figura A.3.

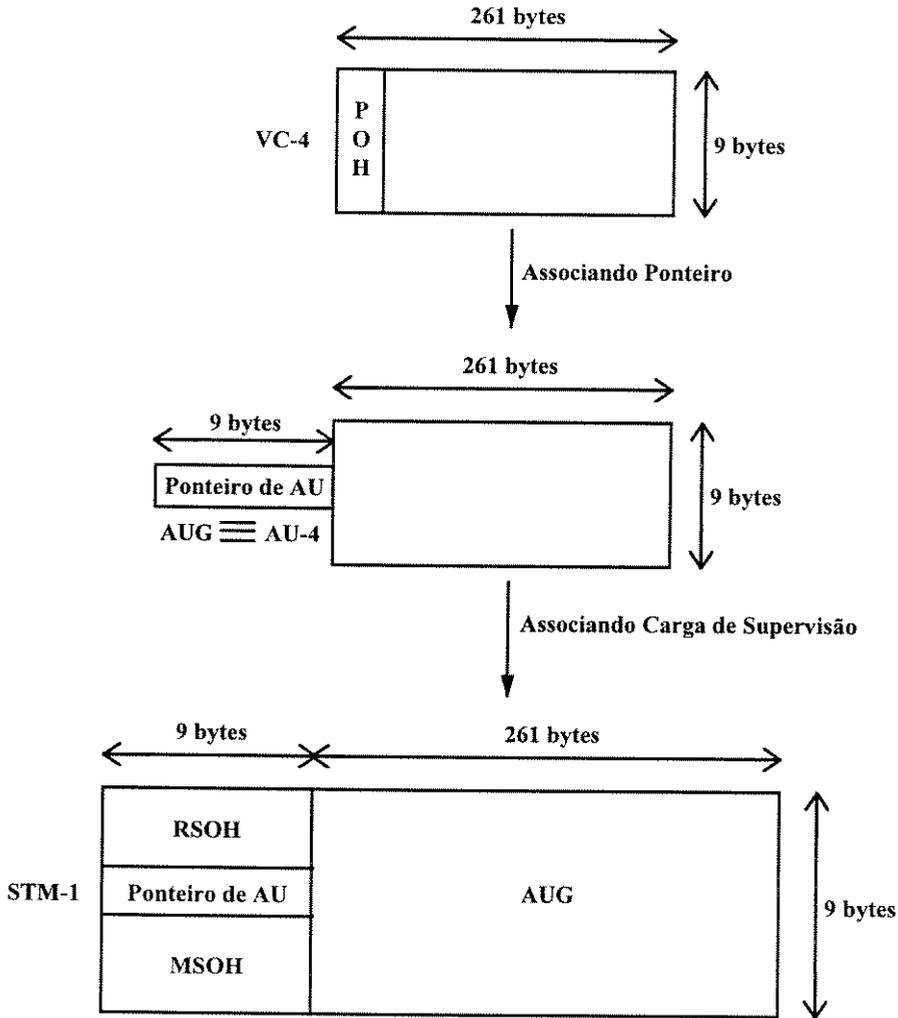


Figura A.3: Formação de um STM-1 a partir de um VC-4.

Um sinal de tributário de 139264 kbit/s é mapeado dentro de um container C-4 e a seguir uma coluna (9 bytes) contendo o POH de ordem superior é adicionada ao mesmo, formando o VC-4 com 2349 bytes (9x261). Na próxima etapa, um ponteiro de 9 bytes é associado ao VC-4 gerando o AU-4. Esse ponteiro indica a localização do primeiro byte do VC-4 dentro do STM-1, possibilitando que o VC-4 “flutue” (não possua fase fixa) no quadro.

A estrutura do AU-4 coincide com a do AUG. Assim, acrescentando-se os bytes de SOH ao AU-4 forma-se um STM-1. A seguir, na figura A.4, serão apresentadas as estruturas contendo os bytes de SOH do quadro STM-1 e POH do container VC-4.

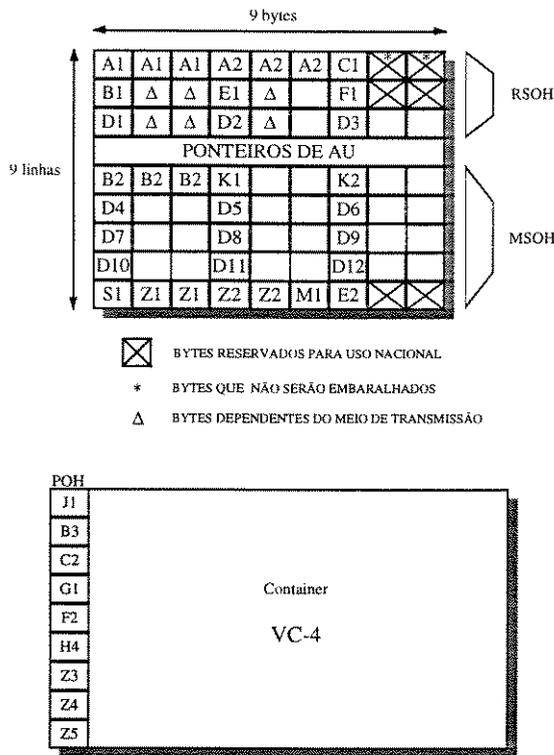


Figura A.4: Estrutura do SOH (RSOH e MSOH) e POH do VC-4.

## A.4 Estrutura de Quadro do STM-N

A estrutura de quadro do STM-N é obtida basicamente, através da multiplexação de N cargas úteis de informação de um módulo STM-1, como ilustra a figura A.5. Na figura o primeiro bit do primeiro byte do quadro está localizado no topo esquerdo. O segundo bit está imediatamente atrás e assim sucessivamente até a leitura de 8N bits, onde N é a ordem de multiplexação (1, 4 ou 16). O bit (8N+1) está localizado na frente novamente, na segunda coluna do primeiro STM. Além da carga útil, o STM-N também contém informações para supervisão (SOH). Assim da mesma forma que a estrutura do quadro STM-1, o quadro do STM-N também possui três partes: Área de Supervisão de Seção (Section Overhead - SOH), Ponteiro (s) de AU e Carga Útil (N x AUG's).

A SOH é dividida em duas partes:

- Área de Supervisão da Seção de Regeneração (Regenerator Section Overhead - RSOH) - localizada nas linhas 1 a 3 e colunas 1 a 9xN;
- Área de Supervisão da Seção Multiplex (Multiplex Section Overhead - MSOH) - localizada nas linhas 5 a 9 e colunas 1 a 9xN;

O conteúdo das informações da SOH de um STM-N é específico para cada N. Certos bytes do SOH são replicados em todos os STM's enquanto outros aparecem apenas em um dos STM's, denominado líder.

A carga útil de um STM-N é composta de  $N \times \text{AUG}$ , sendo que cada AUG pode conter 3 AU-3 ou 1 AU-4, conforme já foi mencionado.

Os ponteiros de AU estão localizados na linha 4 e colunas 1 a  $9 \times N$ , existindo um ponteiro para cada AU contido na carga útil.

A título ilustrativo, é demonstrado a seguir a formação de um módulo de transporte STM-4 ( $N=4$ ), bem como um esquemático do quadro apresentado de uma maneira plana (pois como vimos em A.5, os bits do super quadro são intercalados um a um).

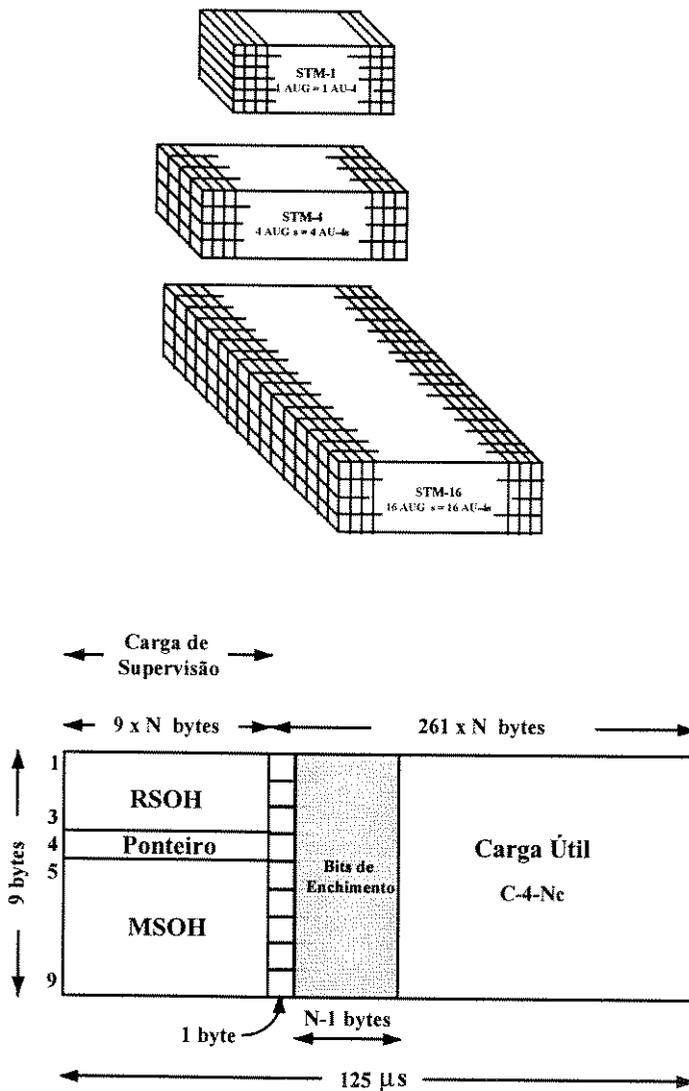


Figura A.5: Estrutura de quadro do STM-N.

### A.4.1 Formação do Módulo de Transporte STM-4

Para a formação do módulo de transporte STM-4 é utilizado um processo denominado concatenação com o objetivo de transportar cargas úteis que exijam uma capacidade de bytes maior que a oferecida pelo container C-4 (C-4-Xc, onde X é o número de concatenações realizadas). Tal processo, consiste no agrupamento de 4 containers C-4 (formação do STM-4), ao qual é denominado C-4-4c (4 concatenado), cuja a capacidade é de 4 vezes a de um container C-4 ( $4 \times 149760 \text{ kbit/s} = 599040 \text{ kbit/s}$ ). O VC-4-4c é obtido a partir da adição do byte de POH (1 coluna de 9 bytes) juntamente com os bytes de enchimento (stuff bits - 3 colunas de 9 bytes) ao container C-4. Em seguida, ponteiros (colunas de 9 bytes) são adicionados aos VC's concatenados (1 para cada VC), sendo que o primeiro possui o valor normal de ponteiro e os demais possuem uma indicação de concatenação (através de um indicador específico nos bytes de ponteiro) para mostrar que a carga útil é um "multi C-4" e obtém-se assim, o AU-4-4c. Essa estrutura é coincidente com os 4 AUG's intercalados byte a byte, desta forma acrescentando o SOH à mesma obtém-se o STM-4 como mostra a figura A.6.

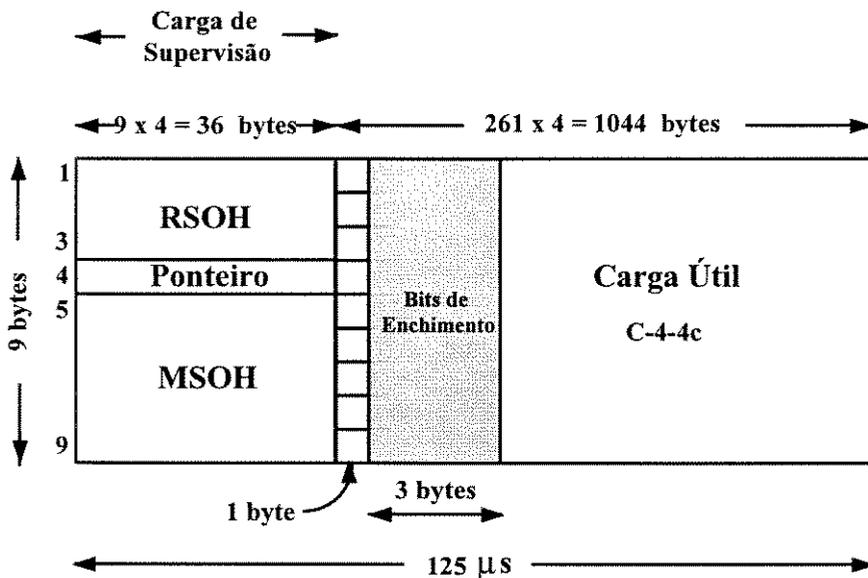


Figura A.6: Estrutura de quadro do STM-4 (representação plana).

## A.5 Mapeamento de Sinais ATM no Quadro SDH

Um feixe de células ATM pode ser mapeado em containers virtuais do tipo VC-4 e VC-4Xc, VC-3, VC-2 e VC-2mc, VC-12 e VC-11. Antes de serem mapeadas nos containers, as células ATM passam por uma interface onde a taxa de células é adaptada à taxa da SDH, células vazias são inseridas quando a taxa de transmissão é baixa e o fluxo de entrada é controlado quando a taxa de transmissão é alta. Desta forma, o fluxo de células torna-se síncrono com o VC. Além disso, o cálculo do HEC (Header Error Control) de cada célula deve ser efetuado e o valor obtido deve ser inserido no campo específico de cada célula. O campo de informações (48 bytes) de cada célula deve ser embaralhado antes do mapeamento. Um embaralhador síncrono com polinômio gerador  $x^{43} + 1$  deve ser utilizado. O embaralhador deve operar somente sobre os bytes de informação da célula. No processo de desmapeamento, o cálculo do HEC deve ser refeito para encontrar a delimitação das células. Este método é similar à convencional recuperação de alinhamento de quadro onde a palavra de alinhamento não é fixa (de acordo com o capítulo 3).

Após o processo de mapeamento das células ATM todo o quadro SDH (STM-N), com exceção da palavra de alinhamento de quadro e alguns bits reservados a aplicação nacional (1ª linha do SOH, no quadro SDH) é submetido a um novo embaralhamento, denominado Embaralhamento Síncrono de Quadro (Frame Synchronous Scrambler - FSS).

Não sendo objetivo deste apêndice demonstrar todos os mapeamentos possíveis de células ATM dentro de um quadro STM, mas sim, mostrar a estrutura de quadro das interfaces para as taxas de 155520 kbit/s (STM-1) e 622080 kbit/s (STM-4) como mencionado no capítulo 3 (seção 3.3.2.2.2), será ilustrado aqui apenas o mapeamento das células nos VC-4 e VC-4Xc.

### A.5.1 Mapeamento de Células ATM no VC-4

O fluxo de células ATM é mapeado em um C-4 com os limites de seus bytes alinhados com os limites dos bytes do respectivo container. A seguir, bytes de POH são adicionados aos containers gerando o VC-4, conforme mostra a figura A.7. Devido a capacidade do C-4 (2430 bytes) não ser um múltiplo inteiro do comprimento da célula (53 bytes) uma célula pode cruzar os limites de C-4.

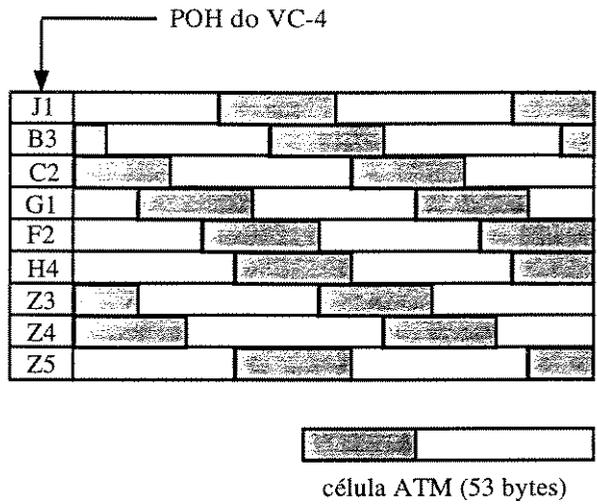


Figura A.7: Mapeamento de células no VC-4.

### A.5.2 Mapeamento de Células ATM no VC-4-Xc

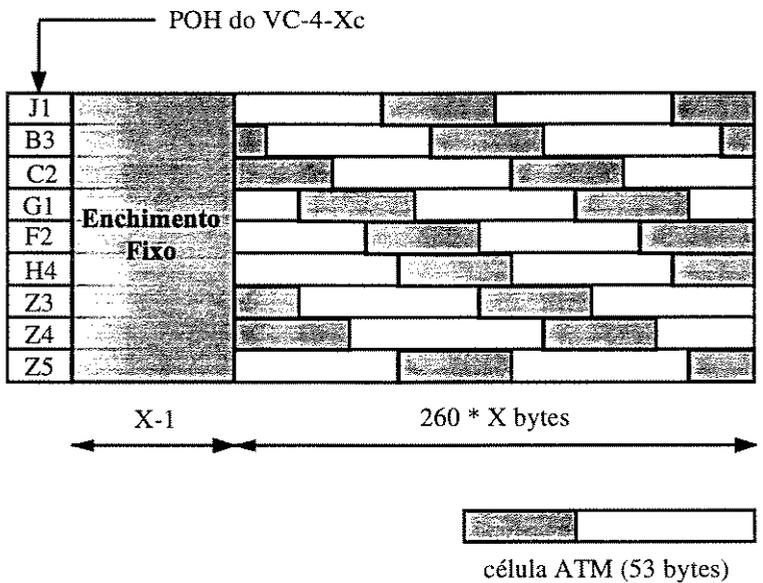


Figura A.8: Mapeamento de células ATM no VC-4-Xc.

O fluxo de células ATM é mapeado em um C-4-Xc com os limites de seus bytes alinhados aos limites dos bytes do C-4-Xc. A seguir, bytes de POH e X-1 (colunas de enchimento fixo) são adicionados conforme mostra a figura A.8. Devido a capacidade do C-4-Xc (2430.X bytes) não ser um múltiplo inteiro do comprimento da célula (53 bytes), uma célula pode cruzar os limites do C-4-Xc.

## A.6 Estrutura da Interface PDH

Por motivos de padronização, o ITU-T elaborou uma série de recomendações para definir os métodos de multiplexação e interfaces entre os sistemas da PDH, possibilitando a comunicação mundial. A base para os sistemas de alta ordem foram os sinais de 1544 kbit/s e 2048 kbit/s. Na Europa, o último sistema foi adotado e os sistemas de ordem superior desta hierarquia são obtidos através da multiplexação de 4 sistemas da hierarquia imediatamente inferior. Assim, as taxas definidas foram: 2048 kbit/s, 8448 kbit/s, 34368 kbit/s e 139264 kbit/s. A figura A.9 ilustra o processo.

No multiplexador, os 4 feixes de entrada, também denominados tributários, são combinados através de um único feixe de saída através do entrelaçamento dos bits dos quatro feixes. O demultiplexador executa o processo reverso. O feixe de saída possui uma velocidade superior a quatro vezes a velocidade de cada tributário. Uma razão para isto é que o feixe de alta ordem necessita de uma palavra de alinhamento de quadro e alguns canais de serviço para supervisão e manutenção. Além disso, alguns bits são reservados para se compensar diferenças de frequência entre os tributários e o relógio do multiplexador. Isto ocorre devido a cada tributário operar apenas com seu relógio interno, ou seja, de modo plesiócrono. Para compensar as diferenças de frequências entre os feixes, bits de enchimento são inseridos no feixe multiplexado, juntamente com bits de controle. Esses bits de controle são utilizados pelo demultiplexador para executar o processo de demultiplexação sem perda de informação. O processo descrito é denominado justificação positiva. A estrutura de quadro para as diferentes taxas, baseadas nas recomendações do ITU-T, é mostrada na figura A.10.

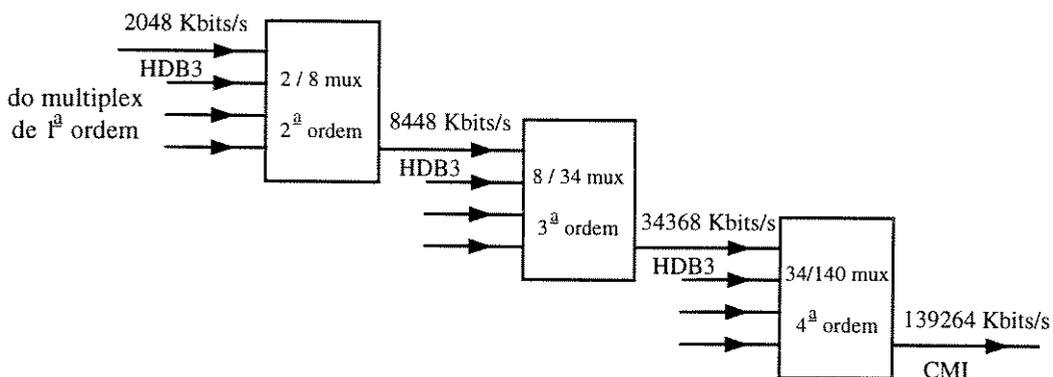


Figura A.9: Estrutura de multiplexação da PDH.

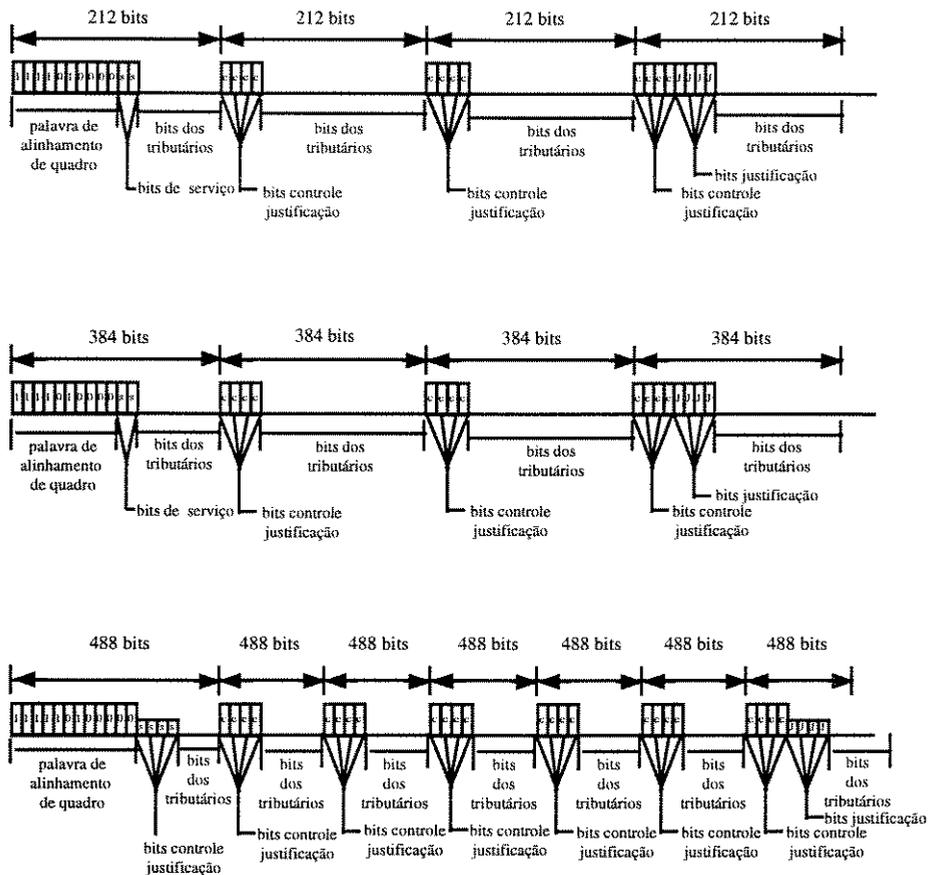


Figura A.10: Estrutura de quadro da PDH.

### A.6.1 Mapeamento de Sinais ATM na PDH

Neste item são mostrados os tipos de mapeamento utilizados para o transporte das células ATM sobre as diferentes taxas da PDH baseada em 2048 kbit/s, que é a hierarquia utilizada no Brasil. É possível também transportar células ATM sobre a PDH baseada na taxa de 1544 kbit/s.

De modo similar ao mapeamento ATM em SDH, o fluxo de células também deve ser adaptado antes de ser mapeado na estrutura de quadro da PDH, inserindo-se células vazias quando a taxa de células é baixa ou controlando-se a fonte, quando a taxa de células está muito alta. Dessa forma, o fluxo torna-se constante e à mesma taxa de bits do quadro onde ele será mapeado. Além disso, o cálculo do HEC (Header Error Control) de cada célula deve ser efetuado e o valor obtido deve ser inserido no campo específico de cada célula. O campo de informações (48 bytes) de cada célula deve ser embaralhado antes do mapeamento. Um embaralhador síncrono com polinômio gerador  $x^{43} + 1$  deve

ser utilizado. O embaralhador deve operar somente sobre os bytes de informação da célula. No processo de desmapeamento, o cálculo do HEC deve ser refeito para se encontrar a demarcação das células (ver capítulo 3 - item referente a demarcação de Células ATM).

### A.6.1.1 Mapeamento de Células ATM no Sinal de 2048 kbit/s

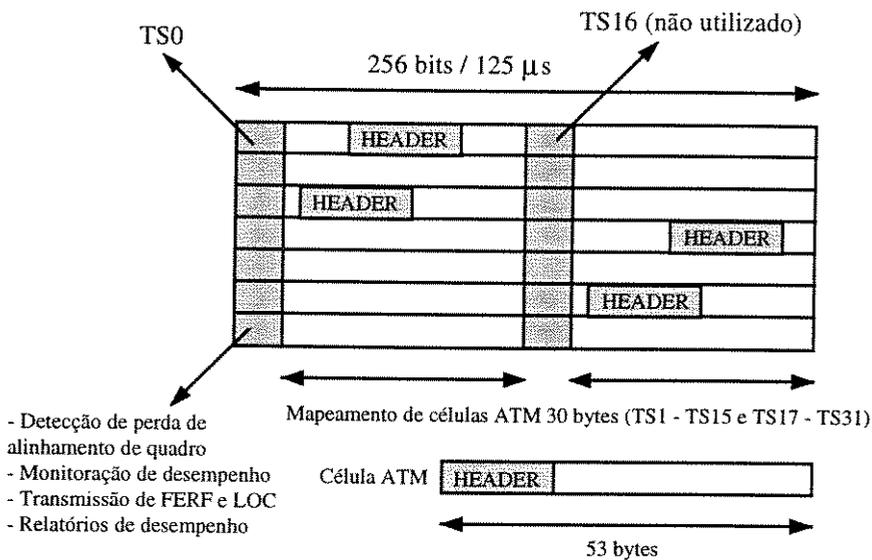


Figura A.11: Mapeamento de células ATM em 2048 kbit/s.

A estrutura básica do quadro de 2048 kbit/s e o mapeamento das células ATM neste quadro estão mostradas na figura A.11. Conforme ilustra a figura, a célula é mapeada nos bits 9 a 128 e bits 137 a 256 (canais 1 a 15 e 17 a 31) do quadro de 2048 kbit/s, sendo que os bytes da célula são alinhados aos bytes do quadro.

### A.6.1.2 Mapeamento de Células ATM no Sinal de 34368 kbit/s

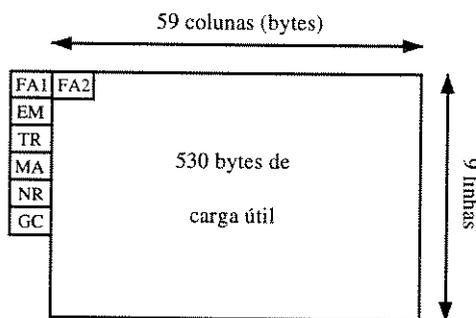
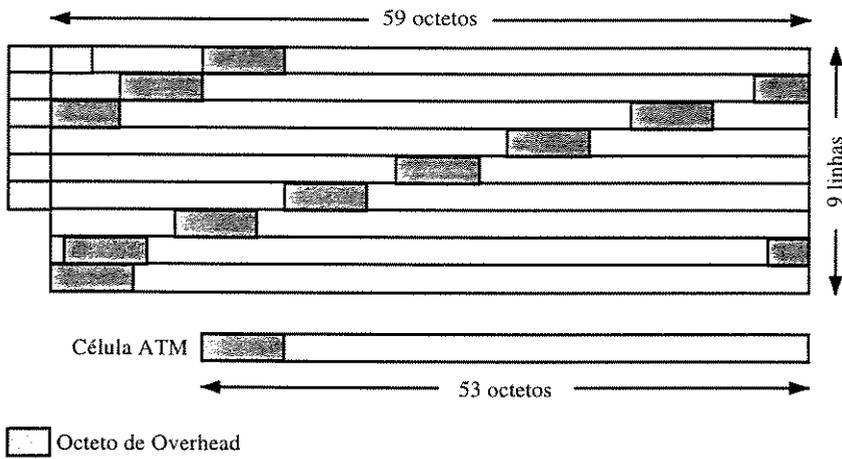


Figura A.12: Estrutura de quadro à 34368 kbit/s para transporte ATM.

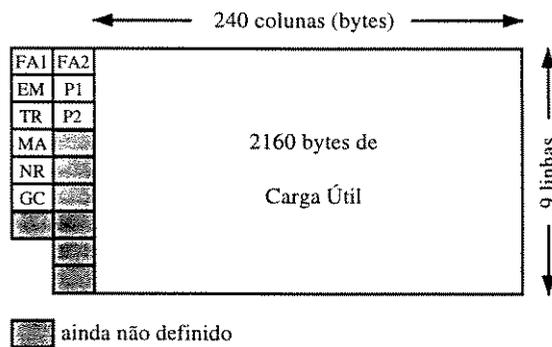


**Figura A.13: Mapeamento de células ATM em 34368 kbit/s.**

A estrutura básica do quadro de 34368 kbit/s está mostrada na figura A.12. Esta estrutura consiste de 7 bytes de supervisão e gerenciamento e 530 bytes de carga útil a cada 125  $\mu$ s. As células ATM são mapeadas nos 530 bytes de carga útil do quadro de 34368 kbit/s, conforme mostra a figura A.13, sendo que os bytes das células são alinhados aos bytes da estrutura de quadro.

### A.6.1.3 Mapeamento de Células ATM no Sinal de 139264 kbit/s

A estrutura básica do quadro a 139264 kbit/s está mostrada na figura A.14. Esta estrutura consiste de 2160 bytes de carga útil e 16 bytes reservados para supervisão e gerenciamento. As células ATM são mapeadas em 2160 bytes de carga útil do quadro de 139264 kbit/s, sendo que os bytes das células são alinhados aos bytes da estrutura de quadro, conforme a mostra a figura A.15.



**Figura A.14: Estrutura de quadro à 139264 kbit/s para transporte ATM.**

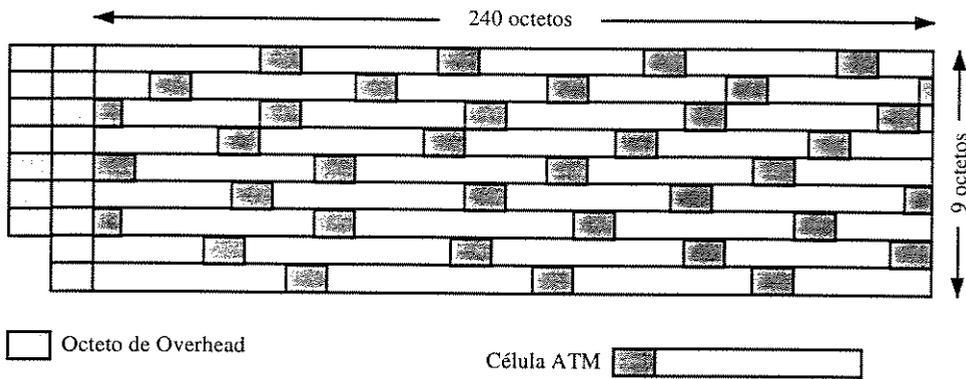


Figura A.15: Mapeamento de células ATM em 139264 kbit/s.

#### A.6.1.4 Alocação de Overheads para os Mapeamentos de 34368 e 139264 kbit/s

Os valores e alocações dos bytes de overhead são mostradas nas figuras A.16 e A.17 para os mapeamentos de 34368 e 139264 kbit/s respectivamente, e descritos a seguir.

##### FA1/FA2

Estes bytes são utilizados para a palavra de alinhamento de quadro, que possui o mesmo padrão dos bytes de A1/A2 definidos na recomendação G.708 [ITU-T, G.708], para o quadro SDH. (overhead do quadro SDH).

##### EM

É utilizado para a monitoração de erros (Error Monitoring - EM). Um byte é alocado para esta função que é implementada utilizando o código BIP-8 com paridade par. Este código é calculado sobre todos os bits, incluindo sobre os bits de overhead, do quadro anterior. O valor do BIP-8 calculado é alocado no byte EM do quadro atual.

##### TR

Rastreio de Rota (Trail Trace - TR). Este byte é usado para transmitir repetitivamente um identificador do um ponto de acesso de rota, de modo que o terminal de recepção possa verificar a continuidade da conexão em relação ao transmissor. Este identificador deverá utilizar o formato definido na recomendação G.831 [ITU-T, G.831]. É definido um quadro de 16 bytes para a sua transmissão como descrito pela G.832 [ITU-T, G.832].

**MA**

Byte de Adaptação e Manutenção (Maintenance and Adaptation byte - MA).

**Bit 1**

Bit de indicação de defeito remoto (Remote Defect Indication - RDI).

**Bit 2**

Bit de indicação de erro remoto (Remote Error Indication - REI). Este bit é ativado ao estado lógico "1" e enviado à terminação de rota remota se um ou mais erros forem detectados pelo código BIP-8 (calculado no receptor), caso contrário é ativado ao valor "0".

**Bits 3 a 5**

Bits de indicação do tipo de carga útil (Payload Type - PT). Para cada tipo de sinal transportado dentro do quadro PDH, existe um padrão específico destes bits que é alocado dentro do byte de MA.

Código do sinal para o quadro de 34368 kbit/s:

- 000 - Não equipado (sem carga útil)
- 001 - Equipado (carga não especificada)
- 010 - ATM
- 011 - SDH : 14 x TU-12 mapeados

Código do sinal para o quadro de 139264 kbits/s:

- 000 - Não equipado (sem carga)
- 001 - Equipado (carga não especificada)
- 010 - ATM
- 011 - Mapeamento de elementos SDH tipo I: 20 x TUG-2
- 100 - Mapeamento de elementos SDH tipo II: 2 x TUG-3 e 5 x TUG-2

**Bit 6 e 7**

Dependente da carga útil. Um exemplo de sua utilização é como indicador de multiquadros de tributários nos mapeamentos de tributários SDH.

**Bit 8**

Marcador de Sincronismo (Timing Marker). Este bit é ativado ao valor lógico "0" para indicar que o sincronismo da fonte é determinado pelo Relógio de Referência Primário, e ativado ao valor "1" caso contrário.

**NR**

Byte de Operador de Rede (Network Operator). Este byte é alocado para fins de manutenção específica de operadores de rede individuais. Sua transparência entre terminações de rota não é garantida. Nos casos em que este byte é modificado num ponto intermediário da rota, o byte EM deve ser corrigido apropriadamente para garantir a integridade da monitoração de desempenho.

Para a Manutenção de Conexão Tandem, o byte é alocado como segue:

- bits de 1 a 4 - são utilizados como contador de erro do sinal de entrada (com o MSB<sup>1</sup> do IEC<sup>2</sup> no bit 1);
- os bits de 5 a 8 são usados como canal de comunicação.

**GC**

Canal de comunicação para fins gerais (General Purpose Communications Channel - GC). Um exemplo da utilização deste canal, é o fornecimento de uma conexão de canal de voz/dados para fins de manutenção.

**P1/P2**

Comutação Automática de Proteção (Automatic Protection Switching). Com funções semelhantes aos bytes K1 e K2 do overhead dos quadros SDH.

---

<sup>1</sup> MSB - Most Significant Bit - indica o bit mais significativo.

<sup>2</sup> IEC - Incoming Error Count - Contador de erro de entrada.

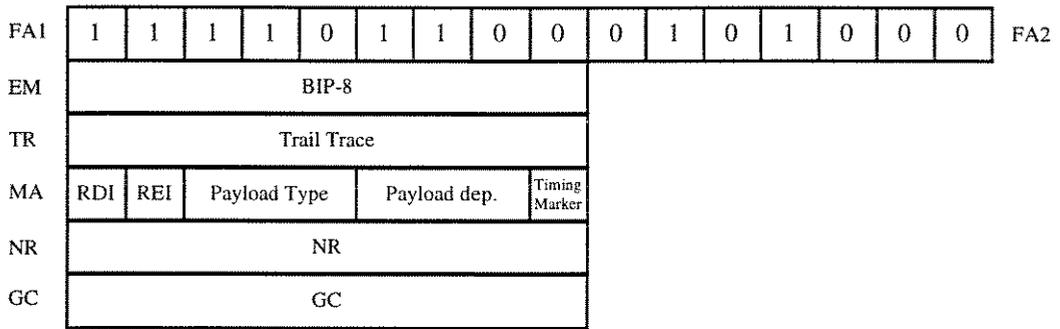


Figura A.16: Overhead do quadro de 34368 kbit/s.

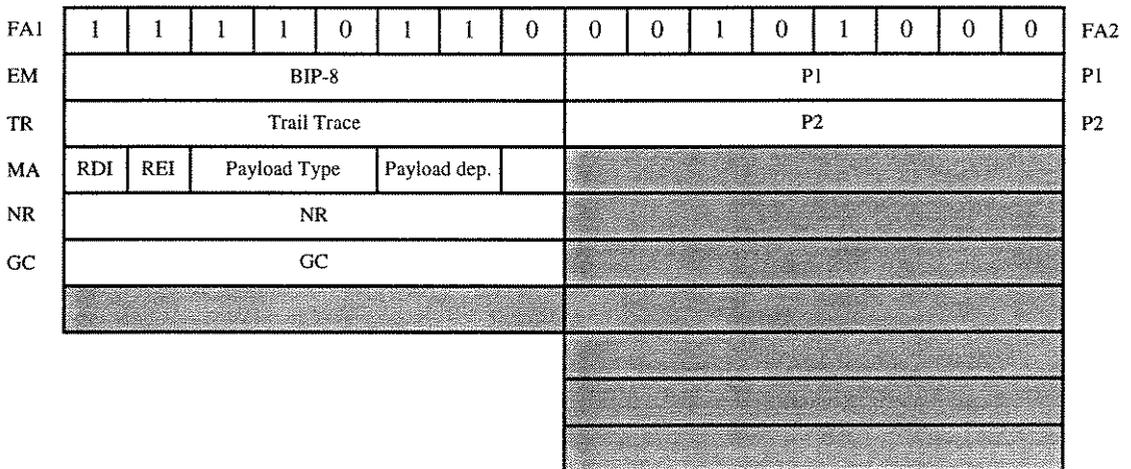


Figura A.17: Overhead para o quadro de 139264 kbit/s.

# Lista de Acrônimos

AAL	ATM Adaptation Layer
AL	Alignment Field
ANSI	American National Standards Institute
ATM	Asynchronous Transfer Mode
AU	Administrative Unit
AUG	Administrative Unit Group
B-ISDN	Broadband Integrated Services Digital Network
B-NT1	Broadband Network Termination 1
B-NT2	Broadband Network Termination 2
B-TA	Broadband Terminal Adapter
B-TE1	Broadband Terminal Equipment 1
B-TE2	Broadband Terminal Equipment 2
BER	Bit Error Rate
BIP	Bit Interleaved Parity
BOM	Begin of Message
CATV	Community Antenna Television
CBR	Constant Bit Rate
CCITT	Comité Consultatif International Télégraphique et Téléphonique
CEC	Cell Error Control
CLP	Cell Loss Priority
CLS	Connectionless Servers
CMI	Coded Mark Inversion
COM	Continuation of Message
CPCS	Common Part Convergence Sublayer
CPI	Common Part Indicator
CRC	Cyclic Redundancy Check
CS	Convergence Sublayer
CSI	CS indication

---

DQDB	Distributed Queue Dual Bus
DSS	Distributed Sample Scrambler
EB	Errored Blocks
EDC	Error Detection Code
EOM	End of Message
ETSI	European Telecommunications Standards Institute
FDDI	Fiber Distributed Data Interface
FEBE	Far End Block Error
FSS	Frame Synchronous Scrambler
GFC	Generic Flow Control
HDB3	High Density Bipolar of order 3
HEC	Header Error Check (Correction/Code)
IBCN	Integrated Broadband Communications Network
IP	Internet Protocol
IT	Information Type
ITU-T	International Telecommunications Union - Sector Telecommunications
IWU	Interworking Unit
LCD	Loss of Cell Delineation
LI	Length Indicator
LOF	Loss Of Frame
LOM/LMF	Loss Of Maintenance flow/Loss of Maintenance Flow
LOP	Loss Of Pointer
LOS	Loss Of Signal
MA	Medium Access
MBS	Monitoring Block Size
MID	Multiplexing Identifier
MS-AIS	Multiplex Section Alarm Indication Signal
MS-RDI	Multiplex Section Remote Defect Indication
MSOH	Multiplex Section Overhead
N-ISDN	Narrowband Integrated Services Digital Network
NIC	Number of Included Cells
NMB	Number of Monitored Blocks

---

NNI	Network to Network Interface
NRZ	Non Return to Zero
OAM	Operation, Administration and Maintenance
OSI	Open Systems Interconnection
PCI	Protocol Control Information
PDH	Plesyochronous Digital Hierarchy
PDU	Protocol Data Unit
PLOAM	Physical Layer OAM
PM	Physical Medium
POH	Path Overhead
PRBS	Pseudo Random Binary Sequence
PRM	Protocol Reference Model
PSN	PLOAM sequence Number
PT	Payload Type
PTI	Payload Type Indicator
RAI	Remote Alarm Indication
RSOH	Regenerator Section Overhead
RTS	Residual Time Stamp
S-AIS	Section Alarm Indication Signal
S-RDI	Section Remote Defect Indication
SAAL	Signalling AAL
SAP	Service Access Point
SAR	Segmentation And Reassembly
SDH	Synchronous Digital Hierarchy
SDU	Service Data Unit
SEAL	Simple and Efficient Adaptation Layer
SN	Sequence Number
SNP	Sequence Number Protection
SOH	Section Overhead
SONET	Synchronous Optical Network
SRG	Sequence Random Generator
SSCS	Service Specific Convergence Sublayer

---

SSM	Single Segment Message
SSS	Self Synchronous Scrambler
ST	Segment Type
STM	Synchronous Transport Module
STS	Synchronous Transport Signal
TBD	To Be Determined
TC	Transmission Convergence Sublayer
TCP	Transport Control Protocol
TE	Terminal Equipment
TMN	Telecommunication Management Network
TP-AIS	Transmission Path Alarm Indication Signal
TP-RDI	Transmission Path Remote Defect Indication
TPCA	Transmissão Pura de Células ATM
TU	Tributary Unit
TUG	Tributary Unit Group
UNI	User Network Interface
VBR	Variable Bit Rate
VC	Virtual Container
VCC	Virtual Channel Connection
VCI	Virtual Channel Identifier
VCL	Virtual Channel Link
VPC	Virtual Path Connection
VPI	Virtual Path Identifier
VPL	Virtual Path Link

# Referências Bibliográficas

- [De Prycker 93] De Pricker, M., *“Asynchronous Transfer Mode: Solution for Broadband ISDN”*, Ellis Horwood, Belgium, 1993.
- [Haykin 88] Haykin, S., *“Digital Communications”*, John Willey & Sons, Inc, 1988, pp 389-390.
- [Jain/Agrawala 93] Jain, B. N.; Agrawala, A. K.; *“Open System Interconnection - It's Architecture and Protocols”* Revised Edition - McGraw-Hill Series on Computer Communications, 1993.
- [Kim 94] Kim, Y. S.; Choi, S. I., Park, H. S., *“Implementation of Parallel DSS for Cell-based ATM Physical Layer”*, Proceedings of 1994 IEEE International Conference on Communications, 1994.
- [Lee 94] Lee, B. G.; Kim, S.C., *“Synchronization of Shift Register Generators in Distributed Sample Scramblers”*, IEEE Transactions on Communications”, vol 42, February/March/April, 1994.
- [Lin 70] Lin, S., *“An Introduction to Error Correcting Codes”*, Prentice-Hall Inc., Englewood Cliffs, New Jersey, 1970.
- [Merkey 84] Merkey, P.; Posner, C. E., *“Optimum Cyclic Redundancy Codes for Noisy Channels”*, IEEE Transaction Information on Theory, it-30, nº 6, November, 1984, pp 865-867.
- [Scarabucci 94] Scarabucci, R. R., *“Introdução às Redes Síncronas”*, apostila de curso ministrado a profissionais da Alcatel Telecomunicações S.A., Outubro, 1994.
- [Shooman 68] Shooman, M. L., *“Probabilistic Reliability: an Engineering Approach”*, McGraw-Hill, Inc., New Jersey, 1968.
- [Soares 95] Soares, L. F. G., *“Redes de Computadores: Das Lans, Mans e Wans às redes ATM”*.  
Luis Fernando Gomes Soares, Guido Lemos, Sérgio Colcher - Rio de Janeiro: Campus, 1995.

- [Verhoff 87] Verhoff, T., "*An Updated Table of Minimum Distance Bounds for Binary Linear Codes*", IEEE Transactions on Information Theory, vol. it-33, nº 5, September, 1987.

## Recomendações

- [ITU-T, G.652] ITU-T Recommendation G.652, "*Characteristics of a Single-Mode Optical Fiber Cable*", March, 1993.
- [ITU-T, G.703] ITU-T Recommendation G.703, "*Physical/Electrical Characteristics of Hierarchical Digital Interfaces*", April 1991.
- [ITU-T, G.704] ITU-T Recommendation G.704, "*Synchronous Frame Structure Used at 1544, 6312, 2048, 8448 e 44736 kbit/s Hierarchical Level*", July, 1995.
- [ITU-T, G.706] ITU-T Recommendation G.706, "*Frame Alignment and Cyclic Redundancy Check (CRC) Procedures Relating to Basic Frame Structures Defined in Recommendation G.704*", April, 1991.
- [ITU-T, G.707] ITU-T Recommendation G.707, "*Synchronous Digital Hierarchy Bit Rates*", July 1992.
- [ITU-T, G.708] ITU-T Recommendation G.708, "*Network-Node Interface for the Synchronous Digital Hierarchy*", July 1992.
- [ITU-T, G.709] ITU-T Recommendation G. 709, "*Synchronous Multiplexing Structure*", July, 1992.
- [ITU-T, G.804] ITU-T Recommendation G.804, "*ATM Cell Mapping into Plesyochronous Digital Hierarchy (PDH)*", November, 1993.
- [ITU-T, G.832] ITU-T Recommendation G.832, "*Transport of SDH Elements on PDH Networks - Frame and Multiplexing Structures*", November, 1995.
- [ITU-T, G.957] ITU-T Recommendation G.957, "*Optical Interface for Equipments and Systems Relating to The Synchronous Digital Hierarchy*", March, 1993.
- [ITU-T, I.320] ITU-T Recommendation I.320, "*ISDN Protocol Reference Model*", March 1-12, 1993.
- [ITU-T, I.321] ITU-T Recommendation I.321, "*B-ISDN Protocol Reference Model and its Application*", April 5, 1991.

- [ITU-T, I.361] ITU-T Recommendation I.361, "*B-ISDN ATM Layer Specification*", March 1-12, 1993.
- [ITU-T, I.362] ITU-T Recommendation I.362, "*B-ISDN ATM Adaptation Layer (AAL) Funcional Description*", March 1-12, 1993.
- [ITU-T, I.363] ITU-T Recommendation I.363, "*B-ISDN ATM Adaptation Layer (AAL) Specification*", March 1-12, 1993.
- [ITU-T, I.411] ITU-T Recommendation I.411, "*ISDN User-Network Interfaces Reference Configurations*", March 1-12, 1993.
- [ITU-T, I.413] ITU-T Recommendation I.413, "*B-ISDN User-Network Interface*", March 1-12, 1993.
- [ITU-T, I.432] ITU-T Recommendation I.432, "*B-ISDN User-Network Interface - Physical Layer Specification*", Draft - November, 1994.
- [ITU-T, I.610] ITU-T Recommendation I.610, "*B-ISDN Operation and Maintenance Principles and Functions*", Draft - November, 1994.