

Campinas, 1992.

# TESE

preparada no

**Laboratório de Eletrônica e Dispositivos - LED  
da Faculdade de Engenharia Elétrica da UNICAMP**

visando a obtenção

**do Título de Mestre em Engenharia Elétrica FEE/UNICAMP**

Especialidade: Eletrônica

por

**Marcus Marchesi Martins**

Engenheiro Elétrico

---

---

## UM REGULADOR DE TENSÃO CMOS PARA APLICAÇÃO AUTOMOTIVA

---

---

Banca Examinadora:

Prof. Dr. José Antonio Siqueira Dias (Orientador) - LED/DEMIC/FEE/UNICAMP.

Prof. Dr. Wilmar Bueno de Moraes - LED/DEMIC/FEE/UNICAMP.

Prof. Dr. Galdenoro Botura Jr. - DEE/FEG/UNESP.

Este exemplar corresponde à versão final da tese  
defendida por Marcus Marchesi Martins  
em defesa perante a Comissão

Julgadora em 18 12 92

*José Antonio Siqueira Dias*  
Presidente

Meus agradecimentos:

A Vértice Sistemas Integrados, em especial a Armando Gomes da Silva Jr, pelo apoio necessário para que este trabalho se concretizasse.

Ao meu orientador José Antônio, pela troca de idéias e informações.

Minha especial gratidão a minha esposa e aos meus pais, pelo incentivo constante.

# ÍNDICE

INTRODUÇÃO	1
CAPÍTULO 1 - O Regulador Shunt como Dispositivo de Regulação e Proteção	3
1.1 - O Ambiente Elétrico Automotivo	3
1.2 - Apresentação do Regulador Shunt	6
CAPÍTULO 2 - Especificações de Projeto	9
CAPÍTULO 3 - Projeto Elétrico	12
3.1 - A referência de Bandgap	12
3.2 - Multiplicação de $V_{REF}$ com Divisor Resistivo	17
3.2.1 - Definição e Cálculo dos Transistores e Resistores	19
3.2.2 - Resultados da Simulação Elétrica	24
3.2.2.1 - Modelos de Simulação	24
3.2.2.2 - Escolha de MR	25
3.2.2.3 - Simulações do Regulador	27
CAPÍTULO 4 - Multiplicação de $V_{REF}$ Através da Soma de $V_{BE}$ 's	40
4.1 - Definição e Cálculo dos Transistores e Resistores	44
4.2 - O Problema da Estabilidade em Frequência	48
4.3 - Resultados da Simulação Elétrica	51
4.3.1 - A Dispersão de Processo	51
4.3.2 - Off-set	59
4.3.3 - A tensão $V_{BAT}$	61
4.3.4 - Os Pulsos de Load-Dump	63

4.3.5 - A Subida de $V_{BAT}$	68
4.3.6 - A Simulação da Estabilidade em Frequência	69
CAPÍTULO 5 - Layout	74
5.1 - Os Transistores Bipolares	74
5.2 - Os Resistores de P-Well	77
5.3 - O Layout Global do Regulador CMOS	79
CAPÍTULO 6 - Resultados Experimentais	84
6.1 - Variação de $V_{DD}$ em Função da Tensão $V_{BAT}$	85
6.2 - Variação de $V_{DD}$ com a Temperatura	86
6.3 - Subida da Tensão $V_{DD}$	87
6.4 - Load Dump	87
CONCLUSÃO	90
REFERÊNCIAS	91

## INTRODUÇÃO

Segundo alguns analistas técnicos, a eletrônica embarcada (automotiva) promete ser o segmento da indústria eletrônica que sofrerá o maior crescimento nos próximos anos. Os novos padrões de controle de emissão de poluentes, segurança e economia de combustível estão impulsionando os fabricantes para uma solução eletrônica, capaz de aliar baixos custos com maior desempenho, funcionalidade, integração, conforto e precisão [1]-[4].

A eletrônica já é parte integrante dos veículos atuais. Alarmes, sistemas de freio ABS, computadores de bordo, injeção eletrônica, piloto automático e a suspensão ativa computadorizada são apenas alguns exemplos, sem falar nos sofisticados sistemas de audio de alta fidelidade e imunidade a ruídos. Hoje estão em andamento projetos de substituição da cabeaçoão elétrica por circuitos multiplexados utilizando fibra óptica, o que significará uma grande mudança na filosofia dos sistemas e dispositivos elétricos envolvidos. Também, em fase de testes, encontramos os sistemas de monitoramento de tráfego (que interligam usuários de veículos a uma central de informações), que são particularmente interessantes em grandes centros onde a ocorrência dos congestionamentos de trânsito é muito comum.

Apesar desse grande desenvolvimento e aperfeiçoamento da eletrônica automotiva e das vantagens e facilidades introduzidas, devemos salientar que o ambiente automotivo é um dos mais agressivos para o funcionamento dos dispositivos eletrônicos, especialmente para os circuitos integrados. Estes podem estar sujeitos a condições extremas de humidade e vibração mecânica, temperaturas de  $-40$  a  $+120^{\circ}\text{C}$ , transientes de tensão com picos que podem ultrapassar  $\pm 100\text{V}$ , tensão de alimentação que pode variar de 6 a 18V, além de outras condições de stress de efeitos também danosos, conforme descreveremos mais adiante.

Dentre as tecnologias de circuito integrado utilizadas na eletrônica embarcada atualmente, a tecnologia MOS tem apresentado grande índice de crescimento, devido a sua

alta velocidade de processamento aliada ao baixo consumo de potência, quesito imprescindível nos equipamentos automotivos. Entretanto os circuitos integrados MOS são os mais susceptíveis às avarias provocadas pelos transientes de tensão e descargas eletrostáticas, necessitando esquemas especiais de proteção.

O regulador de tensão CMOS aqui apresentado vem sugerir uma solução bastante interessante, no que se refere à proteção e ao fornecimento de uma tensão de alimentação estabilizada, para um circuito integrado CMOS digital, de aplicação automotiva. Ele regula e protege a própria alimentação  $V_{DD}$  do integrado, razão pela qual também o designamos de **Regulador Shunt**, uma vez que ele se situa em paralelo com a alimentação. A descrição do seu projeto e implementação é objetivo deste trabalho.

# CAPÍTULO 1

---

## O REGULADOR SHUNT COMO DISPOSITIVO DE REGULAÇÃO E PROTEÇÃO

### 1.1- O AMBIENTE ELÉTRICO AUTOMOTIVO

A alimentação dos circuitos e módulos eletrônicos dentro de um veículo é normalmente fornecida pela bateria, através de longos fios que podem apresentar significativa indutância série. Além disto, esses fios podem estar ligados a diversas cargas indutivas de alta corrente, de tal forma que, se houver um chaveamento dessas correntes, ocorrerão fortes transientes de tensão na linha, o que pode causar a destruição dos componentes que não tiverem a devida proteção [5]-[7].

Outra fonte de possíveis transientes é o alternador responsável pela carga da bateria. O alternador girando numa certa rotação pode ser representado, de maneira simplificada, por uma fonte de corrente dependente  $I_O$ , proporcional a sua corrente de campo  $I_F$ , conforme figura a seguir.

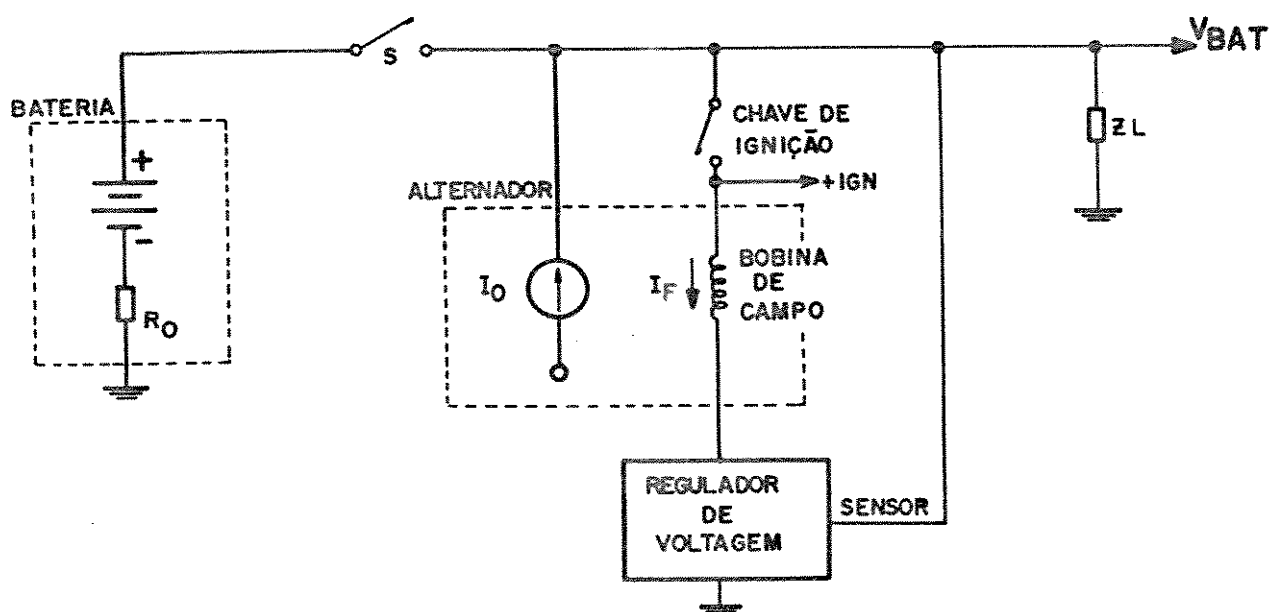


Fig. 1.1 - O sistema elétrico de carga da bateria

Quando a bateria está ligada ao sistema (chave S fechada), um transiente negativo de tensão de alta amplitude pode ocorrer no fio da ignição quando a mesma é desligada, devido ao decaimento da corrente através da bobina de campo e das outras cargas indutivas ligadas ao fio da ignição. Este transiente negativo é conhecido como *field decay* e pode atingir tensões negativas de até 80V e duração de 100ms.

Por outro lado, a ocorrência de pulsos de tensão positiva também é comum. Dentre eles existe um que recebe particular importância, não só pelo seu elevado valor de tensão, que pode chegar a 100V, mas pela sua duração, que pode atingir até 400ms. Este pulso positivo, conhecido como *load dump*, ocorre no fio  $V_{BAT}$  quando a bateria, que apresenta baixa impedância, é desconectada do sistema (por exemplo abrindo a chave S) enquanto o alternador está gerando corrente. Desde que a mudança na impedância vista pelo fio  $V_{BAT}$  pode ser rápida e significativa (variando da impedância  $R_O$  da bateria para impedância de carga  $Z_L$ ), e como a corrente de saída  $I_O$  do alternador permanece praticamente constante durante esta mudança de impedância, pois a corrente  $I_F$  não pode mudar instantaneamente, a tensão  $V_{BAT}$  sofre um brusco aumento, até atingir a condição de tensão de saída de circuito aberto do alternador.



A amplitude do *load dump* depende do nível de excitação da bobina de campo do alternador e da diferença entre  $R_O$  e  $Z_L$ . Será máxima quando o alternador estiver a plena carga (bateria totalmente descarregada) e todos os acessórios (cargas) estiverem desligados no momento em que a bateria é desconectada.

Além dos pulsos de *load dump* e *field decay*, existem outros transientes automotivos [8]-[11] que podem ter picos de tensão acima de  $\pm 200V$ . Porém, são pulsos de pequena duração, portanto de baixa energia, que no nosso caso não representam perigo como os anteriores, pois são passíveis de filtragem.

Outra grave situação ocorre na partida do motor, principalmente quando o motor está frio [5],[7]. Uma partida em condições de baixa temperatura pode drenar uma corrente de até 100A da bateria, devido ao alto torque exigido nestas condições, o que pode provocar uma queda momentânea da tensão da bateria, do seu valor nominal de 12V, para valores próximos de 6V. A figura 2 ilustra o que ocorre com essa tensão numa condição de partida a frio.

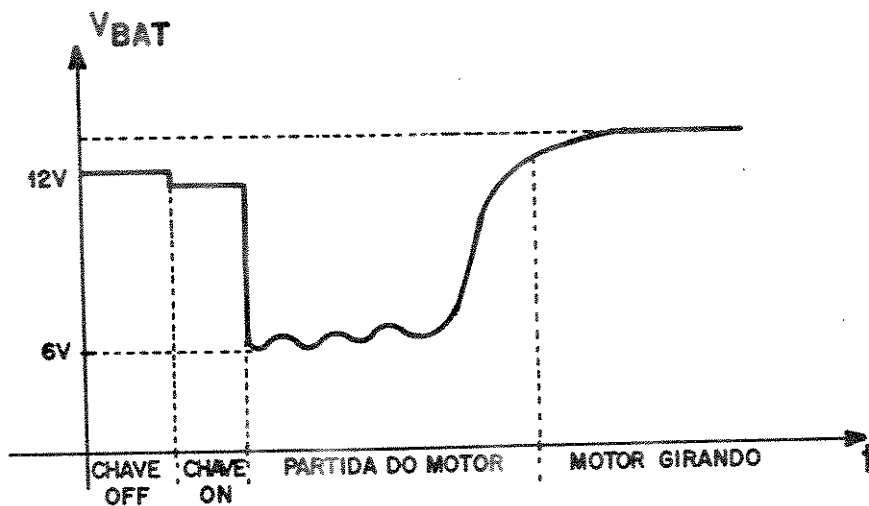


Fig. 1.2 - Tensão da bateria na partida a frio

A própria alimentação nominal  $V_{BAT}$  de 12V está mais associada ao valor apresentado pela bateria quando em repouso. Em operações típicas, com a bateria ligada ao circuito, o sistema de carga regula a saída do alternador para fornecer tensão suficiente para manter a bateria carregada, sob várias condições de temperatura e carga. A tensão  $V_{BAT}$  pode, então,

assumir valores de 12V a valores acima de 15V. Nominalmente, para temperatura e carga típicas, esta tensão está situada próxima de 13,8V.

Em determinadas condições de temperatura muito baixa, principalmente em países da Europa e América do Norte, é comum a utilização de duas baterias em série para estabelecer a partida do motor. Nestas condições, expõe-se os dispositivos eletrônicos à uma tensão de alimentação de 20 a 24V. Por outro lado, uma conexão reversa da bateria é outra situação possível de ocorrer, o que pode impor uma tensão de até -13V DC aos circuitos do veículo.

Todas estas situações de agressão aos componentes elétricos e eletrônicos devem ser levadas em consideração no momento do projeto de tais dispositivos, tendo-se em vista que muitas vezes o conceito de proteção significa a certeza de um perfeito funcionamento não só depois, mas também durante a ocorrência do stress elétrico.

## 1.2- APRESENTAÇÃO DO REGULADOR SHUNT

Uma maneira de se realizar a proteção de um circuito integrado contra os transientes de tensão e contra a inversão de polaridade da bateria é apresentado na figura 1.3 [6],[7].

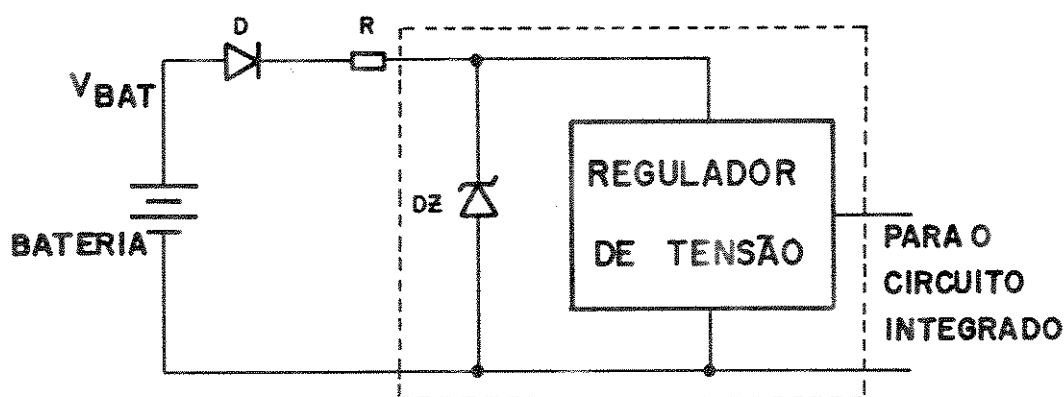


Fig. 1.3 - O circuito de proteção convencional

O diodo D faz a proteção contra os picos negativos e inversão da polaridade da bateria, ao passo que o diodo zener limita os picos positivos da tensão a níveis suportáveis pelo regulador, de tal forma que o CI possa receber uma alimentação limpa e regulada.

O regulador de tensão CMOS proposto aqui seria o equivalente paralelo do diodo zener DZ mais o regulador, conforme destaque em tracejado. Ele, por si só, gera uma alimentação estável e protegida contra os surtos de tensão.

O circuito integrado automotivo, para o qual foi desenvolvido este regulador, é um chip que controla o acionamento dos motores elétricos das travas das portas do veículo. Na figura 1.4 temos um diagrama em blocos simplificado mostrando o regulador CMOS dentro do CI e os componentes externos ligados a ele. Podemos observar que o bloco do regulador shunt está em paralelo com  $V_{DD}$ , substituindo o conjunto zener mais regulador da figura 1.3.

O capacitor C faz parte do processo de filtragem do ruído (sempre presente no ambiente automotivo) e dos transientes de alta frequência e baixa energia. O resistor R também faz parte do filtro, além de limitar a corrente pelo chip.

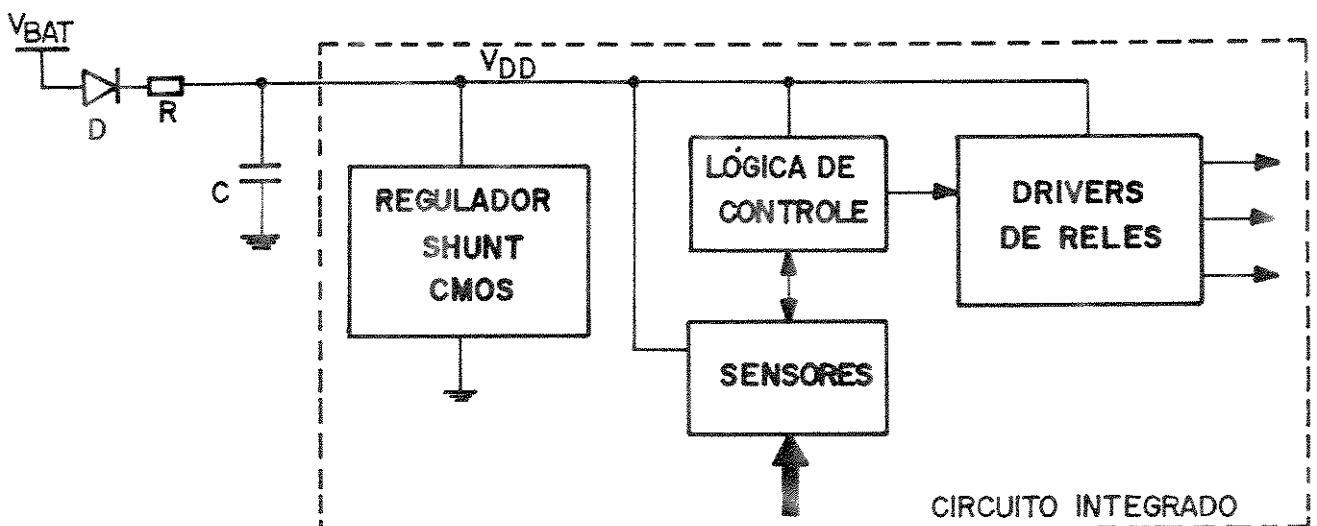


Fig. 1.4 - Diagrama em blocos simplificado do chip

Em alguns casos, onde a tensão  $V_{CC}$  ( $V_{DD}$ ) do circuito deve ser alta, a queda de tensão provocada pelo diodo D e pelo resistor R pode comprometer a alimentação do circuito, principalmente nas partidas a frio quando a tensão  $V_{BAT}$ , como já dissemos, cai a valores bem críticos. No nosso caso esse problema é minimizado, pois a tensão de alimentação a ser gerada é relativamente baixa (+5V).

## CAPÍTULO 2

---

### ESPECIFICAÇÕES DE PROJETO

As especificações do regulador de tensão estão diretamente relacionadas com as especificações globais do circuito integrado. O chip foi projetado utilizando uma tecnologia CMOS, com p-well,  $3\mu\text{m}$ , single poly e single metal, escolhida de acordo com os requisitos dos circuitos da parte digital.

Para maior clareza, podemos dividir o regulador shunt da figura 1.4 em 2 partes, conforme apresentado abaixo.

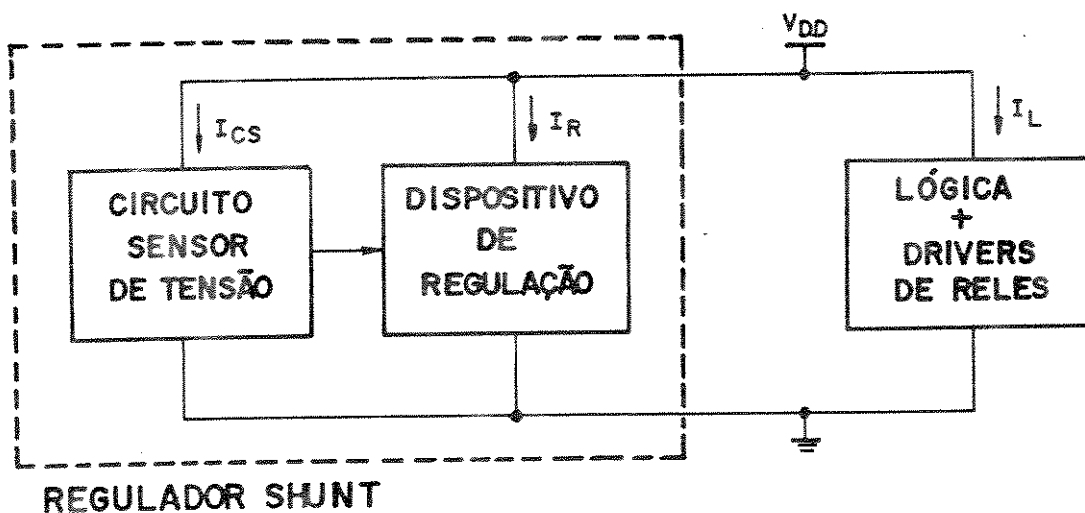


Fig. 2.1 - Circuito sensor e dispositivo de regulação

As especificações do chip determinam, no caso típico, uma tensão de alimentação de 5V e uma corrente DC de 1.3mA. Para satisfazer essas condições, bem como as condições

de consumo da parte lógica e circuitos de drivers de relés, ficou estabelecido que a corrente  $I_{CS}$  máxima, do circuito sensor da tensão  $V_{DD}$ , é  $180\mu\text{A}$ , já considerando as dispersões de processo, tolerâncias de componentes externos (resistores de 5%) e variações de  $V_{BAT}$  e temperatura. Em termos de temperatura de junção, o chip pode trabalhar de  $-35^\circ\text{C}$  a  $+95^\circ\text{C}$ .

Este regulador deve manter a tensão  $V_{DD}$  dentro de  $5\text{V} \pm 10\%$ . Para isto, o dispositivo de regulação trabalha com corrente de acomodação  $I_R$  de 0 a valores próximos de  $15\text{mA}$  (situação de *load dump*), drenando menos ou mais corrente, conforme a necessidade do circuito de carga (lógica + drivers).

Resumindo, podemos apresentar o seguinte quadro de especificações para o regulador shunt CMOS :

TEMPERATURA	$-35^\circ\text{C}$ a $+95^\circ\text{C}$
REGULAÇÃO DE $V_{DD}$	$5\text{V} \pm 10\%$
$I_{CS}$ MÁXIMO	$180\mu\text{A}$ (excluindo dispos. de regulação)
$I_R$ ( DISPOSITIVO DE REGUL.)	0 a $15\text{mA}$
$V_{BAT}$	8 a $18\text{V}$ (normal) $24\text{V}$ (dupla bateria) $6\text{V}$ (partida a frio) - $13\text{V}$ (bateria reversa)
DISPERSÕES DE PROCESSO	Conforme dados da foundry

Além dessas, existem as especificações de transientes que o regulador deve suportar. Dentre estas, citadas no capítulo 1, o pulso de *load dump*, em particular, é o mais crítico. Os pulsos de *field decay* são barrados pelo diodo (vide fig. 1.4) e os outros pulsos de alta frequência são filtrados pelo circuito RC externo.

Segundo a norma ISO [10], o pulso de *load dump* pode atingir até 120V, embora para maioria das especificações das montadoras este pulso tenha valor máximo de 85V [9]. Sua forma de onda pode ser vista na figura a seguir.

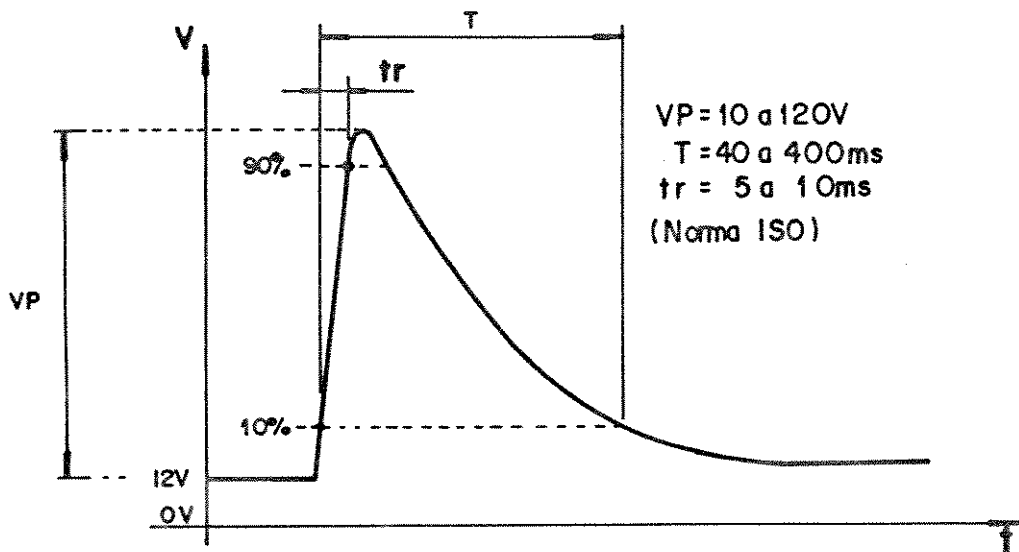


Fig. 2.2 - O pulso de *load dump*

Sabendo que a especificação de  $V_{DD}$  é de  $5V \pm 10\%$ , se levarmos em conta as dispersões e incertezas a respeito do processo, devemos então trabalhar com uma estabilidade de temperatura da ordem de  $100\text{ppm}/^\circ\text{C}$ , conforme veremos mais adiante.

# **CAPÍTULO 3**

---

## **PROJETO ELÉTRICO**

Aparentemente uma regulação de  $5V \pm 10\%$ , apesar das condições, não é um problema que exija grandes artimanhas de projeto. No entanto, o processo utilizado é um processo CMOS otimizado para aplicações digitais. A caracterização do processo e modelamento dos dispositivos visaram principalmente o seu funcionamento nas regiões de corte e saturação, tendo-se pouca informação a respeito dos coeficientes térmicos e dispersões dos resistores, componentes estes que necessariamente fazem parte do circuito de um regulador. Além disso, considerando a alimentação de 5V, não existe nenhuma opção para utilização de diodos zener.

Concluimos então que, como não dispomos de uma boa informação a respeito das dispersões de processo, resta-nos fazer um projeto que dependa o mínimo dos parâmetros absolutos de processo e que seja o mais estável possível com relação à temperatura, sob pena de incorreremos numa soma de erros.

### **3.1 - A REFERÊNCIA DE BANDGAP**

Dentre as opções disponíveis, decidimos utilizar uma célula de bandgap, que apresenta uma alta estabilidade em temperatura, e adapta-la de forma a gerar uma tensão de referência que coincidissem com a própria tensão de  $V_{DD}$ .



O princípio da referência de bandgap é ilustrado na figura 3.1 [12],[13]. A tensão  $V_{BE}$  possui um coeficiente negativo de temperatura (aproximadamente  $-2.2\text{mV}/^\circ\text{C}$  a  $27^\circ\text{C}$ ), enquanto que a tensão  $V_T=K.T/q$  possui um coeficiente positivo (próximo de  $0.085\text{mV}/^\circ\text{C}$  a  $27^\circ\text{C}$ ).

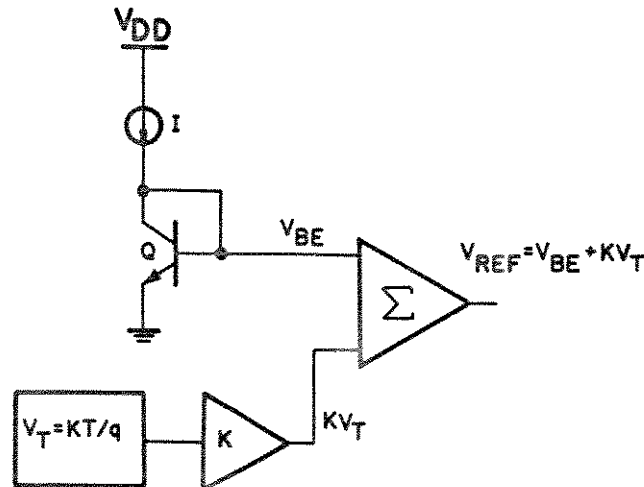


Fig. 3.1 - Princípio da referência de bandgap

Se multiplicarmos a tensão  $V_T$  por  $K$  e somarmos com a tensão de  $V_{BE}$  obteremos

$$V_{REF} = V_{BE} + K V_T \tag{3.1}$$

Utilizando um valor adequado de  $K$ , podemos compensar as diferenças nos valores absolutos dos coeficientes térmicos de  $V_{BE}$  e  $V_T$ , de tal forma a obtermos um coeficiente térmico próximo de zero para a tensão  $V_{REF}$ .

A geração da tensão PTAT ( $K.V_T$ ) pode ser implementada de duas maneiras clássicas. A primeira consiste na diferença entre as tensões de  $V_{BE}$  de dois transistores NPN distintos, ao passo que a segunda seria a obtenção através da diferença entre as tensões gate-fonte de dois transistores MOS. Esta segunda alternativa implica na operação dos transistores MOS no modo de inversão fraca [19],[20].

Considerando as dispersões de processo de difusão e a grande faixa de variação da temperatura, torna-se difícil garantir que o transistor MOS irá permanecer operando na região de inversão fraca, em todas as situações possíveis. Além disso, o modelamento dos transistores MOS está voltado mais para a aplicação no modo digital (operação nas regiões de corte e saturação). O projeto baseado nesta segunda alternativa poderia levar a graves erros de simulação, distanciando os valores teóricos simulados dos valores práticos a serem obtidos.

Por esta razão optamos por gerar a tensão de  $K.V_T$  através de transistores bipolares. Mesmo possuindo pouca informação a cerca do modelo de simulação do transistor NPN, ainda assim o erro seria menor que no caso de utilizarmos transistores MOS na inversão fraca, pois as equações que regem o comportamento do transistor bipolar apresentam caráter universal.

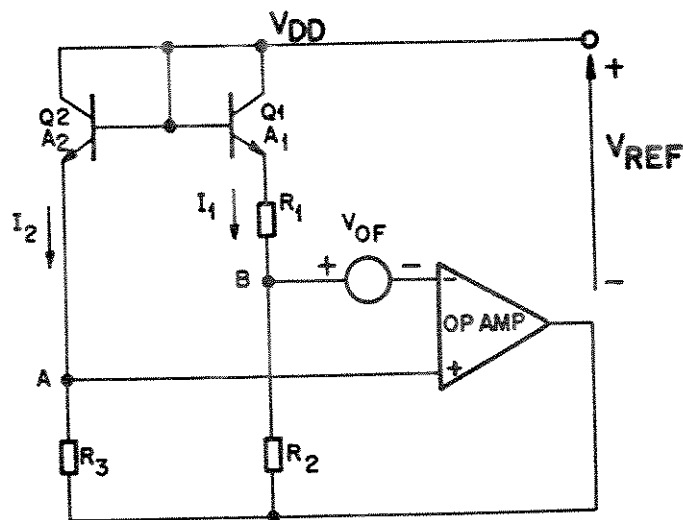


Fig. 3.2 - Célula de bandgap num processo CMOS com poço P

Uma referência de bandgap CMOS, num processo com poço P, onde a tensão  $K.V_T$  é gerada pela diferença entre duas tensões de  $V_{BE}$ , é ilustrado na figura 3.2 [12]. Nesse processo o transistor bipolar utilizado é o transistor NPN vertical, formado pelo substrato N (coletor), poço P (base) e implante N (emissor). Como o substrato está conectado à tensão mais positiva, ou seja,  $V_{DD}$ , então obrigatoriamente todos os coletores estão ligados a  $V_{DD}$ .

A tensão de off-set,  $V_{OF}$ , foi incluída para que possamos considerar o op-amp ideal. Se os transistores Q1 e Q2 têm área de emissor  $A_1$  e  $A_2$ , respectivamente, e assumindo  $V_{OF}$  inicialmente igual a zero, temos que a tensão sobre  $R_1$  vale :

$$V_{R1} = V_{BE2} - V_{BE1} = V_T \ln\left(\frac{J_2}{J_{S2}}\right) - V_T \ln\left(\frac{J_1}{J_{S1}}\right) \quad (3.2)$$

$$V_{R1} = V_T \ln\left(\frac{I_2}{I_1} \frac{A_1}{A_2}\right) \quad (3.3)$$

onde  $J_1$  e  $J_2$  são as densidades de corrente de coletor de Q1 e Q2 enquanto que  $J_{S1}$  e  $J_{S2}$  são as respectivas densidades de corrente de saturação.

O amplificador operacional força a mesma tensão nos pontos **A** e **B**, de tal forma que:

$$I_1 R_2 = I_2 R_3 \quad (3.4)$$

A tensão de referência  $V_{REF}$  pode, então, ser escrita como:

$$V_{REF} = V_{BE2} + I_1 R_2 \quad (3.5)$$

Utilizando (3.3) e (3.4) chegamos a:

$$V_{REF} = V_{BE2} + \frac{R_2}{R_1} V_T \ln\left(\frac{R_2}{R_3} \frac{A_1}{A_2}\right) \quad (3.6)$$

Se compararmos (3.6) com (3.1), veremos que a constante  $K$  vale:

$$K = \frac{R_2}{R_1} \ln\left(\frac{R_2}{R_3} \frac{A_1}{A_2}\right) \quad (3.7)$$

Através do ajuste de  $K$ , podemos fazer com que a tensão  $V_{REF}$  tenha uma coeficiente de temperatura igual a zero numa determinada temperatura  $T_0$ , ou seja, os valores

absolutos dos coeficientes térmicos de  $V_{BE2}$  e  $K.V_T$  sejam iguais. Feito este ajuste vemos que a tensão  $V_{REF}$ , nesta temperatura  $T_0$ , deve valer [12],[13]:

$$V_{REF}|_{T_0} = VGO + V_{T0} (\gamma - \alpha) \quad (3.8)$$

onde  $VGO$  é a tensão de bandgap do silício (1,205V conforme literatura),  $V_{T0}$  a tensão  $V_T$  na temperatura  $T_0$ ,  $\gamma$  é um coeficiente térmico relacionado com a tensão de  $V_{BE}$  e possui um valor típico de 3,2 e  $\alpha$  é um coeficiente térmico relacionado com a densidade de corrente na junção de  $V_{BE}$ , e no nosso caso, conforme veremos, tem valor entre 0 e -1.

Portanto, para temperaturas próximas da temperatura ambiente ( $T_0 = 300K$ ), onde  $V_{T0} = 26mV$ , encontramos que  $V_{REF} \approx 1,3V$ . Considerando este valor e utilizando (3.6) e (3.7) podemos escrever:

$$K = \frac{V_{REF} - V_{BE2}}{V_T} = \frac{1,3V - V_{BE20}}{V_{T0}} \quad (3.9)$$

onde  $V_{BE20}$  é o valor de  $V_{BE2}$  em  $T_0$ .

Através desta expressão calculamos  $K$  e portanto, utilizando (3.7), podemos encontrar os valores adequados de  $R_1$ ,  $R_2$ ,  $R_3$ ,  $A_1$  e  $A_2$ , fixando algumas variáveis e calculando as outras.

Se levarmos em conta a tensão de off-set do op-amp ( $V_{OF}$ ) a expressão (3.6) se torna:

$$V_{REF} = V_{BE2} + \frac{R_2}{R_1} V_T \ln\left(\frac{R_2}{R_3} \frac{A_1}{A_2}\right) - \left(1 + \frac{R_2}{R_1}\right) V_{OF} + \frac{R_2}{R_1} V_T \ln\left(1 - \frac{V_{OF}}{I_1 R_2}\right) \quad (3.10)$$

Como podemos observar, a tensão de off-set, principalmente através do primeiro termo  $[1 + (R_2/R_1)]V_{OF}$ , introduz um desvio na tensão  $V_{REF}$  obtida através de (3.6). Isto é um fator importante, principalmente pelo fato do op-amp ser implementado com transistores MOS, que, por princípio físico, já possuem off-set elevado. Além do mais a tensão  $V_{OF}$  pode estar sujeita à variações com temperatura, contribuindo com o desequilíbrio na estabilidade de

$V_{REF}$ . Adicionado a tudo isto existe ainda o fato, já mencionado, de estarmos utilizando uma tecnologia MOS voltada exclusivamente para circuitos digitais e portanto não existindo uma preocupação, nem dados precisos, com respeito a  $V_{OF}$ . Levando tudo isto em conta, não estaríamos superestimando se considerássemos essa tensão de off-set acima de 20mV. Fica claro, então, a necessidade de minimizarmos as influências de  $V_{OF}$ , escolhendo a mínima relação possível de  $R_2/R_1$  e utilizando técnicas adequadas de layout que dessensibilizem ao máximo a sua influência.

O nosso objetivo é gerar uma tensão de referência coincidente com o próprio  $V_{DD}$  do chip. Como essa tensão de  $V_{REF}$  é muito baixa, necessitamos de algum circuito capaz de amplificá-la, de forma a obtermos a tensão de 5V desejada.

### 3.2 - MULTIPLICAÇÃO DE VREF COM DIVISOR RESISTIVO

Uma solução para obtermos  $V_{DD}$  consiste em multiplicarmos  $V_{REF}$  utilizando um divisor resistivo entre  $V_{DD}$ , as bases de Q1 e Q2 e o GND, conforme apresentado na figura 3.3 a seguir:

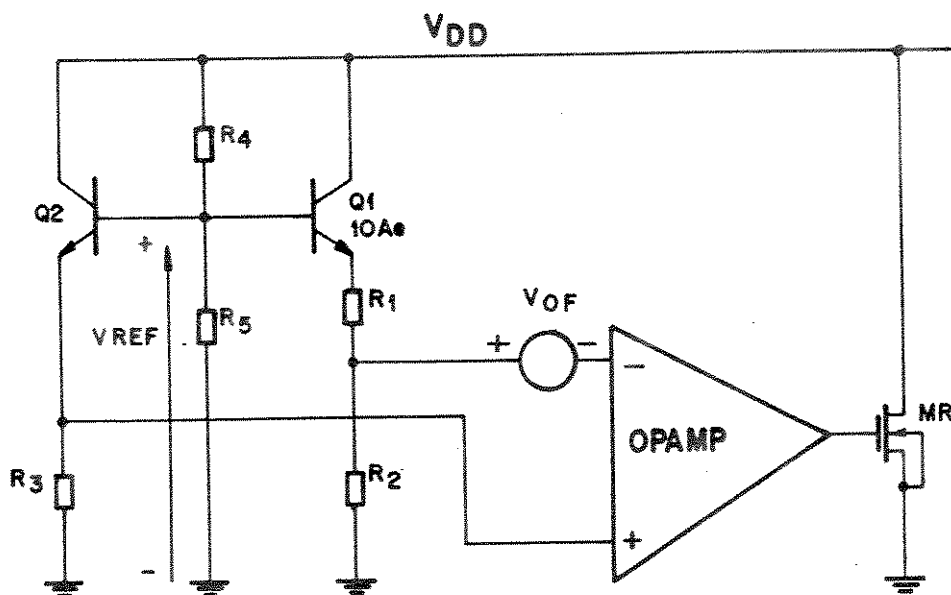


Fig. 3.3 - Multiplicação de  $V_{REF}$  com divisor resistivo

A tensão  $V_{REF}$  continua sendo a mesma expressa por (3.10). Dessa forma, se desprezarmos as correntes de base de Q1 e Q2, podemos escrever que:

$$V_{DD} = \left( \frac{R_4 + R_5}{R_5} \right) V_{REF} \quad (3.11)$$

Substituindo (3.10) encontramos:

$$V_{DD} = \left( \frac{R_4 + R_5}{R_5} \right) \left[ V_{BE2} + \frac{R_2}{R_1} V_T \ln \left( \frac{R_2}{R_3} \frac{A_1}{A_2} \right) \right] - \left( \frac{R_4 + R_5}{R_5} \right) \left( 1 + \frac{R_2}{R_1} \right) V_{OF} \quad (3.12)$$

onde desconsideramos o segundo termo de  $V_{OF}$ , frente ao primeiro, por ser bem menor que este.

Comparando (3.12) com (3.10), vemos que a tensão de off-set continua influenciando a tensão de  $V_{DD}$  e aqui esta influência é ainda mais crítica, pois o termo de  $V_{OF}$  aparece multiplicado pelo termo  $(R_4 + R_5)/R_5$ , o qual é maior que um. Isto significa que este circuito, embora muito simples, é bastante sensível ao off-set, conforme veremos a seguir.

Na saída do op-amp foi acrescentado o transistor MR com capacidade de acionar correntes próximas de 15mA (situações de *load-dump*). Este transistor faz o papel do dispositivo de regulação da figura 2.1, enquanto o restante do circuito forma o elemento sensor de tensão.

Quando o circuito é alimentado,  $V_{DD}$  sobe devido a passagem de corrente por  $R_4$  e  $R_5$ . A tensão de base dos transistores Q1 e Q2 acompanha esta subida e, quando  $V_{DD}$  atinge a tensão expressa por (3.12), a base dos transistores Q1 e Q2 atinge  $V_{REF}$ . A partir daí,  $V_{DD}$  e  $V_{REF}$  ficam estabilizadas. Um aumento em  $V_{DD}$  faz com que a tensão na entrada (+) do op-amp suba acima daquela na entrada (-), com isto a tensão  $V_{GS}$  de MR aumenta, forçando-o a conduzir mais corrente e assim puxando  $V_{DD}$  para baixo. Se  $V_{DD}$  tende a baixar, ocorre o oposto, a tensão  $V^-$  do op-amp supera  $V^+$ ,  $V_{GS}$  diminui e MR conduz menos, permitindo que  $V_{DD}$  suba novamente para seu estado de equilíbrio. O circuito completo deste regulador, incluindo os transistores do op-amp, é apresentado na figura 3.4. Os resistores  $R_4$  e  $R_5$  foram

substituídos por  $R_{R1}$ ,  $R_{R2}$  e  $R_{R3}$ . A divisão de  $R_4$  em  $R_{R1}$  e  $R_{R2}$  teve por objetivo a obtenção de uma tensão de polarização intermediária para os gates de MOP1 e MOP2 (transistores do op-amp).

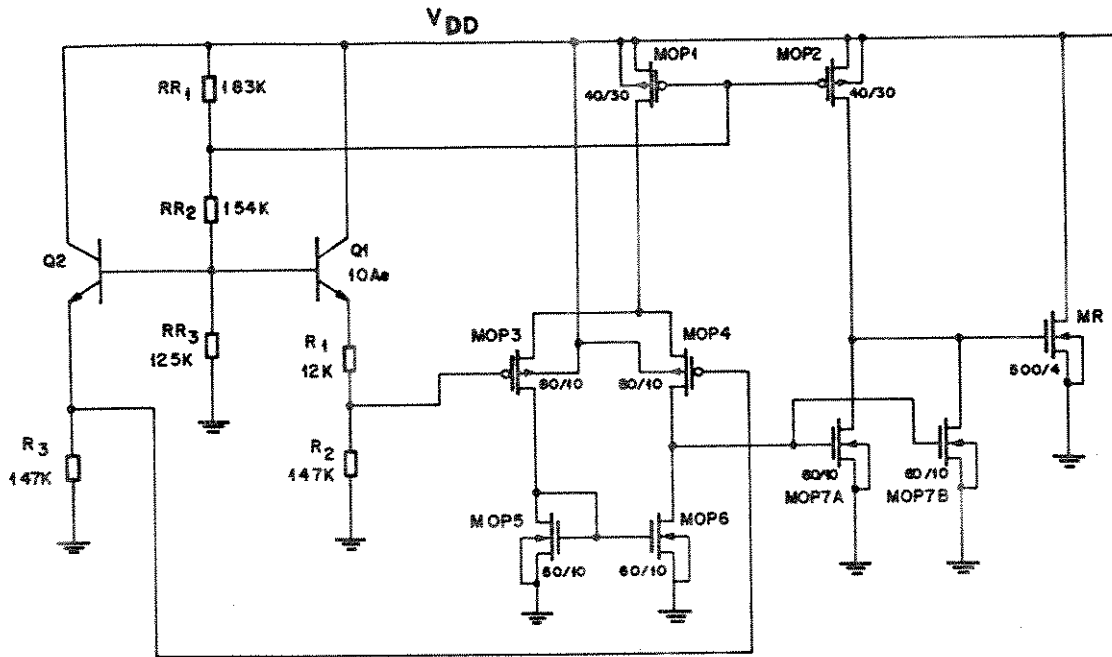


Fig. 3.4 - Circuito do regulador com divisor resistivo

### 3.2.1 - DEFINIÇÃO E CÁLCULO DOS TRANSISTORES E RESISTORES

A seguir apresentamos os cálculos efetuados para se chegar aos valores e dimensões dos componentes da figura 3.4.

#### A - Resistores $R_1$ , $R_2$ , $R_3$ , $R_{R1}$ , $R_{R2}$ e $R_{R3}$

Para obtermos um melhor casamento entre Q1 e Q2 forçamos a mesma corrente pelos dois transistores, fazendo  $R_2$  e  $R_3$  iguais. Para minimizar o consumo definimos esta corrente

como sendo  $5\mu\text{A}$  no caso típico. Utilizando (3.5) escrevemos que:

$$R_2 = R_3 = \frac{V_{REF} - V_{BE2}}{I_1} \quad (3.13)$$

No caso típico a temperatura de operação está próxima de  $27^\circ\text{C}$ . Considerando esta temperatura e a corrente de  $5\mu\text{A}$ , estimamos que  $V_{BE2}$  vale aproximadamente  $600\text{mV}$ . Utilizando (3.13) e sabendo que  $V_{REF}$  é igual a  $1,3\text{V}$  podemos escrever:

$$R_2 = R_3 = \frac{1,3\text{V} - 0,6\text{V}}{5\mu\text{A}} = 140\text{K}\Omega \quad (3.14)$$

O valor de  $R_1$  é encontrado substituindo esses valores de  $R_2$  e  $R_3$  em (3.6), supondo para este cálculo que  $V_{OF}$  é igual a zero e que  $V_T$  nesta temperatura típica vale aproximadamente  $26\text{mV}$ . Antes porém, precisamos determinar os valores das áreas de emissor de Q1 e Q2.

Uma observação na expressão (3.12) nos leva a concluir que, para minimizarmos a ação do off-set se torna bastante interessante trabalharmos com a relação  $R_2/R_1$  a menor possível, já que a relação  $(R_4+R_5)/R_5$  está fixada pelos valores de  $V_{REF}$  e  $V_{DD}$ . No entanto  $R_2/R_1$  também faz parte do termo PTAT de  $K.V_T$  (segundo termo entre colchetes), o qual necessita contrabalançar o termo de  $V_{BE}$ , que apresenta coeficiente negativo de temperatura. A solução, então, é baixar a relação  $R_2/R_1$  e aumentar a relação de áreas  $A_1/A_2$ , já que esta última só participa do termo de  $K.V_T$ , não influenciando o off-set.

A área  $A_2$ , suposta unitária, foi feita a menor possível levando em conta considerações de processo e regras de layout. Quanto a  $A_1$ , do ponto de vista de layout, fazer com que esta seja muito grande, além de causar um aumento na área de silício, implica num certo grau de complexidade, dada a necessidade de um perfeito casamento entre Q1 e Q2 e uma disposição simétrica dos dispositivos, necessária para evitar problemas de temperatura. Levando-se tudo isto em consideração, julgamos que o melhor seria trabalharmos com  $A_1$  igual a 10 vezes a área  $A_2$ .



Substituindo todos esses valores em (3.6) encontramos que:

$$\frac{R_2}{R_1} = 11,69 \quad (3.15)$$

Portanto :

$$R_1 = \frac{R_2}{11,69} = \frac{140 \text{ K}\Omega}{11,69} \approx 12 \text{ K}\Omega \quad (3.16)$$

Quanto aos resistores  $R_{R1}$ ,  $R_{R2}$  e  $R_{R3}$ , foram calculados considerando uma corrente, no ramo destes resistores, igual a  $10\mu\text{A}$  no caso típico. Esta corrente foi feita maior que as correntes por  $R_2$  e  $R_3$  para que a influência das correntes de base dos transistores bipolares fosse desprezível. Considerando as correntes de  $5\mu\text{A}$  por Q1 e Q2, conforme dados da *foundry* utilizada [23], o  $\beta$  desses transistores está por volta de 100. Não é fornecido os valores máximo e mínimo de  $\beta$ , no entanto, mesmo se o valor mínimo fosse 50, o que daria uma corrente de base de  $0.1\mu\text{A}$ , ainda assim teríamos um fator 100 vezes menor em relação a corrente de  $10\mu\text{A}$ . Por outro lado limitamos em  $10\mu\text{A}$  para evitar que o consumo em baixas temperaturas (pior caso) fosse excessivo.

Assim podemos escrever:

$$R_{R3} = \frac{V_{REF}}{10\mu\text{A}} = \frac{1,3 \text{ V}}{10\mu\text{A}} = 130 \text{ K}\Omega \quad (3.17)$$

Para a polarização dos transistores MOP1 e MOP2, que formam as fontes de corrente do op-amp, escolhemos um tensão correspondente a  $2/3$  de  $V_{DD}$ . Esta tensão garante que esses transistores operem na saturação, onde a corrente  $I_D$  só depende de  $V_{GS}$ . Dessa forma encontramos  $R_{R1}$  e  $R_{R2}$ :

$$R_{R1} + R_{R2} = \frac{V_{DD} - V_{REF}}{10\mu\text{A}} = \frac{5 \text{ V} - 1,3 \text{ V}}{10\mu\text{A}} = 370 \text{ K}\Omega \quad (3.18)$$

$$R_{R1} = \frac{V_{DD}}{3} \frac{1}{10\mu\text{A}} \approx 167 \text{ K}\Omega \quad (3.19)$$

$$R_{R2} = 370K\Omega - 167K\Omega = 203K\Omega \quad (3.20)$$

Posteriormente, com ajuda do simulador, verificamos que a corrente através dos transistores do op-amp ficou pequena nas altas temperaturas. Um ajuste foi feito então, onde elevamos a tensão de  $V_{GS}$  de MOP1 e MOP2, aumentando  $R_{R1}$  e baixando  $R_{R2}$ .

Os valores finais de todos os resistores, após pequenos ajustes com o simulador, ficaram estabelecidos em:

$$R_1 = 12K\Omega$$

$$R_2 = 147K\Omega$$

$$R_3 = 147\Omega$$

$$R_{R1} = 183K\Omega$$

$$R_{R2} = 154K\Omega$$

$$R_{R3} = 125K\Omega$$

Do ponto de vista prático nos deparamos com o seguinte problema: os resistores de difusão e de polisilício de que dispomos apresentam todos resistência de quadrado menor que  $100\Omega$ , o que implicaria em resistores de grandes dimensões. A melhor solução que encontramos foi utilizar resistores de poço, que apresentam resistência de quadrado típica de  $3,2K\Omega$  [17]. A desvantagem, no entanto, é que a dispersão de processo desse tipo de resistor é de  $\pm 40\%$  em relação ao valor típico. Além do mais, o coeficiente linear de temperatura associado a esta resistência é de aproximadamente  $1\%/^{\circ}C$  ( $R$  dobra a cada  $100^{\circ}C$  de variação da temperatura). Este coeficiente foi extraído da literatura, já que a documentação do processo que utilizamos não cita especificamente este parâmetro.

## B - O Amplificador Operacional

A estrutura do op-amp foi projetada para ser a mais simples possível, tendo em vista a finalidade de compactação, pois o objetivo é a utilização desta célula em outros CI's automotivos futuros.

Os transistores MOP1 e MOP2 formam as fontes de corrente. Os seus valores de  $W$  e  $L$  foram escolhidos para satisfazer uma corrente típica de  $5\mu\text{A}$ , a qual por sua vez, foi escolhida para ser a menor possível, da mesma forma que as correntes por Q1 e Q2. Posteriormente, conforme dissemos, houve uma alteração neste valor de  $5\mu\text{A}$ , através do ajuste de  $R_{R1}$  e  $R_{R2}$ .

Embora do ponto de vista do off-set, a entrada do op-amp seria melhor se realizada com transistores NMOS, que possuem uma maior transcondutância, neste op-amp utilizamos um par diferencial formado por transistores PMOS. A razão é o fato das tensões nas entradas  $V+$  e  $V-$  estarem próximas de  $0,6\text{V}$ , o que impediria a colocação de uma fonte de corrente ligada a um par diferencial formado por transistores NMOS.

As dimensões de MOP3 e MOP4 ( $W/L=80\mu\text{m}/10\mu\text{m}$ ) foram estabelecidas num compromisso entre minimizar o off-set intrínseco ( $W$  e  $L$  grandes) e maximizar a compactação ( $W$  e  $L$  pequenos).

MOP5 e MOP6 formam a carga ativa do par diferencial enquanto MOP2, MOP7A e MOP7B formam o estágio de ganho de saída, que transforma a entrada diferencial em saída simples. A presença de dois transistores MOP7A e MOP7B tem por finalidade a minimização do off-set sistemático. Este off-set é aquele associado com o equilíbrio das correntes. Quando a tensão diferencial de entrada é zero, as correntes por MOP7A e MOP7B são iguais as correntes por MOP5 e MOP6. Logo a tensão  $V_{DS}$  de MOP6 é igual a de MOP5, garantindo off-set zero na saída.

### C - O Transistor MR

A escolha das dimensões de  $W$  e  $L$  do transistor MR foi feita considerando que na condição de load-dump a corrente através desse transistor pode atingir valores próximos de  $15\text{mA}$  e, nos piores casos de temperatura e desvio de processo, a tensão  $V_{GS}$ , necessária ao fornecimento dessa corrente, não pode ultrapassar o valor de  $V_{DD}$  (valor máximo possível que a tensão  $V_{GS}$  de MR pode atingir sem alterar a condição de regulação).

O valores ótimos para  $W$  e  $L$  foram alcançados através da simulação elétrica conforme apresentaremos mais adiante.

### 3.2.2 - RESULTADOS DA SIMULAÇÃO ELÉTRICA

#### 3.2.2.1 - MODELOS DE SIMULAÇÃO

Nas simulações elétricas realizadas foram utilizados os modelos de transistores MOS fornecidos pela *foundry* [23], os quais aparecem referenciados nos arquivos de simulação através da linha de comando *.lib ccbami.lib*, que chama os modelos diretamente da biblioteca. Existem 3 modelos, **nb**, **nt** e **nw**, para cada tipo de transistor NMOS utilizado, os quais são descritos a seguir. O mesmo vale para os transistores PMOS, onde temos **pb**, **pt** e **pw**.

<b>nb</b>	= trans. NMOS "best case"	- $V_{TO}$ mínimo
<b>nt</b>	= trans. NMOS "typical case"	- $V_{TO}$ típico
<b>nw</b>	= trans. NMOS "worst case"	- $V_{TO}$ máximo

Quanto ao modelo dos transistores bipolares NPN, a *foundry* forneceu apenas dados de  $I_S$ ,  $BF$ ,  $BR$ ,  $V_A$ ,  $V_B$  e a curva  $\beta \times I_C$ , tudo relativo a um transistor NPN típico com área de emissor de  $250\mu\text{m} \times 250\mu\text{m}$ . A partir desses dados calculamos um novo  $I_S$ , equivalente à área de emissor do transistor que iríamos construir ( $17\mu\text{m} \times 11\mu\text{m}$ ) e, tomando também por base outros modelos similares [24], construímos um modelo próprio o qual julgamos compatível com os transistores que iríamos utilizar. Por esta razão fizemos todas as simulações considerando este único modelo, sem levar em conta as eventuais dispersões de processo. Uma ressalva é feita quanto as resistências de base desses transistores. Como as bases são formadas pelo poço P, então cada resistência de base foi emulada por um resistor de p-well de valor igual a  $3K\Omega$  - correspondente a aproximadamente um quadrado - externo ao transistor e sofrendo, portanto, as mesmas variações de processo que os resistores  $R_1$ ,  $R_2$  e  $R_3$ . Essas são as razões porque afirmamos que o modelamento dos transistores bipolares não teria muita precisão.

Já para o modelo do resistor de p-well, foi fornecido apenas as resistências de quadrado mínima, típica e máxima. O coeficiente linear de temperatura foi assumido como sendo o valor típico fornecido pela literatura ( $1\%/^{\circ}\text{C}$ ).

### 3.2.2.2 - ESCOLHA DE MR

O transistor MR foi dimensionado para suportar as altas correntes produzidas no momento da ocorrência dos pulsos de *load-dump*. No momento em que ocorre um pulso de *load-dump* a tensão da bateria sobe para valores relativamente altos. Embora a norma ISO especifique este pulso de tensão como tendo amplitude de 10 a 120V, o valor máximo admitido pelas montadoras é de 85V ( $V_{BAT}$  sobe 85V acima de seu valor nominal). Se fizermos uma hipótese que este pulso de *load-dump* tenha uma duração suficiente para não ser atenuado pelo filtro externo formado por  $R_{P1}$  e  $C_{REG}$ , então podemos calcular que a corrente através de MR, durante o pulso de *load-dump*, pode chegar a:

$$I_D(MR) = \frac{85V + V_{BAT_{MAX}} - V_{DD}}{R_{P1}} \quad (3.21)$$

ou seja:

$$I_D(MR) = \frac{85V + 18V - 5V}{6,8K\Omega} = 14,4mA \quad (3.22)$$

A corrente na prática não chegará a este valor, pois o filtro externo exerce uma boa atenuação. Por outro lado, se dimensionamos MR para suportar esta corrente, mesmo na hipótese de falha do capacitor (capacitor aberto), o CI não será destruído, tornando o produto robusto por características de projeto. Sendo assim, considerando o resultado de (3.22), assumimos que MR deve suportar correntes de até 15mA.

Na condição de *load-dump* o opamp deve então fornecer uma tensão para o gate de MR suficiente para este conduzir a corrente de 15mA. Esta tensão de gate possui um limite máximo que é o próprio  $V_{DD}$ . Para determinar as dimensões de MR fizemos uma simulação

com quatro transistores dispostos como mostra a figura 3.5. Todos têm  $L = 4\mu\text{m}$  (mínimo valor de acordo com regras de layout) e  $W$  de 300, 400, 500 e  $600\mu\text{m}$ . A tensão  $V_{DS}$  (que seria o próprio  $V_{DD}$  no circuito do regulador) foi feita igual a 5V, enquanto a tensão  $V_{GS}$  foi varrida através da simulação .DC de 0,5V a 5V. O momento que  $V_{GS}$  atinge 5V corresponde a situação de máxima corrente  $I_D$  através de MR.

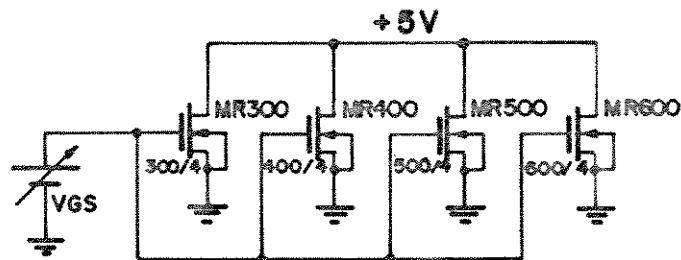


Fig. 3.5 - Definição das dimensões de MR

O arquivo de simulação utilizado foi o seguinte:

```

TRANSISTOR MR WT
* simulacao para determinar o valor de W e L de mr
*
.options reltol=0.0001
.temp 100
*
* simulacao
.dc vgs 0.5v 5v 0.01v
.probe
*
.lib ccbami.lib
*
vds 1 0 5v
vgs 2 0 1v
mr300 1 2 0 0 nw l=4u w=300u
mr400 1 2 0 0 nw l=4u w=400u
mr500 1 2 0 0 nw l=4u w=500u
mr600 1 2 0 0 nw l=4u w=600u
*
.end

```

A simulação foi feita considerando transistores nw e temperatura de  $100^{\circ}\text{C}$ , situação esta correspondente ao pior caso, onde para um determinado valor da corrente  $I_D$ ,  $V_{GS}$  tem

valor máximo. Na figura 3.6 temos um plot das curvas das correntes  $I_D$ , em função da tensão  $V_{GS}$ , através dos quatro transistores.

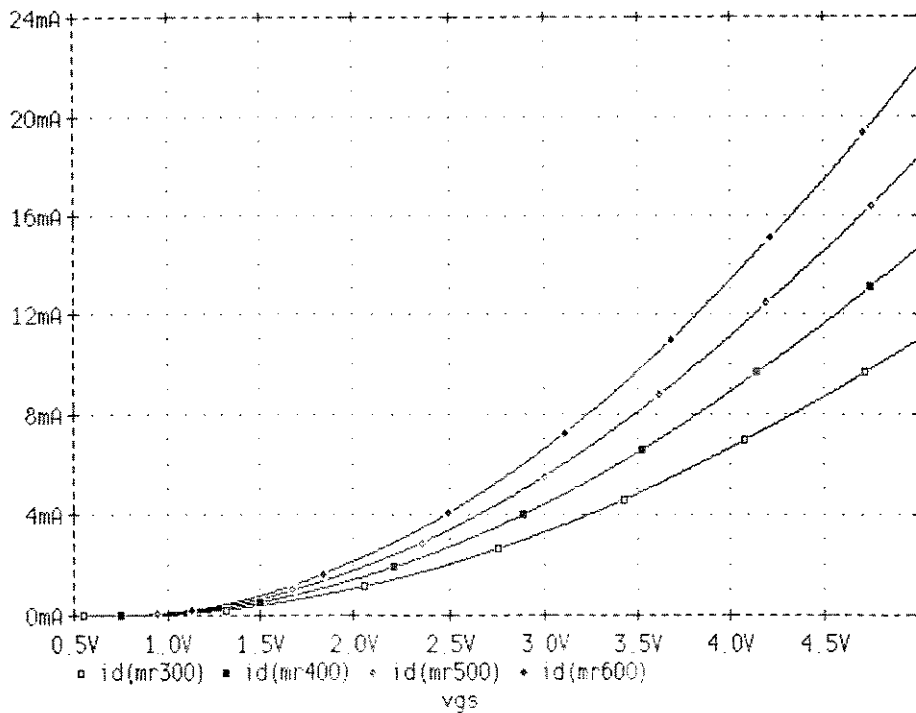


Fig. 3.6 - Curvas de  $I_D \times V_{GS}$  para vários tamanhos de MR

Através da observação dessas curvas e considerando a corrente de 15mA, escolhemos  $W$  igual a 500 $\mu m$  como sendo o valor mais apropriado para o transistor MR. Assim, para um  $V_{GS}$  de 5V temos  $I_D$  igual a 18mA, o que garante uma certa margem de segurança em relação aos 15mA. Um  $W$  de 600 $\mu m$  seria desnecessário ao passo que com 300 $\mu m$  teríamos uma margem de segurança muito pequena.

### 3.2.2.3 - SIMULAÇÕES DO REGULADOR

As simulações do regulador shunt são baseadas no circuito da figura 3.7, onde apresentamos o circuito completo com a nomeação dos nós e as resistências de base dos

transistores NPN. O circuito digital é representado de maneira simplificada por uma carga resistiva ( $R_L$ ) representando o seu consumo DC. O capacitor  $C_L$  representa a carga capacitiva total vista pelo pino de  $V_{DD}$ . O valor de 200pF para  $C_L$  foi obtido extrapolando a capacitância poço-substrato pela área total estimada para o chip (obviamente é uma hipótese conservadora).

Inicialmente as simulações do regulador foram feitas considerando apenas as dispersões de processo relativas aos resistores de p-well e transistores MOS, com o off-set igual a zero. O arquivo de simulação utilizado, **bgap.cir**, é visto a seguir.

```

BANDGAP CMOS TP
* caso tipico : trans. tp , res. tp
*
*** SIMULACOES ***
.dc temp -40 100 4
.probe
*
*** MODELOS ***
.model rpw res (r=1 tc1=0.01) ; modelo do resistor de p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0v
.inc cct_tp
*
* circuito digital equivalente
ri vdd 0 20k ; carga DC do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat vdd 6.8k
creg vdd 0 100uF
*
.end
BANDGAP CMOS PC1
* pior caso 1 : trans. wt , res. max
*** SIMULACOES ***
.dc temp -40 100 4
.probe
*
*** MODELOS ***
.model rpw res (r=1.407 tc1=0.01) ; modelo do resistor de p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0v
.inc cct_w

```



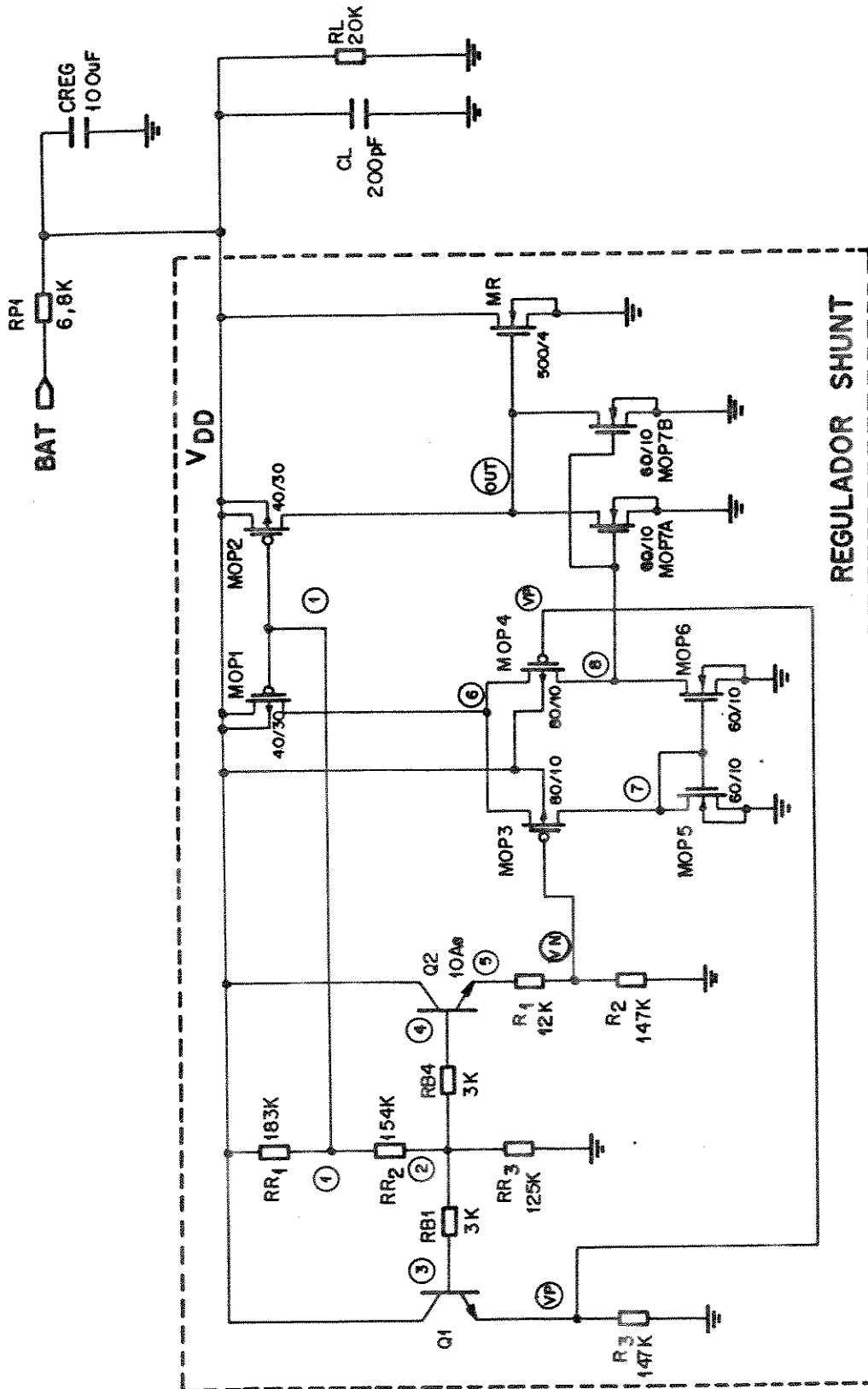


Fig. 3.7 - Circuito de simulação do regulador

```

* circuito digital equivalente
rl vdd 0 20k      ; carga DC do circuito logico
cl vdd 0 200pF   ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat vdd 6.8k
creg vdd 0 100uF
*
.end
BANDGAP CMOS PC2
* pior caso 2 : trans. bt , res. min
*
*** SIMULACOES ***
.dc temp -40 100 4
.probe
*
*** MODELOS ***
.model rpw res (r=0.625 tc1=0.01) ; modelo do resistor de p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0v
.inc cct_b
*
* circuito digital equivalente
rl vdd 0 20k      ; carga DC do circuito logico
cl vdd 0 200pF   ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat vdd 6.8k
creg vdd 0 100uF
*
.end

```

Como podemos ver, neste arquivo fizemos três simulações *.dc temp* varrendo a temperatura de -40 a +100°C de 4 em 4 graus. A primeira corresponde a um caso típico de processo, e as outras duas corresponde, uma com transistores MOS worst e resistência de p-well máxima, ao melhor caso de consumo e a outra, com transistores MOS best e resistência de p-well mínima, ao pior caso de consumo. A tensão  $V_{BAT}$  foi considerada com valor típico de 13,8V, mas para simplificar não colocamos o diodo série da figura 1.3 e portanto as simulações foram feitas com um  $V_{BAT}$  de 13,1V (13,8V menos a queda do diodo).

Para maior facilidade e clareza dividimos **bgap.cir** em 2 partes. A primeira se refere as descrições dos tipos e estímulos da simulação e está presente no próprio arquivo **bgap.cir**.

A segunda parte diz respeito aos componentes do circuito e está implícita através da chamada *.inc* de **cct\_tp**, **cct\_w** e **cct\_b**, os quais apresentam:

- cct\_tp** - circuito com transistores MOS típico.
- cct\_w** - circuito com transistores MOS worst-case
- cct\_b** - circuito com transistores MOS best-case

Mostramos a seguir apenas o arquivo **cct\_tp**, já que os outros dois diferem apenas no modelo do transistor MOS (**nw** e **nb** no lugar de **nt**, **pw** e **pb** no lugar de **pt**).

```
* CIRCUITO TIPICO
*** MODELOS ***
.lib ../ccbami.lib ; transist. MOS
.model nbp npn (is=4.5e-16 bf=189.928 nf=1.01139 ikf=8.79702e-3
+ise=7e-16 ne=1.46798 vaf=42 var=8.3 br=3.06069 nr=1.01385
+rb=15 rbm=15 re=12.5474 rc=159.766
+ikr=1.46665e-3 isc=1.08641e-13 nc=1.45675
+eg=1.193 xtb=1.2 xti=3.0
+cjs=0.424p vjs=0.35 mjs=0.2
+cjc=0.285p vjc=0.62 mjc=0.35 xcjc=0.15
+cje=0.305p vje=0.74 mje=0.38
+tf=435p vtf=9 xtf=1 itf=.1u)
*
*** DEFINICOES ***
.options itl1=200 itl2=200
*** CIRCUITO ***
* transistores bipolares
q1 vdd 3 vp nbp
q2 vdd 4 5 nbp 10
*
* resistores de base (p-well) dos trans. bipolar.
rb1 2 3 rpw 3k
rb2 2 4 rpw 3k
*
* resistores que geram K*VT
r1 5 vn rpw 12k
r2 vn 0 rpw 147k
r3 vp 0 rpw 147k
*
* resistores da relacao de amplificacao
rr1 vdd 1 rpw 183k
rr2 1 2 rpw 154k
rr3 2 0 rpw 125k
* amplificador operacional
mop1 6 1 vdd vdd l=30u w=40u ad=320p as=320p pd=96u ps=96u
```

```

mop2 out 1 vdd vdd pt l=30u w=40u ad=320p as=320p pd=96u ps=96u
mop3 7 vna 6 vdd pt l=10u w=80u ad=640p as=640p pd=196u ps=196u
mop4 8 vp 6 vdd pt l=10u w=80u ad=640p as=640p pd=196u ps=196u
mop5 7 7 0 0 nt l=10u w=60u ad=480p as=480p pd=136u ps=136u
mop6 8 7 0 0 nt l=10u w=60u ad=480p as=480p pd=136u ps=136u
mop7a out 8 0 0 nt l=10u w=60u ad=480p as=480p pd=136u ps=136u
mop7b out 8 0 0 nt l=10u w=60u ad=480p as=480p pd=136u ps=136u
*
* transistor de regulacao
mr vdd out 0 0 nt l=4u w=500u ad=7000p as=7000p pd=1028u ps=1028u
*
    
```

Os resultados dessas simulações são apresentados nas figuras 3.8, 3.9, 3.10 e 3.11. A figura 3.8a mostra as curvas de  $V_{DD}$  para os três casos, em função da temperatura, enquanto na figura 3.8b temos uma visão ampliada apenas do caso típico. Conforme podemos ver, no caso típico,  $V_{DD}$  está bem próximo de 5V na temperatura de 30°C (temperatura na qual acreditamos que os transistores internos do chip estarão trabalhando no caso de consumo típico).

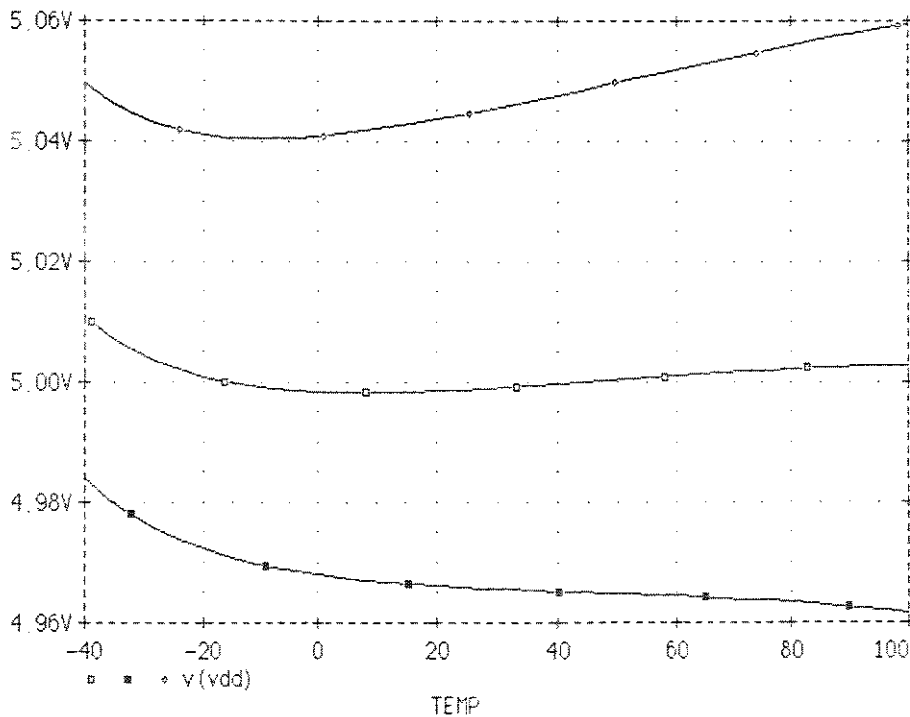


Fig. 3.8a - Curvas de  $V_{DD}$  em função da temperatura

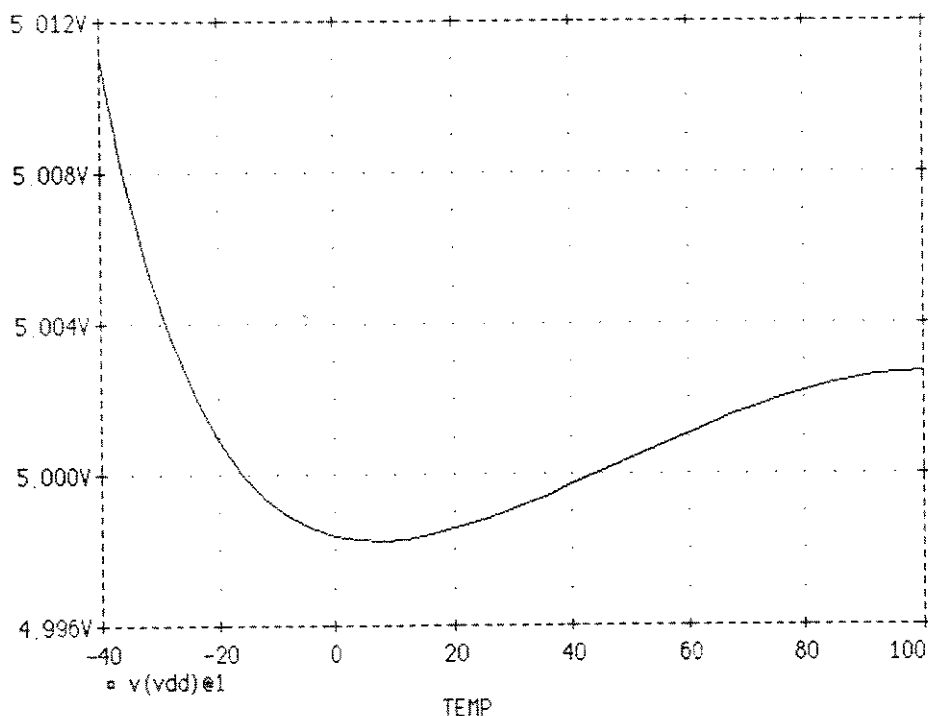


Fig. 3.8b - Curva de  $V_{DD}$  típica

Observando ainda a figura 3.8a vemos que a tensão  $V_{DD}$ , embora varie muito pouco, é função basicamente das dispersões de processo, sofrendo pouca influência da temperatura. Isto ocorre porque nós ajustamos o ponto de inflexão da curva  $V_{DD}$  X *TEMPERATURA* do caso típico, de maneira a deixá-la a mais plana possível em torno da temperatura de 30°C.

Este acerto é no entanto teórico, feito através do simulador. Na prática muitas vezes se faz necessário uma correção no formato desta curva, através de um ajuste nos valores de  $R_1$ ,  $R_2$  e  $R_3$ .

Na figura 3.9 vemos as curvas das correntes que circulam por Q1 e Q2 (corrente por  $R_1$ ) e por  $R_{R1}$ . Essas correntes apresentam coeficiente de temperatura negativo devido ao caráter dominante do coeficiente positivo dos resistores de p-well. Podemos observar ainda que, no caso típico e na temperatura de 30°C, a corrente por Q1 e Q2 vale aproximadamente 5 $\mu$ A, enquanto  $I(R_{R1})$  vale aproximadamente 10 $\mu$ A. Estes valores, conforme dissemos, foram ajustados através do ajuste dos resistores.

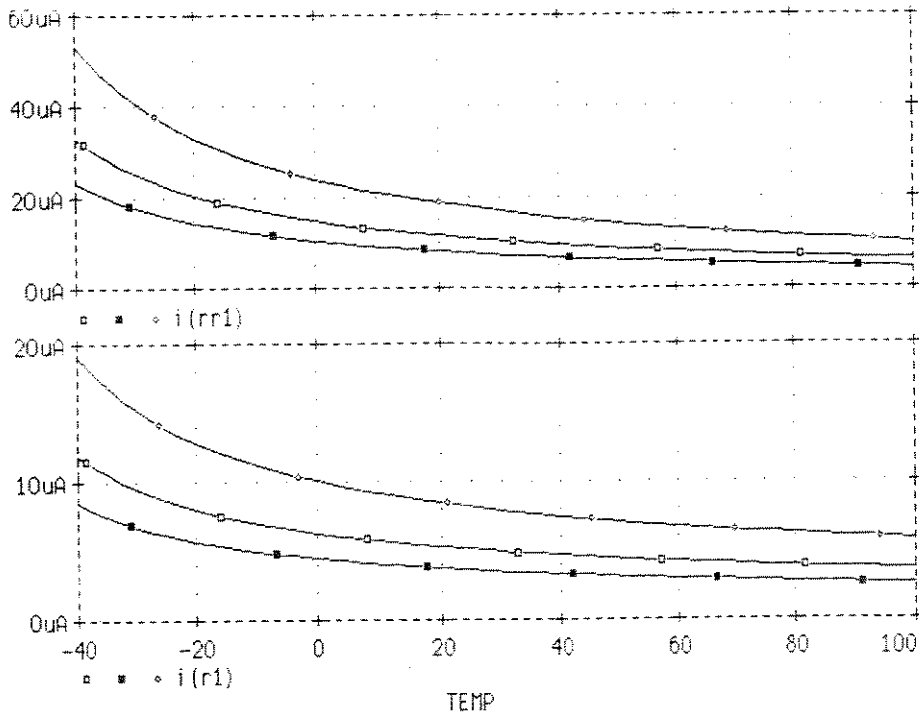


Fig. 3.9 - Correntes por Q1, Q2 e  $R_{R1}$

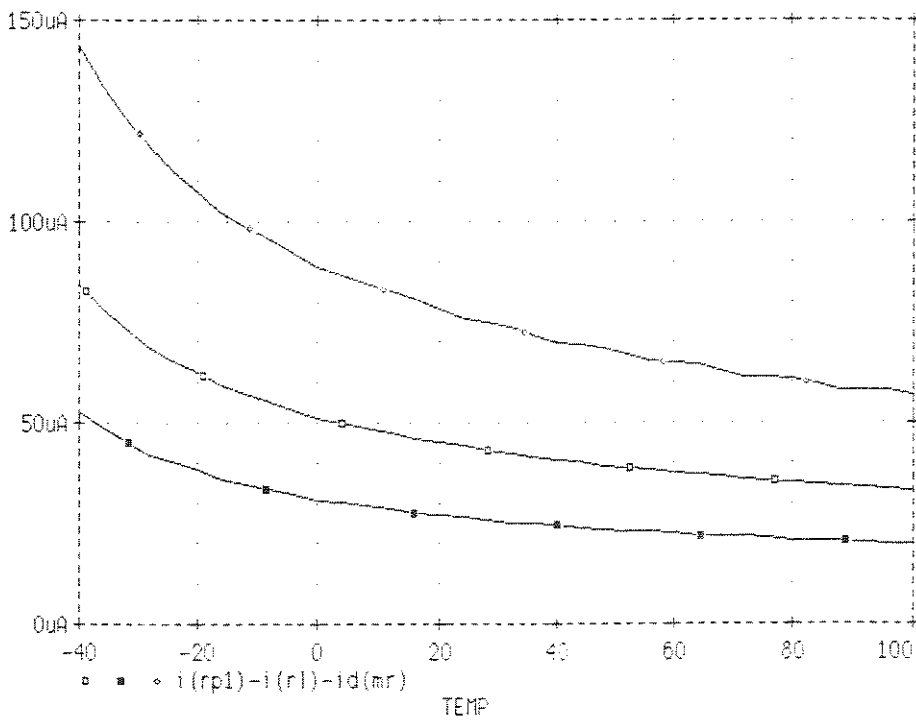


Fig. 3.10 - Corrente pelo circuito sensor de  $V_{DD}$

Por fim, na figura 3.10, temos a corrente  $I_{CS}$  (corrente pelo circuito sensor de  $V_{DD}$ ) e na figura 3.11, a corrente pelo transistor MR. Podemos verificar que  $I_{CS}$  diminui conforme a temperatura aumenta, seguindo a mesma tendencia das correntes por Q1, Q2 e  $R_{R1}$ . Como a tensão  $V_{DD}$  permanece praticamente constante, a corrente externa quase não se altera e, portanto, a corrente através de MR se ajusta de forma a satisfazer as outras correntes pelo circuito.

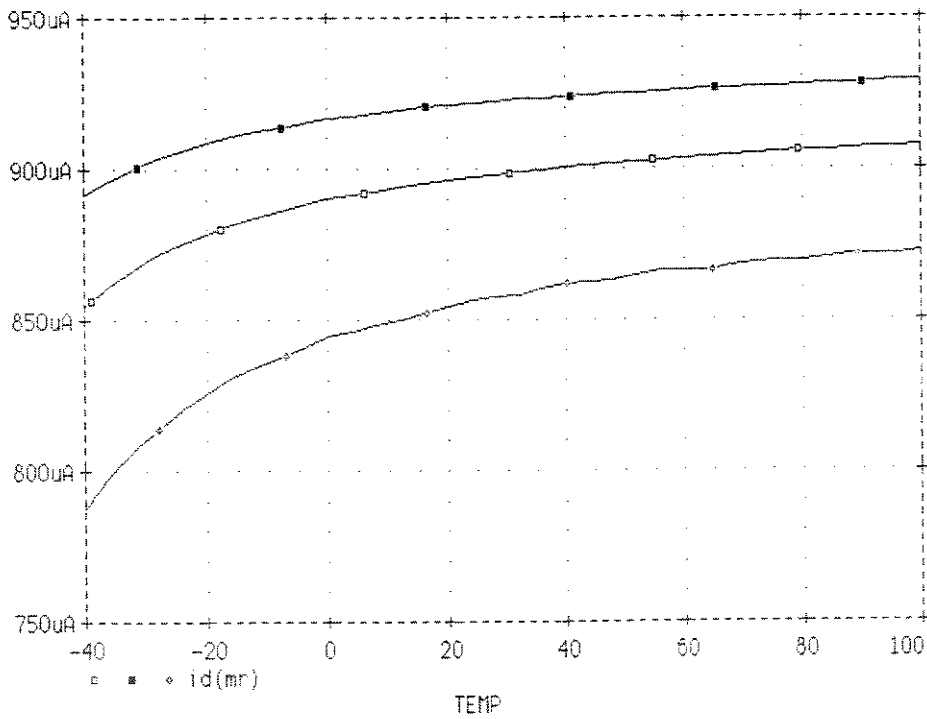


Fig. 3.11 - Corrente por MR

### O problema do off-set

Observando novamente as figuras 3.8a e 3.10 podemos identificar que os dois piores casos de funcionamento do circuito regulador ocorrem nos dois extremos de temperatura. Para temperaturas baixas, próximas de  $-35^{\circ}\text{C}$ , o problema ocorre com o consumo de corrente, e nas altas temperaturas, próximas de  $100^{\circ}\text{C}$ , o problema ocorre com a dispersão da tensão  $V_{DD}$ .

Por esta razão, para maior facilidade nas nossas análises, estudamos a ocorrência do off-set do amplificador operacional apenas nesses casos extremos, pois garantindo a especificação nesses casos, todos os outros ficam automaticamente assegurados.

Fizemos assim três simulações, varrendo a tensão de off-set de 0 a 30mV, com *step* de 1mV e com a temperatura fixa em 100 ou -35°C. O arquivo referente a primeira simulação é apresentado a seguir. Utilizamos transistores worst, resistores máximos e off-set positivo. No arquivo da segunda simulação o circuito é igual, porém utilizamos transistores best e resistores mínimos, além de off-set negativo.

```

OFF-SET 1
* pior caso de vdd 1 : trans. wt , res. max, temp 100
*
*** SIMULACOES ***
.dc voff 0 30mv 1mv
.probe
.temp 100
.nodeset v(vdd)= 4.96v
*
*** MODELOS ***
.model rpw res (r=1.407 tc1=0.01) ; resistor de p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 30mv ; off-set positivo
.inc cct_w
* circuito digital equivalente
rl vdd 0 20k ; carga DC do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
* componentes externos
rp1 bat vdd 6.8k
creg vdd 0 100uF
*
.end

```

Nessas duas primeiras simulações a temperatura foi fixada em 100°C porque o objetivo era observar o comportamento da dispersão de  $V_{DD}$ . Na tentativa de explorar a pior condição possível e tendo em vista os resultados apresentados na fig. 3.8a, acrescentamos um off-set positivo ao circuito que apresentou o menor  $V_{DD}$  (conforme arquivo acima), forçando  $V_{DD}$  a diminuir ainda mais e, no circuito que apresentou o maior  $V_{DD}$ , acrescentamos um off-set negativo, forçando esta tensão a aumentar mais ainda (caso da simulação 2).



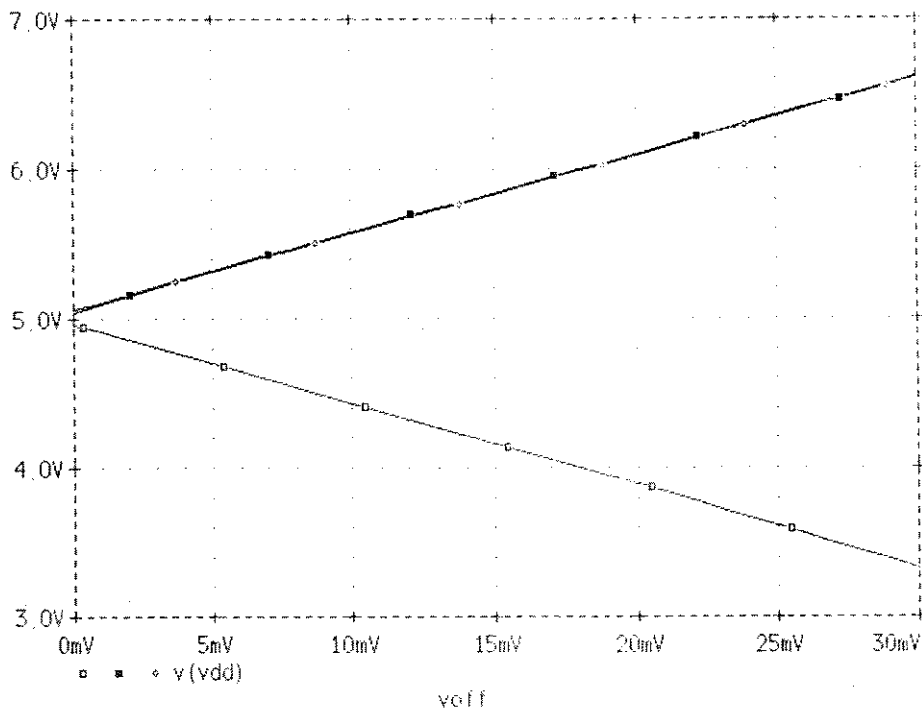


Fig. 3.12 - A dispersão de  $V_{DD}$

Na figura 3.12 vemos o resultado conjunto dessas simulações, o qual representa os valores máximo e mínimo da tensão  $V_{DD}$ . Podemos observar que para um off-set de  $\pm 10\text{mV}$  a dispersão já está acima dos 10% especificado.

A terceira simulação é praticamente igual a segunda porém com temperatura de  $-35^\circ\text{C}$ . Isto porque agora estamos preocupados com o máximo consumo do regulador, o que acontece nas baixas temperaturas (vide figura 3.10). A figura 3.13 mostra as curvas da corrente  $I_{CS}$  nestes três piores casos simulados. Podemos ver que no caso correspondente a terceira simulação, a corrente ultrapassa facilmente o limite de  $180\mu\text{A}$  estabelecido pela especificação.

Este circuito, baseado no ganho de  $V_{REF}$  através de divisor resistivo, tem a vantagem de ser bastante simples e permitir a utilização de resistores com valores relativamente baixos (pelo menos em comparação com o outro circuito que iremos apresentar), além de permitir um ajuste da centralização de  $V_{DD}$  em 5V. Em contrapartida ele apresenta um problema muito sério de off-set, conforme observamos nas simulações anteriores. Se tomarmos os valores

finais dos resistores e substituímos na expressão (3.12), iremos encontrar que a tensão  $V_{OF}$  aparece na composição de  $V_{DD}$  amplificada por um fator de aproximadamente 50 vezes, ou seja, num pior caso de  $V_{OF} = \pm 20\text{mV}$ , teremos uma dispersão de  $V_{DD}$  de  $\pm 1\text{V}$ , somente relativo ao off-set. Isto pode ser verificado na figura 3.12, onde a tensão  $V_{DD}$  aparece em função da tensão  $V_{OF}$ .

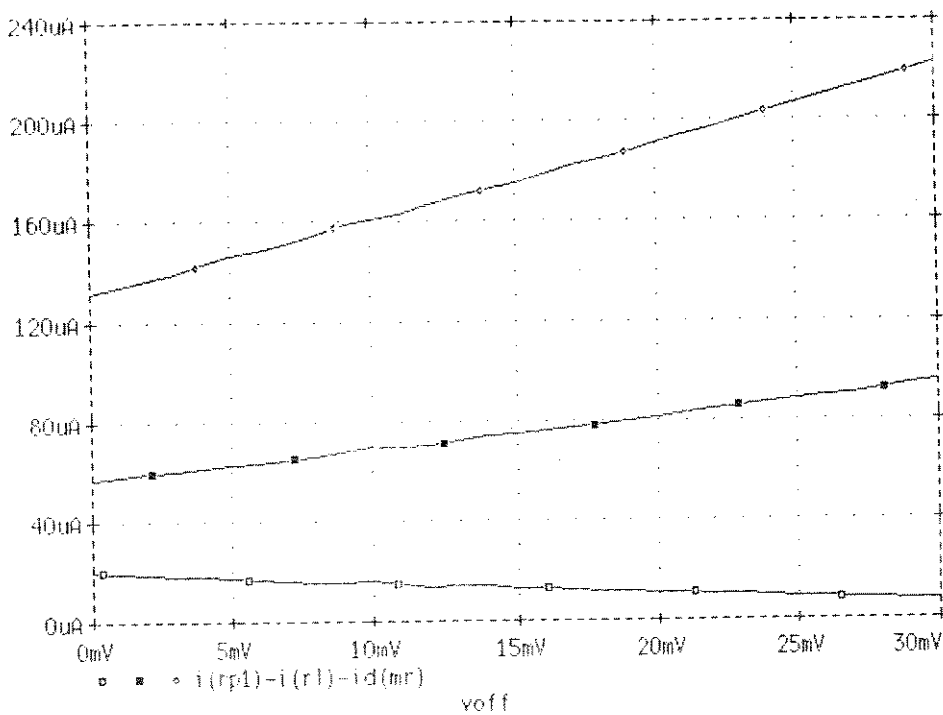


Fig. 3.13 - Curvas da corrente  $I_{CS}$

Esta solução se torna, portanto, bastante atraente para op-amps de baixo off-set, razão pela qual não deixamos de apresentar este circuito neste trabalho. No entanto, este não é o nosso caso, pois o off-set de um amplificador CMOS já é naturalmente de valor elevado. Se adicionarmos a este fato todos os problemas já enumerados, certamente cairemos numa situação onde o off-set possui valores bastante expressivos. O problema é ainda um pouco mais crítico com entradas em gates de transistores PMOS, já que a transcondutância destes transistores é menor que para os NMOS (de mesmas dimensões).

A idéia de se fazer um circuito para cancelamento do off-set acaba esbarrando numa

arquitetura mais complexa, quando não, envolvendo clocks de amostragens e elementos de memória (capacitores), com cancelamento do off-set somente por determinados períodos de tempo, o que não se aplica no nosso caso, onde se exige um cancelamento integral no tempo.

Para contornarmos estes problemas optamos por uma estrutura de regulador que, embora seja um pouco mais complexa em termos de circuito, possui uma dependência bem menor em relação ao off-set. Esta estrutura é apresentada no capítulo seguinte.

# CAPÍTULO 4

---

## MULTIPLICAÇÃO DE $V_{REF}$ ATRAVÉS DA SOMA DE $V_{BE}$ 'S

A solução adotada, que melhor satisfaz as exigências e dificuldades presentes, consiste em empilharmos transistores NPNs multiplicando a parcela de  $V_{BE}$  da equação (3.5), com conseqüente multiplicação da parcela  $I_1 R_2$ , obtendo-se então um novo valor de  $V_{REF}$  que corresponde ao próprio valor de  $V_{DD}$  desejado. A figura 4.1 a seguir ilustra de maneira simplificada, o circuito de que estamos falando:

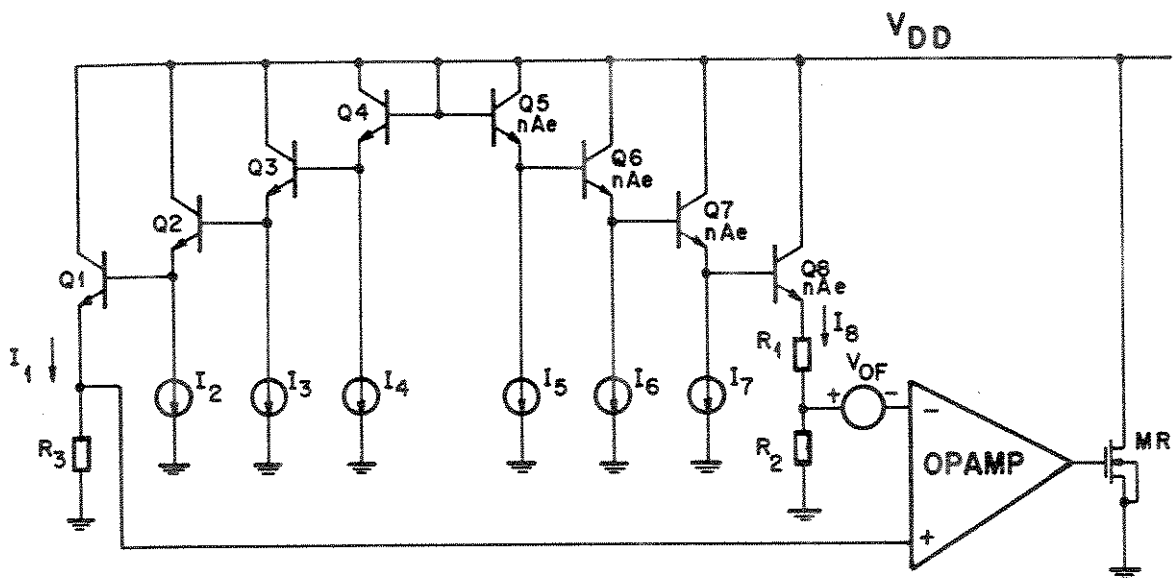


Fig. 4.1 - A solução empilhando transistores NPNs

Num procedimento análogo ao anterior podemos escrever (desconsiderando inicialmente a tensão de off-set do op amp):

$$V_{DD} = V_{BE1} + V_{BE2} + V_{BE3} + V_{BE4} + V_{R3} \quad (4.1)$$

$$V_{DD} = V_{BE1} + V_{BE2} + V_{BE3} + V_{BE4} + \frac{R_2}{R_1} V_{R1} \quad (4.2)$$

onde  $V_{R1}$  e  $V_{R3}$  são as quedas de tensão em  $R_1$  e  $R_3$  respectivamente.

Para obtermos um melhor casamento entre os diversos dispositivos envolvidos e um menor consumo de corrente, sem comprometimento do desempenho, fizemos  $I_1=I_8$ ,  $I_2=I_7$ ,  $I_3=I_6$  e  $I_4=I_5$ , com a primeira igualdade satisfeita através da igualdade de  $R_2$  e  $R_3$ . Com isto podemos escrever que:

$$V_{R1} = \Delta V_{BE_{1,8}} + \Delta V_{BE_{2,7}} + \Delta V_{BE_{3,6}} + \Delta V_{BE_{4,5}} \quad (4.3)$$

ou

$$V_{R1} = V_T \ln \left( \frac{A_8}{A_1} \frac{R_2}{R_3} \right) + \ln \left( \frac{A_7}{A_2} \right) + \ln \left( \frac{A_6}{A_3} \right) + \ln \left( \frac{A_5}{A_4} \right) \quad (4.4)$$

As áreas  $A_1$ ,  $A_2$ ,  $A_3$  e  $A_4$  são feitas unitárias (correspondentes aos próprios modelos dos transistores utilizados na simulação elétrica) e  $R_2$  igual a  $R_3$ . Portanto:

$$V_{R1} = V_T \ln (A_8 A_7 A_6 A_5) \quad (4.5)$$

Substituindo (4.5) em (4.2), encontramos:

$$V_{DD} = V_{BE1} + V_{BE2} + V_{BE3} + V_{BE4} + \frac{R_2}{R_1} V_T \ln (A_8 A_7 A_6 A_5) \quad (4.6)$$

Como as correntes  $I_2$ ,  $I_3, \dots, I_7$  são iguais, então  $V_{BE2} = V_{BE3} = V_{BE4}$ . Assim:

$$V_{DD} = V_{BE1} + 3 V_{BE2} + \frac{R_2}{R_1} V_T \ln (A_8 A_7 A_6 A_5) \quad (4.7)$$

Os dois primeiros termos possuem coeficiente negativo de temperatura, ao passo que o terceiro possui coeficiente positivo. Se levarmos em conta a tensão de off-set do op-amp a expressão (4.7) se modifica para:

$$V_{DD} = V_{BE1} + 3 V_{BE2} + \frac{R_2}{R_1} V_T \ln (A_8 A_7 A_6 A_5) - \left(1 + \frac{R_2}{R_1}\right) V_{OF} + \frac{R_2}{R_1} V_T \ln \left(1 - \frac{V_{OF}}{I_8 R_2}\right) \quad (4.8)$$

O segundo termo de  $V_{OF}$  pode ser desprezado frente ao primeiro, pois  $V_{OF} \ll I_8 R_2$ . Logo, resulta que:

$$V_{DD} = V_{BE1} + 3 V_{BE2} + \frac{R_2}{R_1} V_T \ln (A_8 A_7 A_6 A_5) - \left(1 + \frac{R_2}{R_1}\right) V_{OF} \quad (4.9)$$

Conforme já visto no capítulo anterior, devemos minimizar a parcela relativa ao off-set, fazendo a relação  $R_2/R_1$  a menor possível. Entretanto, como ela faz parte do termo  $K.V_T$  (3º termo), a solução consiste em maximizarmos a multiplicação das áreas dos transistores Q5, Q6, Q7 e Q8.

Essa maximização é obtida fazendo-se todos esses transistores (Q5,...,Q8) com áreas iguais, o que também proporciona uma melhor simetria de layout, já que os quatro transistores podem ser feitos idênticos.

Se chamarmos  $A_5=A_6=A_7=A_8=A$  podemos reescrever (4.9) como:

$$V_{DD} = V_{BE1} + 3 V_{BE2} + 4 \left(\frac{R_2}{R_1}\right) V_T \ln (A) - \left(1 + \frac{R_2}{R_1}\right) V_{OF} \quad (4.10)$$

Se fizermos a corrente em Q1 igual as correntes em Q2, Q3,...,Q8 na temperatura  $T_f$  (temperatura em que  $V_{DD}$  apresenta coeficiente de temperatura igual a zero), podemos escrever que, em  $T_0$  :

$$V_{BE1} = V_{BE2} = V_{BE} \quad (4.11)$$

Assim,

$$V_{DD} = 4 V_{BE} + 4 \left( \frac{R_2}{R_1} \right) V_T \ln(A) - \left( 1 + \frac{R_2}{R_1} \right) V_{OF} \quad (4.12)$$

ou

$$V_{DD} = 4 \left[ V_{BE} + \frac{R_2}{R_1} V_T \ln(A) \right] - \left( 1 + \frac{R_2}{R_1} \right) V_{OF} \quad (4.13)$$

tudo isto para  $T = T_0$ .

Confrontando (4.13) com (3.6), podemos observar que, a menos da presença do termo de  $V_{OF}$ ,  $V_{DD} = 4V_{REF}$ . Conforme já apresentado,  $V_{REF}$  expresso por (3.8) é a tensão que apresenta coeficiente de temperatura zero numa dada temperatura  $T_0$  e vale aproximadamente 1,3V. Dessa forma, sem levar em conta  $V_{OF}$ , temos que:

$$V_{DD} = 4 V_{REF} \approx 5,2V \quad (4.14)$$

Por simulação chegamos a um valor típico de  $V_{DD} = 5,23V$  centrado em  $T = 30^\circ C$  (os resultados de simulação serão vistos mais a frente).

Esta tensão é quase 5% acima da especificação de  $V_{DD} = 5V$  e, portanto, esta solução a princípio pareceria ser muito crítica. No entanto, mais importante que o valor absoluto de  $V_{DD}$ , é a regulação desta tensão, já que podemos redefinir o valor externo do resistor para trabalharmos com a mesma especificação da corrente total pelo chip, esta sim bastante relevante pois o consumo de corrente dos circuitos automotivos é de fundamental importância. Assim, embora este circuito forneça tipicamente um valor absoluto de  $V_{DD}$  próximo de 5,2V, a sua regulação deve permanecer extritamente dentro de  $\pm 10\%$ , para que também a corrente total não sofra grandes variações.

Voltando a expressão (4.13), se a compararmos com a expressão (3.10), vemos a grande vantagem dessa nova estrutura. Ao obtermos a tensão  $V_{DD}$  multiplicamos o termo  $(V_{BE} + KV_T)$  por 4, ao passo que o termo referente ao off-set não sofreu qualquer amplificação. Isto mostra a boa característica do circuito no que se refere a sensibilidade de  $V_{DD}$  ao off-set. Realmente esta solução é bem mais imune ao off-set em comparação com a solução apresentada em 3.2.

Na figura 4.1 vemos que também neste circuito utilizamos o transistor MR, ligado à saída do op-amp, para "drivar" altas correntes. Da mesma maneira que no circuito anterior, ele faz o papel do dispositivo de regulação da figura 2.1, enquanto o restante do circuito forma o elemento sensor de tensão.

O circuito completo deste regulador shunt é apresentado na figura 4.2. Os transistores M1A, M1B e M1C formam o circuito de *start-up* além de fornecerem a referência para as correntes que circulam através dos transistores NPNs e correntes de polarização do op-amp (MOP6 e MOP7).

## 4.1- DEFINIÇÃO E CÁLCULO DOS TRANSISTORES E RESISTORES

### A - Transistores das fontes de corrente

Inicialmente consideramos que as correntes dos 11 ramos do circuito (excluindo o ramo de MR) fossem todas iguais a  $5\mu\text{A}$ , isto em condições típicas de temperatura,  $V_{DD}$  e processo.

Com isto, definimos os valores de  $W/L$  dos transistores que formam a referência de corrente, M1A, M1B e M1C, levando-se em conta outros dois aspectos:

- 1 - Tanto  $W$  quanto  $L$  não poderiam ser muito pequenos, sob pena de prejudicar o casamento entre as correntes  $I_D$  de referência e as demais que formam as fontes de corrente.



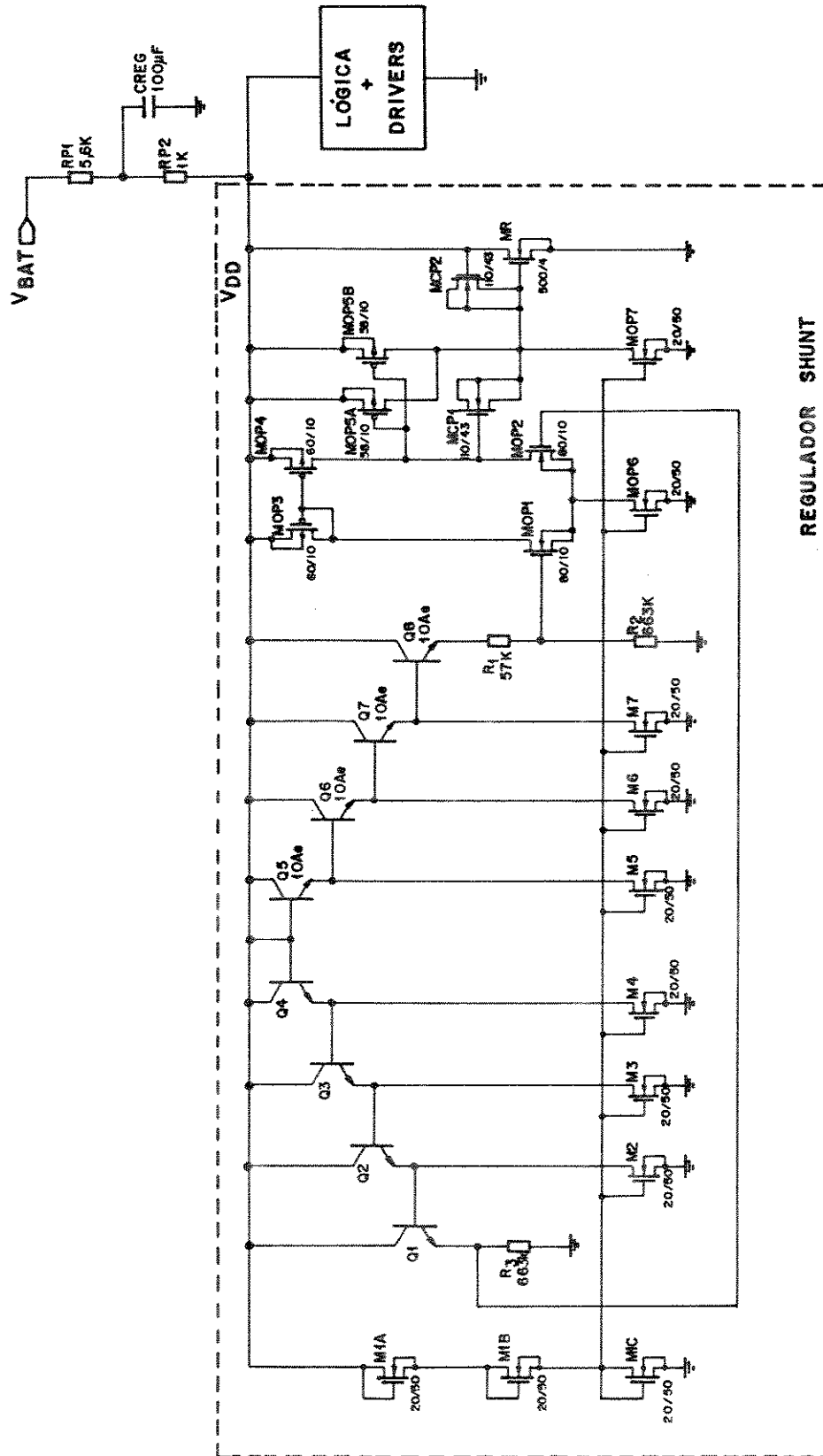


Fig. 4.2 - Circuito final do regulador shunt

2- A colocação de três transistores em série satisfaz a condição de circuito de start-up, além de proporcionar uma tensão adequada para os gates dos transistores das fontes de corrente. Esta tensão de gate não poderia ser nem muito pequena, para não prejudicar o casamento das correntes (o off-set é menor quanto maior o  $V_{GS}$ ), nem muito grande, sob pena de tirar os transistores da saturação e, portanto, da condição de fonte de corrente. Assim, a escolha mais adequada recaiu em se fazer  $V_{GS} = 1/3 V_{DD}$ , ou seja, três transistores em série.

Com auxílio do simulador elétrico fizemos  $W/L = 20/50$ , satisfazendo a corrente de  $5\mu A$ . Dessa forma a corrente total, excluindo MR, seria tipicamente  $55\mu A$ , bem menor que o limite especificado de  $180\mu A$  e, portanto, com bastante folga para as eventuais variações de temperatura e tolerâncias de processo e  $V_{DD}$ .

### B - Resistores $R_1$ , $R_2$ e $R_3$

Desejando fazer as correntes através de Q1 e Q8 também iguais a  $5\mu A$  nas condições típicas, e considerando como hipótese o valor de  $V_{BE}$  dos transistores com  $I_C = 5\mu A$  próximo de  $0,6V$ , escolhemos  $R_2$  e  $R_3$  iguais a:

$$R_2 = R_3 = \frac{V_{DD} - 4 V_{BE}}{5\mu A} = \frac{5,2V - 4 \cdot 0,6V}{5\mu A} \quad (4.15)$$

$$R_2 = R_3 = 560 K \quad (4.16)$$

onde utilizamos o valor de  $V_{DD}$  dado por (4.14).

O valor de  $R_1$  foi encontrado utilizando (4.13). Supondo, para o cálculo inicial de  $R_1$ , que  $V_{OF} = 0V$ , podemos escrever:

$$\frac{R_2}{R_1} = \frac{\frac{V_{DD}}{4} - V_{BE}}{V_T \ln(A)} \quad (4.17)$$

Para minimizarmos a influência de  $V_{OF}$ , devemos maximizar a área de emissor  $A$  dos NPNs Q5, Q6, Q7 e Q8. Levando-se em conta os mesmos argumentos do capítulo anterior decidimos, também aqui, trabalhar com  $A = 10$ .

Substituindo este valor na expressão anterior, sabendo-se ainda que  $V_T = 26\text{mV}$  à temperatura de  $30^\circ\text{C}$  e supondo  $V_{DD} = 5,2\text{V}$  e  $V_{BE} = 0,6\text{V}$ , encontramos que :

$$\frac{R_2}{R_1} = 11,7 \quad (4.18)$$

Substituindo  $R_2 = 560\text{K}\Omega$  encontramos  $R_1 = 47,8\text{K}\Omega$ .

Durante a simulação elétrica observamos que nos piores casos possíveis de processo, temperatura, etc, as correntes de  $5\mu\text{A}$  através de Q1 e Q8 aumentavam para aproximadamente  $20\mu\text{A}$ , tornando relativamente apertada a margem de consumo de  $I_{CS}$ . Detectado este problema ajustamos os resistores, baixando a corrente de  $5\mu\text{A}$  para  $4\mu\text{A}$  na temperatura de  $30^\circ\text{C}$ . Utilizando ainda o simulador, fizemos o ajuste final encontrando que os melhores valores seriam:

$$R_1 = 57\text{K}\Omega$$

$$R_2 = R_3 = 663\text{K}\Omega$$

Aqui ocorre o mesmo problema do circuito anterior, e de forma ainda mais crítica, pois os valores são maiores. Os resistores de que dispomos apresentam todos resistência de quadrado muito baixa e a única solução encontrada foi utilizarmos resistores de poço P [17], que apresentam resistência de quadrado da ordem de  $3,2\text{K}\Omega$ .

### C - O Amplificador Operacional

Conforme dissemos no capítulo anterior, a estrutura do op-amp deve ser a mais simples possível, tendo em vista a finalidade de compactação.

Neste circuito, praticamente repetimos a mesma estrutura utilizada no circuito anterior, porém com entrada diferencial utilizando transistores NMOS. Isto porque a tensão de modo comum das entradas  $V+$  e  $V-$  é suficientemente alta para permitir a colocação de uma fonte de corrente ligada ao terra, o que não era possível na estrutura anterior. Este fato representa uma vantagem, pois os transistores NMOS possuem uma maior transcondutância em relação aos PMOS, permitindo uma melhoria no off-set intrínseco do op-amp.

Os transistores MOP6 e MOP7 atuam como fontes de corrente de mesmo valor que as demais correntes que circulam pelos transistores bipolares. MOP1 e MOP2 formam o par diferencial de entrada, MOP3 e MOP4 constituem a carga ativa e MOP5A, MOP5B e MOP7 formam o estágio de saída. As dimensões desses transistores foram escolhidas com o mesmo critério utilizado no circuito anterior. A presença dos dois transistores MOP5A e MOP5B tem aqui a mesma finalidade de minimização do off-set sistemático, mencionado anteriormente.

#### **D- O Transistor MR**

O transistor MR é exatamente igual ao utilizado na versão anterior, seguindo as mesmas características e considerações. A escolha de  $W$  e  $L$ , conforme vimos no capítulo 3, foi feita com a ajuda da simulação elétrica.

### **4.2- O PROBLEMA DA ESTABILIDADE EM FREQUÊNCIA**

No circuito anterior não chegamos a fazer um estudo completo da estabilidade em frequência, pois o problema do off-set já foi suficiente para abandonarmos a idéia de utilização daquele circuito. No entanto este assunto merece um destaque especial .

Do ponto de vista da estabilidade, considerando que este circuito não é alimentado por um  $V_{DD}$  fixo e sim é ele quem gera esta tensão, existem vários "loops" de realimentação envolvendo o nó de  $V_{DD}$ . Isto causa uma grande dificuldade de se fazer uma análise AC

precisa através do simulador, conforme veremos no item 4.3. Para tornar este circuito estável em frequência, foram feitas as seguintes alterações:

1- Foram introduzidos dois capacitores de compensação de valores aproximadamente 2pF entre dreno-gate de MR e entre dreno-gate de MOP5A/MOP5B. Esses capacitores são formados pela própria capacitância de óxido fino de transistores NMOS cujo dreno, fonte e substrato estão curto-circuitados. Na figura 4.3 vemos que a polarização do transistor desta maneira permite a formação do canal, o qual constitui a placa inferior do capacitor.

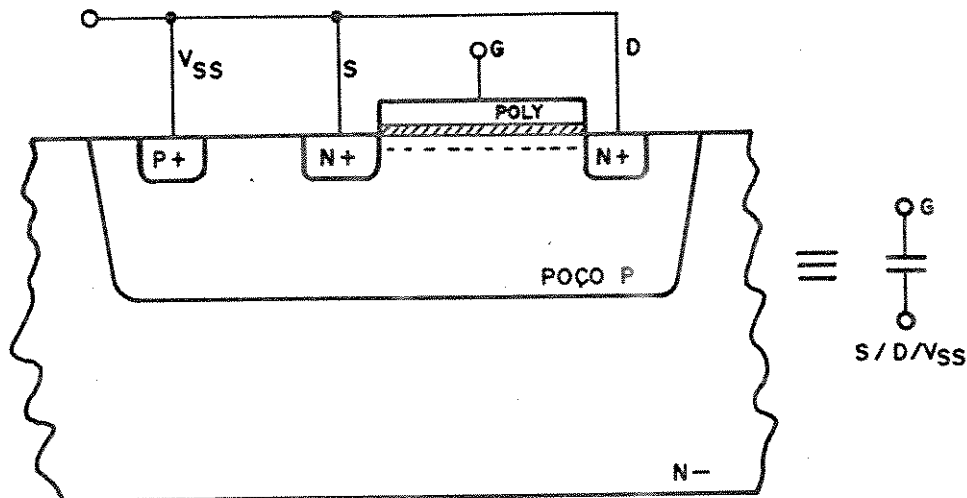


Fig. 4.3 - Transistor NMOS ligado como capacitor

Quando a tensão entre gate e substrato é próxima de zero, não existe canal, mas também não existe camada de depleção e, portanto, a placa inferior é o próprio substrato cujo terminal é a própria polarização do poço. À medida que a tensão entre gate e substrato sobe, o canal começa a se formar, com uma camada de depleção também se formando abaixo do canal. Nesse momento, enquanto o canal ainda não se formou totalmente, a capacitância de gate atinge seu valor mínimo, voltando ao seu valor anterior quando o canal se forma, o qual passa a constituir agora a placa inferior do capacitor.

Pela simulação elétrica, determinou-se que o valor ótimo para as capacitâncias de compensação seria de 2pF cada uma (a simulação para análise de estabilidade foi feita

inicialmente com capacitores). Com isto, foi determinado o valor necessário para  $W$  e  $L$  do transistor MOS, de tal forma a apresentar uma capacitância de gate igual a 2pF.

Tomamos o pior caso (maior valor) para a espessura do óxido de gate. Segundo dados da *foundry* este valor é  $t_{ox} = 535E-8$ cm [23]. Calculamos então a capacitância por área do óxido ( $C_{ox}$ ).

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.19)$$

$$C_{ox} = \frac{3,45E-13}{535E-8} \left[ \frac{F}{cm^2} \right] \quad (4.20)$$

$$C_{ox} = 64,5 \frac{nF}{cm^2} \quad (4.21)$$

Queremos  $C = 2$ pF. Assim :

$$C = WL C_{ox} \quad (4.22)$$

$$2 pF = WL C_{ox} \quad (4.23)$$

$$WL = 3100 \mu m^2 \quad (4.24)$$

Por segurança adotamos  $W = 110\mu m$  e  $L = 40\mu m$ , cujo produto é  $W \times L = 4400\mu m^2$

Esse valor de capacitância foi checado via simulação, onde inclusive traçamos a curva de  $C \times V_{GATE}$  para estudar os valores máximos e mínimos dessa capacitância, nas piores condições de polarização. Esses transistores, na forma de capacitâncias de compensação, podem ser vistos na figura 4.2. Lá eles aparecem com a nomenclatura MCP1 e MCP2.

2- A segunda alteração foi quebrar o resistor externo de  $6,8K\Omega$  em dois ( $1K\Omega$  e  $5,6K\Omega$ ), transformando o polo dominante de  $C_{REG}$  em um polo seguido de um zero, ambos em uma frequência bem superior, deixando a cargo das capacitâncias de compensação interna a responsabilidade pelo polo dominante.

### 4.3 - RESULTADOS DA SIMULAÇÃO ELÉTRICA

Como o transistor MR é o mesmo utilizado no circuito anterior, continuam válidos todos os resultados da simulação referente a escolha de MR, apresentados no capítulo 3. Aqui mostraremos apenas os resultados das simulações globais do regulador, as quais são baseadas no circuito da figura 4.4.

#### 4.3.1 A DISPERSÃO DE PROCESSO

Na figura 4.4 podemos observar a presença dos resistores de base dos transistores bipolares e do circuito digital equivalente formado por CL e RL, que é o mesmo do capítulo anterior. Os componentes externos também já estão na configuração final, ou seja, RP1, RP2 e CREG.

Seguindo a mesma sequência do capítulo 3, apresentamos inicialmente as simulações do regulador considerando apenas as dispersões de processo, com o off-set igual a zero. O arquivo de simulação utilizado, **bgap.cir**, é visto a seguir (pag. 53).

Vemos neste arquivo a presença de três simulações. A primeira corresponde ao caso típico e as outras duas aos piores casos de dispersão de processo. A temperatura foi variada de 4 em 4 graus de  $-40$  a  $+100^{\circ}C$  através da simulação *.dc temp*. Da mesma forma que anteriormente,  $V_{BAT}$  foi considerada tipicamente com valor de  $13,1V$ , já desconsiderando aí a queda de tensão no diodo.

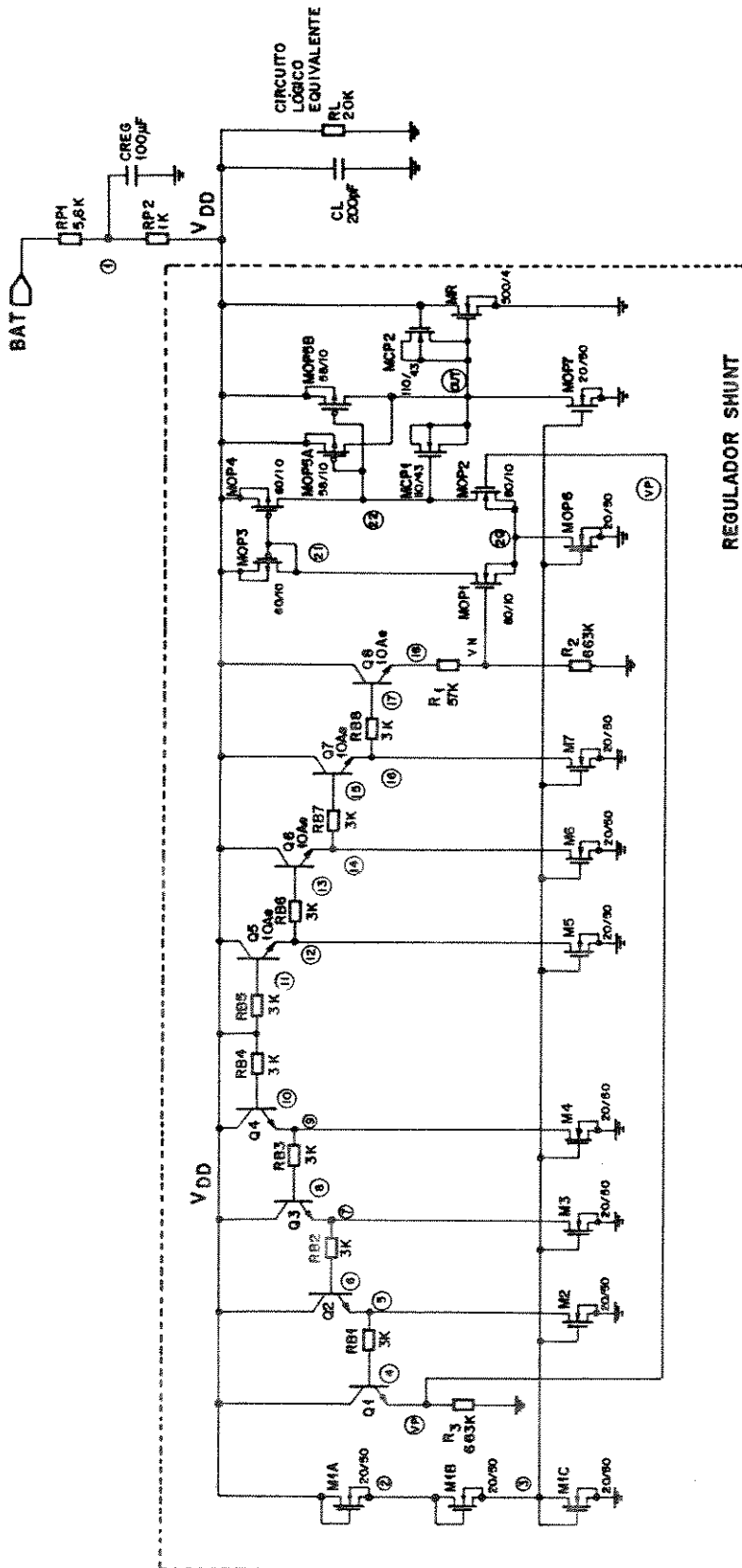


Fig. 4.4 - Circuito de simulação



```

BANDGAP CMOS TP
* caso tipico : trans.tp , res. tp
*
*** SIMULACOES ***
.dc temp -40 100 4
.probe
*
*** MODELOS***
.model rpw res (r=1 tc1=0.01) ; resistor de p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0v
.inc cct_tp
*
* circuito digital equivalente
rl vdd 0 20k ; carga DC do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat 1 5.6k
rp2 1 vdd 1k
creg 1 0 100uF
*
.end
BANDGAP CMOS PC1
* pior caso 1 : trans. wt, res. max
*
*** SIMULACOES ***
.dc temp -40 100 4
.probe
*
*** MODELOS ***
.model rpw res (r=1.407 tc1=0.01) ; resist. p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0V
.inc cct_w
*
* circuito digital equivalente
rl vdd 0 20k ; carga DC do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat 1 5.6k
rp2 1 vdd 1k
creg 1 0 100uF
*
.end
BANDGAP CMOS PC2
* pior caso 2: trans. bt, res. min
*
*** SIMULACOES ***

```

```

.dc temp -40 100 4
.probe
*
*** MODELOS ***
.model rpw res (r=0.625 tc1=0.01) ; resist. p-well
*
*** CIRCUITO ***
vbat bat 0 13.1v
voff vn vna 0v
.inc cct_b
*
* circuito digital equivalente
rl vdd 0 20k      ; carga DC do circuito logico
cl vdd 0 200pF   ; carga AC vista no pad de VDD
*
* componentes externos
rp1 bat 1 5.6k
rp2 1 vdd 1k
creg 1 0 100uF
*
.end

```

Neste arquivo **bgap.cir** as chamadas *.inc cct\_tp*, *.inc cct\_w* e *.inc cct\_b* correspondem aos arquivos com transistores MOS típico, worst e best, respectivamente. Abaixo apresentamos o arquivo **cct\_tp**. Os outros dois diferem apenas no modelo do transistor MOS.

```

* CIRCUITO TIPICO
*** MODELOS ***
.lib ccbami.lib ; transist. MOS
.model dpar d (is=1e-18 rs=1000 cjo=1.4e-12 vj=0.7 m=0.5)
.model nbp npn (is=4.5e-16 bf=189.928 nf=1.01139 ikf=8.79702e-3
+ise=7e-16 ne=1.46798 vaf=42 var=8.3 br=3.06069 nr=1.01385
+rb=15 rbm=15 re=12.5474 rc=159.766
+ikr=1.46665e-3 isc=1.08641e-13 nc=1.45675
+eg=1.193 xtb=1.2 xti=3.0
+cjs=0.424p vjs=0.35 mjs=0.2
+cjc=0.285p vjc=0.62 mjc=0.35 xcjc=0.15
+cje=0.305p vje=0.74 mje=0.38
+tf=435p vtf=9 xtf=1 itf=.1u)
*
*** DEFINICOES ***
.options defl=50u defw=20u defad=160p defas=160p itl1=200 itl2=200
*
*** CIRCUITO ***
* transistores bipolares
q1 vdd 4 vp nbp
q2 vdd 6 5 nbp
q3 vdd 8 7 nbp
q4 vdd 10 9 nbp
q5 vdd 11 12 nbp 10

```

```

q6 vdd 13 14 nbp 10
q7 vdd 15 16 nbp 10
q8 vdd 17 18 nbp 10
*
* resistores de base (p-well) dos trans. bipolar.
rb1 5 4 rpw 3k
rb2 7 6 rpw 3k
rb3 9 8 rpw 3k
rb4 vdd 10 rpw 3k
rb5 vdd 11 rpw 3k
rb6 12 13 rpw 3k
rb7 14 15 rpw 3k
rb8 16 17 rpw 3k
*
* fontes de corrente
m1a vdd vdd 2 2 nt pd=56u ps=56u
m1b 2 2 3 3 nt pd=56u ps=56u
m1c 3 3 0 0 nt pd=56u ps=56u
m2 5 3 0 0 nt pd=56u ps=56u
m3 7 3 0 0 nt pd=56u ps=56u
m4 9 3 0 0 nt pd=56u ps=56u
m5 12 3 0 0 nt pd=56u ps=56u
m6 14 3 0 0 nt pd=56u ps=56u
m7 16 3 0 0 nt pd=56u ps=56u
*
* resistores que geram  $K \cdot V_T$ 
r1 18 vn rpw 57k
r2 vn 0 rpw 663k
r3 vp 0 rpw 663k
*
* amplificador operacional
mop1 21 vna 20 20 nt l=10u w=80u ad=640p as=640p pd=176u ps=176u
mop2 22 vp 20 20 nt l=10u w=80u ad=640p as=640p pd=176u ps=176u
mop3 21 21 vdd vdd pt l=10u w=60u ad=480p as=480p pd=136u ps=136u
mop4 22 21 vdd vdd pt l=10u w=60u ad=480p as=480p pd=136u ps=136u
mop5a out 22 vdd vdd pt l=10u w=58u ad=464p as=464p pd=132u ps=132u
mop5b out 22 vdd vdd pt l=10u w=58u ad=464p as=464p pd=132u ps=132u
mop6 20 3 0 0 nt pd=56u ps=56u
mop7 out 3 0 0 nt pd=56u ps=56u
*
* transistor de regulacao
mr vdd out 0 0 nt l=4u w=500u ad=7000p as=7000p pd=1028u ps=1028u
*
* capacitancias de compensacao
mcp1 out 22 out out nt l=43u w=110u ad=770p as=770p pd=234u ps=234u
mcp2 out vdd out out nt l=43u w=110u ad=770p as=770p pd=234u ps=234u
*
* capacitancias parasitas de p-well
dmcp1 out vdd dpar l
cpw 20 vdd 0.8pF

```

Os resultados dessas simulações são apresentados nas figuras 4.5, 4.6 e 4.7.

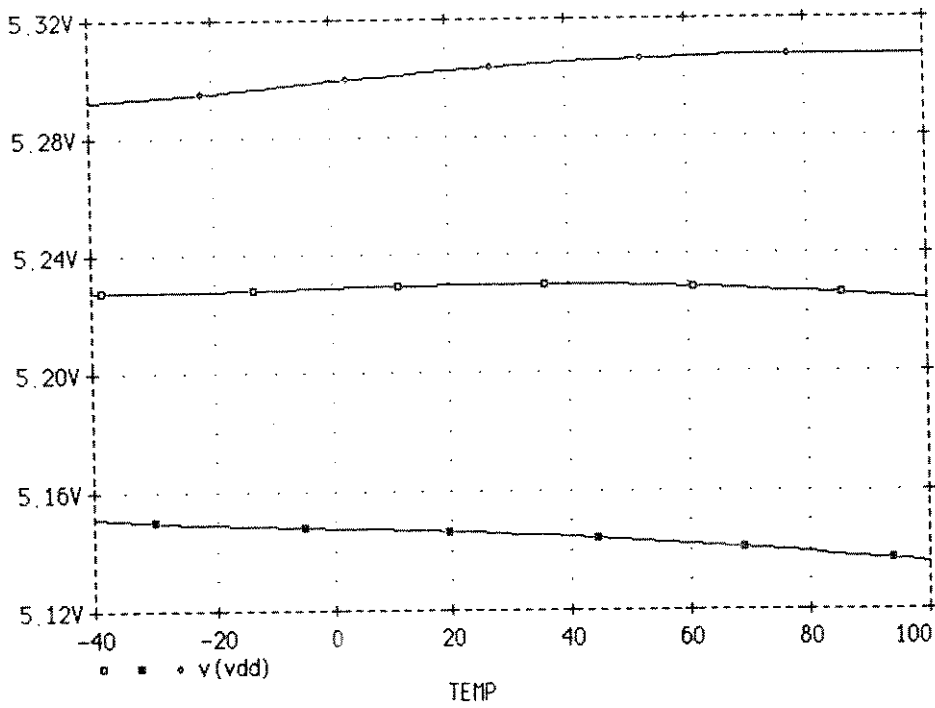


Fig. 4.5a - Curvas de  $V_{DD}$  em função da temperatura e processo

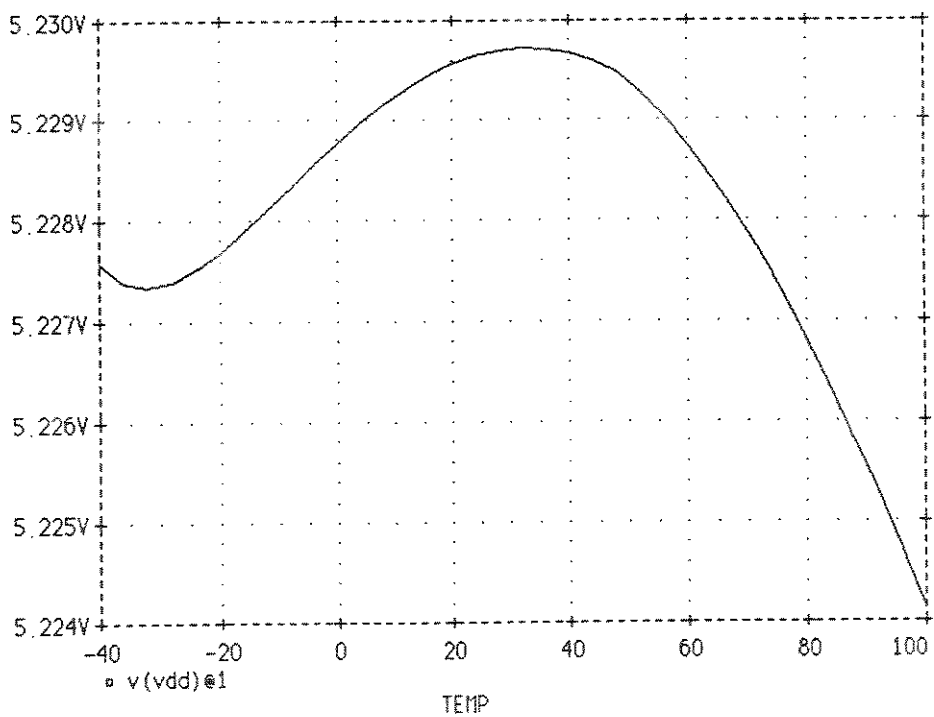


Fig. 4.5b - Curva de  $V_{DD}$  típica

Na figura 4.5a vemos as curvas de  $V_{DD}$  em função da temperatura para os três casos, enquanto na figura 4.5b apresentamos, numa escala ampliada, apenas o caso típico.

Conforme já mencionamos, neste circuito típico  $V_{DD}$  está centrado em 5,23V, na temperatura típica de 30°C. Vemos também aqui que a variação de  $V_{DD}$  é devido basicamente à dispersão de processo, mudando muito pouco com a temperatura. Isto ocorre porque novamente centramos o ponto de inflexão da curva  $V_{DD} \times TEMPERATURA$  na temperatura de 30°C. Isto é melhor visto na figura 4.5b. Como dissemos no capítulo anterior, este acerto é teórico, feito através do simulador. Na prática muitas vezes se faz necessário uma determinada correção no formato desta curva, principalmente no nosso caso onde os coeficientes de temperatura são incertos. Isto é feito normalmente através de um ajuste nos valores de  $R_1$ ,  $R_2$  e  $R_3$ , razão pela qual, conforme veremos quando falarmos em layout, deixamos um certo grau de programação nas máscaras desses resistores, para uma eventual correção numa segunda rodada de difusão.

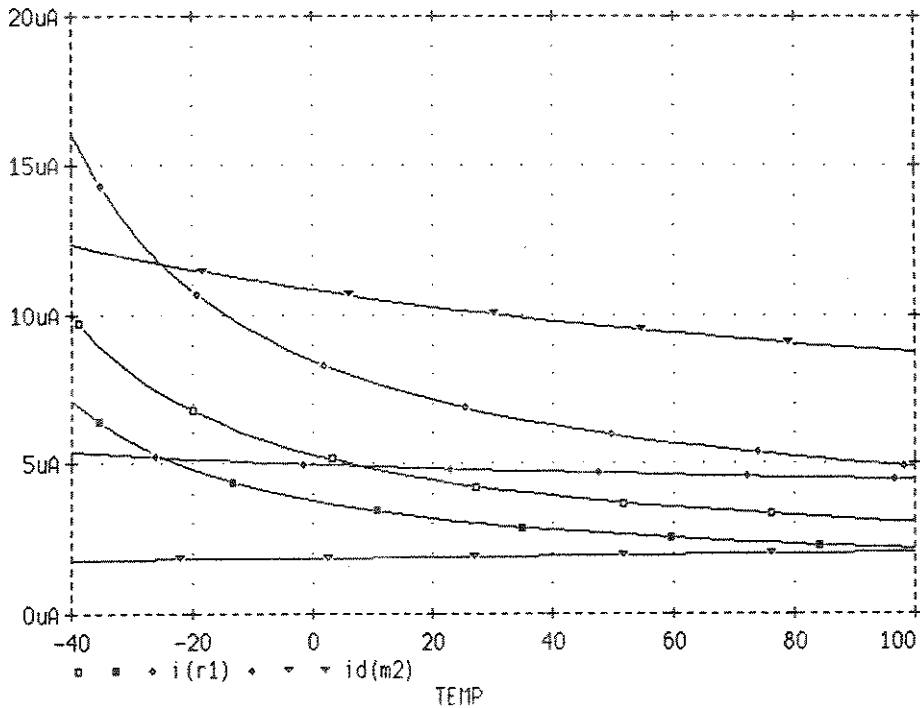


Fig. 4.6 - Correntes por M2 e  $R_1$

Na figura 4.6 vemos uma amostra das correntes que circulam pelas fontes de corrente,  $I_D(M2)$ , e a corrente que passa através de  $R_1$  e  $R_2$ ,  $I(R_1)$ . Como dissemos em 4.1, a idéia inicial era fazer com que, no caso típico, essas correntes fossem iguais na temperatura de 30°C. Entretanto, devido ao alto valor assumido pelas correntes por  $R_1$  e  $R_2$  nas baixas temperaturas, tivemos que dimensioná-las para um valor menor (aproximadamente 4µA, conforme podemos ver na figura 4.6). Podemos observar ainda que as correntes apresentam um comportamento distinto em função da temperatura. As correntes por  $R_1$  e  $R_2$  apresentam coeficiente de temperatura negativo devido ao caráter dominante do coeficiente positivo dos resistores de p-well, enquanto as fontes de corrente variam em função dos transistores MOS e da própria tensão de  $V_{DD}$ . Podemos aqui comprovar o que dissemos a respeito do coeficiente  $\alpha$  da expressão 3.8, de que ele se situa entre 0 e -1.

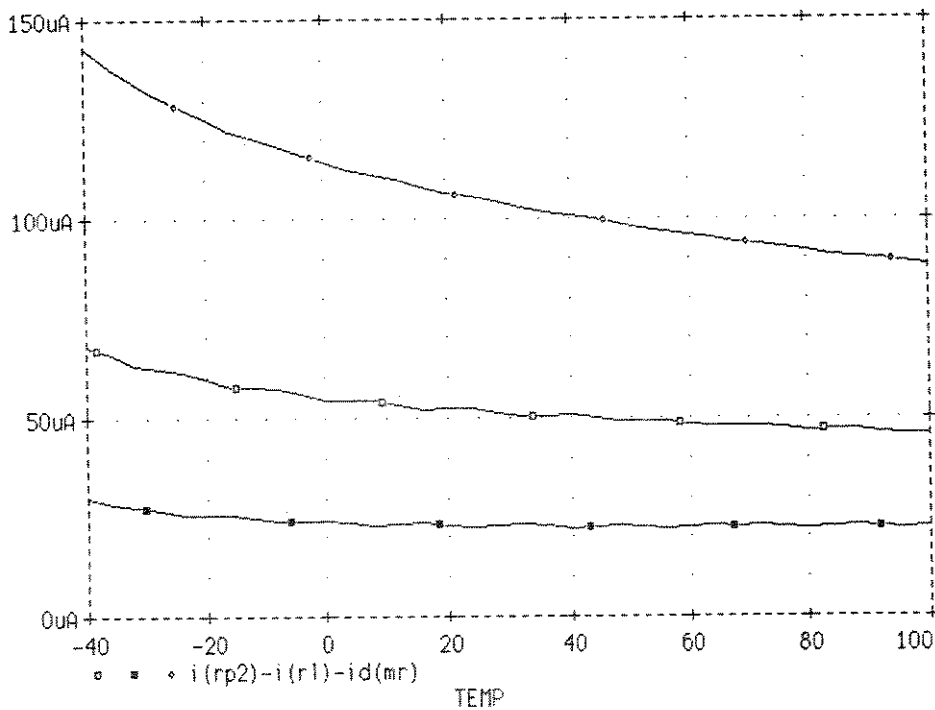


Fig. 4.7 - Corrente  $I_{CS}$

Na figura 4.7 observamos a corrente total,  $I_{CS}$ , do circuito sensor da tensão  $V_{DD}$  e na figura 4.8 a corrente pelo transistor MR. Como tanto as fontes de corrente como as correntes por Q1 e Q8 diminuem com o aumento de temperatura, era natural esperarmos um consumo

decrecente com a temperatura. Quanto a corrente em MR, esta se ajusta à corrente necessária ao resto do circuito, de forma a manter a corrente externa praticamente constante, uma vez que  $V_{DD}$  muda muito pouco.

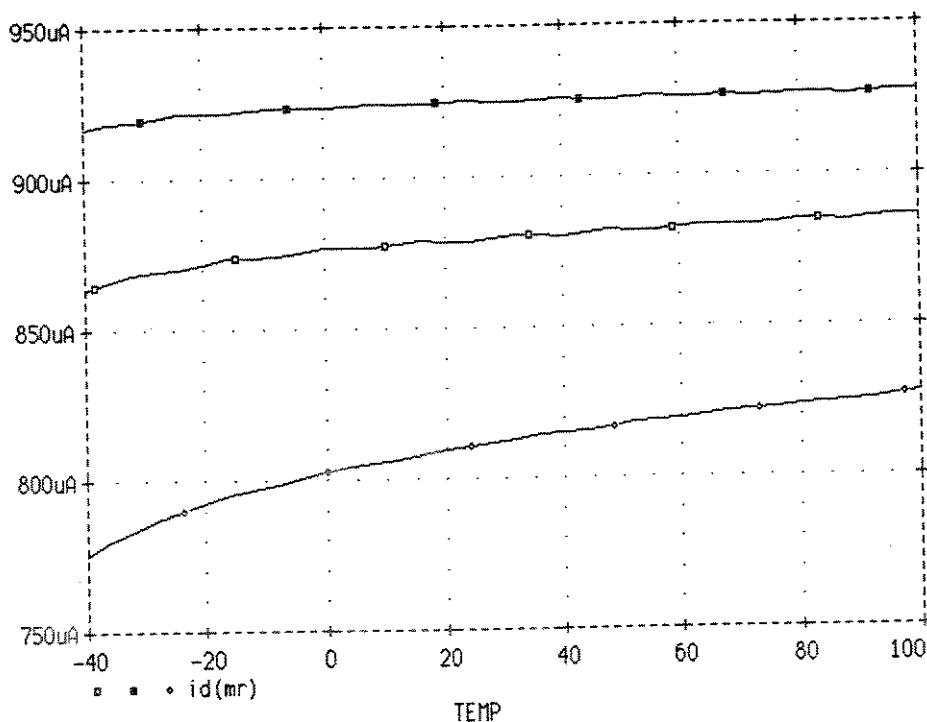


Fig. 4.8 - Corrente  $I_D$  de MR

### 4.3.2 - OFF-SET

Nesses resultados anteriores só consideramos as dispersões de processo sendo o off-set mantido em zero. Apresentamos agora os resultados levando em conta esta nova variável.

Aqui, igualmente ao circuito da versão anterior, verificamos que as piores situações de funcionamento do circuito ocorrem nos dois extremos de temperatura. Nas temperaturas baixas temos o problema do consumo de corrente e nas altas temperaturas o problema da dispersão de  $V_{DD}$ .

Repetimos as mesmas simulações de off-set do capítulo anterior, estudando o circuito apenas nos casos extremos de temperatura. Simulamos os três piores casos a saber: 1° - na condição em que tivemos o maior  $V_{DD}$ , devido a dispersão de processo, acrescentamos um off-set negativo, aumentando ainda mais a tensão de  $V_{DD}$ ; 2° - na condição em que tivemos o menor valor de  $V_{DD}$ , acrescentamos um off-set positivo forçando-o a diminuir ainda mais (estes dois casos simulamos com temperatura de 100°C); 3° - repetimos a mesma situação do 1° porém com temperatura de -35°C. Os resultados são apresentados nas figuras 4.9, onde vemos os piores casos de dispersão de  $V_{DD}$ , e 4.10, onde temos o pior caso de corrente.

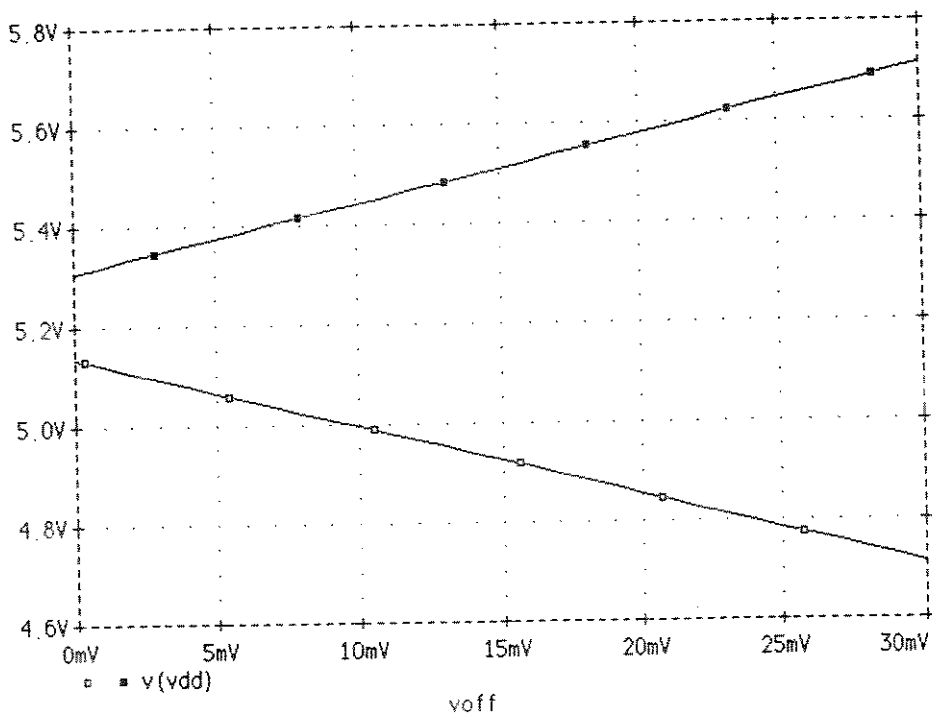


Fig. 4.9 - Piores casos de dispersão de  $V_{DD}$

Comprovamos aqui a vantagem de se utilizar o circuito com empilhamento de  $V_{BE}$ 's. Se considerarmos um  $V_{OF}$  de até  $\pm 30\text{mV}$ , verificamos que a regulação de  $V_{DD}$  permanece dentro dos 10% e a corrente  $I_{CS}$  não ultrapassa os 180uA, satisfazendo as condições de especificação.



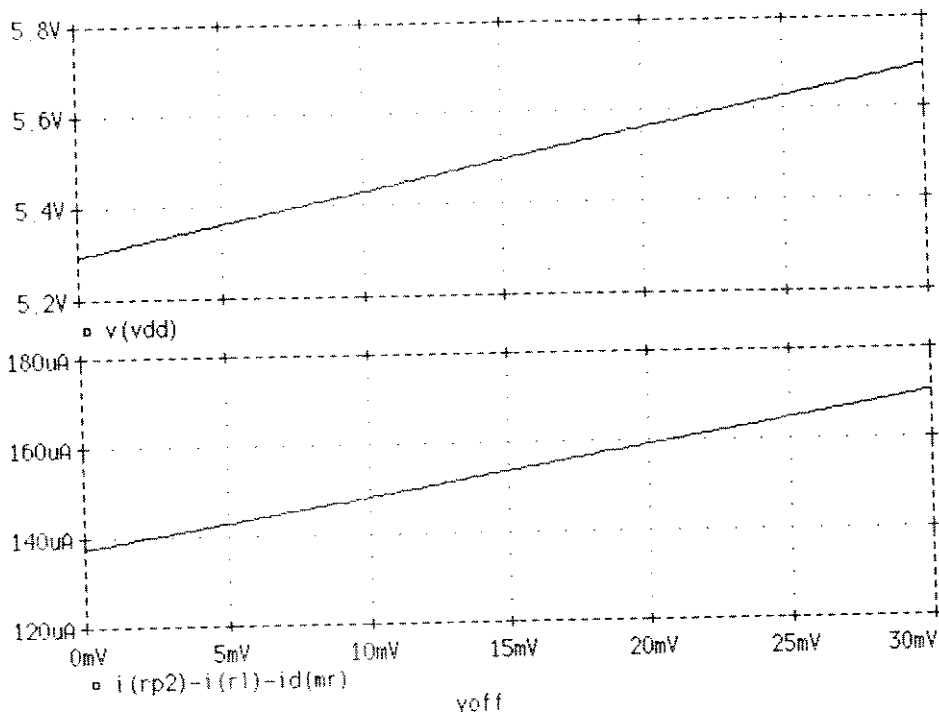
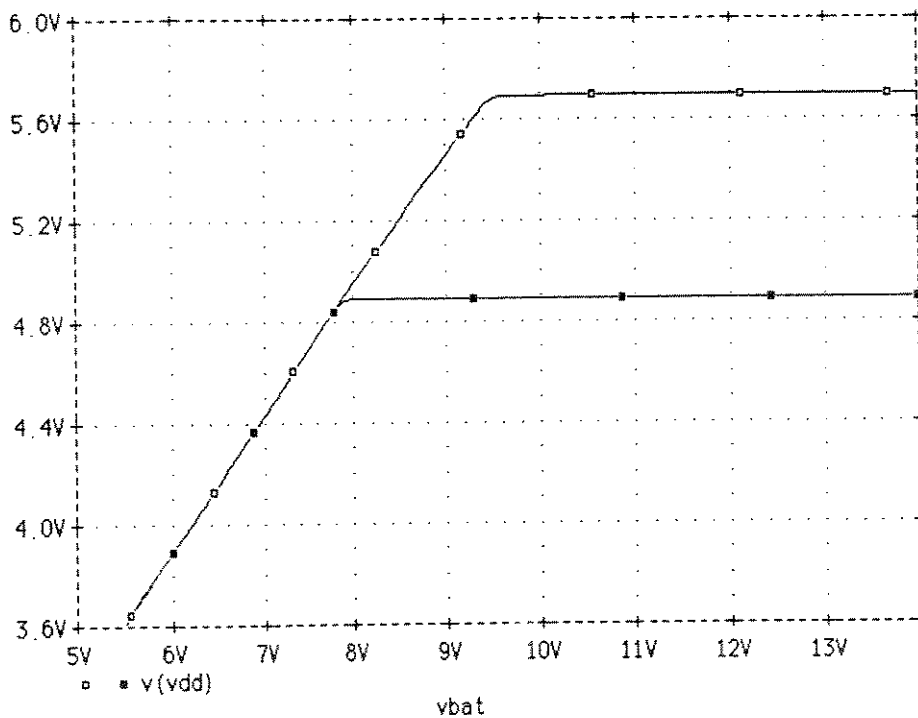


Fig. 4.10 - Pior caso da corrente  $I_{CS}$

### 4.3.3 - A TENSÃO $V_{BAT}$

Para checar a influência da tensão da bateria no comportamento do circuito, realizamos duas simulações nos dois casos em que o regulador necessita de máxima corrente (transistores best e resistência de p-well mínima). Através de uma simulação *.dc* variamos  $V_{BAT}$  de 5 a 14V com *step* de 0,1V. A temperatura foi feita igual a  $-35^{\circ}\text{C}$ , a carga do circuito digital foi aumentada e os resistores externos acrescidos das respectivas tolerâncias de 5%. Tudo isto para que nos menores valores de  $V_{BAT}$ , a corrente total fornecida ao chip fosse mínima e a corrente exigida pelo regulador fosse máxima, forçando  $I_D(MR)$  a um valor próximo de zero. Dessa forma a condição de regulação poderia estar comprometida nos valores mais baixos da tensão  $V_{BAT}$ . O resultado pode ser visto na figura 4.11, onde apresentamos duas situações, a primeira com off-set de  $-30\text{mV}$  e a segunda com off-set de  $+30\text{mV}$ .

Fig. 4.11 - Tensão  $V_{DD}$  em função de  $V_{BAT}$ 

Podemos observar que para valores muito baixos de  $V_{DD}$  o regulador deixa de exercer a regulação, pois a corrente por MR cai a zero. Apesar de sair da regulação, vemos que mesmo nestas situações extremas, a tensão de  $V_{DD}$  permanece dentro da tolerância dos 10% para valores de  $V_{BAT}$  tão baixo quanto 7,5V, que corresponde a aproximadamente a tensão mínima de 8V especificada, levando em conta a tensão do diodo externo

Mesmo na situação de partida a frio, quando  $V_{BAT}$  cai a aproximadamente 6V ( na figura 4.11 corresponde a  $V_{BAT}$  de 5,3V ) a tensão de  $V_{DD}$  de 3,5V ainda permite um funcionamento adequado dos circuitos digitais, de forma que o chip continua atuando. A especificação para  $V_{DD}$  nesta situação não é aquela de tolerância de 10%, a tensão deve apenas ser suficiente para manter o circuito ativo.

Ainda com relação a  $V_{BAT}$ , resta a situação correspondente a dupla bateria, onde esta tensão pode atingir até 24V. No entanto esta condição já está indiretamente garantida quando simulamos as ocorrências dos pulsos de *load-dump*, conforme apresentamos a seguir.

#### 4.3.4 - OS PULSOS DE LOAD-DUMP

Também nas simulações de *load-dump* consideramos duas situações, onde a diferença entre elas está apenas no off-set, num caso positivo e no outro negativo. O arquivo de simulação é apresentado a seguir.

```

LOAD-DUMP 1
* pior caso de load-dump 1 :
* trans. wt, res. max, temp 100, vbat=17.3v, res. rp1 e rp2 min,
* creg min, off-set de +30mV
*
*** SIMULACOES ***
.tran 0.01us 0.7s 0 500us
.probe
.temp 100
.nodeset v(vdd)=4.57 v(out)=1.75 v(22)=3.43 v(20)=1.95
*
*** MODELOS ***
.model rpw res (r=1.407 tc1=0.01) ; resit. de p-well
*
*** CIRCUITO EQUIV. DO PINO DE VDD ***
lpin lex vdd 6n
*cpin vdd 0 0.44p ; ja considerado no cl
*
*** CIRCUITO ***
vbat bat load 17.3v
vload load 0 exp (0 130v 100m 4ms 110ms 100ms)
voff vn vna 30mv ; VOS = +30mV
.inc cct_w
*
* circuito digital equivalente
rl vdd 0 24k ; carga DC minima do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
*
* componentes externos (piores casos de toler.)
rp1 bat 1 5.3k
rp2 1 lex 0.95k
creg 1 0 50uF
*
.end
LOAD-DUMP 2
* pior caso de load-dump 2 :
* trans. wt, res. max., temp 100, vbat=17.3v, res. rp1 e rp2 min,
* creg min, off-set de -30mV
*
*** SIMULACOES ***
.tran 0.01us 0.7s 0 500us
.probe
.temp 100

```

```

*** MODELOS ***
.model rpw res (r=1.407 tc1=0.01) ; resist. de p-well

*
*** CIRCUITO EQUIV. DO PINO DE VDD ***
lpin 1ex vdd 6n
*cpin vdd 0 0.44p ; ja considerado no cl
*
*** CIRCUITO ***
* fontes
vbat bat load 17.3v
vload load 0 exp (0 130v 100m 4ms 110ms 100ms)
voff vna vn 30mv ; VOS = -30mV
.inc cct_w
*
* circuito digital equivalente
rl vdd 0 24k ; carga DC minima do circuito logico
cl vdd 0 200pF ; carga AC vista no pad de VDD
*
* componentes externos (piores casos de toler.)
rp1 bat 1 5.3k
rp2 1 1ex 0.95k
creg 1 0 50uF
*
.end

```

Conforme podemos notar, ambas as simulações foram feitas nas piores condições possíveis a saber :

- transistores weak, portanto MR necessita uma maior tensão de  $V_{GS}$  para conduzir a corrente durante o *load-dump*.
- resistores de p-well máximos, portanto a corrente pelo circuito sensor de  $V_{DE}$  é mínima e por conseguinte o excedente de corrente por MR é máximo.
- $V_{BAT}$  igual a 17,3V ( já descontado a queda no diodo), correspondendo ao valor máximo de 18V conforme especificação. Isto aumenta a amplitude absoluta do pulso de *load-dump*.
- Levando em conta as tolerâncias, os componentes externos ( $R_{P1}$ ,  $R_{P2}$  e  $C_{REG}$ ) foram considerados com seus valores mínimos. Isto piora sensivelmente a ação do filtro RC externo, permitindo que uma maior energia do pulso chegue ao

transistor MR.

- A temperatura foi feita igual a  $100^{\circ}\text{C}$ , pois assim a corrente  $I_{CS}$  fica menor, contribuindo para um aumento ainda maior na corrente por MR.
- O consumo do circuito equivalente digital foi também aumentado em 20% pela mesma razão do item anterior.
- Já que esta é uma das mais importantes simulações, pois representa o objetivo do circuito regulador, consideramos aqui o máximo de off-set, ou seja, 30mV. Na primeira simulação colocamos um off-set positivo e na segunda um off-set negativo.
- A amplitude do pulso de *load-dump* foi ajustada para que o resultado final fosse um pico de 120V montado em cima dos 18V de  $V_{BAT}$ .
- A duração total do pulso foi feita aproximadamente igual a 0.5s

Outra observação importante é o fato de utilizarmos um circuito equivalente para o pino do CI. Este circuito, que consiste de um indutor série e um capacitor paralelo, é fornecido pela própria *foundry* [23], e foi utilizado porque embora o pulso de *load-dump* seja lento, ele eventualmente poderia provocar algum pico de tensão, de forma que a presença desse circuito equivalente seria de grande importância.

Os resultados dessas simulações de *load-dump* são apresentados nas figuras 4.12, 4.13, 4.14 e 4.15. Na figura 4.12 vemos a tensão  $V_{BAT}$  com o pulso de *load-dump* sobreposto, nos dois casos simulados. Observar que o *load-dump* leva a tensão  $V_{BAT}$  a um valor absoluto próximo de 140V. A figura 4.13 mostra a tensão  $V_{DD}$  e a tensão intermediária  $V(I)$ , presente no capacitor externo  $C_{REG}$ . Notar que  $R_{PI}$  e  $C_{REG}$  não filtram totalmente o pulso de *load-dump*, mas mesmo assim a tensão de  $V_{DD}$  se mantém constante graças a atuação de MR. Na figura 4.14 vemos a corrente através de MR. Em conformidade com os nossos cálculos, vemos que esta corrente chega próxima de 15mA.

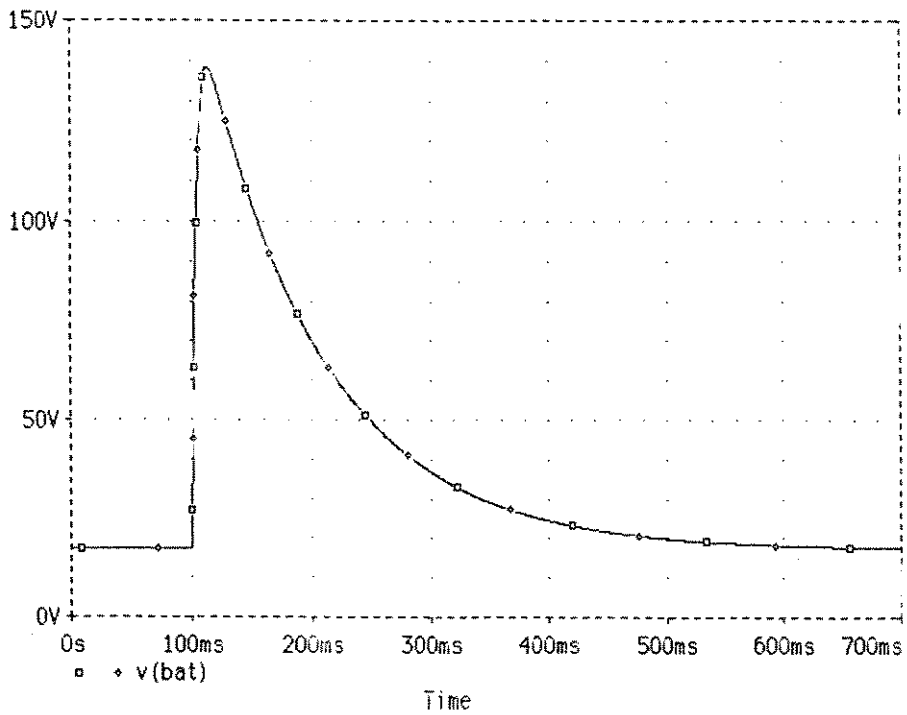


Fig. 4.12 - O pulso de *load dump*

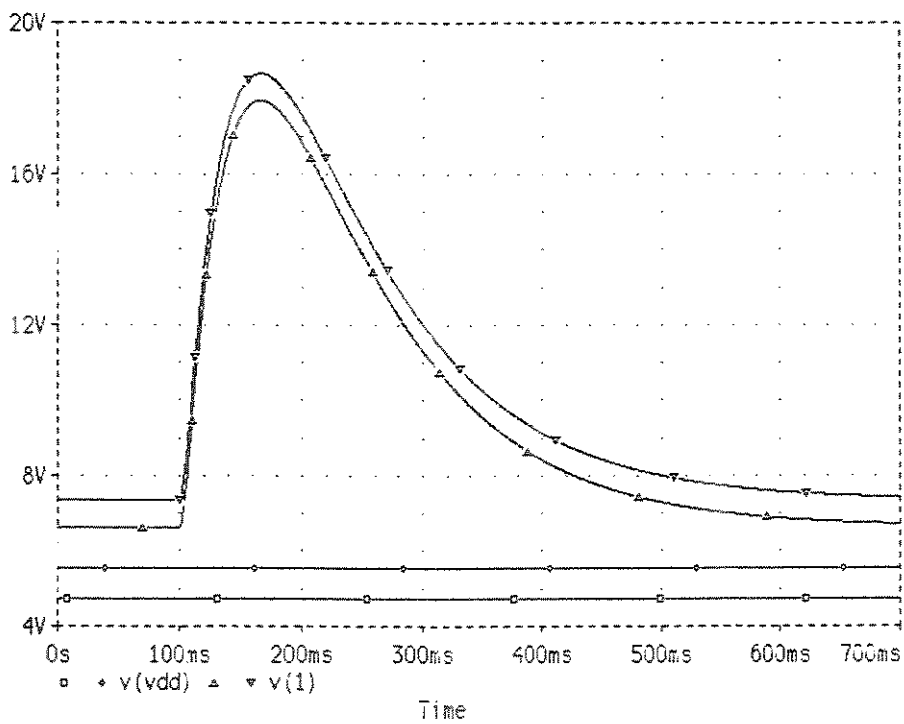


Fig. 4.13 - Tensão  $V_{DD}$  e tensão sobre  $C_{REG}$

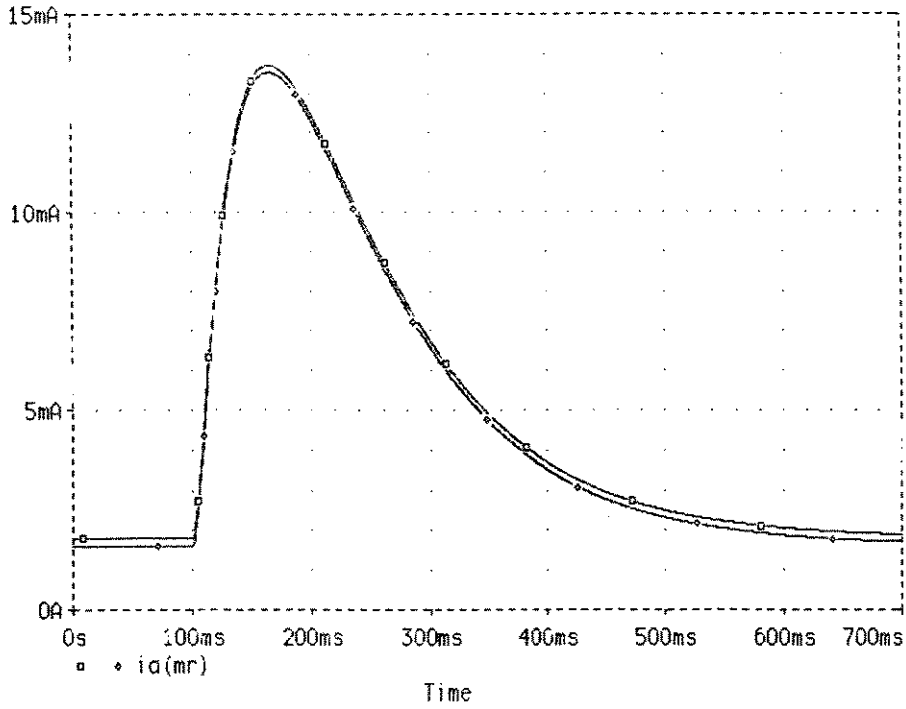


Fig. 4.14 - Corrente  $I_D$  de MR

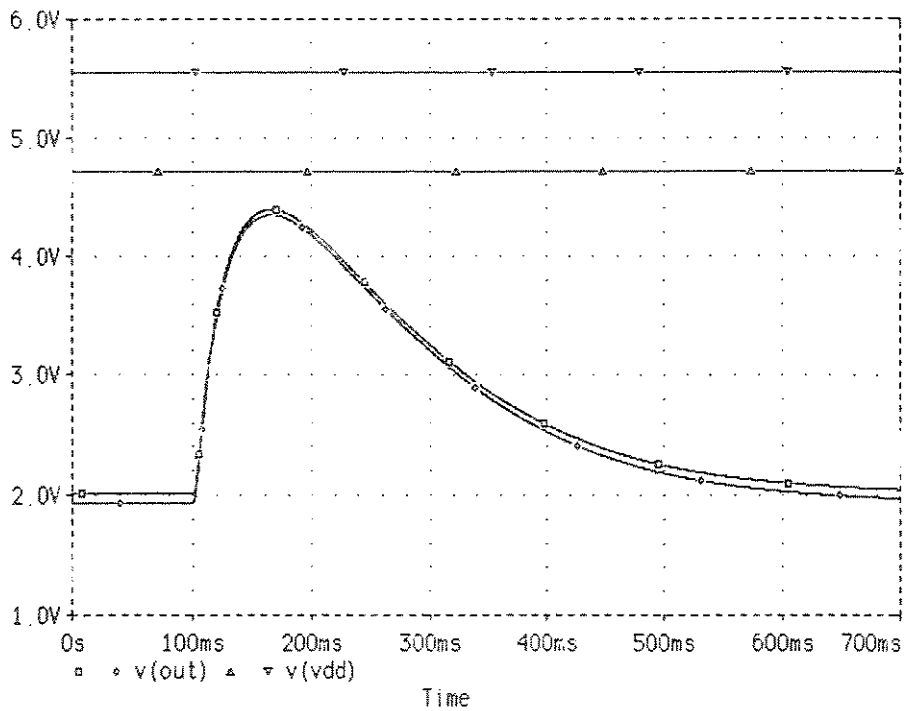


Fig. 4.15 - Tensão de gate de MR

Na figura 4.15 apresentamos uma comparação entre a tensão de gate de MR,  $V(out)$ , e a tensão de  $V_{DD}$ . Vemos que a condição extrema onde  $V_{GS}$  de MR atinge o próprio  $V_{DD}$  não ocorre, existindo uma pequena margem de segurança. Isto graças ao dimensionamento ajustado de MR. Se a tensão de  $V_{GS}$  precisasse subir até  $V_{DD}$  para satisfazer a condição de corrente, o regulador sairia da situação de regulação.

#### 4.3.5 - A SUBIDA DE $V_{BAT}$

Apresentamos agora os resultados da simulação onde emulamos o momento em que a bateria é ligada. Obviamente  $V_{BAT}$  não sobe instantaneamente, devido as cargas capacitivas ligadas a ela. Entretanto, para efeito de simulação, consideramos uma subida bem rápida, deixando que o filtro RC externo determinasse o tempo de subida da tensão  $V_{DD}$ . Analisamos aqui os três casos de dispersão de processo vistos na simulação **bgap.cir**, porém, agora  $V_{BAT}$  é uma rampa de tensão que vai de 0 a 13,1V em 1ms. O arquivo de simulação é o mesmo de **bgap.cir**, a menos da tensão  $V_{BAT}$ . Na figura 4.16 temos o resultado dessa análise. Observamos que  $V_{DD}$ , embora sofrendo uma pequena flutuação em torno do valor de 1,5V, atinge a tensão regulada de 5,2V sem maiores problemas.

Pelos resultados apresentados vemos que as condições de contorno impostas pelas especificações do chip estão satisfeitas. No entanto não devemos esquecer que todos esses resultados foram levantados através da simulação elétrica, onde alguns modelos e parâmetros de modelos não apresentam a precisão que gostaríamos que tivessem. Por esta razão, apesar de cobrirmos todas as situações possíveis, considerando a ocorrência conjunta de situações extremas de temperatura, processo,  $V_{BAT}$ , off-set, tolerância dos componentes externos, amplitude dos pulsos de *load-dump* e dispersão da corrente do circuito digital, resta sempre uma dúvida com respeito aos valores obtidos. Um amenizador existe, já que a ocorrência conjunta de todos essas variáveis mencionadas é altamente improvável. A certeza, obviamente, só teremos após uma bateria de testes com o chip real, já difundido.



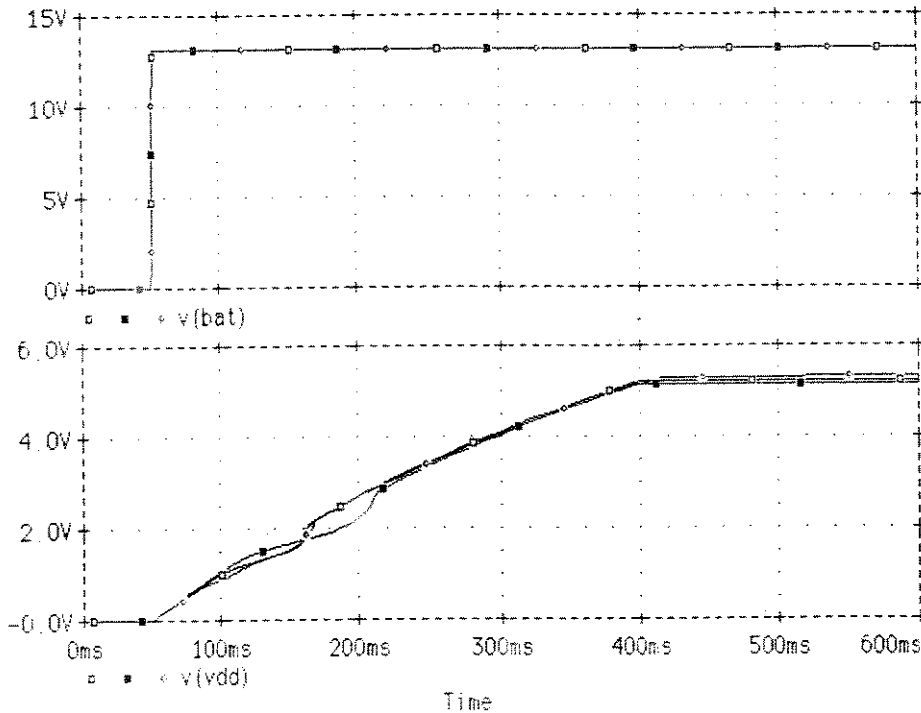


Fig. 4.16 - Subida da tensão  $V_{DD}$

### 4.3.6 - A SIMULAÇÃO DA ESTABILIDADE EM FREQUÊNCIA

Normalmente a análise do comportamento em frequência de determinado circuito envolve simulações AC, através das quais podemos estudar a sua estabilidade, determinando as margens de ganho e fase. Conforme já mencionado no item 4.2, o fato deste circuito regulador ser ele próprio quem gera a tensão de  $V_{DD}$ , com múltiplos laços de realimentação, acaba por dificultar a análise através desse tipo de simulação. Mesmo assim tentativas foram feitas onde abrimos a malha em diversos nós, buscando encontrar algum ponto onde pudéssemos confiar no resultado da simulação, através de uma confirmação posterior via simulação transiente. No entanto o que ocorria era que a análise AC indicava o problema de oscilação numa determinada frequência, e quando se efetuava a simulação transiente, estimulando o circuito com sinais de diversas frequências, o mesmo oscilava numa frequência completamente diferente. Outras tentativas foram feitas, fazendo-se a análise AC em malha fechada, utilizando o método dos estímulos em corrente e tensão [25], no entanto os resultados foram igualmente incompatíveis.

Embora esses dois métodos forneçam resultados precisos de margem de fase e ganho, existe um terceiro que, apesar de não fornecer nem margem de fase nem de ganho, dá uma boa idéia da potencialidade do circuito oscilar numa determinada frequência. Este método, o qual utilizamos, consiste em estimular o circuito, mantido em malha fechada, num determinado ponto, através de uma resistência de elevado valor para não alterar a impedância do nó ao qual aplicamos o estímulo. Observamos então o resultado da simulação AC. Se nos nós do circuito, que pertencem ao loop da malha, surgir um pico agudo de tensão em determinada frequência, nesta frequência existe uma provável chance de oscilação ou instabilidade. Quanto maior e mais agudo for este pico tanto maior é a possibilidade da ocorrência de oscilação. É como se estimulássemos um circuito ressonante. Se o pico se tornar muito agudo é sinal que ele está se comportando como um cristal, portanto com chances de oscilação naquela frequência.

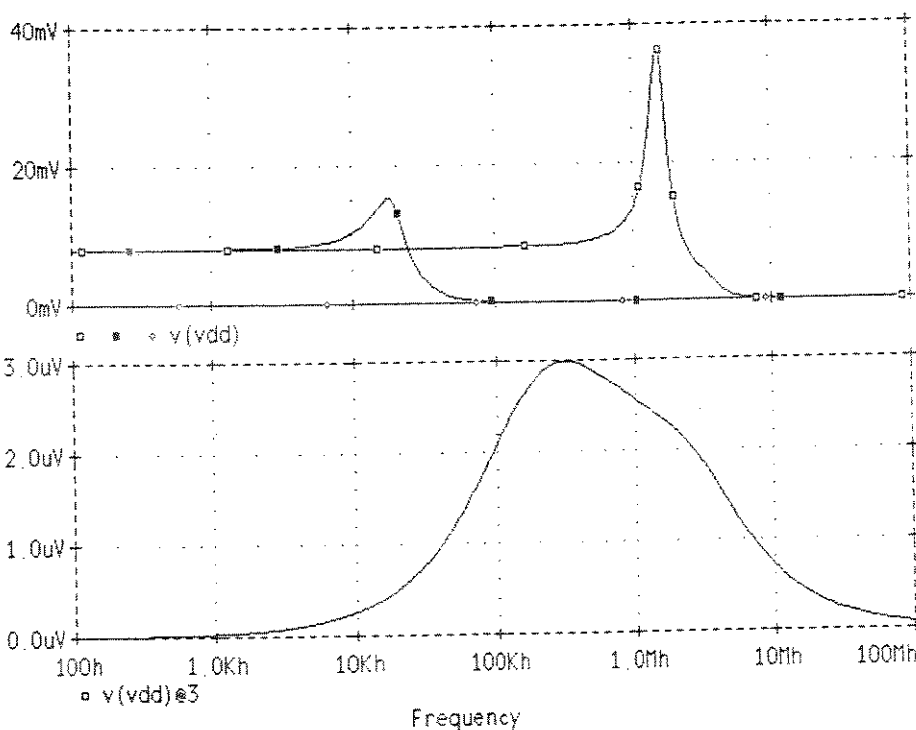


Fig. 4.17 - Análise AC em malha fechada

Fizemos este tipo de análise AC aplicando o estímulo diretamente no nó de entrada do op-amp através de uma impedância de  $100M\Omega$ . Inicialmente o circuito original

apresentava um só resistor externo de  $6,8K\Omega$  e  $C_{REG}$  ligado diretamente ao pino de  $V_{DD}$  (esta era a configuração inicial do circuito, que apresenta problemas de estabilidade). Para fins de comparação simulamos conjuntamente três casos. O primeiro é este circuito original, sem capacitor  $C_{REG}$  e sem compensação interna; no segundo temos o mesmo circuito porém com  $C_{REG}$  presente no nó de  $V_{DD}$ , e no terceiro temos o circuito final compensado, com  $C_{REG}$  e os dois resistores externos. Esta análise, embora aqui apresentada para uma condição típica de temperatura,  $V_{BAT}$  e processo, foi realizada para diversas combinações dessas variáveis, onde encontramos resultados semelhantes. Na figura 4.17 vemos a curva de  $V_{DD}$  resultante para os três casos citados. Observamos que existe um pico agudo próximo da frequência de 1.6 MHz na condição sem  $C_{REG}$  e sem compensação. No segundo caso, com  $C_{REG}$  presente, temos um pico bem menor, numa outra frequência, e no circuito final (curva de baixo) não observamos a presença de nenhum pico de tensão. Vemos assim que a medida que passamos do circuito original para o final, a estabilidade foi melhorando.

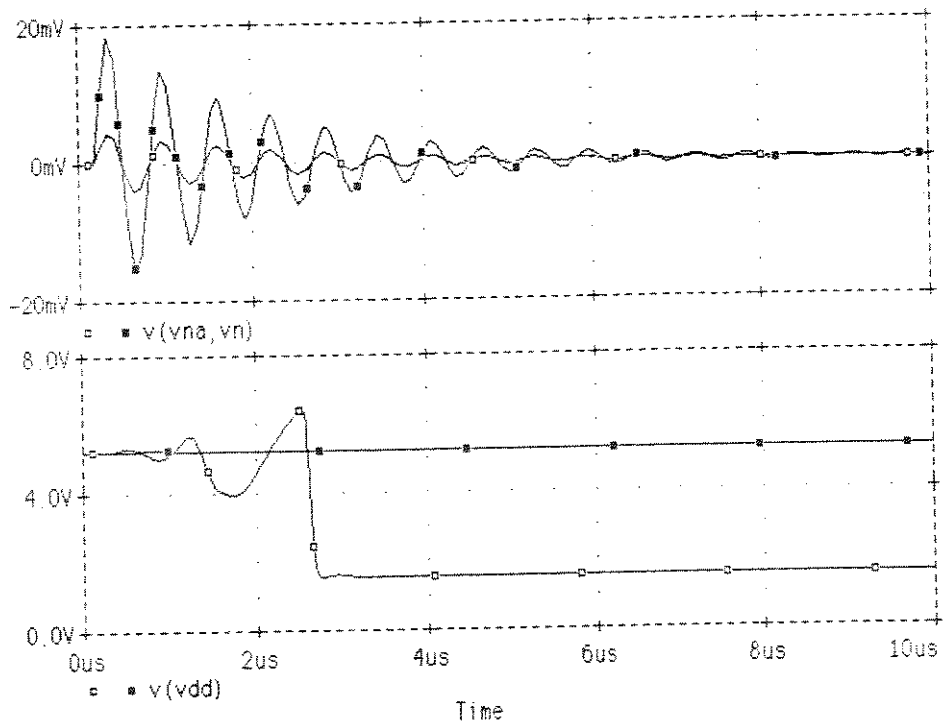


Fig. 4.18 - Oscilação do circuito original

Utilizando posteriormente a análise transiente, comprovamos a possibilidade de oscilação do circuito original, nesta frequência de 1.6MHz. Aplicamos uma senoide com amplitude de 5mV, decaindo rapidamente com o tempo. Observamos então se o circuito mantinha a oscilação além do tempo em que a senoide se extinguia. Fizemos esta simulação abrindo o nó  $v_n$ , na entrada do op-amp, e colocando aí o gerador senoidal em série, ou seja, unindo os dois pontos onde abrimos a malha. Com isto, para todos efeitos, é como se a malha continuasse fechada. Na figura 4.18 temos o resultado, confirmando o problema da oscilação. Apresentamos na mesma figura o resultado com o circuito final, compensado, onde neste caso a senoide tinha amplitude de 20mV (curva referente a simulação 2). Na figura superior vemos os estímulos aplicados no nó de entrada do op-amp, nos dois casos simulados, e na figura inferior vemos a tensão  $V_{DD}$  resultante. Observamos que no primeiro caso ocorre uma oscilação e  $V_{DD}$  acaba por se estabilizar num valor bem mais baixo. Já no caso compensado, não observamos qualquer indício de oscilação.

A idéia de se tirar  $C_{REG}$  do nó de  $V_{DD}$  é porque sua presença impedia a ação de qualquer tentativa de compensação interna do circuito, já que o polo introduzido por este capacitor é de baixíssima frequência e portanto atuava sempre como polo dominante.

Partimos então para a solução de dessensibilizar a atuação de  $C_{REG}$ , dividindo o resistor externo em dois e colocando  $C_{REG}$  entre esses resistores, conforme visto na figura 4.2. Com isto conseguimos realizar uma compensação adequada com dois capacitores de baixo valor (2pF) introduzidos entre gate-dreno de MOP5A (ou MOP5B) e gate-dreno de MR. Posteriormente, conforme já dissemos, substituímos os mesmos por transistores, chegando então ao circuito final, cujos resultados mostramos nessas curvas anteriores.

Embora estejamos apresentando aqui apenas o resultado para o caso típico, vale a pena salientar que foram feitas exaustivas simulações levando em conta as diversas condições de temperatura, processo, off-set, etc. Mais do que isso, para uma comprovação mais segura fizemos simulações transiente aplicando pulsos com forma de onda quadrada (os quais possuem um número ilimitado de harmônicas) de diversas durações, emulando frequências desde dezenas de hertz até dezenas de megahertz. Em todos os casos não verificamos nenhuma condição potencial de oscilação.

Também o ponto de operação de MR é de grande importância. Fizemos estudos considerando algumas situações de corrente e tensões de gate de MR. Uma situação particularmente importante ocorre no momento do *load dump*. Conforme dissemos anteriormente em 4.2, as capacitâncias de compensação formadas pelos transistores MOS possuem um valor mínimo quando a tensão de gate-substrato está próxima da tensão de threshold ( $V_T$ ) do canal. Na condição normal de operação a tensão gate-substrato desses transistores está bem acima do valor de  $V_T$  e, portanto, a capacitância apresenta um valor satisfatório. No entanto, na situação de *load dump*, a tensão no gate de Mr sobe para satisfazer a necessidade de corrente, e nesse momento, para determinadas condições, as tensões de gate-substrato de MCP1 e MCP2 passam pela tensão  $V_T$ , causando uma certa diminuição nas capacitâncias desses transistores. Por esta razão é que adotamos o  $W$  e  $L$  de MCP1 e MCP2 maior do que o calculado através da expressão (4.24). Apesar disso, por segurança, determinamos o valor da capacitância desses transistores via simulação .OP, nos diversos pontos de operação em torno da tensão  $V_T$ . A mínima capacitância obtida foi exatamente 2pF, garantindo que, mesmo na condição de *load-dump*, as capacitâncias de compensação ainda estariam com valor adequado. Simulações transiente, aplicando pulsos quadrados nestas situações de operação, comprovaram a atuação dessas capacitâncias.

# CAPÍTULO 5

---

## LAYOUT

Neste capítulo falaremos a respeito dos principais detalhes envolvendo o layout de cada estrutura do circuito do regulador. Não falaremos a respeito de regras de layout, pois estas embora sejam peculiares a cada processo, seguem sempre o mesmo padrão. No final apresentaremos o layout global do regulador, mostrando inclusive a sua presença no layout do chip.

### 5.1 - OS TRANSISTORES BIPOLARES

Inicialmente, baseando-se nas regras mínimas de espaçamento e levando-se em conta a curva de  $\beta \times I_c$  fornecida pela *foundry*, para um transistor de área de emissor igual a  $2400\mu\text{m}^2$ , definimos o nosso transistor de área mínima (Q1, Q2, Q3 e Q4) como tendo uma área de emissor de  $17\mu\text{m} \times 11\mu\text{m}$ . O layout desse transistor pode ser visto na figura 5.1a, enquanto na figura 5.2b temos uma visão em corte das camadas difundidas e implantadas.

Na figura 5.1a vemos que a máscara de implante P+ foi colocada com a borda exatamente sobre a região do poly. Como a máscara de poly é em forma de anel e o processo é auto alinhado, então dentro do anel teremos um tipo de implante, no caso, N+, e fora do anel o outro tipo, no caso, P+. O implante P+ permite que se faça o contato com o poço P, que é a própria base do transistor, enquanto o implante N+ constitui o próprio emissor. O coletor é o substrato.

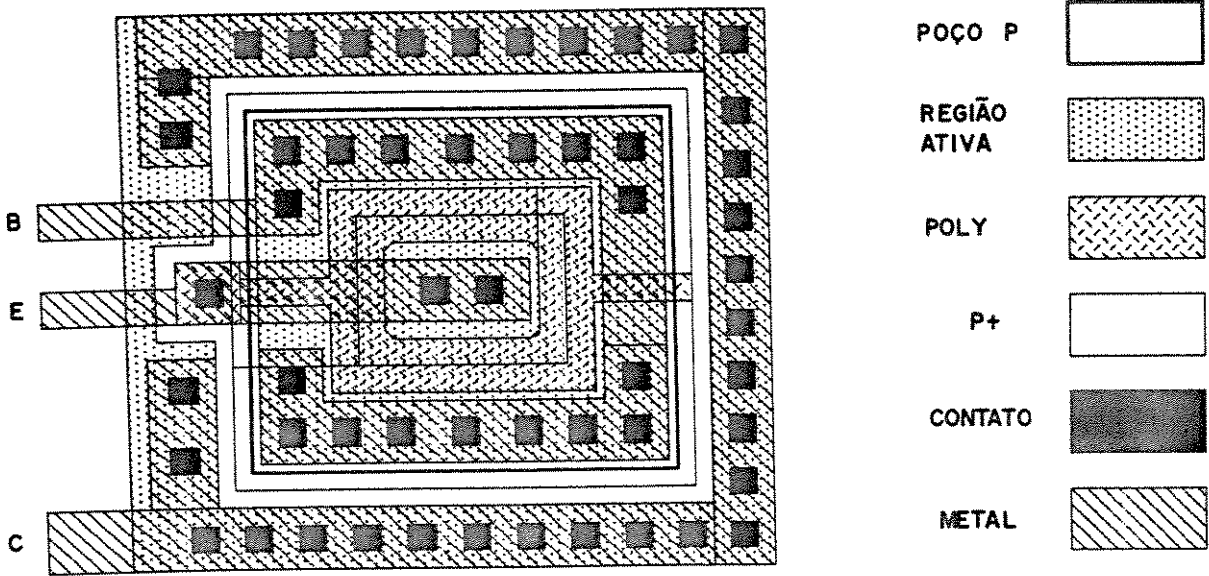


Fig. 5.1a - layout do transistor NPN de área mínima

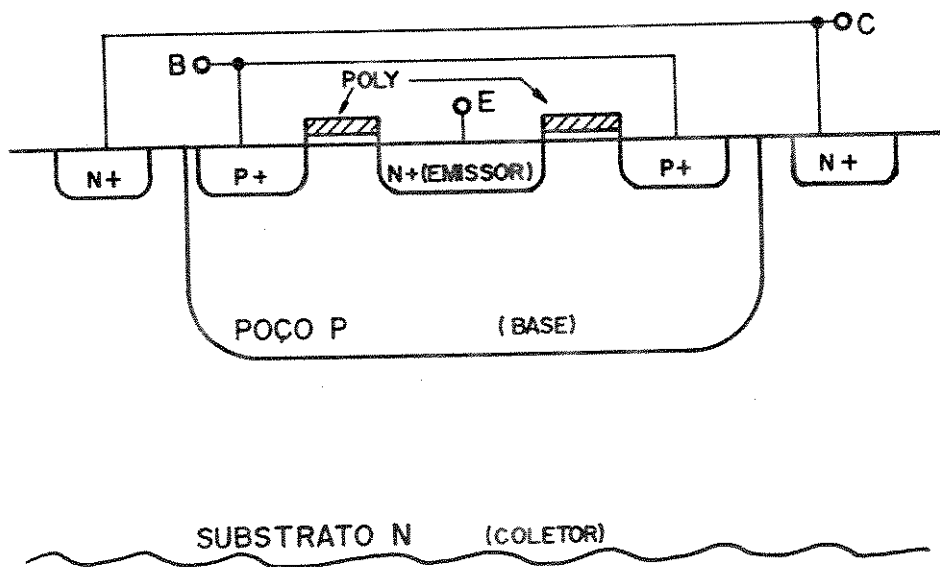


Fig. 5.1b - Visão em corte das camadas definidas na fig. 5.1a

Quanto aos transistores maiores, de 10Ae (10 áreas mínimas), foram construídos como sendo uma associação paralela de 10 transistores de área mínima, réplicas exatas do transistor menor. Na figura 5.2 apresentamos um exemplar deste transistor.

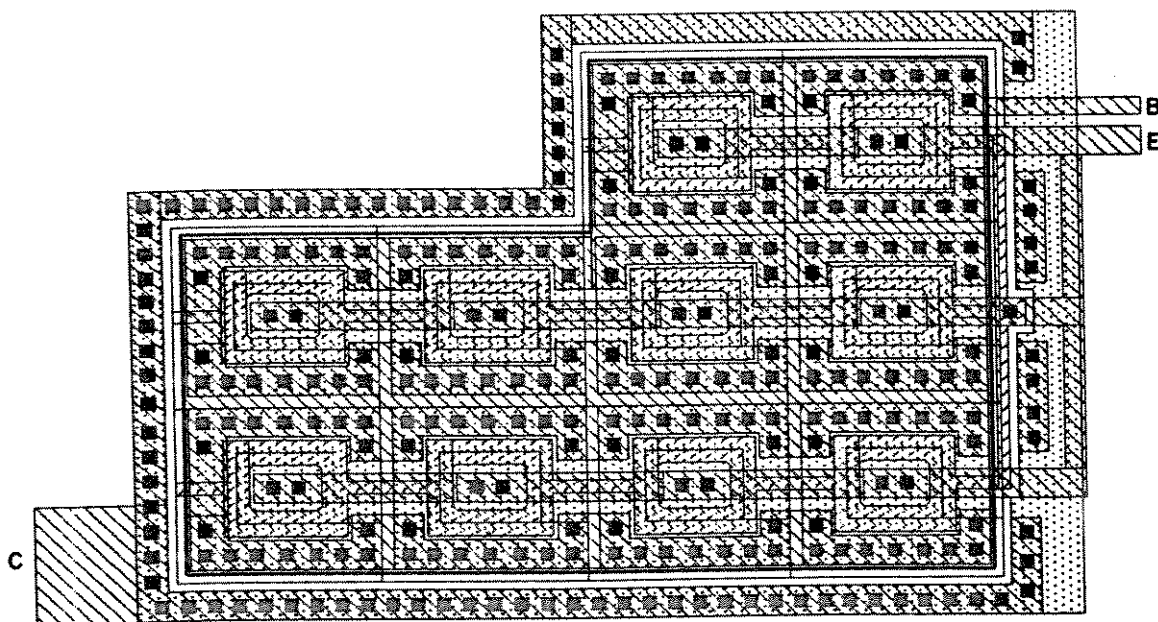


Fig. 5.2 - O transistor de 10Ae

Podemos observar que a estrutura base-emissor do transistor de 1Ae aparece repetida 10 vezes e todas essas estruturas aparecem ligadas em paralelo. O coletor, sendo o substrato, é comum a todas elas.

Foi adotado este formato em L para os transistores de 10Ae, com o objetivo de colocarmos os 4 transistores pequenos dentro de uma estrutura em anel formada pelos transistores maiores, de forma a termos como resultado um centróide constituído pelos oito transistores bipolares. Na figura 5.3 podemos verificar essa disposição de que falamos.

Este centróide tem como principal objetivo casar todos os transistores bipolares em temperatura, ou seja, permitir que eles, na média, trabalhem na mesma temperatura, qualquer que seja a disposição das isoterms presentes na estrutura. Se, por exemplo, Q1 está mais frio que Q3, então da mesma forma Q6 estará mais frio que Q8 e, se Q1 está na mesma temperatura de Q3, assim também Q6 e Q8 estarão na mesma temperatura. O mesmo poderíamos dizer a respeito dos pares Q2-Q4 e Q5-Q7. A temperatura média de ambos os conjuntos de transistores, menores e maiores, pode ser representada pelo ponto central da estrutura, o qual é comum a ambos os conjuntos. Assim a média de temperatura entre os



transistores maiores é a mesma que entre os menores. Como as correntes que circulam por todos eles são iguais, ocorre uma compensação entre os  $V_{BE}$ 's, de forma que a tensão  $V_{RI}$  expressa por (4.4) apresenta maior fidelidade.

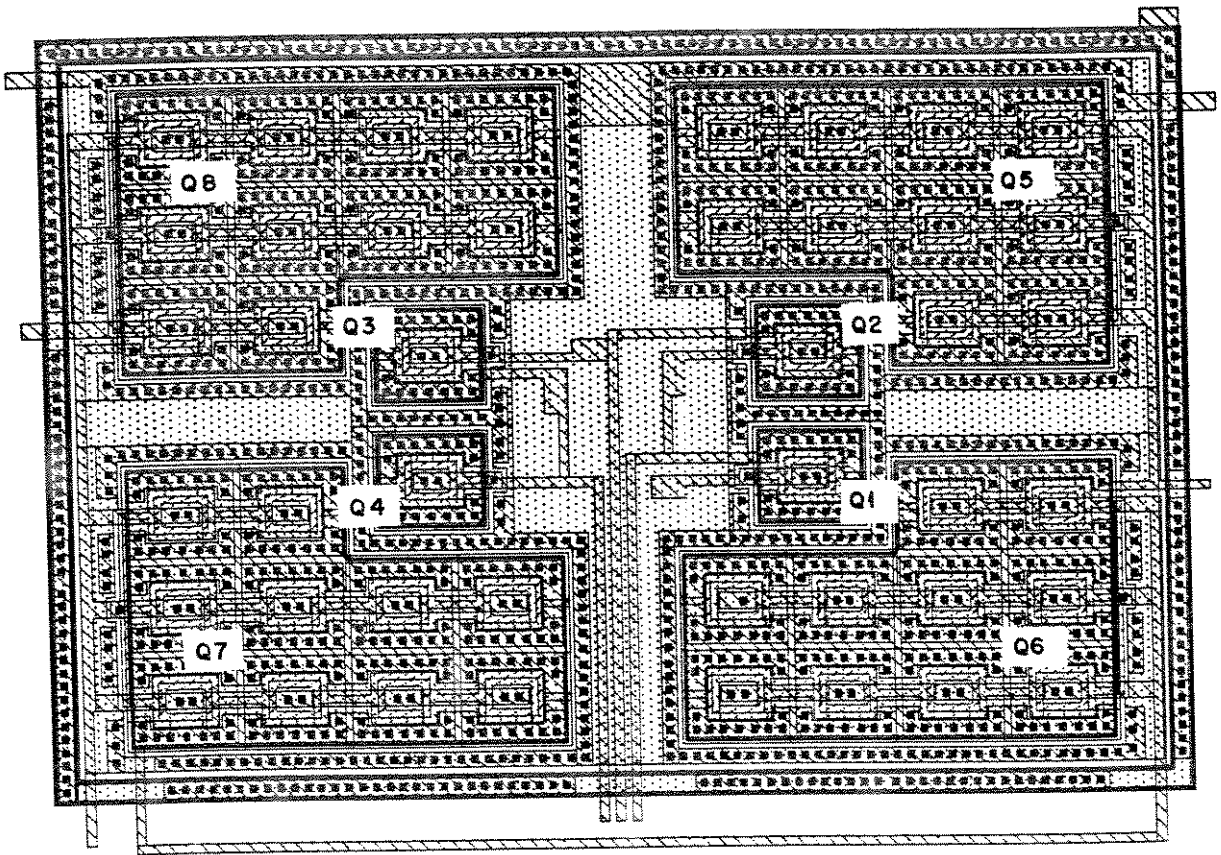


Fig. 5.3 - A disposição dos transistores bipolares

## 5.2 - OS RESISTORES DE P-WELL

As dimensões dos resistores de p-well foram calculadas para o seu valor típico, cuja resistência de quadrado é  $3.2K\Omega$ . Para melhorar o casamento da relação entre  $R_1$  e  $R_2$ , dividimos  $R_2$  em 12 resistores onde 11 deles são exatamente iguais a  $R_1$ , tendo portanto valor de  $57K\Omega$ , e o 12º tem valor  $36K\Omega$ , necessário para completar os  $663K\Omega$ . Como  $R_2$  e  $R_3$  devem ser iguais, fizemos a mesma divisão com o resistor  $R_3$ .

Aproveitando essa divisão dos resistores e levando em conta que a resistência de poço é muito sensível à temperatura, fizemos uma distribuição de todos os resistores na forma de uma malha trançada, onde  $R_1$  ocupa a posição central. Isto, da mesma forma que a distribuição dos transistores bipolares, permite que, na média, os resistores que formam  $R_2$  e  $R_3$  trabalhem na mesma temperatura de  $R_1$ , que foi colocado propositalmente no centro da malha. A figura 5.4 mostra a disposição adotada para esses resistores.

Observamos nessa figura 5.4 que os dois últimos resistores que compõem  $R_2$  e  $R_3$ , e que estão ligados ao terra, foram feitos do mesmo tamanho que os outros resistores, porém com um dos contatos no meio do resistor de forma que seu valor fosse os 36K desejados. Esta topologia permite que possamos alterar o valor desses resistores, para mais ou para menos, mudando apenas a posição do contato e região ativa, não necessitando alterar a máscara de p-well. Este é um dos ajustes que citamos em 4.3.2, necessário para acertar a curva do bandgap. O outro ajuste pode ser feito através dos 6 resistores de 1.78K que colocamos próximos de  $R_1$ , através dos quais podemos aumentar o valor deste resistor, se necessário.  $R_1$  pode também ser diminuído alterando apenas o posicionamento dos seus contatos. Vemos assim que deixamos condições de programação para  $R_1$ ,  $R_2$  e  $R_3$ , de forma a conseguirmos o ajuste adequado na curva de  $V_{DD} \times TEMPERATURA$ .

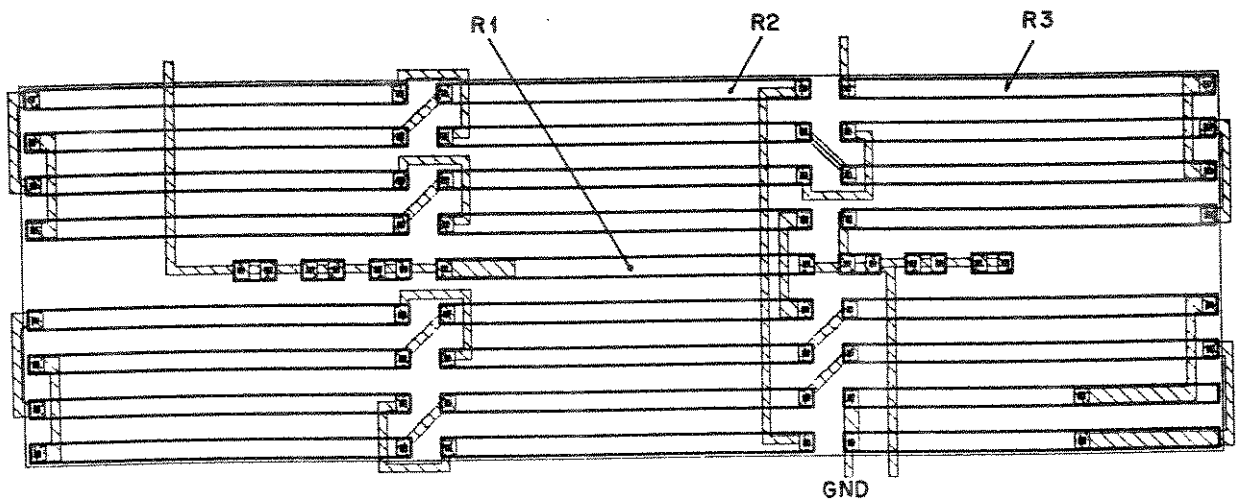


Fig. 5.4 - A disposição dos resistores de p-well

### 5.3 - O LAYOUT GLOBAL DO REGULADOR CMOS

Nas figuras 5.5 e 5.6 nas páginas seguintes mostramos a configuração final do layout do regulador de tensão CMOS e a sua disposição no chip final. Além do que já foi falado a respeito dos transistores bipolares e dos resistores de poço, podemos ainda fazer as seguintes observações:

1- A geometria do layout final do circuito do regulador tem um formato aproximadamente retangular, de dimensões  $630\mu\text{m} \times 840\mu\text{m}$ . Este formato retangular permite uma melhor disposição dentro do chip, já que, como dissemos, o objetivo é transformar este regulador em uma célula passível de ser utilizada em outros chips futuros.

2- Podemos observar que o transistor MR, o qual dissipa a maior potência do circuito, foi colocado numa das extremidades do layout, de forma que as isoterms produzidas por ele atinjam os dispositivos da célula de bandgap da maneira a mais simétrica possível.

3- Os dois transistores NMOS que formam o par diferencial de entrada do op-amp foram divididos em dois, para que possamos posicioná-los na forma de uma geometria centróide, objetivando diminuir os efeitos de temperatura sobre o off-set de entrada.

4- Os transistores que formam os capacitores de compensação foram colocados num mesmo poço P, tendo em comum a mesma difusão de fonte.

5- Os transistores que formam as fontes de corrente estão intercalados de forma a minimizar o efeito do off-set entre eles, embora este efeito seja muito pequeno.

6- Os *cross-unders* de poly-silício utilizados nos roteamentos foram colocados nas fontes de corrente, sendo que apenas um deles foi colocado em série com o gate de um dos transistores MOS do par diferencial de entrada do op-amp. Todos, portanto, estão em posições onde não interferem no funcionamento do circuito.

7- Finalmente, todo o circuito do regulador está envolto por um anel de guarda duplo, um ligado a  $V_{DD}$  e o outro ligado ao terra. O objetivo é isolar ao máximo este circuito da parte digital, evitando a interferência de picos de tensão provenientes do chaveamento de sinais digitais.

Na figura 5.7 apresentamos duas fotografias do chip já difundido, correspondentes às figuras 5.5 e 5.6.

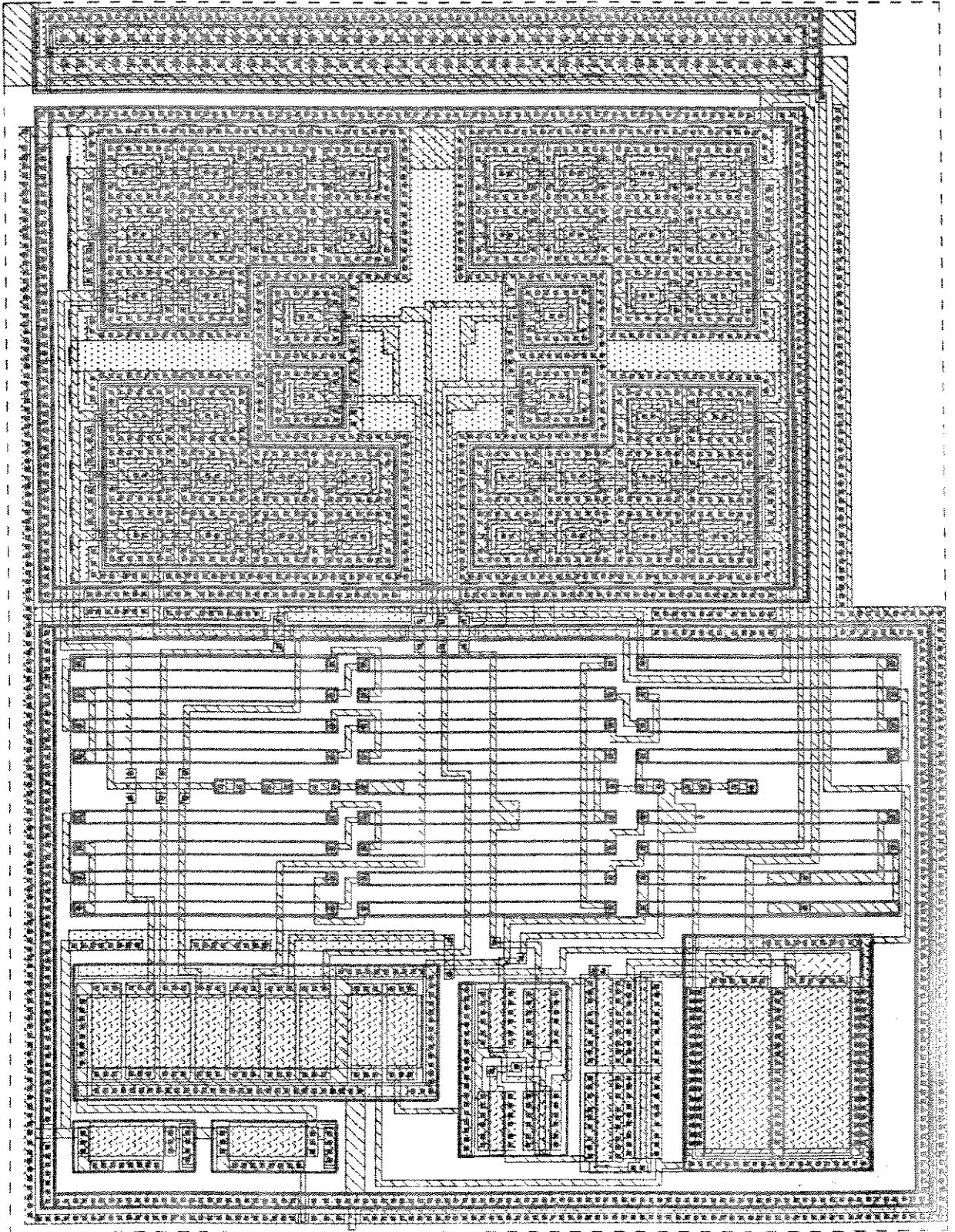


Fig. 5.5 - Layout global do regulador CMOS

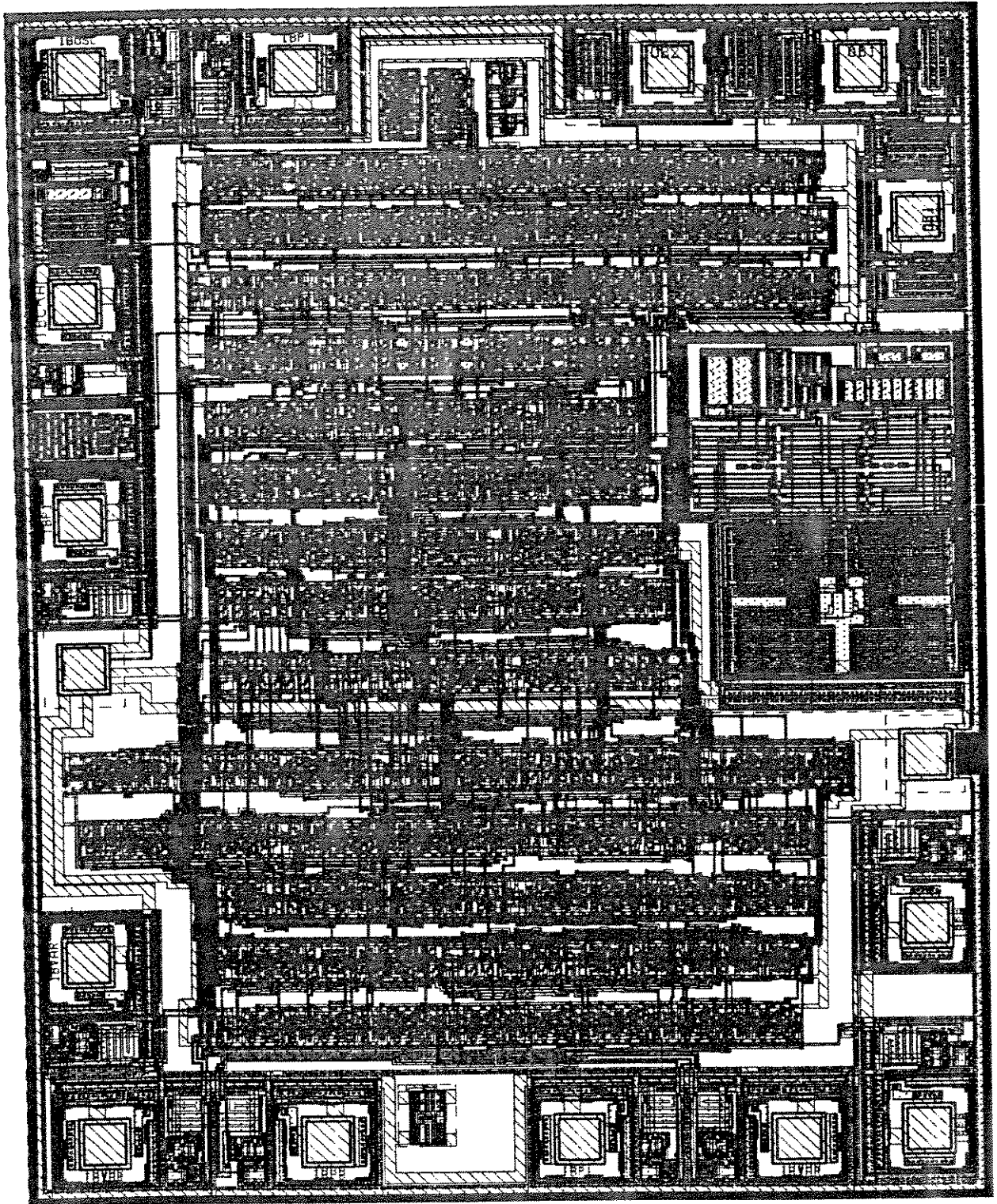


Fig. 5.6 - O regulador CMOS dentro do chip final

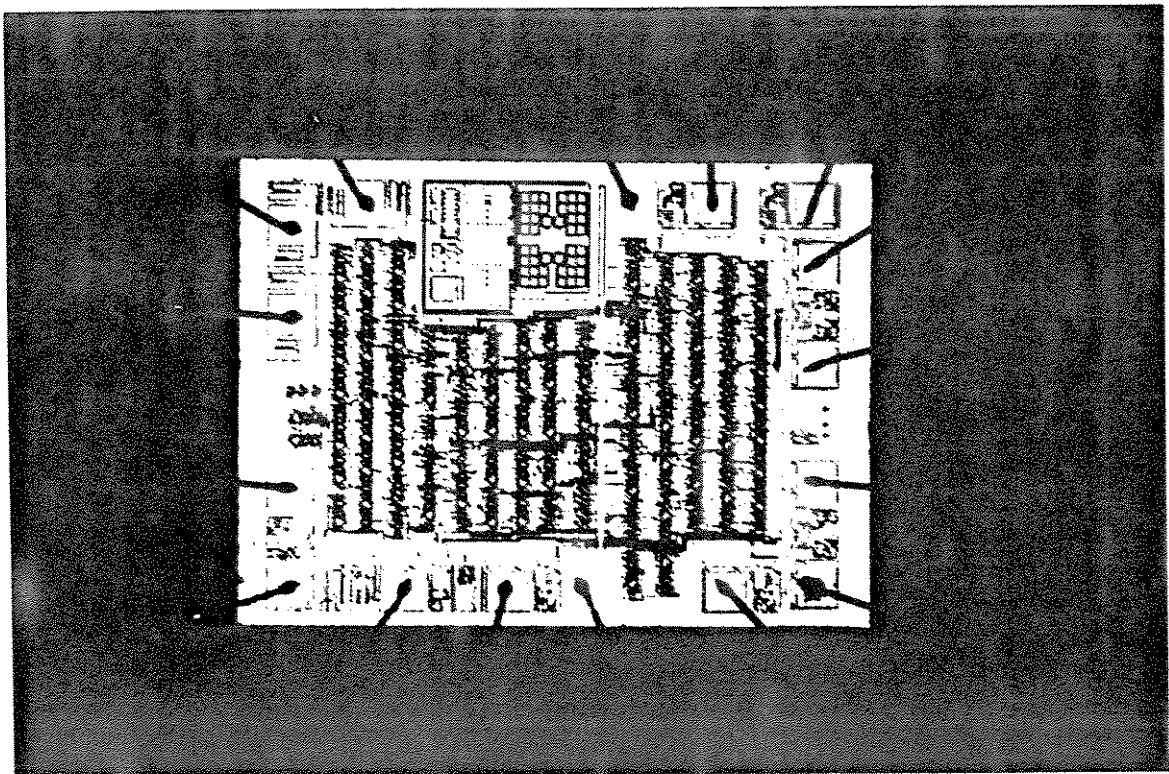
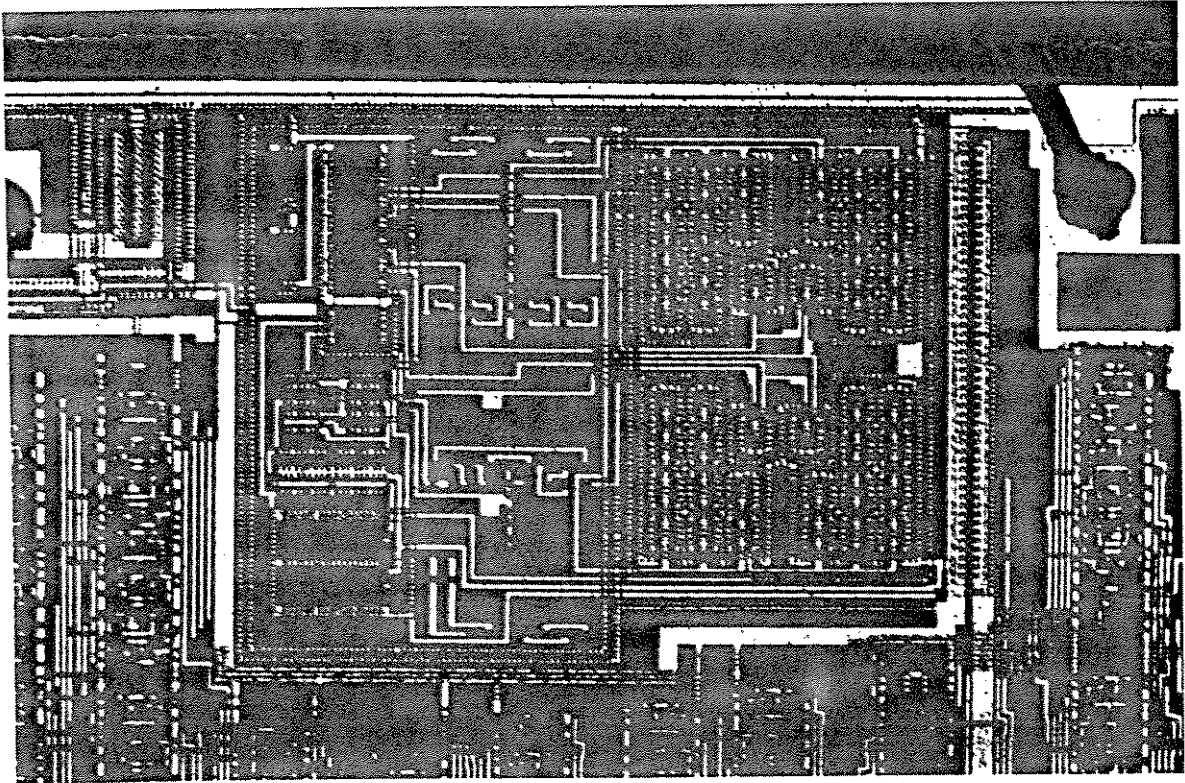


Fig. 5.7 - Fotografias do circuito integrado

# CAPÍTULO 6

---

## RESULTADOS EXPERIMENTAIS

Após a etapa de fabricação do chip, selecionamos 8 amostras para caracterizarmos o regulador shunt. Foram feitos testes relativos a variação de  $V_{DD}$  com a tensão da bateria  $V_{BAT}$  e com a temperatura. Verificamos o comportamento da subida de  $V_{DD}$  quando ligamos  $V_{BAT}$  e, por último, observamos o comportamento de  $V_{DD}$  durante a presença de pulsos de load dump.

Nestes testes utilizamos os seguintes equipamentos:

- fonte de tensão 0-50V
- osciloscópio digital com memória (60MHz)
- multímetro 5 1/2 dígitos
- gerador de load dump (projeto próprio VSI)
- bateria automotiva
- circuito de teste contendo o chip e os componentes externos
- estufa para testes em altas temperaturas
- vapor de nitrogênio líquido para testes em baixas temperaturas

A seguir apresentamos os resultados encontrados.



### 6.1 - VARIACÃO DE $V_{DD}$ EM FUNÇÃO DA TENSÃO $V_{BAT}$

Das 8 amostras caracterizadas, encontramos um valor médio de  $V_{DD}$  de **5,158V** à temperatura ambiente e para uma tensão  $V_{BAT}$  de 13.1V. A dispersão máxima apresentada por essas 8 peças, relativa ao valor médio, foi de **+0.41%** para o maior  $V_{DD}$  e **-0.52%** para o menor  $V_{DD}$ .

Em relação a variação de  $V_{BAT}$ , aumentamos esta tensão de 5 a 25V, com degrau de 0,5V, anotando os respectivos valores de  $V_{DD}$ . Apresentamos aqui apenas o resultado de uma peça típica.

$V_{BAT}$ (V)	$V_{DD}$ (V)	$V_{BAT}$ (V)	$V_{DD}$ (V)	$V_{BAT}$ (V)	$V_{DD}$ (V)	$V_{BAT}$ (V)	$V_{DD}$ (V)
5,0	4,34	10,5	5,163	16,0	5,164	21,5	5,166
5,5	4,64	11,0	5,163	16,5	<b>5,165</b>	22,0	5,166
6,0	4,97	11,5	5,163	17,0	5,165	22,5	5,166
6,5	5,15	12,0	5,163	17,5	5,165	23,0	5,166
7,0	<b>5,163</b>	12,5	<b>5,164</b>	18,0	5,165	23,5	5,166
7,5	5,163	13,0	5,164	18,5	5,165	24,0	5,166
8,0	5,163	13,5	5,164	19,0	5,165	24,5	5,166
8,5	5,163	14,0	5,164	19,5	<b>5,166</b>	25,0	5,166
9,0	5,163	14,5	5,164	20,0	5,166		
9,5	5,163	15,0	5,164	20,5	5,166		
10,0	5,163	15,5	5,164	21,0	5,166		

Conforme podemos observar, até a tensão  $V_{BAT}$  atingir 6,5V, o circuito ainda não entrou em regulação. O valor mais exato para essa tensão é  $V_{BAT} = 6,7V$ . Na média, considerando as outras amostras, esta tensão está por volta de 6V.

## 6.2 - VARIAÇÃO DE $V_{DD}$ COM A TEMPERATURA

Inicialmente medimos  $V_{DD}$  a temperatura ambiente. Introduzimos, então, o CI na estufa a  $+105^{\circ}\text{C}$  e fomos baixando a temperatura até às proximidades da temperatura ambiente.  $V_{BAT}$  foi mantida constante em 13,1V. Para as temperaturas baixas utilizamos vapor de nitrogênio líquido, aplicado sobre a amostra, onde conseguimos obter até  $-15^{\circ}\text{C}$ , com certa precisão. O resultado típico é apresentado a seguir:

TEMPERATURA ( $^{\circ}\text{C}$ )	$V_{DD}$ (V)
-15	5,136
-10	5,138
-5	5,141
0	5,146
10	5,157
20	5,163
ambiente	5,166
54	5,187
60	5,191
70	5,200
80	5,207
90	5,216
105	5,225

### 6.3 - SUBIDA DA TENSÃO $V_{DD}$

Utilizando o osciloscópio com memória, gravamos a forma de onda da tensão de subida de  $V_{DD}$  quando a tensão  $V_{BAT}$  é um degrau, subindo rapidamente de 0 a 13,1V. Abaixo apresentamos a medida feita numa amostra típica, reproduzindo o resultado obtido na tela do osciloscópio.

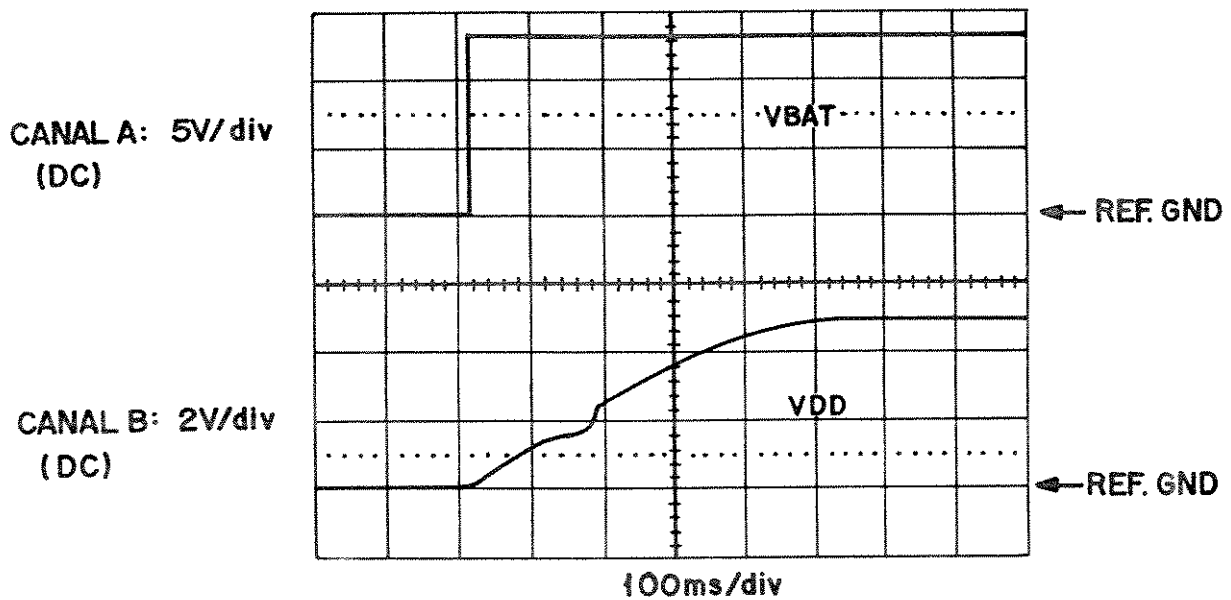


Fig. 6.1 - Subida de  $V_{DD}$  - resultado experimental

### 6.4 - LOAD DUMP

As amostras foram submetidas a pulsos de *load dump* de 100V com duração próxima de 400ms. Conforme dissemos, a especificação mais usual consiste em pulsos com amplitude de 85V. A seguir apresentamos os resultados, observados no osciloscópio, para uma amostra

típica. Na figura 6.2a mostramos a tensão  $V_{BAT}$ , com a presença do pulso de *load dump*, no canal A, e a tensão  $V_{DD}$ , no canal B do osciloscópio. Na figura 6.2b apresentamos o mesmo resultado, porém numa escala ampliada, de forma a podermos verificar a presença de algum pico na tensão de  $V_{DD}$  (inclusive utilizamos escala AC com amplitude de 100mV). Na figura 6.3 apresentamos a forma de onda da tensão observada sobre o capacitor  $C_{REG}$  externo (canal B). No canal A continuamos com a tensão  $V_{BAT}$ . Como se pode observar, a tensão regulada é imune a esta interferência.

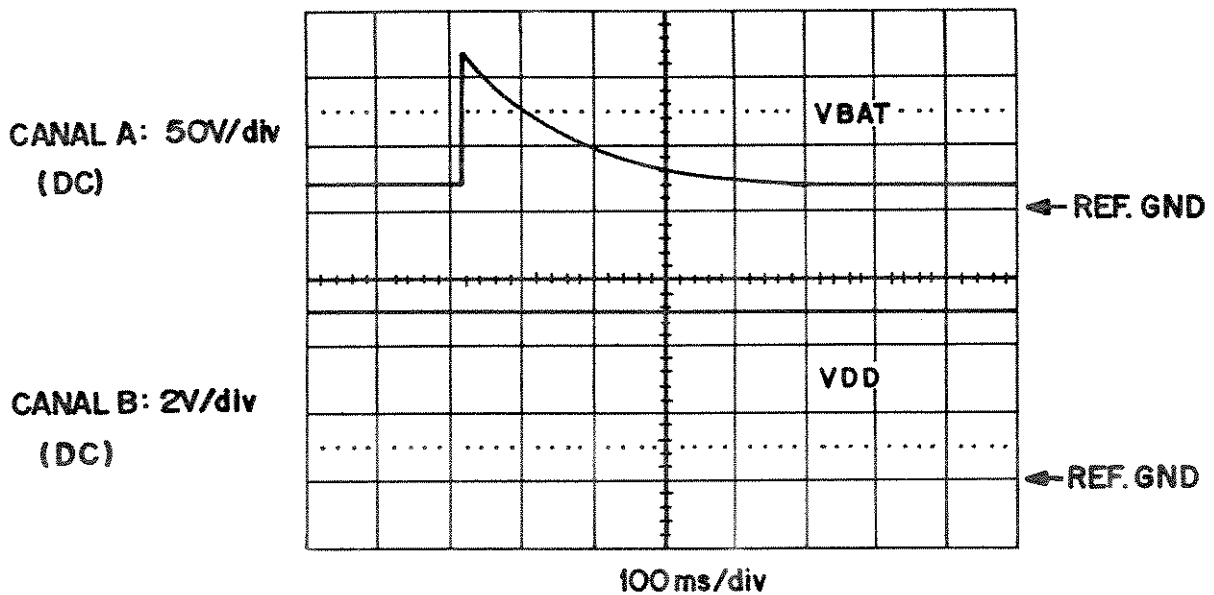


Fig. 6.2a - Pulso de load dump

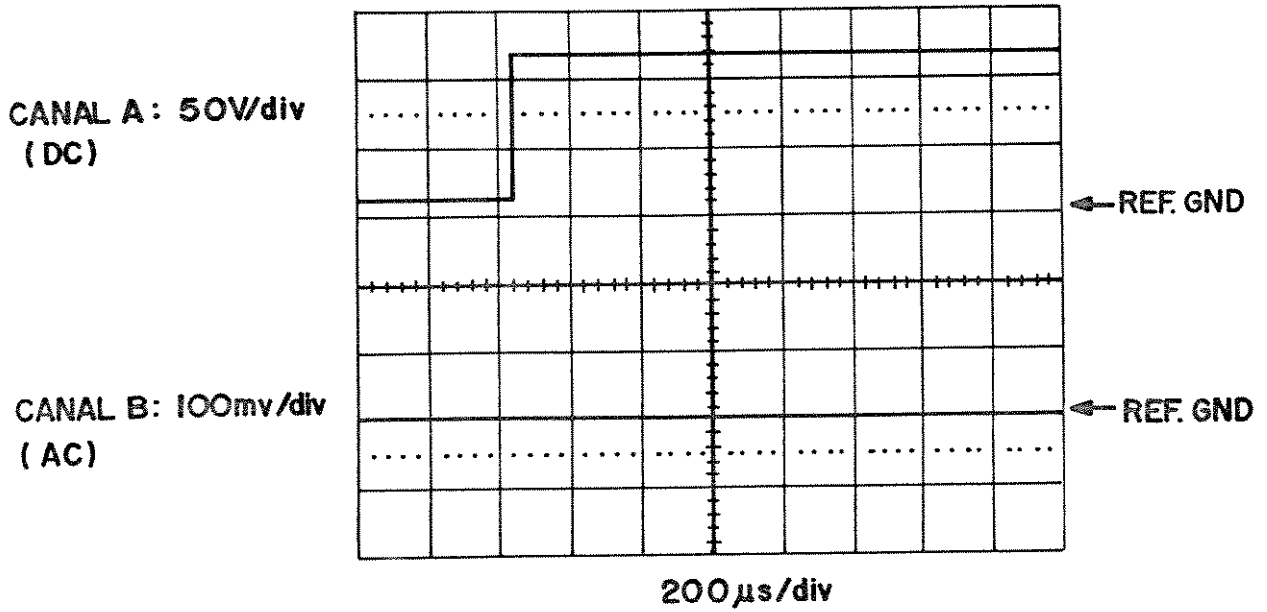


Fig. 6.2b - Pulso de load dump - escala ampliada

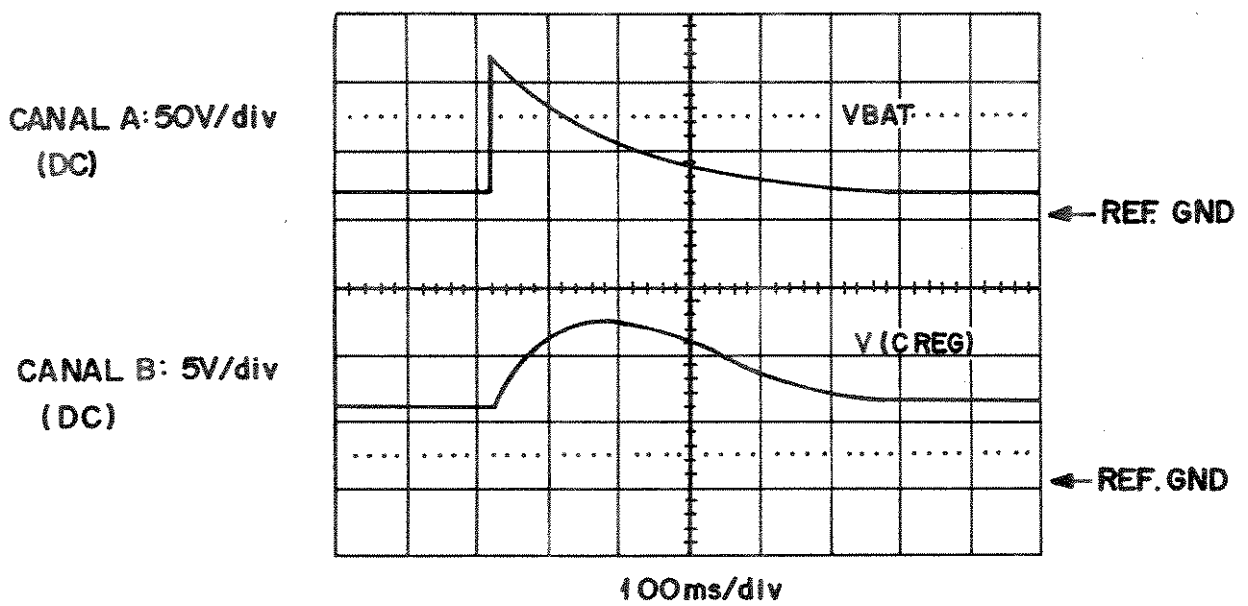


Fig. 6.3 - Tensão sobre  $C_{REG}$

## CONCLUSÃO

Observando os resultados de todas as medidas, e levando em conta todas as dificuldades e incertezas durante o projeto, só podemos concluir que os nossos receios, ou não se verificaram, ou as amostras medidas apresentaram resultados correspondentes aos casos típicos. Essa última hipótese tem bastante sentido, pois segundo informações da *foun dry*, as amostras recebidas foram resultados de uma rodada de fabricação cujos parâmetros de processo estavam bem próximos do típico. No entanto, a surpresa fica por conta do off-set. Obviamente tirar conclusões baseando-se em 8 amostras seria infundado, porém esses resultados preliminares se mostraram bastante otimistas. Quanto às medidas em temperatura, observamos que a curva do bandgap não está centrada em 30°C, o que já era esperado. No entanto os resultados obtidos indicaram que estamos com uma estabilidade em temperatura em torno de 140ppm/°C o que está bem próximo daquele valor de 100ppm/°C que era nosso objetivo. Se forem confirmados os resultados preliminares de que a tensão  $V_{DD}$  está bem mais centrada e com menor dispersão do que o esperado, e que o off-set não é tão alto, nem mesmo o ajuste de centralização da curva do bandgap será necessário (pelo menos para os nossos propósitos).

No restante, só temos a acrescentar que todo empenho ao se considerar as possibilidades de pior caso, e as hipóteses conservadoras feitas a respeito dos parâmetros de processo, levaram ao sucesso desses resultados.

## REFERÊNCIAS

- [1] - "STATUS 1989 - A Report on the Integrated Circuit Industry", ICE - Integrated Circuit Engineering Corporation, 1989.
- [2] - "Automotive Electronics in the Year 2000: a Ford Motor Company Perspective", Ford Motor Company - Electronics Division, 1989.
- [3] - "Simpósio Sobre a Eletrônica e a Indústria Automobilística", AEA - Associação Brasileira de Engenharia Automotiva, out. 1990.
- [4] - Série de artigos da revista "Electronic Design", August 9, 1990.
- [5] - Pietro Menniti and Sandro Storti, "Low Drop Regulator with Overvoltage Protection and Reset Function for Automotive Environment", IEEE J. Solid-State Circuits, vol. SC-19, pp. 442-447, June 1984.
- [6] - William F. Davis, "Bipolar Design Considerations for the Automotive Environment", IEEE J. Solid-State Circuits, vol. SC-8, pp. 419-426, Dec. 1973.
- [7] - Pietro Menniti et alii, "A new voltage regulator protects the automotive electronics", IEEE Trans. on Consumer Electronics, vol. CE-26, August 1980.
- [8] - Artigo sobre testes automotivos da revista "Test & Measurement World", Feb. 15, 1990.
- [9] - Especificações de teste elétrico da GM, Autolatina e Fiat.
- [10] - Technical Report ISO/TR 7637 / 1-1984 (E)

- [11] - "Norma Interna VSI de Transientes em Ambiente Automotivo", Vértice Sistemas Integrados, 1992.
- [12] - Philip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design"; Holt, Rinehart and Winston, Inc., 1987.
- [13] - Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits"; John Wiley & Sons, Inc., 1977.
- [14] - Robert J. Widlar, "New Developments in IC Voltage Regulators", IEEE J. Solid-State Circuits, vol. SC-6, pp.2-7, Feb. 1971.
- [15] - Karel E. Kuijk, "A Precision Reference Voltage Source", IEEE J. Solid-State Circuits, vol. SC-8, pp.222-226, June 1973.
- [16] - A. Paul Brokaw, "A simple Three-Terminal IC Bandgap Reference", IEEE J. Solid-State Circuits, vol. SC-9, pp. 388-393, Dec. 1974.
- [17] - John Michejda and Suk K. Kim, "A precision CMOS Bandgap Reference", IEEE J. Solid-State Circuits, vol. SC-19, pp.1014-1021, Dec. 1984.
- [18] - Bang-sup Song and Paul R. Gray, "A Precision Curvature-Compensated CMOS Bandgap Reference", IEEE J. Solid-State Circuits, vol. SC-18, pp.634-643, Dec. 1983.
- [19] - G. Tzanateas et alii, "A CMOS Bandgap Voltage Reference", IEEE J. Solid-State Circuits, vol. SC-14, pp.655-657, June 1979.
- [20] - Eric A. Vittoz and Oliver Neyroud, "A Low-Voltage CMOS Bandgap Reference", J. Solid-State Circuits, vol. SC-14, pp. 573-577, June 1979.
- [21] - Marc G. R. Degrauwe et alii, "CMOS Voltage References Using Lateral Bipolar Transistors", J. Solid-State, vol. Sc-20, pp. 1151-1157, Dec. 1985.



- 
- [22] - Roubik Gregorian et alii, "An Integrated Single-Chip PCM Voice Codec with Filters", J. Solid-State Circuits, vol. SC-16, pp.322-333, Aug. 1981.
- [23] - Documento de Parâmetros Elétricos e Regras de Layout da AMI - American Microsystems, Inc..
- [24] - Documento de Parâmetros Elétricos da SID Microeletrônica.
- [25] - Paul W. Tuinenga, "SPICE - A Guide to Circuit Simulation, Analysis Using Pspice", Prentice-Hall, Inc., 1988.