



UNIVERSIDADE ESTADUAL DE CAMPINAS

FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO

DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTOS E FOTÔNICA

---

# **AMPLIFICADOR DO TIPO AUTO-ZERO CONTÍNUO INTEGRADO EM TECNOLOGIA CMOS**

## **MURILO PILON PESSATTI**

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do Título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho.

**Banca Examinadora:**

**Prof. Dr. Carlos Alberto dos Reis Filho – FEEC/UNICAMP**  
**Profa. Dra. Ana Cristina Cavalcanti Lyra – FEEC/UNICAMP**  
**Prof. Dr. Valentin Obac Roda – EESC/USP**

**Campinas, 11 de novembro de 2002.**

## **RESUMO**

Esta dissertação de mestrado descreve o projeto, implementação e caracterização de um amplificador auto-zero contínuo, integrado em tecnologia CMOS 0.6 $\mu$ m. A grande vantagem deste tipo de amplificador consiste na obtenção de baixa tensão de *offset* sem prejudicar a resposta em frequência do mesmo. Ambas as características são conseguidas graças à inclusão de um amplificador auto-zero adicional que alternadamente amostra e reduz ora sua própria tensão de *offset* ora a tensão de *offset* do amplificador principal. Foram fabricadas e caracterizadas quatro amostras do amplificador as quais apresentaram tensão de erro projetada para a entrada entre 15 $\mu$ V e 70 $\mu$ V. Nesses erros incluem-se a tensão de *offset*, *glitches* e ruído. A frequência de ganho unitário medida foi de 1MHz.

## **ABSTRACT**

This master degree dissertation describes the design, implementation and characterization of an integrated continuous-time autozeroed amplifier in 0.6 $\mu$ m CMOS technology. The major advantage of this amplifier is the attainment of low input offset voltage without affecting its frequency response. This is achieved due to the action of an additional autozeroed amplifier that alternately reduces its own and the main offset voltages. Four amplifier samples were fabricated and tested and they presented an input error voltage in the range of 15 $\mu$ V to 70 $\mu$ V. In these errors are included the offset, glitches and noise. The measured unity gain frequency was 1MHz.

**“A ação é de algum modo mais eloqüente que a palavra”.**

**Santo Antônio de Pádua**

## **AGRADECIMENTOS**

Penso que os resultados que obtemos ao final das várias etapas de nossas vidas, em especial neste momento, a conclusão de uma dissertação de mestrado, é fruto não só do desenvolvimento técnico isolado obtido em função dos estudos, mas também da observação da maneira pela qual as pessoas que nos rodeiam agem e a transformação que esta observação nos causa.

Deste modo, gostaria de agradecer meu orientador Prof. Carlos Alberto dos Reis Filho por ter permitido compartilhar sua intuição, naturalidade e simplicidade com que analisa um circuito eletrônico. Agradeço também a todos os meus amigos do Laboratório Magnetti-Marelli pelas frutíferas discussões proporcionadas, a meu velho e bom amigo Paulo Augusto Dal Fabbro, pelo companheirismo, ao pesquisador Saulo Finco pelo apoio técnico irrestrito e ao Instituto de Pesquisas Eldorado pelo financiamento.

Sou muito grato ao Prof. Paulo Roberto Veronese, professor ímpar que pela primeira vez me despertou a curiosidade pelo fascinante mundo do projeto de circuitos eletrônicos analógicos e ao Prof. Valentin Obac Roda, por ter me dado oportunidade de pesquisar pela primeira vez. Agradeço à minha namorada Fabiana, que com sua sutileza e inteligência, me conforta, e que com sua beleza e delicadeza, me faz ser.

Finalmente agradeço a meus pais, José Braz e Maria Inês e minha irmã Mirela, por todo apoio e dedicação, sem os quais não poderia estar aqui escrevendo estas palavras e à Deus por ser bondoso.

# **SUMÁRIO**

<b>RESUMO/ABSTRACT</b>	<b>ii</b>
<b>AGRADECIMENTOS</b>	<b>iv</b>
<b>SUMÁRIO</b>	<b>v</b>
<b>LISTA DE SÍMBOLOS</b>	<b>vii</b>
<b>INTRODUÇÃO</b>	<b>x</b>
<b>1 – DESCRIÇÃO DO AMPLIFICADOR</b>	<b>1</b>
1.1 - Histórico sobre técnicas de projeto de OP-AMP de precisão	1
1.2 - Descrição e análise funcional do amplificador	5
1.2.1 - Introdução	5
1.2.2 - Análise DC do amplificador	6
1.2.3 - Resposta em frequência do amplificador	7
1.3 - Simulações utilizando blocos ideais	9
1.3.1 - Introdução	9
1.3.2 - Simulação da resposta em frequência do amplificador auto-zero idealizado	10
1.3.3 - Simulação do offset final do amplificador auto-zero idealizado	16
<b>2 – PROJETO DO AMPLIFICADOR</b>	<b>19</b>
2.1 - Metodologia	19
2.2 - Modelo Comportamental dos Amplificadores	21
2.2.1 - Produto Ganho Banda (GBW) e Margem de Fase (MF)	23
2.2.2 - Ganho de Malha Aberta ( $A_{vo}$ )	24
2.2.3 - Slew-rate (SR)	24
2.2.4 - Tensão de offset sistemático ( $V_{os-sist}$ )	24
2.2.5 - Resumo das equações básicas de projeto	25
2.3 - Projeto do Amplificador Principal	26
2.3.1 - Introdução	26
2.3.2 - Parâmetros de processo	26
2.3.3 - Especificações	28
2.3.4 - Cálculos Manuais	28
2.3.4.1 - Produto Ganho-Banda (GBW) e Margem de Fase (MF)	28
2.3.4.2 - Slew-rate (SR)	29
2.3.4.3 - Ganho de Malha Aberta ( $A_{vo}$ )	30
2.3.4.4 - Tensão de Offset Sistemática ( $V_{os-sist}$ )	31

2.3.4.5 - Dimensionamento do restante dos transistores	31
2.3.4.6 - Definição das dimensões dos transistores	36
2.3.5 - Simulações do amplificador principal	37
2.4 - Projeto do Amplificador de Cancelamento	39
2.4.1 - Estrutura do amplificador de cancelamento e especificações	39
2.4.2 - Simulações do amplificador de cancelamento	40
2.5 - Simulação do Amplificador Auto-Zero	41
2.6 - Layout do Circuito Integrado	44
<b>3 – RESULTADOS EXPERIMENTAIS</b>	<b>46</b>
3.1 - Descrição do Circuito Integrado e da Placa de Testes	46
3.2 - Resultados no Domínio do Tempo	50
3.2.1 - Amplificando ondas senoidais, triangulares e quadradas	50
3.2.1.1 - Amplificador Principal	50
3.2.1.2 - Amplificador de Cancelamento	52
3.2.1.3 - Amplificador Auto-zero	53
3.2.2 - Resposta para Pequenos Sinais	55
3.2.3 - Resposta para Grandes Sinais (Slew-Rate)	55
3.3 - Resultados no Domínio da Frequência	56
3.4 - Resultados DC	58
3.4.1 - Tensão de Offset dos Amplificadores Principal e de Cancelamento	58
3.4.2 - Tensão de Offset do Amplificador Auto-Zero	60
3.5 - Análise dos Resultados Experimentais	60
3.6 - Melhorias Propostas	63
<b>CONCLUSÃO</b>	<b>64</b>
<b>APÊNDICE</b>	<b>65</b>
<b>REFERÊNCIAS</b>	<b>67</b>

# **LISTA DE SÍMBOLOS**

<b>SÍMBOLO</b>	<b>SIGNIFICADO</b>
<b>A</b>	Ganho de malha aberta de um amplificador operacional
<b><math>A_{\phi 2}(s)</math></b>	Função de transferência do amplificador auto-zero na fase de amplificação
<b><math>A_m</math></b>	Ganho de malha aberta do amplificador principal
<b>AMS</b>	Austria Micro Systeme
<b><math>A_n</math></b>	Ganho de malha aberta do amplificador de cancelamento
<b><math>A_{vo\_main}</math></b>	Terminal de acesso ao nó B do amplificador principal
<b><math>A_{vo\_null}</math></b>	Terminal de acesso ao nó B do amplificador de cancelamento
<b><math>A_{vo}</math></b>	Ganho de malha aberta de um amplificador
<b><math>C_A</math></b>	Capacitância associada ao nó A
<b><math>C_B</math></b>	Capacitância associada ao nó B
<b><math>C_C</math></b>	Capacitância associada ao nó C
<b><math>C_L</math></b>	Capacitância associada ao nó L
<b><math>CMR_{in}</math></b>	Excursão da tensão de modo comum na entrada do amplificador
<b><math>CMR_{out}</math></b>	Excursão da tensão de modo comum na saída do amplificador
<b><math>C_{ox}</math></b>	Capacitância por área entre o gate e o canal de um MOS
<b><math>C_{ua}</math></b>	Capacitância por área dos capacitores integrados
<b><math>C_{up}</math></b>	Capacitância por perímetro dos capacitores integrados
<b><math>\phi_1</math></b>	Fase de cancelamento
<b><math>\phi_2</math></b>	Fase de amplificação
<b><math>f_{dm}</math></b>	Freqüência do pólo dominante do amplificador principal em Hz
<b><math>f_{dn}</math></b>	Freqüência do pólo dominante do amplificador de cancelamento em Hz
<b><math>\phi_f</math></b>	Tensão correspondente ao nível de Fermi
<b><math>f_{hm}</math></b>	Freqüência do pólo não-dominante do amplificador principal em Hz
<b><math>f_{hn}</math></b>	Freqüência do pólo não-dominante do amplificador de cancelamento em Hz
<b><math>\gamma</math></b>	Efeito de corpo
<b>G</b>	Ganho de malha fechada de um amplificador
<b>GBW</b>	Produto ganho banda de um amplificador
<b><math>g_{ma}</math></b>	Transcondutância do transistor associado ao nó A
<b><math>g_{mb}</math></b>	Transcondutância do transistor associado ao nó B
<b><math>g_{mc}</math></b>	Transcondutância do transistor associado ao nó C

$g_{mi}$	Transcondutância dos transistores do par diferencial de entrada
$g_{mn}$	Transcondutância de um transistor genérico n
$H$	Fator de realimentação
<b><i>Ibias_main</i></b>	Corrente de polarização do amplificador principal
<b><i>Ibias_null</i></b>	Corrente de polarização do amplificador de cancelamento
$I_d$	Corrente de dreno de um transistor MOS
$I_n$	Corrente de dreno de um transistor n
<b><i>In+m_main</i></b>	Terminal positivo principal do amplificador principal
<b><i>In+m_null</i></b>	Terminal positivo principal do amplificador de cancelamento
<b><i>In+n_main</i></b>	Terminal positivo de cancelamento do amplificador principal
<b><i>In+n_null</i></b>	Terminal positivo de cancelamento do amplificador de cancelamento
<b><i>In-m_main</i></b>	Terminal negativo principal do amplificador principal
<b><i>In-m_null</i></b>	Terminal negativo principal do amplificador de cancelamento
<b><i>In-n_main</i></b>	Terminal negativo de cancelamento do amplificador principal
<b><i>In-n_null</i></b>	Terminal negativo de cancelamento do amplificador de cancelamento
$K_N$	Fator de ganho dos transistores tipo n
$K_P$	Fator de ganho dos transistores tipo p
$L$	Comprimento do canal de um transistor MOS
$\lambda_n$	Fator de modulação de canal de um transistor MOS tipo n
$\lambda_n^{-1}$	Inverso do fator de modulação de um transistor MOS tipo n [V]
$\lambda_p^{-1}$	Inverso do fator de modulação de um transistor MOS tipo p [V]
<b><i>Main Amp</i></b>	Amplificador Principal
<b><i>MF</i></b>	Margem de fase
<b><i>MOS</i></b>	Metal Óxido Silício
<b><i>Null Amp</i></b>	Amplificador de Cancelamento
$\mu_o$	Mobilidade de um transistor MOS
<b><i>OTA</i></b>	Operational Transconductance Amplifier
<b><i>Out_main</i></b>	Terminal de saída do amplificador principal
<b><i>Out_null</i></b>	Terminal de saída do amplificador de cancelamento
<b><i>Out_null1</i></b>	Terminal 1 de saída do amplificador de cancelamento
<b><i>Out_null2</i></b>	Terminal 2 de saída do amplificador de cancelamento
$P_L$	Pólo associado ao nó L
$R_A$	Resistência associada ao nó A
$R_B$	Resistência associada ao nó B
$R_C$	Resistência de compensação
$r_o$	Resistência dinâmica entre dreno e source de um transistor MOS

<b><math>R_{oCL}</math></b>	Resistência de saída de um amplificador em malha fechada
<b><math>R_{oOL}</math></b>	Resistência de saída de um amplificador em malha aberta
<b><math>S1</math></b>	Terminal de acionamento da chave S1
<b><math>S2</math></b>	Terminal de acionamento da chave S2
<b><math>S3</math></b>	Terminal de acionamento da chave S3
<b><math>S4</math></b>	Terminal de acionamento da chave S4
<b><math>SR</math></b>	<i>Slew-rate</i>
<b><math>S_z</math></b>	Freqüência associada ao zero
<b><math>THD</math></b>	Total Harmonic Distortion
<b><math>V_{contr}</math></b>	Tensão de controle das chaves analógicas
<b><math>V_{ds}</math></b>	Tensão entre dreno e source de um transistor MOS
<b><math>V_{OS\ ef\ N}</math></b>	Tensão de <i>offset</i> efetiva do <i>null amp</i> ao final da fase de cancelamento
<b><math>V_{OSm}</math></b>	Tensão de <i>offset</i> do amplificador principal
<b><math>V_{OSn}</math></b>	tensão de <i>offset</i> do amplificador de cancelamento
<b><math>V_{os-sist}</math></b>	Tensão de <i>offset</i> sistemática de um amplificador operacional
<b><math>V_t</math></b>	Tensão de limiar de um transistor MOS
<b><math>V_{Tn}</math></b>	Tensão de limiar de um transistor tipo N
<b><math>V_{Tp}</math></b>	Tensão de limiar de um transistor tipo P
<b><math>W</math></b>	Largura do canal de um transistor MOS
<b><math>(W/L)_n</math></b>	Largura e comprimento de um transistor MOS
<b><math>w_o</math></b>	Freqüência de ganho unitário
<b><math>\omega_{dm}</math></b>	Freqüência do pólo dominante do amplificador principal em rad/s
<b><math>\omega_{dn}</math></b>	Freqüência do pólo dominante do amplificador de cancelamento em rad/s
<b><math>\omega_{hm}</math></b>	Freqüência do pólo não-dominante do amplificador principal em rad/s
<b><math>\omega_{hn}</math></b>	Freqüência do pólo não-dominante do amplificador de cancelamento em rad/s

# **INTRODUÇÃO**

Amplificadores de precisão auto-zero são utilizados em diversas aplicações de instrumentação eletrônica onde se faz necessária a amplificação de sinais de baixa amplitude com alta precisão [1]. Devido à contínua monitoração e redução da tensão de *offset*, principal característica desta classe de amplificadores, maior resolução é obtida sem necessidade da calibração dos sistemas eletrônicos em que tais amplificadores são utilizados. Outra vantagem é a possibilidade de integrá-los em tecnologias não otimizadas para construção de sistemas analógicos de precisão, como processos CMOS digital.

Entretanto, é importante para algumas destas aplicações que tal resolução seja obtida sem o comprometimento da banda de frequências dos amplificadores, que geralmente é reduzida devido ao processo de amostragem da tensão de *offset* [2]. Uma maneira de se evitar a interrupção periódica do sinal foi pioneiramente descrita por Coln [3] no começo da década de 80 e baseia-se na inclusão de um segundo amplificador para reduzir a tensão de *offset* do amplificador principal, que nunca é desconectado dos terminais de entrada. Este tipo de amplificador passou a ser conhecido na literatura como amplificador auto-zero contínuo (*continuous autozeroed amplifier*) ou *chopper-stabilized*.

Tendo em vista a importância deste tipo de amplificador [1] e os desafios impostos em seu projeto, os quais constituem um tema muito valioso para a formação de projetistas de circuitos integrados analógicos, essa dissertação versa sobre o projeto, implementação e caracterização de um amplificador auto-zero contínuo para uso geral em tecnologia CMOS 0.6 $\mu$ m.

Com o intuito de tornar a leitura desta dissertação mais concisa e interessante, a revisão bibliográfica referente ao assunto foi omitida. No entanto, ciente da importância do prévio conhecimento do assunto em questão, o autor inclui um breve histórico sobre técnicas de redução de *offset* no Capítulo 1 e recomenda ao leitor leigo no assunto algumas referências bibliográficas adicionais: [4], [5] e [6] para obter informações sobre a problemática da tensão de *offset* em amplificadores operacionais, incluindo formulações a respeito da mesma; [2] com o intuito de interar-se sobre técnicas dinâmicas de redução de

*offset*, tais como *chopper* e auto-zero; [7], [8], [9], [10], [11] e [12] para introduzir o leitor em algumas implementações sobre amplificadores do tipo *chopper*, assim como [3], [13], [14] e [15] contém informações sobre projeto de amplificadores auto-zero. Em especial, as referências [1], [3], [14], [15], [16], e [17] situam o leitor a par de implementações de amplificadores auto-zero contínuo, que é o tema dessa dissertação.

Este texto contém uma introdução, três capítulos principais, conclusão e apêndice. No *Capítulo 1* é feita uma análise simplificada do comportamento AC/DC do amplificador. O projeto do amplificador, baseado nos estudos descritos no Capítulo 1 e em algumas especificações de projeto, é o foco central do *Capítulo 2*. O *Capítulo 3* trata da caracterização e análise dos protótipos fabricados, assim como aborda uma discussão dos resultados experimentais obtidos. A *Conclusão* da dissertação confirma a validade e importância do trabalho, cabendo finalmente ao *Apêndice* incluir o desenvolvimento de uma fórmula descrita no texto.

---

# 1

---

## DESCRIÇÃO DO AMPLIFICADOR

---

Este capítulo tem por objetivo apresentar uma visão geral sobre o histórico e o funcionamento do amplificador auto-zero em questão, além de analisar algumas particularidades próprias desta arquitetura. Na seção 1.1 um breve histórico das técnicas utilizadas no projeto de amplificadores de precisão é relatado. A seção 1.2 contém uma descrição funcional do circuito, incluindo algumas formulações que justificam o bom desempenho do amplificador referente à tensão de *offset*. Nesta mesma seção serão discutidos também alguns detalhes importantes sobre a resposta em frequência do amplificador. Na seção 1.3, resultados de algumas simulações (utilizando elementos ideais) serão mostrados, materializando assim uma aproximação corriqueira, porém de suma importância, sobre o comportamento dinâmico e estático esperado do amplificador.

---

### 1.1 Histórico sobre técnicas de projeto de *OP-AMP* de precisão

A problemática na amplificação de sinais elétricos de baixa amplitude em instrumentação eletrônica surgiu há algum tempo na história. O primeiro registro encontrado, que data de 1933, corresponde à implementação à válvula do primeiro amplificador *chopper* [9].

O princípio em que se baseia esta técnica consiste na translação espectral da banda do sinal de entrada para filtrar os erros de baixa frequência inerentes ao amplificador. Dada

a necessidade de chavear o sinal de entrada, essa técnica limitava a resposta em frequência destes amplificadores. Foi então que em **1950** E.A.Goldberg, visando a construção de computadores analógicos na empresa *RCA*, estendeu a faixa de frequência dos amplificadores *chopper*, intitulando sua criação de amplificadores *chopper-stabilized*.

Na transição da década de **60** para a década de **70**, com o uso da tecnologia bipolar para construção de circuitos integrados, os amplificadores operacionais integrados começaram a tornar-se produtos comerciais [18]. Sendo assim, algumas aplicações na área de instrumentação eletrônica impulsionaram a busca de amplificadores integrados de precisão. Dentre estes amplificadores, destaca-se o *OP-07* [19], que utilizava uma técnica para compensar a corrente de base dos transistores de entrada, assim como um ajuste de *offset* através de uma rede de resistores integrados.

No meio da década de **70**, circuitos integrados em tecnologia *MOS* tornaram-se viáveis [20] e, inevitavelmente, amplificadores operacionais implementados nesta tecnologia tornaram-se realidade. Como transistores *MOS* possuem maior tensão de *offset* em relação aos transistores bipolares, os projetistas tiveram que buscar novas soluções para construir amplificadores de precisão nesta nova tecnologia. Fazendo uso da alta impedância de entrada dos transistores *MOS*, foi possível armazenar e subtrair a tensão de *offset* de amplificadores *MOS*, surgindo assim uma nova técnica para obtenção de amplificadores de precisão, chamada auto-zero. Existem várias publicações desta época que, em sua essência, baseiam-se na técnica auto-zero [13], [21].

No entanto, como é necessário retirar o sinal de entrada dos terminais do amplificador para medir e armazenar a tensão de *offset*, a banda em frequência dos amplificadores auto-zero também ficou prejudicada. Em **1979** a *Intersil* lançou no mercado o primeiro amplificador auto-zero que conservava sua resposta em frequência inalterada diante do processo de amostragem, o *ICL7600* [22]. Este feito era conseguido graças ao uso de dois amplificadores operacionais que alternavam complementarmente seus ciclos de amostragem e amplificação. Esses amplificadores são também conhecidos como *CAZ* (*Comutated Auto-Zero*) ou *ping-pong*. Entretanto, devido ao rápido chaveamento dos amplificadores, *glitches* apareciam na saída do amplificador, tornando seu uso inadequado para algumas aplicações.

Em **1981** Michael Coln, adaptando a idéia básica de Goldberg, construiu o primeiro amplificador auto-zero integrado com banda contínua [3]. O circuito utilizava dois amplificadores NMOS conectados em uma configuração *feed-forward* de forma que o amplificador principal, cujos terminais de entrada nunca eram desconectados do sinal a ser amplificado, tinha sua tensão de *offset* permanentemente reduzida por um outro amplificador, que era basicamente um amplificador auto-zero. Otimizações do amplificador de Coln, tais como integração dos capacitores de memória [14], otimizações das entradas auxiliares [16], [23], operação em alta temperatura [15] e redução do ruído [24] foram posteriormente publicadas nas décadas de **80** e **90**. Contudo, o princípio de operação se mantinha.

A demanda por amplificadores com banda contínua cada vez maior, operando em baixa tensão e baixo consumo, tem sido motivação para busca de novas e melhores técnicas de projeto. A mais recente contribuição neste cenário foi dada por Andrew Tang [25], que propõe um amplificador de alta resolução cujo princípio de funcionamento se baseia numa combinação das técnicas auto-zero e *chopping*.

A seguir são apresentadas as contribuições relacionadas ao projeto de amplificadores operacionais de precisão as quais o autor encontrou na literatura e julgou importante agrupar.

<u>DATA</u>	<u>AUTOR</u>	<u>CONTRIBUIÇÃO</u>	<u>REF.</u>
1933	A.J.Williams	<i>Amplificador Chopper</i>	[9]
1938	A.J.Williams	<i>Amplificador Chopper</i>	[8]
1948	A.J.Williams <i>et al</i>	<i>Amplificador Chopper</i>	[7]
1950	E.A.Goldberg	<i>Amplificador Chopper-Stabilized</i>	[10]
1976	R.Brodersen <i>et al</i>	<i>Técnica AZ - Correlated Double Sample</i>	[21]
1978	R.Poujois <i>et al</i>	<i>Técnica AZ – Cancelamento em malha aberta</i>	[13]
1979	Intersil Inc.	<i>Técnica AZ – Amplificador CAZ</i>	[22]
1981	M.C.W.Cohn	<i>Técnica AZ – Amplificador contínuo</i>	[3]
1985	E.A.Vittoz	<i>Técnica AZ – Entradas auxiliares com <math>\neq</math> ganhos</i>	[23]
1987	C.C.Enz <i>et al</i>	<i>Amplificador Chopper CMOS</i>	[11]
1991	D.Thelen <i>et al</i>	<i>Técnica AZ – Integração de capacitores de memória</i>	[14]
1992	J.E.C.Brown	<i>Técnica AZ – Variação da frequência de clock</i>	[24]
1994	C.G.Yu <i>et al</i>	<i>Técnica AZ – Ping-pong com cancelamento digital</i>	[26]
1995	I.G.Finvers <i>et al</i>	<i>Técnica AZ – Contínuo para altas temperaturas</i>	[15]
1996	Intersil Inc.	<i>Técnica AZ – Uso do bulk para entradas auxiliares</i>	[16]
1999	C.Menolfi <i>et al</i>	<i>Amplificador Chopper CMOS c/ filtro passa-banda</i>	[27]
2000	A.Bakker <i>et al</i>	<i>Amplificador Chopper aninhado</i>	[12]
2002	A.T.K.Tang	<i>Amplificador Auto-zero/Chopper</i>	[25]

Tabela 1.1 – Contribuições importantes no projeto de amplificadores de precisão

## 1.2 Descrição e análise funcional do amplificador

### 1.2.1 Introdução

Como relatado anteriormente, diversas implementações de amplificadores auto-zero contínuo são encontradas na literatura [3], [14], [15], [16], e [17], entre outras. Cada uma delas possui uma particularidade no que tange a implementação dos blocos fundamentais e algumas características do circuito (estágio de entrada do amplificador, topologia das chaves analógicas, resposta em frequência do amplificador, frequência de chaveamento, etc). No entanto, todas elas possuem blocos funcionais em comum, os quais formam uma estrutura básica pioneiramente publicada por Coln [3] e que está esquematizada na Fig. 1.1.

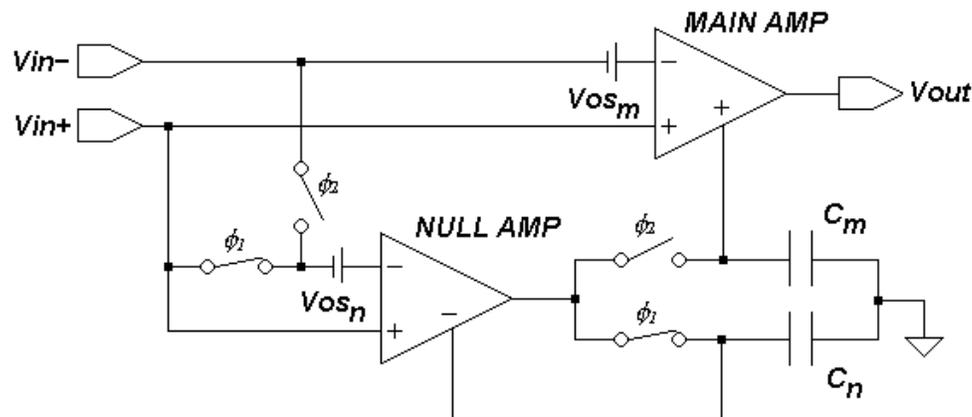


Fig. 1.1 – Esquema funcional do amplificador auto-zero contínuo

Como se observa na figura acima, o amplificador é basicamente constituído por dois blocos amplificadores de tensão (amplificador principal, *MAIN AMP*, e amplificador de cancelamento, *NULL AMP*), capacitores atuando como memória analógica e chaves analógicas. Cada um desses amplificadores (*MAIN* e *NULL*) possui um terceiro terminal de entrada que é conectado aos capacitores de armazenamento e comutado através das chaves analógicas de forma a reduzir a tensão de *offset* equivalente total.

### 1.2.2 Análise DC do amplificador

O funcionamento DC do circuito é compreendido de forma mais clara analisando-se cada uma das duas fases (fase de cancelamento,  $\phi_1$ , e fase de amplificação,  $\phi_2$ ), as quais são impostas pelo posicionamento das chaves mostradas na *Fig. 1.1*. Na fase designada  $\phi_1$ , como mostrada na *Fig. 1.1*, os terminais da entrada principal do amplificador de cancelamento são colocados num mesmo potencial, de forma que a única tensão diferencial presente na entrada seja a sua própria tensão de *offset*. Nesta mesma fase, sua saída é realimentada através da entrada auxiliar, de maneira que:

$$V_{out_N} = \frac{A_n}{A_n + 1} V_{os_N} \quad (1.1)$$

Note que duas considerações devem ser feitas: o ganho de malha aberta do amplificador de cancelamento tanto da entrada principal quanto da entrada auxiliar têm o mesmo valor,  $A_n$ ; os ganhos referentes às entradas do amplificador principal ( $A_m$ ) são iguais aos do amplificador de cancelamento ( $A_m = A_n = A$ ). A tensão  $V_{out_N}$  representa a tensão no terminal de saída do amplificador de cancelamento no fim da fase  $\phi_1$  e o termo  $V_{os_N}$  designa a tensão de *offset* inicial deste mesmo amplificador.

Como essa tensão  $V_{out_N}$  é armazenada no capacitor  $C_n$  e mantida constante na fase  $\phi_2$ , a tensão efetiva de *offset* ( $V_{os_{efN}}$ ) observada em  $\phi_2$  é dada pela tensão de saída,  $V_{out_N}$ , dividida pelo ganho de malha aberta do amplificador,  $A_n$ , que resulta em:

$$V_{os_{efN}} = \frac{1}{A_n + 1} V_{os_N} \quad (1.2)$$

Na fase de amplificação,  $\phi_2$ , a entrada principal do amplificador de cancelamento, que apresenta uma reduzida tensão de *offset*, é conectada aos terminais da entrada principal do *MAIN AMP*. Nesta configuração, a tensão de *offset* do amplificador principal é detectada

pelo amplificador de cancelamento e a tensão de correção é armazenada no capacitor  $C_m$ . Assim, a tensão na saída do amplificador principal tem o seguinte valor:

$$V_{out_M} = A_m(V_+ - V_- + V_{os_M}) + A_n A_m (V_+ - V_- + V_{os_{efN}}) \quad (1.3)$$

Substituindo (1.2) em (1.3) e assumindo-se que  $A_n \gg 1$  e que  $A_n A_m + A_m \cong A_n A_m$ , conclui-se que a tensão na saída do sistema vale:

$$V_{out} = A_m A_n \left[ V_+ - V_- + \frac{V_{os_M} + V_{os_N}}{A_n} \right] \quad (1.4)$$

A equação (1.4) mostra que a tensão de *offset* dos amplificadores é dividida pelo ganho de malha aberta da entrada auxiliar amplificador principal, resultando assim num sistema em que a razão entre a tensão diferencial a ser amplificada,  $V_+ - V_-$ , e a tensão de *offset* efetiva,  $V_{os_{ef}}$ , é muito maior do que a verificada em amplificadores CMOS convencionais.

Analisando qualitativamente o sistema, nota-se que o amplificador principal, **que nunca é desconectado dos terminais de entrada**, tem sua tensão de *offset* permanentemente monitorada e reduzida pelo amplificador de cancelamento. Para isso, é necessário que este último tenha seu próprio *offset* cancelado em uma fase adicional, designada como fase de cancelamento.

### 1.2.3 Resposta em frequência do amplificador

Uma questão relevante neste amplificador diz respeito à sua estabilidade. Devido ao chaveamento necessário ao cancelamento da tensão de *offset* do *NULL AMP*, as respostas em frequência do circuito nas duas fases são distintas. A estabilidade na fase  $\phi_1$  é garantida se ambos os amplificadores forem estáveis para ganho unitário. Já na fase  $\phi_2$ , o sinal de entrada é amplificado por dois caminhos diferentes: um é através do amplificador principal

e o outro amplificado através do amplificador de cancelamento em cascata com a entrada auxiliar do amplificador principal.

Considerando que cada amplificador possua dois pólos significativos (os dominantes designados  $\omega_{dm}$ ,  $\omega_{dn}$  e não dominantes  $\omega_{hm}$ ,  $\omega_{hn}$  onde os sub-índices  $m$  e  $n$  referem-se respectivamente aos amplificadores principal e de cancelamento), a função de transferência do ganho de tensão para a fase  $\phi_2$  é dada pela seguinte expressão:

$$\begin{aligned}
 A_{\phi_2}(s) &= A_m(s) + A_n(s) \times A_m(s) \\
 &= \frac{A}{(1 + s/\omega_{dm})(1 + s/\omega_{hm})} + \frac{A}{(1 + s/\omega_{dn})(1 + s/\omega_{hn})} \times \frac{A}{(1 + s/\omega_{dm})(1 + s/\omega_{hm})} \\
 &\cong A^2 \frac{(1 + s/A\omega_{dn})}{(1 + s/\omega_{dn})(1 + s/\omega_{dm})(1 + s/\omega_{hm})} \tag{1.5}^1
 \end{aligned}$$

Nota-se na equação (1.5) a presença de três pólos na função de transferência, cuja ordem de grandeza é a seguinte:  $\omega_{dn} < \omega_{dm} < \omega_{hm}$ . É interessante, levando-se em consideração a estabilidade do sistema, que o pólo localizado em  $\omega_{dm}$  seja eliminado, restando assim apenas os dois pólos mais distantes entre si,  $\omega_{dn}$  e  $\omega_{hm}$ . O cancelamento de  $\omega_{dm}$  pode ser alcançado alocando-o em uma posição coincidente à frequência unitária do amplificador de cancelamento, ou seja,  $\omega_{dm} = A\omega_{dn} = \omega_{on}$ . Desta maneira, esse pólo se cancela com o zero do sistema observado em (1.5), resultando assim em um sistema de segunda ordem. Qualitativamente esse artifício significa alocar o pólo dominante do amplificador principal em uma posição coincidente com o zero do sistema (resultante da característica *feed-forward* do caminho direto através do amplificador principal). Desta maneira, a função de transferência resultante na fase de amplificação é dada pela seguinte equação:

$$A_{\phi_2}(s) = \frac{A^2}{(1 + s/\omega_{dn})(1 + s/\omega_{hm})} \tag{1.6}$$

Para que haja um cancelamento perfeito entre o pólo e o zero, o ganho de malha aberta e a frequência do pólo e do zero devem ser coincidentes. Caso contrário, o

<sup>1</sup> A dedução completa deste resultado encontra-se no Apêndice

amplificador poderá funcionar corretamente, contudo não será possível assegurar sua estabilidade para todos os ganhos de malha fechada [28].

Dada a alta constante de tempo associada ao pólo dominante do amplificador de cancelamento [3] e a sua baixa impedância de saída, um resistor é adicionado em série com o capacitor de armazenamento para constituir tal constante de tempo, como mostrado na Fig. 1.2.

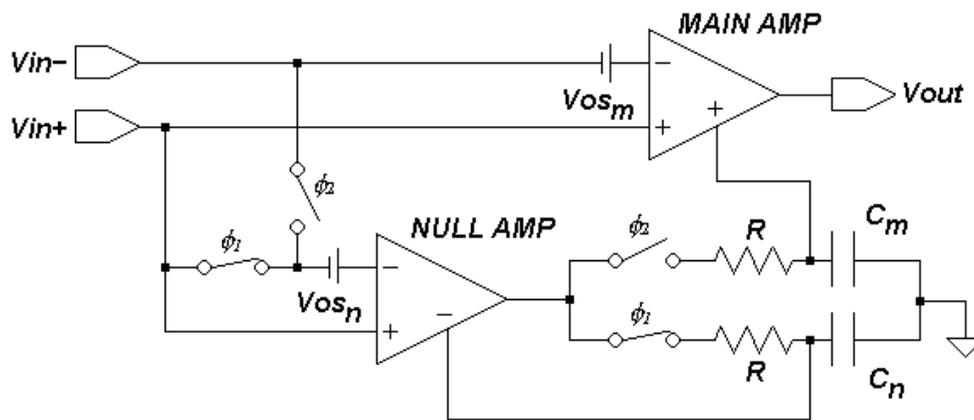


Fig. 1.2 – Esquema do amplificador auto-zero incluindo os resistores de compensação

## 1.3 Simulações utilizando blocos ideais

### 1.3.1 Introdução

Com o intuito de alicerçar o entendimento de dois pontos importantes no projeto do amplificador auto-zero contínuo (minimização da tensão de *offset* e resposta em frequência), algumas simulações sistemáticas do amplificador foram feitas. Para isto, foram utilizados blocos ideais presentes no programa de simulação *PSPICE 8.0* tais como fontes de corrente controladas por tensão e chaves ideais, assim como capacitores e resistores.

### 1.3.2 Simulação da resposta em frequência do amplificador auto-zero idealizado

Três especificações básicas do amplificador principal, a seguir descritas, foram sugeridas para se efetuar as simulações em frequência:

<i>Frequência de ganho unitário</i>	<b>1 MHz</b>
<i>Ganho de malha aberta</i>	<b>80 dB</b>
<i>Margem de fase</i>	<b>&gt; 60 °</b>

Tabela 1.2 – Especificações básicas do amplificador principal

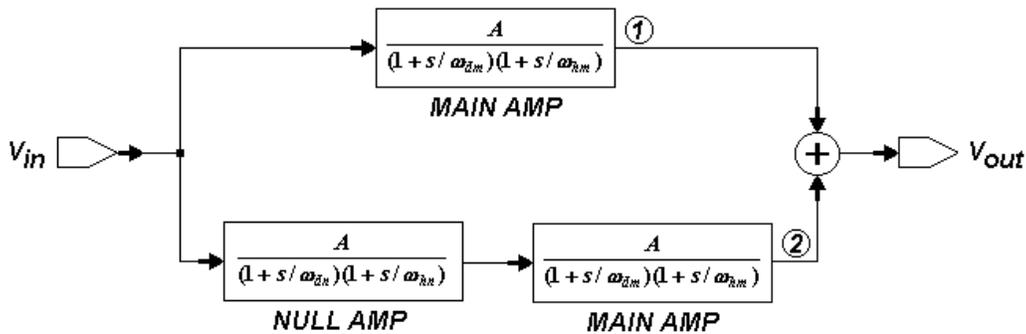
Para que o amplificador tenha um ganho de 80 dB e uma frequência de ganho unitário de 1 MHz, é necessário que seu pólo dominante esteja alocado em  $f_{dm} = 100 \text{ Hz}$ , uma vez que o ganho decresce 20 dB/década considerando-se somente a influência do primeiro pólo. O segundo pólo do amplificador principal foi alocado em  $f_{hm} = 2,5 \text{ MHz}$ , o que propicia uma margem de fase  $> 60^\circ$  [29]. Como a frequência do pólo dominante do amplificador de cancelamento deve ser  $A$  vezes menor que a frequência do pólo dominante do amplificador principal, ou seja,  $\omega_{dm} = A\omega_{dn} = \omega_{on}$ , o pólo dominante do amplificador de cancelamento deve estar localizado em  $f_{dn} = 10 \text{ mHz}$ . O segundo pólo do amplificador de cancelamento foi alocado em  $f_{hn} = 10 \text{ kHz}$ .

Com os valores dos pólos de ambos os amplificadores é possível descrever numericamente o comportamento dos amplificadores através das duas funções de transferência, descritas abaixo:

$$A_m(s) = \frac{1,0 \cdot 10^4}{(1 + s/2\pi 1,0 \cdot 10^2)(1 + s/2\pi 2,5 \cdot 10^6)} \quad (1.7)$$

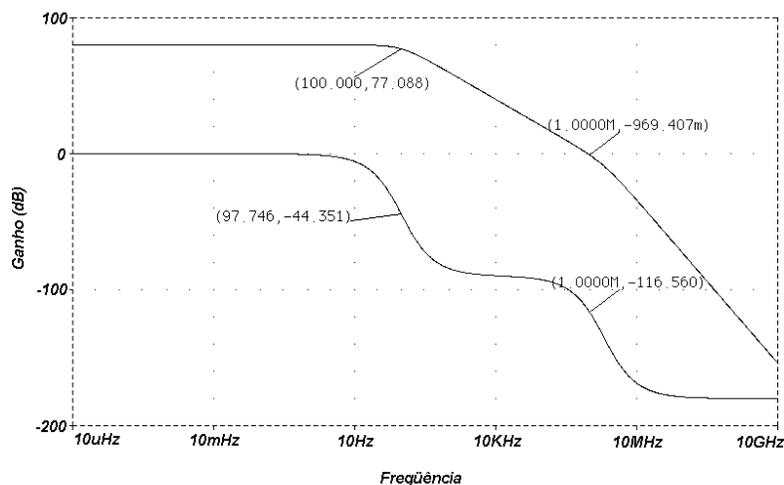
$$A_n(s) = \frac{1,0 \cdot 10^4}{(1 + s/2\pi 1,0 \cdot 10^{-2})(1 + s/2\pi 1,0 \cdot 10^4)} \quad (1.8)$$

Ambas as funções de transferência foram implementadas com o elemento *ELAPLACE*, que é uma fonte de tensão controlada por tensão (*E*) onde é possível incluir pólos e zeros (*LAPLACE*). A análise da estabilidade do amplificador na fase de amplificação foi feita conectando-se esses blocos de maneira a descrever o comportamento do amplificador auto-zero nesta fase, como mostrado na *Fig. 1.3*.



*Fig. 1.3 – Modelo utilizado para simular o amplificador na fase de amplificação*

Após inserir as funções de transferência das equações (1.7) e (1.8) no bloco *ELAPLACE* e conectá-los como esquematizado na *Fig.1.3*, foi feita uma simulação em frequência e foram gerados os gráficos de Bode dos pontos *1* e *2*, como mostrado nas figuras a seguir.



*Fig. 1.4 – Gráfico de Bode observado no ponto 1 do sistema da fig.1.3.*

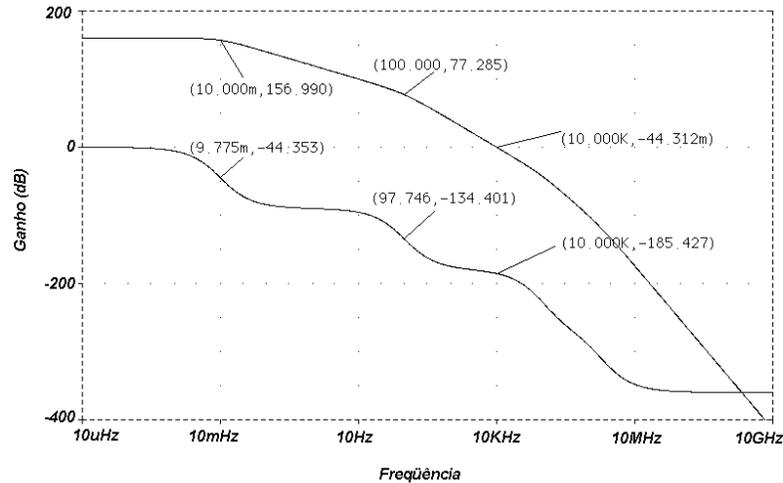


Fig. 1.5 – Gráfico de Bode observado no ponto 2 do sistema da fig.1.3.

É interessante analisar os pontos 1 e 2 separadamente para melhor entender a resposta em frequência do sistema na fase de amplificação:

O gráfico da Fig. 1.4 mostra que o sinal no ponto 1, em relação ao sinal de entrada, apresenta um ganho DC de 80dB e uma margem de fase de aproximadamente  $63^\circ$ , o que representa a resposta em malha aberta do amplificador principal idealizado. Essas características, sob o ponto de vista de controle de sistemas dinâmicos, é satisfatória, uma vez que o sistema quando realimentado é estável, apresentando uma resposta transitória com oscilações amortecidas.

Em contrapartida, o cascadeamento do amplificador de cancelamento com o amplificador principal resulta em um sinal, observado na Fig. 1.5 (ponto 2), que não se caracteriza por um sistema estável se realimentado. Observa-se que a margem de fase neste ponto vale aproximadamente  $-5^\circ$ , caracterizando a resposta transitória desse ponto com oscilações não amortecidas.

Entretanto, a resposta do sistema na fase de amplificação é dada pela soma dos dois sinais, 1+2, o que felizmente resulta em um sistema estável, com alto ganho (dado aproximadamente por  $A^2$ ), com dois pólos e com a mesma margem de fase que o bloco MAIN AMP, conforme verificado na Fig.1.6.

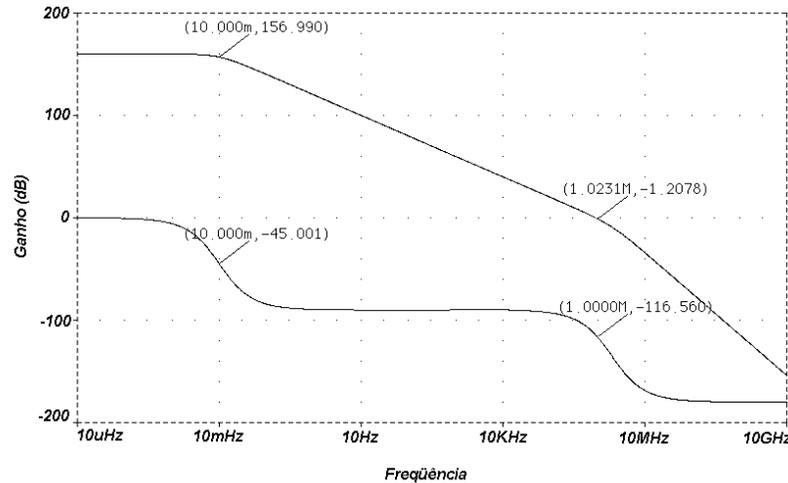


Fig. 1.6 – Gráfico de Bode observado na saída do sistema da fig.1.3.

Observa-se também na Fig. 1.6 que a resposta em baixas frequências do amplificador auto-zero é dada, aproximadamente, pela multiplicação dos ganhos de malha aberta de ambos os amplificadores. Entretanto, a resposta para altas frequências é basicamente a resposta do amplificador principal. Isso se deve à presença de um pólo de frequência muito baixa (10mHz) no amplificador de cancelamento. À medida que a frequência aumenta, a amplitude do sinal que atravessa o amplificador de cancelamento cai muito mais rapidamente do que a que atravessa o amplificador principal diretamente. Isto faz com que a resposta para altas frequências do amplificador auto-zero se aproxime da resposta do amplificador principal, caracterizando uma vantagem ao passo que há um aumento do ganho de malha aberta (10.000 vezes neste caso) sem o comprometimento da resposta em frequência.

O gráfico da Fig. 1.7 ajuda a visualizar o que acontece com a resposta em frequência do amplificador auto-zero na fase de amplificação: percebe-se uma sobreposição da resposta em frequência do ganho de ambos amplificadores. No gráfico em questão, não existe a influência do zero adicionado pelo caminho direto do amplificador principal, uma vez que ele foi cancelado pela correta alocação do pólo dominante do amplificador principal. Observa-se a resposta equivalente a de um sistema de segunda ordem. Já o gráfico da Fig. 1.8 nota-se a presença de um zero adicional, devido a incorreta alocação do pólo do amplificador principal.

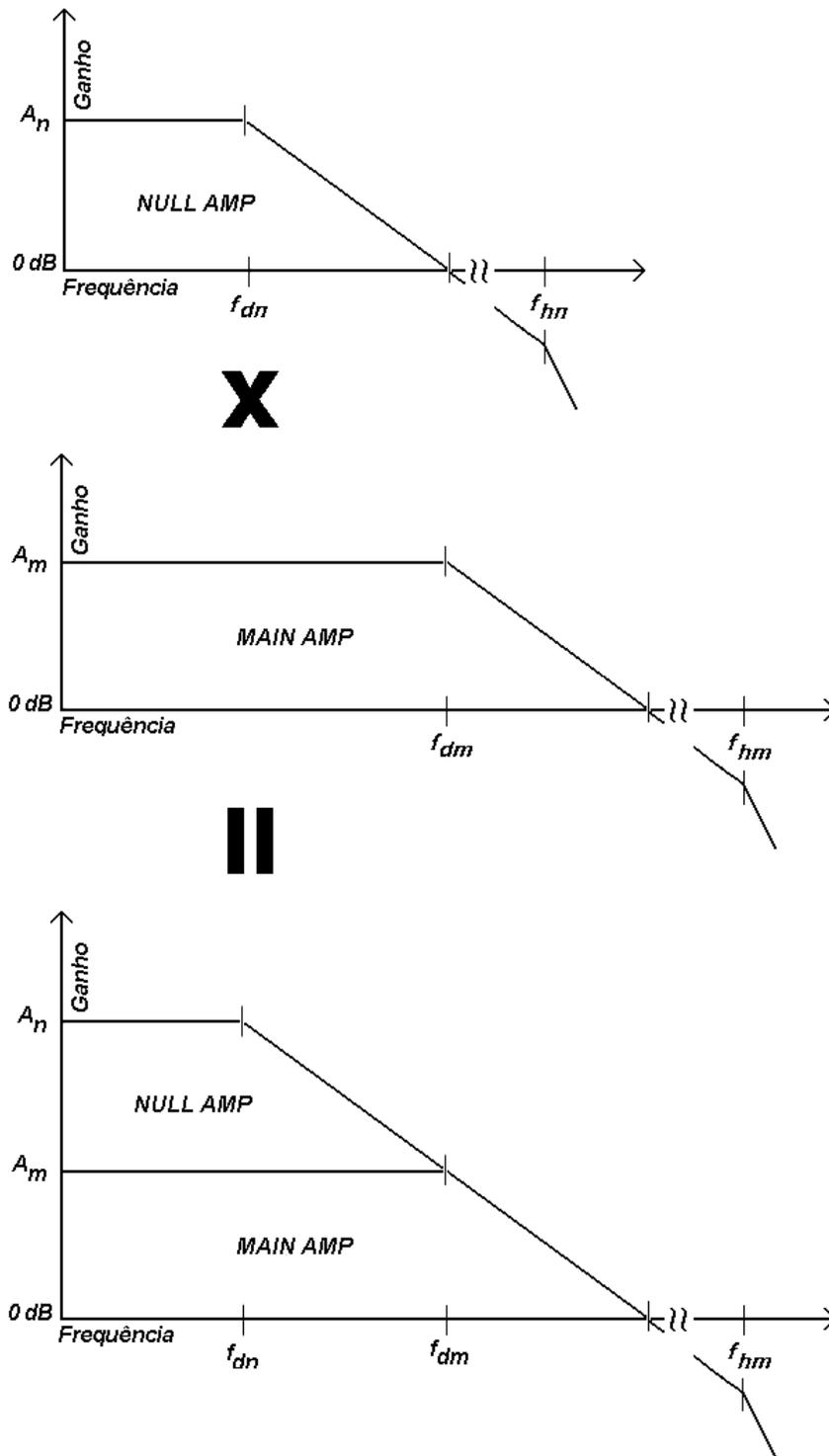


Fig. 1.7 – Resposta em frequência do amplificador auto-zero ideal na fase de amplificação

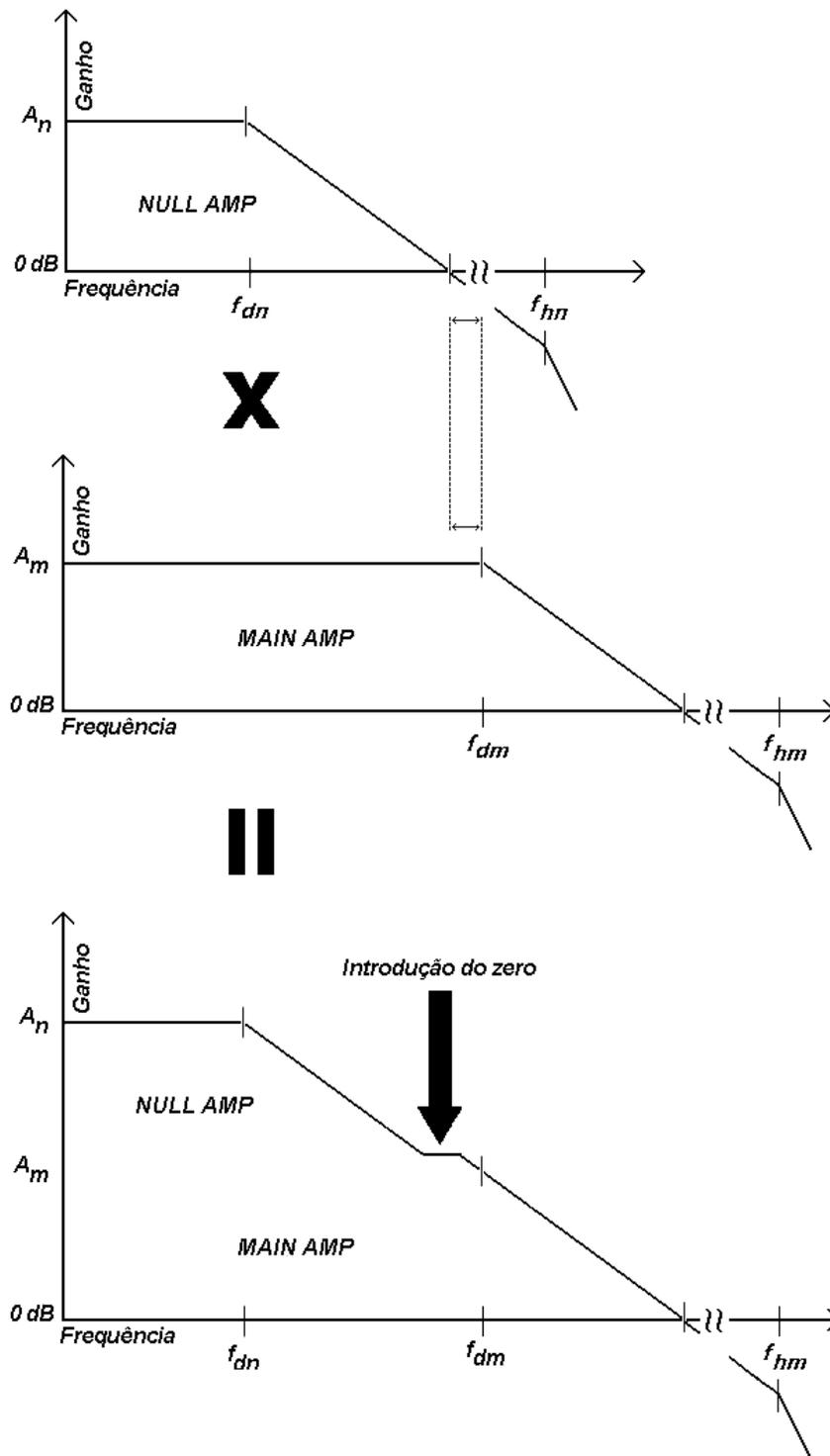


Fig. 1.8 – Resposta em frequência do amplificador auto-zero ideal sem cancelar o zero na fase de amplificação

Uma última questão deve ser levantada: se o sistema é estável para cada uma das fases, então se pode afirmar que o amplificador como um todo é estável? A rigor, deveria ser feita uma análise utilizando transformadas discretas ( $Z$ ) para descrever melhor o comportamento do sistema. Entretanto, gastar-se-ia muito tempo com tal análise, inviabilizando o término do projeto no prazo estabelecido. Desta forma, assumiu-se que a estabilidade em ambas as fases implica na estabilidade do amplificador como um todo, postulado esse que foi comprovado experimentalmente como o leitor irá verificar no Capítulo 3.

### ***1.3.3 Simulação do offset final do amplificador auto-zero idealizado***

A análise DC do amplificador auto-zero idealizado foi feita no simulador *Accusim*, da *Mentor Graphics*. Apesar de utilizar somente componentes ideais (chaves ideais e transdutores ideais, além de resistores e capacitores), esta simulação foi feita no ambiente que será utilizado para simular o amplificador real.

As duas entradas diferenciais de ambos os amplificadores foram simuladas através de transdutores, conforme esquematizado na *Fig. 1.9*. Como interessa analisar a tensão de *offset* do amplificador auto-zero, cada um dos amplificadores foi modelado de forma a apresentar somente um pólo dominante.

Foram adicionados capacitores e resistores nos terminais de saída dos transdutores, os quais simulam o pólo dominante e ganho DC de malha aberta de cada um dos amplificadores. Uma fonte de tensão controlada por tensão (*buffer*) foi adicionada para simular o estágio de saída dos amplificadores, assim como duas fontes de tensão ideais de 10 mV foram adicionadas para simular a tensão inicial de *offset* dos amplificadores. Chaves ideais denominadas CH1, CH2, CH3 e CH4 foram utilizadas nesta simulação.

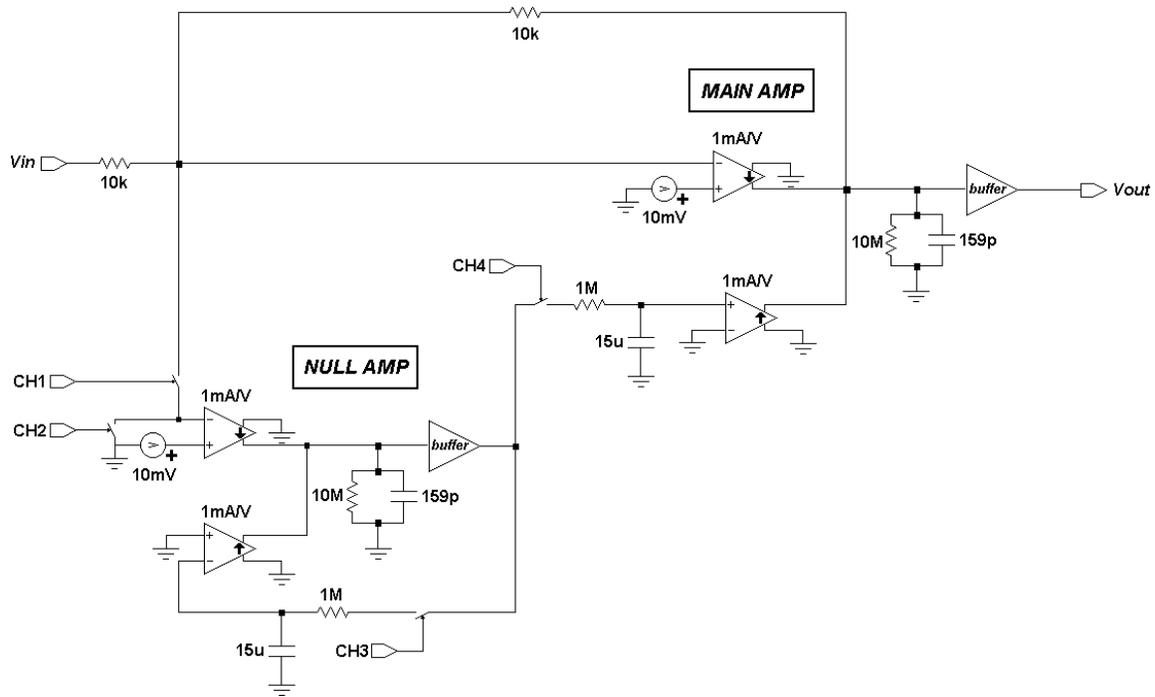


Fig. 1.9 – Esquema ideal utilizado para verificar a redução da tensão de offset

O circuito foi realimentado para ganho unitário e as chaves foram excitadas com uma onda quadrada de frequência de 100 Hz. As entradas diferenciais do amplificador foram curto-circuitadas e aterradas ( $V_{in}=0$ ).

Nota-se na Fig. 1.10 efetiva redução na tensão de *offset* promovida pela estrutura do amplificador auto-zero. O *offset* inicial, que era de 10 mV, aproximou-se de 5 $\mu$ V depois do transiente, redução consideravelmente alta.

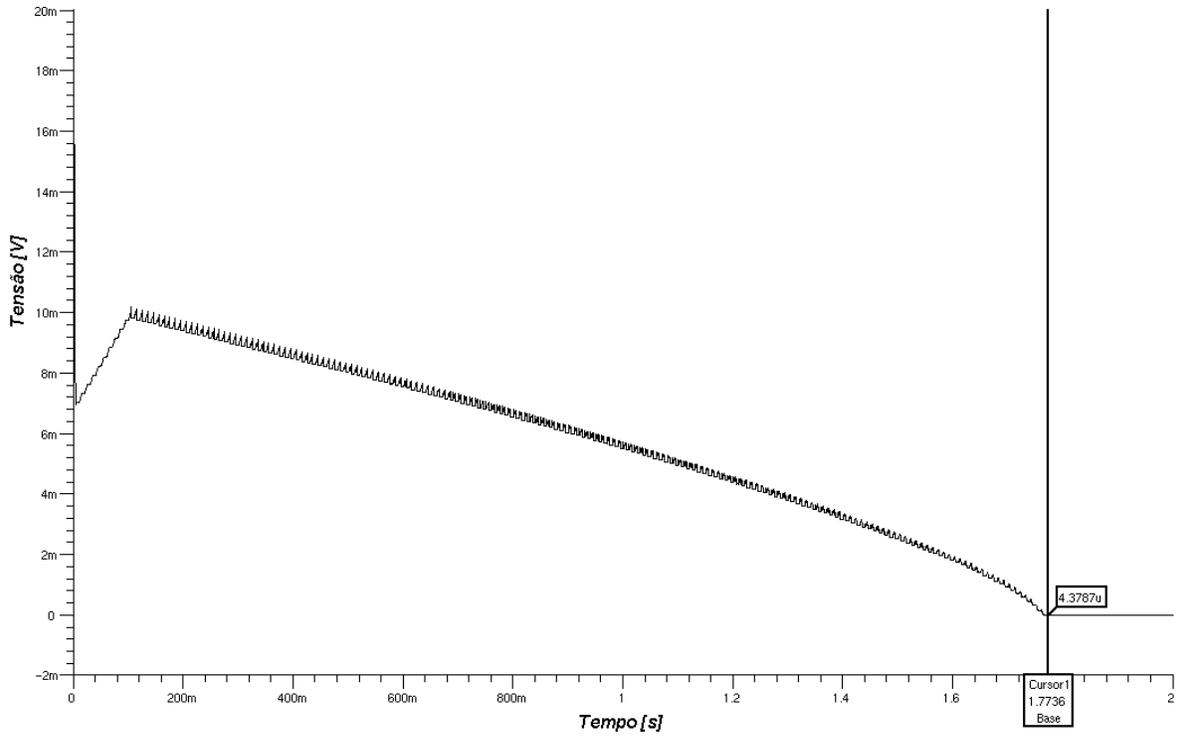


Fig. 1.10 – Redução da tensão de offset do amplificador auto-zero ideal

---

# 2

---

## PROJETO DO AMPLIFICADOR

---

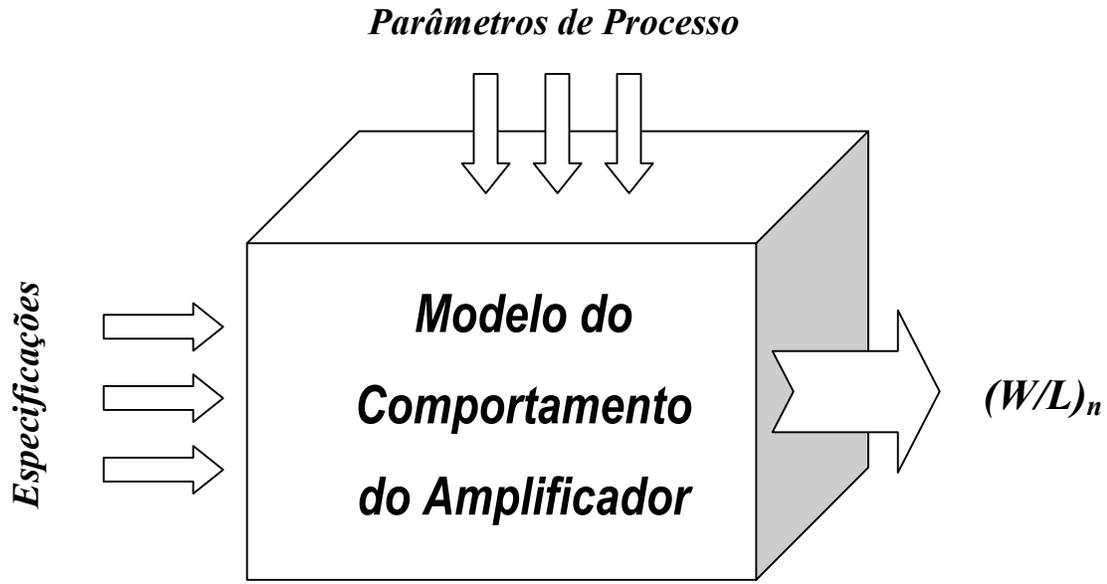
O projeto do amplificador auto-zero, embasado nos requisitos descritos no capítulo anterior e em algumas especificações de projeto, é o foco central deste capítulo. A metodologia utilizada no projeto dos amplificadores (*MAIN AMP* e *NULL AMP*) é descrita na seção 2.1. A seção 2.2 descreve o modelo comportamental de ambos os amplificadores. As especificações básicas, cálculos manuais, parâmetros de processo e simulações do amplificador principal constam na seção 2.3. Na seção 2.4 o projeto do amplificador de cancelamento é descrito. Na seção 2.5 são apresentadas simulações do amplificador auto-zero, que é composto pelos dois amplificadores previamente projetados e por chaves analógicas e capacitores de armazenamento. A seção 2.6 descreve a implementação do circuito integrado, detalhando o *layout* do amplificador.

---

### 2.1 Metodologia

O perfeito entendimento do comportamento estático e dinâmico de um determinado amplificador é premissa para o correto dimensionamento dos dispositivos que o compõe [36]. Em geral, depois de escolhida a estrutura do amplificador, um modelo simplificado é utilizado para obter-se equações que representem de maneira fiel e simples o comportamento do circuito [30] e [31].

Essas equações relacionam as especificações iniciais ( $GBW$ ,  $SR$ ,  $MF$ , etc) e parâmetros de processo ( $V_t$ ,  $\mu_o$ ,  $C_{ox}$ ,  $\gamma$ ,  $\phi_f$ , etc) com as dimensões dos transistores  $(W/L)_n$ . A *Figura 2.1* apresenta essa relação.



*Fig. 2.1 – Esquematização da metodologia de projeto dos amplificadores*

Seguindo esta metodologia de projeto, a estrutura dos dois amplificadores que formam o amplificador auto-zero foi escolhida, estudada e modelada. Esse processo resultou em um conjunto de equações que relacionam algumas variáveis intermediárias ( $g_{m_n}$ ,  $I_n$ , etc) com as especificações do amplificador. A partir destas variáveis, obteve-se então a dimensão de todos os transistores de cada amplificador.

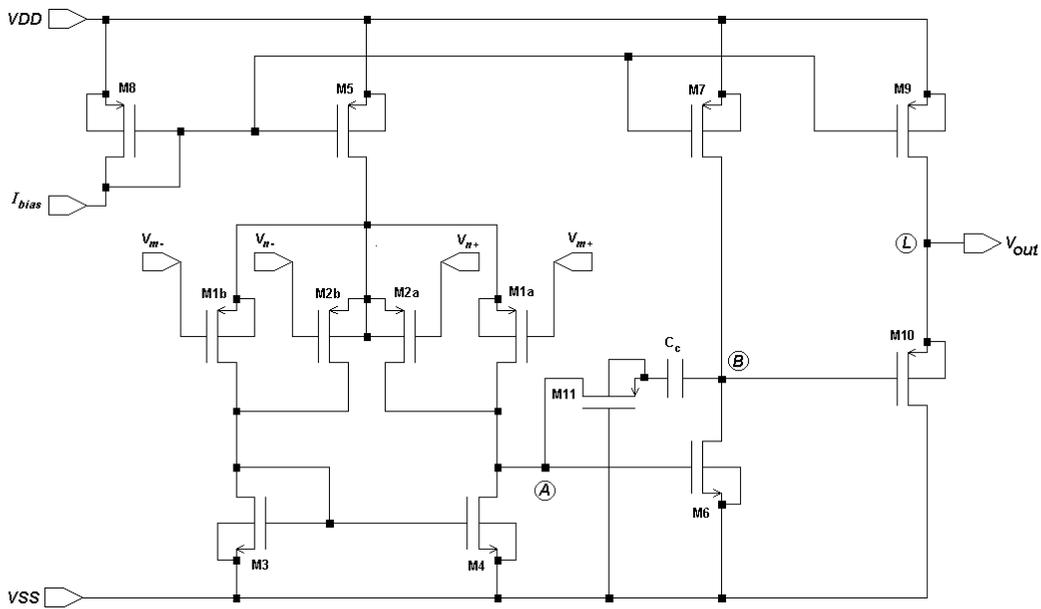
Vale frisar que freqüentemente o projetista se depara com um número de equações menor que o número de variáveis. Nesses casos, é importante que o mesmo tenha a sensatez de procurar atender a especificações adicionais que otimizem o desempenho do amplificador (buscando mais equações) ao invés de simplesmente escolher aleatoriamente o valor de uma variável.

## 2.2 Modelo Comportamental dos Amplificadores

Os amplificadores que constituem o amplificador auto-zero possuem a mesma estrutura: um amplificador operacional de transcondutância (*OTA*) [32] com um estágio de saída classe A [5], conforme esquematizado na *Fig. 2.2*.

A única diferença entre eles é a maneira pela qual foi feita a compensação em frequência [33]: como o amplificador de cancelamento tem uma carga altamente capacitiva, sua compensação foi feita no nó de saída [6], ao passo que o amplificador principal foi compensado por *pole-splitting* com uma resistência em série [34]. Estudou-se primeiramente o comportamento do amplificador principal, sendo que o projeto do amplificador de cancelamento foi feito posteriormente por se tratar de uma particularidade do estudo anterior.

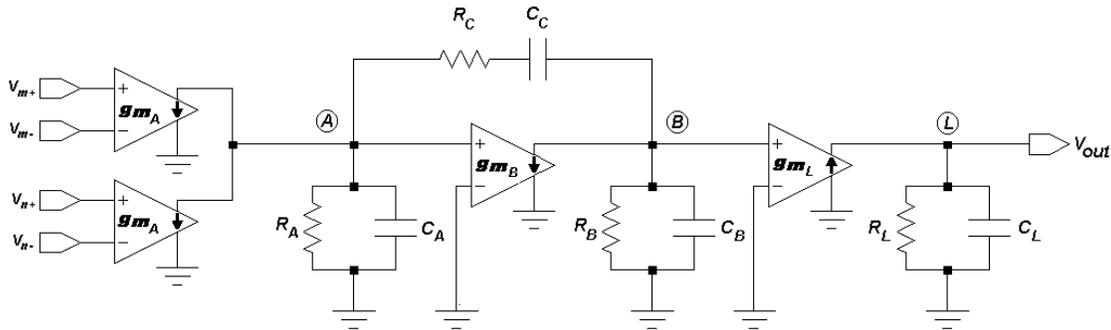
Apesar de simples, a estrutura do amplificador mostra-se adequada ao projeto e deve atender às especificações exigidas.



*Fig. 2.2 – Esquema do amplificador principal*

Observa-se na *Fig. 2.2* que a entrada auxiliar foi implementada adicionando-se um par diferencial (M2a/M2b) em paralelo com o par diferencial (M1a/M1b) do primeiro estágio de amplificação.

O comportamento de pequenos sinais do amplificador da *Fig. 2.2* pode ser analisado através do circuito elétrico da *Fig. 2.3*. Observe que somente os nós de maior relevância para o projeto (**A**, **B** e **L**) foram considerados [35].



*Fig. 2.3 – Diagrama simplificado utilizado para analisar o amplificador principal*

As especificações de projeto servirão como condições de contorno para o conjunto de equações que serão extraídas da análise do circuito elétrico da *Fig. 2.3*. Partindo deste pressuposto, é necessário primeiramente equacionar tal circuito. No entanto, é preciso saber de antemão quais serão as especificações básicas, para que se possa conduzir o equacionamento de maneira a conseguir, de fato, relacionar especificações com variáveis do circuito. A *Tabela 2.1* contém as especificações as quais pretende-se priorizar:

<b>Especificações Iniciais</b>	
<i>Produto Ganho-Banda</i>	GBW
<i>Margem de fase</i>	MF
<i>Ganho de malha aberta</i>	$A_{vo}$
<i>Slew-rate</i>	SR
<i>Offset sistemático</i>	$V_{os-sist}$

*Tabela 2.1 – Especificações iniciais do projeto*

Nas próximas sub-seções serão atribuídas as devidas equações de projeto para cada uma das especificações citadas na *Tabela 2.1*. Devido ao detalhado estudo deste amplificador existente na literatura [4], [36], [37], [38] e [39], as equações não serão deduzidas.

### 2.2.1 Produto Ganho-Banda (*GBW*) e Margem de Fase (*MF*)

O produto ganho-banda *GBW* do amplificador em questão relaciona-se com sua margem de fase *MF* através da razão entre *GBW* e a frequência do pólo associado ao nó *B*,  $\omega_B$  [4] (desconsiderando inicialmente a influência do pólo do nó *L*). A relação entre essas duas variáveis é que determina a margem de fase deste amplificador. Por isso é que ambas as especificações estão sendo tratadas concomitantemente.

O produto ganho-banda é dado pela seguinte equação [4]:

$$GBW = \omega_o = \frac{1}{2 \cdot \pi \cdot r_{sA} C_C} \quad (2.1)$$

Onde:

$$r_{sA} = \frac{1}{g_{mA}} \quad (2.2)$$

Considerando-se que  $C_B$  é da mesma ordem de grandeza que  $C_C$ , o pólo do nó *B* localiza-se aproximadamente em [4]:

$$\omega_B \cong \frac{1}{2 \cdot \pi \cdot r_{sB} \cdot C_B} \quad (2.3)$$

Onde:

$$r_{sB} = \frac{1}{g_{mB}} \quad (2.4)$$

A margem de fase *MF* do amplificador é dada pela seguinte equação [36]:

$$MF = 90^\circ - \arctan\left(\frac{GBW}{\omega_B}\right) \quad (2.5)$$

Observe a presença de duas equações de projeto, (2.1) e (2.3), e três variáveis:  $g_{m_A}$ ,  $g_{m_B}$  e  $C_C$ . Uma terceira especificação pode ser imposta, como por exemplo a máxima área a ser ocupada no *chip*, otimizando-se assim mais uma especificação do amplificador.

### 2.2.2 Ganho de Malha Aberta ( $A_{vo}$ )

O ganho DC de malha aberta do amplificador é dado por [4]:

$$A_{vo} \cong (g_{m_A} \cdot R_A) \cdot (g_{m_B} \cdot R_B) \quad (2.6)$$

Na equação (2.6) considerou-se que a resistência de saída do último estágio de amplificação é desprezível em relação à resistência de carga.

É conveniente reescrever a equação (2.6) substituindo o valor das resistências  $R_A$  e  $R_B$  em função das correntes de polarização dos transistores, como mostra a equação (2.7).

$$A_{vo} \cong (g_{m_A} \cdot \frac{1}{\lambda_n \cdot I_o}) \cdot (g_{m_B} \cdot \frac{1}{\lambda_n \cdot I_7}) \quad (2.7)$$

### 2.2.3 Slew-rate (SR)

O *slew-rate* ou taxa de subida do amplificador de transcondutância é função da corrente de polarização do par diferencial,  $I_o$ , e da capacitância de compensação,  $C_c$ , conforme mostra a equação (2.8) [4].

$$SR = I_o \cdot C_C \quad (2.8)$$

### 2.2.4 Tensão de offset sistemático ( $V_{os-sist}$ )

Para que o OTA não apresente tensão de *offset* sistemática [5], é necessário estabelecer uma relação entre as correntes que passam pelos transistores  $M3$ ,  $M4$  e  $M6$  e

suas respectivas dimensões, de modo que as densidades de corrente destes transistores sejam iguais. Tal relação [5] consta na equação (2.9).

$$\frac{(W/L)_{M3}}{(W/L)_{M6}} = \frac{(W/L)_{M4}}{(W/L)_{M6}} = \frac{I_o/2}{I_7} \quad (2.9)$$

### 2.2.5 Resumo das equações básicas de projeto

A Tabela 2.2 apresenta as equações básicas de projeto do amplificador as quais serão inicialmente utilizadas para o projeto descrito na próxima seção.

<i>Equações iniciais de Projeto</i>	
GBW	$GBW \cong \frac{g_{m A}}{2 \cdot \pi \cdot C_C}$
$\omega_B$	$\omega_B \cong \frac{g_{m B}}{2 \cdot \pi \cdot C_B}$
MF	$MF = 90^\circ - \arctan\left(\frac{GBW}{\omega_B}\right)$
$A_{vo}$	$A_{vo} \cong \left(g_{m A} \cdot \frac{1}{\lambda_n \cdot I_o}\right) \cdot \left(g_{m B} \cdot \frac{1}{\lambda_n \cdot I_7}\right)$
SR	$SR = I_o \cdot C_C$
$V_{os-sist}$	$\frac{(W/L)_{M3}/(W/L)_{M6} = (W/L)_{M4}/(W/L)_{M6} = I_o / 2 \cdot I_7}$

Tabela 2.2 – Equações iniciais para o projeto do amplificador principal

## 2.3 Projeto do Amplificador Principal

### 2.3.1 Introdução

O intuito desta seção é mostrar como foram reunidas e utilizadas as informações, anteriormente obtidas, no projeto do amplificador principal. Em outras palavras, procura-se através desta exteriorizar a maneira pela qual o projetista processou as informações até atingir as especificações pretendidas.

Primeiramente os parâmetros de processo da tecnologia utilizada serão descritos, assim como as especificações do amplificador. De posse destas informações, cálculos manuais serão efetuados com o intuito de encontrar as dimensões dos transistores que melhor aproximem as especificações iniciais das verificadas manualmente. Um ajuste fino, através de simulações do circuito, irá consolidar as dimensões dos transistores, assim como tornar possível a visualização de algumas características do amplificador.

### 2.3.2 Parâmetros de processo

A tecnologia utilizada, disponível no momento do projeto, consiste em um processo CMOS digital CUQ  $0.6\mu\text{m}$  da *foundry* AMS (Austria Micro Systeme) [41]. Esta é uma tecnologia *N-WELL*, com duas camadas de metal e duas camadas de poli-silício. A Fig.2.4 detalha os dispositivos desta tecnologia utilizados no projeto (transistores NMOS e PMOS e capacitores *poly-poly*). Alguns parâmetros de processo [42] dos transistores MOS constam na Tabela 2.3.

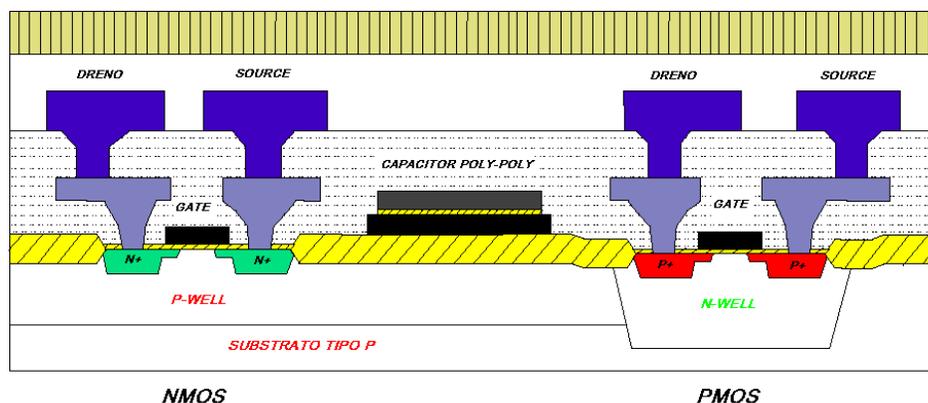


Fig. 2.4 – Corte transversal de dispositivos disponíveis na tecnologia CMOS  $0.6\mu\text{m}$

<b>Parâmetros de Processo (AMS - 0.6<math>\mu</math>m)</b>		
<i>Fator de Ganho NMOS típico</i>	$\mu_n.C_{ox}$	<b>120 <math>\mu</math>A/V<sup>2</sup></b>
<i>Fator de Ganho PMOS típico</i>	$\mu_p.C_{ox}$	<b>40 <math>\mu</math>A/V<sup>2</sup></b>
<i>Tensão de Limiar NMOS típica</i>	$V_{Tn}$	<b>0,72 V</b>
<i>Tensão de Limiar PMOS típica</i>	$V_{Tp}$	<b>-0,80 V</b>

Tabela 2.3 – Alguns parâmetros do processo dos transistores utilizados no projeto

Um parâmetro de pequenos sinais importante utilizado no projeto é a resistência dreno-fonte,  $r_o$ , dos transistores. O parâmetro de simulação que considera essa grandeza,  $\lambda$ , não é fornecido pela *foundry* diretamente e pode ser calculado através da medida do coeficiente de inclinação das curvas  $I_d$  x  $V_{ds}$ , na região de saturação, parametrizada por  $V_{gs}$ . Como  $\lambda$  varia proporcionalmente com o comprimento do canal dos transistores ( $L$ ) [5], esse parâmetro deve ser levantado para as dimensões de transistores utilizadas. O valor de  $\lambda^{-1}$  para comprimento de canal de 2 $\mu$ m e 4 $\mu$ m consta abaixo, na Tabela 2.4. As capacitâncias por área e perímetro dos capacitores *poly-poly* [42] constam na Tabela 2.5.

	<b>L=2<math>\mu</math>m</b>	<b>L=4<math>\mu</math>m</b>
$\lambda_n^{-1}$	37V	59V
$\lambda_p^{-1}$	55V	89V

Tabela 2.4 – Valores de  $\lambda^{-1}$  para transistores NMOS e PMOS com L=2 $\mu$ m e 4 $\mu$ m

<b>Parâmetros de Processo (AMS - 0.6<math>\mu</math>m)</b>		
Capacitância por área	$C_{ua}$	0,86 fF/ $\mu$ m <sup>2</sup>
Capacitância por perímetro	$C_{up}$	0,11 fF/ $\mu$ m

Tabela 2.5 – Capacitância por área e por perímetro entre as duas camadas de poli-silício

### 2.3.3 Especificações

Algumas especificações de projeto, contidas na *Tabela 2.6*, foram sugeridas para o amplificador principal.

<i>Especificações</i>	
<b>GBW</b>	<b>1 MHz</b>
<b>A<sub>vo</sub></b>	<b>80 dB</b>
<b>MF</b>	<b>60°</b>
<b>SR</b>	<b>5 V/<math>\mu</math>s</b>
<b>V<sub>DD</sub>/V<sub>SS</sub></b>	<b>+/- 2,5 V</b>

*Tabela 2.6 – Especificações do amplificador principal*

### 2.3.4 Cálculos Manuais

De posse dos parâmetros de processo, especificações iniciais e das equações básicas de projeto, alguns cálculos manuais foram executados com o intuito de obter-se um conjunto de dimensões de transistores que concretize um amplificador com especificações próximas das inicialmente propostas.

#### 2.3.4.1 Produto Ganho-Banda (GBW) e Margem de Fase (MF)

Como é importante atingir a especificação de ganho de malha aberta com uma certa precisão (ver capítulo 1), um terminal de acesso foi colocado no nó *B* para que se possa regular esse valor através da inclusão de uma resistência (assumindo que de início consiga-se atingir um ganho maior que o desejado). Entretanto, a capacitância do *pad* associada a esse terminal tem um valor relativamente alto ( $4pF$ , valor predominante sobre as outras capacitâncias parasitas deste nó) e não pode deixar de ser considerada. Desta maneira a capacitância do nó *B*,  $C_B$ , vale aproximadamente  $4pF$ .

Para que a margem de fase seja igual ou maior que  $60^\circ$ , o que garante uma resposta transiente normalmente adotada no projeto de amplificadores operacionais, é necessário que o segundo pólo ( $\omega_B$ ) seja pelo menos 2,2 vezes maior que a frequência de ganho unitário ( $\omega_o$ ) do amplificador [29]. Para ter-se uma garantia de que essa especificação será alcançada na prática, utilizou-se 3 vezes, como sugerido em [4] e descrito na equação (2.10).

$$\frac{g_{m6}}{C_B} = 3 \frac{g_{mi}}{C_C} = 3\omega_o \quad (2.10)$$

De posse da equação (2.10) juntamente com um valor sugerido para a capacitância de compensação ( $C_C = 10pF$ ) e do valor da capacitância do nó B ( $C_B = 4pF$ ), o valor da transcondutância dos transistores M1a, M1b, M2a, M2b e M6 pode ser calculado, como descrito abaixo:

$$g_{m6} = 3\omega_o C_B = 3.2.\pi.1.10^6.4.10^{-12} = 75,4\mu A/V \quad (2.11)$$

$$g_{mi} = \frac{1}{3} g_{m6} \frac{C_C}{C_B} = \frac{1}{3}.75,4.10^{-6} \cdot \frac{10.10^{-12}}{4.10^{-12}} = 62,8\mu A/V \quad (2.12)$$

#### 2.3.4.2 Slew-rate (SR)

O *slew-rate* ou taxa de subida deste amplificador de transcondutância é função da corrente de polarização do par diferencial,  $I_o$ , e da capacitância de compensação,  $C_c$ . Utilizando o valor de *slew-rate* especificado ( $SR = 5 V/\mu s$ ) e o valor do capacitor de compensação ( $C_c = 10 pF$ ), determinou-se a corrente de lastro  $I_o$  como consta na equação (2.13).

$$I_o = SR.C_C = 5.10^6.10.10^{-12} = 50 \mu A \quad (2.13)$$

O valor da razão largura por comprimento de um transistor MOS, (W/L), pode ser calculada tendo em mãos a transcondutância desejada e a corrente de dreno, através da seguinte fórmula [4]:

$$\left(\frac{W}{L}\right) = \frac{g_m^2}{2 \cdot k \cdot I_D} \quad (2.14)$$

Utilizando os valores de transcondutância e da corrente de dreno de cada transistor, calculou-se a razão (W/L) dos transistores M1a, M1b, M2a e M2b, a seguir descritos:

$$\left(\frac{W}{L}\right)_{M1a} = \left(\frac{W}{L}\right)_{M1b} = \left(\frac{W}{L}\right)_{M2a} = \left(\frac{W}{L}\right)_{M2b} = \frac{(62,8 \cdot 10^{-6})^2}{2 \cdot 40 \cdot 10^{-6} \cdot 12,5 \cdot 10^{-6}} \cong 4 \quad (2.15)$$

#### 2.3.4.3 Ganho de Malha Aberta ( $A_{vo}$ )

Segundo a *Tabela 2.2*, a corrente  $I_7$  deve ser escolhida de forma a se atingir o ganho de malha aberta almejado, que vale 80 dB, através da equação abaixo.

$$\begin{aligned} I_7 &\cong (g_{m_i} \cdot \frac{1}{\lambda_n \cdot I_o}) \cdot (g_{m_6} \cdot \frac{1}{\lambda_n \cdot A_{vo}}) \\ &\cong (62,8 \cdot 10^{-6} \cdot \frac{37}{50 \cdot 10^{-6}}) \cdot (75,4 \cdot 10^{-6} \cdot \frac{37}{10000}) \cong 12,5 \mu A \end{aligned} \quad (2.16)$$

Sabendo-se a corrente e a transcondutância do transistor M6, pode-se calcular suas dimensões através da equação (2.14), como segue abaixo.

$$\left(\frac{W}{L}\right)_6 = \frac{(75,4 \cdot 10^{-6})^2}{2 \cdot 120 \cdot 10^{-6} \cdot 12,5 \cdot 10^{-6}} \cong 2 \quad (2.17)$$

#### 2.3.4.4 Tensão de Offset Sistemática ( $V_{os-sist}$ )

A minimização da tensão de *offset* implica em dimensionar os transistores M3 e M4 em função do tamanho do transistor M6, já dimensionado. Como consta na *Tabela 2.2*, a relação das dimensões dos transistores M3 e M4 segue abaixo.

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_6 \cdot \frac{I_o / 2}{I_7} = 2 \cdot \frac{25}{12,5} = 4 \quad (2.18)$$

$$\left(\frac{W}{L}\right)_4 = \left(\frac{W}{L}\right)_6 \cdot \frac{I_o / 2}{I_7} = 2 \cdot \frac{25}{12,5} = 4 \quad (2.19)$$

#### 2.3.4.5 Dimensionamento do restante dos transistores

Os cálculos executados nas sub-seções anteriores viabilizaram o dimensionamento dos transistores *M1a*, *M1b*, *M2a*, *M2b*, *M3*, *M4* e *M6*. O dimensionamento do restante dos transistores (*M5*, *M7*, *M8*, *M9*, *M10* e *M11*) exige a imposição de mais condições de contorno ou especificações, as quais são relacionadas na *Tabela 2.7*.

<i>Transistor</i>	<i>Condição de contorno/Especificação</i>
<i>M5</i>	Excursão de entrada
<i>M7</i>	Função de <i>M5</i>
<i>M8</i>	Função de <i>M5</i>
<i>M9</i>	Excursão de saída
<i>M10</i>	Resistência de saída/Consumo
<i>M11</i>	Alocação do zero

*Tabela 2.7 – Condições de contorno para o dimensionamento do restante dos transistores*

A seguir, o dimensionamento de tais transistores é relatado.

✓ **M5**

A excursão de entrada está diretamente relacionada com a tensão  $V_{ov}$  dos transistores  $M3$  e  $M5$ , juntamente com a tensão  $V_{gs}$  dos transistores  $M1a$ ,  $M2a$ ,  $M1b$ ,  $M2b$ . Como  $M1a$ ,  $M2a$  e  $M3$  já foram dimensionados e a corrente  $I_o$  já foi definida, a relação  $(W/L)_{M5}$  pode ser escolhida de forma a maximizar a excursão de entrada. Se essa relação for grande, aumenta-se a excursão de entrada, no entanto a resposta em frequência pode diminuir e a área do *chip* aumenta, ambos fatores não desejados. Sendo assim, determinou-se  $V_{ovM5} = 350$  mV uma relação razoável para o cálculo de  $(W/L)_{M5}$ . Como  $I_o = 50$   $\mu$ A, a dimensão de  $M5$  pode ser calculada segundo a fórmula abaixo.

$$\left(\frac{W}{L}\right)_{M5} = \frac{I_o}{k_P \cdot (V_{GS5} - V_{TP})^2} = \frac{50 \cdot 10^{-6}}{40 \cdot 10^{-6} \cdot (0,35)^2} \cong 10 \quad (2.20)$$

✓ **M7**

Como a corrente no transistor  $M7$  deve ser quatro vezes menor que a corrente em  $M5$ , a relação  $(W/L)_{M7}$  deve também quatro vezes menor que  $(W/L)_{M5}$ , ou seja:

$$\left(\frac{W}{L}\right)_{M7} = \frac{1}{4} \left(\frac{W}{L}\right)_{M5} = 2,5 \quad (2.21)$$

✓ **M8**

A função do transistor  $M8$  é gerar a tensão  $V_{gs}$  que polariza todas as fontes de corrente. Optou-se por atribuir as mesmas dimensões de  $M5$  a  $M8$ . Desta maneira, a corrente  $I_{bias}$  será igual à  $I_o$ . Uma outra maneira de dimensionar  $M8$  seria atribuir uma relação  $(W/L)$  grande, de forma que  $M8$  consuma pouca corrente e dissipe uma potência desprezível em relação aos outros transistores. Contudo isso aumentaria a área do *chip*. Adotando a primeira alternativa,

$$\left(\frac{W}{L}\right)_{M8} = \left(\frac{W}{L}\right)_{M5} \cong 10 \quad (2.22)$$

✓ **M9**

Supondo  $R_L \geq 100k\Omega$ , a mínima corrente necessária para não haver limitação por corrente na excursão da tensão positiva de saída vale  $V_{DD}/R_L = 2,5V/100k\Omega = 25\mu A$ . Desta maneira, a relação  $(W/L)_{M9}$  deve ser igual à metade da razão  $(W/L)_{M5}$ . Portanto:

$$\left(\frac{W}{L}\right)_{M9} = \frac{1}{2}\left(\frac{W}{L}\right)_{M5} \cong 5 \quad (2.23)$$

✓ **M10**

A resistência de saída do amplificador em malha aberta é aproximadamente igual ao inverso da transcondutância do transistor  $M10$ . Portanto, para diminuir a resistência de saída do amplificador é necessário aumentar a corrente de polarização ou diminuir a tensão  $V_{ovM10}$ . Ambas atitudes são conflitantes com outros requisitos como o aumento da dissipação de potência (provocado pelo aumento da corrente quiescente) ou a área do *chip* (provocado pelo aumento da relação W/L visando diminuir  $V_{ovM10}$ ). Aproveitando-se o fato de que a realimentação *shunt* na saída diminui a resistência de saída, procurou-se otimizar a dissipação de potência, mantendo a mínima corrente quiescente do transistor  $M9$  já calculada. Sendo assim estabeleceu-se  $1\Omega$  de resistência de saída quando o amplificador for realimentado com ganho unitário. Portanto a resistência de saída em malha aberta pode ser calculada segundo a equação abaixo [5], com  $A \approx 10000$  (desprezando o efeito de carga da realimentação *series-shunt*),  $H=1$  e  $R_{oCL}=1\Omega$ .

$$R_{oOL} = (1 + AH)R_{oCL} = (1 + 10000).1\Omega \cong 10K\Omega \quad (2.24)$$

Como a resistência de saída em malha aberta é aproximadamente igual ao inverso da transcondutância do transistor  $M10$ , a relação  $(W/L)_{M10}$  é calculada através da equação (2.25).

$$\left(\frac{W}{L}\right)_{M10} = \frac{(1/R_{oOL})^2}{2.k.I_D} = \frac{(1.10^{-4})^2}{2.40.10^{-6}.25.10^{-6}} = 5 \quad (2.25)$$

✓ *MII*

O dimensionamento deste transistor define o valor do resistor  $R_c$  do diagrama da Fig. 2.4, que é responsável pelo deslocamento do zero introduzido pelo capacitor de compensação  $C_C$ . Foi determinado que esse zero se localize na mesma posição do pólo do nó de saída. Esse pólo pode ser aproximadamente calculado através da seguinte fórmula:

$$p_L \cong \frac{g_{m_{10}}}{C_L} \cong \frac{100 \cdot 10^{-6}}{14 \cdot 10^{-12}} \cong 7 \cdot 10^6 \text{ rad/s} \quad (2.26)$$

Segundo [4], a posição do zero é da pela seguinte equação:

$$s_Z = \frac{1}{C_C(1/g_{m_6} - R_C)} \quad (2.27)$$

Igualando-se as equações (2.26) e (2.27), obtém-se o valor da resistência  $R_c$  que permite posicionar o zero em cima do pólo  $p_L$ :

$$\frac{1}{10 \cdot 10^{-12}(1/100 \cdot 10^{-6} - R_C)} \cong 7 \cdot 10^6 \Rightarrow R_c \cong 25 \text{ k}\Omega \quad (2.28)$$

A relação entre as dimensões de um transistor na região linear e sua resistência entre dreno e source é dada pela seguinte fórmula [4]:

$$\left(\frac{W}{L}\right)_{11} = \frac{1}{k[|V_{SS} - V_{D11}| - |V_T|]} \frac{1}{R_C} \quad (2.29)$$

Substituindo os devidos valores na equação (2.29), calculou-se a razão (W/L) do transistor *MII*, que vale:

$$\left(\frac{W}{L}\right)_{11} = \frac{1}{40 \cdot 10^{-6} [2,5 - 1,3] - [-0,8]} \frac{1}{25 \cdot 10^3} \cong 2,5 \quad (2.30)$$

Para sintetizar em um só diagrama os passos executados no projeto do amplificador, foi feito um gráfico, que consta abaixo na *Fig.2.5*. Este gráfico mostra como, à partir das especificações iniciais, calculou-se variáveis internas que combinadas entre si geram as dimensões dos transistores. Vale lembrar que esta foi **uma solução** adotada pelo projetista para atingir as especificações iniciais, não sendo portanto a única.

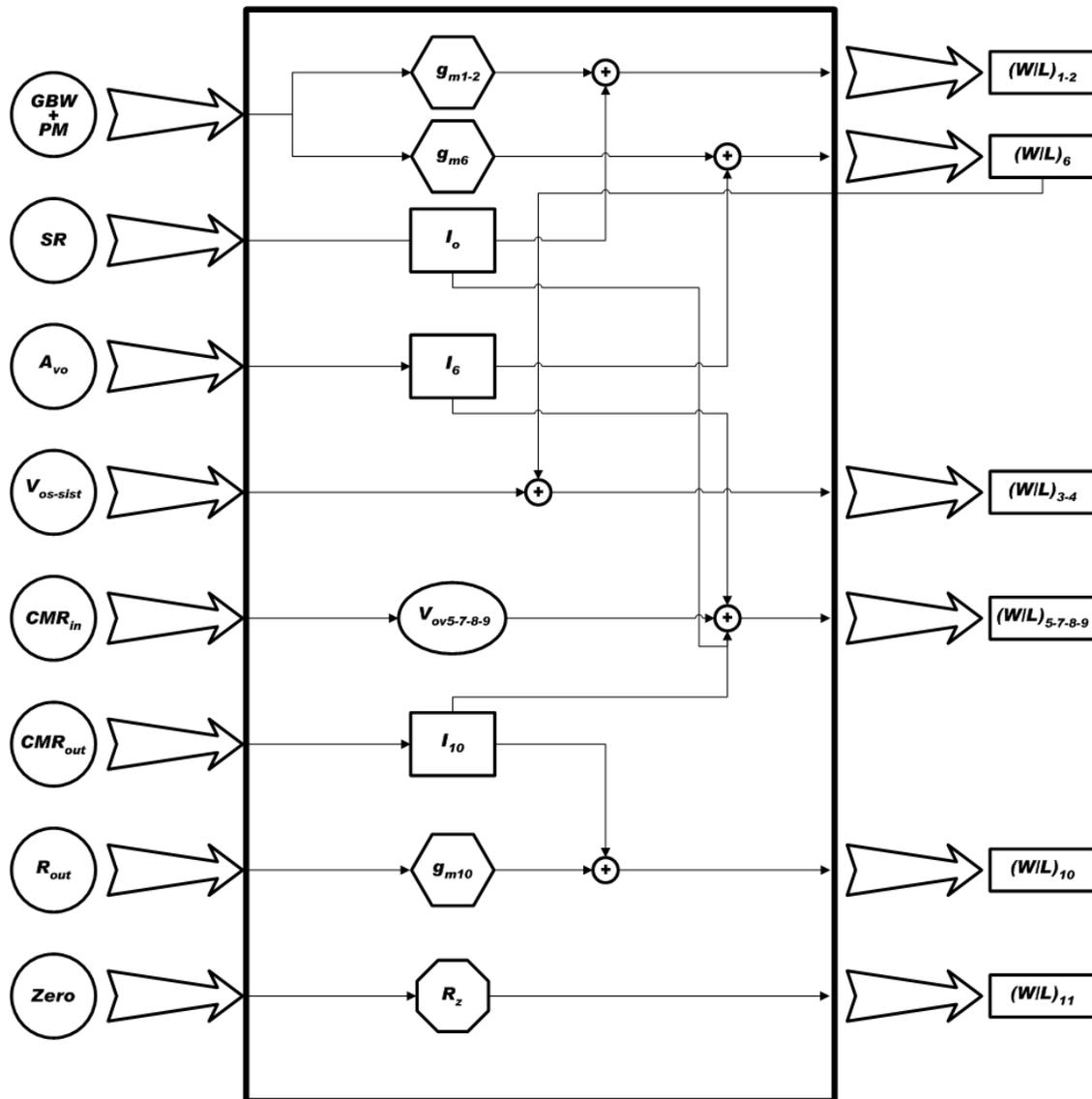


Fig. 2.5 – Diagrama que sintetiza o projeto do amplificador principal

### 2.3.4.6 Definição das dimensões dos transistores

Em projeto de circuitos analógicos integrados, é usual adotar um comprimento mínimo de canal pelo menos três vezes maior que o mínimo comprimento possível em determinadas tecnologias [43], procurando evitar imprecisões nas simulações. Como a tecnologia em questão permite a construção de transistores com  $L$  no mínimo de  $0,6\mu\text{m}$ , adotou-se  $2\mu\text{m}$  a menor dimensão do comprimento do canal dos transistores.

Depois de ter em mãos as razões ( $W/L$ ) de todos os transistores do amplificador, foi escolhido um comprimento de  $4\mu\text{m}$  para o canal dos transistores que constituem as fontes de corrente de polarização do circuito (para aumentar  $r_o$ ),  $3\mu\text{m}$  para o transistor  $M11$  e  $2\mu\text{m}$  para o restante dos transistores do amplificador. A *Tabela 2.8* mostra as dimensões de todos os transistores do amplificador obtidos através dos cálculos manuais.

<i>Transistor</i>	<i>W [<math>\mu\text{m}</math>]</i>	<i>L [<math>\mu\text{m}</math>]</i>
M1a	8	2
M1b	8	2
M2a	8	2
M2b	8	2
M3	8	2
M4	8	2
M5	40	4
M6	4	2
M7	10	4
M8	40	4
M9	20	4
M10	20	4
M11	7,5	3

*Tabela 2.8 – Dimensões dos transistores obtidas através dos cálculos manuais*

### 2.3.5 Simulações do amplificador principal

Com o intuito refinar as especificações do amplificador, algumas simulações DC, em frequência e de transiente foram feitas. As simulações foram efetuadas no simulador *Accusim II* da *Mentor Graphics*. Foram utilizados os modelos típicos dos transistores fornecidos pela *foundry* [41].

Algumas modificações, tecnicamente justificadas, foram feitas nas dimensões dos transistores para atingir as especificações com maior precisão. O circuito final do amplificador principal que foi enviado para fabricação consta na *Fig.2.6*.

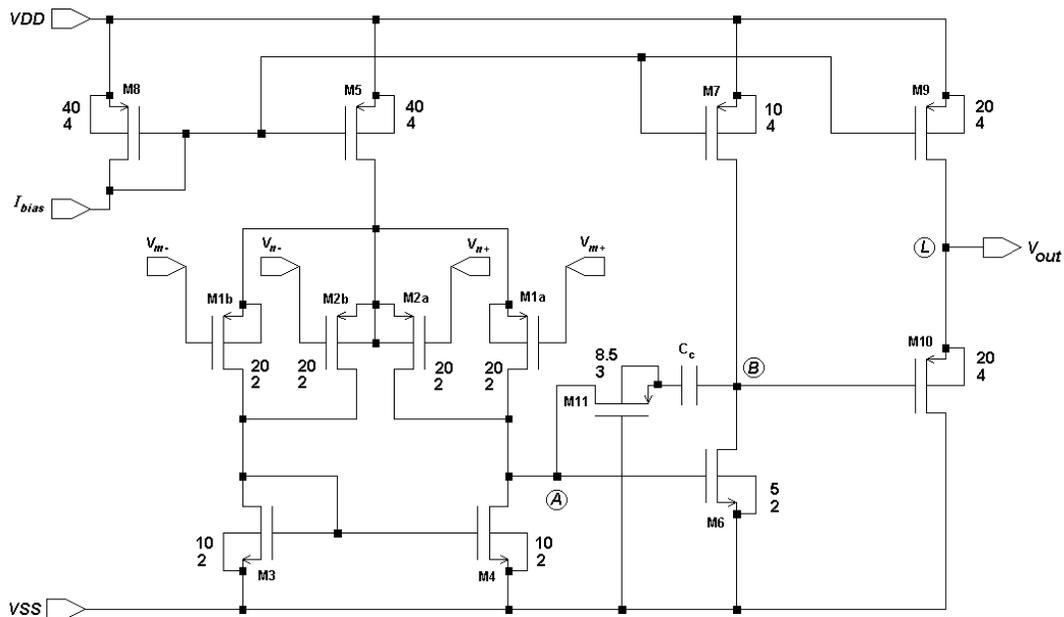


Fig. 2.6 – Esquemático do amplificador principal com as dimensões finais.

A relação ( $W/L$ ) dos transistores de entrada foi aumentada com o intuito de diminuir a tensão de *offset* randômica. Pequenas modificações em *M3-M4-M6-M11* foram feitas para ajustar as especificações a essas modificações.

A resposta em frequência em malha aberta do amplificador é mostrada na *Fig.2.7* através do gráfico de Bode. Observa-se nesse gráfico que  $GBW \approx 1\text{MHz}$  e  $MF \approx 65^\circ$ .

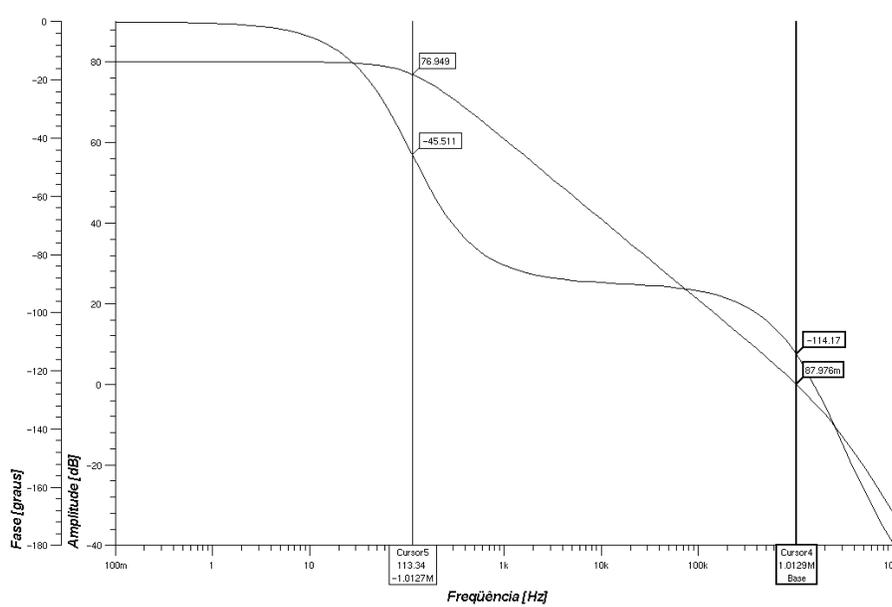


Fig. 2.7 – Gráfico de Bode do amplificador principal

Para verificar se o pólo estava realmente sendo cancelado pelo zero, como se esperava através dos cálculos manuais, foi feita uma simulação *.pz* que permite analisar a posição de todos os pólos e zeros do amplificador. A Fig.2.8 mostra esse gráfico, comprovando o cancelamento.

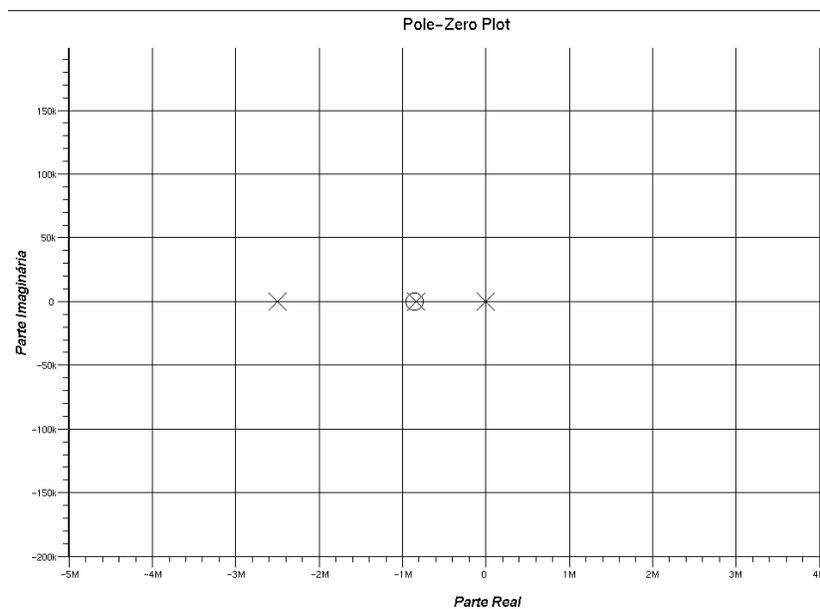


Fig. 2.8 – Diagrama de pólos e zeros do amplificador principal



### 2.4.2 Simulações do amplificador de cancelamento

Uma primeira simulação para analisar o gráfico de Bode do amplificador de cancelamento foi realizada e consta na Fig. 2.10.

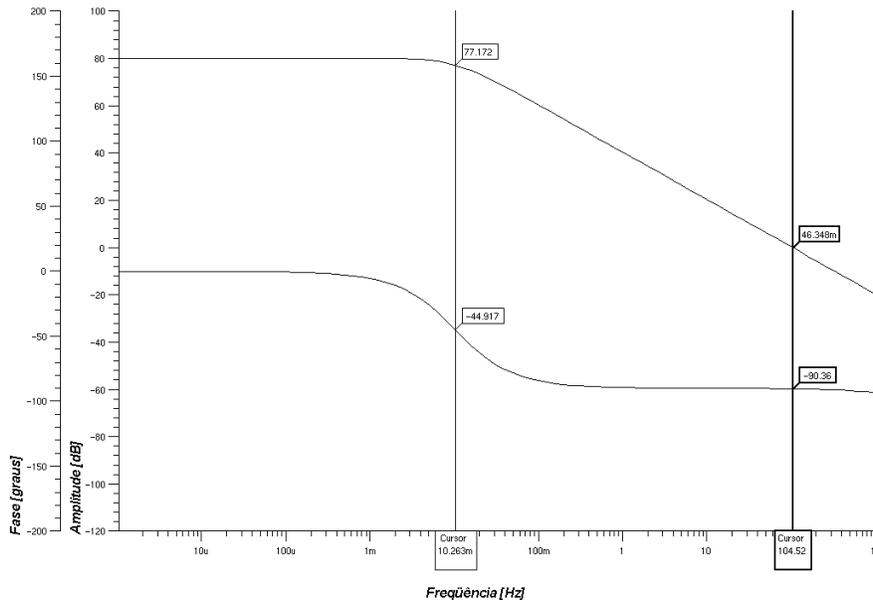


Fig. 2.10 – Gráfico de Bode do amplificador de cancelamento

Comprova-se no gráfico acima os resultados esperados: um pólo em 10mHz e uma frequência de transição de 100Hz. Observa-se também que a margem de fase do amplificador é próxima de 90°, o que permite classificá-lo como um sistema de primeira ordem.

Com o intuito de analisar a redução da tensão de *offset* do amplificador de cancelamento, duas simulações DC foram feitas. Primeiramente adicionou-se em série com a entrada do amplificador uma fonte de tensão DC de 10 mV para simular a tensão equivalente de *offset* do amplificador. Curto-circuitou-se as entradas principais e a entrada auxiliar foi realimentada, como mostrado na Fig. 2.11 (a).

Observou-se uma tensão  $V_{out} = -9,9696$  mV, que corresponde a tensão de correção do *offset*. Essa tensão, que é armazenada no capacitor  $C_n$ , foi substituída por uma fonte de tensão ideal e o amplificador foi realimentado com ganho unitário, como esquematizado na Fig. 2.11 (b). Nessa outra configuração, observou-se uma tensão de 1,1335  $\mu$ V no terminal

de saída, valor esse aproximadamente 10000 vezes menor do que a tensão de *offset* inicial. Esse resultado comprova que, ao menos na simulação, o amplificador de cancelamento consegue um nível consideravelmente baixo de *offset*.

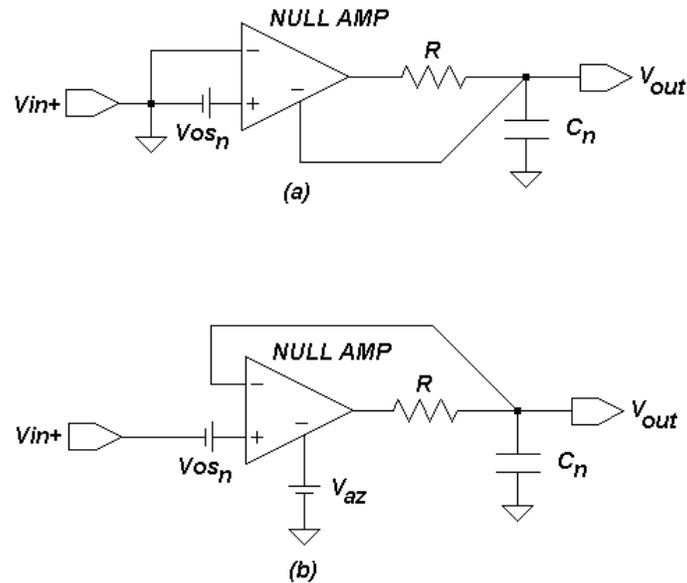


Fig. 2.11 – (a): Amplificador de cancelamento na fase de armazenamento da tensão de correção  
(b): Amplificador de cancelamento na fase de amplificação.

## 2.5 Simulação do Amplificador Auto-Zero

Como esquematizado na Fig. 1.2, o amplificador auto-zero é composto basicamente por dois amplificadores, quatro chaves analógicas e dois capacitores de armazenamento. Os amplificadores foram descritos nas seções anteriores deste capítulo e foram completamente integrados no *chip*. Alguns elementos foram adicionados externamente ao *chip*, como os capacitores de 15  $\mu\text{F}$  e os resistores de 1  $\text{M}\Omega$  que constituem a rede RC. Dois potenciômetros foram também adicionados externamente entre os terminais do nó B e VSS para ajustar o ganho DC em malha aberta dos amplificadores. As chaves utilizadas são compostas por transistores MOS tipo *n* integrados com uma largura de canal igual a  $4\mu\text{m}$  e comprimento de  $2\mu\text{m}$ , como esquematizado na Fig. 2.12 .

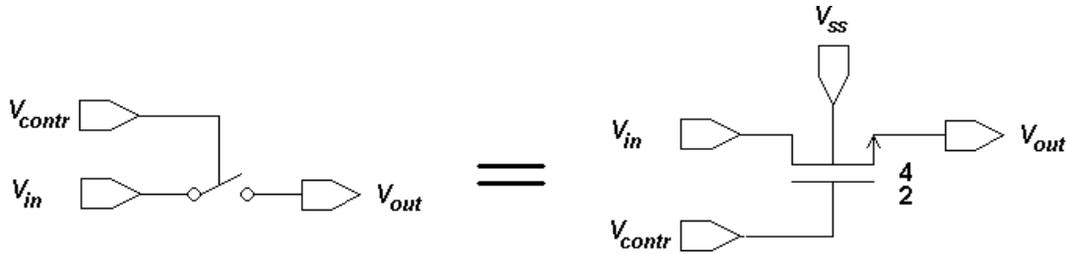


Fig. 2.12 – Implementação das chaves analógicas.

O amplificador auto-zero foi realimentado com ganho inversor unitário (situação de menor estabilidade) e uma tensão de *offset* de 10 mV foi simulada através da inclusão de uma fonte DC em série com o terminal inversor da entrada de cada amplificador, como mostra a Fig. 2.13.

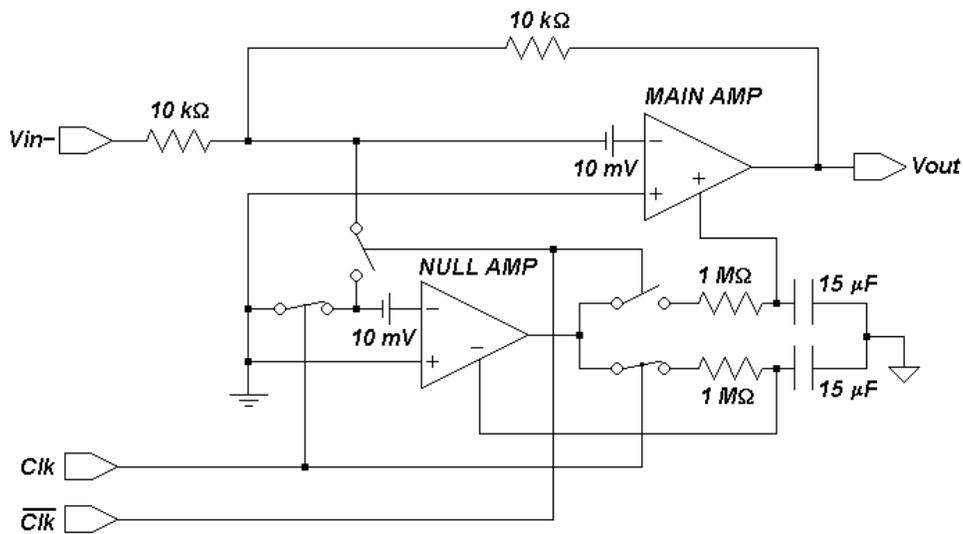


Fig. 2.13 – Esquemático do circuito utilizado para simular o amplificador auto-zero

Nas entradas *Clk* e *Clk/* foram colocadas ondas quadradas complementares de frequência igual a 100 Hz e a entrada  $V_{in-}$  foi aterrada. Foi feita uma simulação de transiente para observar a dinâmica do amplificador no cancelamento da tensão de *offset*. Como observado no gráfico da Fig. 2.14, a tensão inicial de *offset* na saída do amplificador é de 20 mV. Isso se deve ao fato de que o amplificador está realimentado com ganho inversor unitário e que a tensão de *offset* simulada em cada amplificador foi de 10 mV.

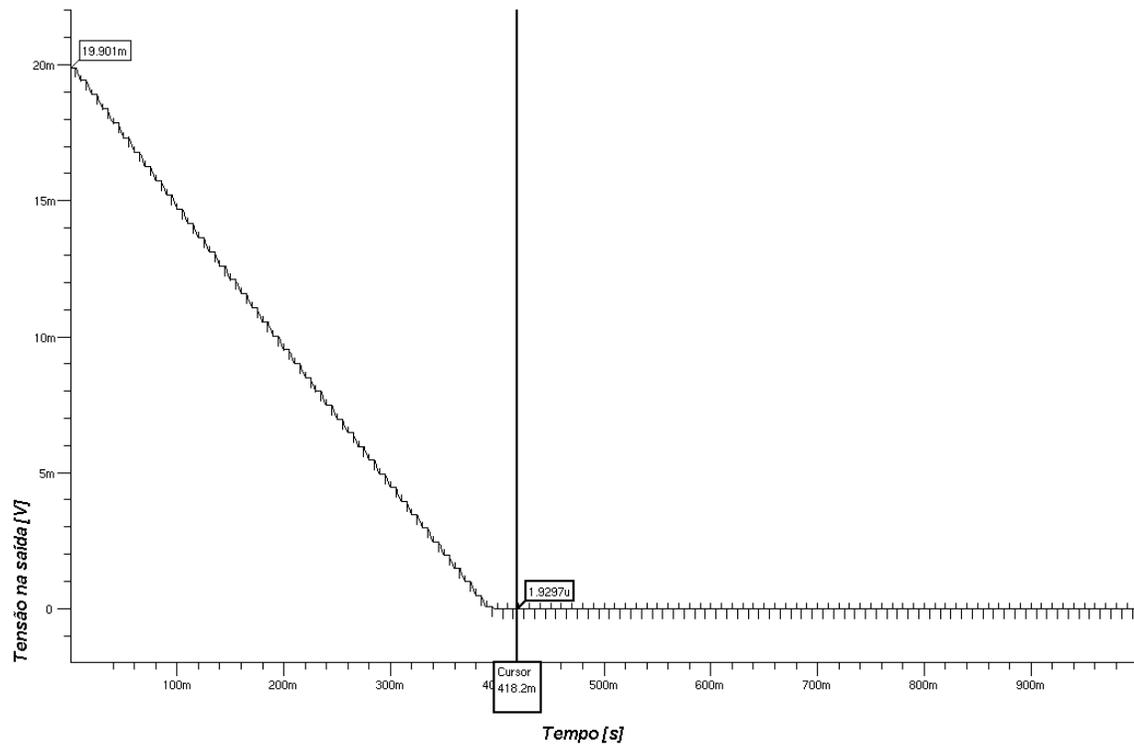


Figura 2.14 – Resposta transitória mostrando o cancelamento dinâmico da tensão de offset

A eficiência na redução da tensão de *offset* é comprovada no gráfico acima, uma vez que a tensão final de *offset* após a estabilização do circuito é de aproximadamente  $2\mu\text{V}$  sendo essa inicialmente de 20 mV. Houve, portanto, uma redução em 10000 vezes da tensão inicial de *offset*, o que é teoricamente comprovado pela equação (1.2).

A resposta do amplificador auto-zero para frequências maiores do que a frequência de *clock* é equivalente à resposta do amplificador principal, dado que o amplificador de cancelamento é basicamente um filtro passa-baixas (cuja finalidade é corrigir a tensão de *offset* do amplificador principal). Desta maneira, a resposta em frequência do amplificador auto-zero é praticamente igual à resposta em frequência do amplificador principal, no entanto o ganho de malha aberta é, em dB, o dobro (160 dB).

## 2.6 *Layout* do Circuito Integrado

O próximo passo depois de terminada a simulação do amplificador completo foi a disposição espacial e conexão dos transistores e capacitores do circuito integrado. Para melhor desempenho, alguns cuidados foram tomados na confecção do *layout* do circuito integrado [45].

Para melhorar o “casamento” dos transistores do par diferencial e do espelho de corrente da carga ativa, tornando-os menos sensível quanto a variações de parâmetros de processo, cada transistor foi dividido em dois e os quatro foram dispostos de uma forma chamada par cruzado ou *cross-quad* [45], como mostrada na *Fig. 2.15(a) e 2.15(b)*. Essa configuração diminui a tensão de *offset* de entrada dos transistores em aproximadamente uma ordem de grandeza [35].

A área do capacitor foi calculada com base nos dados da *Tabela 2.5*. O *layout* do circuito completo encontra-se na *Fig. 2.16*.

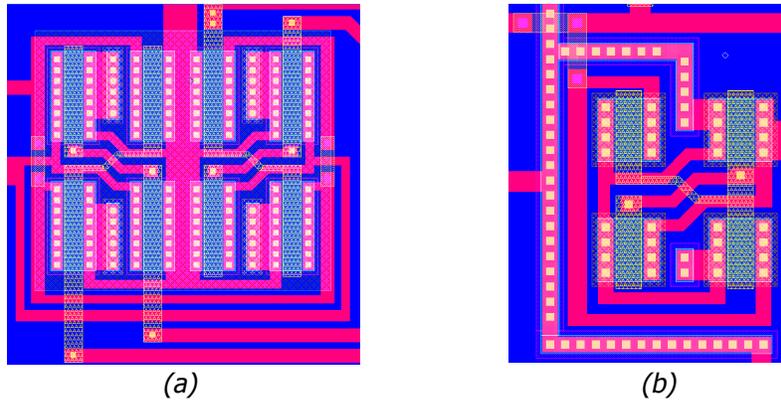


Fig. 2.15 – (a) Layout dos transistores do par diferencial  
(b) Layout dos transistores da carga ativa

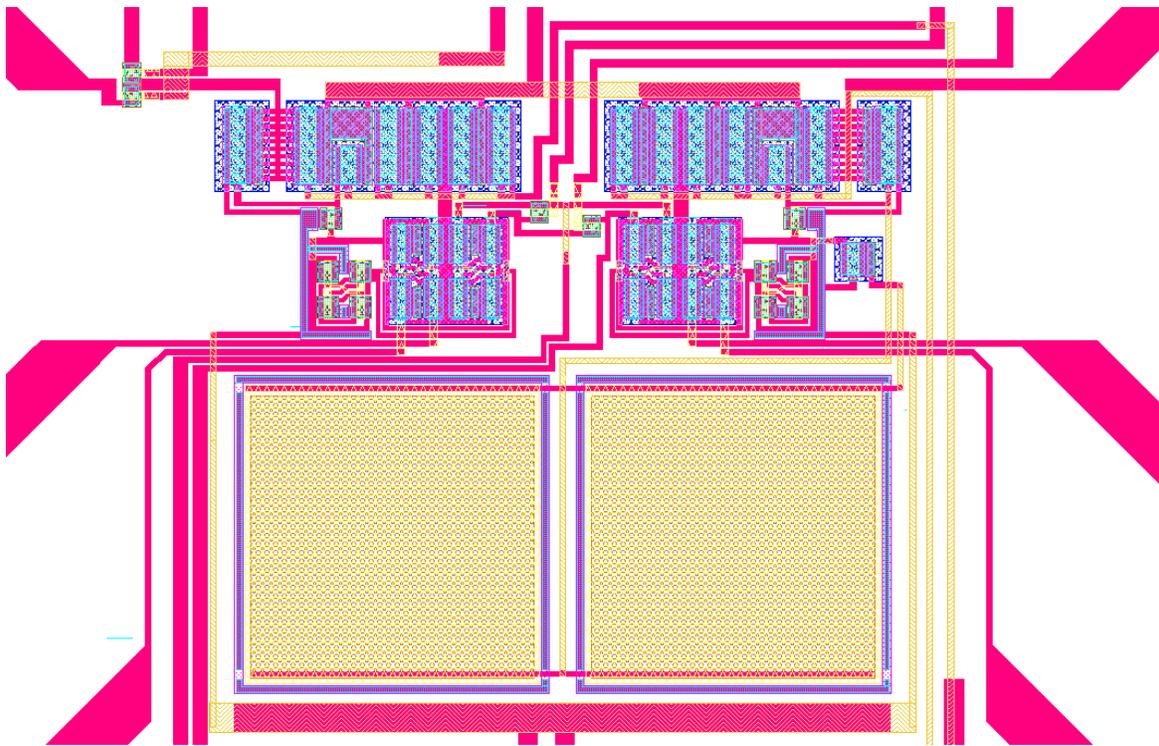


Figura 2.16 – Layout do circuito completo

---

# 3

---

## RESULTADOS EXPERIMENTAIS

---

Este capítulo tem como propósito relatar e analisar os resultados experimentais obtidos nos testes de caracterização do amplificador. Na seção 3.1 o circuito integrado e a montagem feita para testar o amplificador são descritos. A seção 3.2 mostra os resultados obtidos no domínio do tempo, ao passo que as seções 3.3 e 3.4 relatam resultados observados, respectivamente, no domínio da frequência e DC. A seção 3.5 apresenta uma análise dos resultados práticos. Por fim, a seção 3.6 apresenta algumas propostas para melhorar o desempenho do circuito.

---

### 3.1 Descrição do Circuito Integrado e da Placa de Testes

Dois *CI's* distintos foram fabricados na *foundry AMS* através do Programa Multi Usuário (*PMU*): um deles contendo cada um dos amplificadores (*MAIN AMP* e *NULL AMP*) desconectados e outro com ambos os amplificadores conectados conforme a configuração da *Fig. 1.1*, juntamente com as quatro chaves analógicas integradas. A microfotografia de um dos *CI's* consta na *Fig. 3.1*. Os esquemas com as pinagens de cada um dos *CI's* estão esquematizado nas *Fig. 3.2* e *Fig. 3.3*.

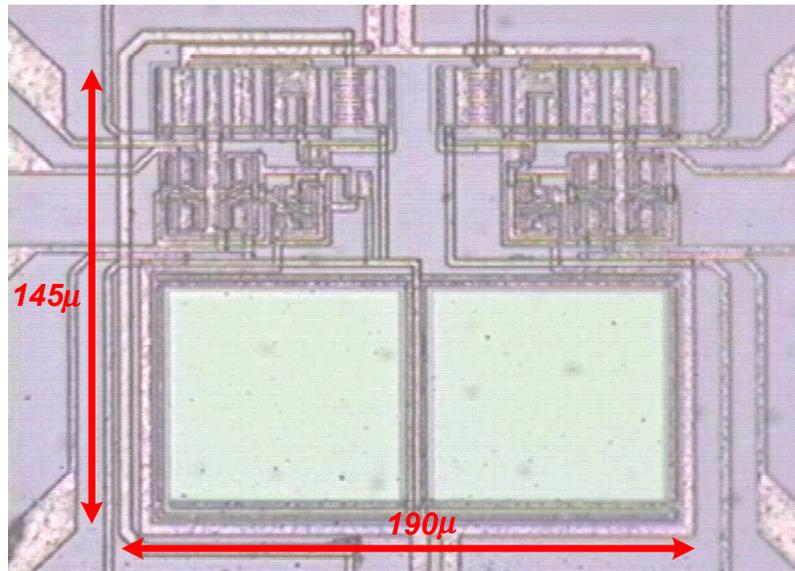


Fig. 3.1 – Microfotografia do Circuito Integrado (unidades em metro)

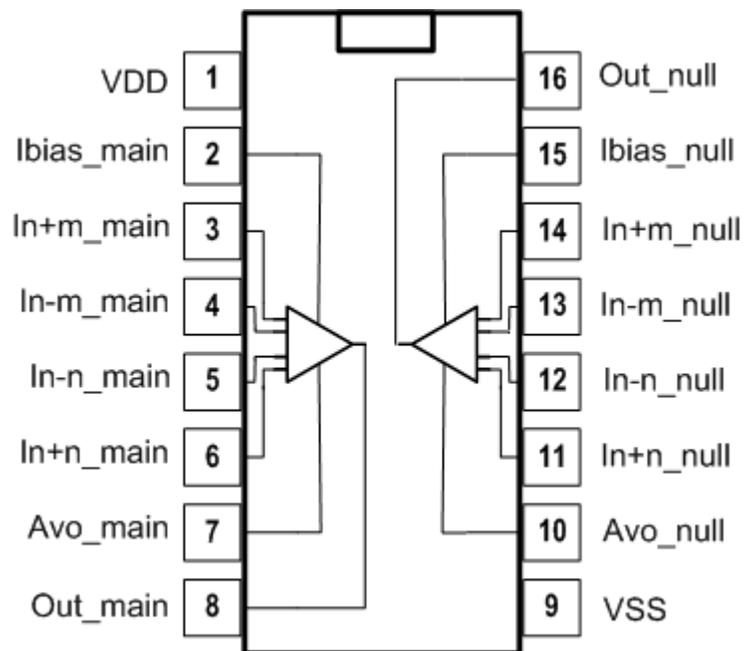


Fig. 3.2 – Pinagem do CI que contém os dois amplificadores separados

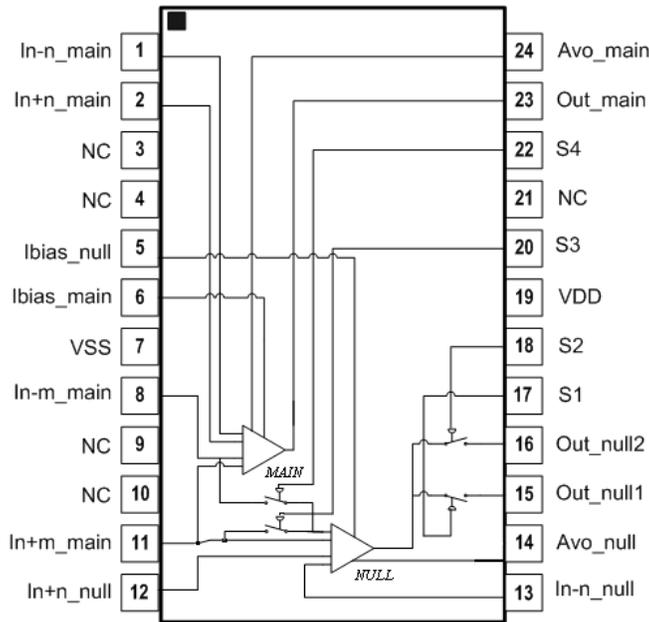


Fig. 3.3 – Pinagem do CI que contém o amplificador auto-zero

Para facilitar a conexão de alguns elementos externos ao *CI* (resistores e capacitores), uma placa de circuito impresso foi confeccionada. A Fig. 3.3 mostra a fotografia da placa .

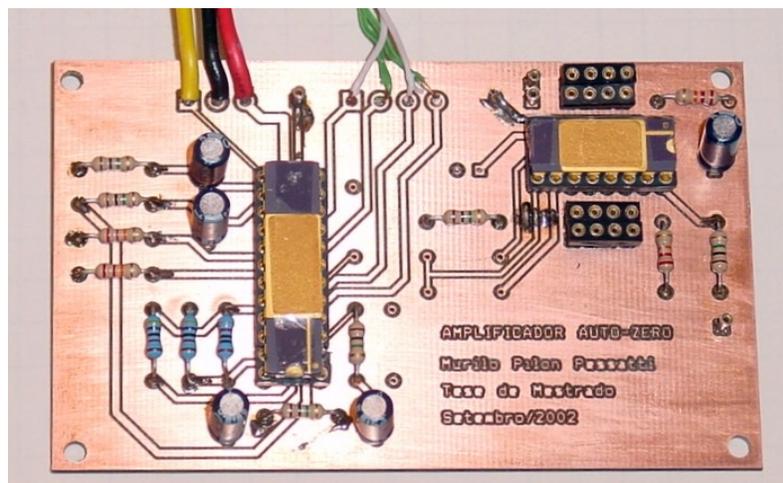
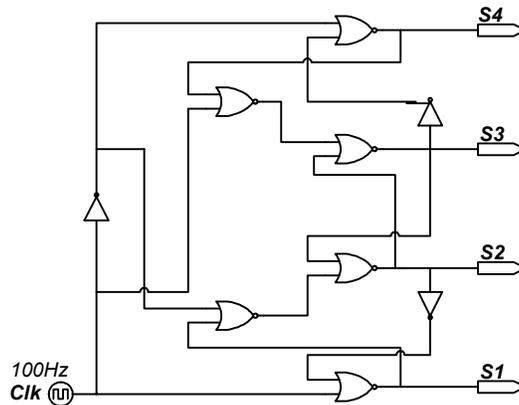


Fig. 3.4 – Foto da placa onde foram realizados os testes experimentais

Alguns cuidados foram tomados na confecção da placa e na disposição dos componentes para minimizar erros [46] que possam interferir nas medidas tais como *EMF* térmica, corrente de fuga e ruído eletromagnético. Uma caixa de metal foi utilizada para blindar o circuito e evitar acoplamento de sinais externos. Cabos *BNC* foram utilizados para injetar e retirar os sinais do amplificador.

Com o intuito de melhorar o desempenho do amplificador [14], um circuito lógico que introduz determinados atrasos entre o ligamento e desligamento das chaves como descrito na *Fig. 3.5* foi implementado em um componente lógico programável da Altera (EPM 7128).



*Fig. 3.5 – Circuito lógico para gerar os atrasos das chaves*

A frequência de *clock* utilizada foi de 100 Hz. É difícil estimar teoricamente o melhor valor deste parâmetro. Se a frequência é baixa, os capacitores de armazenamento podem se descarregar via junções reversamente polarizadas, incluindo erros de armazenamento. Em contrapartida, se a frequência é muito alta, erros provocados por *clock-feedthrough* [44] deterioram o desempenho do amplificador. Uma faixa de valores comum na prática é entre 100 Hz – 5 KHz [14], [15] e [17]. A *Fig. 3.6* mostra a forma de onda dos sinais de *clock*.

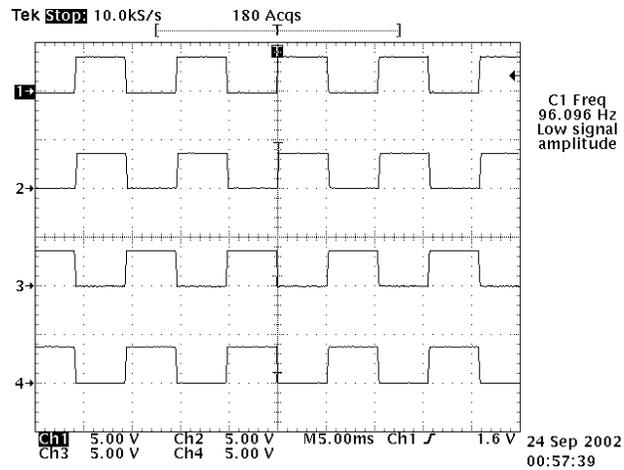


Fig. 3.6 – Sinais de controle das chaves

## 3.2 Resultados no Domínio do Tempo

Para analisar o comportamento do amplificador no tempo foi utilizado um osciloscópio digital *Tektronix TDS460A* de 400 MHz de banda. O amplificador foi realimentado com diversos ganhos e foram observadas respostas para pequenos e grandes sinais.

### 3.2.1 Amplificando ondas senoidais, triangulares e quadradas

#### 3.2.1.1 Amplificador Principal

O amplificador principal foi realimentado para ganhos de malha fechada  $G=0dB$  e  $G=20dB$  e excitado com sinais distintos, tais como uma senóide, uma onda triangular e uma onda quadrada, todas com uma frequência de  $1KHz$  e baixa amplitude ( $20mV_{pp}$ ). As formas de onda observadas na saída do amplificador constam na Fig. 3.7 (Obs: O sinal do canal 1 corresponde ao sinal de entrada e o canal 2 ao sinal no terminal de saída do amplificador).

Observa-se nos gráficos a influência da tensão de *offset* (aproximadamente  $5mV$  para esta amostra) deslocando significativamente o nível DC da onda na saída do amplificador. Quanto maior o ganho de malha fechada do amplificador, mais evidente fica a influência da tensão de *offset*.

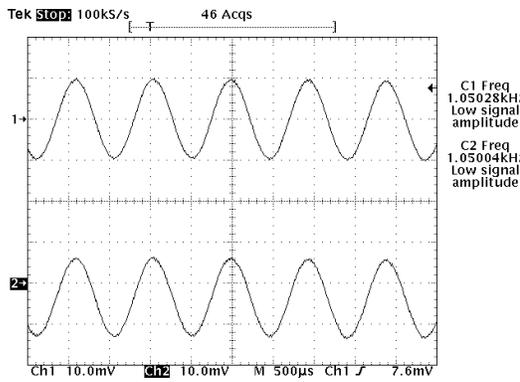


Fig. 3.7 (a) – Amplificando seno com  $G=0dB$

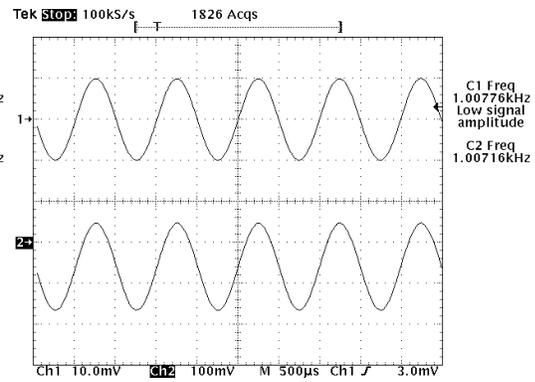


Fig. 3.7(b) – Amplificando seno com  $G=20dB$

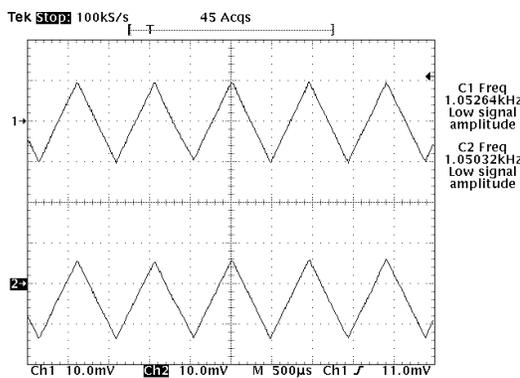


Fig. 3.7 (c) – Onda Triangular com  $G=0dB$

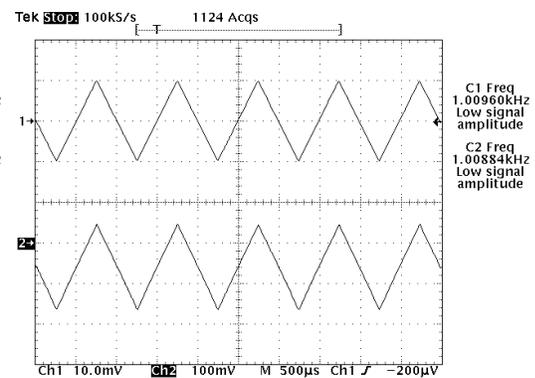


Fig. 3.7(d) – Onda Triangular com  $G=20dB$

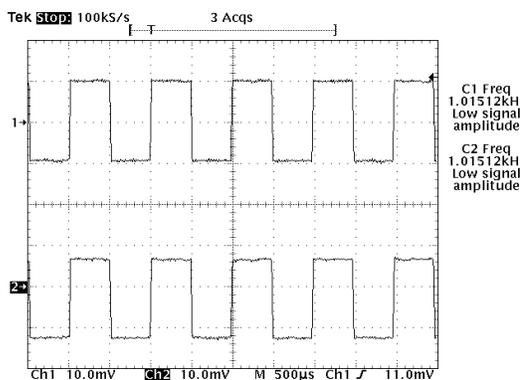


Fig. 3.7 (e) – Onda Quadrada com  $G=0dB$

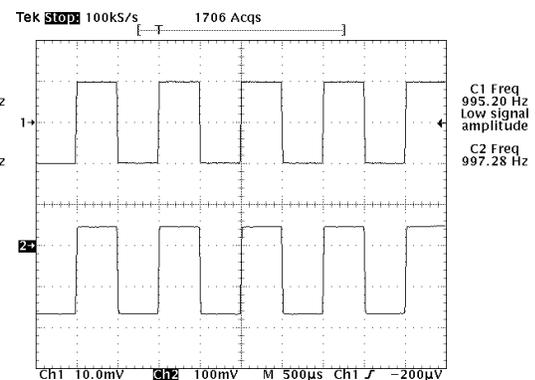


Fig. 3.7(f) – Onda Quadrada com  $G=20dB$

### 3.2.1.2 Amplificador de Cancelamento

Como a banda do amplificador de cancelamento é bastante pequena, utilizou-se uma frequência de  $100\text{mHz}$  como fonte de excitação. As formas de onda para ganho  $G=0\text{dB}$  constam na Fig. 3.8.

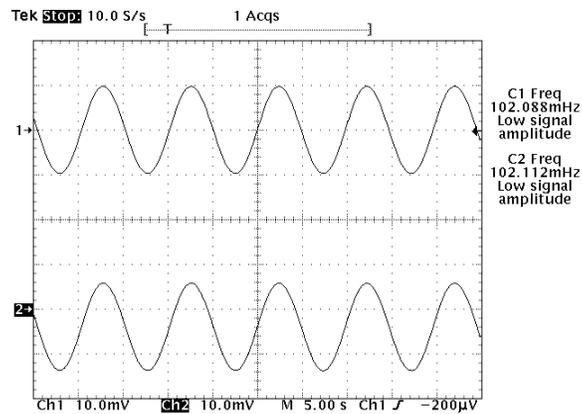


Fig. 3.8 (a) – Onda Senoidal com  $G=0\text{dB}$

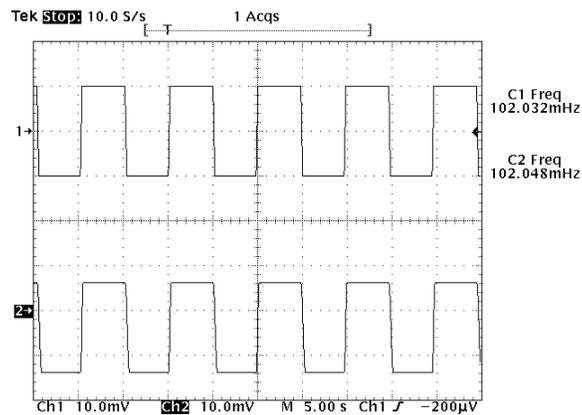


Fig. 3.8 (b) – Onda quadrada com  $G=0\text{dB}$

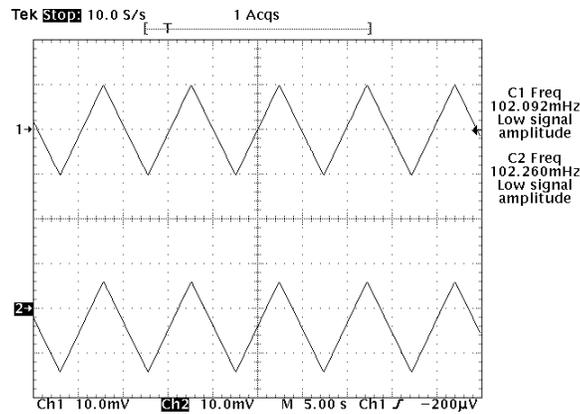


Fig. 3.8 (c) – Onda triangular com  $G=0dB$

Observa-se também no amplificador de cancelamento a influência da tensão de *offset*, deslocando de algumas unidades de milivolts o sinal presente na saída do amplificador.

### 3.2.1.3 Amplificador Auto-zero

O amplificador auto-zero foi realimentado com ganhos  $G=0dB$  e  $G=40dB$ . As formas de onda observadas constam na Fig. 3.9.

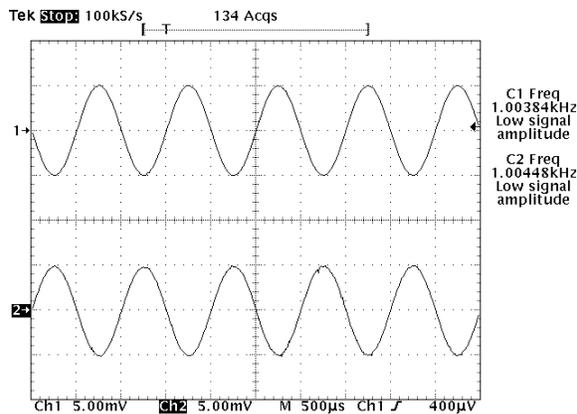


Fig. 3.9 (a) – Amplificando seno com  $G=0dB$

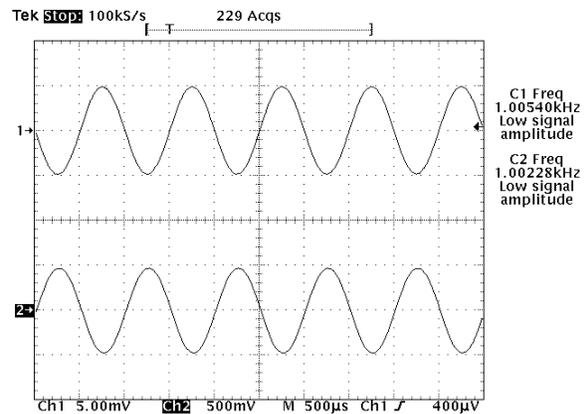


Fig. 3.9(b) – Amplificando seno com  $G=40dB$

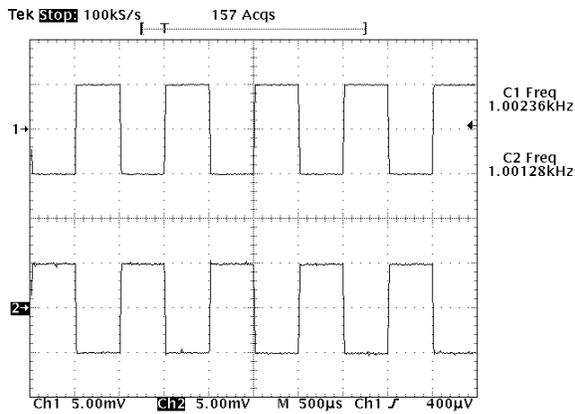


Fig. 3.9 (c) – Onda quadrada com  $G=0dB$

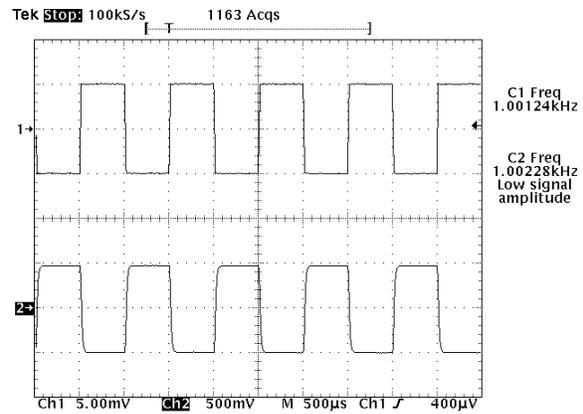


Fig. 3.9(d) – Onda quadrada com  $G=40dB$

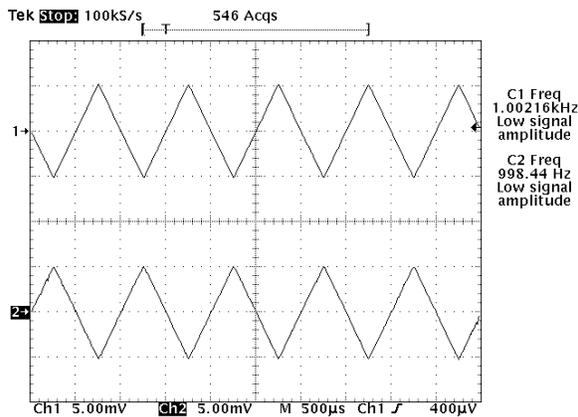


Fig. 3.9 (e) – Onda triangular com  $G=0dB$

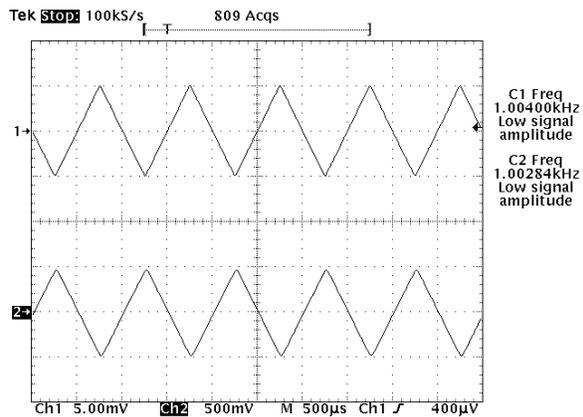
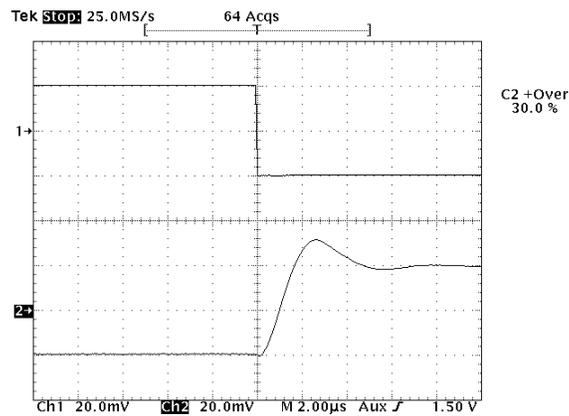


Fig. 3.9(f) – Onda triangular com  $G=40dB$

Nota-se nos gráficos da Fig. 3.9 que não há erros de deslocamento DC da onda de saída os quais possam ser observados na tela do osciloscópio, mesmo para a configuração de  $G=40dB$ . Isso mostra qualitativamente a eficiência da técnica auto-zero na redução da tensão de *offset* do amplificador principal, cujo valor era inicialmente considerável, como observado nos gráficos da Fig. 3.7.

### 3.2.2 Resposta para Pequenos Sinais

Com o intuito de analisar o comportamento dinâmico de pequenos sinais do amplificador auto-zero, uma onda quadrada de pequena amplitude foi aplicada na entrada inversora do amplificador, que foi configurado com  $G=0dB$  (caso onde a estabilidade é mais crítica). Foi medido um *over-shoot* de 30%, observado na tela do osciloscópio. A resposta do amplificador consta na *Fig. 3.10*.



*Fig. 3.10 – Resposta para pequenos sinais do amplificador auto-zero.*

### 3.2.3 Resposta para Grandes Sinais (Slew-Rate)

O *slew-rate* foi medido aplicando-se uma onda quadrada de grande amplitude na entrada do amplificador em malha aberta. A *Fig. 3.11* mostra a resposta para grandes sinais na subida do sinal ( $SR=0,65 V/\mu s$ ) e a *Fig.3.12* mostra a descida do sinal ( $SR=4 V/\mu s$ ).

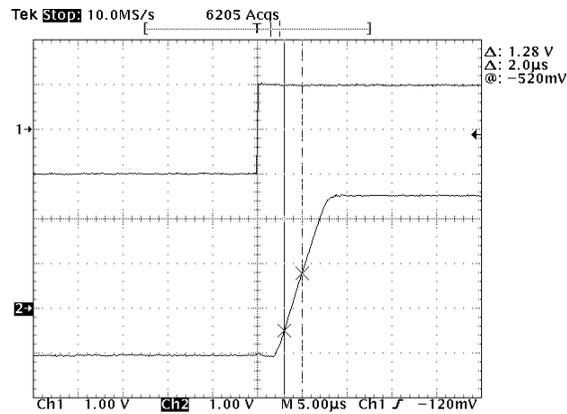


Fig. 3.11 – Slew-rate de subida do amplificador

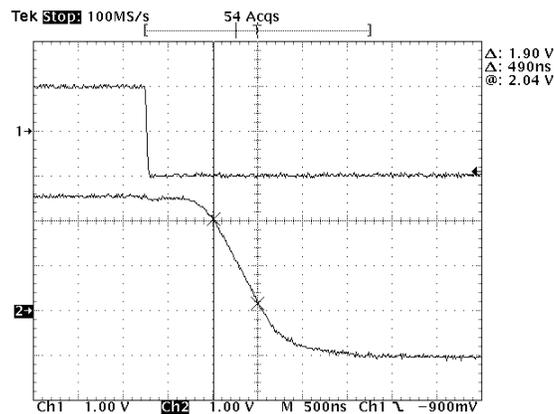


Fig. 3.12 – Slew-rate de descida do amplificador

Observa-se também nestes gráficos (Fig. 3.11 e Fig. 3.12) a máxima excursão do sinal de saída, que está compreendida entre  $-1V < V_o < +2,5V$ .

### 3.3 Resultados no Domínio da Freqüência

Na análise da resposta em freqüência do amplificador foi utilizado o *Network/Spectrum Analyzer HP 4195A*. O gráfico da Fig.3.13 mostra o ganho e a fase em função da freqüência na configuração de ganho de malha fechada  $G=0dB$ , assim como o gráfico da Fig.3.14 apresenta a resposta do ganho em função da freqüência para configurações de malha fechada com ganhos de  $G=0dB$ ,  $G=20dB$  e  $G=40dB$ .

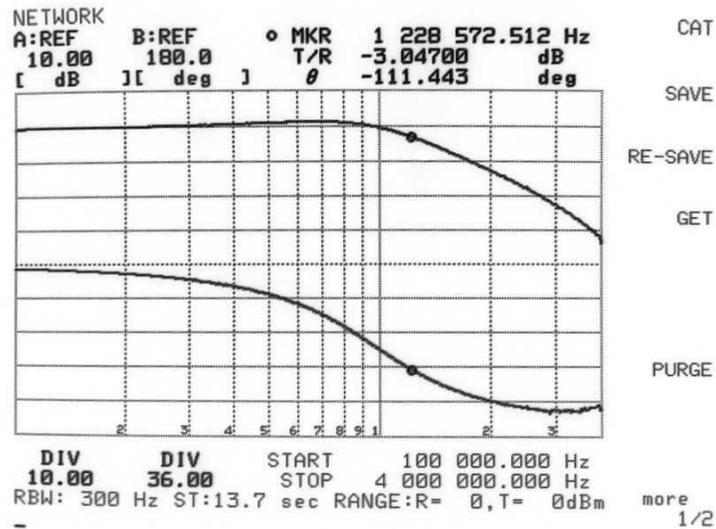


Fig. 3.13 – Ganho e Fase em função da frequência com ganho  $G=0dB$

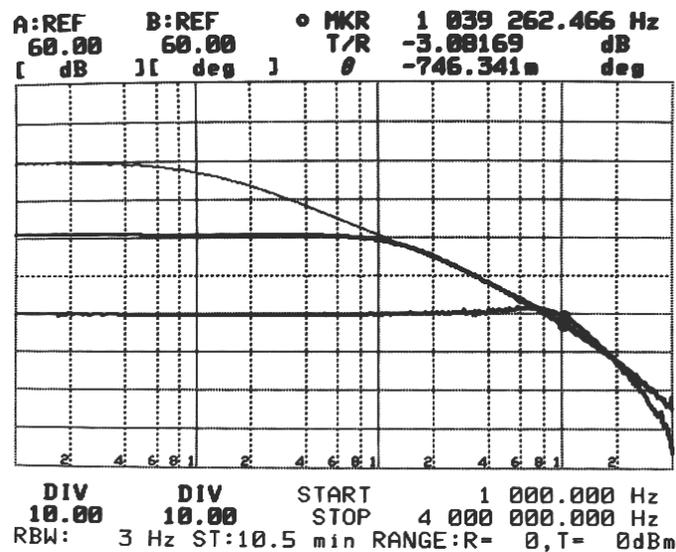
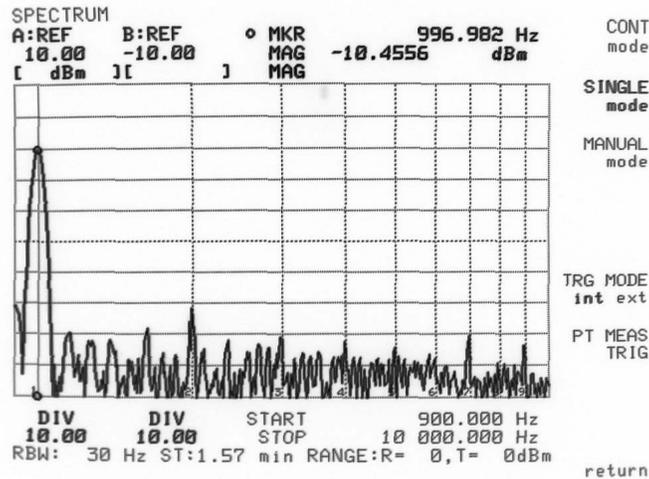


Fig. 3.14 – Resposta em frequência para ganhos  $G=0dB$ ,  $G=20dB$  e  $G=40dB$

Verifica-se, nos dois gráficos acima, que a frequência de ganho unitário ficou próxima de 1 MHz.

Com o intuito de analisar a distorção harmônica do amplificador, injetou-se um sinal de 1KHz na entrada e observou-se a transformada de *Fourier* do sinal no HP 4195A configurado-o como *Spectrum Analyser*. O gráfico da Fig. 3.15 mostra este resultado.

Considerando-se as sete primeiras harmônicas observadas na *Fig. 3.15*, obteve-se uma distorção harmônica total, *THD*, de aproximadamente 1%.



*Fig. 3.15 – Gráfico para analisar a distorção harmônica do amplificador*

### 3.4 Resultados DC

A tensão de *offset*, principal resultado DC, foi medida com o multímetro *HP 34401A*, o qual possui precisão suficiente para medir tensões de até  $0,1\mu V$ . A potência consumida pelo amplificador também foi medida, e vale aproximadamente  $1 mW$ , sem carga.

#### 3.4.1 Tensão de Offset dos Amplificadores Principal e de Cancelamento

A tensão de *offset* dos dois amplificadores foi medida configurando-os como um *buffer* ( $G=0dB$ ). Foram medidas oito amostras. A *Tabela 3.1* mostra as medidas e o gráfico da *Fig. 3.16* mostra a distribuição destas medidas.

<i>Amostra</i>	<i>Tensão [mV]</i>
<b>#1</b>	<b>-8,46</b>
<b>#2</b>	<b>-5,94</b>
<b>#3</b>	<b>-4,41</b>
<b>#4</b>	<b>-4,11</b>
<b>#5</b>	<b>-2,46</b>
<b>#6</b>	<b>-2,12</b>
<b>#7</b>	<b>4,12</b>
<b>#8</b>	<b>4,63</b>

Tabela 3.1 – Tensão de offset de oito amostras dos amplificadores principal e de cancelamento

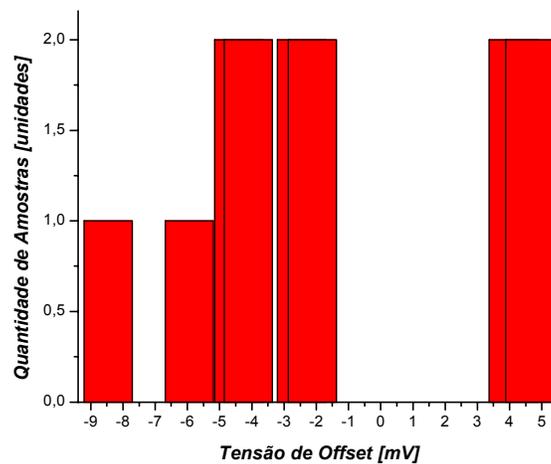


Fig. 3.16 – Distribuição da tensão de offset dos amplificadores principal e de cancelamento

A tensão média de *offset*, obtida computando-se a média dos valores da Tabela 3.1, vale aproximadamente 4,5 mV. Esse é um valor típico para tensões de *offset* de amplificadores MOS [5].

### 3.4.2 Tensão de Offset do Amplificador Auto-Zero

O mesmo procedimento foi utilizado para medir a tensão de *offset* do amplificador auto-zero. No entanto, como essa tensão é muito pequena, a tensão de ruído do amplificador auto-zero (que devido ao processo de amostragem aumenta consideravelmente [2]) introduz erro na medida da tensão de *offset*.

Com o intuito de minimizar o efeito do ruído na medida da tensão de *offset*, conectou-se o multímetro *HP 34401A* em um computador através de uma interface *GPIB* e extraiu-se a média das tensões lidas através de um *software* feito em *Labview*.

A tensão de *offset* para quatro amostras constam na *Tabela 3.2*.

<i>Amostra</i>	<i>Tensão [<math>\mu V</math>]</i>
<b>#1</b>	<b>-71</b>
<b>#2</b>	<b>-52</b>
<b>#3</b>	<b>-32</b>
<b>#4</b>	<b>-13</b>

*Tabela 3.2 – Tensão de offset de quatro amostras do amplificador auto-zero*

## 3.5 Análise dos Resultados Experimentais

Em suma, o amplificador funcionou conforme o previsto. No entanto, ocorreram algumas discrepâncias dos resultados práticos em relação ao esperados:

### → Maior tensão de *offset*

A tensão de *offset* foi maior que a prevista, devido provavelmente a menor resistência  $r_o$  dos transistores observada na prática. Isso acarretou uma diminuição do ganho de malha aberta dos amplificadores, que conseqüentemente provocou uma menor

redução da tensão de *offset*, conforme a equação (1.4). Um outro fator que contribuiu com erros de medição da tensão de *offset* foi a assimetria dos *spikes* de tensão observados no terminal de saída. Isso pode ser verificado no gráfico de simulação da Fig. 2.13. Um *zoom* neste gráfico, observado na Fig. 3.17, mostra que o valor médio da tensão de saída, devido aos *spikes*, não é zero, introduzindo assim erros nesta medida.

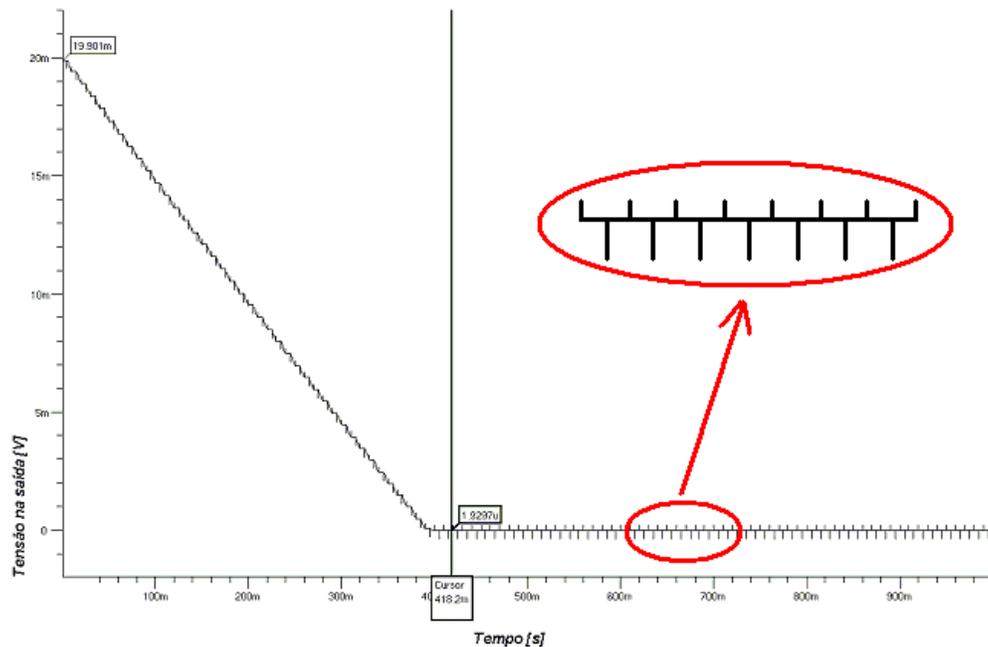


Fig. 3.17 – “Spikes” na tensão de saída produzidos pelos chaveamento do circuito

#### → Menor *slew-rate* de subida

O *slew-rate* de subida ficou bem abaixo do previsto. Isso se deve a deficiente corrente de polarização do estágio de saída. Essa corrente não é suficiente para carregar o capacitor de carga (10pF + 4pF) no tempo previsto. Infelizmente, isso não foi detectado durante a fase de projeto. No entanto, o *slew-rate* de descida teve um valor bem próximo do esperado, devido ao uso de transistores PMOS no estágio de saída.

→ **Alto nível de ruído**

Um outro problema detectado na prática foi o alto nível de ruído do amplificador. Apesar de não ser considerada uma discrepância uma vez que o principal intuito neste projeto foi diminuir o *offset* do amplificador, esta é uma notável desvantagem dos amplificadores auto-zero quando comparados aos amplificadores *chopper* [11]. Isso já fora reportado na literatura [47] e foi verificado na prática dada as dificuldades encontradas em medir a tensão de *offset*, a qual possui uma amplitude da mesma ordem de grandeza do nível de ruído. Uma análise mais apurada sobre ruído em amplificadores auto-zero contínuo pode ser encontrada na referência [48].

No mais, o amplificador atendeu às especificações de projeto, alcançando o propósito inicial: diminuir a tensão de *offset* do amplificador principal sem influenciar sua resposta em frequência. A *Tabela 3.3* mostra as características medidas do amplificador.

<b>Tensão de Alimentação</b>	$\pm 2,5V$
<b>Frequência de Ganho Unitário</b>	1 MHz
<b>Tensão de offset</b>	$< 70 \mu V$
<b>Potência consumida</b>	1,1 mW
<b>Excursão de saída</b>	$-1 V < V_o < + 2,5 V$
<b>Slew-rate (subida – descida)</b>	$0,65 V/\mu s - 4,15 V/\mu s$
<b>Área do CI</b>	$145 \mu m \times 190 \mu m$
<b>Carga</b>	$100 K\Omega / 15pF$
<b>THD</b>	1%

*Tabela 3.3 – Características do amplificador auto-zero*

### 3.6 Melhorias Propostas

Apesar do amplificador ter funcionado corretamente e de ter-se atingido os objetivos, algumas mudanças são aqui propostas para melhorar seu desempenho e otimizar sua implementação:

**→ Topologia dos amplificadores internos**

Como o circuito é chaveado, o uso de uma configuração completamente diferencial traria uma melhoria em seu desempenho, uma vez que os erros ocasionados por *clock-feedthrough* e injeção de carga seriam teoricamente cancelados.

É interessante também aumentar a impedância de saída do amplificador de cancelamento, possibilitando assim o uso de capacitores de armazenamento de menor valor. Uma solução seria retirar o estágio de saída do amplificador de cancelamento (eliminando a necessidade de usar os resistores de  $1M\Omega$ ) e utilizar uma configuração *cascode* ou *folded-cascode*. Essa configuração [5] poderia aumentar cerca de 100 vezes a impedância de saída do amplificador de cancelamento, permitindo assim o uso de um capacitor 100 vezes menor além de eliminar a necessidade do uso de resistores de  $1M\Omega$ .

**→ Capacitores *Miller***

Mesmo utilizando uma configuração *cascode*, a integração do capacitor de armazenamento é inviável (aproximadamente 150 nF, considerando um aumento de 100 vezes na resistência de saída). Uma solução seria aumentar a capacitância via efeito *Miller*, conectando-se um amplificador de tensão entre os terminais de um capacitor integrado.

# **CONCLUSÃO**

Esta dissertação de mestrado descreveu o projeto, implementação e caracterização de um amplificador auto-zero contínuo integrado em tecnologia CMOS 0.6 $\mu$ m. Dados experimentais provenientes dos testes executados nas amostras evidenciaram o correto funcionamento do amplificador, que assegurou uma tensão de erro projetada para a entrada entre 15 $\mu$ V e 70 $\mu$ V e uma frequência de ganho unitário de 1MHz. Observou-se um nível de ruído elevado na saída do amplificador, concluindo-se portanto que mais atenção deve ser despendida na etapa de projeto do amplificador para minimizar esta não idealidade inerente aos amplificadores auto-zero contínuo.

Melhorias no desempenho do amplificador e sua total integração podem ser conseguidas utilizando-se amplificadores com estruturas *folded-cascode* e com o uso de capacitores *Miller*. No entanto, o circuito pode tornar-se mais complexo do que o proposto, dificultando sua análise e aumentando o consumo de potência e área do amplificador.

Deve-se ressaltar que esta dissertação de mestrado é resultado de um programa de formação de projetistas de circuitos integrados analógicos que foi idealizado pelo Prof. Carlos A. dos Reis Filho e que teve como principal objetivo formar pessoas capazes de projetar, analisar e testar circuitos integrados analógicos em geral. Desta maneira, conclui-se que os objetivos foram atingidos, sendo que o resultado mais importante é a experiência vivida e adquirida pelo projetista em todas as etapas que compõe o projeto de um circuito integrado analógico, desde às especificações até os testes experimentais.

# **APÊNDICE**

O propósito deste apêndice é mostrar o desenvolvimento do equacionamento da função de transferência do amplificador auto-zero na fase de amplificação.

$$\begin{aligned}A_{\phi 2}(s) &= A_m(s) + A_n(s) \times A_m(s) \\&= \frac{A}{(1+s/\omega_{dm})(1+s/\omega_{hm})} + \frac{A}{(1+s/\omega_{dn})(1+s/\omega_{hn})} \times \frac{A}{(1+s/\omega_{dm})(1+s/\omega_{hm})} \\&= \frac{A(1+s/\omega_{dn})(1+s/\omega_{hn}) + A^2}{(1+s/\omega_{dn})(1+s/\omega_{hn})(1+s/\omega_{dm})(1+s/\omega_{hm})}\end{aligned}$$

Uma vez que os pólos já estão explícitos, basta encontrar os zeros fazendo  $0 = A_{\phi 2}(s)$ . Assim:

$$\begin{aligned}0 &= A(1+s/\omega_{dn})(1+s/\omega_{hn}) + A^2 \\0 &= A \left( 1 + \frac{s}{\omega_{hn}} + \frac{s}{\omega_{dn}} + \frac{s^2}{\omega_{dn}\omega_{hn}} \right) + A^2 = A^2 + A + A \left( \frac{s}{\omega_{hn}} + \frac{s}{\omega_{dn}} + \frac{s^2}{\omega_{dn}\omega_{hn}} \right)\end{aligned}$$

Considerando que  $A^2 + A = A(A+1) \cong A^2$ ,

$$0 \cong s^2 \left( \frac{A}{\omega_{dn}\omega_{hn}} \right) + s \left( \frac{A\omega_{dn} + A\omega_{hn}}{\omega_{dn}\omega_{hn}} \right) + A^2$$

Como  $\omega_{dn} \ll \omega_{hn}$ ,

$$0 \cong s^2 \left( \frac{A}{\omega_{dn} \omega_{hn}} \right) + s \left( \frac{A}{\omega_{dn}} \right) + A^2$$

As raízes da equação acima são:

$$s_1 = -\frac{\omega_{hn}}{2} \left( 1 - \sqrt{1 - \frac{4A\omega_{dn}}{\omega_{hn}}} \right)$$

$$s_2 = -\frac{\omega_{hn}}{2} \left( 1 + \sqrt{1 - \frac{4A\omega_{dn}}{\omega_{hn}}} \right)$$

Considerando a seguinte aproximação  $\sqrt{1-x} \cong 1 - \frac{x}{2}$  válida,

$$s_1 = -\frac{\omega_{hn}}{2} \left( 1 - 1 + \frac{2A\omega_{dn}}{\omega_{hn}} \right) \cong -A\omega_{dn}$$

$$s_2 = -\frac{\omega_{hn}}{2} \left( 1 + 1 - \frac{2A\omega_{dn}}{\omega_{hn}} \right) \cong -\omega_{hn}$$

Portanto a função de transferência é dada por:

$$A_{\phi_2}(s) \cong A^2 \frac{(1 + s/A\omega_{dn})(1 + s/\omega_{hn})}{(1 + s/\omega_{dn})(1 + s/\omega_{hn})(1 + s/\omega_{dm})(1 + s/\omega_{hm})}$$

$$\cong A^2 \frac{(1 + s/A\omega_{dn})}{(1 + s/\omega_{dn})(1 + s/\omega_{dm})(1 + s/\omega_{hm})} \quad c.q.d.$$

# **REFERÊNCIAS**

- [1] T. Murphy, “Using Auto-Zero Amplifiers: Optimizing Circuits with Ultra-Precision Op Amps,” [www.planetanalog.com](http://www.planetanalog.com) , Oct. 2000.
- [2] C. C. Enz, G. C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization,” *IEEE Proceedings*, vol. 84, pp. 1584-1614, Nov. 1996.
- [3] M. C. W. Coln, “Chopper Stabilization of MOS Operational Amplifiers Using Feed-Forward Techniques,” *IEEE JSSC*, vol. SC-16, pp. 745-748, Dec. 1981.
- [4] R.Gregorian, G.C.Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley & Sons – 1986.
- [5] P. R. Gray, R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons – 1993 – 3<sup>rd</sup> Edition.
- [6] A.S.Sedra, K.C.Smith, *Microelectronic Circuits*, Oxford University Press – 1998 – 4<sup>th</sup> Edition.
- [7] A.J.Williams, R.E.Tarpley, W. R. Clark, “DC Amplifier Stabilized for Zero and Gain,” *Trans. AIEE*, vol. 67, pp. 47-57, 1948.
- [8] UNITED STATES PATENT # 2,113,164 Williams – [www.uspto.gov](http://www.uspto.gov).
- [9] *Instruments* (Pittsburgh, Pa.), vol.6, pp. 211, Nov. 1933.
- [10] E. A. Goldberg, “Stabilization of Wide-Band Direct-Current Amplifiers for Zero and Gain,” *RCA Review*, 1950.

- [11] C. C. Enz, E. A. Vittoz, and F. Krummenacher, "A CMOS Chopper Amplifier," *IEEE JSSC*, vol. SC-22, pp. 335-342, Jun. 1987.
- [12] A. Bakker, K. Thiele, and J. H. Huijsing, "A CMOS nested-chopper instrumentation amplifier with 100-nV offset," *IEEE JSSC*, vol. SC-35, pp. 1877-1883, Dec. 2000.
- [13] R. Poujois, J. Borel, "A Low Drift Fully Integrated MOSFET Operational Amplifier," *IEEE JSSC*, vol. 13, pp. 499-503, Aug. 1978.
- [14] D. Thelen, D. Garrity, J. Young, "A Fully Integrated CMOS Chopper Amplifier" *IEEE Proceedings ASIC Conference and Exhibit*, 1991.
- [15] I. G. Finvers, J. W. Haslett, F. N. Trofimenkoff, "A High Temperature Precision Amplifier," *IEEE JSSC*, vol. SC-30, pp. 120-128, Feb. 1995.
- [16] P. Bradshaw, "The ICL7650S: A New Era in Glitch-Free Chopper Stabilized Amplifiers" *Intersil Application Note AN053.1*, Nov. 1996.
- [17] *AD8551/AD8571* – Analog Devices Inc. – [www.analogdevices.com](http://www.analogdevices.com).
- [18] R. J. Widlar, "Monolithic Op Amp with Simplified Frequency Compensation," *EEE*, vol. 15, pp. 58-63, July 1967.
- [19] G. Erdi, "A precision Trim Technique for Monolithic Analog Circuits," *IEEE JSSC*, vol. SC-10, no. 6, Dec. 1975.
- [20] D. A. Hodges, P. R. Gray, R. W. Brodersen, "Potential of MOS Technologies for Analog Integrated Circuits," *IEEE JSSC*, vol. 13, pp. 285 - 294, June 1978.

- [21] R.W.Brodersen, S.P.Emmons, "Noise in Buried Channel Charge-Couple Devices," *IEEE JSSC*, vol.11, pp. 147-156, Feb. 1976.
- [22] *ICL 7600* – Intersil Inc. – [www.intersil.com](http://www.intersil.com).
- [23] M.Degrauwe, E.Vittoz, I.Verbauwhede, "A Micropower CMOS-Instrumentation Amplifier," *IEEE JSSC*, vol. SC-20, n°. 3, June 1985.
- [24] J.E.C.Brow, "Chopper-Stabilized Amplifier with Spread-Spectrum Clocking," US Patent # 5,115,202, 1992 – [www.uspto.gov](http://www.uspto.gov).
- [25] A.T.K.Tang, "A  $3\mu\text{V}$  Offset Amplifier with  $20\text{nV}/\sqrt{\text{Hz}}$  Input Noise PSD at DC Employing both Chopping and Autozeroing", *49<sup>th</sup> ISSCC Proceedings*, Feb. 2002.
- [26] C.G.Yu, R.L.Geiger, "An Automatic Offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers," *IEEE JSSC*, vol. 29, pp. 601-610, May 1994.
- [27] C.Menolfi, Q.Huang, "A fully Integrated CMOS Instrumentation Amplifier with Submicrovolt Offset," *IEEE JSSC*, vol. 34, pp. 415-420, March 1999.
- [28] I.G.Finvers, "A CMOS High Temperature Precision Autozeroed Amplifier," PhD Thesis, University of Calgary (Canada) – 1994.
- [29] G.F.Franklin, J.D.Powell, A. Enami-Naeini, ***Feedback Control of Dynamic Systems***, Addison Wewley – 1994 – 3<sup>th</sup> Edition.
- [30] F.Leyn, G.G.E.Gielen, W.Sansen, "Analog Small-Signal Modeling - Part I: Behavioral Signal Path Modeling for Analog Integrated Circuits," *IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing* , vol.48 , n°. 7, July 2001.

- [31] F.Leyn, G.G.E.Gielen, W.Sansen, "Analog Small-Signal Modeling - Part II: Elementary Transistors Stages Analyzed With Behavioral Signal Path Modeling," *IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing*, vol.48, n°. 7, July 2001.
- [32] E.A.Vittoz, "Dynamic Techniques" in *Design of MOS-VLSI Circuits for Telecommunications*, Y.P.Tsividis and P.Antognetti, Editors - 1985.
- [33] K.N.Leung, K.T.Mok, "Analysis of Multistage Amplifier-Frequency Compensation," *IEEE Transactions on Circuits and Systems*, Vol. 40, no. 5, Sep. 2001.
- [34] R.Gregorian, W.E.Nicholson, "CMOS Switched Capacitors Filters for a PCM Voice Codec," *IEEE JSSC*, SC-14, pp. 970-980, Dec. 1979.
- [35] Carlos A. dos Reis Filho, *Conversa Particular*.
- [36] K.R.Laker, W.M.C.Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill – 1994.
- [37] P.E.Allen, D.R.Holberg, *CMOS Analog Circuit Design*, Oxford Press – 1987.
- [38] D.A.Johns, K.Martin, *Analog Integrated Circuit Design*, John Wiley and Sons – 1997.
- [39] B.Razavi, *Design of Analog CMOS Integrated Circuits*, Mc-Graw Hill – 2001.
- [40] J.A.Croon, M.Rosmeulen, S.Decoutere, W.Sansen, H.E.Maes, "An easy-to-use Mismatch Model for the MOS Transistor," *IEEE JSSC*, vol.37, pp. 1056-1064, Aug. 2002.

- [41] Atria Micro Systeme Inc. – [www.amsinst.com](http://www.amsinst.com).
- [42] AMS Joint Group Process Parameter n° 9933011, rev. B, 1998.
- [43] R.Hogervorst, J.P.Tero, R.G.H.Eschauzier, J.H.Huijsing, "A Compact Power Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," *IEEE JSSC*, vol.SC-29, n°.12, pp. 1505-1513, Dec. 1994.
- [44] G. Wegmann, E. A. Vittoz, F. Rahali, "Charge Injection in Analog MOS Switches," *IEEE JSSC*, vol. SC-22, n°. 6, Dec. 1987.
- [45] A.Hastings, *The art of Analog Layout*, Prentice Hall – 2000.
- [46] J.Williams, "Application Considerations and Circuits for a New Chopper-Stabilized Op Amp," Intersil Inc. – Application Note # 9 – Mar. 1985 – [www.intersil.com](http://www.intersil.com).
- [47] F.N.Trofimenkoff, I.G.Finvers, J.W.Haslett, , "DC Measurement Errors Due to Auto-Zeroed Amplifier Noise," *IEEE Transactions on Instrumentation and Measurement*, vol. 45, No. 1, pp. 317-318, Feb. 1996.
- [48] I.G.Finvers, J.W.Haslett, F.N.Trofimenkoff, "Noise Analysis of a Continuous-Time Auto-Zeroed Amplifier," *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, vol. 43, No. 12, pp. 791-800, Dec. 1996.