Paulo Augusto Dal Fabbro

PROJETO DE UM AMPLIFICADOR DE INSTRUMENTAÇÃO CMOS INTEGRADO

Dissertação apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do título de **Mestre em Engenharia Elétrica**. Área de Concentração: **Microeletrônica** Orientador: **Prof. Dr. Carlos Alberto dos Reis Filho**

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho – DSIF/FEEC/UNICAMP Prof. Dr. José Antenor Pomilio – DSCE/FEEC/UNICAMP Dr. Saulo Finco – CenPRA/Campinas



Departamento de Semicondutores, Instrumentos e Fotônica Faculdade de Engenharia Elétrica e de Computação Universidade Estadual de Campinas Campinas, 29 de novembro de 2002.

FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

 Dal Fabbro, Paulo Augusto Projeto de um amplificador de instrumentação CMOS integrado / Paulo Augusto Dal Fabbro.--Campinas, SP: [s.n.], 2002.
 Orientador: Carlos Alberto dos Reis Filho. Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.
 1. Circuitos eletrônicos - Projetos. 2. Circuitos integrados lineares. 3. Amplificadores eletrônicos. 4. Microeletrônica. I. Reis Filho, Carlos Alberto dos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

RESUMO

Este trabalho descreve o projeto de um amplificador de instrumentação integrado utilizando-se tecnologia CMOS 0,6µm. Os blocos básicos que compõem o circuito são descritos, explicitando-se o papel que cada um deles desempenha para garantir a performance desejada, cujo principal aspecto é uma alta rejeição de modo comum. São apresentados cálculos que levam ao dimensionamento dos dispositivos envolvidos. Algumas simulações são feitas com o intuito de validar esses cálculos, principalmente em relação ao comportamento do amplificador em freqüência. Segue, então, uma descrição dos cuidados tomados durante a fase de *layout* do circuito integrado (CI), na qual visou-se minimizar o efeito das imperfeições introduzidas pelo processo de fabricação do CI. Enfim, são apresentados os resultados experimentais obtidos para as amostras do circuito integrado fabricadas. Dentre eles, destaca-se uma CMRR (razão de rejeição de modo comum ou *Common Mode Rejection Ratio*) de 110dB medida para o amplificador de instrumentação operando com ganho 10 numa faixa de até 100kHz. Além disso, o amplificador de instrumentação ainda apresenta um produto ganho banda de aproximadamente 1MHz e consome 1,1mW de potência. O circuito ocupa uma área ativa de 0,061mm².

ABSTRACT

This work deals with the design of an integrated instrumentation amplifier using a standard 0.6µm CMOS technology. The basic blocks that form the entire amplifier are studied and their roles in its overall performance are depicted. In order to validate the design, simulation is performed whenever necessary, mainly for verifying the frequency behavior of the amplifier. The layout of the integrated circuit (IC) is drawn for its best performance, obeying some cautions for minimizing the effect of possible imperfections introduced by the fabrication process. Finally, the experimental results obtained for the fabricated IC samples are presented. A CMRR of 110dB was attained for a gain of 10 up to a 100kHz bandwidth among other measured features like a gain-bandwidth product of 1MHz and 1.1mW power consumption. The circuit occupies an active area of 0.061mm².

Aos meus queridos pais: José Lélis e Maria Therezinha e aos meus queridos irmãos: Fabiana, Marcos, Alexandre, Mateus e Luís Gustavo, que tanto amo, dedico este trabalho.

AGRADECIMENTOS

Ao documentar este trabalho que demorou pouco mais de dois anos para ser concluído, gostaria de deixar documentada, também, minha gratidão aos que me ajudaram a fazê-lo. Deste modo, agradeço ao professor Carlos Alberto dos Reis Filho pela oportunidade a mim oferecida de cursar este mestrado e de partilhar de sua sabedoria em projetar e analisar circuitos eletrônicos.

Agradeço também aos professores José Mario de Martino e José Antenor Pomilio por ter podido contar sempre com eles durante minha graduação e pós-graduação na UNICAMP.

Agradeço ao CenPRA (antigo CTI) através de Saulo Finco, Carlos de Oliveira e Wellington R. de Melo pelas contribuições na etapa de desenvolvimento de *layout* do circuito integrado, pelo encapsulamento das amostras fornecidas e pelas fotomicrografias.

Agradeço ao Instituto de Pesquisas Eldorado pelo apoio financeiro.

Agradeço à Rose Meire da Silva, da Biblioteca da Área de Engenharia (BAE), por sua atenção e eficiência e a todos os funcionários da FEEC pelos serviços prestados.

Agradeço aos amigos do LPM2 pelo companheirismo e pelas discussões técnicas, estas últimas, principalmente ao Marcelo de Paula Campos e Marcos Maurício Pelícia.

Agradeço ao Murilo Pilon Pessatti, pela amizade de longa data, que correu do meu lado ao longo de todo este mestrado.

A todos meus demais amigos, que aqui não dei nomes, mas que com certeza estiveram em meu pensamento durante este trabalho.

Agradeço aos meus pais José Lélis e Maria Therezinha e meus irmãos Fabiana, Marcos, Alexandre, Mateus e Luís Gustavo pelo amor e pelo apoio incondicionais, aos meus sobrinhos Lorena e Ravi pela alegria de suas presenças e a todos meus demais familiares.

Finalmente, agradeço a Deus por me cercar de pessoas como estas e por me conceder dar mais este passo.

"Sempre que um homem de qualidades médias concentrar todas as suas faculdades num fim único, deverá atingi-lo". *Ferdinand Foch (1851-1929)*

- W = largura de canal do transistor MOS [µm]
- L = comprimento de canal do transistor MOS [µm]
- (W/L) = razão de aspecto do transistor MOS [μ m/ μ m]
- v_{gs} = tensão porta-fonte incremental (*gate-source voltage*) do transistor MOS [V]
- v_{ds} = tensão dreno-fonte incremental (*drain-source voltage*) do transistor MOS [V]
- v_{bs} = tensão substrato-fonte incremental (*body-source voltage*) do transistor MOS [V]
- i_d = corrente de dreno incremental do transistor MOS [A]
- I_D = corrente de dreno quiescente do transistor MOS [A]
- V_{TN} = tensão de limiar para o transistor MOS canal-*n* (*threshold voltage*) [V]
- V_{TP} = tensão de limiar para o transistor MOS canal-*p* (*threshold voltage*) [V]
- μ_N = mobilidade do elétron livre
- μ_P = mobilidade da lacuna
- χ = fator de efeito de corpo do transistor MOS
- λ = fator de modulação de canal do transistor MOS
- g_m = transcondutância do transistor MOS [A/V]
- g_{mb} = transcondutância de corpo do transistor MOS [A/V]
- r_o = resistência incremental de saída do transistor MOS [Ω]
- C_{gs} = capacitância porta-fonte do transistor MOS (*gate-source capacitance*) [F]
- C_{db} = capacitância dreno-substrato do transistor MOS (*drain-body capacitance*) [F]
- C_{gd} = capacitância porta-dreno do transistor MOS (*gate-drain capacitance*) [F]
- H = Transresistência [V/A]
- *GM* = Transcondutância [A/V]
- A_{MC} = ganho de tensão de modo comum [V/V]
- A_{MD} = ganho de tensão de modo diferencial [V/V]
- $SR = slew-rate [V/\mu s]$
- *ST* = settling-time [s]
- *THD* = distorção harmônica total (*Total Harmonic Distortion*) [%]
- $V_{DS(sat)}$ = tensão dreno-fonte de saturação do transistor MOS [V]

Vos = Tensão de *offset* de entrada do amplificador de instrumentação [V]

 β = ganho da malha de realimentação

- $R_{\beta i}$ = resistência da malha de realimentação vista pela entrada do amplificador
- $R_{\beta o}$ = resistência da malha de realimentação vista pela saída do amplificador

GBW = Produto Ganho-Banda (*Gain Band Width Product*)

RESUMO/ABSTRACT	iii
AGRADECIMENTOS	v
NOTAÇÃO UTILIZADA	vii
SUMÁRIO	ix
INTRODUÇÃO GERAL	1
CAPÍTULO 1 – FUNDAMENTOS DE AMPLIFICADORES DE INSTRUMENTAÇÃO	3
1.1. Introdução	3
1.2. Princípios Básicos	3
1.3. Amplificador de Instrumentação com Op-Amps	6
1.4. Técnica de Transferência de Corrente	8
1.4.1. Amplificador de Instrumentação de Krabbe	10
1.4.2. Amplificador de Instrumentação de Brokaw & Timko	11
1.4.3. Amplificador de Instrumentação de Martins, Selberherr e Vaz	12
1.5. Conclusão	15
CAPÍTULO 2 - PROJETO DO AMPLIFICADOR DE INSTRUMENTAÇÃO	16
2.1. Introdução	16
2.2. Tecnologia utilizada	16
2.3. O Circuito do Amplificador de Instrumentação	17
2.3.1. Estágio Diferencial de Entrada	19

2.3.1.1. Dimensionamento dos dispositivos envolvidos	23
2.3.2. Bloco de Transcondutância GM	24
2.3.2.1. Dimensionamento dos dispositivos envolvidos	27
2.3.3. Estágio Diferencial de Saída	27
2.3.3.1. Dimensionamento dos dispositivos envolvidos	30
2.3.4. Bloco Amplificador de Tensão AV	30
2.3.4.1. Dimensionamento dos dispositivos envolvidos	34
2.3.5. Elemento de Transferência de Corrente	35
2.3.5.1. Dimensionamento dos dispositivos envolvidos	39
2.4. Ajustes de Dimensionamento por Simulação	39
2.5. Análise em Freqüência	40
2.5.1. Circuito de Entrada (Amplificador de Transcondutância	41
2.5.2. Circuito de Saída (Amplificador de Transresistência)	48
2.5.3. Simulação do Amplificador de Instrumentação Completo	55
2.6. Layout do circuito integrado	57
2.7. Conclusão	60

CAPÍTULO 3 - RESULTADOS EXPERIMENTAIS

3.1. Introdução 62 3.2. Instrumentos utilizados e cuidados tomados 62 3.3. Diagrama de Pinos do Circuito Integrado 63 3.4. Análise Estática 64 3.5. Análise no Tempo 64 70 3.6. Análise em Freqüência 3.7. Resumo dos Resultados 77 3.8. Comparações Pertinentes 77 3.9. Fotomicrografias 78 3.10. Conclusão 80

62

CONCLUSÃO GERAL	81
APÊNCICE A – PROCESSO DE FABRICAÇÃO DE CIRCUITOS INTEGRADOS UTILIZADO	82
A.1. Introdução	82
A.2. O Processo de Fabricação	82
A.2.1. Parâmetros do Processo	83
A.2.2. A Fabricação do Circuito Integrado	84
A.3. Conclusão	85
APÊNCICE B – ARQUIVO DE SAÍDA	86
B.1. Introdução	86
B.1. IntroduçãoB.2. Informações de Ponto de Operação	86 86
B.1. IntroduçãoB.2. Informações de Ponto de OperaçãoB.3. Conclusão	86 86 90
 B.1. Introdução B.2. Informações de Ponto de Operação B.3. Conclusão APÊNCICE C – ARTIGO PUBLICADO	86 86 90 91
 B.1. Introdução B.2. Informações de Ponto de Operação B.3. Conclusão APÊNCICE C – ARTIGO PUBLICADO REFERÊNCIAS 	86 86 90 91 97

INTRODUÇÃO GERAL

Um amplificador de instrumentação, também conhecido por *in-amp* (*instrumentation amplifier*) é um elemento essencial em qualquer sistema de aquisição de sinais de pequena amplitude. O que o difere de um amplificador operacional (*op-amp*) é que o amplificador de instrumentação deve ser capaz de rejeitar sinais de modo-comum a uma taxa de –90dB, aproximadamente. Outra diferença básica é que aos amplificadores operacionais, uma malha de realimentação deve ser incorporada para que eles operem de forma controlada, ao passo que os amplificadores de instrumentação já são estruturas intrinsecamente realimentadas.

São muitas as aplicações em que amplificadores de instrumentação podem ser empregados. Dentre elas, destaca-se a instrumentação biomédica, caso de sistemas de aquisição de sinais provenientes de eletroencefalogramas (EEG), além de condicionadores de sinais que, por exemplo, coletam sinais de termopares, pontes resistivas ou de algum outro tipo de sensor [1].

O projeto de um amplificador de instrumentação CMOS integrado foi escolhido como tema desta dissertação de mestrado pela oportunidade que oferece ao projetista de adotar soluções para os diversos problemas que normalmente surgem no desenvolvimento de um sistema analógico integrado. Além disso, é um dispositivo de grande utilidade como *front-end* de muitos sistemas em que o sinal a ser tratado é de amplitude muita baixa em relação aos sinais de modo-comum interferentes.

Neste trabalho, o amplificador de instrumentação desenvolvido deve apresentar, como principal característica, uma rejeição de modo-comum acima de 100dB, possibilitando que o sinal de saída amplificado sofra uma influência muito pequena dos sinais de modo comum presentes na entrada.

Para apresentar o trabalho desenvolvido, esta dissertação de mestrado foi estruturada da seguinte forma: no Capítulo 1 os princípios básicos de um amplificador de instrumentação são apresentados e faz-se uma breve exposição das principais configurações deste tipo de amplificador publicadas na literatura que influenciaram direta ou indiretamente este projeto. No Capítulo 2 o projeto do amplificador de instrumentação desenvolvido neste trabalho é detalhado, descrevendo-se as etapas seguidas até a sua

conclusão, o que inclui a configuração escolhida para a implementação do circuito; o projeto das diversas partes do amplificador, incluindo a análise em freqüência e o tipo de compensação utilizada; a simulação dos circuitos envolvidos; e, finalmente, o *layout* elaborado para o circuito integrado do amplificador de instrumentação. No Capítulo 3 apresentam-se os resultados experimentais obtidos, fazendo-se uma confrontação com os resultados esperados através dos cálculos e da simulação. Conclui-se esta dissertação com uma análise do projeto como um todo dentro da conjuntura de um trabalho de mestrado.

Este documento ainda inclui três apêndices: o Apêndice A traz os principais parâmetros de processo fornecidos pela *foundry* responsável pela fabricação do circuito integrado, assim como uma rápida descrição do processo utilizado em sua fabricação; o Apêndice B apresenta o arquivo de saída gerado pelo *software* de simulação dispondo em tabelas todos os parâmetros elétricos dos dispositivos envolvidos no circuito do amplificador de instrumentação; finalmente, o Apêndice C traz uma cópia do artigo resultante deste trabalho publicado numa conferência sobre circuitos integrados.

CAPÍTULO 1 Fundamentos de

Amplificadores de Instrumentação

1.1. INTRODUÇÃO

Este capítulo descreve as principais características que um amplificador deve apresentar para ser classificado como um amplificador de instrumentação. Além disso, é feita uma breve cobertura sobre algumas configurações deste tipo de amplificador encontradas na literatura, a fim de se chegar à configuração adotada para o projeto do amplificador de instrumentação descrito neste documento.

1.2. PRINCÍPIOS BÁSICOS

O termo "amplificador de instrumentação", segundo Derek F. Bowers em [2], parece ter surgido no fim da década de 60 denotando geralmente um amplificador que executava uma conversão de um sinal diferencial na entrada para um sinal de saída simples (*single-ended*) com um ganho precisamente definido. Desta maneira, um amplificador de instrumentação pode ser esquematizado como mostra o diagrama da Fig. 1.1 [3],

representando um circuito em cujas entradas se aplicam dois sinais de tensão ($v_1 e v_2$) e que disponibiliza em sua saída a diferença entre estes dois sinais ampliada por um ganho $A \rightarrow v_{out} - v_{ref} = A(v_1 - v_2)$. Este sinal de saída v_{out} pode ser tanto flutuante como referenciado ao terra, bastando neste caso apenas conectar o terminal v_{ref} ao terra do circuito.



Fig. 1. 1 - Diagrama de um amplificador de instrumentação [3] e sua expressão de ganho.

O ganho "precisamente definido" a que se referiu Bowers é geralmente dado pela razão entre duas resistências ($R_s \in R_G$). Outra característica do amplificador de instrumentação é que ele opera sempre em malha fechada e, portanto, não requer realimentação externa [4].

De modo a realizar uma perfeita conversão de entrada diferencial para saída simples, um amplificador de instrumentação ideal deve ter a habilidade de amplificar apenas sinais de modo diferencial, ou seja, amplificar somente a diferença entre os sinais presentes nas entradas v_1 e v_2 . Para tanto, a componente de modo comum aos sinais de entrada deve ser completamente rejeitada. Esta é a característica que, segundo Wolfenbuttel e Schekkerman em [5], um amplificador de instrumentação deve primar por apresentar, sendo conhecida como rejeição de modo comum. Assim, o termo Razão de Rejeição de Modo Comum, ou simplesmente CMRR (*Commom Mode Rejection Ratio*), descreve quantitativamente esta característica do amplificador. A CMRR é normalmente expressa em decibéis (dB) e é dada pela razão entre o ganho do amplificador para sinais diferenciais (A_{MD}) e o ganho para sinais de modo comum (A_{MC}), como expresso a seguir em (1.1).

$$CMRR = \frac{A_{MD}}{A_{MC}}$$

$$CMRR_{dB} = 20 \cdot \log\left(\frac{A_{MD}}{A_{MC}}\right)$$
(1.1)

Entenda-se por ganho de modo comum, a razão entre a variação na tensão de saída pela variação na tensão de modo comum na entrada; e ganho de modo diferencial como a razão entre a variação na tensão de saída pela variação na tensão de modo diferencial na entrada. Portanto, quanto maior a CMRR, melhor é o amplificador de instrumentação.

Em geral, para ser definido como amplificador de instrumentação, um amplificador deve apresentar uma CMRR superior a 80dB [6], ou seja, um ganho para sinais diferenciais pelo menos 10 mil vezes o ganho para sinais de modo comum. Isto significa que na leitura de um sinal de amplitude de 1mV na presença de um sinal de modo comum com 1V de amplitude, um amplificador de instrumentação apresentando uma CMRR = 100dB, cometerá um erro de 1% na medida.

Deste modo, o projeto deste amplificador de instrumentação tem como principal objetivo alcançar um valor de CMRR elevado, não se atendo, portanto, a outras características também importantes como baixo ruído, alta rejeição a variações na fonte de alimentação (alta PSRR - *Power Supply Rejection Ratio*), baixa tensão de *offset* de entrada e baixa deriva térmica (*thermal drift*), visto que, na prática, é impossível otimizar todas as características no projeto de um amplificador [3].

Na história dos amplificadores de instrumentação, primeiro surgiram aqueles construídos a partir de amplificadores operacionais (*op-amps*) utilizando realimentação resistiva, como será visto na próxima seção e, enfim, os amplificadores de instrumentação desenvolvidos utilizando a técnica de transferência de corrente que será abordada na seção 1.4 e que incluem a configuração escolhida para implementar o amplificador projetado neste trabalho.

1.3. Amplificador de Instrumentação com *Op-amps*

Um amplificador de instrumentação construído a partir de amplificadores operacionais é baseado numa estrutura conhecida como amplificador diferencial ou subtrator, mostrada na Fig. 1.2.



Fig. 1. 2 - Amplificador diferencial (subtrator).

Aplicando-se o teorema da superposição no circuito da Fig. 1.2, chega-se à seguinte expressão:

$$v_{out} - v_{ref} = -\frac{R_2}{R_1} \cdot v_1 + \frac{1 + R_2/R_1}{1 + R_3/R_4} \cdot v_2$$
(1.2)

Se $R_1 = R_3 = R_G$ e $R_2 = R_4 = R_5$, então a expressão (1.1) reduz-se à:

$$\frac{v_{out} - v_{ref}}{v_2 - v_1} = \frac{R_2}{R_1} = \frac{R_S}{R_G}$$
(1.3)

Por (1.3) verifica-se que o ganho do subtrator é dado por uma razão de resistências e que se os sinais $v_1 e v_2$ forem iguais, a saída será nula. Porém, isto requer um casamento muito bom entre resistores $R_1 e R_3$ e entre $R_2 e R_4$, nem sempre possível na prática. Outra imperfeição desta estrutura é que as entradas $v_1 e v_2$ apresentam impedâncias baixas e desiguais. Isto prejudica a rejeição de modo comum do circuito, visto que para

uma determinada tensão aplicada igualmente nas entradas, correntes diferentes fluirão por elas produzindo uma tensão não nula de saída [6].

Dessa forma, é necessário que as entradas de um amplificador de instrumentação apresentem impedâncias altas e casadas. Uma maneira de se implementar estas características, que se tornou uma configuração padrão para amplificadores de instrumentação é a clássica estrutura baseada em três amplificadores operacionais como mostrado na Fig. 1.3.



Fig. 1.3 – Configuração clássica de um amplificador de instrumentação formado por três op-amps.

O circuito da Fig. 1.3 pode ser visto como apresentando dois estágios: o primeiro formado pelos amplificadores A1 e A2 e pelas resistências R_2 e R_G ; e o segundo que nada mais é do que o subtrator da Fig. 1.2 operando com ganho unitário para sinais de modo diferencial (todas as resistências são iguais). O estágio de entrada apresenta impedâncias altas e casadas em suas entradas, características estas conferidas pelos amplificadores A1 e A2. Quando um sinal diferencial v_{id} é aplicado entre as entradas do circuito, a tensão v_{id} é imposta sobre a resistência R_G e, portanto, passa para o segundo estágio com um ganho dado pelo fator $1+2 \cdot R_2/R_G$. Já para sinais de modo comum, as tensões nas extremidades de R_G serão iguais e não haverá corrente fluindo por R_G . Portanto, os *op-amps* disponibilizarão para o segundo estágio rejeitar este sinal, passando para a saída somente sinais de modo diferencial.

Ainda assim, uma boa CMRR neste tipo de amplificador de instrumentação depende do casamento de resistores, o que torna este tipo de amplificador pouco atrativo para implementação monolítica. Além disso, em processos CMOS comumente utilizados, mecanismos eficientes de ajuste de resistores (de filmes finos), como ajuste por laser (*laser trimming*), são raramente utilizados.

Assim, uma configuração muito melhor e mais apropriada para implementação monolítica surgiu em 1971, proposta por Heinrich Krabbe [7]. Esta configuração, a ser abordada na seção seguinte, tornou-se padrão para amplificadores de instrumentação monolíticos, tendo sido adotada nos projetos realizados posteriormente.

1.4. TÉCNICA DE TRANSFERÊNCIA DE CORRENTE

A técnica introduzida por Krabbe consiste na transferência de corrente do estágio de entrada para saída e dispensa o uso de uma rede resistiva como acontecia com a configuração de três *op-amps*, eliminando, assim, o problema de casamento de resistores. Importantes contribuições foram dadas por Brokaw e Timko em [8], van de Plassche em [9] e mais recentemente por Martins, Selberherr e Vaz em [10] através do desenvolvimento de circuitos que implementam esta técnica de transferência de corrente.

Esta técnica foi chamada de "realimentação indireta de corrente" por van den Dool e Huijsing em [11], em que eles descrevem a implementação desta técnica com a característica adicional de estender a faixa de operação de modo comum até o limite negativo da fonte de alimentação. Porém, o termo por eles utilizado tem interpretações diversas, sendo algumas vezes alterado para "realimentação ativa" [2], o que pode levar a certas confusões desnecessárias. Preferiu-se, portanto, não utilizar nenhuma destas classificações encontradas na literatura, mas simplesmente indicar que funcionamento do amplificador depende de uma técnica de transferência de corrente. A Fig. 1.4 ilustra de modo simplificado o funcionamento desta técnica.



Fig. 1.4 – Diagrama ilustrativo da técnica de transferência de corrente utilizada.

Referindo-se à Fig. 1.4, na entrada, o sinal diferencial é convertido numa corrente i_G , (através do conversor V/I) que é transferida para o estágio de saída, normalmente com ganho unitário (A = 1). Na saída, esta corrente, denominada agora i_S , é convertida em tensão (através do conversor I/V) quando flui pelo resistor R_S , estabelecendo o ganho do amplificador. Referindo-se, ainda, à Fig. 1.4, as seguintes expressões se aplicam:

$$i_{G} = \frac{v_{1} - v_{2}}{R_{G}}$$

$$v_{out} - v_{ref} = R_{S} \cdot i_{S} \qquad (1.4)$$

$$i_{G} = i_{S} \rightarrow \frac{v_{out} - v_{ref}}{v_{1} - v_{2}} = \frac{R_{S}}{R_{G}}$$

A razão dada por (1.4) entre a resistência R_s na saída e R_G na entrada estabelece o ganho esperado para um amplificador de instrumentação como mostrado na Fig. 1.1. Nota-se ainda pelo diagrama, que não há realimentação da saída para a entrada do circuito (realimentação global), facilitando a compensação em freqüência do amplificador. Outra característica importante é que a rejeição de modo comum e o ganho do amplificador não dependem de nenhum casamento entre resistores, mas simplesmente da transferência de corrente da entrada para a saída.

A seguir, faz-se um apanhado das principais configurações de amplificadores de instrumentação encontradas na literatura que utilizam esta mesma técnica de transferência de corrente e que influenciaram o projeto do amplificador de instrumentação aqui descrito.

1.4.1. Amplificador de Instrumentação de Krabbe

O primeiro amplificador de instrumentação totalmente monolítico publicado na literatura a empregar a técnica descrita no item anterior, como já dito, foi desenvolvido por Heinrich Krabbe em 1971 [7], [4] e implementado em tecnologia bipolar. O circuito simplificado deste amplificador é mostrado na Fig. 1.5 [12].



Fig. 1.5 – Circuito simplificado do amplificador de instrumentação desenvolvido por Krabbe.

O funcionamento deste circuito pode ser descrito brevemente da seguinte forma. Quando um sinal diferencial é aplicado entre as entradas $v_1 e v_2$, o amplificador A, que monitora os potenciais nos coletores de $Q_1 e Q_2$, impede que as correntes nos coletores de $Q_1 e Q_2$ se tornem desiguais. Para isto, ele atua de tal modo que as fontes de corrente $I_1 e I_2$ se ajustem para acomodar tanto as correntes de $Q_1 e Q_2$ como a componente i_G . Este ajuste é possível devido à ação do amplificador B que, da mesma forma que A, impede que as correntes nos coletores de $Q_3 e Q_4$ se tornem desiguais. Com as correntes nos pares diferencias mantidas iguais e, supondo um casamento perfeito entre os transistores $Q_1 e Q_2$ e entre $Q_3 e Q_4$, as tensões base-emissor desses transistores devem satisfazer $V_{BE1} = V_{BE2} e$ $V_{BE3} = V_{BE4}$ e, portanto, a tensão sobre o resistor R_G torna-se igual à tensão aplicada na entrada. A corrente i_G fluindo por ele, por sua vez, torna-se $i_G = (v_1 - v_2)/R_G$. Na saída, a tensão de saída torna-se $v_{out} - v_{ref} = i_S \cdot R_S$. Assim, se as fontes variáveis de corrente forem casadas de tal forma que $I_1 - I_2 = I_3 - I_4$, então a corrente i_S fluindo por R_S será igual a i_G e, portanto, o ganho do circuito será igual ao dado pela expressão (1.4). Para sinais de modo comum aplicados na entrada, a natureza balanceada do par diferencial faz com a corrente i_G seja nula e, por conseguinte, que a tensão de saída também seja nula. Desta forma, este circuito desempenha as funções requeridas para um amplificador de instrumentação. No entanto, para apresentar um funcionamento adequado ele depende do casamento das fontes de corrente variáveis.

1.4.2. Amplificador de Instrumentação de Brokaw e Timko

A fim de melhorar o circuito de Krabbe com relação à necessidade de um bom casamento entre fontes de corrente variáveis, uma nova configuração, também em tecnologia bipolar, foi proposta por Brokaw e Timko em [8], cujo circuito simplificado é mostrado na Fig. 1.6.



Fig. 1.6 – Circuito simplificado do amplificador de instrumentação desenvolvido em [8].

Nesta configuração o funcionamento do circuito é muito parecido com o do anterior, com a principal diferença de que para que i_s seja igual a i_G , é necessário apenas que as correntes I_5 e I_6 sejam iguais. Para esta condição, $I_1 - I_2 = I_3 - I_4$ e, portanto, $i_s = i_G$. Assim sendo, o funcionamento adequado do amplificador de instrumentação depende do casamento entre as fontes fixas I_5 e I_6 e não mais do casamento entre fontes de correntes variáveis. Outras duas melhorias introduzidas com relação ao circuito de Krabbe são: melhor *settling time* do amplificador, visto que o amplificador *B* atua diretamente no par diferencial de entrada; e compensação em freqüência simplificada, uma vez que não existe mais um amplificador operando em malha fechada no caminho da realimentação do outro amplificador [8].

1.4.3. Amplificador de Instrumentação de Martins, Selberherr e Vaz

Uma versão CMOS da configuração proposta por Brokaw e Timko foi proposta em 1998 por Martins, Selberherr e Vaz em [10] cujo circuito simplificado é mostrado na Fig. 1.7. Nesta figura, algumas partes básicas do circuito podem ser identificadas: o estágio de entrada é composto por um par diferencial implementado por transistores canal-p (*M1* e *M2*) com cargas resistivas $R_1 e R_2$; um bloco de transcondutância *GM* e dois espelhos de corrente formados pelos transistores de canal-p *M3–M5* e *M4–M6*. A corrente nos transistores *M5* e *M6*, além de serem espelhadas para o par diferencial de entrada, também são espelhadas através dos transistores *M10* e *M9*, respectivamente, para o outro par diferencial (*M7* e *M8*) que compõe o estágio de saída juntamente com um bloco amplificador de tensão AV. Tanto o par diferencial de entrada como o de saída apresentam uma resistência ($R_G e R_S$, respectivamente) entre os terminais de fonte dos transistores que os compõem. Esta resistência permite uma conversão linear tensão-corrente (conversão V-I) da tensão presente entre os terminais de porta dos transistores de ambos os pares diferenciais.



Fig. 1.7 – Circuito simplificado do amplificador de instrumentação desenvolvido em [10].

Porém, para o funcionamento correto do circuito é necessário que haja uma conversão tensão-corrente adequada na entrada e uma conversão corrente-tensão adequada na saída. Para tanto, os blocos GM e AV devem apresentar valores razoáveis de transcondutância e de ganho de tensão (que serão vistos no Capítulo 2). Além disso, uma consideração feita anteriormente para que o ganho seja dado pela razão R_S/R_G , requer que os espelhos de corrente *M3–M5–M10* e *M4–M6–M9* sejam de boa qualidade, ou seja, que a

corrente em *M5* seja reproduzida de forma fiel em *M3* e *M10* e que o mesmo aconteça para *M4–M6–M9*.

A Fig. 1.8 mostra o circuito completo do amplificador de instrumentação da Fig. 1.7. Os blocos GM e AV desta figura podem ser identificados como sendo o par diferencial M31-M32 e o amplificador M21-M22-M23-M24-M25-M26-M27, respectivamente. Além disso, os resistores R1, R2, R3 e R4 da Fig. 1.7 foram substituídos por cargas ativas Mr1-Mr2 e Mr3-Mr4. A compensação em freqüência do amplificador é feita através da colocação de um simples capacitor C_C no interior do bloco AV.



Fig. 1.8 – Circuito completo do amplificador de instrumentação desenvolvido em [3].

Existem ainda outras configurações de amplificadores de instrumentação ([9], [13], [14]) não descritas nesta dissertação, mas que utilizam alguma técnica de transferência de corrente. O fato de não serem apresentadas aqui não significa que elas sejam melhores ou piores; significa apenas que não estão diretamente ligadas ao projeto deste amplificador de instrumentação. Entretanto, elas devem ser levadas em consideração por quem está envolvido no projeto de um amplificador deste tipo, dependendo das necessidades e do tipo de aplicação a que este é destinado.

O amplificador de instrumentação desenvolvido e descrito neste trabalho de dissertação de mestrado utiliza a mesma configuração do amplificador proposto em [10], mostrado na Fig. 1.7 e na Fig. 1.8, diferindo apenas no espelho de corrente utilizado para

transferir a corrente da entrada para a saída. Com esta alteração teve-se o intuito de melhorar a acuidade desta transferência e ao mesmo tempo aumentar a rejeição de modo comum do amplificador, melhorias estas que serão discutidas no Capítulo 2.

1.5. CONCLUSÃO

Neste capítulo foram apresentados os princípios básicos que regem o funcionamento de um amplificador de instrumentação, a fim de explicitar a característica priorizada neste projeto que é a rejeição de modo comum. Além disso, foram abordadas algumas configurações de amplificadores de instrumentação, desde um simples subtrator, passando pela configuração clássica de três *op-amps*, chegando, enfim, à classe dos amplificadores que utilizam o método de transferência de corrente, na qual se inclui a configuração em que se baseia o amplificador desenvolvido neste trabalho. O próximo capítulo abordará o projeto do amplificador de instrumentação enfocado nesta dissertação.

CAPÍTULO

2

Projeto do Amplificador de Instrumentação

2.1. INTRODUÇÃO

Este capítulo apresenta o projeto do amplificador de instrumentação em detalhe, identificando as principais estruturas que o compõem e suas respectivas características. Aborda-se inicialmente o processo utilizado para a fabricação do circuito integrado, descrevendo-se logo a seguir o funcionamento geral do circuito. Passa-se, então, para uma descrição funcional por blocos e pela análise em freqüência do amplificador de instrumentação. Resultados de simulações são apresentados, os quais são utilizados para validar os tópicos abordados, e a apresentação do *layout* do circuito integrado finaliza este capítulo.

2.2. TECNOLOGIA UTILIZADA

A tecnologia utilizada neste projeto é a tecnologia Si CMOS 0,6µm da AMS (Austria Mikro Syteme International AG). Maiores detalhes sobre esta tecnologia, assim

como os principais parâmetros de processo fornecidos pela AMS, utilizados no decorrer deste capítulo, encontram-se no Apêndice A.

2.3. O CIRCUITO DO AMPLIFICADOR DE INSTRUMENTAÇÃO

Como explicado no capítulo anterior, o amplificador proposto neste trabalho utiliza a mesma configuração apresentada em [10], ilustrada pela Fig. 1.7 e pela Fig. 1.8 do Capítulo 1. Desta maneira, a Fig. 2.1 apresenta o circuito completo do amplificador de instrumentação aqui proposto, já incluindo as modificações introduzidas. Vale salientar que todos os componentes presentes no circuito são integrados com exceção feita apenas para a fonte de corrente I_{BIAS} e para a resistência R_S , que devem ser adicionadas externamente ao circuito. A colocação externa destes componentes permite mudar o valor da corrente de polarização para eventuais testes do circuito e também configurar o ganho do amplificador, ao alterar o valor da resistência R_S .



Fig. 2.1 – Circuito completo do amplificador de instrumentação.

Referindo-se à Fig. 2.1, quando um sinal diferencial $(v_1 - v_2)$ é aplicado entre as entradas do amplificador, uma corrente i_G flui por R_G , o que provoca um desbalanceamento entre as correntes nos drenos dos transistores M1 e M2, que constituem o par diferencial de entrada. De forma a restabelecer o equilíbrio, condição imposta pelo espelho de corrente M11-M12, o par diferencial M3-M4 produz em seus ramos correntes cuja diferença é o dobro de i_G . Estas correntes são espelhadas para o par diferencial de entrada através dos transistores M21-M21B-M24-M24B e M22-M22B-M23-M23B garantindo o equilíbrio neste par. Quando isto ocorre e considerando que os transistores M1 e M2 sejam casados, o sinal de entrada aparece sobre o resistor R_G e, portanto, a corrente i_G torna-se igual a $(v_1 - v_2)/R_G$.

Ainda, as correntes nos ramos do par diferencial M3-M4 são transferidas para os ramos do par diferencial de saída M5-M6 através dos espelhos de corrente M23-M23B-M26-M26B e M24-M24B-M25-M25B. Conseqüentemente, a diferença entre estas correntes é a mesma que a diferença entre as correntes nos ramos do par M1-M2, o que torna o par diferencial de saída desbalanceado. Porém, o amplificador AV formado pelos transistores M7-M8-M15-M16-M34-M41, cuja saída é realimentada para uma das entradas do par M5-M6, age no sentido de restabelecer o equilíbrio entre as correntes deste par, condição esta imposta pelo espelho M13-M14. Com as correntes balanceadas, a corrente pelo resistor R_S torna-se $i_S = i_G$ e a queda causada por ela sobre R_S estabelece a tensão de saída do circuito (v_{out}). Assim, o ganho do amplificador é determinado pela razão entre os resistores R_S e R_G conforme a expressão apresentada na Fig. 1.1, repetida a seguir por conveniência:

$$\frac{v_{out} - v_{ref}}{v_1 - v_2} = \frac{R_S}{R_G}$$
(2.1)

O circuito da Fig. 2.1, como pode ser observado, é um circuito razoavelmente complexo, não tratando-se simplesmente de um amplificador operacional canônico, cujo projeto é abordado em diversos livros, tais como [15], [16], [17]. Dessa forma, não há qualquer tipo de roteiro a ser seguido para se chegar às especificações desejadas. Portanto, o projeto foi dirigido da seguinte forma: divisão do circuito em blocos funcionais, análise de cada um desses blocos e dimensionamento dos componentes de acordo com as

características desejadas e com algumas técnicas encontradas na literatura. Deste modo, nas subseções a seguir estes blocos são apresentados e discutidos.

2.3.1. Estágio Diferencial de Entrada

Neste estágio, mostrado na Fig. 2.2(a), um par diferencial degenerado pela resistência R_G é a estrutura básica. Os transistores *M21*, *M21B*, *M22* e *M22B* da Fig. 2.1 foram substituídos por fontes de corrente I_0 apresentando resistências de saída R_T . Este circuito pode ser analisado utilizando-se o seu equivalente mostrado na Fig. 2.2(b). Nesta figura, a resistência R_G foi dividida em duas, cada uma com a metade de seu valor. As duas fontes de corrente I_0 foram substituídas por uma única fonte fornecendo uma corrente igual a $2I_0$ e, portanto, com uma resistência de saída equivalente de valor $\frac{1}{2}R_T$ [3].



Fig. 2.2 – Dois circuitos equivalentes para o par diferencial de entrada.

Referindo-se à Fig. 2.2(b) pode-se fazer uma análise incremental do circuito. Quando um sinal diferencial ($v_{id} = v_1 - v_2$) é aplicado entre as entradas do par diferencial, correntes incrementais i_{d1} e i_{d2} fluem pelos transistores M1 e M2, sendo que se a fonte de corrente $2I_0$ for considerada ideal, então a condição $i_{d1} + i_{d2} = 0$ deve ser satisfeita. Estas correntes estão relacionadas com o sinal de entrada conforme as seguintes expressões:

$$i_{d1} = \frac{v_z - v_1}{\frac{1}{g_{m1}} + \frac{R_G}{2}}$$

$$i_{d2} = \frac{v_z - v_2}{\frac{1}{g_{m2}} + \frac{R_G}{2}}$$
(2.2)

para as quais foram utilizados parâmetros de pequenos sinais dos modelos para transistores MOS canal-*n* e canal-*p*, encontrados fartamente na literatura [3], [18], [19]. Em (2.2), g_{m1} e g_{m2} designam as transcondutâncias dos transistores *M1* e *M2*, respectivamente.

Se $i_{d1} + i_{d2} = 0$ e considerando idênticos os transistores *M1* e *M2* de forma que $g_{m1} = g_{m2}$, então $v_z = (v_1 + v_2)/2$ e, portanto, as correntes nos drenos de *M1* e *M2* podem ser reescritas como:

$$i_{d1} = -\frac{g_{m1} \cdot (v_1 - v_2)}{2 + g_{m1} \cdot R_G}$$

$$i_{d2} = \frac{g_{m1} \cdot (v_1 - v_2)}{2 + g_{m1} \cdot R_G}$$
(2.3)

Referindo-se ainda à Fig. 2.2(b), observa-se que o transistor *M2* fornece uma corrente i_{d2} para o nó de saída 2, enquanto que o transistor *M11* fornece uma corrente i_{d1} para este mesmo nó por ação do espelho de corrente formado por *M11-M12*. Como resultado, a tensão incremental no nó de saída 2 é dada por:

$$v_{o2} = (i_{d2} - i_{d1}) \cdot (r_{o1} // r_{o11}) = \frac{2 \cdot g_{m1} \cdot (v_1 - v_2) \cdot (r_{o1} // r_{o11})}{2 + g_{m1} \cdot R_G}$$
(2.4)

em que r_{o1} e r_{o11} são as resistências incrementais de saída de M1 e M11 respectivamente.

Já, no nó de saída 1, a tensão incremental praticamente não varia com a aplicação de um sinal diferencial de entrada, visto que a mesma corrente i_{d1} que entra neste

nó, também sai dele. Assim, $v_{oI} \cong 0$ e, portanto, o ganho do par diferencial para sinais diferenciais é dado por:

$$A_{MD1} = \frac{(v_{o1} - v_{o2})}{(v_1 - v_2)} = -\frac{g_{m1} \cdot \{r_{o11} / / [r_{o1} \cdot (2 + g_{m1} \cdot R_G)]\}}{1 + g_{m1} \cdot \frac{1}{2} R_G}$$
(2.5)

A fim de encontrar uma expressão para a CMRR do par diferencial de entrada, além do ganho de modo diferencial, o ganho de modo comum também deve ser conhecido. Para tanto, o conceito de meio-circuito (*half-circuit concept*) [3], [18] pode ser aplicado ao circuito da Fig. 2.2(a), resultando no equivalente de pequenos sinais da Fig. 2.3. Segundo Jiang, Tang e Mayaram em [20], isto é possível mesmo que a presença do espelho de corrente *M11-M12* como carga ativa dificulte a visualização da simetria existente no par diferencial para sinais de modo comum.



Fig. 2.3 – *Equivalente de meio-circuito do par diferencial de entrada para sinais de modo comum (common-mode half-circuit).*

Como mostra a Fig. 2.3, o circuito equivalente nada mais é do que um amplificador fonte-comum (*common-source*) degenerado pelas resistências $\frac{1}{2} R_G e R_T$, onde R_T (*tail resistance*) corresponde à resistência de saída do espelho *cascode* de alta excursão (ver subseção 2.3.5) do qual os transistores *M21* e *M21B* fazem parte. Assim, o ganho deste circuito é dado por:

$$\frac{v_{o1}}{v_1} = \frac{1}{g_{m11}} \cdot \frac{g_{m1}}{1 + g_{m1}} \cdot \frac{(1/2)^2 R_G + R_T}{1 + g_{m1}}$$
(2.6)

onde g_{m11} é a transcondutância do transistor M11.

Além disso, sabe-se que o ganho de modo comum A_{MCI} é determinado pela seguinte relação [3], [18]:

$$A_{MC1} = \left(\frac{v_{o1} + v_{o2}}{2}\right) / \left(\frac{v_1 + v_2}{2}\right)$$
(2.7)

Então, substituindo-se (2.6) em (2.7) com $v_{o1} = v_{o2}$ [20], $v_1 = v_2$, visto que se trata de uma análise de modo comum, e considerando idênticos entre si os pares de transistores *M1-M2*, *M11-M12*, *M21-M22*, *M21B-M22B*, a seguinte expressão para o ganho de modo comum resulta:

$$A_{MC1} = \frac{1}{g_{m11}} \cdot \frac{g_{m1}}{1 + g_{m1} \cdot \left(\frac{1}{2}R_G + R_T\right)}$$
(2.8)

Assumindo que $R_T >> \frac{1}{2}R_G$ e que $g_{ml}R_G >> l$, o que é bastante razoável num bom projeto, obtém-se:

$$A_{MC1} \cong \frac{1}{g_{m11} \cdot R_T} \tag{2.9}$$

Assim, a CMRR do par diferencial de entrada pode ser expressa por:

$$CMRR = \frac{A_{MD1}}{A_{MC1}} = \frac{g_{m1} \cdot g_{m11} \cdot R_T \cdot [r_{o11} // r_{o1} \cdot (2 + g_{m1} \cdot R_G)]}{1 + g_{m1} \cdot \frac{1}{2} R_G}$$
(2.10)

Como mostra a expressão (2.10), a rejeição de modo comum do par diferencial de entrada é prejudicada pela presença de R_G . Por outro lado, esta mesma rejeição é tanto melhor quanto maior for o valor da resistência associada às fontes de corrente I_0 da Fig. 2.2(a). Portanto, maximizar o valor desta resistência foi uma das metas que guiou este projeto e que será tratada na subseção 2.3.5.

2.3.1.1. Dimensionamento dos dispositivos envolvidos

Vale lembrar que o dimensionamento de transistores MOS não é uma tarefa simples visto que três graus de liberdade estão envolvidos: o comprimento de canal (L), a largura de canal (W) e a corrente de dreno (I_D). Assim, mesmo estabelecendo algumas regras de projeto, alguns destes parâmetros devem ser escolhidos arbitrariamente (ao menos para um projeto sem especificações muito rígidas).

Para definir o valor da resistência R_G que degenera o par diferencial de entrada, levou-se em consideração o fato de que quanto maior seu valor, menor a CMRR deste par diferencial e, também, que área ocupada por resistores integrados limita o valor de R_G . Portanto, escolheu-se um valor de 1k Ω , igual ao utilizado em [10], permitindo ainda uma melhor comparação com o amplificador lá descrito.

O valor da corrente de polarização do par diferencial foi escolhido arbitrariamente como $I_0 = 10\mu$ A. Ainda, segundo Martins *et al.* em [10], para minimizar ruído e *offset* num par diferencial, recomenda-se que os transistores do espelho de corrente, que forma a carga ativa, apresentem uma transcondutância de valor três vezes menor do que a transcondutância dos transistores do par diferencial. Assim, fixou-se:

$$(W/L)_{1,2} = 20 \cdot (W/L)_{11,12}$$
 (2.11)

visto que as correntes de dreno destes transistores são iguais e que o fator de ganho (K_P') para transistores canal-*p* é aproximadamente três vezes menor que o fator de ganho (K_N') para transistores canal-*n* (ver Apêndice A).

Assim, segundo a expressão que define a transcondutância g_m para transistores MOS [3], [18],[19], suas razões de aspecto (*W/L*) devem seguir a expressão (2.11) acima.

Ao se determinar as dimensões de M1 e M2, considerou-se, também, que quanto maior a dimensão do dispositivo, menor é o efeito das variações do processo de fabricação que leva ao descasamento entre dois transistores geometricamente idênticos [21], [15]. Desta forma, escolheu-se para M1 e M2 a seguinte razão de aspecto:

$$(W/L)_{1,2} = 60\,\mu m/6\,\mu m \tag{2.12}$$

E, segundo as expressões (2.11) e (2.12), as dimensões de *M11* e *M12* também puderam ser determinadas, fixando-se o comprimento de canal:

$$(W/L)_{11,12} = 3\mu m/6\,\mu m \tag{2.13}$$

2.3.2. Bloco de Transcondutância GM

A Fig. 2.4 mostra de modo simplificado o par diferencial M3-M4 que desempenha o papel do bloco de transcondutância GM. Este bloco tem como objetivo monitorar a tensão de saída do par diferencial de entrada - tensões v_{o1} e v_{o2} - e transformar estes sinais incrementais de tensão em correntes que fluem pelos transistores M23-M23B e M24-M24B (ver Fig. 2.1), que foram substituídos na Fig. 2.4 por suas resistências equivalentes (R_{L2}). Estes transistores fazem parte da cadeia de espelhos M21-M24-M25-M21B-M24B-M25B e M22-M23-M26-M22B-M23B-M26B. Através destes espelhos é feita uma realimentação para o par diferencial de entrada e também provoca-se um desbalanceamento no par diferencial de saída.



Fig. 2.4 – Representação simplificada do bloco GM.

Referindo-se à Fig. 2.4, as correntes i_{d3} e i_{d4} valem:

$$i_{d3} = g_{m3} \cdot (v_{o1} - v_x) - g_{mb3} \cdot v_x$$

$$i_{d4} = g_{m4} \cdot (v_{o2} - v_x) - g_{mb4} \cdot v_x$$
(2.14)

em que g_{m3} e g_{m4} são as transcondutâncias dos transistores *M3* e *M4*, respectivamente e, g_{mb3} e g_{mb4} são as transcondutâncias de efeito de corpo destes transistores.

Analogamente ao par diferencial de entrada analisado na subseção anterior, as correntes pelos transistores *M3* e *M4* devem satisfazer $i_{d3} + i_{d4} = 0$. Nesta condição e, considerando idênticos os transistores *M3* e *M4* de forma que $g_{m3} = g_{m4}$ e $g_{mb3} = g_{mb4}$, a tensão v_x pode ser escrita como:

$$v_{x} = \frac{g_{m3} \cdot (v_{o1} + v_{o2})}{2 \cdot (g_{m3} + g_{mb3})}$$
(2.15)

Substituindo (2.15) nas equações (2.14), obtém-se:
$$i_{d3} = \frac{g_{m3} \cdot (v_{o1} - v_{o2})}{2}$$

$$i_{d4} = -\frac{g_{m3} \cdot (v_{o1} - v_{o2})}{2}$$
(2.16)

Donde conclui-se que o efeito de corpo presente nos transistores M3 e M4, traduzido pelos parâmetros incrementais g_{mb3} e g_{mb4} nas equações (2.14), não exerce influência no valor das correntes em seus drenos quando em suas entradas é aplicado um sinal diferencial. Portanto, a transcondutância GM vale:

$$GM = \frac{i_{d3}}{(v_{o1} - v_{o2})} = -\frac{i_{d4}}{(v_{o1} - v_{o2})} = \frac{g_{m3}}{2}$$
(2.17)

Para garantir uma conversão V-I adequada, o bloco GM deve apresentar uma transcondutância que resulte num erro de conversão menor que o máximo admissível. Para tanto, simulou-se o erro cometido para uma entrada diferencial de 10mV utilizando-se um bloco de transcondutância ideal. Como a resistência sobre a qual se dá a conversão é de 1k Ω e, tomando-se o gráfico resultante da simulação mostrado na Fig. 2.5, para um erro de aproximadamente 1%, o valor da corrente fluindo pelo resistor R_G deve ser de 9,9µA. O valor da transcondutância correspondente a esta corrente, segundo a Fig. 2.5, é $GM = 43,8\mu$ A/V.



Fig. 2.5 – Simulação de erro na conversão V-I (valor ideal da corrente é 10µA).

2.3.2.1. Dimensionamento dos dispositivos envolvidos

Para que *GM* seja igual a 43,8µA/V, segundo a expressão (2.17), o valor da transcondutância dos transistores *M3* e *M4* deve ser $g_{m3} = g_{m4} = 87,6\mu$ A/V. Assim, com uma corrente $I_D = 10\mu$ A fluindo por estes transistores, a razão de aspecto de *M3* e *M4* deve ser igual a 3,2. Dessa forma, definiu-se as seguintes dimensões para estes transistores:

$$(W/L)_{34} = 8\mu m/2\mu m \qquad (2.18)$$

2.3.3. Estágio Diferencial de Saída

O estágio diferencial de saída, como mostra a Fig. 2.6, tem a mesma estrutura do estágio diferencial de entrada. A principal diferença é que para o estágio de saída, a variável de entrada é uma corrente (no caso, as correntes pelos transistores *M25-M25B* e



M26-M26B) e, portanto, o ganho do circuito é uma transresistência (visto que a saída é uma diferença de tensões).

Fig. 2.6 – Circuito do par diferencial de saída.

Observando-se a Fig. 2.6, percebe-se que os transistores *M5* e *M6* funcionam como amplificadores porta-comum (*common-gate*) para o sinal de entrada. Como é bem conhecido para este tipo de amplificador [3], [18], [22], o ganho de corrente é unitário e, portanto, o ganho da corrente de entrada para cada uma das tensões de saída é dado simplesmente pela resistência equivalente do nó de saída em questão. Como a resistência do nó de saída v_{o6} é muito mais alta do que a do nó de saída v_{o5} , a transresistência total deste estágio, ou seja, o ganho da corrente de entrada para a diferença entre as tensões de saída é dado praticamente pela resistência equivalente do nó da saída v_{o6} . Esta resistência, por sua vez, pode ser determinada utilizando-se o circuito equivalente de pequenos sinais mostrado na Fig. 2.7 e aplicando-se uma tensão de teste v_X no nó **1**. Calculando-se a corrente resultante da aplicação desta tensão neste nó, determina-se sua resistência incremental equivalente.



Fig. 2.7 – Circuito para cálculo da resistência equivalente do nó 1 do par diferencial de saída.

Equacionando-se as correntes nos três nós da Fig. 2.7, a resistência equivalente encontrada para o nó 1 é:

$$r_{eq1} = \frac{v_x}{i_x} = r_{o14} // [r_{o6} \cdot (2 + gm_6 \cdot R_S)]$$
(2.19)

onde g_{m6} e r_{o6} são, respectivamente, a transcondutância e a resistência incremental de saída do transistor M6 (o mesmo valendo para *M5*); r_{o14} é a resistência incremental de saída de *M14*. Considerou-se neste cálculo $r_{o5} = r_{o6}$, $g_{m5} = g_{m6}$ e $r_o >> 1/g_m$.

Portanto, a transresistência deste estágio, chamada aqui de *H*, que é dada pela resistência equivalente do nó 1, vale:

$$H = r_{o14} // [r_{o6} \cdot (2 + gm_6 \cdot R_s)]$$
(2.20)

O resistor R_S , ao contrário de R_G no par diferencial de entrada, deve ser adicionado externamente ao circuito integrado. Isto se deve a duas razões: primeiro, ao valor possivelmente alto de R_S (para que o ganho do amplificador de instrumentação possa atingir valores próximos de 1000) que torna pouco atraente sua integração e, segundo, para que o ganho do amplificador de instrumentação possa ser configurado para o valor desejado segundo a relação explicitada em (2.1).

2.3.3.1. Dimensionamento dos dispositivos envolvidos

Para o dimensionamento dos transistores do par diferencial de saída utilizaramse as mesmas considerações feitas para o par diferencial de entrada. Portanto, as dimensões são as mesmas, exceto para os transistores do espelho que compõem a carga ativa. Para estes dispositivos, como este bloco não é o estágio de entrada do amplificador, suas dimensões não comprometem o comportamento do circuito quanto a ruído e à tensão de *offset* como considerado na subseção 2.3.1.1. Assim, arbitrou-se uma dimensão menor para *M13* e *M14*, mantendo o comprimento de canal:

$$(W/L)_{13,14} = 10\,\mu m/6\mu m \qquad (2.21)$$

E, mantendo-se as mesmas dimensões especificadas para o par diferencial de entrada, a razão de aspecto de *M5* e *M6* foi determinada como:

$$(W/L)_{5,6} = 60 \mu m / 6 \mu m$$
 (2.22)

2.3.4. Bloco Amplificador de Tensão AV

O bloco AV, mostrado na Fig. 2.8, tem a função de amplificar a diferença de tensão na saída do par diferencial de saída formado pelos transistores M5 e M6 (tensões v_{o5} e v_{o6}) de forma a prover uma realimentação para este par diferencial e corrigir o desbalanceamento nas correntes i_5 e i_6 causado através do bloco GM pela tensão diferencial de entrada aplicada.



Fig. 2.8 – Circuito que implementa o bloco AV.

Este bloco AV é composto por um par diferencial formado por transistores canal-n (M7 e M8), com um espelho de corrente como carga ativa (transistores canal-p M15 e M16) e um estágio de saída do tipo seguidor de fonte (*source-follower*) formado pelos transistores canal-n M41 e M34, sendo que este último foi substituído na Fig. 2.8 pela fonte de corrente I_{34} .

O par diferencial *M7-M8* difere dos pares diferenciais de entrada e de saída por não apresentar resistência de degeneração de fonte e também por ter uma saída unilateral. No entanto, o procedimento para o cálculo do ganho é mesmo e está muito bem detalhado em [15]. Assim, tem-se:

$$A_{MD4} = \frac{v_{o8}}{v_{o5} - v_{o6}} = -g_{m7} \cdot (r_{o8} // r_{o16})$$
(2.23)

onde g_{m7} é a transcondutância do transistor *M*7 e r_{o8} e r_{o16} são as resistências incrementais de saída de *M*8 e *M*16, respectivamente.

Para chegar à expressão (2.23), considerou-se que M7 e M8 apresentam transcondutâncias g_m e resistências incrementais de saída r_o iguais, o mesmo valendo para os transistores M15 e M16. Além disso, considerou-se também que $r_o >> 1/g_m$.

Já o estágio de saída seguidor de fonte, em que o transistor *M41* funciona como um amplificador dreno-comum (*common-drain*) cuja saída é o seu terminal de fonte, tem como características um alto ganho de corrente e baixa resistência de saída. Estas são qualidades desejadas para o estágio de saída de amplificadores operacionais, uma vez que o estágio de saída deve ser capaz de fornecer uma potência significativa para uma carga de baixa impedância [18]. Em contrapartida, esta estrutura sofre o efeito de corpo, o que provoca um aumento da tensão V_T do transistor canal-*n M41* [22] quando a tensão de saída aumenta, prejudicando a faixa DC de saída do circuito [16]. Outra influência do efeito de corpo é a diminuição do ganho deste estágio, tornando-o menor que a unidade [3], [23].

Referindo-se ainda à Fig. 2.8, o ganho deste estágio pode ser facilmente determinado pelas equações a seguir [21].

$$A_{SF} = \frac{g_{m41}}{(1 + \chi_{41}) \cdot g_{m41} + \frac{1}{r_{o41}} + \frac{1}{r_{o34}}}$$

$$\chi_{41} = \frac{g_{mb41}}{g_{m41}}$$
(2.24)

em que g_{m41} é a transcondutância do transistor M41 e g_{mb41} sua transcondutância de efeito de corpo; r_{o34} e r_{o41} são as resistências incrementais de saída de M34 e M41, respectivamente.

Em (2.24), o fator χ , conhecido como fator de efeito de corpo, é um parâmetro que indica a taxa em que a tensão de limiar V_T de um transistor MOS varia com a tensão de polarização de substrato em relação ao terminal de fonte [18]. O valor de χ varia geralmente entre 0.1 e 0.3 [19].

Considerando que as resistências de saída r_{o41} e r_{o34} dos transistores *M41* e *M34* sejam bastante elevadas, então a expressão para o ganho A_{SF} pode ser aproximada por:

$$A_{SF} \cong \frac{1}{1 + \chi_{41}} \tag{2.25}$$

Esta última expressão corrobora o que foi dito anteriormente, mostrando que a presença do efeito de corpo deteriora o ganho do seguidor de fonte, reduzindo-o de 10% a aproximadamente 25% abaixo da unidade.

Desta forma, o ganho do bloco AV é determinado pelos ganhos do par diferencial *M7-M8* e do estágio seguidor de fonte, como indica a expressão seguinte.

$$AV = A_{MD4} \cdot A_{SF} = \frac{-g_{m7} \cdot (r_{o8} // r_{o_{16}})}{1 + \chi_{41}}$$
(2.26)

Para garantir que haja uma conversão I-V adequada na saída do amplificador, o que é fundamental para o funcionamento correto do amplificador de instrumentação, simulou-se o erro cometido nesta conversão em função do valor do ganho AV, utilizando-se um bloco amplificador ideal e uma resistência $R_S = 100k\Omega$. Por conseguinte, para uma corrente $I_S = 10\mu$ A fluindo pelo resistor R_S , a tensão esperada na saída, admitindo-se um erro de 1%, é $V_{OUT} = 1.01$ V.

Portanto, tomando-se o gráfico resultante desta simulação, reproduzido na Fig. 2.9, o valor do ganho deve ser AV = 500. Dessa forma, com base no gráfico obtido, os transistores do par diferencial, da carga ativa e do estágio seguidor de fonte foram dimensionados para que o ganho AV desejado fosse atingido, como mostra-se a seguir.



Fig. 2.9 – Simulação de erro na conversão I-V (valor ideal da tensão de saída é 1V).

2.3.4.1. Dimensionamento dos dispositivos envolvidos

Para que o ganho AV seja igual a 500, conforme indicado pela simulação de erro de conversão I-V, e respeitando-se a expressão (2.26), é possível definir as dimensões dos transistores envolvidos. Para tanto, algumas considerações devem ser feitas. Primeiramente, escolheu-se um comprimento de canal $L = 10\mu$ m para os transistores M8 e M16 de forma com que as resistências r_{o8} e r_{o16} fossem aproximadamente iguais a $10M\Omega$ (ver Apêndice A):

$$r_{o8} = r_{o16} = \frac{1}{\lambda \cdot I_D} = \frac{1}{0,009V^{-1} \cdot 10\mu A} = 11,2M\Omega$$
(2.27)

em que λ é o fator de modulação de canal e I_D é a corrente quiescente de dreno para transistores MOS.

Considerou-se também um valor mediano para o fator de efeito de corpo como $\chi_{41} = 0,2$. Assim, conforme (2.26), para um ganho AV = 500, a transcondutância do transistor *M*8 deve ser $g_{m8} = 107\mu$ A/V. Para este valor, *M*8 deve apresentar uma razão de aspecto igual a 4,8, aproximadamente.

Assim, as seguintes dimensões foram determinadas para os transistores *M7*, *M8*, *M15* e *M16*:

$$(W/L)_{7,8} = 50 \mu m / 10 \mu m$$

(W/L)_{15,16} = 20 \mu m / 10 \mu m (2.28)

2.3.5. Elemento de transferência de corrente

Como elemento de transferência de corrente entre os estágios de entrada e saída do amplificador de instrumentação descrito neste documento, no lugar dos espelhos simples utilizados em [10], foram utilizados espelhos do tipo *cascode* de alta excursão (*high-swing cascode*) [24], [25], [26], [27], cujo circuito é mostrado na Fig. 2.10. A razão para esta decisão de projeto foi aumentar a resistência de saída do espelho, característica comum às estruturas do tipo *cascode* [3], [15],[18], sem degradar a excursão DC do circuito todo [26], embora este último aspecto não tenha sido priorizado neste projeto. Entretanto, a resistência de saída do espelho de corrente é muito importante, visto que ela constitui a resistência de cauda R_T (*tail resistance*) do par diferencial de entrada, que, como visto na subseção 2.3.1, desempenha um papel fundamental na determinação da CMRR do amplificador [3]. Conseqüentemente, a característica mais importante de um amplificador de instrumentação, que, segundo Wolfenbuttel e Shekkerman em [5], é sua CMRR, pôde ser melhorada neste projeto.

Observando a Fig. 2.10, verifica-se que a resistência incremental de saída do espelho de corrente é a mesma de um espelho *cascode* regular, dada pela expressão seguinte [28]:

$$r_{out} \cong g_{m21B} \cdot r_{o21} \cdot r_{o21B} \tag{2.29}$$

em que g_{m21b} é a transcondutância do transistor M21B, enquanto r_{o21} e r_{o21b} são as resistências incrementais de saída dos transistores M21 e M21B, respectivamente.



Fig. 2.10 – Circuito do espelho de corrente do tipo cascode de alta excursão.

A resistência de saída definida em (2.29) é muito maior quando comparada com a de um espelho simples (r_o) e, portanto, deve contribuir para um melhor comportamento de modo comum do amplificador.

A resistência incremental de entrada deste tipo de espelho é, aproximadamente, metade da mesma resistência para um espelho *cascode* regular [24] e é dada por:

$$r_{in} \cong \frac{1}{g_{m24}} \tag{2.30}$$

onde g_{m24} é a transcondutância do transistor M24.

Ainda com referência à Fig 2.10, pode-se determinar a mínima tensão de saída do espelho necessária para seu funcionamento adequado, ou seja, mantendo todos os transistores operando na região de saturação ($V_{DS} = V_{DS(sat)} > V_{GS} - V_T$).¹

 $^{^{1}}V_{DS(sat)}$ = tensão dreno-fonte de saturação.

Para tanto, faz-se com que os transistores M21, M21B, M24 e M24B apresentem uma mesma razão de aspecto (W/L) e que M27 apresente (W/L)₂₇ = $\frac{1}{4}$ (W/L) [25]. Dessa forma, as tensões V_{GS} de M21, M21B, M24 e M24B serão as mesmas ($V_{GS} = V_{DS(sat)} + V_T$), visto que por todos eles fluem a mesma corrente. Já a tensão V_{GS27} , pela diferença na razão de aspecto e pelo fato do transistor M27 conduzir a mesma corrente, será $2V_{DS(sat)} + V_T$. Assim, seguindo o circuito, a tensão na porta de M21B será também $2V_{DS(sat)} + V_T$ e em seu terminal de fonte será $V_{DS(sat)}$ (colocando M21 em saturação). Desta forma, para que o transistor M21B também permaneça em saturação, a mínima tensão de saída deve ser $V_{OUTmin} = 2V_{DS(sat)}$. Este valor é menor que a tensão mínima de saída de um espelho *cascode* regular por V_T (tensão mínima de saída de um *cascode* regular é $2V_{DS(sat)} + V_T$) e maior que o de um espelho simples por $V_{DS(sat)}$ (tensão mínima de saída de um espelho simples $(e^{V_{DS(sat)}})$, justificando o nome complementar dado a este espelho cascode de "cascode de alta excursão". Resta verificar se os demais transistores do espelho encontram-se em saturação. O transistor M27, por sua conexão em forma diodo apresenta $V_{DS27} = V_{GS27} > V_{GS27} - V_T$ e, portanto, está saturado. Já o dreno de M24 deve apresentar uma tensão maior que $V_{GS} - V_T$ e, assim, notando-se que o dreno de M24B está conectado com a porta de M24, então ambos estes transistores encontram-se em saturação já que a tensão entre dreno e fonte de M24B será igual $V_{GS24} - V_{DS(sat)} = V_T$ (desde que $V_{GS24} < 2V_T)^2.$

A Fig. 2.11(a) mostra uma simulação comparando as características de transferência DC do espelho de corrente de alta excursão e de um espelho de corrente simples de forma a comprovar as vantagens descritas até agora. Como se pode observar nesta figura, a resistência de saída do espelho *cascode* de alta excursão é, de fato, muito maior do que a resistência do espelho simples, enquanto que a excursão DC da tensão de saída de ambos é comparável. Quantitativamente, estas resistências foram calculadas com o auxílio da Fig. 2.11(b) e da Fig. 2.11(c), que mostram as curvas da Fig. 2.11(a) em maior detalhe. Os valores obtidos foram $6,32M\Omega$ para o espelho simples e 147,6M Ω para o *cascode* de alta excursão, ou seja, uma resistência de saída aproximadamente 23 vezes maior para o *cascode* em relação ao espelho simples.

² Entre os ajustes feitos por simulação a serem vistos na seção seguinte, está o ajuste de V_{GS24} de forma que seu valor seja menor que $2V_T$, conforme requerido.

Vale mencionar que, para esta simulação, utilizaram-se correntes de referência e de polarização iguais ($I_{REF} = I_{BIAS} = 10\mu$ A), enquanto a tensão de saída foi variada entre as tensões de alimentação do amplificador (-2.5V a +2.5V). As razões de aspecto utilizadas foram de 20µm/4µm para *M21*, *M21B*, *M24* e *M24B* e 5µm /4µm para *M27* (dimensões finais de projeto destes transistores – ver seção 2.4).



Fig. 2.11 – (a) Simulação comparativa entre as performances dos espelhos de corrente simples e cascode de alta excursão; (b) característica do espelho simples em maior detalhe; (c) característica do espelho cascode de alta excursão em maior detalhe.

2.3.5.1. Dimensionamento dos dispositivos envolvidos

No circuito do amplificador de instrumentação existem quatro espelhos como o da Fig. 2.10, arranjados, no entanto, na forma de dois espelhos triplos (ver Fig 2.1). A corrente em *M24* e *M24B* é espelhada para *M21* e *M21B* e para *M25* e *M25B* formando um espelho triplo (*M21-M24-M25*). Já a corrente em *M23* e *M23B*, é espelhada para *M22* e *M22B* e para *M26* e *M26B* formando o segundo espelho triplo (*M22-M23-M26*). A corrente através dos drenos destes transistores é 10µA, visto que eles conduzem as correntes nos ramos dos pares diferenciais que constituem o estágio de entrada, o bloco GM e o estágio de saída.

Assim, todos estes transistores apresentam as mesmas dimensões e, considerando uma tensão dreno-fonte de saturação $V_{DS(sat)}$ de aproximadamente 250mV, estas dimensões podem ser:

$$(W/L)_{21,21B,22,22B,23,23B,24,24B,25,25B,26,26B} = 16\mu m/4 \ \mu m \qquad (2.31)$$

Já o transistor *M*27 da Fig. 2.10 é compartilhado entre os dois espelhos triplos. Sua dimensão, conforme demonstrado em [26], deve ser:

$$(W/L)_{27} = \frac{1}{4} (W/L)_{demais} = 4\mu m / 4\mu m \qquad (2.32)$$

2.4. AJUSTES DE DIMENSIONAMENTO POR SIMULAÇÃO

Determinadas todas as dimensões dos dispositivos utilizados, inúmeras simulações de ponto de operação e de pequenos sinais foram feitas a fim de verificar se o dimensionamento manual havia sido feito corretamente. Como algumas aproximações foram feitas, já era esperado que ajustes provavelmente seriam realizados através de simulação e que os cálculos manuais serviriam mais como um guia de projeto, para se ter noção do comportamento esperado para o circuito.

Após a análise das simulações, as dimensões dos dispositivos foram alteradas, algumas drasticamente, e a Tabela 2.1 apresenta as dimensões para os transistores

calculadas manualmente e as ajustadas por simulação. A seção seguinte, que explora a análise em freqüência do amplificador de instrumentação, já considera as dimensões ajustadas (dimensões finais) dos dispositivos.

		CÁLCULO MANUAL	APÓS SIMULAÇÃO	
Transistor	Canal	(W/L) em [µm/µm]	(W/L) em [µm/µm]	
M1 e M2	Р	60/6	60/6	
M3 e M4	Ν	8/2	60/2	
M5 e M6	Р	60/6	60/6	
M7 e M8	Ν	50/10	40/8	
M11 e M12	Ν	3/6	10/20	
M13 e M14	Ν	10/6	10/6	
M15 e M16	Р	20/10	20/10	
M21-M26B	Р	16/4	20/4	
M27	Р	4/4	5/4	
M32 e M33	Ν	40/2	40/2	
M34 e M41	Ν	200/2	200/2	
Total de transistores: 32				

 Tabela 2.1 – Resumo das dimensões dos transistores MOS utilizados.
 Instanta das dimensões dos transistores MOS utilizados.

2.5. ANÁLISE EM FREQÜÊNCIA

O circuito do amplificador de instrumentação é um sistema um tanto quanto complexo por ser constituído de dois amplificadores distintos. Apesar de tal complexidade, estes amplificadores operam em malha fechada e são independentes entre si, visto que não há realimentação de um para o outro. Na verdade, o que ocorre é que o sinal de saída do amplificador na entrada do circuito alimenta o amplificador na saída do mesmo. Desta forma, estes amplificadores podem ser analisados separadamente, de forma que se saiba quais são as limitações em freqüência de cada um deles e, portanto, do amplificador de instrumentação.

Na entrada, pode-se identificar um amplificador de transcondutância, visto que a variável de saída é uma corrente que é proporcional à variável de entrada, que por sua vez

é uma tensão. Para este amplificador não houve necessidade de compensação em freqüência conforme mostra a análise feita na subseção seguinte.

Na saída, o contrário do que acontece na entrada é observado, ou seja, a variável de saída é uma tensão proporcional à variável de entrada, que por sua vez é uma corrente, constituindo, portanto, um amplificador de transresistência. Neste amplificador, assim como feito em [10], utilizou-se um capacitor de compensação entre a entrada e a saída do par diferencial dentro do bloco AV, conforme indicado pela análise em freqüência feita na subseção 2.5.2.

2.5.1. Circuito de Entrada (Amplificador de Transcondutância)

A Fig. 2.12 mostra o circuito do amplificador de transcondutância utilizado na entrada do amplificador de instrumentação. Este circuito é assim classificado por apresentar como variável de entrada uma tensão $(v_1 - v_2)$ e a corrente i_{out} como variável de saída [18], [19], [29].

Reconhecendo-se que o tipo de realimentação empregada é tensão-corrente ou série-série (*series-series*) [29], como esquematizado na Fig. 2.13, resta identificar os elementos da Fig. 2.12 que desempenham os papéis daqueles da Fig. 2.13, para que o circuito possa ser melhor analisado. Para tanto, identifica-se, inicialmente, que a variável de entrada v_s é a própria tensão de entrada do amplificador de instrumentação ($v_1 - v_2$). A variável de saída é a corrente i_{out} que flui pelos transistores M23 e M23B ou M24 e M24B. Já a tensão v_f é a tensão sobre o resistor R_G , dada por $i_{out} \cdot R_G$, como visto na seção 2.3. Portanto, β vale:

$$\beta = \frac{v_f}{i_{out}} = R_G \tag{2.33}$$



Fig. 2.12 – Circuito de entrada.

Sabendo-se quem desempenha o papel de β , pode-se determinar $R_{\beta l}$ e $R_{\beta o}$ como sendo ambos iguais a R_G a fim de se computar o efeito de carga da malha de realimentação ao se abrir a malha do amplificador. A Fig. 2.14 mostra então o circuito do amplificador de transcondutância em malha aberta.



Fig. 2.13 – Diagrama em blocos de um amplificador realimentado do tipo série-série.



Fig. 2.14 – Circuito de entrada em malha aberta.

Na Fig. 2.14, as resistências r_{o21} ' e r_{o22} ' representam as resistências de saída dos espelhos *cascode* do qual os transistores *M21*, *M21B*, *M22* e *M22B* fazem parte. Referindose à Fig. 2.14, verifica-se que o nó de mais alta impedância é o nó **1**, que, portanto, deve contribuir com um pólo dominante para o circuito de entrada. Os demais nós do circuito apresentam baixa impedância e devem contribuir com pólos em freqüências muito mais altas, não interessando, portanto, para esta análise simplificada. Dessa forma, computandose a resistência e a capacitância equivalentes deste nó a fim de calcular a constante de tempo associada ao mesmo, pode-se determinar a freqüência em que o pólo mais significativo de malha aberta ocorrerá.

No nó 1, a resistência equivalente pode ser calculada da mesma forma que na expressão (2.19), resultando em:

$$R_{ea1} = r_{o12} // [r_{o2} \cdot (2 + g_{m2} \cdot R_G)]$$
(2.34)

em que r_{o2} e r_{o12} são as resistências incrementais de saída dos transistores *M2* e *M12*, respectivamente; g_{m2} é a transcondutância de *M2*.

Já, para computar a capacitância associada a este nó, devem ser consideradas todas as capacitâncias parasitas dos transistores MOS ligados a este nó, conforme mostra a seguinte expressão:

$$C_{eq1} = C_{db12} + C_{gd12} + C_{db2} + C_{gd2} + C_{gs4} + \left(1 + \frac{g_{m4}}{g_{m24}}\right) \cdot C_{gd4}$$
(2.35)³

onde C_{db2} , C_{db12} são as capacitâncias dreno-substrato dos transistores M2 e M12, respectivamente; C_{gd2} , C_{gd4} e C_{gd12} são as capacitâncias porta-dreno de M2, M4 e M12, respectivamente; C_{gs4} é a capacitância porta-fonte de M4.; g_{m4} e g_{m24} são as transcondutâncias de M4 e M24, respectivamente.

Assim, a freqüência em que o pólo associado a este nó deve ocorrer, utilizandose os valores das transcondutâncias e capacitâncias dos transistores envolvidos, gerados como arquivo de saída (*output file*) pelo programa de simulação (ver Apêndice B), é:

$$\varpi_{1} = \frac{1}{R_{eq1} \cdot C_{eq1}} = \frac{1}{16,5M\Omega \cdot 0,304 \, pF} = 199,63 \times 10^{3} \, rad \, / \, s \quad (2.36)$$
ou
$$f_{1} = \frac{\omega_{1}}{2\pi} = 31,7 \, kHz \qquad (2.37)$$

No entanto, quando o amplificador de transcondutância é realimentado (e ele funciona sempre em malha fechada), a localização destes pólos no plano-*s* depende do ganho da malha de realimentação e, segundo Franklin, Powell e Emami-Naeini em [30], esta localização é dada por (considerando-se um sistema de primeira ordem, visto que há um único pólo):

$$s_1 = -\omega_1 \cdot \left(1 + \beta \cdot A_o\right) \tag{2.38}$$

 $^{^3}$ Na expressão (2.35), a capacitância $\rm C_{gd4}$ aparece multiplicada pelo ganho de tensão do bloco GM devido ao efeito Miller.

em que A_o é o ganho de malha aberta do sistema para freqüências médias, e para o amplificador de entrada é dado por (ver subseções 2.3.1 e 2.3.2 para as expressões de A_{MDI} e GM):

$$A_o = A_{MD1} \cdot GM = 1135 \cdot 84,05x10^{-6} = 0,095V / A \tag{2.39}$$

Desta forma, a freqüência do pólo para o sistema realimentado dever ocorrer para a seguinte freqüência:

$$s_1 = -199,6x10^3 \cdot (1 + 1000 \cdot 0,095) = -19,24x10^6 \, rad \, s \text{ ou} \, -3,06 \text{MHz}$$
 (2.40)

Por se tratar de um sistema com um único pólo, sua freqüência de -3dB(simbolizada por ω_{o}) corresponde à freqüência deste pólo. Frente a esses cálculos expostos para o amplificador de entrada, faz-se necessária uma simulação em freqüência para se averiguar se eles estão corretos. Desta forma, a Fig. 2.15 apresenta o resultado de uma simulação feita para o amplificador de transcondutância operando em malha fechada, mostrando o diagrama de pólos e zeros resultantes.



Fig. 2.15 – Diagrama de pólos e zeros para o amplficador de entrada em malha fechada (simulação).

Observando-se a Fig. 2.15, verifica-se que, realmente, existe apenas um pólo (os demais estão anulados por zeros ocorrendo na mesma freqüência) e que este pólo está localizado em –2,91MHz. Percebe-se, portanto, que o resultado está muito próximo do esperado pelos cálculos manuais (–3,06MHz), o que demonstra que o amplificador de entrada deve funcionar conforme previsto por eles.

Uma outra simulação feita, ainda, para o amplificador de entrada, refere-se aos diagramas de Bode de ganho e fase. A Fig. 2.16 apresenta tais diagramas. Por esta figura, pode-se verificar que a freqüência de -3dB equivale à freqüência do único pólo do amplificador. As variações na fase após tal freqüência, devem-se provavelmente a zeros e pólos localizados em freqüências mais altas e desprezados nos cálculos manuais por conveniência. Vale observar ainda que a tensão AC aplicada na simulação foi de 1V. Assim, o ganho DC mostrado na Fig. 2.19 de -60dB, equivale a uma corrente de saída de 1mA, que corresponde à tensão de entrada dividida pelo resistor R_G de 1k Ω .



Fig. 2.16 – Simulação da resposta em freqüência de malha fechada do amplificador de entrada.

Assim, pode-se resumir o comportamento do amplificador de transcondutância nos parâmetros dispostos na Tabela 2.2. Como este amplificador não apresenta problemas de estabilidade por ser constituído de um único pólo, resta verificar a resposta em freqüência do amplificador de saída para se ter uma idéia do comportamento em freqüência do circuito completo do amplificador de instrumentação.

Tabela 2.2 – Resumo ao comportamento em frequencia do amplificador de entrada.			
Ganho de realimentação	$\beta = 1000 \text{V/A} (R_G = 1 \text{k}\Omega)$		
Freqüência do pólo de malha aberta	$\omega_l = 199,63 \times 10^3 \text{ rad/s ou } f_l = 31,7 \text{ kHz}$		
Ganho de malha aberta para freqüências médias	$A_o = 0,095 \text{A/V}$		
Localização do pólo de malha fechada	$s_1 = -19,24 \times 10^6$ rad/s ou $-3,06$ MHz		
Freqüência de –3dB	$f_o = 3,06 \mathrm{MHz}$		

2.5.2. Circuito de Saída (Amplificador de Transresistência)

A Fig. 2.17 mostra o circuito de saída que pode ser classificado como um amplificador de transresistência [18], [19], [29].



Fig. 2.17 – Circuito de saída.

Reconhecendo-se que o tipo de realimentação empregada é corrente-tensão ou paralelo-paralelo (*shunt-shunt*) [29], como esquematizado na Fig. 2.18, resta identificar os elementos da Fig. 2.17 que desempenham os papéis daqueles da Fig. 2.18, para que o circuito possa ser melhor analisado. Para tanto, identifica-se, inicialmente, que a variável de entrada i_s é a corrente que flui pelos transistores *M25* e *M25B* ou *M26* e *M26B* (ver Fig 2.1). A variável de saída v_o é a própria tensão de saída v_{out} e a corrente i_f é a corrente que flui pelo resistor R_s . Assim, como esta corrente é dada por v_{out}/R_s , como visto na seção 2.3, então β vale:

$$\beta = \frac{i_f}{v_{out}} = \frac{1}{R_s}$$
(2.41)



Fig. 2.18 – Diagrama em blocos de um amplificador realimentado do tipo paralelo-paralelo.

Reconhecendo-se β , pode-se determinar $R_{\beta i}$ e $R_{\beta o}$ como ambos sendo iguais a R_S a fim de se computar o efeito de carga da malha de realimentação ao se abrir a malha do amplificador. A Fig. 2.19 mostra, então, o circuito do amplificador de transresistência em malha aberta.

Nesta figura, dois nós de alta impedância podem ser identificados (nós 1 e 2), que devem contribuir com dois pólos significativos. Portanto, as constantes de tempo associadas a estes nós devem ser calculadas a fim de se determinar as freqüências em que estes pólos mais relevantes deverão ocorrer.



Fig. 2.19 – Circuito de saída em malha aberta.

No nó 1, a resistência equivalente (R_{eq1}) já foi determinada na subseção 2.3.3 e, repetindo-a aqui por conveniência, ela vale:

$$R_{eq1} \cong r_{o14} / / [r_{o6} \cdot (2 + g_{m6} \cdot R_S)]$$
(2.42)

A capacitância equivalente (C_{eq1}) deste nó é determinada computando-se as capacitâncias parasitas dos transistores ligados a ele. Assim:

$$C_{eq1} = C_{db14} + C_{gd14} + C_{gd6} + C_{gs8} + C_{gd8} \cdot (1 - A_{MD4})$$
(2.43)

onde C_{db14} é a capacitância dreno-substrato do transistor *M14*; C_{gd6} , C_{gd8} e C_{gd14} são as capacitâncias porta-dreno de *M6*, *M8* e *M14*; C_{gs8} é a capacitância porta-fonte de *M8*.

Em (2.43), o termo $C_{gd8} \cdot (1 - A_{MD4})$ prevalece sobre os demais devido ao valor alto e negativo do ganho A_{MD4} ($A_{MD4} = -721$, ver subseção 2.3.4 para expressão do ganho A_{MD4}). Deste modo, (2.43) se reduz a:

$$C_{eq1} \cong C_{gd8} \cdot (1 - A_{MD4}) \tag{2.44}$$

Assim, a freqüência do pólo referente a este nó, utilizando-se os valores das transcondutâncias e capacitâncias dos transistores envolvidos, gerados como arquivo de saída pelo programa de simulação (ver Apêndice B), pôde ser calculada:

$$\varpi_1 = \frac{1}{R_{eq1} \cdot C_{eq1}} = \frac{1}{9,86M\Omega \cdot 9,827\,pF} = 10313,8rad \,/\,s \qquad (2.45)$$

ou

$$f_1 = \frac{\omega_1}{2\pi} = 1641,5Hz \tag{2.46}$$

No nó **2**, a resistência equivalente (R_{eq2}) pode ser obtida diretamente da Fig. 2.19 como sendo:

$$R_{eq2} = r_{o8} \, / / \, r_{o16} \tag{2.47}$$

onde r_{o8} e r_{o16} são as resistências incrementais de saída de M8 e M16, respectivamente.

E a capacitância (C_{eq2}) associada a este nó é, por sua vez:

$$C_{eq2} = C_{gd41} + C_{db16} + C_{gd16} + C_{db8} + C_{gd8}$$
(2.48)

onde C_{db8} e C_{db16} são as capacitâncias dreno-substrato dos transistores M8 e M16; C_{gd8} , $C_{gd16} e C_{gd41}$ são as capacitâncias porta-dreno de M6, M8 e M41, respectivamente.

Da mesma forma que para o nó 1, a freqüência do pólo referente ao nó 2 pode ser calculada como:

$$\varpi_2 = \frac{1}{R_{eq2} \cdot C_{eq2}} = \frac{1}{8,65M\Omega \cdot 0,130\,pF} = 889,3x10^3\,rad\,/\,s \tag{2.49}$$

ou

$$f_2 = \frac{\omega_2}{2\pi} = 141,5kHz \tag{2.50}$$

Para verificar a veracidade dos cálculos das freqüências dos pólos para o amplificador de saída, foi feita uma simulação em malha aberta que resultou nos diagramas de Bode de ganho e fase mostrados na Fig. 2.20.



Fig. 2.20 – Simulação da resposta em freqüência de malha aberta do amplificador de saída.

Observando-se a Fig. 2.20, percebe-se que o primeiro pólo está localizado na freqüência de 1,83kHz (3dB abaixo do ganho DC), muito próximo daquela calculada em (2.46). Porém, para o segundo pólo, fica um pouco difícil saber sua localização exata. Desta maneira, foi simulado, também, um diagrama de pólos e zeros para o amplificador de saída, cujo resultado encontra-se na Fig. 2.21.



Fig. 2.21 – Diagrama de pólos e zeros para o amplificador de saída em malha aberta (simulação).

Pelo diagrama de pólos e zeros, observa-se que o segundo pólo ocorre em –707kHz, freqüência bem mais alta do que a calculada em (2.50). Isto pode ser explicado pelo fato de que a capacitância C_{gd8} entre os nós 1 e 2, provoca um afastamento dos pólos [18] por efeito Miller [31]. Como isso não foi levado em consideração para o cálculo do segundo pólo, mas apenas para o primeiro, esta diferença entre calculado e simulado pôde ser observada.

No entanto, o que mais interessa observar nas duas figuras anteriores é que os dois pólos continuam próximos um do outro e provocarão instabilidade quando o amplificador estiver realimentado. Isto pode ser facilmente observado na Fig. 2.20, atentando-se para o fato de que a curva de ganho começa a cair 20 dB por década a partir da ocorrência do primeiro pólo e, depois do segundo pólo, passa a cair 40dB por década, fazendo com que a fase gire -180° antes que o ganho chegue a 0dB. Portanto, o amplificador de saída deve ser compensado para que não ocorra oscilação.

Para tanto, utilizou-se uma compensação clássica por efeito Miller, conhecida como *pole-splliting* [18], que consiste em colocar um capacitor entre os nós 1 e 2. O que se deve observar é o mesmo efeito da capacitância C_{gd8} , porém, intensificado. Deste modo,

escolheu-se um capacitor $C_c = 10$ pF, igual ao da capacitância da carga padrão a ser utilizada ($C_L = 10$ pF), conforme indicado em [15]. Com todo rigor, um cálculo para se determinar o valor desta capacitância poderia ter sido feito a fim de não de se desperdiçar área de silício e para não se perder muito em ganho do amplificador. Entretanto, isto não feito devido a uma certa rapidez com que o circuito foi projetado para poder ser enviado para fabricação no devido tempo.

Para se ter certeza de que a medida adotada teria sucesso, simulou-se o comportamento em freqüência do amplificador de saída compensado com um capacitor de 10pF entre os nós 1 e 2 da Fig. 2.19. O resultado encontra-se na figura a seguir.



Fig. 2.22 – Simulação da resposta em freqüência de malha aberta do amplificador de saída com capacitor de compensação de 10pF.

Portanto, referindo-se à Fig. 2.22, percebe-se que o primeiro pólo foi trazido para uma freqüência bastante baixa (devido ao alto valor de C_C), enquanto o segundo pólo foi afastado. Assim, o ganho cai 20dB por década e chega em 0dB quando a fase está em -104° , estabelecendo, assim, uma margem de fase de 76° para amplificador de saída. Desta forma, quando o amplificador operar em malha fechada ele não oscilará. Além, disso a

freqüência em que o ganho atinge 0dB é de, aproximadamente, 1MHz, definindo, portanto, um produto ganho-banda para este amplificador de GBW = 1MHz.

A Tabela 2.3 apresenta um resumo dos principais dados relativos ao comportamento em freqüência do amplificador de saída. Resta, então, simular o comportamento em freqüência do amplificador de instrumentação como um sistema completo.

Tabela 2.3 – Resumo do comportamento em frequencia do amplificador de saida.		
Ganho de realimentação	$\beta = 0,001$ A/V (para $R_S = 1$ k Ω)	
Freqüência dos pólos de malha aberta (calculado)	$\omega_l = 10,31 \times 10^3 \text{ rad/s ou } f_l = 1,64 \text{kHz}$ $\omega_2 = 889,3 \times 10^3 \text{ rad/s ou } f_2 = 141,5 \text{kHz}$	
Freqüência dos pólos de malha aberta (simulado)	$f_1 = 1,84 \text{kHz}$ $f_2 = 707 \text{kHz}$	
Produto ganho-banda (<i>Gain-Band Width product</i>)	GBW = 1MHz	
Margem de fase simulada	$\phi_M = 74^o$	

Tabela 2.3 – Resumo do comportamento em freqüência do amplificador de saída.⁴

2.5.3. Simulação do Amplificador de Instrumentação Completo

Nas subseções anteriores, os amplificadores de entrada e saída do amplificador de instrumentação foram analisados separadamente. Nesta subseção, o circuito completo do amplificador de instrumentação é simulado de modo a verificar qual o comportamento em freqüência do sistema, quando os dois amplificadores que o compõem são colocados para funcionar conjuntamente. Dessa forma, os resultados simulados para diversos ganhos do amplificador de instrumentação são apresentados na Fig. 2.23 a seguir.

⁴ Os valores computados na Tabela 2.3 valem para o caso em que $R_s = 1$ kΩ. Neste caso o amplificador opera com ganho unitário visto que $R_G = 1$ kΩ.



Fig. 2.23 – Simulação da resposta em freqüência do amplificador de instrumentação para ganhos $R_s/R_G = 1, 10, 47, 100 e 1000$.

Observando-se a Fig. 2.23, percebe-se que o amplificador de instrumentação apresenta uma banda de operação de 1MHz para ganho unitário, o que corresponde ao previsto pela análise dos amplificadores separadamente, feito na subseção anterior. Portanto, a simulação não mostra a ocorrência de nenhum imprevisto quando os amplificadores de entrada e saída funcionam em conjunto. Pode-se observar nesta figura, também, que amplificador de instrumentação apresenta uma banda de operação superior a 100kHz para os ganhos $R_S/R_G = 1$, 10, 47 e 100 simulados. Para $R_S/R_G = 1000$ esta banda se reduz para 10kHz. Dessa forma, pode-se dizer que a faixa de freqüência em que o amplificador pode operar, segundo a simulação, é bastante razoável para aplicações em que um amplificador de instrumentação pode ser empregado.

Depois de analisado o amplificador em freqüência, a seção seguinte abordará detalhes a respeito do *layout* desenvolvido para o circuito integrado do amplificador de instrumentação.

2.6. LAYOUT DO CIRCUITO INTEGRADO

O *layout* do circuito integrado que implementa o amplificador de instrumentação projetado neste trabalho é mostrado na Fig. 2.24. Nesta figura não são mostrados os *pads* do CI a fim de que uma melhor visualização de sua estrutura seja possível. A área ocupada pelo amplificador de instrumentação, sem os *pads*, é de 0,061mm², aproximadamente.

O *layout* de um circuito integrado analógico deve ser muito cuidadoso para que as condições assumidas no projeto do circuito possam ser satisfeitas. Como a elaboração deste tipo de *layout* ainda desafia as tentativas de automatizá-lo [32], ele foi feito manualmente tomando-se os cuidados devidos a fim de diminuir os efeitos parasitários e melhorar o casamento (*matching*) entre os transistores utilizados.

No caso dos pares diferenciais e espelhos de corrente utilizados, em que o casamento entre os transistores que os compõem é fundamental, todos foram implementados através de estruturas *cross-quad* [16]. Principalmente no par diferencial de entrada, o uso de estruturas com centróide-comum é altamente recomendado, visto que é uma maneira de se eliminar parcialmente o descasamento devido a gradientes relacionados ao processo de fabricação do *chip* ou então a gradientes térmicos e desalinhamento de máscaras [3]. Como um descasamento entre os transistores do par diferencial de entrada é uma fonte de *offset*, ele deve ser evitado, pois levaria à degradação da CMRR do amplificador.

Para as cadeias de espelhos *M21-M21B-M24-M24B-M25-M25B* e *M22-M22B-M23-M23B-M26-M26B*, cujo desempenho é de fundamental importância para que a corrente na entrada do amplificador seja reproduzida de forma fiel na saída do mesmo, estendeu-se o conceito de *cross-quad* (casamento entre dois transistores) para se elaborar uma estrutura com centróide-comum a fim de se melhorar o casamento entre três transistores.

Além disso, cuidou-se para que o mínimo de cruzamento entre trilhas de metais e de polisilício existisse, de modo a evitar a formação de capacitâncias parasitas entre elas.



Fig. 2.24 – Layout do circuito integrado sem os pads.

A Fig. 2.25 mostra o *layout* completo do circuito integrado, ou seja, incluindo os *pads* para que se tenha idéia do tamanho total do circuito. Ele ocupa uma área aproximada de 1,145 mm² (1070µm x 1070µm). A ferramenta utilizada para a elaboração do *layout* foi o *Mentor Graphics IC Station v8.6-2.1*, que dentre outras facilidade dispões de dois tipos de checagem: *Design Rule Check (DRC)*, que permite a identificação de transgressões das regras de projeto fornecidas pela *foundry* AMS [33]; e *Layout Versus Schematic (LVS)*, que confronta o *layout* com o esquema elétrico do circuito indicando eventuais divergências encontradas. O circuito foi enviado para fabricação na AMS pela rodada Europractice do dia 14 de setembro de 2001.



Fig. 2.25 – Layout do circuito integrado incluindo os pads.

A Fig. 2.26 mostra um diagrama da distribuição das estruturas que constituem o amplificador de instrumentação no *layout* do CI. Observando-se esta figura, os dispositivos utilizados no projeto do circuito integrado podem ser identificados no *layout* apresentado tanto na Fig. 2.24 como na Fig. 2.25 .



Fig. 2.26 – Distribuição dos dispositivos no layout do in-amp.

2.7. CONCLUSÃO

Neste capítulo, foram apresentadas as etapas envolvidas no projeto do amplificador de instrumentação proposto neste trabalho. A configuração adotada é baseada em um circuito já discutido na subseção 1.4.3 do capítulo anterior. A modificação introduzida no projeto do amplificador de instrumentação desenvolvido neste trabalho refere-se à mudança no elemento de transferência de corrente do estágio de entrada para o estágio de saída, utilizando para tanto um espelho *cascode* de alta excursão. Este tipo de espelho melhora a performance do circuito quanto à rejeição de modo comum devido à sua alta resistência de saída. A compensação em freqüência aplicada é simples, visto que não há realimentação global no circuito (da saída para a entrada). Portanto, a técnica de compensação por efeito Miller foi utilizada a fim de garantir a operação do circuito numa

banda de freqüência satisfatória para este tipo de amplificador. Ainda, são apontados alguns cuidados tomados na fase de elaboração do *layout* do circuito integrado de forma a melhorar a performance do circuito.

No capítulo seguinte são mostrados os resultados experimentais obtidos.
CAPÍTULO

3

RESULTADOS EXPERIMENTAIS

3.1. INTRODUÇÃO

Neste capítulo, os procedimentos para a caracterização do circuito integrado do amplificador de instrumentação são descritos e os resultados obtidos são analisados. Quatro amostras foram disponibilizadas para testes em meados de fevereiro de 2002 para as quais foram feitos dois tipos principais de caracterização: no tempo e em freqüência. Um quadro com as principais medidas obtidas é apresentado e uma comparação com amplificadores de instrumentação comerciais e com aquele cuja configuração utilizada é a mesma do amplificador de instrumentação desenvolvido neste trabalho é feita.

3.2. INSTRUMENTOS UTILIZADOS E CUIDADOS TOMADOS

Para caracterizar o circuito integrado, os seguintes instrumentos de bancada, disponíveis nas instalações do Laboratório de Pesquisa Magnetti-Marelli (LPM2) na Faculdade de Engenharia Elétrica e de Computação da UNICAMP, foram utilizados:

- Osciloscópio Tektronix TDS460A, quatro canais, 400MHz, 100MS/s;
- Analisador de Espectro/Rede HP4195A;
- Multímetro HP34401A;
- Fonte DC Minipa MP3003D;
- Gerador de funções 2MHz Tektronix FG501A.

Tomou-se cuidado em fazer todas as medidas utilizando-se pulseira antiestática e malha antiestática sob o circuito em teste.

3.3. DIAGRAMA DE PINOS DO CIRCUITO INTEGRADO

A Fig. 3.1 mostra o diagrama de pinos do circuito integrado do amplificador de instrumentação conforme encapsulado pelo CenPRA (Centro de Pesquisas Renato Archer). Nesta figura também se encontra o circuito do amplificador para melhor visualização da conexão de cada pino do invólucro (DIP16 – *Dual Inline Package*, 16 pinos).



Fig. 3.1 – Diagrama de pinos do circuito integrado do amplificador de instrumentação.

Na Fig. 3.1, o pino Ibias1 dá acesso ao terminal de dreno do transistor M31, em que se deve aplicar uma corrente de 10 μ A. (para uma figura maior do circuito, ver Fig. 2.1 do capítulo 2). Já o pino Ibias2 dá acesso ao terminal de dreno do transistor M27, em que também se deve aplicar a mesma corrente. Entre os pinos RS1 e RS2, o resistor R_S , que define o ganho do amplificador de instrumentação, deve ser adicionado. Os demais pinos apresentam os mesmos nomes indicados tanto na Fig. 3.1 como na Fig. 2.1 e, portanto, devem ser conectados como tal.

3.4. ANÁLISE ESTÁTICA

Sem excitar as entradas do amplificador de instrumentação, as seguintes medidas foram feitas para o circuito integrado a uma temperatura ambiente de 27°C:

- Tensão fornecida pela fonte positiva: $V_{DD} = 2,5$ V.
- Corrente fornecida pela fonte positiva: $I_{DD} = 221 \mu A$.
- Tensão fornecida pela fonte negativa: $V_{SS} = -2,5V$.
- Corrente fornecida pela fonte negativa: $I_{SS} = -219 \mu A$.
- Potência total consumida pelo amplificador: $P = V_{DD} \cdot I_{DD} + V_{SS} \cdot I_{SS} = 1,1mW$.
- Tensão de offset de entrada: $V_{OS} = 2,6$ mV.

Pode-se perceber, por estas medidas, que o circuito do amplificador de instrumentação consome uma potência bastante baixa. Além disso, sua tensão de *offset* de entrada também apresenta um valor relativamente baixo, dado o fato de que nenhuma medida específica de cancelamento de *offset* foi tomada. Comparando-se com amplificadores de instrumentação comerciais, a tensão de *offset* de entrada deste é menor, por exemplo, do que a do AD521 ($V_{OS} = 3mV$) [34]. Porém, é bem maior que a do AD524 ($V_{OS} = 200\mu V$) [35] e que a do INA155 ($V_{OS} = 200\mu V$) [36].

3.5. ANÁLISE NO TEMPO

O circuito integrado do amplificador de instrumentação necessita de poucos componentes externos para o seu funcionamento. Desta forma, uma pequena placa foi montada adicionando-se a fonte de corrente de 10 μ A necessária para polarização dos transistores, o resistor R_s que determina o ganho do *in-amp* e a carga sobre a qual foram

feitos todos os testes: um resistor $R_L = 10k\Omega$ em paralelo com um capacitor $C_L = 10pF$ (carga padrão para amplificadores [16]).

Primeiramente, testou-se a resposta do circuito no tempo para três tipos de sinais de entrada: senoidal, triangular e onda quadrada. A Fig. 3.2 apresenta as formas de onda obtidas para entrada senoidal. O sinal presente no canal 1 do osciloscópio corresponde ao sinal de entrada senoidal de 1kHz e no canal 2 ao sinal de saída. Foram obtidas curvas para quatro valores de ganhos determinados pela resistência R_S adicionada. Como o ganho do amplificador de instrumentação é dado pela razão R_S/R_G e, como o valor de R_G é fixo e vale 1k Ω , o ganho é dado diretamente pela resistência R_S e, portanto, para $R_S = Ik\Omega$ temse ganho 1, *para* $R_S = I0k\Omega$ tem-se ganho 10, para $R_S = 47k\Omega$ tem-se ganho 47 e *para* $R_S = 100k\Omega$ tem-se ganho 100. Estes foram os ganhos testados e que originaram as curvas (a), (b), (c) e (d) da Fig. 3.2, respectivamente. Os resistores utilizados foram todos de 1% de tolerância, cujos valores medidos com multímetro são: 1k Ω , 10,022k Ω , 46,916k Ω e 99,38k Ω . Não foram feitos testes para ganhos maiores, como por exemplo 1000, visto que o gerador de funções que fornecia o sinal de entrada não tinha capacidade de fornecer sinais de amplitude pequena o suficiente de forma a não saturar o amplificador.

Observando-se as curvas da Fig. 3.2 pode-se notar que o sinal de saída apresenta uma amplitude igual ao sinal de entrada multiplicado pelo ganho determinado por R_s . Portanto, o amplificador opera como esperado respeitando os ganhos estabelecidos. Pode-se perceber, ainda, que o sinal de saída não apresenta distorção visível. Para melhor caracterizar o comportamento do amplificador quanto à distorção, foram feitas medidas de distorção harmônica total (*THD – Total Harmonic Distortion*) que serão apresentadas na seção 3.6.



Fig. 3.2 – Excitação do in-amp com onda senoidal: (a) ganho 1; (b) ganho 10; (c) ganho 47; (d) ganho 100.

O mesmo teste, para os mesmos valores de R_s e, portanto, os mesmos ganhos foram repetidos para um sinal triangular de entrada. O resultado pode ser observado na Fig. 3.3. Aqui, também, o amplificador de instrumentação opera segundo o ganho estabelecido por R_s como pode ser notado na figura, sendo que o sinal de entrada triangular de 1kHz ocupa o canal 1 do osciloscópio, enquanto que o canal 2 é ocupado pelo sinal de saída, como na Fig. 3.2.



Fig. 3.3 – Excitação do in-amp com onda triangular: (a) ganho 1; (b) ganho 10; (c) ganho 47; (d) ganho 100.

Para completar a visualização do funcionamento do in-amp em resposta aos três tipos básicos de formas de onda de entrada, excitou-se sua entrada com uma onda quadrada de 1kHz. As formas de onda de saída para os quatro ganhos testados podem ser observadas na Fig. 3.4 e, mais uma vez, verifica-se o funcionamento adequado do amplificador. Aqui, também, o sinal de entrada ocupa o canal 1 do osciloscópio e o de saída o canal 2.



Fig. 3.4 – Excitação do in-amp com onda quadrada: (a) ganho 1; (b) ganho 10; (c) ganho 47; (d) ganho 100.

Outra medida feita para o amplificador de instrumentação foi a de *slew-rate* (*SR*), que nada mais é do que a taxa com que a tensão na saída varia para um degrau na entrada [3], e que determina a rapidez de um amplificador. A Fig. 3.5 mostra as curvas utilizadas para esta medição tanto para a descida do sinal de entrada (*negative slew-rate*), Fig. 3.5(a), como para a subida do mesmo (*positive slew-rate*), Fig. 3.5(b). O sinal de entrada encontra-se no canal 1 e o de saída no canal 2. Na descida, o *slew-rate* medido foi de:

$$SR_D = \frac{100mV}{200ns} = 0.5\frac{V}{\mu s}$$
(3.1)

E na subida:

$$SR_{S} = \frac{100mV}{132ns} = 0,757\frac{V}{\mu s}$$
(3.2)

Esses valores de *slew-rate* são mais baixos que de alguns amplificadores de instrumentação comerciais, como é o caso do AD521 ($SR = 10V/\mu s$) [34], do AD524 ($SR = 5V/\mu s$) [35] e do INA155 ($SR = 6,5V/\mu s$) [36], mas maiores do que de outros, como por exemplo do AD522 ($SR = 0,1V/\mu s$) [37], do LM363 ($SR = 0,24V/\mu s$) [38] e do INA101 ($SR = 0,4V/\mu s$) [39].



Fig. 3.5 – Medida do slew-rate do in-amp: (a) slew-rate de descida; (b) slew-rate de subida.

Mediu-se ainda o *settling time* (*ST*) do amplificador de instrumentação, definido como o tempo necessário para que a tensão de saída do amplificador estabilize dentro de 0,1% de seu valor final para um degrau de tensão na entrada. A Fig. 3.6 mostra as curvas utilizadas para esta medição tanto na descida do sinal de entrada, Fig. 3.6(a), como em sua subida, Fig. 3.6(b). Assim, o *settling time* medido na descida foi de 1,47µs e na subida foi de 1,275µs. Estes valores são menores que os valores encontrados para a maioria dos amplificadores de instrumentação comerciais, como por exemplo do AD522 (*ST* = 0,2ms) [37], do AD521 (*ST* = 5µs) [34], do INA101 (*ST* = 30µs) [39] e do LM363 (*ST* = 20µs) [38].



Fig. 3.6 – Medida do settling time do in-amp: (a) descida; (b) subida.

3.6. ANÁLISE EM FREQÜÊNCIA

Após verificar o funcionamento temporal do circuito do amplificador de instrumentação, analisou-se seu comportamento em freqüência para algumas das principais características que indicam o desempenho de amplificadores em geral. Todas as medidas apresentadas nesta seção foram feitas utilizando-se um analisador de espectro/rede cujo modelo é indicado na seção 3.2.

A Fig. 3.7 mostra a resposta em freqüência do amplificador para ganhos 1, 10, 47, 100 e 1000 (0dB, 20dB, 33,5dB, 40dB e 60dB, respectivamente). Os gráficos apresentam a variação da amplitude e da fase do sinal de saída do amplificador (em relação ao sinal de entrada) com a freqüência. Nestes gráficos, a curva superior representa sempre o diagrama de ganho e a inferior, o diagrama de fase.

Observa-se pelos diagramas de ganho da Fig. 3.7 que para ganhos de até 40dB, o amplificador apresenta uma freqüência de -3dB maior que 100kHz. Para aplicações onde são utilizados amplificadores de instrumentação esta faixa de operação é bastante razoável. Pela Fig. 3.7(a), pode-se identificar o produto ganho-banda do amplificador como sendo GBW \cong 1MHz. Este valor é exatamente igual ao valor encontrado no resultado da simulação apresentada no capítulo anterior. Isto corrobora toda a análise em freqüência feita naquele capítulo.



Fig. 3.7 – Resposta em freqüência do in-amp: diagramas de ganho e fase para (a) ganho 1; (b) ganho 10; (c) ganho 47; (d) ganho 100; (e) ganho 1000.

A Fig. 3.8 mostra uma composição de todas as curvas de ganho da Fig. 3.7 para que se possa visualizar melhor a variação de ganho do amplificador com a freqüência para diversos ganhos.



Fig. 3.8 – Ganho de modo diferencial x freqüência.

Referindo-se à Fig. 3.8, e comparando-a com a Fig. 2.23 do capítulo anterior, percebe-se que o amplificador de instrumentação se comporta como previsto por simulação. Esta comparação é pertinente, não por indicar a acuidade do simulador, mas sim para mostrar que amplificador funcionou como esperado. Vale salientar que na Fig. 3.8 a escala de freqüência se inicia em 1kHz, enquanto que na Fig. 2.23, o início da escala de freqüência se dá em 1Hz. Outra observação que pode ser feita é que, a mudança de ganho do amplificador de instrumentação só afeta o comportamento em freqüência do amplificador de transresistência na saída do circuito, visto que o ganho da malha de realimentação do amplificador de transcondutância na entrada do circuito é fixo.

Uma medida bastante importante para um amplificador de instrumentação, considerada como alvo deste projeto, é sua rejeição de modo comum. Para realizar esta medida, ambas as entradas do amplificador foram excitadas com o mesmo sinal (variante em freqüência) e observou-se o comportamento do sinal de saída, como mostra a Fig. 3.9. Nesta figura, observa-se que o sinal de saída é atenuado em 90dB, aproximadamente, numa faixa de até 100kHz. Ou seja, o ganho de modo comum do circuito é $A_{MC(dB)} = -90dB$ por toda esta faixa. Como, para este teste o ganho diferencial configurado foi de

 $A_{MD(dB)} = 20 dB$, o amplificador apresenta um razão de rejeição de modo comum para uma freqüência de até 100kHz de:

$$CMRR_{dB} = 20 \cdot \log\left(\frac{A_{MD}}{A_{MC}}\right) = 20 \cdot \log(A_{MD}) - 20 \cdot \log(A_{MC})$$

$$CMRR_{dB} = A_{MD(dB)} - A_{MC(dB)} = 20dB - (-90dB) = 110dB$$
(3.3)

A CMRR medida apresenta um valor elevado, principalmente para a faixa de freqüências indicada (110dB até 100kHz), o que caracteriza um ótimo desempenho do amplificador de instrumentação [40]. Este valor é comparável, por exemplo, com a CMRR do AD521 [34], um amplificador de instrumentação comercial bastante difundido.



Fig. 3.9 – Ganho de modo comum x freqüência.

Outra medida importante para amplificadores é a medida de ruído. A Fig. 3.10 apresenta esta medida feita utilizando um analisador de espectro para o amplificador de instrumentação operando com ganho 10. Pode-se observar, pela figura, que o amplificador apresenta $842nV/\sqrt{Hz}$ de ruído térmico (ou ruído branco) na saída, o que corresponde a $84,2nV/\sqrt{Hz}$ de ruído térmico referido à entrada. Outra característica importante que pode

ser observada na Fig. 3.10 é a freqüência na qual as componentes de ruído 1/f (ou ruído *flicker*) e ruído branco se interceptam [41]. Esta freqüência é conhecida como 1/f corner frequency [42]. Na Fig. 3.10, esta freqüência ocorre em 12Hz, aproximadamente, para o amplificador de instrumentação. Este valor é bastante razoável para amplificadores utilizando transistores MOS [41], assim como o valor do ruído térmico medido, apesar de o comportamento do circuito quanto a ruído não ter sido otimizado durante a fase de projeto.

Apenas para efeito de comparação, o amplificador de instrumentação LM363 apresenta uma tensão de ruído na entrada de $90nV/\sqrt{Hz}$ [38], enquanto o INA101 apresenta $13nV/\sqrt{Hz}$ [39] e o AD524 apresenta $7nV/\sqrt{Hz}$ [35].



Fig. 3.10 – Ruído x freqüência.

Para finalizar a análise em freqüência do amplificador de instrumentação, a Fig. 3.11 mostra uma varredura espectral do sinal de saída na faixa de 100Hz a 10kHz a fim de se calcular a distorção harmônica total (THD) introduzida pelo amplificador. Para esta medida, configurou-se o amplificador de instrumentação para ganho 10 e utilizou-se como sinal de entrada uma onda senoidal de 1kHz de freqüência e 10mV de amplitude.



Fig. 3.11 – Conteúdo harmônico do sinal amplificado para medida de THD.

A Tabela 3.1 mostra as amplitudes das componentes harmônicas do sinal de saída cujo espectro está apresentado na Fig. 3.11. A coluna "Potência" desta tabela indica a potência (P_{dBm}) das componentes harmônicas em comparação com um sinal de 1mW. Assim, para se obter o valor da tensão V_{rms} destas harmônicas, necessário para o cálculo da THD, a seguinte fórmula de conversão foi utilizada:

$$V_{rms} = \sqrt{50 \cdot 10^{\left(\frac{P_{dBm}}{10} - 3\right)}}$$
(3.4)

Em (3.4), o valor 50 que aparece na conversão para V_{rms} corresponde à carga de 50 Ω presente no analisador de espectro.

do sinal de saída do amplificador de instrumentação.								
Freqüência (kHz)	Potência (dBm)	Tensão (Vrms)						
1	-12,0690	5,5723 x 10 ⁻²						
2	-65,4622	1,1923 x 10 ⁻⁴						
3	-57,5661	2,9592 x 10 ⁻⁴						
4	-72,5171	5,2921 x 10 ⁻⁴						
5	-68,2200	8,6793 x 10 ⁻⁴						
6	-84,7170	1,2991 x 10 ⁻⁵						
7	-77,1814	3,0932 x 10 ⁻⁵						
8	-90,7979	6,4504 x 10 ⁻⁶						
9	-82,3995	1,6963 x 10 ⁻⁵						
10	-80,6181	2,0801 x 10 ⁻⁵						

Tabela 3.1 – Níveis de potência e tensão das componentes harmônicas

Para o cálculo de THD, conforme os valores constantes na Tabela 3.1, utilizouse a seguinte expressão [43]:

$$THD = \frac{1}{V_1} \cdot \sqrt{\sum_{n=2,3,...}^{\infty} V_n^2}$$
(3.5)

Em que: V_1 = valor rms da componente fundamental; V_n = valor rms da *n*-ésima componente harmônica.

Desta forma, a distorção harmônica total introduzida pelo amplificador de instrumentação foi THD = 0,606 %, um valor um pouco alto, mas de difícil análise no contexto de amplificadores de instrumentação, visto que não é um dado comum fornecido pelos fabricantes deste tipo de amplificador.

3.7. RESUMO DOS RESULTADOS

A Tabela 3.2 apresenta um quadro que resume os principais resultados obtidos para o amplificador de instrumentação.

Tabeta 5.2 – Resumo dos resultados oblidos						
Faixa de ganho	1 a 1000					
CMRR	110 dB (até 100kHz, ganho 10)					
Slew-Rate	0,5 μs (descida) e 0,76μs (subida)					
Produto Ganho-Banda (GBW)	1MHz					
Settling time (0,1%)	1,5µs (ganho 10)					
Ruído	$84,2nV/\sqrt{Hz}$ (referido à entrada)					
	12HZ (1/1 corner frequency)					
THD	0,61 %					
Tensão de <i>offset</i> de entrada	2,6mV					
Potência consumida	1,1mW					

a dag yagultadag ahtid

3.8. COMPARAÇÕES PERTINENTES

Sendo a rejeição de modo comum a principal característica dos amplificadores de instrumentação, vale fazer uma comparação com alguns valores encontrados na literatura. O amplificador aqui documentado, quando comparado ao apresentado em [10], cuja configuração é a mesma, mostra uma CMRR 10dB acima, comprovando que as modificações adicionadas contribuíram de modo positivo para o desempenho do amplificador. Comparando-se com amplificadores de instrumentação comerciais, tais como o AD620 (CMRR = 110dB) [44] e o INA103 (CMRR = 110dB) [45], dispositivos bastante difundidos e utilizados na indústria, a CMRR do amplificador desenvolvido neste trabalho equipara-se à CMRR daqueles. Em relação ao LM363 da National [38] que apresenta uma CMRR de 105dB para ganho 10, o amplificador de instrumentação desenvolvido neste trabalho é superior. O mesmo acontece para outros amplificadores de instrumentação: como o AD524 (CMRR = 100dB) [35] e o INA155 (CMRR = 100dB) [36], por exemplo.

3.9. FOTOMICROGRAFIAS

A Fig. 3.12 apresenta uma fotomicrografia do circuito integrado na qual os *pads* podem ser vistos de forma a se ter uma idéia do tamanho do *chip*. A área total ocupada pelo circuito integrado é de 1,14mm², aproximadamente.



Fig. 3.12 – Fotomicrografia do circuito integrado incluindo os pads.

A Fig. 3.13 apresenta outra fotomicrografia do circuito integrado, desta vez focando a estrutura interna aos *pads* do CI, ou seja, mostrando o circuito do amplificador de instrumentação propriamente dito. A área ocupada pelo circuito é de 0,061mm², aproximadamente.



Fig. 3.13 – Fotomicrografia do circuito integrado mostrando o interior do chip.

Na Fig. 3.14 uma outra fotomicrografia é apresentada na qual as estruturas que compõem o circuito do amplificador de instrumentação podem ser identificadas. Para tanto, vale comparar esta figura com a Fig. 2.24 e com a Fig. 2.26 do capítulo anterior a fim de se reconhecer as estruturas lá destacadas.



Fig. 3.14 – Fotomicrografia do chip em que se pode identificar suas estruturas internas.

3.10. CONCLUSÃO

Este capítulo apresentou os resultados experimentais obtidos para o amplificador de instrumentação cujo projeto é o tema desta dissertação de mestrado. Os resultados basearam-se em testes feitos para as amostras do circuito integrado disponibilizadas pelo Projeto Multi-Usuário (PMU). Várias medidas foram feitas e entre as principais características observadas destaca-se a alta CMRR (na faixa de 110dB para freqüências até 100kHz) obtida para o amplificador de instrumentação, satisfazendo, portanto, o requerimento mais importante para este tipo de amplificador. A área ativa ocupada pelo *chip* é de 0,061mm², aproximadamente.

CONCLUSÃO GERAL

Esta dissertação de mestrado documentou um trabalho iniciado em 03 de outubro de 2000, graças a um programa pioneiro de formação de projetistas de circuitos integrados analógicos idealizado e orientado pelo Prof. Dr. Carlos Alberto dos Reis Filho, professor do Departamento de Semicondutores, Instrumentos e Fotônica (DSIF) da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas (UNICAMP). O tema proposto foi definido no fim junho de 2001, tendo o *layout* do circuito sido enviado para fabricação em meados de setembro do mesmo ano.

Deste modo, foi desenvolvido ao longo destes dois meses o projeto de um amplificador de instrumentação integrado em tecnologia CMOS 0,6µm, um tempo razoavelmente curto, tendo em vista o montante de tarefas envolvidas no projeto. O programa dentro do qual este projeto foi desenvolvido atingiu as expectativas, ou seja, as etapas que um projetista de circuitos integrados analógicos deve trilhar foram vivenciadas, vencidas e, como resultado, amostras do circuito integrado do amplificador de instrumentação foram fabricadas, encapsuladas e testadas no tempo que se seguiu. Ademais, o amplificador apresentou características bastante razoáveis e uma delas, inclusive, uma razão de rejeição de modo comum (CMRR) de 110dB para ganho 10, mantida até freqüências tão altas quanto 100kHz, mostrou-se digna de um artigo publicado em conferência de foro internacional.

Portanto, pode-se dizer que o projeto do circuito integrado do amplificador de instrumentação desenvolvido como tema de mestrado e documentado através desta dissertação foi bem sucedido.

APÊNDICE

A

PROCESSO DE FABRICAÇÃO DE CIRCUITOS INTEGRADOS UTILIZADO

A.1. INTRODUÇÃO

Este apêndice apresenta brevemente o processo CMOS para o qual foi projetado o amplificador de instrumentação documentado nesta dissertação. Este processo foi utilizado para a fabricação de protótipos do circuito integrado através de um projeto multi-usuário (PMU).

A.2. O PROCESSO DE FABRICAÇÃO

Como processo foi utilizada a família CUQ do processo CMOS 0,6µm da AMS (Austria Mikro Systeme AG). Esta família inclui a utilização de 13 máscaras e apresenta como características especiais, a existência de duas camadas de polisilício (POLY1 e POLY2) e um módulo de polisilício de alta resistividade (HRES). A existência da segunda camada de polisilício possibilita a implementação de capacitores POLY1-POLY2, enquanto que o módulo HRES permite a implementação de resistores de valores elevados.

A.2.1. Parâmetros do Processo

No projeto do circuito integrado do amplificador de instrumentação foram utilizados quatro tipos de dispositivos: transistor MOS canal-n, transistor MOS canal-p, capacitor POLY1-POLY2 e resistor de polisilício (POLY1). No processo CMOS CUQ 0,6µm da AMS, estes dispositivos integrados suportam uma máxima tensão entre seus terminais. Estas tensões encontram-se na Tabela A.1 abaixo e foram extraídas de [46].

Dispositivo	Tensão	Valor
	V _{GSmax}	5,5 V
Transistores MOS canal- <i>n</i> e canal- <i>p</i>	V _{DSmax}	5,5 V
	V _{SBmax}	5,5 V
Conseitores DOLV1 DOLV2	$V_{terminal-substrato}$	40 V
Capacitores POLY1-POLY2	$V_{terminal 1-terminal 2}$	5,5 V
Resistores POLY1	$V_{terminal-substrato}$	40 V

Tahela A 1 – Tensões máximas de operação dos dispositivos

Os principais parâmetros do processo CMOS CUQ 0,6µm da AMS para os dispositivos utilizados encontram-se nas tabelas a seguir, cujos valores típicos foram extraídos de [46]. Para o transistor canal-n os parâmetros mais importantes estão listados na Tabela A.2.

Parâmetro	Símbolo	Valor Típico	
Tensão de Limiar	V_{TON}	0,72 V	
Fator de Efeito de Corpo	γN	$0.8 V^{1/2}$	
Mobilidade Efetiva	μ_N	$430 \text{ cm}^2 \text{V.s}$	
Capacitância do Óxido de Porta	C_{OX}	2,76 fF/µm ²	
Fator de Ganho	K_N	$120 \mu\text{A/V}^2$	

A Tabela A.3 apresenta os principais parâmetros para os transistores MOS canal-*p*.

Parâmetro	Símbolo	Valor Típico					
Tensão de Limiar	V_{TOP}	– 0,8 V					
Fator de Efeito de Corpo	γ _P	0,48 $V^{1/2}$					
Mobilidade Efetiva	μ_P	$145 \text{ cm}^2 \text{V.s}$					
Capacitância do Óxido de Porta	C_{OX}	2,76 fF/ μ m ²					
Fator de Ganho	K_P	$40 \mu\text{A/V}^2$					

Tabela A.3 – Parâmetros de Processo do Transistor MOS canal-p

O parâmetro λ (fator de modulação de canal) não é fornecido pela AMS, visto que ele varia inversamente com o comprimento de canal [18]. Dessa forma, os valores de λ utilizados nesta dissertação são baseados em valores de simulação feitos para dispositivos de mesmo comprimento de canal (por exemplo: $\lambda = 0,009V^{-1}$ para $L=10\mu$ m).

A Tabela A.4 apresenta os principais parâmetros para os capacitores POLY1-POLY2.

Parâmetro	Símbolo	Valor Típico	
Capacitância por Área	C_{POX}	0,86 fF/µm ²	
Capacitância por Perímetro	C_{POXF}	0,11 fF/µm	

 Tabela A.4 – Parâmetros de Processo do Capacitor POLY1-POLY2

A Tabela A.5 apresenta o principal parâmetro para o resistor de polisilício (POLY1).

Tabela A.5 – Parâmetros de Processo do Resistor POLY1

Parâmetro	Símbolo	Valor Típico
Resistência de Folha	R_{POLY}	33 Ω /quadrado

A.2.2. A Fabricação do Circuito Integrado

A AMS é uma das *foundries* acessíveis através de um programa multi-usuário (MPW – Multi-Project Wafer) gerenciado pela Europractice. Este programa tem como objetivo reduzir o custo de prototipagem de circuitos integrados dedicados (*ASIC – Application Specific Integrated Circuit*) ao compartilhar uma mesma bolacha de semicondutor (*wafer*) para diversos projetos. Dessa forma, o custo é dividido entre os diversos projetos estimulando, assim, o projeto de circuitos integrados dedicados por parte de universidades e pequenas empresas.

Para as universidades brasileiras, a fabricação destes protótipos de circuitos integrados gerenciada pela Europractice é financiada pela FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo) através de um programa chamado Projeto Multi-Usuário (PMU). O circuito integrado fabricado pode ser entregue para o projetista em forma de pastilha ou já encapsulado. No caso do circuito integrado projetado neste trabalho, o protótipo foi entregue em forma de pastilha e quatro amostras foram encapsuladas pelo CenPRA (Centro de Pesquisas Renato Archer) para que pudessem ser testadas.

A.3. CONCLUSÃO

Este apêndice apresentou de forma rápida o processo CMOS utilizado no projeto e fabricação do circuito integrado do amplificador de instrumentação desenvolvido neste trabalho. As principais características do processo foram introduzidas e uma breve descrição do programa multi-usuário que tornou possível a fabricação dos protótipos foi feita.

apêndice **B**

ARQUIVO DE SAÍDA

B.1. INTRODUÇÃO

Este apêndice apresenta informações de ponto de operação para os transistores utilizados no circuito do amplificador de instrumentação. Estas informações, que se encontram nas tabelas da seção seguinte, foram geradas pelo software de simulação (Mentor Graphics Accusim II v8.5-3.1) utilizando os modelos Eldo v4.5-3.1 de caso típico para os transistores MOS (cmos15tm) fornecidos pela AMS. Os valores de alguns destes parâmetros foram utilizados no decorrer desta dissertação, quando indicado.

B.2. INFORMAÇÕES DE PONTO DE OPERAÇÃO

*******7-May-02*******ELDOv4.5_3.1(11Dec96)******17:01:38*******
DESIGN: /EXPORT/HOME/LPM2/PAULOAU/IN_AMP1
OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C

	M1	M2	M3	M4	M5	M6	M7	M8
MODEL	MODP	MODP	MODN	MODN	MODP	MODP	MODN	MODN
ID	-1.0145E-05	-1.0145E-05	1.0144E-05	1.0144E-05	-1.0000E-05	-1.0000E-05	9.2809E-06	9.2809E-06
VGS	-1.0580E+00	-1.0580E+00	8.8824E-01	8.8824E-01	-1.0556E+00	-1.0556E+00	1.0962E+00	1.0962E+00
VDS	-1.9871E+00	-1.9871E+00	3.1288E+00	3.1288E+00	-2.3313E+00	-2.3313E+00	3.4808E+00	3.4808E+00
VBS	0.0000E+00	0.0000E+00	0.0000E+00	0.0000E+00	0.0000E+00	0.0000E+00	-1.2815E-01	-1.2815E-01
VTH	-7.9929E-01	-7.9929E-01	8.4920E-01	8.4920E-01	-7.9929E-01	-7.9929E-01	9.0659E-01	9.0659E-01
VDSAT	-2.5466E-01	-2.5466E-01	7.6266E-02	7.6266E-02	-2.5276E-01	-2.5276E-01	1.6344E-01	1.6344E-01
GM	7.1254E-05	7.1254E-05	1.6811E-04	1.6811E-04	7.0781E-05	7.0781E-05	8.3390E-05	8.3390E-05
GDS	5.8876E-08	5.8876E-08	2.0795E-07	2.0795E-07	5.2520E-08	5.2520E-08	6.8162E-08	6.8162E-08
GMB	2.0502E-05	2.0502E-05	7.6058E-05	7.6058E-05	2.0370E-05	2.0370E-05	3.3617E-05	3.3617E-05
CBD	-4.7492E-14	-4.7492E-14	-3.6052E-14	-3.6052E-14	-4.5513E-14	-4.5513E-14	-2.3416E-14	-2.3416E-14
CBS	-2.1496E-13	-2.1496E-13	-9.3766E-14	-9.3766E-14	-2.1503E-13	-2.1503E-13	-3.5557E-13	-3.5557E-13
CGS	-6.2488E-13	-6.2488E-13	-1.3378E-13	-1.3378E-13	-6.2477E-13	-6.2477E-13	-4.9060E-13	-4.9060E-13
CGD	-2.0392E-14	-2.0392E-14	-2.0404E-14	-2.0404E-14	-2.0384E-14	-2.0384E-14	-1.3608E-14	-1.3608E-14
CGB	-8.7056E-14	-8.7056E-14	-7.6406E-14	-7.6406E-14	-8.7148E-14	-8.7148E-14	-1.7642E-13	-1.7642E-13
Region	saturation							
VTH_D	2.5866E-01	2.5866E-01	3.9033E-02	3.9033E-02	2.5635E-01	2.5635E-01	1.8961E-01	1.8961E-01

 Tabela B.1 – Parâmetros obtidos por simulação (transistores M1-M8)

	M11	M12	M13	M14	M15	M16	M21	M21B
MODEL	MODN	MODN	MODN	MODN	MODP	MODP	MODP	MODP
ID	1.0145E-05	1.0145E-05	1.0000E-05	1.0000E-05	-9.2809E-06	-9.2809E-06	-1.0145E-05	-1.0145E-05
VGS	1.5708E+00	1.5708E+00	1.2244E+00	1.2244E+00	-1.3911E+00	-1.3911E+00	-1.1886E+00	-1.1846E+00
VDS	1.5708E+00	1.5708E+00	1.2244E+00	1.2244E+00	-1.3911E+00	-1.3911E+00	-4.2727E-01	-1.0148E+00
VBS	0.0000E+00							
VTH	8.5480E-01	8.5480E-01	8.5481E-01	8.5481E-01	-7.9924E-01	-7.9924E-01	-8.1016E-01	-8.1016E-01
VDSAT	5.0927E-01	5.0927E-01	2.7532E-01	2.7532E-01	-5.2905E-01	-5.2905E-01	-3.5368E-01	-3.5043E-01
GM	2.7367E-05	2.7367E-05	5.0412E-05	5.0412E-05	2.9946E-05	2.9946E-05	4.9045E-05	5.0436E-05
GDS	3.2190E-08	3.2190E-08	7.6011E-08	7.6011E-08	4.7408E-08	4.7408E-08	1.3498E-06	1.6009E-07
GMB	1.0754E-05	1.0754E-05	2.1392E-05	2.1392E-05	8.2598E-06	8.2598E-06	1.3943E-05	1.4320E-05
CBD	-8.0051E-15	-8.0051E-15	-8.3856E-15	-8.3856E-15	-1.7852E-14	-1.7852E-14	-2.2981E-14	-1.9088E-14
CBS	-1.9760E-13	-1.9760E-13	-6.1014E-14	-6.1014E-14	-1.1311E-13	-1.1311E-13	-4.6552E-14	-4.6250E-14
CGS	-3.3076E-13	-3.3076E-13	-9.4488E-14	-9.4488E-14	-3.5436E-13	-3.5436E-13	-1.4043E-13	-1.3925E-13
CGD	-3.4912E-15	-3.4912E-15	-3.4247E-15	-3.4247E-15	-6.9294E-15	-6.9294E-15	-1.1391E-14	-6.8537E-15
CGB	-9.8855E-14	-9.8855E-14	-3.2001E-14	-3.2001E-14	-4.2454E-14	-4.2454E-14	-1.7141E-14	-1.8323E-14
Region	saturation							
VTH_D	7.1602E-01	7.1602E-01	3.6955E-01	3.6955E-01	5.9184E-01	5.9184E-01	3.7841E-01	3.7449E-01

 Tabela B.2 – Parâmetros obtidos por simulação (transistores M11-M21B)

	M22	M22B	M23	M23B	M24	M24B	M25	M25B
MODEL	MODP							
ID	-1.0145E-05	-1.0145E-05	-1.0144E-05	-1.0144E-05	-1.0144E-05	-1.0144E-05	-1.0144E-05	-1.0144E-05
VGS	-1.1886E+00	-1.1846E+00	-1.1886E+00	-1.1855E+00	-1.1886E+00	-1.1855E+00	-1.1886E+00	-1.1855E+00
VDS	-4.2727E-01	-1.0148E+00	-4.2636E-01	-7.6221E-01	-4.2636E-01	-7.6221E-01	-4.2636E-01	-7.6221E-01
VBS	0.0000E+00							
VTH	-8.1016E-01							
VDSAT	-3.5368E-01	-3.5043E-01	-3.5368E-01	-3.5118E-01	-3.5368E-01	-3.5118E-01	-3.5368E-01	-3.5118E-01
GM	4.9045E-05	5.0436E-05	4.9027E-05	5.0274E-05	4.9027E-05	5.0274E-05	4.9027E-05	5.0274E-05
GDS	1.3498E-06	1.6009E-07	1.3672E-06	2.1818E-07	1.3672E-06	2.1818E-07	1.3672E-06	2.1818E-07
GMB	1.3943E-05	1.4320E-05	1.3938E-05	1.4273E-05	1.3938E-05	1.4273E-05	1.3938E-05	1.4273E-05
CBD	-2.2981E-14	-1.9088E-14	-2.2998E-14	-2.0190E-14	-2.2998E-14	-2.0190E-14	-2.2998E-14	-2.0190E-14
CBS	-4.6552E-14	-4.6250E-14	-4.6555E-14	-4.6277E-14	-4.6555E-14	-4.6277E-14	-4.6555E-14	-4.6277E-14
CGS	-1.4043E-13	-1.3925E-13	-1.4044E-13	-1.3938E-13	-1.4044E-13	-1.3938E-13	-1.4044E-13	-1.3938E-13
CGD	-1.1391E-14	-6.8537E-15	-1.1442E-14	-7.0412E-15	-1.1442E-14	-7.0412E-15	-1.1442E-14	-7.0412E-15
CGB	-1.7141E-14	-1.8323E-14	-1.7130E-14	-1.8254E-14	-1.7130E-14	-1.8254E-14	-1.7130E-14	-1.8254E-14
Region	saturation							
VTH_D	3.7841E-01	3.7449E-01	3.7841E-01	3.7539E-01	3.7841E-01	3.7539E-01	3.7841E-01	3.7539E-01

Tabela B.3 – Parâmetros obtidos por simulação (transistores M22-M25B)

	M26	M26B	M27	M31	M32	M33	M34	M41
MODEL	MODP	MODP	MODP	MODN	MODN	MODN	MODN	MODN
ID	-1.0144E-05	-1.0144E-05	-1.0000E-05	1.0000E-05	2.0288E-05	1.8562E-05	1.0624E-04	1.0624E-04
VGS	-1.1886E+00	-1.1855E+00	-1.6119E+00	9.6959E-01	9.6959E-01	9.6959E-01	9.6959E-01	1.5401E+00
VDS	-4.2636E-01	-7.6221E-01	-1.6119E+00	9.6959E-01	6.8258E-01	1.2815E-01	2.0688E+00	2.9312E+00
VBS	0.0000E+00	-2.0688E+00						
VTH	-8.1016E-01	-8.1016E-01	-8.2927E-01	8.5147E-01	8.4980E-01	8.4980E-01	8.4844E-01	1.4337E+00
VDSAT	-3.5368E-01	-3.5118E-01	-6.8058E-01	1.1793E-01	1.1923E-01	1.1923E-01	1.2030E-01	1.4417E-01
GM	4.9027E-05	5.0274E-05	2.4296E-05	1.2082E-04	2.4351E-04	2.0953E-04	1.2608E-03	1.3528E-03
GDS	1.3672E-06	2.1818E-07	1.1788E-07	2.4243E-07	6.8636E-07	2.9251E-05	1.6610E-06	1.0514E-06
GMB	1.3938E-05	1.4273E-05	6.5740E-06	5.4046E-05	1.0879E-04	9.4021E-05	5.6277E-04	2.4628E-04
CBD	-2.2998E-14	-2.0190E-14	-4.8900E-15	-1.6420E-14	-3.3696E-14	-4.3015E-14	-1.3126E-13	-1.0363E-13
CBS	-4.6555E-14	-4.6277E-14	-1.0406E-14	-3.8241E-14	-7.6730E-14	-7.8290E-14	-3.8426E-13	-3.6986E-13
CGS	-1.4044E-13	-1.3938E-13	-3.5474E-14	-5.6827E-14	-1.1360E-13	-1.1658E-13	-5.6700E-13	-5.4082E-13
CGD	-1.1442E-14	-7.0412E-15	-1.6895E-15	-6.8103E-15	-1.3636E-14	-2.1492E-14	-6.8002E-14	-6.7972E-14
CGB	-1.7130E-14	-1.8254E-14	-3.9609E-15	-2.1380E-14	-4.2552E-14	-3.9287E-14	-2.1226E-13	-1.6936E-13
Region	saturation							
VTH_D	3.7841E-01	3.7539E-01	7.8264E-01	1.1813E-01	1.1980E-01	1.1979E-01	1.2115E-01	1.0642E-01

Tabela B.4 – Parâmetros obtidos por simulação (transistores M26-M41)

B.3. CONCLUSÃO

Este apêndice apresentou quatro tabelas com os principais parâmetros gerados pelo programa de simulação para todos os transistores que compõem o amplificador de instrumentação documentado nesta dissertação.

APÊNDICE C

ARTIGO PUBLICADO

Este apêndice apresenta o artigo "An Integrated CMOS Instrumentation Amplifier with Improved CMRR", publicado pela *IEEE Computer Society* nos anais do SBCCI2002 (*15th Symposium on Integrated Circuits and Systems Design*), pp. 57-61, que ocorreu de 9 a 14 de setembro de 2002 em Porto Alegre, Rio Grande do Sul.

An Integrated CMOS Instrumentation Amplifier with Improved CMRR

Paulo Augusto Dal Fabbro and Carlos A. dos Reis Filho

Magneti-Marelli Research Laboratory, Electrical Engineering School, State University of Campinas (UNICAMP) CEP: 13081-970, Cidade Universitária – Campinas, S.P. BRAZIL E-mail: carlos_reis@lpm.fee.unicamp.br

Abstract

An instrumentation amplifier is described, which is based on the classical current-balancing technique that ensures this type of circuit to achieve high immunity to common-mode signals. In the particular case of the circuit herein described, a CMRR of 110dB was attained, thanks specially to improving the current mirror that balances the current between the input and the output stages of the amplifier. Prototypes of the circuit were fabricated in 0.6 μ m CMOS using MPW (Multi-Project Wafer) services and were fully characterized.

1. Introduction

The instrumentation amplifier is an essential element at the front-end of any system that deals with low-level signals. Differing from a general-purpose op-amp, the instrumentation amplifier must be capable of rejecting common-mode signals at rates of approximately –90db. Well-known clients for the instrumentation amplifier marked are signal conditioners for energy-supply plants and bio-medical instrumentation. Both cases are examples in which common-mode signals are so much higher than the signal to be measured that they may jeopardize the whole signal treating process, unless measures are taken to reject them. That is exactly the role that the instrumentation amplifier must play.

Early configurations of instrumentation amplifiers were based on two or three op-amps, which actually could accomplish the desired feature of high common-mode rejection, however at the expense of an accurate matching of the resistors that implement their feedback networks [1]. A much better approach that is also more appropriate for monolithic implementation appeared in 1971, which is due to Krabbe [2]. That configuration, which became a standard for instrumentation amplifiers, was adopted in circuits thereafter designed. Important contributions were given by Brokaw and Timko in [3], van de Plassche in [4] and more recently Martins, Selberherr and Vaz in [5] with the development of clever circuits, which materialize instrumentation amplifiers that exploit this very same current-balancing technique.

The instrumentation amplifier focused in this paper is a similar structure to the one described in [5]. It differs, however, in that it uses a more efficient current mirror that performs the function of balancing the current between the input and output stages. Additional improvements were aggregated to this new implementation, particularly in its layout, with the use of cross-quads wherever necessary. As a result of this procedure, the performance of the developed circuit surpasses that obtained with the circuit described in [5].

2. Fundamentals of instrumentation amplifiers

In order to achieve high rejection to common-mode signals, the instrumentation amplifier is required to have a balanced input [6], which can be accomplished by traditional two or three operational amplifier structures [1]. The main drawback of this type of instrumentation amplifier is the dependence of its common-mode rejection ratio (CMRR) on the matching of the resistors used in its resistive feedback network, as already mentioned in the previous section. Such a dependence of resistor trimming on the performance of the circuit makes this type of instrumentation amplifier less attractive for monolithic implementation. Besides, in currently used CMOS processes, efficient (thin film) resistor trimming mechanisms like Laser trimming are seldom used.

The current-balancing technique overcomes this problem by using a different approach to transfer the difference between two signals from the input to the output [7]. Figure 1 illustrates the basics of the technique.

At the input section, the difference voltage signal is converted into a current i_G , which is transferred to the output section, normally with unity gain.



Figure 1. Simplified diagram of the current-balancing technique.

At the output section, this current, now called i_s , is converted into voltage by flowing across a resistor, whose value establishes the proportion coefficient of its overall transfer function. Referring to Figure 1, the following expressions apply:

$$\begin{split} i_G &= \frac{(V_1 - V_2)}{R_G} \\ V_{OUT} - V_{REF} &= R_S \cdot i_S \\ i_G &= i_S \rightarrow \frac{V_{OUT} - V_{REF}}{V_1 - V_2} = \frac{R_S}{R_G} \end{split} \tag{1}$$

The ratio of the resistance in the output stage by the resistance at the input stage establishes the well-known expression for the gain of an instrumentation amplifier. It is worth to mention that this same configuration was called "indirect current feedback" by van den Dool and Huijsing in [8], where they describe the implementation of this technique with the additional feature of extending the common-mode range to the negative-supply rail.

3. Circuit description

The circuit schematic of the developed instrumentation amplifier is shown in Figure 2. When a differential signal (V_1-V_2) is applied to the input of the amplifier, a current i_G flows through R_G . In order to maintain the drain currents of M1 and M2 balanced as imposed by the current mirror M11-M12, the differential pair M3-M4 produces, in its branches, currents whose difference is two times i_G. By action of the current mirrors M21-M23-M21B-M23B and M22-M24-M22B-M24B the equilibrium in the input differential pair is restored. When this happens, the input voltage appears across R_G and, therefore, the current i_G equals $(V_1 - V_2)/R_G$. Copies of the same currents in the branches of the differential pair M3-M4 are transferred to the branches of the output differential pair M5-M6 all the way through the current mirrors M23-M25-M23B-M25B and M24-M26-M24B-M26B. Consequently, the difference between these currents is the same as the difference between the currents in M1 and M2. This means that the current through R_G is repeated to flow through R_s when the pair M5-M6 is kept in balance by the action of the current mirror M13-M14 and the amplifier stage formed by transistors M7-M8-M15-M16-M34-M41. As a result, the voltage at the output is established by the drop caused by is across Rs. The relationship between the output and input signals thus follows expression (1).



Figure 2. Instrumentation amplifier circuit.

4. CMRR improvement

In the herein focused instrumentation amplifier, instead of using a simple current mirror to provide the current transfer from the input to the output, a high-swing cascode current mirror is used. The reason for this design decision is to increase the output resistance of the mirror without deteriorating the DC behavior of the entire circuit [9], although this last aspect was not prioritized in this design. Nevertheless, the output resistance of the mirror is very important because it makes up the tail resistance of the input differential pair, which plays a fundamental role to determine the CMRR of the amplifier [10]. The greater this output resistance is, the greater is the CMRR. Consequently, the most important feature of an instrumentation amplifier, which, according to Wolfenbuttel and Schekkerman in [11] is its CMRR, could be improved in this circuit.

Figure 3 shows the high-swing cascode current mirror circuit while Figure 4 shows a simulation comparing its large signal DC transfer characteristic $I_{OUT} \times V_{OUT}$ with the characteristic presented by the simple current mirror. As shown in Figure 4, the output resistance of the high-swing cascode is much higher than the one of a simple mirror, while the output voltage swing of both is comparable. In this simulation the current reference used was $I_{REF} = 10\mu A$, while the voltage V_{OUT} was varied from -2.5V to +2.5V, which are the power supply voltages specifications for the instrumentation amplifier herein described.

5. Experimental results

Figure 5 shows the frequency response of the instrumentation amplifier for different values of voltage gain. For gains up to 40dB the amplifier presents a bandwidth that is greater than 100kHz, which is suitable



Figure 3. High-swing cascode current mirror circuit.



for most applications of instrumentation amplifiers. The gains used in these measurements are easily configurable by simply changing the value of the only external resistor R_s . Resistor R_G was built using polysilicon (Poly1) and its nominal value is $1k\Omega$.

The most pursued feature of the developed instrumentation amplifier, high common-mode signal rejection, was fully accomplished. Figure 6 shows how the amplifier responds to common-mode signals as a function of frequency.



amplifier.



Figure 6. Common-mode frequency response of the instrumentation amplifier.

The differential gain was set to $A_{DM} = 10$ (20dB) and the common-mode gain was held below $A_{CM} = -90$ dB for frequencies up to 100kHz, resulting in:

$$CMRR = \frac{A_{DM}}{A_{CM}} \cong 110 dB \tag{2}$$

The obtained performance in rejecting common-mode signals is satisfactory and higher than the value achieved in [5]. Moreover, it is comparable to commercially available devices. The noise performance of the amplifier is shown in Figure 7. As expected, the most intense noise is found at the low end of the frequency spectrum due to 1/f noise. The corresponding corner frequency is found to be about 12Hz, which is also an acceptable value, despite the fact that during the design procedure there was no concern in adopting measures to minimize noise.



Figure 7. Noise performance of the instrumentation amplifier.



Finally, the photomicrograph of the integrated circuit is depicted in Figure 8. It occupies an active area of 0.061mm². Care was taken in the layout by using structures like cross-quads that provide a better matching between transistors, which is a fundamental requirement in differential pairs and current mirrors to improve their DC performances.

6. Conclusions

A monolithic instrumentation amplifier developed in 0.6µm CMOS technology using multi-project wafer services was presented. By using an improved current mirror for the task of balancing the currents between the input and the output stages, an improved performance in common-mode signals rejection could be accomplished. Measured results of common-mode rejection ratio have shown that the developed instrumentation amplifier features 110db of CMRR for frequencies up to 100kHz. The active die area of the implemented chip is only 0.061mm².

7. Acknowledgments

The authors would like to thank FAPESP (Fundação de Amparo à Pesquisa do Estado de São Paulo) for providing grants for the fabrication of the prototypes. The authors are also indebted to CenPRA (Centro de Pesquisas Renato Archer) for packaging the chip samples and for providing invaluable assistance during the layout design phase.

8. References

[1] C. Kitchin, L. Counts, A Designer's Guide to Instrumentation Amplifiers, USA: Analog Devices, Inc., 2000.

[2] H. Krabbe, "A High Performance Monolithic Instrumentation Amplifier," in *ISSCC Dig. Tech. Papers*, pp. 186-187, February 1971.

[3] A. P. Brokaw, M. P. Timko, "An Improved Monolithic Instrumentation Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, NO. 6, pp. 417-423, December 1975.

[4] R. J. van de Plassche, "A Wide-Band Monolithic Instrumentation Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, NO.6, pp. 424-431, December 1975.

[5] R. Martins, S. Selberherr, F. A. Vaz, "A CMOS IC for Portable EEG Acquisition Systems," *IEEE Transactions on Instrumentation and Measurement*, Vol. 47, NO. 5, pp. 1191-1196, October 1998.

[6] L. V. Mayhead, "The Measurement of Small Signals in the Presence of Common Mode Interference," *Electronic Engineering*, Vol. 34, No. 413, pp. 483-485, July 1962.

[7] J. H. Huijsing, "Instrumentation Amplifiers: A Comparative Study on Behalf of Monolithic Integration," *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-25, No. 3, pp. 227-231, September 1976.

[8] B. J. van den Dool, J. H. Huijsing, "Indirect Current Feedback Instrumentation Amplifier with a Common-Mode Input Range that Includes the Negative Rail," *IEEE Journal of Solid-State Circuits,* Vol. 28, NO. 7, pp. 743-749, July 1993.

[9] P. J. Crawley, G. W. Roberts, "High-Swing MOS Current Mirror with Arbitrarily High Output Resistance," *Electronics Letters*, Vol. 28, No. 4, pp. 361-362, February 1992.

[10] A. B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York: John Wiley & Sons, 1984.

[11] R. F. Wolffenbuttel, A. R. Schekkerman, "Integrated Instrumentation Amplifier for the Phase Readout of Piezoresistive Strain Gauges," *IEEE Transactions on Instrumentation and Measurement*, Vol. 43, No. 6, pp. 906-911, December 1994. [1] – E. Nash, "Common Mode and Instrumentation Amplifiers," *Sensors Magazine*, July 1998 (http://www.sensormag.com/articles/0798/amp0798/main.shtml).

[2] - D. F. Bowers, "Applying Current Feedback to Voltage Amplifiers," in C. Toumazou,
F. J. Lidgey, D. G. Haigh, *Analogue IC Design: the current mode approach*, Peter Peregrinus Ltd., London: 1990, Chapter 16, pp. 569-595.

[3] – A. B. Grebene, *Bipolar and Mos Analog Integrated Circuit Design*, New York: John Wiley & Sons, 1984.

[4] – H. Krabbe, "Monolithic Data Amplifier," *Analog Dialogue*, Vol. 6, No. 1, pp. 3-5, 1972.

[5] – R. F. Wolffenbuttel, A. R. Schekkerman, "Integrated Instrumentation Amplifier for the Phase Readout of Piezoresistive Strain Gauges," *IEEE Transactions on Instrumentation and Measurement*, Vol. 43, No. 6, pp. 906-911, December 1994.

[6] – C. Kitchin, L. Counts, A Designer's Guide to Instrumentation Amplifiers, Analog Devices, 2000. (Disponível em http://www.analog.com).

[7] – H. Krabbe, "A High Performance Monolithic Instrumentation Amplifier," *IEEE International Solid-State Circuits Conference – Digest of Technical Papers*, pp. 186, 187, 205, February 1971.

[8] – A. P. Brokaw, M. P. Timko, "An Improved Monolithic Instrumentation Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, No.6, pp. 417-423, December 1975.

[9] – R. J. van de Plassche, "A Wide-Band Monolithic Instrumentation Amplifier," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, No. 6, pp. 424-431, December 1975.
[10] – R. Martins, S. Selberherr, F. A. Vaz, "A CMOS IC for Portable EEG Acquisition Systems," *IEEE Transactions on Instrumentation and Measurement*, Vol. 47, No. 5, pp. 1191-1196, October 1998.

[11] – B. J. van den Dool, J. H. Huijsing, "Indirect Current Feedback Instrumentation Amplifier with a Common-Mode Input Range that Includes the Negative Rail," *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 7, pp. 743-749, July 1993.

[12] – "The AD520: Not an Op-Amp but an Instrumentation Amplifier," *Analog Dialogue*, Vol. 7, No. 1, p. 12, February 1973.

[13] – C. Toumazou, F. J. Lidgey, "Novel Current-Mode Instrumentation Amplifier," *Electronic Letters*, Vol. 25, No. 3, pp. 228-230, February, 1989.

[14] – M. S. J. Steyaert, W. M. C. Sansen, C. Zhongyuan, "A Micropower Low-Noise Monolithic Instrumentation Amplifier for Medical Purposes," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1163-1168, December 1987.

[15] – R. Gregorian, G. C. Temes, Analog MOS Integrated Circuits for Signal Processing, New York: John Wiley & Sons, 1986.

[16] – P. E. Allen, D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, New York: 1987.

[17] – K. R. Laker, W. M. C. Sansen, *Design of Analog and Integrated Circuits and Systems*, McGraw-Hill, United States of America: 1994.

[18] – P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Fourth Edition, John Wiley & Sons Inc., New York: 2001.

[19] – A. S. Sedra, K. C. Smith, *Microelectronic Circuits*, New York: Oxford University Press, 4th Edition, 1998.

[20] – R. Jiang, H. Tang, K. Mayaram, "A Simple and Accurate Method for Calculating the Low Frequency Common-Mode Gain in a MOS Differential Amplifier with a Current-Mirror Load," *IEEE Transactions on Education*, Vol. 43, No. 3, pp. 362-364, August 2000.

[21] – K. R. Lakshmikumar, R. A. Hadaway, M. A. Copeland, "Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design," *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 6, pp. 1057–1066, December 1986.

[22] – Y. Tsividis, *Operation and Modeling of the MOS Transistor*, Second Edition, McGraw-Hill, United States of America: 1999.

[23] – Y. P. Tsividis, "Design Considerations in Single-Channel MOS Analog Integrated Circuits - A Tutorial," *IEEE Journal of Solid-State Circuits*, Vol. SC-13, No. 3, pp. 383-391, June 1978.

[24] – E. J. Swanson, "Echo Cancelers: Their Role and Construction," pp. 546-566, em Y. Tsividis, P. Antognetti, *Design of MOS VLSI Circuits for Telecommunications*, Prentice Hall Inc., New Jersey: 1985.

[25] – J. N. Babanezhad, R. Gregorian, "A Programmable Gain/Loss Circuit," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 6, pp. 1082-1090, December 1987.

[26] – P. J. Crawley, G. W. Roberts, "High-Swing MOS Current Mirror with Arbitrarily High Output Resistance," *Electronic Letters*, Vol. 28, No. 4, pp. 361-362, February 1992.

[27] – D. A. Johns, K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., Canada: 1997. [28] – C. A. dos Reis Filho, *Notas de aula – IE011 – Projeto de Circuitos Integrados Analógicos – Teoria*, Faculdade de Engenharia Elétrica – UNICAMP, Campinas: 1997.

[29] – R. J. Baker, H. W. Li, D. E. Boyce, *CMOS – Circuit Design, Layout and Simulation*, IEEE Press, New York: 1998.

[**30**] – G. F. Franklin, J. D. Powell, A. Emami-Naeini, *Feedback Control of Dynamic Systems*, 3rd Edition, Addison-Wesley Publishing Company, Inc., United States of America: 1994.

[**31**] – A. B. Macnee, "On the Presentation of Miller's Theorem," *IEEE Transactions on Education*, Vol. E-28, No. 2, pp. 92-93, May 1985.

[32] – A. Hastings, The Art of Analog Layout, New Jersey: Prentice Hall, 2001.

[**33**] – Austria Mikro Systeme International AG, 0.6 μm CMOS Design Rules, Document No. 9931025, rev. 2.0.

[**34**] – *AD521 – Integrated Circuit Precision Instrumentation Amplifier*, Product Datasheet, Revision E, Analog Devices Inc., United States of America, 1999.

[**35**] – *AD524 – Precision Instrumentation Amplifier*, Product Datasheet, Revision E, Analog Devices Inc., United States of America, 1999.

[**36**] – *INA155* – *Single Supply, Rail-to-Rail Output, CMOS Instrumentation Amplifier,* Product Datasheet, Burr-Brown Corporation, United States of America, February 2000.

[**37**] – *AD522* – *High Accuracy Data Acquisition Instrumentation Amplifier*, Product Datasheet, Revision A, Analog Devices Inc., United States of America, 1999.

[**38**] – *LM363* – *Precision Instrumentation Amplifier*, Product Datasheet, National Semiconductor Corporation, United States of America, 1995.

[**39**] – *INA101 – High Accuracy Instrumentation Amplifier*, Product Datasheet, Burr-Brown Corporation, United States of America, July 1998.

[40] – P. A. Dal Fabbro, C. A. dos Reis Filho, "An Integrated CMOS Instrumentation Amplifier with Improved CMRR," *Proceedings of the 15th Symposium on Integrated Circuits and System Design (SBCCI2002)*, pp. 57-61, September 2002.

[41] – E. A. M. Klumperink, S. L. J. Gierkink, A. P. van der Wel, B. Nauta, "Reducing MOSFET 1/f noise and power consumption by switched biasing," *IEEE Journal of Solid-State Circuits*, Vol. 35 No. 7, pp. 994–1001, July 2000.

[42] – G. Erdi, "Amplifier Techniques for Combining Low Noise, Precision, and High-Speed Performance," *IEEE Journal of Solid-State Circuits*, Vol. SC-16, No.6, pp. 653–661, December 1981.

[43] – Rashid, M. H, *Power Electronics Circuits, Devices, and Applications*, 2nd Edition, Prentice Hall, New Jersey: 1993.

[44] – AD620 – Low Cost, Low Power Instrumentation Amplifier, Product Datasheet, Revision E, Analog Devices Inc., United States of America, 1999.

[**45**] – *INA103 – Low Noise, Low Distortion Instrumentation Amplifier*, Product Datasheet, Burr-Brown Corporation, United States of America, March 1998.

[46] – Austria Mikro Systeme International AG, 0.6μm CMOS Joint Group ProcessParameters, Document No. 9933011, rev. B, October 1998.

ÍNDICE REMISSIVO

Amplificador de instrumentação: configuração clássica, 7 definição, 3 transferência de corrente, 5, 8 Amplificador de transcondutância, 41 Amplificador de transresistência, 41, 48 Amplificador diferencial, 6 Amplificador dreno-comum, 32 Amplificador fonte-comum, 21 Amplificador operacional, 1, 18 ASIC, 85 CMRR: configuração clássica, 8 definição, 4 in-amp, 35, 73, 77, 80, 81 par diferencial, 22 Casamento entre transistores, 57 Conversão V/I-I/V, 9, 13, 26, 33 Cross-quad, 57 Diagrama: de Bode, 46, 51 de pinos, 63 de pólos e zeros, 45, 51, 52, 53 Efeito de corpo, 26, 32 Efeito Miller, 53 Espelho de corrente, 15, 18 simples, 37, 38 cascode de alta excursão, 21, 35, 37, 38, 60 cascode regular, 35 Freqüência: compensação, 53, 60 de -3dB, 45, 46, 47, 70 Foundry, 2, 84 Ganho: de modo comum, 5, 22 de modo diferencial, 5, 21

Half-circuit concept, 21 Laser trimming, 8 Margem de fase, 54, 55 Offset, 5, 23, 57, 64 PMU, 80, 82, 85 Pole-splitting, 53 Produto ganho-banda, 55, 70 Processo CMOS, 82 Razão de Rejeição de Modo Comum, 4 Realimentação: ativa, 8 global, 9 indireta de corrente, 8 resistiva, 5, 7 paralelo-paralelo, 48 série-série. 41 Rejeição de modo comum, 1, 4, 6, 15, 23, 72 Resistência de cauda, 21, 35 Resistência de saída: espelho simples, 36 cascode de alta excursão, 21, 35 cascode regular, 35 Ruído, 23 branco, 73 flicker, 74 corner frequency, 74 Settling time, 12, 69 Slew rate, 68, 69 Sinais de modo-comum, 1 Sinais diferenciais, 4, 26 Seguidor de fonte, 31 Subtrator, 6 THD, 65, 74, 75, 76