



Universidade Estadual de Campinas
FEEC – Faculdade de Engenharia Elétrica e de Computação
DSIF – Departamento de Semicondutores, Instrumentos e Fotônica

Desenvolvimento de Receptor Óptico Integrado em Tecnologia HBT

Tese de mestrado apresentada à
Faculdade de Engenharia Elétrica e
Computação como parte dos requisitos para
obtenção do título de Mestre em Engenharia
Elétrica. Área de concentração: **Eletrônica,
Optoeletrônica e Microeletrônica.**

Autor: Marcos Augusto de Goes
Orientador: Jacobus Willibrordus Swart

Banca Examinadora:

Prof. Dr. Murilo Romero – USP/São Carlos
Prof. Dr. Everson Martins – UNESP/Guaratinguetá
Prof. Dr. José Alexandre Diniz – FEEC/UNICAMP

Campinas, SP
Julho/2005

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

G554d Goes, Marcos Augusto de
Desenvolvimento de receptor óptico integrado em
tecnologia HBT / Marcos Augusto de Goes. --Campinas, SP:
[s.n.], 2005.

Orientador: Jacobus Willibrordus Swart
Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Transistores bipolares. 2. Fotodetectores. 3.
Optoeletrônica. 4. Arseneto de Gálio. I. Swart, Jacobus
Willibrordus. II. Universidade Estadual de Campinas.
Faculdade de Engenharia Elétrica e de Computação. III.
Título.

RMS-BAE

Development of integrated optic receiver in HBT technology

Palavras-chave em Inglês: Bipolar transistors, Photodetectors, Optoelectronics
e Gallium arsenide

Área de concentração: Eletrônica, Optoeletrônica e Microeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Murilo Romero, Everson Martins e José Alexandre Diniz

Data da defesa: 29/07/2005

RESUMO

Esta dissertação de mestrado descreve o estudo, projeto e implementação de um receptor optoeletrônico integrado (OEIC) utilizando a tecnologia de transistores bipolares de heterojunção (HBT), fabricados a partir do material semicondutor arseneto de gálio. A grande vantagem deste transistor é o seu alto ganho e baixa resistência de base, o qual possibilita operações na faixa de gigahertz. A integração do estágio de fotodetecção, feita por um fotodiodo do tipo *PIN*, com o circuito de amplificação em um mesmo circuito integrado é possível, pois o fotodetector é construído com as camadas de base, coletor e subcoletor do transistor HBT. Com isso, as resistências, capacitâncias e indutâncias parasitas presentes na conexão entre estes dois estágios são minimizadas. Isto permite aos receptores monolíticos trabalharem em frequências mais altas em relação aos receptores híbridos. O circuito fabricado opera com fontes de luz no comprimento de onda de 850 nm e pode ser utilizado em redes locais de curta distância (*LAN*).

ABSTRACT

This master degree dissertation describes the study, project and implementation of an optoelectronic integrated circuit (OEIC) using the heterojunction bipolar transistors (HBT) technology over a gallium arsenide substrate. The major advantage of this transistor is its high gain and low base resistance, allowing operation at frequencies in the range of gigahertz. The integration of the photodetection stage, performed by a *PIN* photodetector, with the amplifier circuit in a single chip is possible because the photodetector is built from the base, collector and subcollector layers of the HBT transistor. Thus, the parasitic resistances, capacitances and inductances between the connection of these two stages are minimized. In this way, monolithic receivers can operate at higher frequencies than hybrid receivers. The fabricated circuit is intended to work with 850 nm light sources and can be used in local area networks (*LAN*).

*Para meus pais, Orlando e Leonilda;
meus irmãos Rafael e Henrique;
meu grande amor, Daniella.*

Este trabalho foi realizado com o apoio das seguintes entidades:

- ❖ **FAPESP – Auxílio Bolsa de Mestrado;**
- ❖ **AEB (Agência Espacial Brasileira);**
- ❖ **CCS/UNICAMP;**
- ❖ **DSIF/UNICAMP;**
- ❖ **IFGW/UNICAMP.**

AGRADECIMENTOS

Após a finalização desta importante etapa em minha vida, gostaria de agradecer todas as pessoas e instituições que me ajudaram na realização deste trabalho, dentre elas:

- meu orientador, Prof. Dr. Jacobus Willibrordus Swart pelo apoio, pela oportunidade e confiança em mim depositada,
- Dra. Maria Beny Zakia, Dr. Luiz Eugênio de Barros, Dr. Everson Martins e Dr. Augusto Redolfi, pelas valiosas discussões durante a fase de projeto,
- Dr. Ricardo Yoshioka, por me ensinar todas as etapas de fabricação em laboratório,
- todos os funcionários do CCS/UNICAMP e do LPD/IFGW, pela amizade e ajuda nos procedimentos de laboratório,
- todos os amigos mestrando e doutorando do CCS, em especial Leonardo Breseghello Zoccal, por toda ajuda neste trabalho,
- Sr. Valentino Corso do CPqD, pela disponibilização dos equipamentos para a caracterização elétrica e óptica do circuito,
- Deus, por ter me dado a capacidade de realizar este trabalho.

Sumário

Capítulo 1 - Introdução	1
1.1 - Histórico	1
1.2 - Objetivo da dissertação	2
1.3 - Organização da dissertação	3
Capítulo 2 - Circuitos Integrados Optoeletrônicos (OEIC)	5
2.1 - Introdução	5
2.2 - Componentes que integram um OEIC	6
2.2.1 - Fotodiodo	6
2.2.1.1 - As bandas de energia	6
2.2.1.2 - Mecanismos de fotogeração	7
2.2.1.3 - Fotodetectores	9
2.2.1.4 - Fotodiodo <i>PIN</i>	13
2.2.1.5 - Corrente de escuro	15
2.2.1.6 - Escolha do material e resposta em frequência de um fotodetector <i>PIN</i>	15
2.2.2 - Transistores bipolares de heterojunção (HBT)	18
2.2.2.1 - Princípio de funcionamento do transistor HBT	18
2.2.2.2 - Figuras de mérito da heterojunção	19
2.2.2.3 - Operação com sinais AC	20
2.2.2.4 - Modelagem e extração de parâmetros do transistor HBT	22
2.2.3 - Resistores	39
Capítulo 3 - Etapas de projeto do circuito integrado	43
3.1 - Introdução	43
3.2 - Fotodetectores	44
3.3 - Resistores	47
3.4 - Transistores bipolares de heterojunção	48
3.5 - Estruturas TLM	50
3.6 - Circuito de transimpedância	51
Capítulo 4 - Fabricação do circuito integrado	63
4.1 - Introdução	63
4.2 - Descrição do material semiconductor utilizado	63
4.3 - Etapas de processo	64
4.3.1 - Limpeza orgânica	64
4.3.2 - Fotolitografia para definição de contato de emissor	65
4.3.3 - Metalização	67
4.3.4 - Recozimento térmico do metal de contato	69
4.3.5 - Fotolitografia para definição da mesa de emissor	69
4.3.6 - Corrosão úmida para definição da mesa de emissor	70
4.3.7 - Fotolitografia e evaporação de contato de base	74
4.3.8 - Fotolitografia para definição da mesa de base e corrosão da camada	77
4.3.9 - Fotolitografia para evaporação de contatos de subcoletor do HBT, contatos N do <i>PIN</i> e contatos dos resistores	78
4.3.10 - Tratamento térmico: <i>Alloy</i>	79
4.3.11 - Fotolitografia para isolamento dos dispositivos	82
4.3.12 - Planarização dos dispositivos	83
4.3.13 - Fotogravação e corrosão para abertura de vias	84
4.3.14 - Deposição de nitreto de silício (Si_3N_4)	85
4.3.15 - Fotolitografia para abertura de vias	86
4.3.16 - Fotolitografia para evaporação do metal de interconexão	87

Capítulo 5 - Caracterização do circuito integrado	95
5.1 - Introdução	95
5.2 - Resultados DC	95
5.2.1 - Resistores	95
5.2.2 - Estruturas TLM	96
5.2.3 - Transistores HBT	97
5.2.3.1 - Transistor HBT 20x06 μm^2 não auto-alinhado	97
5.2.3.2 - Transistor HBT 20x16 μm^2 não auto-alinhado	100
5.2.3.3 - Transistor HBT 20x06 μm^2 auto-alinhado	102
5.2.3.4 - Transistor HBT 20x16 μm^2 auto-alinhado	104
5.3 - Resultados AC	106
5.3.1 - Resistores	107
5.3.2 - Transistores HBT	108
5.3.2.1 - Transistor HBT 20x06 μm^2 não auto-alinhado	108
5.3.2.2 - Transistor HBT 20x16 μm^2 não auto-alinhado	110
5.3.2.3 - Resumo das medidas dos transistores não auto-alinhados	111
5.3.2.4 - Transistor HBT 20x06 μm^2 auto-alinhado	112
5.3.2.5 - Transistor HBT 20x16 μm^2 auto-alinhado	113
5.3.2.6 - Resumo das medidas dos transistores auto-alinhados	114
5.3.3 - Circuito amplificador de transimpedância	115
5.4 - Resultados das medidas ópticas	121
5.4.1 - Medidas dos fotodetectores <i>PIN</i>	124
5.4.2 - Medidas do circuito de transimpedância	126
Capítulo 6 - Conclusões e perspectivas	129
Bibliografia	131
Apêndice A - Arquivo de tecnologia utilizado para o desenho do conjunto de máscaras	137
Apêndice B - Artigo Publicado	139

Índice de Figuras

Figura 2.1 - Esquema do circuito optoeletrônico a ser integrado	5
Figura 2.2 - Bandas de energia em um semiconductor intrínseco (sem impurezas)	6
Figura 2.3 - Fotogeração por recombinação direta	8
Figura 2.4 - Geração de pares elétron-lacuna por fotoionização	9
Figura 2.5 - Distribuição de carga, campo elétrico e potencial em uma junção <i>PN</i> reversamente polarizada	10
Figura 2.6 - Coeficiente de absorção de luz para diversos materiais	11
Figura 2.7 - Estrutura idealizada do fotodiodo <i>PIN</i>	12
Figura 2.8 - Circuito equivalente do fotodiodo <i>PIN</i>	16
Figura 2.9 - Diagrama de bandas para um BJT e para um HBT	19
Figura 2.10 - Modelo Ebers-Moll	23
Figura 2.11 - Modelo Ebers-Moll modificado	24
Figura 2.12 - Modelo Ebers-Moll com efeitos de primeira ordem (EM_2)	26
Figura 2.13 - Transistor bipolar com resistências parasitárias nos terminais	26
Figura 2.14 - Esquema elétrico para cálculo de r_c' e gráfico $I_B \times V_{CE}$	27
Figura 2.15 - Esquema elétrico para cálculo de r_c' e gráfico $I_B \times V_{CE}$ variando-se I_C	27
Figura 2.16 - Seção expandida das curvas para obtenção de ΔV	28
Figura 2.17 - Resistência de base distribuída	29
Figura 2.18 - <i>Gummel-Plot</i>	31
Figura 2.19 - Distribuição de C_{JC} através de r_b'	34
Figura 2.20 - Modelo equivalente utilizado em altas frequências	35
Figura 2.21 - Vista superior de uma estrutura TLM	40
Figura 2.22 - Procedimento de medidas em TLM	40
Figura 2.23 - Gráfico obtido da medida de uma estrutura TLM	41
Figura 2.24 - Técnica de <i>layout</i> para obtenção de resistores casados	42
Figura 3.1 - Compatibilidade no processo de fabricação do fotodetector <i>PIN</i> e o transistor HBT	44
Figura 3.2 - Relação entre a frequência de corte do detector e sua área de iluminação	45
Figura 3.3 - <i>Layout</i> dos fotodetectores	46
Figura 3.4 - Fotodetector + pads GSG	46
Figura 3.5 - <i>Layout</i> de um resistor integrado	47
Figura 3.6 - <i>Layout</i> dos resistores discretos: 50, 260, 300, 400 e 1000 Ω	48
Figura 3.7 - Detalhes do <i>layout</i> do transistor HBT auto-alinhado de área $20 \times 16 \mu m^2$	48
Figura 3.8 - Detalhes do <i>layout</i> do transistor HBT não auto-alinhado de área $20 \times 06 \mu m^2$	49
Figura 3.9 - Estruturas em aberto e em curto, para a obtenção de parasitas	49
Figura 3.10 - <i>Layout</i> dos transistores de área grande	50
Figura 3.11 - <i>Layout</i> das estruturas TLM	50
Figura 3.12 - Circuito de transimpedância proposto	51
Figura 3.13 - Correntes e tensões nos diversos nós do circuito	52
Figura 3.14 - Ganho simulado do circuito	53
Figura 3.15 - Amostragem de tensão com comparação paralela (realimentação paralelo-paralelo)	54
Figura 3.16 - Determinação dos valores de A e β	55
Figura 3.17 - Circuito utilizado para cálculo de resistência de entrada e saída com realimentação	56
Figura 3.18 - Circuitos A e β utilizados para os cálculos das resistências de entrada e saída	57
Figura 3.19 - Perdas de retorno na entrada e saída do circuito	58
Figura 3.20 - <i>Layout</i> final do circuito de transimpedância	59
Figura 3.21 - Circuito de transimpedância utilizando par Darlington	59
Figura 3.22 - Correntes e tensões em cada nó do circuito	60
Figura 3.23 - Resposta em frequência do circuito de transimpedância utilizando par Darlington	60
Figura 3.24 - <i>Layout</i> final do circuito de transimpedância na configuração Darlington	61
Figura 3.25 - <i>Layout</i> das marcas de alinhamento	61
Figura 4. 1 - Material semiconductor utilizado para fabricação do circuito integrado	64
Figura 4. 2 - Sistema utilizado para limpeza orgânica da lâmina	64
Figura 4. 3 - Exposição litográfica do tipo <i>flood</i> e com máscara, para proceso <i>lift-off</i>	66

Figura 4. 4 - Fotogravação para definição de contato de emissor	67
Figura 4. 5 - Metalização para obtenção do contato de emissor do transistor HBT	68
Figura 4. 6 - Contato de emissor após o <i>lift-off</i>	69
Figura 4. 7 - Fotolitografia para definição da mesa de emissor	70
Figura 4. 8 - Medidas de curva de diodo	71
Figura 4. 9 - Curva de diodo para camada de capa	71
Figura 4. 10 - Curva de diodo para camada de emissor	72
Figura 4. 11 - Orientação da rede cristalina da lâmina	72
Figura 4. 12 - Perfil negativo gerado na mesa de emissor pela corrosão por solução de H_2SO_4	73
Figura 4. 13 - Remoção das camadas de capa após o <i>etching</i>	73
Figura 4. 14 - Curva de corrente reversa para camada de base	74
Figura 4. 15 - Remoção da camada de emissor com ácido clorídrico	74
Figura 4. 16 - Fotolitografia para definição das regiões de contato de base do HBT e contato P do fotodetector <i>PIN</i>	75
Figura 4. 17 - Evaporação de Ti, Pt e Au	76
Figura 4. 18 - Contatos formados após <i>lift-off</i> e limpeza plasma-barril B	76
Figura 4. 19 - Curva de diodo para a camada de subcoletor	77
Figura 4. 20 - Região de subcoletor após a remoção das camadas de base e subcoletor	78
Figura 4. 21 - Perfil positivo gerado pela corrosão úmida com solução de ácido fosfórico	78
Figura 4. 22 - Evaporação do terceiro contato do transistor HBT	79
Figura 4. 23 - Curva característica $I_C \times V_{CE}$ para transistor não auto-alinhado de área de emissor grande	80
Figura 4. 24 - Gráfico <i>Gummel-Plot</i> para transistor não auto-alinhado	80
Figura 4. 25 - Curva característica $I_C \times V_{CE}$ para transistor auto-alinhado de área de emissor grande	81
Figura 4. 26 - Gráfico <i>Gummel-Plot</i> para transistor auto-alinhado	81
Figura 4. 27 - Detalhes do perfil da mesa de emissor	82
Figura 4. 28 - Curva de corrente reversa para o substrato de GaAs	82
Figura 4. 29 - Corrosão para isolamento dos dispositivos	83
Figura 4. 30 - Planarização dos dispositivos, pelo polímero BCB	84
Figura 4. 31 - Verificação da abertura das vias	85
Figura 4. 32 - Abertura de vias para acesso aos contatos	85
Figura 4. 33 - Deposição de Si_3N_4	86
Figura 4. 34 - Verificação da abertura das vias no nitreto de silício	87
Figura 4. 35 - Abertura de vias pelo nitreto de silício	87
Figura 4. 36 - Exemplo de integração de um circuito	88
Figura 4. 37 - Exemplo de integração de um circuito e ilustração das interconexões	88
Figura 4. 38 - OEIC fabricado	89
Figura 4. 39 - OEIC na configuração Darlington	89
Figura 4. 40 - Transistores HBT e resistores do circuito de transimpedância	90
Figura 4. 41 - Detalhes dos fotodetectores <i>PIN</i>	90
Figura 4. 42 - Detalhes dos fotodetectores <i>PIN</i>	90
Figura 4. 43 - Transistores de grande área	91
Figura 4. 44 - Transistores HBT não auto-alinhados	91
Figura 4. 45 - HBT auto-alinhado e não auto-alinhado	91
Figura 4. 46 - HBT em aberto e em curto	92
Figura 4. 47 - Linha de transmissão em curto e em aberto	92
Figura 4. 48 - Estruturas TLM	92
Figura 4. 49 - Resistor feito com a camada de subcoletor	93
Figura 4. 50 - Marcas de alinhamento utilizadas durante o processo de fabricação	93
Figura 4. 51 - Detalhe da cruz-grega	93
Figura 5. 1 - Medida DC de um resistor de 260 Ω	95
Figura 5. 2 - Setup de medidas para obtenção do <i>Gummel-plot</i>	98
Figura 5. 3 - <i>Gummel-plot</i> para HBT 20x06 μm^2 N.A.A.	98
Figura 5. 4 - Variação de β_F com a corrente de coletor para HBT 20x06 μm^2 N.A.A.	99
Figura 5. 5 - Curva característica $I_C \times V_{CE}$ para HBT 20x06 μm^2 N.A.A.	99

Figura 5. 6 - <i>Gummel-plot</i> e ganho β_F para HBT 20x16 μm^2 N.A.A.	101
Figura 5. 7 - Curva característica $I_C \times V_{CE}$ para HBT 20x16 μm^2 N.A.A.	101
Figura 5. 8 - <i>Gummel-plot</i> e ganho β_F para HBT 20x06 μm^2 A.A.	103
Figura 5. 9 - Curva característica $I_C \times V_{CE}$ para HBT 20x06 μm^2 A.A.	104
Figura 5. 10 - <i>Gummel-plot</i> e ganho β_F para HBT 20x16 μm^2 A.A.	105
Figura 5.11 - Curva característica $I_C \times V_{CE}$ para HBT 20x16 μm^2 A.A.	106
Figura 5.12 - Medidas AC do resistor de 260 Ω	107
Figura 5.13 - Medidas AC do resistor de 300 Ω	107
Figura 5.14 - Medidas AC do resistor de 400 Ω	108
Figura 5.15 - Módulo e fase de S_{12} e S_{21} para HBT 20x06 μm^2 N.A.A.	109
Figura 5.16 - Reflexão na entrada (S_{11}) e na saída (S_{22}) do HBT 20x06 μm^2 N.A.A.	109
Figura 5.17 - Módulo e fase de S_{12} e S_{21} para HBT 20x16 μm^2 N.A.A.	110
Figura 5.18 - Reflexão na entrada (S_{11}) e na saída (S_{22}) do HBT 20x16 μm^2 N.A.A.	111
Figura 5.19 - Módulo e fase de S_{12} e S_{21} para HBT 20x06 μm^2 A.A.	112
Figura 5.20 - Reflexão na entrada (S_{11}) e na saída (S_{22}) do HBT 20x06 μm^2 A.A.	113
Figura 5.21 - Módulo e fase de S_{12} e S_{21} para HBT 20x16 μm^2 A.A.	113
Figura 5.22 - Reflexão na entrada (S_{11}) e na saída (S_{22}) do HBT 20x16 μm^2 A.A.	114
Figura 5.23 - Ganho de potência e perdas de retorno para circuito de transimpedância	116
Figura 5.24 - Comparação entre o ganho e a banda do circuito medido e resimulado	118
Figura 5.25 - Ganho de transimpedância do circuito	119
Figura 5.26 - Ganho de potência e perdas de retorno para o circuito de transimpedância utilizando par Darlington	119
Figura 5.27 - Proposta para o novo circuito de transimpedância utilizando par Darlington	120
Figura 5.28 - Resposta em frequência para o circuito modificado	120
Figura 5.29 - Montagem realizada para medidas ópticas	122
Figura 5.30 - Fonte de luz em 850 nm	123
Figura 5.31 - Espectro de frequências da fonte de luz utilizada	124
Figura 5.32 - Abertura numérica de uma fibra óptica	124
Figura 5.33 - Fotocorrente gerada pelos detectores	125
Figura 5.34 - Densidade de corrente de escuro para PINA	126
Figura 5.35 - Amplitude pico-pico da onda quadrada na saída do gerador de sinais para 31 MHz, 350 MHz e 1GHz	126
Figura 5.36 - Resposta do circuito em relação ao pulso óptico na entrada para 31 MHz, 350 MHz e 1GHz	127
Figura 5.37 - Amplitude do sinal elétrico na saída do gerador e na saída do circuito de transimpedância	127
Figura 5.38 - Diagrama de olho para sinal NRZ em 1.8 Gbit/s	128

Índice de Tabelas

Tabela 2.1 - Características de recombinação de portadores em materiais semicondutores	7
Tabela 3.1 - Descrição das etapas de fotolitografia	43
Tabela 3.2 - Parâmetros do transistor HBT utilizado nas simulações	52
Tabela 4.1 - Descrição das camadas epitaxiais do transistor HBT de InGaP/GaAs	63
Tabela 4.2 - Metais que formam o contato de emissor	68
Tabela 4.3 - Metais que formam o contato de base	75
Tabela 4.4 - Metais que formam o contato de subcoletor	79
Tabela 4.5 - Metais utilizados para interconexão dos dispositivos	88
Tabela 5.1 - Resumo das medidas DC dos resistores	96
Tabela 5.2 - Medidas das estruturas TLM	96
Tabela 5.3 - Novos valores projetados para o resistor de $260\ \Omega$	97
Tabela 5.4 - Parâmetros DC do transistor HBT $20 \times 06\ \mu\text{m}^2$ N.A.A.	100
Tabela 5.5 - Parâmetros DC do transistor HBT $20 \times 16\ \mu\text{m}^2$ N.A.A.	102
Tabela 5.6 - Parâmetros DC do transistor HBT $20 \times 06\ \mu\text{m}^2$ A.A.	104
Tabela 5.7 - Parâmetros DC do transistor HBT $20 \times 16\ \mu\text{m}^2$ A.A.	106
Tabela 5.8 - Medidas AC de transistores N.A.A. realizadas em diversos pontos de polarização	112
Tabela 5.9 - Medidas AC de transistores A.A. realizadas em diversos pontos de polarização	115
Tabela 5.10 - Parâmetros do modelo de pequenos sinais obtido	117

CAPÍTULO 1

INTRODUÇÃO

1.1 - HISTÓRICO

As comunicações ópticas surgiram na década de 60, com a realização prática do *laser* semiconductor e dos primeiros fotodiodos [1],[2]. Entretanto os meios de transmissão limitavam as comunicações de longas distâncias, dadas as elevadas perdas. O nível de impurezas presentes em fibras ópticas provocava perdas superiores a 20 dB/km, limite de viabilização do sistema na época. Desenvolvidas as técnicas de purificação de vidro na década de 70, surgem os primeiros sistemas de transmissão com fibras ópticas [3], operando com luz no comprimento de onda de 850 nm e atenuação em torno de 3 a 6 dB/km. A fibra óptica substitui então o par metálico e o cabo coaxial na transmissão de sinais, com inúmeras vantagens. Dentre elas [4]:

- Enorme banda passante e alta velocidade;
- Perdas extremamente baixas;
- Imunidade a interferências e ao ruído;
- Isolação elétrica;
- Baixíssimo peso, mesmo considerando-se o encapsulamento de proteção;
- Segurança da informação e do sistema;
- Flexibilidade na expansão da capacidade dos sistemas;
- Custos potencialmente baixos;
- Alta resistência a variações de temperatura.

A faixa em torno de 850 nm foi denominada *1ª janela de transmissão*, sendo as fontes de luz (*lasers* e *LED's*) fabricadas do material semiconductor arseneto de gálio (GaAs), fotodetectores *PIN* de silício e fibras do tipo multimodo. Foi utilizada em aplicações de curta distância, como por exemplo, no entroncamento de linhas telefônicas. Devido à simplicidade desta tecnologia e o baixo custo, ainda é utilizada em aplicações como redes locais (*LAN's*), interconexão de computadores e televisão a cabo.

A *2ª janela de transmissão* surge logo após, no comprimento de onda de 1300 nm e fibras com perdas de 1 dB/km. O comprimento de onda de 1300 nm foi utilizado pois, associado às características de atenuação mínima, representa o ponto nulo de dispersão material através do guia de onda (fibra óptica), um dos fenômenos de limitação na capacidade de transmissão [5]. A tecnologia utilizada nas fontes de luz era de fosfeto de arsênio gálio e índio (InGaAsP), os fotodetectores eram do tipo *PIN* e *APD* e as fibras, do tipo monomodo. Apesar da tecnologia ser mais complexa e de maior custo, as perdas eram menores e a capacidade de transmissão de dados era maior (800 Mbps). Diminuíam-se o número de repetidores e aumentava-se a distância entre os mesmos para algo em torno de 40 km.

Os esforços continuam no sentido de diminuir as perdas das fibras ópticas e no início dos anos 80, surgem as fibras com dispersão deslocada e perdas inferiores a 0,3 dB/km para 1550 nm, a *3ª janela de transmissão*. Em 1550 nm têm-se a menor atenuação [5], outro fenômeno de limitação da capacidade de transmissão de sinais de luz através de uma fibra óptica, o qual define a distância máxima (alcance) entre um transmissor e um receptor óptico. Deslocando-se o ponto de dispersão mínima para este comprimento de onda, através de técnicas especiais de fabricação, obtém-se um desempenho maior. Surgem os sistemas de muito longo alcance (terrestres e submarinos), taxas de comunicação em GBit/s e maior distância entre os repetidores, utilizando-se o material Arseneto de Gálio e Índio (InGaAs) ou Fosfeto de Índio (InP). Progressos também são obtidos nas fontes de luz, com os diodos *lasers* de realimentação distribuída (DFB), que possuem menor largura espectral e maior potência.

Apesar de toda esta evolução, o desempenho é limitado pelos componentes eletrônicos utilizados no processamento dos sinais. Os receptores ópticos até então eram híbridos, ou seja, existia um estágio para a detecção da luz (fotodiodo) e outro para a pré-amplificação da fotocorrente gerada. A conexão entre ambos era feita por meio de fios ou microsoldas, gerando resistências, capacitâncias e indutâncias parasitárias indesejadas e conseqüentemente degradando o desempenho do receptor, além de aumentar seu custo. Para minimizar estes efeitos, os dois estágios deveriam ser construídos de forma monolítica, ou seja, no mesmo substrato semicondutor. Surgem os circuitos integrados optoeletrônicos (OEIC) [6]. Porém, devido aos problemas de crescimento de camadas epitaxiais com baixa densidade de defeitos, não foi possível a realização de tais circuitos na época com alto desempenho. Com o desenvolvimento de técnicas avançadas de crescimento, como MOCVD (*Metalorganic Chemical Vapor Deposition*), a partir da década de 90, os circuitos monolíticos superam os híbridos por possuírem maior funcionalidade, desempenho e menor custo. A possibilidade de integração dos receptores optoeletrônicos em conjunto com os *lasers* transmissores e posteriormente o desenvolvimento da fibra óptica amplificadora dopada a érbio (EDFA) [7] fazem surgir os sistemas multicanais, como o WDM (multiplexação por divisão em comprimento de onda) [8]. Esta técnica consiste em criar diversos canais em uma única fibra, com diferentes comprimentos de onda entre si e possibilitar também a transmissão nos dois sentidos. Deste modo, aproveita-se ainda mais a enorme banda passante das fibras ópticas.

O avanço nas telecomunicações foi muito grande, alcançando um mercado mundial de equipamentos e serviços em 2004 de 1.5 trilhões de dólares [9] e taxas de transmissão de 10 Tbit/s (256 canais de 42.7 GBit/s) [10]. Outras tecnologias estão sendo desenvolvidas, no sentido de diminuir a fração eletrônica da rede, por exemplo, as redes totalmente ópticas (ou redes fotônicas), incluindo chaves e amplificadores totalmente ópticos, aumentando-se ainda mais a capacidade de transmissão de informação.

1.2 – OBJETIVO DA DISSERTAÇÃO

Este trabalho tem como objetivo utilizar a tecnologia de fabricação de transistores bipolares de heterojunção (HBT), desenvolvida pela Unicamp nos laboratórios de compostos III-V do Instituto de Física (LPD-IFGW) para projetar, fabricar e caracterizar um receptor optoeletrônico integrado (OEIC).

O comprimento de onda da luz utilizada é de 850 nm, ideal para redes de curta distância (LAN) e o material semiconductor utilizado na fabricação será o Arseneto de Gálio (GaAs), que possui maior mobilidade elétrica em relação ao silício, substrato semi-isolante, menor ruído em altas frequência, entre outras qualidades. Dentre as principais características dos transistores HBT, possuem alta transcondutância, alto ganho de corrente e elevada frequência de operação, sendo assim um ótimo candidato à fabricação do receptor. Transistores do tipo MESFET em GaAs ou HEMT (*high electron mobility transistor*) em AlGaAs/GaAs também podem ser usados para construir estes receptores [11],[12]. Porém, pelo fato da corrente elétrica fluir na horizontal por estes dispositivos, o tempo de transito será definido pela litografia do canal (distância entre dreno e fonte). Logo, a resolução litográfica do processo de fabricação utilizado deve ser alta. Transistores HBT são estruturas verticais, onde a corrente elétrica flui na vertical e o tempo de transito é definido pelas espessuras das camadas epitaxiais que compõe o dispositivo. Com isso, o processo de fabricação não necessita de resoluções mínimas tão pequenas quanto no caso dos dispositivos planares acima. Fotodetectores do tipo MSM (metal semiconductor metal), APD (*avalanche photodiode*) ou do tipo *PIN* são usados para fazer a detecção da luz e gerar um sinal de corrente elétrica a ser amplificado [13]. Os fotodetectores MSM são planares, constituídos de vários contatos interdigitados bem próximos uns dos outros. Necessitam de alta resolução litográfica para sua fabricação e apresentam moderadas correntes de fuga. Fotodetectores APD trabalham com tensões reversas de centenas de volts para provocar a avalanche na geração dos portadores elétricos, limitando sua utilização. Fotodetectores *PIN* são facilmente construídos, pois são formados das camadas de base, coletor e subcoletor dos transistores HBT, além de trabalharem com baixas tensões reversas. Por isto a combinação *PIN*+HBT será utilizada neste trabalho.

As diversas etapas para a obtenção do receptor optoeletrônico incluem a análise de modelos de projetos de componentes passivos (resistores, fotodetectores) e ativos (transistores), estudo de modelos elétricos dos mesmos, projeto e simulações do circuito, geração de um conjunto de máscaras litográficas e fabricação do receptor. Depois de fabricado, os dispositivos são medidos eletricamente (ac e dc) e um novo modelo elétrico é criado para representar os componentes do circuito. É feita então uma nova simulação do circuito para validação do projeto geral.

1.3 – ORGANIZAÇÃO DA DISSERTAÇÃO

Este trabalho está dividido em seis capítulos. O segundo capítulo apresenta teorias de geração de fotocorrente, o funcionamento de fotodetectores e de uma heterojunção, modelos elétricos de transistores bipolares e equações para projeto de resistores integrados. O terceiro capítulo descreve o projeto dos componentes discretos como resistores, fotodetectores e o circuito de transimpedância proposto. O *layout* destes componentes é feito e um conjunto de 11 máscaras litográficas é gerada para a etapa de fabricação em ambiente de salas limpas. Todas estas etapas de fabricação, dentre elas fotografação, metalização, corrosão e limpeza são apresentadas no quarto capítulo. Depois de fabricado o circuito, medidas elétricas (dc, ac) e ópticas são realizadas. Modelos elétricos são gerados para os transistores HBT e resimulações do circuito proposto são feitas, mostradas no quinto capítulo. Por fim, no sexto capítulo as conclusões deste trabalho e algumas sugestões de melhoria são feitas.

Apêndices A e B incluem o arquivo de tecnologia utilizado para gerar o conjunto de máscaras litográficas e o artigo publicado no XVI congresso SBMicro – 2001 respectivamente.

CAPÍTULO 2

CIRCUITOS INTEGRADOS OPTOELETRÔNICOS (OEIC)

2.1 - INTRODUÇÃO

Os circuitos integrados optoeletrônicos incluem em um mesmo bloco monolítico o fotodetector e o circuito eletrônico de processamento. Isto é possível devido às técnicas avançadas desenvolvidas para crescimento de camadas epitaxiais, dentre elas o MOCVD (*Metalorganic Chemical Vapor Deposition*). Com isso, as perdas na conversão optoeletrônica são pequenas, pois as indutâncias, capacitâncias e resistências parasitárias, que limitam a velocidade de operação dos circuitos híbridos, presentes na conexão entre o fotodetector e o circuito de amplificação, são minimizadas. Além disso, o consumo de energia é minimizado com a eliminação de circuitos de casamento de impedâncias entre os dois estágios. Conseqüentemente, aumenta-se a eficiência do dispositivo e reduz-se o custo de fabricação [14].

A figura 2.1 descreve o circuito optoeletrônico a ser integrado:

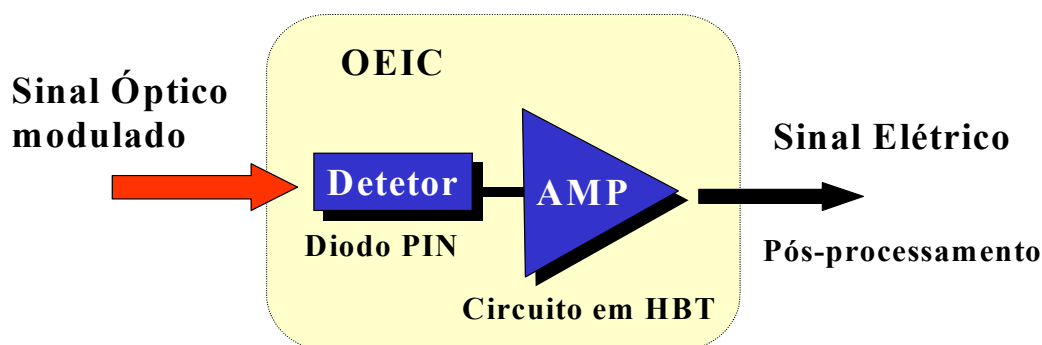


FIGURA 2.1 – ESQUEMA DO CIRCUITO OPTOELETRÔNICO A SER INTEGRADO

Nos circuitos optoeletrônicos integrados, os transistores HBT's podem ser utilizados [15]. Dentre suas principais características, possuem alta transcondutância e podem ser fabricados usando técnicas convencionais de fotolitografia. São compatíveis com os fotodiodos *PIN*, tornando a integração mais direta, simplificando os circuitos amplificadores, que serão mais confiáveis e de baixo consumo. OEIC's baseados na combinação *PIN*-HBT para aplicação em sistemas de comunicações ópticas operam a taxas de até 40 Gbit/s [16].

2.2 – COMPONENTES QUE INTEGRAM UM OEIC

Os circuitos optoeletrônicos são constituídos de componentes passivos, como resistores, capacitores, indutores, fotodetectores e componentes ativos, como os transistores HBT, os quais serão apresentados a seguir.

2.2.1 – FOTODIODO

O fotodiodo é o dispositivo que faz a conversão óptica em elétrica. Ao ser excitado por luz em determinado comprimento de onda, gera o par elétron-lacuna. Devido ao intenso campo elétrico gerado pela tensão reversa na qual o dispositivo opera, estes portadores são coletados pelos terminais, gerando a fotocorrente. O princípio do mecanismo de fotogeração depende do material semiconductor e para a sua compreensão é necessária a análise da estrutura das bandas de energia permitidas para os elétrons [17], uma vez que os átomos destes materiais estão dispostos num arranjo de rede cristalina.

2.2.1.1 – AS BANDAS DE ENERGIA

Em um semiconductor intrínseco, na temperatura de zero grau absoluto (0°K), os átomos estão ligados entre si por ligações covalentes. Cada átomo consegue completar sua última camada eletrônica com os elétrons dos seus átomos vizinhos e todos os níveis de energia da banda de valência estarão preenchidos por elétrons. As demais bandas de energia estarão vazias. Estando os elétrons presos às ligações covalentes e estando estas totalmente ocupadas, não existe condução elétrica. Para esta temperatura, o material se comporta como isolante. Aumentando-se a temperatura, a disponibilidade de energia cinética faz com que alguns elétrons se libertem das ligações covalentes, ocupando estados de energia superiores, deixando vagos alguns estados na banda de valência. Define-se então a condutividade, que aumenta com a temperatura.

O diagrama básico das bandas de energia para um material semiconductor intrínseco é mostrado na figura 2.2. Acima da banda de valência existe um intervalo onde não são permitidos estados de energia. Este intervalo é chamado de banda proibida (*band-gap*).

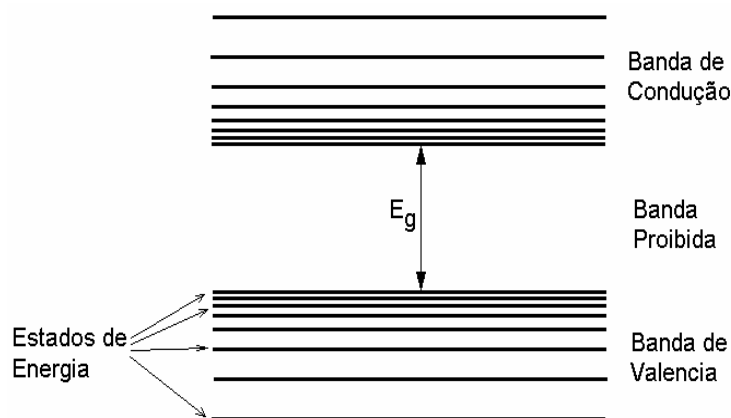


FIGURA 2.2 – BANDAS DE ENERGIA EM UM SEMICONDUTOR INTRÍNSECO (SEM IMPUREZAS)

O valor da largura da banda proibida para os principais materiais semicondutores utilizados é mostrado na tabela 2.1. Acima da banda proibida existe um contínuo de níveis permitidos de energia chamado de banda de condução. Na banda de condução os elétrons não estão presos a ligações covalentes, podendo se mover livremente pelos espaços da rede cristalina e serem acelerados por campos elétricos.

TABELA 2.1 - CARACTERÍSTICAS DE RECOMBINAÇÃO DE PORTADORES EM MATERIAIS SEMICONDUCTORES

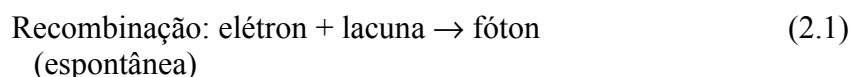
Material	Tipo de Recombinação	Largura da Banda Proibida E_g (eV)	Coefficiente de Recombinação ($\text{cm}^3 \cdot \text{s}^{-1}$)
GaAs	Direta	1.43	7.21×10^{-10}
GaSb		0.73	2.39×10^{-10}
InAs		0.35	8.50×10^{-11}
InSb		0.18	4.58×10^{-11}
Si	Indireta	1.12	1.79×10^{-15}
Ge		0.67	5.25×10^{-14}
GaP		2.26	5.37×10^{-14}

O parâmetro de rede típico numa estrutura cristalina semicondutora está em torno de meio nanômetro. Em camadas semicondutoras de espessura micrométrica existem, portanto milhares de átomos. Conseqüentemente, existem também milhares de níveis distintos de energia na banda de condução, fazendo com que esta se assemelhe a um contínuo.

Diversos mecanismos podem provocar a excitação de elétrons da banda de valência para a banda de condução. Os principais mecanismos são: a absorção de energia térmica, sempre presente em temperaturas não nulas, a absorção de fótons com energia maior que a largura da banda proibida, presente em fotodetectores e a injeção de elétrons, presente em fontes de luz. Ao deixar a banda de valência, o elétron deixa uma ligação covalente incompleta. Como essa ligação pode se mover pelos átomos da rede cristalina, ela constitui um portador virtual de carga positiva, denominada lacuna.

2.2.1.2 – MECANISMOS DE FOTOGERAÇÃO

Quando perdem energia, os elétrons da banda de condução acabam retornando à banda de valência. Esse processo é chamado de recombinação, pois nele o elétron se “recombina” com uma lacuna, liberando energia. Essa energia pode ser liberada na forma de um fóton, logo a recombinação é um mecanismo de fotogeração. Este processo é mostrado na figura 2.3 e na realidade é o mecanismo básico da geração de luz nas fontes semicondutoras. Além disto, existente uma relação entre a frequência da radiação emitida e a largura da banda proibida:



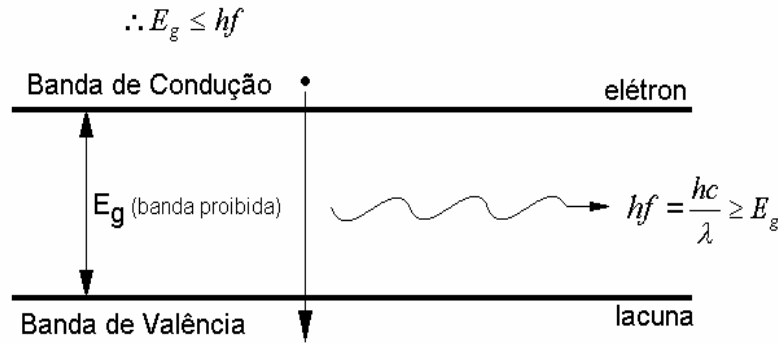
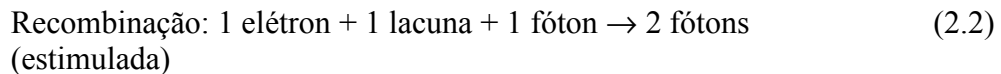


FIGURA 2.3 – FOTOGERAÇÃO POR RECOMBINAÇÃO DIRETA, ONDE h É A CONSTANTE DE PLANCK, c É A VELOCIDADE DA LUZ, f E λ SÃO A FREQUÊNCIA E O COMPRIMENTO DE ONDA DA RADIAÇÃO EMITIDA RESPECTIVAMENTE. hf É A ENERGIA DO FÓTON.

Além de conservar a energia, a recombinação deve também conservar momento linear k . Como o momento do fóton é muito pequeno quando comparado com o momento dos elétrons e lacunas, isto significa que elétrons e lacunas devem ter momentos semelhantes para se recombinarem radiativamente, ou seja, com a emissão de um fóton. Se isso não acontecer, a recombinação exigirá a presença de uma terceira partícula capaz de ceder momento, denominada fonon. Fonons são vibrações quantizadas da rede cristalina. Como a necessidade de fonons torna a recombinação menos provável, o processo de geração de luz é mais eficiente quando se utiliza materiais onde eles não são necessários. Esses materiais são conhecidos como materiais de recombinação direta, ou banda proibida direta. A tabela 2.1 lista alguns materiais de banda direta e banda indireta.

A necessidade de recombinação direta em fontes de luz semicondutoras impede o uso do germânio e do silício. Materiais compostos são utilizados, como o arseneto de gálio (GaAs), o arseneto de gálio-alumínio ($\text{Ga}_x\text{Al}_{1-x}\text{As}$), o arseneto-fosfeto de gálio-índio ($\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$) e outros, nos quais a recombinação é direta. Estes materiais devem possuir poucos defeitos na estrutura cristalina, evitando assim um grande número de recombinações não-radiativas nestes locais, prejudicando a eficiência da fonte. Recombinações não-radiativas produzem calor, o que pode provocar degeneração dos defeitos, acentuando a perda de eficiência.

Além de ocorrer espontaneamente, conforme descrito na equação (2.1), a recombinação também pode ser estimulada pela presença de um fóton:



Para a recombinação estimulada, o novo fóton gerado é geralmente emitido com a mesma fase do fóton que a estimulou. Por isso, o predomínio da recombinação estimulada sobre a espontânea, que ocorre nos diodos *lasers*, está associado à produção de uma luz mais coerente. A recombinação estimulada produz ganho óptico, podendo ser utilizado em amplificadores ópticos e osciladores (*lasers*).

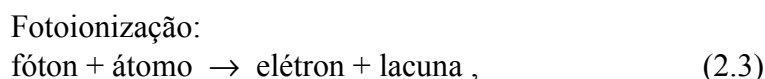
Os fótons gerados por recombinações podem ser reabsorvidos pelo material.

Deste modo, para que uma fonte seja eficiente na produção de luz, é necessário engendrar estruturas semicondutoras que produzam um grande número de recombinações concentradas em espaços limitados, o qual guiem de alguma forma os fótons resultantes para o exterior do dispositivo antes de sua perda por absorção. Essas estruturas são necessariamente heterogêneas, envolvendo diferenciais de dopagem (especialmente em junções *pn*) e materiais diferentes, crescidos epitaxialmente uns sobre os outros (heteroestruturas), para provocarem diferenciais nos níveis da banda proibida e dos índices de refração.

2.2.1.3 - FOTODETECTORES

Para que um sistema de comunicação óptica tenha o maior alcance possível, é necessário que o fotodetector possa operar com sucesso nos menores níveis possíveis de potência óptica, convertendo-a em corrente com o mínimo de distorção e ruído. Seu desempenho deve ser medido em termos da resposta dinâmica e da geração de ruído.

A fotoionização é o mecanismo básico da conversão de luz em corrente elétrica pelo material semicondutor, pela qual a energia do fóton é usada para tirar o elétron da banda de valência, levando-o à banda de condução:



O processo é mostrado na figura 2.4:

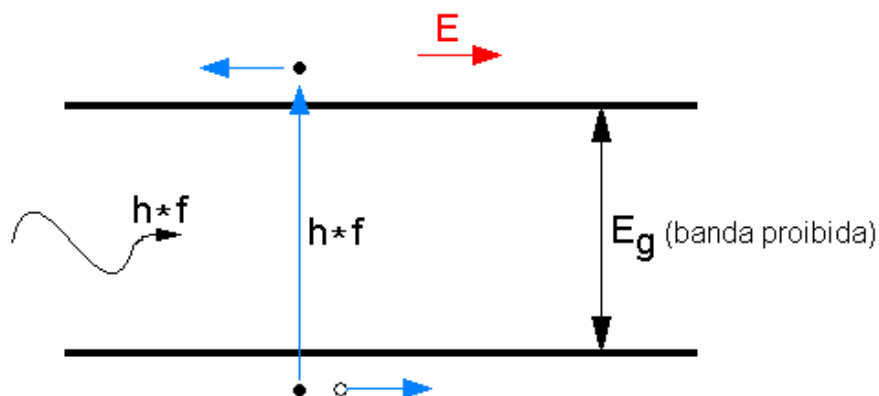


FIGURA 2.4 – GERAÇÃO DE PARES ELÉTRON-LACUNA POR FOTOIONIZAÇÃO, ONDE *E* É UM CAMPO ELÉTRICO

No processo de fotoionização, os fótons geram portadores de carga. Para gerar corrente elétrica a partir deste momento, é necessária a presença de um campo elétrico para movimentar estes portadores antes que eles se recombinem no interior do dispositivo. Por isso, a estrutura semicondutora de um fotodetector deve concentrar a absorção de luz em regiões onde haja campo elétrico e poucos portadores com os quais os elétrons e lacunas geradas possam se recombinar.

A junção *pn* polarizada reversamente constitui a estrutura básica de um fotodetector. A polarização reversa aumenta a barreira de potencial associada à junção *pn*, através do alargamento da região de depleção. A aplicação de tensão positiva no lado *n* em relação ao lado *p* atrai os elétrons do lado *n* e as lacunas do lado *p* (portadores majoritários) para longe da junção, alargando a região de depleção até que a barreira de potencial iguale à tensão aplicada, salvo pequenas quedas ôhmicas associadas à corrente de fuga e fotocorrente. A figura 2.5 ilustra as distribuições de carga resultantes (associada aos átomos de impurezas dopantes), campo elétrico e potencial elétrico na direção transversal à junção *pn* reversamente polarizada.

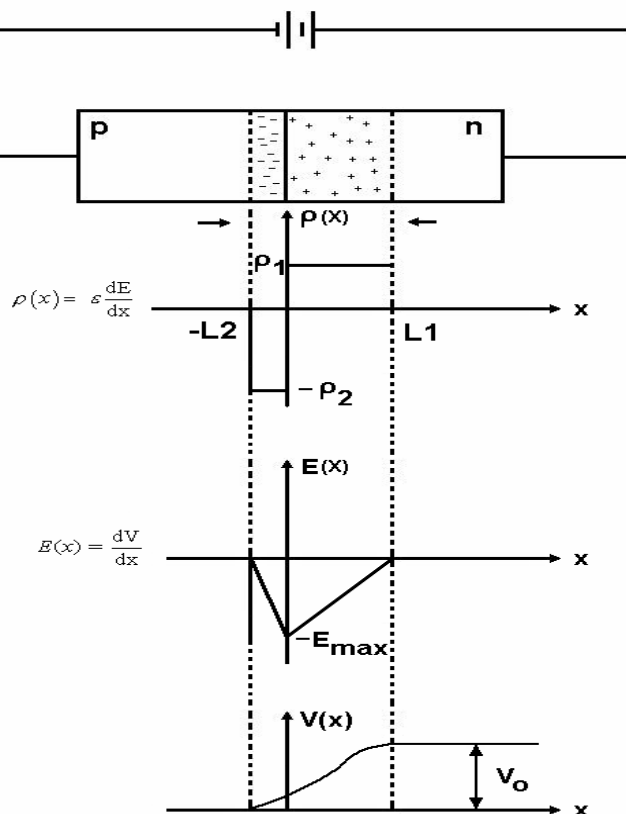


FIGURA 2.5 – DISTRIBUIÇÃO DE CARGA, CAMPO ELÉTRICO E POTENCIAL EM UMA JUNÇÃO *PN* REVERSAMENTE POLARIZADA: L_1 E L_2 DEFINEM OS LIMITES DA REGIÃO DE DEPLEÇÃO, ρ_1 E ρ_2 REPRESENTAM AS CONCENTRAÇÕES DE CARGAS, E E V SÃO O CAMPO ELÉTRICO E O POTENCIAL AO LONGO DA JUNÇÃO RESPECTIVAMENTE

Os elétrons e as lacunas geradas dentro da região de depleção são rapidamente separados, acelerados em sentidos opostos pelo campo elétrico da região de depleção e coletados, contribuindo assim para a fotocorrente. Os portadores gerados na região macroscópica (longe da região de depleção) não são acelerados e acabam se recombinando, na sua maioria, antes de chegarem por difusão à região onde existe campo elétrico, os quais poderiam ser coletados (dependendo da paridade da carga).

Os portadores gerados nas proximidades da região de depleção, até um comprimento médio de difusão, contribuem para a fotocorrente em sua maioria, porém com atraso em relação à sua geração. Esse tipo de fotoionização é inconveniente, pois degrada a resposta dinâmica do dispositivo.

Para que o dispositivo tenha alto rendimento e boa resposta dinâmica, é necessário que a luz seja absorvida apenas na região de depleção. Para isso, é necessário que a largura da região de depleção seja maior que α^{-1} [18], onde α é o coeficiente de absorção do material semiconductor. Se o silício é usado para absorver uma emissão *laser* de GaAs ($\hbar\omega \approx 1.45$ eV), o material deve ter espessura de 10-20 μm . Por outro lado, um detector de Ge ou GaAs necessitaria apenas um comprimento de interação de apenas 1 μm .

A figura 2.6 mostra a variação de α com a energia dos fótons incidentes para vários materiais empregados em fotodetectores.

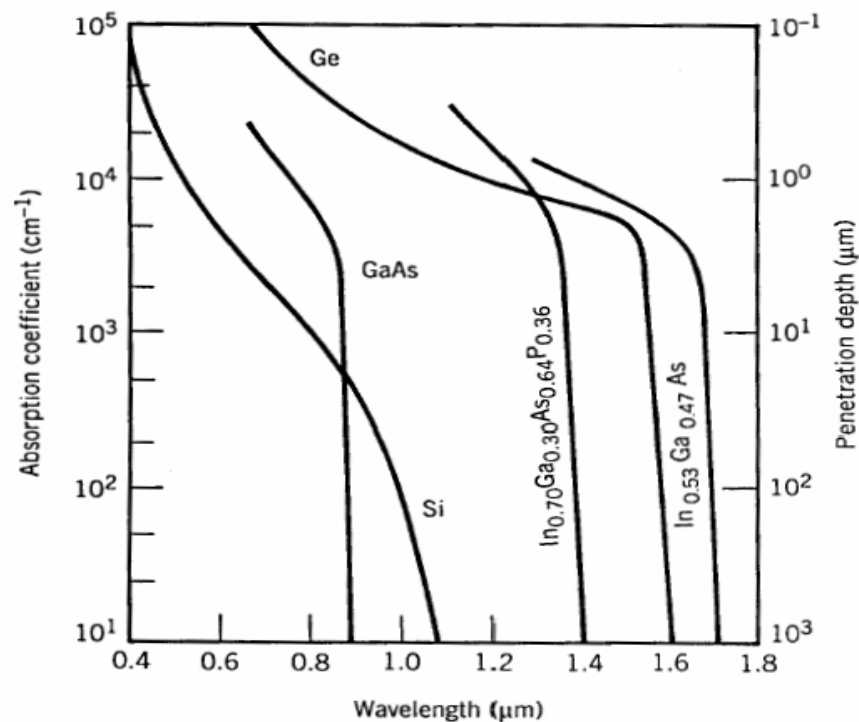


FIGURA 2.6 [19] – COEFICIENTE DE ABSORÇÃO DA LUZ PARA DIVERSOS MATERIAIS, EM FUNÇÃO DA ENERGIA DOS FÓTONS INCIDENTES. OBSERVA-SE A EXISTÊNCIA DE ENERGIAS DE CORTE PARA A ABSORÇÃO DE LUZ, A PARTIR DOS QUAIS O MATERIAL TORNA-SE TRANSPARENTE. POR EXEMPLO, PARA GaAs SE O FÓTON TEM COMPRIMENTO DE ONDA MAIOR QUE 0,86 μm , NÃO HAVERÁ GERAÇÃO DE FOTOCORRENTE.

Da figura 2.5, nota-se que o alargamento da região de depleção não exige tensões de polarização reversa altas. Se a estrutura do dispositivo impuser o desequilíbrio entre os níveis de dopagem nos lados p e n da junção, a região de depleção tende a um aumento proporcionalmente maior para o lado menos dopado.

No limite, se a estrutura do fotodetector possuir entre os lados p e n, material não dopado (intrínseco), a região de depleção ocupará toda a camada intrínseca, onde o campo elétrico será constante, qualquer que seja a tensão reversa aplicada. Essa situação, mostrada na figura 2.7, representa idealmente o funcionamento do fotodiodo *pin* (p-intrínseco-n).

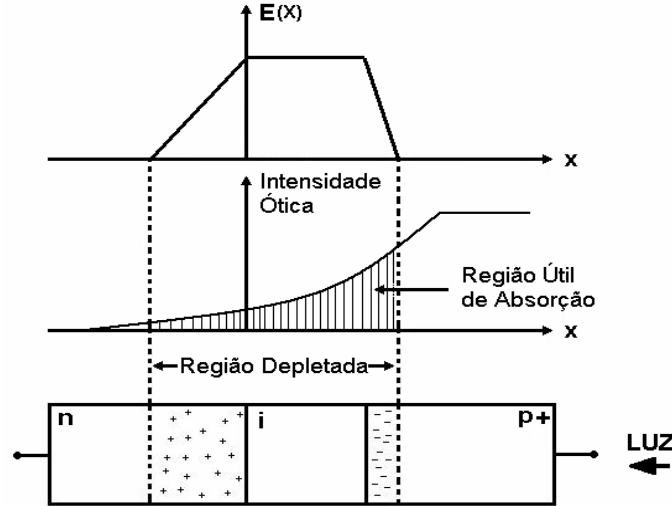


FIGURA 2.7 – ESTRUTURA IDEALIZADA DO FOTODIODO *PIN*

Como podemos observar através da figura 2.6, cada curva apresenta um comprimento de onda de corte do material semiconductor em questão, acima do qual não há geração de portadores de carga. Isso reflete simplesmente o fato dos fótons precisarem ter energia pelo menos equivalente à largura da banda proibida (E_g) do material, para viabilizar o salto energético dos elétrons entre as duas bandas permitidas:

$$\frac{hc}{\lambda} \geq E_g$$

$$\therefore \lambda \leq \lambda_{cm} = \frac{hc}{E_g} = \left(\frac{1,24}{E_g (eV)} \right) [\mu m] \quad (2.4)$$

onde λ_{cm} é o comprimento de onda de corte do material, h é a constante de Planck e c é a velocidade da luz. Para o arseneto de gálio, este comprimento de onda de corte está em torno de $\lambda_c = 0,867 \mu m$. Na primeira janela de transmissão (800-900nm), o material comumente utilizado é o silício, que apresenta corte em 1060nm. Sua utilização é inviável nas janelas superiores, cujos comprimentos de onda se situam em torno de 1300nm (segunda janela) e 1550nm (terceira janela). Nessas janelas, os materiais disponíveis são o germânio e materiais compostos como o InGaAs.

2.2.1.4 - FOTODIODO *PIN*

A estrutura ideal de um fotodiodo *PIN* é ilustrada na figura 2.7. O uso de material intrínseco garante o alargamento da região de depleção por toda a sua extensão, mesmo com tensões de polarização reversa modestas, assegurando assim a absorção total ou quase total, da luz na região de depleção. Na prática, o uso de material puramente intrínseco não é possível nem necessário, pelos seguintes motivos:

- a) a presença de impurezas residuais dificulta a obtenção do material intrínseco;
- b) se a região intrínseca for larga demais, a velocidade do dispositivo começa a ficar prejudicada, pelo tempo de trânsito dos fotoportadores através da região de depleção, que naturalmente é proporcional à sua largura.

É aceitável que a camada intrínseca seja ocupada por material levemente dopado. No caso de fotodiodos de silício, faixas de 1GHz necessitam de larguras da região de depleção inferiores a 20μm. Como na faixa óptica de operação desses fotodiodos o coeficiente de absorção é da ordem de 10^3 cm^{-1} , uma porção significativa da luz será absorvida fora da região de depleção, sem contribuir para a fotocorrente. Por isso, a eficiência quântica (relação entre a quantidade de pares elétrons-lacunas gerados e a quantidade de fótons incidentes) pode ficar abaixo de 80%.

Uma vez conhecido o coeficiente de absorção do semiconductor a ser usado, é necessário saber a taxa ao qual os pares elétrons-lacunas serão gerados. Para calcular a taxa da geração do par, considere um feixe óptico com intensidade $P_{op}(0)$ incidindo sobre um semiconductor por unidade de área. A intensidade em um ponto x ($0 \leq x \leq W$, onde W é a largura da região de depleção), é dada por (intensidade [W/cm^2]):

$$P_{op}(x) = P_{op}(0) \exp(-\alpha x) \quad (2.5)$$

A energia absorvida por segundo por unidade de área em uma região infinitesimal de espessura dx , entre os pontos x e $x+dx$ é:

$$\begin{aligned} P_{op}(x+dx) - P_{op}(x) &= P_{op}(0) [\exp(-\alpha(x+dx)) - \exp(-\alpha x)] \\ &= P_{op}(0) [\exp(-\alpha x)] \alpha dx \end{aligned} \quad (2.6)$$

Se a energia absorvida produz pares elétron-lacuna, a taxa de geração de portadores é G_L (taxa por unidade de volume):

$$G_L = \frac{\alpha P_{op}(x)}{\hbar \omega} = \alpha \Phi_{ph}(x) \quad (2.7)$$

onde Φ_{ph} é a densidade de fluxo de fótons incidindo em um ponto x (fluxo tem unidades de $\text{cm}^{-2}\text{s}^{-1}$).

Quando a luz incide sobre o semicondutor e gera pares elétron-lacuna, o desempenho do detector depende da coleta destes portadores e portanto na mudança da condutividade do material. Na ausência de campo elétrico ou gradiente de concentração, os pares elétron-lacuna recombinam-se e não geram um sinal detectável. Uma propriedade importante do detector é dada pela sua responsividade, o qual fornece a corrente produzida por uma certa potência óptica. A responsividade R_{ph} é definida por:

$$R_{ph} = \frac{I_L / A}{P_{op}} = \frac{J_L}{P_{op}} \quad (2.8)$$

onde I_L é a fotocorrente produzida em um dispositivo de área A e J_L é a densidade de fotocorrente. A eficiência quântica do detector é definida como:

$$\eta_Q = \frac{J_L / e}{P_{op} / \hbar \omega} = R_{ph} \frac{\hbar \omega}{e} \quad (2.9)$$

A eficiência quântica essencialmente nos diz quantos portadores são coletados para cada fóton incidindo no detector.

A responsividade de um detector tem uma dependência forte com o comprimento de onda dos fótons incidentes. Se o comprimento de onda está acima do comprimento de corte, os fótons não serão absorvidos e não será gerada fotocorrente. Quando o comprimento de onda é menor que λ_C , a energia do fóton será maior do que a energia de *bandgap* e a diferença será liberada em forma de calor. Com isto a responsividade começa a diminuir.

O fotodiodo *pin* explora o potencial interno (*built-in*) presente na junção juntamente com a polarização reversa aplicada para coletar os elétrons e as lacunas. Uma vez que o dispositivo está reversamente polarizado, a sua corrente de escuro é idealmente I_0 e é independente da polarização aplicada. A fotocorrente I_L é devida essencialmente aos portadores gerados na região de depleção (região intrínseca) que são coletados. A região intrínseca estará inteiramente depletada e terá um forte campo elétrico.

A corrente máxima que pode ser coletada é (desprezando o processo de difusão):

$$I_L = eA \int_0^w G_L(x) dx \quad (2.10)$$

A taxa de geração descrita acima em um ponto x será dada por:

$$G_L = \alpha \Phi_{ph}(0) \exp(-\alpha x) \quad (2.11)$$

onde $\Phi_{ph}(0)$ é o fluxo de fótons (número por cm^2 por segundo) em $x = 0$. A fotocorrente será então das equações (2.10) e (2.11):

$$I_L = eA\Phi_{ph}(0)[1 - \exp(-\alpha W)] \quad (2.12)$$

Se R é a refletividade da superfície, a fração de fótons que realmente penetram o dispositivo é (1 - R), então a fotocorrente será:

$$I_L = eA\Phi_{ph}(0)(1 - R)[1 - \exp(-\alpha W)] \quad (2.13)$$

Uma medida da eficiência do detector é a razão da densidade de fotocorrente pelo fluxo incidente:

$$\eta_{det} = \frac{I_L}{A\Phi_{ph}(0)e} = (1 - R)[1 - \exp(-\alpha W)] \quad (2.14)$$

Para uma eficiência alta devemos ter um valor de R pequeno (usando camadas anti-refletivas) e um W grande. Entretanto, se W é muito grande o tempo de trânsito que controla o dispositivo torna-se também grande, reduzindo a sua velocidade. Dispositivos de alta velocidade têm W em torno de 1 μm ou menos e podem operar a velocidades de 10 GHz ou mais.

2.2.1.5 - CORRENTE DE ESCURO

Sendo causada pela energia térmica, a corrente de escuro tende a ser maior nos materiais em que a banda proibida é mais estreita. Fatores estruturais da rede cristalina também podem ser determinantes. Entre os materiais comumente utilizados, o silício tem a menor corrente de escuro: cerca de 10^{-7} A/cm^2 . A área transversal do fotodetector deve ser a da fibra, que é de cerca de 10^{-6} cm^2 no caso monomodo. Portanto, é possível fazer fotodiodos de silício com correntes de escuro da ordem de 0,1 pA. No caso do arseneto de gálio, esta corrente de escuro é da ordem de algumas dezenas de nanoampéres. Por isso, os sistemas da primeira janela são apenas marginalmente degradados pela corrente de escuro.

Nos comprimentos de onda superiores, é necessário usar materiais com banda proibida mais estreita, como o germânio e o InGaAs. O germânio apresenta corrente de escuro de 10^{-3} A/cm^2 , resultando em correntes de cerca de 1 nA sem luz sobre o fotodetector; esses níveis podem resultar em uma degradação sensível de desempenho. A corrente de escuro do InGaAs depende dos teores relativos do índio e do gálio, mas se situa em torno de 10^{-5} A/cm^2 , sendo este um dos motivos da superioridade do seu desempenho sobre o germânio.

2.2.1.6 – ESCOLHA DO MATERIAL E RESPOSTA EM FREQUÊNCIA DE UM FOTODETECTOR PIN

A questão mais importante no projeto de um fotodetector é trabalhar com um material que possua um coeficiente de absorção adequado para as frequências a serem detectadas.

Para comunicações onde fontes de GaAs/AlGaAs são usadas (tipicamente usadas em redes locais LAN), fotodetectores de silício são usados, a menos que velocidades altas são desejadas. Para comprimentos de ondas maiores, fotodetectores de germânio e outros materiais podem ser usados. Um comprimento de onda importante é de $1.55 \mu\text{m}$, usado para comunicações de longa distância onde a perda por propagação na fibra é mínima.

Uma vez escolhido o material, os pontos importantes no desenvolvimento do dispositivo são:

1. Minimização da reflexão na superfície: isto é feito geralmente aplicando camadas anti-refletivas as quais podem reduzir as perdas por reflexão de 40% para 2-3%;
2. Maximização da absorção na região de depleção: para detectores com alta eficiência, devemos ter grande absorção através da largura da região de depleção, como visto na equação (2.14). Entretanto, para a velocidade de operação, nem sempre aumentar a largura da região de depleção é aconselhável. Geralmente, espelhos podem ser usados para aumentar o comprimento de interação óptica do dispositivo fazendo com que um feixe de luz tenha maior probabilidade de ser absorvido;
3. Minimização da recombinação dos portadores: para aumentar a eficiência é necessário minimizar a recombinação de portadores na região de depleção. Isto requer o uso de materiais de alta pureza;
4. Minimização do tempo de trânsito: para o propósito de altas velocidades, o tempo de trânsito deve ser minimizado, o que significa que a região de depleção deve ser tão pequena quanto possível.

Em conjunto com estes critérios, a resposta do dispositivo é controlada pelo circuito equivalente do fotodiodo, mostrado na figura 2.8:

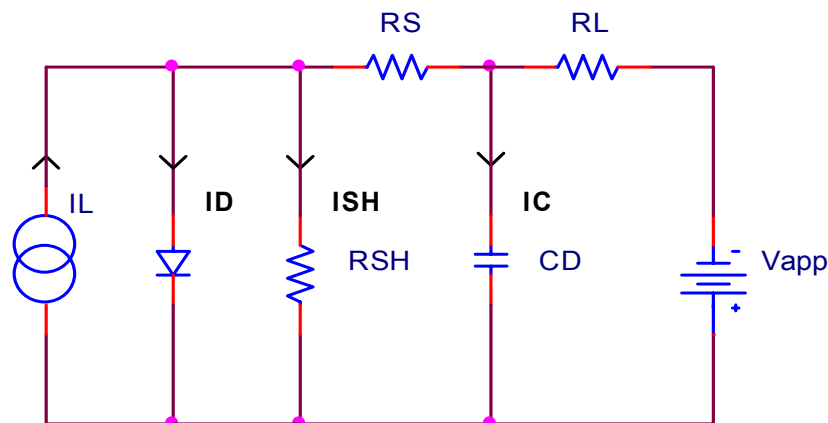


FIGURA 2.8 – CIRCUITO EQUIVALENTE DO FOTODIODO PIN. O DISPOSITIVO PODE SER REPRESENTADO POR UMA FONTE DE CORRENTE I_L ALIMENTANDO UM DIODO. AS CARACTERÍSTICAS INTERNAS DO DISPOSITIVO SÃO REPRESENTADAS POR UM RESISTOR *SHUNT* R_{sh} E UM CAPACITOR C_D . R_S É A RESISTÊNCIA SÉRIE DO DIODO [18]

Assume-se que a saída do fotodiodo é conectada a um amplificador. A capacitância do fotodiodo C_D é, para a polarização reversa:

$$C_D = \frac{\epsilon A}{W} \quad (2.15)$$

A variável W representa a largura da região de depleção. O diodo tem uma resistência série R_S e condutância G_D . Para resposta em altas frequências a capacitância e a resistência devem ser minimizadas, o qual significa reduzir a área A , sendo que se W é aumentado muito, o dispositivo é limitado por efeitos de tempo de trânsito. Se a capacitância e a resistência são otimizadas, o tempo de trânsito limita a resposta. Portanto existe um compromisso. O tempo de trânsito é controlado pela largura da região de depleção e a velocidade de saturação, que é dada por:

$$t_{tr} = \frac{W}{V_S} \quad (2.16)$$

Portanto, altas frequências requerem larguras da região de depleção pequenas.

A frequência de corte do fotodetector é dada por:

$$f_{-3dB} = \frac{1}{2\pi R_L C_d} \quad (2.17)$$

onde R_L e C_d equivalem ao circuito equivalente da figura 2.8.

Se uma certa potência óptica incide sobre o fotodiodo, pode-se calcular a fotocorrente gerada:

$$\Phi_{ph} = \frac{P_{op}}{\hbar \omega} \quad (2.18)$$

onde Φ_{ph} é o fluxo de fótons incidentes e P_{op} é a densidade de potência óptica.

Com isso, como na equação 2.13, a densidade de fotocorrente J_L é dada por:

$$J_L = e \Phi_{ph} (1-R) \{1 - \exp(-\alpha w)\} \quad (2.19)$$

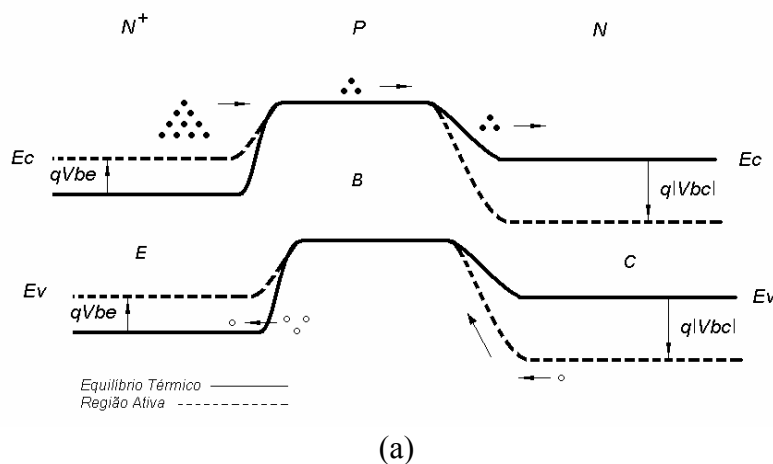
2.2.2 – TRANSISTORES BIPOLARES DE HETEROJUNÇÃO (HBT)

Os transistores bipolares são preferidos em aplicações de alta frequência devido ao alto valor da frequência de transição (f_T) e da transcondutância (g_m). Comparado aos transistores de efeito de campo, os bipolares conseguem manter valores altos de f_T e g_m para grandes dimensões laterais. Dispositivos grandes possuem melhor casamento no processo de fabricação, o qual é importante para o projeto de circuitos de RF. Os transistores BJT (Transistores Bipolares de Homojunção) são construídos a partir de um único material semiconductor, como o Silício. Possuem limitações que não permitem dispositivos com ganhos suficientemente elevados e baixos valores de resistência de base, o qual compromete a operação em altas frequências.

O transistor HBT foi proposto por *W. Shockley* [20] e aprimorado por H. Kroemer [57], na década de 50. A idéia era utilizar intencionalmente dois materiais semicondutores diferentes para a fabricação: um material com uma banda proibida maior no emissor e outro com banda proibida menor para a base. Porém as limitações no processo de fabricação na época não permitiam a construção do HBT, como por exemplo, o crescimento de camadas epitaxiais com poucos defeitos na estrutura cristalina.

2.2.2.1 – PRINCÍPIO DE FUNCIONAMENTO DO TRANSISTOR HBT

A técnica de variar a largura de banda proibida através do dispositivo faz com que elétrons e lacunas sofram forças elétricas diferentes: a heterojunção cria uma descontinuidade na banda de valência, ou seja, uma barreira de potencial que impede a injeção de cargas majoritárias da base (lacunas) para o emissor. Para um transistor HBT possuir máxima eficiência de injeção de cargas (pouca recombinação de lacunas da base para o emissor e portanto maior ganho de corrente), a altura desta descontinuidade deve ser a maior possível na banda de valência e mínima possível na banda de condução (facilitar a movimentação dos elétrons do emissor para o coletor). A figura 2.9 mostra o diagrama de bandas para um transistor BJT e para um HBT.



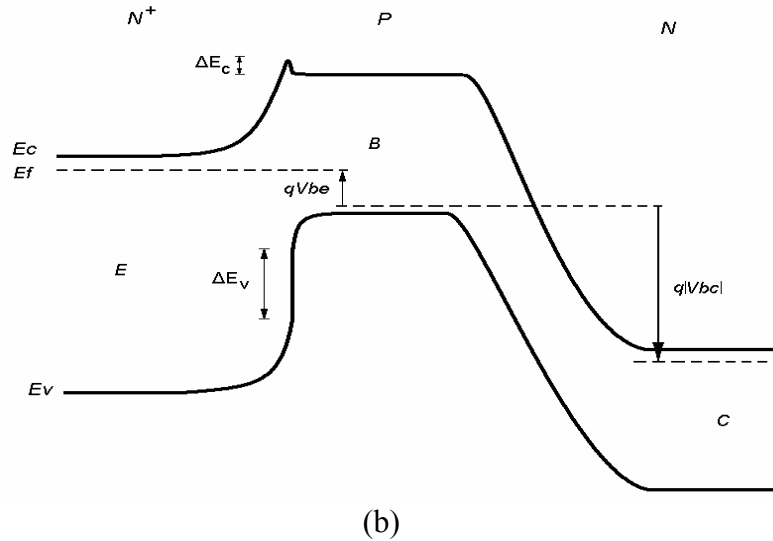


FIGURA 2.9 – DIAGRAMA DE BANDAS PARA UM BJT EM EQUILÍBRIO TERMODINÂMICO E POLARIZADO NA REGIÃO ATIVA (A) E PARA UM HBT NA REGIÃO ATIVA (B)

2.2.2.2 – FIGURAS DE MÉRITO DA HETEROJUNÇÃO

Como podemos ver, o valor de E_g varia ao longo do dispositivo. A barreira de potencial ΔE_v possibilita uma maior dopagem da região de base, diminuindo-se o valor da resistência intrínseca. O uso de um material com E_g maior na região de emissor também possibilita menor dopagem da região, diminuindo-se a capacitância de depleção. Estes fatores contribuem para a operação em altas frequências. As principais vantagens do HBT sobre o BJT são:

1. Maior eficiência de injeção do emissor devido à maior barreira de potencial para lacunas na banda de valência;
2. Menor resistência de base, por ser altamente dopada, sem degradar a eficiência de injeção de elétrons;
3. Menor efeito da corrente de *crowding* (queda de tensão causada pela corrente que atravessa a resistência de base tende a reduzir V_{BE} , que é o V_{BE} do transistor intrínseco, reduzindo a corrente de emissor até sua completa aniquilação);
4. Melhor resposta em frequência devido ao maior ganho de corrente e menor resistência de base;
5. Maior faixa de temperatura de operação, devido ao maior E_g .

A heterojunção InGaP/GaAs, utilizada neste estudo possui as características necessárias para a fabricação de circuitos optoeletrônicos [21].

O material possui uma grande descontinuidade na banda de valência (0,30 eV) com o GaAs, baixa recombinação superficial, alto valor de E_g na temperatura ambiente (1.87 eV) e alta seletividade de taxa de corrosão de região de emissor sobre a região de base [22].

2.2.2.3 – OPERAÇÃO COM SINAIS AC

Como estes transistores operam em altas frequências, dois parâmetros são analisados na caracterização do dispositivo: a frequência de transição (f_T) e a frequência máxima de oscilação (f_{MAX}). A frequência de transição é dada por [23]:

$$f_T = \frac{1}{2\pi\tau_{EC}} \quad (2.20)$$

Esta frequência é obtida quando o ganho de corrente é igual a um, onde τ_{EC} é o tempo de trânsito para que o portador se mova da região de emissor para a região de coletor. A máxima frequência de oscilação pode ser obtida pela expressão abaixo [21]:

$$f_{MAX} = \frac{1}{4\pi\sqrt{\tau_{EC}\tau_{BC}}} \quad (2.21)$$

A máxima frequência de oscilação corresponde à frequência para o qual o ganho de potência cai a um. O tempo de trânsito entre as regiões de base e coletor (τ_{BC}) está relacionado à constante RC dada pela resistência da base e a capacitância do coletor ($r_B C_{BC}$). Logo f_{MAX} pode ser dada por:

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi r_B C_{BC}}} \quad (2.22)$$

O tempo total de transito através do dispositivo, ou seja, entre as regiões de emissor e coletor (τ_{EC}) é dado por:

$$\tau_{EC} = \tau_E + \tau_B + \tau_D + \tau_C \quad (2.23)$$

onde τ_E é o tempo de carga da capacitância da junção base-emissor, τ_B é o tempo de trânsito na base, τ_D o tempo de trânsito na região de depleção do coletor e τ_C , o tempo de carga da capacitância da junção base-coletor.

O tempo de trânsito τ_{EC} também pode ser descrito conforme a equação diferencial 2.24, a qual relaciona a variação de carga na região da base com a corrente de coletor:

$$\tau_{EC} = \frac{dQ_B}{dI_C} \quad (2.24)$$

Se uma pequena variação da corrente de coletor ocasionar uma grande variação na carga armazenada, teremos um tempo de trânsito grande, o qual nos mostra que o tempo de trânsito está intimamente relacionado com o armazenamento de cargas no interior da estrutura. Reduzindo-se a espessura da camada de base diminui-se a acumulação de cargas, diminuindo-se o tempo de trânsito.

A acumulação de lacunas no emissor de um transistor HBT é baixa, devida à alta eficiência de injeção de portadores. O tempo de carga τ_E é ocasionado pelo atraso no carregamento da capacitância da junção base-emissor, dado por:

$$\tau_E = \frac{C_{BE}}{g_{m0}} \quad (2.25)$$

onde g_{m0} é a transcondutância intrínseca do dispositivo, que é dada por qI_C/kT .

A região de emissor possui uma capacitância C_E que é dada por:

$$C_E = A_{BE} \sqrt{\frac{q\epsilon N_E}{2(V_{bi} - V_{BE})}} \quad (2.26)$$

sendo que A_{BE} é área de emissor, ϵ é a permissividade elétrica e V_{bi} é a tensão *built-in* da junção.

Como podemos observar da equação acima, reduzindo-se a dopagem (N_E) e a área (A_{BE}) de emissor, diminuimos o tempo de carga τ_E .

O tempo de trânsito τ_B pode ser aproximado por:

$$\tau_B = \frac{W_B^2}{2D_N} \quad (2.27)$$

onde D_N é a constante de difusão para elétrons na base e W_B é a espessura da base.

Como τ_B varia com o quadrado da espessura, W_B se torna um parâmetro muito importante para a operação do dispositivo em altas frequências. O ganho intrínseco de corrente do transistor na configuração emissor comum, devido à alta eficiência de injeção, é calculado por [21]:

$$h'_{FE} \cong \frac{\tau_n}{\tau_B} \quad (2.28)$$

sendo τ_n o tempo médio de vida dos elétrons na região da base.

A redução de τ_n também é importante, para que o dispositivo possua um ganho maior de corrente. Da equação acima, nota-se que o ganho só depende da região da base (não possui relação com N_E). A alta dopagem da base reduz o tempo de vida dos elétrons, tendo um efeito negativo sobre h'_{FE} , porém diminuindo-se a espessura da base, reduz-se τ_B , compensando este efeito.

O tempo de trânsito na região de depleção do coletor (τ_D) é devido à carga necessária de portadores majoritários na base para neutralizar o número de portadores minoritários que cruzaram a região de depleção da junção base-coletor e pode ser calculado como sendo $W_D/2v_S$, onde v_S é a velocidade de saturação dos portadores nesta região.

O tempo de carga da capacitância C_{BC} da junção base-coletor (τ_C) é dado por:

$$\tau_C = C_{BC} \left(r_E + r_C + \frac{1}{g_{m_0}} \right) \quad (2.29)$$

onde r_E e r_C são as resistências dinâmicas de emissor e de coletor.

Pelas equações acima, vemos que para o transistor opere em altas frequências, a resistência da base, a capacitância base-coletor e os tempos de trânsito devem ser minimizados.

2.2.2.4 – MODELAGEM E EXTRAÇÃO DE PARÂMETROS DO TRANSISTOR HBT

Os modelos matemáticos mais utilizados para a obtenção dos parâmetros de simulação dos transistores bipolares são: Ebers-Moll e Gummel-Poon [24]. O modelo Gummel-Poon é mais complexo, menos intuitivo, pois trata de maneira unificada alguns fenômenos presentes em transistores bipolares, como a modulação da largura da região de base e efeitos de alta injeção. Estes efeitos são desprezíveis em transistores HBT [23], o que torna os dois modelos equivalentes. Portanto, para a modelagem e extração de parâmetros do transistor HBT, será utilizado o modelo Ebers-Moll [25]. O estudo deste modelo auxilia na compreensão do funcionamento do transistor.

MODELO EBERS-MOLL

O transistor bipolar é constituído de um par de junções *pn*. As correntes de emissor (I_E) e de coletor (I_C) são dadas em termos das tensões nos diodos, V_{BE} e V_{BC} .

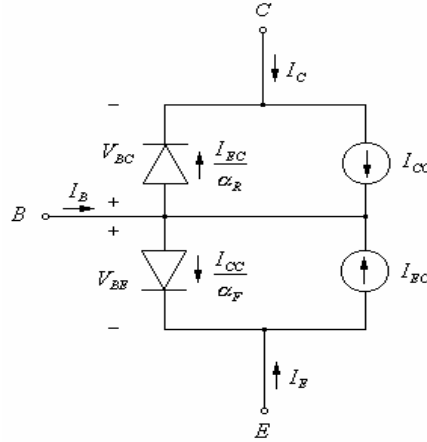


FIGURA 2.10 – MODELO EBERS-MOLL

Este é um modelo dc, válido para todas as regiões de operação (saturação, corte, normal e inverso), porém não considera o armazenamento de carga no dispositivo. As correntes de referência, I_{CC} e I_{EC} , representam as correntes que são coletadas, ou transportadas através da base, que podem ser descritas como:

$$I_{CC} = I_S (e^{qV_{BE}/kT} - 1) \quad (2.30)$$

$$I_{EC} = I_S (e^{qV_{BC}/kT} - 1) \quad (2.31)$$

sendo I_S a corrente de saturação do transistor.

As duas correntes de referência podem ser utilizadas para descrever as correntes dos terminais:

$$I_C = I_{CC} + \left(-\frac{1}{\alpha_R} \right) I_{EC} \quad (2.32)$$

$$I_B = \left(\frac{1}{\alpha_F} - 1 \right) I_{CC} + \left(\frac{1}{\alpha_R} - 1 \right) I_{EC} \quad (2.33)$$

$$I_E = \left(-\frac{1}{\alpha_F} \right) I_{CC} + I_{EC} \quad (2.34)$$

sendo que α_F e α_R são os ganhos de corrente direto e reverso, para grandes sinais e configuração base-comum.

Na configuração emissor comum, β_F e β_R são os ganhos de corrente direto e reverso respectivamente:

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (2.35)$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (2.36)$$

Logo, as correntes pelos terminais podem ser descritas em função de β_F e β_R :

$$I_C = I_{CC} - \left(\frac{\beta_R + 1}{\beta_R} \right) I_{EC} \quad (2.37)$$

$$I_B = \frac{I_{CC}}{\beta_F} + \frac{I_{EC}}{\beta_R} \quad (2.38)$$

$$I_E = - \left(\frac{\beta_F + 1}{\beta_F} \right) I_{CC} + I_{EC} \quad (2.39)$$

O modelo da figura 2.10 pode ser ligeiramente modificado, trocando-se as duas fontes de corrente de referência por apenas uma (I_{CT}), entre emissor e coletor, definida pela expressão abaixo:

$$I_{CT} = I_{CC} - I_{EC} = I_S (e^{qV_{BE}/kT} - e^{qV_{BC}/kT}) \quad (2.40)$$

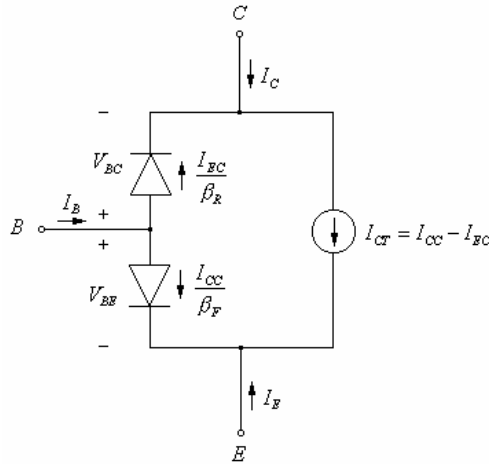


FIGURA 2.11 – MODELO EBERS-MOLL MODIFICADO

Com a mudança acima, as correntes de saturação dos diodos se tornam:

$$\frac{I_{CC}}{\beta_F} = \frac{I_S}{\beta_F} (e^{qV_{BE}/kT} - 1) \quad (2.41)$$

$$\frac{I_{EC}}{\beta_R} = \frac{I_S}{\beta_R} (e^{qV_{BC}/kT} - 1) \quad (2.42)$$

e as correntes através dos terminais:

$$I_C = I_{CT} - \frac{I_{EC}}{\beta_R} \quad (2.43)$$

$$I_E = -\frac{I_{CC}}{\beta_F} - I_{CT} \quad (2.44)$$

$$I_B = \frac{I_{CC}}{\beta_F} + \frac{I_{EC}}{\beta_R} \quad (2.45)$$

- **EFEITOS DE PRIMEIRA ORDEM**

O modelo descrito acima é muito simples, pois não inclui as resistências parasitas de base (r'_B), coletor (r'_C) e emissor (r'_E), que representam as perdas ôhmicas dos contatos. Não inclui também as capacitâncias parasitas que modelam os efeitos de armazenamento de cargas nas regiões de difusão e nas junções. Estes são os efeitos de primeira ordem. As capacitâncias incluídas no modelo Ebers-Moll descrito acima, ou EM₁, são C_{De} (capacitância na região de difusão do coletor), C_{De} (capacitância na região de difusão de emissor), C_{jc} (capacitância da junção de coletor) e C_{je} (capacitância da junção de emissor), mostradas na figura 2.12:

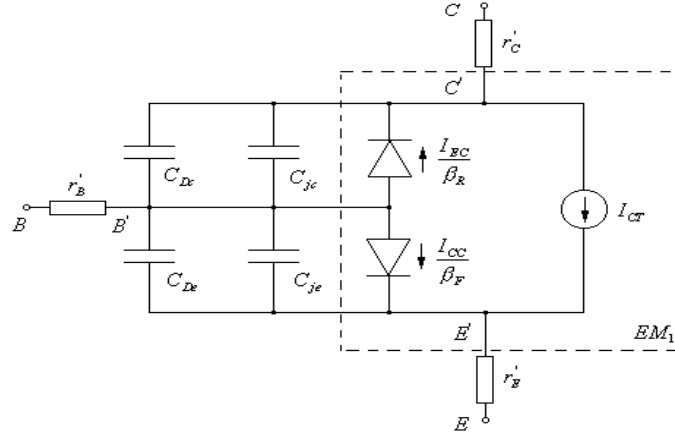


FIGURA 2.12 – MODELO EBERS-MOLL COM EFEITOS DE PRIMEIRA ORDEM (EM₁)

Com a inclusão das resistências parasitas, as tensões nos terminais do dispositivo intrínseco serão diferentes das tensões nos terminais do dispositivo completo. A tensão V_{BE} externa será maior que o valor intrínseco (V'_{BE}):

$$V_{BE} = V'_{BE} + I_B r'_B + I_E r'_E \quad (2.46)$$

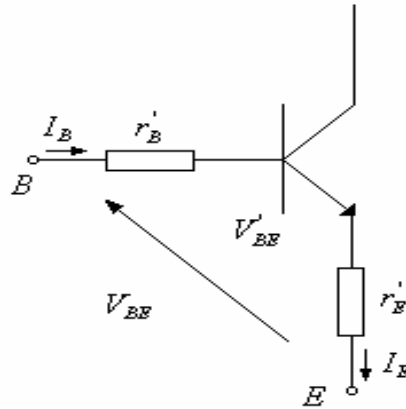


FIGURA 2.13 – TRANSISTOR BIPOLAR COM RESISTÊNCIAS PARASITÁRIAS NOS CONTATOS

- **RESISTÊNCIA DE EMISSOR**

O valor da resistência de emissor pode ser obtido observando-se a corrente de base como função da tensão entre coletor e emissor (V_{CE}), para o transistor com o coletor em circuito aberto [24]:

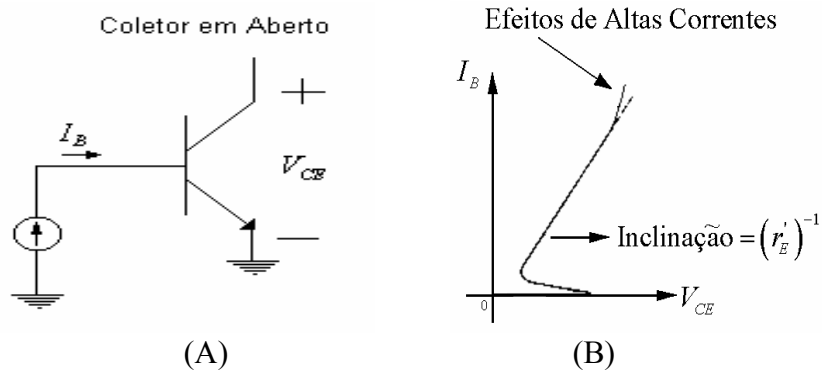


FIGURA 2.14 – ESQUEMA ELÉTRICO PARA CÁLCULO DE r'_E (A) E GRÁFICO DE I_B VERSUS V_{CE} (B)

O efeito em baixas correntes, denominado de “flyback” é causado pela diminuição do beta reverso (β_R). A inclinação da reta deve ser obtida próxima à região de ocorrência deste efeito. O valor de r'_E é relativamente baixo, uma vez que a região de emissor é fortemente dopada.

• RESISTÊNCIA DE COLETOR

A medida para obtenção da resistência de coletor é feita adicionando-se uma fonte de corrente no terminal de coletor do transistor. O valor da corrente de coletor é variado, obtendo-se curvas semelhantes à curva utilizada para o cálculo da resistência de emissor.

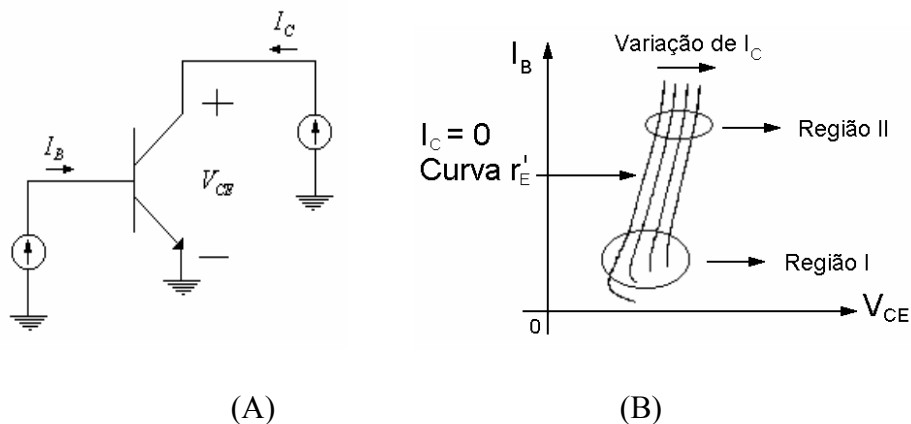


FIGURA 2.15 – ESQUEMA ELÉTRICO PARA CÁLCULO DE r'_C (A) E GRÁFICO DE I_B VERSUS V_{CE} , VARIANDO-SE I_C (B)

O valor de r'_C depende da região de operação do transistor. Pelo gráfico gerado através da medida, duas regiões são observadas: a região I corresponde ao valor de r'_C próximo à região ativa e a região II, à região de saturação.

A resistência pode ser obtida utilizando-se ambas regiões, escolhendo-se dois pontos onde a relação $I_{C1}/I_{B1} = I_{C2}/I_{B2}$ é satisfeita, como mostra a figura 2.16:

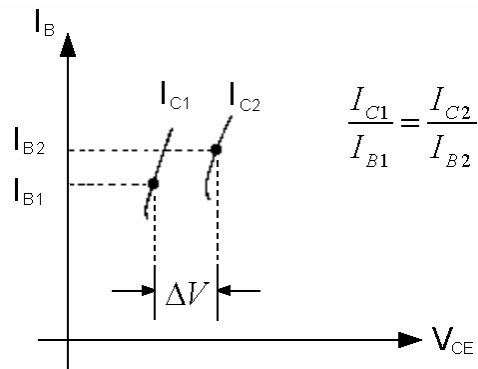


FIGURA 2.16 – SEÇÃO EXPANDIDA DAS CURVAS PARA DETERMINAÇÃO DE ΔV

A tensão V_{CE} é dependente do ponto de polarização, dada pela equação 2.47:

$$V_{CE} = \frac{kT}{q} \ln \left[\frac{1 + \frac{I_C}{I_B} (1 - \alpha_R)}{\alpha_R \left(1 - \frac{I_C}{\beta_F I_B} \right)} \right] + I_E r'_E + I_C r'_C \quad (2.47)$$

A diferença de tensão ($V_{CE2} - V_{CE1}$) pode ser obtida pela expressão 2.48, pois os dois pontos possuem a relação I_C/I_B constante, tornando o primeiro termo da equação 2.47 constante:

$$\Delta V = (I_{C2} - I_{C1}) r'_C + (I_{C2} + I_{B2} - I_{C1} - I_{B1}) r'_E \quad (2.48)$$

Com isso, a resistência de coletor (r'_C) pode ser calculada:

$$r'_C = \frac{\Delta V}{I_{C2} - I_{C1}} \quad (2.49)$$

RESISTÊNCIA DE BASE

A resistência parasita de base é um dos parâmetros mais difíceis de se medir, pois seu valor varia com a técnica de medição e as condições de operação do transistor. Geralmente é modelada como uma única resistência constante, mas na verdade é uma resistência variável e distribuída. Ela pode ser dividida basicamente em três regiões [26]:

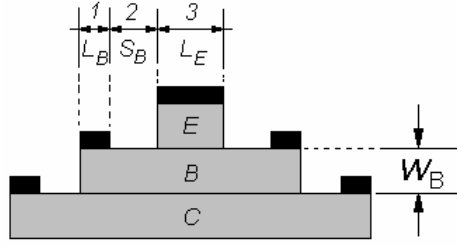


FIGURA 2.17 – RESISTÊNCIA DE BASE DISTRIBUÍDA

- Região 1: Resistência Específica do Contato de Base;
- Região 2: Resistência Série da Base Extrínseca;
- Região 3: Resistência Distribuída de Acesso à Base Intrínseca (varia com a polarização, devido ao efeito de *current crowding*).

O valor de r'_B pode ser calculado pela expressão 2.50:

$$r'_B = \rho_C L_B Z_B + \frac{S_B}{\sigma_B Z_E W_B} + \frac{L_E}{12 \sigma_B Z_E W_B} \quad (2.50)$$

sendo que:

L, W: comprimento e largura da seção reta do metal de contato;
 S_B : distância do metal de base à mesa de emissor;
 σ : condutividade;
 ρ : resistência específica de contato;
 W_B : largura da região neutra de base.

Um outro método para a extração da resistência de base será descrito mais adiante, utilizando os parâmetros S. Estes parâmetros são apropriados para modelagem do dispositivo operando em altas frequências.

CAPACITÂNCIAS DE JUNÇÃO

Uma capacitância de junção modela as cargas fixas incrementais armazenadas na região de carga espacial de uma junção, para mudanças incrementais na tensão que recai sobre a mesma. As capacitâncias C_{jc} e C_{je} incluídas no modelo EM₂ modelam este efeito, que podem ser descritas como sendo [22]:

$$C_{jE}(V_{B'E'}) = \frac{C_{JE0}}{\left(1 - \frac{V_{B'E'}}{\phi_E}\right)^{m_E}} \quad (2.51)$$

onde C_{JE0} é o valor da capacitância da junção base-emissor para $V_{B'E'} = 0$, ϕ_E é a tensão *built-in* da junção e m_E é o fator de gradiente de capacitância entre emissor e coletor.

$$C_{jC}(V_{B'C'}) = \frac{C_{JC0}}{\left(1 - \frac{V_{B'C'}}{\phi_C}\right)^{m_C}} \quad (2.52)$$

sendo C_{JC0} a capacitância da junção base-coletor para $V_{B'C'} = 0$, ϕ_C a tensão *built-in* da junção e m_C o fator de gradiente de capacitância entre base e coletor. Para transistores HBT, $0,3 < m_E, m_C < 0,5$.

CAPACITÂNCIAS DE DIFUSÃO

A carga associada aos portadores móveis no transistor é modelada pelas capacitâncias de difusão. Esta carga é dividida em duas partes: uma parte associada com a fonte de corrente I_{CC} e outra com I_{EC} , sendo que cada uma é representada por um capacitor (C_{Dc} e C_{De} , incluídos em EM₂). Para se obter a capacitância relacionada a I_{CC} , a carga móvel total associada a esta fonte de corrente deve ser considerada. A junção base-emissor é diretamente polarizada e $V_{BC}=0$. No caso de I_{EC} , a junção base-coletor estará diretamente polarizada e $V_{BE}=0$. As cargas associadas são dadas nas equações 2.53 e 2.54:

$$Q_{De} = \tau_F I_{CC} \quad (2.53)$$

$$Q_{Dc} = \tau_R I_{EC} \quad (2.54)$$

sendo τ_F e τ_R os tempos de trânsito total direto e reverso respectivamente. Estes tempos de trânsito são calculados por [24]:

$$\tau_F = \tau_B + \tau_{CB,SCR} = \frac{W_B^2}{2.4D_n} + \frac{W_{CB,SCR}}{2v_{sat}} \quad (2.55)$$

$$\tau_R = \frac{W_C^2}{2.4D_p} + \frac{W_B^2}{2.4D_n} + \frac{W_{BE,SCR}}{2v_{sat}} \quad (2.56)$$

onde τ_B é o tempo de trânsito na base, $\tau_{CB,SCR}$ o de trânsito na região de carga espacial entre coletor e base, W_B (W_C) a espessura da camada de base (coletor), $W_{CB,SCR}$ ($W_{BE,SCR}$) a espessura da região de carga espacial entre coletor e base (emissor e base) e D_n (D_p) a constante de difusão para elétrons (lacunas).

Com isso, as capacitâncias de difusão podem ser obtidas:

$$C_{De} = \left. \frac{\partial Q_{De}}{\partial V'_{BE}} \right|_{V'_{BC}=0} = \left. \frac{\partial Q_{De}}{\partial I_{CC}} \frac{\partial I_{CC}}{\partial V'_{BE}} \right|_{V'_{BC}=0} = \tau_F g_{mF} \quad (2.57)$$

$$C_{Dc} = \left. \frac{\partial Q_{Dc}}{\partial V'_{BC}} \right|_{V'_{BE}=0} = \left. \frac{\partial Q_{Dc}}{\partial I_{EC}} \frac{\partial I_{EC}}{\partial V'_{BC}} \right|_{V'_{BE}=0} = \tau_R g_{mR} \quad (2.58)$$

sendo que g_{mF} é a transcondutância direta e g_{mR} , a transcondutância reversa.

O modelo EM₂, considerando-se as resistências parasitas e as capacitâncias (efeitos de primeira ordem), é mais preciso que o EM₁ e pode ser utilizado na maioria dos casos. Porém não inclui efeitos como a modulação da largura da região de base, variação do ganho β_F com a corrente de coletor e a distribuição da capacitância da junção base-coletor, através da resistência de base. Estes efeitos são chamados de efeitos de segunda ordem, que são incluídos no modelo Ebers-Moll EM₃.

EFEITOS DE SEGUNDA ORDEM

VARIAÇÃO DE β_F

A variação do ganho de corrente β_F com a corrente de coletor é analisada através do gráfico de *Gummel* (*Gummel Plot*). O logaritmo de I_B e I_C é obtido em função de V'_{BE} , para $V'_{BC} = 0$, como mostra a figura 2.18:

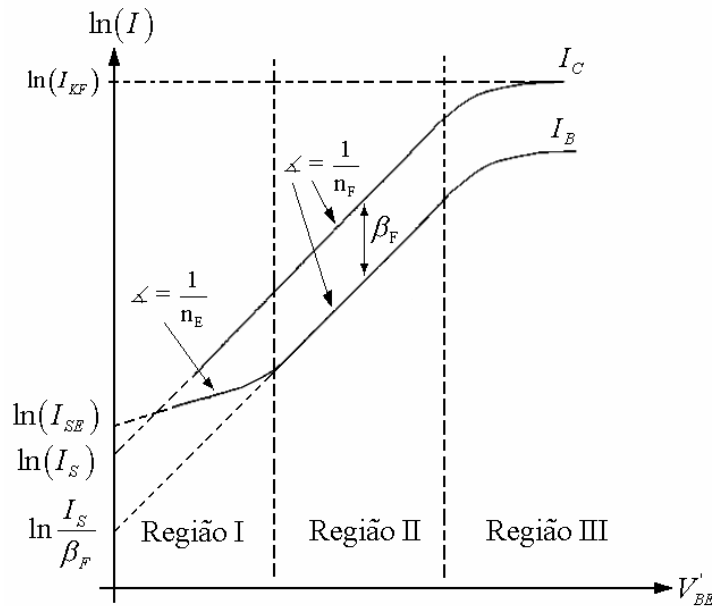


FIGURA 2.18 – *Gummel-Plot*

Através do gráfico, três regiões são classificadas:

- Região I: região de correntes baixas (predomínio da corrente de recombinação na base);
- Região II: região de correntes médias (o ganho β_F é constante, as resistências parasitas são desprezíveis e a corrente de recombinação na base não tem influência no ganho);
- Região III: região de correntes altas (β_F diminui com o aumento de I_C , resistências parasitas geram perdas e ocorrem efeitos de segunda ordem, como alta injeção e aquecimento térmico).

As variáveis n_F e n_E correspondem aos fatores de idealidades das correntes de coletor e de base respectivamente. Estes parâmetros modelam a recombinação de portadores na superfície e na região de carga espacial entre base e emissor, a qual diminui o ganho de corrente. Para os transistores HBT, o fator de idealidade da corrente de coletor é aproximadamente $n_F \approx 1,1-1,2$. Na região de baixa corrente (região I), $n_E \approx 2$. O parâmetro I_{SE} representa a corrente de fuga de saturação na junção base-emissor e I_{KF} é utilizado para adicionar os efeitos de alta injeção (região III).

Quando a corrente de recombinação na base é levada em conta, as correntes de coletor e base podem ser expressas como [23]:

$$I_C = I_S \left(e^{\frac{qV'_{BE}}{n_F kT}} - 1 \right) \quad (2.59)$$

$$I_B = \frac{I_S}{\beta_F} e^{\frac{qV'_{BE}}{n_F kT}} + I_{SE} e^{\frac{qV'_{BE}}{n_E kT}} \quad (2.60)$$

Os fatores de idealidades podem ser obtidos manipulando-se algebricamente as expressões acima. Aplicando-se a função logaritmo à equação 2.59, teremos:

$$\begin{aligned} \log(I_C) &= \log(I_S) + \log \left(e^{\frac{qV'_{BE}}{n_F kT}} - 1 \right) \Rightarrow \log(I_C) = \log(I_S) + \frac{\ln \left(e^{\frac{qV'_{BE}}{n_F kT}} \right)}{\ln(10)} \\ &\Rightarrow \log(I_C) = \log(I_S) + \frac{qV'_{BE}}{n_F kT \ln(10)} \end{aligned} \quad (2.61)$$

Para determinar o valor de I_S , através do *Gummel-Plot* extrapola-se a curva de I_C em $V'_{BE} = 0$, onde teremos $\log(I_C) = \log(I_S)$.

Através do gradiente da equação 2.61, obtemos o valor de n_F :

$$\begin{aligned} Grad[\log(I_C)] &= \frac{1}{n_F V_T \ln(10)} \Rightarrow \\ n_F &= \frac{1}{\left(\frac{kT}{q}\right) \ln(10) Grad[\log(I_C)]} \end{aligned} \quad (2.62)$$

onde o valor do gradiente é obtido pela inclinação da curva de I_C no *Gummel-Plot*.

A obtenção de n_E e I_{SE} procede-se da mesma maneira, uma vez que na região I, a corrente de base é devido praticamente pela corrente de recombinação. Para $V_{BE}' = 0$, $\log(I_C) = \log(I_{SE})$ e o valor de n_E é dado por:

$$n_E = \frac{1}{\left(\frac{kT}{q}\right) \ln(10) Grad[\log(I_B)]} \quad (2.63)$$

O valor de β_F é obtido na região II, onde seu valor é constante:

$$\begin{aligned} \log(I_B) &= \log\left(\frac{I_C}{\beta_F}\right) \Rightarrow \\ \log(\beta_F) &= \log(I_C) - \log(I_B) \end{aligned} \quad (2.64)$$

Alguns transistores HBT podem não apresentar a região II (região onde a curva I_C é paralela à I_B), devido a corrente de recombinação de base aumentar a corrente I_B [26]. Sendo assim, a determinação de I_{SE} , n_E e β_F se torna complexa. Valores aproximados de I_{SE} e n_E podem ser obtidos através do *Gummel-Plot* e β_F , através da equação 2.60. Pelo fato de serem valores aproximados, é necessário um ajuste dos valores teóricos com os valores medidos.

MODULAÇÃO DA LARGURA DA REGIÃO DE BASE

A mudança na largura da região de base é causada pela variação da tensão na junção base-coletor. O efeito é a modificação de I_S e, portanto de I_C , β_F e τ_F [27]. Apesar deste efeito ser pequeno em HBT's, devido à alta dopagem da base, é modelado através do parâmetro V_A (tensão de Early). A corrente de coletor pode ser expressa como:

$$I_C = \frac{I_{S_{V_{BC}=0}}}{1 + \frac{V_{BC}}{V_A}} \left(e^{\frac{qV_{BE}}{n_F kT}} - 1 \right) \quad (2.65)$$

DISTRIBUIÇÃO DE C_{jC} ATRAVÉS DE r'_B

O capacitor de junção pode ser idealmente modelado como um capacitor distribuído através da resistência de base. Como o transistor bipolar é uma estrutura piramidal, nem toda a região de coletor situa-se sob a região de emissor, existindo uma região sob a base. A divisão desta capacitância é importante para altas frequências, modelado pelo parâmetro X_{cjc} , que varia de 0 a 1 conforme a geometria do transistor. A divisão pode ser vista pela figura 2.19:

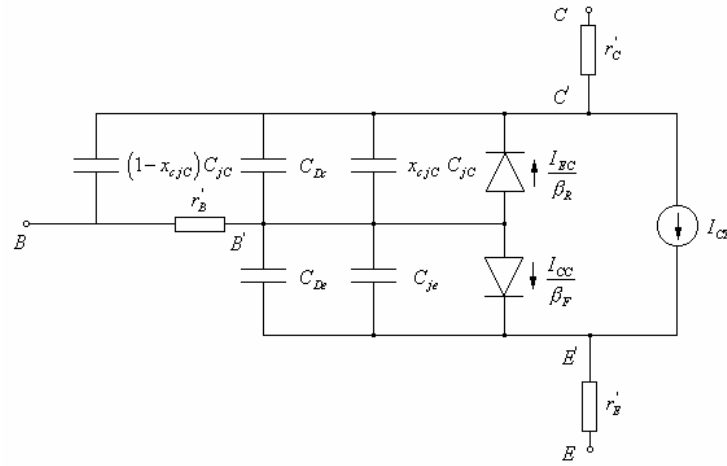


FIGURA 2.19 – DISTRIBUIÇÃO DE C_{jC} ATRAVÉS DE r'_B

MODELO DE PEQUENOS SINAIS DO TRANSISTOR HBT

Para modelar o dispositivo operando em altas frequências, são utilizados os parâmetros de espalhamento, ou parâmetros S, obtidos através de um analisador de parâmetros de rede (*network analyser*). O procedimento de extração dos parâmetros é descrito em [28],[29], o qual inclui a natureza distribuída da base do HBT. O circuito equivalente mostrado na figura 2.20, o qual utiliza o modelo T-híbrido, é usado para representar a estrutura física do HBT [30]:

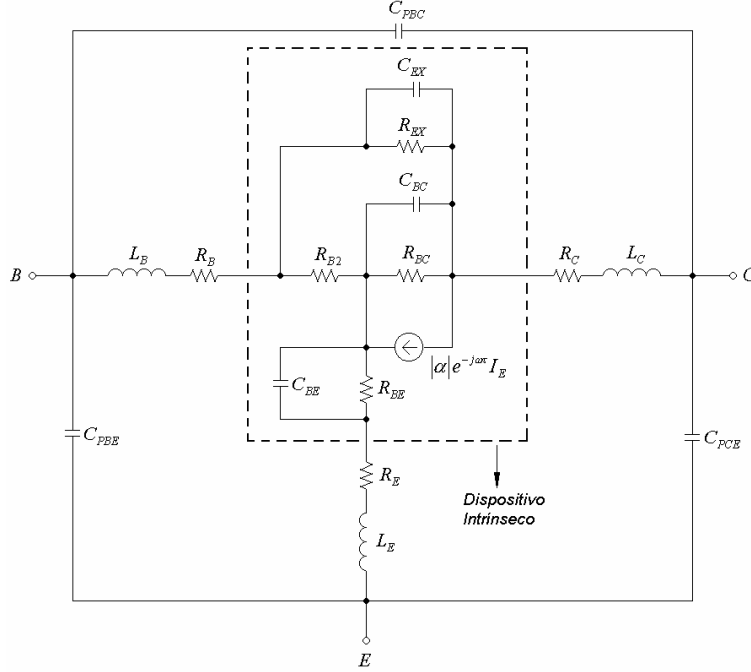


FIGURA 2.20 – MODELO EQUIVALENTE UTILIZADO EM ALTAS FREQUÊNCIAS

O dispositivo intrínseco representa a parte interna do transistor. A natureza distribuída da base é representada pela combinação da impedância interna base-coletor Z_{BC} ($Z_{BC} = R_{BC} // C_{BC}$), impedância externa base-coletor Z_{EX} ($Z_{EX} = R_{EX} // C_{EX}$), resistência de base intrínseca R_{B2} e impedância de base extrínseca Z_B ($Z_B = R_B + j\omega L_B$). As resistências R_B , R_C , R_E e as indutâncias L_B , L_C , L_E , ou seja, a parte extrínseca do modelo, é incluída para representar os efeitos dos contatos. As capacitâncias C_{PBE} , C_{PCE} e C_{PBC} representam capacitâncias parasitas, incluídas devido às estruturas de acesso aos terminais de contatos (*pads*).

As impedâncias podem ser representadas como:

$$\begin{aligned}
 Z_{BC} &= \frac{R_{BC}}{1 + j\omega C_{BC} R_{BC}} & Z_B &= R_B + j\omega L_B \\
 Z_{EX} &= \frac{R_{EX}}{1 + j\omega C_{EX} R_{EX}} & Z_C &= R_C + j\omega L_C \\
 Z_{BE} &= \frac{R_{BE}}{1 + j\omega C_{BE} R_{BE}} & Z_E &= R_E + j\omega L_E
 \end{aligned} \quad \text{e} \quad (2.66)$$

O processo de extração pode ser iniciado com a obtenção dos elementos parasitas. As capacitâncias dos *pads* podem ser obtidas polarizando-se o transistor na região de corte [31]. Nesta condição, o circuito equivalente do HBT é reduzido apenas aos elementos capacitivos. As capacitâncias são obtidas por:

$$C_{PBE} + C_{BE} = \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega} \quad (2.67)$$

$$C_{PCE} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \quad (2.68)$$

$$C_{PBC} + C_{EX} + C_{BC} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (2.69)$$

Os parâmetros Y são obtidos através dos parâmetros S , fazendo-se algumas conversões [32]. Neste processo de extração, C_{PBE} , C_{PBC} e C_{EX} são considerados independentes da polarização, enquanto que C_{BE} e C_{BC} não. A capacitância de junção C_{BE} é dada por:

$$C_{BE} = \frac{C_{JBE0}}{(1 + V_{EB} / V_{JBE})^{M_{JBE}}} \quad (2.70)$$

Para se obter o valor C_{PBE} , pode ser feito o gráfico $(C_{PBE} + C_{BE})$ para diferentes tensões reversas da junção base-emissor, ou através de um método de iteração, no qual diferentes valores de V_{JBE} , M_{JBE} e C_{JBE0} são testados até que o gráfico de $(C_{PBE} + C_{BE})$ versus $(1 + V_{EB} / V_{JBE})^{-M_{JBE}}$ se torne uma reta. Do mesmo modo, o valor de $(C_{EX} + C_{PBC})$ pode ser obtido fazendo-se a soma com a capacitância de junção C_{BC} , para diferentes tensões de base-coletor.

Obtidas as capacitâncias parasitas dos *pads*, estas são então removidas (desacopladas) do modelo equivalente, pois desejamos conhecer as características intrínsecas do transistor. O próximo passo é extrair os parâmetros extrínsecos. Através dos parâmetros S medidos, na condição de coletor aberto, os elementos parasitas extrínsecos Z_B , Z_C e Z_E podem ser obtidos. Nesta condição, as junções base-emissor e base-coletor estão diretamente polarizadas e a corrente de coletor é cancelada. Esta medida é realizada em baixa frequência, sendo que as capacitâncias C_{BC} , C_{EX} e C_{BE} podem ser ignoradas.

Feita a conversão de parâmetros $S \rightarrow Z$, os parâmetros Z do circuito equivalente, na condição de coletor aberto serão:

$$z_{11} = \frac{[(1 - \alpha)Z_{BC} + Z_{EX}]R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_B + Z_E \quad (2.71)$$

$$z_{12} = \frac{(1 - \alpha)Z_{BC}R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_E \quad (2.72)$$

$$z_{21} = \frac{[-\alpha Z_{EX} + (1-\alpha)R_{B2}]Z_{BC}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_E \quad (2.73)$$

$$z_{22} = \frac{(1-\alpha)Z_{BC}(Z_{EX} + R_{B2})}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_C + Z_E \quad (2.74)$$

Entretanto:

$$\frac{Z_{EX}R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BC} = z_{11} - z_{12} \quad (2.75)$$

$$\frac{(1-\alpha)Z_{BC}R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_E = z_{12} \quad (2.76)$$

$$\frac{\alpha Z_{BC}Z_{EX}}{Z_{BC} + Z_{EX} + R_{B2}} = z_{12} - z_{21} \quad (2.77)$$

$$\frac{Z_{BC}Z_{EX}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_C = z_{22} - z_{21} \quad (2.78)$$

Através dos gráficos das partes reais de $(z_{11} - z_{12})$, (z_{12}) e $(z_{22} - z_{21})$, em baixa frequência e em função do inverso da corrente de base, podemos obter as resistências extrínsecas R_B , R_E e R_C , respectivamente, extrapolando-se seus interceptos com $I_B = \infty$. Do mesmo modo, as indutâncias extrínsecas L_B , L_E e L_C podem ser obtidas, através das partes imaginárias de $(z_{11} - z_{12})$, (z_{12}) e $(z_{22} - z_{21})$, para altas frequências.

Determinados os parâmetros extrínsecos, o próximo passo é a extração dos elementos intrínsecos do modelo. Através das quatro equações: $(z_{11} - z_{12})$, (z_{12}) , $(z_{12} - z_{21})$ e $(z_{22} - z_{21})$, existem cinco incógnitas (R_{BC} , C_{BC} , R_{EX} , C_{EX} e R_{B2}). Para solucionar o problema, é necessária uma condição adicional. Esta condição é satisfeita descobrindo-se a razão:

$$\gamma = \frac{C_{EX}}{(C_{BC} + C_{EX})} \quad (2.79)$$

o qual é determinado pela geometria do dispositivo, portanto, independente da frequência. Para transistores HBT operando em altas frequências e com alta tensão de *Early*, as impedâncias Z_{BC} e Z_{EX} são determinadas por C_{BC} e C_{EX} . Portanto, das equações (2.75) e (2.78) temos:

$$\frac{\frac{R_{B2}}{\omega C_{EX}} \left(\frac{1}{\omega C_{BC}} + \frac{1}{\omega C_{EX}} - jR_{B2} \right)}{\left(\frac{1}{\omega C_{BC}} + \frac{1}{\omega C_{EX}} \right)^2 + R_{B2}^2} \approx z_{11} - z_{12} - Z_B \quad (2.80)$$

$$-\frac{\frac{1}{\omega^2 C_{BC} C_{EX}} \left[R_{B2} + j \left(\frac{1}{\omega C_{BC}} + \frac{1}{\omega C_{EX}} \right) \right]}{\left(\frac{1}{\omega C_{BC}} + \frac{1}{\omega C_{EX}} \right)^2 + R_{B2}^2} \approx z_{22} - z_{21} - Z_C \quad (2.81)$$

Dividindo-se as partes reais das duas equações acima, temos:

$$\gamma = \frac{C_{EX}}{C_{BC} + C_{EX}} \approx -\frac{\text{Real}(z_{22} - z_{21} - Z_C)}{\text{Real}(z_{11} - z_{12} - Z_B)} \quad (2.82)$$

Com isso,

$$\frac{R_{B2}}{R_{BC}} = \text{Real} \left(\frac{z_{11} - z_{12} - Z_B}{z_{22} - z_{21} - Z_C} \right) \quad (2.83)$$

$$\delta = R_{B2} \omega C_{BC} = \text{Im} \left(\frac{z_{11} - z_{12} - Z_B}{z_{22} - z_{21} - Z_C} \right) \quad (2.84)$$

onde δ é definido por conveniência.

Substituindo-se γ e δ na parte imaginária de (2.81), temos:

$$C_{EX} = \frac{1}{\omega \gamma \left(\frac{1}{\gamma^2} + \delta^2 \right) \text{Im}(Z_C + z_{21} - z_{22})} \quad (2.85)$$

Como todas as variáveis do lado esquerdo da equação acima são conhecidas, o valor de C_{EX} é obtido. Conhecendo-se C_{EX} , o valor de C_{BC} pode ser calculado por (2.82). Através de (2.84) e o valor de C_{BC} , obtemos R_{B2} . Com isso, R_{BC} é obtido por (2.83) e R_{EX} , através de (2.75).

Para finalizar o processo de extração, os valores de α e Z_{BE} são calculados utilizando-se (2.77) e (2.76) respectivamente. Dividindo-se (2.77) por (2.78), temos:

$$|\alpha|e^{-j\omega\tau} = \frac{z_{12} - z_{21}}{z_{22} - z_{21} - Z_C} \quad (2.86)$$

onde α e τ são dados pela magnitude e fase do lado direito da equação acima. Com o valor de α conhecido, R_{BE} e C_{BE} podem ser obtidos através da parte real e imaginária da equação (2.76), após o rearranjo:

$$Z_{BE} = z_{12} - Z_E - \frac{(1-\alpha)Z_{BC}R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} \quad (2.87)$$

Com todos os parâmetros do circuito equivalente determinados, para uma dada polarização, é possível criar um modelo do dispositivo e simulá-lo em um programa de computador.

Os modelos são úteis na fase de projetos de circuitos integrados, pois com a simulação, é possível analisar o comportamento do circuito e realizar mudanças se necessário, antes da fabricação do mesmo.

2.2.3 - RESISTORES

Os resistores integrados utilizados nos amplificadores de transimpedância são do tipo planar, ou seja, são construídos a partir de uma das camadas semicondutoras da lâmina. Neste caso, utiliza-se a camada de subcoletor do transistor HBT. Resistores com a camada de base podem também ser construídos, porém sua impedância varia significativamente, operando-se em altas frequências. Isto ocorre porque este resistor é construído sobre uma junção pn , pois a camada logo abaixo da camada de base, a de coletor, é do tipo n . Com o aumento da frequência, parte da corrente ac flui através da camada de coletor, diminuindo a impedância do resistor e conseqüentemente mudando as polarizações de um circuito integrado. Com os resistores feitos da camada de subcoletor isto não ocorre, pois abaixo desta camada encontra-se o substrato, que é semi-isolante.

A resistência de um resistor planar é basicamente dada por:

$$R = R_S + 2R_C \quad (2.88)$$

onde R_S é a resistência do material utilizado e R_C é a resistência do contato metálico.

Otimizando-se a etapa de fabricação, é possível a obtenção de um contato metálico com baixa resistência e assim pode-se considerar a resistência total dependente apenas da resistência do semiconductor:

$$R = R_S = R_{SH} \frac{L}{W} \quad (2.89)$$

onde:

R_{SH} = resistência de folha da camada semicondutora;
 L = comprimento do resistor;
 W = largura do resistor.

O valor de R_{SH} é calculado por:

$$R_{SH} = \frac{\rho}{t} \quad (2.90)$$

sendo que ρ é a resistividade do material e t é a espessura do mesmo.
 Com isso, o que define o valor do resistor é a sua geometria (L/W).

O cálculo da resistência dos contatos também pode ser feito através das estruturas TLM (*transfer length method*) [26], incluídas no *chip*. A estrutura consiste de pares consecutivos de contatos, com diferentes espaçamentos (d) entre si, como mostra a figura 2.21:

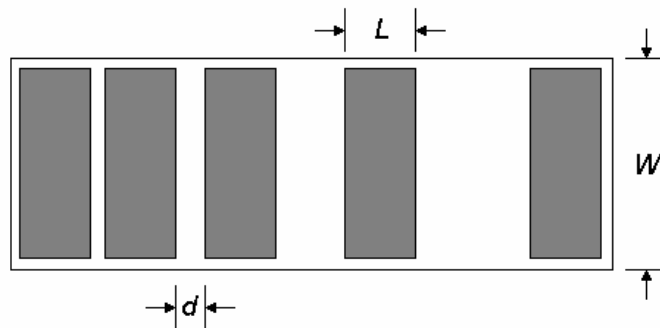


FIGURA 2.21 – VISTA SUPERIOR DE UMA ESTRUTURA TLM

Os contatos são feitos na camada semicondutora a qual deseja-se conhecer a resistividade ou a resistência dos contatos. A medida é feita conforme a montagem dada na figura 2.22:

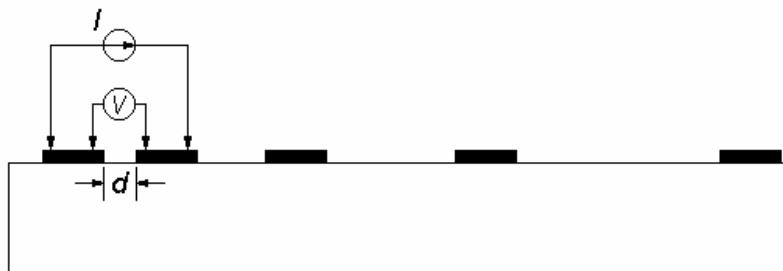


FIGURA 2.22 – PROCEDIMENTO DE MEDIDAS EM TLM

Neste método, mede-se a queda de tensão ΔV originada entre cada dois pares consecutivos de contatos, devido à passagem de corrente constante. O resultado desta medida é um gráfico de $\Delta V \times d$, que deverá ser linear se o contato for ôhmico.

A inclinação da reta de aproximação dos pontos obtidos é proporcional à resistência de folha do semiconductor e o intercepto com o eixo das ordenadas corresponde a $2R_C$.

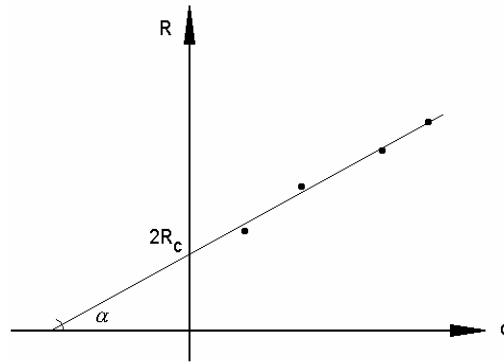


FIGURA 2.23 – GRÁFICO OBTIDO DA MEDIDA DE UMA ESTRUTURA TLM

Do gráfico acima, obtemos:

$$R_{SH} = W \tan(\alpha) \quad (2.91)$$

Através de [23], utilizamos as seguintes equações:

$$L_T = \sqrt{\frac{\rho_C}{R_{SH}}} \quad (2.92)$$

$$R_C = \frac{\sqrt{R_{SH} \rho_C}}{W} \coth\left(\frac{L}{L_T}\right) \quad (2.93)$$

onde L_T é o comprimento de transferência, definido como sendo a distância abaixo do contato em que a corrente se torna $1/e$ do valor da corrente original, sendo que e é o número de Euler. O parâmetro ρ_C representa a resistividade específica do contato.

Quanto menor o valor de L_T , maior a relação L/L_T e o termo $\coth$ se aproxima de 1. A resistividade de contato então pode ser dada por:

$$\rho_C = \frac{W^2 R_C^2}{R_{SH}} \quad (2.94)$$

e pela equação da reta de aproximação dos pontos, temos:

$$y = a + bx$$

$$R = 2R_c + \frac{R_{SH}}{W}d \quad (2.95)$$

Apesar das técnicas acima serem precisas no cálculo da resistência, o valor medido após a fabricação pode ser diferente do projetado. A tolerância de um resistor em particular é relativamente pobre ($\pm 30\%$) [33], devido a variações no processo de fabricação (erros de alinhamento das máscaras, tempos excessivos de corrosão e efeitos de superfície). Entretanto, a tolerância entre pares de resistores casados (como em um divisor de tensão) é excelente ($\pm 0.1\%$). Isto é possível através de algumas técnicas de *layout*, como resistores interdigitados, mostrado na figura 2.24:

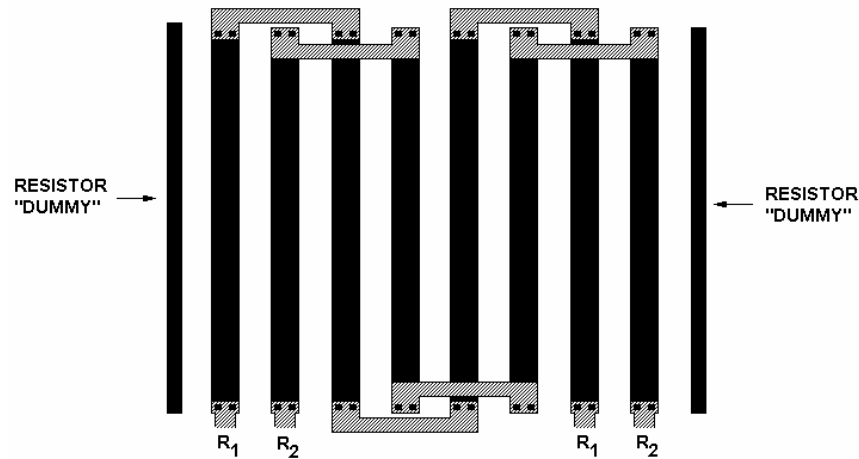


FIGURA 2.24 – TÉCNICA DE *LAYOUT* PARA OBTENÇÃO DE RESISTORES CASADOS

Os resistores R_1 e R_2 são feitos de vários segmentos interdigitados, conectados por um metal de baixa resistividade. Qualquer variação de processo que ocorrer em determinada região onde serão construídos os resistores afetará ambos igualmente, não variando a relação entre os mesmos.

Os resistores “*dummy*” servem como uma barreira de proteção dos segmentos resistivos ao lado. Sem a presença desta barreira, estes segmentos sofreriam maior ataque lateral em uma etapa de corrosão. Com a inclusão deste falso resistor, os diversos segmentos que formarão um resistor serão mais semelhantes entre si.

CAPÍTULO 3

ETAPAS DE PROJETO DO CIRCUITO INTEGRADO

3.1 – INTRODUÇÃO

Este capítulo descreve o projeto dos componentes passivos, ativos e o circuito de transimpedância. Após o projeto é feito o *layout* das máscaras litográficas, com ajuda do programa *Magic*, de domínio público. Basta fornecer um arquivo de tecnologia para o programa, onde estarão descritos os diversos níveis que serão utilizados durante o processo de fabricação. O arquivo é mostrado no apêndice A.

Para o processo que será utilizado, foram necessários 11 níveis, ou seja, 11 máscaras litográficas:

TABELA 3.1 – DESCRIÇÃO DAS ETAPAS DE FOTOLITOGRAFIA

Seqüência no Processo de Fabricação	Descrição da Etapa	Campo da Máscara
1	Metal de Emissor	Escuro
2	Mesa de Emissor	Claro
3	Metal de Base	Escuro
4	Mesa de Base	Claro
5	Metal de Subcoletor	Escuro
6	Isolação dos Dispositivos (Mesa de Subcoletor)	Claro
7	Primeira Camada de Metal dos Indutores e Capacitores	Escuro
8	Abertura de Vias no BCB	Escuro
9	Abertura de Vias no Nitreto de Silício	Escuro
10	Metal dos Resistores de Filme Fino	Escuro
11	Metal de Interconexão	Escuro

As etapas 7 e 10 não são utilizadas neste trabalho. Fazem parte de outro trabalho de mestrado na área [29] e como um conjunto de máscaras tem um alto custo, aproveita-se o mesmo conjunto, pois a tecnologia de fabricação utilizada nos dois trabalhos é a mesma. Apenas a topologia dos circuitos é diferente. O campo da máscara define se determinada região receberá ou não a luz ultravioleta na fotolitografia. As máscaras de campo claro são usadas geralmente em processos de corrosão para definição de mesas e as de campo escuro são usadas em metalizações e abertura de vias.

3.2 – FOTODETECTORES

O fotodiodo será constituído das camadas de base, subcoletor e coletor do transistor HBT. A figura 3.1 ilustra a integração *pin*+HBT:

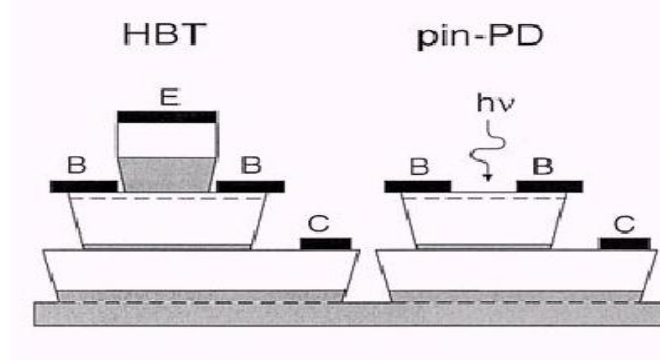


FIGURA 3.1 – FOTODETECTOR *PIN* É COMPATÍVEL COM O PROCESSO DE FABRICAÇÃO DO TRANSISTOR HBT

A camada de coletor do HBT é a largura da região de depleção (W) do fotodetector. Este valor é de $5000 \text{ \AA}$, ou seja, para o projeto este valor é fixo e não pode ser mudado. Prevê-se a utilização de camadas anti-refletivas de nitreto de silício para minimizar a reflexão na superfície, então consideramos $R=3\%$. Com isso, o máximo rendimento do dispositivo, dado pela equação 2.14, será:

$$\alpha = 10.000 \text{ cm}^{-1} = 1 \text{ } \mu\text{m}^{-1} \text{ (GaAs)}$$

$$\eta_{\text{det}} = (1-0,03)[1-\exp(-1*0,5)] = 0,381665 = 38,17\%$$

Apesar da eficiência quântica ser relativamente baixa, ela será compensada pelo ganho do transistor. Para esta eficiência quântica, a responsividade será (2.9):

$$R_{\text{ph}} = 0,2611 \text{ A/W}$$

A frequência de corte do fotodetector, dada pela equação 2.17, mostra que a capacitância C_d é diretamente proporcional à área da janela de iluminação do detector:

$$f_{-3\text{dB}} = \frac{1}{2\pi R_L C_d} \quad (3.1)$$

onde R_L e C_d equivalem aos elementos do circuito equivalente da figura 2.8.

Variando-se a área do dispositivo e calculando sua capacitância, para uma carga de $R_L = 50 \text{ } \Omega$, obtemos o gráfico da frequência de corte.

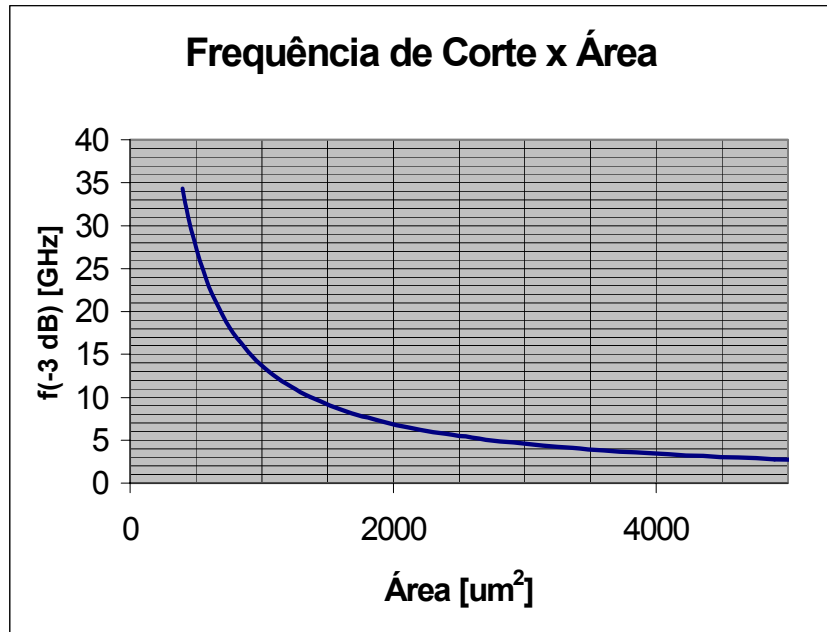


FIGURA 3.2 – RELAÇÃO ENTRE A FREQUÊNCIA DE CORTE DO DETECTOR E SUA ÁREA DE ILUMINAÇÃO ($R_L = 50 \Omega$)

Para uma frequência de corte em torno de 5 GHz, a capacitância é de aproximadamente 0,63pF, que corresponde a uma área de 2744,3 μm^2 . Com isso, decidiu-se construir 3 dispositivos, com áreas 0,5A, A e 2A, onde A é a área de corte para 5 GHz.

$$\begin{aligned} A1 &= A = 2744,35 \mu\text{m}^2 \\ A2 &= 0,5A = 1372,1 \mu\text{m}^2 \\ A3 &= 2A = 5.488,70 \mu\text{m}^2 \end{aligned}$$

A área A1 corresponde a um quadrado de lados com aproximadamente 52 μm . Porém, para maior aproveitamento da luz incidente sob o fotodetector, é interessante que a janela óptica tenha um formato circular, como é a fibra óptica. Como o *software* utilizado para a confecção do *layout* só trabalha com formas retangulares, a janela óptica é feita com oito lados, como é mostrada na figura 3.3:

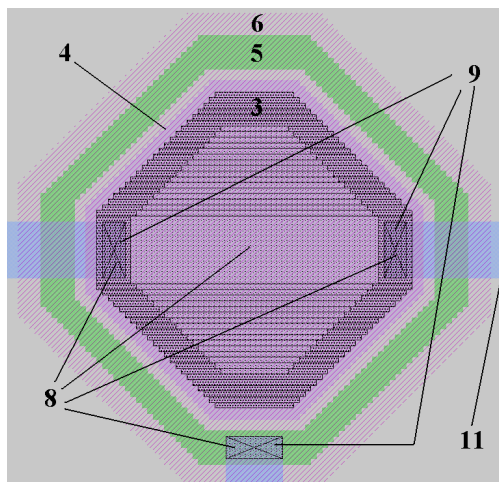


FIGURA 3.3 – LAYOUT DOS FOTODETECTORES

A enumeração na figura corresponde às etapas no processo de fabricação, descritas na tabela 3.1. A janela óptica corresponde a toda área interna a 3, a remoção do BCB sobre os contatos e a janela é a etapa 8 e a remoção do nitreto (apenas dos contatos), etapa 9.

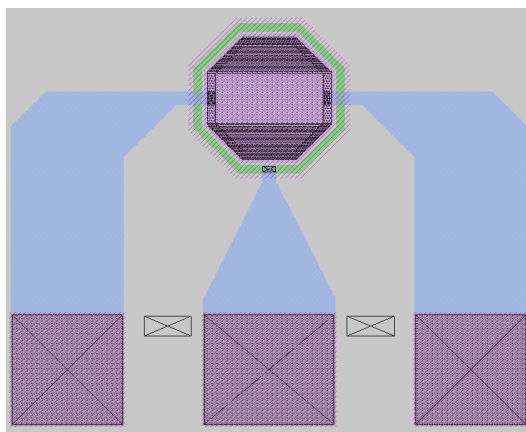


FIGURA 3.4 – FOTODETECTOR + PADS GSG

O acesso ao dispositivo (polarização, medidas RF) é feito através dos *pads*, onde o terminal do centro corresponde ao sinal e os outros dois correspondem ao terra (GSG). A distância de 150 μm centro a centro entre um *pad* e outro deve ser respeitada, definida pela ponteira de medidas utilizada durante as medidas. No caso do detector, o terminal do meio é o contato n e os dois contatos externos, o contato p. Definido a forma do fotodetector, as diferentes áreas são incluídas no chip e o próximo passo é o projeto dos resistores.

3.3 – RESISTORES

Com o valor da resistência de folha e resistividade da camada de subcoletor, que será utilizada para fabricação dos resistores, é possível determinar sua geometria, ou seja, a relação (W/L). Através de medidas de estruturas TLM, o valor da resistência de folha obtida para a camada de subcoletor é de $22,64 \Omega/\square$. Um dos resistores utilizados nos circuitos de transimpedância tem o valor de 260Ω . A definição de sua geometria é mostrada abaixo:

$$R_{SH} = 22,642 \Omega/\square$$

$$R = (L/W) R_{SH}$$

$$L/W = 260/22,64 = 11,484$$

Fixando o valor de W em 8, temos que $L = 91,87$. Calculando novamente o valor de R para os valores de $L = 91$ e $L = 92$, obtemos 257,53 e 260,36 respectivamente. Com $L = 92 \mu m$, temos uma aproximação melhor para o valor de 260Ω proposto inicialmente. Com isso este resistor terá lados $92 \mu m$ e $8 \mu m$. A figura 3.5 mostra o layout gerado para este resistor, com *pads* para medidas de RF:

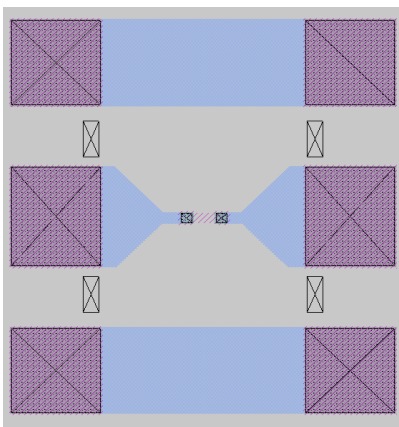


FIGURA 3.5 – LAYOUT DE UM RESISTOR INTEGRADO

Os demais resistores utilizados nos circuitos são projetados do mesmo modo acima. Os valores são: 50, 260, 300, 400 e 1000Ω .

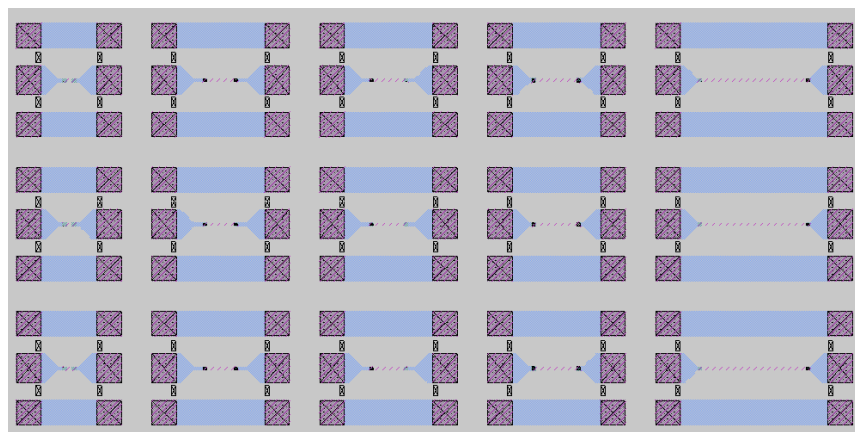


FIGURA 3.6 – DA ESQUERDA PARA A DIREITA, AS CINCO COLUNAS POSSUEM OS RESISTORES DISCRETOS DE VALORES 50, 260, 300, 400 e 1000 Ω RESPECTIVAMENTE

3.4 – TRANSISTORES BIPOLARES DE HETEROJUNÇÃO

O *layout* utilizado para o transistor HBT foi desenvolvido em [26], com áreas de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$, auto-alinhados e não auto-alinhados. O alinhamento se refere à estrutura geométrica do transistor e será detalhada no capítulo 4. As figuras 3.7 e 3.8 detalham as regiões de contato de emissor, base e coletor do transistor:

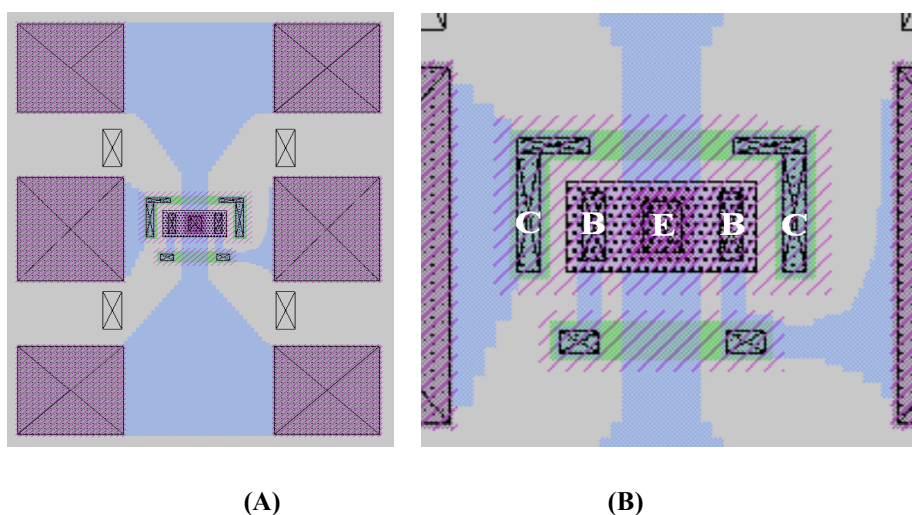


FIGURA 3.7 – (A) HBT AUTO-ALINHADO $20 \times 16 \mu\text{m}^2$ E (B) DETALHES DO *LAYOUT*

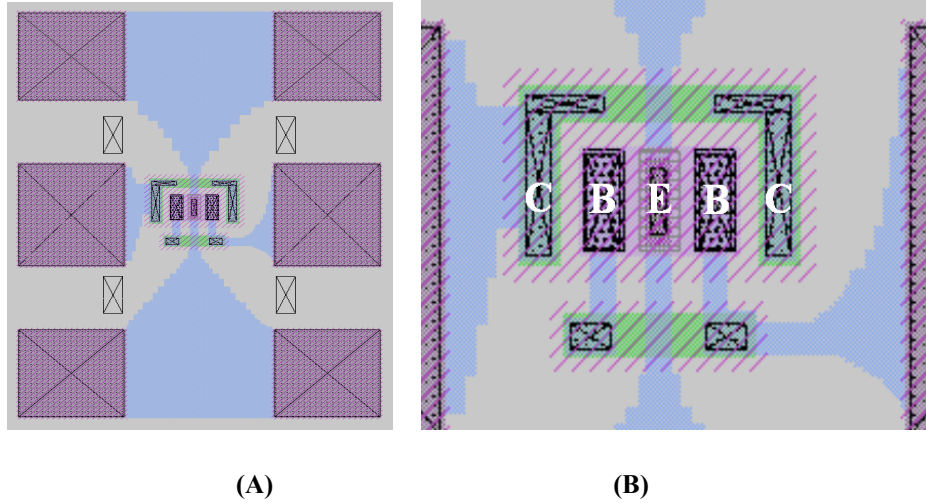


FIGURA 3.8 – (A) HBT NÃO AUTO-ALINHADO $20 \times 06 \mu\text{m}^2$ E (B) DETALHES DO *LAYOUT*

Os *pads* GSG, necessários para a caracterização elétrica, adicionam resistências, indutâncias e capacitâncias parasitas indesejadas ao dispositivo. Fazem parte do chamado dispositivo extrínseco e necessitam ser estimadas e subtraídas das medidas de RF para obtenção das características intrínsecas do transistor. Para isso, alguns dispositivos de teste são adicionados ao *chip*:

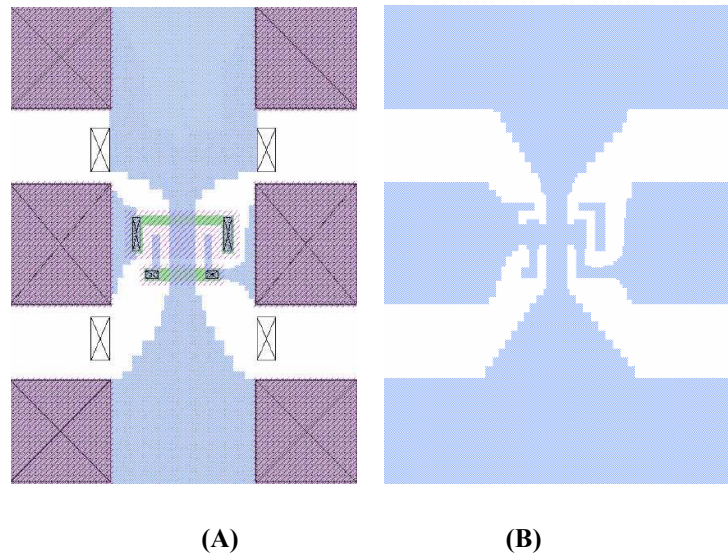


FIGURA 3.9 – ESTRUTURAS UTILIZADAS PARA OBTENÇÃO DOS PARASITAS: (A) ABERTO E (B) CURTO

A estrutura em aberto não apresenta as regiões de emissor e base. Ela é utilizada para estimativa das capacitâncias parasitas. A estrutura em curto, através do metal de interconexão (última etapa de processo) curto-circuita emissor, base e coletor. A medida desta estrutura fornece as indutâncias e resistências parasitas.

Transistores de grande área de emissor ($120 \times 120 \mu\text{m}^2$) também são incluídos no *chip*. Para a figura 3.10, da esquerda para a direita temos as regiões base, o emissor e o coletor. O transistor na parte superior é não auto-alinhado e o inferior, auto-alinhado. Com este transistor, é possível se fazer medidas de durante o processo de fabricação, após a metalização do contato de subcoletor, para verificação do andamento do processo.

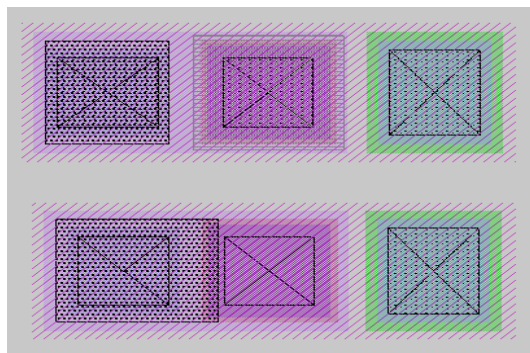


FIGURA 3.10 – TRANSISTORES DE ÁREA GRANDE

3.5 – ESTRUTURAS TLM

Estas estruturas são utilizadas para obtenção da resistência de folha de uma camada semicondutora, bem como resistividade de contatos, conforme descrito no capítulo 2. Durante a etapa de fabricação, nas fases de metalização de contato de emissor, base e coletor, são depositados cinco contatos de $80 \times 90 \mu\text{m}^2$, com espaçamentos de 4, 8, 16 e $32 \mu\text{m}$ entre si e mostrados na figura 3.11.

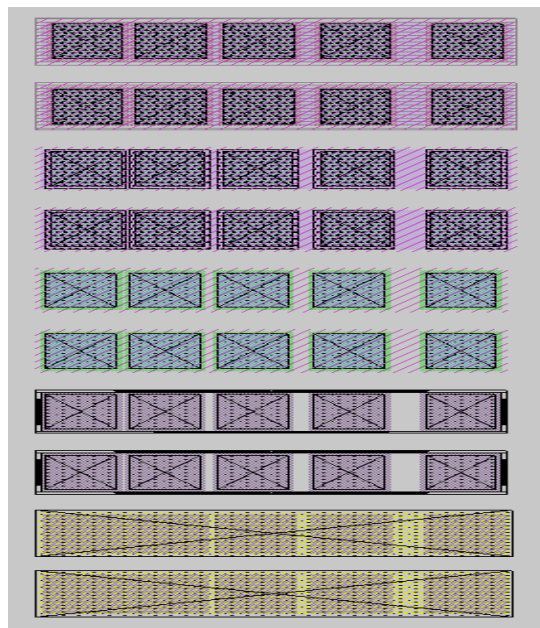


FIGURA 3.11 – ESTRUTURAS TLM PARA AS DIVERSAS CAMADAS SEMICONDUTORAS

3.6 – CIRCUITO DE TRANSIMPEDÂNCIA

A conversão luz-corrente elétrica é realizada pelo fotodetector. Esse processo de conversão exige do circuito associado ao fotodiodo características de alto desempenho, como imunidade a ruído, ampla resposta em frequência e baixo consumo. O amplificador de transimpedância é o circuito clássico utilizado para efetuar esta função. O amplificador é chamado de transimpedância porque utiliza realimentação paralela em torno do amplificador inversor. Esta técnica fornece um bom compromisso entre baixo ruído e grandes larguras de banda. O circuito proposto neste trabalho é baseado em [34], mostrado na figura 3.12:

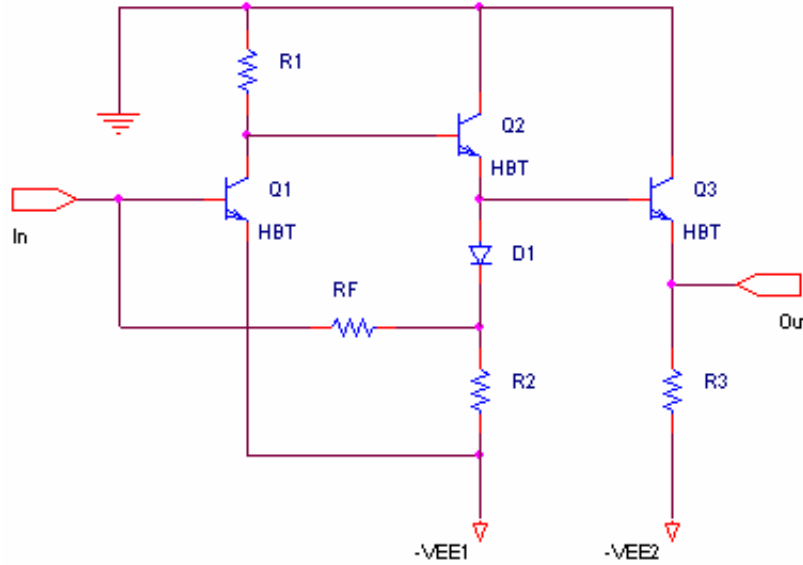


FIGURA 3.12 – CIRCUITO DE TRANSIMPEDÂNCIA PROPOSTO

Os transistores HBT possuem grande potencial para atingir as características citadas acima, devido ao excelente desempenho em alta frequência e grande transcondutância. O transistor Q_1 está na configuração emissor-comum e tem em sua base o fotodetector *pin*. O estágio é utilizado para ganho de tensão, que é dado por:

$$A_v \cong -g_{m_{Q1}} (R_1 // r_{o_{Q1}}) \quad (3.2)$$

onde g_m é a transcondutância e r_o é a resistência de saída do transistor (modelo π -híbrido). Os transistores Q_2 e Q_3 estão na configuração coletor-comum (seguidor de emissor). Este estágio fornece ganho de corrente e baixa resistência de saída, constituindo o estágio de saída do circuito. Para o transistor Q_3 , o ganho de corrente pode ser dado por:

$$A_i \cong (\beta_{Q3} + 1) \frac{r_{o_{Q3}}}{r_{o_{Q3}} + R_3} \quad (3.3)$$

O circuito é polarizado com $R_1 = 260 \, \Omega$, $R_2 = R_3 = 300 \, \Omega$ e $R_F = 400 \, \Omega$ e a figura 3.13 mostra as correntes e tensões em cada nó:

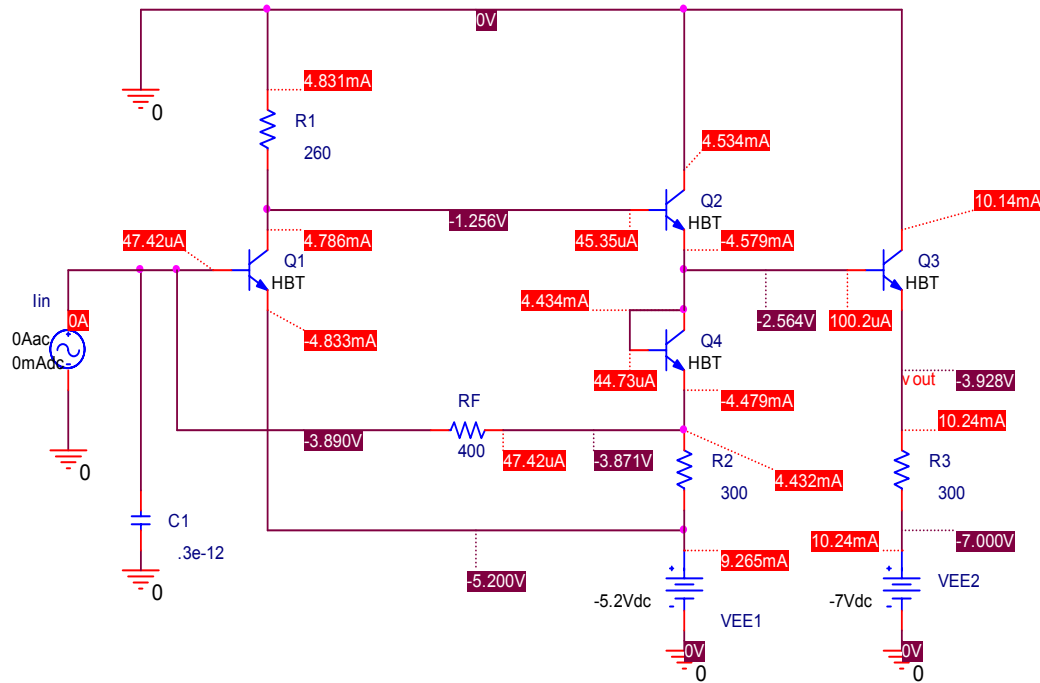


FIGURA 3.13 – CORRENTES E TENSÕES EM CADA NÓ DO CIRCUITO

O consumo de corrente do circuito está em torno de 20 mA. A capacitância na entrada do circuito representa a capacitância do fotodetector e a resistência R_F é a resistência de realimentação do circuito. Os parâmetros do modelo utilizado na simulação do circuito são mostrados na tabela 3.2, sendo que o *software* utilizado é denominado LIBRA [35], específico para microondas. O programa trabalha com os parâmetros S e considera os circuitos como quadripolos, tratando os sinais como ondas. Calcula perdas por reflexão na entrada e na saída do circuito e analisa a estabilidade do circuito.

TABELA 3.2 – PARÂMETROS DO TRANSISTOR HBT UTILIZADO NAS SIMULAÇÕES

Parâmetro	Valor	Parâmetro	Valor
I_S	$1e-23^a$	C_{JC}	70fF
β_F	100	V_{JC}	1.5V
N_F	1.04	C_{JE}	45fF
E_G	1.42eV	M_{JE}	0.5
V_{AF}	150V	V_{JE}	1.5V
N_E	6	T_F	4.2ps
I_{SE}	$1e-10^a$	R_B	3.87 Ω
R_C	4.11 Ω	R_E	6.2 Ω

Os parâmetros foram extraídos de um transistor não auto-alinhado $20 \times 16 \, \mu m^2$, fabricado no laboratório LPD/CCS. A resposta em frequência do circuito pode ser estimada por [36]:

$$f(-3dB) \approx 1/(2\pi R_F C_{\mu_{Q1}}) \quad (3.4)$$

Pela equação 3.4, vemos que a frequência de corte é uma função da resistência de realimentação (R_F) e da capacitância base-coletor do transistor de entrada. Quanto menor o produto RC , maior a frequência de corte. A capacitância entre base-coletor pode ser diminuída aumentando-se a tensão reversa sobre a junção. Para este circuito, a tensão V_{CB1} é de $2V_{BEON}$ (*base-emitter turn-on voltage*).

A resposta em frequência é então extraída, dada pelo parâmetro S_{21} e mostrada na figura 3.14:

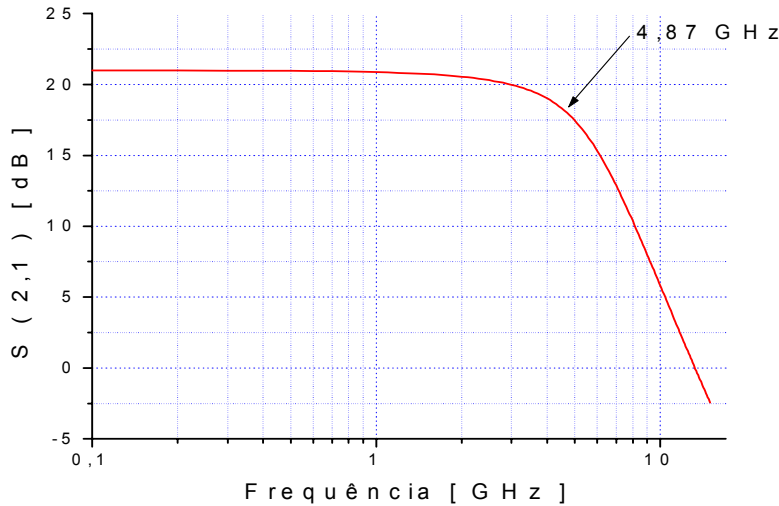


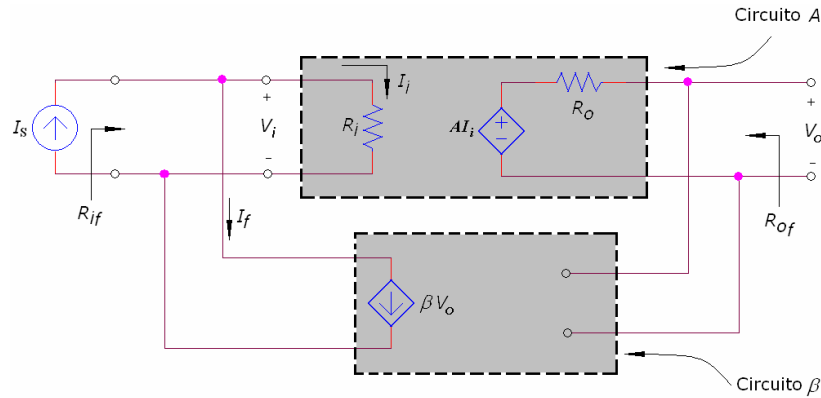
FIGURA 3.14 – GANHO SIMULADO DO CIRCUITO

Para baixas frequências, o circuito apresenta ganho em torno de 21dB e a frequência de corte está em 4,87 GHz. Os valores de ganho e frequências de corte simulados serão utilizados para comparação com as medidas após a fabricação do circuito, a fim de se validar o modelo utilizado.

A resistência R_F introduz realimentação negativa ao circuito. Os efeitos desta realimentação são:

1. Insensibilidade do ganho: o ganho do circuito se torna menos sensível a variações de temperatura e mudança nos valores dos componentes durante o processo de fabricação;
2. Controle das impedâncias de entrada e saída;
3. Redução do nível de ruído na saída;
4. Extensão da faixa de passagem do amplificador.

Todas estas propriedades são muito úteis e desejadas, em troca da redução do ganho. A topologia de realimentação utilizada para o circuito é do tipo paralelo-paralelo [37], mostrada na figura 3.15:



**FIGURA 3.15 – AMOSTRAGEM DE TENSÃO COM COMPARAÇÃO PARALELA
(REALIMENTAÇÃO PARARELO-PARALELO)**

Nesta configuração, o sinal de entrada é corrente e o sinal de saída é tensão. O circuito A possui resistência de entrada R_i , transresistância A e resistência de saída R_o . O circuito β constitui uma fonte de corrente controlada por tensão, onde β é uma transcondutância. Define-se o ganho em malha A_f como sendo:

$$A_f \equiv \frac{V_o}{I_s} \quad (3.5)$$

que pode ser obtido por:

$$A_f = \frac{A}{1 + A\beta} \quad (3.6)$$

A resistência de entrada, considerando-se a realimentação, é dada por:

$$R_{if} = \frac{R_i}{1 + A\beta} \quad (3.7)$$

Pela equação 3.7, podemos observar que a realimentação paralelo-paralelo resulta em uma resistência de entrada de baixo valor.

A resistência de saída com realimentação é dada por:

$$R_{of} = \frac{R_o}{1 + A\beta} \quad (3.8)$$

A resistência de saída inclui qualquer resistência de carga e possui também um baixo valor. Depois de determinados R_{if} e R_{of} , as resistências de entrada e saída do amplificador propriamente dito podem ser obtidas por:

$$R_{in} = 1 / \left(\frac{1}{R_{if}} - \frac{1}{R_s} \right) \quad (3.9)$$

$$R_{out} = 1 / \left(\frac{1}{R_{of}} - \frac{1}{R_L} \right) \quad (3.10)$$

onde R_s é a resistência da fonte na entrada e R_L , a resistência de carga na saída.

Os valores de A e β utilizados nos cálculos acima, são obtidos através dos circuitos A e β (figura 3.15), conforme mostrado abaixo:

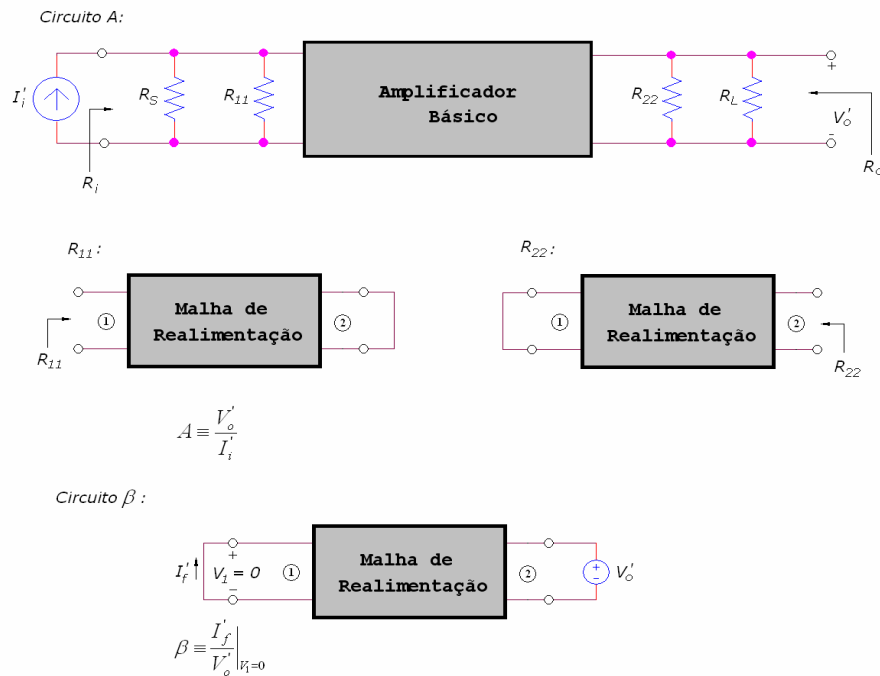
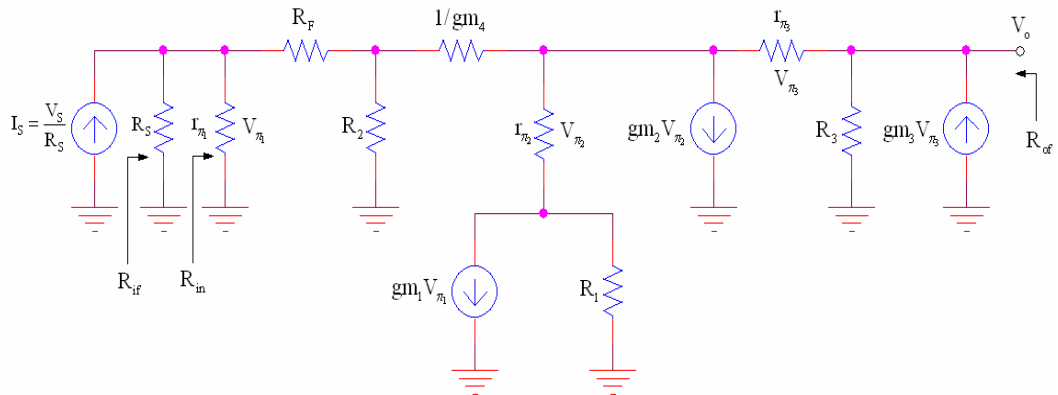
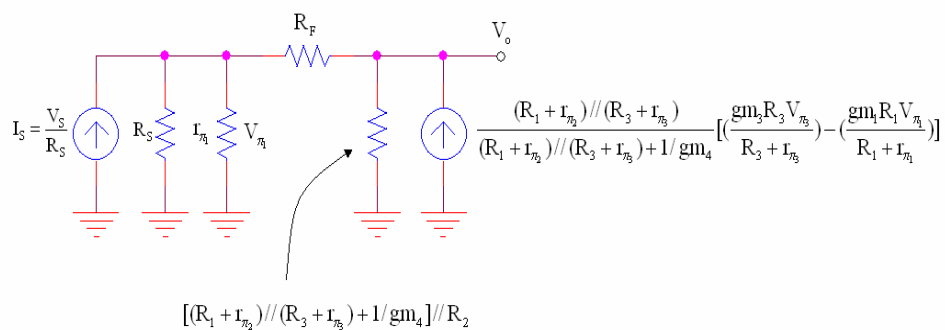


FIGURA 3.16 – DETERMINAÇÃO DOS VALORES DE A E β

Com isso, podemos calcular as impedâncias de entrada e saída do circuito de transimpedância (figura 3.12). Utilizando-se o modelo π para os cálculos, o circuito redesenhado é mostrado na figura 3.17:



(A)



(B)

FIGURA 3.17 – (A) CIRCUITO UTILIZADO PARA CÁLCULO DE RESISTÊNCIAS DE ENTRADA E SAÍDA COM REALIMENTAÇÃO, (B) SIMPLIFICAÇÃO DE (A)

A partir do circuito acima, determina-se os circuitos A e β :

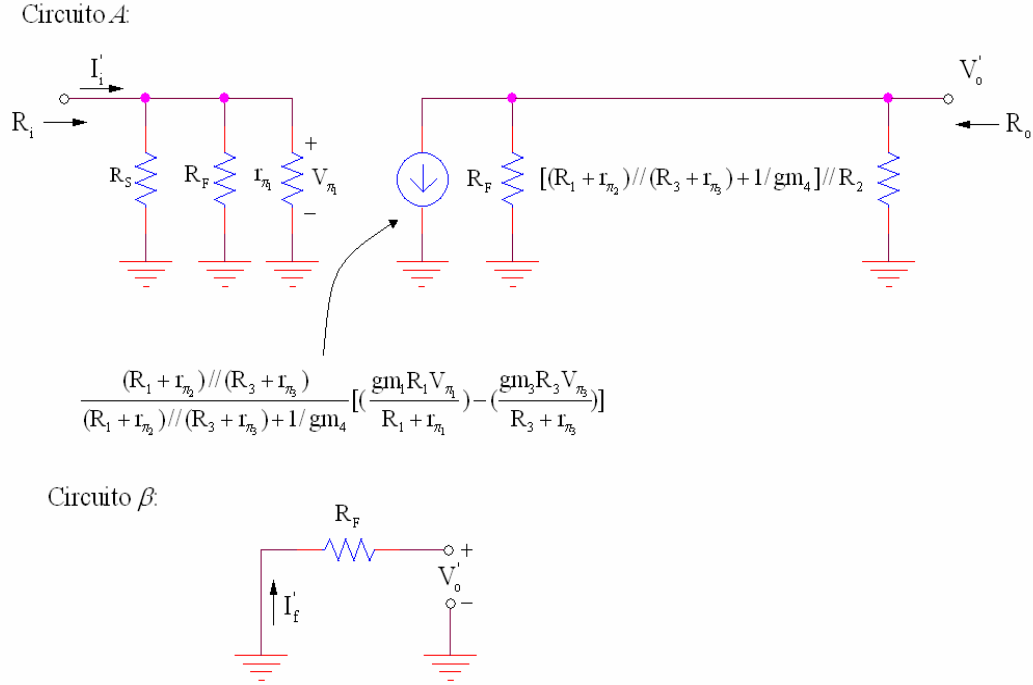


FIGURA 3.18 – CIRCUITOS A E β UTILIZADOS PARA OS CÁLCULOS DAS RESISTÊNCIAS DE ENTRADA E SAÍDA

Para o circuito A , a transresistência A pode ser obtida por:

$$A \equiv \frac{V_o'}{I_i'} = -R_i g_{m_1} (R_s // R_f // r_{\pi_1}) [1/(R_3 + r_{\pi_3}) + 1/(R_1 + r_{\pi_2})] \left\{ \left[(R_1 + r_{\pi_2}) // (R_3 + r_{\pi_3}) + 1/g_{m_4} \right] // R_2 \right\} // R_f \quad (3.11)$$

Utilizando-se os valores de g_m e r_{π} de cada transistor obtidos na simulação, o valor de A calculado é de aproximadamente -594Ω . As resistências de entrada e saída do circuito A são obtidas com auxílio da figura 3.18:

$$R_i = R_s // R_f // r_{\pi_1} = 41,2\Omega$$

$$R_o = R_f // \left\{ \left[(R_1 + r_{\pi_2}) // (R_3 + r_{\pi_3}) + 1/g_{m_4} \right] // R_2 \right\} = 115\Omega$$

onde $R_s=50\Omega$.

Para o circuito β :

$$\beta \equiv \frac{I_f'}{V_o'} = -\frac{1}{R_f} = -2,5m\Omega^{-1}$$

Obtidos os valores de A e β , as resistências de entrada e saída com realimentação podem ser calculadas. Através das equações (3.7) e (3.8), obtemos os valores:

$$R_{if} = 23,2\Omega$$

$$R_{of} = 44,2\Omega$$

Através dos parâmetros S_{11} e S_{22} , podemos observar as perdas de retorno na entrada e saída do circuito. Estas perdas ocorrem quando as impedâncias de entrada e saída do circuito não estão casadas com a impedância do aparelho de medidas, usualmente $50\ \Omega$. Estes parâmetros foram obtidos com o auxílio da ferramenta de simulação LIBRA.

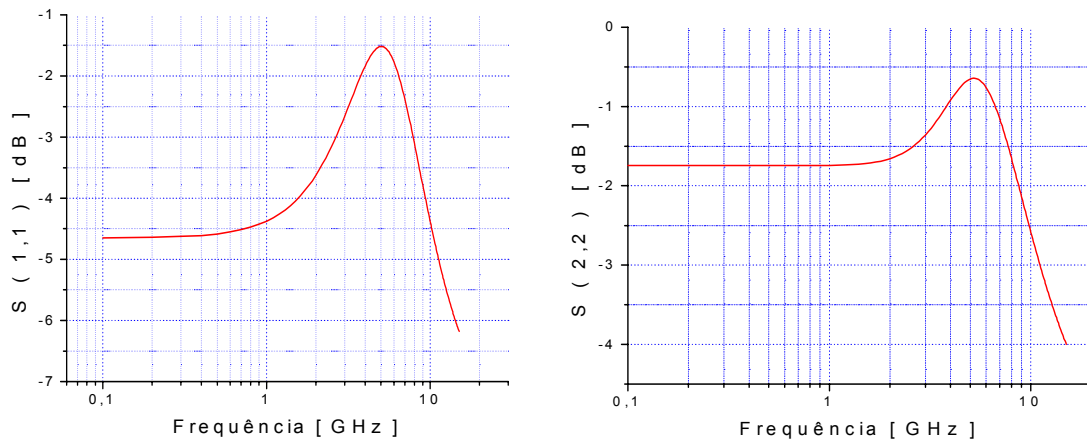


FIGURA 3.19 – PERDAS DE RETORNO NA ENTRADA E SAÍDA DO CIRCUITO

Para a entrada, o valor de $|S_{11}|$ em 100 MHz está em torno de -4,6 dB. A saída possui perda $|S_{22}|$ de -1,7 dB. Estes valores são altos devido ao fato do circuito não possuir circuitos casadores de impedância. Perdas inferiores a -10 dB podem ser obtidas com casamento de impedâncias.

Feitas as simulações, o *layout* do circuito é feito, mostrado na figura 3.20:

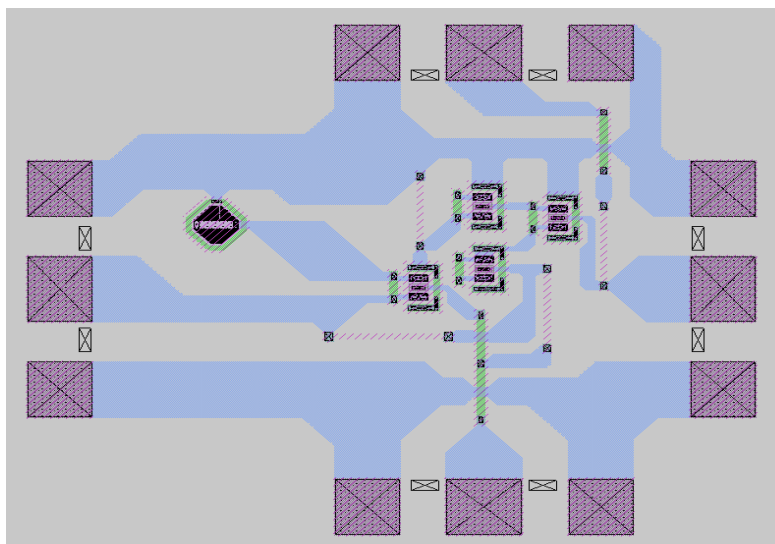


FIGURA 3.20 – LAYOUT FINAL DO CIRCUITO DE TRANSIMPEDÂNCIA

Os *pads* superior e inferior são os *pads* de alimentação dc, enquanto que o *pad* à esquerda é o *pad* de entrada de RF e o *pad* à direita é o *pad* de saída. Com este *pad* de RF na entrada, podemos fazer medidas de duas maneiras: colocando-se um sinal de microondas na entrada e sem luz no fotodetector e o inverso, sem sinal na entrada e incidindo luz sobre o fotodetector, medindo-se as respectivas saídas. Os *pads* respeitam um certo afastamento entre si para tornar possível a montagem do *setup* de medidas. Para o fotodetector, foi mantida uma distancia em torno de 200 μm de distancia entre o mesmo e o circuito amplificador, pois a luz não pode incidir sobre as junções dos transistores. Se isto ocorre, portadores são gerados nestas junções, tirando o circuito do seu ponto de polarização.

Um segundo circuito de transimpedância será proposto neste trabalho, onde sua configuração consiste de um par Darlington [38] de transistores HBT, mostrado na figura 3.21. A principal característica desta conexão é o alto ganho, que é dado por $\beta_{\text{comb}} = \beta_{Q1} * \beta_{Q2}$, onde β_{comb} é o ganho combinado da estrutura.

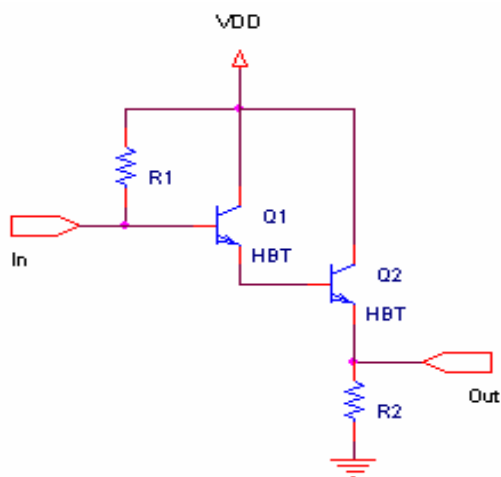


FIGURA 3.21 – CIRCUITO DE TRANSIMPEDÂNCIA UTILIZANDO PAR DARLINGTON, ONDE $R1=1\text{K}\Omega$ E $R2=50\Omega$

A figura 3.22 mostra as correntes e tensões para os nós do circuito, para $R1=1k\Omega$ e $R2=50\Omega$:

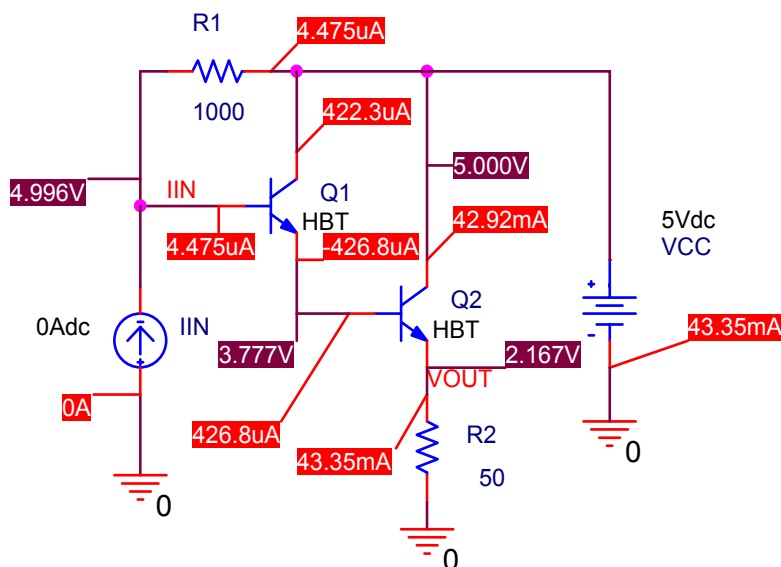


FIGURA 3.22 – CORRENTES E TENSÕES EM CADA NÓ DO CIRCUITO

O consumo do circuito está em torno de 40 mA. Apesar do alto ganho, esta configuração apresenta baixa resposta em frequência, mostrada na figura 3.23 pela simulação:

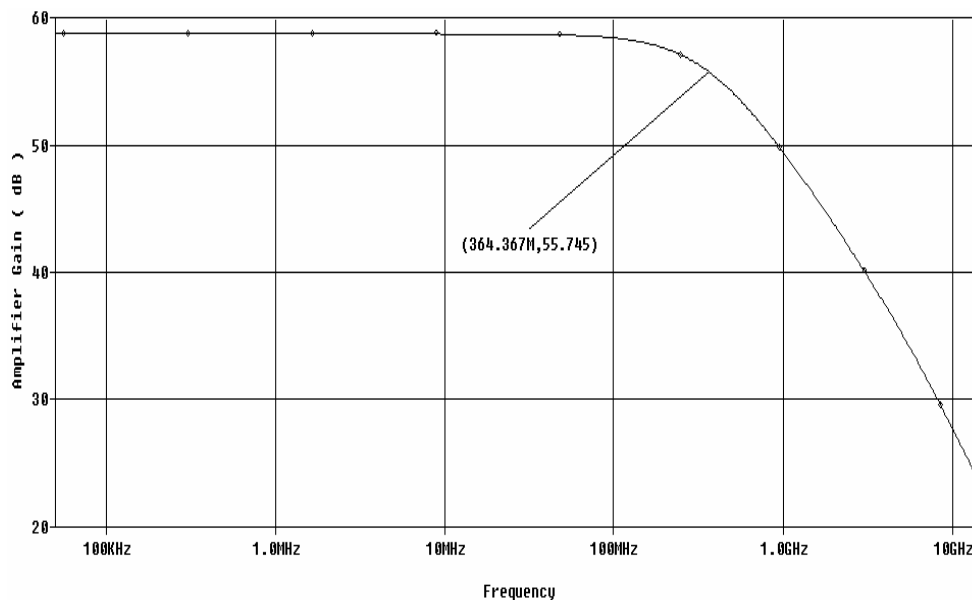


FIGURA 3.23 – RESPOSTA EM FREQUÊNCIA DO CIRCUITO DE TRANSIMPEDÂNCIA UTILIZANDO PAR DARLINGTON

O circuito apresenta ganho dc de 58.7dB e frequência de corte de 364.4 MHz, menor como esperado em relação ao primeiro circuito de transimpedância apresentado.

Com isso, o *layout* deste circuito de transimpedância é gerado e como o mesmo é limitado pela resposta em frequência, apenas o fotodetector de área 2A é utilizado, para maior aproveitamento da luz.

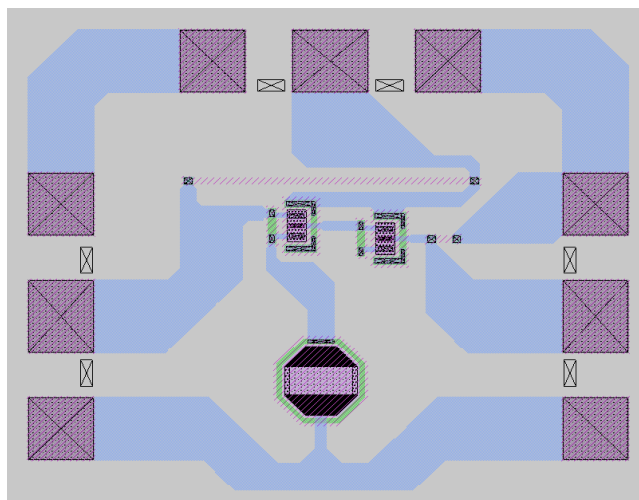


FIGURA 3.24 – *LAYOUT* FINAL DO CIRCUITO DE TRANSIMPEDÂNCIA NA CONFIGURAÇÃO DARLINGTON

Para finalizar o processo de geração das máscaras litográficas, algumas marcas são adicionadas em cada nível, as quais são utilizadas durante todo o processo de fabricação para alinhamento da etapa corrente com a anterior.

O alinhamento consiste em posicionar as estruturas em forma de cruz dentro de sua moldura, da maneira mais simétrica possível. As marcas de alinhamento são mostradas na figura 3.25, nas linhas de estrutura 2, 3, 5 e 6. As linhas 1 e 4 constituem as estruturas *vernier*, utilizadas para acompanhamento do processo de revelação do fotorresiste. As diferentes cores para a mesma estrutura representam os diversos níveis durante o processo.

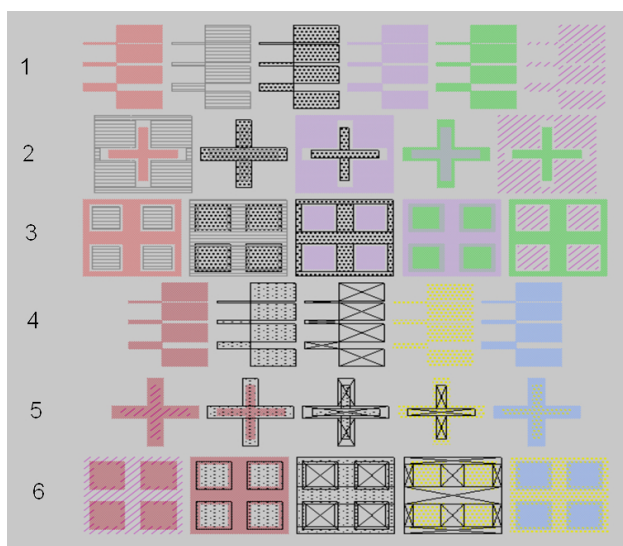


FIGURA 3.25 – MARCAS DE ALINHAMENTO

De posse do conjunto de máscaras, a próxima etapa é a fabricação dos circuitos, o qual será descrita no próximo capítulo.

CAPÍTULO 4

FABRICAÇÃO DO CIRCUITO INTEGRADO

4.1 – INTRODUÇÃO

O processo de fabricação dos dispositivos integrados foi realizado nos laboratórios *LPD-IFGW* (Laboratório de Pesquisa em Dispositivos do Instituto de Física *Gleb Wataghin*) e *CCS* (Centro de Componentes Semicondutores), utilizando o conjunto de etapas elementares de processo de fabricação, previamente estabelecidos nos respectivos locais. Para a obtenção de um alto rendimento na fabricação dos dispositivo, estas etapas devem ser realizadas de tal forma a minimizar os danos na superfície do material semiconductor em cada etapa, o qual pode prejudicar a realização da etapa posterior. Durante o processo, as tarefas mais realizadas são: limpeza do material semiconductor, corrosão, fotolitografia, metalização e deposição de material isolante.

4.2 – DESCRIÇÃO DO MATERIAL SEMICONDUTOR UTILIZADO

As camadas do material utilizado foram crescidas a partir do processo MOCVD (*Metalorganic Chemical Vapor Deposition*), com a orientação [1 0 0], pela empresa KOPIN [39]. A descrição segue abaixo na tabela 4.1:

TABELA 4.1 – DESCRIÇÃO DAS CAMADAS EPITAXIAIS DO TRANSISTOR HBT DE InGaP/GaAs

Camada	Material	Espessura (Å)	Concentração (cm ⁻³)
Capa	In _y Ga _{1-y} As (y = 0,5)	500	>1,0·10 ¹⁹ (n ⁺)
Capa	In _y Ga _{1-y} As (y = 0 a 0,5)	500	> 1,0·10 ¹⁹ (n ⁺)
Capa	GaAs (Si)	1.000	5,0·10 ¹⁸ (n ⁺)
Emissor	In _y Ga _{1-y} P (y = 0,5) (Si)	500	5,0·10 ¹⁷ (n)
Base	GaAs (C)	800	4,0·10 ¹⁹ (p ⁺)
Coletor	GaAs (Si)	5.000	4,0·10 ¹⁶ (n)
Subcoletor	GaAs (Si)	5.000	5,0·10 ¹⁸ (n ⁺)

As camadas de capa possuem uma alta concentração de dopantes, para se obter uma baixa resistividade do contato do terminal emissor do transistor HBT. As camadas subseqüentes formarão as regiões de emissor, base e coletor do transistor. O contato P do fotodetector será feito na região da base, enquanto que o contato N será feito na camada de subcoletor. A figura 4.1 ilustra o substrato de GaAs com as respectivas camadas epitaxiais.

CAPA
CAPA
CAPA
EMISSION
BASE
COLETOR
SUBCOLETOR
GaAs

FIGURA 4.1 – MATERIAL SEMICONDUTOR UTILIZADO PARA FABRICAÇÃO DO CIRCUITO INTEGRADO

4.3 – ETAPAS DE PROCESSO

As etapas elementares do processo de fabricação são descritas abaixo.

4.3.1 – LIMPEZA ORGÂNICA

A limpeza orgânica denominada *soxlet* visa remover partículas e filmes orgânicos que existam sobre a superfície da lâmina. Estas partículas podem causar erros em etapas como fotolitografia ou corrosão. Com o andamento do processo, estes erros evoluem e podem causar a perda de dispositivos no final do processo. Por isso, o processo de fabricação é realizado em salas limpas, onde a água utilizada é deionizada (DI), com 18 MΩ.cm, a umidade é controlada e o ar ambiente é filtrado. O procedimento de limpeza se inicia colocando-se em um *becker* tricloroetileno (TCE). O *becker* é colocado sobre uma placa quente (*hot-plate*), sendo este ajustado em 100 °C. A amostra de GaAs é colocada no sistema mostrado abaixo, que se baseia em um sifão refrigerado, durante um tempo de 15 minutos.

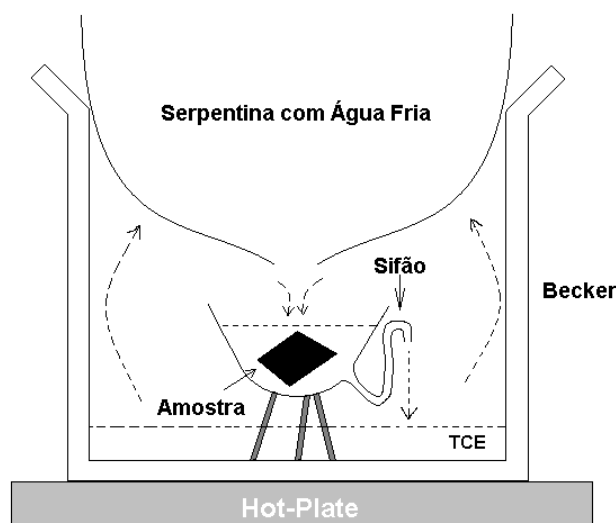


FIGURA 4.2 – SISTEMA UTILIZADO PARA LIMPEZA ORGÂNICA DA LÂMINA

Conforme o TCE evapora-se, o gás eleva-se e entra em contato com as paredes frias da serpentina, retornando à fase líquida e caindo sobre a amostra. Quando o nível de TCE dentro do sifão eleva-se até a área de escoamento do líquido na parte superior, o sifão praticamente esvazia-se, carregando as partículas de impureza para o fundo do becker. A amostra continua a ser limpa por TCE destilado, que vem da parte inferior da serpentina aumentando o nível de TCE dentro do sifão.

O ciclo de esvaziamento do sifão é repetido de duas a três vezes. O processo de limpeza continua da mesma forma descrita acima, trocando-se o TCE por acetona, utilizando o mesmo tempo e a mesma temperatura. Terminado a limpeza com acetona, realiza-se o procedimento com álcool isopropanol, mantendo-se a temperatura e o tempo. Após o término da limpeza com isopropanol, o *becker* deve ser retirado e mantido em repouso até atingir a temperatura ambiente, para que a amostra possa ser lavada com água DI. Isto evita choques térmicos na mesma. É necessário então secar a amostra, com jatos de nitrogênio para então levá-la ao *hot-plate*, durante 30 minutos e a temperatura de 118 °C. Agora a amostra está preparada para o processo de fotolitografia.

4.3.2 – FOTOLITOGRAFIA PARA DEFINIÇÃO DE CONTATO DE EMISSOR

A primeira fotolitografia tem como objetivo definir as regiões de contato de emissor dos transistores. Para a deposição de fotoresiste sobre a amostra, utiliza-se um equipamento chamado *spinner*, que possui um eixo que rotaciona em alta velocidade e através de vácuo, fixa a amostra ao eixo central. O fotorresiste utilizado é o AZ 5214 [40], da empresa Hoeschst Chem, que pode ser utilizado tanto em processos positivos quanto negativos. O revelador usado é o AZ400K, o qual proporciona um bom controle do processo de revelação. A seguir é descrito todo o processo:

1. Deposição de fotorresiste sobre a amostra. A mesma é rotacionada a 4000 rpm, durante 30 s. É muito importante observar a umidade da sala de deposição, que deve estar em torno de 40-50%. Se for menor, a posterior remoção do fotorresiste se torna complexa;
2. Cura da lâmina no *hot-plate*, durante 4 minutos, na temperatura de 90 °C;
3. Exposição com luz ultravioleta (UV), durante 0,8 s. A fotoalinhadora deve estar no modo de controle de intensidade (CI) e a exposição é feita sem máscara litográfica;
4. Cura no *hot-plate*, em 118 °C por 1 minuto e 45 segundos;
5. Exposição de 3 minutos das regiões de borda da amostra;
6. Revelação das bordas, com solução de revelador e água DI numa proporção de 1:3,5, durante 45 s;
7. Exposição de luz UV durante 1 minuto;
8. Revelação da amostra, durante 1 minuto e 10 segundos.

Os passos 5 e 6 são realizados pois não se trabalha com lâminas inteiras do material, devido seu alto custo. A lâmina é clivada em pequenos cacos, neste caso de 2 cm x 2 cm. Trabalhando-se com cacos, ao se aplicar fotorresiste e rotacionar a amostra, a camada de fotorresiste será mais espessa nas bordas. Isto pode prejudicar o alinhamento e a proximidade da máscara com a amostra.

A solução é clivar um caco um pouco menor, de silício, que servirá de máscara para a região central e deixará apenas exposta as regiões de borda da amostra. Faz-se uma exposição por um longo período e revela-se a amostra, eliminando as regiões de fotorresiste das bordas.

Esta fotolitografia descrita nos passos 1 a 8 é realizada antes de qualquer etapa de metalização para formação de contatos. Ela é necessária pois ao se revelar a amostra, as paredes verticais do fotorresiste possuem um perfil negativo, que é necessário para a realização de um processo chamado *lift-off*. Este processo é utilizado para se fabricar transistores auto-alinhados e será explicado adiante. O perfil negativo é gerado devido à inversão do gradiente de solubilidade, através do tratamento térmico. As moléculas do fotorresiste que recebem exposição de luz UV estabelecem ligações, formando um composto menos solúvel ao revelador. Para se obter o perfil desejado para o processo de metalização por *lift-off*, realiza-se uma exposição rápida, tipo *flood*, para sensibilizar uma fina camada na parte superior do fotorresiste. O tratamento térmico que é realizado após esta exposição diminui a solubilidade desta camada. Com isso, durante a exposição com máscara, esta região e a camada de fotorresiste logo abaixo terão suas solubilidades aumentadas [21]. Após a revelação, obtém-se a estrutura com o perfil negativo desejado:

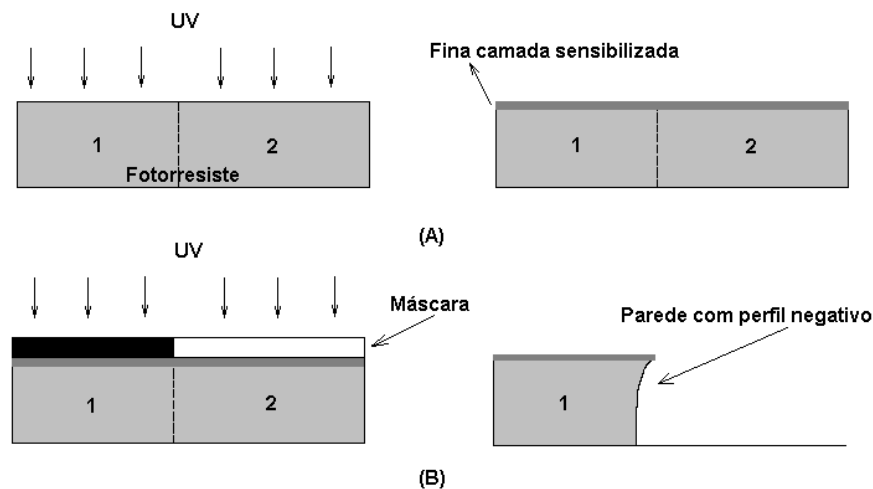


FIGURA 4.3 – EXPOSIÇÃO DO TIPO *FLOOD* (A) E COM MÁSCARA (B), PARA PROCESSO DE *LIFT-OFF*

Como ilustra a figura 4.3, é feita uma exposição rápida, a qual sensibiliza uma camada fina. Depois do tratamento térmico, a amostra é exposta novamente com luz UV. A região 1 será protegida da luz, enquanto que a região 2 será sensibilizada. Após a revelação, obtém-se o perfil necessário para metalização tipo *lift-off*. A partir deste ponto a amostra está pronta para ser metalizada. A figura 4.4 ilustra a etapa descrita acima, mostrando a região em que foi aberta durante a revelação, no qual será feito o contato de emissor.

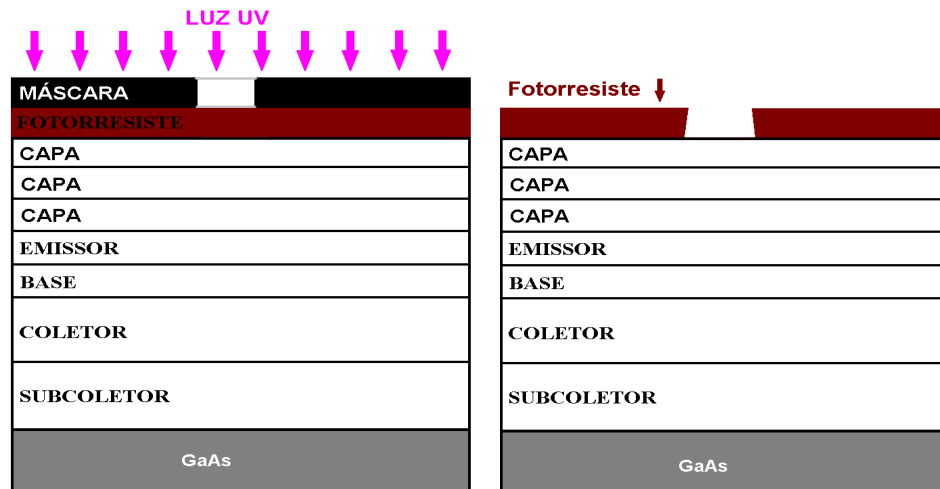


FIGURA 4.4 – FOTOGRAVAÇÃO PARA DEFINIÇÃO DE CONTATO DE EMISSOR

4.3.3 – METALIZAÇÃO

A obtenção de contatos ôhmicos de baixa resistividade é necessária para que o transistor HBT possa operar em altas frequências. No caso do contato de base, a resistividade deve ser bem baixa, pois o valor define a frequência máxima de operação do transistor. Os contatos são feitos de ligas baseadas em Au, através de evaporadora por feixe de elétrons (*electron-beam*). Antes de dar início à metalização, a amostra deve passar por um processo de limpeza através de ataque químico, por plasma-barril. O equipamento consiste em uma câmara no qual através de descargas de RF, gera radicais de O_2 que removem camadas finas de fotorresistite que possam existir na região aberta pela revelação. A limpeza por plasma de O_2 é feita da seguinte forma:

1. Tempo = 3 minutos;
2. Potência do aparelho = 100 W;
3. Pressão = 100 mTorr;
4. Fluxo de gás = 50 sccm.

Após a limpeza, a amostra ainda necessita passar pela remoção de óxido nativo que possa existir na superfície. O óxido é retirado fazendo-se uma imersão (*dip*) em solução de ácido clorídrico (HCl) com água DI na proporção de 1:10, durante 10 segundos, passando então por secagem de jatos de nitrogênio. A amostra deve então ser levada imediatamente a anticâmara da evaporadora, pois o GaAs oxida-se com certa rapidez. Os metais são evaporados um por vez, selecionando-se a espessura desejada. A tabela 4.2 descreve a sequência dos metais evaporados:

TABELA 4.2 – METAIS QUE FORMAM O CONTATO DE EMISSOR [21]

Metal	Espessura (Å)
Níquel	50
Germano	500
Ouro	1000
Níquel	300
Ouro	1000

A figura 4.5 descreve a etapa de metalização:

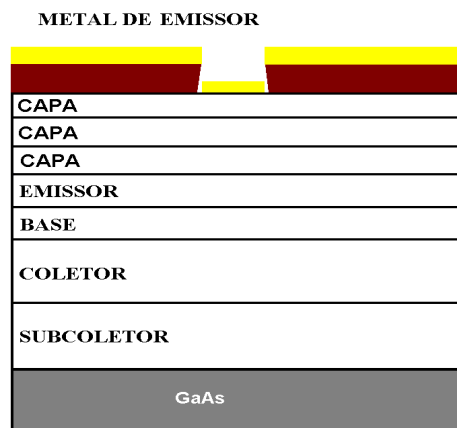


FIGURA 4.5 – METALIZAÇÃO PARA OBTENÇÃO DO CONTATO DE EMISSOR DO TRANSISTOR HBT

Após a evaporação de todos os metais, é realizado o processo de *lift-off*, que consiste em remover o fotorresiste e o metal sobre o mesmo, por meio de imersão da lâmina em um becker com acetona. Se o perfil da parede do fotorresiste fosse positivo, o contato estaria ligado fisicamente ao resto do metal evaporado, que está sobre o fotorresiste e o processo de *lift-off* não ocorreria. A acetona dissolve o fotorresiste e no final obtém-se o contato, mostrado na figura 4.6:

CONTATO DE EMISSOR

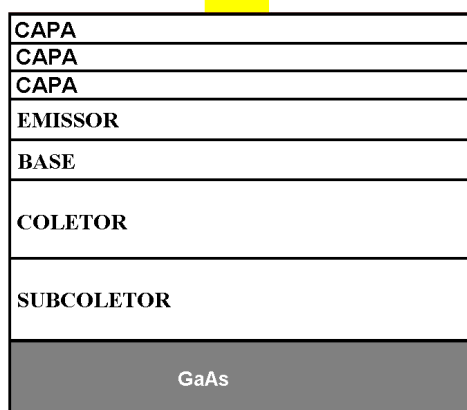


FIGURA 4.6 – CONTATO DE EMISSOR APÓS O *LIFT-OFF*

A acetona pode não remover todo o fotorresiste, então é feita uma limpeza no plasma-barril, com maior potência e tempo. A limpeza é descrita:

1. Tempo = 10 minutos;
2. Potência do aparelho = 200 W;
3. Pressão = 200 mTorr;
4. Fluxo de gás = 50 sccm.

A limpeza através do plasma barril é realizada diversas vezes durante o processo de fabricação, depois de etapas de fotolitografia, como descrito acima e depois de etapas de *lift-off* e corrosões. Para simplificar a descrição do processo, designaremos a partir deste ponto a limpeza por plasma de 3 minutos como limpeza plasma-barril A e a limpeza de 10 minutos de plasma-barril B.

4.3.4 – RECOZIMENTO TÉRMICO DO METAL DE CONTATO

O metal evaporado necessita passar por um processo térmico chamado de recozimento (*annealing*), que tem por finalidade melhorar a aderência do metal ao material semicondutor. Este processo é realizado em um forno convencional de quartzo, em ambiente de nitrogênio, na temperatura de 300 °C durante o tempo de 3 minutos e 30 segundos.

4.3.5 – FOTOLITOGRAFIA PARA DEFINIÇÃO DA MESA DE EMISSOR

A segunda máscara do conjunto define as regiões de mesa do emissor, regiões estas que permanecerão protegidas durante a etapa de corrosão. Para os transistores auto-alinhados, o próprio metal de emissor servirá de máscara, ou seja, a mesa de emissor terá aproximadamente a área do contato. As ilustrações a seguir descreverão a etapa. Após alguns testes, optou-se por utilizar o fotorresiste AZ 1518 [41], pelo fato da próxima etapa se tratar de uma corrosão úmida. O processo de fotogração segue abaixo:

1. Deposição de fotorresiste, *spinner* durante 40 segundos e rotação a 7.000 rpm (umidade da sala de deposição deve estar em 50%);
2. Cura em estufa, na temperatura de 92 °C durante 30 minutos;
3. Exposição com caco de silício (para proteção da região central) de 2 minutos para remoção das bordas;
4. Revelação de 30 segundos;
5. Exposição de 25 segundos à luz UV com máscara, utilizando modo CP (controle de potência) da fotoalinhadora;
6. Revelação da amostra com AZ400K e água DI na proporção 1 : 3,5 durante aproximadamente 35 segundos;
7. Cura em estufa, na temperatura de 120 °C durante 30 minutos.

Realiza-se então a limpeza plasma-barril A e a amostra está preparada para a corrosão úmida. A figura 4.7 ilustra a etapa. O contato de emissor protegido por fotorresiste formará um transistor não auto-alinhado, enquanto que o contato que não está protegido, um transistor auto-alinhado.



FIGURA 4.7 – FOTOLITOGRAFIA PARA DEFINIÇÃO DA MESA DE EMISSOR

4.3.6 – CORROSÃO ÚMIDA PARA DEFINIÇÃO DA MESA DE EMISSOR

O processo de corrosão ou *etching* consiste na remoção completa de uma camada semicondutora que não está protegida pelo fotorresiste. A corrosão para definição da mesa de emissor é do tipo úmida, feita com solução de ácido sulfúrico: $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, na proporção de 1:8:40. As três camadas de capa serão removidas pela solução, parando na camada de InGaP, pois o material possui alta seletividade à corrosão com o GaAs [42]. A taxa de corrosão é relativamente alta, em torno de 10.000 Å/minuto [21]. Como desejamos remover 2000 Å, o tempo de corrosão será de 13 segundos, um a mais para garantir a remoção total das camadas de capa.

As etapas de *etching* são acompanhadas por medidas de curvas de diodo, conforme a figura 4.8. Através da medida, podemos afirmar se uma determinada camada foi totalmente removida ou não [26]. Ela consiste na medida da corrente reversa de um diodo *Schottky* formado pela superfície da amostra e uma ponta de tungstênio.

O método é apropriado, pois a corrente reversa varia muitas ordens de grandeza conforme a dopagem da camada. O aparelho usado é um *HP4145B – Semiconductor Analyser* em conjunto com uma estação de ponteiros para medidas elétricas.

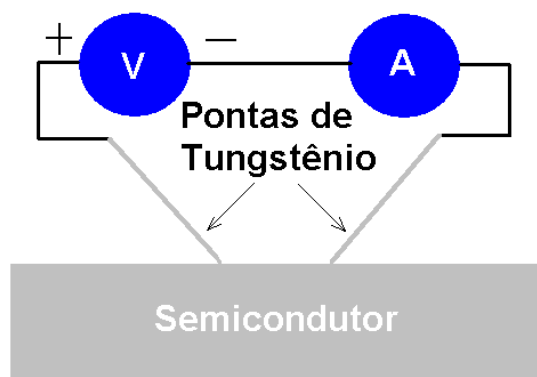


FIGURA 4.8 – MEDIDAS DE CURVA DE DIODO

A camada de capa foi medida depois da limpeza orgânica. Como esta camada tem dopagem muito alta, seu comportamento é ôhmico, não possuindo tensão de ruptura, conforme visto na figura 4.9:

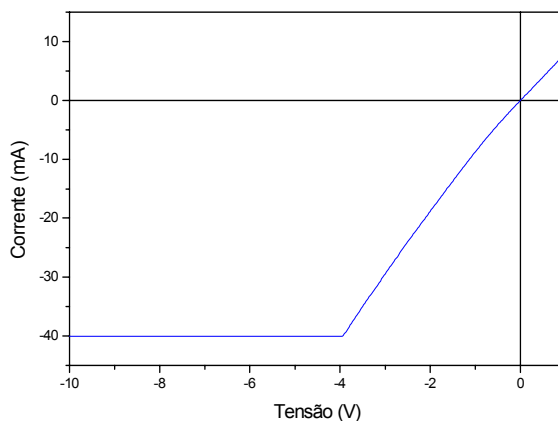


FIGURA 4.9 – CURVA DE DIODO PARA CAMADA DE CAPA. A CORRENTE É DA ORDEM DE mA

Logo após a corrosão das camadas de capa, nova medida de diodo é feita. Como a dopagem da camada de emissor é menor, a corrente deve ser da ordem de μA . A tensão de ruptura está em torno - 6.5 V, mostrada na figura 4.10:

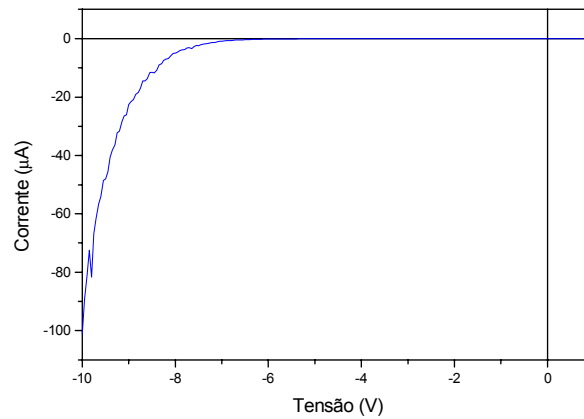


FIGURA 4.10 – CURVA DE DIODO PARA CAMADA DE EMISSOR

A corrosão baseada em solução de ácido sulfúrico é anisotrópica, ou seja, não ataca igualmente em todas as direções. As paredes paralelas ao sentido das elipses da face não polida da lâmina de GaAs, orientação $[-1\ 1\ 0]$, terão perfil negativo, enquanto que as paredes perpendiculares, orientação $[1\ 1\ 0]$, terão perfil positivo. A orientação das elipses é determinada pelos chanfros da lâmina original de GaAs ou pela observação da face não polida através de um microscópio de grande aumento.

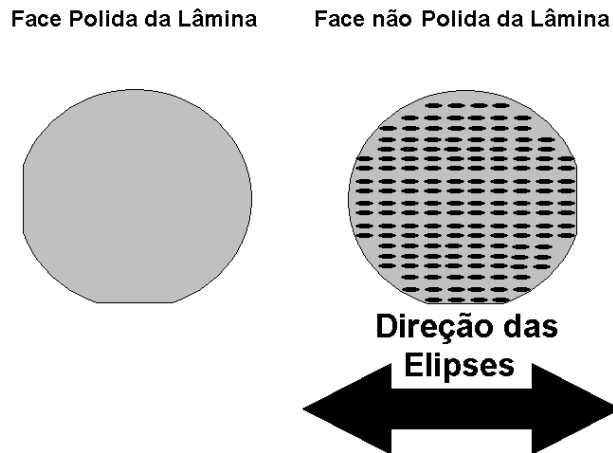


FIGURA 4.11 – ORIENTAÇÃO DA REDE CRISTALINA DA LÂMINA

Como foi dito anteriormente, os transistores auto-alinhados necessitam deste perfil negativo. No desenho do *layout*, o maior lado do emissor foi disposto paralelamente às elipses. Então este maior lado ficará com perfil negativo, evitando que na etapa de metalização de contato de base, emissor e base entrem em curto-circuito. O perfil gerado após o *etching* é mostrado na figura 4.12, com detalhe para o perfil negativo:

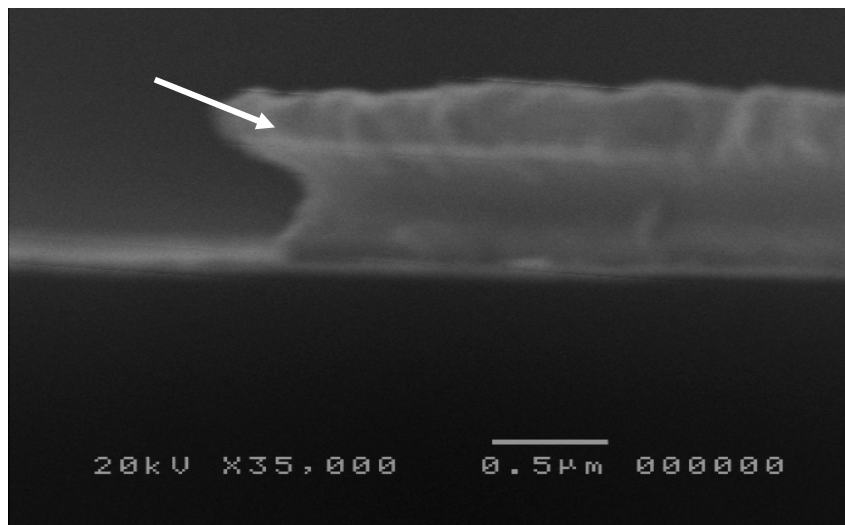


FIGURA 4.12 – PERFIL NEGATIVO GERADO NA MESA DE EMISSOR PELA CORROSÃO POR SOLUÇÃO DE ÁCIDO SULFÚRICO. O AUMENTO DA FIGURA É DE 35.000 VEZES, OBTIDO PELO MICROSCÓPIO DE FEIXE DE ELÉTRONS

A figura 4.13 descreve a etapa realizada, com detalhe para a mesa com inclinação negativa gerada na corrosão.

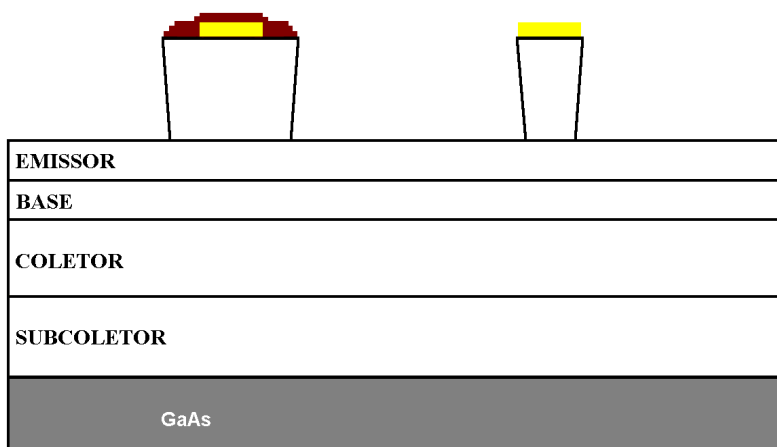


FIGURA 4.13 – REMOÇÃO DAS CAMADAS DE CAPA APÓS O *ETCHING*

A camada de emissor necessita ser removida para termos acesso à camada de base. Isto é feito utilizando-se solução de HCL (32%), durante 20 segundos. A solução tem boa seletividade e não ataca a camada de base. O esquema da medida de curva de diodo, mostrada na figura 4.8, é feita para comprovação da remoção total da camada de emissor, mostrada na figura 4.14:

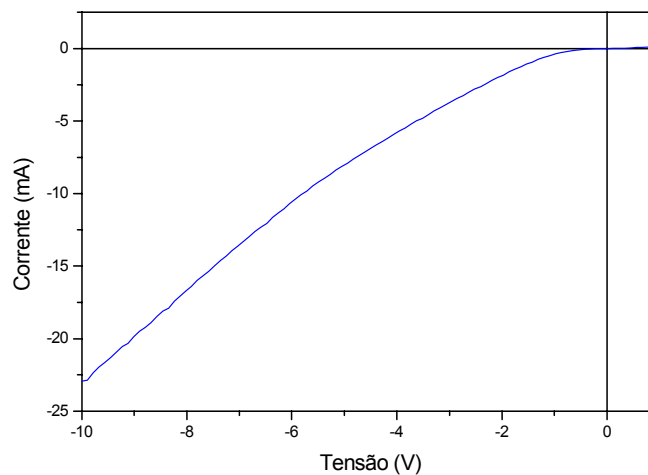


FIGURA 4.14 – CURVA DE CORRENTE REVERSA PARA CAMADA DE BASE

Como a dopagem da camada de base é muito maior que a de emissor ($4,0 \cdot 10^{19} \text{ cm}^{-3}$), a corrente é novamente da ordem de mA e a tensão de ruptura está em torno de -1 V . Quanto maior a dopagem, menor a tensão de ruptura [43].

Terminada a medida de curva de diodo, a amostra passa pela limpeza de plasma-barril B. As estruturas estarão com o aspecto mostrado abaixo:

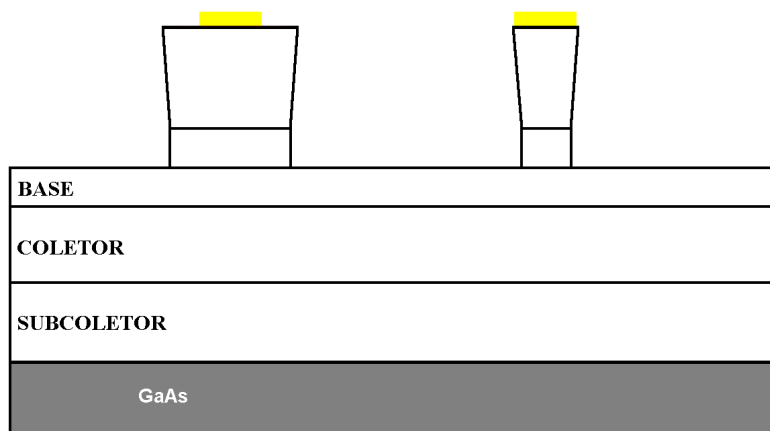


FIGURA 4.15 – REMOÇÃO DA CAMADA DE EMISSOR COM ÁCIDO CLORÍDRICO

4.3.7 – FOTOLITOGRAFIA E EVAPORAÇÃO DE CONTATO DE BASE

A fotolitografia é do tipo para *lift-off*, como foi descrito para o contato de emissor e os metais a serem evaporados são dados na tabela 4.3:

TABELA 4.3 – METAIS QUE FORMAM O CONTATO DE BASE [21]

Metal	Espessura (Å)
Titânio	100
Platina	200
Ouro	1000

Da mesma maneira, após qualquer fotogração, realiza-se a limpeza por plasma-barril A, imersão em HCL para remover qualquer oxido nativo que possa existir e assim a amostra está pronta para evaporação dos metais.

Além do contato de base, o contato P do fotodetector é formado. A região entre os dois contatos do fotodetector será a janela óptica, ou seja, a região que receberá luz. As figuras de 4.16 a 4.18 ilustram a etapa:

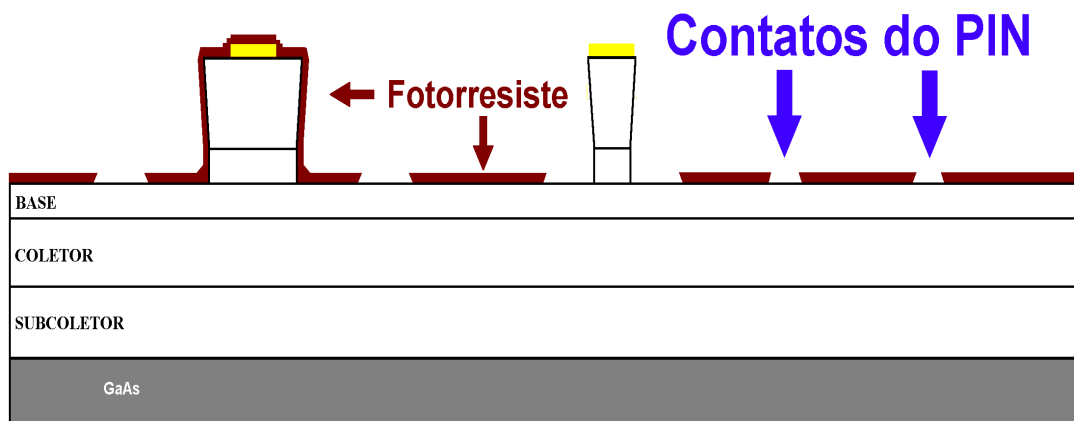


FIGURA 4.16 – FOTOLITOGRAFIA PARA DEFINIÇÃO DAS REGIÕES DE CONTATO DE BASE DO HBT E CONTATO P DO FOTODETECTOR *PIN*

Como podemos observar, para o transistor não auto-alinhado a região de emissor é protegida pelo fotorresiste, mas para o transistor auto-alinhado não. Ao evaporar-se o metal, ele recai sobre ambas as regiões, emissor e base. Se a inclinação da parede for suficientemente negativa, não haverá contato (curto-circuito) entre as duas regiões.

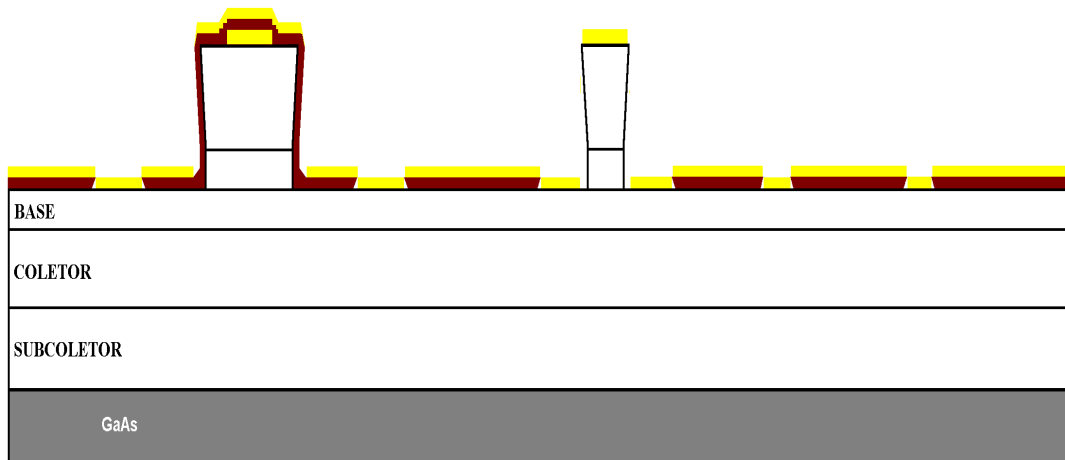


FIGURA 4.17 – EVAPORAÇÃO DE Ti, Pt E Au

Após a evaporação, dando continuidade ao processo a amostra é colocada em um *becker* com acetona, durante várias horas (*lift-off*).

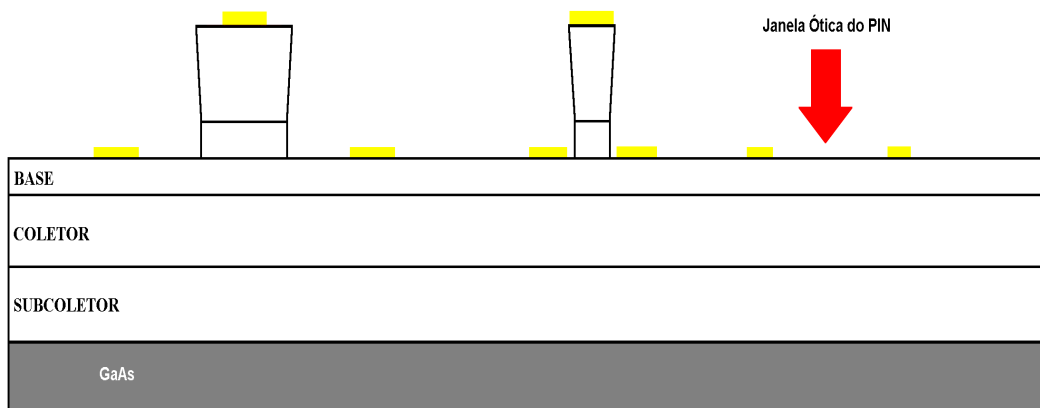


FIGURA 4.18 – CONTATOS FORMADOS APÓS *LIFT-OFF* E LIMPEZA PLASMA-BARRIL B

A intenção de se ter os contatos de base bem próximos à região de emissor é diminuir a distância percorrida pela corrente através do dispositivo. Isto o torna bem mais rápido, atingindo frequências de operação maiores do que no caso não auto-alinhado. Porém o rendimento na fabricação destes dispositivos não é muito alto. Em muitos casos, os contatos entram em curto, devido à inclinação da parede não ser suficientemente negativa, inutilizando o dispositivo.

4.3.8 – FOTOLITOGRAFIA PARA DEFINIÇÃO DA MESA DE BASE E CORROSÃO DA CAMADA

O procedimento para fotografar a amostra é o mesmo descrito na definição da mesa de emissor. Agora o fotorresiste protegerá toda a região de emissor e base dos dois tipos de transistores. Porém, agora o ácido usado na corrosão úmida é o ácido fosfórico (H_3PO_4). A solução usada é $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$, na proporção de 3:1:50, sendo a taxa de corrosão de 850 Å/min [21]. Diferentemente da corrosão anisotrópica com solução baseada em ácido sulfúrico, a corrosão com solução em ácido fosfórico não gera perfis negativos, apenas positivos. O contato de coletor será feito na região de subcoletor, logo nesta corrosão as camadas de base e de coletor serão removidas. A espessura destas duas camadas é de 5800 Å. Para se ter segurança de que a camada de subcoletor foi atingida, a espessura total a ser removida é de 6800 Å, incluindo 1000 Å da camada de subcoletor. O tempo de corrosão é de 9 minutos, com acompanhamento da curva de diodo, mostrada na figura 4.19:

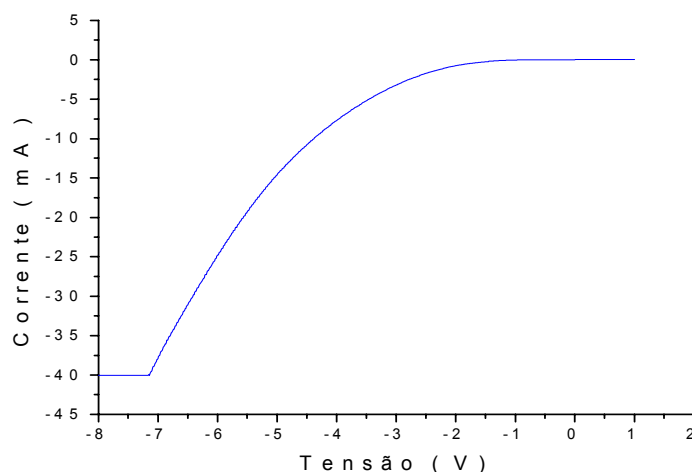


FIGURA 4.19 – CURVA DE DIODO PARA A CAMADA DE SUBCOLETOR

A tensão de ruptura, que estava em torno de -1 V na região de base, aumentou para -2 V. Isto se deve ao nível de dopantes da região de subcoletor ser menor que da região de base. Após a corrosão, as estruturas terão o perfil mostrado na figura 4.20:

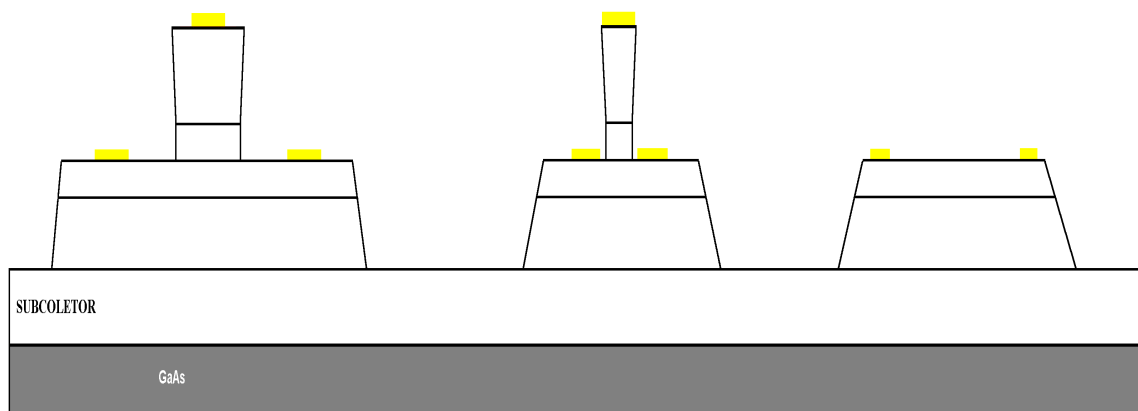


FIGURA 4.20 – APÓS A REMOÇÃO DAS CAMADAS DE BASE E DE COLETOR, ATINGE-SE A REGIÃO DE SUBCOLETOR

O perfil da corrosão foi analisado e como de esperado, a corrosão gerou o perfil positivo da mesa. O perfil é mostrado na figura 4.21:

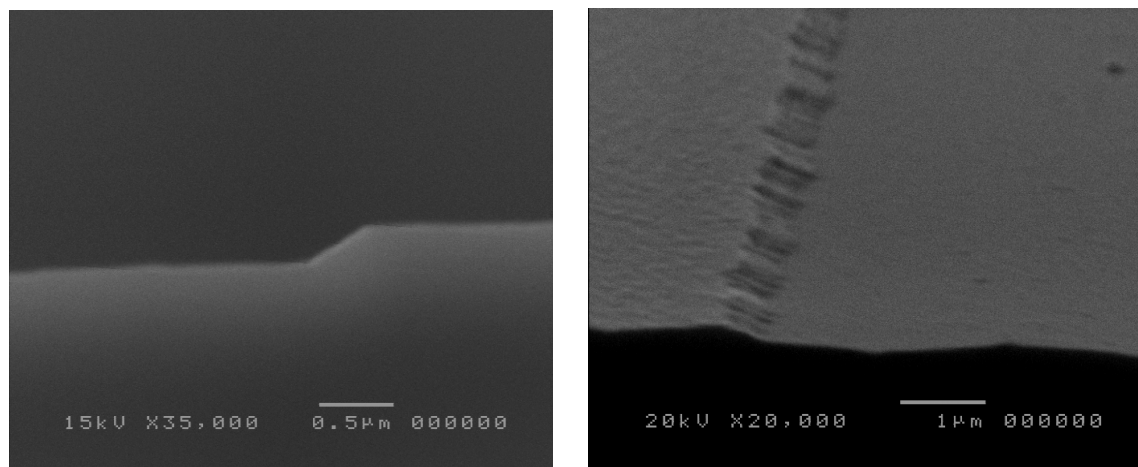


FIGURA 4.21 – CORROSÃO ÚMIDA COM SOLUÇÃO BASEADA EM ÁCIDO FOSFÓRICO GERA PAREDES COM INCLINAÇÕES POSITIVAS

4.3.9 – FOTOLITOGRAFIA PARA EVAPORAÇÃO DE CONTATOS DE SUBCOLETOR DO HBT, CONTATOS N DO PIN E CONTATOS DOS RESISTORES

A fotolitografia é do tipo *lift-off* e os metais a serem evaporados são dados na tabela 4.4:

TABELA 4.4 – METAIS QUE FORMAM O CONTATO DE SUBCOLETOR

Metal	Espessura (Å)
Níquel	50
Germano	500
Ouro	1000
Níquel	300
Ouro	1000

A figura 4.22 ilustra a etapa realizada:

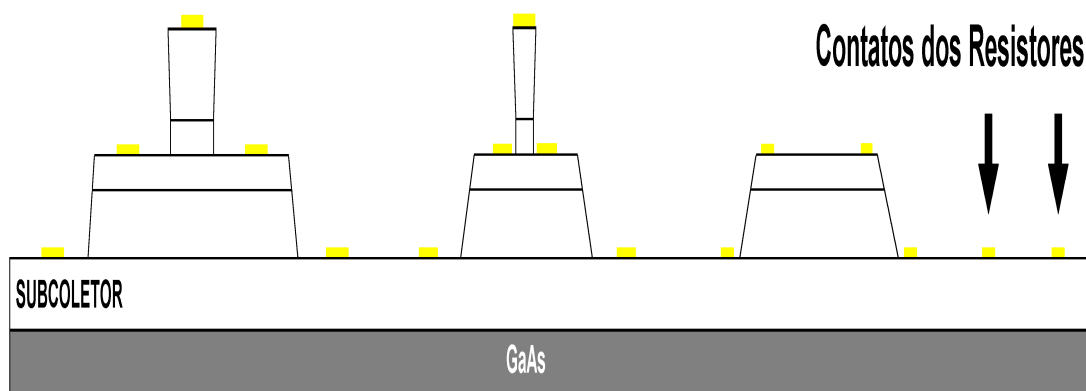


FIGURA 4.22 – APÓS A EVAPORAÇÃO DOS CONTATOS DE SUBCOLETOR, TRANSISTORES POSSUEM OS TRÊS TERMINAIS

4.3.10 – TRATAMENTO TÉRMICO: *ALLOY*

O tratamento térmico é necessário para a formação da liga metálica dos contatos. Ele é feito no mesmo forno convencional onde se realizou o *sintering* para melhorar a aderência do contato de emissor. A temperatura do forno deve estar em torno de 460 °C, durante 3:30 s, em ambiente de nitrogênio.

A partir deste ponto, é possível realizar as medidas dc dos transistores de área grande de emissor (120x120 μm^2), pois os mesmos já possuem os três terminais. As medidas são mostradas nas figuras 4.23 e 4.24:

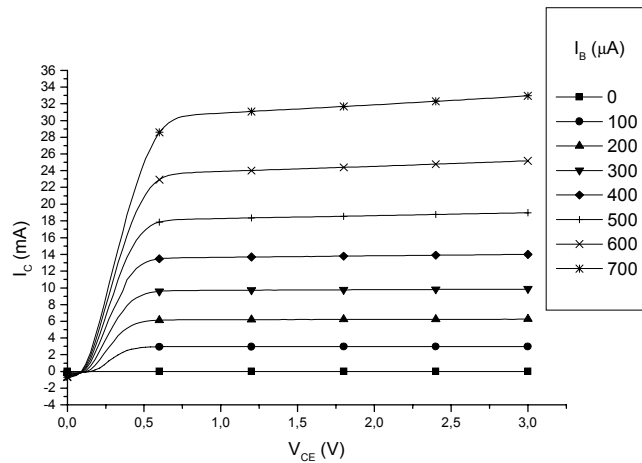


FIGURA 4.23 – CURVA CARACTERÍSTICA $I_C \times V_{CE}$ PARA O TRANSISTOR NÃO AUTO-ALINHADO DE ÁREA DE EMISSOR GRANDE

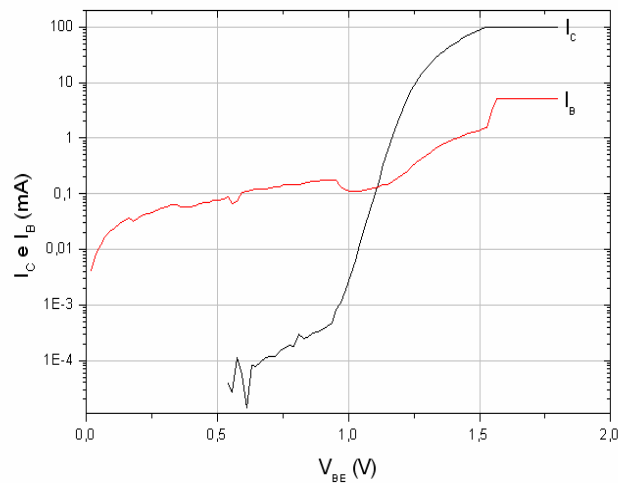


FIGURA 4.24 – GRÁFICO *GUMMEL-PLLOT* PARA TRANSISTOR NÃO AUTO-ALINHADO

Pelos gráficos acima, podemos observar que o transistor está operando e apresentando ganho, apesar de possuir grande corrente de fuga na base, visto no gráfico de *Gummel*, que fornece o ganho beta do transistor, entre outros parâmetros. A probabilidade dos transistores não auto-alinhados de menor área funcionarem é muito grande. As medidas dos transistores auto-alinhados de área grande de emissor também foram feitas, mostradas nas figuras 4.25 e 4.26:

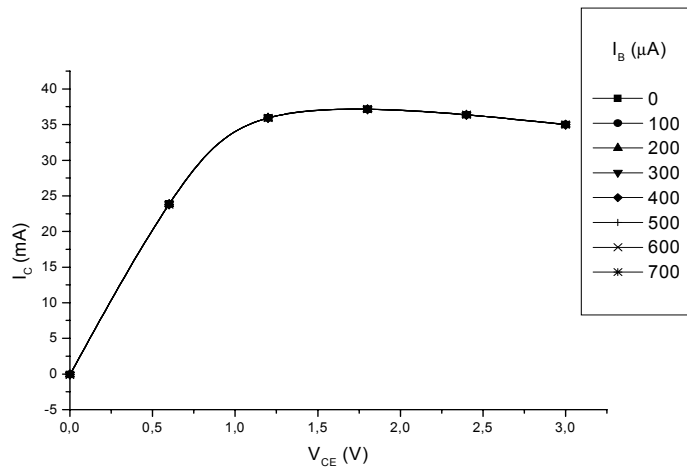


FIGURA 4.25 – CURVA CARACTERÍSTICA $I_C \times V_{CE}$ PARA O TRANSISTOR AUTO-ALINHADO DE ÁREA DE EMISSOR GRANDE

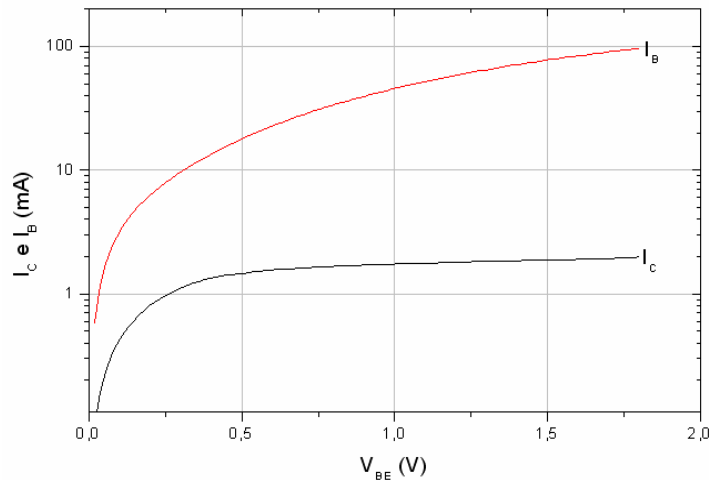


FIGURA 4.26 – GRÁFICO DE *GUMMEL* PARA TRANSISTOR AUTO-ALINHADO

Pelos dois gráficos acima, podemos concluir que o dispositivo não está funcionando corretamente. Os metais de contatos de emissor e base provavelmente estão em curto-circuito. Para verificar o problema, algumas amostras foram clivadas para análise do perfil da corrosão da mesa de emissor, através do microscópio eletrônico de varredura.

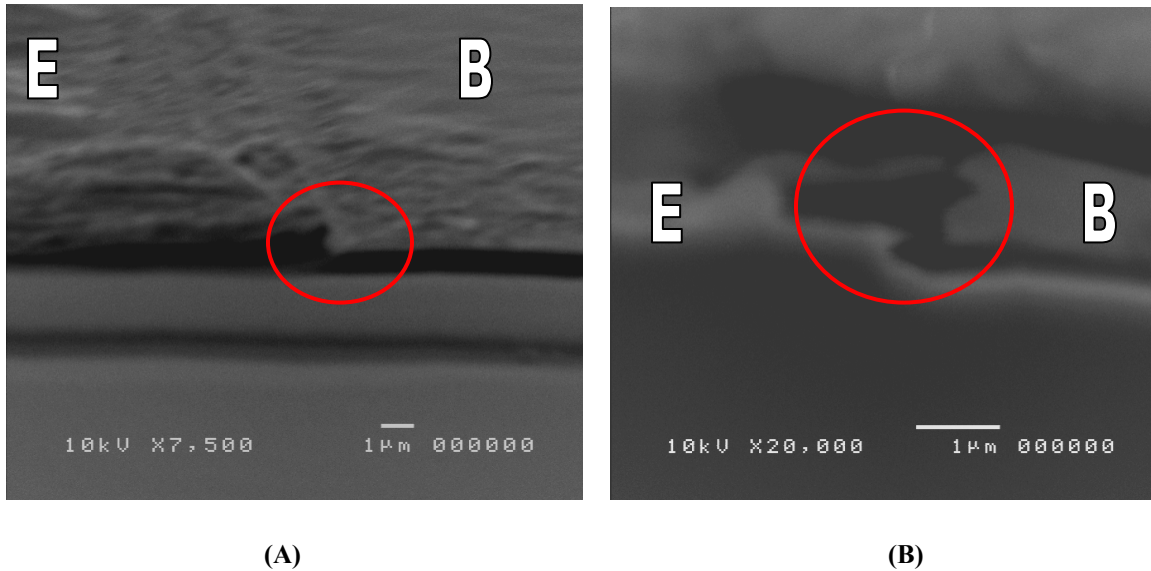


FIGURA 4.27 – DETALHES DO PERFIL DA MESA DE EMISSOR

Como é visto na figura 4.27 A, o perfil gerado é negativo, entretanto como a área do transistor é muito grande, ao longo da junção emissor-base deve ter ocorrido algum problema como o mostrado na figura à direita. A probabilidade dos transistores auto-alinhados de menor área funcionarem não é grande.

4.3.11 – FOTOLITOGRAFIA PARA ISOLAÇÃO DOS DISPOSITIVOS

Os dispositivos ativos e passivos ainda possuem em comum a região de subcoletor. Eles devem estar isolados uns dos outros, então é feita a remoção da camada de subcoletor entre os mesmos, atingindo-se a região do substrato de GaAs. Com isso a mesa de subcoletor é definida. A fotolitografia realizada é a mesma descrita para definições de mesas, sendo a solução baseada em ácido fosfórico, como na definição da mesa de base (item 4.3.8). O tempo de corrosão foi de 9 minutos, com acompanhamento de curva de diodo ao término, vista na figura 4.28:

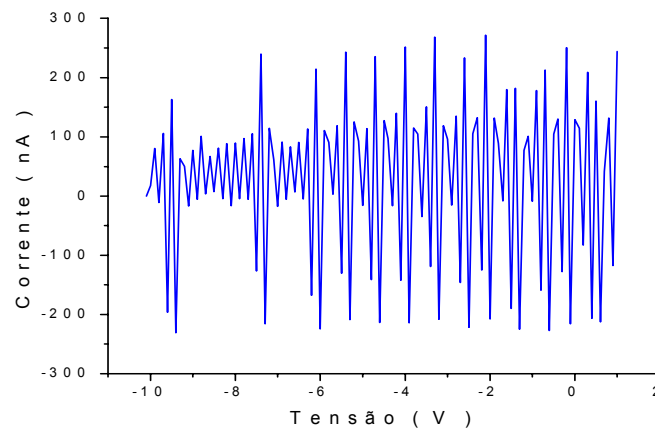


FIGURA 4.28 – CURVA DE CORRENTE REVERSA PARA O SUBSTRATO DE GaAs

Como o substrato utilizado é semi-isolante, a corrente pelo mesmo é praticamente nula, da ordem de nano ampères.

Após a remoção das regiões de subcoletor, os dispositivos estão construídos: no detalhe da figura 4.29, o HBT N.A.A., A.A., o fotodetector *PIN* e o resistor feito da camada de subcoletor. Apesar de estarem prontos, não temos acesso aos dispositivos para medidas dc e RF devido às dimensões reduzidas dos contatos. O acesso é feito pelas estruturas chamadas *pads*, que ainda serão construídas. Além disso, no caso dos circuitos, os diversos dispositivos precisam ser interconectados.

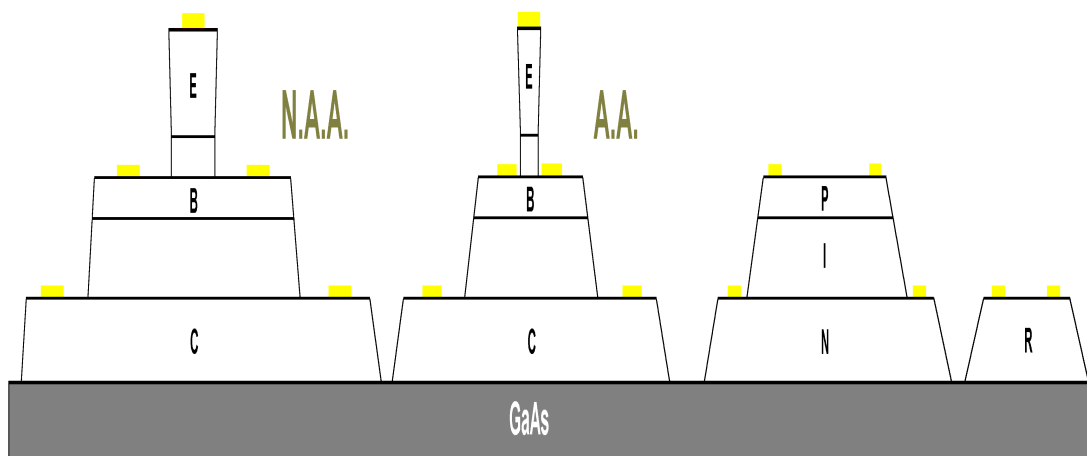


FIGURA 4.29 – CORROSÃO PARA ISOLAÇÃO DOS DISPOSITIVOS

4.3.12 – PLANARIZAÇÃO DOS DISPOSITIVOS

Como o transistor HBT é uma estrutura vertical, a interconexão entre um dispositivo e outro é feita com a ajuda de um polímero planalizador. Por exemplo, se desejamos fazer a interconexão entre um contato de emissor e de um resistor, o desnível é de quase 1 μm . Não basta definir a região de interconexão e evaporar o metal que a conexão não será feita. A linha de conexão deve estar em um plano e para isso usa-se o polímero BCB (*Benzocyclobutene*) [44].

Procedimento para a deposição do BCB:

1. A amostra é levada ao *hot-plate* durante 15 minutos, a uma temperatura de 118 °C para remoção da umidade;
2. Deposição do polímero e *spinner* de 4000 rpm, 30s;
3. Cura do polímero no forno convencional, 250 °C por 1 hora, em ambiente de nitrogênio [44];

O material usado na deposição do BCB, como pipeta, becker e pinça deve ser limpos com trimetilbenzeno, seguido de acetona, isopropanol e água DI. Como no caso da deposição de fotorresiste, a camada de BCB depositada possui nas regiões de borda da amostra espessura maior. A remoção destas bordas é feita com uma lâmina de estilete, fazendo-se a raspagem da mesma.

Deve-se tomar cuidado para não pressionar muito a lâmina contra a amostra e trincá-la, pois o material GaAs é muito frágil. A figura 4.30 ilustra o processo de deposição:

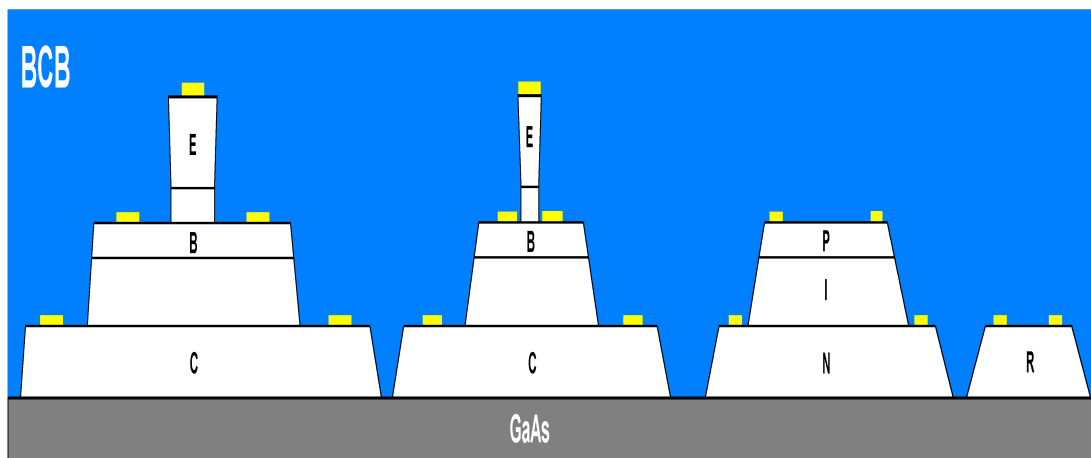


FIGURA 4.30 – PLANARIZAÇÃO DOS DISPOSITIVOS, PELO POLÍMERO BCB

4.3.13 – FOTOGRAVAÇÃO E CORROSÃO PARA ABERTURA DE VIAS

Para termos acesso aos contatos, devemos remover o polímero depositado sobre estas regiões. A janela óptica também deve estar livre. O fotorresiste utilizado é o SPR 3012, que suporta o processo de corrosão por plasma. O processo é descrito abaixo:

1. Deposição do fotorresiste, *spinner* de 40s a 3.000 rpm;
2. Cura no *hot-plate*, 90 °C e tempo de 4 minutos;
3. Exposição UV e revelação das bordas;
4. Exposição UV com máscara por 25 s, no modo CI da fotoalinhadora;
5. Revelação com AZ400K e água DI na proporção de 1:3,5 por 60 s;
6. Cura no *hot-plate*, 110 °C e 1 minuto.

A corrosão por plasma é feita pelo RIE (*Reactive Ion Etching*) [45], com mistura dos gases SF₆ e O₂. A descrição completa da etapa segue abaixo:

1. Fluxo de SF₆: 10 sccm;
2. Fluxo de O₂: 10 sccm;
3. Pressão Base: 0,9 mTorr;
4. Potência de RF: 60 W;
5. Pressão: 40 mTorr;
6. Tempo de corrosão: 10 minutos;

Para verificar se o tempo de corrosão foi suficiente, a medida de diodo é feita, colocando-se as pontas de tungstênio em uma região metálica. Ao descer as ponteiras na amostra, deve-se colocar apenas uma leve pressão para que haja um toque suave entre a ponta de tungstênio e a amostra.

Se a pressão for muito forte, a ponta perfura o filme que ainda não foi corroído (se ainda houver), atingindo o metal e a medida acusará que não é necessário mais tempo de corrosão. Após os 10 minutos de corrosão, o BCB foi totalmente removido, como mostra a figura 4.31:

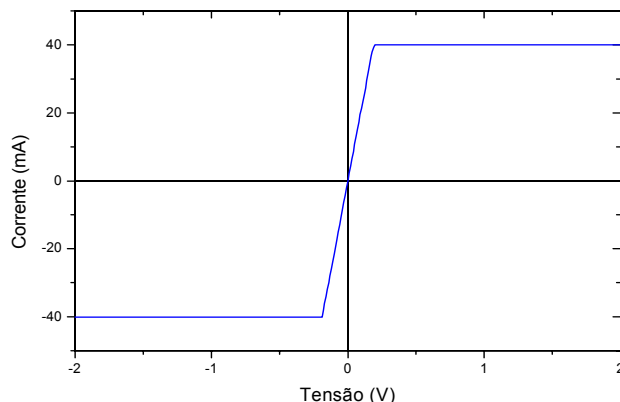


FIGURA 4.31 – VERIFICAÇÃO DA ABERTURA DAS VIAS

O gráfico apresenta baixa resistividade, característica dos metais, logo os contatos foram alcançados. A figura 4.32 ilustra a etapa descrita:

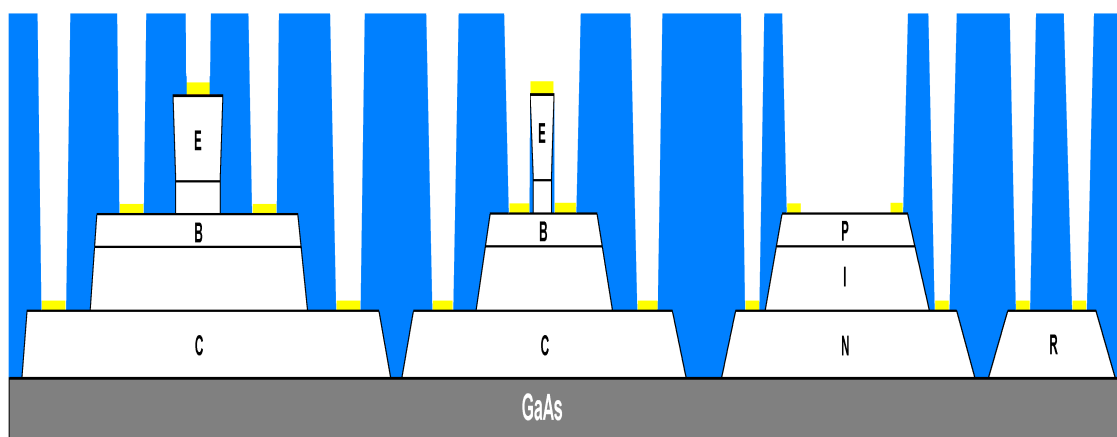


FIGURA 4.32 – ABERTURA DE VIAS PARA ACESSO AOS CONTATOS

4.3.14 – DEPOSIÇÃO DE NITRETO DE SILÍCIO (Si_3N_4)

O nitreto de silício é um material dielétrico usado normalmente em capacitores integrados, mas será utilizado como camada anti-refletiva do fotodetector [46]. O equipamento utilizado para deposição do dielétrico é o ECR (*Electron Cyclotron Resonance*), que deposita cerca de 25 Å/min do material, tendo o filme uma grande uniformidade. A espessura da camada a ser depositada é dada por [47]:

$$d = \frac{\lambda}{4 * n} \quad (4.1)$$

onde λ é o comprimento de onda da luz e n é o índice de refração do filme depositado. O valor de n é 1,97, resultando na espessura de 1078 Å. Os seguintes valores foram usados para a deposição do filme:

1. Pressão: 5,4 mTorr;
2. Potência do ECR: 250 W;
3. Potência de RF: 4 W;
4. Fluxo de Nitrogênio: 2,5 sccm;
5. Fluxo de Argônio: 5,0 sccm;
6. Fluxo de Silana (SiH_4): 125 sccm;
7. Temperatura: 25 °C;
8. Pressão Base: $1,2 \cdot 10^{-5}$ Torr;
9. Tempo de deposição: 43 minutos.

A fina camada é depositada sobre a janela óptica, conforme é ilustrado na figura 4.33:

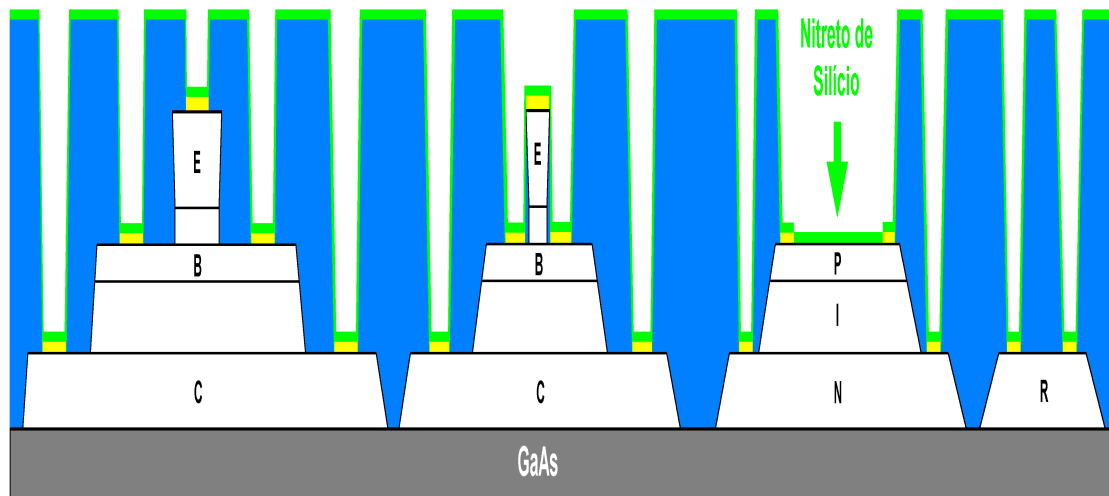


FIGURA 4.33 – DEPOSIÇÃO DE Si_3N_4

4.3.15 – FOTOLITOGRAFIA PARA ABERTURA DE VIAS

As vias necessitam serem abertas novamente, para termos acesso aos contatos. O nitreto de silício será protegido por fotorresiste apenas na região da janela óptica. Depois de alguns testes, optou-se por usar o fotorresiste AZ1518 no lugar do SPR-3012 [48] devido ao fato do processo de corrosão do filme de nitreto de silício não utilizar oxigênio, que acelera a taxa de corrosão do fotorresiste. A abertura de via por plasma foi feita pelo RIE, com os parâmetros abaixo:

1. Fluxo de CF₄: 15 sccm;
2. Fluxo de H₂: 10 sccm;
3. Potência de RF: 75 W;
4. Pressão: 40 mTorr;
5. Tempo de Corrosão: 6 minutos.

A abertura da via foi analisada pela curva de diodo, mostrada na figura 4.34:

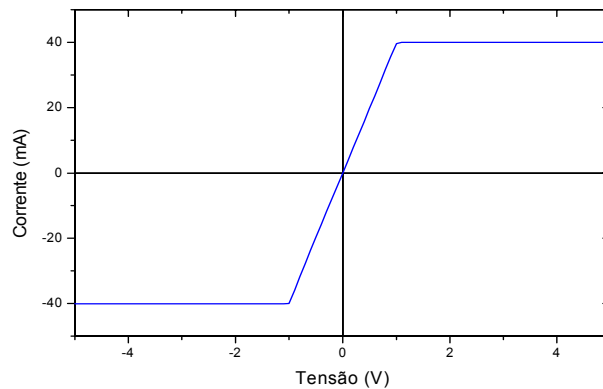


FIGURA 4.34 – VERIFICAÇÃO DA ABERTURA DAS VIAS NO NITRETO DE SILÍCIO

Como no caso do BCB, o tempo de corrosão foi suficiente, removendo o filme sobre os contatos. O perfil da amostra após a corrosão é mostrado na figura 4.35:

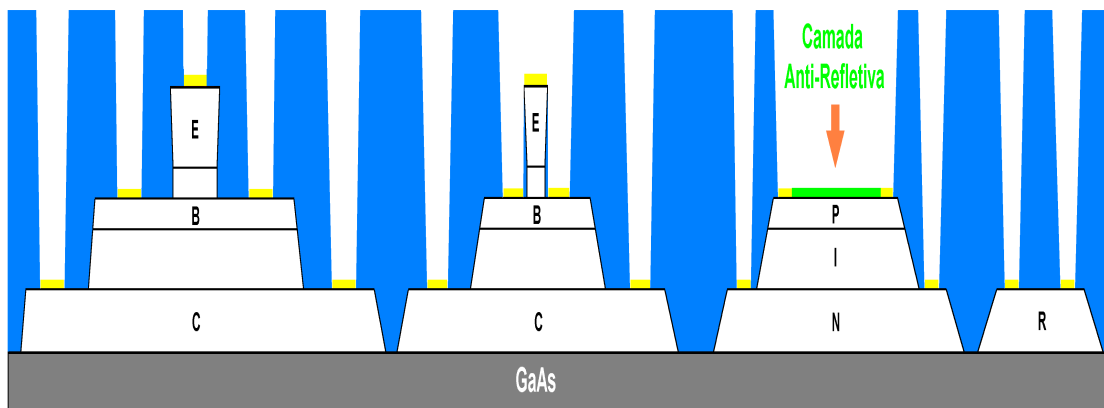


FIGURA 4.35 – ABERTURA DE VIAS PELO NITRETO DE SILÍCIO

4.3.16 – FOTOLITOGRAFIA PARA EVAPORAÇÃO DO METAL DE INTERCONEXÃO

Para finalizar o processo, faz-se a litografia para processo *lift-off* e evaporam-se os metais dados na tabela 4.5:

TABELA 4.5 – METAIS UTILIZADOS PARA INTERCONEXÃO DOS DISPOSITIVOS

Metal	Espessura (Å)
Titânio	100
Ouro	2000

A metalização para interconexões formará os *pads* de acesso aos dispositivos discretos e também estabelecer as ligações entre os diversos componentes em um circuito de transimpedância. Como exemplo, o circuito da figura 4.36 será integrado:

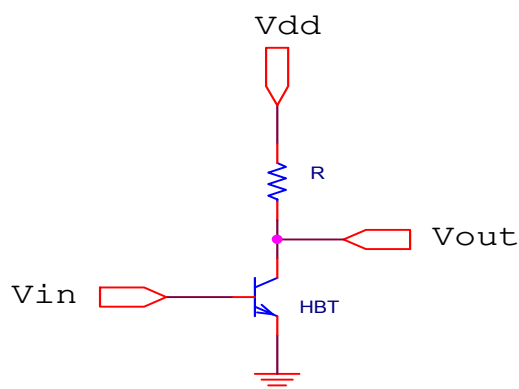


FIGURA 4.36 – EXEMPLO DE INTEGRAÇÃO DE UM CIRCUITO

O circuito final com as interconexões resultaria no perfil ilustrado na figura 4.37:

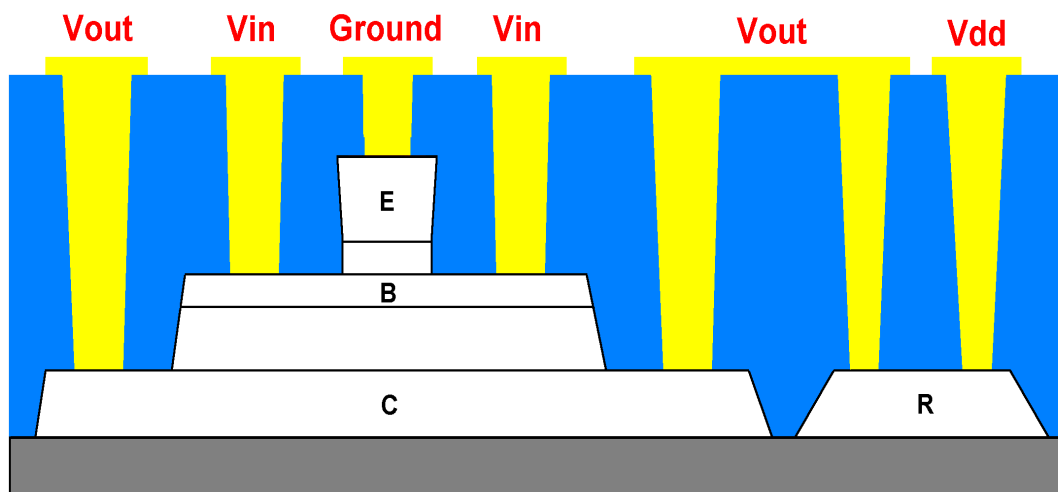


FIGURA 4.37 – EXEMPLO DE INTEGRAÇÃO DE UM CIRCUITO E ILUSTRAÇÃO DAS INTERCONEXÕES

Após o *lift-off*, realiza-se um recozimento térmico, no forno convencional a 300 °C durante 3:30 s para melhorar a aderência do metal. O processo de fabricação do circuito integrado está encerrado e a caracterização dos dispositivos pode ser feita.

As figuras 4.38 a 4.51 mostram os circuitos fabricados e os dispositivos discretos:

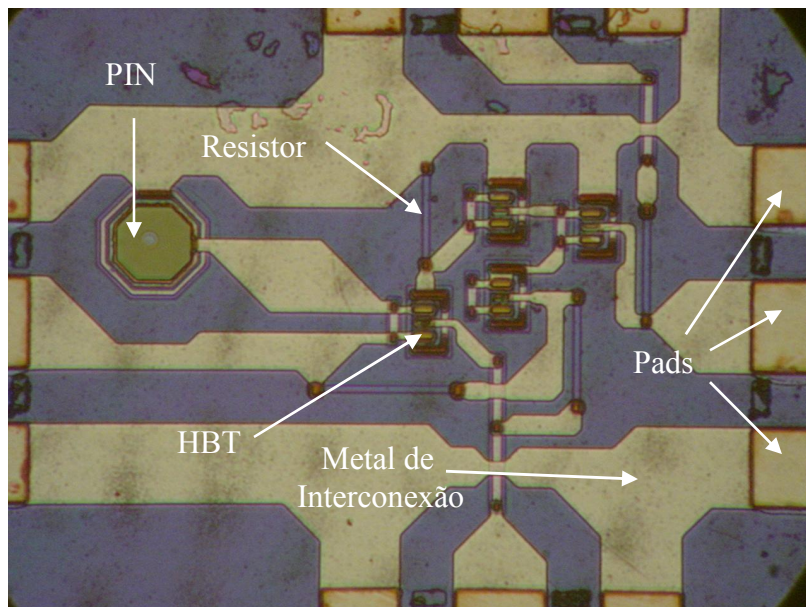


FIGURA 4.38 – OEIC FABRICADO

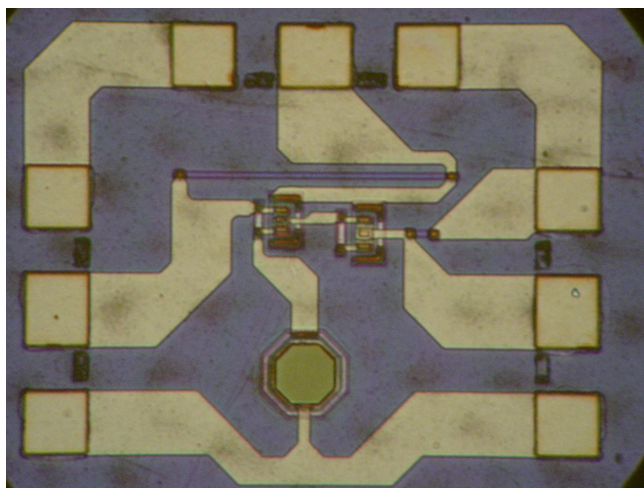


FIGURA 4.39 – OEIC NA CONFIGURAÇÃO DARLINGTON

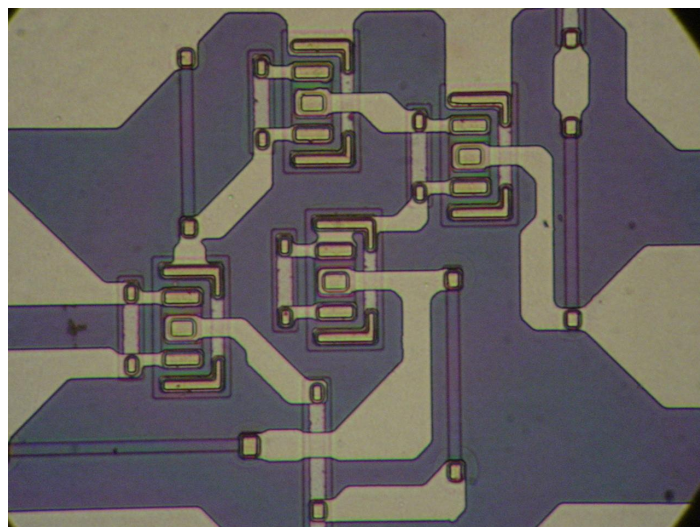


FIGURA 4.40 – TRANSISTORES HBT E RESISTORES DO CIRCUITO DE TRANSIMPEDÂNCIA

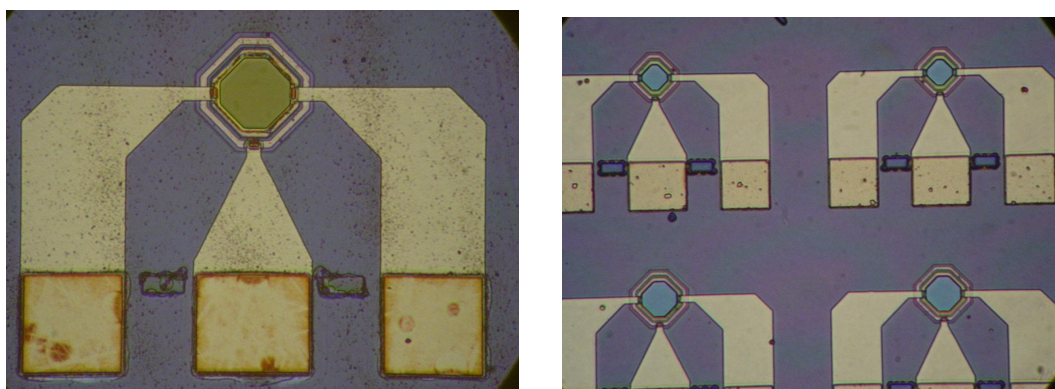


FIGURA 4.41 – DETALHES DOS FOTODETECTORES *PIN*

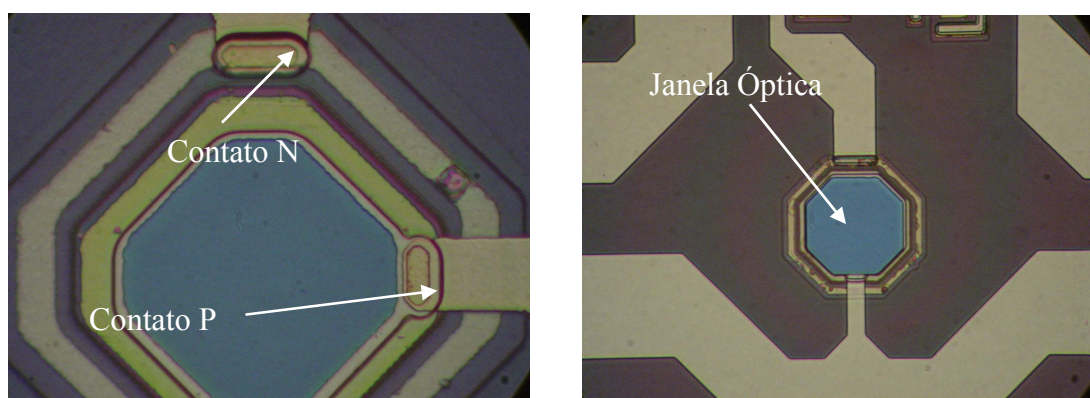


FIGURA 4.42 – DETALHES DOS FOTODETECTORES *PIN*

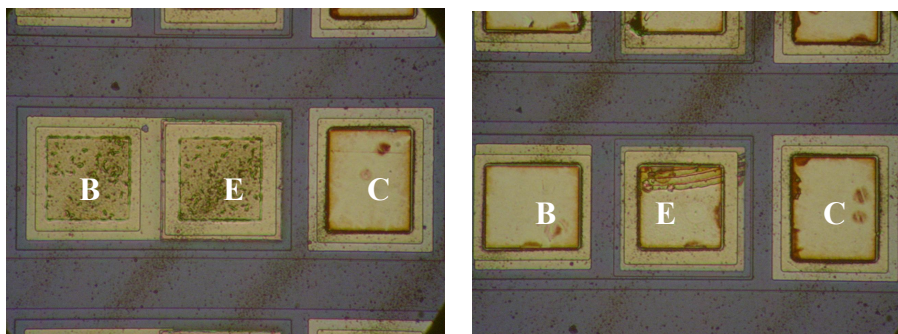


FIGURA 4.43 – TRANSISTORES DE GRANDE ÁREA: AUTO-ALINHADO (ESQUERDA) E NÃO AUTO-ALINHADO (DIREITA)

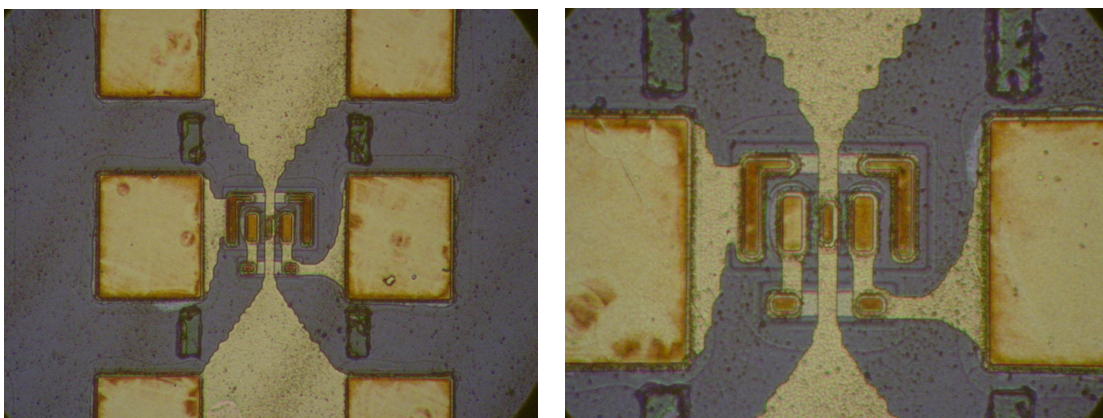


FIGURA 4.44 – TRANSISTORES HBT NAA: ÁREA DE EMISSOR = $20 \times 06 \mu\text{m}^2$

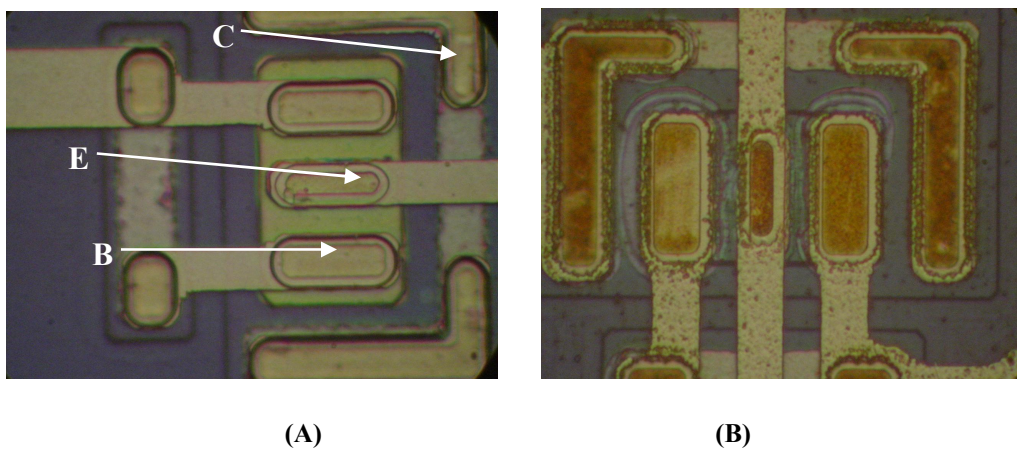
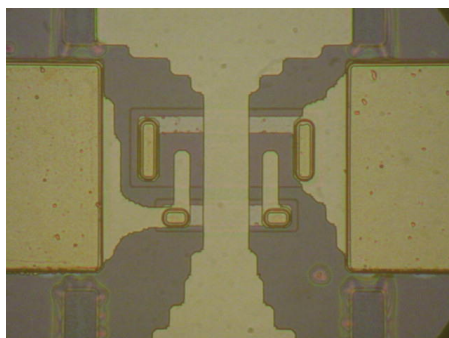
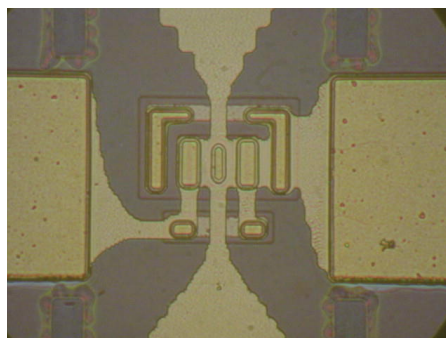


FIGURA 4.45 – HBT AA (A) e NAA (B) (ÁREAS DE EMISSOR: $20 \times 06 \mu\text{m}^2$)

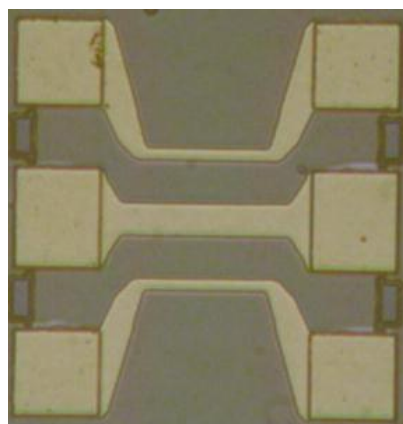


(A)

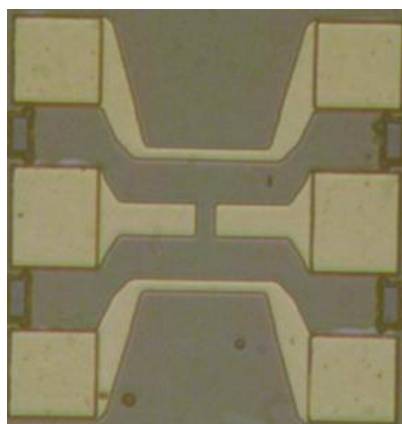


(B)

FIGURA 4.46 – HBT EM ABERTO (A) E EM CURTO (B)



(A)



(B)

FIGURA 4.47 – LINHA DE TRANSMISSÃO EM CURTO (A) E EM ABERTO (B)

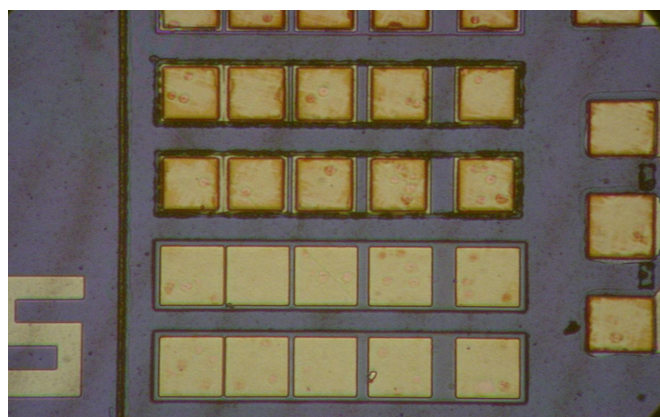


FIGURA 4.48 – ESTRUTURAS TLM

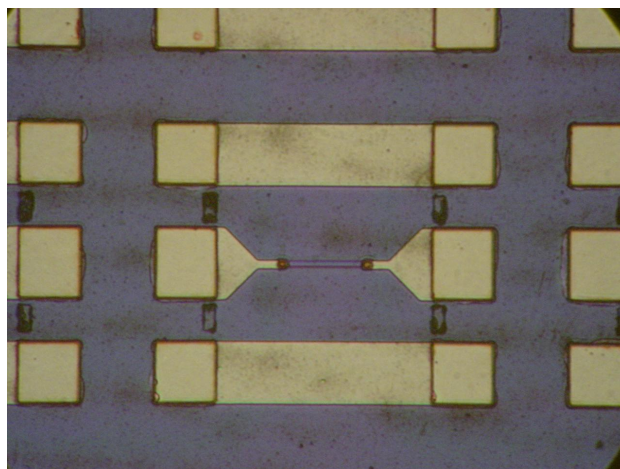


FIGURA 4.49 – RESISTOR FEITO COM A CAMADA DE SUBCOLETOR

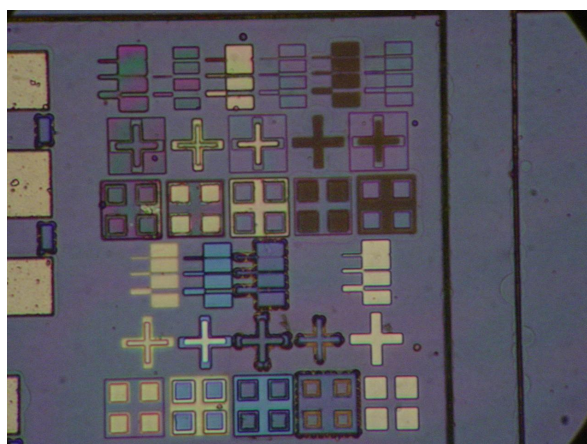


FIGURA 4.50 – MARCAS DE ALINHAMENTO UTILIZADAS DURANTE O PROCESSO DE FABRICAÇÃO

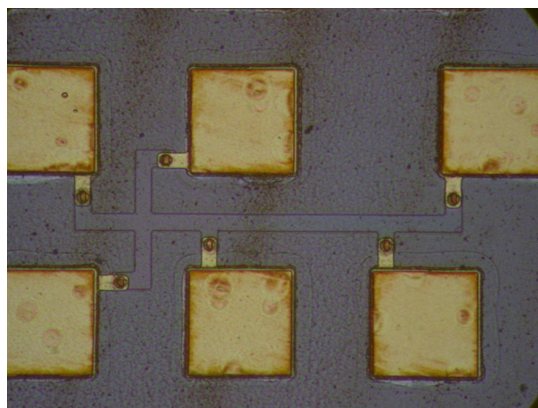


FIGURA 4.51 – DETALHE DA CRUZ-GREGA

CAPÍTULO 5

CARACTERIZAÇÃO DO CIRCUITO INTEGRADO

5.1 – INTRODUÇÃO

A caracterização do circuito integrado consiste na realização de medidas dc, ac e ópticas, a fim de se validar o projeto do mesmo e os modelos elétricos utilizados. O projetista deve ter em mente durante a fase de projeto, os equipamentos que terá à sua disposição para realizar tais medidas. As dimensões dos *pads* de acesso ao circuito devem ser compatíveis com estes equipamentos e uma prática comum durante a fase de *layout* é a inclusão de alguns *pads* (*test points*) em pontos intermediários do circuito para verificação dos níveis de tensão.

5.2 – RESULTADOS DC

Para medidas dc, foi utilizado um analisador de parâmetros semicondutor HP4145B conectado a um PC, através de uma placa GPIB para captura dos dados, com auxílio do software LabVIEW.

5.2.1 – RESISTORES

Os resistores foram medidos variando-se a tensão entre seus terminais, obtendo-se a resistência através da inclinação da curva de corrente que flui através do componente. A figura 5.1 mostra a medida de um resistor de 260 Ω :

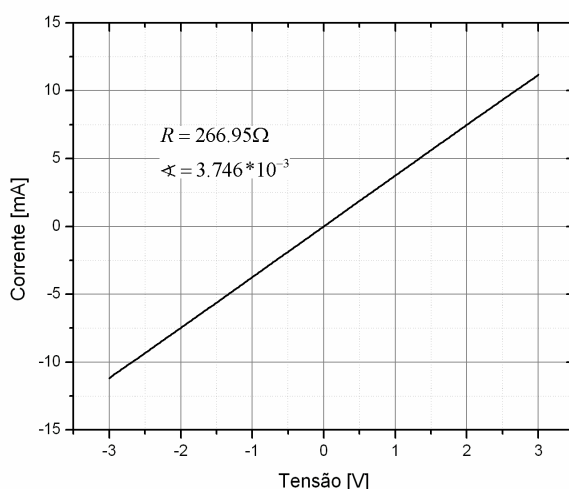


FIGURA 5.1 – MEDIDA DC DE UM RESISTOR DE 260 Ω

As diversas medidas realizadas para todos os valores de resistência fabricados são resumidas na tabela 5.1, incluindo-se o erro entre o valor projetado e o valor medido:

TABELA 5.1 – RESUMO DAS MEDIDAS DC DOS RESISTORES

RESISTOR	VALOR PROJETADO (Ω)	INCLINAÇÃO V_{xI}	VALOR MEDIDO (Ω)	ERRO (%)
R50N1	50	$1.56 \cdot 10^{-2}$	64.11	28.22
R50N2	50	$1.39 \cdot 10^{-2}$	71.85	43.7
R50N3	50	$1.49 \cdot 10^{-2}$	67.13	34.26
R50N4	50	$1.22 \cdot 10^{-2}$	81.91	63.82
R50N5	50	$1.54 \cdot 10^{-2}$	65.13	30.26
R260N1	260	$3.54 \cdot 10^{-3}$	282.29	8.57
R260N2	260	$3.23 \cdot 10^{-3}$	309.28	18.95
R260N3	260	$2.90 \cdot 10^{-3}$	344.6	32.54
R260N4	260	$3.75 \cdot 10^{-3}$	266.95	2.67
R260N5	260	$3.62 \cdot 10^{-3}$	276.11	6.2
R300N1	300	$3.46 \cdot 10^{-3}$	288.8	-3.73
R300N2	300	$2.70 \cdot 10^{-3}$	370.14	23.38
R300N3	300	$3.21 \cdot 10^{-3}$	311.15	3.72
R300N4	300	$3.00 \cdot 10^{-3}$	333.38	11.13
R300N5	300	$2.82 \cdot 10^{-3}$	354.13	18.04
R400N1	400	$2.70 \cdot 10^{-3}$	370.66	-7.34
R400N2	400	$2.15 \cdot 10^{-3}$	465.05	16.26
R400N3	400	$2.62 \cdot 10^{-3}$	381.25	-4.69
R400N4	400	$2.47 \cdot 10^{-3}$	404.61	1.15
R400N5	400	$2.25 \cdot 10^{-3}$	444.67	11.17
R1000N1	1000	$1.08 \cdot 10^{-3}$	927.68	-7.23
R1000N2	1000	$1.06 \cdot 10^{-3}$	940.98	-5.9
R1000N3	1000	$9.12 \cdot 10^{-4}$	1097.04	9.7
R1000N4	1000	$1.08 \cdot 10^{-3}$	927.75	7.23
R1000N5	1000	$1.06 \cdot 10^{-3}$	944.85	5.52

De um modo geral, os valores medidos estão acima dos valores projetados. Um dos motivos que podem causar este erro é um alto valor da resistência de contato. Através das estruturas TLM o valor desta resistência será obtida.

5.2.2 – ESTRUTURAS TLM

O método descrito no capítulo 2 é utilizado para medir as estruturas TLM incluídas no *chip*. A média das diversas medidas realizadas é mostrada na tabela 5.2:

TABELA 5.2 – MEDIDAS DAS ESTRUTURAS TLM

Camada	$tg(\alpha)$	$2.R_C$ (Ω)	R_{SH} ($\Omega/\square$)	ρ_C ($\Omega.cm$)
Emissor	0,645	16,215	58	$1,02 \cdot 10^{-4}$
Base	4,44	20,28	399,71	$2,12 \cdot 10^{-5}$
Coletor	1,1	16,85	24,7	$2,68 \cdot 10^{-4}$

O valor da resistência de folha medida para a camada de coletor é maior que o valor utilizado para os cálculos dos resistores (capítulo 3).

Os valores de resistividade de contato para as três camadas estão relativamente altos comparados com [21], assim como o valor da resistência de contato ($2.R_C$), que como na referência acima foi desprezado por ser de baixo valor. Utilizando os valores medidos acima para recalculer o valor do resistor de 260Ω , resultam os dados da tabela 5.3:

TABELA 5.3 – NOVOS VALORES CALCULADOS PARA O RESISTOR DE 260Ω

RESISTOR	VALOR MEDIDO (Ω)	NOVO VALOR CALCULADO	ERRO (%)
R260N1	282.29	300.9	-6.18
R260N2	309.28	300.9	2.78
R260N3	344.6	300.9	14.52
R260N4	266.95	300.9	-11.28
R260N5	276.11	300.9	-8.24

Comparando-se os novos valores de erro com os valores da tabela 5.1, os valores no geral diminuíram utilizando-se o valor de resistência de folha medido de $24.7 \Omega/\square$. A variação do valor de resistência de folha pode ocorrer por uma variação na espessura da camada de subcoletor. No caso da resistividade de contato, as prováveis causas para o alto valor seria a temperatura utilizada durante a fase de *alloy*. O forno convencional utilizado não possui boa uniformidade de temperatura, então dependendo da posição da amostra em relação ao termopar, pode haver grandes variações de temperatura. Uma solução seria medir a temperatura em todos os pontos do forno e buscar a posição onde se tem a melhor uniformidade. Já no caso da resistência de contato, o problema pode ter ocorrido na abetura das vias. A área da via após a corrosão do BCB pode ter ficado menor do que a área projetada na máscara. Devido à grande espessura do polímero a ser removida, o tempo de corrosão pode não ter sido suficientemente grande. Erros de alinhamento das máscaras litográficas contribuem também para esta diminuição da área da via, conseqüentemente aumentando a resistência de contato.

5.2.3 – TRANSISTORES HBT

As medidas dc dos transistores consistem na obtenção do gráfico de *Gummel* (para a análise da variação do ganho de corrente β_F) e da curva característica $I_C \times V_{CE}$. Através destas duas curvas é possível a obtenção de diversos parâmetros do modelo do transistor, conforme segue abaixo:

5.2.3.1 – TRANSISTOR HBT $20 \times 06 \mu m^2$ NÃO AUTO-ALINHADO

A figura 5.2 mostra o *setup* para obtenção do *Gummel-plot*. O transistor é conectado como diodo e a tensão V_{BE} é variada de 0 a 2V e o gráfico é mostrado na figura 5.3.

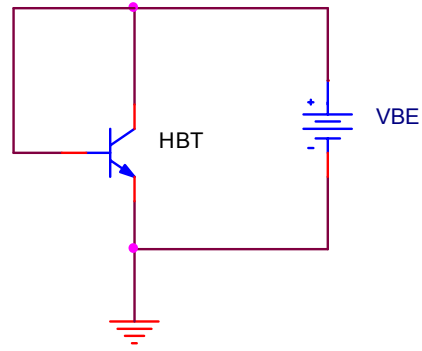


FIGURA 5.2 – *SETUP* DE MEDIDAS PARA OBTENÇÃO DO *GUMMEL-PLOT*

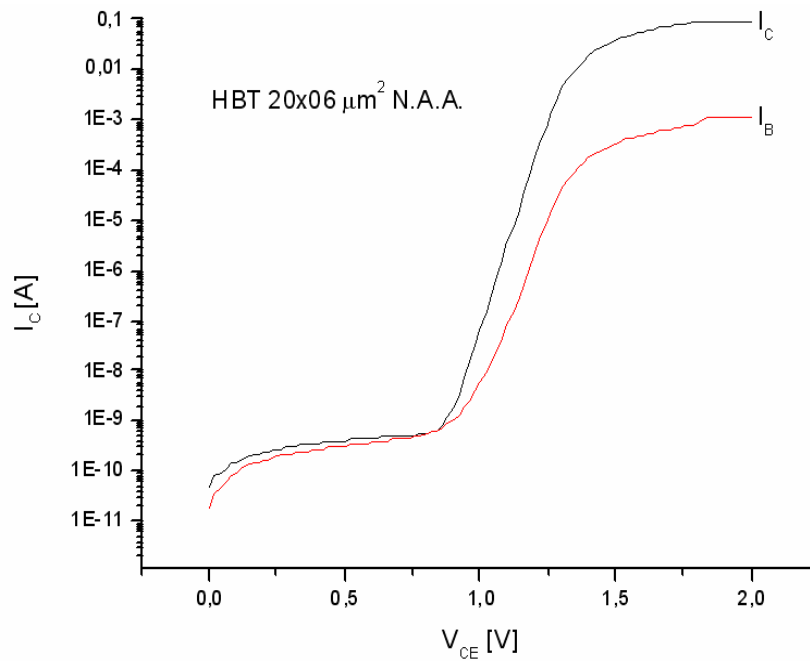


FIGURA 5.3 – *GUMMEL-PLOT* PARA HBT 20x06 μm^2 N.A.A.

Conforme descrito no capítulo 2, a região II do gráfico (onde β_F é constante) está aproximadamente entre 0,97 a 1,26V. Acima desta região, ocorrem os efeitos de segunda ordem, como alta injeção e efeitos térmicos, os quais degradam o ganho do transistor. Através do gráfico da figura 5.3, podemos gerar outro para análise da variação de β_F com a corrente de coletor:

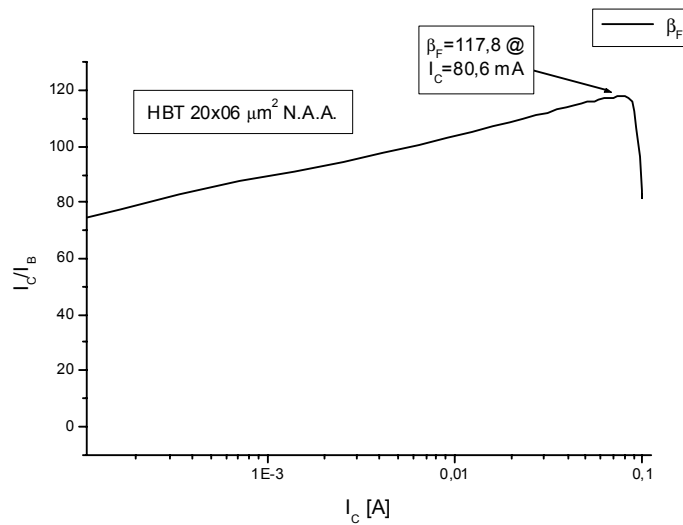


FIGURA 5.4 – VARIACAO DE β_F COM A CORRENTE DE COLETOR

O ganho máximo é de 117,8 para uma corrente de coletor de 80,6 mA. Para este mesmo transistor, a curva característica é obtida e mostrada na figura 5.5:

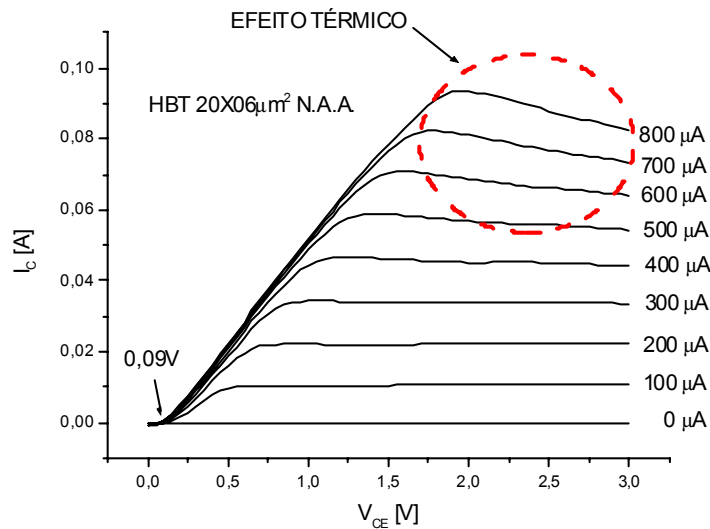


FIGURA 5.5 – CURVA CARACTERÍSTICA $I_C \times V_{CE}$

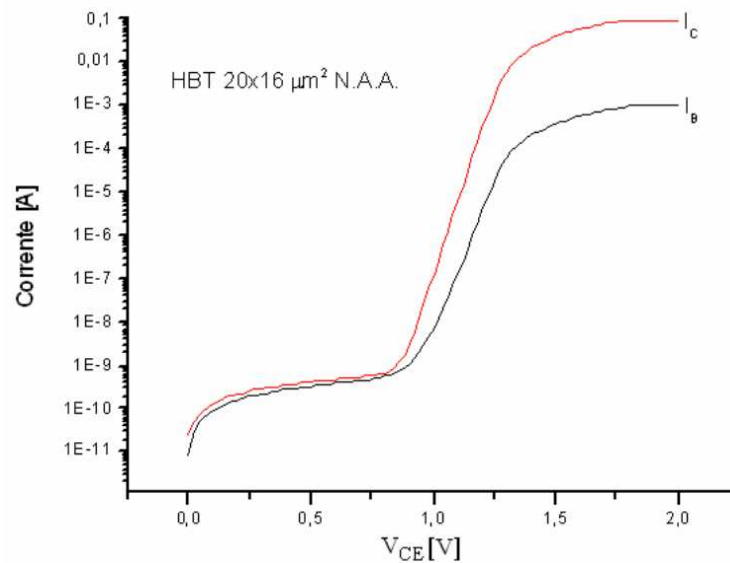
Para altas correntes de base é visível a degradação do ganho do transistor, causada pela pobre condutividade térmica do material GaAs para dissipar a potencia térmica produzida por altas correntes fluindo pelo dispositivo [49],[50]. Através do *Gummel-Plot* e da curva característica $I_C \times V_{CE}$ podemos obter vários parâmetros do modelo do transistor seguindo as técnicas descritas no capítulo 2, que são mostrados na tabela 5.4:

TABELA 5.4 – PARÂMETROS DC DO TRANSISTOR HBT 20x06 μm^2 N.A.A.

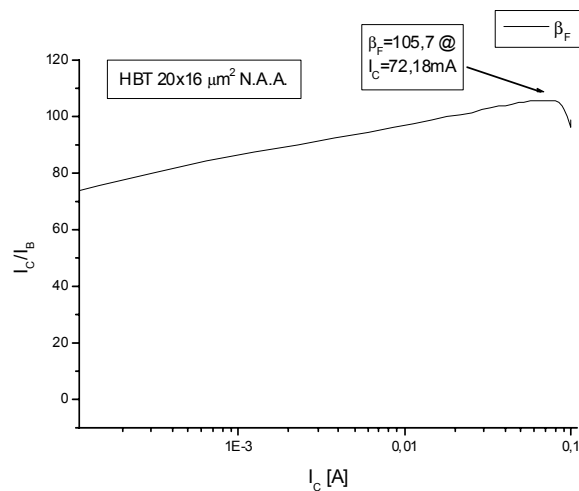
Parâmetro	Valor
I_S	$2,33.10^{-24}$ A
n_F	1,012
n_E	20,29
n_C	22,78
V_{AF}	53,11 V
β_F	117,8
I_{SE}	$1,89.10^{-10}$ A
I_{SB}	$2,29.10^{-22}$ A
n_{FB}	1,15

5.2.3.2 – TRANSISTOR HBT 20x16 μm^2 NÃO AUTO-ALINHADO

Para os demais transistores, o mesmo método descrito acima foi empregado para a obtenção dos parâmetros dc. As curvas de *Gummel-Plot* e de ganho de corrente são mostradas na figura 5.6:



(A)



(B)

FIGURA 5.6 – GUMMEL-PLOT (A) E GANHO β (B)

Através do *Gummel-Plot*, observa-se que o transistor apresenta ganho a partir de $V_{BE}=0,88V$ e os efeitos parasitas começam a degradar o ganho em torno de $V_{BE}=1,3V$. O valor máximo de ganho obtido para este transistor foi de $\beta_F=105,7$. A curva característica é obtida também, com I_B variando de 0 a 800 μA .

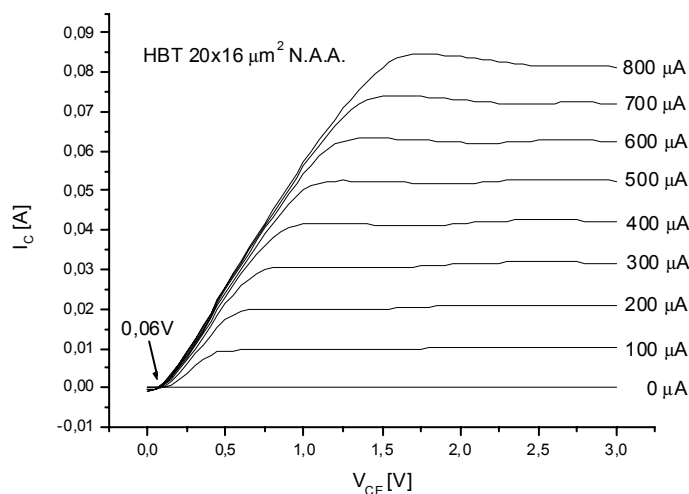


FIGURA 5.7 – CURVA CARACTERÍSTICA $I_C \times V_{CE}$.

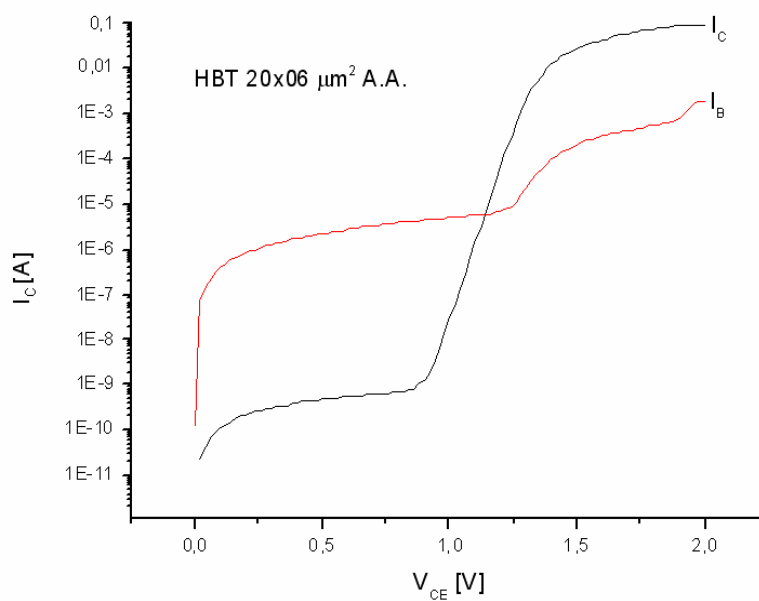
O transistor também apresenta redução do ganho para altas correntes de base, devido ao efeito térmico, porém a perda é menor se comparada ao transistor de área de emissor 20x06 μm^2 . Como a área é maior, a densidade de potência térmica gerada é menor, logo a degradação no ganho é menor. Através das curvas acima, os parâmetros dc são obtidos e resumidos na tabela 5.5.

TABELA 5.5 – PARÂMETROS DC DO TRANSISTOR HBT 20x16 μm^2 N.A.A.

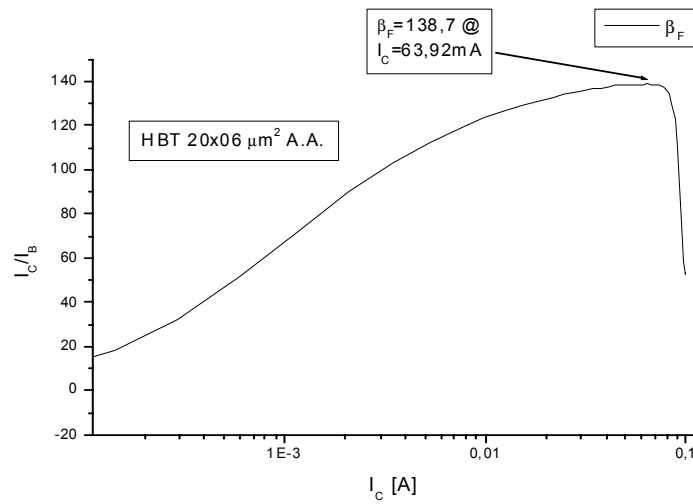
Parâmetro	Valor
I_S	$5,91.10^{-24}$ A
n_F	1,03
n_E	20,79
n_C	23,43
V_{AF}	59,68 V
β_F	105,7
I_{SE}	$1,06.10^{-10}$ A
I_{SB}	$1,13.10^{-22}$ A
n_{FB}	1,13

5.2.3.3 – TRANSISTOR HBT 20x06 μm^2 AUTO-ALINHADO

Devido à estrutura auto-alinhada deste transistor, esperava-se ganhos maiores em relação ao transistor de mesma área, não auto-alinhado, como comprovado através dos gráficos da figura 5.8:



(A)



(B)

FIGURA 5.8 – GUMMEL-PLOT (A) E GANHO β (B)

O ganho máximo obtido foi de $\beta_F=138.7$, superior ao ganho do transistor não auto-alinhado. Porém o rendimento de fabricação deste transistor foi baixo. Na etapa de metalização do metal de subcoletor, observou-se através das medidas de dos transistores auto-alinhados de grande área problema em seu funcionamento. Além disto, como é mostrado no *Gummel-Plot* da figura 5.8, o transistor apresentou alta corrente de fuga na base. Para minimizar este efeito deve-se incluir no processo de fabricação uma etapa de passivação [51]. Esta etapa consiste na deposição de um material de alta resistividade, como o nitreto (SiN_x) que foi utilizado nos fotodetectores, nas regiões expostas entre emissor e base. Problemas nesta superfície criam estados que aumentam a taxa de recombinação dos portadores, especialmente em baixas correntes, diminuindo a eficiência de injeção de portadores e conseqüentemente o ganho de corrente do dispositivo.

A curva característica para este dispositivo é mostrada na figura 5.9:

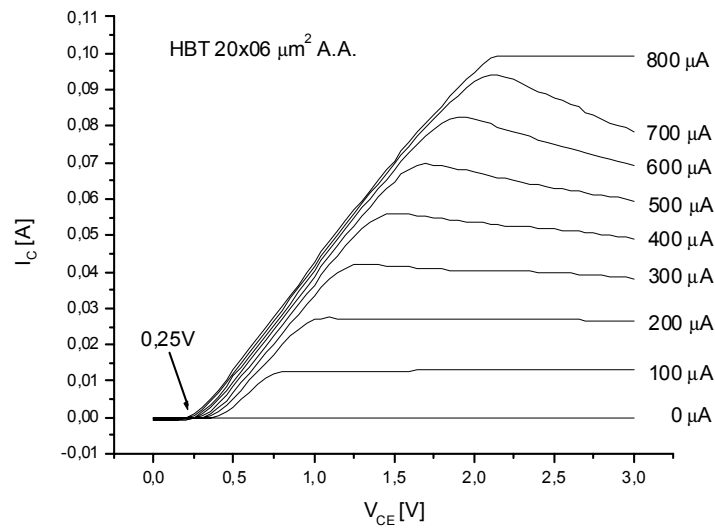


FIGURA 5.9 – CURVA CARACTERISTICA $I_C \times V_{CE}$

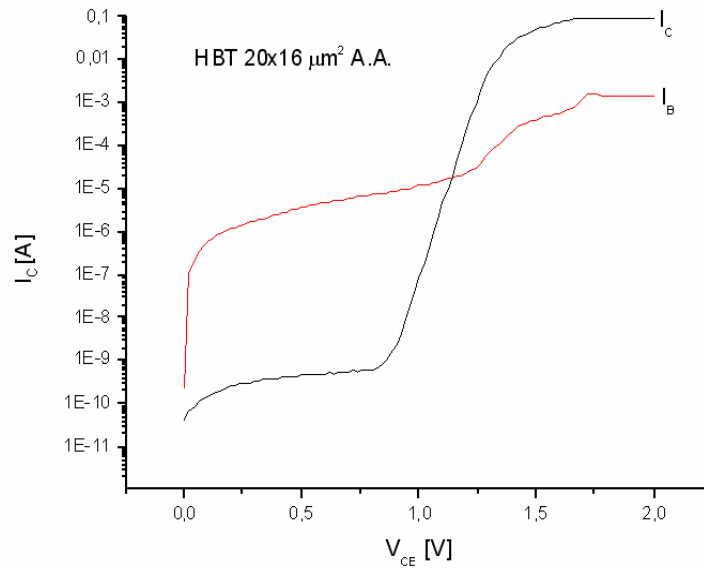
O transistor apresenta os efeitos térmicos, sendo que para corrente de base de 800 μA , o aparelho de medidas atinge o limite de escala e limita a corrente a partir de $V_{CE}=2\text{V}$. Os parâmetros dc são resumidos na tabela 5.6:

TABELA 5.6 – PARÂMETROS DC DO TRANSISTOR HBT 20x06 μm^2 A.A.

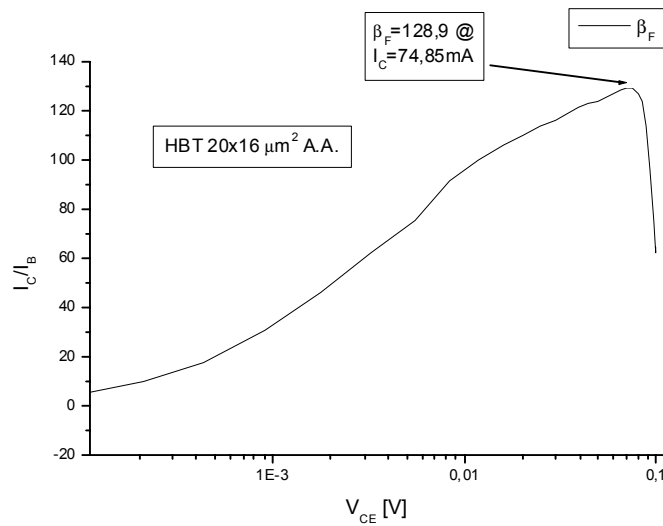
Parâmetro	Valor
I_S	$2,10 \cdot 10^{-24} \text{ A}$
n_F	1,04
n_E	32,22
n_C	32,1
V_{AF}	49,86 V
β_F	138,7
I_{SE}	$8,4 \cdot 10^{-7} \text{ A}$
I_{SB}	$1,57 \cdot 10^{-15} \text{ A}$
n_{FB}	2,23

5.2.3.4 – TRANSISTOR HBT 20x16 μm^2 AUTO-ALINHADO

Finalizando o processo de medidas dc dos transistores HBT, as curvas para o transistor auto-alinhado de área 20x16 μm^2 são mostradas na figura 5.10:



(A)



(B)

FIGURA 5.10 – GUMMEL-PLOT (A) E GANHO β (B)

O transistor apresenta alta corrente de fuga na base, porém possui ganho máximo β_F de $128,9$. Passivando-se este transistor, este ganho poderá ser maior. A curva característica segue abaixo:

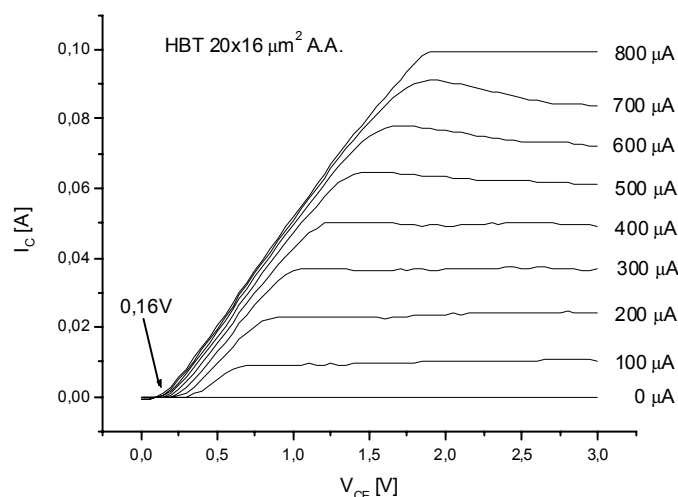


FIGURA 5.11 – CURVA CARACTERÍSTICA $I_C \times V_{CE}$

Os parâmetros dc para este transistor são resumidos na tabela 5.7:

TABELA 5.7 – PARÂMETROS DC DO TRANSISTOR HBT 20x16 μm^2 A.A.

Parâmetro	Valor
I_S	$2,51 \cdot 10^{-24} \text{ A}$
n_F	1,03
n_E	15,04
n_C	30,60
V_{AF}	38,12 V
β_F	128,9
I_{SE}	$7,33 \cdot 10^{-7} \text{ A}$
I_{SB}	$1,86 \cdot 10^{-13} \text{ A}$
n_{FB}	2,47

5.3 – RESULTADOS AC

O comportamento dos dispositivos em frequência é analisado com o auxílio de um analisador de parâmetros de rede (*network analyser*), HP8510C acoplado a um *cascade* da *Microtech*. O sistema é calibrado antes das medidas e a impedância padrão é de 50 Ω . As pontas de acesso possuem a configuração GSG (*ground signal ground*), conforme descrito no capítulo 3. Através dos parâmetros S_{11} , S_{12} , S_{21} e S_{22} obtidos, parte real e imaginária e magnitude e fase são utilizadas para plotar a carta de *Smith* e o diagrama polar respectivamente.

5.3.1 – RESISTORES

O comportamento dos resistores feitos com a camada de subcoletor foi analisado até a frequência de 10 GHz. A seguir é mostrada a medida ac para um resistor de 260Ω:

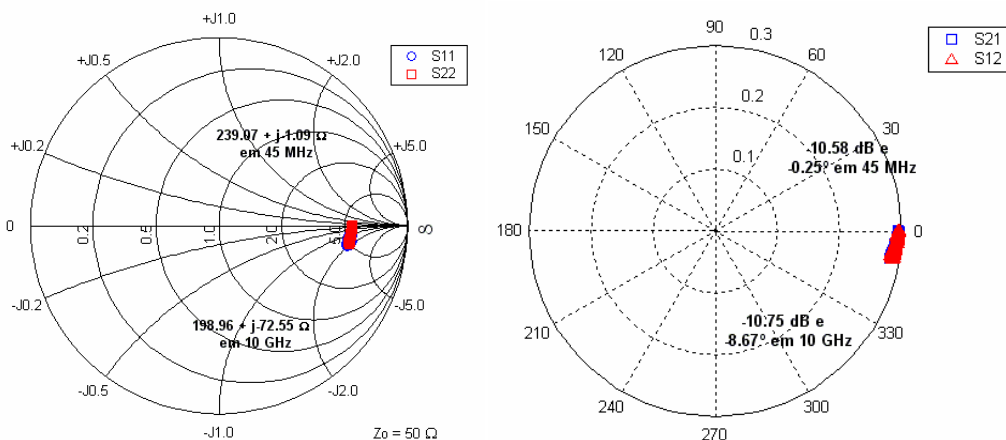


FIGURA 5.12 - MEDIDAS AC DO RESISTOR DE 260Ω.

Através da figura 5.12, percebemos que o resistor de 260 Ω apresenta comportamento capacitivo para a faixa de frequência analisada. Isto porque os parâmetros S_{11} e S_{22} , que representam a impedância obtida nas portas de entrada e saída do dispositivo sob teste, situam-se na região de reatâncias negativas da carta de *Smith*. Em 45 MHz, o resistor apresenta impedância de $239.07 - j 1.09 \Omega$, enquanto que para 10 GHz, a impedância é de $198.96 - j 72.55 \Omega$. Esta variação de impedância indica certa instabilidade deste resistor para trabalhar em altas frequências. Os parâmetros S_{21} e S_{12} possuem para 45 MHz, módulo e fase de -10.58 dB e -0.25° respectivamente, sendo que para 10 GHz, módulo e fase são -10.75 dB e -8.67° . Por possuírem fase negativa, o comportamento também é capacitivo.

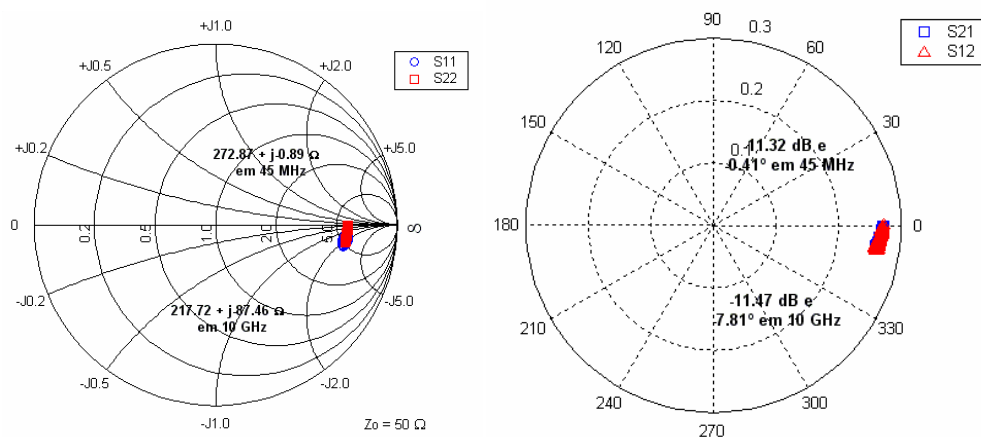


FIGURA 5.13 - MEDIDAS AC DO RESISTOR DE 300Ω

Para o resistor de $300\ \Omega$, a carta de *Smith* e o diagrama polar são mostrados na figura 5.13. A impedância em 45 MHz é de $272.87 - j\ 0.89\ \Omega$ e em 10 GHz, $217.72 - j\ 87.46\ \Omega$. Para S_{21} e S_{12} , modulo e fase são $-11.32\ \text{dB}$ e -0.41° respectivamente. Para 10 GHz, temos $-11.47\ \text{dB}$ e -7.81° . Através de S_{11} e S_{22} , percebe-se que a variação da impedância é significativa. Esta grande variação foi causada pelo valor de largura (W) utilizado no projeto deste resistor (item 3.3), que é de apenas $8\ \mu\text{m}$. Aumentando-se este valor, a precisão na fabricação é aumentada. Em [29], resistores fabricados com W de $30\ \mu\text{m}$ mostraram variações de impedância em frequência menores que 3%. Este aumento faz com o dispositivo se torne menos sensível a variações de processo, porém com aumento de área no *chip*.

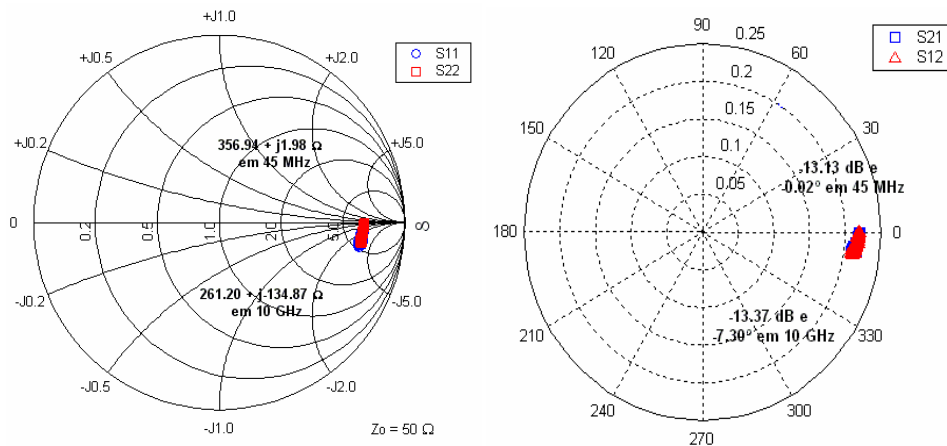


FIGURA 5.14 - MEDIDAS AC DO RESISTOR DE $400\ \Omega$

Finalizando as medidas ac dos resistores, os resultados obtidos para o resistor de $400\ \Omega$ são mostrados na figura 5.14. A impedância varia de $356.94 + j\ 1.98\ \Omega$ (45 MHz) a $261.20 - j\ 134.87\ \Omega$ (10 GHz). Para 45 MHz, modulo e fase são $-13.13\ \text{dB}$ e -0.02° e em 10 GHz, $-13.37\ \text{dB}$ e -7.39° . Quanto maior o valor do resistor, maior seu comprimento, portanto mais suscetível a parasitas ele será, limitando a operação em altas frequências.

5.3.2 – TRANSISTORES HBT

Para os transistores HBT, as medidas ac foram realizadas na faixa de frequência de 45 MHz a 20 GHz, utilizando-se as tensões de polarização próximas às quais os transistores estarão sujeitos no circuito. Com isto, como será mostrado adiante, obtêm-se os parâmetros do modelo de pequenos sinais para a realização da resimulação e validação do mesmo. Outros níveis de tensão são utilizados nas medidas, para obtenção da máxima frequência de oscilação destes transistores (f_{MAX}) e a frequência de transição (f_T). Algumas destas medidas serão apresentadas a seguir.

5.3.2.1 – TRANSISTOR HBT $20 \times 06\ \mu\text{m}^2$ NÃO AUTO-ALINHADO

Os gráficos 5.15 e 5.16 foram obtidos com os seguintes parâmetros de polarização do transistor: $V_{\text{BE}} = 1.26\text{V}$, $I_{\text{B}} = 0.032\text{mA}$, $I_{\text{C}} = 2.822\text{mA}$ e $V_{\text{CE}} = 2.5\text{V}$.

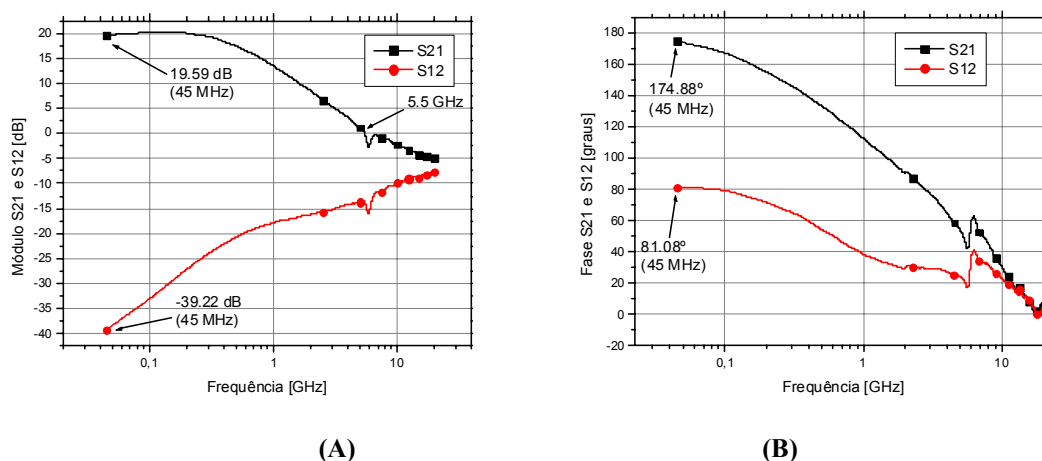


FIGURA 5.15 – MÓDULO DE S_{21} E S_{12} (A) E FASE DE S_{21} E S_{12} (B)

Para a figura 5.15 (A), o módulo de S_{21} representa o ganho de potência do transistor e a figura 5.15 (B), a fase de S_{21} . Para baixas frequências, os módulos de S_{12} e S_{21} são -39.22 dB e 19.59 dB respectivamente. Aumentando-se a frequência, o módulo de S_{21} decai a uma taxa de aproximadamente -20 dB/década até atingir a frequência de ganho unitário (0 dB), de 5.5 GHz. As fases para S_{12} e S_{21} são 81.08° e 174.88° respectivamente, ambas decaindo com o aumento da frequência. Apenas em torno de 20 GHz, a fase torna-se negativa, onde o comportamento dos parâmetros S_{21} e S_{12} mudam de comportamento indutivo para capacitivo.

Para a análise das reflexões de potência na entrada e saída do transistor, os parâmetros S_{11} e S_{22} são analisados através da carta de Smith. Como o sinal de RF é aplicado na base do transistor e o sinal de saída é observado no coletor, S_{11} representa a reflexão na base e S_{22} representa a reflexão no coletor. A carta de *Smith* é mostrada na figura 5.16:

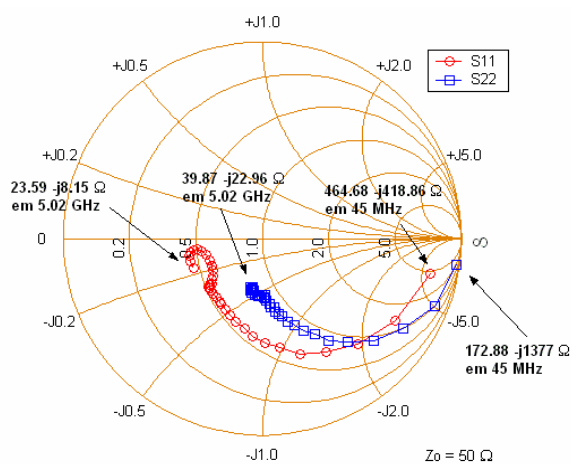


FIGURA 5.16 – REFLEXÃO NA ENTRADA (S_{11}) E SAÍDA DO TRANSISTOR (S_{22})

O parâmetro S_{11} em 45 MHz apresenta impedância de $464.68 - j418.86 \Omega$. Com o aumento da frequência, esta impedância diminui para $23.59 - j8.15 \Omega$ em 5.02 GHz. Já o parâmetro S_{22} , apresenta inicialmente impedância de $172.88 - j377 \Omega$, que decai para $39.87 - j22.96 \Omega$ com o aumento da frequência. Ambos os parâmetros apresentaram comportamento capacitivo para a faixa de frequência analisada.

5.3.2.2 – TRANSISTOR HBT $20 \times 16 \mu\text{m}^2$ NÃO AUTO-ALINHADO

Para o transistor não auto-alinhado de área $20 \times 16 \mu\text{m}^2$, o ponto de polarização escolhido foi: $V_{BE} = 1.26\text{V}$, $I_B = 0.056\text{mA}$, $I_C = 5.527\text{mA}$ e $V_{CE} = 2.204\text{V}$. Na figura 5.17 é mostrado o módulo e a fase dos parâmetros S_{12} e S_{21} .

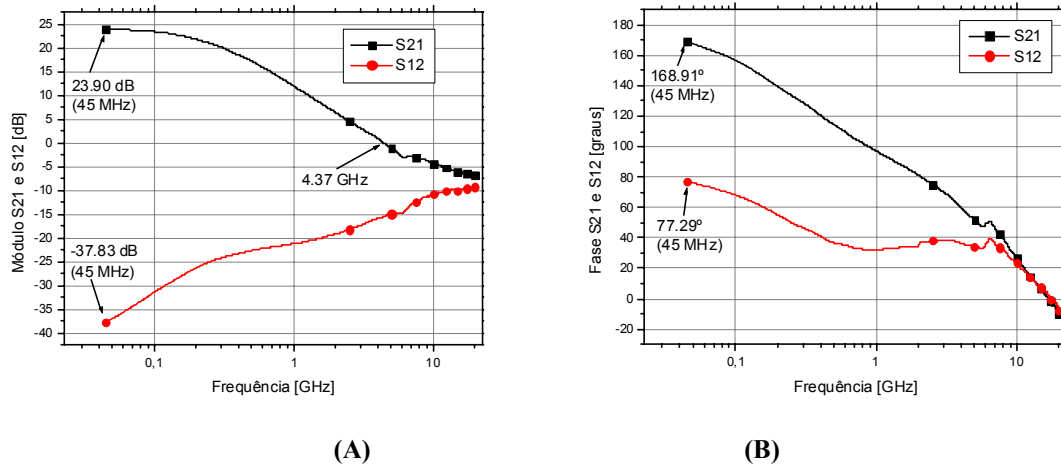


FIGURA 5.17 – MÓDULO DE S_{21} E S_{12} (A) E FASE DE S_{21} E S_{12} (B)

Os módulos de S_{21} e S_{12} na frequência de 45 MHz são 23.9 dB e -37.83 dB respectivamente. Com o aumento da frequência, o módulo de S_{21} decai e a frequência de ganho unitário está em torno de 4,37 GHz. As fases para S_{21} e S_{12} são 168.91° e 77.29° respectivamente, decaindo com o aumento da frequência e tornando-se negativa para frequência em torno de 20 GHz.

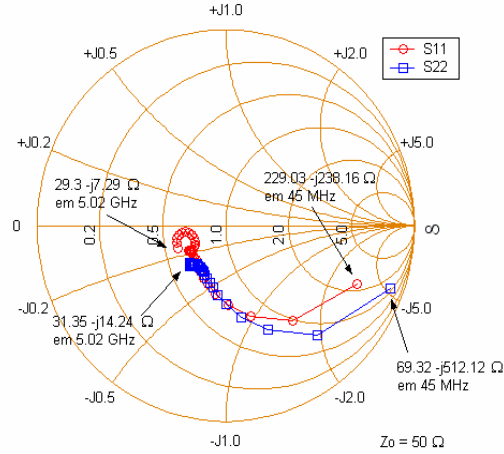


FIGURA 5.18 – REFLEXÃO NA ENTRADA (S_{11}) E SAÍDA DO TRANSISTOR (S_{22})

Em relação as reflexões de potência na entrada e saída vistas na figura 5.18, o parâmetro S_{11} em 45 MHz apresenta impedância de $229.03 - j238.16 \Omega$, que decai para $29.3 - j7.29 \Omega$ em 5.02 GHz.

Para S_{22} , em 45 MHz a impedância é de $69.32 - j512.12 \Omega$.

5.3.2.3 – RESUMO DAS MEDIDAS DOS TRANSISTORES NÃO AUTO-ALINHADOS

Outros pontos de polarização foram utilizados para cálculo da máxima frequência de oscilação (f_{MAX}), a frequência de transição (f_T) e o ganho ($|S_{21}|^2$). O valor de f_T é obtido através do parâmetro H_{21} , através da fórmula abaixo [29]:

$$H_{21} = \frac{-2.S_{21}}{(1-S_{11}).(1+S_{22})+S_{12}.S_{21}} \quad (5.1)$$

Através da curva ($|H_{21}|^2$), o valor de f_T é obtido através da extrapolação do decaimento de -20dB/dec até o eixo das ordenadas. O parâmetro f_{MAX} é também obtido através dos parâmetros S, segundo a relação abaixo [29]:

$$f_{MAX} = \frac{|S_{21}|^2}{(1-|S_{11}|^2).(1-|S_{22}|^2)} \quad (5.2)$$

A tabela 5.8 resume os valores encontrados para algumas medidas realizadas em diversos transistores fabricados:

TABELA 5.8 – MEDIDAS AC REALIZADAS EM DIVERSOS PONTOS DE POLARIZAÇÃO

ÁREA DE EMISSOR [μm ²]	V _{BE} [V]	I _B [mA]	I _C [mA]	V _{CE} [V]	S ₂₁ ² [dB] (45 MHz)	f _{MAX} [GHz]	f _T [GHz]
20x06	1.402	0.726	60.6	1.998	30.151	9.4	24.4
	1.325	0.249	23.6	2.499	28.662	9.4	21.9
	1.261	0.032	2.822	2.499	20.13	6.4	9.0
20x16	1.248	0.037	3.342	1.998	21.4	4.1	6.0
	1.260	0.056	5.527	2.204	23.9	4.8	9.0
	1.401	0.881	88.5	1.998	31.6	6.3	21.2
	1.505	0.258	18.96	2.897	29.3	5.5	16.6
	1.234	0.021	2.195	2.499	18.8	3.9	5.0
	1.248	0.036	3.639	1.998	21.8	4.3	6.0

Para o transistor 20x06 μm², foi obtido o máximo ganho de 30.15 dB, com uma f_T de 24.4 GHz. Apesar dos problemas de resistividade de contato apresentado no item 5.2.2, o valor máximo de f_T obtido é ligeiramente maior que os resultados apresentados em [21]. O transistor 20x16 μm² apresentou ganho máximo de 29.3 dB, para f_T = 16.6 GHz. O valor é também é ligeiramente maior do que o apresentado na referência acima.

5.3.2.4 – TRANSISTOR HBT 20x06 μm² AUTO-ALINHADO

O ponto de polarização utilizado para as medidas ac do transistor 20x06 μm² auto-alinhado foi o seguinte: V_{BE} = 1.325V, I_B = 0.064mA, I_C = 8.798mA e V_{CE} = 2.499V. Os parâmetros S₂₁ e S₁₂ são mostrados na figura 5.19:

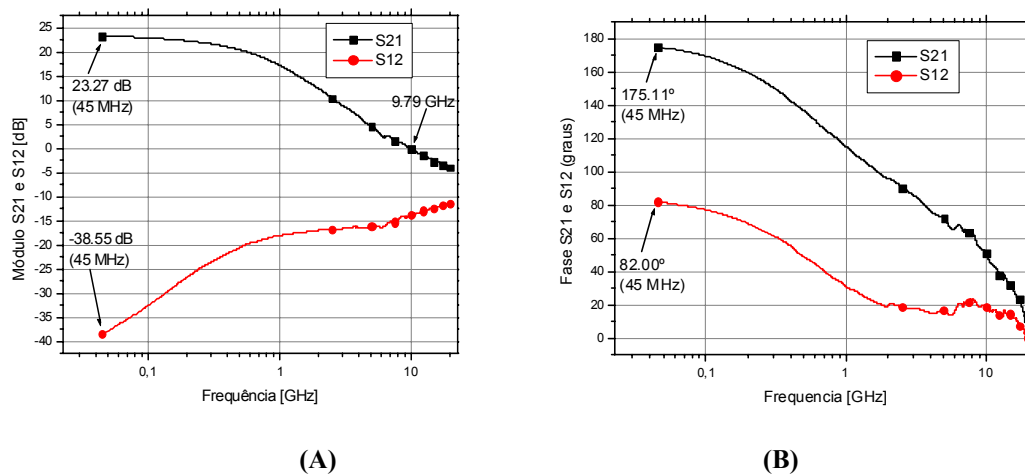


FIGURA 5.19 – MÓDULO DE S₂₁ E S₁₂ (A) E FASE DE S₂₁ E S₁₂ (B)

Os módulos dos parâmetros S₂₁ e S₁₂ tem valores para 45 MHz, 23.27 e -38.55 dB respectivamente, onde a frequência de ganho unitário está em torno de 9.79 GHz.

As fases de S_{21} e S_{12} em baixas frequências são 175.11° e 82° respectivamente, ambas decaindo com o aumento da frequência. A carta de *Smith* também é obtida, vista na figura 5.20:

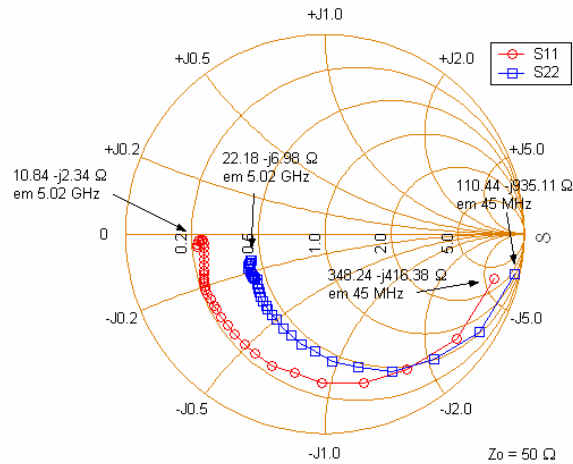
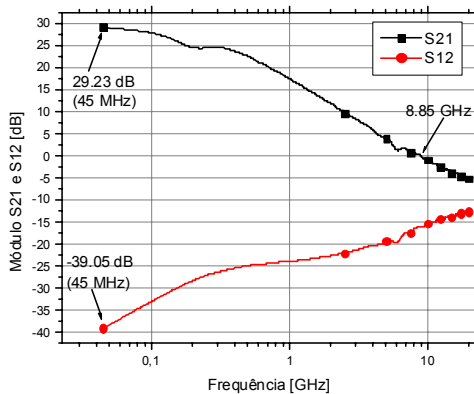


FIGURA 5.20 – REFLEXÃO NA ENTRADA (S_{11}) E SAÍDA DO TRANSISTOR (S_{22})

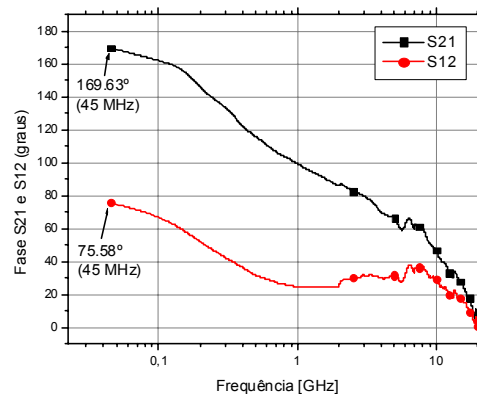
Para este transistor auto-alinhado, o parâmetro S_{11} apresenta impedância de $348.24 - j416.38 \Omega$ em 45 MHz, decaindo para $10.84 - j2.34 \Omega$ em 5.02 GHz. O parâmetro S_{22} tem impedância de $110.44 - j935.11 \Omega$ em 45 MHz, decaindo para $22.18 - j6.98 \Omega$ com o aumento da frequência.

5.3.2.5 – TRANSISTOR HBT $20 \times 16 \mu\text{m}^2$ AUTO-ALINHADO

Finalizando a caracterização ac dos transistores, são apresentados os resultados das medidas para o transistor auto-alinhado de área $20 \times 16 \mu\text{m}^2$, utilizando o seguinte ponto de polarização: $V_{BE} = 1.299\text{V}$, $I_B = 0.179 \text{mA}$, $I_C = 16.9\text{mA}$ e $V_{CE} = 3.00\text{V}$. Para este ponto de polarização, o transistor atingiu ganho S_{21} de 29.23 dB, mostrado na figura 5.21:



(A)



(B)

FIGURA 5.21 – MÓDULO DE S_{21} E S_{12} (A) E FASE DE S_{21} E S_{12} (B)

As reflexões nas portas de entrada e saída (S_{11} e S_{22}) para 45 MHz são $155 -j167.74\Omega$ e $59.89 -j392.25\Omega$ respectivamente, ambas decaindo para $12.23 +j0.22 \Omega$ e $22.11 -j2.73\Omega$ em 5.02 GHz.

As diversas medidas ac realizadas nos transistores auto-alinhados são resumidas na tabela 5.9, com o ponto de polarização utilizado, o ganho S_{21} , a f_{MAX} e a f_T .

TABELA 5.9 – MEDIDAS AC REALIZADAS EM DIVERSOS PONTOS DE POLARIZAÇÃO

ÁREA DE EMISSOR [μm^2]	V_{BE} [V]	I_B [mA]	I_C [mA]	V_{CE} [V]	$S_{21} ^2$ [dB] (45 MHz)	f_{MAX} [GHz]	f_T [GHz]
20x06	1.325	0.064	8.798	2.499	23.26	11.8	16.3
	1.299	0.035	4.470	3.000	20.54	11.0	13.0
	1.299	0.039	5.197	3.936	21.241	12.4	14.1
	1.299	0.031	4.132	2.562	20.166	11.0	12.7
	1.312	0.040	5.065	1.304	20.709	9.10	12.5
	1.222	0.005	0.251	1.214	7.299	4.10	2.3
	1.299	0.032	4.278	2.832	20.285	10.8	13.2
20x16	1.248	0.042	2.300	2.499	20.22	5.60	6.0
	1.299	0.179	19.60	3.000	29.233	10.50	18.1
	1.248	-	3.968	3.936	19.753	6.20	7.00
	1.248	-	2.768	2.562	19.238	6.00	6.00
	1.286	0.115	7.608	1.304	22.503	6.9	11.3
	1.222	0.043	0.802	1.214	12.119	3.4	2.7
	1.248	-	2.996	2.832	19.522	6.6	6.0

Comparando-se os resultados da tabela 5.8 com a tabela 5.9, para transistores de mesma área de emissor e valores de V_{CE} e I_C próximos, percebemos que os transistores auto-alinhados apresentaram resultados melhores de f_{MAX} e f_T do que os transistores auto-alinhados. Os resultados seriam superiores se a resistividade de contato e a corrente de fuga na base fossem menores.

5.3.3 – CIRCUITO AMPLIFICADOR DE TRANSIMPEDÂNCIA

Para finalizar as medidas ac dos diversos dispositivos presentes no chip, as medidas do primeiro circuito de transimpedância são apresentadas. O ganho e as perdas na entrada e na saída são calculadas para a faixa de frequência de 45 MHz até 10 GHz, mostradas na figura 5.23:

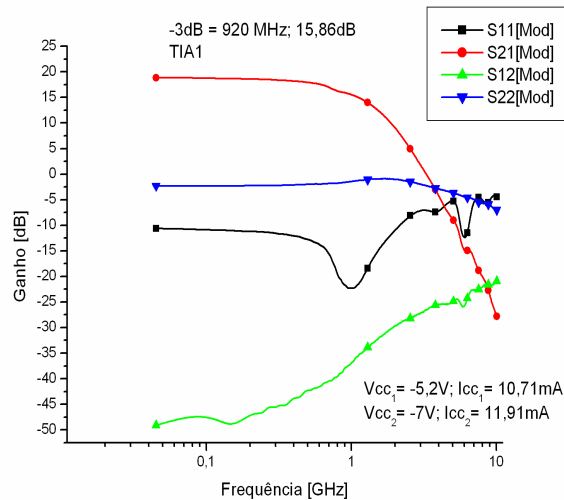


FIGURA 5.23 – GANHO DE POTÊNCIA E PERDAS DE RETORNO

Esta medida foi realizada para um circuito com transistores não auto-alinhados de área de emissor $20 \times 06 \mu\text{m}^2$. Os circuitos com transistores auto-alinhados não apresentaram resultados práticos, devido à dificuldade apresentada durante o processo de fabricação em obter-se o perfil negativo necessário na parede da região de emissor, evitando assim o curto com a região de base.

Através do gráfico da figura 5.23, primeiramente percebemos que as correntes I_{CC1} e I_{CC2} estão em torno de 1mA acima dos valores simulados apresentados no capítulo 3. Esta mudança foi provocada pelo fato dos resistores apresentarem resistências menores que os valores projetados. O ganho S_{21} para 45 MHz foi de 15.86 dB, com uma banda de 920 MHz. Estes valores também são menores que os valores obtidos nas simulações. Estas diferenças se devem principalmente aos modelos utilizados para os resistores durante a fase de projeto. Não se dispunha de componentes isolados para caracterização e criação de um modelo elétrico, incluindo capacitâncias e indutâncias parasitas que modelem o comportamento do dispositivo em frequência. Como foi visto nas medidas ac destes resistores neste capítulo, existe uma variação no valor da resistência com o aumento da frequência. Isto implica na redução do ganho e da largura de banda. Através da figura 5.23, também se percebe que as perdas de retorno, principalmente na saída do circuito, estão muito elevadas. Isto resulta no descasamento de impedância do circuito com a impedância padrão dos equipamentos de medição, de 50Ω . Para minimizar estes efeitos, casadores de impedância utilizando capacitores e indutores integrados podem ser utilizados em uma nova versão do circuito, para minimizar as perdas. O laboratório já possui a técnica de fabricação destes componentes integrada à tecnologia HBT, como circuitos monolíticos de microondas [29].

Utilizando-se os dados das medidas ac dos transistores, o modelo de pequenos sinais do transistor HBT apresentado na figura 2.20 é extraído, com o auxílio do programa *Matlab*. Os dados medidos com os pontos de polarização mais próximos em relação ao circuito são usados e a tabela 5.10 resume os parâmetros obtidos para os quatro transistores do circuito amplificador. Os transistores Q1-Q4 representam os transistores do esquemático mostrado na figura 3.12:

**TABELA 5.10 – PARÂMETROS DO MODELO DE PEQUENOS
SINAIS OBTIDOS (HBT's 20x06 μm^2)**

Transistor	Parâmetro	Valor	Parâmetro	Valor
Q ₁	C _{pbe}	66pF	C _{ex}	0.51pF
	C _{pbc}	55pF	C _{bc}	0.52pF
	C _{pce}	50pF	R _{bb}	13.5 Ω
	R _e	3.2 Ω	R _{bc}	5230 Ω
	R _b	3 Ω	R _{ex}	15830 Ω
	R _c	3.6 Ω	α_0	0.91
	L _e	58pH	τ	9.7ps
	L _b	87pH	R _{be}	3 Ω
	L _c	34pH	C _{be}	5.6pF
Q ₂	C _{pbe}	90pF	C _{ex}	0.61pF
	C _{pbc}	61pF	C _{bc}	0.16pF
	C _{pce}	51pF	R _{bb}	50.4 Ω
	R _e	5.2 Ω	R _{bc}	19956 Ω
	R _b	2,1 Ω	R _{ex}	6937 Ω
	R _c	6.1 Ω	α_0	0.91
	L _e	14pH	τ	7.1ps
	L _b	30pH	R _{be}	0.08 Ω
	L _c	11pH	C _{be}	3.6pF
Q ₃	C _{pbe}	12.6pF	C _{ex}	0.18pF
	C _{pbc}	62.8pF	C _{bc}	0.26pF
	C _{pce}	60.7pF	R _{bb}	11.16 Ω
	R _e	3.2 Ω	R _{bc}	4386 Ω
	R _b	2.0 Ω	R _{ex}	10356 Ω
	R _c	3.0 Ω	α_0	0.99
	L _e	92pH	τ	16.4ps
	L _b	16.7pH	R _{be}	2,24 Ω
	L _c	16pH	C _{be}	3.39pF
Q ₄	C _{pbe}	16.02pF	C _{ex}	0.25pF
	C _{pbc}	20.0pF	C _{bc}	0.99pF
	C _{pce}	30.4pF	R _{bb}	10.7 Ω
	R _e	5.42 Ω	R _{bc}	3403 Ω
	R _b	3.9 Ω	R _{ex}	17912 Ω
	R _c	3.12 Ω	α_0	0.91
	L _e	24.5pH	τ	9.97ps
	L _b	68.9pH	R _{be}	10.58 Ω
	L _c	39.2pH	C _{be}	4.8pF

Os dados foram obtidos para os seguintes pontos de polarização: Q1 ($V_{BE}=1.31\text{V}, V_{CE}=3.94\text{V}$), Q2 ($V_{BE}=1.31\text{V}, V_{CE}=2.56\text{V}$), Q3 ($V_{BE}=1.36\text{V}, V_{CE}=3.93\text{V}$) e Q4 ($V_{BE}=1.31\text{V}, V_{CE}=1.31\text{V}$).

De posse dos modelos acima, a resimulação do circuito de transimpedância foi feita, comparando-se o ganho obtido com o ganho medido na caracterização elétrica. O modelo que representa o comportamento dos resistores em frequência não demonstrou precisão satisfatória, portanto nas simulações foram utilizados os dados das medidas elétricas. O resultado da resimulação segue abaixo:

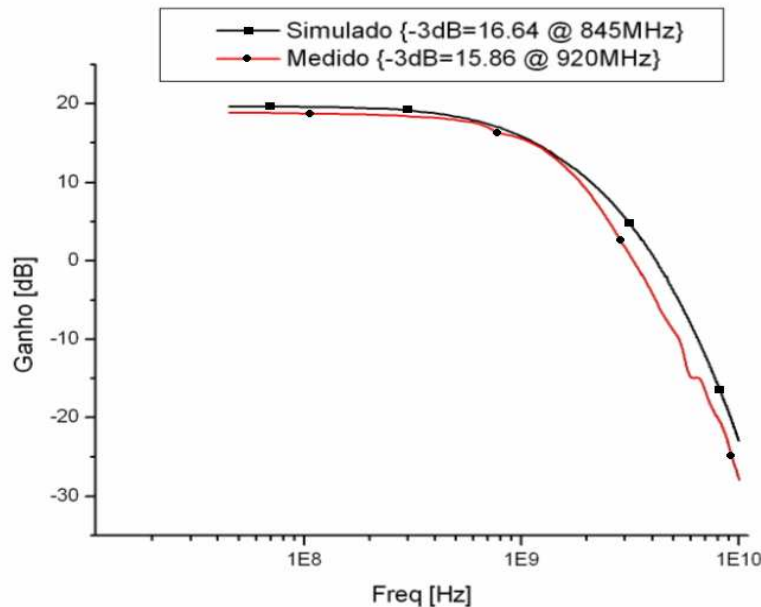


FIGURA 5.24 – COMPARAÇÃO ENTRE O GANHO E A BANDA DO CIRCUITO MEDIDO E RESIMULADO

A medida elétrica apresentou ganho dc de 15.86 dB e banda de 920 MHz, enquanto que a resimulação apresentou ganho dc de 16.64 dB e banda de 845 MHz. O método de modelamento do transistor HBT apresentou boa concordância. As diferenças se devem ao fato dos parâmetros não passarem por um ajuste, um processo de otimização para diminuir o erro entre o dado medido e o dado simulado na extração do modelo de cada transistor. Finalizando o processo de caracterização elétrica, o ganho de transimpedância deste circuito pode ser calculado por [52]:

$$G_T = 20 \cdot \log \left(50 \cdot \frac{|S_{21}|}{|1 - S_{11}|} \right) \quad [\text{dB}\Omega] \quad (5.3)$$

Utilizando a equação 5.3, obtemos o ganho de transimpedância do circuito, que é de aproximadamente 117 dBΩ em baixas frequências e decaindo com o aumento da frequência:

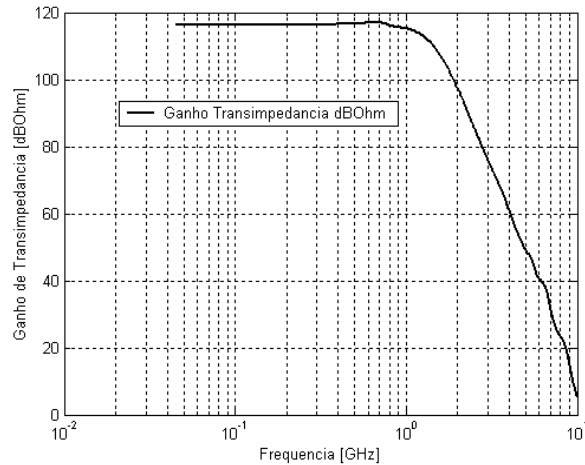


FIGURA 5.25 – GANHO DE TRANSIMPEDÂNCIA DO CIRCUITO

Para o circuito de transimpedância utilizando o par Darlington, o ganho de potência e as perdas de retorno são mostrados na figura 5.26:

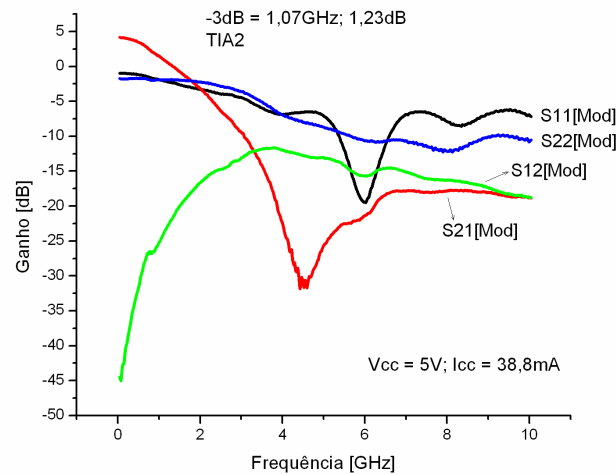


FIGURA 5.26 – GANHO DE POTÊNCIA E PERDAS DE RETORNO PARA CIRCUITO DE TRANSIMPEDÂNCIA UTILIZANDO PAR DARLINGTON

Pelos resultados das medidas, percebeu-se que o circuito na configuração Darlington não apresentou o alto ganho esperado. O ganho para baixas frequências está em torno de 4 dB, tendo uma frequência de corte de 1dB em 1,07 GHz. O ganho da estrutura, dado por $\beta_{comb} = \beta_{Q1} * \beta_{Q2}$, pode ser baixo se o beta de algum dos transistores for menor que um. Isto pode ocorrer se um dos transistores estiver polarizado próximo à região de corte e foi provavelmente o que ocorreu com o transistor de entrada (transistor Q1 da figura 3.21). O resistor R1, conectado entre coletor e base deste transistor tem como função forçar uma queda de tensão e aumentar a corrente de base deste transistor, porém esta queda não foi suficiente para este transistor operar na região ativa.

A tensão na base deste transistor é dada pela queda no resistor R_2 mais dois v_{be} , o qual se aproxima da tensão de alimentação e portanto a queda de tensão em R_1 é pequena. Logo a corrente de base do transistor de entrada é baixa e ele trabalhará próximo à região de corte. Uma alternativa para corrigir este problema seria dada pelo esquemático da figura 5.27:

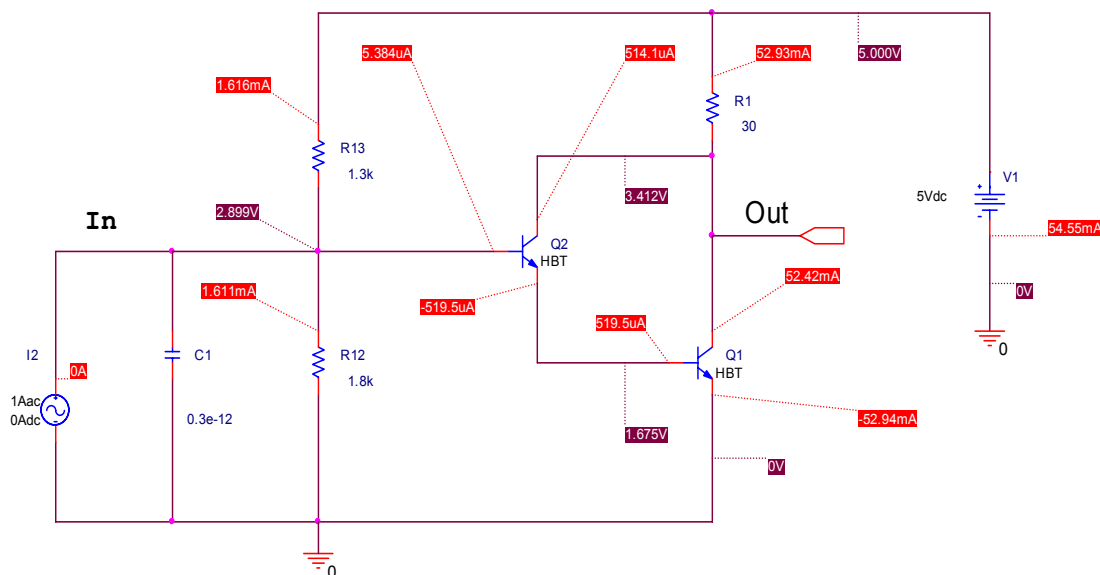


FIGURA 5.27 – PROPOSTA PARA O NOVO CIRCUITO DE TRANSIMPEDÂNCIA UTILIZANDO PAR DARLINGTON

A base do transistor de entrada é polarizada pelo divisor resistivo R_{12} - R_{13} , com uma tensão de 2,9 V. O resistor R_1 tem baixo valor para que a queda de tensão entre seus terminais não seja muito grande e sature o transistor Q_2 . As correntes de coletor dos transistores Q_1 e Q_2 são aproximadamente 500 μ A e 50 mA respectivamente. Observando-se o gráfico do ganho β versus I_C , os transistores estão polarizados na região onde o ganho é constante. Ambos transistores estão com as junções base coletor reversamente polarizada. O ganho do circuito para pequenos sinais é mostrado abaixo:

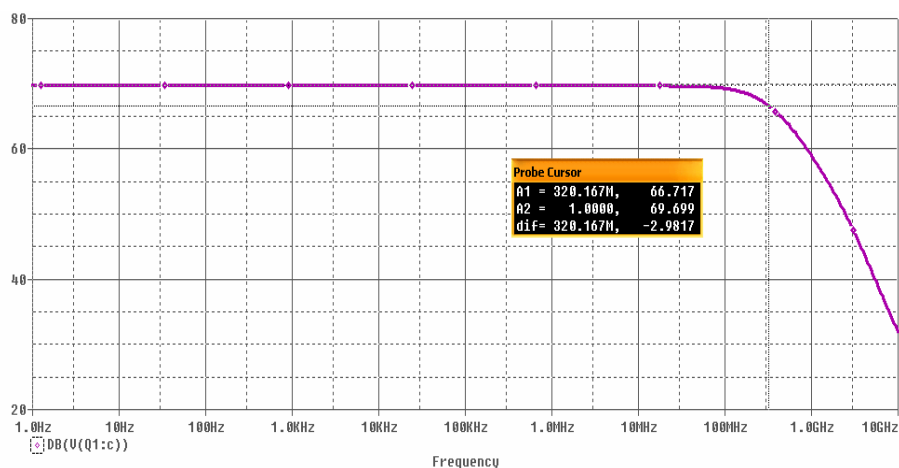


FIGURA 5.28 – RESPOSTA EM FREQUÊNCIA PARA O CIRCUITO MODIFICADO

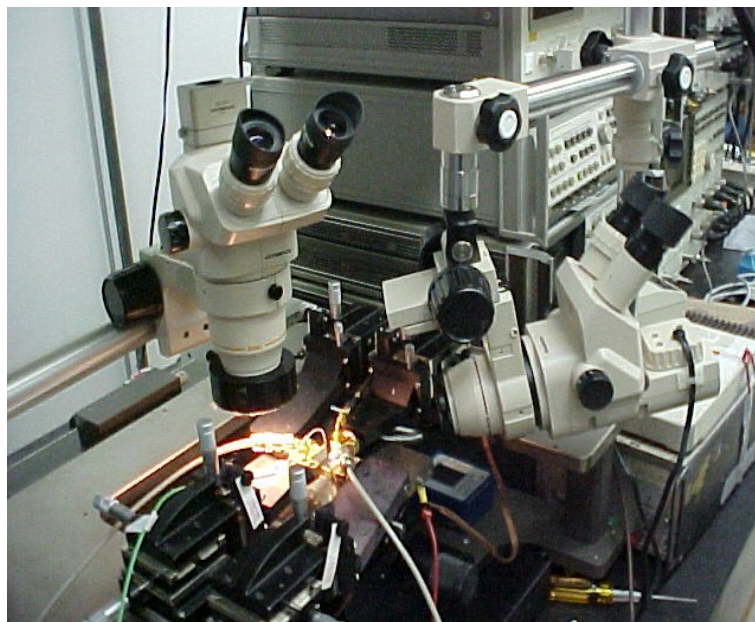
Para baixas frequências, o circuito tem um ganho de 69,7 dB. Este ganho é alto e maior em relação à primeira versão do circuito. A frequência de corte está em torno de 320 MHz. O ganho da estrutura está diretamente relacionado ao valor absoluto do resistor R1. Como vimos anteriormente, devido a variações no processo de fabricação, o valor de R1 irá variar e mudar o ganho do circuito. Para minimizar este efeito, a técnica de *trimming* [38] pode ser usada, que consiste na adição de resistores em série e em paralelo, curto-circuitados por fusíveis ou *laser cuts*. Removendo-se estes fusíveis ou *laser cuts*, o valor da resistência de R1 é aumentada ou diminuída, conforme a necessidade devido à variação do processo no valor do resistor. Pontos de teste (*test points*) devem ser adicionados nos pontos mais importantes do circuito, para medidas elétricas, conforme descrito anteriormente. Para o divisor resistivo, a variação de processo pode ser minimizada utilizando-se a técnica de *layout* mostrada na figura 2.24.

5.4 – RESULTADOS DAS MEDIDAS ÓPTICAS

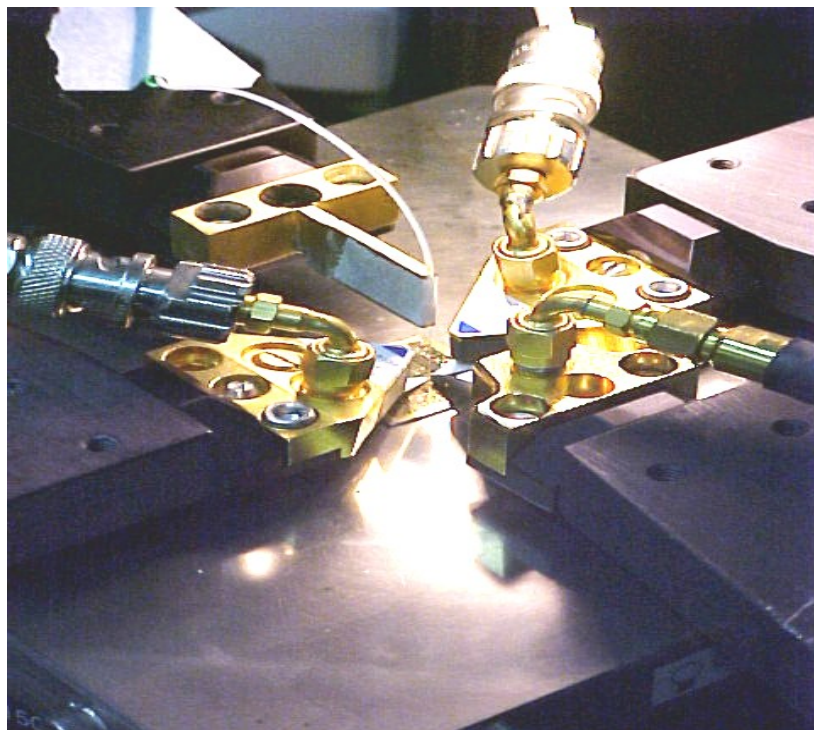
As medidas ópticas foram realizadas em duas etapas: caracterização dos fotodetectores e caracterização do primeiro circuito de transimpedância aplicando-se o sinal óptico em sua entrada. Os equipamentos utilizados foram os seguintes:

- Estação de pontas *Cascade Microtech*;
- Osciloscópio digital *Tektronix TDS 7254 2.5GHz 20GS/s*;
- Gerador de pulsos *HP 8133A*;
- Fonte de Luz: Transciever *Infineon V23826-K305-C13*;
- Analisador de parâmetros semiconductor *HP4145B*;
- Fibra multimodo ϕ 62.5 μ m com atenuação ≤ 3.0 dB/km @ 850 mm [53].

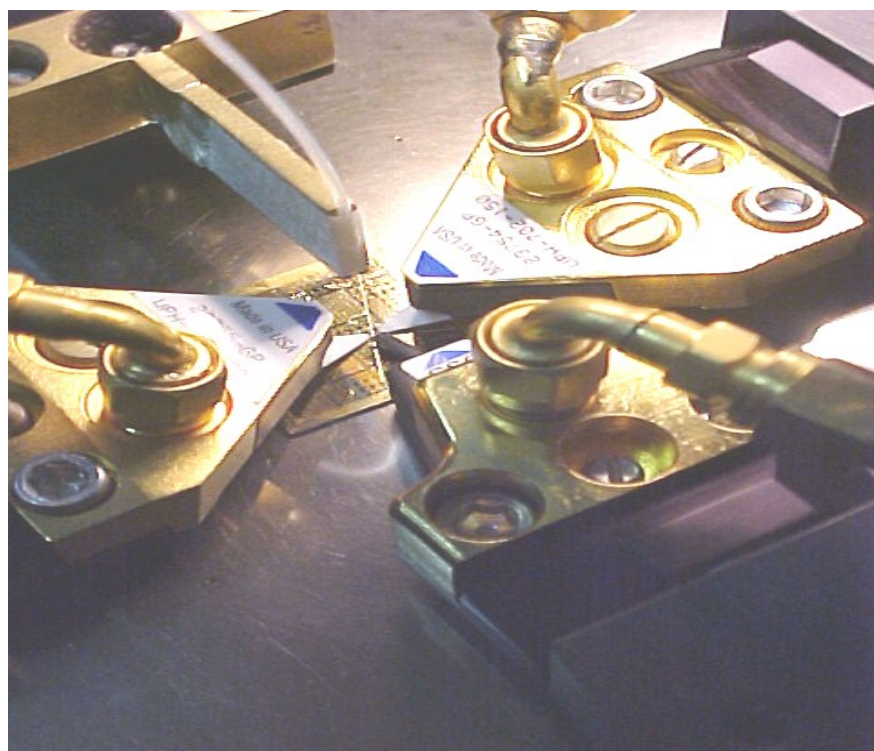
O *setup* de medidas montado é mostrado na figura 5.29:



(A)



(B)



(C)

FIGURA 5.29 – (A), (B) E (C): MONTAGEM REALIZADA PARA MEDIDAS ÓPTICAS

A figura 5.29 (A) mostra a estação de pontas e os dois microscópios utilizados no alinhamento das pontas dc, RF e da fibra óptica. Figuras 5.29 (B) e 5.29 (C) detalham o *chip* ao centro, a fibra óptica no canto superior, as pontas com alimentação dc à esquerda e à direita e a ponta de RF na parte inferior. A parte mais complexa para se realizar esta medida é o alinhamento da fibra óptica sob o detector de forma que o máximo de luz seja aproveitada. Primeiramente posiciona-se a fibra sob a janela óptica e depois com o auxílio do segundo microscópio, que é posicionado de perfil em relação à amostra, inicia-se a descida da parte nua da fibra óptica. A fibra deve estar clivada perfeitamente para não haver desvio do feixe de luz.

A aproximação da fibra em relação ao fotodetector deve ser feita com muito cuidado, evitando-se o contato da mesma com a janela óptica, pois além de poder danificar o detector, o risco de quebra da fibra é grande estando ela sem a camada de proteção. A fonte de luz no comprimento de onda de 850 nm é utilizada em Gigabit Ethernet [54] e possui saída do tipo multimodo.

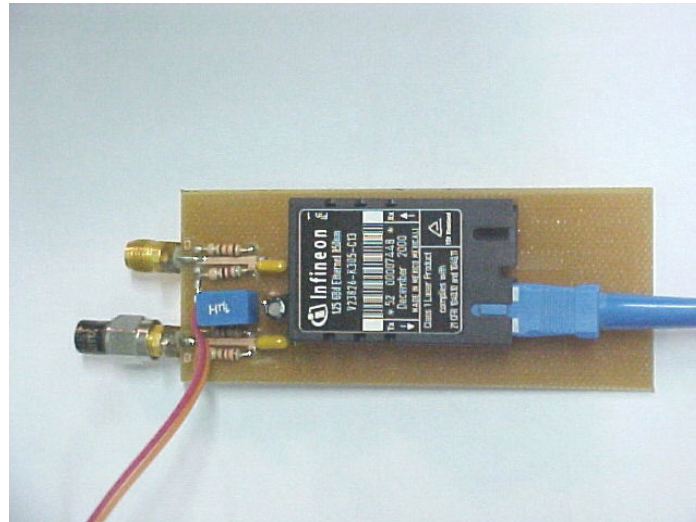


FIGURA 5.30 – FONTE DE LUZ EM 850 nm

O conector na parte superior esquerda representa a entrada do sinal elétrico proveniente do gerador de pulsos e na parte direita, a saída multimodo da fibra óptica.

O espectro de frequências deste laser é bem centrado em 850 nm, como mostra a figura 5.31. Apenas os níveis de potências ópticas não estão corretos devido a um problema do aparelho utilizado.

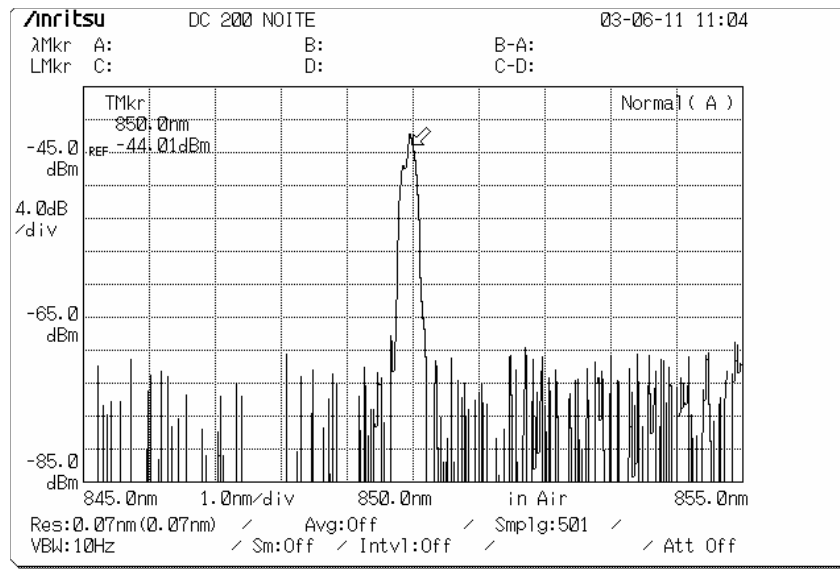


FIGURA 5.31 – ESPECTRO DE FREQUÊNCIAS DA FONTE DE LUZ UTILIZADA

5.4.1 – MEDIDAS DOS FOTODETECTORES PIN

O cálculo da responsividade de um fotodetector não é uma tarefa simples, pois o feixe de luz ao deixar uma fibra óptica não tem um formato cilíndrico, com o mesmo diâmetro do núcleo. O formato aproximado é de um cone centrado no meio deste núcleo. Com isto, dependendo da distância da fibra óptica em relação ao fotodetector (e da área), três situações distintas podem ocorrer: 1) a distância ser muito pequena e nem toda a janela óptica ser iluminada; 2) a distância ser tal que a área da base deste cone é igual a área da janela óptica e 3) a distância ser muito grande, logo a área iluminada será maior que a área do fotodetector. Para o cálculo da responsividade, apenas para o caso 2 poderíamos utilizar a área da janela óptica do fotodetector como área iluminada. Mas como nem sempre é o caso, através da distância da fibra em relação ao fotodetector e de um parâmetro muito importante que é a abertura numérica (A.N.) da fibra utilizada, calcula-se a área da base deste cone, que será a área realmente iluminada do fotodetector.

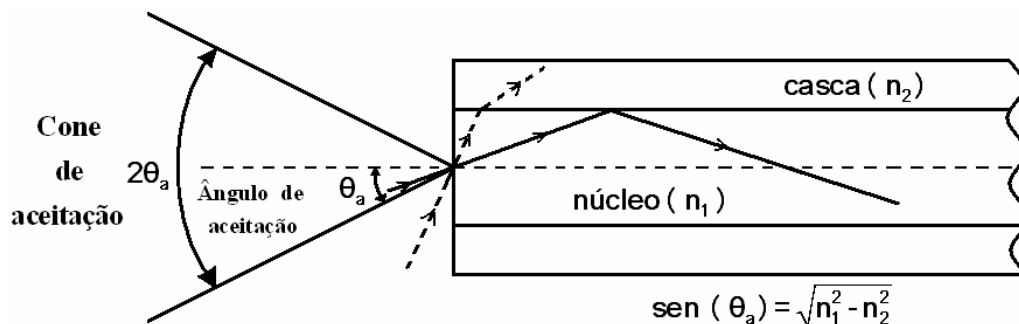


FIGURA 5.32 – ABERTURA NUMÉRICA DE UMA FIBRA

A abertura numérica determina o ângulo de incidência limite para raios penetrando o núcleo de uma fibra óptica. Acima deste valor, os raios não satisfazem as condições de reflexão interna total (não são transmitidos). A abertura numérica é dada por [17]:

$$AN = n_o * \text{sen}\theta_a = \sqrt{n_1^2 - n_2^2} \quad (5.4)$$

onde $n_o \cong 1$ se a fibra está imersa no ar.

Segundo os dados do fabricante, para a fibra utilizada a abertura numérica é de 0.275. Para uma distância da fibra em relação ao fotodetector de aproximadamente 100 μm e uma potência óptica em torno de 5 W/cm^2 , a fotocorrente gerada para cada um dos fotodetectores é mostrada na figura 5.33:

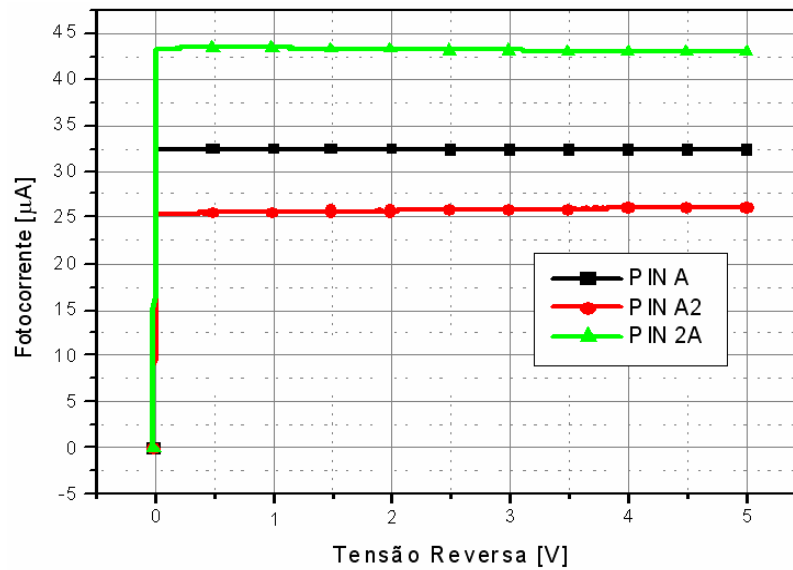


FIGURA 5.33 – FOTOCORRENTE GERADA PELOS DETECTORES

Para uma distância de 100 μm e utilizando-se o valor da abertura numérica, obtemos o valor do ângulo de aceitação e conseqüentemente a área da base do cone, de aproximadamente 2570 μm^2 , que representa a área iluminada. Calculando-se a responsividade para o fotodetector *PIN* de área *A* utilizando a fórmula (2.9) encontra-se $R_{ph} \cong 0,25 \text{ A/W}$. Este valor é ligeiramente menor que o valor calculado no capítulo 3.

Uma das possíveis causas para este valor ser menor seria a perda por reflexão de luz maior que a perda considerada de 3% no cálculo teórico. Este valor de responsividade representa uma eficiência quântica de $\eta_Q = 31\%$.

A medida da corrente de escuro também é realizada, desligando-se todas as fontes de luz presentes no ambiente de medidas. A corrente de escuro para o detector de área *A* é mostrada na figura 5.34:

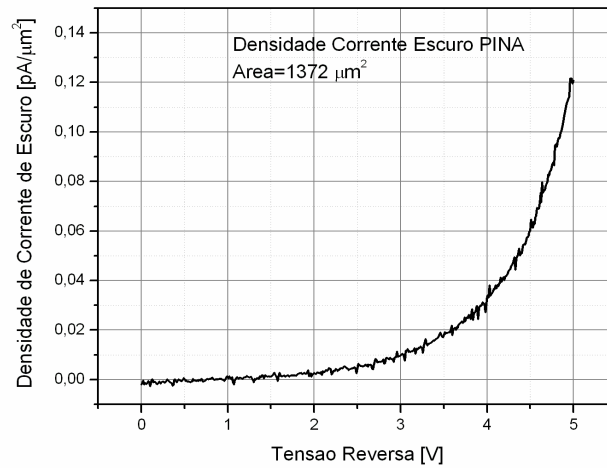


FIGURA 5.34 – DENSIDADE DE CORRENTE DE ESCURO PARA *PINA*

A densidade de corrente, que é da ordem de fentoampéres/ μm^2 para baixa tensão reversa, aumenta com o aumento desta tensão, para décimos de picoampéres/ μm^2 .

5.4.2 – MEDIDAS DO CIRCUITO DE TRANSIMPEDÂNCIA

As medidas dos circuitos de transimpedância foram feitas em duas partes: 1) modulando-se o laser com uma onda quadrada e 2) aplicando-se um sinal pseudo-aleatório do tipo NRZ [55] para medidas de diagrama de olho. No primeiro caso, a frequência da onda quadrada é variada desde o menor valor possível que o aparelho permite até a frequência onde a amplitude pico a pico na saída caia a um terço de seu valor em baixas frequências. As medidas mostradas na figura 5.36 representam o circuito com HBT's não alinhados de área de emissor $20 \times 06 \mu\text{m}^2$. A figura 5.35 mostra o sinal de saída do gerador de pulsos:

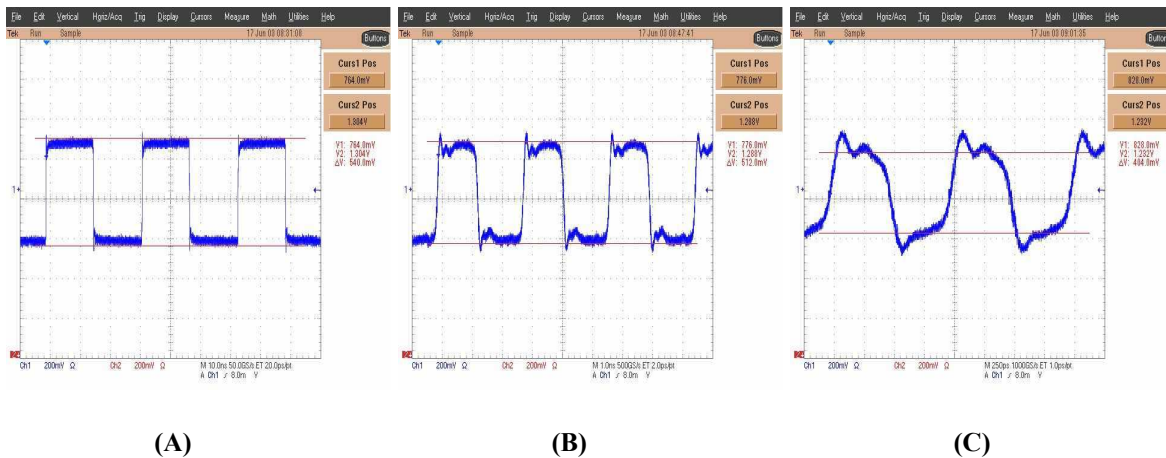


FIGURA 5.35 – AMPLITUDE PICO-PICO DA ONDA QUADRADA NA SAÍDA DO GERADOR DE SINAIS PARA (A) 31 MHZ, (B) 350 MHZ E (C) 1GHZ

Para esta excitação óptica na entrada, o sinal elétrico de tensão em função do tempo na saída do circuito é mostrado abaixo:

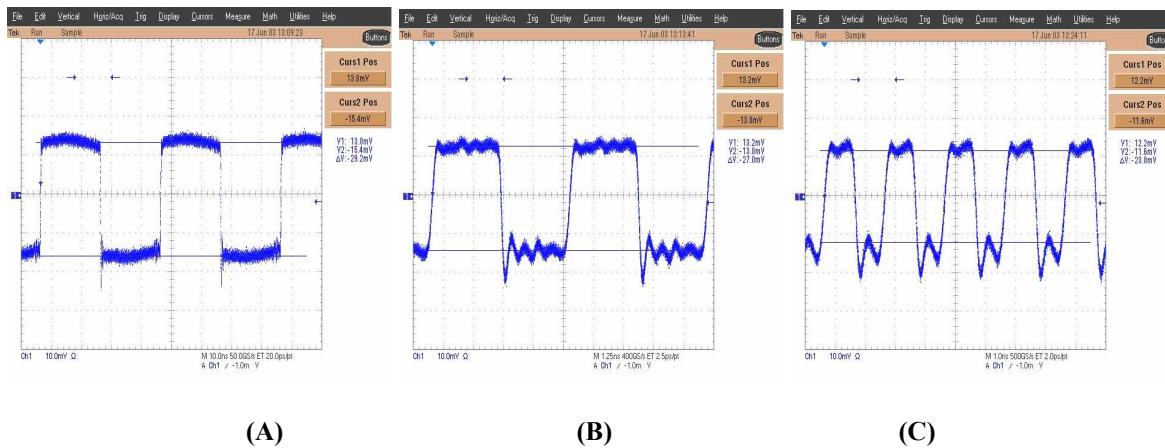


FIGURA 5.36 – RESPOSTA DO CIRCUITO EM RELAÇÃO AO PULSO ÓPTICO NA ENTRADA PARA (A) 31 MHz, (B) 350 MHz E (C) 1GHz

A amplitude pico a pico do pulso elétrico na saída do gerador e na saída do circuito, para a faixa de frequência de 31 MHz a 1.5 GHz é detalhada abaixo. Através da curva de tensão de saída do transimpedância, para a frequência de 31 MHz a amplitude que é de 28,6 mVpp, decai com o aumento da frequência e atinge 0,707 do valor inicial em 1.25 GHz, ou seja, o ponto de -3dB. Podemos observar também que o circuito não oscilou, pois a amplitude em nenhum momento inverteu a tendência de queda (a fase não passa de 180 graus e o sinal de realimentação não é somado ao sinal de saída), vista na figura 5.37:

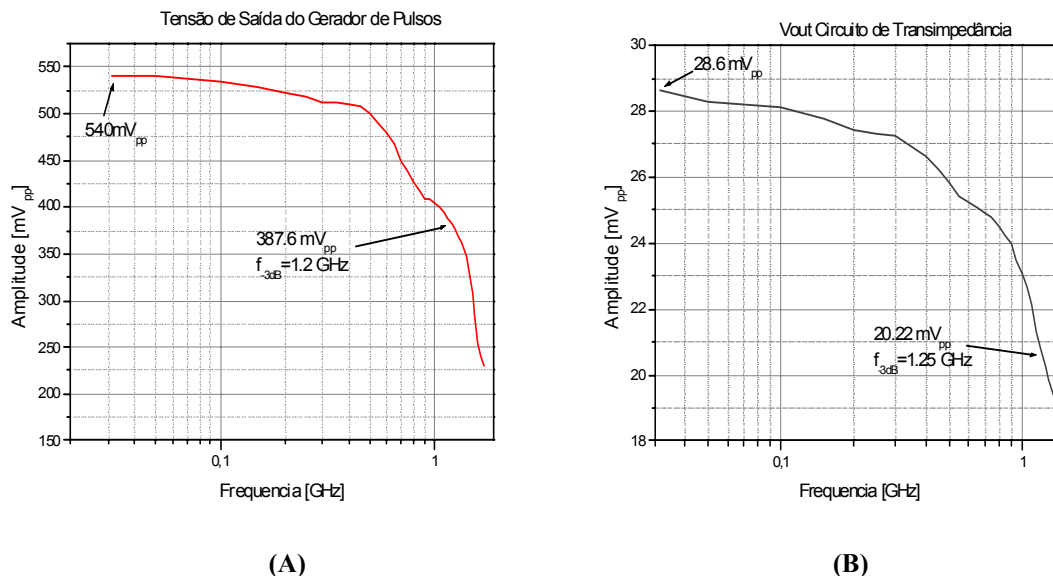


FIGURA 5.37 – AMPLITUDE DO SINAL ELÉTRICO NA SAÍDA DO GERADOR (A) E NA SAÍDA DO CIRCUITO DE TRANSIMPEDÂNCIA (B)

O segundo tipo de medidas consiste na aplicação de um sinal pseudo-aleatório (NRZ) para modulação do laser para medidas de diagrama de olho. A taxa de dados é aumentada até o momento que o “olho”, ou seja, a região interna entre um pulso de subida e um pulso de descida se fecha. A abertura do olho mostra que a taxa de dados enviada pelo gerador está sendo observada na saída do circuito. Testes feitos a uma taxa de 1.8 GBits/s mostram o diagrama de olho abaixo, onde pode-se distinguir claramente o bit 0 e o bit 1, ou seja, os níveis baixo e alto:

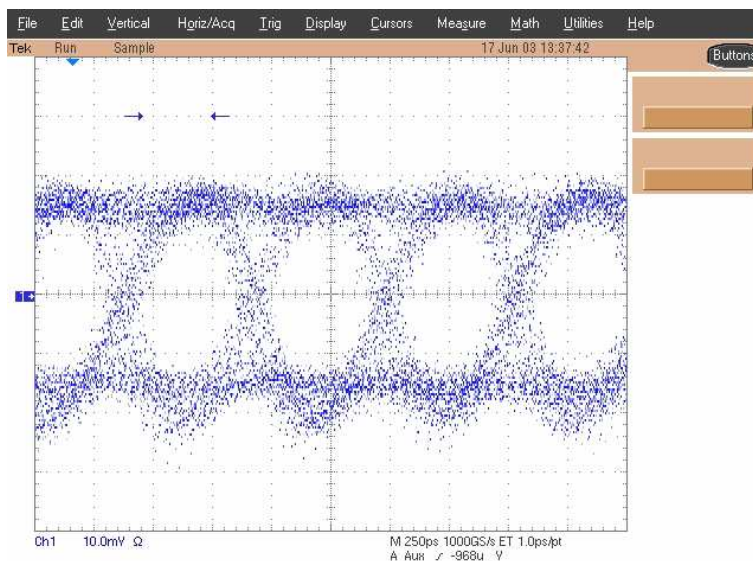


FIGURA 5.38 – DIAGRAMA DE OLHO PARA SINAL NRZ EM 1.8 GBIT/S

A taxa de 1.8 GBits/s foi a máxima obtida para os diversos circuitos fabricados. Feita a medida de diagrama de olho para o circuito de transimpedância, encerra-se o processo de caracterização elétrica e óptica do *chip*.

CAPÍTULO 6

CONCLUSÕES E PERSPECTIVAS

O propósito deste trabalho foi o de utilizar os transistores bipolares de heterojunção (HBT) fabricados a partir do material semiconductor InGaP/GaAs, de processo de fabricação estabelecido nos laboratórios do LPD-IFGW-Unicamp, para projetar e fabricar um receptor optoeletrônico integrado. Este material é altamente uniforme e possui baixa densidade de defeitos nas camadas crescidas epitaxialmente sobre o substrato de GaAs. Esta característica é necessária para se trabalhar com dispositivos em alta frequência. Os transistores HBT não auto-alinhados apresentaram ganhos dc de corrente de 100 enquanto que para os auto-alinhados, o máximo ganho obtido foi de 138. Para medidas em frequência, transistores não auto-alinhados apresentaram f_T em torno de 24 GHz e os auto-alinhados mostraram f_{max} de 18 GHz. Estes resultados são ligeiramente maiores em relação a dispositivos fabricados em processos anteriores, como em [21]. A frequência de corte medida para o circuito de transimpedância foi de 920 MHz, com ganho em baixas frequências de 18,8 dB e operação a 1.8 Gbit/s. O baixo valor de f_C é devido à alta resistividade de contatos e a alta variação dos resistores em frequência, os quais afetam diretamente o ganho e a banda do circuito. A resimulação do circuito mostra f_C de 845 MHz e ganho dc de 19,64 dB. Estes valores estão próximos dos valores medidos, onde a diferença se deve aos níveis de polarização utilizados na extração dos parâmetros do modelo e os níveis reais aos quais os transistores estão sujeitos no circuito. A inclusão de pontos de testes (*test points*) em diversas partes do circuito é útil para se obter os valores exatos das tensões entre base e emissor e entre coletor e emissor de cada transistor. A grande variação dos resistores em frequência foi causada pela pequena dimensão de largura (w). Aumentando esta dimensão, o comprimento do resistor aumenta proporcionalmente e conseqüentemente a área ocupada, porém o resistor se torna menos sensível as variações de processo. Resistores em [29] apresentaram variações em frequência muito pequenas (3%), para $w=30\mu m$. O circuito de transimpedância na configuração Darlington não apresentou o alto ganho esperado devido à saturação de uns dos transistores. O novo circuito proposto, utilizando um divisor resistivo para polarizar a base do transistor de entrada se mostra mais robusto pois não depende de valores absolutos e sim de uma relação de resistores, que tomando-se os devidos cuidados no *layout*, pode ser bem precisa. Para o processo de fabricação, a inclusão de uma etapa de passivação é necessária para minimizar a alta corrente de fuga na base dos transistores auto-alinhados. A resistividade de contato da ordem de $10^{-6} \Omega.cm$ pode ser obtida, como em [21]. As condições do forno convencional devem ser verificadas e o ponto de melhor uniformidade de temperatura deve ser obtido.

Na parte de projeto, modelos mais precisos são necessários. Projetos robustos levam em conta variações no processo de fabricação, tensões de alimentação, temperatura, ruído e níveis de potências ópticas na entrada, no caso de circuitos optoeletrônicos. A sensibilidade esta diretamente relacionada à mínima potência óptica detectada, o qual define a taxa de erros (BER) do sistema e é um parâmetro muito importante.

O primeiro estágio de ganho (emissor comum) para o primeiro circuito de transimpedância pode ser substituído por um estágio *cascode*, que não sofre do efeito Miller [37] e conseqüentemente possui maior banda passante. Também possui menor rejeição de fonte (PSRR). Os receptores optoeletrônicos integrados também podem ser construídos com fotodetectores do tipo MSM. Fotodetectores MSM utilizam o mesmo princípio de operação dos fotodetectores *PIN*, porém o dispositivo é planar e os contatos são interdigitados, resultando em baixíssimas capacitâncias e grandes larguras de banda. Finalizando, o estágio de fotodeteção pode também ser feito por um fototransistor de heterojunção (HPT) [56]. A luz incidente gera portadores na região base-coletor, onde os elétrons contribuem diretamente para a corrente de coletor e as lacunas contribuem para a corrente de base, fazendo que o fototransistor possua alto ganho interno.

BIBLIOGRAFIA

- [1] Maiman, T. H., “Stimulated Optical Radiation in Ruby”, *Nature*, 1960, 187, pp. 493-494;
- [2] E. Ahlstrom, W. W. Gartner, “Silicon Surface-barrier photocells”, *J. Appl. Phys.*, Volume 33, pp. 2602-2607, 1962;
- [3] Schwartz, M. I., “The Chicago Lightwave Communications Project”, *Bell Syst. Tech. J.*, v. 57, Jul.-Ago. 1978, pp. 1881-1888;
- [4] Giallorenzi, T. G., “Optical Communications research and technology: Fiber Optics”, *Proceedings of the IEEE*, Volume 66, Issue 7, July 1978, Page(s):744 – 780;
- [5] S. B. Alexander, “Optical Communication Receiver Design”, *SPIE Tutorial Texts in Optical Engineering, Volume TT2*, 1997;
- [6] A. Yariv, “The Beginning of Integrated Optoelectronics Circuits”, *IEEE Trans. Electron Devices*, Vol. ED-31, p. 1656, 1984;
- [7] E. Desurvire, *Erbium-Doped Fiber Amplifiers: Principles and Applications*, 1994, New York: John Wiley & Sons;
- [8] Taga, H., “Long distance transmission experiments using the WDM technology”, *Journal of Lightwave Technology*, Volume 14, Issue 6, June 1996, Page(s):1287 – 1298;
- [9] Pines, E., “Conference preview – SUPERCOMM 2004: milestones on the road to recovery”, *IEEE Communications Magazine*, Volume 42, Issue 5, May 2004, Page(s):18 – 19;
- [10] Bigo, S.; Frignac, Y.; Charlet, G.; Idler, W.; Borne, S.; Gross, H.; Dischler, R.; Poehlmann, W.; Tran, P.; Simonneau, C.; Bayart, D.; Veith, G.; Jourdan, A.; Hamaide, J.-P.; “10.2 Tbit/s (256x42.7 Gbit/s PDM/WDM) transmission over 100 km Teralight/sup TM/ fiber with 1.28 bit/s/Hz spectral efficiency”, *2001 OFC 2001 Optical Fiber Communications Conference and Exhibit*, Volume 4, 2001, Page(s):PD25-1 – PD25-3 vol.4;
- [11] Minasian, R., “Optimum design of a 4-Gbit/s GaAs MESFET Optical preamplifier”, *Journal of Lightwave Technology*, Volume 5, Issue 3, Mar 1987, Page(s):373 – 379;
- [12] Park, M. S.; Minasian, R. A.; “Ultralow noise 10 Gb/s p-i-n-HEMT optical receiver”, *IEEE Photonics Technology Letters*, Volume 5, Issue 2, Feb. 1993, Page(s):161 – 162;

- [13] Malyshev, S.; Chizh, A.; “State of the art high-speed photodetectors for microwave photonics application”, *15th International Conference on Microwaves, Radar and Wireless Communications, Mikon – 2004*, Volume 3, 17-19 May, 2004, Page(s):765 – 775, Vol. 3;
- [14] Park, K.-S.; Oh, K.-R; Kim, J.-S; Lee, Y.-T.; Kim, S.-J.; “Monolithic integration of InGaAs/InP PIN photodiode with self-aligned junctions FETs”, *Third International Conference on Indium Phosphide and Related Materials, 1991.*, 8-11 April 1991, Page(s):101 – 105;
- [15] J. Katz, N. Bar-Chaim, P. C. Chen, S. Margalit, I. Ury, D. Wilt, M. Yust and A. Yariv, “A monolithic integration of GaAs/GaAlAs bipolar transistor and heterostructure laser”, *Appl. Phys. Lett.*, Vol. 37, pp. 211-213, 1980;
- [16] D. Huber, R. Bauknecht, C. Bergamaschi, M. Bitter, A. Huber, T. Morf, A. Neiger, M. Rohner, I. Schnyder, V. Schwarz, and H. Jäckel, “InP-InGaAs Single HBT Technology for Photoreceiver OEIC’s at 40 Gb/s and Beyond”, *Journal Of Lightwave Technology*, Vol. 18, No. 7, July 2000;
- [17] William F. Giazza, Evandro Conforti, Hélio Waldman, “Fibras Ópticas: tecnologia e projeto de sistemas”, *McGraw-Hill*, 1991;
- [18] J. Singh, “Semiconductor Devices: An Introduction By Jasprit Singh”, *McGraw-Hill, Inc.*, (1994);
- [19] G. P. Agrawal, “Fiber-optic Communication Systems”, 2nd ed., *Willey*, 1997;
- [20] U.S. Patent No. 2569347 (25 Sept. 1951);
- [21] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de InGaP/GaAs“, *Tese de Doutorado*, DSIF-FEEC-UNICAMP, Dezembro de 2001;
- [22] N. Pan, J. Elliot, M. Knowles, D. P. Vu, K. Kishimoto, J. K. Twynam, H. Sato, M. T. Fresina, and G. E. Stillman, “High Reliability InGaP/GaAs HBT”, *IEEE Electron Device Letters*, Vol. 19, No. 4, April 1998;
- [23] E. Martins, “Modelamento de Transistores Bipolares de Heterojunção”, *Tese de Mestrado*, LPD-IFGW-UNICAMP, Novembro de 1994;
- [24] I. Getreu, “Modeling the Bipolar Transistor”, *Tektronix, Inc.*, 1976;
- [25] R. S. Muller and T. I. Kamins, “Device Electronics for Integrated Circuits”, *Willey*, New York, 1977;
- [26] A. C. Redolfi, “Projeto e Fabricação de HBTs”, *Tese de Doutorado*, DSIF-FEEC-UNICAMP, Abril de 1999;

- [27] G. Massobrio, P. Antognetti, “Semiconductor Device Modeling with SPICE – Second Edition”, *McGraw-Hill, Inc.*, 1993;
- [28] Ce-Jun Wei, and J. C. M. Hwang, “Direct Extraction of Equivalent Circuit Parameters for Heterojunction Bipolar Transistors”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 43, No. 9, pp. 2035-2040, September 1995;
- [29] L. B. Zoccal, “Desenvolvimento de Elementos de Projeto de MMIC em Tecnologia HBT”, *Tese de Mestrado*, DSIF-FEEC-UNICAMP, Dezembro de 2002;
- [30] M. Sotoodeh, L. Sozzi, A. Vinay, A. H. Khalid, Z. Hu, A. A. Rezazadeh, and R. Menozzi, “Stepping Toward Standard Methods of Small-Signal Parameter Extraction for HBT’s”, *IEEE Transactions on Electron Devices*, Vol. 47, No. 6, pp. 1139-1151, June 2000;
- [31] B. Li, S. Prasad, Li-Wu Yang, and S. C. Wang, “A Semianalytical Parameter-Extraction Procedure for HBT Equivalent Circuit”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 46, No. 10, pp. 1427-1435, October 1998;
- [32] G. Gonzalez, “Microwave Transistor Amplifiers: Analysis and Design”, *Prentice-Hall Inc.*, 1984;
- [33] A. Hastings, “The Art Of Analog Layout”, *Prentice Hall, Inc.*, 2001;
- [34] J. W. Swart, D. B. Slater, A. S. Lujan, P. M. Enquist and E. Martins, “Transimpedance Amplifier Using AlGaAs/GaAs HBTs: A Comparative Study”, *Proceedings of 1993 SBMO - International Microwave Conference*, pp 181-186, São Paulo, Agosto, 1993;
- [35] Página Internet: <http://eesof.tm.agilent.com;>
- [36] R. G. Meyer and R. A. Blauschild, “Wide-Band Low-Noise Monolithic Transimpedance Amplifier”, *IEEE J. of Solid-State Circuits*, vol. SC-21(4), pp. 530-533 (1986);
- [37] A. S. Sedra, K. C. Smith, “Microeletrônica – Quarta Edição”, *Makron Books do Brasil Editora Ltda.*, 2000;
- [38] Alan B. Grebene, “Bipolar and Mos Analog Integrated Circuit Design”, *John Wiley & Sons, Inc.*, 1984;
- [39] Página Internet: <http://www.kopin.com;>
- [40] Hoeschst High Chem, “AZ[®] 5214 Positive Photoresists for Semiconductors and Microelectronics”, October 1985;

- [41] Hoeschst High Chem, “AZ[®] 1500 Series Positive Photoresists for Semiconductors and Microelectronics”, February 1987;
- [42] R. T. Yoshioka, L. B. Zoccal, M. A. Goes, L. E. M. de Barros Jr., M. B. Zakia and J. W. Swart, “Development of a HBT MMIC Technology”, *XVI International Conference on Microelectronics and Packaging, SBMicro 2001*, pp. 122-127, Pirenópolis, GO, 10-14 September, 2001;
- [43] S. M. Sze, “Physics Of Semiconductor Devices”, 2nd Ed., *New York Wiley*, 1981;
- [44] Dow Chemical, “Processing Procedures for Dry-Etch CYCLOTENE Advanced Electronics Resins (Dry-Etch BCB)”, *Processing Procedures*, November 1997;
- [45] A. S. Lujan, A. C. S. Ramos, J. W. Swart, and P. M. Enquist, “Dry Etch Characteristics of BCB for Application in a Multilevel Interconnection”, *X Congress of the Brazilian Microelectronics Society, I Ibero American Microelectronics Conference*, pp. 597-605, 1995;
- [46] I. P. Kaminow, G. Eisenstein, L. W. Stulz, “Measurement of the Modal Reflectivity of an Antireflection Coating on a Superluminescent Diode”, *IEEE Journal of Quantum Electronics*, Vol. QE-19, No. 4, April 1983, Pages:493-495;
- [47] Halliday, D., Resnik, R. e Krane , K.S. "FÍSICA 2", *Livros Técnicos e Científicos Editora S.A.* , Rio de Janeiro-RJ, 1996;
- [48] Página Internet: <http://www.chestech.co.uk/spr3000flyer.pdf>;
- [49] McIntosh, P.M.; Staniforth, M.J.; Snowden, C.M.; “Determination of HBT thermal resistance using pulsed I – V measurements”, *High Performance Electron Devices for Microwave and Optoelectronic Applications Workshop, 1996. EDMO*, 25-26 Nov. 1996, Page(s):120 – 125;
- [50] Higgins, J.A.; “Thermal properties of power HBT’s”, *IEEE Transactions on Electron Devices*, Volume 40, Issue 12, Dec. 1993, Page(s):2171 – 2177;
- [51] W. Liu, E. Beam, T. Henderson, S. K. Fan”, Extrinsic base surface passivation in GaInP/GaAs heterojunction bipolar transistors”, *Electron Device Letters*, IEEE, Volume:14, Issue:6, June 1993, Pages: 301-303;
- [52] V. Corso, “Projeto de um Amplificador de Transimpedância Monolítico Implementado em GaAs com CAG para Recepção em Comunicações Ópticas”, *Tese de Mestrado*, DSIF-FEE-UNICAMP, Dezembro de 1998;
- [53] Página Internet : <http://www.pirelli.com>;
- [54] Página Internet : <http://www.infineon.com>;

[55] G. Keiser, “Optical Fiber Communications – Second Edition”, *McGraw-Hill, Inc.*, 1991;

[56] Kamitsuna, H.; Ishii, K.; Shibata, T.; Kurishima, K.; Ida, M.; “A 43-Gb/s clock and data recovery OEIC integrating an InP-InGaAs HPT oscillator with an HBT decision circuit”, *IEEE Journal of Selected Topics in Quantum Electronics*, Volume 10, Issue 4, July-Aug. 2004, Page(s):673-678;

[57] H. Kroemer, “Theory of a Wide – GaP Emitter for Transistors”, *Proc. IRE* 45, 11, 1535, November 1957.

Apêndice A

O arquivo abaixo (*hbt0.tech26*) é utilizado pelo programa de geração de *layout* Magic, onde estão definidos todos os níveis que o processo de fabricação terá.

```
tech
    hbt0
end

planes
    emitter
    ecc
    bcc
    base
    vias
    isol, niquelcromo
    interc
    cllvias
    baserecess, indcapmetal
end

types
    emitter emesa
    ecc      ecmetal
    bcc      bmetal
    base     bmesa
    vias     cvia
    isol     devoiso
            indcapmetal icmetal
    niquelcromo ncmetal
    interc     metal
    cllvias    colvia
    baserecess brecess
end

contact
end

styles
    styletype mos
    emesa     1
    bmetal    33
    bmesa     21
    cvia      32
    devoiso   40
    icmetal   8
    ncmetal   14
    metal     20
    ecmetal   2

    colvia    36
    brecess   34
end

contact
end

compose
    end

connect
end

cifoutput
    style hbt0cif
    scalefactor 100

    layer EMESA emesa
        calma 1 1
    layer ECMET ecmetal
        calma 2 1
    layer BAMET bmetal
        calma 3 1

    layer BMESA bmesa
        calma 4 1
    layer CVIA cvia
        calma 5 1
    layer DEVIS devoiso
        calma 6 1
    layer ICMET icmetal
        calma 7 1
    layer NICR ncmetal
        calma 8 1
    layer METAL metal
        calma 9 1
    layer COLVI colvia
        calma 10 1
    layer BRCES brecess
        calma 11 1
end

cifinput
    style hbt0cif
    scalefactor 100

    layer emesa EMESA
    layer ecmetal ECMET
    layer bmetal BAMET
    layer bmesa BMESA
    layer cvia CVIA
    layer devoiso DEVIS
    layer icmetal ICMET
    layer ncmetal NICR
    layer metal METAL
    layer colvia COLVI
    layer brecess BRCES
    calma EMESA 1 *
    calma ECMET 2 *
    calma BAMET 3 *
    calma BMESA 4 *
    calma CVIA 5 *
    calma DEVIS 6 *
    calma ICMET 7 *
    calma NICR 8 *
    calma METAL 9 *
    calma COLVI 10 *
    calma BRCES 11 *
```

Apêndice B

Durante a realização deste trabalho, o artigo que segue abaixo foi apresentado no XVI congresso da Sociedade Brasileira de Microeletrônica (SBMicro), em setembro de 2001. Os dados de caracterização dos circuitos não estão presentes, pois na época do congresso a fabricação do chip não havia sido concluída.

Development of a HBT MMIC Technology

Ricardo T. Yoshioka, Leonardo B. Zoccal, Marcos A. Goes, Luiz E. M. de Barros Jr.,

*Maria Beny Zakia and *Jacobus W. Swart

DSIF/FEEC, LPD/IFGW and *CCS - UNICAMP, C.P.6165, CEP 13083-970 Campinas, São Paulo, Brasil

E-mail: jacobus@led.unicamp.br

Abstract

This work presents the development of a design kit for HBT (Heterojunction Bipolar Transistor) MMIC (Monolithic Microwave Integrated Circuit) Technology. Initially, the discrete InGaP/GaAs HBTs fabrication process was developed. High frequency operation ($f_{max} > 15$ GHz) was obtained for a HBT with emitter area of $20 \times 16 \mu m^2$. Experimental results of these HBTs were used to model the devices and to obtain a MMIC design kit. Three amplifier circuits have been designed in order to validate the design kit. The first amplifier is a broadband amplifier, designed for wireless application with frequency from 900MHz to 5GHz and 13.5dB power gain approximately. The second amplifier is a transimpedance amplifier integrated with a PIN photodetector and presents a cut off frequency around 5.6GHz. Finally, the third amplifier is a circuit with high sensitivity and high transimpedance (above 58dB).

1. Introduction

MMIC's have gained wide acceptance among major wireless and broadband communications equipment suppliers, as the preferred technology for applications where high frequency, high performance and high linearity are needed. These high frequency IC's include power amplifiers for cellular and PCS (Personal-Communications Services) handsets, driver amplifiers for cellular/PCS base stations, as well as cable television and fiber cable line-driver amplifier [1,2]. Gallium Arsenide (GaAs) based HBTs devices offer the wide range of applicability that a MMIC needs. High transconductance, high current gain and large bandwidth are the key features of HBT's, allowing these devices to cover a

wide range of applications. HBT's using AlGaAs as the emitter layer is the most mature technology, resulting in already commercial products [3,4,5]. The InGaP/GaAs transistor type recently gained a lot of interest due to its advantages over the AlGaAs/GaAs system. For example InGaP/GaAs junction has a larger band gap offset in the valence band than AlGaAs/GaAs [6], the InGaP material has high etching-selectivity with GaAs [7], InGaP also presents a low DX center concentration [8] and it shows low surface recombination velocity. The wide band-gap of InGaP used as emitter layer allows high doping level of the GaAs base layer, resulting in low base resistance values and high maximum oscillation frequency. In this work we show the development of a design kit for HBT's MMIC technology. The passive elements, inductors, resistors and capacitors, were designed and adjusted to our circuit necessity. The experimental results of discrete InGaP/GaAs HBT's devices were used to design amplifier circuits: one broadband signal amplifier and two transimpedance amplifiers, one for high frequency operation and the other for high sensitivity applications.

2. The InGaP/GaAs HBTs layers

The epitaxial InGaP/GaAs HBT layers were grown by MOCVD (Metalorganic Chemical Vapor Deposition) process by KOPIN industry in United States. The specified thickness

and doping level of the layers are shown in the table 1. These specifications are similar to the once utilized in other laboratories, such as Fujitsu [9].

Table 1: Nominal specification of InGaP/GaAs HBTs layers

Layers	Material	Thickness (Å)	Doping (cm ⁻³)
Cap	In _y Ga _{1-y} As (y=0.5)	500	> 1.0·10 ¹⁹ (n ⁺)
Cap	In _y Ga _{1-y} As (y=0 a 0.5)	500	> 1.0·10 ¹⁹ (n ⁺)
Cap	GaAs (Si)	1000	5.0·10 ¹⁸ (n ⁺)
Emitter	In _y Ga _{1-y} P (y=0.5) (Si)	500	5.0·10 ¹⁷ (n)
Base	GaAs (C)	800	4.0·10 ¹⁹ (p ⁺)
Collector	GaAs (Si)	5000	4.0·10 ¹⁶ (n)
Subcollector	GaAs (Si)	5000	5.0·10 ¹⁸ (n ⁺)

3. Fabrication Process

The discrete InGaP/GaAs HBT devices were developed in our laboratory and the fabrication process steps are similar to the ones published elsewhere [10]. We will now briefly describe the integration process of the HBT's and passive elements (resistors, inductors and capacitors) on the same InGaP/GaAs wafers.

3.1. HBT Fabrication

The emitter and base mesa of HBTs were obtained by wet etching process. The HBTs presented here have an emitter area of 120µm×120µm, 20µm×16µm and 20µm×6µm. The negative etching profile of GaAs emitter mesa was formed using H₂SO₄:H₂O₂:H₂O solution in the proportion 1:8:40. The InGaP emitter layer was removed selectively in a 32% HCl solution. The ohmic contact metals were deposited in a Electron Beam evaporator. In the emitter and collector region the Ni/Ge/Au/Ni/Au metal system was used with 5/50/100/30/100 nm thickness. For the base region, Ti/Pt/Au with 10/20/100 nm

thickness was deposited. The ohmic alloy was performed in a conventional thermal furnace, in a N₂ ambient. An alloy temperature of 460°C and a fixed time of 3.5 minutes was used.

3.2. Passive Elements Fabrication: Resistor, Inductor and Capacitors

The fabrication of the passive elements starts after isolation process of the HBTs. A mask is used to define the first metal deposition of the inductor and capacitor. The Ti/Au metal system was used with 10/200 nm thickness. A metal sintering at 300°C and during 3.5 minutes is performed. An insulating layer (BCB) is deposited over the wafer, covering the transistors and the first metal of the inductors and capacitors. After this deposition, the first via is opened. This via is necessary for later access of the sub-collector, base and emitter contacts to remove the insulating layer over the first capacitor metal (for the dielectric layer deposition) and to access the contacts of the inductor. Once the vias are opened, the deposition of the capacitor dielectric material (SiN_x) follows. Another via opening step is done in sequence. This second via is necessary in order to remove the SiN_x layer wherever it is needed and to open the contacts of the transistors, inductors and capacitors. The vias opening is a careful process. An excessive opening can cause short circuit of the contacts during the metals deposition. After the vias opening, a thin NiCr film is deposited defining a resistor device. After that, the process of interconnections is carried out through the deposition of Ti/Au metal system with 10/200 nm thickness. The manufacture process of the integrated circuit is completed with a metal sintering performed at 300°C during 3.5 minutes to

ensure low metal to metal resistance values.

4- Characterization and Modeling of Devices

4.1. HBTs Fabrication Results

After the InGaP/GaAs HBTs processing was completed, DC and AC measurements were carried out. Figure 1 shows the Gummel Plot of HBT with emitter area of $20 \times 6 \mu\text{m}^2$. The current gain in this case was 100.6. This demonstrates a sufficiently high value for application in microwaves circuits. Figure 2 shows the $I_C \times V_{CE}$ curves of the same transistor. The temperature effect can be observed for the high current regions. The auto-heating occurs due to the reduced area and leads to a current reduction in function of the increase of V_{CE} voltage.

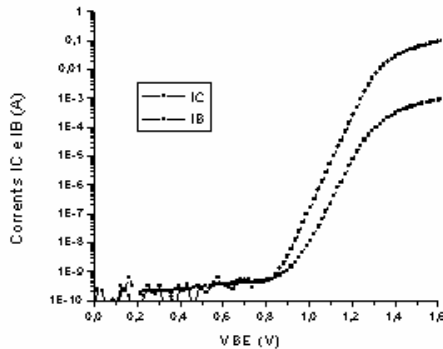


Figure 1 -Transistor with $20 \times 6 \mu\text{m}^2$ emitter area. The current gain is 100.6

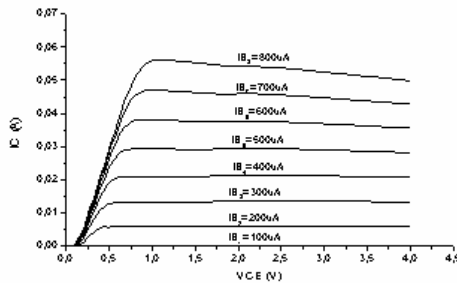


Figure 2 - The $I_C \times V_{CE}$ curves of $20 \times 6 \mu\text{m}^2$ emitter area

The table 2 shows the InGaP/GaAs HBT DC measurements results for big and small transistors.

Table 2 - HBT InGaP/GaAs DC measurements results for large and small transistors

Emitter Area	η_{ib}	η_{ic}	Current Gain for $V_{BE} = 1.8V$
$120 \times 120 \mu\text{m}^2$	1.02	1.40	70.67
$20 \times 16 \mu\text{m}^2$	1.03	1.16	112.50
$20 \times 6 \mu\text{m}^2$	1.04	1.10	100.60

Figure 3 shows the RF measurements. Considering 20dB per decade slope, a F_T value of approximately 15 GHz is obtained for an emitter area of $20 \times 16 \mu\text{m}^2$ and 23 GHz for $20 \times 6 \mu\text{m}^2$.

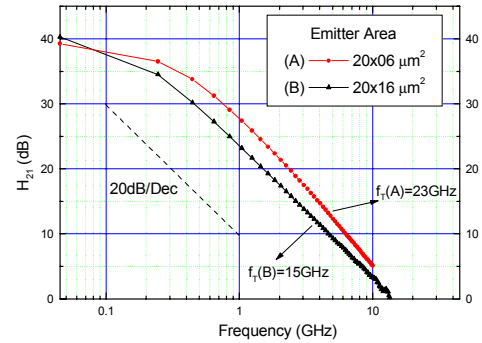


Figure 3- RF measurements for transistors with emitter areas of $20 \times 16 \mu\text{m}^2$ and $20 \times 6 \mu\text{m}^2$

4.2. AC and DC Parameters Extracted for InGaP/GaAs HBTs

The DC parameters are obtained from the Gummel Plot measurements according to reference [11]. RF measurements utilizing a network analyzer and the calculations outlined in references [12,13,14,15] were used to get the AC parameters. Table 3 shows the DC parameters for SPICE simulation and table 4 shows the AC extracted parameters of a HBT with emitter area of $20 \times 16 \mu\text{m}^2$.

Table 3 – DC extracted parameters for a InGaP/GaAs HBTs

Parameters	Value	Parameters	Value
I_S	1×10^{-23} A	N_C	5
N_F	1.04	N_R	1.04
X_{TI}	3	R_C	1Ω
E_G	1.42 eV	V_{JC}	1.5 V
V_{AF}	150 V	F_C	0.5
B_F	60	I_{SC}	5×10^{-14} A
N_E	6	M_{JE}	0.5
I_{SE}	1×10^{-10} A	V_{JE}	1.5 V
N_K	0.5	I_{TF}	0.4 A
V_{TF}	10 V	R_B	150Ω

Table 4 - AC extracted parameters for a InGaP/GaAs HBTs

Parameters	Value	Parameters	Value
C_{PBE}	4,45 fF	R_{B2}	77,70 Ω
C_{PCE}	100 fF	R_{BC}	9,01 k Ω
C_{PBC}	0	R_{EX}	NA
R_E	3,25 Ω	C_{BC}	169,64 fF
R_B	2,07 Ω	C_{EX}	164,77 fF
R_C	4,41 Ω	R_{BE}	128,48 Ω
L_E	NA	C_{BE}	5 pF
L_B	0,27 nH	α	0,9895
L_C	0,20 nH	τ	6,37 ps

The L_E inductor and R_{EX} resistor values (table 4) did not have physical meaning, therefore their values were ignored.

4.3. Modeling Passive Elements

The passive elements that will be used in the chip (inductors, capacitors and resistors), have been modeled by software (in the case of the inductors) and measured directly in already fabricated test chips with those elements (capacitors and resistors).

A software called ASITIC [16], which works through a technology file containing the substrate and the metals data, was used for the inductor. With this software, the behavior of the inductors when the frequency is varied can be analyzed.

The inductors will have the shape as in figure 4 where: I is the outer side length, II is the metal line width and III is the separation between the metal lines.

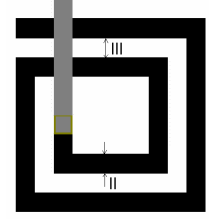


Figure 4 – Inductor geometry

Table 5 shows several simulations, varying I, II, III and the number of turns. The inductance value is calculated at 1 GHz.

Table 5 – Examples of on-chip spiral inductors

I (microns)	II (microns)	III (microns)	Turns	Inductance @ 1 GHz (nH)
50	5	5	2.25	0.23
70	5	5	2.25	0.45
90	5	5	2.25	0.70
90	10	5	2.25	0.45
90	15	5	2.25	0.28
90	5	10	2.25	0.57
90	5	15	2.25	0.47
90	5	5	3.25	0.94
90	5	5	4.25	1.02

Through the above table, one can realize that the inductance increases with the increase of I and with the number of turns, and decreases with the increase of II and III.

For the designed broadband amplifier MMIC circuit, the inductance value is 10 nH, with the following inductor parameters:

- Outer side length (I): 296 μm ;
- Metal width (II): 12 μm ;
- Separation between metals (III): 5 μm ;
- # Turns: 8.25 turns.

This inductor showed an inductance of approximately 10.14 nH at 1 GHz. Figure 5 shows the variation of the inductance as a function of frequency.

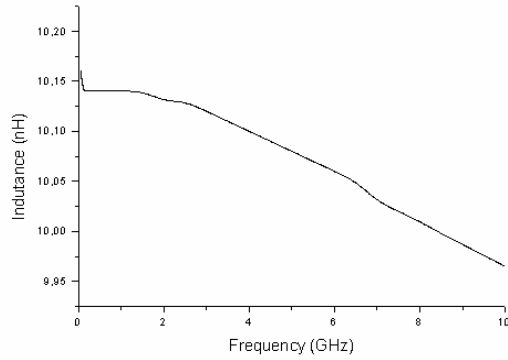


Figure 5–Inductance variation with the frequency

The capacitors were fabricated and characterized using a set of masks described in [17]. Several thicknesses of dielectric material were used in order to determine its relative permittivity (ϵ_R). A SiN_x dielectric film with a thickness of approximately 0.2 microns was used. The calculated value of ϵ_R was approximately 4.8. A 30pF capacitor to be used in the broadband amplifier MMIC circuit and several other tests capacitors for RF measurement were designed using this ϵ_R value. A dielectric thickness of 0.1 microns was chosen. The 30pF capacitor designed using the above data ($\epsilon_R = 4.8$ and dielectric thickness of 0.1 microns), resulted in a capacitor area of approximately 266 μm by 266 μm .

The HBT base and the subcollector layers can be used for resistor fabrication. These resistors were designed according to the sheet resistance values of the respective layers, obtained through TLM structures.

Resistors of 50 Ω , 62.5 Ω , 260 Ω , 300 Ω , 400 Ω , 1000 Ω and 2600 Ω were designed and included in the circuits. Discrete resistors with the values specified above were included in the chip with RF pads for later characterization. The TLM data for resistance calculations are shown in table 6.

Table 6 – TLM data for resistance calculations

Layer	R_{SH} ohms/sq	ρ_c ohms·cm ²
Base	312.78	$1.42 \cdot 10^{-5}$
Subcollector	22.64	$2.01 \cdot 10^{-5}$

The base layer resistor, formed on a PN junction (base-collector) is not suitable in circuits at high frequencies, because, as the frequency increases, part of the AC current can flow through the collector layer, just below. Figure 6 illustrates this behavior for a base layer resistor.

From the graph bellow, we can see that as the frequency increases, the impedance value decreases. So, this resistor is not suitable for use in circuits that require large bandwidth.

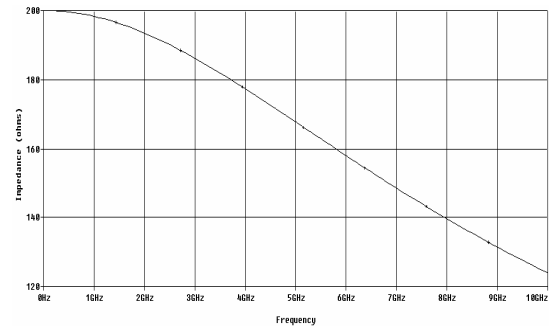


Figure 6 – Resistance behavior of a base layer resistor (200 Ω) as a function of frequency

5 – Design of a Test Chip of HBT MMIC

The amplifying circuit transistors are none self-aligned with emitter size of 20 μm x 06 μm and 20 μm x 16 μm . Figure 7 shows the schematic circuit of the broad band amplifier that will be manufactured. This circuit was included twice in the chip, one using base resistors and the other using subcollector resistors.

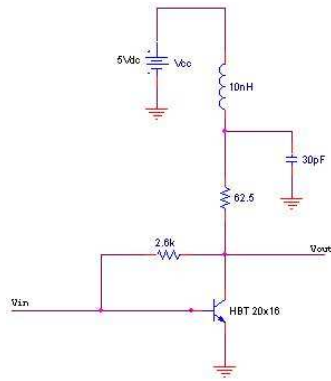


Figure7–Schematic of the amplifying circuit

The frequency response of the amplifying circuit is shown in figure 8. We can notice that the circuit presents a peak of 13.73 dB at 290 MHz. This peak is due to the LC circuit connected to the DC source. The purpose of this circuit is to avoid the RF signal coupling to the DC source. This amplifying circuit presents a transimpedance gain of 1.417 K Ω in plane region.

In lower frequencies the circuit presents a gain of 10.97 dB, and approximately between 900 MHz to 4.29 GHz it presents a gain varying from 10.80 dB to 7.96 dB. The simulated cut-off frequency of the circuit is 4.29 GHz.

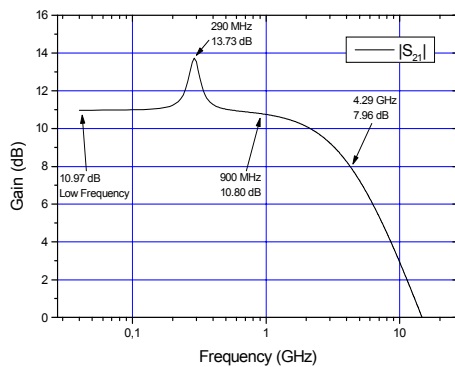


Figure 8–Frequency response of the amplifying circuit

Figure 9 shows the input and output return losses ($|S_{11}|$ and $|S_{22}|$ respectively). As we can see, $|S_{11}|$ is

almost constant with an average value of -2.9 dB, while $|S_{22}|$ is not constant, having a peak at 290 MHz (where we have an impedance matching) of -24 dB. Between 900 MHz and 5 GHz the average loss value is -9.1 dB. These values were obtained through the S parameters simulated by LIBRA software.

A very important point to be analysed in this design is the amplifying circuit's stability, due to the presence of a peak in frequency response. Through simulations, the circuit presents stability, as can be seen by figure 10. The calculated stability factors, where K must be > 1 and B1 must be > 0 , were obtained with the aid of LIBRA software.

Transimpedance amplifiers (TIA) were developed and are shown in figures 11 and 13. Both circuits use subcollector resistors.

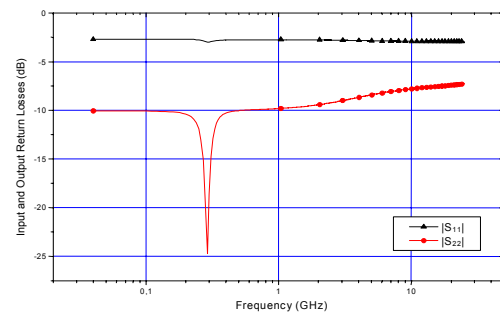


Figure 9–Input and output losses of the amplifying circuit simulation

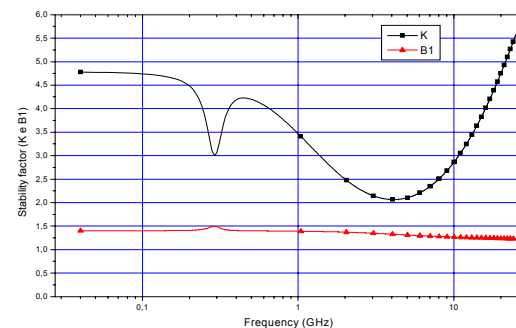


Figure 10–Stability factor of the amplifying circuit simulation

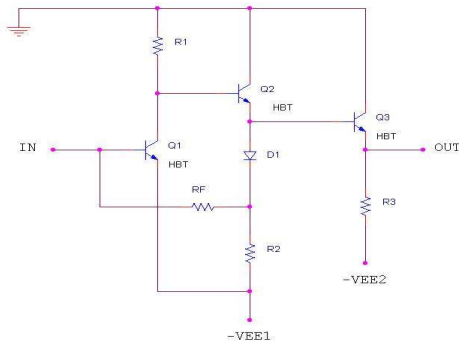


Figure 11 – TIA circuit that will have the photodetector coupled to the input

The configuration showed in figure 11 is reported in reference [18] and uses feedback. It is optimized to flat band, presents low input impedance, an excellent answer at high frequencies, high output impedance and its use is suitable in optical communications systems up to 5 Gbits/s. The resistors values used in the simulation are the following: $R1=260\Omega$, $R2=R3=300\Omega$ and $RF=400\Omega$.

The graph in figure 12 shows a cut-off frequency around 5.6 GHz, which enables circuit operation up to 5 Gbits/s. The transimpedance gain is about 51.8 dB.

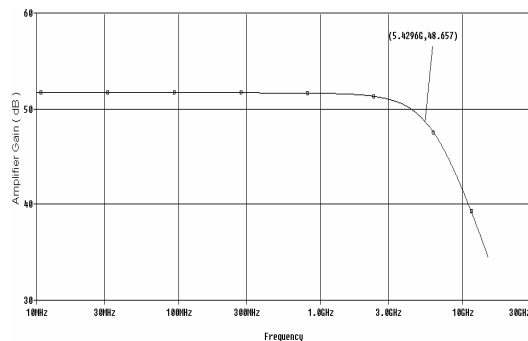


Figure 12– Spice Simulation of the TIA circuit, including a photodetector in the input

The second transimpedance circuit uses in its configuration, a Darlington pair of transistors (figure 13).

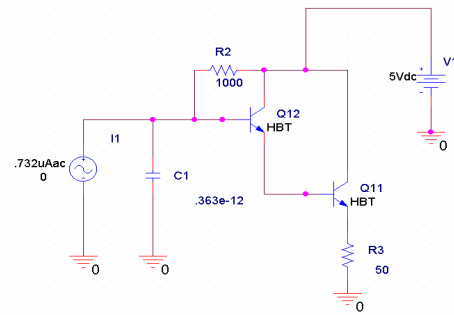


Figure 13– Transimpedance Circuit using a Darlington pair

This configuration presents high sensitivity or high transimpedance, despite a poor answer at high frequencies, as indicated by the Spice simulation shown in figure 14. A cut-off frequency of approximately 364 MHz was obtained, to a transimpedance gain of 58.5 dB.

Figure 15 presents the complete layout of a test chip to study of MMIC structures and circuits, including the transimpedance amplifiers with integrated PIN photodiodes. The left part of the layout presents several configurations of open and closed transmission lines, inductors, capacitors, resistors, TLM structures, Greek crosses and transistors. Broadband amplifiers are included in the lower part of this part. The other part, presents transimpedance circuits with integrated photodiodes and some specific resistors.

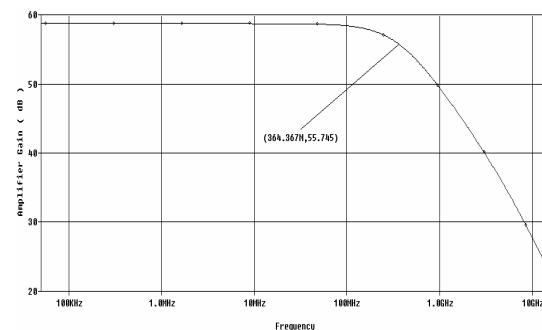


Figure 14– Spice simulation of the circuit using a Darlington pair

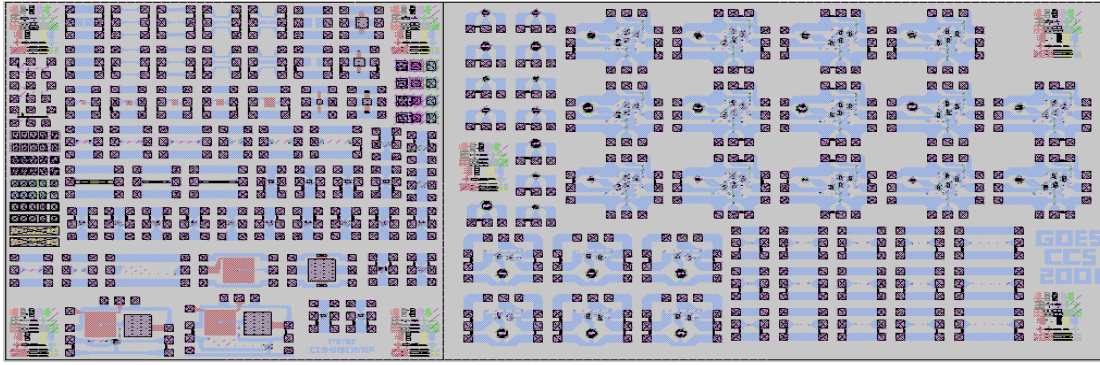


Figure 15 – Layout of the test chip

6. Conclusions

The InGaP/GaAs HBTs developed in our laboratory presented high cut-off frequency of above 23 GHz. Through the measured results of these transistors the AC and DC parameter values were extracted and used in circuit simulations by SPICE. The resistors, capacitors and inductors were designed in accordance with the necessities of our circuits. The broad band amplifier presented a range of operation from 900 MHz to 5 GHz. The transimpedance feedback amplifier also presented a wide band, above 5 GHz. The amplifier in the Darlington configuration did not have this feature, however it presented a high transimpedance gain, around 58,5 dB.

7. Acknowledgments

The authors would like to thank Alexandre Sansígolo Lujan, Augusto César Redolfi and Everson Martins for their contribution to this work and FAPESP, FINEP and CNPq for financial support.

8. References

- [1] Browne J. "InGaP/GaAs provides high linearity HBTs" *Microwave & RF* 39: (2) 121 Feb 2000;
- [2] Fazal Ali, "Introduction to special Issue on Emerging commercial and Consumer Circuits Systems, and their Applications", *IEEE transactions on Microwave Theory and Techniques*, Vol. 43, N.7, July 1995;
- [3] J. Sitch, "HBTs in Telecommunications", *Solid-State Electronics*, pp.1397-1405, Oct. 1997;
- [4] B. Bayraktaroglu, "HBT power devices and circuits", pp. 1657-1665, Oct. 1997;
- [5] K. W. Kobayashi, "An AlGaAs/GaAs PA-LNA transceiver MMIC chip for 1.9 GHz digital cordless telephones", *Microwave Journal*, pp. 94, Jan. 1998;
- [6] T. Kobayashi, F. Nakamura, K. Taira and H. Kawai, in *Inst. Phys. Conf. Ser.* 106 (1989), ch.6, pp. 357-362;
- [7] A. W. Hanson, J. N. Baillargeon, S. A. Stockman, P. J. Apostolakis and G. E. Stillman, presented at the *1991 Electron Material Conf.*, Boulder, Co.;
- [8] J. R. Lothian, J. M. Kuo, F. Ren and S. Pearton, "Plasma and Wet Chemical Etching of $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ ", *Journal of Electronic Materials*, vol. 21, N. 4, 1992;
- [9] O. Ueda, A. Kawano, T. Takahashi, T. Tomioka, T. Fujii and S. Sasa, "Current Status of Reliability of InGaP/GaAs HBTs", *Solid-State Electronics* Vol. 41, No. 10, pp. 1605-1610, 1997;
- [10] R. T. Yoshioka, L. E. M. de Barros Jr., J. W. Swart, J. Bettini, M. M. G. de Carvalho, "Study and Improvement of Epitaxial Growth Conditions for InGaP/GaAs HBT", *XV International Conference on Microelectronics and Packaging, SBMicro 2000*, pp. 378-382, Manaus, Am, 18-24 de setembro, 2000;
- [11] Ian Getreu (1976), "Modeling the bipolar transistor", *Tektronix, Inc.*;
- [12] Bin Li et al., "A semianalytical parameter-extraction procedure for HBT equivalent circuit", *IEEE Trans. on Microwave Theory and Techniques*, Vol. 46, No. 10, pp.1427-1435, Oct 1998;
- [13] Ce-Jun Wei et al., "Direct extraction of equivalent circuit parameters of heterojunction bipolar transistors", *IEEE Trans. on Microwave Theory and Techniques*, Vol. 43, No. 9, pp.2035-2040, Sep 1995;
- [14] Bin Li et al., "Basic expressions and approximations in small-signal parameter extraction for HBT's", *IEEE Trans. on Microwave Theory and Techniques*, Vol. 47, No. 5, pp.534-539, May 1999;
- [15] Mohammad Sotoodeh et al., "Stepping toward standard methods of small-signal parameter extraction for HBT's", *IEEE Trans. on Electron Devices*, Vol. 47, No. 6, pp.1139-1151, June 2000;
- [16] <http://formosa.EECS.Berkeley.EDU/~niknejad>;
- [17] Alexandre S. Lujan, Jacobus W. Swart and Ricardo T. Yoshioka, "A Two Level Interconnection Process Using BCB Polymer as Interlevel Dielectric", *ICMP98 – International Conference on Microelectronics and Packaging, XIII SBMicro*, pag. 131;
- [18] J. W. Swart, D. B. Slater, A. S. Lujan, P. M. Enquist and E. Martins, "Transimpedance Amplifier Using AlGaAs/GaAs HBTs: A Comparative Study", *Proceedings of 1993 SBMO - International Microwave Conference*, pp 181-186, São Paulo, Agosto, 1993.