

Este exemplar corresponde a redação final da tese
defendida por TERESA ESTHER N. ZUÑIGA
julgada em 13 de 12 de 2002 e aprovada pela Comissão

Orientador

pp/ José Antenor Pomílio

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE SISTEMAS E CONTROLE DE ENERGIA

Síntese e aplicações de indutâncias negativas

Banca Examinadora:

Prof. Dr. José Antenor Pomílio - Orientador

Teresa Esther Núñez Zuñiga

Prof. Dr. Fernando L. Marcelo Antunes – UFC

Prof. Dr. Enes Gonçalves Marra – UFG

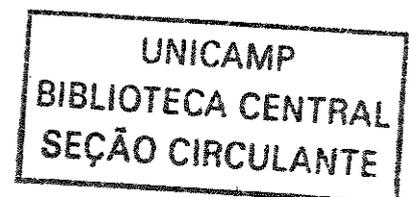
Prof. Dr. Pedro Luis Dias Peres – UNICAMP

Prof. Dr. Sigmar M. Deckmann - UNICAMP

Prof. Dr. André Luiz M. França – UNICAMP

Tese apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutora em Engenharia Elétrica

13 de Dezembro de 2002



UNIDADE	BC
Nº CHAMADA T/UNICAMP	N922s
V	EX
TOMBO BCI	50.544
PROC.	16-124/03
C	<input type="checkbox"/>
D	<input checked="" type="checkbox"/>
PREÇO	R\$ 11,00
DATA	13/03/03
Nº CPD	

CM00180513-2

813 ID 284901

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

N922s Núñez Zuñiga, Teresa Esther
Síntese e aplicações de indutâncias negativas / Teresa
Esther Núñez Zuñiga. --Campinas, SP: [s.n.], 2002.

Orientador: José Antenor Pomílio.
Tese (doutorado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Eletrônica de potência.. 2. Fator de potência. 3.
Indutância. I.Pomílio, José Antenor. II. Universidade
Estadual de Campinas. Faculdade de Engenharia Elétrica e
de Computação. III. Título.

200306933

*A la memoria de mi madre,
TERESA ZUÑIGA DE NUÑEZ.*

Por haber sido la persona mas importante en mi vida.

A la memoria de mi hermano.

JOSÉ V. NUÑEZ ZUÑIGA.

*Con mucho cariño para,
MARCO, PATRICK, RANÚ, OFI,
PATTY, GEORGE y SEBASTIAN.*

*A mis futuros NIETOS, quiero que ellos
sepan que sin conocerlos, ya los amo.*

A MI por mi constancia a pesar de todo.

"É MAIS FÁCIL DESINTEGRAR UM ÁTOMO DO QUE UM PRECONCEITO"
ALBERT EINSTEIN.

Resumo

Esta tese apresenta métodos para a síntese de indutâncias negativas, bem como suas aplicações e estudos de estabilidade. Este comportamento não-natural é analisado com base em modelagem matemática, simulações e resultados experimentais. São apresentados métodos já descritos na literatura, como o VAPAR e o BVI, bem como uma metodologia alternativa, a SDR, que apresenta vantagens em aplicações em que a indutância negativa é inserida em série em um circuito elétrico. Todos os três métodos utilizam conversores CC-CA para realizar a síntese da tensão exigida. As aplicações estudadas são a correção do fator de potência, a regulação de tensão e a compensação de linhas de transmissão.

Abstract

This doctorate dissertation presents methods for emulating negative inductance, as well as their applications and stability analysis. Such non-natural behavior is analyzed based on mathematical modeling, circuit simulations and experimental results. Previously presented synthesis methods, the VAPAR and the BVI are described, and a new strategy, called SDR is introduced. The SDR method is useful when the negative inductance is series connected to an electrical circuit. All the methods use a DC-AC converter for synthesizing the necessary voltage. The applications include power factor correction, voltage regulation and transmission line compensation.

Agradecimentos

Aos professores da FEEC com quem tive oportunidade de estudar e aprender muito.

A todos os colegas e amigos do Laboratório de Condicionamento da Energia Elétrica (LCEE), do Departamento de Sistemas e Controle da Energia (DSCE), e da FEEC-UNICAMP.

Um agradecimento muito especial ao Professor Dr. José Antenor Pomilio, pela orientação e auxílio constante durante o desenvolvimento deste trabalho, e por sua qualidade humana, com ele estive sempre em um constante aprendizado.

A CNPq e FAPESP, pelo apoio financeiro.

CONTEÚDO

LISTA DE FIGURAS	i
LISTA DE TABELAS	ix
SIGLAS	x
SIMBOLOGIA	xi
APRESENTAÇÃO	xii
1- Introdução	1
1.1 Introdução	1
1.2 Princípio do VAPAR	2
1.2.1 Consideração da Realização de Operação Indutiva	3
1.3 Realização do VAPAR	4
1.3.1 Controle Proporcional - Operação Indutiva	4
1.3.2 Estabilidade do Controle	6
1.4 Indutância Negativa	8
1.4.1 Estabilidade com Indutância Negativa	10
1.5 Compensação série de linhas de transmissão	13
1.6 Avanços recentes	13
1.7 Indutância Variável Bootstrap	14

1.8	Síntese direta de reatâncias	16
1.9	Conclusões	19
2-	Análise da estabilidade	21
2.1	Introdução	21
2.2	Compensação Série	21
2.2.1	Circuito básico	21
2.2.2	Compensação Série usando uma Indutância negativa	23
2.3	Compensação Paralela	24
2.3.1	Circuito básico	24
2.3.2	Compensação com indutância negativa	24
2.3.3	Indutância negativa em paralelo a um circuito R-L série	28
2.3.4	Compensação em paralelo aplicada a fonte não ideal	29
2.3.5	Fonte não ideal alimentando circuito R-L paralelo.	35
2.3.6	Indutância negativa em paralelo a um circuito série R-L.	37
2.3.7	Compensação de um circuito série R-L e fonte não ideal	39
2.3.8	Indutância negativa em série com resistência negativa	42
2.4	Compensação Série em Linhas de Transmissão	45
2.4.1	Modelo T	47
2.4.2	Modelo Π	49
2.5	Conclusões	52
3-	Simulações de aplicações	53
3.1	Introdução	53
3.2	Compensação do fator de potência: tensão senoidal	53
3.2.1	Compensação do fator de potência com capacitor	53
3.2.2	Compensação do fator de potência com indutância negativa em uma tensão senoidal	53

3.2.3	Compensação do fator de potência com BVI e fonte de tensão senoidal	56
3.2.4	Compensação do fator de potência com capacitor, em fonte com 5% de 5ª harmônica	57
3.2.5	Compensação do fator de potência com indutância negativa, em fonte com 5% de 5ª harmônica	59
3.2.6	Compensação do fator de potência com BVI, e fonte de tensão senoidal com 5% de 5ª harmônica	59
3.2.7	Resposta a um degrau de tensão na compensação do fator de potência com capacitor	61
3.2.8	Resposta a um degrau de tensão na compensação do fator de potência com indutância negativa	61
3.2.9	Resposta a um degrau de tensão na compensação do fator de potência com BVI.	61
3.3	Compensação de fator de potência com alimentação por fonte não ideal	63
3.3.1	Compensação com capacitor	63
3.3.2	Compensação com BVI	63
3.4	Regulação de tensão com BVI	65
3.4.1	Sem regulação de tensão	65
3.4.2	Com regulação de tensão usando um BVI	65
3.5	Compensação série de linhas de transmissão	68
3.5.1	Compensação série de linha de transmissão com capacitor	68
3.5.2	Compensação série de linha de transmissão com indutância negativa	69
3.5.3	Compensação série das linhas de transmissão com SDR	69
3.6	Ajuste da defasagem entre duas linhas de transmissão	71
3.6.1	Sem Compensação	71
3.6.2	Compensação da defasagem entre duas L.T. com SDR	74
3.7	Compensação de defasagem e controle de corrente com SDR (fluxo de potência)	75

3.8	Conclusões	77
4-	Resultados Experimentais	79
4.1	Introdução	79
4.2	BVI monofásico	80
4.2.1	O BVI como indutância positiva	81
4.2.2	O BVI na correção do fator de potência	82
4.2.3	O BVI como uma indutância negativa - sobrecompensação	83
4.3	O BVI com fonte não ideal	86
4.3.1	Correção do fator de potência	86
4.4	O BVI com fonte não ideal e distorção harmônica	88
4.4.1	Resposta do BVI a uma variação rápida de tensão	90
4.5	Compensação com capacitor	90
4.5.1	Resposta a um degrau de 20% da tensão da entrada	92
4.6	O BVI como regulador da tensão	92
4.7	O SDR	94
4.7.1	O SDR como regulador de corrente	98
4.7.2	O SDR trifásico	100
4.8	Conclusões	101
5-	CONCLUSÕES	103
	APÊNDICE	105
A-	Modulação por Vetores Espaciais	105
A.1	Representação dos Estados do Inversor	107
A.2	Algoritmo da Modulação por Vetores Espaciais	110
A.3	Regiões de Modulação	114
A.3.1	Região Linear (SVM)	114

A.3.2	Região de Sobre Modulação (OVM)	116
A.3.3	Região Bang-Bang	116
B	Programas	119
B.1	O BVI	119
B.2	O BVI para regulação de tensão	122
B.3	O SDR	129
B.4	O SDR para regulação de corrente	133
C	Circuitos usados nas montagens experimentais	145
	REFERÊNCIAS BIBLIOGRÁFICAS	149

Lista de Figuras

1.1	<i>Conceito do VAPAR.</i>	2
1.2	<i>Modelo para a análise teórica do VAPAR.</i>	3
1.3	<i>Circuito equivalente do VAPAR.</i>	3
1.4	<i>Diagrama de Blocos para o controle proporcional na operação como indutor do VAPAR.</i>	5
1.5	<i>Resposta em Freqüência da Magnitude da Impedância na Operação Indutiva.</i>	6
1.6	<i>Resposta em Freqüência da Fase da Impedância na Operação Indutiva.</i>	7
1.7	<i>Configuração do modelo prático de um VAPAR.</i>	8
1.8	<i>Circuito para o método da resistência equivalente.</i>	9
1.9	<i>Comparação entre Indutância Negativa e Capacitância.</i>	10
1.10	<i>Resposta em freqüência dos circuitos $R-L_n$ e $R-C$. Acima: amplitude. Abaixo: fase.</i>	11
1.11	<i>VAPAR com filtro de saída.</i>	12
1.12	<i>Exemplo de aplicação de um VAPAR para controle do fluxo de potência.</i>	12
1.13	<i>Realização básica do VAPAR usando um controlador baseado no fluxo.</i>	14
1.14	<i>Implementação de uma indutância /redutância pelo BVI.</i>	15
1.15	<i>Relação entre a indutância de entrada, L_{in}, e a indutância física L em função do ganho A do Amplificador. A redutância positiva é idêntica à indutância Negativa, $\Gamma \equiv -L$</i>	15
1.16	<i>Conversor SDR para síntese de indutância negativa.</i>	17

1.17	<i>Conversor SDR para síntese de indutância negativa com capacitor no barramento CC.</i>	17
2.1	<i>Circuito básico para estudo de compensação série</i>	21
2.2	<i>Formas de onda do circuito série básico</i>	21
2.3	<i>Circuito com compensação série usando uma indutância negativa</i> . . .	22
2.4	<i>Formas de onda com compensação série usando uma indutância negativa</i>	23
2.5	<i>Circuito básico para estudo de compensação em paralelo</i>	24
2.6	<i>Formas de onda de tensão e corrente na fonte.</i>	25
2.7	<i>Circuito com indutância negativa em paralelo.</i>	26
2.8	<i>Formas de onda evidenciando o comportamento de fase não-mínima do sistema quando a indutância negativa é dominante.</i>	27
2.9	<i>Forma de onda da compensação paralela usando indutância negativa: acima sem L_n, meio: com $L_n = L$ e abaixo: com $L_n > L$.</i>	28
2.10	<i>Forma de onda da compensação paralela usando indutância negativa com a tensão de entrada com fase inicial nula.</i>	29
2.11	<i>Circuito com indutância negativa em paralelo a um circuito R-L série.</i>	29
2.12	<i>Formas de onda para o circuito da figura 2.11; acima: sem L_n, abaixo: com $L_n > L$.</i>	30
2.13	<i>Forma de onda da compensação paralela usando indutância negativa com a tensão de entrada com fase inicial nula.</i>	31
2.14	<i>Circuito para a compensação paralela aplicado a fonte não ideal.</i> . . .	32
2.15	<i>Raiz da equação característica vs indutância de compensação.</i>	33
2.16	<i>Forma de onda no circuito na figura 2.13</i>	34
2.17	<i>Circuito incluindo impedância em série com a fonte.</i>	34
2.18	<i>Raízes da equação característica Vs Indutância de compensação.</i> . . .	36
2.19	<i>Resposta da simulação para a compensação usando uma indutância negativa em paralelo a um circuito R paralelo L.</i>	37
2.20	<i>Circuito com indutância negativa em paralelo a um circuito série R-L e fonte não ideal.</i>	37

2.21	<i>Parte real de uma das raízes da equação característica em função da indutância de compensação.</i>	38
2.22	<i>Resposta da compensação usando uma indutância negativa em paralelo a um circuito R-L série, com fonte não ideal.</i>	39
2.23	<i>Circuito com indutância negativa em paralelo a um circuito série R-L, com fonte não ideal.</i>	39
2.24	<i>Parte real das raízes da equação característica em função da indutância de compensação.</i>	41
2.25	<i>Resposta da compensação paralela usando uma indutância em paralelo a um circuito série RL e fonte não ideal.</i>	42
2.26	<i>Circuito com indutância negativa e $(-R_n)$ em série, em paralelo a um circuito série R-L e fonte não ideal.</i>	43
2.27	<i>Parte real das raízes da equação característica em função da R_n.</i>	44
2.28	<i>Formas de onda do circuito com R_n.</i>	45
2.29	<i>Circuito IEEE, modelo T, para a análise da estabilidade com compensação série.</i>	46
2.30	<i>Lugar das raízes para linha de transmissão com compensação série, por indutância negativa.</i>	48
2.31	<i>Parte real das raízes em função de L_n.</i>	48
2.32	<i>Lugar das raízes para compensação série com capacitor.</i>	49
2.33	<i>Sistema para estudo de compensação série no meio da linha.</i>	50
2.34	<i>Lugar das raízes com linha modelo Π com compensação série, por indutância negativa.</i>	51
2.35	<i>Lugar das raízes com linha modelo Π, com compensação série por capacitor.</i>	51
3.1	<i>Circuito para a compensação do fator de potência com capacitor e fonte de tensão senoidal.</i>	54
3.2	<i>Formas de onda para o circuito da figura 3.1.</i>	54
3.3	<i>Circuito para a compensação do fator de potência com indutância negativa e fonte de tensão senoidal.</i>	55

3.4	<i>Formas de onda para o circuito da figura 3.3</i>	55
3.5	<i>Circuito para a compensação do fator de potência com BVI e fonte de tensão senoidal.</i>	56
3.6	<i>Formas de onda para o circuito da figura 3.5</i>	57
3.7	<i>Circuito para a compensação do fator de potência com BVI com controle modificado.</i>	58
3.8	<i>Formas de onda para o circuito da figura 3.7</i>	58
3.9	<i>Formas de onda para a compensação do fator de potência com capacitor e fonte de tensão com 5% de 5ª harmônica.</i>	59
3.10	<i>Formas de onda para a compensação do fator de potência com indutância negativa e fonte de tensão com 5% de 5ª harmônica.</i>	60
3.11	<i>Formas de onda para a compensação do fator de potência com BVI e fonte de tensão com 5% de 5ª harmônica.</i>	61
3.12	<i>Resposta a um degrau de tensão na compensação do fator de potência com capacitor.</i>	61
3.13	<i>Resposta a um degrau de tensão na compensação do fator de potência com indutância negativa.</i>	62
3.14	<i>Resposta a um degrau de tensão na compensação do fator de potência com BVI.</i>	63
3.15	<i>Circuito RL com alimentação por fonte não ideal.</i>	63
3.16	<i>Tensão e corrente na fonte com compensação capacitiva.</i>	64
3.17	<i>Compensação com BVI.</i>	64
3.18	<i>Sobrecompensação com BVI.</i>	65
3.19	<i>Circuito de teste para estudo de regulação da tensão.</i>	66
3.20	<i>Formas de onda sem regulação da tensão.</i>	66
3.21	<i>Circuito para a regulação da tensão com BVI.</i>	67
3.22	<i>Formas de onda da regulação da tensão com BVI.</i>	67
3.23	<i>Circuito para a compensação série de L.T com capacitor.</i>	68
3.24	<i>Resposta da compensação série de L.T. com capacitor.</i>	69

3.25	<i>Circuito para a compensação série de L.T. com indutância negativa. . .</i>	70
3.26	<i>Resposta da compensação série de L.T. com indutância negativa. . . .</i>	70
3.27	<i>Circuito para a compensação série de L.T. com SDR.</i>	71
3.28	<i>Resposta da compensação série de L.T. com SDR.</i>	72
3.29	<i>Circuito da conexão de duas L.T. sem compensação.</i>	72
3.30	<i>Resposta da tensão no terminal da carga na conexão de duas L.T. em compensação.</i>	73
3.31	<i>Comportamento das correntes pelas L.T. na conexão direta.</i>	73
3.32	<i>Circuito da conexão de duas L.T. com compensação por SDR.</i>	74
3.33	<i>Resposta da tensão na conexão de duas L.T. com compensação por SDR.</i>	75
3.34	<i>Resposta da corrente na conexão de duas L.T. com compensação por SDR.</i>	76
3.35	<i>Controle de corrente para L.T. com SDR.</i>	76
4.1	<i>Circuito usado para o BVI em baixa tensão.</i>	79
4.2	<i>Resposta em freqüência do filtro de saída do BVI.</i>	80
4.3	<i>Formas de onda do BVI sintetizando uma indutância positiva. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2 A/div.) e tensão na fonte (CH4, 20V/div.).</i>	81
4.4	<i>Formas de onda para a correção do fator de potência. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 20V/div.).</i>	81
4.5	<i>Formas de onda do BVI sintetizando uma indutância negativa. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 20V/div.).</i>	82
4.6	<i>Espectro de freqüências da corrente do BVI.</i>	83

4.7	<i>Variação na corrente do BVI(CH1) e na tensão de referência (CH2) com ganho crescente.</i>	84
4.8	<i>Circuito usado para o BVI com fonte de tensão não ideal.</i>	85
4.9	<i>Formas de onda para a correção do fator de potência com fonte não ideal. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão v_{CA} (CH4, 20V/div.).</i>	85
4.10	<i>Formas de onda sem compensação. Acima: corrente na fonte (CH3, 1A/div.). Abaixo: tensão da fonte (CH4, 10V/div.).</i>	86
4.11	<i>Espectro em baixa frequência da tensão da fonte.</i>	87
4.12	<i>Formas de onda do BVI compensado. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão v_{CA} (CH4, 10V/div.).</i>	87
4.13	<i>Espectro em baixa frequência da corrente fonte após a compensação do F.P.</i>	88
4.14	<i>Resposta do BVI a um degrau de 20% da tensão de entrada. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 10V/div.).</i>	89
4.15	<i>Circuito usado para a compensação com capacitor.</i>	89
4.16	<i>Formas de onda do circuito com capacitor. Acima: corrente pelo capacitor (CH1, 1A/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH4, 10V/div.).</i>	90
4.17	<i>Espectro em baixa frequência da corrente na fonte.</i>	91
4.18	<i>Circuito usado para a correção do fator de potência com capacitor e fonte não-ideal.</i>	91
4.19	<i>Resposta do circuito a um degrau de 20% da tensão de entrada. Acima: corrente pelo capacitor (CH1, 2A/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão no barramento CA (CH4, 10V/div.). . . .</i>	92
4.20	<i>Circuito usado para a verificação da regulação da tensão.</i>	93

4.21	<i>Resposta do BVI como regulador de tensão. Acima: tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na carga resistiva (CH3, 1A/div.), e tensão no barramento CA (CH4, 10V/div.).</i>	93
4.22	<i>Circuito usado para a compensação série com o SDR.</i>	94
4.23	<i>Formas de onda com o SDR desligado. Acima: tensão de referência (CH2, 1V/div.), tensão no SDR (CH4, 20V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.)</i>	95
4.24	<i>Formas de onda do circuito com SDR. Acima: tensão de referência (CH2, 1V/div.), tensão no SDR (CH4, 20V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).</i>	95
4.25	<i>Formas de onda do circuito com SDR. Acima: tensão no SDR (CH4, 20V/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).</i>	96
4.26	<i>Formas de onda do circuito com SDR regulando a corrente. Acima: tensão referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 2A/div.).</i>	97
4.27	<i>Formas de onda do circuito com SDR para regular tensão. Acima: tensão de referência (CH2, 0,2V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).</i>	98
4.28	<i>Formas de onda do circuito com SDR para regulação de corrente . Acima: tensão de referência (CH2, 0,2V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).</i>	99
4.29	<i>Formas de onda do SDR trifásico. Acima: tensão no SDR (CH1, 1V/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 5A/div.), e tensão na fonte (CH1, 20V/div.).</i>	100
A.1	<i>Inversor como fonte de tensão trifásica.</i>	103
A.2	<i>Vetor V obtido das tensões instantâneas V_a, V_b e V_c nos eixos a-b-c</i>	104
A.3	<i>Vetor V no plano $\alpha - \beta$.</i>	104
A.4	<i>Distribuição dos Vetores de Estados no Plano Complexo.</i>	105
A.5	<i>Estado 100 do inversor.</i>	106
A.6	<i>Estado Zero do Inversor (111)</i>	106

A.7	<i>Estado Zero do Inversor (000).</i>	107
A.8	<i>Transformação Inversa do Vetor V.</i>	108
A.9	<i>Chaveamento dos Vetores de Estado.</i>	109
A.10	<i>Pulso padrão do vetor espacial no setor I.</i>	110
A.11	<i>Árvore de decisão da Modulação por Vetores Espaciais.</i>	112
A.12	<i>Plano complexo estendido, mostrando os vetores de chaveamento de estado e as regiões de modulação.</i>	113
A.13	<i>Diagrama de fluxo do sinal da árvore de decisão II.</i>	114

Lista de Tabelas

1.1	<i>Parâmetros do circuito.</i>	6
A.1	<i>Duração dos estados - ligado dos vetores de chaveamento.</i>	112

Nomenclatura

BVI	Indutância Variável Bootstrap
VAPAR	Reatância Variável Ativa-Passiva
SDR	Sintetizador Direto de reatâncias
MLP	Modulação por Largura de Pulso
FP	Fator de Potência
FPB	Filtro Passa Baixas
CC	Corrente Contínua
CA	Corrente Alternada
DSP	Digital Signal Processor

Simbologia

C	Capacitância
R	Resistência
L	Indutância
R_1	Resistência equivalente da fonte
R_n	Resistência negativa
L_1	Indutância equivalente da fonte
L_n	Indutância negativa
s	Operador de Laplace
f	Frequência
Z	Impedância
V_{CC}	Tensão média no capacitor do barramento CC do inversor
v_{CA}	Tensão CA no ponto de acoplamentos de cargas
P_{max}	Potência máxima
ω	frequência angular

Apresentação

Este trabalho, iniciado há quase quatro anos, buscou explorar algumas aplicações não convencionais de conversores CC-CA, mais especificamente a possibilidade de sintetizar tensões ou correntes cuja inserção em um circuito elétrico caracterizassem, dada a relação tensão/corrente resultante, o comportamento de dipolos reativos, associados a indutâncias ou capacitâncias de valores ajustáveis. Mais do que isso, a possibilidade de sintetizar elementos não naturais, como indutâncias negativas, abria interessantes perspectivas de pesquisa acadêmica.

No entanto, a plataforma digital inicialmente escolhida (na qual deveria residir todo o sistema de controle e comando do conversor CC-CA), baseada em um sistema de aquisição de dados e um computador pessoal, mostrou-se inadequada, incapaz de gerenciar todos os processos necessários, nos tempos devidos. Decidiu-se, então, migrar para uma plataforma dedicada, baseada em um DSP (ADMC 401), com a qual foi possível avançar no projeto.

O tempo consumido nas tentativas de usar o sistema baseado no PC, embora pleno de aprendizados, não permitiu avançar mais nas pesquisas que serão apresentadas no transcorrer desta tese, em virtude da necessidade de concluí-la na presente data.

Os resultados a serem apresentados configuram material inovador em diversos aspectos e, longe de esgotar o assunto, apontam inúmeras possibilidades de expansão das pesquisas.

A capacidade da modulação por largura de pulso (MLP) produzir sinais de tensão ou de corrente de quaisquer formas por meio de conversores CC-CA é explorada em diversas aplicações como nos filtros ativos de potência, nos inversores para aplicação como fonte de alimentação ininterrupta ou no acionamento de motores de corrente alternada.

Em cada uma destas aplicações é estabelecida uma estratégia de controle que determina um sinal de referência para o modulador. A fidelidade com que o conversor de potência é capaz de reproduzir o sinal de referência depende da frequência de comu-

tação do conversor e do filtro de saída utilizado, que determinam o conteúdo espectral do sinal de saída.

De uma maneira indicativa, pode-se dizer que com o emprego de um filtro de segunda ordem, é possível obter uma eficaz atenuação das componentes de comutação alocando-se a frequência de corte do filtro uma década abaixo da frequência de chaveamento, o que significa que o sinal sintetizado é capaz de responder adequadamente a uma referência até esta frequência.

Se tomarmos como exemplo um filtro ativo em derivação, cujo objetivo é sintetizar correntes utilizando um inversor tipo fonte de tensão, o sistema necessariamente opera em malha fechada, de modo a se garantir a corrente desejada. Já um inversor tipo fonte de corrente poderia operar em malha aberta, o que simplifica a implementação do sistema. No entanto, devido às maiores perdas destes inversores (associadas ao elemento indutivo de acúmulo de energia no lado CC do inversor), esta não é uma solução tecnicamente interessante.

Em aplicações nas quais o objetivo é a síntese de tensão, em princípio pode-se utilizar inversores de acúmulo capacitivo operando em malha aberta, pois o conversor reproduz em sua saída o próprio sinal utilizado como referência. Existem efeitos secundários que podem fazer com que isto não ocorra exatamente desta maneira como, por exemplo, as limitações impostas pela impedância do filtro passivo de saída, os efeitos distorcivos produzidos por cargas não lineares, as distorções próprias do inversor, principalmente decorrentes da introdução de tempos mortos na comutação. O quanto estas limitações exigiriam um refinamento do sistema de controle depende do grau de perfeição que uma dada aplicação exige na síntese de uma tensão.

Esta tese apresenta o emprego de inversores para a síntese de tensões cujo objetivo é fazer com que a relação entre a tensão e a corrente nos terminais de saída caracterize um comportamento indutivo, ou seja, a tensão deve ser proporcional à derivada da corrente. Mais do que isso, é apresentada e discutida a síntese de indutâncias negativas, bem como identificadas algumas aplicações, mostrando-se algumas vantagens em relação à aplicação de compensações capacitivas.

O capítulo 1 faz uma revisão bibliográfica de propostas de conversores para a síntese de reatâncias por meio de conversores eletrônicos de potência, e apresenta, em seu final, uma nova proposta, denominada Síntese Direta de Reatâncias (SDR), a qual apresenta vantagens em relação às técnicas anteriores quando o objetivo é a inserção do dipolo sintetizado em série em um circuito elétrico.

O capítulo 2 faz análises de estabilidade de circuitos elétricos nos quais se insere uma indutância negativa. São tratados casos em que uma indutância negativa é colocada

em série ou em paralelo com outros dipolos (resistores e indutores), alimentados por uma fonte de tensão ideal, ou por uma fonte com uma impedância série. Estudam-se também situações em que a indutância negativa é associada em paralelo com um circuito RL. Neste caso, dada a inerente instabilidade do sistema, analisa-se a capacidade de estabilização quando se considera a presença de uma resistência negativa em série com a indutância negativa. Finalmente analisa-se a presença de uma indutância negativa em circuitos de ordem superior, como uma linha de transmissão, modelada por parâmetros concentrados.

O capítulo 3 apresenta diversas aplicações, analisadas por meio de simulações. São considerados casos de compensação de fator de potência, de regulação de tensão, de controle de fluxo de potência em linhas de transmissão. Verifica-se o comportamento de circuitos que empregam capacitores em comparação com o uso de indutâncias negativas, analisando o efeito de distúrbios na fonte, como a presença de harmônicos e a variações rápidas na tensão.

O capítulo 4 apresenta resultados experimentais, obtidos em uma montagem de baixa potência, com a finalidade de realizar uma comprovação inicial das propriedades identificadas nos estudos analíticos e nas simulações.

O capítulo 5 apresenta as conclusões desta tese, bem como indica temas para o aprofundamento destes estudos.

Ao final são incluídos apêndices que se referem à implementação do sistema experimental.

Capítulo 1

Introdução

1.1 Introdução

O desenvolvimento da tecnologia microeletrônica permite realizar dispositivos de chaveamento de potência de alto rendimento, mas elementos reativos, tais como um indutor ou um capacitor de potência, não podem ser diretamente implementados usando tal tecnologia.

Por outro lado, o domínio tecnológico dos inversores com comutação em alta frequência permite a síntese de tensões e correntes que podem reproduzir, em elevados níveis de potência, comportamentos de elementos reativos.

H.Funato & A.Kawamura (1992) propõem o conceito de VAPAR ou Reatância Variável Ativa-Passiva, a qual é definida como um dispositivo que funciona como um elemento reativo-passivo variável, tanto no estado transitório, quanto em regime permanente.

Como mostrado na figura 1.1, dependendo da relação entre a tensão entre os dois terminais e corrente que circula pelo dispositivo, pode-se ter um efeito capacitivo ou indutivo, considerando uma certa faixa de frequências.

O VAPAR pode ser realizado usando um inversor, com as seguintes vantagens em relação a uma reatância real:

(1) Uma grande reatância pode ser realizada usando elementos reativos menores, de modo que se pode atingir elementos reativos pequenos e leves, embora para elevada potência.

(2) A reatância do VAPAR pode ser controlada em regime permanente e também no estado transitório.

O VAPAR difere de um Filtro Ativo e de um compensador de reativos. O principal objetivo de um filtro é compensar a distorção da corrente ou da tensão; o objetivo de um compensador de reativos, é compensar, na frequência fundamental, o valor da tensão em regime permanente.

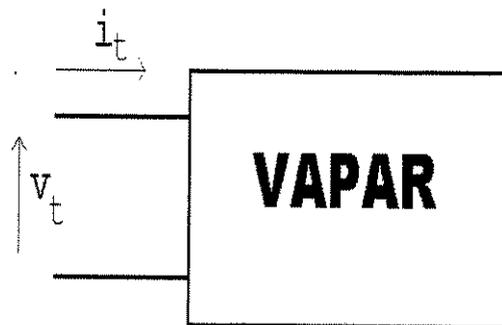


Figura 1.1: *Conceito do VAPAR.*

1.2 Princípio do VAPAR

Se a tensão v_t e a corrente i_t , na figura 1.1, obedecem à seguinte relação:

$$v_t = L \left(\frac{di_t}{dt} \right) \quad (1.1)$$

então o elemento VAPAR comporta-se como uma indutância virtual L , em regime permanente ou no estado transitório. Se a tensão e a corrente se relacionam como:

$$i_t = C \left(\frac{dv_t}{dt} \right) \quad (1.2)$$

o VAPAR comporta-se como uma capacitância virtual C .

Na prática, o VAPAR pode ser implementado com um indutor e uma fonte de tensão controlada. Supondo-se uma fonte ideal de tensão controlada V_i , o VAPAR pode ser modelado como mostrado na figura 1.2, onde Z_L é uma impedância externa e V_x é uma fonte de tensão externa.

A indutância L_a é necessária para permitir a conexão entre as fontes de tensão V_x e V_i . Z_L pode assumir qualquer valor, inclusive zero.

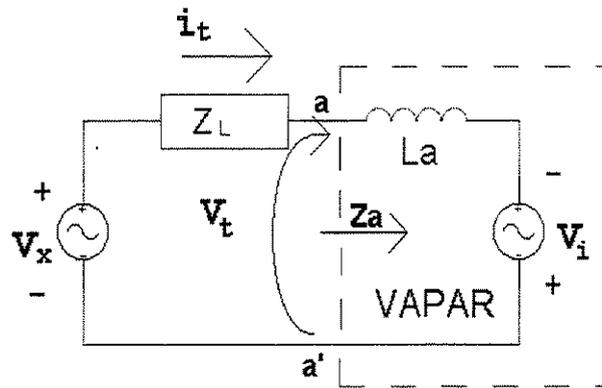


Figura 1.2: Modelo para a análise teórica do VAPAR.

1.2.1 Consideração da Realização de Operação Indutiva

Se a impedância Z_a vista entre $a - a'$ tem comportamento de indutância L , podemos obter o circuito equivalente para esse modelo como mostrado na figura 1.3

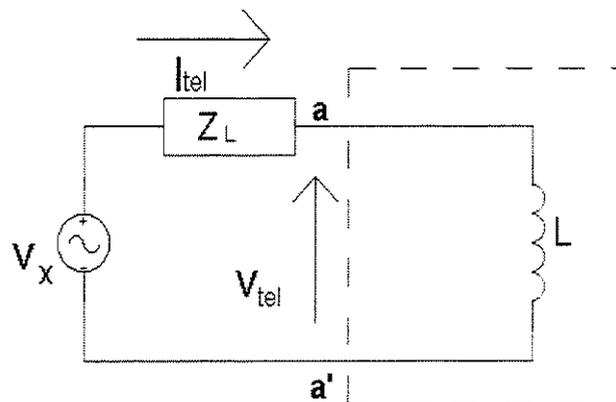


Figura 1.3: Circuito equivalente do VAPAR.

As correntes que circulam nos circuitos das figuras 1.2 e 1.3 são, respectivamente

$$I_t = \frac{V_x + V_i}{Z_L + sL_a} \quad (1.3)$$

$$I_{tel} = \frac{V_x}{Z_L + sL} \quad (1.4)$$

Onde: I_t , V_x , V_i e I_{tel} são as transformadas de Laplace de i_t , v_x , v_i e i_{tel} respectivamente.

Para que a impedância Z_a se comporte como uma indutância virtual L , I_t se iguala a I_{tel} . Então, da equação (1.3) e da equação (1.4):

$$V_i = \frac{s(L_a - L)}{Z_L + sL} V_x \quad (1.5)$$

De maneira simplificada, supondo $Z_L = 0$, e manipulando a equação 1.5, verifica-se que a indutância L obedece à relação:

$$L = \frac{v_x}{v_x + v_i} L_a \quad (1.6)$$

O resultado desejado ocorre apenas quando a relação entre as tensões se comporta como uma constante, ou seja v_x e v_i , no tempo, apresentam a mesma forma de onda, a mesma frequência e estão em sincronismo.

1.3 Realização do VAPAR

Em (H.Funato & A.Kawamura, 1992) e (H.Funato & A.Kawamura, 1994b) foram propostos dois esquemas para realizar o VAPAR. Um deles emprega o controle proporcional e o outro um controle por histerese.

1.3.1 Controle Proporcional - Operação Indutiva

No controle proporcional, a fonte de tensão interna na figura 1.2 é ajustada em proporção ao erro ε entre a corrente de referência i_{ref} e a corrente terminal i_t . A referência é determinada por:

$$i_{ref} = \frac{1}{L} \int v_t d(t) \quad (1.7)$$

Aplicando a transformada de Laplace, as equações do circuito e as leis de controle tornam-se:

$$V_x + V_i = (sL_a + R_a + Z_L)I_t \quad (1.8)$$

$$V_i = K_p(I_{ref} - I_t) \quad (1.9)$$

$$V_t = V_x - Z_L I_t \quad (1.10)$$

$$I_{ref} = \frac{1}{sL} V_t \quad (1.11)$$

Onde R_a é uma resistência em série com L_a .

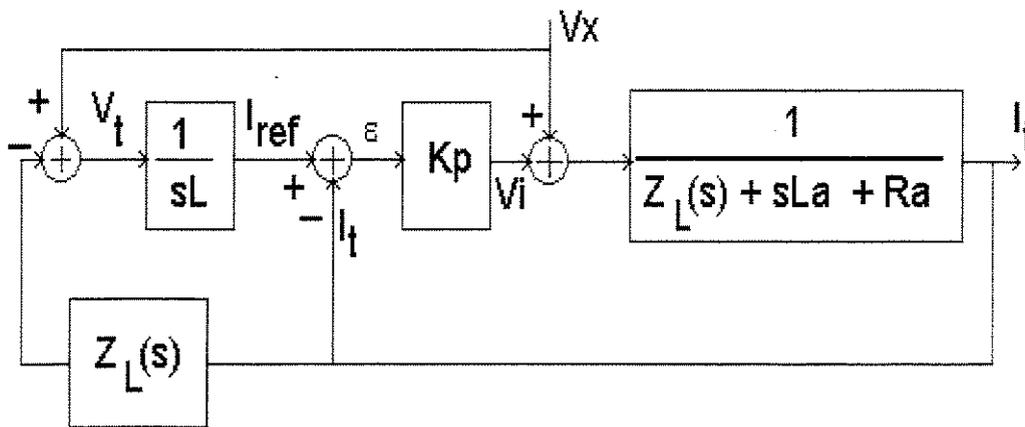


Figura 1.4: Diagrama de Blocos para o controle proporcional na operação como indutor do VAPAR.

A figura 1.4 mostra o diagrama de blocos desenhado a partir das equações anteriores.

A função de transferência de I_t a V_t ($V_x = 0$):

$$Z'_L(s) = \frac{V_t(s)}{I_t(s)} = sL \left(\frac{sL_a + R_a + K_p}{sL + K_p} \right) \quad (1.12)$$

Para um K_p suficientemente grande:

$$\frac{V_t(s)}{I_t(s)} \cong sL \quad (1.13)$$

Logo fica provada a operação indutiva do VAPAR .

As respostas em frequência da magnitude e da fase desta impedância, com os parâmetros do circuito da Tabela 1.1, são mostradas nas figuras 1.5 e 1.6, respectivamente. Nota-se que a indutância virtual L é realizada quando a frequência $\omega \leq \frac{K_p}{L}$.

Em alta frequência o efeito de L_a não é desprezível, fazendo com que a equação (1.13) não seja uma boa aproximação.

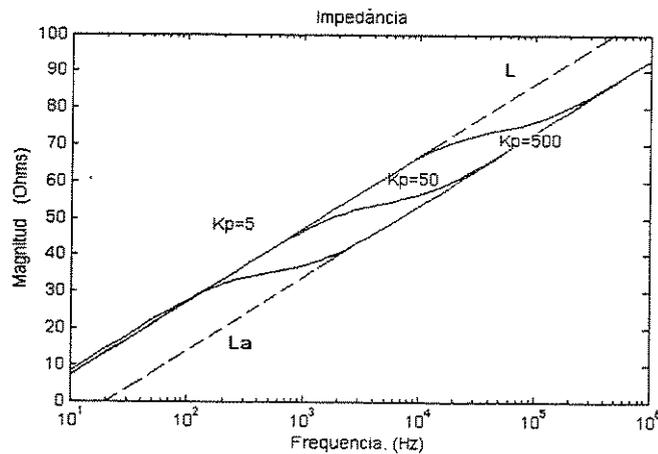


Figura 1.5: Resposta em Frequência da Magnitude da Impedância na Operação Indutiva.

1.3.2 Estabilidade do Controle

Com controle proporcional, a função de transferência entre a tensão externa V_x e a corrente I_t , em operação indutiva, é:

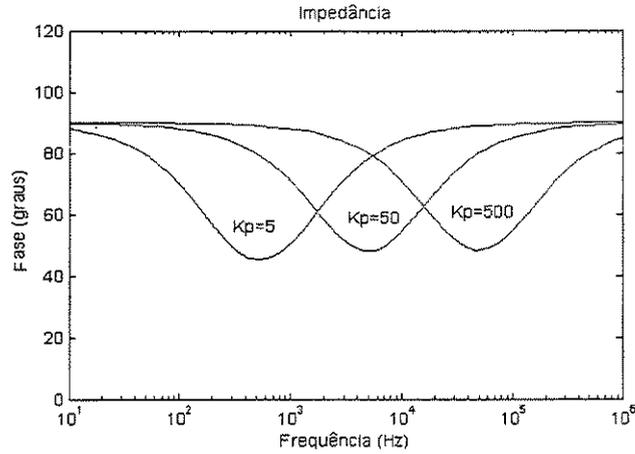


Figura 1.6: Resposta em Frequência da Fase da Impedância na Operação Indutiva .

Tabela 1.1: Parâmetros do circuito.

Indutância Real L_a	4,51 mH
Resistência Real R_a	0,8 Ω
Indutância de Z_L : L_x	5 μ H
Resistência de Z_L : R_x	5 Ω
Indutância Virtual L	22,55 mH

$$\frac{I_t(s)}{V_x(s)} = \frac{sL + K_p}{s^2LL_a + sL(R_a + K_p) + (sL + K_p)Z_L} \quad (1.14)$$

Quando Z_L é um circuito série R-L, o VAPAR pode operar estavelmente para qualquer valor de K_p . Para uma impedância externa Z_L genérica, a estabilidade deve ser calculada em cada caso.

H.Funato & A.Kawamura (1993) indicam que os trabalhos anteriores concebiam o VAPAR como um inversor PWM (que sintetiza a tensão v_i), alimentado por uma fonte de tensão CC. Desta forma, efetivamente, o VAPAR não seria um dispositivo de dois terminais. Propõe, alternativamente, que a fonte CC seja substituída por um capacitor, o que torna o VAPAR um dispositivo de dois terminais, como mostrado na figura 1.7.

A tensão CC flutua em função da energia armazenada no VAPAR, das perdas do inversor e das perdas do indutor.

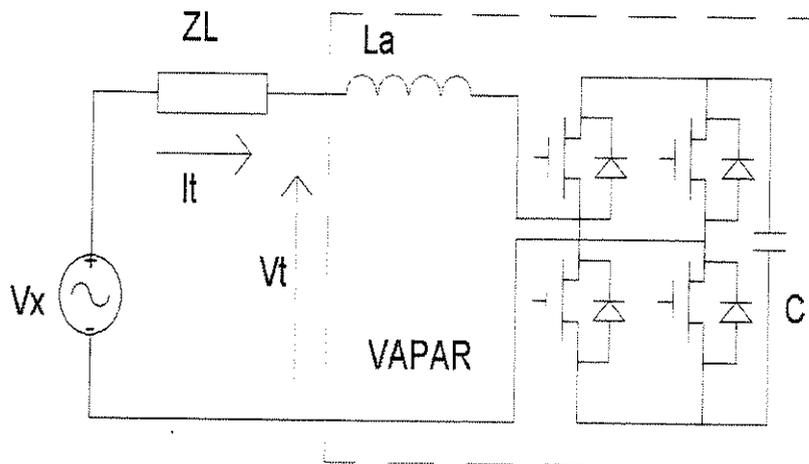


Figura 1.7: *Configuração do modelo prático de um VAPAR.*

Posteriormente (H.Funato & A.Kawamura, 1994b) os autores propõem o método de controle de resistência equivalente (ERC) para a regulação da tensão CC. Uma resistência equivalente série é somada à indutância virtual, como mostrado na figura 1.8 onde os componentes de perdas do inversor são representados por uma resistência. Como resultado, a tensão do capacitor pode ser controlada.

Embora todos os comentários e exemplos aqui apresentados refiram-se à realização de indutância virtual, é possível analogamente realizar capacitâncias virtuais.

1.4 Indutância Negativa

A existência de dispositivos que apresentam um comportamento de indutância negativa são descritas em varias aplicações eletrônicas de baixa potência como, por exemplo, F.Capparel & A.Liberato (1970), V.G.Propenko (2002).

Em termos de aplicações de potência H.Funato & A.Kawamura (1994a) e H.Funato & K.Kamiyama (1997b) indicam que o VAPAR pode gerar não só reatâncias positivas, as quais existem naturalmente, mas pode produzir reatâncias negativas mesmo no estado transitório .

Para uma indutância negativa vale a expressão:

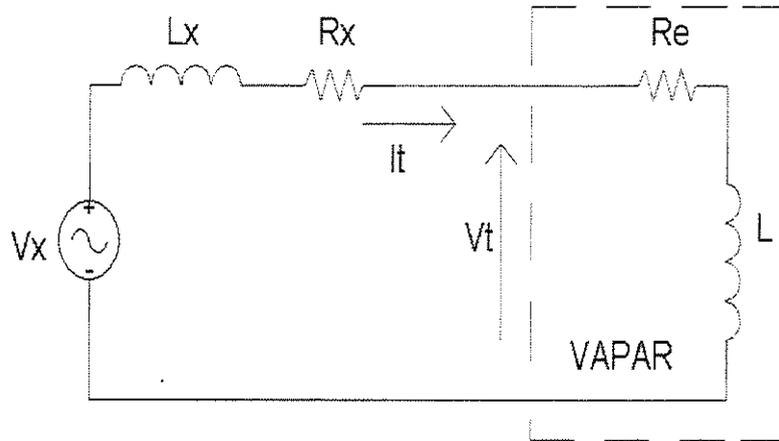


Figura 1.8: Circuito para o método da resistência equivalente.

$$v_t = -L_n \left(\frac{d i_t}{d t} \right) \quad (1.15)$$

Onde: v_t é a tensão terminal, i_t é a corrente terminal. Uma indutância negativa é diferente de uma capacitância, embora tenham as mesmas respostas em regime permanente, sob excitação senoidal. Ou seja, em ambos os casos a corrente apresenta-se “adiantada” de 90° em relação à tensão nos terminais do dispositivo.

Uma das diferenças evidentes é o comportamento em frequência. Por exemplo considerando dois circuitos série mostrados na figura 1.9:

- (a) Uma resistência $R = 5\Omega$, e capacitância $C = 1,00011 \text{ mF}$.
- (b) Resistência $R = 5\Omega$, e indutância negativa $L_n = -10 \text{ mH}$.

A resposta em frequência destes dois circuitos é mostrada na figura 1.10.

As respostas de ambos circuitos são as mesmas apenas em $50,3 \text{ Hz}$, pois eles têm a mesma impedância. Quanto à resposta transitória, são também diferentes, como se pode intuir a partir da diversidade da resposta em frequência mostrada.

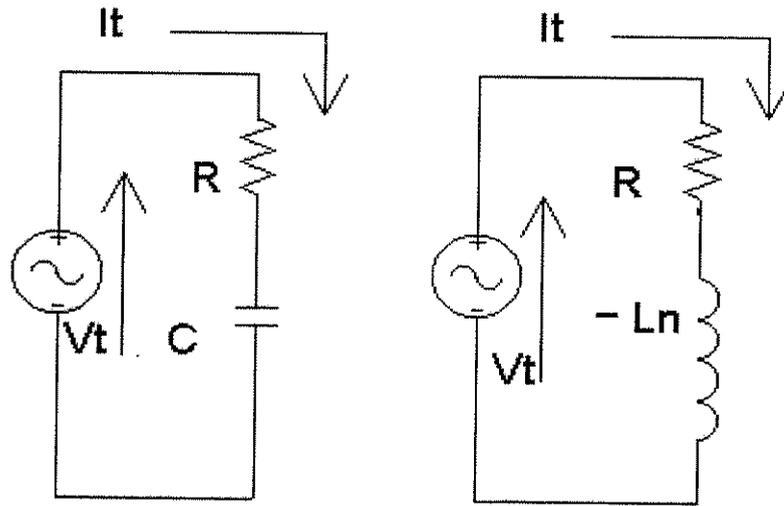


Figura 1.9: Comparação entre Indutância Negativa e Capacitância.

1.4.1 Estabilidade com Indutância Negativa

Considere um circuito série $R_n - L_n$, como mostrado na figura 1.9. A resposta transitória da corrente i_t para um degrau de tensão $v_{st}(t) \{= 0(t < 0), V(t \geq 0)\}$ é:

$$i_t = \frac{V}{R} \left[1 - e^{+\left(\frac{R}{L_n}\right)t} \right] \quad (1.16)$$

Observe-se que a corrente torna-se divergente. Em outras palavras a indutância total em uma malha não pode ser negativa, por esta razão deverá haver uma indutância positiva série L_s a qual satisfaça $L_s + L_n > 0$.

H.Funato & K.Kamiyama (1997a), discutem a eventual necessidade de um filtro de saída de ordem superior para reduzir as componentes produzidas pela comutação do inversor, como mostra a figura 1.11. Este filtro de saída pode causar ressonâncias, por isso propõem os autores estratégia de controle usando o método de variáveis de estado.

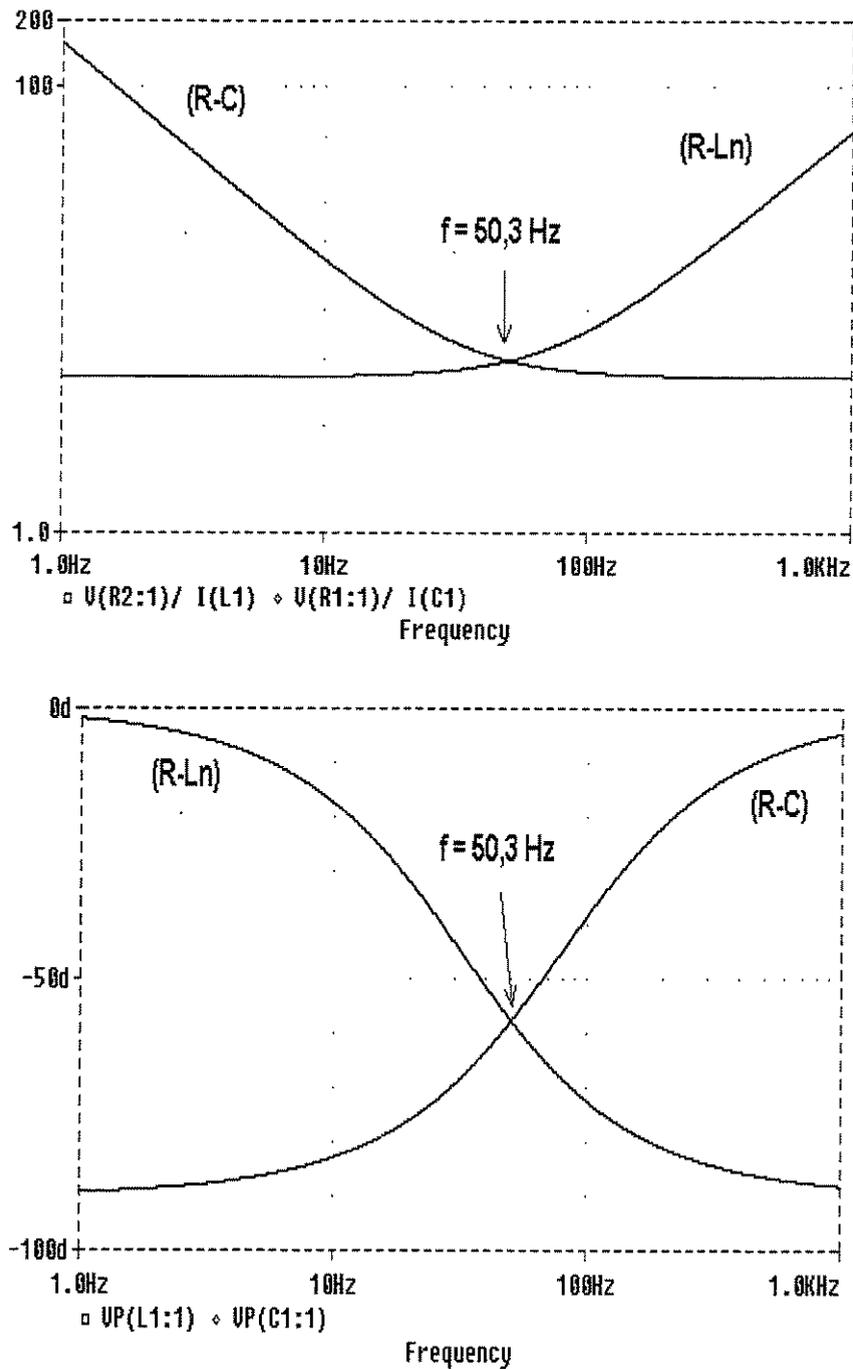


Figura 1.10: Resposta em frequência dos circuitos $R - L_n$ e $R - C$. Acima: amplitude. Abaixo: fase.

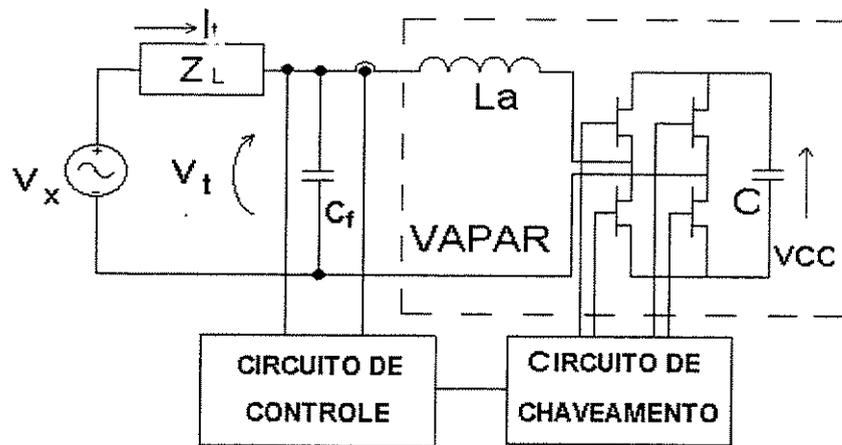


Figura 1.11: VAPAR com filtro de saída.

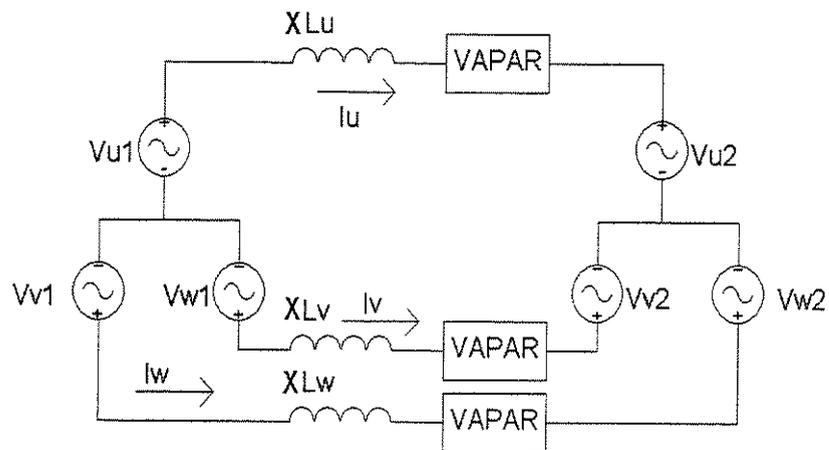


Figura 1.12: Exemplo de aplicação de um VAPAR para controle do fluxo de potência.

1.5 Compensação série de linhas de transmissão

Em um sistema de potência, em uma linha sem perdas e sem capacitâncias em derivação, a transmissão de energia através de uma linha depende de três parâmetros: a amplitude da tensão em cada lado, a diferença de fase e a reatância série da linha de transmissão. Portanto, o controle da transmissão de potência pode ser atingido mudando pelo menos um destes três parâmetros.

$$P_s = \frac{V_1 V_2}{X} \sin(\delta) \quad (1.17)$$

H.Funato & K.Kamiyama (1997b) analisam a resposta transitória de um desfasador e obtém um controle com respostas significativamente mais rápidas fazendo-se o ajuste do valor da reatância por meio do VAPAR.

Os mesmos autores (H.Funato & K.Kamiyama, 1999) propõem um controlador completamente digital, baseado em DSP, usando controle "deadbeat". H.Funato & K.Kamiyama (2000) aplicam a teoria da potência instantânea para estudar o comportamento transitório do VAPAR utilizado como dispositivos o FACTS no controle de fluxo de potência, como ilustra a figura 1.12.

1.6 Avanços recentes

H.Funato & A.Kawamura (2000) comentam que o método de controle proposto previamente não pode gerar ambas indutâncias, positiva e negativa, incluindo o zero, com os mesmos parâmetros do controlador. Para poder superar esta inconveniência, nesse artigo é proposto um novo método de controle que usa o fluxo magnético da indutância virtual como variável de controle, como mostrado na figura 1.13

Em H.Funato & K.Kamiyama (2001), estuda-se o caso de uma indutância trifásica variável conectada a uma indutância trifásica constante (externa), considerando também o caso de indutâncias desbalanceadas.

H.Funato (2001) analisa a característica "indutância mútua" trifásica. Propõe o conceito de "indutância anti-mútua" na qual aparece uma força eletromotriz induzida em direção oposta à que existe em uma situação natural.

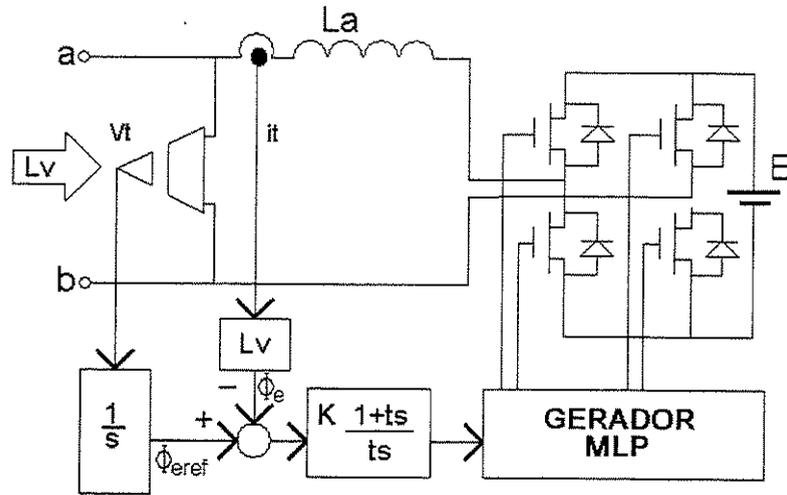


Figura 1.13: Realização básica do VAPAR usando um controlador baseado no fluxo.

1.7 Indutância Variável Bootstrap

D.C.Hamil & M.T.Bina (1999) propõem um novo controlador CA de potência, chamado Indutância Variável Bootstrap (BVI), que pode emular uma indutância variável positiva/negativa. O termo "Redutância" é tratado como um sinônimo para a indutância negativa.

A proposta procura reduzir a complexidade de implementação do VAPAR, em particular evitando a realimentação da corrente, com os conseqüentes problemas de estabilidade.

O princípio de funcionamento do BVI é o "bootstrapping", que se pode descrever como um tipo de realimentação direta. A tensão aplicada V alimenta uma impedância $Z(j\omega)$ em série com o amplificador de tensão de ganho A . A impedância de entrada efetiva é $Z_{in}(j\omega)$:

$$Z_{in}(j\omega) = \frac{V}{I} = \frac{Z(j\omega)}{1 - A(j\omega)} \quad (1.18)$$

Quando $A < 1$, Z_{in} tem o mesmo comportamento de Z mas com magnitude maior.

Quando $A = 1$, $I = 0A$ e a impedância de entrada Z_{in} torna-se infinita. Este princípio é conhecido na eletrônica analógica como "Bootstrapping".

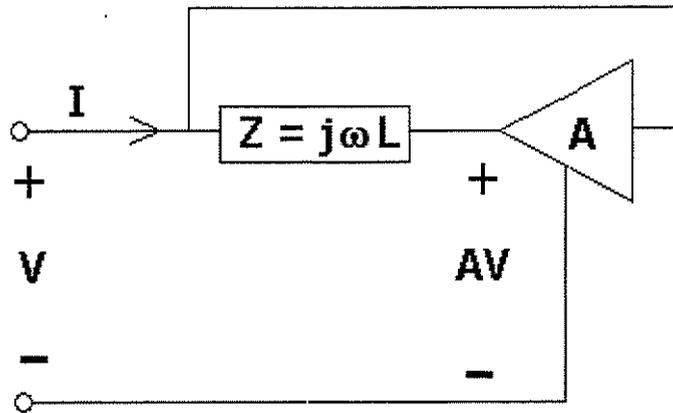


Figura 1.14: Implementação de uma indutância /redutância pelo BVI.

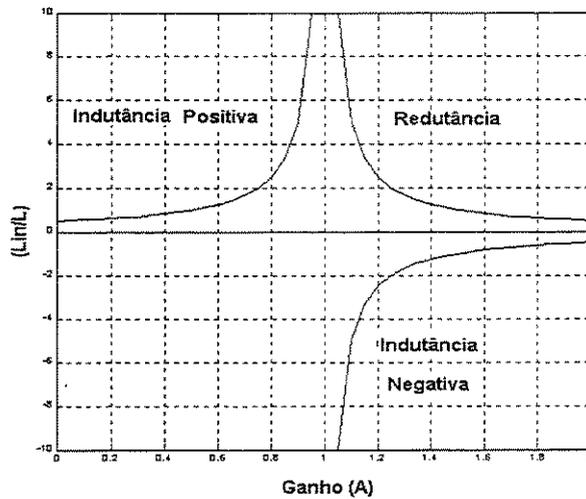


Figura 1.15: Relação entre a indutância de entrada, L_{in} , e a indutância física L em função do ganho A do Amplificador. A redutância positiva é idêntica à indutância Negativa, $\Gamma \equiv -L$

Quando $A > 1$, Z_{in} tem o sinal oposto a Z (conversão a impedância negativa). Desta forma, se fazemos Z indutivo ($Z = j\omega L$), o circuito emula uma impedância redutiva. Variando A , pode-se obter uma ampla faixa de indutância e redutância. Por exemplo se A varia de 0 a 2, L_{in} varia de L a ∞ para $0 \leq A \leq 1$ e $-\infty$ a $-L$ para $1 \leq A \leq 2$, como mostrado na figura 1.15, de acordo com:

$$\frac{L_{in}}{L} = \frac{1}{1 - A} \quad (1.19)$$

Como não há necessidade de realimentação de qualquer variável para o funcionamento do BVI, este é imune a instabilidades. Com respeito às desvantagens, a indutância efetiva L_{in} é sensível a variações em L e em A , também não é possível obter indutância nula, o que é um problema em aplicações em série.

Na prática o amplificador do BVI é implementado através de um inversor MLP, o qual aplica em um dos terminais da impedância Z , com ganho A , a tensão aplicada no outro terminal. O barramento CC é alimentado separadamente.

M.T.Bina & D.C.Hamil (1999), discutem a questão do efeito da frequência de chaveamento na qualidade de tensão produzida pelo amplificador e, conseqüentemente, na corrente.

Os mesmos autores (M.T.Bina & D.C.Hamil, 2000), apresentam uma modelagem através dos valores médios das variáveis de estado, incluindo o efeito dos capacitores do barramento CC (inversor meia-ponte), realizando simulações numéricas.

Posteriormente, M.T.Bina & D.C.Hamil (2001) apresentam estudos dinâmicos do BVI, com o dispositivo operando em série em uma linha de transmissão de energia.

1.8 Síntese direta de reatâncias

A estratégia de síntese de reatâncias não-naturais apresentada nesta tese, denominada de Síntese Direta de Reatâncias (SDR) baseia-se na solução direta da equação do elemento a ser sintetizado. Assim, por exemplo, para um indutor, a tensão a ser produzida pelo inversor deve ter a forma da derivada da corrente por ele. Para sintetizar um capacitor, a tensão deve ser proporcional à integral da corrente.

Observe-se que, por serem sintetizadas tensões, o inversor opera em malha aberta, partindo de uma medição da corrente pelo circuito, a qual será processada a fim de gerar a referência adequada. A figura 1.16, mostra o princípio de operação do conversor SDR, para a síntese de uma indutância negativa.

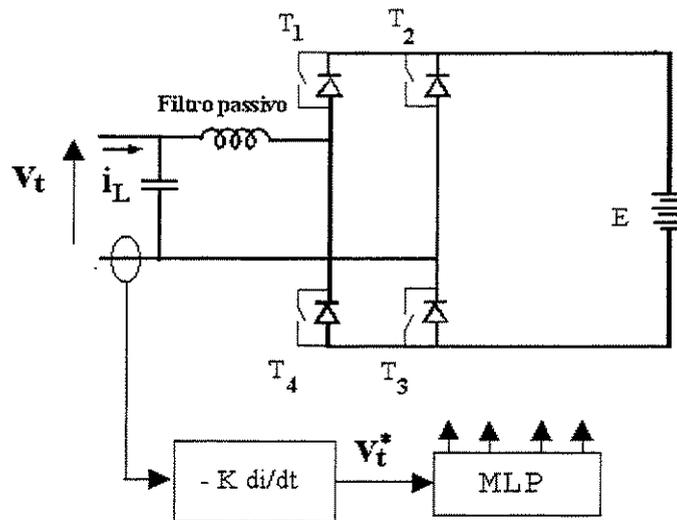


Figura 1.16: *Conversor SDR para síntese de indutância negativa.*

No caso de síntese de indutâncias, a necessidade de derivar-se o sinal da corrente representa um risco à estabilidade do sistema caso a tensão produzida e a referência gerada não estejam adequadamente filtradas.

Considere que o filtro de saída do inversor não reduz de maneira eficaz as eventuais ressonâncias do próprio filtro. Tais componentes de frequência mais elevada apresentarão derivadas de alto valor que, ao servirem de referência de tensão para o inversor, serão ainda mais amplificadas, tornando o sistema instável.

Já para a síntese de capacitâncias este problema é muito menor devido à natural atenuação das componentes de alta frequência devido ao processo de integração do sinal da corrente.

A principal diferença do SDR sobre o VAPAR é o funcionamento do inversor em malha aberta. Em relação ao BVI, a vantagem é a possibilidade de realizar qualquer valor de reatância em torno do zero, sejam eles positivos ou negativos, podendo haver uma variação contínua do valor sintetizado. A variação de uma indutância pode ser feita simplesmente alterando o índice de modulação usado para o comando do inversor (o ganho K , mostrado na figura 1.17). O filtro passabaixas garante a adequada atenuação das componentes devidas à comutação do inversor.

Fazendo este valor alterar-se entre -1 e $+1$, consegue-se fazer a indutância transitar entre um valor máximo positivo e o mesmo valor máximo negativo, passando por zero. Tal valor máximo depende da máxima tensão que seja possível sintetizar, ou

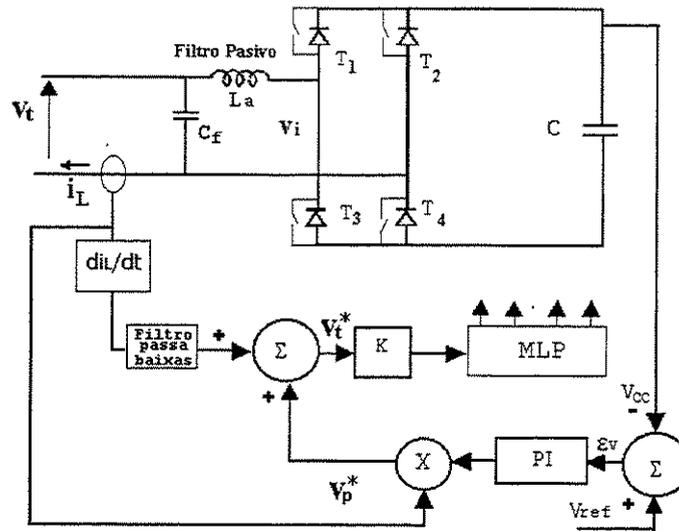


Figura 1.17: *Conversor SDR para síntese de indutância negativa com capacitor no barramento CC.*

seja, depende da tensão do barramento CC. A síntese de uma reatância nula se dá quando a tensão média sintetizada (calculada na frequência fundamental de uma dada aplicação) é nula.

Um comportamento análogo é possível para a síntese de capacitâncias.

Conforme foi apresentado, com o BVI não se consegue uma reatância nula, o que é um inconveniente para sua aplicação em compensação série. Já em aplicações em derivação o BVI é muito conveniente, pois controla diretamente a corrente que circula pelo dispositivo, podendo levar esta corrente a zero.

Para que o SDR, usando um inversor tipo fonte de tensão, opere em derivação é preciso que, dada a tensão no ponto de conexão, se controle a corrente pelo dispositivo. Neste caso é necessário realimentar a corrente e o SDR torna-se estruturalmente igual ao VAPAR.

Uma alternativa para aplicação em derivação seria o uso de um inversor tipo fonte de corrente, no qual, dada a tensão do barramento CA, o inversor seja capaz de produzir uma corrente de acordo com a referência dada. Esta operação também seria feita em malha aberta. Por exemplo, para sintetizar uma indutância negativa, a referência deve ser proporcional à integral da tensão, com sinal invertido.

Assim como nos demais conversores, o barramento CC pode conter uma fonte ou então ser provido apenas de um capacitor. Neste último caso a tensão deve ser controlada,

permitindo a compensação das perdas do inversor. Este controle pode ser feito com a absorção da rede de uma parcela de potência ativa, ou seja, o sinal de referência para o inversor, além da componente $\frac{di}{dt}$ (no caso de síntese de indutância) possui um termo proporcional à própria corrente, garantindo um fluxo de potência ativa pelo inversor.

Assim como foi apresentado para o VAPAR, e que é válido também para o BVI, caso a tensão a ser aplicada pelo dispositivo necessite estar bastante isenta de componentes decorrentes da comutação do inversor, é necessário elevar a ordem do filtro de saída, com a inclusão de um capacitor após o indutor. Dado que normalmente a aplicação possui uma característica predominantemente indutiva, por este capacitor circularão preferencialmente as componentes de alta frequência presentes na corrente.

Este filtro de ordem elevada pode produzir uma ressonância e levar ao surgimento de componentes inesperadas tanto na tensão (que serve de referência para o BVI e para o VAPAR), quanto na corrente (que serve para gerar a referência para o SDR).

A atenuação das ressonâncias deve ser prevista, seja com o uso de filtros com amortecimentos (o que compromete o rendimento do dispositivo), seja com o emprego de alguma técnica de controle da tensão de saída, como, por exemplo, um controle tipo “dead-beat”, (H.Funato & K.Kamiyama, 1999).

1.9 Conclusões

Este capítulo fez uma revisão bibliográfica da evolução conceitual e de implementação associada à síntese de reatâncias por meio de inversores com comutação em alta frequência.

Mostrou-se que o VAPAR, pioneiro nesta área, foi progressivamente aprimorado, desvendando áreas de aplicações e propriedades. Sua capacidade de síntese de indutâncias negativas foi identificada e diversas aplicações puderam ser apontadas. Sua principal limitação refere-se a questões de estabilidade dinâmica, uma vez que seu funcionamento depende da implementação de uma malha de controle da corrente.

O outro dispositivo descrito na literatura, o BVI, é muito conveniente para aplicações em derivação, pois realiza um controle direto da corrente. No entanto, a impossibilidade de sintetizar reatâncias nulas, faz com que sua aplicação em compensação série fique comprometida.

Finalmente foi apresentado o SDR que faz uma síntese direta de tensões, de modo que pode operar em malha aberta, desde que utilize um inversor fonte de tensão. Isto lhe confere estabilidade de funcionamento, desde que o sinal de referência seja

adequadamente tratado. Sua aplicação imediata é em compensação série. Seu uso em compensação em derivação exige uma realimentação de corrente, tornando-se similar ao VAPAR. Alternativamente poder-se-ia utilizar um inversor fonte de corrente, operando em malha aberta.

Capítulo 2

Análise da estabilidade

2.1 Introdução

Este capítulo apresenta análises de estabilidade quando da inserção de dispositivos que sintetizam indutâncias negativas em circuitos elétricos.

Tais estudos são necessários uma vez que a presença destas indutâncias dão origem a sistemas com comportamentos dinâmicos atípicos.

Os casos verificados consideram apenas indutâncias negativas em circuitos com alimentação senoidal por serem estes os que apresentam interesse de aplicação identificados.

2.2 Compensação Série

2.2.1 Circuito básico

A figura 2.1 mostra o circuito usado para a simulação de um circuito elétrico RL série sem compensação. Na figura 2.2 podemos ver que a tensão está adiantada com relação à corrente, verificando assim o comportamento indutivo do circuito.

Os valores utilizados são:

$R1 = 0,5\Omega$, $L1 = 1mH$, $L = 36mH$, e $f = 60Hz$.

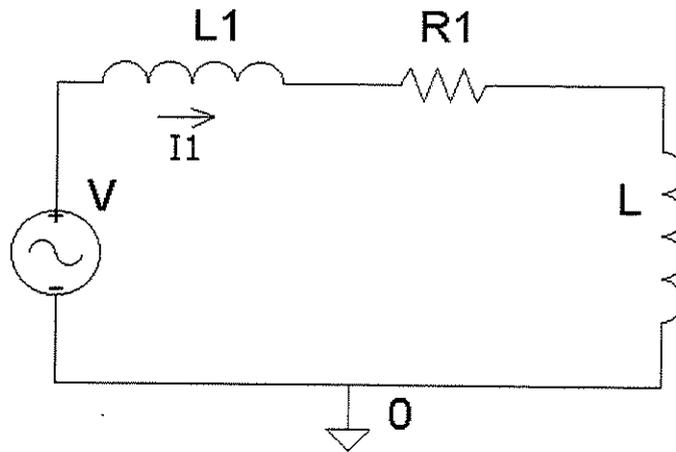


Figura 2.1: Circuito básico para estudo de compensação série.

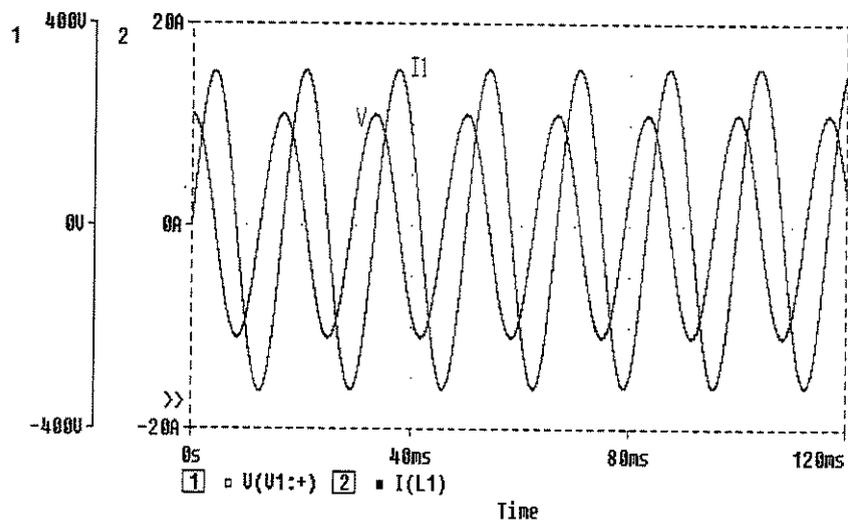


Figura 2.2: Formas de onda do circuito série básico.

2.2.2 Compensação Série usando uma Indutância negativa

A figura 2.3 mostra o circuito anterior agora com compensação série usando uma indutância negativa.

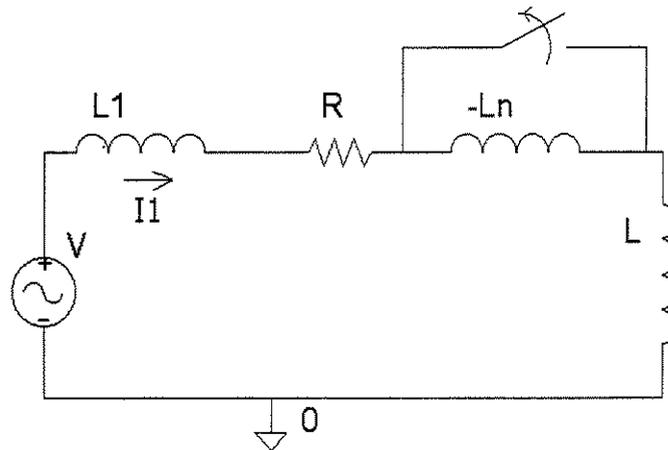


Figura 2.3: Circuito com compensação série usando uma indutância negativa.

A equação do circuito é:

$$v(t) = [L1 + L + (-L_n)] \frac{di_1}{dt} + R i_1 \quad (2.1)$$

Aplicando a transformada de Laplace à equação 2.1, a raiz da equação característica é:

$$s = - \frac{R}{[L1 + L + (-L_n)]} \quad (2.2)$$

Nota-se que para $L_n < L1 + L$, tem-se uma indutância total positiva. A raiz tem parte real negativa e portanto o sistemas é estável.

A figura 2.4 mostra formas de onda da tensão da fonte e da corrente pelo circuito. Inicialmente, sem a indutância negativa, a corrente está atrasada em relação à tensão.

Quando a indutância negativa é colocada no circuito, a defasagem praticamente é nula uma vez que o valor escolhido é -36.9 mH. Ou seja, há uma compensação quase que total da indutância, tornando o circuito praticamente resistivo. Finalmente, quando a indutância negativa se torna dominante, a corrente apresenta um nível CC que tende para infinito indicando uma instabilidade no circuito.

O aumento no valor pico da corrente quando se anula a indutância deve-se à drástica diminuição da impedância total do circuito.

2.3 Compensação Paralela

2.3.1 Circuito básico

Na figura 2.5 mostra-se o circuito e na figura 2.6, o resultado da simulação em que uma resistência e uma indutância estão conectadas em paralelo a uma fonte de tensão. A tensão e a corrente da fonte apresentam uma defasagem, como esperado.

Os valores usados são:

$$R = 11\Omega, L = 36mH, \text{ e } f = 60\text{Hz}.$$

2.3.2 Compensação com indutância negativa

A figura 2.7, mostra o circuito básico ao qual foi acrescentada uma indutância negativa em paralelo.

A representação de estado do circuito da figura 2.7 é:

$$\begin{bmatrix} \frac{di_n}{dt} \\ \frac{di}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} i_n \\ i \end{bmatrix} + \begin{bmatrix} \frac{1}{(-L_n)} \\ \frac{1}{L} \end{bmatrix} v$$

Tomando-se como variável de saída a corrente da fonte, tem-se:

$$i_1(t) = \begin{bmatrix} 1 & 1 \end{bmatrix} \begin{bmatrix} i_n \\ i \end{bmatrix} + \frac{v}{R}$$

A função de transferência entre a saída (I_1) e a entrada (V) é:

$$G(s) = \frac{s \{sL(-L_n) + R[L + (-L_n)]\}}{s^2LR(-L_n)}$$

Note-se que existe um cancelamento entre um zero e um pólo, ambos na origem, o que simplifica a função de transferência.

$$G(s) = \frac{s - R \left[\frac{L-L_n}{LL_n} \right]}{sR}$$

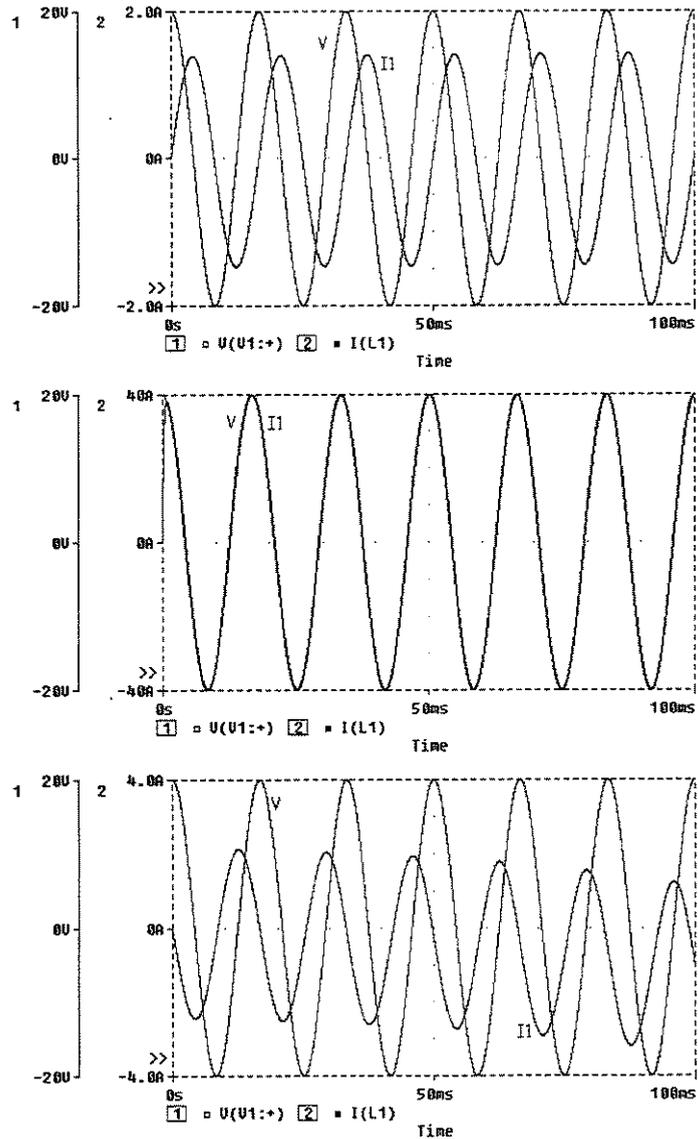


Figura 2.4: Formas de onda com compensação série usando uma indutância negativa. Acima: $L_n=0$. Centro: $L_n=-36.9\text{mH}$. Abaixo: $L_n=-60\text{mH}$.

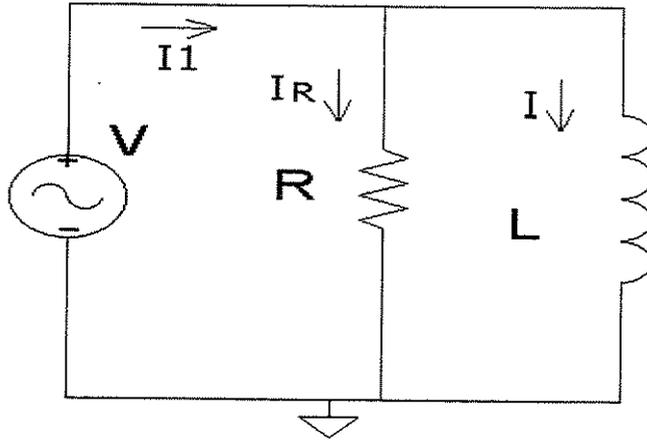


Figura 2.5: Circuito básico para estudo de compensação em paralelo.

O valor da raiz do numerador de $G(s)$ será negativo se $L_n > L$.

Caso contrário, o sistema apresentará um comportamento de fase não - mínima no qual a variação inicial na corrente ocorre em sentido oposto a que ocorre quando o sistema tende ao regime permanente.

A figura 2.8 mostra esse fato para uma entrada quadrada. Os valores usados na simulação são $R = 100\Omega$, $L = 26mH$ e $L_n = 13mH$.

Note-se que para $L_n = 13mH$, a variação inicial da corrente se dá no sentido oposto daquele que ocorre quando a tensão se estabiliza.

A equação que descreve a corrente da fonte é:

$$i_1(t) = i(0) + i_1(0) + \frac{1}{L} \int_0^t v(t)dt - \frac{1}{L_n} \int_0^t v(t)dt + \frac{v(t)}{R} \quad (2.3)$$

Quando a tensão for senoidal, partindo de condições iniciais nulas, tanto a corrente da fonte quanto a corrente pelos indutores podem apresentar um nível CC, proveniente dos termos integrais.

Este nível medio será nulo apenas se em $t=0$ a tensão estiver com fase $\pm 90^\circ$. A figura 2.9 mostra esta situação para três casos: sem L_n , $L_n = L$ e $L_n < L$.

No primeiro caso a corrente está atrasada em relação à tensão, como esperado. Quando o valor de indutância negativa iguala o da indutância positiva, o circuito torna-se puramente resistivo. Quando a corrente pelo ramo com indutância negativa for maior

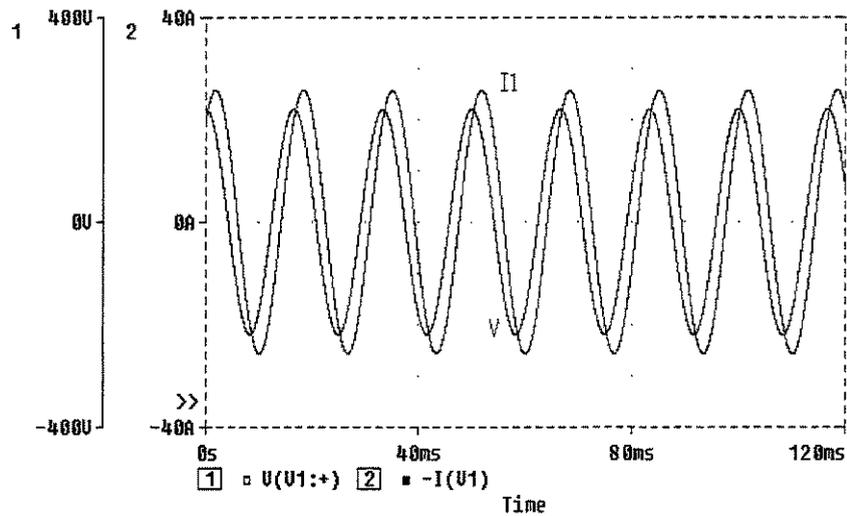


Figura 2.6: Formas de onda de tensão e corrente na fonte.

do que a corrente pela indutância positiva, a corrente da fonte apresenta-se adiantada em relação à tensão. Nota-se assim a possibilidade de fazer uma compensação do fator de potência de uma carga usando indutância negativa. Este assunto será aprofundado em capítulos posteriores.

A figura 2.10 mostra o resultado referente a esta última situação, mas com a tensão de entrada com fase inicial nula. Observe que surge um nível CC em cada uma das correntes.

Isto implica que o circuito responsável por introduzir a indutância negativa deve ser capaz de forçar a corrente média a assumir um nível CC nulo. Caso isto não ocorra, na presença de dispositivos de característica indutiva, com núcleo ferromagnético, podem ocorrer importantes efeitos de saturação.

Este assunto, e a respectiva implementação de uma proposta de controle do nível CC de corrente, será tratado em capítulo posterior.

Concluindo este estudo de circuitos em que os dipolos estão todos conectados em paralelo a uma fonte de tensão, verifica-se que para entradas senoidais os circuitos são sempre estáveis, embora possam apresentar uma corrente média diferente de zero.

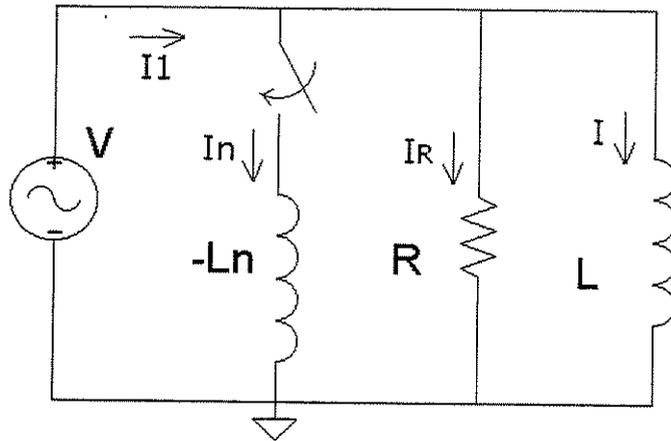


Figura 2.7: Circuito com indutância negativa em paralelo.

2.3.3 Indutância negativa em paralelo a um circuito R-L série

A figura 2.11 mostra um circuito no qual uma indutância negativa é colocada em paralelo a um ramo R-L série.

A representação de estado do circuito da figura é:

$$\begin{bmatrix} \frac{di_n}{dt} \\ \frac{di}{dt} \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_n \\ i \end{bmatrix} + \begin{bmatrix} \frac{1}{(-L_n)} \\ \frac{1}{L} \end{bmatrix} v$$

A função de transferência entre a saída (I_1) a entrada (V) é:

$$G(s) = \frac{s(L_n - L) - R}{s(sLL_n + RL_n)}$$

O valor da raiz de numerador de $G(s)$ será negativo se $L_n < L$.

Quando a tensão de entrada for senoidal, partindo de condições iniciais nulas, como no caso anterior, tanto a corrente da fonte quanto a corrente pelo indutor L_n podem apresentar um nível CC.

Este nível médio será nulo apenas se em $t=0$ a tensão estiver com fase $\pm 90^\circ$. A figura 2.12 mostra esta situação para dois casos: sem L_n e $L_n > L$. O ramo com indutância negativa é conectado ao final de um ciclo.

No primeiro caso a corrente está atrasada em relação à tensão, como esperado. Como o valor de indutância negativa é menor que o da indutância positiva, a corrente pela fonte muda de fase e fica adiantada em relação à tensão.

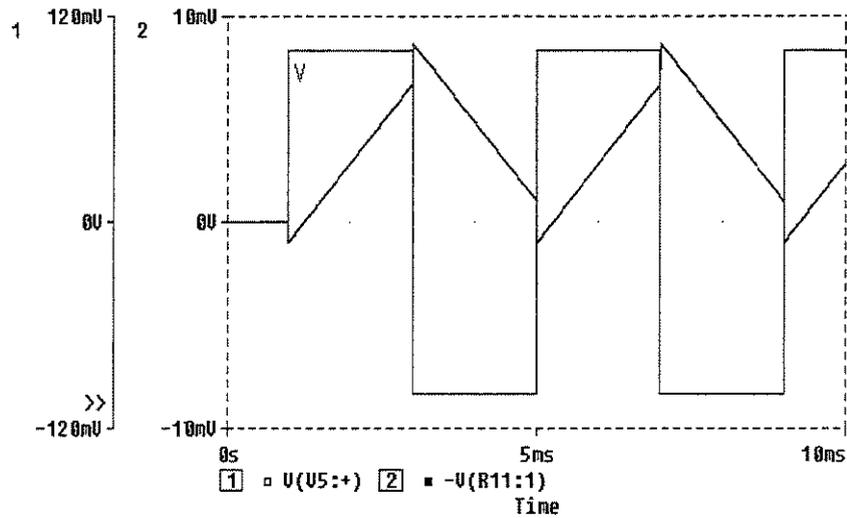


Figura 2.8: Formas de onda evidenciando o comportamento de fase não-mínima do sistema quando a indutância negativa é dominante.

A figura 2.13 mostra o resultado referente à situação com a tensão de entrada com fase inicial nula. Observe que surge um nível CC em todas as correntes.

Isto implica que o circuito responsável por produzir a indutância negativa deve ser capaz de forçar a corrente média a assumir um nível CC nulo. Caso isto não ocorra, na presença de dispositivos de característica indutiva, com núcleo ferromagnético, podem ocorrer importantes efeitos de saturação.

Verifica-se que para entradas senoidais os circuitos são sempre estáveis, embora possam apresentar uma corrente média diferente de zero.

2.3.4 Compensação em paralelo aplicada a fonte não ideal

A figura 2.14 mostra um circuito para a compensação paralela usando uma indutância negativa, no qual a fonte apresenta uma impedância em série.

Pode-se escrever a seguinte equação para o circuito:

$$v = Rl i_1 + L1 \frac{di_1}{dt} + \left[\frac{-L L_n}{L - L_n} \right] \frac{di_1}{dt} \quad (2.4)$$

Desenvolvendo a equação anterior:

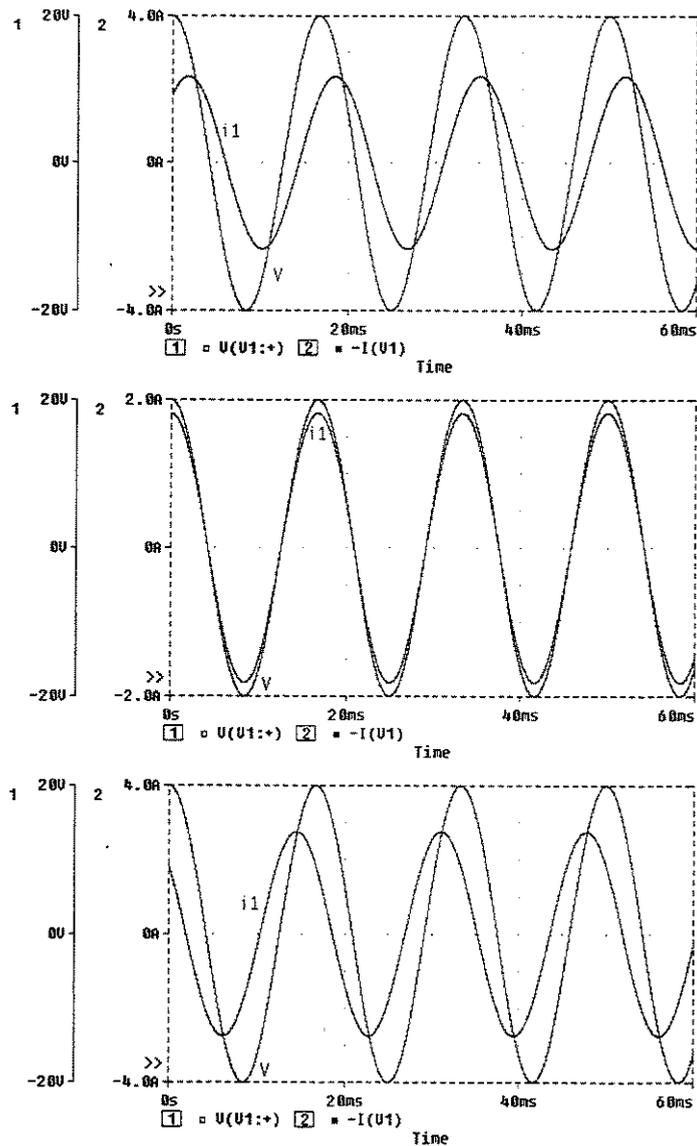


Figura 2.9: Forma de onda da compensação paralela usando indutância negativa: acima sem L_n , meio: com $L_n = L$ e abaixo: com $L_n > L$.

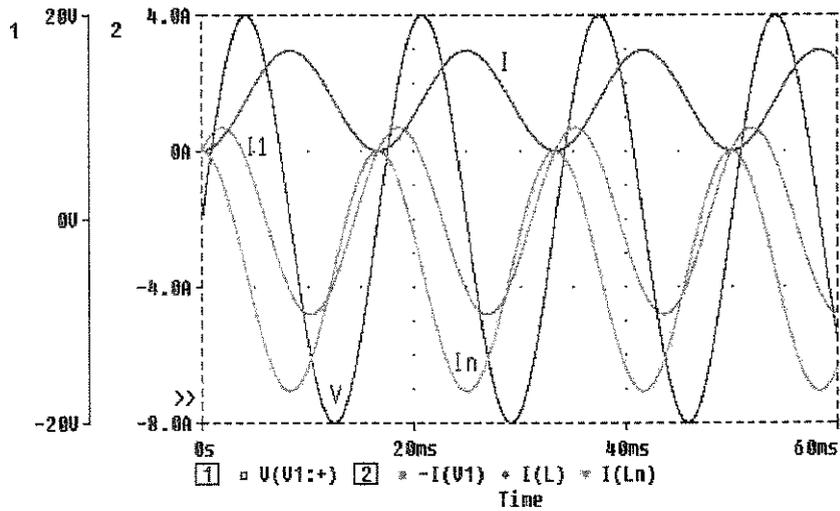


Figura 2.10: Forma de onda da compensação paralela usando indutância negativa com a tensão de entrada com fase inicial nula.

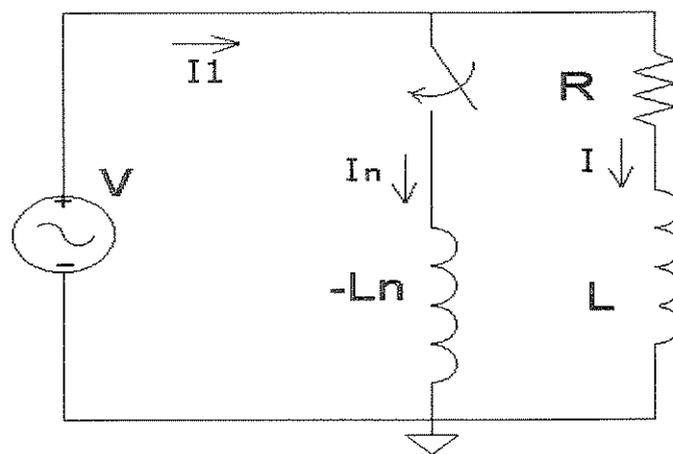


Figura 2.11: Circuito com indutância negativa em paralelo a um circuito R-L série.

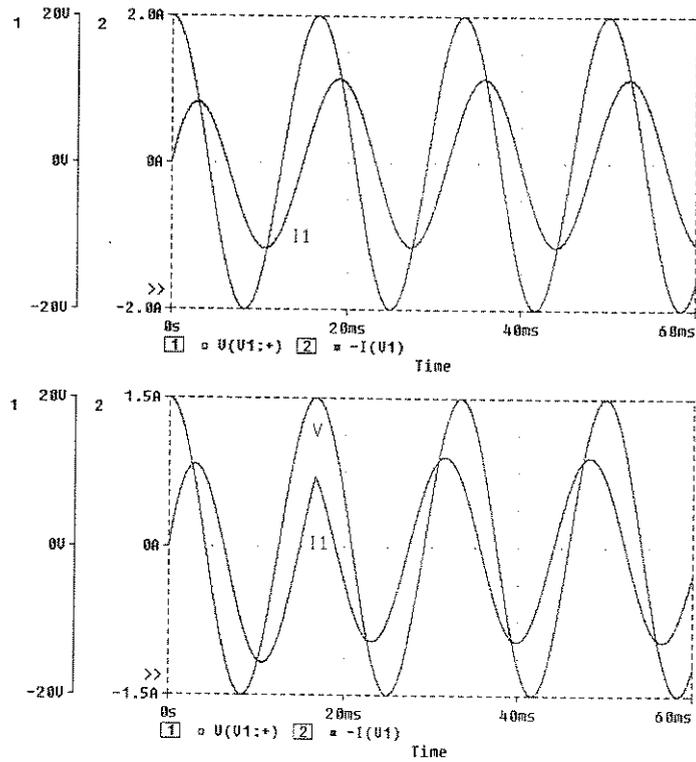


Figura 2.12: Formas de onda para o circuito da figura 2.11; acima: sem L_n , abaixo: com $L_n > L$.

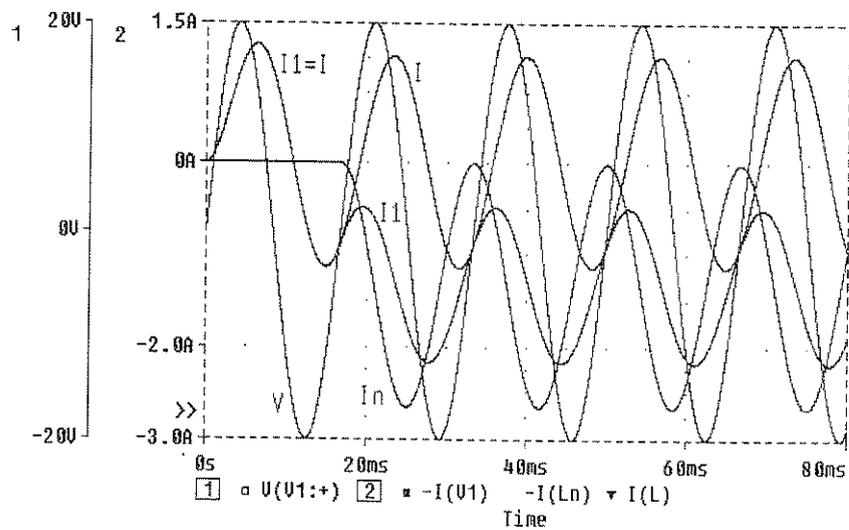


Figura 2.13: Forma de onda da compensação paralela usando indutância negativa com a tensão de entrada com fase inicial nula.

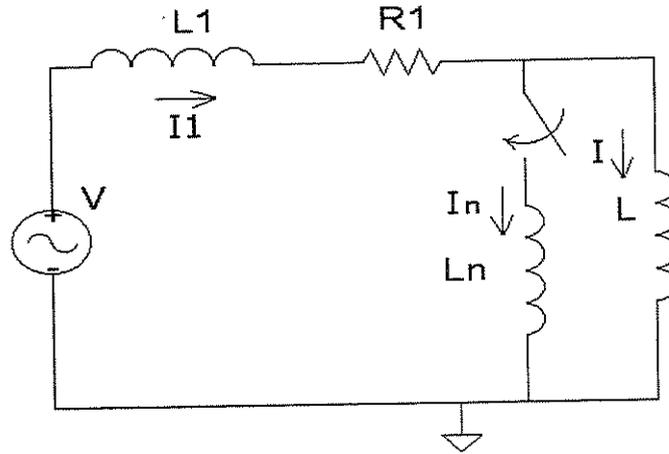


Figura 2.14: Circuito para a compensação paralela aplicado a fonte não ideal.

$$\frac{di_1}{dt} = -R1i_1 \left[\frac{L + (-L_n)}{LL1 + L1(-L_n) + L(-L_n)} \right] + v \left[\frac{L + (-L_n)}{LL1 + L1(-L_n) + L(-L_n)} \right] \quad (2.5)$$

A compensação é feita controlando-se o valor da indutância virtual L_n , a qual pode assumir valores positivos ou negativos.

L , $L1$ e $R1$ são sempre positivas.

Aplicando a transformada de Laplace, é obtida a equação característica:

$$s(LL1 + L(-L_n) + L1(-L_n)) + R1(L + (-L_n)) = 0 \quad (2.6)$$

A raiz desta equação é:

$$s = R1 \left[\frac{(L_n) - L}{LL1 + L(-L_n) + L1(-L_n)} \right] \quad (2.7)$$

Se o numerador e o denominador da equação (2.7) tiverem o mesmo sinal, a raiz será positiva e o circuito será instável. Há duas situações possíveis:

$$[(L_n) - L] > 0 \text{ e } L1L + (-L_n)(L1 + L) > 0, \text{ ou}$$

$$[(L_n) - L] < 0 \text{ e } L1L + (-L_n)(L1 + L) < 0$$

Logo, das expressões anteriores

$L_n > L$ e $\frac{L1L}{L1+L} > L_n$, é impossível satisfazer simultaneamente.

$L_n < L$ e $L_n > \frac{L1L}{L1+L}$ é a faixa da instabilidade.

Se a raiz for negativa o sistema será estável, o que conduz a:

$$L_n > L \text{ e } L_n > \frac{L1L}{L1+L}$$

$$L_n < \frac{L1L}{L1+L} \text{ e } L_n < L$$

Logo, $L_n > L$ ou $L_n < \frac{L1L}{L1+L}$ são condições suficientes para que a corrente da fonte seja finita.

Também neste caso, em regime senoidal, pode surgir uma corrente média diferente de zero, a qual deverá ser cancelada por meio de uma ação de controle que atue no conversor que produz a indutância negativa.

Na figura 2.15 apresenta-se o comportamento da raiz da equação característica versus a indutância de compensação, para $R1 = 0,5\Omega$, $L1 = 1mH$, $L = 36mH$.

Dado o equacionamento desenvolvido, a atuação como indutância negativa ocorre quando $L_n > 0$.

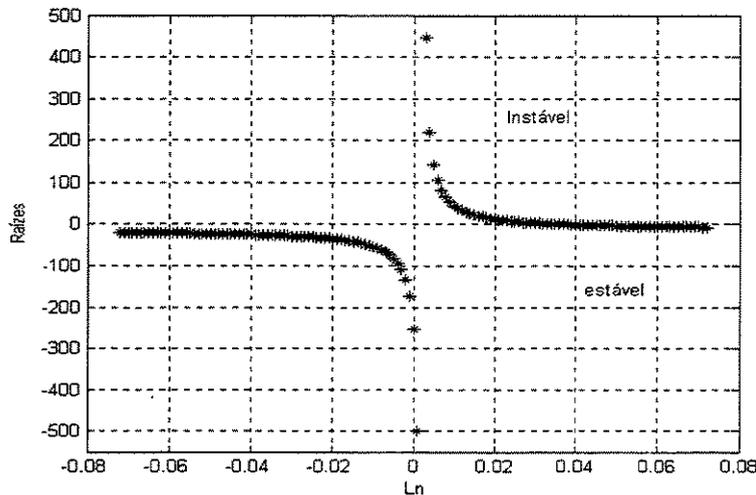


Figura 2.15: Raiz da equação característica versus indutância de compensação.

Observa-se que a raiz tem parte real negativa quando L_n for maior do que L ($L_n > 36mH$) ou quando for menor que o valor correspondente ao paralelo entre $L1$ e L .

Este segundo caso aparentemente não tem interesse prático, pois se $L1$ apresenta baixo valor, L_n será muito pequena e representaria quase que um curto-circuito sobre

L.

A figura 2.16 mostra o resultado da simulação do circuito analisado onde podemos ver que antes de atuar a chave, e colocar a indutância negativa em paralelo com L, $I_1 = I$.

Quando uma indutância com valor -37mH é inserida no circuito, existe uma compensação quase total do efeito da indutância L. A corrente da fonte cai drasticamente.

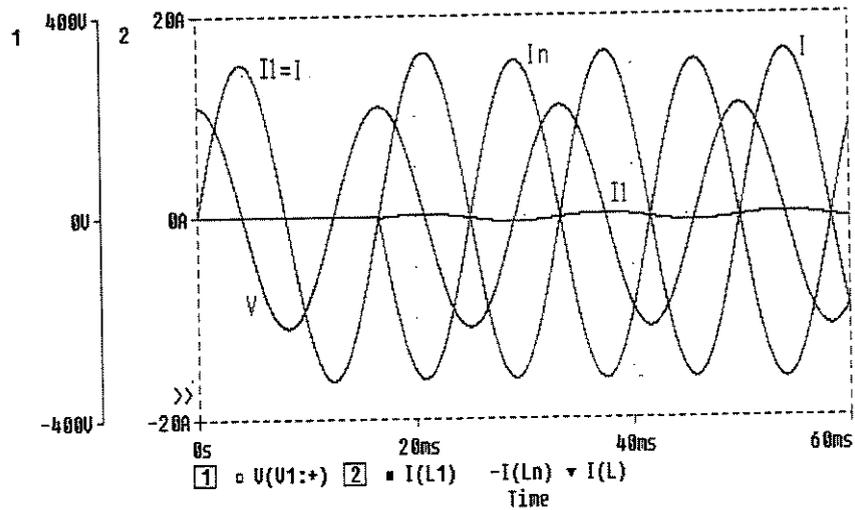


Figura 2.16: Forma de onda no circuito na figura 2.13.

2.3.5 Fonte não ideal alimentando circuito R-L paralelo.

A figura 2.17 mostra um circuito no qual se considera uma impedância em série com a fonte, incluindo também um ramo resistivo.

A representação em variáveis de estado deste circuito é:

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di}{dt} \\ \frac{di_n}{dt} \end{bmatrix} = \begin{bmatrix} -\left(\frac{R+R_1}{L_1}\right) & \frac{R}{L_1} & \frac{R}{L_1} \\ \frac{R}{L} & -\frac{R}{L} & -\frac{R}{L} \\ \frac{R}{(-L_n)} & -\frac{R}{(-L_n)} & -\frac{R}{(-L_n)} \end{bmatrix} \begin{bmatrix} i_1 \\ i \\ i_n \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \\ 0 \end{bmatrix} v$$

Aplicando a transformada de Laplace à expressão anterior é obtida a equação característica:

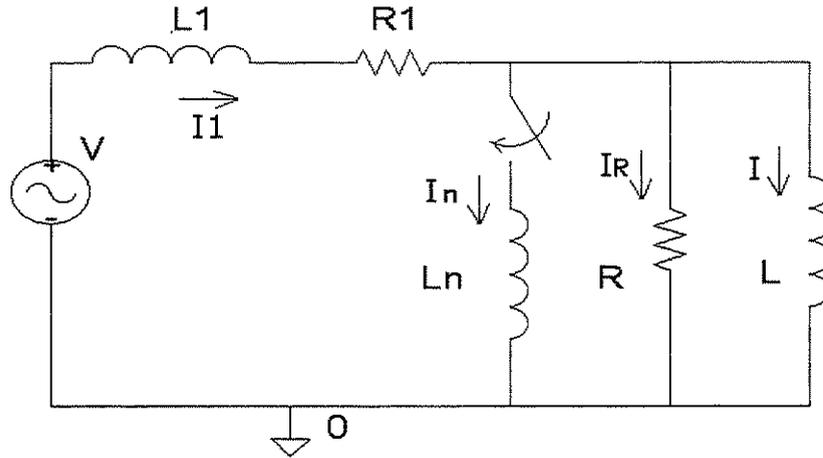


Figura 2.17: Circuito incluindo impedância em série com a fonte.

$$s^3 + s^2 \left[\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{-L_n} \right] + s \left[\frac{RR1}{LL1} + \frac{RR1}{L1(-L_n)} \right] = 0 \quad (2.8)$$

Simplificando:

$$s^2 + s \left[\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{-L_n} \right] + \left[\frac{RR1}{LL1} + \frac{RR1}{L1(-L_n)} \right] = 0 \quad (2.9)$$

As raízes não nulas são:

$$s = - \left[\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{(-L_n)} \right] \pm \sqrt{\left[\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{-L_n} \right]^2 - \frac{4RR1}{L1} \left[\frac{1}{L} + \frac{1}{(-L_n)} \right]} \quad (2.10)$$

O sistema será estável quando a parte real das raízes for negativa, ou seja:

$$\left(\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{(-L_n)} \right) > \sqrt{\left(\frac{R}{L} + \frac{R1}{L1} + \frac{R}{L1} + \frac{R}{-L_n} \right)^2 - 4 \frac{RR1}{L1} \left(\frac{1}{L} + \frac{1}{(-L_n)} \right)}$$

Uma das raízes sempre terá parte real negativa, enquanto a outra tem o comportamento mostrado na figura 2.18 para os valores de $L1 = 1mH$, $R1 = 0,5\Omega$, $L = 36mH$, e $R = 11\Omega$. Pode-se demonstrar que as raízes sempre serão reais.

Novamente neste caso as raízes não nulas terão parte real negativa quando $L_n > L$ ou quando $L_n < \frac{LL_1}{L+L_1}$.

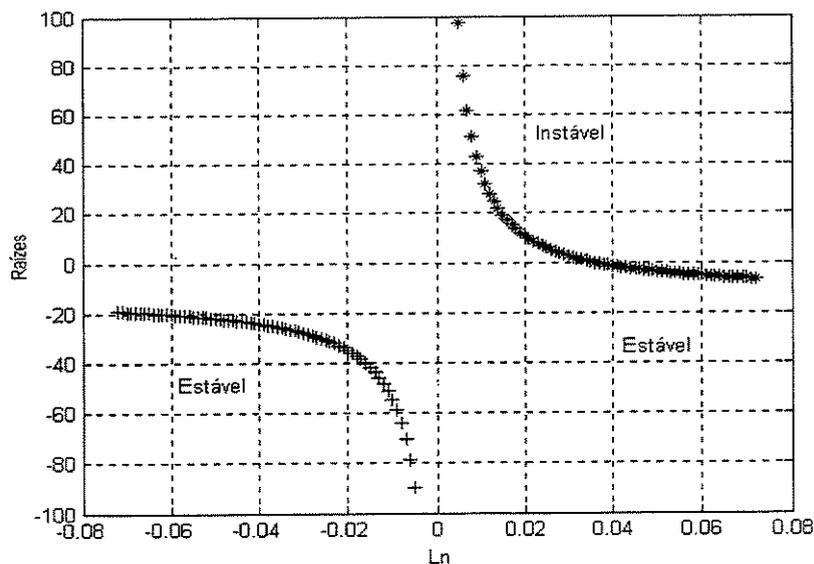


Figura 2.18: *Comportamento de uma das raízes da equação característica versus Indutância de compensação.*

As mesmas considerações feitas na situação anterior (sem a inclusão do resistor R) são válidas.

Diferentemente do caso em que se considera uma fonte ideal, quando existir uma impedância em série com a fonte, não é possível fazer uma “sobre-compensação”, ou seja, fazer com que a corrente da fonte fique adiantada em relação à tensão.

No presente caso, o fator de potência pode tender à unidade, mas sempre com característica indutiva.

A figura 2.19 mostra a resposta do circuito onde temos que a tensão da fonte e a corrente I_1 , antes da atuação da chave que coloca a indutância negativa em paralelo à carga, apresentam uma defasagem. Depois da atuação da chave, ficam praticamente em fase pois foi usada uma indutância de -36mH.

2.3.6 Indutância negativa em paralelo a um circuito série R-L.

A figura 2.20 mostra um circuito semelhante ao anterior mas apenas com uma resistência em série com a fonte. A representação em variáveis de estado é:

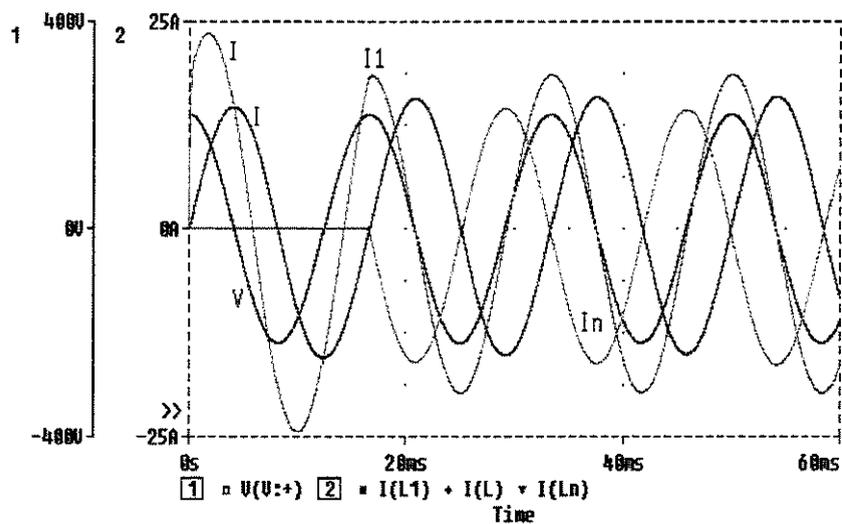


Figura 2.19: Resposta da simulação para a compensação usando uma indutância negativa em paralelo a um circuito R paralelo L.

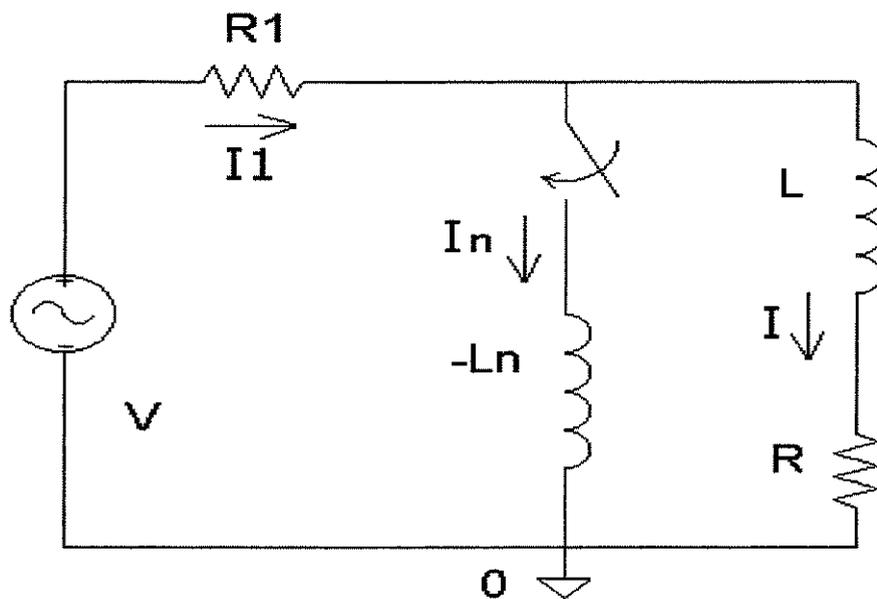


Figura 2.20: Circuito com indutância negativa em paralelo a um circuito série R-L e fonte não ideal.

$$\begin{bmatrix} \frac{di_n}{dt} \\ \frac{di}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-R1}{(-L_n)} & \frac{-R1}{(-L_n)} \\ \frac{-R1}{L} & \frac{-(R1+R)}{L} \end{bmatrix} \begin{bmatrix} i_n \\ i \end{bmatrix} + \begin{bmatrix} \frac{1}{(-L_n)} \\ \frac{1}{L} \end{bmatrix} v$$

A partir desta expressão, como nos casos anteriores, encontra-se a equação característica:

$$s^2 + s \left[\frac{R1}{(-L_n)} + \frac{(R+R1)}{L} \right] + \frac{R1R}{L(-L_n)} = 0 \quad (2.11)$$

cujas raízes são:

$$s = - \left[\frac{R1}{(-L_n)} + \frac{(R1+R)}{L} \right] \pm \sqrt{\left[\frac{R1}{(-L_n)} + \frac{(R1+R)}{L} \right]^2 - \frac{4R1R}{L(-L_n)}} \quad (2.12)$$

Para que as raízes apresentem parte real negativa é necessário satisfazer simultaneamente as duas restrições:

$$- \frac{R1}{L_n} + \frac{(R1+R)}{L} > 0 \quad \text{e} \quad \frac{4R1R}{L(-L_n)} > 0$$

Esta segunda restrição só é verdadeira quando a indutância colocada no circuito for positiva. O uso de uma indutância negativa leva a uma situação instável, pois uma das raízes sempre tem parte real positiva, como se observa na figura 2.21.

A figura 2.22 mostra o resultado da simulação para o circuito analisado.

Nota-se que a corrente no ramo RL tem nível médio constante. No entanto, a corrente pela indutância negativa e pela fonte tem um crescimento contínuo.

Em principio é possível estabilizar o sistema por meio de uma ação de controle sobre o conversor que produz a indutância negativa, como se verá em capítulo posterior.

2.3.7 Compensação de um circuito série R-L e fonte não ideal

A figura 2.23 mostra o circuito considerado, cuja representação em variáveis de estado é:

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di}{dt} \\ \frac{di_n}{dt} \end{bmatrix} = \begin{bmatrix} \frac{R1(-L_n)LL1+R1(\alpha)}{\alpha L1} & \frac{-RL1(-L_n)}{R(L1-\alpha)} & 0 \\ \frac{-R1}{\alpha} & \frac{L\alpha}{RL1} & 0 \\ \frac{-R1}{\alpha} & \frac{RL1}{\alpha} & 0 \end{bmatrix} \begin{bmatrix} i_1 \\ i \\ i_n \end{bmatrix} + \begin{bmatrix} \frac{1}{\alpha} \\ \frac{1}{\alpha} \\ \frac{1}{\alpha} \end{bmatrix} v$$

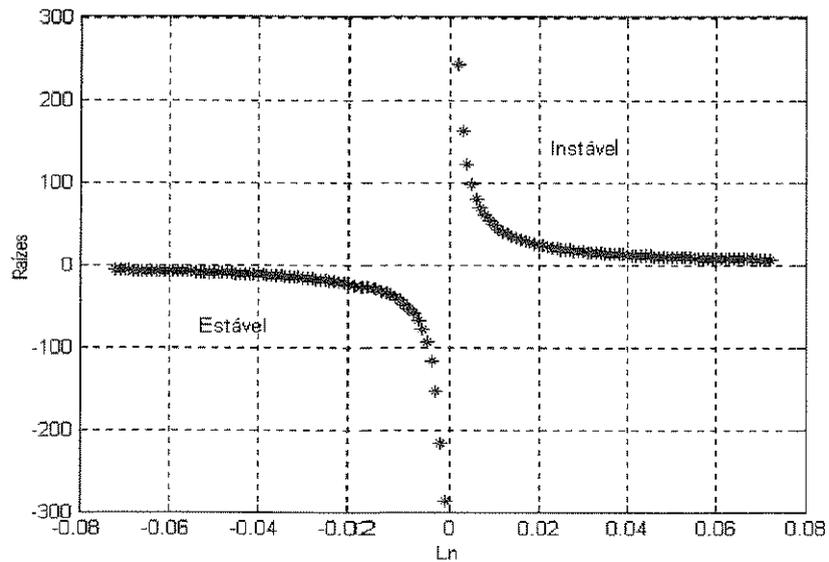


Figura 2.21: Parte real de uma das raízes da equação característica em função da indutância de compensação.

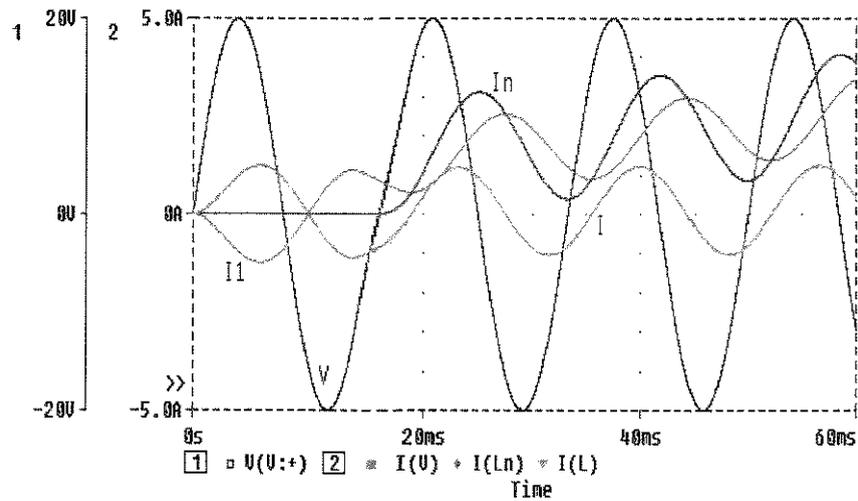


Figura 2.22: Resposta da compensação usando uma indutância negativa em paralelo a um circuito R-L série, com fonte não ideal.

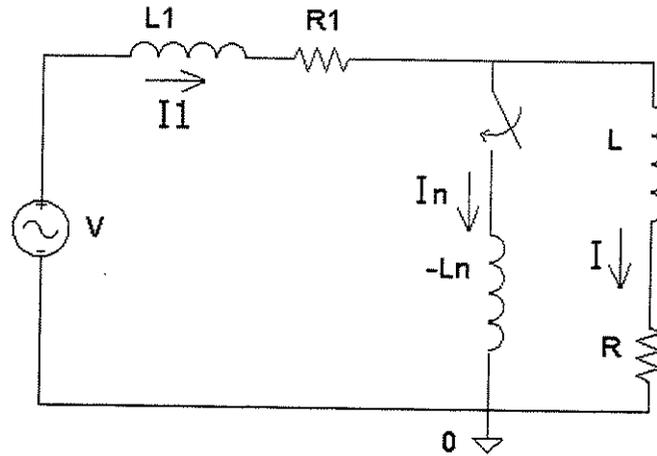


Figura 2.23: Circuito com indutância negativa em paralelo a um circuito série R-L, com fonte não ideal.

onde: $\alpha = [LL1 + (-L_n)(L + L1)]$

A partir desta expressão, como nos casos anteriores, encontra-se a equação característica:

$$s^3 + s^2 \left[\frac{R1^2 L}{L1\alpha} - \frac{RL1(-L_n)}{\alpha} + \frac{R}{L} \right] + s \left[\frac{R1R}{LL1} - \frac{R1R(-L_n)}{\alpha} - \frac{RR1^2(-L_n)L}{(\alpha)^2} + \frac{R1^2 R}{L1\alpha} - \frac{(-L_n)^2 RR1L}{\alpha} \right] = 0 \quad (2.13)$$

A figura 2.24 mostra o comportamento da parte real das raízes da equação característica. Uma destas é negativa para qualquer valor de L_n . A outra, no entanto, é positiva para valores de $L_n > \frac{L1L}{L1+L}$.

A figura 2.25 mostra o resultado da simulação para o circuito analisado. No primeiro caso, usando uma indutância de -40mH, o sistema é instável. Fazendo $L_n = -5mH$, o sistema torna-se estável ($L1 = 10mH$, $L = 36mH$).

Conforme já foi dito, esta situação, em geral, não é de aplicação prática pois resulta em uma corrente muito elevada na fonte.

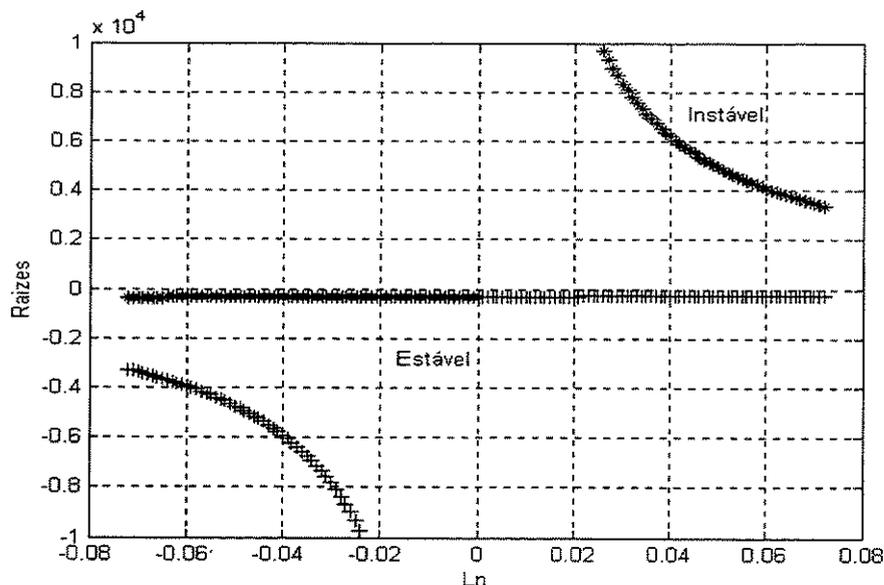


Figura 2.24: Parte real das raízes da equação característica em função da indutância de compensação.

2.3.8 Indutância negativa em série com resistência negativa

Conforme foi visto no capítulo 1, a implementação de uma indutância negativa, para aplicações em derivação, é bem realizada pelo BVI. O BVI utiliza uma indutância (positiva) em seu acoplamento com a rede. Esta indutância possui uma resistência série devido ao enrolamento, como mostra a figura 2.26. Isto significa que, ao se sintetizar uma indutância negativa, inevitavelmente também se insere uma resistência negativa.

O estudo que se segue analisa o efeito da presença de uma resistência negativa em série com a indutância negativa, tomando por base o circuito com fonte não ideal, o qual foi identificado como sendo sempre instável.

A representação em variáveis de estado é:

$$\begin{bmatrix} \frac{di_n}{dt} \\ \frac{di}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-[R1+(-R_n)]}{(-L_n)} & \frac{-R1}{(-L_n)} \\ \frac{-R1}{L} & \frac{-(R+R1)}{L} \end{bmatrix} \begin{bmatrix} i_n \\ i \end{bmatrix} + \begin{bmatrix} \frac{1}{(-L_n)} \\ \frac{1}{L} \end{bmatrix} v$$

A partir desta expressão encontra-se a equação característica:

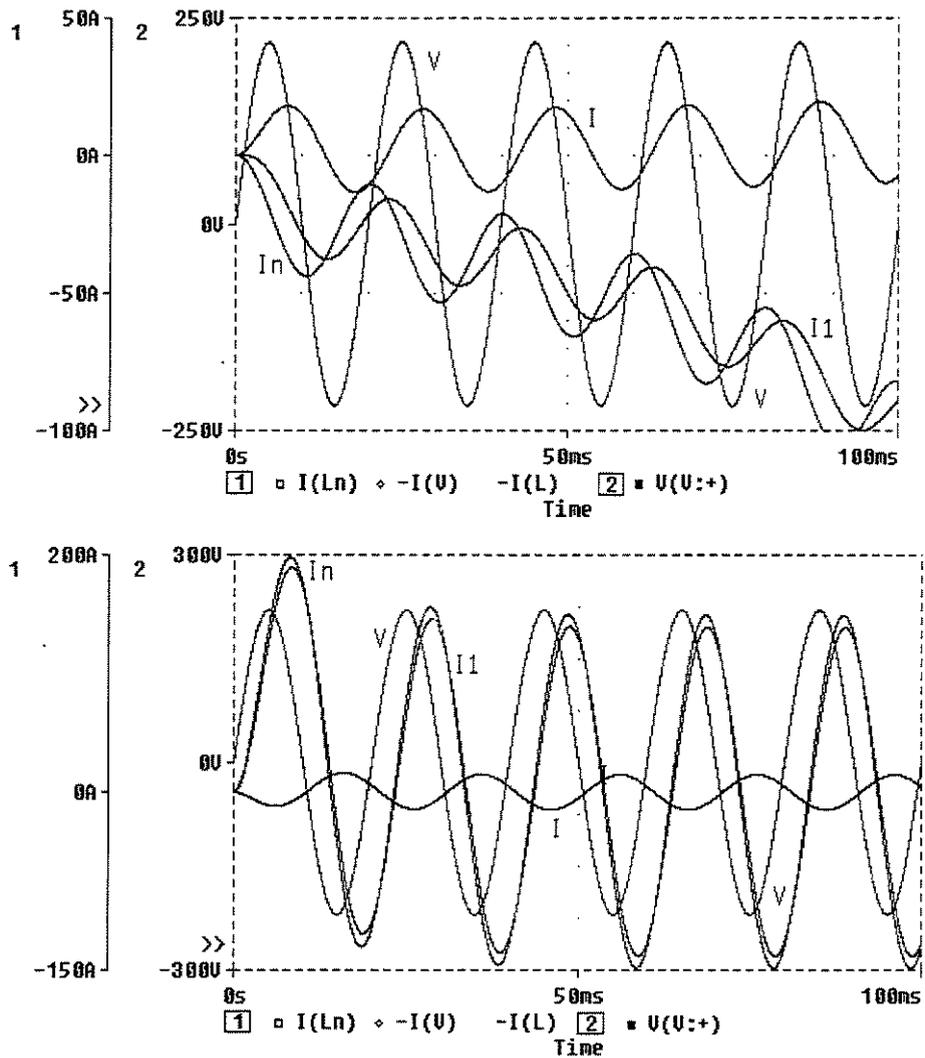


Figura 2.25: Resposta da compensação paralela usando uma indutância em paralelo a um circuito série RL e fonte não ideal.

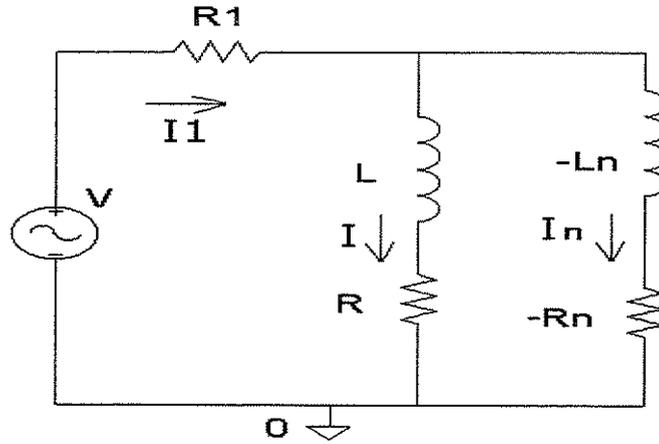


Figura 2.26: Circuito com indutância negativa e $(-R_n)$ em série, em paralelo a um circuito série R - L e fonte não ideal.

$$s^2 + s \left[\frac{R1 + (-R_n)}{(-L_n)} + \frac{R + R1}{L} \right] + \left[\frac{RR1 + R1(-R_n) + R(-R_n)}{(-L_n)L} \right] \quad (2.14)$$

Cujas raízes são:

$$s = - \left[\frac{R1 + (-R_n)}{(-L_n)} + \frac{R + R1}{L} \right] \pm \sqrt{\left[\frac{R1 + (-R_n)}{(-L_n)} + \frac{R + R1}{L} \right]^2 - \frac{4[RR1 + R1(-R_n) + R(-R_n)]}{(-L_n)L}} = 0 \quad (2.15)$$

Se $R1 \neq 0$:

$$-\frac{R}{L_n} + \frac{R_n}{L_n} + \frac{R}{L} + \frac{R1}{L} > 0$$

Implica que:

$$\frac{R + R1}{L} > \frac{R - R_n}{L_n}$$

Na faixa em que $L_n \geq L$ esta desigualdade sempre é satisfeita. A outra restrição é:

$$R_n(R + R1) > RR1$$

Que implica:

$$R_n > \frac{RR1}{R1 + R}$$

Esta é uma condição necessária para a estabilidade do circuito.

A figura 2.27 mostra a parte real das raízes em função da resistência R_n .

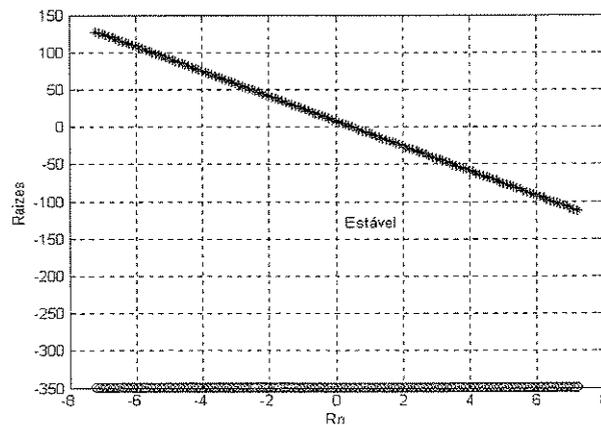


Figura 2.27: Parte real das raízes da equação característica em função da R_n .

A figura 2.28 mostra as formas de onda da simulação para o circuito analisado. Na parte superior só com indutância negativa (sistema instável), na parte inferior com indutância e resistência negativas (sistema estável).

Verifica-se que a resistência negativa contribui para a estabilidade do sistema. Este mesmo efeito contribui, nos circuitos com fonte ideal, para o desaparecimento do nível CC na corrente do BVI.

2.4 Compensação Série em Linhas de Transmissão

Serão estudados a seguir circuitos de ordem mais elevada, incluindo capacitâncias. Um caso típico é o que envolve a compensação série de linhas de transmissão. M.T.Bina

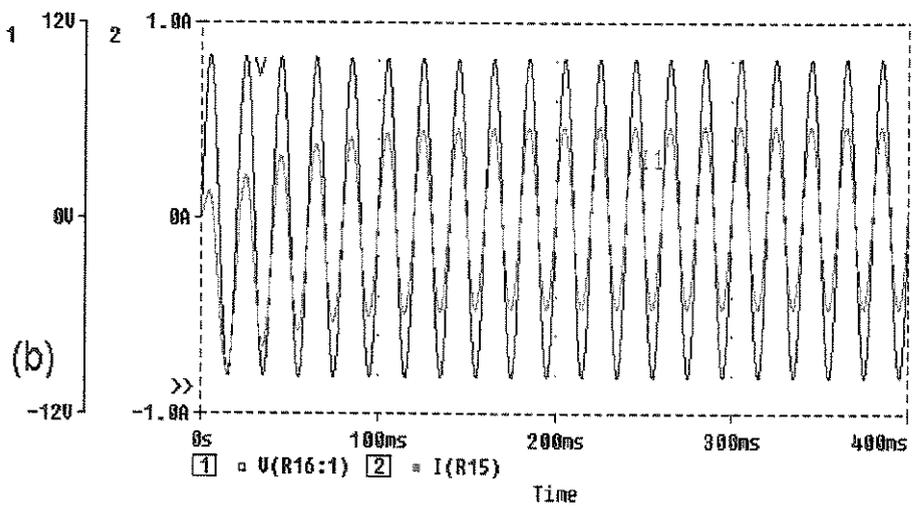
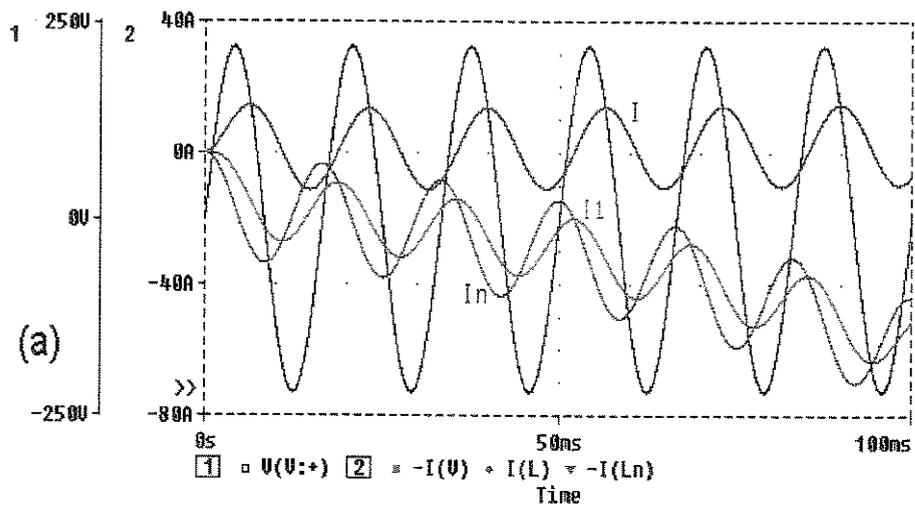


Figura 2.28: Efeitos de R_n . (a) Formas de onda sem a presença de R_n . (b) Formas de onda com a presença de R_n

& D.C.Hamil (2001), apresentam estudos de estabilidade tomando como base o modelo definido pelo Working-Group-Benchmark (1977) do IEEE. São analisados, comparativamente, os comportamentos resultantes quando se faz a compensação série por meio de um capacitor e com o uso de uma indutância negativa.

2.4.1 Modelo T

Linhas de transmissão longas são melhor representadas por modelos distribuídos, mas modelos concentrados são uma boa aproximação em 50/60 Hz.

A figura 2.29 introduz o modelo T da linha que é conveniente para o estudo da compensação série em um terminal.

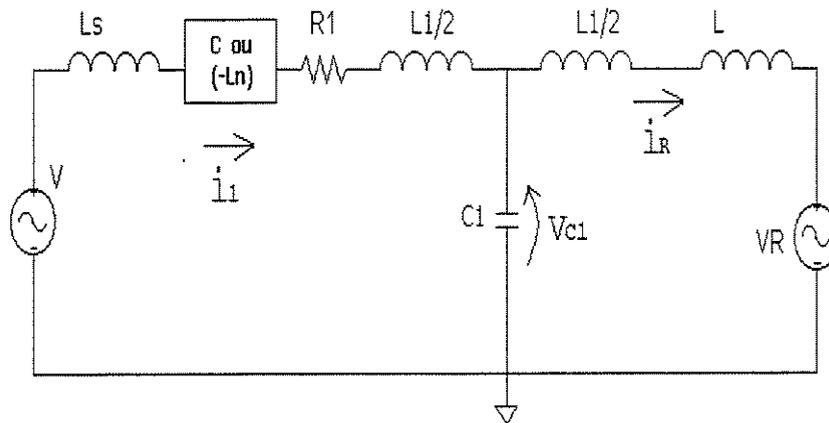


Figura 2.29: Circuito IEEE, modelo T, para a análise da estabilidade com compensação série.

As equações de estado, inserindo uma indutância negativa, são:

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_R}{dt} \\ \frac{dv_{C1}}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-R1}{2\left(\frac{L1}{2} - (-L_n) + L_s\right)} & 0 & \frac{-1}{\left(\frac{L1}{2} - (-L_n) + L_s\right)} \\ 0 & \frac{-R1}{2\left(\frac{L1}{2} + L\right)} & \frac{1}{\left(\frac{L1}{2} + L\right)} \\ \frac{1}{C1} & \frac{-1}{C1} & 0 \end{bmatrix} \begin{bmatrix} i_1 \\ i_R \\ v_{C1} \end{bmatrix} + \begin{bmatrix} \frac{-1}{\left(\frac{L1}{2} - (-L_n) + L_s\right)} & 0 \\ 0 & \frac{1}{\left(\frac{L1}{2} + L\right)} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v \\ v_R \end{bmatrix}$$

Onde:

$R1 = 0,02\Omega$, $C1 = 1,8mF$, e $L1 = 1,3mH$ são os parâmetros da linha de transmissão
 $(-L_n)$ é a indutância negativa.

$$L_s = 0,8196mH.$$

$$V_R = 1p.u..$$

$$L = 0,191mH.$$

A equação característica deste sistema é:

$$\begin{aligned} & [-1,47 \cdot 10^{-3} + (-L_n)] s^3 + [-2,75 \cdot 10^{-2} + 11,89(-L_n)] s^2 \\ & + [-1526,51 + 660589,24(-L_n)] s - 13211,78 = 0 \end{aligned} \quad (2.16)$$

Variando-se a indutância negativa verifica-se o comportamento das raízes da equação característica. A figura 2.30 mostra o lugar das raízes no plano complexo. As raízes apresentam parte real negativa enquanto $L_n < L_s + \frac{L1}{2}$, produzindo situações instáveis quando este limite é ultrapassado.

A figura 2.31, mostra o comportamento da parte real das raízes em função de L_n .

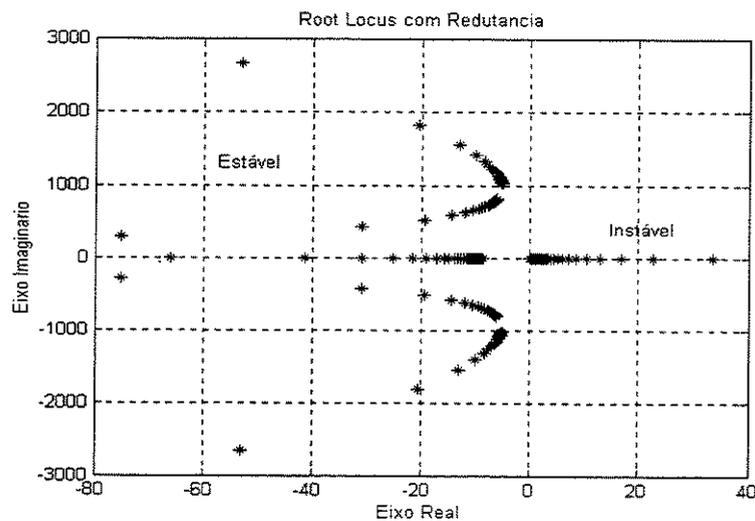


Figura 2.30: Lugar das raízes para linha de transmissão com compensação série, por indutância negativa.

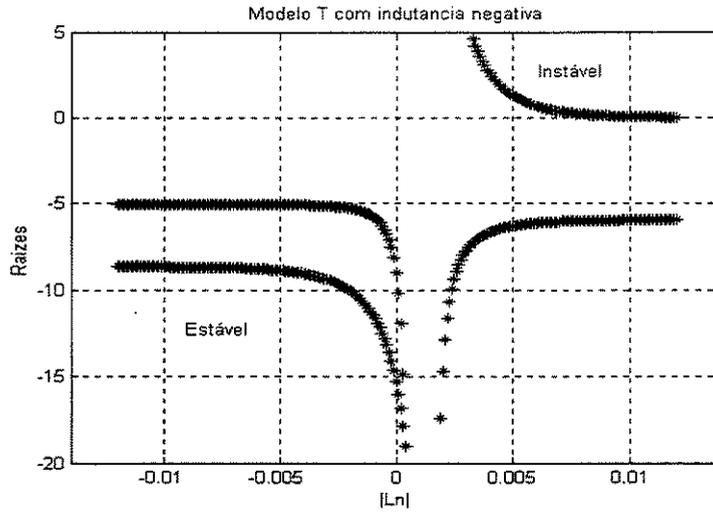


Figura 2.31: Parte real das raízes em função de L_n .

Para fazer uma comparação, ao se fazer a compensação com uma capacitância C , a equação característica é:

$$Cs^4 + 18,69Cs^3 + [1038689C + 680,43]s^2 + [8989749,20C + 8090,77]s + 449487460,00 = 0 \quad (2.17)$$

A compensação série com capacitor aumenta a ordem do sistema. O lugar das raízes, para diferentes valores de capacitância está mostrado na figura 2.32. Nota-se que o sistema é sempre estável, e apresenta duas raízes complexas conjugadas.

2.4.2 Modelo II

A figura 2.33 introduz o modelo II que é útil para o estudo do compensador série colocado no meio da linha.

A equação característica utilizando o modelo II para a linha é:

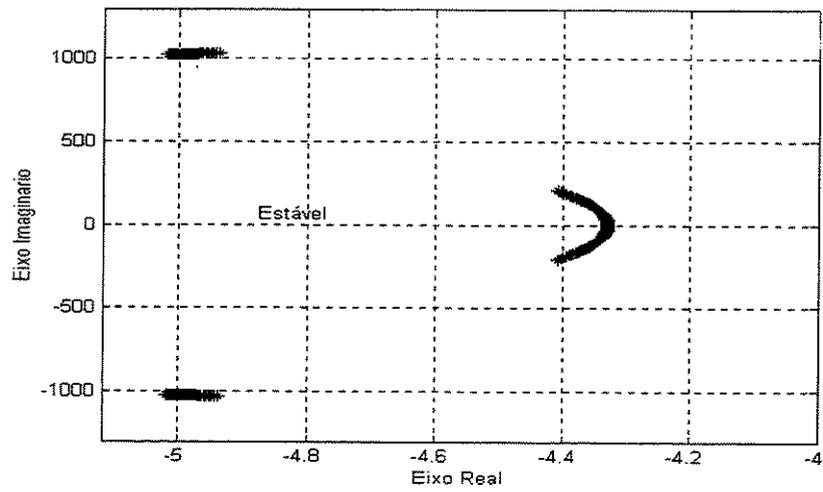


Figura 2.32: Lugar das raízes para compensação série com capacitor.

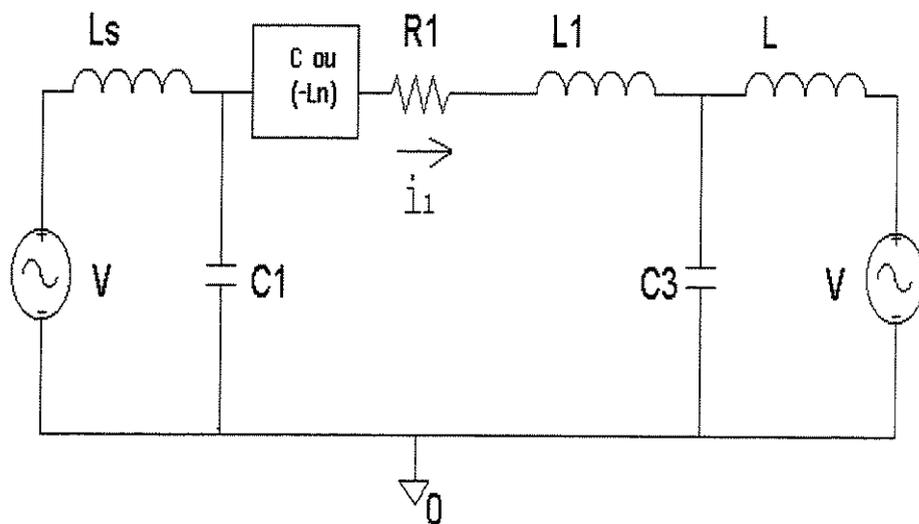


Figura 2.33: Sistema para estudo de compensação série no meio da linha.

$$\begin{aligned}
& [1,69 \cdot 10^{-6} - 0,0026(-L_n) + (-L_n)^2]s^5 + [2,6 \cdot 10^{-5} - 0,02(-L_n)]s^4 \\
& + [15,01 - 20871,83(-L_n) + 7,17 \cdot 10^6(-L_n)^2]s^3 \\
& + [186,49 - 143458,56(-L_n)]s^2 + [2,37 \cdot 10^7 - 2,85 \cdot 10^{10}(-L_n) + 7,89 \cdot 10^{12}(-L_n)^2]s \\
& + [2,05 \cdot 10^8 - 1,58 \cdot 10^{11}(-L_n)] = 0 \quad (2.18)
\end{aligned}$$

O lugar das raízes está mostrado na figura 2.34, identificando situações instáveis.

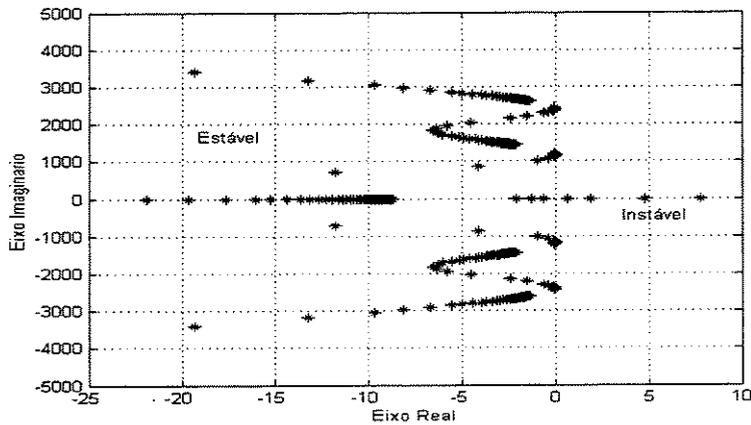


Figura 2.34: Lugar das raízes com linha modelo Π com compensação série, por indutância negativa.

Neste caso, o estudo da raízes mostra que o sistema é estável enquanto $L_n < L1$

Fazendo a compensação com uma capacitância C obtém-se a seguinte equação característica:

$$\begin{aligned}
& Cs^6 + 15,38Cs^5 + [8882329,52C + 769,23]s^4 + [110352735,6C]s^3 \\
& + [1,4 \cdot 10^{13}C + 5517636781]s^2 + [1,21 \cdot 10^{14}C]s + 6,07 \cdot 10^{15} = 0 \quad (2.19)
\end{aligned}$$

O respectivo lugar das raízes esta mostrado na figura 2.35, sendo o sistema sempre estável.

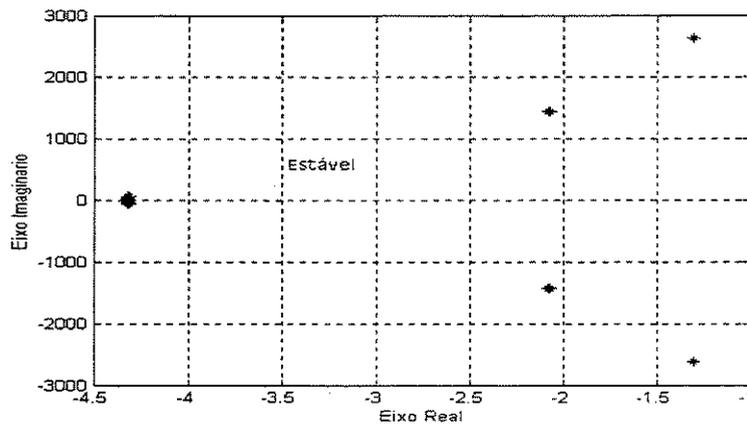


Figura 2.35: Lugar das raízes com linha modelo II, com compensação série por capacitor.

2.5 Conclusões

Neste capítulo fez-se a análise da estabilidade de circuitos que usam uma indutância negativa tanto para a compensação série como para a compensação paralela.

Na compensação série, quando se usa uma indutância negativa de valor muito próximo à indutância total do circuito, este torna-se resistivo, mas se predomina a indutância negativa o circuito fica instável.

Na compensação paralela aplicada a uma fonte de tensão ideal não existem problemas de instabilidade.

O fator de potência resultante pode ser ajustado de maneira a que a fonte “veja” um circuito indutivo ou capacitivo. Pode existir um nível médio não nulo nas correntes, o qual deve ser corrigido por uma atuação do controle do conversor que sintetiza a indutância.

Quando a fonte não for ideal, ou seja, quando apresentar impedância série, existem situações instáveis quando a indutância negativa for conectada em paralelo a um circuito RL série.

No caso de compensação de circuitos de ordem superior, como linhas de transmissão, vale o princípio geral de que em uma malha qualquer a indutância total não pode ser negativa.

Capítulo 3

Simulações de aplicações

3.1 Introdução

Este capítulo analisa comparativamente o comportamento de circuitos nos quais se faz uso de capacitâncias e indutâncias negativas.

Foi utilizado o programa do PSpice do MicroSim.

3.2 Compensação do fator de potência: tensão senoidal

3.2.1 Compensação do fator de potência com capacitor

A figura 3.1 apresenta um circuito RL paralelo alimentado por uma fonte de tensão senoidal, onde $R1 = 0,5 \Omega$, $L1 = 30 \text{ mH}$, no qual se insere uma capacitância $C = 337,7 \mu\text{F}$ com objetivo de corrigir o fator de potência.

A figura 3.2 mostra as formas de onda nas quais pode-se ver que, antes de se fechar a chave, a corrente está atrasada com relação à tensão, apresentando uma característica indutiva. Quando a chave se fecha e conecta a capacitância, o sistema se torna resistivo. Pode-se ver que o fator de potência é unitário e também que a corrente da fonte diminui.

3.2.2 Compensação do fator de potência com indutância negativa em uma tensão senoidal

A figura 3.3 mostra o circuito do caso anterior no qual foi inserida uma indutância negativa para fazer a compensação do fator de potência.

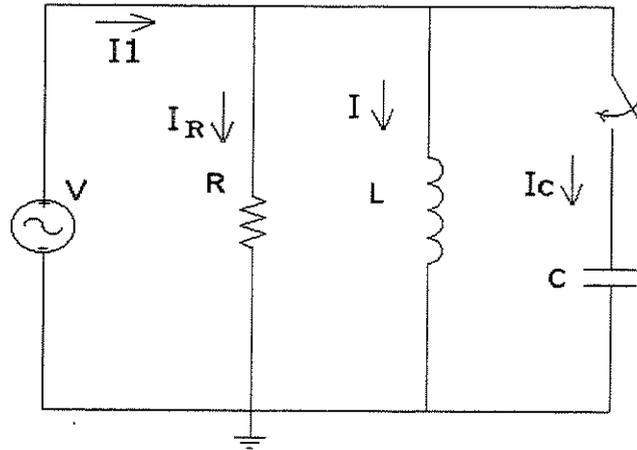


Figura 3.1: Circuito para a compensação do fator de potência com capacitor e fonte de tensão senoidal.

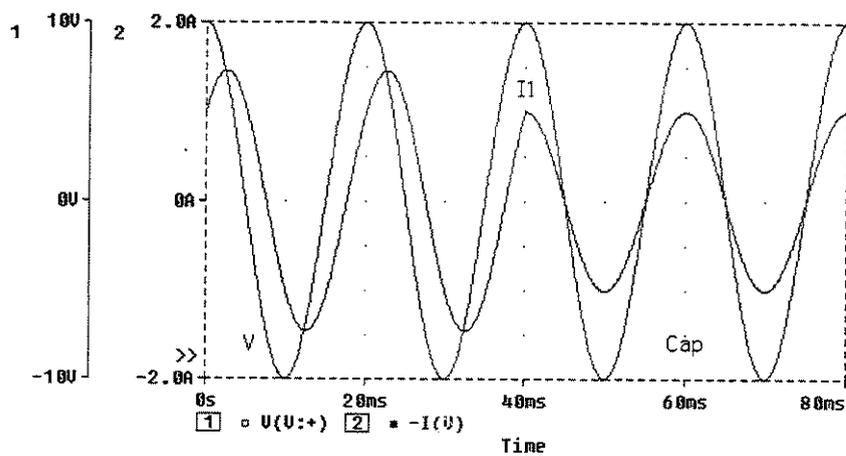


Figura 3.2: Formas de onda para o circuito da figura 3.1.

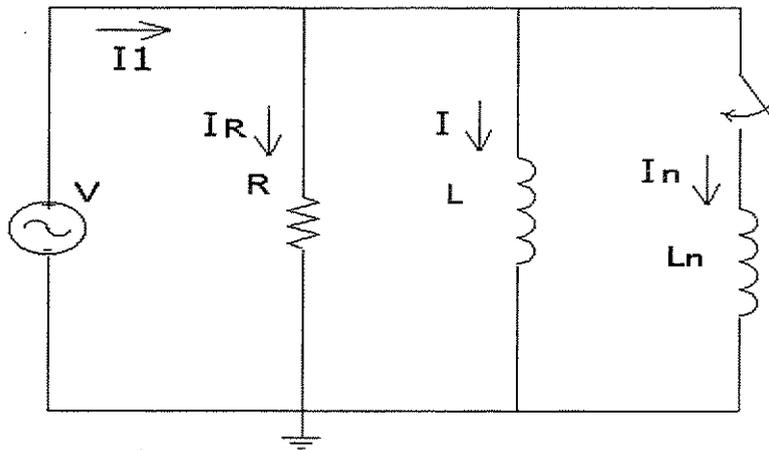


Figura 3.3: Circuito para a compensação do fator de potência com indutância negativa e fonte de tensão senoidal.

A figura 3.4 mostra as formas de onda para o circuito anterior onde pode-se ver que, antes de se fechar a chave, apresenta uma característica indutiva. Quando a chave se fecha e inclui a indutância negativa, o fator de potência se torna unitário. Os valores usados na simulação são $R = 10\Omega$, $L = 30mH$ e $L_n = -30mH$.

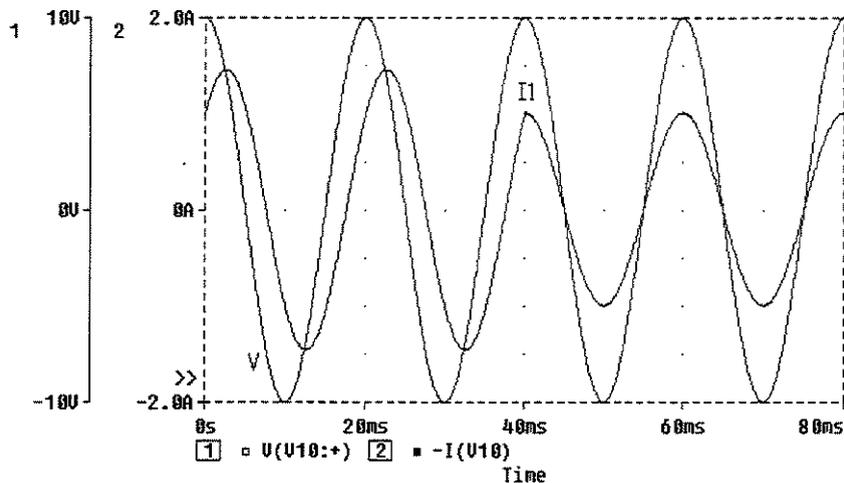


Figura 3.4: Formas de onda para o circuito da figura 3.3.

3.2.3 Compensação do fator de potência com BVI e fonte de tensão senoidal

A figura 3.5 mostra o circuito empregado para compensação do fator de potência usando o BVI sintetizando uma indutância negativa, com $R = 10\Omega$, $L = 30mH$ e $L_n = 30mH$.

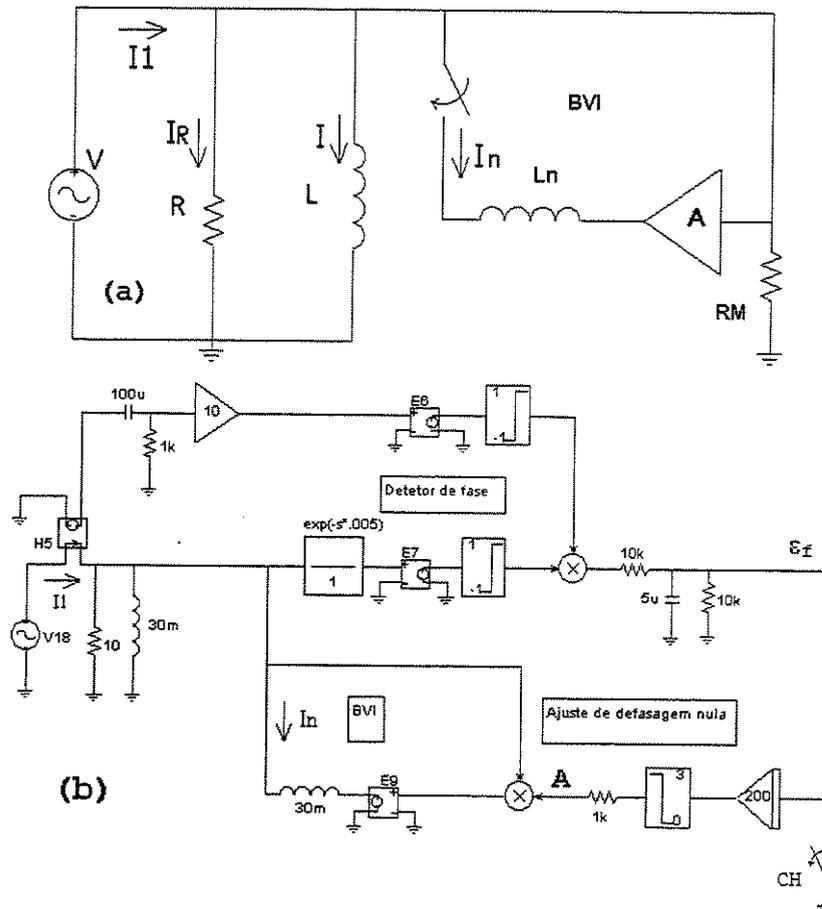


Figura 3.5: (a) Circuito para a compensação do fator de potência com BVI. (b) Fonte de tensão senoidal.

Na figura 3.5(a) o BVI está indicado com um ganho A fixo. A figura 3.5(b) mostra uma forma de implementar o BVI de maneira que o ganho se ajusta automaticamente de acordo com algum critério de desempenho estabelecido.

No caso, o objetivo é obter fator de potência unitário. Para verificar a defasagem entre tensão e corrente na fonte se implementa o circuito identificado como "detetor de fase". Enquanto houver erro de fase o sinal ϵ_f será diferente de zero. Este erro é

integrado e a saída do integrador é o ganho A do BVI.

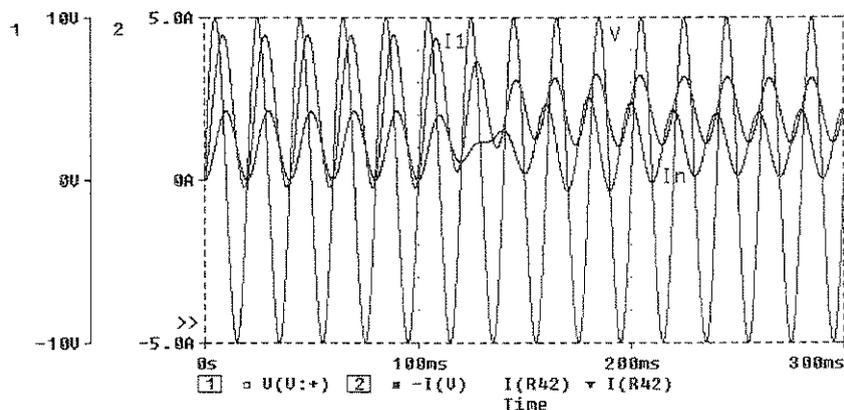


Figura 3.6: Formas de onda para o circuito da figura 3.5

A figura 3.6 mostra o resultado de atuação da compensação. Inicialmente o BVI opera como uma indutância positiva. Quando a chave CH é aberta, o controle começa a atuar e leva ao ajuste da defasagem da corrente da fonte. Nota-se que a corrente do BVI está adiantada em relação à tensão.

Observe-se a presença de um nível CC nas correntes, conforme já descrito no capítulo anterior.

A eliminação deste deslocamento exige a colocação de uma malha de controle adicional a qual verifica o valor médio da corrente do BVI e o leva a zero, conforme indicado no circuito da figura 3.7.

A figura 3.8 mostra o resultado de compensação incluindo este procedimento. Verifica-se que se consegue cancelar a corrente CC.

Inicialmente a fonte V1 está conectada impondo um ganho unitário ao BVI. Com isso a corrente I_n é nula. Em 100 ms a chave é aberta e o controle começa a atuar.

3.2.4 Compensação do fator de potência com capacitor, em fonte com 5% de 5ª harmônica

A figura 3.9 mostra as formas de onda para a compensação do fator de potência do circuito da figura 3.1 mas com tensão distorcida em 5% da 5ª harmônica. Em 40ms foi inserida uma capacitância, com o objetivo da correção do fator de potência. Vê-se que ocorre uma amplificação da corrente na frequência harmônica. O fator de deslocamento é unitário, embora o fator de potência não o seja.

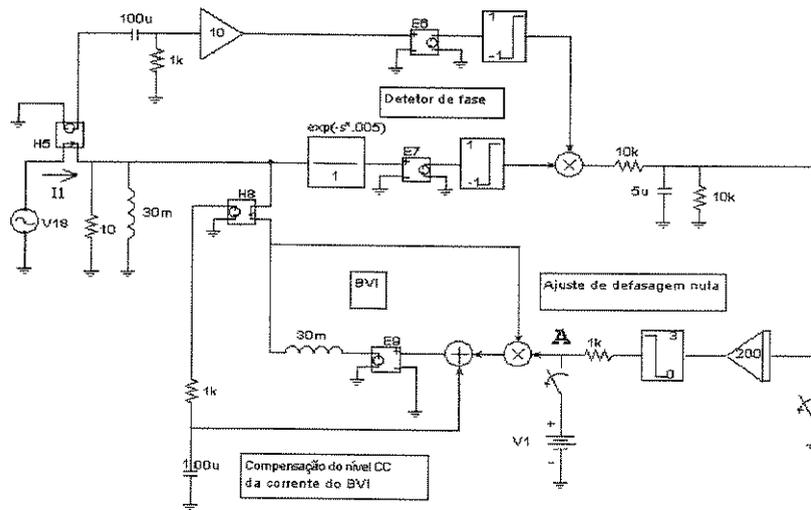


Figura 3.7: Circuito para a compensação do fator de potência com BVI com controle modificado.

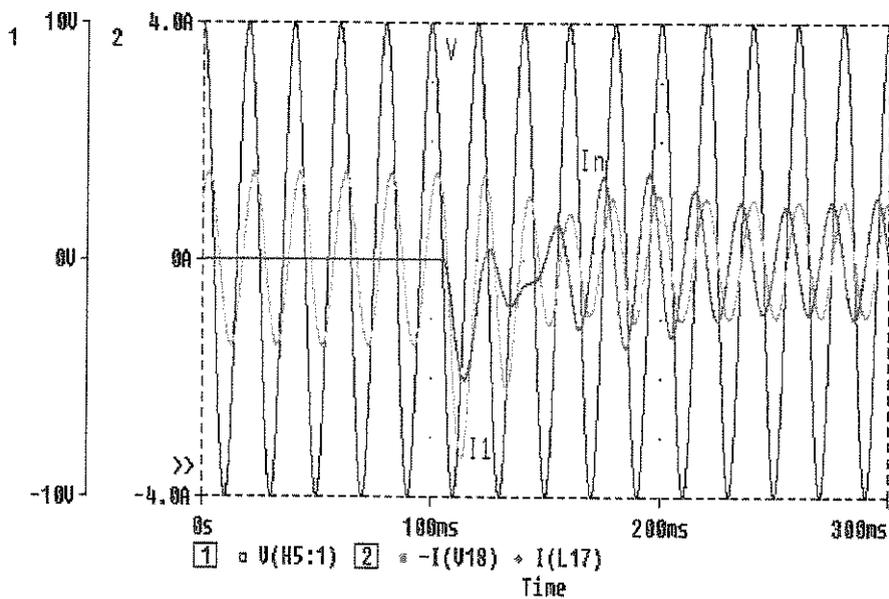


Figura 3.8: Formas de onda para o circuito da figura 3.7.

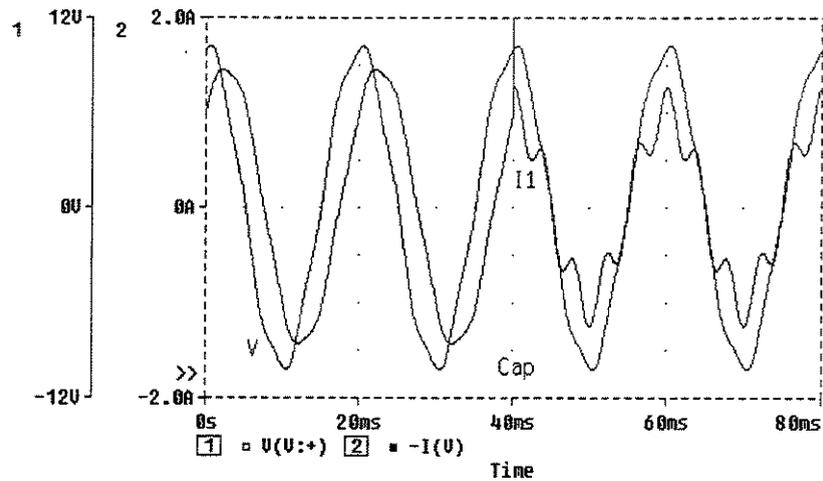


Figura 3.9: Formas de onda para a compensação com capacitor e fonte de tensão com 5% de 5ª harmônica.

3.2.5 Compensação do fator de potência com indutância negativa, em fonte com 5% de 5ª harmônica

A figura 3.10 apresenta as formas de onda para a compensação do fator de potência quando se inclui uma indutância negativa.

Pode-se ver que o fator de deslocamento é unitário, como no caso anterior, mas o fator de potência também é unitário pois a forma da corrente passa a reproduzir a forma de onda da tensão imposta. Nota-se a capacidade de uma indutância negativa realmente compensar o fator de potência, mesmo na presença de distorções na tensão, o que não ocorre com o uso de capacitâncias.

3.2.6 Compensação do fator de potência com BVI, e fonte de tensão senoidal com 5% de 5ª harmônica

A figura 3.11 apresenta as formas de onda para a compensação do fator de potência quando se inclui o BVI. Observa-se que a estratégia de controle para ajustar a defasagem funciona adequadamente também na presença de tensões distorcidas. A forma de onda final da corrente reproduz a forma da tensão, garantindo fator de potência unitário.

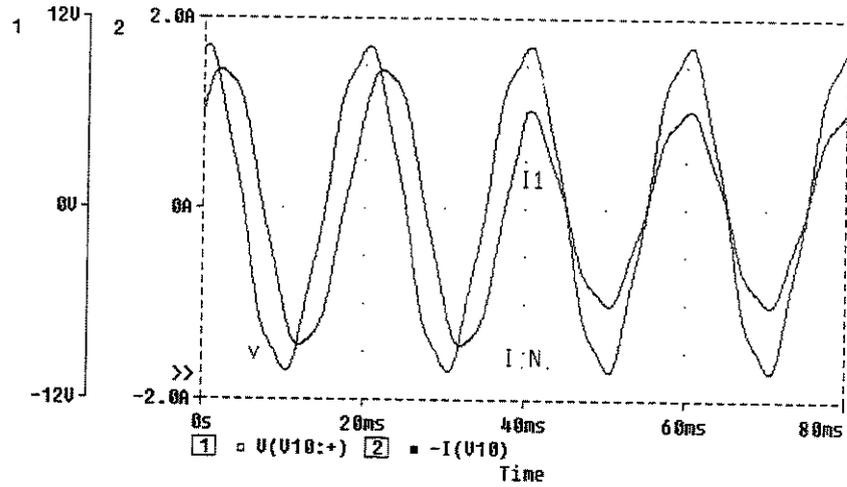


Figura 3.10: Formas de onda para a compensação do fator de potência com indutância negativa e fonte de tensão com 5% de 5ª harmônica.

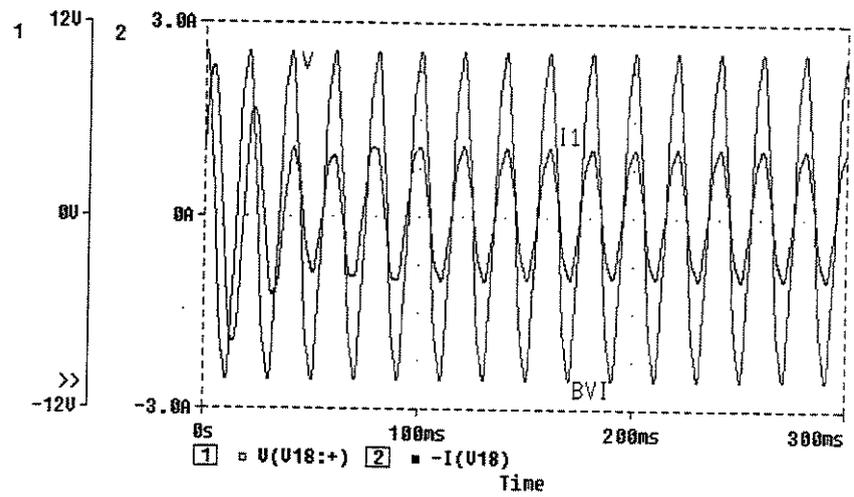


Figura 3.11: Formas de onda para a compensação do fator de potência com BVI e fonte de tensão com 5% de 5ª harmônica.

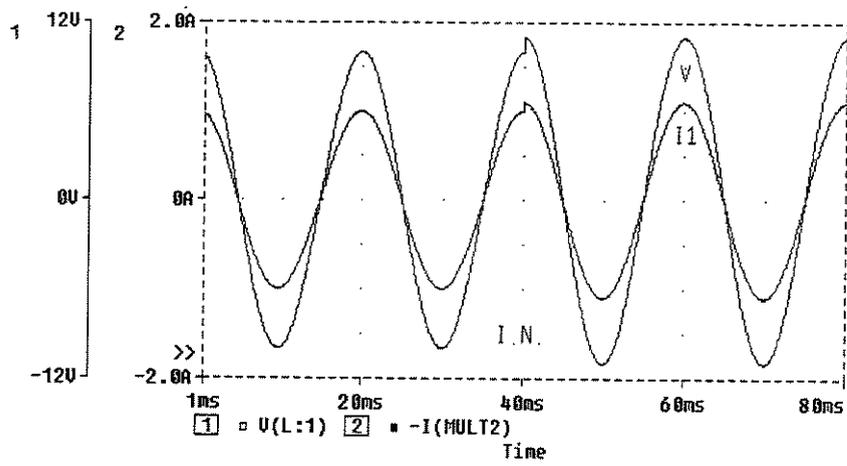


Figura 3.13: Resposta a um degrau de tensão na compensação do fator de potência com indutância negativa.

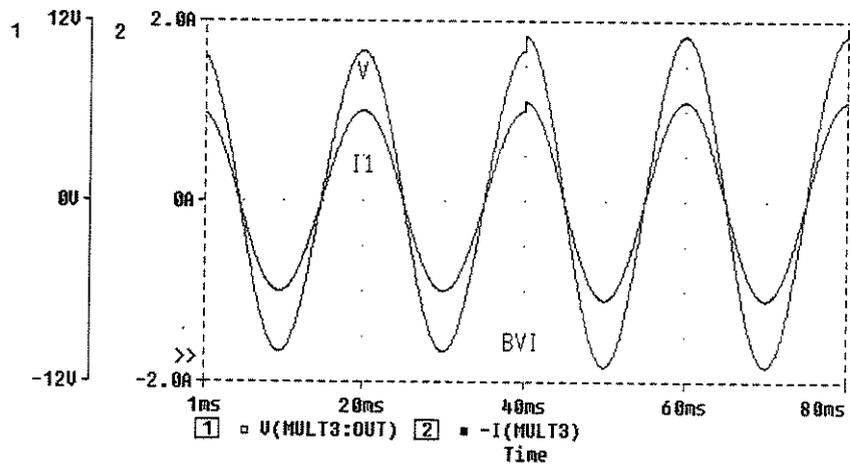


Figura 3.14: Resposta a um degrau de tensão na compensação do fator de potência com BVI.

3.3 Compensação de fator de potência com alimentação por fonte não ideal

Nas simulações que se seguem a fonte de alimentação, possui em série uma resistência e uma indutância, como mostra o circuito da figura 3.15

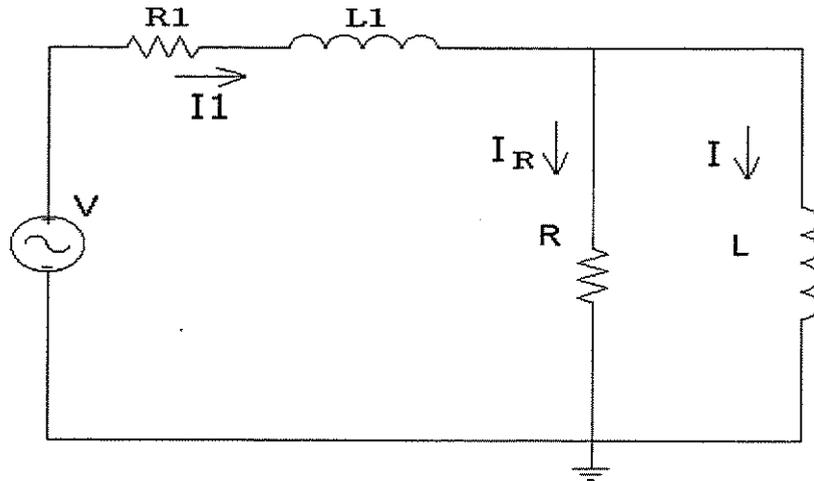


Figura 3.15: Circuito RL com alimentação por fonte não ideal.

3.3.1 Compensação com capacitor

A figura 3.16 mostra as formas de onda da tensão e da corrente na fonte quando se procura fazer a compensação do fator de potência com um capacitor. Os valores usados na simulação são: $R1 = 0,1\Omega$, $L1 = 0,1mH$, $R = 10\Omega$, $L = 30mH$ e $C = 337,7\mu F$.

Quando ocorre a transição abrupta na tensão da fonte, nota-se uma oscilação de alta frequência na corrente, resultado de uma ressonância entre $L1$ e C .

3.3.2 Compensação com BVI

A figura 3.17 mostra a adequada compensação obtida com o BVI, resultando em fator de potência unitário

Conforme foi estudado no capítulo anterior, em um circuito cuja fonte apresenta uma impedância série, o uso de uma indutância negativa de valor absoluto menor do que

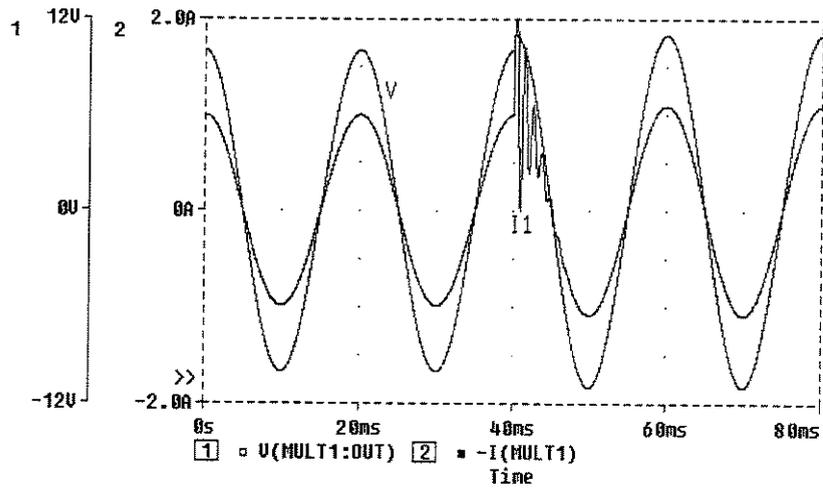


Figura 3.16: Tensão e corrente na fonte com compensação capacitiva.

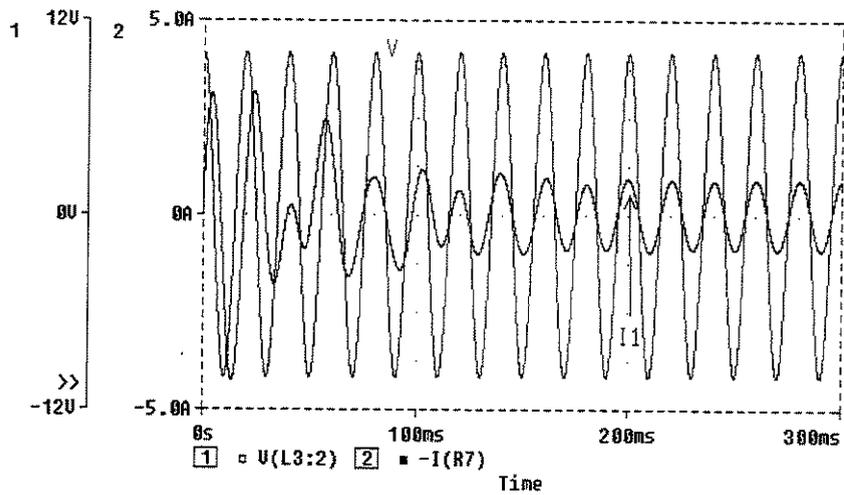


Figura 3.17: Compensação com BVI.

da indutância positiva conduz à instabilidade.

No entanto, com o uso da malha que impede a presença de um nível CC na corrente, torna-se possível realizar uma "sobrecompensação" do fator de potência, fazendo com que a corrente fique adiantada em relação à tensão, como se vê na figura 3.18.

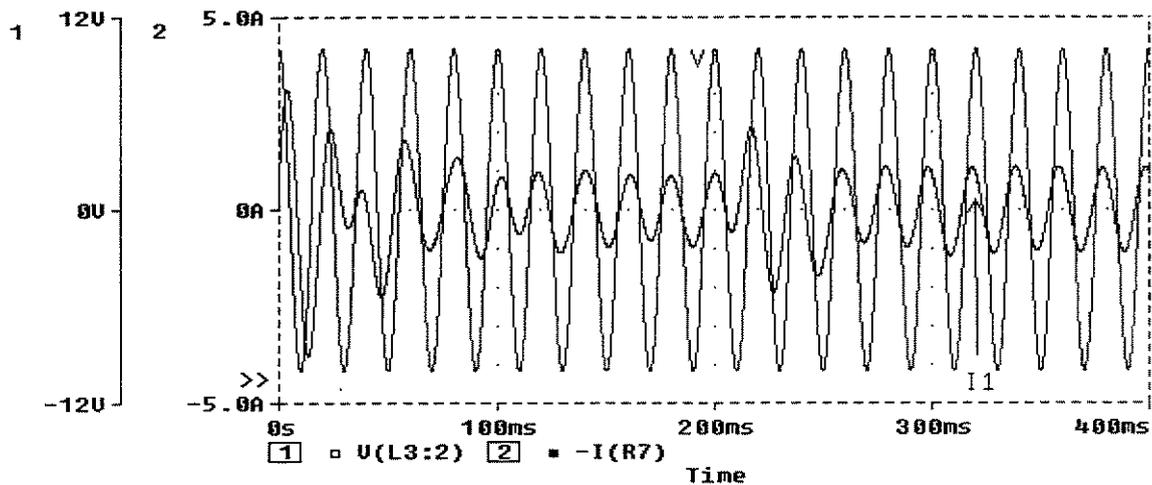


Figura 3.18: *Sobrecompensação com BVI.*

3.4 Regulação de tensão com BVI

Em termos de aplicações em derivação pode-se também considerar o uso do BVI para a regulação da tensão.

3.4.1 Sem regulação de tensão

Na figura 3.19 pode-se ver o circuito sem regulação da tensão.

A figura 3.20 mostra as formas de onda do circuito na qual pode-se ver que quando se conecta a resistência de $R = 5\Omega$ a corrente na fonte cresce e a tensão que alimenta as cargas diminui devido à queda na impedância série na fonte.

3.4.2 Com regulação de tensão usando um BVI

A figura 3.21 mostra o circuito usado para a regulação da tensão.

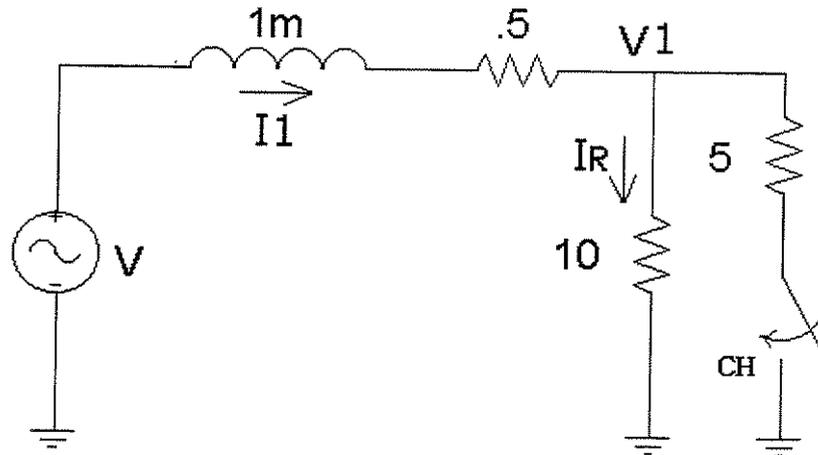


Figura 3.19: Circuito de teste para estudo de regulação da tensão.

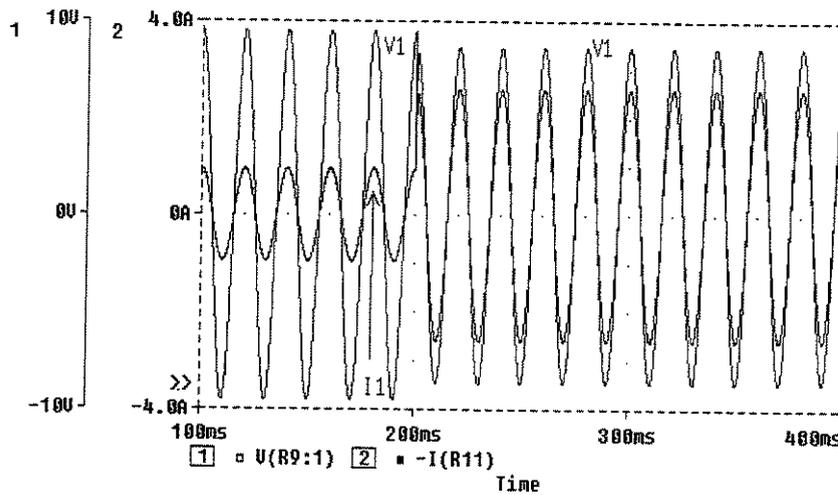


Figura 3.20: Formas de onda sem regulação da tensão.

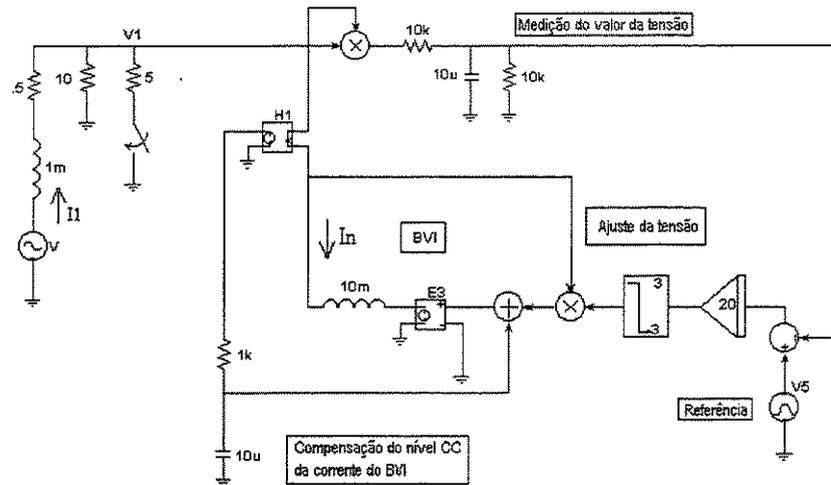


Figura 3.21: Circuito para a regulação da tensão com BVI.

Inicialmente o BVI está atuando como uma indutância positiva. Com a entrada de uma carga resistiva adicional, tem-se uma redução na tensão. O BVI passa a atuar como uma indutância negativa, mantendo a tensão na carga no valor desejado como se pode ver na figura 3.22.

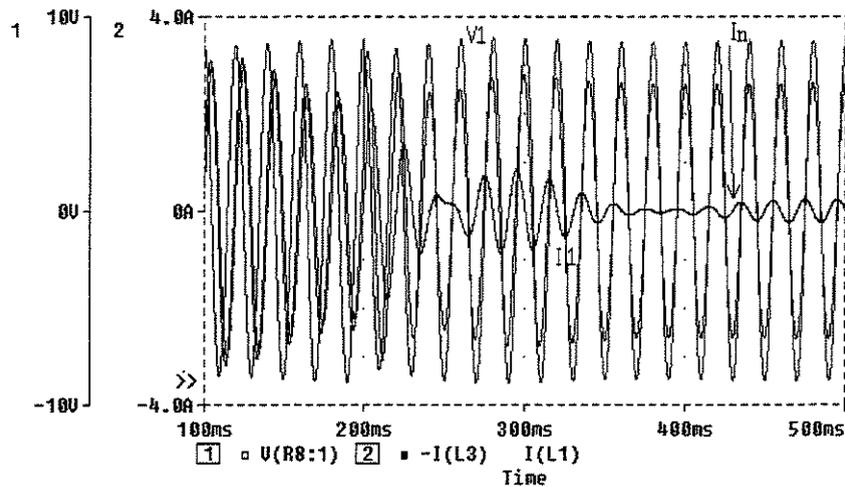


Figura 3.22: Formas de onda da regulação da tensão com BVI.

3.5 Compensação série de linhas de transmissão

As simulações de aplicações relativas à compensação série tomam por base linhas de transmissão nas quais não são consideradas as capacitâncias. Simulações indicaram que não ocorre alteração nos resultados quando são incluídas as capacitâncias modeladas, pois as fontes foram consideradas ideais.

São feitas simulações com compensação série por capacitância e por indutância negativa, a qual é implementada pelo método de síntese direta de reatância (SDR).

O primeiro caso trata de uma linha que conecta duas fontes de tensão, havendo um fluxo de potência entre tais fontes. Como é sabido, uma das maneiras de controlar este fluxo é ajustando-se a impedância da linha.

3.5.1 Compensação série de linha de transmissão com capacitor

Quando se faz a compensação série com capacitância, como apresentado na figura 3.23, tem-se um circuito de 2ª ordem.

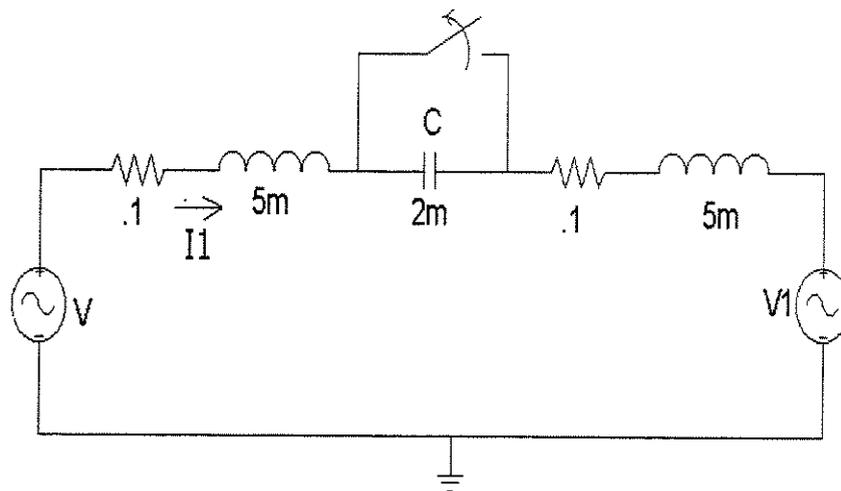


Figura 3.23: Circuito para a compensação série de L.T com capacitor.

A figura 3.24 mostra a resposta do circuito. Sem a compensação tem-se uma corrente relativamente pequena fluindo de uma fonte para a outra. Quando o capacitor é introduzido no circuito observa-se um aumento na corrente devido à redução da impedância total. Nota-se também o caráter oscilatório da corrente devido ao comportamento de segunda ordem do circuito. Tal oscilação de baixa frequência pode ser perigosa no sistema elétrico pois pode excitar ressonâncias subsíncronas.

A compensação realizada cancela 50% da reatância indutiva.

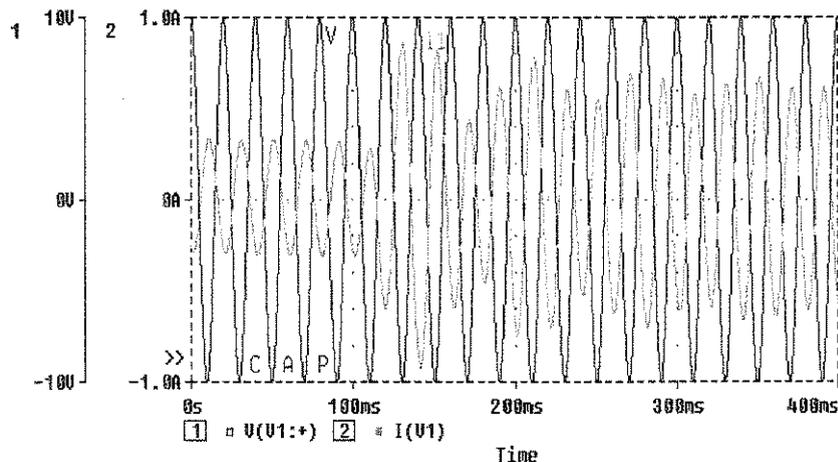


Figura 3.24: Resposta da compensação série de L.T. com capacitor.

3.5.2 Compensação série de linha de transmissão com indutância negativa

A figura 3.25 mostra o circuito para a compensação série de uma linha de transmissão com uma indutância negativa.

Na figura 3.26 pode-se ver a resposta da compensação usando indutância negativa. Também neste caso é feita uma compensação de 50% da reatância.

Neste caso não há o comportamento oscilatório, pois o circuito continua sendo de primeira ordem.

Na compensação série, havendo uma componente resistiva no circuito, a corrente média sempre tende a zero, não havendo necessidade de compensá-la.

3.5.3 Compensação série das linhas de transmissão com SDR

A figura 3.27 apresenta o circuito para a compensação da linha, onde se colocou o SDR sintetizando uma indutância negativa.

O SDR é implementado medindo-se a corrente na linha, obtendo sua derivada e produzindo uma tensão proporcional (com sinal invertido). O filtro colocado na saída

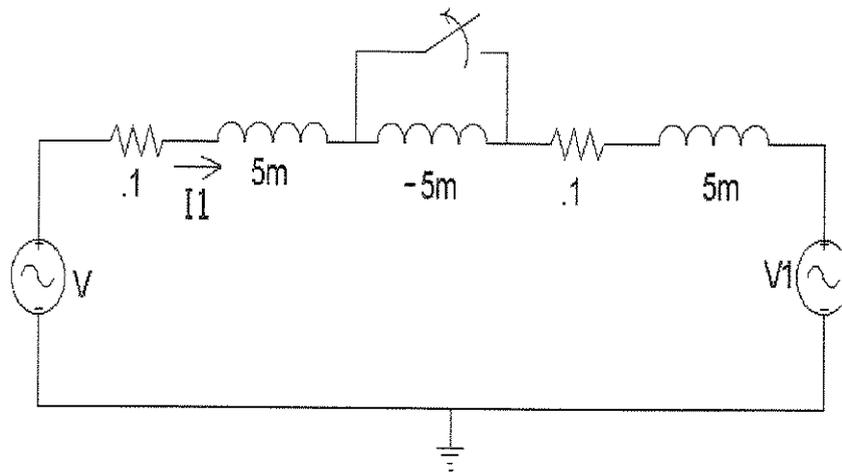


Figura 3.25: Circuito para a compensação série de L.T. com indutância negativa.

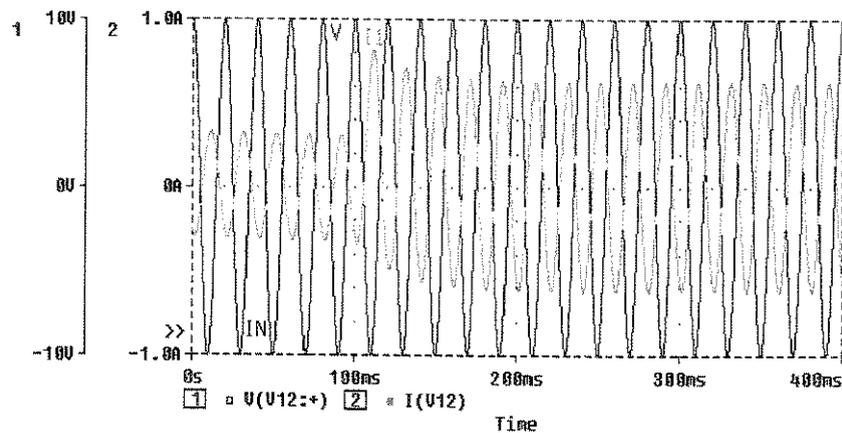


Figura 3.26: Resposta da compensação série de L.T. com indutância negativa.

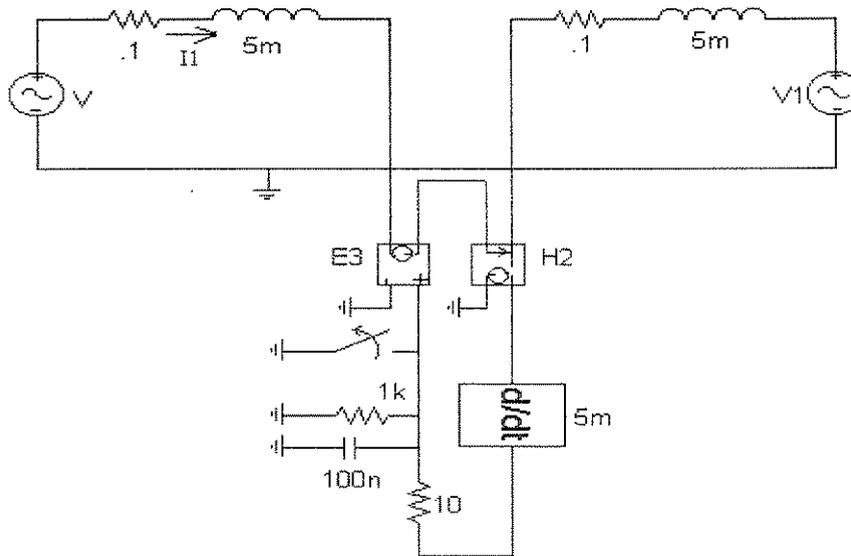


Figura 3.27: Circuito para a compensação série de L.T. com SDR.

do diferenciador não tem papel estrutural, apenas auxilia a convergência numérica da simulação.

Neste caso os ganhos foram ajustados para obter uma indutância de $-5mH$. As formas de onda estão na figura 3.28.

Um controle automático do valor da indutância sintetizada será mostrado na seqüência deste capítulo.

3.6 Ajuste da defasagem entre duas linhas de transmissão

3.6.1 Sem Compensação

Considere-se neste caso duas linhas de transmissão, alimentadas por fontes independentes, cada uma inicialmente alimentando uma carga. A tensão das fontes é a mesma, embora com fases distintas.

Deseja-se fazer a conexão das linhas no terminal da carga. As tensões nestes pontos são diferentes em módulo e fase, como se observa na figura 3.30.

Quando a chave faz a conexão, obviamente as tensões tornam-se iguais.

A principal mudança é nas correntes, como se vê na figura 3.31.

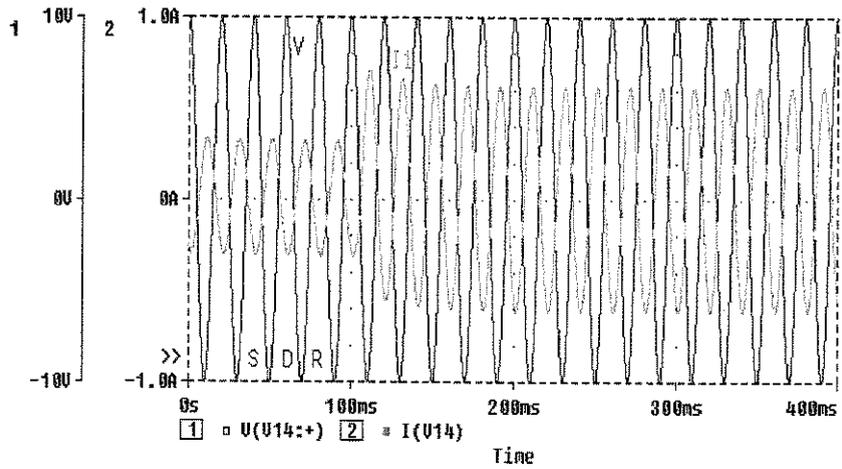


Figura 3.28: Resposta da compensação série de L.T. com SDR.

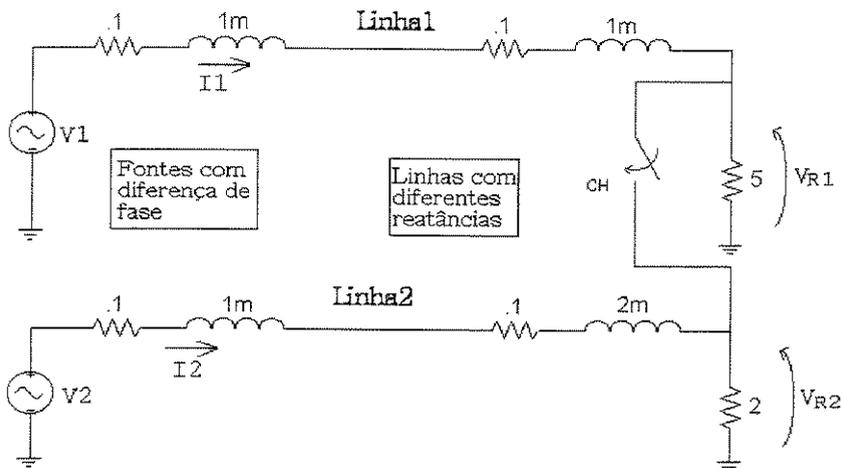


Figura 3.29: Circuito da conexão de duas L.T. sem compensação.

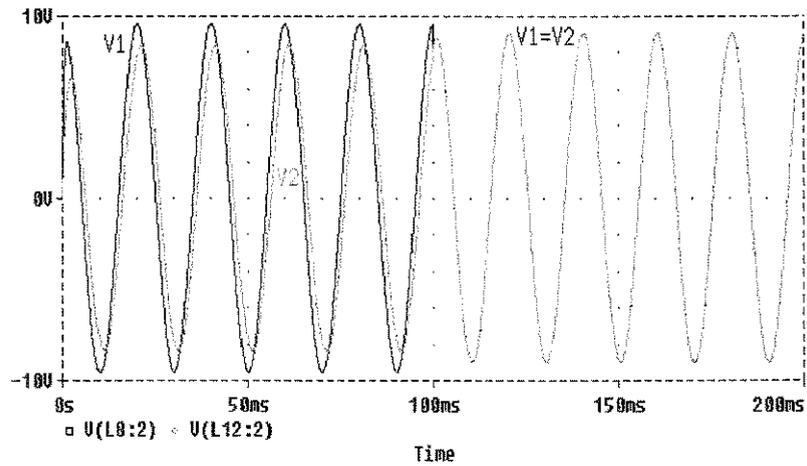


Figura 3.30: Resposta da tensão no terminal da carga na conexão de duas L.T. em compensação.

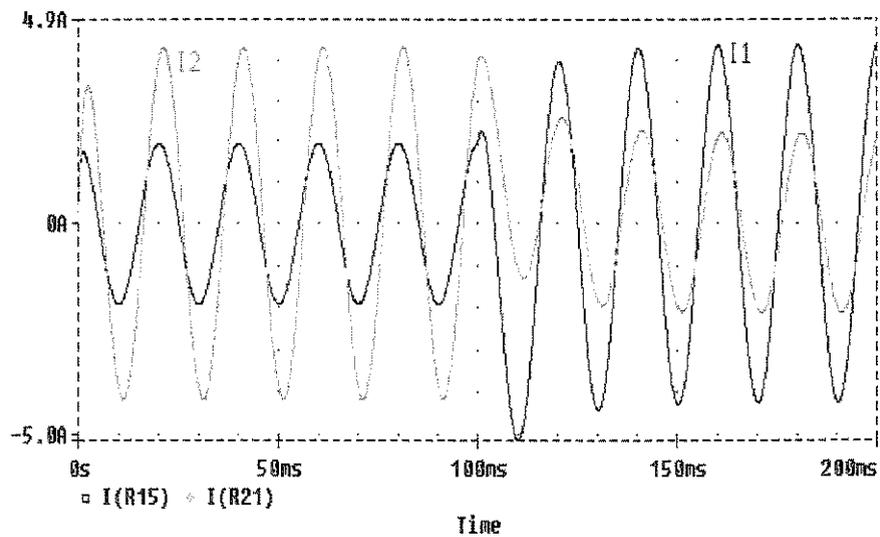


Figura 3.31: Comportamento das correntes pelas L.T. na conexão direta.

A distribuição final da corrente entre as linhas depende das respectivas impedâncias. Observe que no exemplo empregado ocorre uma drástica mudança nas correntes de cada linha quando se faz a conexão. Isto ocorre porque a linha de menor impedância estava alimentando a carga de menor potência, e viceversa.

Ao serem conectadas as linhas, o caminho preferencial de potência é o da linha de menor impedância.

3.6.2 Compensação da defasagem entre duas L.T. com SDR

A figura 3.32 mostra o mesmo caso mas com a presença do SDR em uma das linhas (a que apresenta maior reatância indutiva).

O papel do SDR é ajustar as fases das tensões no ponto em que se deseja fazer a conexão das linhas e, com isso minimizar os transitórios.

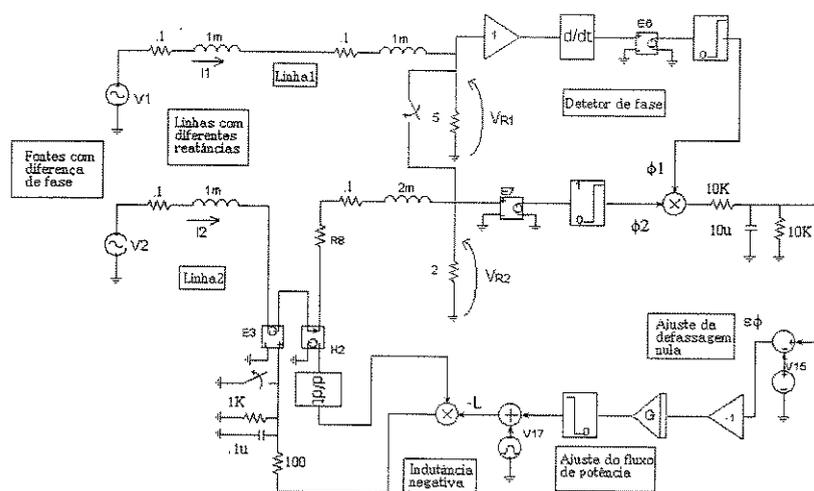


Figura 3.32: Circuito da conexão de duas L.T. com compensação por SDR.

A exemplo do que foi feito para o BVI, há um sistema que detecta a defasagem entre as tensões de interesse. O erro de fase é integrado e ajusta o valor da tensão sintetizada. A forma da tensão é dada pela derivada da corrente, desta forma tem-se um ajuste automático da indutância negativa.

A figura 3.33 mostra a ação do sistema que vai reduzindo a defasagem das tensões no ponto de conexão. Há também uma pequena alteração no valor da tensão devido à alteração na impedância da linha2.

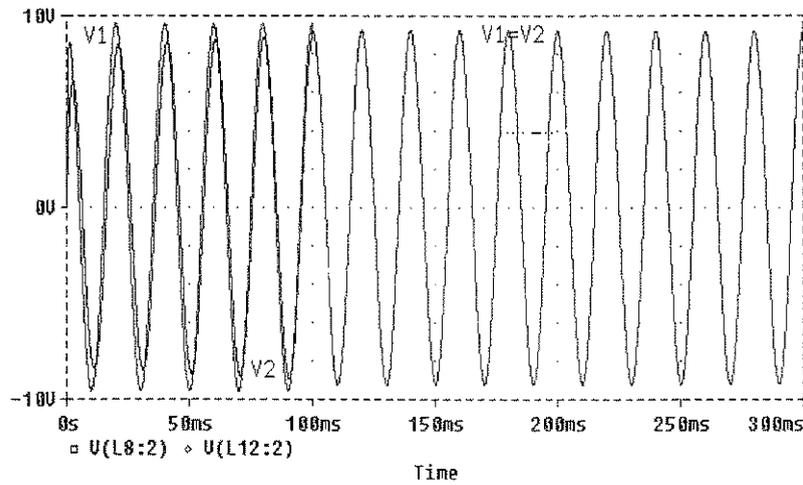


Figura 3.33: *Resposta da tensão na conexão de duas L.T. com compensação por SDR.*

Quando a diferença de fase se anula, as cargas são conectadas e as tensões se tornam idênticas.

Ocorre uma redistribuição das correntes como mostra a figura 3.34, mas não há uma alteração tão grande como no caso anterior, pois a atuação do SDR torna ambas as linhas eletricamente semelhantes.

3.7 Compensação de defasagem e controle de corrente com SDR (fluxo de potência)

Já que se tem um dispositivo que permite controlar a impedância de uma das linhas, então é possível controlar o fluxo de potência. Utilizando a fonte V17 (na figura 3.32) é possível alterar o valor da indutância negativa que está sendo sintetizada, de maneira a controlar o fluxo de potência da linha.

Depois da conexão das linhas faz-se um outro ajuste no valor da indutância negativa, como mostra a figura 3.35, de maneira a fazer com que a corrente se distribua de forma igual pelas duas linhas.

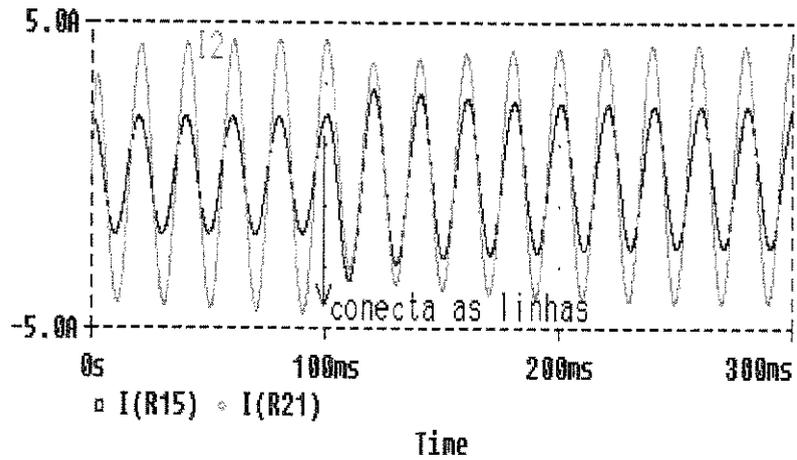


Figura 3.34: Resposta da corrente na conexão de duas L.T. com compensação por SDR.

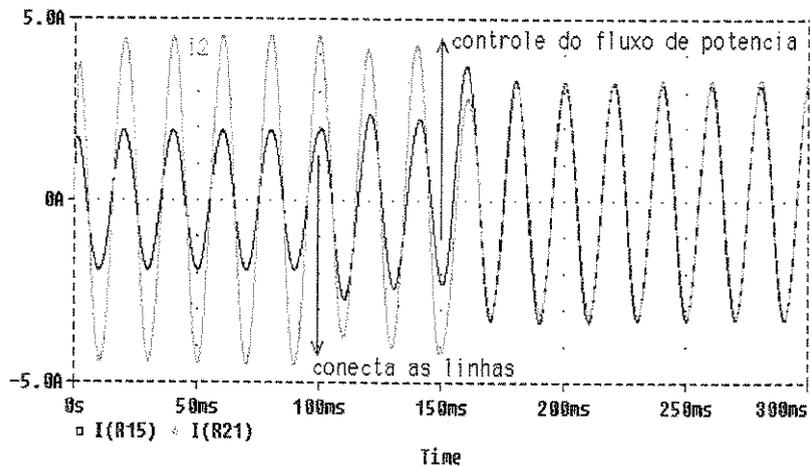


Figura 3.35: Controle de corrente para L.T. com SDR.

3.8 Conclusões

Este capítulo apresentou casos de aplicações típicas de indutâncias negativas: a compensação de fator de potência, a regulação da tensão e o controle de fluxo de potência em linhas de transmissão. Os dois primeiros casos utilizam o BVI, enquanto na compensação série usa-se o SDR.

Foram mostrados métodos para fazer o controle da defasagem entre dois sinais, o qual é usado no controle automático do valor da indutância negativa a ser sintetizada.

No caso da aplicação em derivação é preciso também impedir a presença de um nível CC na corrente da indutância sintetizada, o que se faz com a inclusão de uma malha de controle específica.

Capítulo 4

Resultados Experimentais

4.1 Introdução

Neste capítulo são apresentados os resultados experimentais obtidos através dos ensaios realizados com os protótipos do BVI e do SDR operando com MLP a uma frequência de chaveamento de 10 kHz. Utilizou-se um inversor trifásico com acúmulo capacitivo. Nos testes monofásicos foram usados dois ramos deste inversor.

Conforme já foi dito na apresentação desta tese, os resultados experimentais apresentados têm como objetivo apenas verificar a possibilidade da realização dos conversores, usando as técnicas de controle estabelecidas.

Os resultados foram colhidos em baixa tensão e potência a fim de minimizar problemas de interferência eletromagnética. Valores mais elevados exigiriam montagens mais cuidadosas, para as quais não houve tempo disponível.

Mesmo com estas restrições, acredita-se que a comprovação experimental dos resultados teóricos indica a correção destes últimos, e aponta para a real possibilidade do emprego destes conversores na rede elétrica.

Foi usada a fonte programável 4.5 kVA AC POWER SOURCE modelo 4500iL de California Instruments. Os dispositivos foram implementados tendo como base o DSP ADMC401 da Analogue Device.

As formas de ondas foram obtidas através de:

Osciloscópio Tektronix modelo TDS 744A.

Sondas de corrente Tektronix modelos TCP202 e AM503B.

Sonda diferencial de tensão Tektronix modelo P5210.

No barramento CC do inversor foi usada a fonte Minipa MPC-3003D.

O sinal medido externamente, após digitalizado pelas interfaces do DSP, passa por um processo de diferenciação, por um filtro passa-baixas de 1kHz de primeira ordem.

Com isso consegue-se evitar que as componentes de comutação se reproduzam na geração de referência. Além disso, eventuais ressonâncias não amortecidas do filtro passivo também serão atenuadas.

No apêndice C são apresentados os circuitos utilizados nas montagens experimentais.

A seguir mostram-se os resultados obtidos que permitiram verificar o comportamento dos sistemas.

4.2 BVI monofásico

Os testes que se seguem foram feitos em malha aberta, com o ganho do BVI ajustado manualmente.

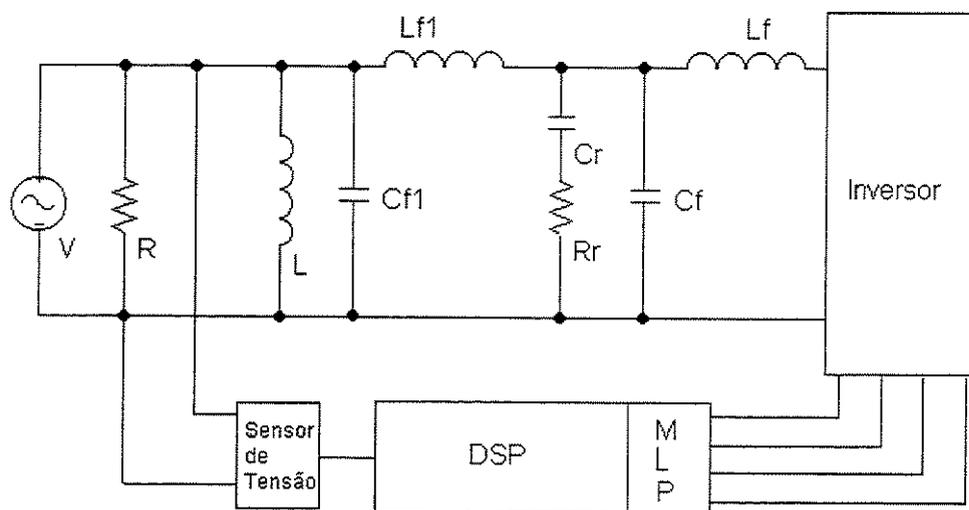


Figura 4.1: Circuito usado para o BVI em baixa tensão.

A figura 4.1 mostra o circuito usado para esta experiência: uma fonte de tensão alimentando um circuito RL paralelo ($R = 11\Omega$ e $L = 36\mu F$), ao qual é adicionado, em paralelo, o elemento sintetizado pelo BVI.

Na saída do inversor foi colocado um filtro passa baixas de quarta ordem com os seguintes valores: $L_f = 1mH$, $C_f = 2,2\mu F$, $L_{f1} = 3mH$ e $C_{f1} = 2.2\mu F$, com um

ramo amortecedor de $C_r = 16\mu F$ e $R_r = 66\Omega$.

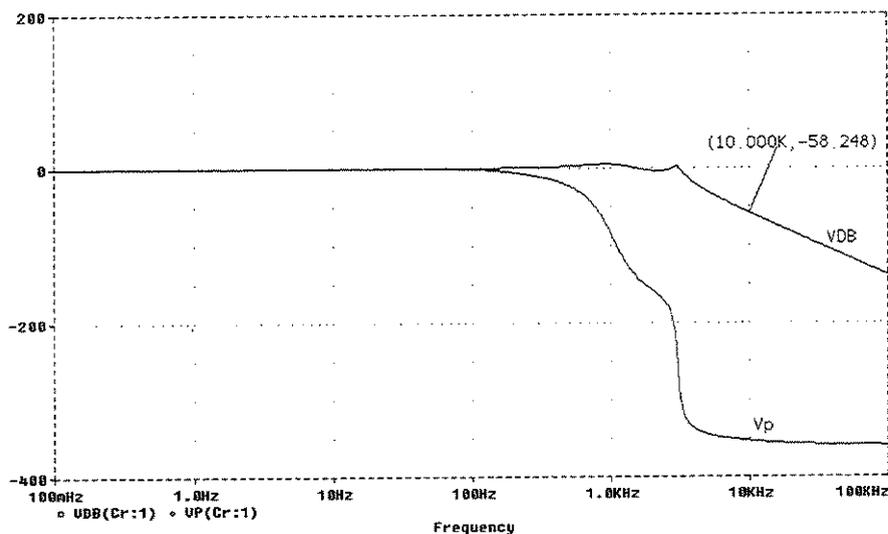


Figura 4.2: Resposta em freqüência do filtro de saída do BVI.

A resposta em freqüência é mostrada na figura 4.2, onde se pode ver que na freqüência de chaveamento tem-se uma atenuação de $58dB$.

Em 60 Hz o efeito dos ramos capacitivos é desprezível, de modo que a impedância padrão do BVI é composta pela soma dos dois indutores.

A rigor o capacitor C_{f1} tem muito pouca atuação, pois está em paralelo com a fonte. Em ensaios posteriores, no entanto, quando houver uma impedância em série com a fonte, este se tornará efetivo.

4.2.1 O BVI como indutância positiva

Nota-se na figura 4.3 que a tensão de referência está adiantada em relação à corrente do BVI, apresentando assim uma característica de indutância positiva.

A corrente eficaz pelo BVI é de 1,284A, enquanto pela fonte tem-se 2,352A.

Observe-se que a defasagem entre a corrente do BVI (CH1) e a tensão da fonte (CH4) não é 90° , ou seja a impedância não é puramente indutiva, apresentando uma parcela resistiva.

Tal parcela resistiva não se refere apenas ao enrolamento dos indutores, mas inclui também perdas do circuito. A maneira como estas perdas se refletem no circuito deve

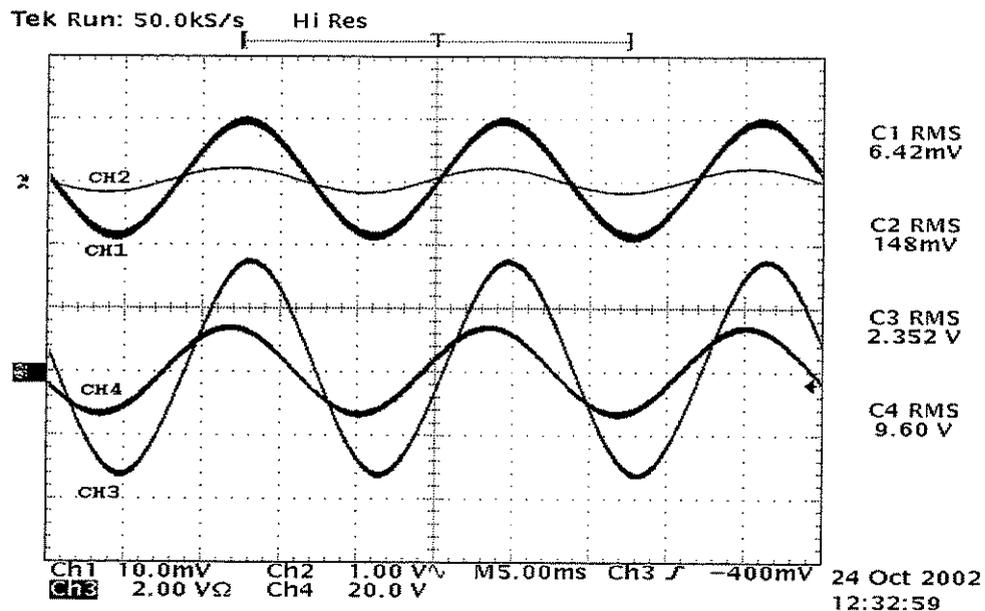


Figura 4.3: Formas de onda do BVI sintetizando uma indutância positiva. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2 A/div.) e tensão na fonte (CH4, 20V/div.).

ser objeto de estudos posteriores que darão continuidade às pesquisas relacionadas ao tema desta tese.

4.2.2 O BVI na correção do fator de potência

A figura 4.4 mostra as formas de onda do BVI quando atua para corrigir o fator de potência.

Nota-se na parte inferior que a tensão e a corrente da fonte estão em fase, emulando uma carga resistiva, com isso tem-se um fator de potência unitário.

Já na parte superior tem-se a corrente pelo BVI adiantada em relação à tensão da referência, caracterizando uma indutância negativa.

Nota-se que houve uma redução na corrente da fonte. O aumento da tensão de referência para o BVI é equivalente ao aumento do ganho do amplificador, levando o BVI à inversão da polaridade da impedância sintetizada.

Neste caso a defasagem é mais próxima de 90° , indicando uma impedância fortemente reativa.

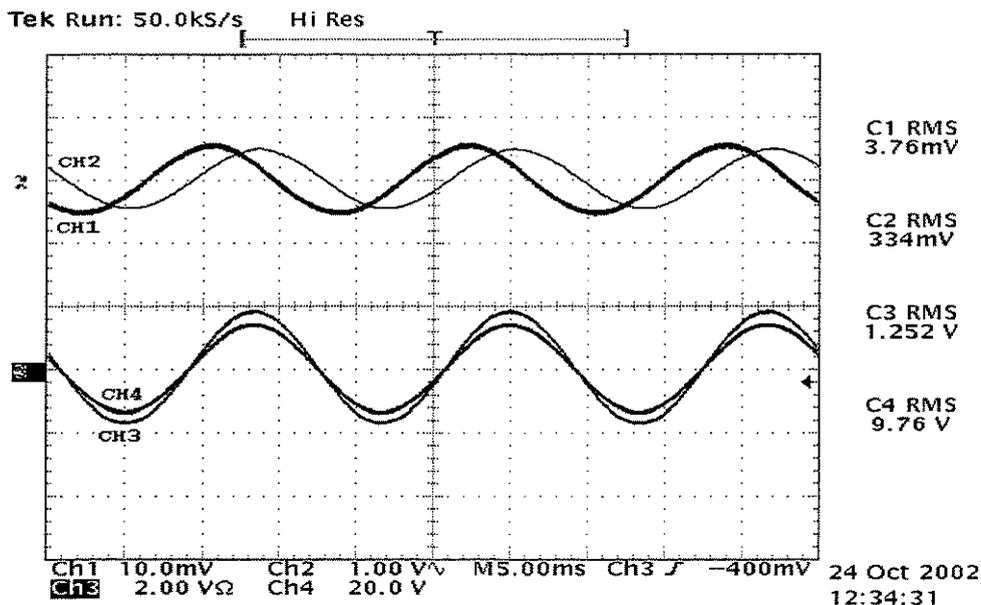


Figura 4.4: Formas de onda para a correção do fator de potência. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 20V/div.).

4.2.3 O BVI como uma indutância negativa - sobrecompensação

A figura 4.5 mostra as formas de onda do BVI sintetizando uma indutância negativa. Tanto na parte superior quanto na parte inferior as correntes estão adiantadas em relação às tensões.

Neste caso tem-se uma sobrecompensação da parcela indutiva da carga. Pode-se observar que a corrente do BVI está adiantada em relação à tensão de um ângulo maior que 90° . Isto se deve à parcela de resistência negativa presente na impedância sintetizada.

Uma resistência negativa implica no fornecimento de energia pelo inversor. Por esta razão há uma redução na corrente da fonte, pois parte da carga é suprida pelo BVI.

Durante a operação do BVI sintetizando uma indutância positiva, a resistência presente também é positiva, o que significa que o inversor deve absorver energia. Isto faz com que a tensão no barramento CC se eleve, em um efeito “boost”. Tal aumento de tensão se estabiliza quando as perdas do inversor (que crescem com a tensão) compensam a potência injetada.

Nesta situação seria possível adicionar uma malha de controle para a tensão CC,

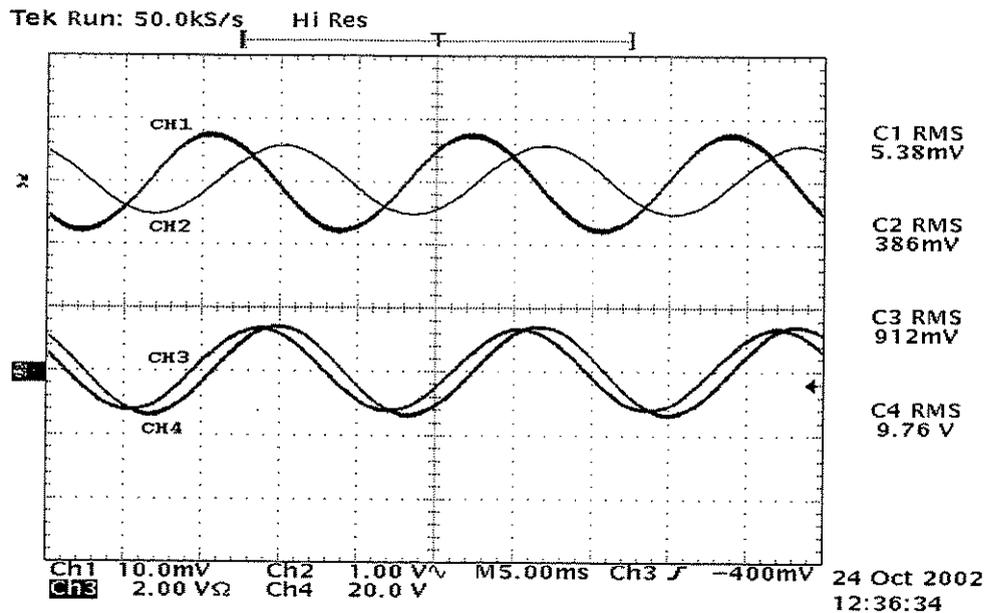


Figura 4.5: Formas de onda do BVI sintetizando uma indutância negativa. Acima: corrente pelo BVI (CH1, 2A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 20V/div.).

conforme apresentado no capítulo 1. No caso da resistência negativa é necessário haver uma fonte no lado CC.

Na figura 4.6 vê-se o espectro de frequências da corrente do BVI quando sintetiza uma indutância negativa. Pode-se ver a componente da frequência de chaveamento de $10kHz$.

A figura 4.7, mostra a variação na corrente do BVI e na tensão de referência, quando sintetiza uma indutância. Quando a referência é nula o comportamento do BVI é indutivo positivo.

Quando a referência aumenta, a corrente tende a se anular quando o ganho for unitário. Para ganho maior que a unidade a corrente volta a crescer, mas agora o BVI sintetiza uma indutância negativa.

A corrente não se anula porque há uma passagem através do filtro passivo da saída do BVI.

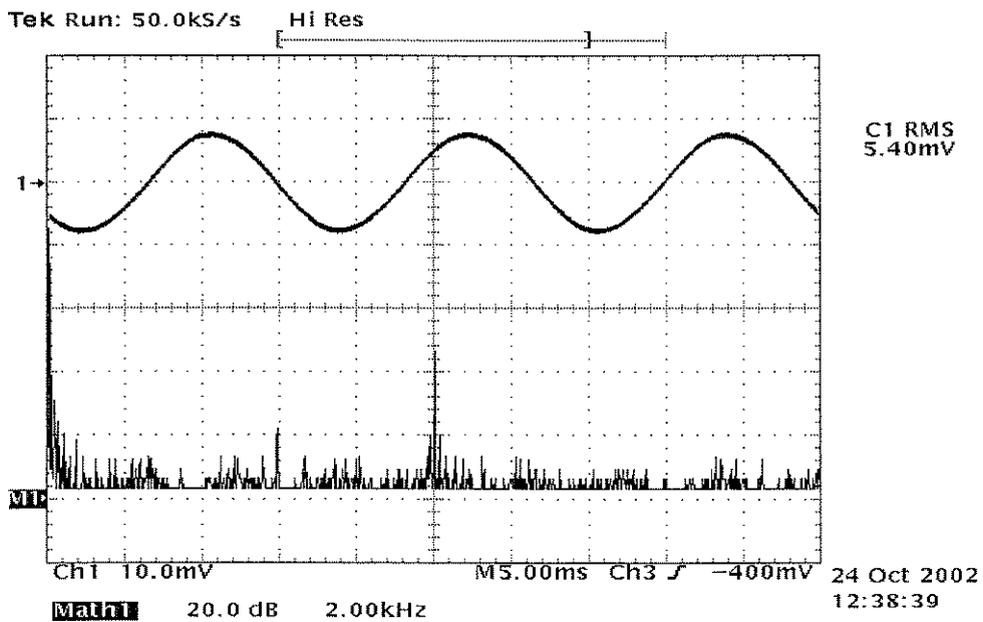


Figura 4.6: Espectro de freqüências da corrente do BVI.

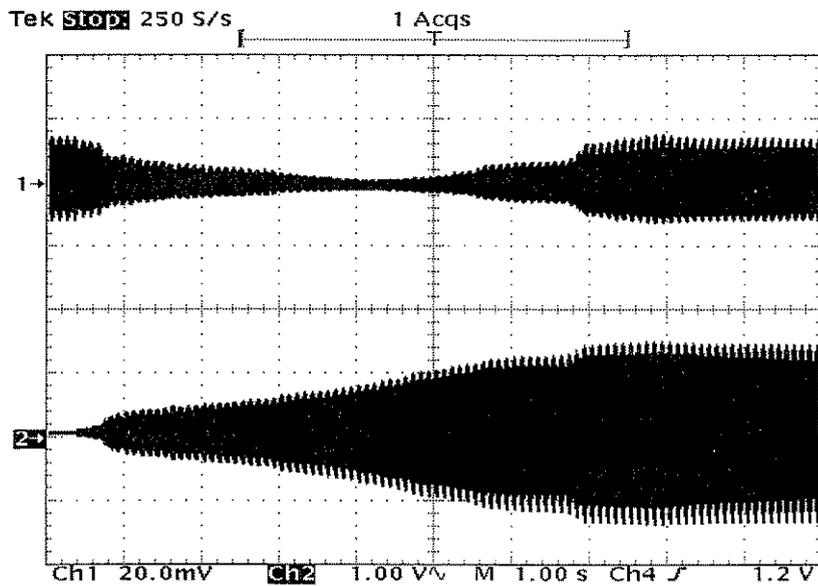


Figura 4.7: Variação na corrente do BVI(CH1) e na tensão de referência (CH2) com ganho crescente.

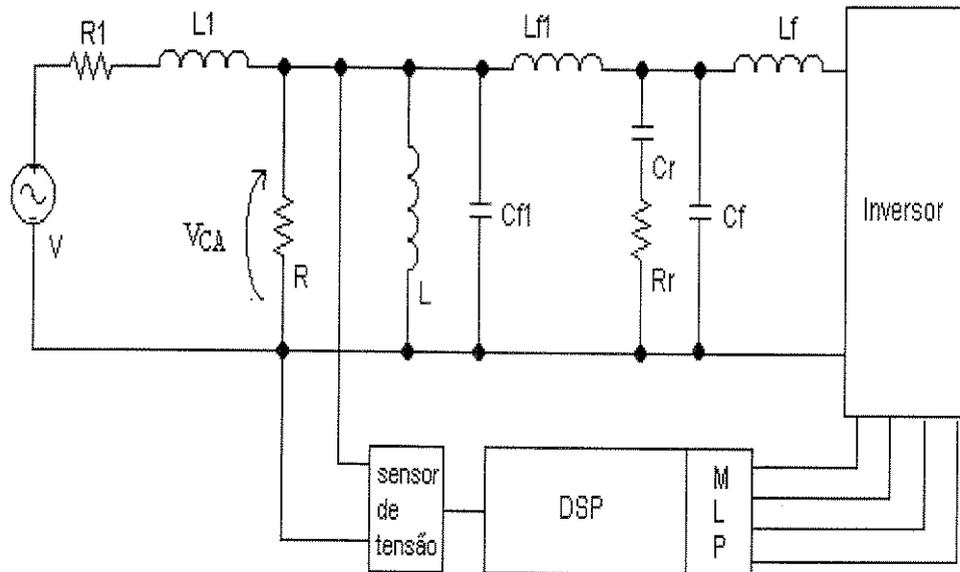


Figura 4.8: Circuito usado para o BVI com fonte de tensão não ideal.

4.3 O BVI com fonte não ideal

A figura 4.8 mostra o circuito no qual a uma fonte de tensão foram adicionados em série $R1 = 0,5\Omega$ e $L1 = 1mH$. Os demais elementos do circuito continuam os mesmos.

4.3.1 Correção do fator de potência

A figura 4.9 mostra as formas de onda do BVI quando atua para corrigir o fator de potência.

Nota-se, na parte inferior, que a tensão v_{CA} e a corrente da fonte estão em fase, o que significa que a fonte "vê" uma carga resistiva. Com isso o fator de potência é unitário.

Na parte superior, a corrente pelo BVI está adiantada da tensão da referência, indicando o comportamento de indutância negativa.

Nota-se a redução da tensão no barramento CA devido à queda em $R1$ $L1$.

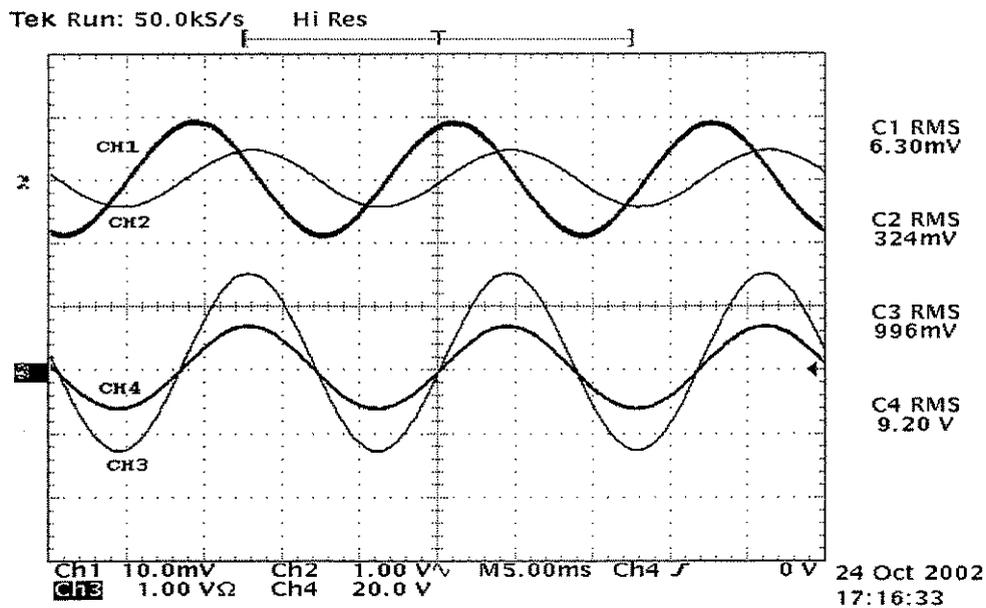


Figura 4.9: Formas de onda para a correção do fator de potência com fonte não ideal. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão v_{CA} (CH4, 20V/div.).

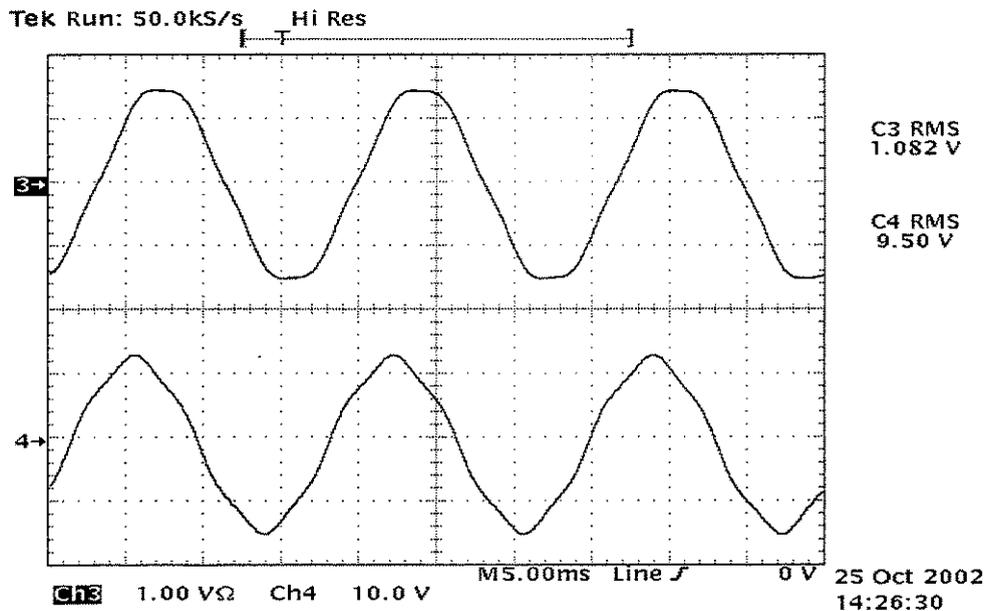


Figura 4.10: Formas de onda sem compensação. Acima: corrente na fonte (CH3, 1A/div.). Abaixo: tensão da fonte (CH4, 10V/div.).

4.4 O BVI com fonte não ideal e distorção harmônica

A figura 4.10 mostra as formas de onda (sem compensação) da tensão e da corrente da fonte. Pode-se ver que a fonte apresenta 5% de 5ª harmônica e a corrente está também distorcida.

As formas de onda são distintas porque a parcela indutiva de carga absorve uma componente de 5ª harmônica de apenas 1% (devido à sua maior reatância nesta frequência), além disso há também uma alteração na fase desta componente.

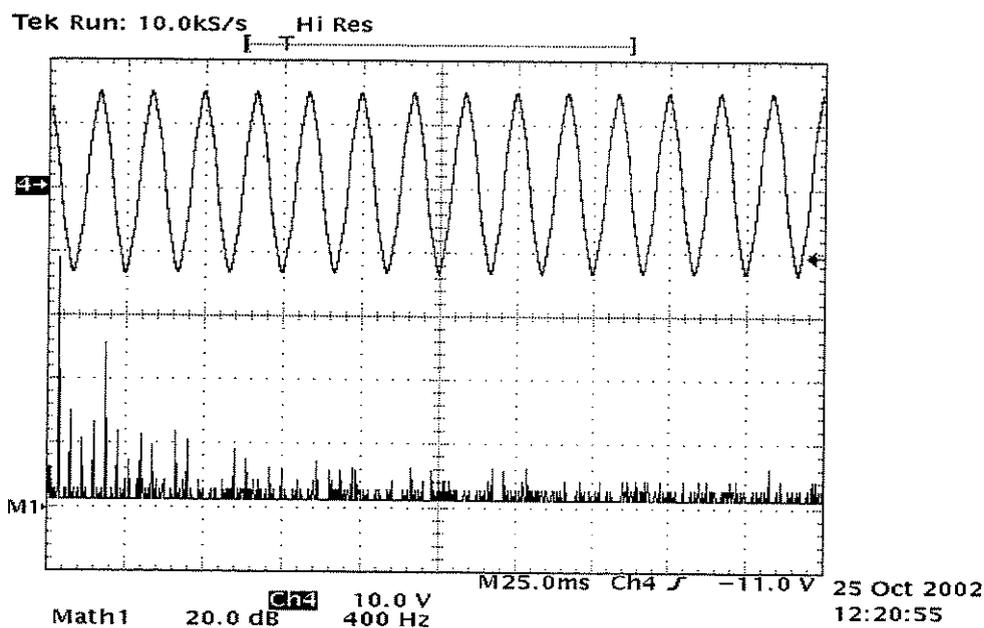


Figura 4.11: *Espectro em baixa frequência da tensão da fonte.*

A figura 4.11 apresenta o espectro de baixa frequência da tensão onde se vê a presença da quinta harmônica.

A figura 4.12 mostra, acima, as formas de onda da tensão de referência e da corrente pelo BVI quando se compensa o fator de potência. Nota-se, na parte inferior, que a tensão no barramento CA e a corrente da fonte estão em fase e têm a mesma forma, com isso tem-se um fator de potência unitário.

A figura 4.13 mostra o espectro da corrente da fonte após a compensação. Note-se que a 5ª harmônica reproduz a componente presente na tensão.

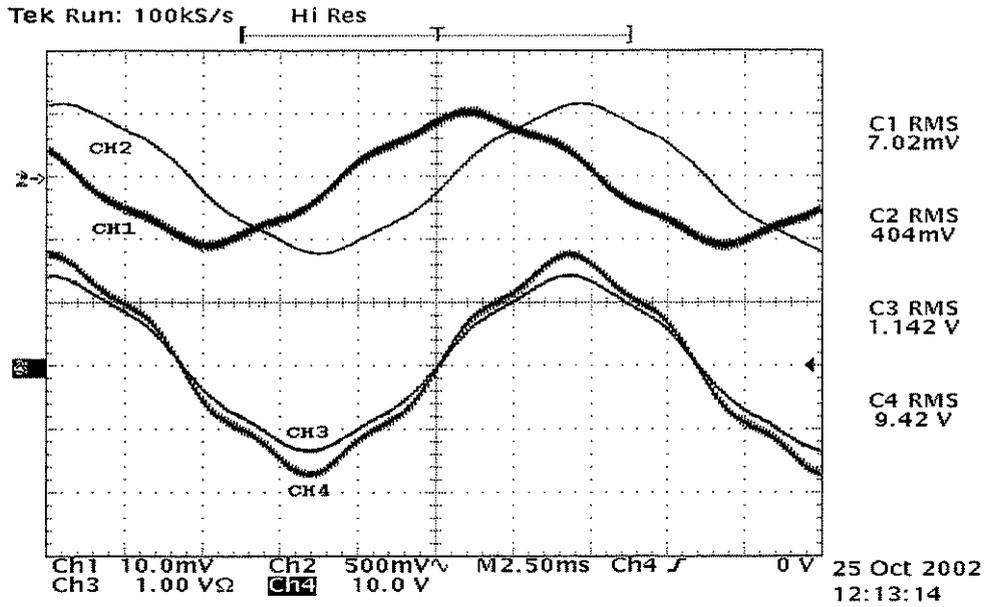


Figura 4.12: Formas de onda do BVI compensado. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão v_{CA} (CH4, 10V/div.).

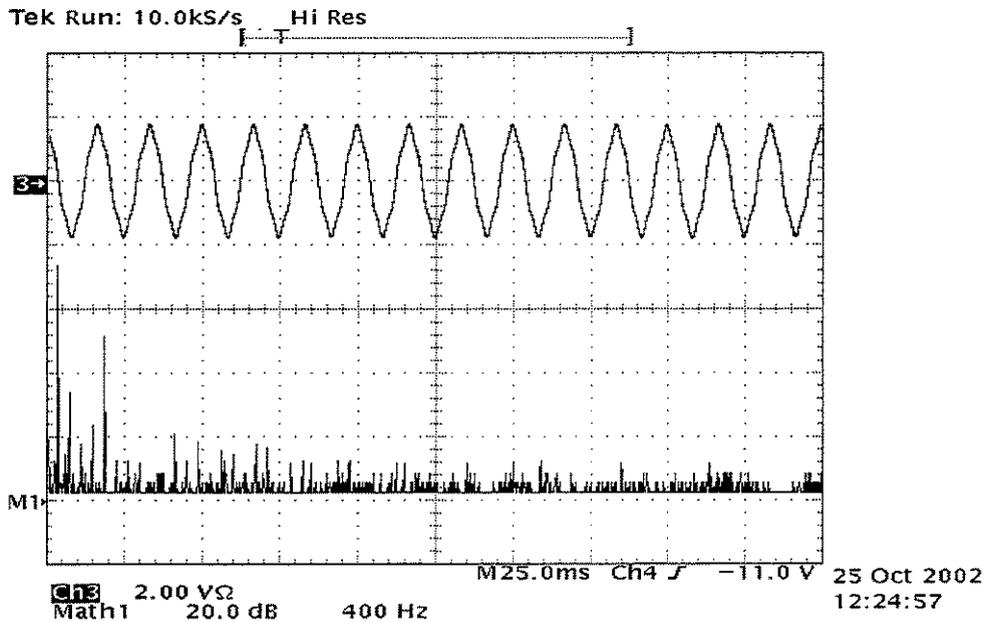


Figura 4.13: Espectro em baixa frequência da corrente fonte após a compensação do FP.

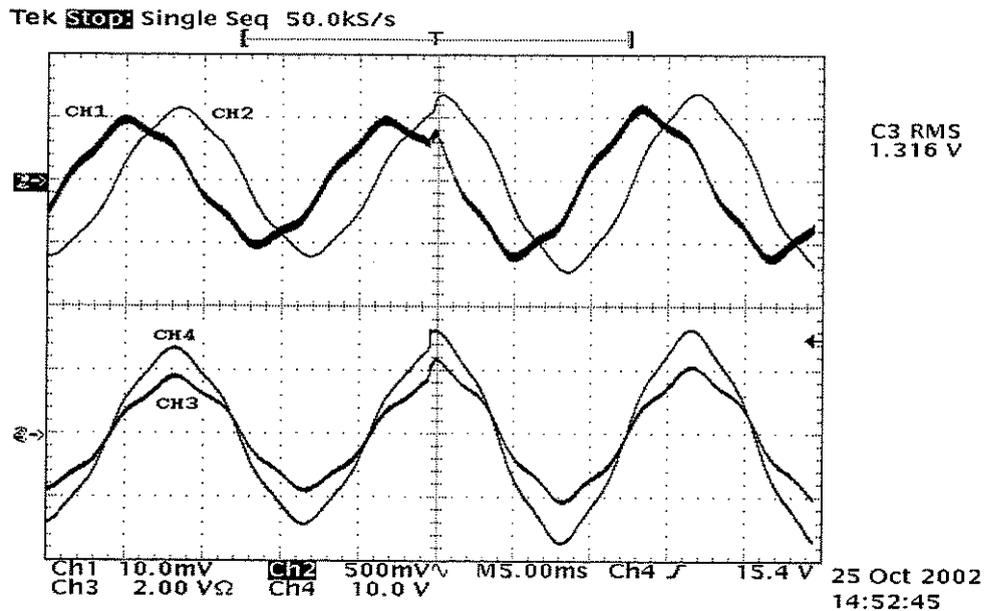


Figura 4.14: Resposta do BVI a um degrau de 20% da tensão de entrada. Acima: corrente pelo BVI (CH1, 1A/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão na fonte (CH4, 10V/div.).

4.4.1 Resposta do BVI a uma variação rápida de tensão

A figura 4.14 mostra a resposta do BVI a um degrau de 20% na tensão de entrada.

Observe-se que o sistema responde de forma praticamente instantânea a esta perturbação, mantendo as formas de onda e o fator de potência unitário.

4.5 Compensação com capacitor

A figura 4.15 mostra o circuito usado para a compensação do fator de potência com capacitor, com fonte ideal e 5% de 5ª harmônica, onde $R = 11\Omega$, $L = 36mH$, $C = 200\mu F$.

Pode-se ver na figura 4.16 que o capacitor introduz uma grande distorção na corrente, amplificando 5 vezes a quinta harmônica da corrente, devido à sua baixa reatância nesta frequência.

O capacitor corrige o deslocamento da componente fundamental, mas o fator de potência não é unitário.

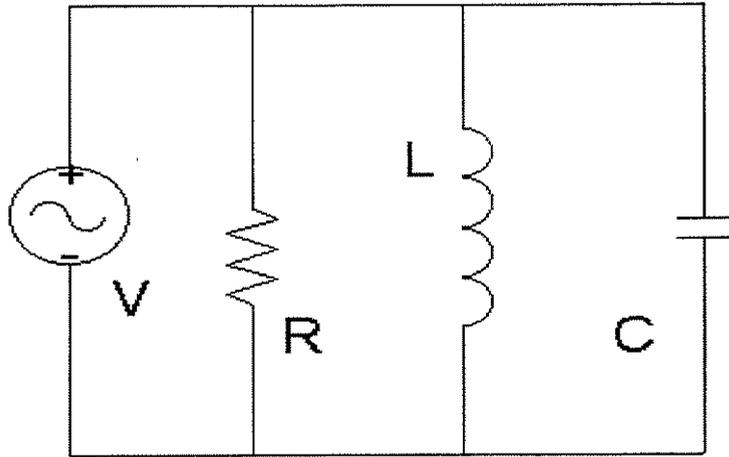


Figura 4.15: Circuito usado para a compensação com capacitor.

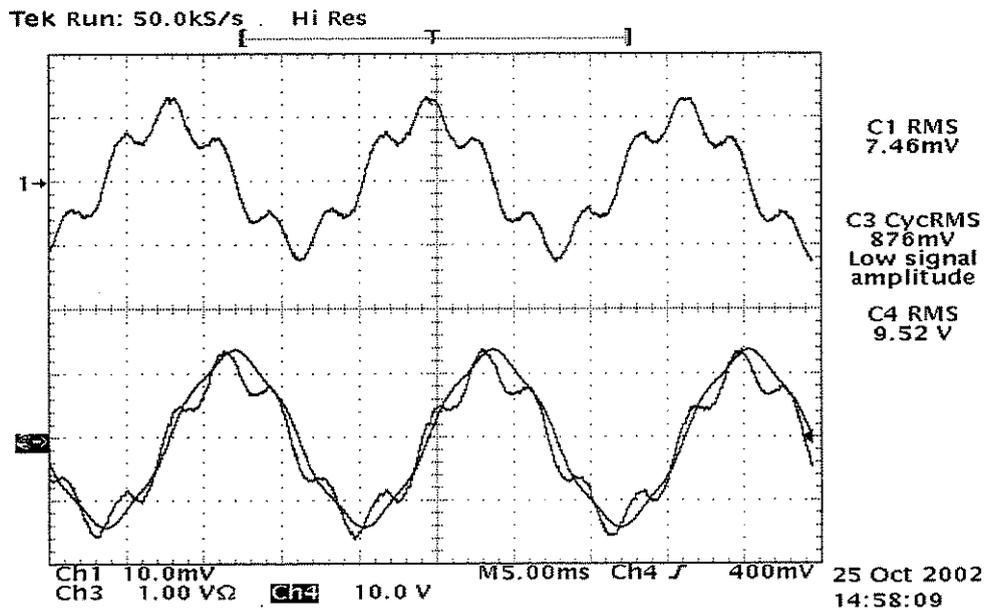


Figura 4.16: Formas de onda do circuito com capacitor. Acima: corrente pelo capacitor (CH1, 1A/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH4, 10V/div.).

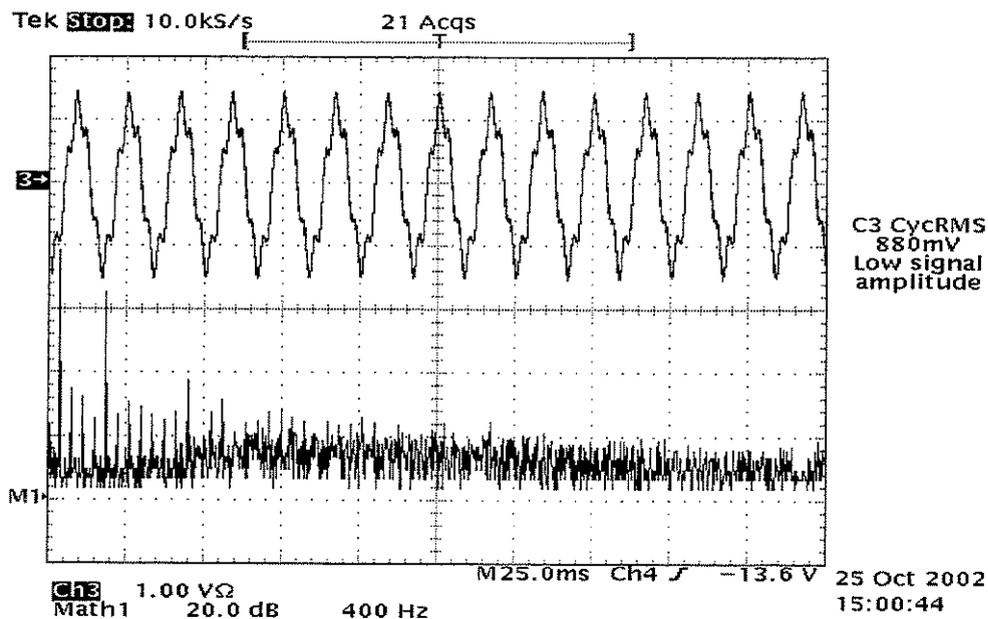


Figura 4.17: *Espectro em baixa freqüência da corrente na fonte.*

A figura 4.17 mostra o espectro em baixa freqüência da corrente na fonte, onde se pode ver que aumenta o conteúdo harmônico devido à atuação do capacitor.

4.5.1 Resposta a um degrau de 20% da tensão da entrada

A figura 4.18 mostra o circuito usado para analisar a resposta a um degrau de 20% na tensão de entrada.

Na figura 4.19 pode-se ver que além da distorção há uma oscilação no momento do degrau, devido a uma ressonância entre C e L1(30 μ H).

4.6 O BVI como regulador da tensão

Na figura 4.20 pode-se ver o circuito usado para testes de regulação de tensão, onde $L_{f1} = 3mH$, $C_{f1} = 2,2\mu F$, $L_f = 1mH$, $C_f = 2.2\mu F$, $C_r = 16\mu F$ e $R_r = 66\Omega$, $L = 36mH$, $R = 11\Omega$, $L1 = 1mH$ e $R1 = 0,5\Omega$.

Diferentemente dos ensaios anteriores, neste caso o BVI opera com malha fechada. A tensão no barramento CA é medida e comparada a um valor de referência. O erro é processado por um compensador tipo PI, cuja saída ajusta o ganho do BVI.

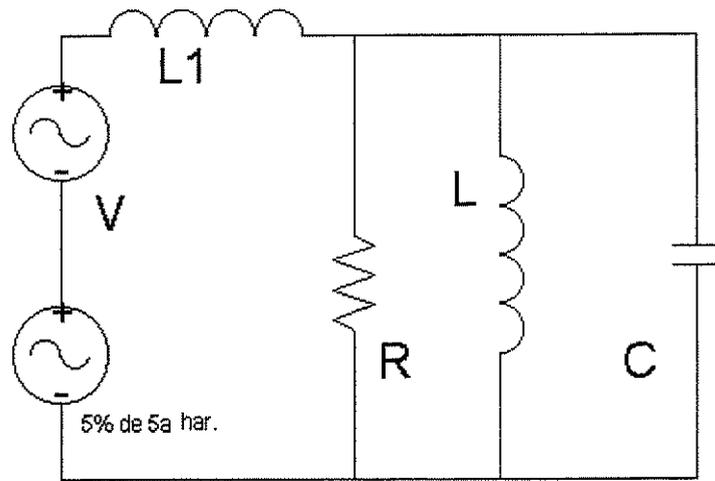


Figura 4.18: Circuito usado para a correção do fator de potência com capacitor e fonte não-ideal.

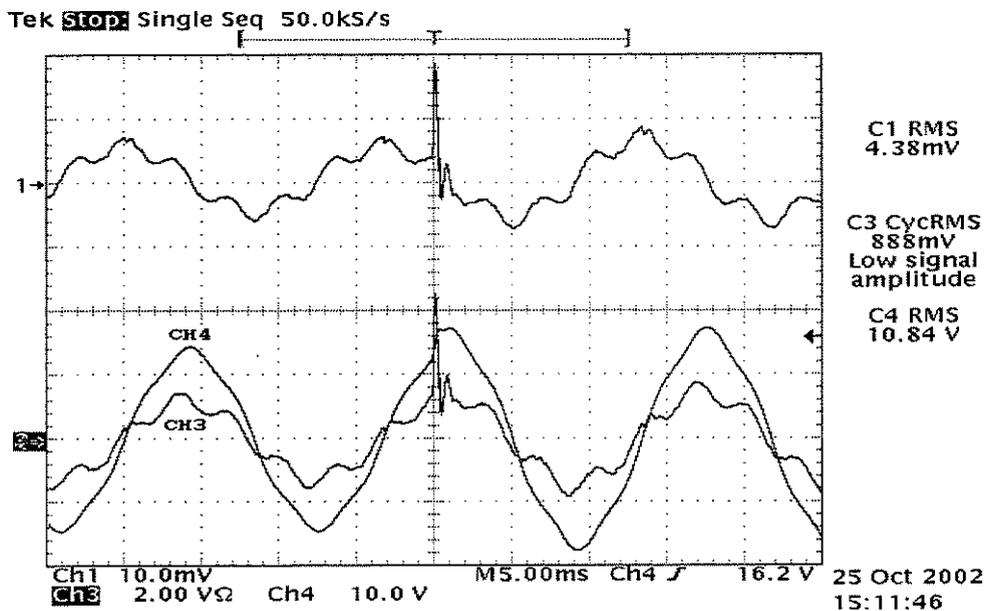


Figura 4.19: Resposta do circuito a um degrau de 20% da tensão de entrada. Acima: corrente pelo capacitor (CH1, 2A/div.). Abaixo: corrente na fonte (CH3, 2A/div.), e tensão no barramento CA (CH4, 10V/div.).

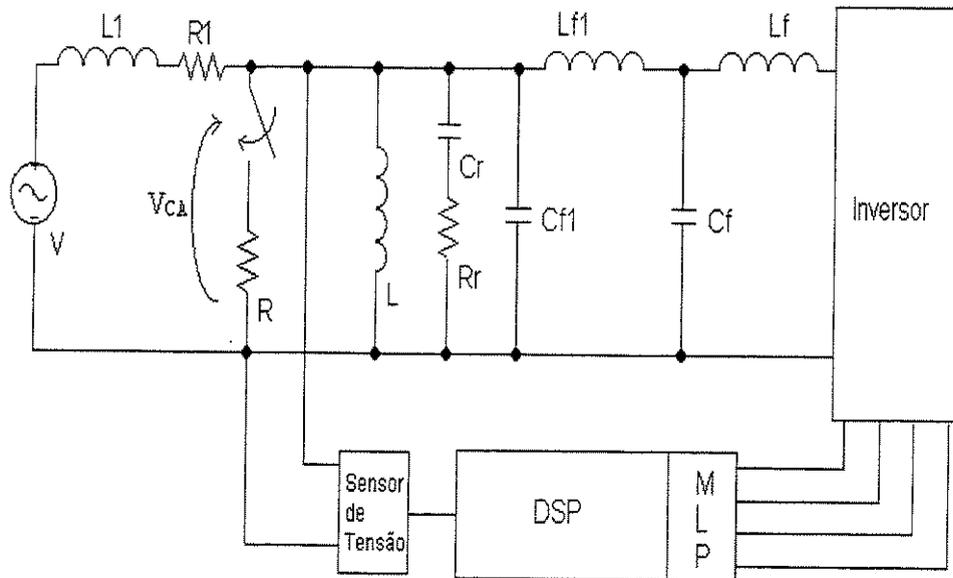


Figura 4.20: Circuito usado para a verificação da regulação da tensão.

Observe-se que houve uma alteração na topologia do filtro de saída do inversor, a qual foi necessária para assegurar a estabilidade do sistema.

A figura 4.21 mostra a tensão de referência do BVI, a tensão no barramento CA e a corrente na carga resistiva, a qual está inicialmente desconectada.

Quando a resistência é inserida no circuito, há uma redução na tensão, devido à queda na impedância série da fonte.

A malha de controle atua para restabelecer a tensão, elevando a tensão de referência do BVI, que passa a atuar como uma indutância negativa.

A recuperação da tensão se dá em quatro ciclos.

O projeto do compensador não foi otimizado para diminuir o tempo de resposta.

4.7 O SDR

A figura 4.22 mostra o circuito usado para a análise da compensação série com o SDR onde: $L_{f1} = 4mH$, $C_{f1} = 2,2\mu F$, $L_f = 1mH$, $C_f = 2,2\mu F$, $C_r = 16\mu F$ e $R_r = 66\Omega$ e $L = 36mH$.

A figura 4.23 mostra as formas de onda com o SDR desligado.

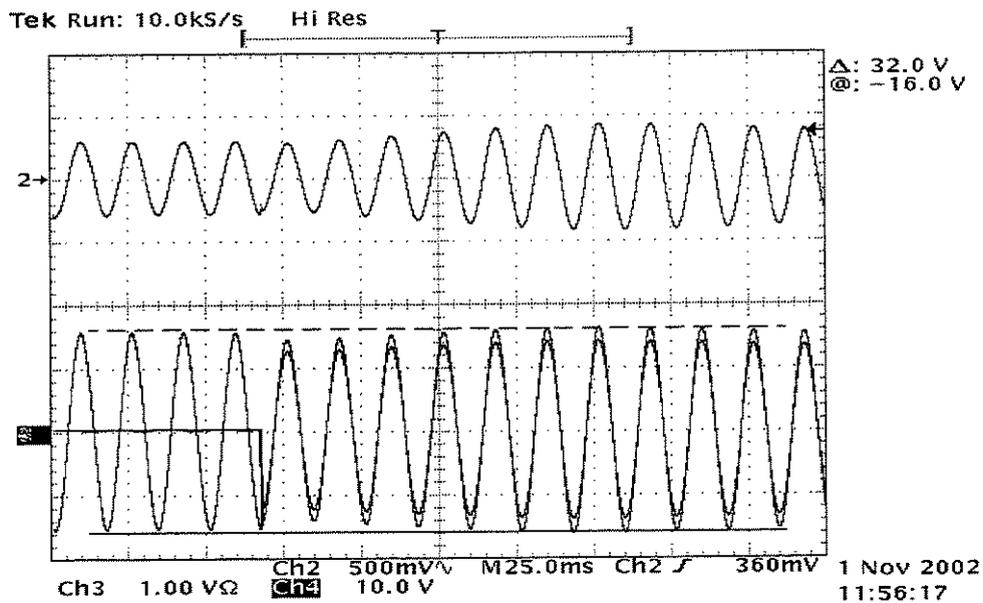


Figura 4.21: Resposta do BVI como regulador de tensão. Acima: tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na carga resistiva (CH3, 1A/div.), e tensão no barramento CA (CH4, 10V/div.).

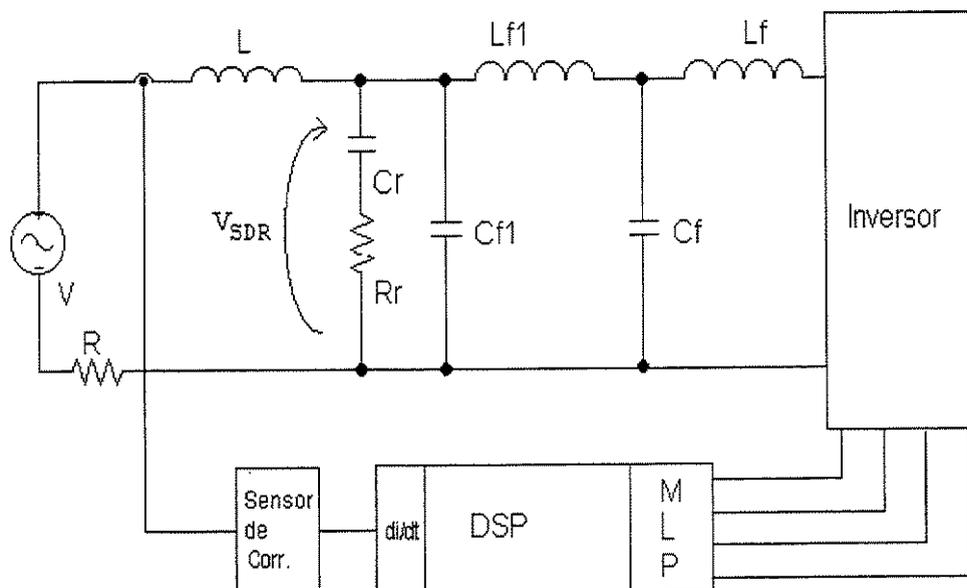


Figura 4.22: Circuito usado para a compensação série com o SDR.

Sendo nula a referência do SDR, a tensão média produzida pelo inversor (calculada em um ciclo de 60 Hz) é zero, de modo que, para esta frequência, o circuito é essencialmente formado apenas pela associação série do resistor R (11Ω) com a indutância L ($36mH$) e as indutâncias do filtro de saída do SDR, $L_{f1} + L_f$ (5 mH).

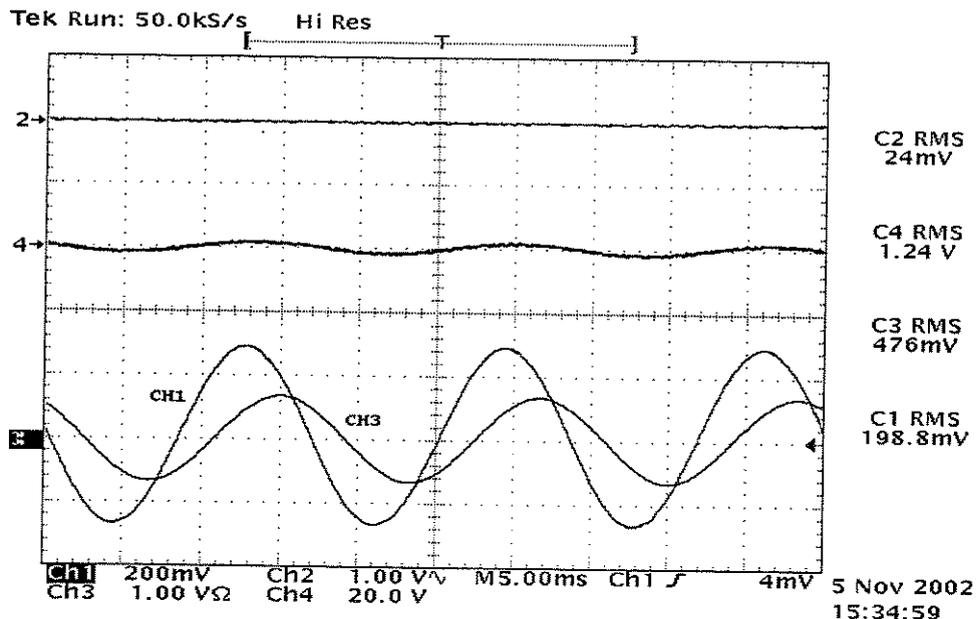


Figura 4.23: Formas de onda com o SDR desligado. Acima: tensão de referência (CH2, 1V/div.), tensão no SDR (CH4, 20V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.)

A tensão vista na figura 4.23 (CH4) é, então, uma fração da tensão da fonte (ajustada para 10 Volts.).

Como esperado, a corrente apresenta-se atrasada em relação à tensão da fonte.

A figura 4.24 mostra uma situação de compensação parcial da indutância do circuito. O SDR sintetiza uma tensão (CH4) que segue a referência (CH2).

Observe que há uma redução na defasagem e um aumento na corrente, devido à diminuição da impedância total do circuito.

A figura 4.25 mostra resultados em que a compensação da indutância é total. Este é o limite de estabilidade do circuito.

Note-se que há um aumento na corrente, atingindo o limite determinado pela resistência presente na malha.

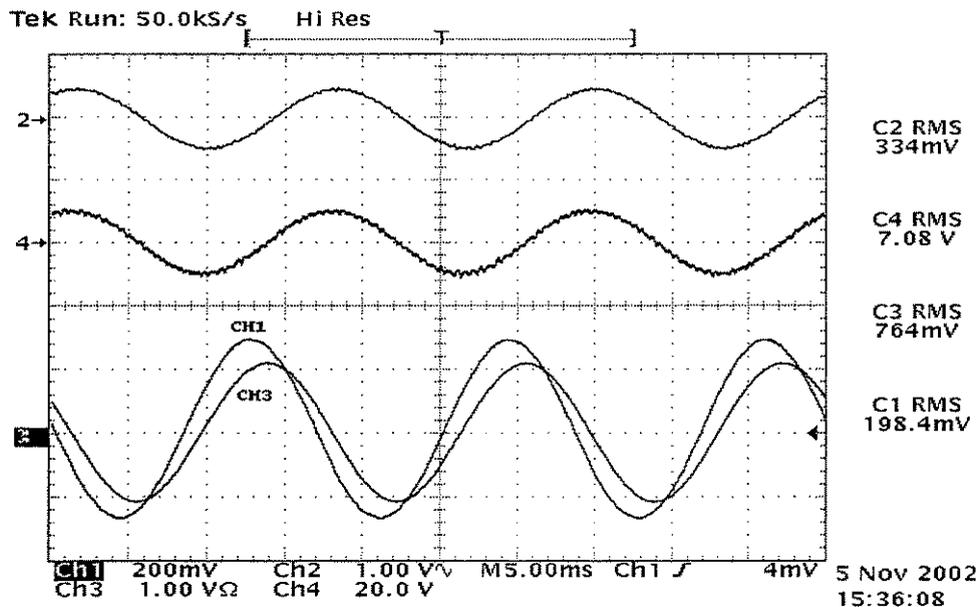


Figura 4.24: Formas de onda do circuito com SDR. Acima: tensão de referência (CH2, 1V/div.), tensão no SDR (CH4, 20V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).

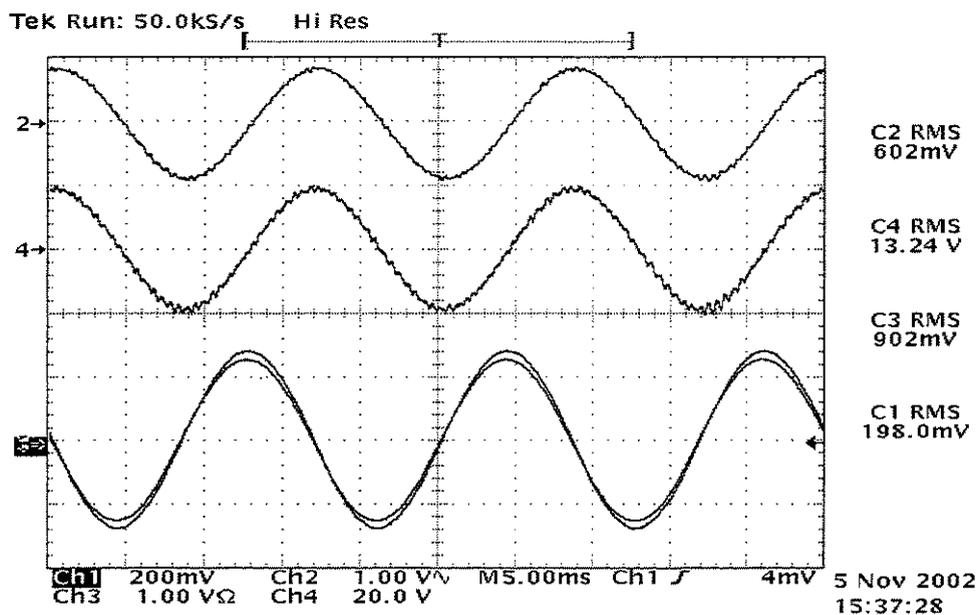


Figura 4.25: Formas de onda do circuito com SDR. Acima: tensão no SDR (CH4, 20V/div.), tensão de referência (CH2, 1V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).

4.7.1 O SDR como regulador de corrente

Nesta aplicação o SDR opera em malha fechada com o objetivo de manter constante o valor eficaz da corrente pelo circuito.

Este modo de operação permite controlar o fluxo de potência por uma linha de transmissão.

A figura 4.26 mostra uma situação em que se parte de um circuito sem a resistência R. Neste caso a indutância é $L = 20$ mH.

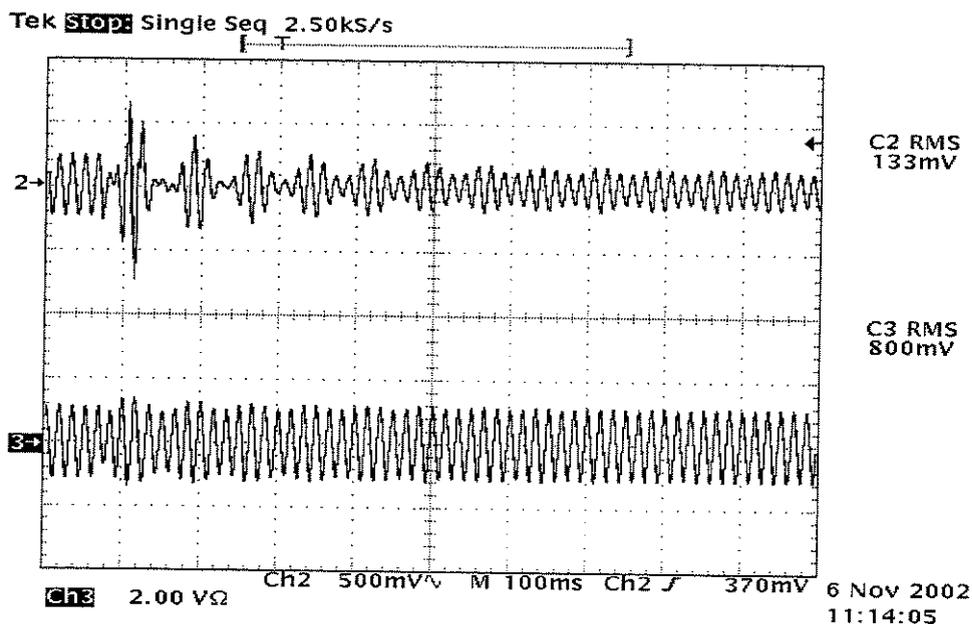


Figura 4.26: Formas de onda do circuito com SDR regulando a corrente. Acima: tensão referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 2A/div.).

A corrente é de 0,8A e o SDR está atuando como uma indutância positiva.

Quando a resistência é inserida no circuito, a corrente tende a cair, fazendo com que o SDR altere seu comportamento para o de uma indutância negativa, mantendo a regulação da corrente.

O compensador PI utilizado não foi otimizado, de onde se observa a resposta oscilatória na tensão de referência do SDR.

A figura 4.27 mostra um detalhe das formas de onda quando o SDR está sintetizando uma indutância positiva. Note que a tensão de referência (CH2) está adiantada em relação à corrente (CH3).

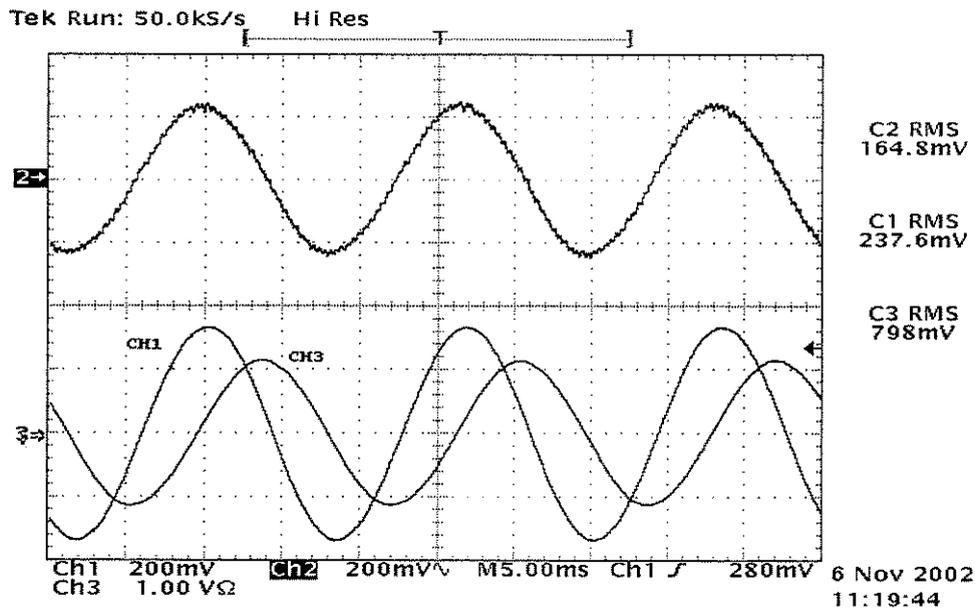


Figura 4.27: Formas de onda do circuito com SDR para regular tensão. Acima: tensão de referência (CH2, 0,2V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).

A figura 4.28 mostra em detalhe quando o SDR sintetiza uma indutância negativa, o que se verifica pela defasagem entre a tensão de referência (CH2) e a corrente (CH3), estando esta última adiantada.

O valor eficaz da corrente foi mantido constante e há uma diminuição na defasagem entre a tensão e a corrente da fonte.

Há uma distorção na tensão de referência, a qual se reflete na tensão sintetizada a qual, por sua vez leva a uma distorção na corrente, cuja derivada é a referência.

Observa-se que qualquer imperfeição na geração da referência, mesmo partindo de um circuito linear, com alimentação senoidal, pode levar à degradação das formas de onda. Este é um dos assuntos que precisa ser melhor explorado na continuidade destas pesquisas.

No caso específico da distorção observada, a mesma provavelmente está associada a alguma não-linearidade na geração da referência, que utiliza um cálculo de valor eficaz da corrente. Uma ondulação residual neste sinal pode induzir as anomalias observadas.

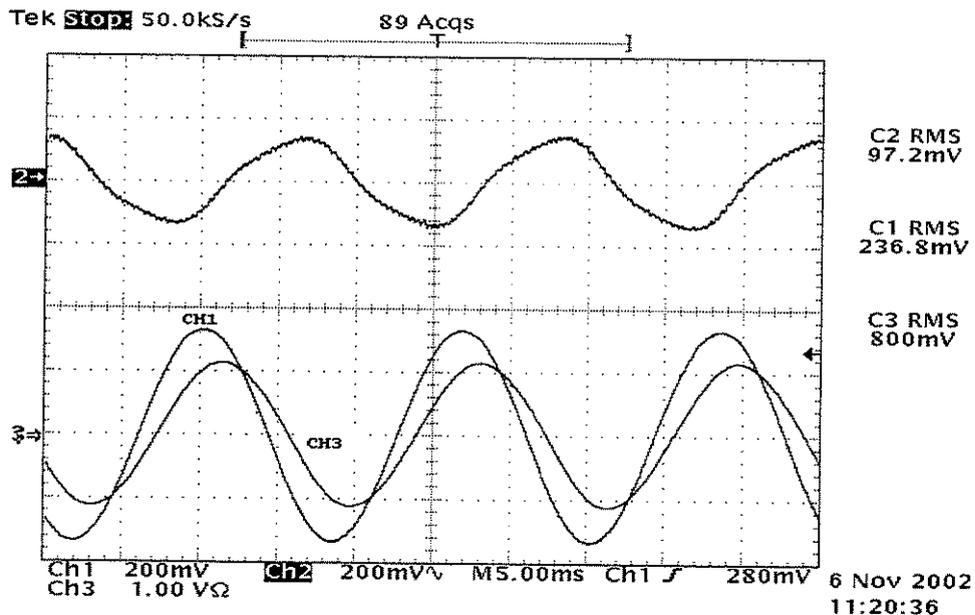


Figura 4.28: Formas de onda do circuito com SDR para regulação de corrente. Acima: tensão de referência (CH2, 0,2V/div.). Abaixo: corrente na fonte (CH3, 1A/div.), e tensão na fonte (CH1, 10V/div.).

4.7.2 O SDR trifásico

Uma versão do SDR trifásico foi implementada, utilizando modulação vetorial, conforme descrito no apêndice A. São medidas as correntes em duas fases, calculando-se a terceira corrente. As referências são obtidas derivando-se estes sinais.

Em cada fase o circuito implementado é igual ao da figura 4.22, com os seguintes valores: $L_{f1} = L_f = 1mH$, $C_{f1} = C_f = 2,2\mu F$, $L = 8mH$, $R = 5\Omega$, com um ramo amortecedor de $C_r = 16\mu F$ e $R_r = 33\Omega$.

A variação do efeito de compensação pode ser obtida ajustando-se a tensão no barramento CC.

A distorção observada nas formas de onda da figura 4.29 pode estar associadas à montagem trifásica, pois não foram identificadas quando o SDR foi testado no caso monofásico, sem malha de controle.

Conforme já foi dito, a presença de uma pequena distorção na corrente, por esta grandeza servir para gerar a referência da tensão do SDR, pode realimentar e degradar ainda mais as formas de onda.

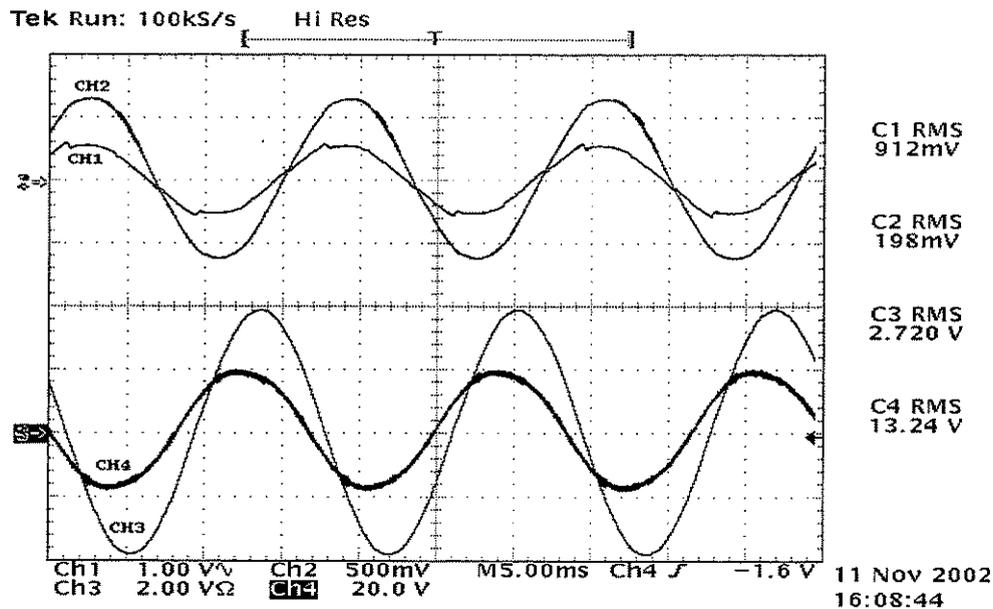


Figura 4.29: Formas de onda do SDR trifásico. Acima: tensão no SDR (CH1, 1V/div.), tensão de referência (CH2, 0,5V/div.). Abaixo: corrente na fonte (CH3, 5A/div.), e tensão no barramento CA (CH1, 20V/div.).

Apesar da forma não senoidal da tensão do SDR, é possível verificar que o mesmo atua como uma "indutância negativa", e realiza uma compensação parcial da indutância do circuito.

4.8 Conclusões

Se comprovaram experimentalmente as implementações do BVI e do SDR.

O BVI foi testado na correção do fator de potência, sem e com distorção na alimentação, e na regulação de tensão.

Verificou-se que o comportamento dinâmico do BVI é melhor do que o que se obtém quando se utiliza uma capacitância para fazer correções análogas.

O funcionamento do SDR como indutância negativa foi verificado em aplicações série como regulador de corrente. Também neste caso os resultados experimentais mostraram-se consistentes com os estudos teóricos e simulações apresentadas anteriormente.

Foi também implementada uma versão do SDR trifásico, onde se usou a modulação

vetorial e se verificou o seu funcionamento como indutância negativa. As distorções encontradas precisam ser compreendidas antes da implementação de um prototipo de potência mais elevada.

Capítulo 5

CONCLUSÕES

Dentro de suas limitações de frequência de comutação e de filtro de saída, os inversores podem produzir qualquer forma de onda de tensão ou de corrente.

O emprego destes dispositivos para sintetizar o comportamento de indutâncias ou capacitâncias é vantajoso em relação ao emprego dos dipolos reais principalmente por duas razões: a possibilidade de sintetizar o comportamento de dipolos de valor elevado a partir de componentes de valor reduzido; e o controle de tal valor, o que possibilita o uso destes dispositivos para alguma ação de controle sobre o sistema.

Foram revistas duas metodologias para síntese de reatância: o VAPAR e o BVI.

Apresentou-se uma metodologia alternativa, a SDR, que apresenta vantagens em aplicações em que o dipolo é inserido em série em um circuito elétrico.

A capacidade destes dispositivos produzirem componentes, como uma indutâncias negativa, abre a possibilidade de novas aplicações, assim como traz a necessidade de estudos de estabilidade dos circuitos nos quais se insere tal dipolo.

Foram determinadas as características de transferência e os limites de estabilidade para diversos circuitos que representam aplicações típicas.

Diversas situações instáveis foram identificadas, mas também foi identificada a característica estabilizadora da síntese de uma resistência negativa em série com uma indutância negativa.

As aplicações estudadas foram: a correção do fator de potência, a regulação de tensão e a compensação de linhas de transmissão.

As análises comparativas entre a aplicação de uma indutância negativa em contra-posição ao uso de capacitores mostram significativas melhoras em respostas tran-

sitórias, assim como na presença de distorções na tensão de alimentação.

Diferentemente dos filtros ativos, os dispositivos estudados não são capazes de corrigir distorções de corrente, razão pelo qual seu emprego para correção de fator de potência é efetivo em situações de baixa distorção da corrente, o que tende a acontecer em níveis mais elevados de tensão.

Os resultados experimentais apresentados comprovam a operação dos conversores, indicando a viabilidade do emprego destas técnicas em dispositivos de compensação nos sistemas elétricos

Realizações trifásicas a três fios são também possíveis, sem necessidade de alterações conceituais na sua implementação com relação aos exemplos apresentados e que foram preliminarmente verificados.

Em termos de prosseguimento de pesquisas, alguns pontos a considerar são:

Identificação de novas aplicações.

Estudo do efeito de tensões e correntes distorcidas sobre a síntese das reatâncias.

Estudo de topologias de potência e de estratégias de controle, visando aplicações em média potência (o que significa frequência de comutação na faixa de kHz).

Em termos de topologias, poderão ser investigadas as que operam em MLP e as multinível.

Estudo da influência dos filtros passivos de saída sobre o desempenho dos conversores e eliminação de instabilidades por ação de controle, ao invés de amortecimento resistivo.

Estudo das proteções necessárias às aplicações em série e em derivação.

Estudo do efeito da inclusão de transformadores para realizar a conexão em um circuito elétrico.

Implementação de protótipo mono/trifásico de potência mais elevada.

Estudo de aplicações do SDR em derivação.

A presente tese, até esta data, apresentou uma publicação (Teresa Esther Núñez Zúñiga y José Antenor Pomilio. "Síntesis de Impedancias No Naturales y Aplicaciones en Sistemas eléctricos". Congreso Internacional de Ingeniería Electrónica, Eléctrica y Sistemas INTERCON'02 CALLAO-PERU. Del 05 al 09 de Agosto de 2002) e um artigo encontra-se submetido à revista Eletrônica de potência.

Apêndice A

Modulação por Vetores Espaciais

A estratégia da Modulação MLP por Vetores Espaciais é hoje muito usada. A razão deste sucesso deve-se principalmente à possibilidade de uma fácil implementação em um ambiente digital.

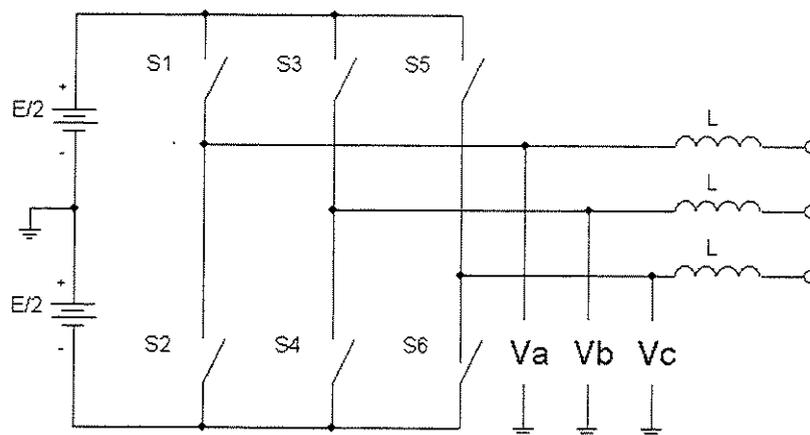


Figura A.1: *Inversor como fonte de tensão trifásica.*

Um inversor trifásico pode gerar três tensões de fase independentes. Estas tensões podem assumir os valores $\frac{+E}{2}$ a $\frac{-E}{2}$, de acordo com a figura A.1, a depender da posição dos interruptores S1 a S6.

São possíveis 8 diferentes configurações para os interruptores que serão os estado disponíveis do inversor. Obviamente não são possíveis estados em que os dois interruptores de um ramo estejam fechados e sempre deve haver um interruptor fechado em cada ramo.

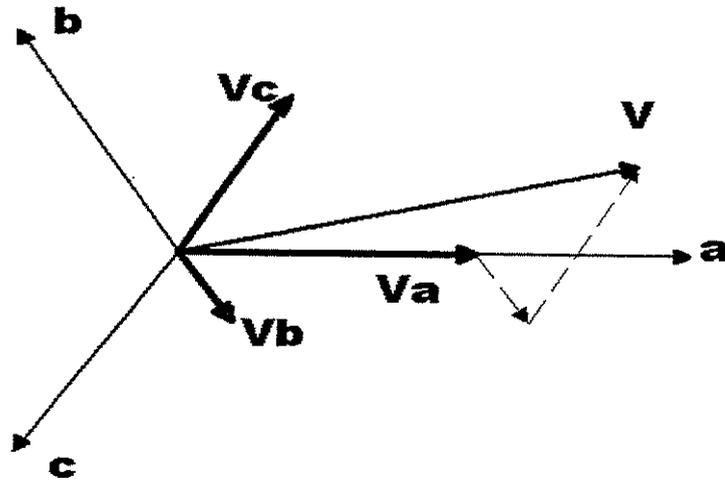


Figura A.2: Vetor V obtido das tensões instantâneas V_a , V_b e V_c nos eixos a - b - c .

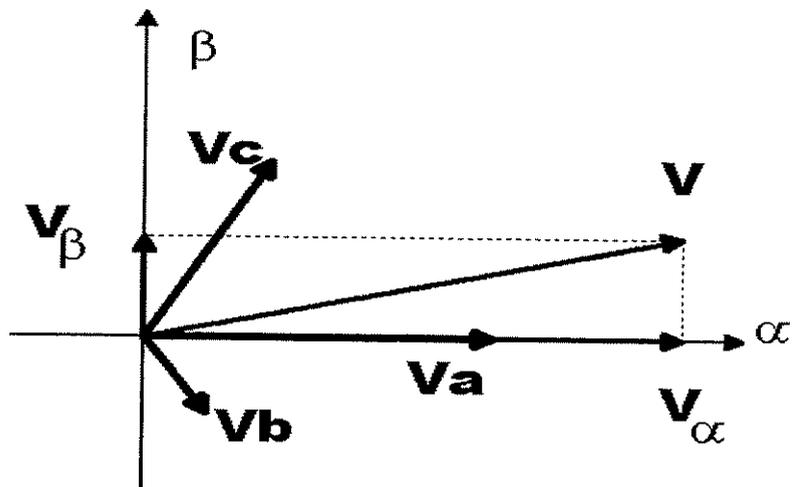


Figura A.3: Vetor V no plano $\alpha - \beta$.

Os valores instantâneos das tensões V_A , V_B e V_C podem ser representados em um plano definido por três eixos a-b-c, como mostra a figura A.2. Valores positivos são orientados no sentido indicado pelo eixo.

A situação mostrada na figura representa um caso em que $V_A > 0$, $V_B < 0$ e $V_C < 0$. A soma destes vetores produz o vetor V .

O mesmo vetor V pode ser representado em um plano definido por apenas dois eixos, $\alpha - \beta$, como mostra a figura A.3. O eixo α coincide com o eixo a.

A.1 Representação dos Estados do Inversor

A cada uma das 8 configurações (estados) possíveis para os interruptores pode-se associar um vetor, conforme mostra a figura A.4. Cada vetor é associado a três algarismos que indicam a posição dos interruptores de cada ramo do inversor.

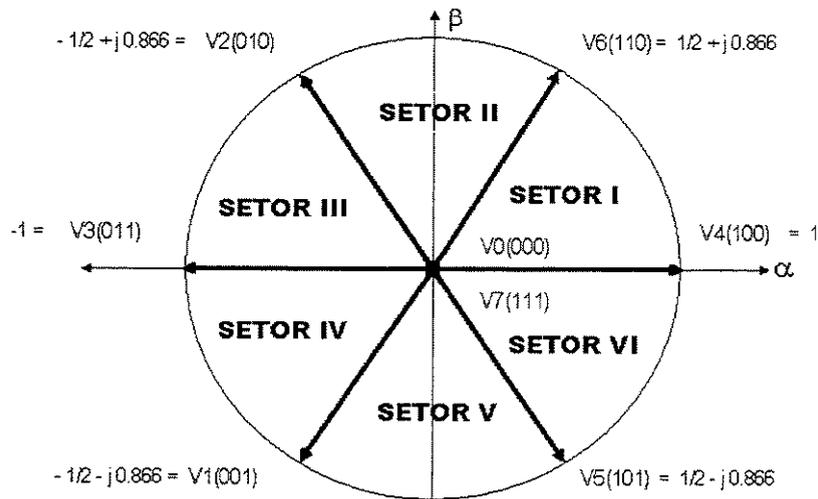


Figura A.4: *Distribuição dos Vetores de Estados no Plano Complexo.*

O 1º se refere ao ramo que define a tensão V_A , o 2º refere-se a V_B , e o 3º a V_C .

O valor "1" indica que o interruptor superior está fechado, enquanto o valor "0" indica que o interruptor inferior está fechado.

Observe que os vetores adjacentes apresentam apenas alteração no estado de um ramo.

A figura A.5 mostra o inversor quando representado pelo vetor 4(100).

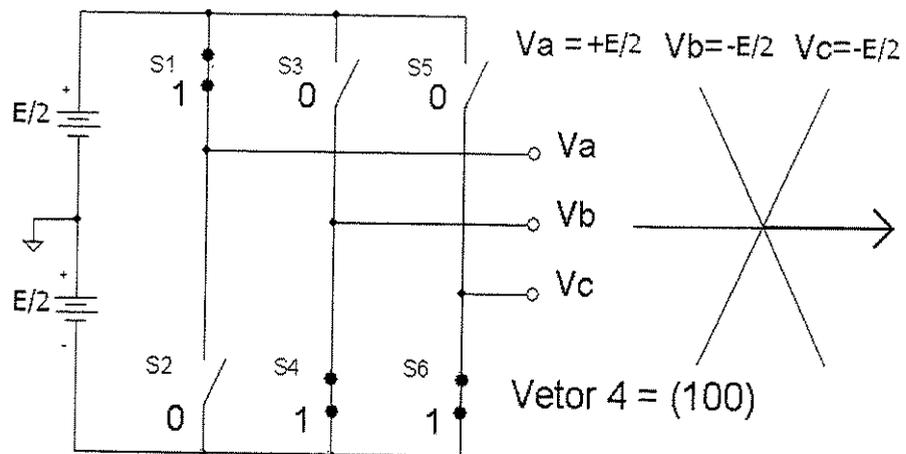


Figura A.5: Estado 100 do inversor.

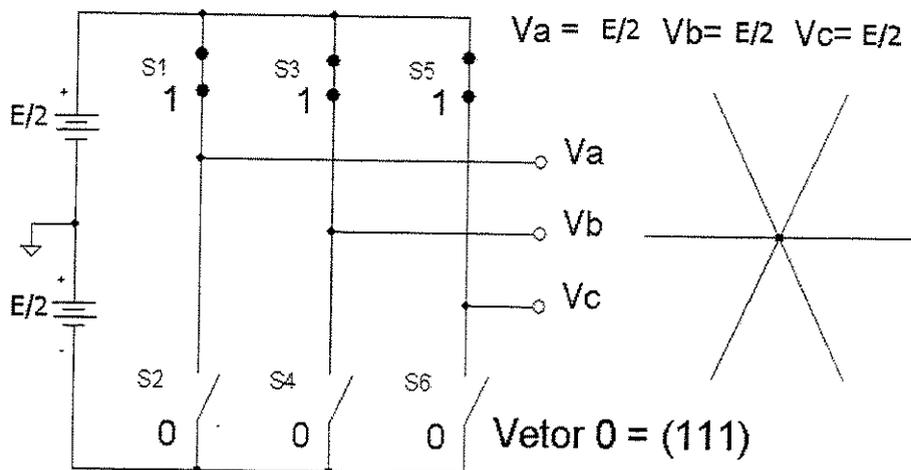


Figura A.6: Estado Zero do Inversor (111) .

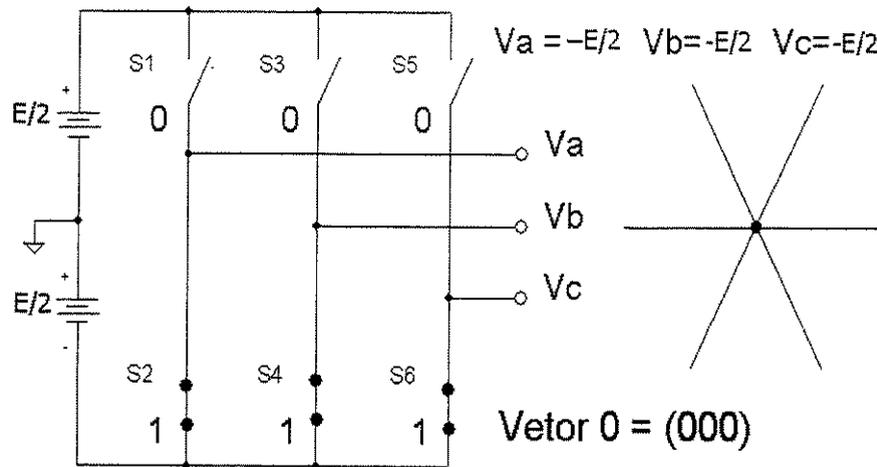


Figura A.7: Estado Zero do Inversor (000).

Há duas possibilidades para o chamado vetor nulo, que é aquele em que as tensões de linha são zero, e correspondem aos estados (111) e (000), mostrado nas figuras A.6 e A.7.

A posição de cada vetor no plano complexo é:

$$V_4 = (100) = e^{j0} = 1$$

$$V_6 = (110) = e^{j\frac{\pi}{3}} = \frac{1}{2} + j\frac{\sqrt{3}}{2}$$

$$V_2 = (010) = e^{j\frac{2\pi}{3}} = -\frac{1}{2} + j\frac{\sqrt{3}}{2}$$

$$V_3 = (011) = e^{j\pi} = -1$$

$$V_1 = (001) = e^{j\frac{4\pi}{3}} = -\frac{1}{2} - j\frac{\sqrt{3}}{2}$$

$$V_5 = (101) = e^{j\frac{5\pi}{3}} = \frac{1}{2} - j\frac{\sqrt{3}}{2}$$

A representação do vetor tensão V pode ser analiticamente formulada no plano $\alpha - \beta$.

$$V_\alpha = V_a - \frac{V_b}{2} - \frac{V_c}{2} \quad (\text{A.1})$$

$$V_\beta = \frac{\sqrt{3}}{2} (V_b - V_c) \quad (\text{A.2})$$

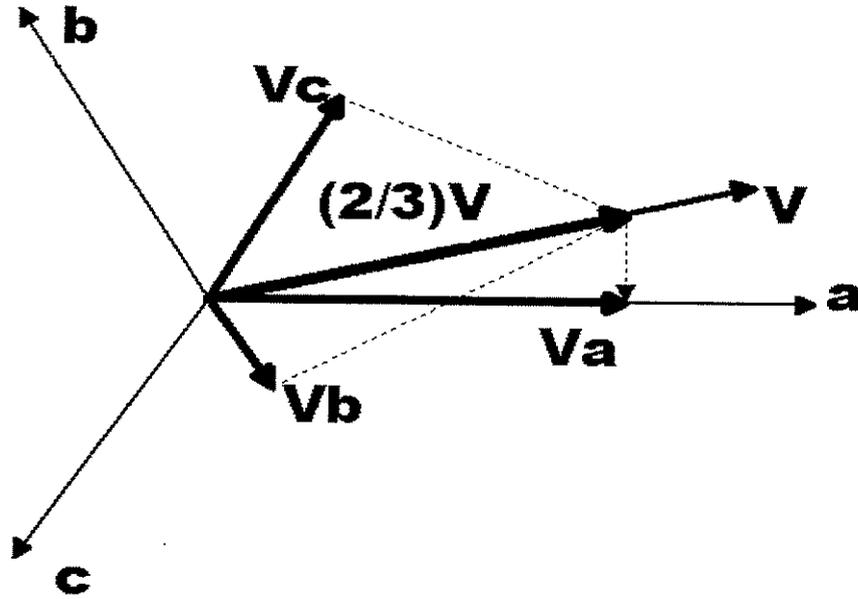


Figura A.8: *Transformação Inversa do Vetor V.*

Pode-se também conseguir a transformação inversa mantendo invariância de potência, e projetando-o sobre os 3 eixos a-b-c, como mostra figura A.8.

$$V_a = \left(\frac{2}{3}\right) V_\alpha \quad (\text{A.3})$$

$$V_b = \left(\frac{2}{3}\right) \left(\frac{\sqrt{3}}{2}\right) V_\beta - \frac{V_\alpha}{2} \quad (\text{A.4})$$

$$V_c = \left(\frac{2}{3}\right) \left(\frac{\sqrt{3}}{2}\right) V_\beta + \frac{V_\alpha}{2} \quad (\text{A.5})$$

A.2 Algoritmo da Modulação por Vetores Espaciais

A estratégia de modulação por Vetores Espaciais define um vetor espacial de tensão de referência V^* o qual é assumido constante durante um período de chaveamento (J.A.Torrico & E.Bim, 2000). V^* é obtido a partir de V_A , V_B e V_C , ou de V_α e V_β . Superpondo os eixos a-b-c ou α, β sobre o plano definido pelos estados do inversor é possível identificar quais estados devem ser ativados a fim de sintetizar V^* . A

combinação no tempo de 2 vetores espaciais adjacentes geram um vetor médio que segue o Vetor referência como mostrado na figura A.9.

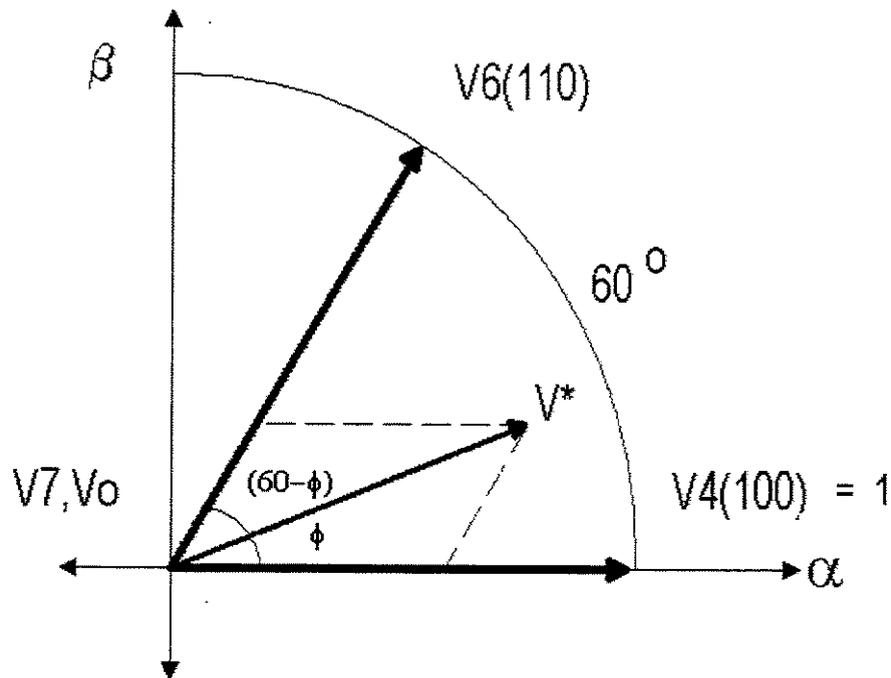


Figura A.9: Chaveamento dos Vetores de Estado.

O vetor V^* é projetado sobre os vetores que delimitam o setor no qual está localizado. O inversor permanecerá em cada estado um tempo proporcional a estas projeções.

Os vetores de estado V_1, V_2, V_3, V_4, V_5 e V_6 são normalizados para terem uma magnitude unitária, passando a ser denominados u_1, u_2, u_3, u_4, u_5 e u_6 . O vetor de referência normalizado é u^* :

$$u^* T_o = t_1 u_4 + t_2 u_6 = u^* \left(\frac{T_s}{2} \right) \quad (\text{A.6})$$

onde: $T_o = \frac{1}{(2 f_s)}$

sendo: f_s = frequência de chaveamento.

t_1 e t_2 são as durações de cada estado do inversor.

O vetor de referência normalizado u^* em coordenadas cartesianas no plano complexo é expresso como:

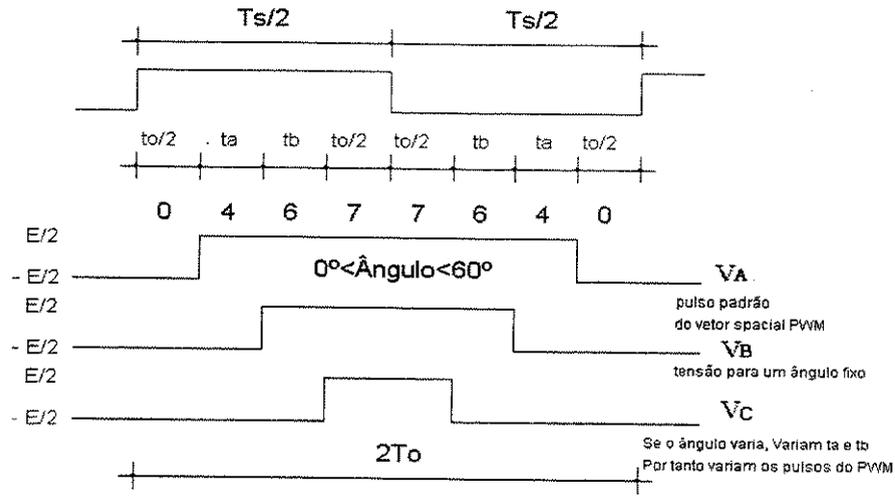


Figura A.10: Pulso padrão do vetor espacial no setor I.

$$u^* = Re\{u^*\} + j Im\{u^*\} \quad (A.7)$$

Portanto se:

$$u_4 = (100) = e^{j0} = 1$$

$$u_6 = (110) = e^{j\frac{\pi}{3}} = \frac{1}{2} + j\frac{\sqrt{3}}{2}$$

De (6) e (7) tem-se:

$$\left(\frac{t_1}{T_o}\right) + \left(\frac{t_2}{2T_o}\right) + j\left(\frac{t_2}{2T_o}\right)\frac{\sqrt{3}}{2} = Re\{u^*\} + j Im\{u^*\}$$

resolvendo:

(a) Parte imaginária:

$$j\left(\frac{t_2}{2T_o}\right) = \left(\frac{2}{\sqrt{3}}\right) Im\{u^*\} j$$

$$t_2 = \left(\frac{2T_o\sqrt{3}}{3}\right) Im\{u^*\} \quad (A.8)$$

(b) Parte Real:

$$\left(\frac{t_1}{T_o}\right) + \left(\frac{t_2}{2T_o}\right) = Re\{u^*\}$$

$$t_1 = T_o[Re\{u^*\} - \left(\frac{t_2}{T_o}\right)\left(\frac{2}{3}\right)Im\{u^*\}]$$

$$t1 = T_0 \left[\text{Re}\{u^*\} - \left(\frac{\sqrt{3}}{3} \right) \text{Im}\{u^*\} \right] \quad (\text{A.9})$$

Na faixa da modulação linear deve-se satisfazer à desigualdade:

$t1 + t2 \leq T_0$, o subciclo é então completado inserindo um vetor Zero para o tempo restante.

$$t_0 = T_0 - (t1 + t2) \quad (\text{A.10})$$

A tensão para um ângulo fixo no Setor I é da forma como apresentada na figura A.10

O problema geral para os Setores I a VI é resolvido, girando u^* de um ângulo $(S - 1)(\frac{\pi}{3})$, onde $S = 1, 2, 3, 4, 5, 6$ é o numero de Setor.

Os tempos normalizados $t1$ e $t2$, expressos como uma fração de T_0 , são t_a e t_b .

$$t_a = \frac{t1}{T_0} \quad (\text{A.11})$$

$$t_b = \frac{t2}{T_0} \quad (\text{A.12})$$

Para uma maior simplificação, o vetor de tensão de referência u^* é também normalizado.

Logo usaremos:

$$\frac{u^*}{T} = u_\alpha^* + j u_\beta^* = \text{Re}\{u^*\} + j \frac{\text{Im}\{u^*\}}{\sqrt{3}} = \begin{bmatrix} 1 & 0 \\ 0 & \frac{\sqrt{3}}{3} \end{bmatrix} u^* \quad (\text{A.13})$$

Onde:

u_T^* é o vetor de tensão de referência após a normalização.

Os tempos t_a e t_b são computados a través das componentes u_α^* e u_β^* .

No primeiro setor, $S = 1$, as durações de cada estado de chaveamento ativo serão:

$$t_a = u_\alpha^* - u_\beta^* \quad (\text{A.14})$$

$$t_b = 2 u_\beta^* \quad (\text{A.15})$$

Para os 6 setores, a duração de cada intervalo está indicada na Tabela A.1:

Tabela A.1: Duração dos estados - ligado dos vetores de chaveamento.

SETOR	ta	tb
I	$u^*_{\alpha} - u^*_{\beta}$	$2u^*_{\beta}$
II	$u^*_{\alpha} + u^*_{\beta}$	$-u^*_{\alpha} + u^*_{\beta}$
III	$2u^*_{\beta}$	$-u^*_{\alpha} - u^*_{\beta}$
IV	$-u^*_{\alpha} + u^*_{\beta}$	$-2u^*_{\beta}$
V	$-u^*_{\alpha} - u^*_{\beta}$	$u^*_{\alpha} - u^*_{\beta}$
IV	$-u^*_{\alpha} + u^*_{\beta}$	$-2u^*_{\beta}$

A árvore de decisão da figura A.11 representa o algoritmo derivado das equações precedentes. Esta figura tem como variável de entrada u^*_T , obtendo-se na saída os estados ligados, ta, tb, e o Setor.

Assumamos que o vetor tensão de referência transformado está alocado no setor $S = 6$ e que é:

$$u^*_T = 0,5 - j 0,3 = u^*_{\alpha} - j u^*_{\beta}$$

A primeira condição

$(u^*_{\alpha} > 0)$ é verdadeira.

Logo identificamos

$(u^*_{\beta} > 0)$ é falsa, portanto elegemos

$(u^*_a \geq -u^*_b)$ que é verdade, com o qual temos identificado o Setor 6; sendo as durações de chaveamento:

$$ta = -2 u^*_{\beta} \quad \text{e} \quad tb = u^*_{\alpha} + u^*_{\beta}$$

A.3 Regiões de Modulação

Na figura A.12 podemos ver que além da região linear (SVM), temos a região de sobre modulação (OVM) e a região Bang-bang

A.3.1 Região Linear (SVM)

É aquela na qual o vetor de referência u^* fica dentro da região do hexágono circunscrito à circunferência que representa o limite do alcance contínuo.

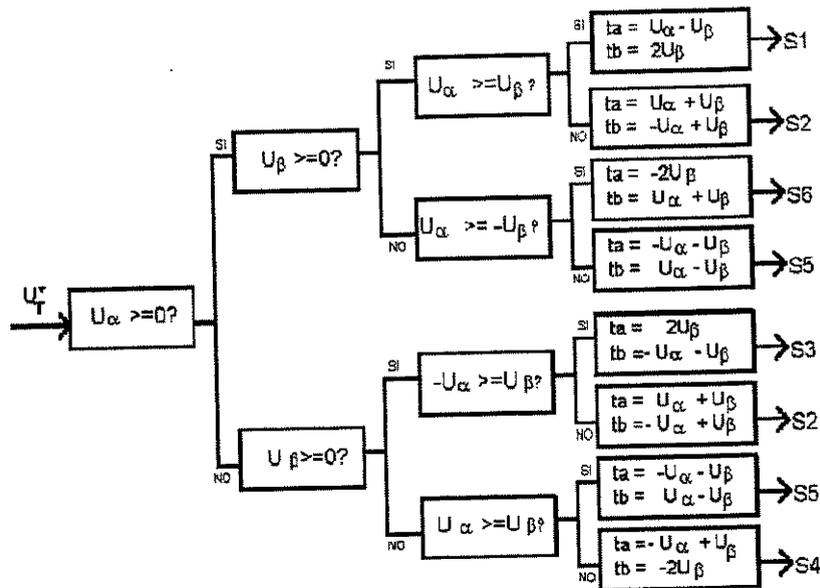


Figura A.11: Árvore de decisão da Modulação por Vetores Espaciais.

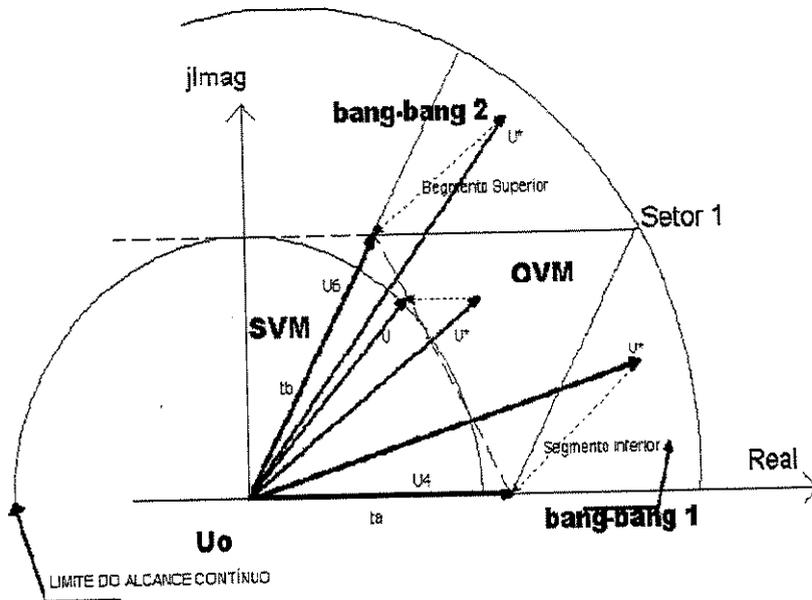


Figura A.12: Plano complexo estendido, mostrando os vetores de chaveamento de estado e as regiões de modulação.

Toda análise anteriormente feita é válida para esta região.

A.3.2 Região de Sobre Modulação (OVM)

A sobremodulação (OVM) (J.O.Krah & J.Holtz, 1999) acontece quando o vetor de tensão de referência está alocado fora dos limites do hexágono. Se o vetor u^* está no segmento superior do Setor I, o vetor u^* é projetado em u_6 até inserir-se no hexágono, fazendo-se, então, o cálculo de tempos.

O valor original ta é alterado para $ta = 1 - tb$, enquanto que tb é mantido constante no seu valor original.

Nesta situação tem-se que o valor sintetizado apresenta tanto um erro de ângulo quanto de magnitude.

A.3.3 Região Bang-Bang

Quando a projeção do vetor de referência no vetor adjacente mais próximo já supera a unidade, tem-se a região de "bang - bang". Quando no segmento superior, $tb > 1$, o controle faz com que: $tb = 1$, igualmente no segmento inferior se $ta > 1$, o controle faz com que: $ta = 1$.

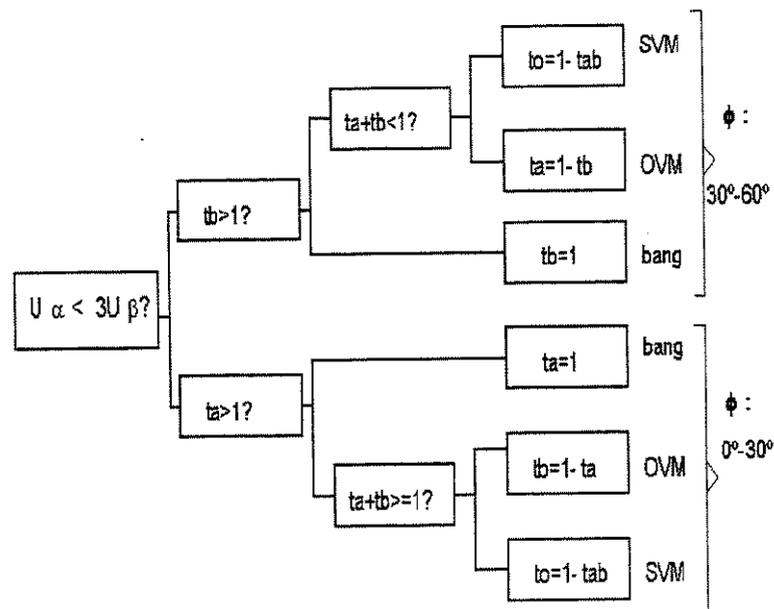


Figura A.13: Diagrama de fluxo do sinal da árvore de decisão II.

A definição de qual padrão de modulação deve ser seguido é feito conforme mostra a figura A.13

Inicialmente deve-se identificar em qual dos dois vetores que delimitam o setor há a maior projeção. Isso é feito observando o vetor de referência. Se $u_\alpha^* < 3u_\beta^*$ o ângulo ϕ é maior que 30° .

Verifica-se na seqüência se a projeção é maior que a unidade. Caso seja, tem-se operação no modo bang-bang e o estado será mantido durante todo o intervalo T_0 .

Se a projeção for menor do que 1, verifica-se se a soma das projeções é menor do que 1 ($ta + tb < 1$).

Se for, a operação é na região linear, e deve-se calcular a duração do estado nulo. Se não for, mantém-se constante a maior projeção e calcula-se a outra para que se ocupe todo intervalo T_0

Apêndice B

Programas

B.1 O BVI

Include General System Parameters and Libraries

```
#include < main.h >; #include < pwm401.h >;  
#include < trigono.h >; #include < mathfun.h >;  
#include < ref frame.h >; #include < dac401.h >;  
#include < svpwm.h >; #include < adc401.h >;  
#include < lowpass.h >;
```

Constants Defined in the Module

```
.CONST L = 0x7fff; { L= 1 em 3.13 }
```

Local Variables Defined in this Module

————— for 16 bit precision —————

```
.VAR/RAM/PM/CIRC/SEG=USER_PM1 Filter_1st_Coef[1*3]; {Para 1 KHZ}
```

```

.INIT Filter_1st_Coef:0x1E9900, 0x01E9900, 0x42CD00; {A0, A1,B0}
.VAR/RAM/DM/CIRC/SEG=USER_DM1 Filter_1st_Delay[1*2];
.INIT Filter_1st_Delay: 0x0000, 0x0000; {Ik, Uk}
————— for 16 bit precision —————
.VAR/DM/RAM/SEG=USER_DM1 V1a; {Vac lida nova}
.INIT V1a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 V1afil; {V1a filtrada a 1KHZ}
.INIT V1afil : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Va; {V1a*L}
.INIT Va : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 AD_IN; {Volts/Hertz Command (0-1)}
.INIT AD_IN : 0x7415; {Corresponds to 0.906 }
.VAR/RAM/DM OnTime_struct[1*4] ;
.INIT OnTime_struct: 0x0000, 0x0000, 0x0000, 0x0000;
.VAR/RAM/DM Dutycycles_struct[1*3];
.INIT Dutycycles_struct: 0x0000, 0x0000, 0x0000;
*****
Start of program code
*****

Startup:
PWM_Init(PWMSYNC_ISR, PWMTRIP_ISR);
IFC = 0x80; { Clear any pending IRQ2 inter. }
ay0 = 0x200; { unmask irq2 interrupts. }
ar = IMASK;
ar = ar or ay0;
IMASK = ar; { IRQ2 ints fully enabled here. }
Filter_1st_Init(Filter_1st_Delay); { reset 16_bit delay line}

```

```

Dac_Init;
ADC_Init; { Calibrates the ADC block. This calibration requires}
           { values from the ADC and so the PWMSYNC must be}
           { running when it is called. Here all the offset are stored.}
           { Thus, ADC_init is placed after IRQ2 is enabled}

MAIN:    { Wait for interrupt to occur }

NOP;
NOP;
jump MAIN;
RTS;

*****

PWM Interrupt Service Routine
*****

PWMSYNC_ISR:
{ Set_DAG_registers_for_trigonometric; }
DAC_Pause; { Required only when I1, M1 or L1 is used}
ADC_Read(ADC0, Offset_0to3); {Use ADC converter on ADCM401}
dm(V1a) = AR;
ar = dm(V1a);
Filter_1st (Filter_1st_Delay, Filter_1st_Coef);
dm(V1afil)= mr1;
{O BVI}
mx0 = dm(V1afil);
my1 = L;
mr = mx0 * my1(SS);
sr0 = mr1;
sr = lshift sr0 by 0(lo);

```

```

dm(Va) = sr0;
*****

ax0 = DM(Va); ax1 = DM(Va); ay0 = DM(Va);
PWM_update_demanded_Voltage(ax0,ax1,ay0);
*****

Dac_Resume;
mx0 = 0x6666;
my0 = dm(V1a); mr = mx0 * my0 (SS); DAC_Put(1, mr1);
my0 = dm(V1afil); mr = mx0 * my0 (SS); DAC_Put(2, mr1);
my0 = dm(Va); mr = mx0 * my0 (SS); DAC_Put(3, mr1);
DAC_pdate;
RTI;
*****

PWM Trip Interrupt Service Routine
*****

PWMTRIP_ISR:
nop;
rti;
.ENDMOD;

```

B.2 O BVI para regulação de tensão

```

*****

Include General System Parameters and Libraries
*****

#include < main.h >; #include < pwm401.h >; #include < trigono.h >;
#include < mathfun.h >; #include < ref frame.h >; #include < dac401.h >;

```

```
#include < svpwm.h >; #include < adc401.h >; #include < pi.h >
#include < lowpass.h >; #define PI_SF160
```

```
*****
```

```
ENA ar_sat,DIS m_mode;
```

```
*****
```

```
*****
```

Constants Defined in the Module

```
*****
```

```
.CONST Vcinco = 0x2000; .CONST At = 0x346D;
```

```
.CONST A0 = 0x000A; .CONST A1 = 0x000A;
```

```
.CONST B0 = 0x7FEB; .CONST DUN = 0x2000;
```

```
.CONST Zer = 0x0000;
```

```
*****
```

Local Variables Defined in this Module

```
*****
```

————— for 16 bit precision —————

```
.VAR/RAM/PM/CIRC/SEG=USER_PM1 Filter_1st_Coeff[1*3]; {Para 1 KHZ}
```

```
.INIT Filter_1st_Coeff: 0x1E9900, 0x1E9900, 0x42CD00; {A0, A1, B0}
```

```
.VAR/RAM/DM/CIRC/SEG=USER_DM1 Filter_1st_Delay[1*2];
```

```
.INIT Filter_1st_Delay: 0x0000, 0x0000; {Ik, Uk}
```

————— for 16 bit precision —————

————— for 16 bit controller ————— .VAR/RAM/PM/CIRC/SEG=USER_PM1

```
PI_Coeff16[3];
```

```
.INIT PI_Coeff16: 0xE13400, 0x200000, 0x7fff00; {A0, A1, B0}
```

```
.VAR/RAM/DM/CIRC/SEG=USER_DM1 PL_Delay16[2]; {Ik, Uk}
```

```
.INIT PL_Delay16: 0x0000, 0x0000;
```

————— for 16 bit controller —————

```

.VAR/DM/RAM/SEG=USER_DM1 V1a; {tensão lida nova fase a}
.INIT V1a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 V1b; { tensão lida nova fase a}
.INIT V1b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Ref; {tensão de referencia}
.INIT Ref : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 V1afil; {V1a filtrado 1KHZ}
.INIT V1afil : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 V2a; {(V1anova)2 fase a}
.INIT V2a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 V2ant; {(V1aantiga)2 fase a}
.INIT V2ant : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Vfil; {(V1a)2 Integrado novo}
.INIT Vfil: 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Vfil1; {(Sinal)2 Integrado antigo}
.INIT Vfil1 : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 DUN1; {Valor rms de V1a}
.INIT DUN1 : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 DUNT; {p/DUN}
.INIT DUNT : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 HEROR; {erro = Vrms - Ref}
.INIT HEROR : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 KL; {Saída do PI KL}
.INIT KL : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Resa; {Variavel guarda resultado de Multipli-
cação}
.INIT Resa : 0x0000;

```

```

.VAR/DM/RAM/SEG=USER_DM1 Res1a; {Variavel guarda resultado de Multipli-
cação}
.INIT Res1a : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Res2a; {Variavel guarda resultado de Multipli-
cação}
.INIT Res2a : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Res3a; {Variavel guarda resultado de Multipli-
cação}
.INIT Res3a : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Va; {V1a*L}
.INIT Va : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 AD_IN;
.INIT AD_IN : 0x6666;

*****

Start of program code

*****

Startup:
PWM_Init (PWMSYNC_ISR, PWMTRIP_ISR);
IFC = 0x80; { Clear any pending IRQ2 inter. }
ay0 = 0x200; { unmask irq2 interrupts. }
ar = IMASK;
ar = ar or ay0;
IMASK = ar; { IRQ2 ints fully enabled here }
Filter_1st_Init(Filter_1st_Delay); { reset 16-bit delay line}
Init_PI16(PI_Delay16, 0x000000); { reset PI }
Dac_Init;
ADC_Init; { Calibrates the ADC block. This calibration requires. }
           { values from the ADC and so the PWMSYNC must be.}

```

```

        { running when it is called. Here all the offset are stored.}
        { Thus, ADC_init is placed after IRQ2 is enabled }
MAIN:    {Wait for interrupt to occur}
NOP;
NOP;
jump MAIN;
RTS;
*****

PWM Interrupt Service Routine
*****

PWMSYNC_ISR:
DAC_Pause; {Required only when I1, M1 or L1 is used}
ADC_Read(ADC0, Offset_0to3); {Use ADC converter on ADCM401}
dm(V1a) = AR;
ar = dm(V1a);
Filter_1st(Filter_1st_Delay, Filter_1st_Coef);
dm(V1afil)= mr1;
mx0 = dm(V1a);
my0 = dm(V1a);
mr = mx0*my0(SS);
dm(V2a) = mr1;
{CALCULO DA INTEGRAL}
mx1 = dm(V2a);
my1 = A1;
mr = mx1*my1(SS);
dm(Resa) = mr1;
mx0 = dm(V2ant);

```

```

my0 = A0;
mr = mx0 * my0(SS);
dm(Res1a) = mr1;
dm(V2ant) = mx1;
ax0 = dm(Resa);
ay0 = dm(Res1a);
ar = ax0 + ay0;
dm(Res2a) = ar;
mx1 = B0;
my1 = dm(Vfil1);
mr = mx1*my1(SS);
dm(Res3a) = mr1;
ax0 = dm(Res2a);
ay1 = dm(Res3a);
ar = ax0+ay1;
dm(Vfil) = ar;
{Atualiza o sinal INTEGRADO}
ay1 = dm(Vfil);
dm(Vfil1)= ay1;
{TIRA ERRO = sinal rms - referência}
ax0 = DUN;
ay0 = dm(Vfil);
ena AR_SAT;
ar = ax0 - ay0;
dm(HEROR) = ar;
dis AR_SAT;
dm(DUN1) = ax0;

```

```

{O ERRO ENTRA NO PI}
pi16(PI_Delay16, PI_Coef16, PLSF16);
dm(KL) = SR1;
ax0 = dm(KL);
ar = PASS ax0;
if LE jump Regu;
jump Cont;
Regu:
ax0 = Zer;
dm(KL) = ax0;
Cont:
ax0 = DUN;
dm(DUNT) = ax0;
mr1 = dm(V1afil);
my1 = dm(KL);
mr = mr1*my1(SS);
dm(Va) = mr1;
***** ax0 = DM(Va); ax1
= DM(Va); ay0 = DM(Va);
PWM_update_demanded_Voltage(ax0,ax1,ay0);
*****
Dac_Resume;
mx0 = 0x6666;
my0 = dm(V1a); mr = mx0 * my0(SS); DAC_Put(1, mr1);
my0 = dm(V1afil); mr = mx0 * my0 (SS); DAC_Put(2, mr1);
my0 = dm(V2a); mr = mx0 * my0 (SS); DAC_Put(3, mr1);
my0 = dm(Vfil); mr = mx0 * my0 (SS); DAC_Put(4, mr1);

```

```

my0 = dm(DUNT); mr = mx0 * my0 (SS); DAC_Put(5, mr1);
my0 = dm(HEROR); mr = mx0 * my0 (SS); DAC_Put(6, mr1);
my0 = dm(KL); mr = mx0* my0 (SS); DAC_Put(7, mr1);
my0 = dm(Va); mr = mx0 * my0 (SS); DAC_Put(8, mr1);
DAC_Update;
RTI;

```

```

*****

```

PWM Trip Interrupt Service Routine

```

*****

```

```

PWMTRIP_ISR:

```

```

nop;
rti;
.ENDMOD;

```

B.3 O SDR

```

*****

```

Include General System Parameters and Libraries

```

*****

```

```

#include < main.h >; #include < pwm401.h >; #include < trigono.h >;
#include < mathfun.h >; #include < ref frame.h >; #include < dac401.h >;
#include < svpwm.h >; #include < adc401.h >; #include < lowpass.h >;

```

```

*****

```

```

ENA ar_sat,DIS m_mode; {Saturated and fractional mode}

```

```

*****

```

Constants Defined in the Module

```

*****

```

```

.CONST L = 0x7800;
.CONST At = 0x346D;
*****
Local Variables Defined in this Module
*****
————— for 16 bit precision —————
.VAR/RAM/PM/CIRC/SEG=USER_PM1 Filter_1st_Coef[1*3]; {Para 1 KHZ}
.INIT Filter_1st_Coef: 0x1E9900, 0x1E9900, 0x42CD00; {A0, A1, B0}
.VAR/RAM/DM/CIRC/SEG=USER_DM1 Filter_1st_Delay[1*2];
.INIT Filter_1st_Delay: 0x0000, 0x0000; {Ik, Uk}
————— for 16 bit precision —————
.VAR/DM/RAM/SEG=USER_DM1 Sfil; {Corrente filtrada nova phase a}
.INIT Sfil: 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Sfil1; {Corrente filtrada antiga phase a}
.INIT Sfil1 : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 ila; {Corrente nova fase a}
.INIT ila : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 ian1; {Corrente antiga fase a}
.INIT ian1 : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Aia; {Variação da corrente na fase a}
.INIT Aia : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 VLa; {Tensão da indutância na fase a}
.INIT VLa : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Dera; {Variavel guarda resultado da di/dt}
.INIT Dera : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 AD_IN; { Volts/Hertz Command (0-1) }
.INIT AD_IN : 0x7415; { Corresponds to 0.906 }

```

Start of program code

Startup:

PWM_Init(PWMSYNC_ISR, PWMTRIP_ISR);

IFC = 0x80; { Clear any pending IRQ2 inter. }

ay0 = 0x200; { unmask irq2 interrupts. }

ar = IMASK;

ar = ar or ay0;

IMASK = ar; { IRQ2 ints fully enabled here. }

Filter_1st_Init(Filter_1st_Delay); {reset 16-bit delay line}

Dac_Init;

ADC_Init; { Calibrates the ADC block. This calibration requires. }

 { values from the ADC and so the PWMSYNC must be. }

 { running when it is called. Here all the offset are stored. }

 { Thus, ADC_init is placed after IRQ2 is enabled }

MAIN: {Wait for interrupt to occur}

NOP;

NOP;

jump MAIN;

RTS;

PWM Interrupt Service Routine

PWMSYNC_ISR:

DAC_Pause; {Required only when I1, M1 or L1 is used}

ADC_Read(ADC0, Offset_0to3); {Use ADC converter on ADCM401}

```

dm(i1a) = AR;
ar = dm(i1a);
Filter_1st(Filter_1st_Delay, Filter_1st_Coef);
dm(sfil) = mr1;
{Calculo da derivada Negativa da corrente filtrada }
ax0 = dm(Sfil1);
ay1 = dm(Sfil);
ar = ax0 - ay1;
dm(Aia) = ar;
my1 = At;
mr = ar * my1(SS);
dm(Dera) = mr1;
my1 = L;
mr = mr1*my1(SS);
sr0 = mr1;
sr = lshift sr0 by 6(lo);
dm(VLa) = sr0;
{Atualização da Derivada}
ay1 = dm(Sfil);
dm(Sfil1) = ay1;
*****
ax0 = DM(VLa); ax1 = DM(VLa); ay0 = DM(VLa);
PWM_update_demanded_Voltage(ax0,ax1,ay0);
*****
Dac_Resume;
mx0 = 0x6666;
my0 = dm(i1a); mr = mx0 * my0 (SS); DAC_Put(1, mr1);

```

```

my0 = dm(Sfil); mr = mx0 * my0 (SS); DAC_Put(2, mr1);
my0 = dm(VLa); mr = mx0 * my0 (SS); DAC_Put(3, mr1);
DAC_Update;
RTI;

```

PWM Trip Interrupt Service Routine

```

PWMTRIP_ISR:

```

```

nop;
rti;
.ENDMOD;

```

B.4 O SDR para regulação de corrente

Include General System Parameters and Libraries

```

#include < main.h >; #include < pwm401.h >; #include < trigono.h >;
#include < mathfun.h >; #include < ref frame.h >; #include < dac401.h >;
#include < svpwm.h >; #include < adc401.h >; #include < pi.h >

```

Constants Defined in the Module

```

.CONST L = 0x0CCC0x7800; {Valor de L=60 em 4.12 equivalente a (15) }
.CONST At = 0x46DC; {Valor da Variação do tempo (1/At=0.0001 em Q31) }
.CONST inverse_root3 = 0x49E6; {para a transf. de Clark, Q15 equivalente a
sqrt(1/3) }
.CONST A0 = 0x1E99; {3.14e-4 em Q15(1kHz)}

```

.CONST A1 = 0x1E99; {3.14e-4 em Q15(1kHz)}

.CONST B0 = 0x42CD; {0.9998 em Q15(1kHz)}

Local Variables Defined in this Module

.VAR/DM/RAM/SEG=USER_DM1 Sfla; {Sinal filtrada nova fase a}

.INIT Sfla: 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Sfl1a; {Sinal filtrada antiga fase a}

.INIT Sfl1a: 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Sflb; {Sinal filtrada nova fase a}

.INIT Sflb: 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Sfl1b; {Sinal filtrada antiga fase a}

.INIT Sflb : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Sflc; {Sinal filtrada nova fase a}

.INIT Sflb: 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 Sfl1c; {Sinal filtrada antiga fase a}

.INIT Sfl1c : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 ian1; {Correntel antiga fase a}

.INIT ian1 : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 ibn1; {Correntel antiga fase a}

.INIT ibn1 : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 icn1; {Correntel antiga fase a}

.INIT icn1 : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 i1a; {Corrente nova na fase a}

.INIT i1a : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 i1b; {Corrente nova na fase b}

.INIT i1b : 0x0000;

```

.VAR/DM/RAM/SEG=USER_DM1 i1c; {Corrente nova na fase c}
.INIT i1c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 i2a; {Corrente antiga na fase a}
.INIT i2a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 i2b; {Corrente antiga na fase b}
.INIT i2b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 i2c; {Corrente antiga na fase c}
.INIT i2c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Aia; {Variação da corrente na fase a}
.INIT Aia : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Aib; {Variação da corrente na fase b}
.INIT Aib : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Aic; {Variação da corrente na fase c}
.INIT Aic : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 VL a; {Tensão da indutância na fase a}
.INIT VL a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 VL b; {Tensão da indutância na fase b}
.INIT VL b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 VL c; {Tensão da indutância na fase c}
.INIT VL c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Valfa; {Tensão alfa}
.INIT Valfa : 0x000;
.VAR/DM/RAM/SEG=USER_DM1 Vbeta; {Tensão beta}
.INIT Vbeta : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Resa; {Variavel guarda resultado fase a}
.INIT Resa : 0x0000;
VAR/DM/RAM/SEG=USER_DM1 Resb; {Variavel guarda resultado fase b}

```

```

.INIT Resb : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Resc; {Variavel guarda resultado fase c}
.INIT Resc : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res1a; {Variavel guarda resultado1 fase a}
.INIT Res1a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res1b; {Variavel guarda resultado1 fase b}
.INIT Res1b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res1c; {Variavel guarda resultado1 fase c}
.INIT Res1c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res2a; {Variavel guarda resultado2 fase a}
.INIT Res2a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res2b; {Variavel guarda resultado2 fase b}
.INIT Res2b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res2c; {Variavel guarda resultado2 fase c}
.INIT Res2c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res3a; {Variavel guarda resultado3 fase a}
.INIT Res3a : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res3b; {Variavel guarda resultado3 fase b}
.INIT Res3b : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Res3c; {Variavel guarda resultado3 fase c}
.INIT Res3c : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Dera; {Variavel guarda resultado da derivada
fase a}
.INIT Dera : 0x0000;
.VAR/DM/RAM/SEG=USER_DM1 Derb; {Variavel guarda resultado da derivada
fase b}
.INIT Derb : 0x0000;

```

```

.VAR/DM/RAM/SEG=USER_DM1 Derc; {Variavel guarda resultado da derivada
fase c}

.INIT Derc : 0x0000;

.VAR/DM/RAM/SEG=USER_DM1 AD_IN; { Volts/Hertz Command (0-1)} .INIT
AD_IN : 0x7415; { Corresponds to 0.906 }

.VAR/DM/RAM/CIRC/SEG=USER_DM1 Valphabeta_ref[2]; {alphabeta frame}

.VAR/RAM/DM OnTime_struct[1*4];

.INIT OnTime_struct: 0x0000, 0x0000, 0x0000, 0x0000;

.VAR/RAM/DM Dutycycles_struct[1*3];

.INIT Dutycycles_struct: 0x0000, 0x0000, 0x0000;

*****

Global Variables Defined in this Module (.Global )

*****

ENA ar_sat,DIS m_mode; {Saturated and fractional mode}

*****

*****

Start of program code

*****

Startup:

PWM_Init(PWMSYNC_ISR, PWMTRIP_ISR);

IFC = 0x80; {Clear any pending IRQ2 inter.}

ay0 = 0x200; {unmask irq2 interrupts. }

ar = IMASK;

ar = ar or ay0;

IMASK = ar; {IRQ2 ints fully enabled here.}

Dac_Init;

ADC_Init; {Calibrates the ADC block. This calibration requires}

```

```

{ values from the ADC and so the PWMSYNC must be }
{ running when it is called. Here all the offset are stored.}
{ Thus, ADC_init is placed after IRQ2 is enabled }

```

```

*****

```

```

.CONST PWM_period_reg = 1000*Cry_clock/PWM_freq;

```

```

{PWMTM register value: Compute the divisor to be used for PWM switching period}

```

```

Write_DM (PWMTM, PWM_period_reg); {Load period into the PWMTM - register}

```

```

*****

```

```

MAIN: {Wait for interrupt to occur}

```

```

NOP;

```

```

NOP;

```

```

jump MAIN;

```

```

RTS;

```

```

*****

```

```

PWM Interrupt Service Routine

```

```

*****

```

```

PWMSYNC_ISR:

```

```

{Set_DAG_registers_for_trigonometric;}

```

```

DAC_Pause; {Required only when I1, M1 or L1 is used}

```

```

ADC_Read(ADC0, Offset_0to3); {Use ADC converter on ADCM401}

```

```

dm(i1a)=AR;

```

```

ADC_Read(ADC1, Offset_0to3); {Use ADC converter on ADCM401}

```

```

dm(i1b)=AR;

```

```

{Calculo do filtro passa baixas p/Corrente na fase a}

```

```

mx1 = dm(i1a);

```

```

my1 = A1;

```

```

mr = mx1*my1(SS);

```

```

dm(Resa) = mr1;
mx0 = dm(ian1);
my0 = A0;
mr = mx0 * my0(SS);
dm(Res1a) = mr1;
dm(ian1) = mx1;
ax0 = dm(Resa);
ay0 = dm(Res1a);
ar = ax0 + ay0;
dm(Res2a) = ar;
mx1 = B0;
my1 = dm(Sfil1a);
mr = mx1*my1(SS);
dm(Res3a) = mr1;
ax0 = dm(Res2a);
ay1 = dm(Res3a);
ar = ax0+ay1;
dm(Sfila) = ar;
{Calculo do filtro passa baixas p/Corrente na fase b}
mx1 = dm(ilb);
my1 = A1;
mr = mx1*my1(SS);
dm(Resb) = mr1;
mx0 = dm(ibn1);
my0 = A0;
mr = mx0 * my0(SS);
dm(Res1b) = mr1;

```

```

dm(ibn1) = mx1;
ax0 = dm(Resb);
ay0 = dm(Res1b);
ar = ax0 + ay0;
dm(Res2b) = ar;
mx1 = B0;
my1 = dm(Sfil1b);
mr = mx1*my1(SS);
dm(Res3b) = mr1;
ax0 = dm(Res2b);
ay1 = dm(Res3b);
ar = ax0+ay1;
dm(Sfilb) = ar;
{Obtenção de ic (sistema a três fios)a partir de ia e ib filtradas}
ax0 = dm(Sfila);
ay0 = dm(Sfilb);
ar = ax0 + ay0;
ar = -ar;
dm(Sfilc) = ar;
{Calculo da derivadaNeg da corrente filtrada na fase a}
ax0 = dm(Sfil1a);
ay1 = dm(Sfila);
ar = ax0 - ay1;
dm(Aia) = ar;
my1 = At;
mr = ar * my1(SS);
dm(Dera) = mr1;

```

```

my1 = L;
mr = mr1*my1(SS);
sr0 = mr1;
sr = lshift sr0 by 6(lo);
dm(VLa) = sr0;
dm(i2a) = sr0;
{Calculo da derivadaNeg da corrente filtrada na fase b}
ax0 = dm(Sfil1b);
ay1 = dm(Sfilb);
ar = ax0 - ay1;
dm(Aib) = ar;
my1 = At;
mr = ar * my1(SS);
dm(Derb) = mr1;
my1 = L;
mr = mr1*my1(SS);
sr0 = mr1;
sr = lshift sr0 by 6(lo);
dm(VLb) = sr0;
dm(i2b) = sr0;
{Calculo da derivadaNeg da corrente filtrada na fase c}
ax0 = dm(Sfil1c);
ay1 = dm(Sfilc);
ar = ax0 - ay1;
dm(Aic) = ar;
my1 = At;
mr = ar * my1(SS);

```

```

dm(Derc) = mr1;
my1 = L;
mr = mr1*my1(SS);
sr0 = mr1;
sr = lshift sr0 by 6(lo);
dm(VLc) = sr0;
dm(i2c) = sr0;
{Transformação de Clark}
ar = dm(VLa);
dm(Valfa) = ar;
mx0 = inverse_root3;
my0 = dm(VLb);
mr = mx0*my0 (ss);
my1 = dm(VLc);
mr = mr-mx0*my1 (ss);
if MV sat mr;
dm(Vbeta) = mr1;
*****
{Atualiza o sinal do filtro}
{Fase a}
ay1 = dm(Sfila);
dm(Sfil1a) = ay1;
{Fase b}
ay1 = dm(Sfilb);
dm(Sfil1b) = ay1;
{Fase c} ay1 = dm(Sfilc);
dm(Sfil1c) = ay1;

```

```

*****
*****

ar = dm(Valfa);
DM(Valphabeta_ref) = ar;
ar = pass 0;
ar = dm(Vbeta);
DM(Valphabeta_ref+1) = ar;
SVPWM_Calc_Ontimes(Valphabeta_ref, OnTime_struct); {use SVPWM routines}
SVPWM_Calc_Dutycycles(OnTime_struct, Dutycycles_struct);
SVPWM_Update_DutyCycles(Dutycycles_struct);
Dac_Resume;
mx0 = 0x6666;
{Correntes Sem Filtrar}
my0 = dm(i1a); mr = mx0 * my0 (SS); DAC_Put(1, mr1);
my0 = dm(i1b); mr = mx0 * my0 (SS); DAC_Put(2, mr1);
my0 = dm(i1c); mr = mx0 * my0 (SS); DAC_Put(3, mr1);
{Correntes filtradas}
my0 = dm(Sfila); mr = mx0 * my0 (SS); DAC_Put(4, mr1);
my0 = dm(Sfilb); mr = mx0 * my0 (SS); DAC_Put(5, mr1);
mx0=0x6666;
{Derivadas Negativas das correntes Filtradas}
my0 = dm(VLa); mr = mx0 * my0 (SS); DAC_Put(6, mr1);
my0 = dm(VLb); mr = mx0 * my0 (SS); DAC_Put(7, mr1);
my0 = dm(VLc); mr = mx0 * my0 (SS); DAC_Put(8, mr1);
DAC_Update;
RTI;
*****

```

PWM Trip Interrupt Service routine

PWMTRIP_ISR:

 nop;

 rti;

.ENDMOD;

Apêndice C

Circuitos usados nas montagens experimentais

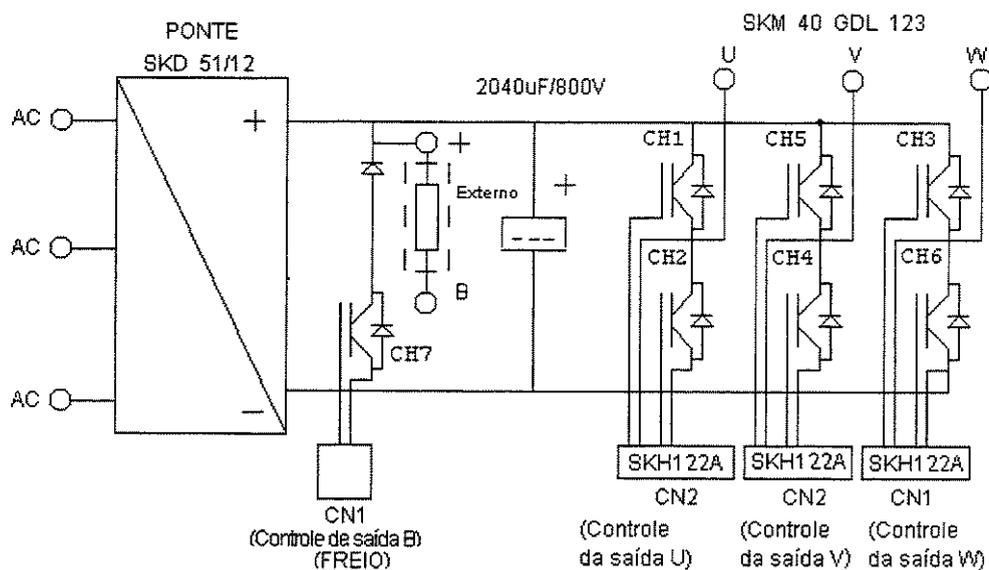


Figura C.1: Circuito do inversor.

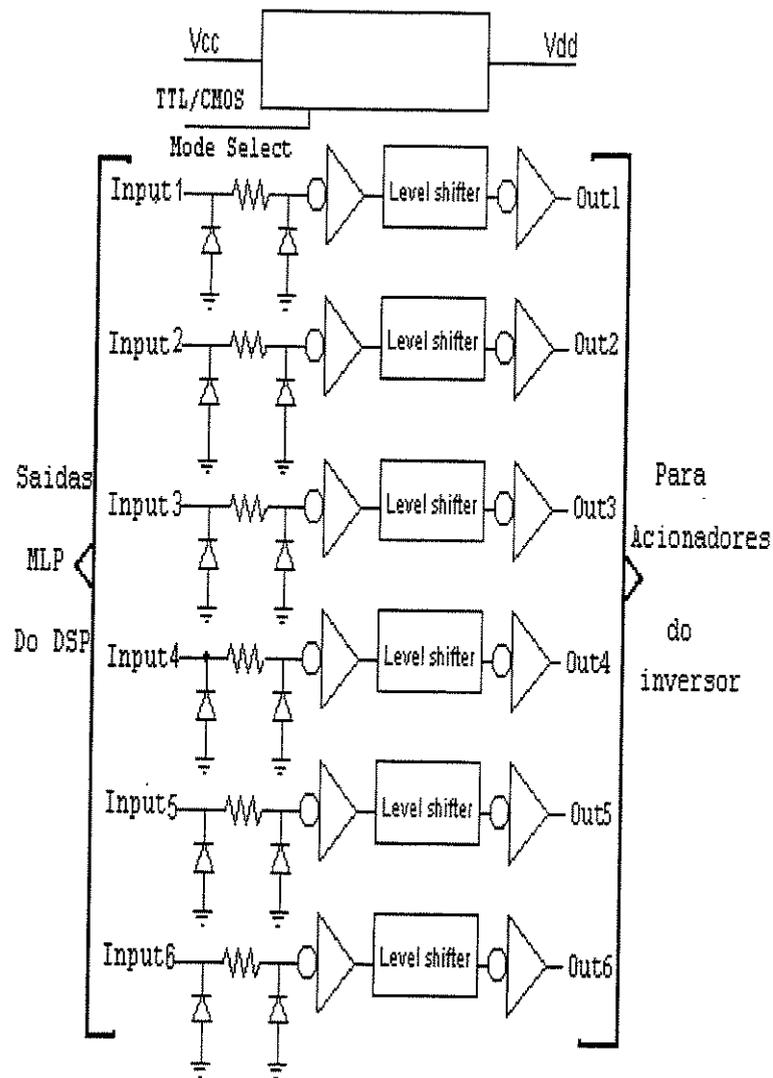


Figura C.2: Circuitos lógicos para pulsos de comutação das chaves do inversor.

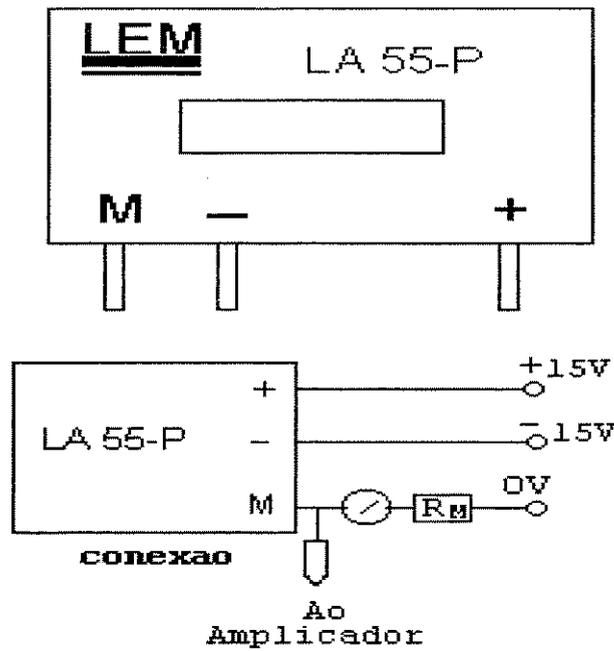


Figura C.3: *Sensor Hall de corrente.*

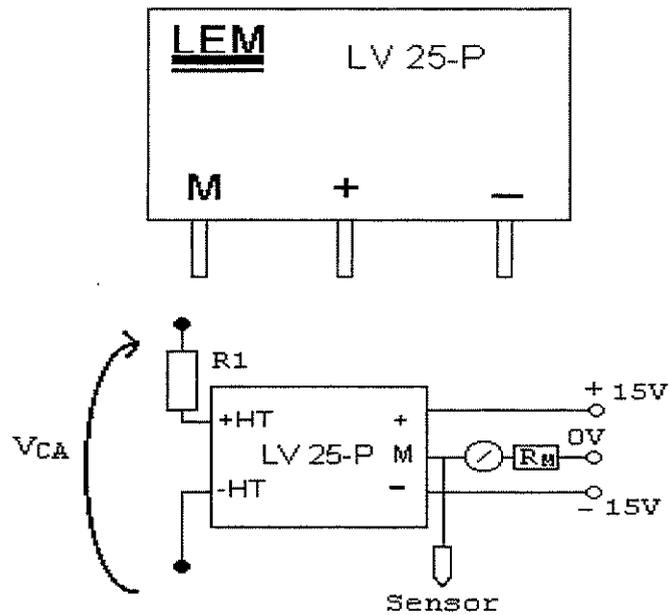


Figura C.4: *Sensor Hall de tensão.*

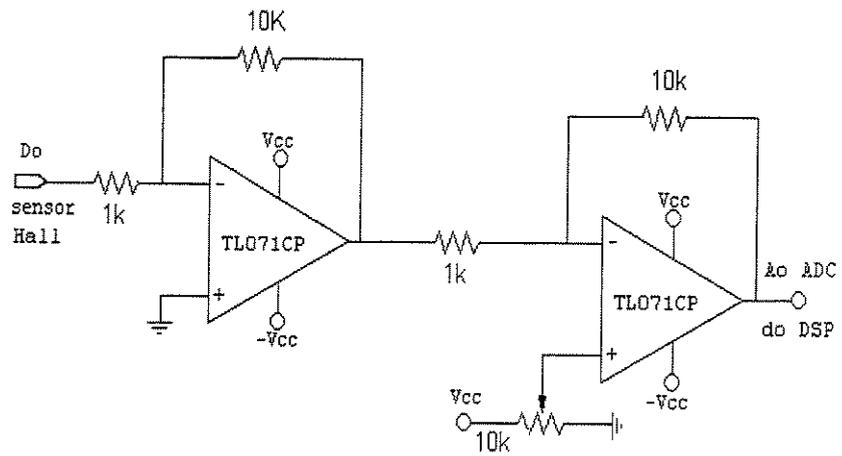


Figura C.5: *Circuito Amplificador.*

REFERÊNCIAS BIBLIOGRÁFICAS

- D.C.Hamil & M.T.Bina (1999). The bootstrap variable inductance(bvi) and its applications in ac power systems, *IEEE-APEC Annual Applied Power Electronics Conference and Exposition, Dallas, USA Vol.2*: 896–902.
- F.Capparel & A.Liberato (1970). Variable frequency crystal oscillator using variable negative inductance or capacitance, *Pr. Inst. Electr Elect. Vol.58*: 1298.
- H.Funato (2001). Instantaneous power of power circuit including three phase variable inductance, *IECON 27th Annual Conference of The IEEE Industrial Electronics Society, Denver Colorado USA*. pp. 1084–1089.
- H.Funato, A. & K.Kamiyama (1997a). Analysis of power control using variable active-passive reactance(vapar), *IEEE-Industrial Electronics Control, Instrumentation and Automation Conference. New Orleans Los Angeles USA*. pp. 850–855.
- H.Funato, A. & K.Kamiyama (1997b). Improvement of reactance compensator using variable active-passive reactance with output filter, *Proceedings of the Power Conversion Conference '97, Nagaoka, Japan* pp. 355–360.
- H.Funato & A.Kawamura (1992). Proposal of variable active-passive reactance, *International Conference on Industrial Electronics, Control, Instrumentation and automation San Diego, California, USA. Vol.1(N^oPE-10)*: 381–388.
- H.Funato & A.Kawamura (1993). Analysis of variable active-passive reactance, *Pacific Convention Plaza Yokohama, Japan* pp. 647–652.
- H.Funato & A.Kawamura (1994a). Active-passive power circuit, *Electrical Engineering in Japan Vol.114(N^o4)*: 129–141.
- H.Funato & A.Kawamura (1994b). Control of variable active-passive reactance and negative inductance., *IEEE-Power Electronics Specialists Conference, Taipei-Taiwan* pp. 189–196.

- H.Funato, K. & A.Kawamura (2000). Transient performance of power circuit including virtual inductance realized by fully digital controlled variable active-passive reactance (vapar), *IEEE 31st Annual Power Electronics Specialists Conference, Galway–Ireland* **Vol.3**: 1195–1200.
- H.Funato & K.Kamiyama (1999). Fully digital controlled variable active-passive reactance (vapar), *Applied Power Electronics Conference'99, Dallas Texas USA*. **Vol.1**: 629–634.
- H.Funato, T. & K.Kamiyama (2001). Transient response of three phase variable inductance realized by variable active-passive reactance(vapar), *IEEE sixteenth Annual Applied Power Electronics Conference and Exposition, Anaheim California USA*. **Vol.2**: 1281–1286.
- H.Funato, T.Ishikawa, T. & K.Kamiyama (2000). Instantaneous power analysis of transmission power control using variable inductance, *IPEC-Tokyo* pp. 682–687.
- J.A.Torrico & E.Bim (2000). Fuzzy logic space vector current control of three-phase inverters, *IEEE 31rd Power Electronics Specialists Conference, Galway, Ireland* **Vol.1(N^o2)**: 147–152.
- J.O.Krah & J.Holtz (1999). High performance current regulation and efficient pwm implementation for low-inductance servo motors, *IEEE Transactions On Industry Applications* **Vol.35(N^o5)**: 1039–1049.
- M.T.Bina & D.C.Hamil (1999). The bootstrap inductance : A new facts control element, *IEEE - Power Electronics Specialists Conference, Charleston South Carolina USA*. **Vol.2**: 619–625.
- M.T.Bina & D.C.Hamil (2000). Average model of bootstrap variable inductance(bvi), *IEEE 31st Annual Power Electronics Specialists Conference, Galway–Ireland* **Vol.2**: 967–972.
- M.T.Bina & D.C.Hamil (2001). Transient response and stability of the bootstrap variable inductance(bvi), *IEEE–32nd Power Electronics Specialists Conference The University of British Columbia, Vancouver Canada*. .
- V.G.Propenko (2002). Chaotic oscillator with negative inductance, *J. Commun Technol El+*. **Vol.47**: 1131–1133.
- Working-Group-Benchmark (1977). IEEE task force of the dynamic system performance. first benchmark model for computer simulation of synchronous resonance,

IEEE Transactions on Power Apparatus and Systems. PAS – 96(5) pp. 1565–1572.