

DEMÚLTÍPLEXAGEM
EM SISTEMAS MCP
DE 2ª ORDEM

PAULO MASSAYOSHI KUBOTA
Orientador - HÉLIO WALDMAN

Tese apresentada à Faculdade
de Engenharia de Campinas -
UNICAMP - como parte dos re-
quisitos exigidos para obten-
ção do título de MESTRE EM
CIÊNCIAS.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
DEZEMBRO 1977

... a Ayako

... "A meus pais, pela dedicação e compreensão,
e ao Prof. Bernardo Schönmann pela amizade, pelo entusiasmo
e pela dedicação de educador profícuo."

"Masca"

Agradecimentos...

- .. Ao Prof. Dr. Hélio Waldman, pela orientação deste trabalho;
- ... a Ivanil Sebastião Bonatti, Antonio Vivaldi Rodrigues e Reginaldo Palazzo Júnior, pelas importantes discussões elucidativas em todas as fases deste trabalho;
- ... Ao Eng. F.F.E. Owen, Senior Expert em Sistemas de Transmissão Digital, pela contribuição dada ao projeto e desenvolvimento do trabalho;
- ... à Srta. Maria Júlia Dini, pelo excelente trabalho de datilografia;
- ... à Srta. Maria Ângela Sigrist, pelos desenhos brilhantes.

ÍNDICE

ABREVIACÕES

CAPÍTULO I - INTRODUÇÃO

CAPÍTULO II - INTRODUÇÃO AO SISTEMA MCP-120

- II.1 - Introdução
- II.2 - Sincronização por Justificação Positiva
- II.3 - Inserção e Remoção do Dígito de Justificação
 - II.3.1 - Inserção do Dígito de Justificação
 - II.3.2 - Remoção do Dígito de Justificação
- II.4 - A Estrutura do Quadro do Sistema MCP-120
- II.5 - Sistema MCP-120
- II.6 - Especificações do Sistema MCP-120
- II.7 - Objetivo do Trabalho

CAPÍTULO III - PROJETO E DESENVOLVIMENTO DO DEMULTIPLEXADOR

- III.1 - Introdução
- III.2 - Demultiplexador
 - III.2.1 - Detetor da Palavra de Alinhamento
 - III.2.2 - Dessequenciador
 - III.2.3 - Controle de Sincronismo
 - III.2.4 - Gerador de Quadro
 - III.2.5 - Considerações sobre o Projeto do Circuito
- III.3 - Detetor da Palavra de Alinhamento
- III.4 - Dessequenciador
- III.5 - Controle de Sincronismo
 - III.5.1 - Circuito de Controle de Sincronismo-CCS-1
 - III.5.2 - Circuito de Controle de Sincronismo-CCS-2
- III.6 - Gerador de Quadro
 - III.6.1 - O Contador

- III.6.2 - Circuito de Tempo
- III.6.3 - Diagrama de Tempo
- III.7 - Análise Temporal do Demultiplexador
- III.8 - Análise do Fator de Carga das Saídas
- III.9 - Entradas e Saídas do Cartão Demux
- III.10 - Conclusões do Projeto

CAPÍTULO IV - ANÁLISE TEÓRICA DO MECANISMO DE BUSCA DE SINCRONISMO

- IV.1 - Introdução
- IV.2 - Descrição do Mecanismo de Busca de Sincronismo
- IV.3 - Tempo de Permanência em Sincronismo
- IV.4 - Tempo de Recuperação de Sincronismo

CAPÍTULO V - TESTES DE DESEMPENHO EXPERIMENTAL E CONCLUSÕES

- V.1 - Testes de Desempenho
 - V.1.1 - Sinais de Dados Binários de Entrada e Saída
 - V.1.2 - Ondas do Contador
 - V.1.3 - Ondas de Controle do Contador
 - V.1.4 - Ondas de Controle da Unidade Recuperadora de Canal
 - V.1.5 - Ondas do Circuito de Controle de Sincronismo
- V.2 - Medida do Consumo de Potência
- V.3 - Conclusões

APÊNDICE I - EQUIPAMENTO DE TESTE DO DEMULTIPLEXADOR

- A.I - Equipamento de Teste
 - A.I.1 - Gerador de Relógio
 - A.I.2 - Gerador de Superquadro de Teste
 - A.I.3 - Gerador da Palavra Inibidora
 - A.I.4 - Detetor de Estado
 - A.I.5 - Procedimento de Teste

ABREVIACES

AMI.....	Cdigo de Linha
CCITT.....	International Telegraph and Telephone Consultative Committee
CN1,2,3,4.....	Canal tributrio  taxa de 2,112 Mbit/s.
C.....	Deteo da Palavra de Alinhamento corretamente.
CCS.....	Circuito de Controle de Sincronismo.
CI.....	Circuito Integrado.
CGMD53.....	Controle de Carga de Dados do Contador Mdulo 53.
(CGMD53) EM, FORA.....	Idem, no caso em ou fora de sincronismo.
DEMUX.....	Carto ou Circuito Demultiplexador.
D1,2,3.....	Dgitos de Controle de Justificao.
D1X,2X,3X.....	Idem, para o canal X (=1,2,3 ou 4).
DJ.....	Dgito de Justificao (Insero).
d1,2,3,4.....	Dgitos de Canal a ser extrado da Memria de Entrada.
DADO.....	Dados paralelos do Contador Mdulo 53.
e.....	Deteo da Palavra de Alinhamento no realizada.
FDM.....	Multiplexagem por diviso de frequncia.
f.....	Frequncia do Canal Tributrio.
f_{OCL}	Frequncia da Onda de Controle de Leitura.
f_I	Frequncia dos dgitos de informao do quadro.
f_S	Frequncia dos dgitos reservados para a insero.
f_C	Frequncia dos dgitos de controle de quadro.
f_q	Frequncia dos dgitos de justificao do quadro.
F.....	Frequncia do sinal de linha do sistema MCP de 2 ^a ordem
f_1	Frequncia de Canal (1, no caso) = F/4.
F1,2,3.....	Grupos de 4 bits da palavra de alinhamento de quadro.

F123.....Região dos dígitos da palavra de alinhamento.
 FPE.....Taxa erro de bit na Palavra de Alinhamento.
 FO.....Fator de Carga de Saída (Fan-out).
 HDB-3.....Código de Linha
 H1,2.....Dígitos de Serviço (2 canais).
 I.....Número de dígitos de informação.
 IL.....Interface de Linha.
 I_{IT}Corrente total das entradas alimentadas por saída TTL.
 I_{ITL}Idem, em nível "0".
 I_{ITH}Idem, em nível "1".
 I_{OL}Corrente máxima da saída TTL em nível "0".
 I_{OH}Idem, em nível "1".
 MCP.....Modulação por Código de Pulsos.
 MCP-30.....Sistema MCP de 30 canais.
 MCP-120.....Sistema MCP de 120 canais.
 MCP2M.....Sinal Binário de 2,048 Mbit/s.
 MCP8M.....Sinal Binário de 8,448 Mbit/s.
 MSI.....Escala Média de Integração.
 n.....Número de quadros de busca de sincronismo.
 OCE.....Onda de Controle de Escrita.
 OCL.....Onda de Controle de Leitura.
 OCC.....Onda de Controle de Canal.
 OCCJ.....Onda de Controle dos Códigos de Justificação.
 OLCJ.....Onda de Leitura dos Códigos de Justificação.
 ORC.....Onda Relógio de Canal.
 ORS.....Onda Relógio de Serviço.
 ORCS.....Onda Relógio de Controle de Sincronismo.

OIQ.....Onda Início de Quadro.
OZMCJ.....Onda Zeradora da Memória dos Códigos de Justificação.
ppm.....Partes por milhão.
PLL.....Phase Locked Loop.
PA.....Palavra de Alinhamento.
PSQ.....Palavra de Sincronismo de Quadro.
PAM.....Modulação por Amplitude de Pulsos.
PSQD.....Palavra de Sincronismo de Quadro com pulso duplicado.
PINB.....Palavra Inibidora da Memória de Entrada do Sistema.
 $Q_{(X)}$Saídas da Memória.
RE.....Relógio de Escrita para a Unidade Recuperadora de Canal
RL.....Relógio de Leitura para a Unidade de Canal.
 R_xRecepção.
REL8M.....Relógio de 8,448 MHz do sistema MCP-120.
S.....Razão de Justificação.
SINC.....Onda de Sincronismo.
 t_pTempo de Permanência em Sincronismo.
 \bar{t}_rTempo de Recuperação Média.
 t_{TM}Tempo de Recuperação de 99% de probabilidade de recuperação de sincronismo.
TDM.....Multiplexagem por Divisão de Tempo.
 T_xTransmissão.
 Y_iSaídas de circuito de Memória, em geral.
ZERMD4.....Onda Zeradora dos Contadores Módulo 4.

SUMÁRIO

Um sistema MCP-120 é um sistema de transmissão digital em que se busca a otimização da ocupação de um meio de transmissão através da multiplexagem de quatro sinais gerados no sistema MCP de primeira ordem, contendo cada um deles 30 canais telefônicos.

Neste trabalho é projetado e construído uma parte do receptor do sistema MCP-120: o demultiplexador. Foi também construído um equipamento para teste do circuito demultiplexador.

Um estudo da estatística de busca de sincronismo de quadro é também realizado.

O circuito projetado e construído é testado e os resultados e conclusões são apresentados aqui.

CAPÍTULO I

INTRODUÇÃO

A exigência de sistemas de comunicações que tivesse duas características básicas como alta capacidade de transmissão e reduzida faixa de transmissão, fez com que surgissem inúmeros estudos, com a finalidade de dar solução a essa premissa. São dois os sistemas mais populares em uso atualmente: a multiplexagem por divisão de frequência (FDM) e a multiplexagem por divisão de tempo (TDM).

Com o aprimoramento de circuitos digitais, tornou-se possível o desenvolvimento de sistemas de comunicações utilizando a técnica TDM. Os sistemas de transmissão TDM permitem que vários sinais de fontes diferentes usem o mesmo meio de transmissão, através da divisão do domínio de tempo em intervalos regulares, onde cada intervalo contém uma informação. Esse sistema oferece inúmeras vantagens sobre o FDM.

Os sistemas MCP (Modulação por Código de Pulsos) utilizam-se dessa técnica de transmissão, através da codificação dos diversos sinais de informação.

O sistema MCP básico é o que multiplexa 30 canais de voz, mais dois canais para controle, a uma taxa de 2,048 Mbit/s. Este sistema é o MCP primário, a partir da qual são definidos os sistemas MCP de ordem superior.

O sistema MCP de 2ª ordem (MCP-120), realiza a multiplexagem no tempo de quatro sinais binários, plesíocronos, provenientes do sistema MCP de 1ª ordem (MCP-30), gerando um sinal para a transmissão à taxa de 8,448 Mbit/s. Os sinais plesíocronos são, em resumo, um grupo de sinais de frequências nominais iguais, porém com uma variação de frequência dentro das tolerâncias.

A sincronização para sinais plesíocronos é realizada através da técnica de justificação positiva.

Para a transmissão de dados nos sistemas MCP-120, é estabelecido um formato de quadro que tem uma estrutura tal que per

mite o reconhecimento dos sinais de informação original, na recepção.

Uma descrição do sistema MCP-120 é dada no Capítulo II.

Na recepção, o sistema é colocado em sincronismo com o quadro, e então realizado um controle de sincronismo de quadro, eliminando as interferências que podem ocorrer no processo de busca. Após essa sincronização com o quadro, a dessequenciação dos dígitos entrelaçados do sinal de dado MCP é processada, e obtido os quatro canais tributários de 1ª ordem. Esse processo é realizado pelo demultiplexador de canais.

Os canais tributários obtidos acima são reprocessados de modo a eliminar todos os dígitos de controle do sistema de transmissão e finalmente enviado a sistemas de ordem inferior.

No Capítulo III é descrito, projetado e implementado o Demultiplexador. Inicialmente, faz-se a descrição de todo o demultiplexador, considerando-se as especificações de projeto. Em seguida, faz-se o projeto de cada uma das sub-unidades que o compõem, para então procedermos a integração dos circuitos. Um diagrama de tempo é obtido em forma ideal. Finalmente, uma análise criteriosa dos atrasos de propagação é realizada e procedidas as modificações necessárias do circuito. Faz-se ainda a análise do fator de carga das saídas dos dispositivos e do cartão DEMUX.

No Capítulo IV, é apresentado um estudo teórico da estatística de busca de sincronismo de quadro. Esse estudo é realizado baseado na estrutura de busca estabelecida pela CCITT. O tempo médio da busca de sincronismo é obtido.

No Capítulo V, são analisados os resultados obtidos dos testes de desempenho do sistema.

No Apêndice A.I, é apresentado o equipamento de teste,

projetado e implementado, para utilizarmos no teste de desempenho do Demultiplexador.

O objetivo deste trabalho é analisar, projetar e implementar a unidade de Demultiplexação (do receptor) do equipamento MCP-120. É também realizado um estudo da estatística da busca de sincronismo de quadro para esse equipamento.

CAPÍTULO II

INTRODUÇÃO AO SISTEMA MCP-120

II.1 - INTRODUÇÃO

A transmissão de um conjunto de informações de diferentes origens através de um mesmo meio tem sido feito no sentido de se explorar economicamente a capacidade de transmissão desse meio. Em transmissões análogas de sinais telefônicos foram empregadas hierarquias de multiplexação em frequências (FDM) na qual o equipamento multiplexador é utilizado para reunir os diversos canais em grupos, grupos em supergrupos e supergrupos em hipergrupos, antes de enviá-los a um meio de transmissão de alta capacidade. Para a transmissão digital, é empregada também uma hierarquia usando a multiplexação no tempo (TDM), cujas ordens de hierarquias são definidas pela sua taxa de bits, medidas em bits/seg., em vez de bandas, em Hertz, como é o caso do FDM. O sistema MCP é, basicamente, um sistema de transmissão de dados digitais, e é nesse sentido que se realiza este trabalho. {R1, R2, R3, R4, R5, R6}.

A hierarquia européia em sistemas de multiplexação digital por divisão de tempo dos sistemas de modulação por codificação de pulsos (MCP), de acordo com recomendações da "International Telegraph and Telephone Consultative Committee (CCITT), e adotada no Brasil, é baseada na taxa de 2,048 Mbits/seg, correspondente à taxa de dado gerada pelo sistema de modulação por códigos de pulso de 30 canais de voz (MCP-30). A ordem de hierarquia é mostrada no quadro abaixo.

Ordem do MCP	Taxa (Mbits/seg)
Primeira	2,048
Segunda	8,448
Terceira	34,368
Quarta	139,264

Dessa hierarquia, somente a básica do sistema MCP-30 é originada da multiplexação de 30 canais de voz, mais 2 canais para controle. Este é o único sistema híbrido, pois realiza a multiplexação de sinais análogos em PAM (modulação por amplitude de pulso), e em seguida, realiza a codificação binária, enquanto que nas hierarquias superiores, a multiplexagem é feita digitalmente.

Os sistemas MCP de 2^a, 3^a e 4^a ordens são sempre formados por um grupo de quatro sistemas MCP de ordem imediatamente inferior. A hierarquia dos sistemas MCP é mostrada na Fig. II.1.1.

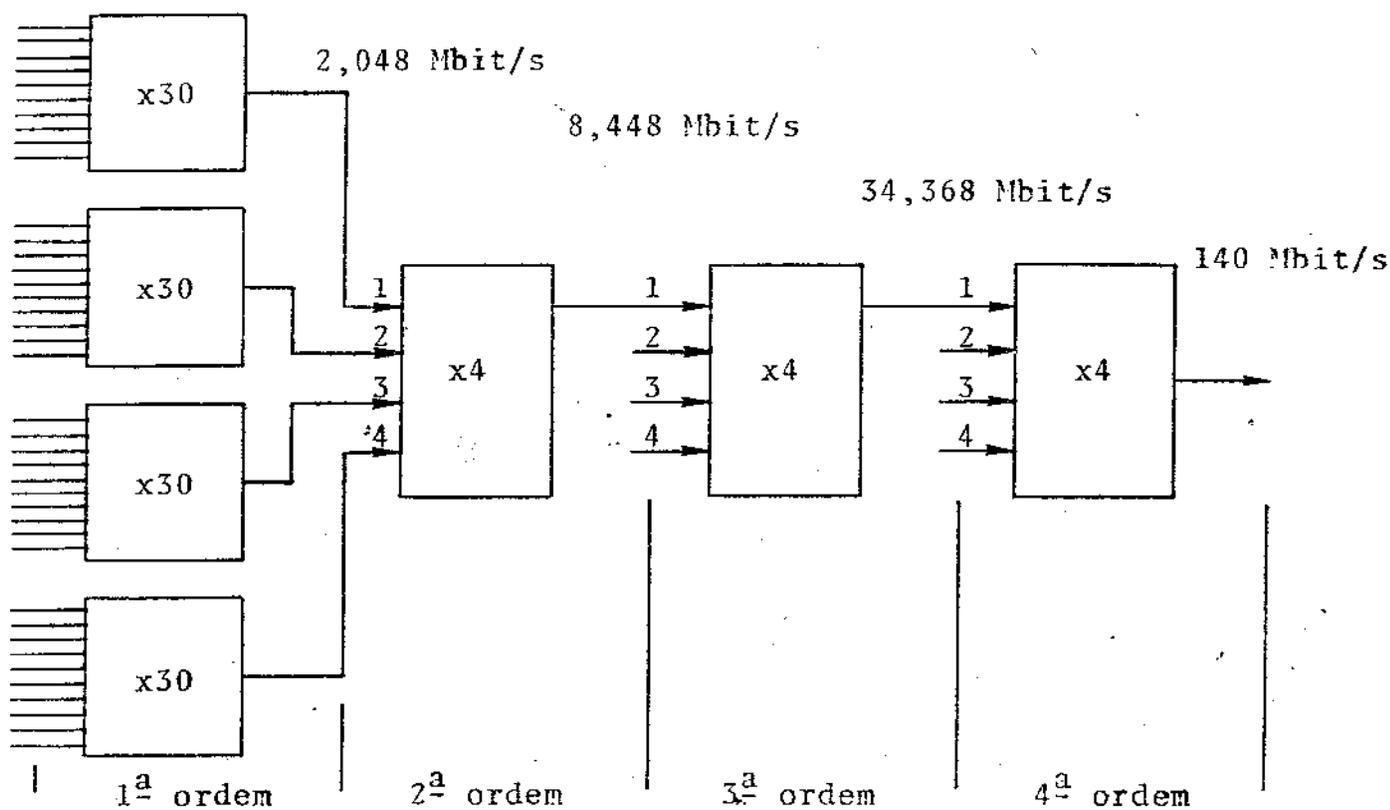


Fig. II.1.1 - Hierarquia dos sistemas MCP

O nosso objetivo é desenvolver somente o sistema MCP de 2ª ordem. Este sistema faz a multiplexação de quatro sinais MCP de 1ª ordem. Cada um dos sinais é denominado canal tributário. O sinal gerado nesse processo é o sinal MCP de 2ª ordem.

O sistema MCP-120, que será tratado neste trabalho, é do tipo assíncrono, isto é, quatro sistemas assíncronos (plesíocronos) de 1ª ordem são multiplexados a uma frequência comum. Isto é necessário, pois os quatro canais tributários são gerados a partir de unidades de relógios independentes de maneira que, embora estejam em frequências nominais iguais, cada um deles sofre uma variação de frequência dentro de um limite especificado de 50 partes por milhão (ppm), ou seja, aproximadamente de 100 Hz em 2,048 MHz.

A Fig. II.1.2 mostra as frequências dos sistemas de 1ª ordem e do sistema de 2ª ordem, bem como as tolerâncias em cada sistema.

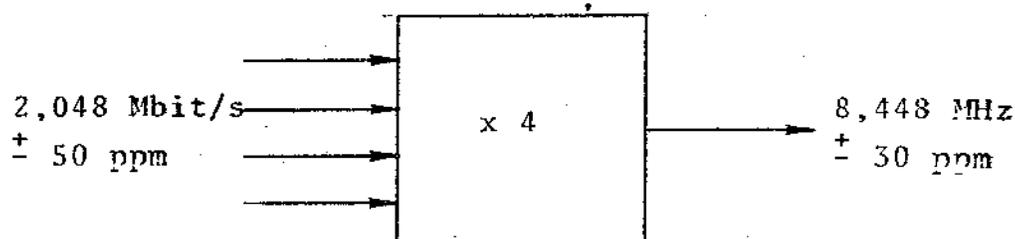


Fig. II.1.2 - Frequências do sistema MCP de 2ª ordem

Devido ao problema das variações nas frequências de operação de cada sinal tributário, é necessário um estágio intermediário entre o recebimento dos canais tributários e o estágio de multiplexação dos mesmos. O referido estágio traz a uma frequência comum de operação cada um dos quatro canais tributários, através da técnica de justificação (stuffing). Neste trabalho é utilizada a

justificação positiva.

Obtida a sincronização dos canais tributários, a multiplexação dos mesmos é feita bit a bit, dentro de um formato de quadro padronizado pelo CCITT, para sistemas MCP de 2ª ordem assíncronos. Neste estágio é obtida a geração do sinal binário MCP de 120 canais, à taxa de 8,448 Mbit/s.

Até aqui, introduzimos como é realizada a transmissão em sistemas MCP de 2ª ordem.

Na recepção, o objetivo é recuperar os canais tributários originais de 1ª ordem.

Para isso, a estrutura de quadro citada acima, contém um conjunto de dígitos denominado palavra de alinhamento, sempre no início de cada quadro. Isto permite que o receptor reconheça o início de cada quadro, identificando cada dígito do sinal binário recebido.

A separação de cada canal tributário é realizada intermediariamente, gerando um sinal MCP de 1ª ordem que contém todos os dígitos de controle do sistema MCP de 120 canais telefônicos (MCP-120). Por isso, é necessário um estágio intermediário entre o estágio citado e o estágio de MCP de 1ª ordem. Esse estágio é o recuperador de canal, cuja função é eliminar os dígitos de controle e o dígito redundante inserido na transmissão durante o processo de justificação, recuperando assim o canal tributário de 1ª ordem propriamente dito.

II.2 - SINCRONIZAÇÃO POR JUSTIFICAÇÃO POSITIVA

Este é um processo no qual traz-se a uma frequência comum, quatro (ou mais) sinais de canal tributário assíncronos (MCP

de 1^a ordem), como foi descrito anteriormente.

Para se obter a sincronização dos tributários através da técnica de justificação, armazenam-se os dígitos de cada sistema MCP de 1^a ordem em uma memória elástica a uma frequência f - (frequência do sinal tributário) e retiram-se a uma outra frequência f_{OCL} (frequência da onda de controle de leitura). Como a memória tem tamanho finito, é necessário que na média $f_{OCL} = f$.

São três as técnicas de justificação:

- Justificação Positiva
- Justificação Negativa
- Justificação Positiva-Negativa

Restringir-nos-emos à discussão da técnica de Justificação Positiva, pois é a que utilizaremos em nosso sistema. As demais técnicas podem ser encontradas na referência {R3}.

Consideremos então um possível formato de quadro hipotético para a multiplexação dos quatro sinais tributários. Todo o estudo é baseado em apenas um sistema de 1^a ordem, pois o processo se repete para os outros três de modo idêntico.

Esse quadro deveria ter:

- 1 - dígitos reservados sempre à informação a uma frequência f_I .
- 2 - dígitos reservados para sincronismo a uma frequência f_S .
- 3 - dígitos reservados para controle sempre a uma frequência f_C .
- 4 - dígitos reservados ora para redundância, ora para informação, a uma frequência f_q .

Quando os dígitos de (4) são utilizados para redundân

cia, são geralmente chamados de dígitos de justificação.

Vamos antes definir algumas frequências que serão citadas mais adiante, durante o desenvolvimento de nossa explanação, referente ao sistema de 2^a ordem, que são:

- frequência de linha (F) = 8,448 MHz
- frequência de canal (tributário) (f) = 2,048 MHz
- taxa de informação (I) = 8,192 Mbit/s

Podemos escrever que, para o canal 1, a frequência de operação é dada por $f_1 = F/4$, onde

$$f_1 = f_I + f_S + f_C + f_q \quad \text{II.2.1}$$

Consideremos ainda a seguinte definição:

S = fração das oportunidades de inserção que é aproveitada para o dígito de justificação (redundante).

1-S = fração das oportunidades de inserção aproveitada para informação.

Logo, concluímos que

$$f = f_I + (1+S) f_q \quad \text{II.2.2}$$

Quando S = 0, ou seja, todos os dígitos de (4) são dígitos de informação, teremos

$$f = f_I + f_q$$

e, quando S = 1, ou seja, todos os dígitos de (4) são dígitos de justificação, teremos

$$f = f_I$$

Da equação II.2.2 podemos tirar as seguintes conclusões:

a) $f > f_I$ quando $0 < S < 1$, ou ainda

$$f_I < (f)_{\min} = f - 100 \text{ Hz.}$$

b) $f < f_I + f_q$ quando $S = 0$, ou ainda

$$f_I + f_q > (f)_{\max} = f + 100 \text{ Hz.}$$

Consideremos agora que $S = 0$. Como a frequência em que os dados estão entrando no armazenador é sempre $f - 100$ Hz, e a frequência em que está saindo é $f_I + f_q$, que é maior que $(f)_{\max}$, torna-se então necessário que se vá aumentando o valor de S , no sentido de se tornar verdadeira a equação II.2.2.

Aumentar o valor de S significa, fisicamente, diminuir a frequência dos dígitos de informação do valor $f_I + f_q$ para o valor $f_I + (1+S) f_q$. Portanto, "inserir" significa, neste caso, enviar menos informações, ou seja, inserir dígitos redundantes em(4) e que serão removidos posteriormente na recuperação do canal tributário.

Ao processo descrito, denominamos Justificação Positiva.

II.3 - INSERÇÃO E REMOÇÃO DO DÍGITO DE JUSTIFICAÇÃO

Como vimos anteriormente, a técnica de justificação positiva introduz um dígito redundante no sinal de dados de transmissão. São enviados também nesse sinal de dados, dígitos de controle que indicam a presença, ou não, do dígito de justificação.

Esses dígitos de controle são interpretados no receptor, através de um grupo de dígitos de controle de justificação codificados no quadro, permitindo a remoção do dígito redundante.

II.3.1 - Inserção do dígito de justificação

A Fig. II.3.1 mostra o mecanismo de inserção do sistema MCP-120.

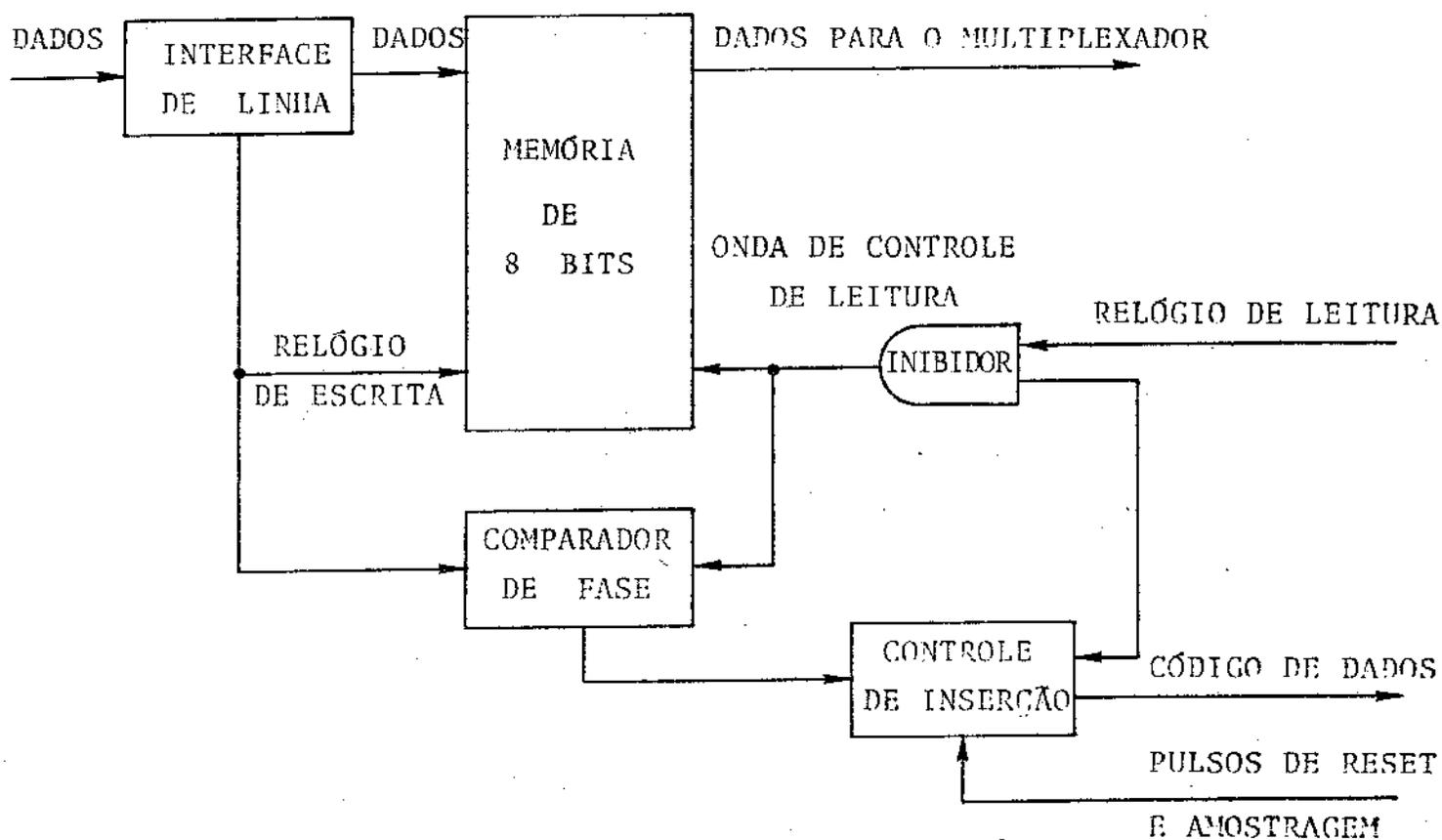


Fig. II.3.1 - Diagrama em blocos do mecanismo de inserção (sincronizador)

Existe um mecanismo completo de inserção para cada canal tributário. Os dados de cada canal são introduzidos em uma memória sob o controle do relógio de escrita (RE), que está na frequência f do canal tributário ($2,048 \text{ MHz} \pm 100 \text{ Hz}$ (50 ppm)). O relógio de leitura

(RL) do multiplexador, que é idêntico para cada canal, é feito propositalmente mais rápido que o relógio de escrita (RE) ($1/4$ de $8,448 \text{ MHz} \pm 30 \text{ ppm}$). Se usássemos esse processo sem interrupção, o relógio de leitura se sobreporia ao relógio de escrita na tentativa de ler a informação antes que ela fosse escrita. Para que isso não ocorra, torna-se necessário que paralizemos o relógio de leitura em determinados instantes. Estas paralizações momentâneas dão origem a um novo tipo de onda, a qual denominaremos Onda de Controle de Leitura (OCL).

Com a paralização momentânea do RL, o dígito que vai para o multiplexador propriamente dito, é o mesmo que havia sido enviado anteriormente, ocorrendo, pois, a inserção de um dado redundante. Este dado será removido depois no demultiplexador, através do recuperador de canal.

O trem de dados enviado ao multiplexador está numa frequência comum a todos os três outros sinais binários de cada canal tributário. Os quatro trens de dados assim sincronizados podem ser, então, multiplexados bit a bit, num formato de quadro pré-estabelecido.

O comando de inserção é dado por um comparador de fase que confronta as fases do RE e da OCL.

Quando a OCL começa a se sobrepor ao RE, o comparador emite um pulso que ativará uma porta inibidora. Então, um pulso é removido do relógio de leitura e a fase da OCL é atrasada de uma janela de tempo. A operação de inserção está continuamente acontecendo, uma vez que a OCL estará sempre avançando em relação ao RE.

A taxa de inserção dependerá, sobretudo, da diferença entre o RE e da OCL.

II.3.2 - Remoção do dígito de justificação

A Fig. II.3.2 mostra o mecanismo de remoção do dígito de justificação, no receptor.

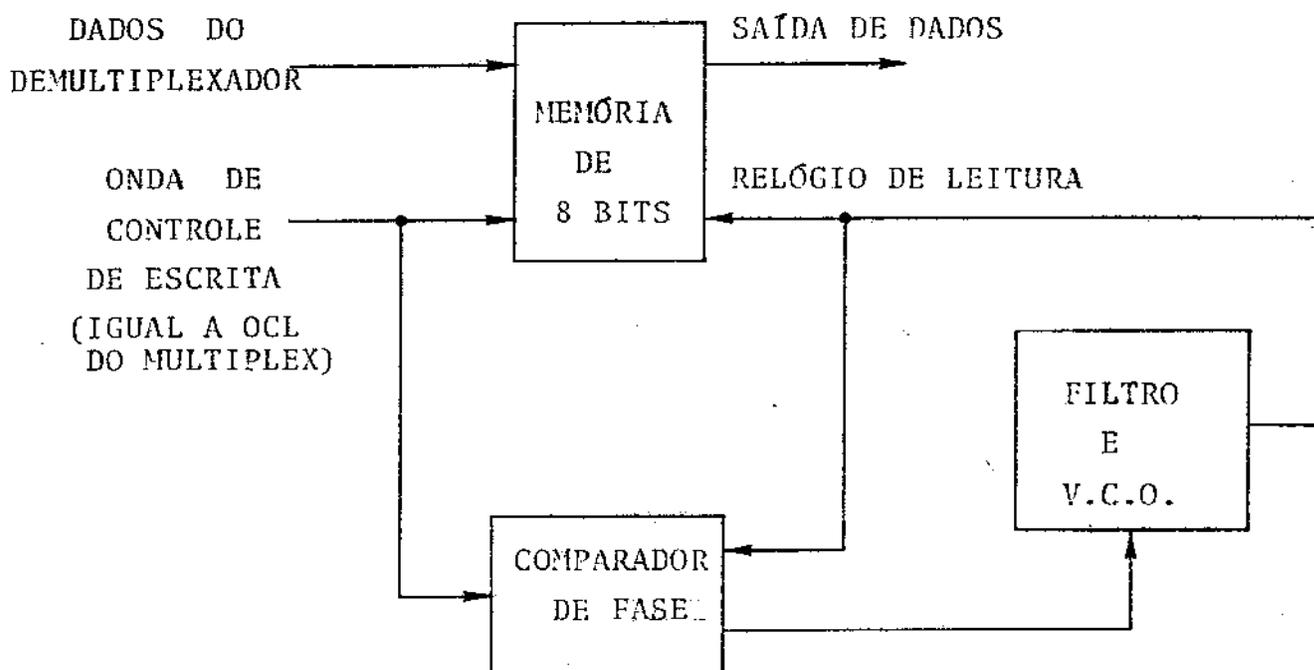


Fig. II.3.2 - Diagrama em bloco do mecanismo de recuperação do canal tributário (Recuperador)

No receptor, a informação contida nos dígitos do código de controle de justificação dá conhecimento, ao circuito de retirada do dígito de justificação, se houve ou não a introdução de um dígito redundante. No caso de ter ocorrido um dígito de justificação (redundante), este será removido do sinal de dados de canal, juntamente

com os dígitos de controle. Esse sinal binário de frequência 2,112 MHz (frequência comum dos canais tributários) é enviado ao circuito recuperador do canal tributário, pelo demultiplexador e armazenado numa memória elástica, a uma frequência controlada pela onda de controle de escrita dos tributários (OCE), que é idêntica à OCL do circuito sincronizador dos tributários na transmissão.

Um circuito Phase-Locked-Loop (P.L.L.) é usado para recuperar o relógio do sistema MCP de 1ª ordem - (2,048 MHz \pm 50 ppm), a partir da OCE. Esse relógio recuperado é usado para controlar as leituras dos dados armazenados na memória elástica, ou seja, é o relógio de leitura (RL) do circuito recuperador de canal tributário e não está necessariamente na mesma fase do RE do sincronizador.

II.4 - ESTRUTURA DO QUADRO DO SISTEMA MCP-120

Para a operação do sistema MCP-120 é necessário um grupo de dados para o controle de processamento, conforme foi descrito nas seções anteriores, tais como: indicar o início do quadro, controlar os dígitos de justificação e sinais de serviço ou alarmes entre os equipamentos distantes.

Esses controles são realizados através de um grupo de dígitos introduzidos sistematicamente no quadro.

Assim, o quadro é formado por:

- a) sinal de alinhamento de quadro,
- b) informações tributárias (em número igual para cada tributário),
- c) dígitos de controle de justificação (para cada canal tributário),

d) dígitos de justificação (para cada canal tributário).

Para o sistema MCP-120, adotando a justificação positiva, o formato de quadro padronizado pela CCITT, através da recomendação G742, é o mostrado na Fig. II.4.1 e na Tabela II.4.1.

Cada quadro contendo 848 janelas de tempo é subdividido em quatro subquadros, contendo 212 janelas de tempo. Das 848 janelas, 24 são reservadas para o controle do sistema. Estas são distribuídas da seguinte forma:

Função	Nº dígitos	Subquadro
palavra de alinhamento	10	A
serviço	2	A
controle de justificação	12	B,C,D

Os 10 primeiros dígitos do subquadro A são para o alinhamento de quadro e é padronizado pela CCITT como "1111010000". Os dois dígitos seguintes são reservados para a comunicação, de alarme ou outro fim desejado, entre equipamentos distantes. Nos subquadros B, C e D são inseridos as informações de controle de justificação através dos quatro primeiros dígitos.

Se X é o canal tributário (X = 1,2,3 ou 4), então tem-se que, se

$D1X = D2X = D3X = 0$, não houve justificação

$D1X = D2X = D3X = 1$, houve justificação

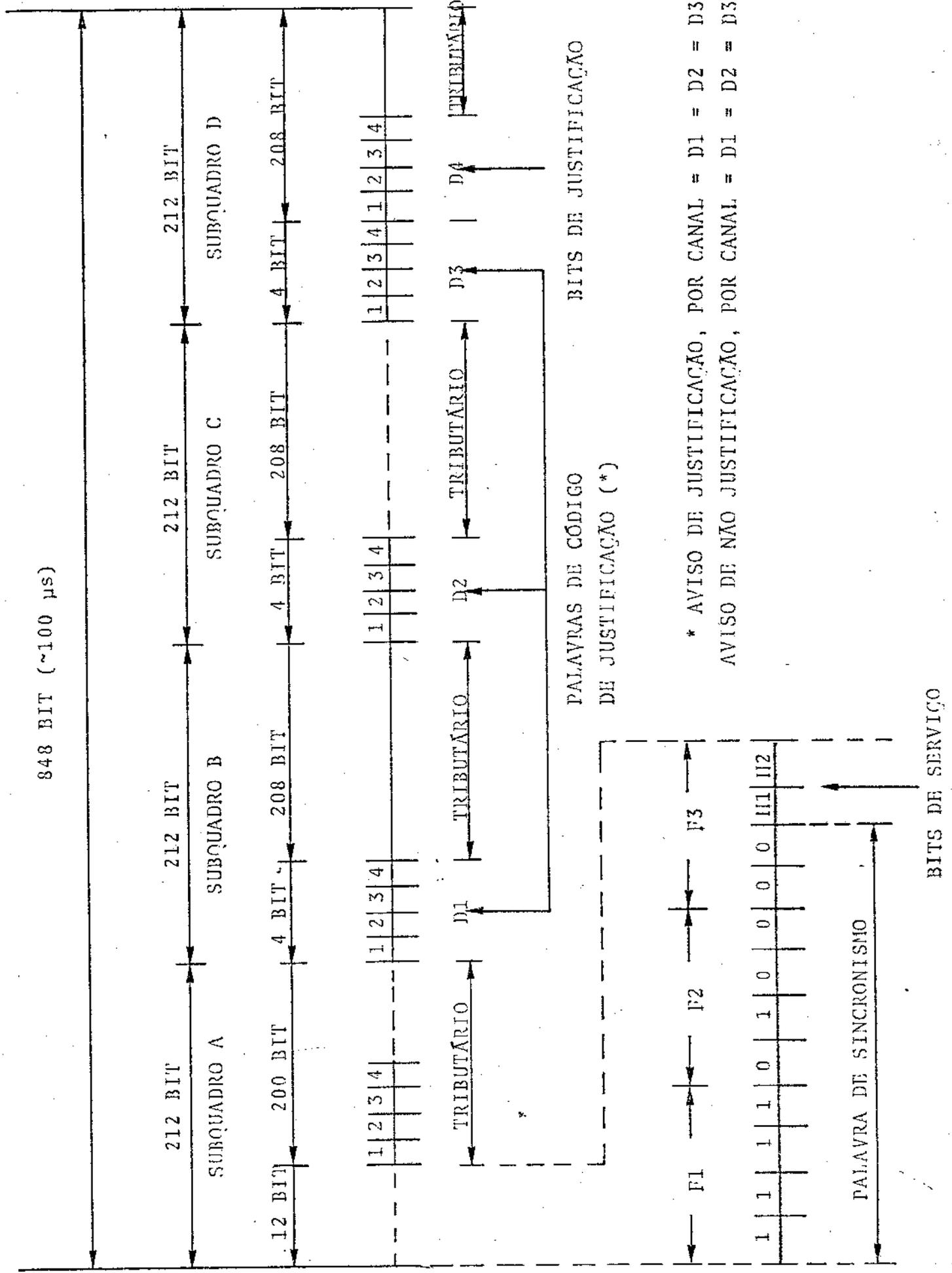


Fig. II.4.1 - Formato de Quadro do Sistema MCP de 2^a ordem

Taxa de bit dos tributários (Mbit/s)	2,048
Número de tributários	4
Estrutura do Quadro	Numeração dos bits
	<u>Subquadro A</u>
Palavra de Alinhamento de Quadro(1111010000)	1 a 10
Indicação de alarme no Equipamento Multiplex distante (H1)	11
Bit reservado para uso nacional (H2)	12
Bits dos tributários	13 a 212
	<u>Subquadro B</u>
Bits de Controle de Justificação D1X	1 a 4
Bits dos Tributários	5 a 212
	<u>Subquadro C</u>
Bits de Controle de Justificação D2X	1 a 4
Bits dos Tributários	5 a 212
	<u>Subquadro D</u>
Bits de Controle de Justificação D3X	1 a 4
Bits dos Tributários disponíveis para justificação	5 a 8
Bits dos Tributários	9 a 212
Comprimento do quadro	848 bits
Bits por tributários	206 bits
Taxa de justificação máxima por tributário	10 Kbit/s
Taxa de justificação máxima/Taxa de justificação nominal	2,36

Tabela II.4.1 - Estrutura de Quadro de Multiplexação a 8,448 Mbit/s

Os quatro dígitos seguintes aos dígitos D3, no subquadro D, poderão conter a informação tributária ou o dígito de justificação, um para cada canal tributário, de acordo com a consideração acima dos dígitos D1, D2 e D3.

II.5 - SISTEMA MCP-120

O equipamento do sistema MCP-120 pode ser estruturada da seguinte forma:

Transmissor (T_X) (ver Fig. II.5.1)

- Unidade Interface de Linha 2 Mbit/s (4)
- Unidade Sincronizadora (4)
- Unidade Multiplexadora (1)
- Unidade Interface de Linha 8 Mbit/s (1)

Receptor (R_X) (ver Fig. II.5.2)

- Unidade Interface de Linha 8 Mbit/s (1)
- Unidade Demultiplexadora (1)
- Unidade Recuperadora (4)
- Unidade Interface de Linha 2 Mbit/s (4)

Tem-se ainda duas unidades comuns aos equipamentos T_X e R_X : uma unidade de alarme e uma unidade de monitoração.

Nas unidades Interface de Linha são feitas as conversões dos sinais digitais unipolares em sinais digitais bipolares codificados em HDB-3 ou AMI e vice-versa. Esse processo é necessário para adaptar os sinais produzidos nos circuitos digitais às condições da linha e vice-versa. A codificação HDB-3 ou AMI são denominados códigos de linha e permitem que os relógios sejam recuperáveis em condições bastante adversas e reduzem erros na linha do tipo interferências intersimbólicas.

No transmissor, a unidade sincronizadora realiza a

UNIDADE DE SINCRONISMO

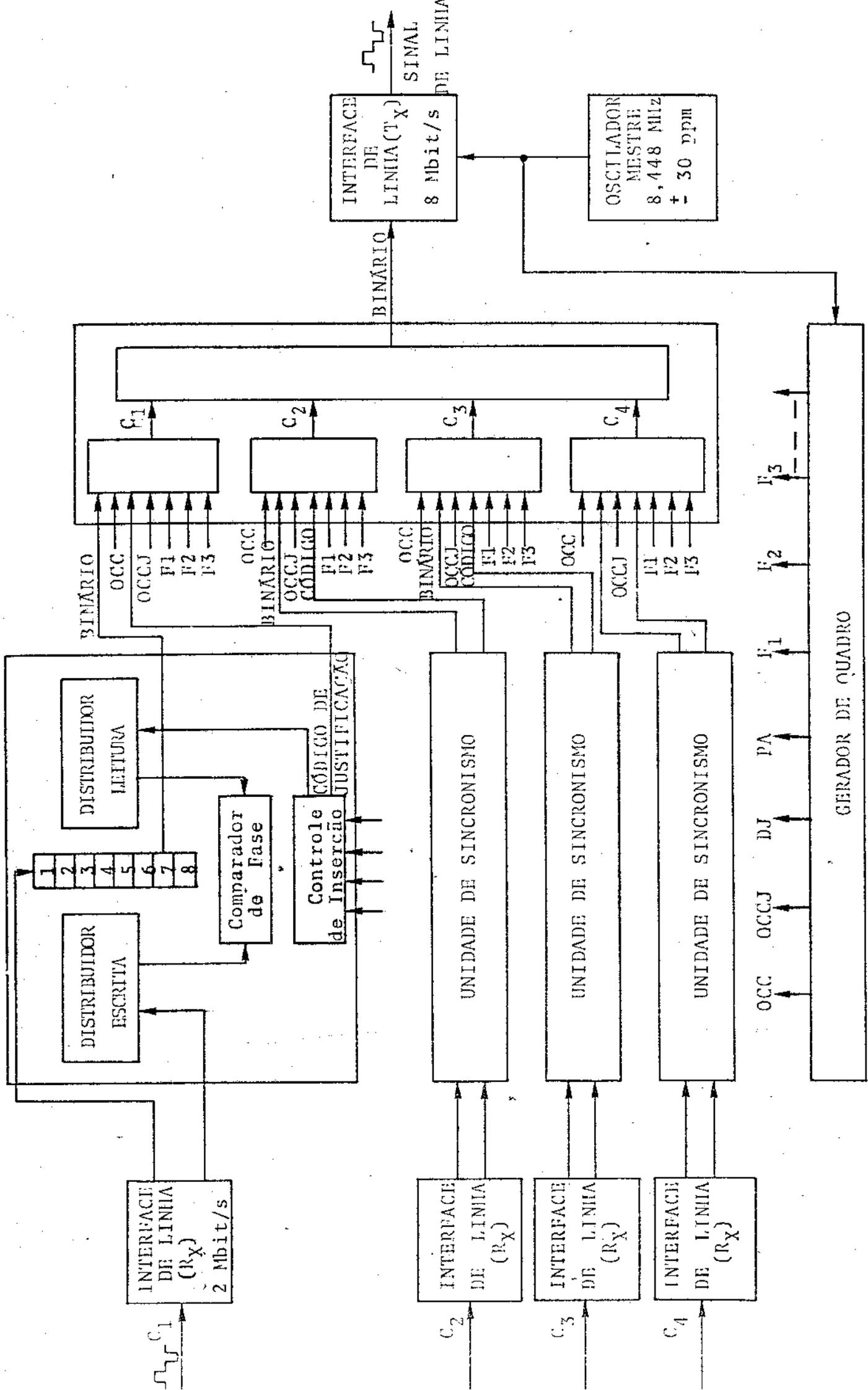


Fig. II.5.1 - Diagrama de blocos do Transmissor do Sistema MCP de 2a. ordem

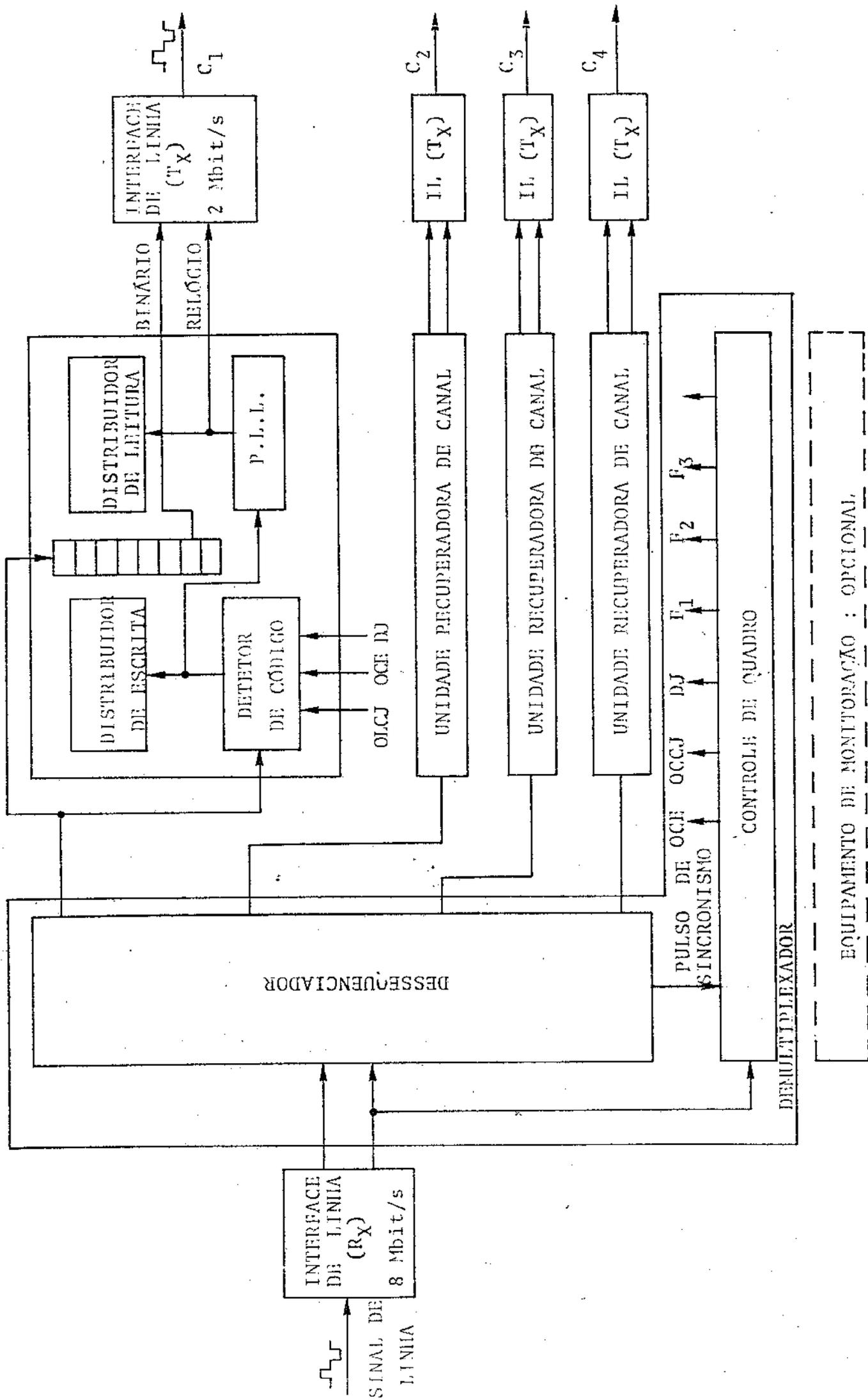


Fig. II.5.2 - Diagrama em Blocos do Receptor do Sistema MCP de 2a. ordem

sincronização de cada canal tributário levando-o a uma frequência comum de 2,112 Mbit/s e os envia à unidade multiplexadora juntamente com a informação de justificação. A unidade multiplexadora gera um conjunto de ondas de controle do equipamento de transmissão e os envia para controlar as diversas unidades. A sua função é a de multiplexar bit a bit os quatro canais a uma taxa comum de 2,112 Mbit/s, gerando o sinal MCP de 2^a ordem à taxa de 8,448 Mbit/s e os envia à unidade Interface de Linha 8 Mb/s.

No Receptor, a unidade demultiplexadora realiza três funções básicas: alinhar o quadro, separar os canais entrelaçados e controlar o sincronismo de quadro. Os sinais tributários obtidos aqui, contêm todos os dígitos de controle e são enviados à unidade recuperadora de canal à taxa de 2,112 Mbit/s. O controle de sincronismo de quadro é necessário para evitar que os erros introduzidos no sinal MCP 8M, tanto na unidade transmissora, como na linha, não levem o sistema à situações de perda de sincronismo ou recuperação de sincronismo falsos. A unidade recuperadora de canal retira do sinal tributário de 2,112 Mbit/s todos os dígitos de controle e os dígitos de justificação redundante, regenerando assim, o sinal tributário original de 1^a ordem. Na unidade recuperadora é usado um P.L.L. para recuperar o relógio do sistema MCP de 1^a ordem e sua referência é obtida da OCE. Esta contém pulsos nas posições correspondentes somente aos dígitos de informação e, portanto, tem uma taxa média igual àquela do canal tributário original (2,048 Mbit/s). Esse sinal é enviado à unidade Interface de Linha de 2 Mbit/s que, por sua vez, envia à unidade de recepção do sistema MCP-30 canais.

II.6 - ESPECIFICAÇÕES DO SISTEMA MCP-120

Para o sistema MCP-120 canais, que foi introduzido neste capítulo, são dadas diversas especificações gerais. Isto é mostrado na Tabela II.6.1, onde se resumem as especificações citadas e sugeridas pela CCITT, que servirá de base para que o equipamen

<u>Multiplexação e Capacidade do Sistema</u>			
Sinais Tributários para Multiplexação		Assíncronos (Plesíocronos)	
Número de Tributários		4	
Taxa de Dígitos dos Tributários		2,048	Mbit/s
Taxa de Dígitos de Transmissão		8,448	Mbit/s
Capacidade de Canal de Voz		120	Canais
<u>Técnica de Sincronização dos Sinais</u> <u>Plesíocronos</u>		Justificação Positiva	
<u>Formato de Quadro</u>			
Comprimento do Quadro		848	Dígitos
Dígitos de Informação/Quadro		824	Dígitos
Dígitos de Informação/Tributário		206	Dígitos
Dígitos de Controle/Quadro		24	Dígitos
- Alinhamento		10	Dígitos
- Código de Justificação		12	Dígitos
- Serviço		2	Dígitos
Razão (Dígito de Informação/Dígito de Controle) (η)		34,333	
<u>Frequências de Operação</u>			
Frequência de Linha	F	8,448	MHz
Frequência de Canal	f	2,048	MHz
Tolerância da Frequência de Linha		30 ppm ou	250 Hz
Tolerância da Frequência de Canal		50 ppm ou	100 Hz
Frequência de Quadro	Q	9,962	KHz
Largura do Quadro	N	~100	μ seg
Frequência de Canal comum		2,112	MHz
Taxa Normalizada de todos os canais	F_n	8,45060	MHz
Taxa Normalizada de Canal	f_n	2,10760	MHz

Tabela II.6.1a - Especificações para o Sistema
MCP-120

<u>Mecanismo de Justificação</u>			
Taxa de Inserção Fixa	F_S	17,400	KHz
Razão de Justificação	mínima (S_{min})	0,408	
	nominal (S_{nom})	0,424	
	máxima (S_{max})	0,448	
Taxa de Justificação	mínima ($f_{S_{min}}$)	4,514	KHz
	nominal ($f_{S_{nom}}$)	4,226	KHz
	máxima ($f_{S_{max}}$)	4,185	KHz
<u>Sincronismo de Quadro</u>			
Número de passos consecutivos para a perda de sincronismo		4	quadros
Número de passos consecutivos para a recuperação de sincronismo (mínimo)		*3	quadros
Número de passos consecutivos para a recuperação de sincronismo (máximo)		*~4	quadros
Tempo médio de Busca de Sincronismo		**0,38	µseg
<u>Observação:</u>			
* Os dois valores são tais que o número de quadros de busca de sincronismo de quadro, com o sistema fora de sincronismo, é dado por			
$3 \leq N \leq 4$ (quadros)			
**Esse tempo é calculado supondo-se que a probabilidade de captura da palavra de alinhamento é de 99%.			

Tabela II.6.1b - Especificações para o Sistema
MCP-120

to a ser implementado seja analisada em seu todo.

Diversas especificações de parâmetros muitas vezes muito importantes, tal como aceitação de jitter, não foram ainda especificadas pela CCITT e constituí-se em uma das mais importantes contribuições que o presente projeto poderá fornecer futuramente. Este trabalho está sendo desenvolvido por outros engenheiros do grupo, que projetam o sistema MCP-120 canais.

II.7 - OBJETIVO DO TRABALHO

O objetivo deste trabalho é projetar e desenvolver a unidade demultiplexadora do sistema MCP-120. Será também realizado um estudo sobre a estatística de busca de sincronismo, calculando finalmente o tempo médio de busca de sincronismo de quadro.

CAPÍTULO III

PROJETO E DESENVOLVIMENTO DO DEMULTIPLEXADOR

III.1 - INTRODUÇÃO

É apresentado neste capítulo, o projeto e a implementação do demultiplexador que tem a função de dessequenciar o sinal binário de 8,448 Mbit/s em quatro canais tributários de 2,112 Mbit/s. Este sinal binário de baixa taxa de dado é enviado ao circuito recuperador de canal, estágio esse, subsequente ao demultiplexador na recepção.

No demultiplexador, as unidades fundamentais são o gerador de quadro e o controle de sincronismo. O primeiro, por ser responsável pela geração de todas as ondas de controle do equipamento demultiplexador e recuperador de canal, e o segundo pela sua função de levar o equipamento ao estado de sincronismo com o sinal binário de 8,448 Mbit/s.

A dessequenciação (ou a separação) dos canais tributários é realizada sincronamente. A extração dos dígitos de serviço H1 e H2 também é feita sincronamente neste mesmo estágio.

O gerador de quadro é feito de acordo com a estrutura do quadro do sistema MCP de 2ª ordem estabelecida pela CCITT (Fig. II.4.1).

A implementação é feita utilizando-se somente dispositivos TTL "Low Power Schottky", adotando de preferência os da série MSI (Escala Média de Integração), devido à necessidade de circuitos tão compactos quanto possíveis.

O projeto é realizado em duas etapas: primeiro, obtém-se um circuito ideal com o uso de técnicas de projeto lógico e, então, faz-se a análise do projeto com os tempos de propagação. Esse estudo indicará as modificações necessárias no projeto, permitindo que se obtenha a otimização do circuito.

Finalmente, é apresentado um equipamento de teste do

do demultiplexador, pois sem este equipamento não seria possível a verificação do desempenho do circuito implementado.

III.2 - DEMULPLEXADOR

O Demultiplexador é o equipamento de recepção (RX) , que tem a função de separar os canais multiplexados no equipamento de transmissão (TX). Este equipamento tem, basicamente, apenas dois sinais como entrada:

- dado binário de 8,448 Mbit/s (MCP 8M)
- relógio de 8,448 MHz (REL 8M)

vindos da interface de linha de 8 Mbit/s.

O Demultiplexador é constituído fundamentalmente de quatro blocos de funções:

- a) detetor da palavra de alinhamento
- b) dessequenciador de canal
- c) controle de sincronismo
- d) gerador de quadro

A seguir, é mostrado um diagrama em bloco de todo o equipamento de recepção (Fig. III.2.1), o qual será, brevemente, descrito bloco por bloco, quanto às funções desenvolvidas. Em seguida, será feito o projeto e desenvolvimento de cada bloco.

III.2.1 - Detetor da Palavra de Alinhamento

Neste bloco, realiza-se o reconhecimento da palavra de alinhamento de quadro que vem no sinal de dado binário, que é padronizado pela CCITT, de acordo com a recomendação G742. A palavra padrão é "1111010000".

As ondas necessárias para este bloco são o

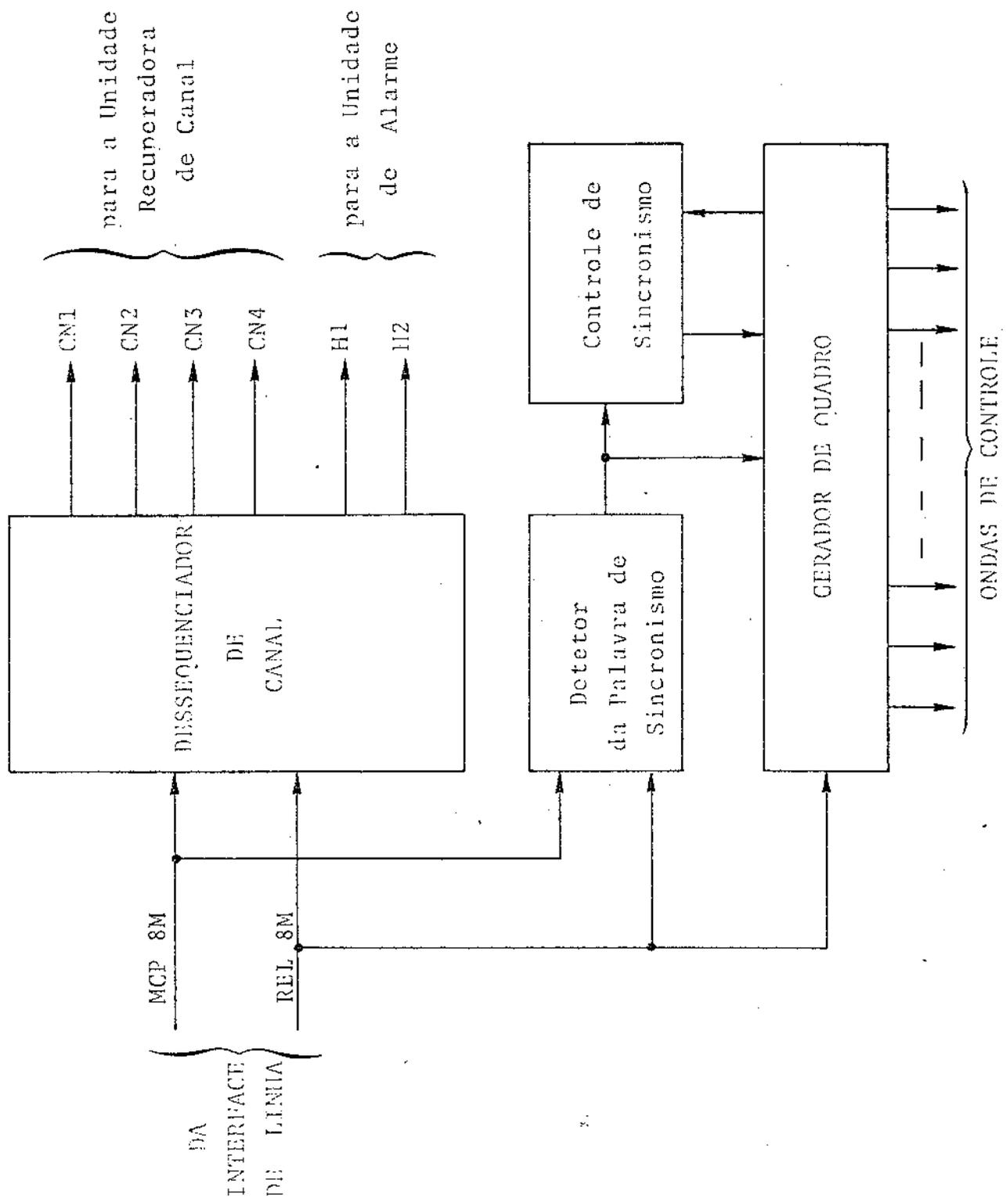


Fig. III.2.1 - Diagrama em Blocos de Demultiplexador

sinal de dado binário (MCP 8M) e a onda relógio de 8,448 MHz (REL 8M) e tem como saída a onda pulso de sincronismo de quadro (PSQ). Esse pulso PSQ é utilizado para a sincronização do equipamento de recepção com o sinal de dado MCP 8M.

Nenhuma onda de controle externa é necessária para este circuito.

III.2.2 - Dessequeciador

A função deste bloco é separar os dígitos entrelaçados no sinal binário MCP 8M em quatro canais tributários, à taxa de 2,112 Mbit/s. Estes canais contêm todos os dígitos de controle e de justificação, que serão eliminados no recuperador de canal. Na verdade, este bloco tem duas funções: separar os canais tributários e extrair a informação contida nos dígitos de serviço H1 e H2.

A separação dos quatro canais tributários é feita de maneira síncrona, através de um único sinal de controle, que denotaremos como onda relógio de canal (ORC). A onda ORC será obtida do gerador de quadro.

A extração dos dígitos de serviço é também realizada sincronamente do sinal MCP 2M, ou seja, dos canais tributários CN-3 para H1 e CN-4 para H2.

A onda de controle para extração desses dígitos é chamada onda relógio de serviço (ORS), e é também obtida do gerador de quadro.

III.2.3 - Controle de Sincronismo

De acordo com a recomendação G742 da CCITT,

a busca de sincronismo de quadro deve seguir uma estratégia {R4} de modo a evitar que o equipamento adquira um falso sincronismo ou uma falsa perda de sincronismo.

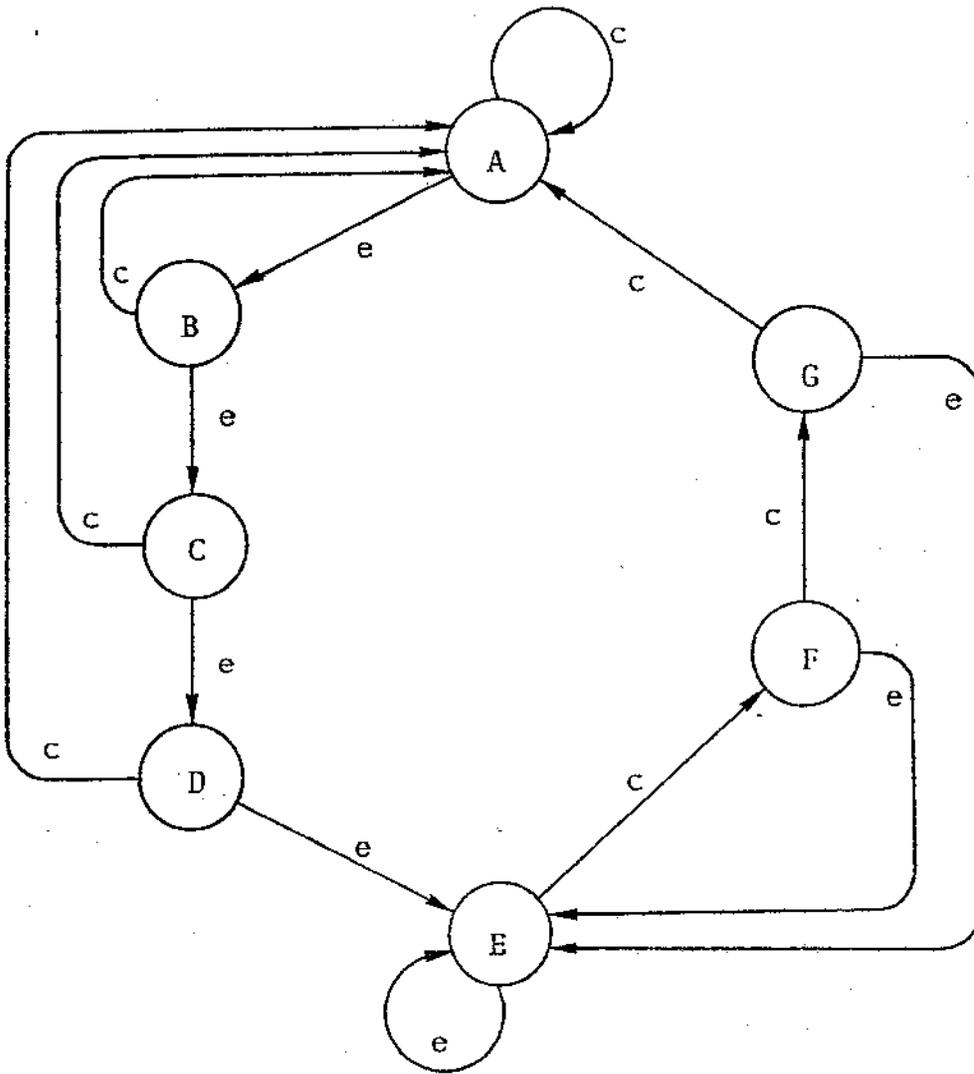
Essa estratégia estabelece que:

- com o sincronismo perdido, o equipamento deve recuperar o sincronismo, após buscar a palavra de alinhamento com sucesso em em três quadros sucessivos, sendo os dois últimos, na posição esperada com base na detecção do primeiro.
- com o sincronismo correto, o equipamento é considerado fora de sincronismo após falhar na busca da palavra de alinhamento em quatro quadros sucessivos, na posição esperada.

No caso em que o sistema está fora de sincronismo, a busca da palavra de alinhamento é feita bit a bit em todo o sinal MCP 8M recebido, até que ela seja detetada. Obtida a primeira detecção, a busca daquela palavra passa a se processar apenas em espaços de um quadro.

Este bloco realiza a busca como se mostra na Fig. III.2.2.

No bloco de controle de sincronismo, é necessário a onda de pulso de sincronismo de quadro (PSQ), a onda de controle de leitura de PSQ (ORCS), e tem-se como saída uma onda de sincronismo (SINC), que informa o estado de falta de sincronismo (estado E). A onda ORCS é gerada através do bloco gerador de quadro.



e = ,palavra de sincronismo não detetado
 c = palavra de sincronismo detetado corretamente

- A = em sincronismo
- B,C,D = pré-alarme
- E = fora de sincronismo
- F,G = pré-sincronismo

Fig. III.2.2 - Controle de Sincronismo

III.2.4 - Gerador de Quadro

O bloco gerador de quadro é constituído por duas partes:

- contador
- circuito de tempo

O contador tem a função específica de gerar uma sequência de palavras que, associadas ao quadro do sistema MCP-120, permite identificar todas as janelas temporais do mesmo. O circuito de tempo tem a função de gerar as ondas de controle necessárias ao controle da própria unidade demultiplexadora, como também à unidade recuperadora de canal.

O contador deve portanto gerar 848 palavras binárias, uma vez que o comprimento do quadro é de 848 dígitos.

As ondas de controle das unidades recuperadoras de canais são conhecidas, a priori, a menos das suas posições relativas que podem variar ligeiramente. É mostrado na Fig. III.2.3 as formas de onda básica para aquela unidade.

Temos assim, que o bloco gerador de quadro tem como sinais de controle, o relógio de 8M e a onda zeradora. Esta última onda tem função dupla, pois com o sistema em sincronismo, o reinício tem uma posição definida e, se por outro lado, o sistema está fora de sincronismo, o reinício assume um estado inicial diferente do anterior.

Vamos, a seguir, realizar o projeto e o desenvolvimento de cada uma das partes citadas.

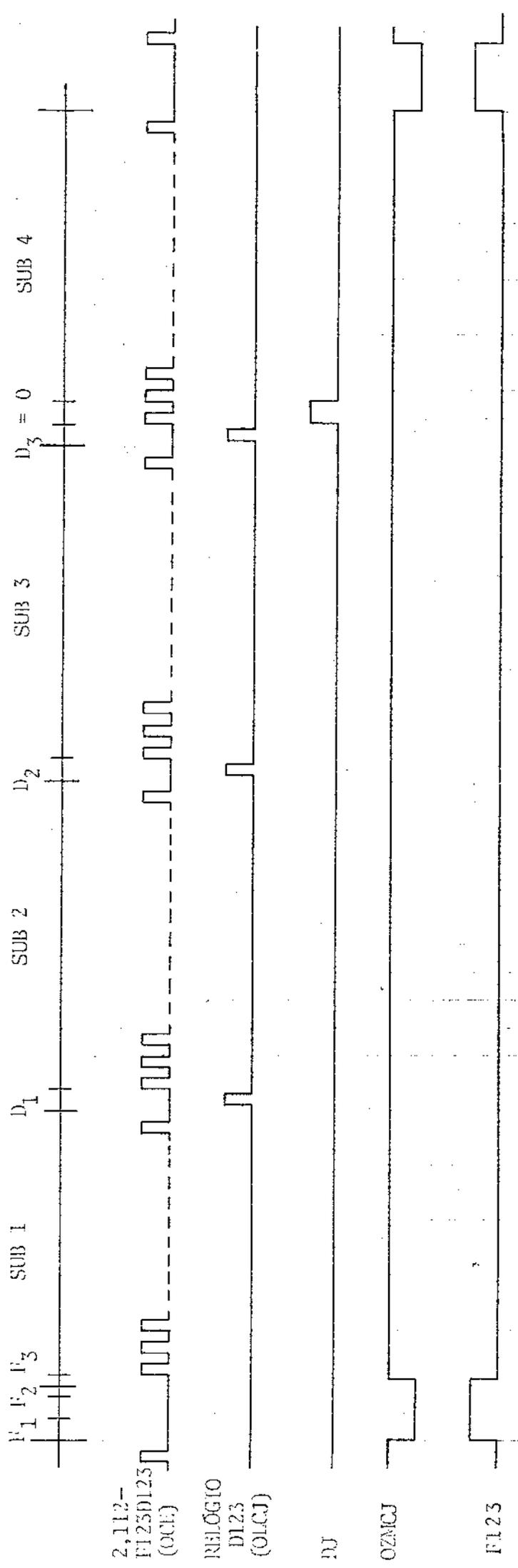


Fig. III.2.3 - Ondas de Controle do Circuito Recuperador de Canal

III.2.5 - Considerações sobre o Projeto de Circuito

Vamos considerar rapidamente a metodologia a ser seguida no projeto dos circuitos digitais, quanto aos parâmetros a serem considerados {R7, R8, R9, R10}.

Um circuito digital é implementado em etapas bem definidas. Assim, tem-se que:

- a) especificar o equipamento;
- b) dividir o sistema em blocos;
- c) projetar as funções lógicas;
- d) estudar o projeto teórico;
- e) modificar o projeto;
- f) reestudar o projeto modificado;
- g) construir e testar;
- h) modificar, se necessário.

O procedimento é seguido sistematicamente, mesmo que isto não fique absolutamente claro no texto.

Nos passos c) e e) são estudadas as especificações dos dispositivos integrados digitais, quanto às funções, a fim de adequá-los às necessidades do projeto em discussão, e nos passos d) e f), faz-se um estudo criterioso envolvendo os parâmetros dos componentes, tais como:

- tempo de propagação
- frequência máxima de operação dos componentes atuados por relógios
- fator de carga das saídas
- consumo de corrente I_{CC}

Além destas considerações, devem ser utilizados sempre que possível, componentes de escala de integração a mais alta possível, pois isto assegura cus

tos bem reduzidos, como consequência da redução física obtida pelo menor número de componentes, e o menor número de ligações entre componentes fará aumentar a confiabilidade no processo de fabricação.

III.3 - DETETOR DA PALAVRA DE ALINHAMENTO

Vimos na seção III.2.1 que a função deste bloco é a de detetar a palavra de alinhamento "1111010000", que é recebida, sempre, no início de quadro. Assim, para a deteção dessa palavra, deveremos armazenar os dados binários do sinal MCP 8M em uma memória capaz de reter sempre 10 dígitos. Esse processo poderá ser realizado através de um "shift register", de 10 bits, e comandado pelo relógio mestre REL 8M, que fará armazenar a cada período um novo dígito do sinal binário.

Uma vez conseguido o armazenamento dos dígitos do sinal binário, basta realizar o reconhecimento da palavra padrão, através de uma porta lógica.

O bloco detetor da palavra de alinhamento é mostrado na Fig. III.3.1.

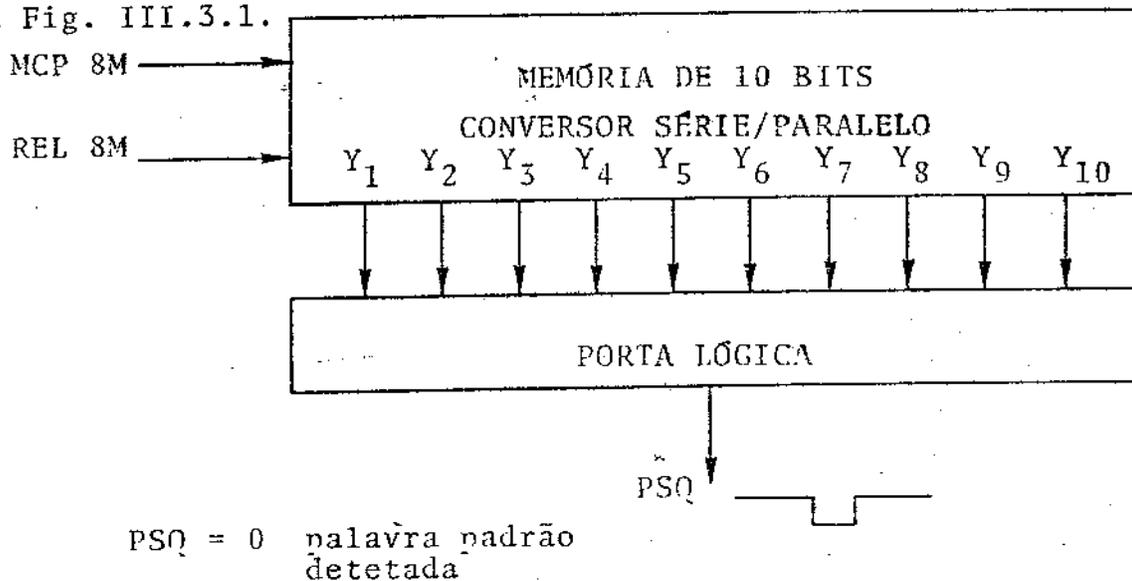


Fig. III.3.1 - Detetor da Palavra de Alinhamento

Na Fig. III.3.1, o dígito Y_1 corresponde ao dígito binário mais recente, enquanto Y_{10} é o mais tardio desse mesmo sinal. Assim, para a detecção da palavra padrão, devemos ter a função PSQ, palavra de sincronismo de quadro

$$PSQ = \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_4} \cdot Y_5 \cdot \overline{Y_6} \cdot Y_7 \cdot Y_8 \cdot Y_9 \cdot Y_{10}$$

Essa palavra é o próprio pulso gerado quando a palavra padrão é detetada.

A implementação é feita usando-se um conversor série/paralelo com 8 bits de memória (74LS164), mais dois flip-flops tipo D (74LS174), todos com relógio ativo à transição positiva.

Os dois dispositivos são de escala de integração média (MSI). O CI 74LS174 contém, na verdade, seis flip-flops tipo D com o relógio e clear interligados internamente. Os flip-flops excedentes são utilizados em outras sub-unidades. A detecção da palavra padrão é realizada com uma porta NAND com 13 entradas (74S133). Essa porta é fornecida pelo fabricante somente na versão "schotky". Mas como este é o único componente que não é Low Power Schotky, não comprometerá tão seriamente o consumo do circuito demultiplexador. A função PSQ é, pois, implementada com inversores e a porta NAND - 13 entradas.

O circuito do detetor da palavra de alinhamento é mostrado na Fig. III.3.2.

A localização do pulso é mostrada no diagrama de tempo da Fig. III.6.16. Esse mesmo pulso é ainda mostrado no diagrama de tempo com atrasos de propagação (Fig. III.7.4).

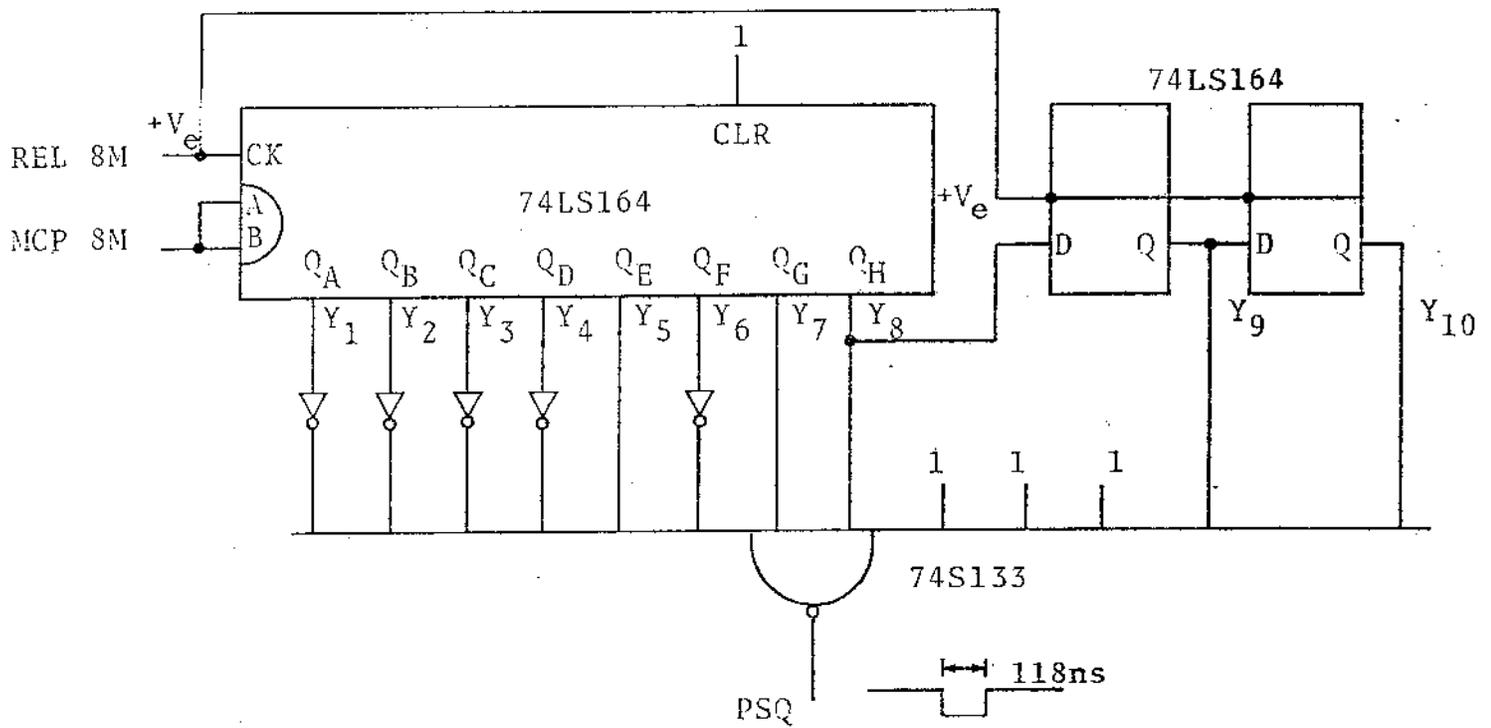


Fig. III.3.2 - Detetor da Palavra de Alinhamento - gerador de PSQ

III.4 - DESSEQUENCIADOR

São duas as funções desta unidade:

1. Separação dos canais tributários
2. Extração dos dígitos de serviço

Este circuito separa, do sinal binário, os dígitos em treliçados correspondentes a cada um dos canais tributários. Neste estágio, os canais tributários recuperados no processo de separação contém todos os dígitos: da palavra de alinhamento, do código de justificação e de justificação (quando houver inserção). O sinal do canal tributário é obtido à taxa de 2,112 Mbit/s.

A separação dos quatro canais é realizada sincronamente através de uma única onda de controle, que denominaremos de onda relógio de canal (ORC). Logo, os quatro canais tributários são obtidos com os bits correspondentes nas mesmas janelas de tempo de um dígito do sinal de 1ª ordem. Isto pode ser visto na Fig.III.4.1. Nesta mesma figura, é mostrado o diagrama em bloco do separador de canal.

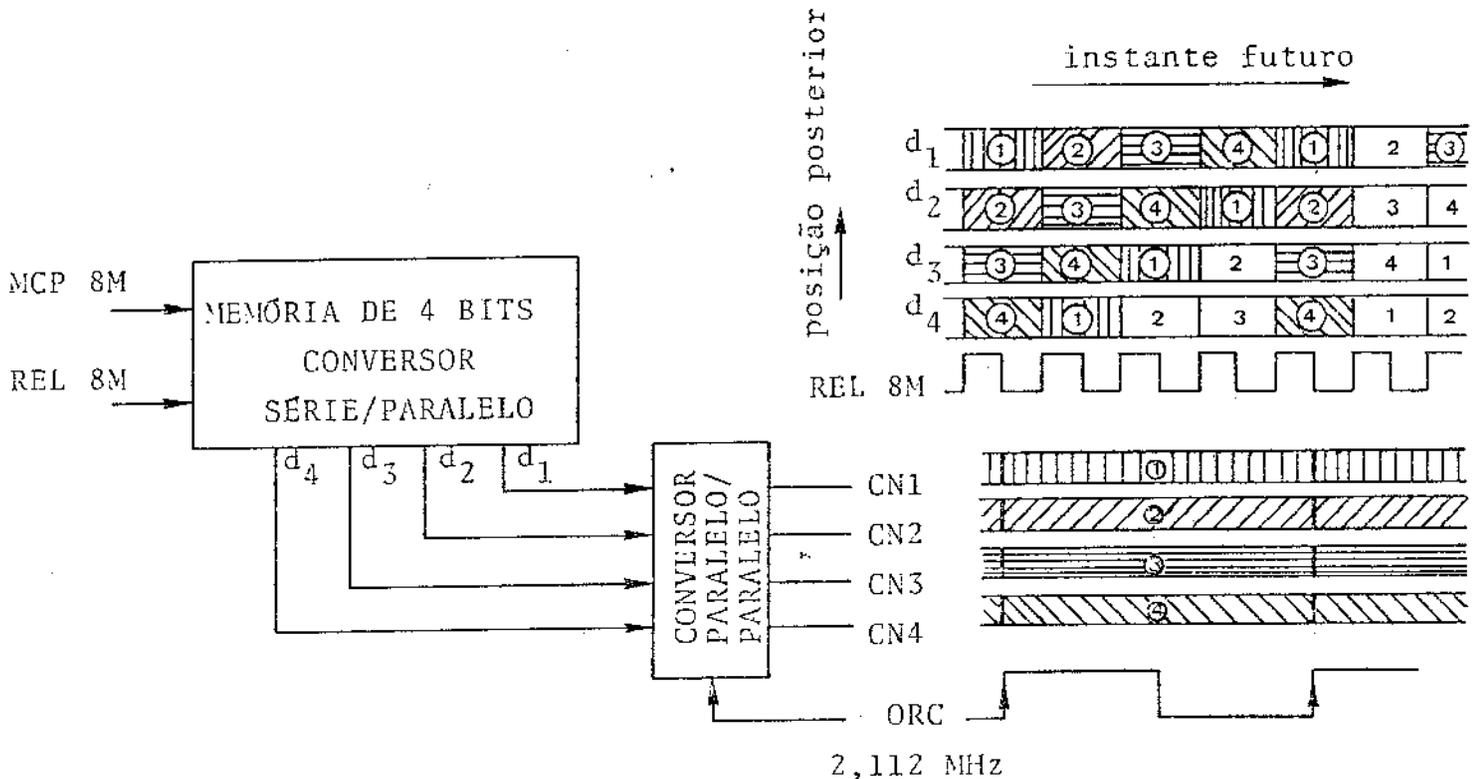


Fig. III.4.1 - Separador de Canal
Diagrama em bloco

A implementação do conversor série/paralelo é feita da própria memória de entrada do detetor da palavra padrão (Fig. III.3.2). Dessa memória, utilizamos as saídas Y_1 , Y_2 , Y_3 e Y_4 , que denominamos, respectivamente, d_4 , d_3 , d_2 e d_1 . Dos dígitos d_i ($i = 1, 2, 3, 4$) do conversor série/paralelo são gerados os canais tributários CN_i ($i = 1, 2, 3, 4$) conforme a Fig. III.3.2.

O conversor paralelo/paralelo é implementado com quatro flip-flops tipo D (74LS174) atuado pela onda relógio de canal (ORC). Para isto, os dígitos d_i são introduzidos na entrada D_i e os dígitos de canal i (CN_i) são obtidos nas saídas, correspondentes, Q_i . A onda ORC tem a frequência de 2,112 MHz ($= 8,448/4$ MHz) e a posição relativa da transição positiva é mostrada na Fig. III.4.1. Essa onda relógio é gerada no circuito gerador de quadro.

O circuito do separador de canal tributário é mostrado na Fig. III.4.2.

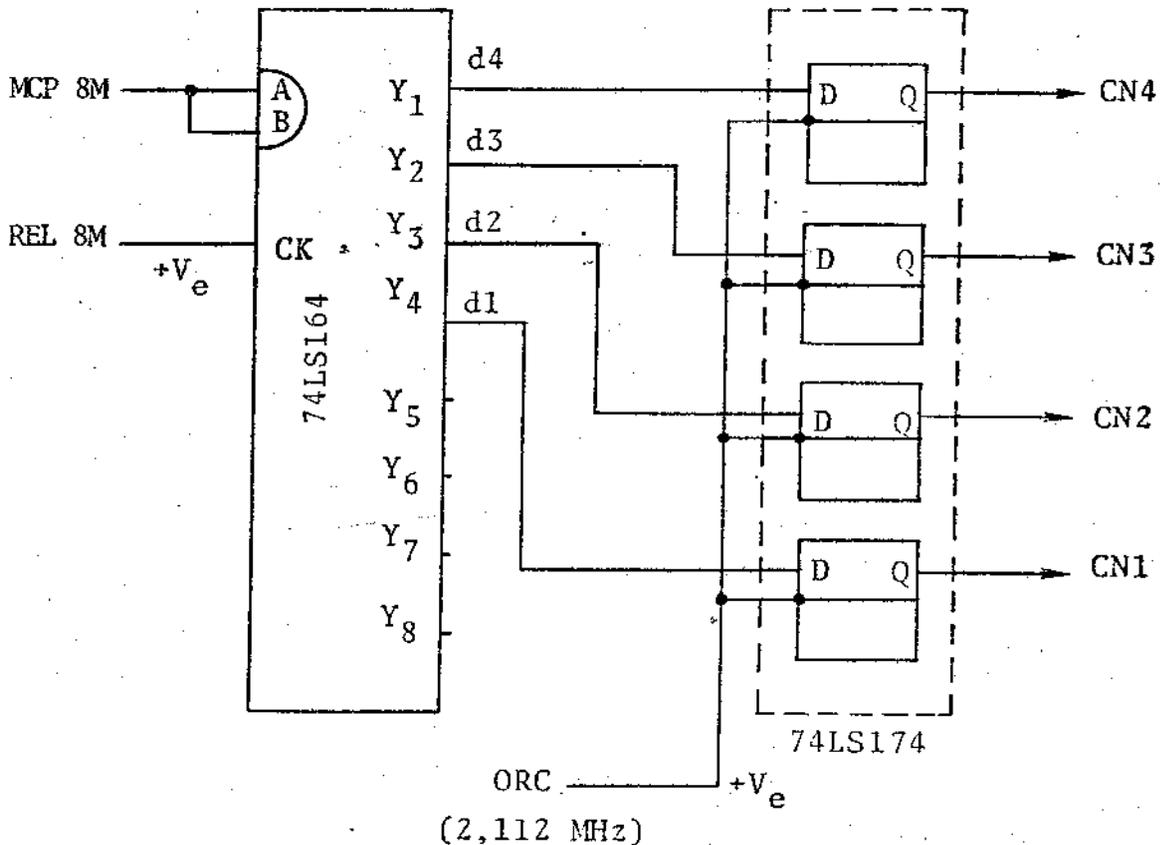


Fig. III.4.2 - Circuito Separador de Canal Tributário

Consideremos agora o circuito de extração dos dígitos de serviço (H1 e H2). Esses dígitos vêm inseridos na 11^a e na 12^a janela do quadro. Logo, pertencem aos canais tributários CN3 e CN4, respectivamente. A extração é feita sincronamente sob o comando de um único sinal de controle, que é denominado onda relógio de serviço (ORS). Sua frequência é igual à do quadro, ou seja, 9,962 KHz. Esta é obtida através do gerador de quadro.

É mostrado na Fig. III.4.3 duas maneiras de se realizar a extração dos dígitos de serviço. Na Fig. III.4.3 (a) a extração dos dígitos de serviço H1 e H2 é feita a partir dos sinais tributários CN3 e CN4, respectivamente. O relógio ORS deve, portanto, ter uma transição positiva na 3^a janela de tempo do sinal tributário, ou seja, a região correspondente entre os dígitos 9^o a 12^o do quadro do sistema MCP-120. A posição real da transição será discutida na seção III.6.

Na Fig. III.4.3 (b), a extração é feita a partir do sinal binário MCP 8M. Para isso, a transição positiva da onda relógio ORS deve ocorrer na 12^a janela de tempo do quadro. Os dígitos d_3 e d_4 da memória de entrada são introduzidos nas entradas D das memórias correspondentes aos dígitos H1 e H2, respectivamente.

Esse processo gera, assim, um sinal binário, contendo informações de serviço entre equipamentos distantes.

A escolha entre uma das duas maneiras de realizar a extração dos dígitos de serviço é feita na seção III.6. É possível antever alguma vantagem no circuito da Fig. III.4.3 (a). A vantagem é originada devido a uma janela de extração bem maior nesse circuito, que é de ~ 470 nseg, contra apenas 118 nseg no outro circuito.

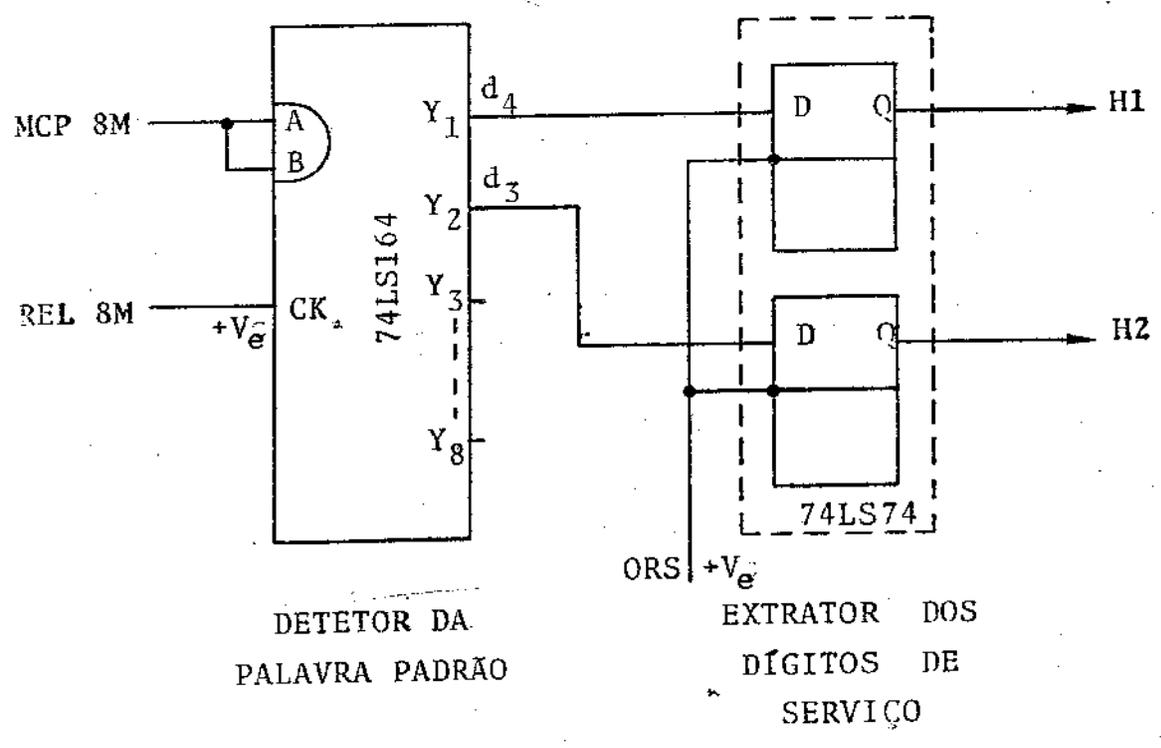
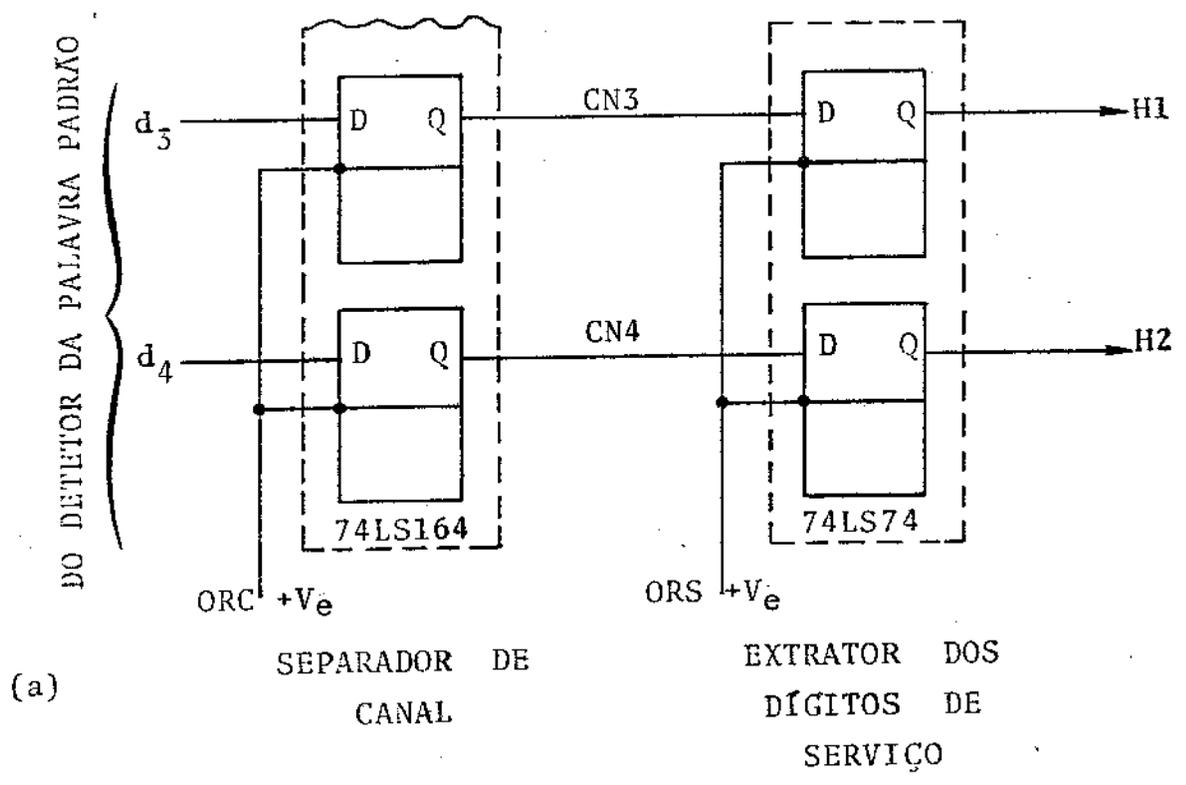


Fig. III.4.3 - Processo de Extração dos Dígitos de Serviço

III.5 - CONTROLE DE SINCRONISMO

O circuito de controle de sincronismo tem a função de verificar sistematicamente o sincronismo do equipamento com o sinal MCP recebido, para que a separação de canal seja corretamente realizada. Como se sabe, devido à possibilidade de erro no sinal transmitido ou recebido, podem ser gerados erros na palavra de alinhamento de quadro, bem como, devido à imitação, pelos dígitos de dado tributário, da palavra de alinhamento de quadro podem ocorrer falsas detecções da palavra de sincronismo. Estes problemas podem produzir falsos sincronismos de quadros e falsas perdas de sincronismo, o que implica em constante processo de alinhamento de quadro. A CCITT estabelece um esquema de busca de sincronismo de quadro, através da recomendação G742, que é praticamente imune às falhas do tipo citado. Esse diagrama de busca de sincronismo foi mostrado na Fig.III.2.2.

Consideremos, antes de iniciarmos a implementação do circuito, alguns pontos importantes:

- a) com o sistema fora de sincronismo (estado E), a busca da palavra de alinhamento é feita dígito a dígito, em todo o sinal MCP recebido. Uma vez encontrada a primeira palavra de alinhamento, o equipamento começa a buscar a palavra padrão, periodicamente, no espaço de um quadro.
- b) com o sistema em sincronismo, o equipamento realiza uma busca da palavra de alinhamento periodicamente de quadro em quadro, em uma determinada região do quadro, no caso, sempre no início de cada quadro.

Para a implementação do circuito de controle de sincronismo, foram feitos vários estudos alternativos, visando obter a solução mais econômica. Apresentamos a seguir dois projetos que foram implementados no laboratório.

Este bloco, como se vê na Fig. III.5.1, tem como entrada, a onda PSQ que contém a informação da detecção ou não da palavra padrão, e uma onda relógio de controle de sincronismo (ORCS). Esta onda ORCS é gerada através do circuito de tempo do gerador de quadro, de tal modo que um pulso na região de detecção da palavra de sincronismo de quadro permite ativar as memórias do circuito fazendo o registro conveniente da informação contida em PSQ.

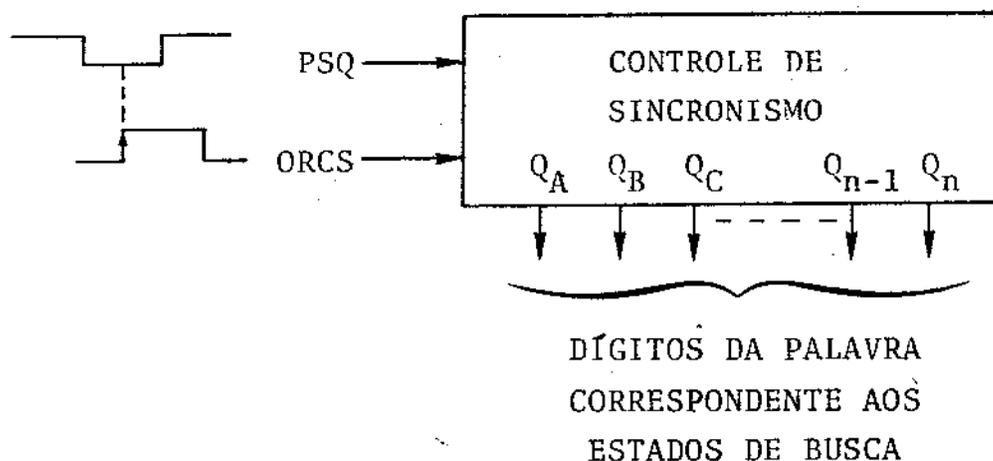


Fig. III.5.1 - Diagrama de bloco do circuito de controle de sincronismo

Como o sistema é considerado fora de sincronismo, somente quando atinge o estado E. Então, este estado deve ser detectado. O circuito detetor do estado E fornece a informação de sincronismo perdido, e é utilizada para o controle do equipamento, como veremos mais adiante.

A primeira idéia na implementação do circuito foi a de associarmos a cada estado do diagrama da Fig. III.2.2 uma palavra binária com n-dígitos, segundo algum critério, como economia de componentes, reduzidos atrasos causados pelo número de linhas de atrasos (portas). Com um contador capaz de armazenar uma dada palavra em conformidade com a fase de busca de sincronismo, podere

mos controlar todos os estados do diagrama. Além disso, tem-se que uma vez associado ao diagrama de busca, um conjunto de palavras digitais, todo o problema fica restrito à implementação física do circuito.

Assim, começamos associando ao diagrama de busca, um conjunto de palavras binárias com 4 dígitos. Essas palavras foram associadas de tal maneira, que um "shift register" pode ser implementado em configuração especial, ou um "shift register" verdadeiro, utilizado para a sua realização.

As palavras associadas são mostradas na Fig. III.5.2.

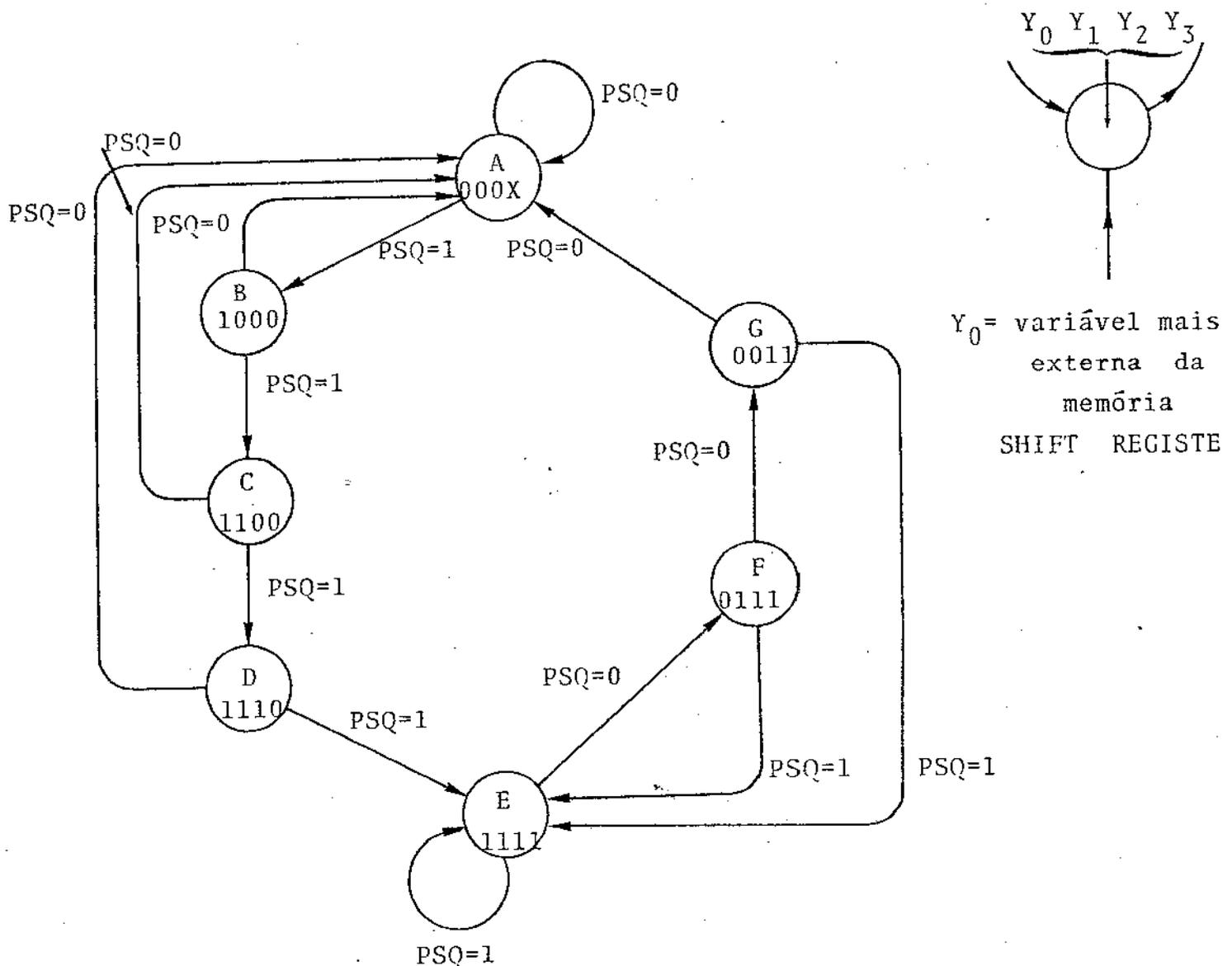


Fig. III.5.2 - Diagrama de busca de sincronismo com as palavras associadas

As variáveis de saída da memória Y_i são denominados da seguinte maneira: Y_0 é a variável mais externa, ou seja, é a primeira memória que recebe o dado externo; Y_4 é a variável mais externa, ou seja, é a última memória do "shift register".

Para esta parte do projeto, consideramos que a onda relógio do controle de sincronismo (ORCS) está perfeitamente em fase com a onda PSQ. Outras considerações sobre esse detalhe, serão considerados mais adiante (seção III.6).

III.5.1 - Circuito de Controle de Sincronismo - CCS-1

Foram propostas duas idéias na breve introdução ao circuito de controle de sincronismo (CCS). Vamos agora desenvolver a configuração especial de "shift register" para o CCS.

Para isso, utiliza-se um conjunto de quatro flip-flops D. Consideremos que D_0 , D_1 , D_2 e D_3 são as entradas D de cada um dos flip-flops, e Y_0 , Y_1 , Y_2 e Y_3 são as saídas correspondentes dos mesmos, e, além disso, todas as palavras binárias não associadas ao diagrama de busca (Fig. III.5.2) são denominadas estados indiferentes. Estes estados podem ser atingidos no processo de busca, somente em casos fortuitos, mas devem ser cuidadosamente analisados, pois não se pode admitir que se formem malhas externas fechadas.

Após essas considerações, vamos montar a tabela verdade do próximo estado, a fim de programar as entradas D da memória, de acordo com o diagrama de busca.

A tabela verdade do próximo estado é mostrada na Tabela III.5.1.

SAÍDAS (i-1)	ENTRADAS (i)							
	PSQ = 0				PSQ = 1			
	Y_0	Y_1	Y_2	Y_3	D_0	D_1	D_2	D_3
0 0 0 X	0	0	0	X	1	0	0	0
1 0 0 0	0	0	0	X	1	1	0	0
1 1 0 0	0	0	0	X	1	1	1	0
1 1 1 0	0	0	0	X	1	1	1	1
1 1 1 1	0	1	1	1	1	1	1	1
0 1 1 1	0	0	1	1	1	1	1	1
0 0 1 1	0	0	0	X	1	1	1	1

Tabela III.5.1 - Tabela do Próximo Estado para CCS-1

Utilizando-se de técnicas usuais de síntese de circuitos lógicos, obtém-se que

$$D_0 = PSQ$$

$$D_1 = \overline{PSQ \cdot Y_0} \cdot \overline{PSQ \cdot Y_2} \cdot \overline{PSQ \cdot Y_0} \cdot Y_3$$

$$D_2 = \overline{PSQ \cdot Y_1} \cdot \overline{PSQ \cdot Y_2} \cdot Y_1 \cdot Y_3$$

$$D_3 = Y_2$$

Com essas funções obtidas, realizamos uma análise teórica do CCS-1 e obtivemos o diagrama de busca completo, onde é considerado todos os estados indiferentes. É importante frisarmos que os estados indiferentes nunca serão atingidos em operação normal..

O diagrama de busca completo do CCS-1 é mostrado na Fig. III.5.3. Deste diagrama, concluímos que, de qualquer estado indiferente, é atingido o diagrama de busca em, no máximo, dois passos de busca através da malha externa. O circuito sintetizado realiza, portanto, o processo de busca de sincronismo corretamente, de acordo com o desejado. Procedemos, assim, à implementação do circuito físico.

Para a implementação, é utilizado:

- 4 portas NAND - 2 entradas
- 1 porta INVERSOR
- 3 portas NAND - 3 entradas
- 4 flip-flops tipo D

Isto resulta em, no total, 3 CI's de dispositivos e mais 1/6 CI de inversor. Todos os dispositivos são Low Power Schottky, sendo que o flip-flop é da série MSI, e os demais são LSI.

O circuito de controle de sincronismo (CCS-1) é mostrado na Fig. III.5.4.

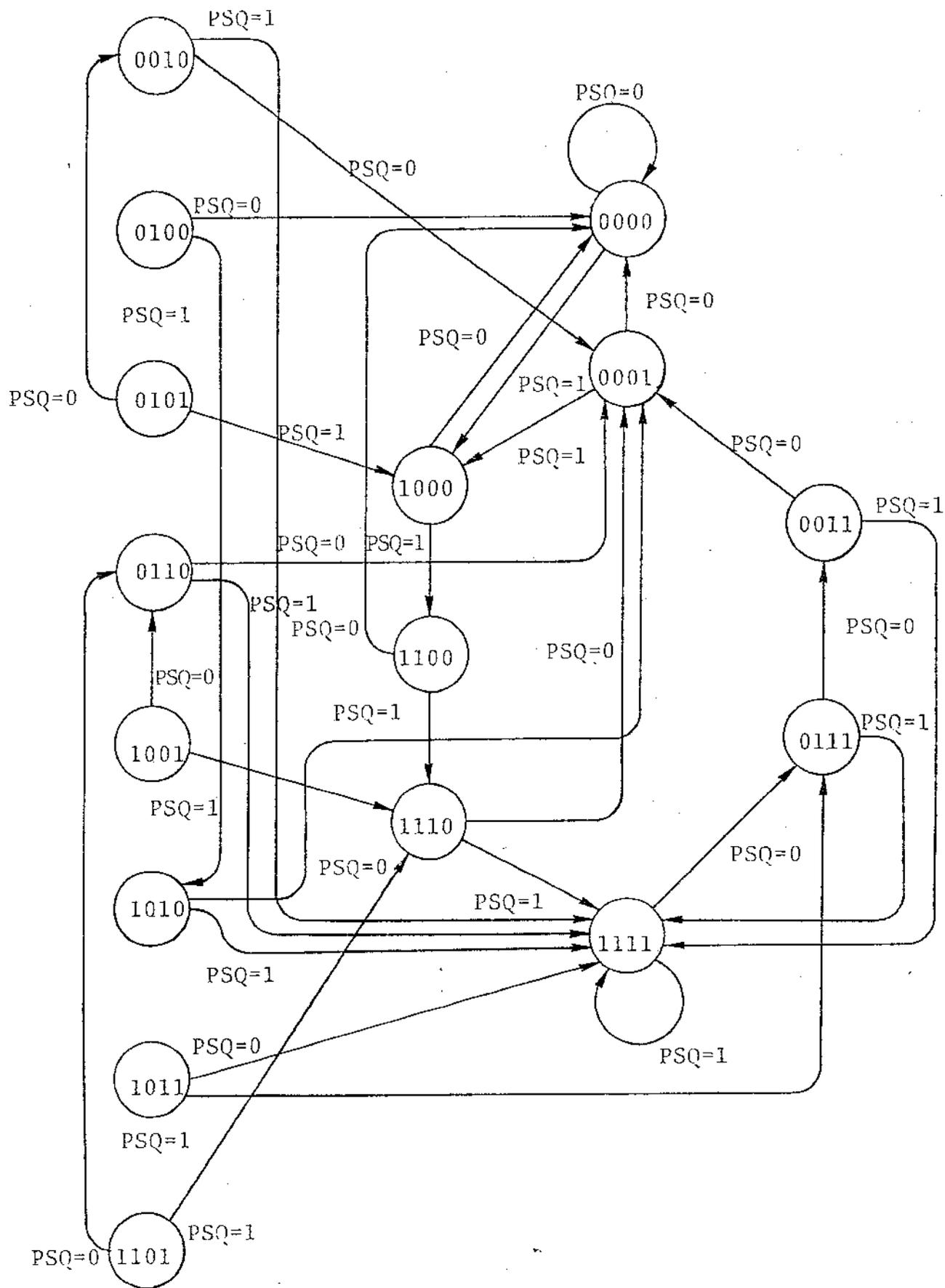


Fig. III.5.3 - Diagrama de Busca de Sincronismo completo do CCS-1

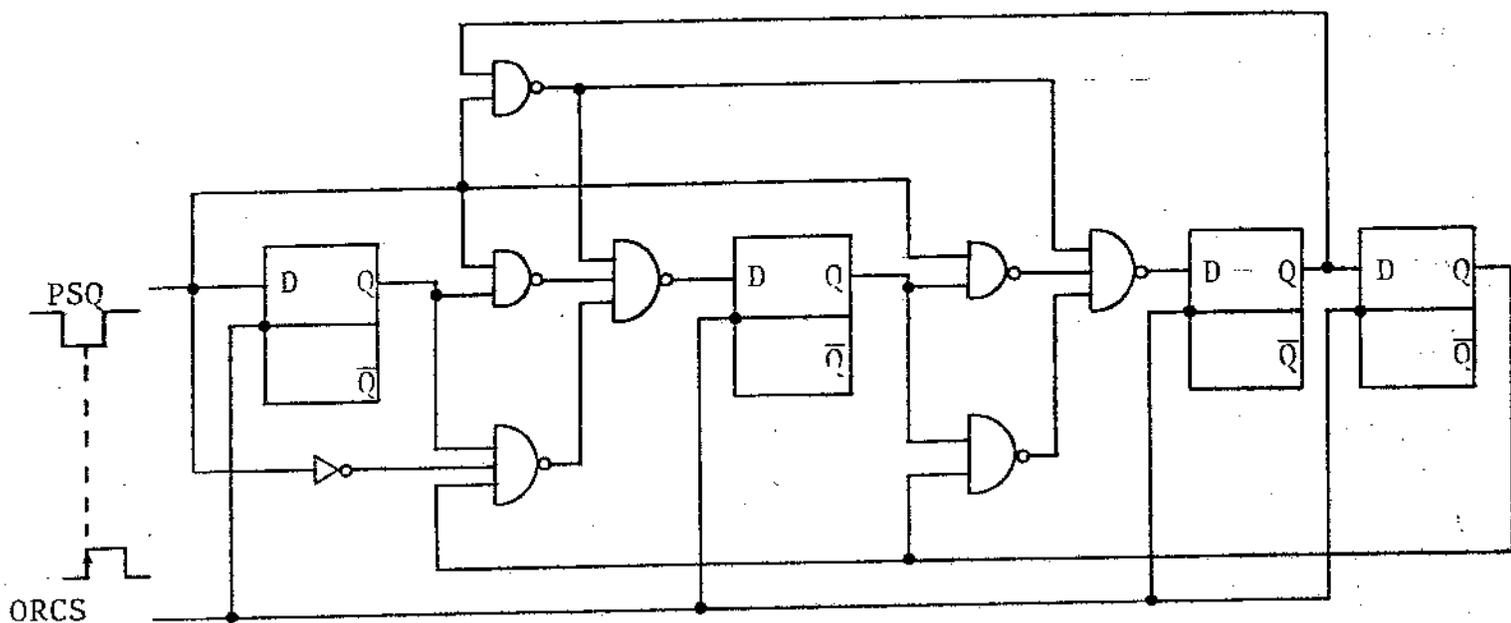


Fig. III.5.4 - Circuito de Controle de Sincronismo CCS-1

Na Fig. III.5.4 é mostrada ainda a posição relativa do pulso PSQ e a transição positiva da onda relógio ORCS, pois os flip-flops D (74LS175) são ativos à transição positiva da onda de relógio.

III.5.2 - Circuito de Controle de Sincronismo - CCS-2

Vamos desenvolver a segunda idéia para o circuito de controle de sincronismo (CCS) utilizando um "shift register" integrado da série MSI. Num análise de um grande número de dispositivos de características de "shift register", encontrou-se um conversor série/paralelo, com carregamento paralelo e clear, de 4 bits (74LS195).

O processo de carga é síncrono e é ativado através da transição positiva do relógio.

Para esta solução, o diagrama de busca considerado é idêntico ao utilizado para o CCS-1 (Fig. III.5.2).

O dispositivo 74LS195 tem as seguintes características de operação:

- carga paralela síncrona
- memórias ativas na transição positiva de relógio
- entrada série em configuração JK
- entradas paralelas
- saídas paralelas
- saída complementar da última memória
- clear direto (assíncrono)

O dispositivo é mostrado em bloco com os terminais de entrada e de saída (ver Fig. III.5.5).

O dispositivo citado tem as entradas SHIFT/LOAD e CLEAR ativos ao pulso de nível "0", sendo que a operação de carga paralela só se realiza se a entrada SHIFT/LOAD está em nível "0", e se ocorrer uma transição positiva (\uparrow) do relógio. Por outro lado, a operação de clear ocorre de modo assíncrono, portanto isto deve ser restringido à região onde é detetada a palavra de alinhamento. Isto será feito através da onda F123 citada na seção III.6 (Fig. III.6.7).

Para a síntese do CCS-2, basta, portanto, que se faça a síntese das entradas CLEAR e SHIFT/LOAD. Para simplicidade de notação, denominaremos essas entradas como:

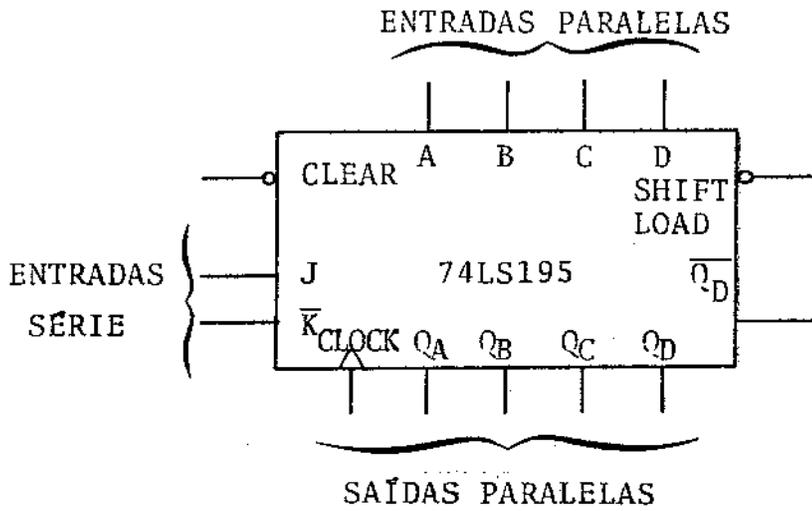


Tabela de Funções do 74LS195 de nosso interesse

ENTRADAS					SAÍDAS								
CLEAR	SHIFT/ LOAD	CLOCK	SÉRIE		PARALELO				Q_A	Q_B	Q_C	Q_D	$\overline{Q_D}$
			J	\overline{K}	A	B	C	D					
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	\overline{a}
H	H	L	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}	$\overline{Q_{D0}}$
H	H	↑	L	L	L	Q_{A0}	Q_{B0}	Q_{C0}	L	Q_{A0}	Q_{B0}	Q_{C0}	$\overline{Q_{C0}}$
H	H	↑	H	H	H	Q_{A0}	Q_{B0}	Q_{C0}	H	Q_{A0}	Q_{B0}	Q_{C0}	$\overline{Q_{C0}}$

H = nível alto

L = nível baixo

X = qualquer nível, inclusive transição

↑ = transição positiva (do nível baixo para o nível alto)

a, b, c, d = nível lógico das entradas A, B, C, D, respectivamente

$Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$ = nível lógico das saídas Q_A, Q_B, Q_C, Q_D , respectivamente, antes da transição do relógio

Fig. III.5.5 - Descrição em bloco e a tabela de funções de nosso interesse do dispositivo 74LS195

S/LD = SHIFT/LOAD

CLR = CLEAR

É mostrado na Tabela III.5.2 uma tabela verdade do próximo estado para os controles S/LD e CLR. Denominamos as saídas da memória Q_A , Q_B , Q_C e Q_D , respectivamente, por Y_0 , Y_1 , Y_2 e Y_3 .

Através das técnicas usuais de síntese das funções lógicas, obtemos que

$$CLR = \overline{PSQ} \cdot \overline{Y_3}$$

$$S/LD = \overline{PSQ} \cdot \overline{Y_2}$$

SAÍDAS (i-1)				SAÍDAS (i)				ENTRADAS (i)		SAÍDAS (i)				ENTRADAS (i)					
Y_0 Y_1 Y_2 Y_3				PSQ = 0				CLR		S/LD		PSQ = 1				CLR		S/LD	
				Y_0	Y_1	Y_2	Y_3					Y_0	Y_1	Y_2	Y_3				
0	0	0	X	0	0	0	0	X	1	1	0	0	0	1	1				
1	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1				
1	1	0	0	0	0	0	0	0	1	1	1	1	0	1	1				
1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	X				
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	X				
0	1	1	1	0	0	1	1	1	1	1	1	1	1	1	0				
0	0	1	1	0	0	0	X	X	1	1	1	1	1	1	0				

i - 1 = passo anterior à transição

i = passo atual

Tabela III.5.2 - Tabela verdade do próximo estado para o CCS-2

Com essas funções desenvolvidas para as entradas de controle do dispositivo, CLEAR e SHIFT/LOAD, e considerando-se que um pulso de clear levam as memórias do "shift register" para o nível "0" e que um pulso de SHIFT/LOAD levam as memórias para o nível "1", através da aplicação de níveis "1" em cada uma das entradas das memórias, ou seja, $a = b = c = d = "1"$.

Com as considerações acima, foi realizada uma recomposição do diagrama de busca de sincronismo com a finalidade de verificar o correto funcionamento do circuito sintetizado. O diagrama de busca completa do CCS-2 é mostrado na Fig. III.5.6.

O diagrama de busca da Fig. III.5.6 mostra que o circuito sintetizado realiza todos os passos desejados no processo de controle de sincronismo. Verifica-se também que, de qualquer dos estados indiferentes, caso seja atingido, o diagrama de busca é atingido após, no máximo, três passos de busca. Novamente, chamamos a atenção para o fato que os estados indiferentes nunca ocorram em operação normal do processo.

A implementação do circuito sintetizado acima, é feita utilizando-se:

- 1 porta NAND - 2 entradas
- 1 porta NAND - 3 entradas
- 1 porta INVERSORA
- 1 SHIFT REGISTER (74LS195).

Se considerarmos que serão utilizadas portas lógicas que "sobram" no circuito final do sistema MCP-120, será utilizado apenas um único CI na solução dada do circuito CCS-2, e cujo dispositivo é da série MSI.

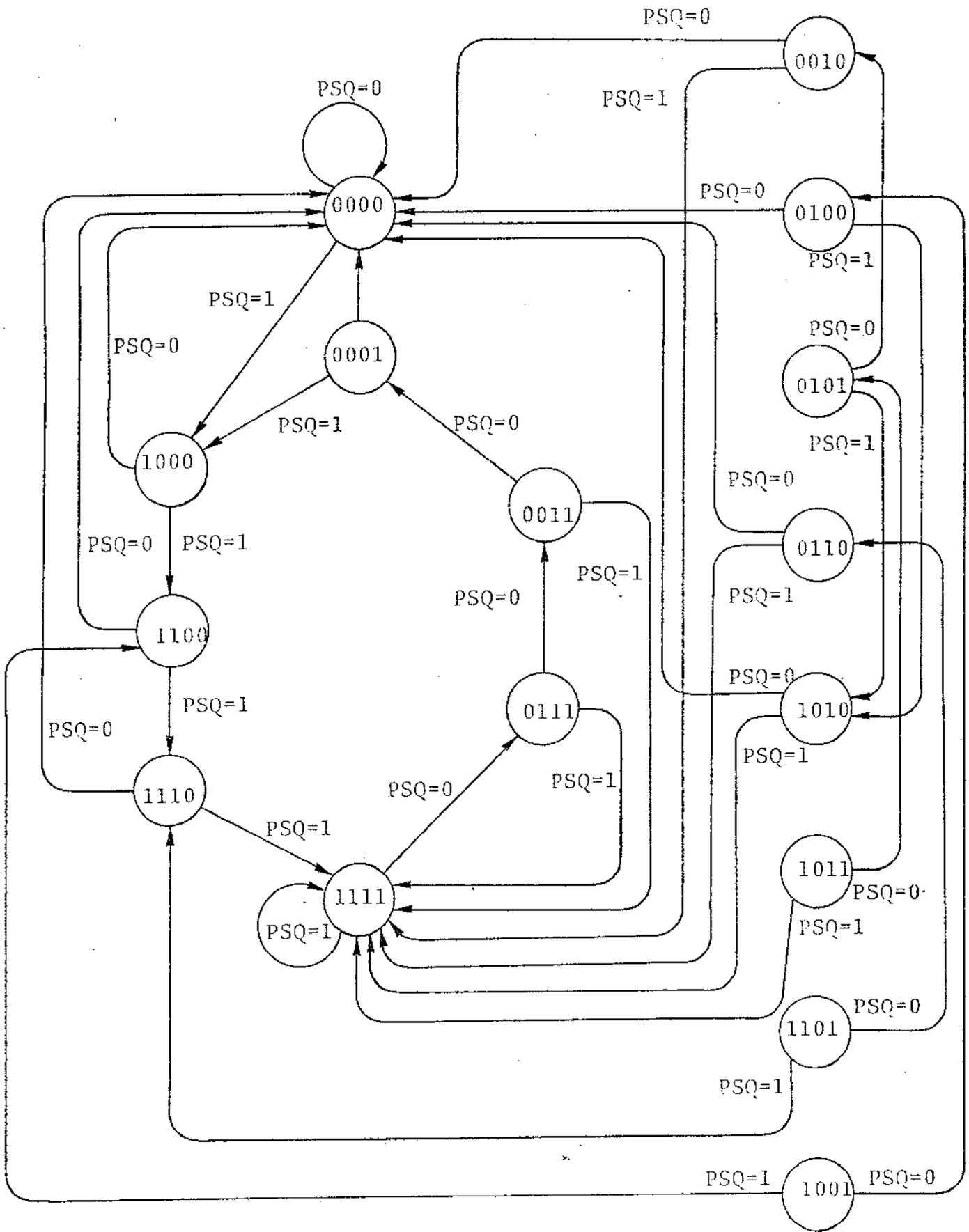


Fig. III.5.6 - Diagrama de busca de sincronismo completo do CCS-2

O circuito de controle de sincronismo (CCS-2) é mostrado na Fig. III.5.7. Nessa figura é mostrada a posição relativa dos sinais de controle de entrada ORCS, PSQ e F123. A onda F123 realiza a desinibição do pulso de clear apenas no início do quadro onde a detecção da palavra de alinhamento do quadro da qual é obtido o pulso PSQ. Com isso, tem-se que

$$\text{CLR} = \overline{\text{PSQ}} \cdot \overline{Y_3} \cdot \text{F123}$$

$$\text{S/LD} = \overline{\text{PSQ}} \cdot Y_2$$

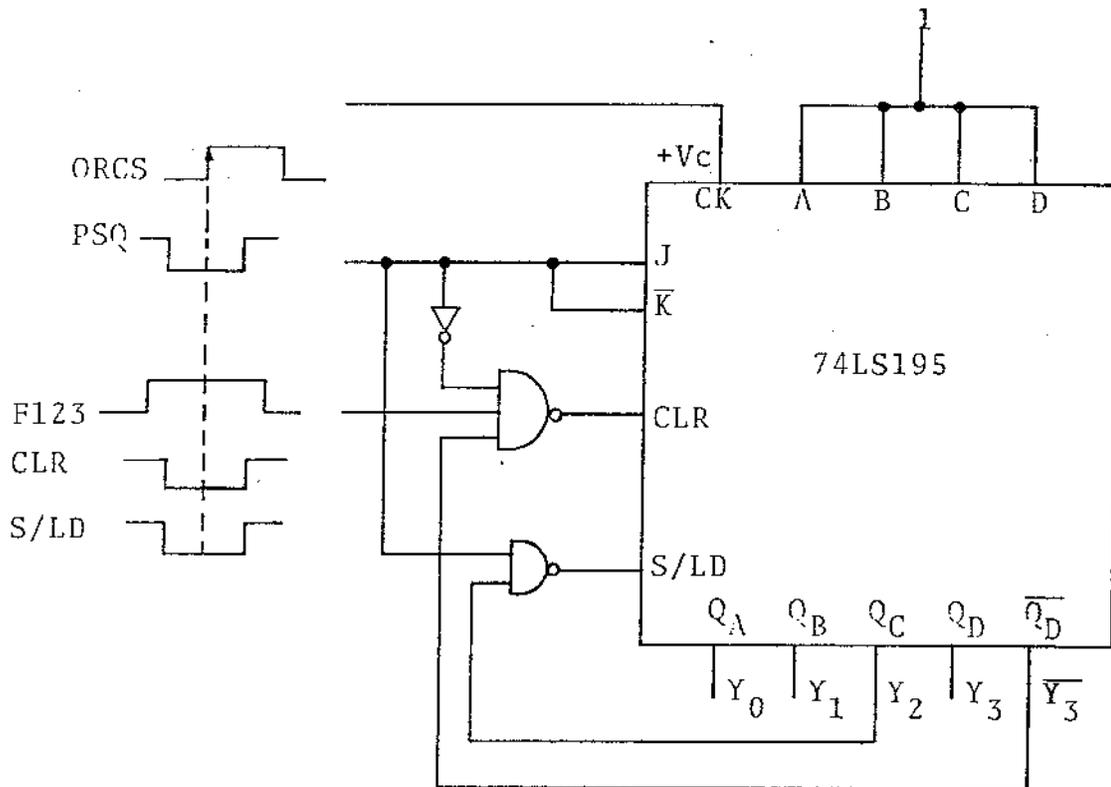


Fig. III.5.7 - Circuito de Controle de Sincronismo - CCS-2

Os dois circuitos são extremamente simples e podem ser implementados. Há uma vantagem para a solução CCS-2 sobre a CCS-1 pelo número reduzido de CI's necessários. O reduzido número de ligações necessárias para o controle do componente integrado torna o circuito CCS-2 bastante prático no aspecto da realização do lay-out. De qualquer forma, os dois circuitos CCS-I e CCS-2 serão implementados e serão avaliados os seus desempenhos.

Finalmente, o circuito de controle de sincronismo cujas memórias atingem cada um dos estágios de busca do diagrama de busca, tem a função de detetar o estado "E" de falta de sincronismo. Assim, quando esse estado é atingido no mecanismo de busca, deve gerar uma palavra de alarme de perda de sincronismo, que denominaremos SINC. Esta palavra terá, assim, dois significados:

SINC = 0 perda de sincronismo

SINC = 1 em sincronismo

Como ao estado "E" é associada a palavra binária "1111", então o circuito detetor de falta de sincronismo é feito pelo circuito da Fig. III.5.8.

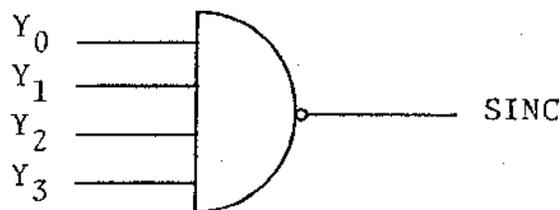


Fig. III.5.8 - Circuito detetor do estado "E" de falta de sincronismo

Este detetor, mais o circuito de controle de sincronismo forma o assim denominado Controle de Sincronismo de Quadro da Unidade Demultiplexadora.

III.6 - GERADOR DE QUADRO

Nesta seção é projetado e desenvolvido o gerador de quadro que tem a função de gerar as ondas de controle de todo o equipamento de demultiplexagem. Para a geração dessas ondas, projetamos um contador segundo uma certa estrutura que simplifique a geração das palavras de controle. Assim, são descritas as diversas ondas de controle necessárias ao equipamento demultiplexador.

Na Fig.III.2.3, foram definidas quatro ondas de controle para a unidade recuperadora de canal tributário de 1ª ordem. São descritas agora as ondas de controle internas ao circuito de multiplexador. As ondas são descritas na ordem em que aparecem nas seções acima. Tem-se, assim:

- OC-1- onda relógio de canal - ORC (2,112 MHz-duty cycle = 50%)
- OC-2- onda relógio de serviço - ORS (9,96 KHz)
- OC-3- onda relógio do controle de sincronismo - ORCS - (9,96 KHz)
- OC-4- onda início de quadro - OIQ (9,96 KHz)
- OC-5- onda de leitura dos códigos de justificação-OLCJ
- OC-6- onda temporal da janela do dígito de justificação - DJ
- OC-7- onda zeradora da memória dos códigos de justificação - OZMCJ
- OC-8- onda controle de escrita de canal (2,112-F123D123) - OCE

A OC-1 é uma onda periódica com duty cycle 50% na frequência de 2,112 MHz. É portanto, uma onda de 8,448 MHz dividida por quatro.

As OC-2, OC-3, OC-4 e OC-7 são ondas que têm uma particularidade importante sob o aspecto do contador que se pretende

construir. As OC-2, OC-3 têm o bordo de uma transição positiva concentrada entre o 10º e 14º bit do quadro. Por outro lado, a OC-4, que é uma onda desinibidora, é ativa entre o 10º e 16º bit, no início do quadro. Isto ocorre também com a onda OC-7, que deve ser um pulso de nível baixo para zerar uma memória do recuperador de canal.

A OC-5 é uma onda que se concentra nos primeiros quatro bits dos 2º, 3º e 4º subquadros. Esta onda copia do sinal tributário de 2,112 Mbit/s, os dígitos correspondentes aos códigos de justificação introduzidos no bloco de recheio durante a multiplexagem.

A OC-6 é uma onda localizadora da janela do dígito de justificação de recheio dos sinais MCP de 2,112 Mbit/s. Ela deve inibir o dígito subsequente ao dígito D3 do canal tributário, caso haja inserção de um dígito redundante.

A OC-8 é a onda de controle de escrita de canal, cuja frequência básica é de 2,112 MHz, e tem como função, a eliminação dos dígitos de controle da onda binária de 2ª ordem. Esta onda tem vazios nas regiões F123, D1, D2 e D3, que é exatamente para não copiar esses dígitos. Com isso é eliminado os dígitos de controle do equipamento MCP-8M BIT.

A análise das ondas de controle permitem concluir que elas podem ser geradas com uma poucas ondas comuns, obtidas do contador que será projetado.

III.6.1 - O Contador

Inicialmente, faz-se uma discussão quanto à estrutura do contador, esquematizando-o em blocos, para em seguida procedermos ao seu desenvolvimento.

A análise das ondas de controle mostra-nos que, a partir do relógio mestre de 8,448 MHz, a frequência

imediatamente inferior que surge no circuito é de 2,112 MHz. Isto nos sugere que o primeiro passo na estrutura do contador é obter um divisor por quatro.

Outro aspecto importante é que o quadro do MCP de 2ª ordem é constituído de quatro subquadros, cada qual com 212 dígitos. Isto implica que há um contador que deverá gerar um grupo de quatro palavras, que permitam localizar cada um dos subquadros. Este contador gerará uma onda periódica, cuja frequência será $(8,448\text{MHz}/848) \times 4$, ou seja, 9,962 KHz, aproximadamente. Com isso, tem-se esquematizado praticamente três blocos de contadores ou divisores. Na Fig. III.6.1, mostra-se o diagrama em bloco do contador, incluindo-se o bloco do circuito de tempo responsável pela geração das ondas de controle.

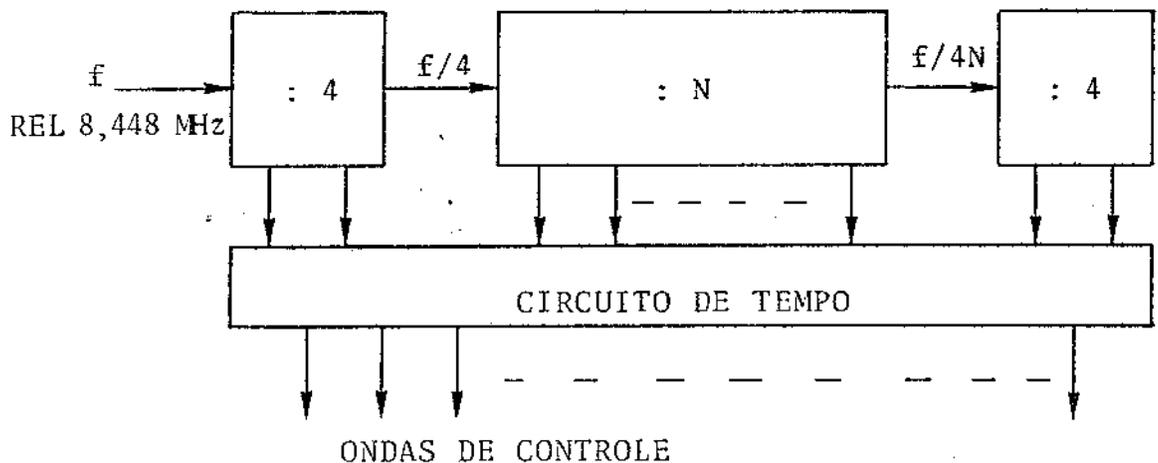


Fig. III.6.1 - Gerador de Quadro

O bloco contador intermediário fica, portanto, definido como um divisor por N do sinal $f/4 = 2,112\text{ MHz}$. Como o 3º bloco divisor tem a frequência de quadro de

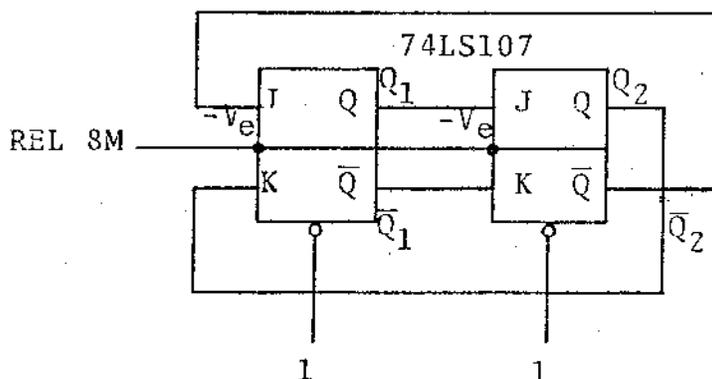
9,962 KHz (= 8,448 MHz/848), então $(f/4)/4 = f/4N = 4 \times (8,448 \text{ MHz}/848)$, logo $N = 53$. Portanto, o 2º bloco do contador deve ser um divisor por 53. Analisando-se o formato de quadro do MCP de 2ª ordem, observa-se que a divisão por 53 é razoável, pois nota-se que o quadro contendo 848 bits é subdividido em quatro grupos semelhantes de 212 bits. Este, por sua vez, pode ser subdividido em 53 grupos de 4 bits cada um.

Nesta breve análise, procurou-se obter uma estrutura do contador, através das necessidades na geração das ondas de controle, associado ao formato de quadro. Adotou-se aqui, uma análise um pouco diferente da que é apresentada em um trabalho que contém o projeto do multiplexador {R11}, em relação à escolha da estrutura do contador, embora resulte, no final, a mesma estrutura do contador.

Primeiro Bloco do Contador

A implementação do primeiro bloco divisor é feita utilizando-se dois flip-flops tipo JK (74LS107), que é ativado pela transição negativa do relógio. Este dispositivo tem dois flip-flops com "clock" e "clear" independentes. O contador implementado é do tipo síncrono Johnson/Ring módulo 4. Veja a Fig. III.6.2.

SEQUÊNCIA DE ESTADO



Q ₁	Q ₂
0	0
1	0
1	1
0	1

Fig. III.6.2 - Primeiro Bloco - contador síncrono Johnson/Ring - Módulo 4

O contador implementado oferece vantagens que outro tipo de contador não têm. A vantagem vem quando se compõem as saídas Q_1 e Q_2 , a onda resultante da combinação não tem pulsos espúrios, devido às regiões de incertezas nos bordos de transição de Q_1 ou Q_2 , ou ambos, variando simultaneamente, conforme pode ser verificado da Fig. III.6.2.

As saídas Q_1 e Q_2 têm a frequência de 2,112MHz.

Este contador necessitará de um controle de clear atuado de maneira adequada, quando o sistema perder o sincronismo com o sinal binário MCP 8M.

Esta análise é feita no final desta seção.

Segundo Bloco do Contador

A implementação do 2º bloco-contador divisor por 53, é feita com um dispositivo da série MSI, um contador binário síncrono de 4 bits (74LS163). Descrevem-se aqui, as características mais importantes do dispositivo:

- Gerador "Look-Ahead" interno para contagem rápida.
- Saída "Carry" para o n-ésimo bit
- Contagem síncrona
- Programação síncrona das entradas paralelas.
- Controle de carga das entradas paralelas.
- Diodos de grãmpamentos nas entradas.
- Frequência máxima de relógio 32 MHz.

São mostradas na Fig. III.6.3, as entradas, as saídas, e os controles do dispositivo.

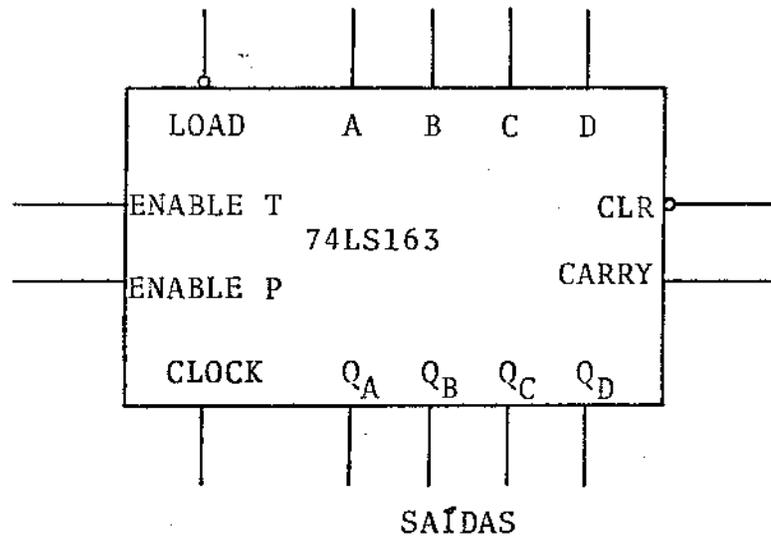


Fig. III.6.3 - Dispositivo 74LS163
Ligações externas

Descrição do Contador Binário Síncrono (74LS163)

Este contador é totalmente programável, tanto através da entrada clear, como pela entrada load. Pode também ser programado para se obter um contador com $n(>4)$ bits, fazendo-se o cascadeamento de várias unidades do contador, principalmente, de obter contadores de alta velocidade.

Quando a entrada clear está em nível "0", a ocorrência de uma transição positiva na onda relógio (CK), provoca a carga da palavra 0000. Por outro lado, quando a entrada load está em nível "0", esta desinibe as entradas da dado A,B,C,D e a ocorrência de uma transição po sitiva na onda relógio (CK) provoca a carga da palavra a,b,c,d presentes nas entradas A,B,C,D.

O circuito carry look-ahead permite que conta dores com $n(>4)$ bits síncronos sejam obtidos através do cascadeamento, sem que se necessite de portas adicionais. Isto é conseguido graças a duas entradas inibidoras de

uma saída carry.

Os controles de operação do contador 74LS163 são mostrados nas tabelas III.6.1, que é um resumo da descrição feita até aqui.

Para se implementar um contador síncrono de alta velocidade pode ser utilizada a configuração da figura III.6.4.

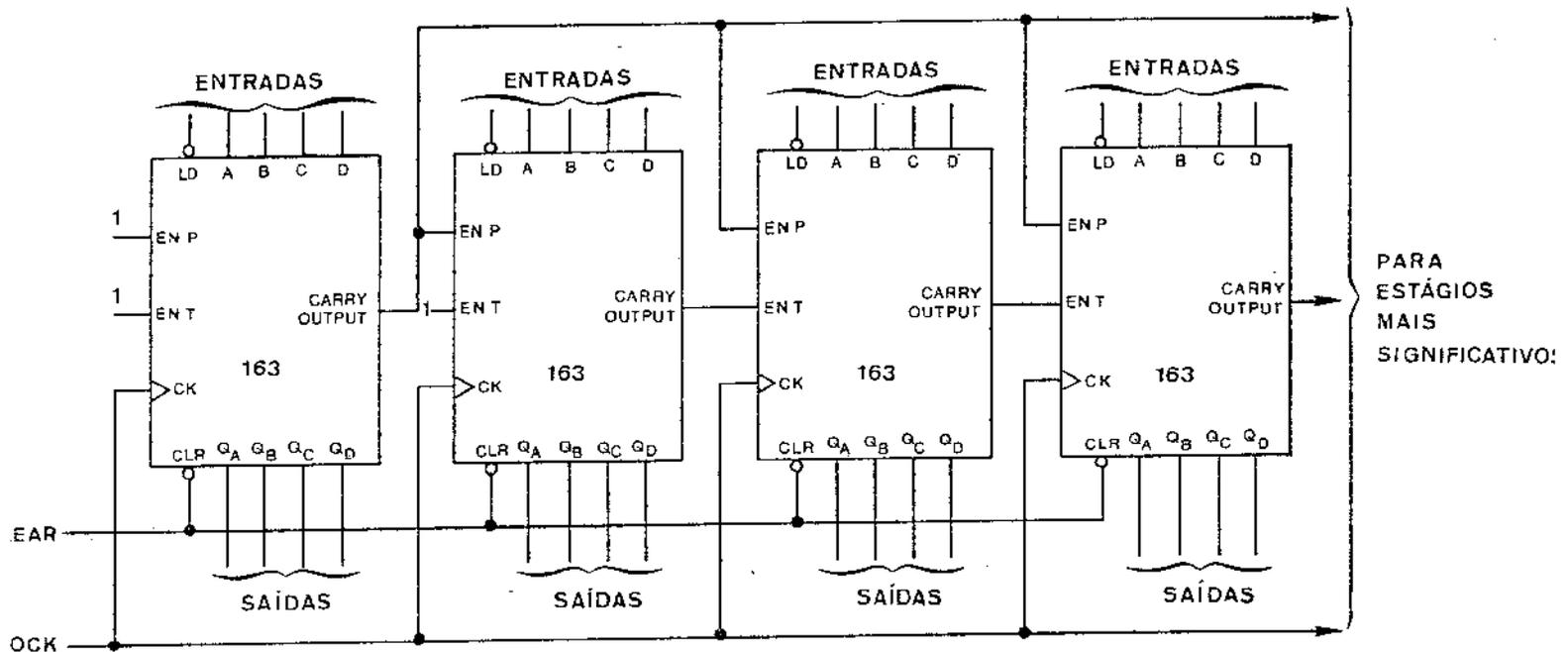


Fig. III.6.4 - Esquema de Montagem para obter um contador síncrono de n bits

Estudou-se uma outra montagem, considerando-se que o contador síncrono desejado é de módulo 53, logo bastam apenas dois contadores 74LS163. Para isso, ligou-se CARRY1 (o índice numérico que se segue ao nome da entrada ou saída indica o CI) na entrada ENT e ENP, ou seja, $ENP_2 = ENT_2 = CARRY1$.

Tabela III.6.1 - OPERAÇÃO DO CONTADOR 74LS163

Tabela III.6.1a CLEAR E LOAD DO CONTADOR										
CLEAR	LOAD	CLOCK	ENTRADAS PARALELAS				SAÍDAS			
			A	B	C	D	Q _A	Q _B	Q _C	Q _D
L	L	↑	X	X	X	X	X	X	X	X
L	H	↑	X	X	X	X	L	L	L	L
H	L	↑	a	b	c	d	a	b	c	d
H	H	L	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	↑	X	X	X	X	Q _{An}	Q _{Bn}	Q _{Cn}	Q _{Dn}

↑ transição positiva do relógio. (L→H)
 Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} saídas antes da transição ativa do clock
 Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} saídas após a transição ativa do clock

Tabela III.6.1b MODOS DE OPERAÇÃO			
LOAD	ENP	ENT	MODO
L	L	L	CARGA
L	L	H	CARGA
L	H	L	CARGA
L	H	H	CARGA
H	L	L	INIBIDO
H	L	H	INIBIDO
H	H	L	INIBIDO
H	H	H	CONTADOR

CLEAR = H

Tabela III.6.1c GERAÇÃO DA SAÍDA CARRY		
ENT	Q _A · Q _B · Q _C · Q _D	CARRY
L	L	L
L	H	L
H	L	L
H	H	H

ENP = H (modo contador)

A montagem da Fig. III.6.4 simplificada para o nosso caso é ilustrado na Fig. III.6.5, onde $ENP_2 = CARRY1$ e $ENT_2 = "1"$. As duas montagens geram um conjunto de palavras diferentes, embora ambos sejam de módulo 53, o que é apresentado na Tab. III.6.2. Desse estudo, conclui-se que a configuração do contador da Fig. III.6.5 é a mais adequada para os nossos propósitos.

De acordo com a Tab. III.6.2, o estado inicial do contador deverá ser:

$$Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} = 0011 1101$$

e o estado final do mesmo será:

$$Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} = 0000 1111$$

Logo, as entradas paralelas dos dois contadores devem receber a palavra:

$$(ABCD)_1 (ABCD)_2 = 0011 1101$$

Para que esta palavra inicial seja carregada no contador ciclicamente, deve-se desinibir as entradas paralelas, através das entradas $LOAD_1$ e $LOAD_2$, cada vez que a palavra 0000 1111 seja atingida na contagem. Observa-se na Tab. III.6.2 que exatamente nesta palavra, é gerado um pulso em nível "1" na saída $CARRY2$. Esta saída é então invertida e ligada às entradas $LOAD_1$ e $LOAD_2$ que permitem a desinibição das entradas paralelas, permitindo que se obtenha a contagem em módulo 53.

O contador módulo 53 é mostrado na Fig. III.6.5.

CONTAGEM	CLOCK	Q ₃	Q ₄	Q ₅	Q ₆	C ₁	Q ₇	Q ₈	Q ₉	Q ₁₀	C _{2A}	C _{2B}
1	0	0	0	0	0	0	0	0	0	0	0	0
2	1	1	0	0	0	0					0	0
3	0	0	1	0	0	0					0	0
...
185	...	0	0	0	1	0	1	1	0	1	0	0
186	...	1	0	0	1	0	1	1	0	1	0	0
187	...	0	1	0	1	0	1	1	0	1	0	0
188	...	1	1	0	1	0	1	1	0	1	0	0
189	...	0	0	1	1	0	1	1	0	1	0	0
190	...	1	0	1	1	0	1	1	0	1	0	0
191	...	0	1	1	1	0	1	1	0	1	0	0
192	...	1	1	1	1	1	1	1	0	1	0	0
193	...	0	0	0	0	0	0	0	1	1	0	0
194	...	1	0	0	0	0	0	0	1	1	0	0
195	...	0	1	0	0	0	0	0	1	1	0	0
196	...	1	1	0	0	0	0	0	1	1	0	0
197	...	0	0	1	0	0	0	0	1	1	0	0
198	...	1	0	1	0	0	0	0	1	1	0	0
199	...	0	1	1	0	0	0	0	1	1	0	0
200	...	1	1	1	0	0	0	0	1	1	0	0
201	...	0	0	0	1	0	0	0	1	1	0	0
202	...	1	0	0	1	0	0	0	1	1	0	0
203	...	0	1	0	1	0	0	0	1	1	0	0
204	...	1	1	0	1	0	0	0	1	1	0	0
205	...	0	0	1	1	0	0	0	1	1	0	0
...
...
238	...	1	0	1	1	0	0	1	1	1	0	0
239	...	0	1	1	1	0	0	1	1	1	0	0
240	...	1	1	1	1	1	0	1	1	1	0	0
241	...	0	0	0	0	0	1	1	1	1	0	0
242	...	1	0	0	0	0	1	1	1	1	0	0
243	...	0	1	0	0	0	1	1	1	1	0	0
244	...	1	1	0	0	0	1	1	1	1	0	0
245	...	0	0	1	0	0	1	1	1	1	0	0
246	...	1	0	1	0	0	1	1	1	1	0	0
247	...	0	1	1	0	0	1	1	1	1	0	0
248	...	1	1	1	0	0	1	1	1	1	0	0
249	...	0	0	0	1	0	1	1	1	1	0	0
250	...	1	0	0	1	0	1	1	1	1	0	0
251	...	0	1	0	1	0	1	1	1	1	0	0
252	...	1	1	0	1	0	1	1	1	1	0	0
253	...	0	0	1	1	0	1	1	1	1	0	0
254	...	1	0	1	1	0	1	1	1	1	0	0
255	...	0	1	1	1	0	1	1	1	1	0	0
256	...	1	1	1	1	1	1	1	1	1	1	1

(A) ENP₂ = ENT₂ = CARRY₁ = C₁

(B) ENP₂ = CARRY₁ = C₁ ENT₂ = 1

Tabela III.6.2 - Sequência de Estados do Contador Binário com 8 bits utilizando 2 CI 74LS163.

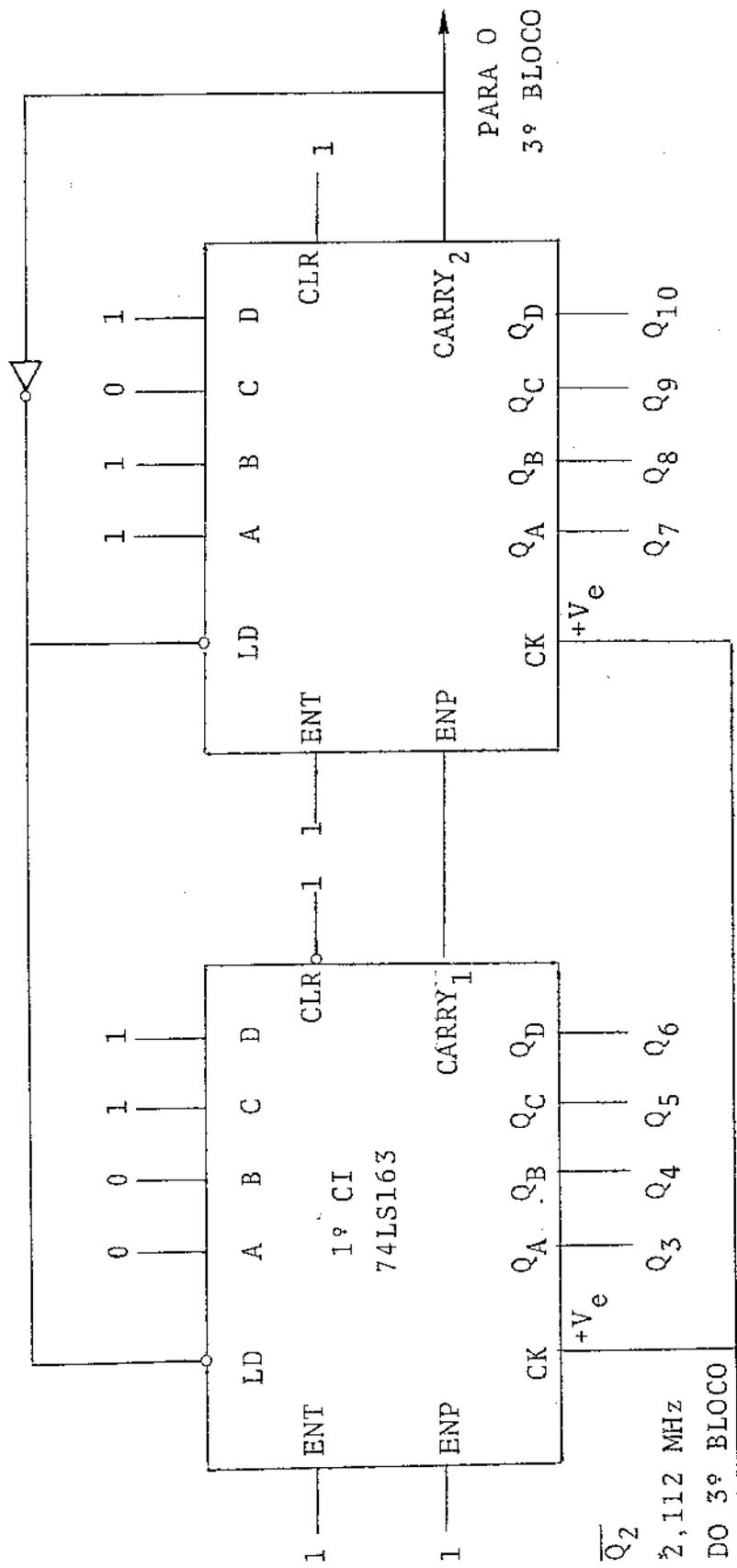


Fig. III.6.5 - Segundo Bloco -
Contador Módulo 53

3º Bloco do Contador

O 3º bloco do contador pode ser implementado segundo o circuito da Fig. III.6.2, que é o 1º bloco do contador. O relógio é obtido da saída CARRY2 (C2). Esta onda C2 sofre uma transição negativa (H→L), exatamente no final da contagem em módulo 53 do 2º bloco do contador. Como os flip-flops JK (74LS107) são ativos à transição negativa do relógio, a onda C2 é perfeitamente adequada para ser utilizada como relógio para o 3º bloco do contador. O estado inicial deste bloco foi feito

$$Q_{11} Q_{12} = 0 0$$

e corresponde ao 1º sub-quadro. Este contador também é auto-zerado.

Circuito Final do Contador

O contador do gerador de quadro obtido, tem , portanto, 12 bits e é síncrono. Ele inicia a contagem na palavra

$$Q_1 Q_2 Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} Q_{11} Q_{12} = 00 0011 1101 00$$

e corresponde à 1ª janela de tempo do quadro do sistema MCP-120, e a contagem final é estabelecida na palavra

$$Q_1 Q_2 Q_3 Q_4 Q_5 Q_6 Q_7 Q_8 Q_9 Q_{10} Q_{11} Q_{12} = 01 0000 1111 01$$

e corresponde à 848ª janela de tempo do quadro.

Portanto, o gerador de quadro, quando está em fase com o sinal binário MCP 8M fará a contagem mostrada na tabela III.6.3 automaticamente.

JT	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	C ₁	Q ₇	Q ₈	Q ₉	Q ₁₀	C ₂	Q ₁₁	Q ₁₂	SUBQUADRO																																																																																																																																																																																					
1	0	0	0	0	1	1	0	1	1	0	1	0	0	0	1º																																																																																																																																																																																					
2	1	0	0	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
3	1	1	0	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
4	0	1	0	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
5	0	0	1	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
6	1	0	1	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
7	1	1	1	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
8	0	1	1	0	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
9	0	0	0	1	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
10	1	0	0	1	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
11	1	1	0	1	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
12	0	1	0	1	1	1	0	1	1	0	1	0	0	0																																																																																																																																																																																						
13	0	0	1	1	1	1	1	1	1	0	1	0	0	0																																																																																																																																																																																						
14	1	0	1	1	1	1	1	1	1	0	1	0	0	0																																																																																																																																																																																						
15	1	1	1	1	1	1	1	1	1	0	1	0	0	0																																																																																																																																																																																						
16	0	1	1	1	1	1	1	1	1	0	1	0	0	0																																																																																																																																																																																						
17	0	0	0	0	0	0	0	0	0	1	1	0	0	0																																																																																																																																																																																						
18	1	0	0	0	0	0	0	0	0	1	1	0	0	0																																																																																																																																																																																						
19	1	1	0	0	0	0	0	0	0	1	1	0	0	0																																																																																																																																																																																						
20	0	1	0	0	0	0	0	0	0	1	1	0	0	0																																																																																																																																																																																						
...																																																																																																																																																																																						
204	0	1	0	1	1	1	0	0	1	1	1	0	0	0																																																																																																																																																																																						
205	0	0	1	1	1	1	1	0	1	1	1	0	0	0																																																																																																																																																																																						
206	1	0	1	1	1	1	1	0	1	1	1	0	0	0																																																																																																																																																																																						
207	1	1	1	1	1	1	1	0	1	1	1	0	0	0																																																																																																																																																																																						
208	0	1	1	1	1	1	1	0	1	1	1	0	0	0																																																																																																																																																																																						
209	0	0	0	0	0	0	0	1	1	1	1	1	0	0																																																																																																																																																																																						
210	1	0	0	0	0	0	0	1	1	1	1	1	0	0																																																																																																																																																																																						
211	1	1	0	0	0	0	0	1	1	1	1	1	0	0																																																																																																																																																																																						
212	0	1	0	0	0	0	0	1	1	1	1	1	0	0																																																																																																																																																																																						
1	0	0	0	0	1	1	0	1	1	0	1	0	1	0	2º																																																																																																																																																																																					
2	1	0	0	0	1	1	0	1	1	0	1	0	1	0																																																																																																																																																																																						
3	1	1	0	0	1	1	0	1	1	0	1	0	1	0																																																																																																																																																																																						
...																																																																																																																																																																																						
211	1	1	0	0	0	0	0	1	1	1	1	1	1	0																																																																																																																																																																																						
212	0	1	0	0	0	0	0	1	1	1	1	1	1	0	1	0	0	0	0	1	1	0	1	1	0	1	0	1	1	3º	2	1	0	0	0	1	1	0	1	1	0	1	0	1	1	3	1	1	0	0	1	1	0	1	1	0	1	0	1	1	211	1	1	0	0	0	0	0	1	1	1	1	1	1	1	212	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	1	1	0	1	1	0	1	0	0	1	4º	2	1	0	0	0	1	1	0	1	1	0	1	0	0	1	3	1	1	0	0	1	1	0	1	1	0	1	0	0	1	211	1	1	0	0	0	0	0	1	1	1	1	1	0	1	212	0	1	0	0	0	0	0	1	1	1	1	1	0	1
1	0	0	0	0	1	1	0	1	1	0	1	0	1	1	3º																																																																																																																																																																																					
2	1	0	0	0	1	1	0	1	1	0	1	0	1	1																																																																																																																																																																																						
3	1	1	0	0	1	1	0	1	1	0	1	0	1	1																																																																																																																																																																																						
...																																																																																																																																																																																						
211	1	1	0	0	0	0	0	1	1	1	1	1	1	1																																																																																																																																																																																						
212	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	1	1	0	1	1	0	1	0	0	1	4º	2	1	0	0	0	1	1	0	1	1	0	1	0	0	1	3	1	1	0	0	1	1	0	1	1	0	1	0	0	1	211	1	1	0	0	0	0	0	1	1	1	1	1	0	1	212	0	1	0	0	0	0	0	1	1	1	1	1	0	1																																																																																											
1	0	0	0	0	1	1	0	1	1	0	1	0	0	1	4º																																																																																																																																																																																					
2	1	0	0	0	1	1	0	1	1	0	1	0	0	1																																																																																																																																																																																						
3	1	1	0	0	1	1	0	1	1	0	1	0	0	1																																																																																																																																																																																						
...																																																																																																																																																																																						
211	1	1	0	0	0	0	0	1	1	1	1	1	0	1																																																																																																																																																																																						
212	0	1	0	0	0	0	0	1	1	1	1	1	0	1																																																																																																																																																																																						

Tabela III.6.3 - Sequência de estados do Contador do Gerador de Quadro

Zeração dos Contadores

O processo de zeração dos contadores é realizado de duas maneiras:

- I) Se o sistema está em sincronismo, os contadores se auto-zerarão.
- II) Se o sistema está fora de sincronismo, os contadores serão zerados através do primeiro pulso que surge na onda PSQ.

Para a zeração dos contadores do 1º bloco e do 3º bloco, é aplicado um pulso de nível zero, desinibido pela onda SINC, que contém a informação se o sistema está fora de sincronismo ou em sincronismo. Esta onda é gerada pela detecção do estado "E" de busca de sincronismo, como foi citado na seção III.5. Naquela seção, foi visto que, ao estado "E", corresponde a palavra 1111, nas duas soluções apresentadas como mais razoáveis. Assim, a onda SINC estará em nível "0" quando o sistema está fora de sincronismo. O circuito zerador para estes contadores é dado por

$$\text{ZERMD4} = \overline{\text{PSQ}} \cdot \overline{\text{SINC}}$$

O pulso de zero assim aplicado, leva o 1º bloco do contador ao estado $Q_1 Q_2 = 11$, que é perfeitamente compatível, conforme podemos verificar no diagrama de tempo da Fig. III.6.18 (ver pulso pontilhado). O 3º bloco do contador vai para o estado $Q_{11} Q_{12} = 00$, correspondente ao 1º subquadro.

Para zerar o 2º bloco do contador, temos que levar em consideração algumas particularidades, a fim de se obter um controle o mais simples possível, sem que haja dúvidas no processo. O 2º bloco tem como relógio a onda $\overline{Q_2}$, que sofre uma transição positiva na 12ª janela

de tempo do 1º subquadro.

Esta janela é a imediatamente consecutiva em relação à 10ª janela, onde é feita a detecção da PSQ, que por sua vez, zera o 1º bloco. Assim, somente na 12ª janela, podemos assegurar uma transição correta do sinal $\overline{Q_2}$. Para que a transição de $\overline{Q_2}$ permita o carregamento do contador, é preciso que as entradas LOAD recebam um pulso de nível "o", obtido a partir da onda PSQ. Observando-se o diagrama de tempo da Fig. III.6.18, nota-se claramente que um duplo atraso obtido através do relógio de 8,448 MHz em sua transição positiva, é suficiente.

Assim, tem-se que

$$(CGMD53)_{FORA} = PSQ'' + SINC$$

Para completar o processo de zeração, é ainda necessário considerar a outra condição de zeração do sistema, quando em sincronismo. Como foi visto

$$(CGMD53)_{EM} = \overline{C_2}$$

e para completar os dois casos é preciso fazer um OU dos dois casos. Isto é conseguido através da expressão final

$$CGMD53 = \overline{PSQ'' + SINC} + C_2$$

Para o processo de carga da palavra inicial, no caso em que o sistema está fora de sincronismo, as entradas paralelas do 2º bloco contador devem ser

$$(ABCD)_1 \quad (ABCD)_2 = 1111 \ 1101$$

conforme a tabela III.6.3, pois nesta palavra é que ocorre a transição da onda $\overline{Q_2}$. Logo, apenas as entradas paralelas correspondentes às saídas Q_3 e Q_4 devem ser al

teradas em um caso ou outro de sincronismo. Assim, as entradas paralelas "A" e "B" do 1º CI deve ser programada sistematicamente:

$A = B = "0"$ se em sincronismo

$A = B = "1"$ se fora de sincronismo

Para isso, utilizaremos da palavra PSQ" invertida (\overline{PSQ}), pois exatamente sob esse pulso, em nível "1", ocorre a transição do relógio $\overline{Q_2}$, que juntamente com o pulso em LOAD fará a carga. Logo,

$DADO = A = B = \overline{PSQ}$

permite que a carga do estado inicial do 2º bloco contador seja realizado adequadamente.

Na Fig. III.6.6, é mostrado o circuito completo do contador do gerador de quadro.

A seguir, é feita a geração das ondas de controle.

III.6.2 - Circuito de Tempo

Com o contador projetado, passamos a gerar as ondas de controle necessárias ao Demultiplexador e à Unidade Recuperadora de Canal.

As ondas da Unidade Recuperadora de Canal foram definidas na seção III.2.4, através da Fig. III.2.3, e as da unidade demultiplexadora foram definidas nas seções deste capítulo.

Tem-se assim as seguintes ondas a serem geradas:

I) Unidade Demultiplexadora

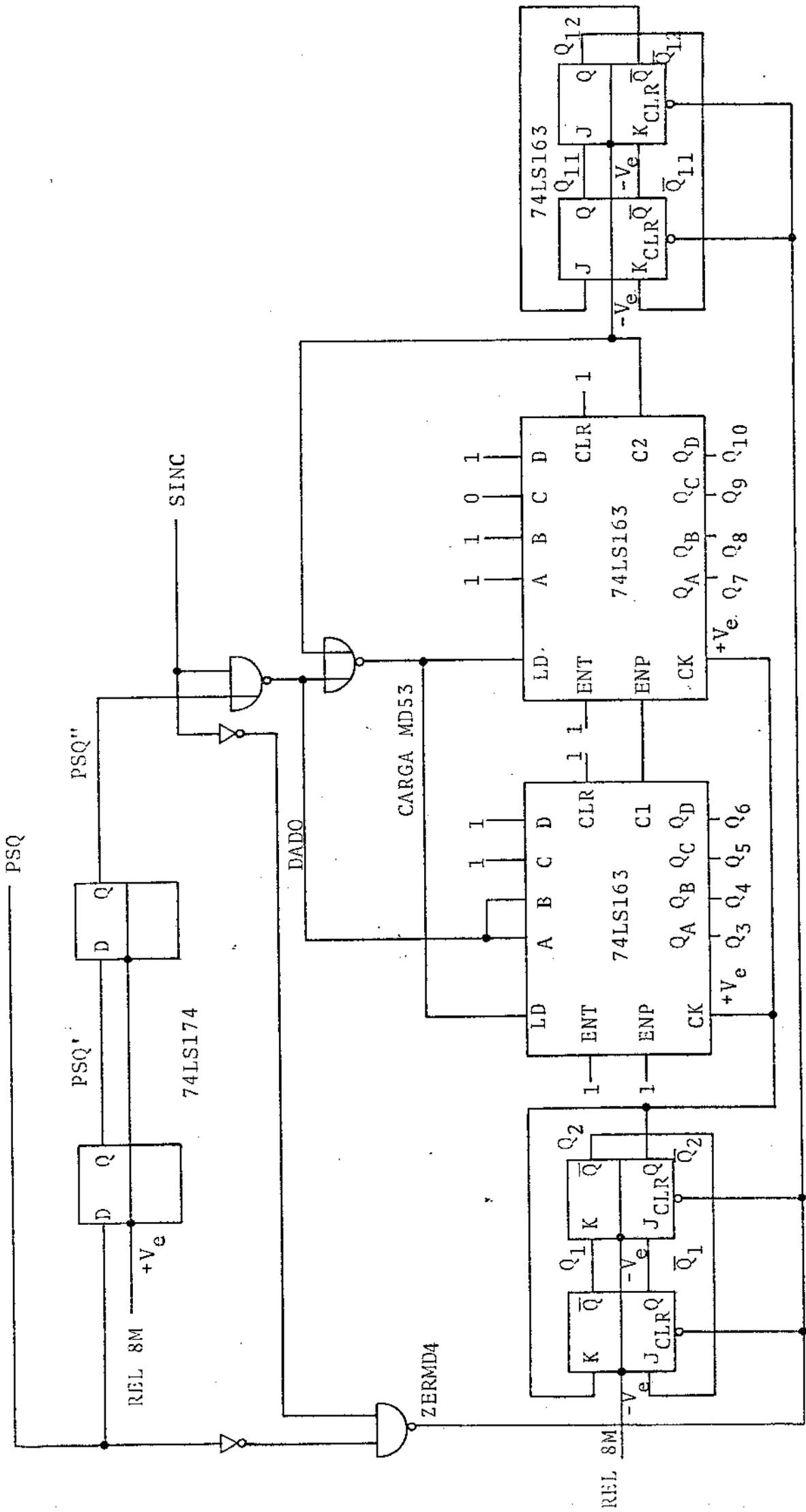


Fig. III.6.6 - Circuito do Contador do Gerador de Quadro

- OC-1 - Onda Relógio de Canal - ORC
- OC-2 - Onda Relógio de Serviço - ORS
- OC-3 - Onda Relógio de Controle de Sincro
nismo - ORCS
- OC-4 - Onda Zeradora de Controle de Sincro
nismo - OZCS

II) Unidade Recuperadora de Canal

- OC-5 - Onda de Leitura dos Códigos de Justi
ficação - OLCJ
- OC-6 - Dígitos de Justificação - DJ
- OC-7 - Onda Zeradora da Memória dos Códigos
de Justificação - OZMCJ
- OC-8 - Onda de Controle de Escrita - OCE

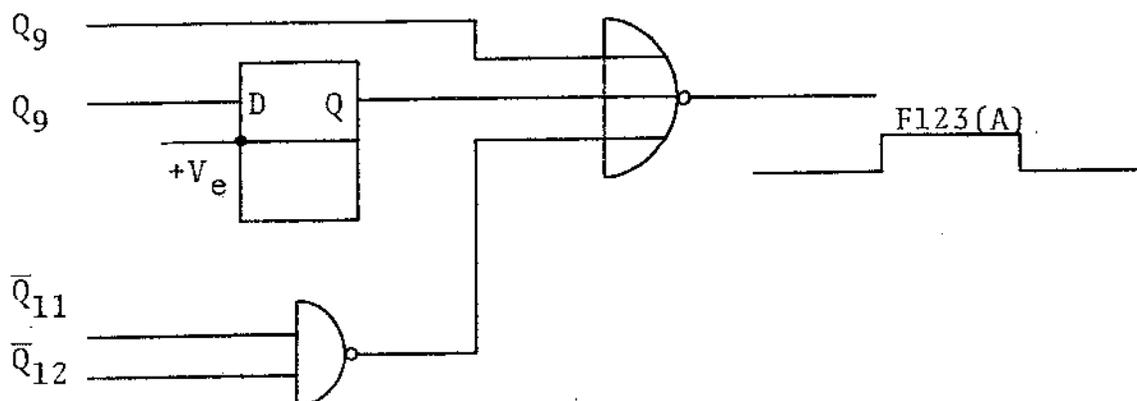
A seguir, é feita a análise de cada uma das on
das acima e implementada as funções que as geram.

Para a geração das ondas acima listadas, obser
vamos que, dada às suas particularidades, há duas ondas
básicas, a partir das quais são facilmente geradas as de
mais ondas. Essas ondas são as denominadas F123 e D. A
F123 é uma onda usada basicamente para eliminar os dígi
tos da palavra de sincronismo (os 12 primeiros dígitos
do quadro) e deve estar presente de modo a inibir os
três primeiros bits do sinal MCP de 2,112 Mbit/s. Ela tem
um pulso em nível alto da 5ª à 16ª janela do sinal MCP8M.
Essa onda é gerada pela função

$$F123 = Q_9 + Q_9' + \overline{Q_{11}} \overline{Q_{12}}$$

onde Q_9' é a onda Q_9 do contador retemporizada por um pe
ríodo do sinal $\overline{Q_2}$.

O circuito que gera a F123 é mostrado na Fig.
III.6.7.



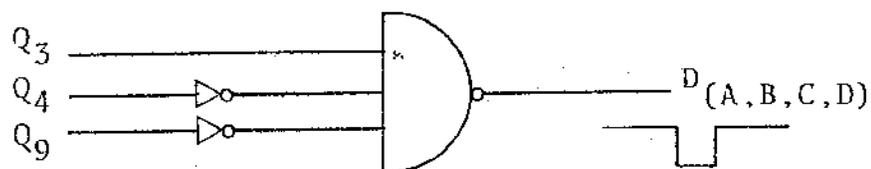
OBS - O índice (A) que segue a onda F123 significa que o pulso é gerado somente no subquadro A.

Fig.III.6.7 - Geração da Onda F123.

A outra onda, a onda D, é basicamente utilizada para a eliminação dos dígitos de controle de justificação no sinal MCP de 2,112 Mbit/s; essa onda tem um pulso em nível "1" nas janelas de tempo, 1 a 4, do sinal MCP 8M de cada subquadro. Essa função é gerada por

$$D = \overline{Q_3 \cdot Q_4 \cdot Q_9}$$

Esta função é obtida pelo circuito da Fig.III.6.8.



OBS - Os índices (A,B,C,D) em D indicam que o pulso ocorre nos subquadros A, B, C e D.

Fig. III.6.8 - Geração da Onda D

Com essas duas ondas geradas, pode - se agora analisar e desenvolver as funções necessárias, seguindo a ordem já citada, preliminarmente, no início desta seção.

Onda OC-1

A Onda Relógio de Canal - ORC - é utilizada para a dessequeciação dos canais do sinal MCP de 8,448Mbit/s; esta onda obtida do 1º bloco contador é a saída $\overline{Q_2}$. A posição relativa do seu bordo de transição positiva é mostrada no diagrama de tempo da Fig. III.6.16.

Onda OC-2

A Onda Relógio de Serviço - ORS - tem a função de extrair as informações contidas nos dígitos de serviço H1,H2 que estão nos 3º e 4º canais tributários de 2,112 Mbit/s e ficam localizados na 3ª janela de tempo desses canais. Aqui utiliza-se o processo de extração do bit de serviço mostrado na Fig. III.4.2a. Isto é feito, pois a solução da Fig. III.4.2b exigiria uma duplicação das funções geradoras de onda, como será mostrado mais adiante, a onda ORS gerada acima pode ser utilizada para o controle de outra parte do equipamento.

A função geradora da ORS é

$$ORS = \overline{F123} + \overline{Q_1} + \overline{C_1}$$

O circuito de geração desta função é mostrado na Fig. III.6.9.

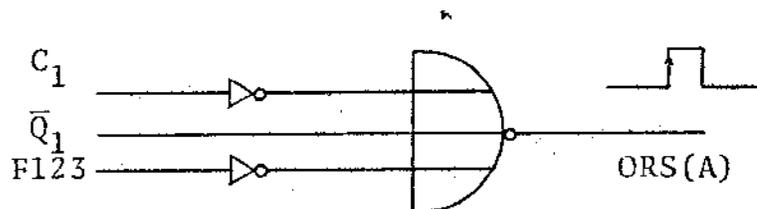


Fig. III.6.9 - Geração da Onda ORS

Onda OC-3

A Onda Relógio de Controle de Sincronismo-ORCS-tem a função de copiar o zero da onda PSQ para a realização do controle de sincronismo, como foi mostrado na seção III.5.

Esta cópia é analisada em duas situações:

- o sistema está em sincronismo
- o sistema está fora de sincronismo

De acordo com a estrutura de zeração, dada ao contador, em qualquer uma das situações de sincronismo, este consegue gerar um conjunto de palavras capazes de gerar a função desejada, de modo único, e realizar a cópia da palavra PSQ.

A onda gerada em OC-2 é inteiramente adequada aos nossos propósitos; logo,

$$ORCS \equiv ORS$$

O circuito é o mostrado na Fig. III.6.9.

Com a solução adotada para o relógio ORCS, é necessário reestruturarmos a posição do pulso PSQ, originalmente, considerado na seção III.5.

Como a transição positiva da ORCS ocorre na 13^a janela de tempo do quadro (ver Fig. III.6.17), o pulso PSQ deve ser relocado para essa nova posição. Como dispomos da onda PSQ gerado, no processo de zeração do contador do gerador de quadro, realizamos um novo deslocamento através da transição positiva do relógio REL 8M. Com isso, obtém-se o pulso PSQ, que assim fica em localização adequada em relação à onda ORCS.

O fato das ondas de controle ORS e ORCS serem idênticas e ambas serem ondas relógio que atuam no mesmo bordo de transição, permite que, se o circuito de controle de sincronismo CCS-1 é utilizado no demultiplexador, os circuitos do controle de sincronismo e de extração dos dígitos de serviço sejam implementados com flip-flops D em um único CI contendo seis flip-flops D (74LS174).

Isto obviamente representa um fator importante na minimização de CI's.

Onda OC-4

A Onda Zeradora do Controle de Sincronismo - OZCS - tem a função de fornecer um pulso de clear à entrada CLEAR do dispositivo 74LS195 do circuito de controle de sincronismo CCS-2 (Fig. III.5.8).

Como já havíamos discutido na seção III.5, o pulso de clear só poderia ser desinibido no começo do quadro onde a detecção da palavra de alinhamento é feita. Para isso, exigimos que o pulso gerado pela função

$$CLEAR = PSQ + Y_3 = \overline{PSQ} \cdot \overline{Y_3}$$

seja inibido fora dessa região.

A inibição é feita pela onda F123, ou seja, a função CLEAR é

$$CLEAR = \overline{PSQ} \cdot \overline{Y_3} \cdot F123$$

O circuito que gera tal onda é mostrado na Fig. III.6.10.

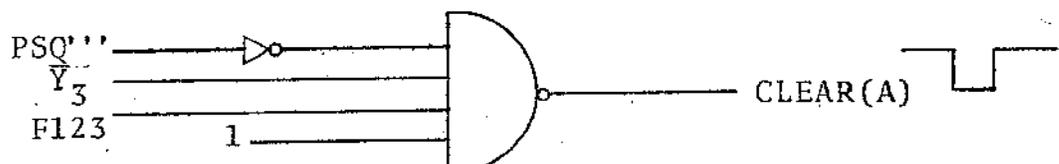


Fig. III.6.10 - Onda Zeradora do Controle de Sincronismo - OZCS

Na geração do pulso de clear foi considerado PSQ'' e não PSQ, como foi considerado originalmente, pois este pulso deve inibir a ação do relógio ORCS, na transição correspondente à 13ª janela do quadro.

Onda OC-5

A Onda de Leitura dos Códigos de Justificação-OLCJ - tem a função de ler os dígitos do código de justificação D1, D2 e D3 de cada um dos canais tributários de 2,112 Mbit/s. Esta onda é fornecida para a unidade recuperadora de canal.

A função que gera tal onda é

$$OLCJ = \overline{D} \cdot Q_1 \cdot \overline{Q_{11}} \cdot \overline{Q_{12}}$$

O circuito é mostrado na Fig. III.6.11.

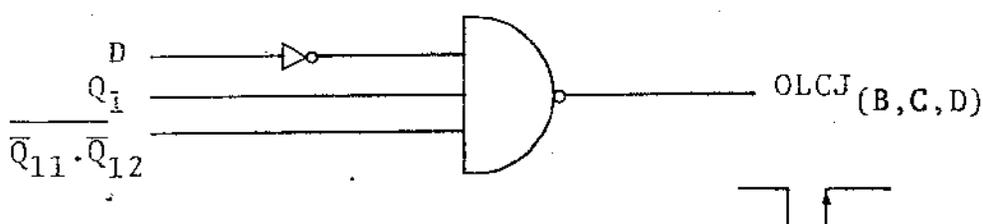


Fig. III.6.11 - Geração da Onda OLCJ

Onda OC-6

Dígito de Justificação - DJ - esta onda tem a função de extrair o dígito de justificação quando a inserção de um dado redundante foi feita. Ela deve ser um pulso em nível alto durante as janelas de tempo que vão do 5º ao 8º dígito do subquadro D. Para conseguir isso, foi retemporizada a onda D, através do relógio Q₂ com o

bordo de transição positiva e passando por uma porta que permite gerar o pulso somente durante o subquadro D. A função geradora da onda DJ é dada por

$$DJ = \bar{D} \cdot \bar{Q}_{11} \cdot Q_{12}$$

O circuito gerador desta função é mostrado na Fig. III.6.12.

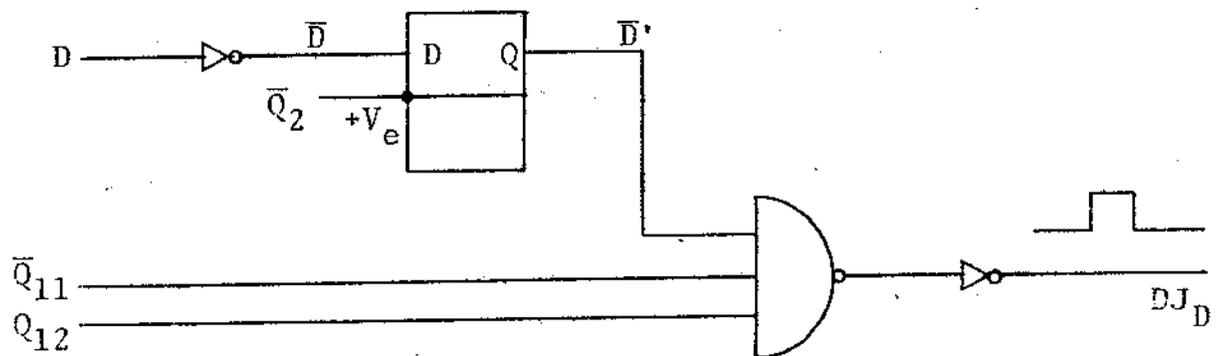


Fig. III.6.12 - Geração da Onda DJ

Onda OC-7

Onda Zeradora da Memória de Códigos de Justificação - OZMCJ - esta onda tem a função de limpar a memória que armazena os dígitos do código de justificação. Esse pulso deve ocorrer na região F1, F2 ou F3 do subquadro A. Assim foi escolhida a onda $\bar{F123}$ que é disponível sem a necessidade de se gerar com algum circuito extra.

Onda OC-8

Onda de Controle de Escrita - OCE - esta onda tem a função de armazenar na memória elástica da unidade recuperadora de canal os dígitos do canal tributário. Ela é basicamente uma onda de frequência de 2,112 MHz, tendo

"buracos" nas regiões F123 e D1, D2 e D3 do quadro. Para obter esse tipo de onda, tem-se a função

$$OCE = F123 + \bar{D} + \bar{Q}_1$$

O circuito que realiza essa função é mostrado na Fig. III.6.13.

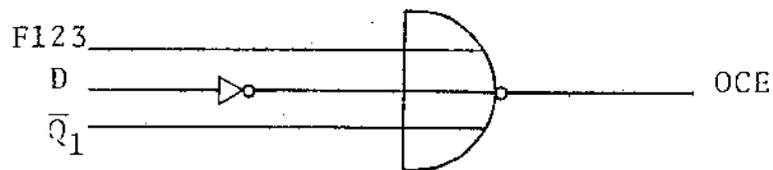


Fig. III.6.13 - Geração da Onda OCE

Com os circuitos projetados acima, concluímos a análise, projeto e desenvolvimento do gerador de quadro.

A seguir faremos a interligação das diversas sub-unidades e o circuito final é obtido.

O Demultiplexador

Para a obtenção do circuito final do demultiplexador é considerado como item de grande importância, a redução de componentes CI ao menor número possível. Em princípio, a limitação é de 20 CI's.

A redução é conseguida considerando-se que:

- a) os flip-flops D atuados pela mesma onda relógio são agrupáveis usando-se para isso CI's com 2, 4, 6 ou 8 flip-flops D.
- b) o uso de portas lógicas de menor número de entradas, agrupadas em cascata permite melhor utilização dos CI's. Aqui existe um compromisso com linha de atraso.

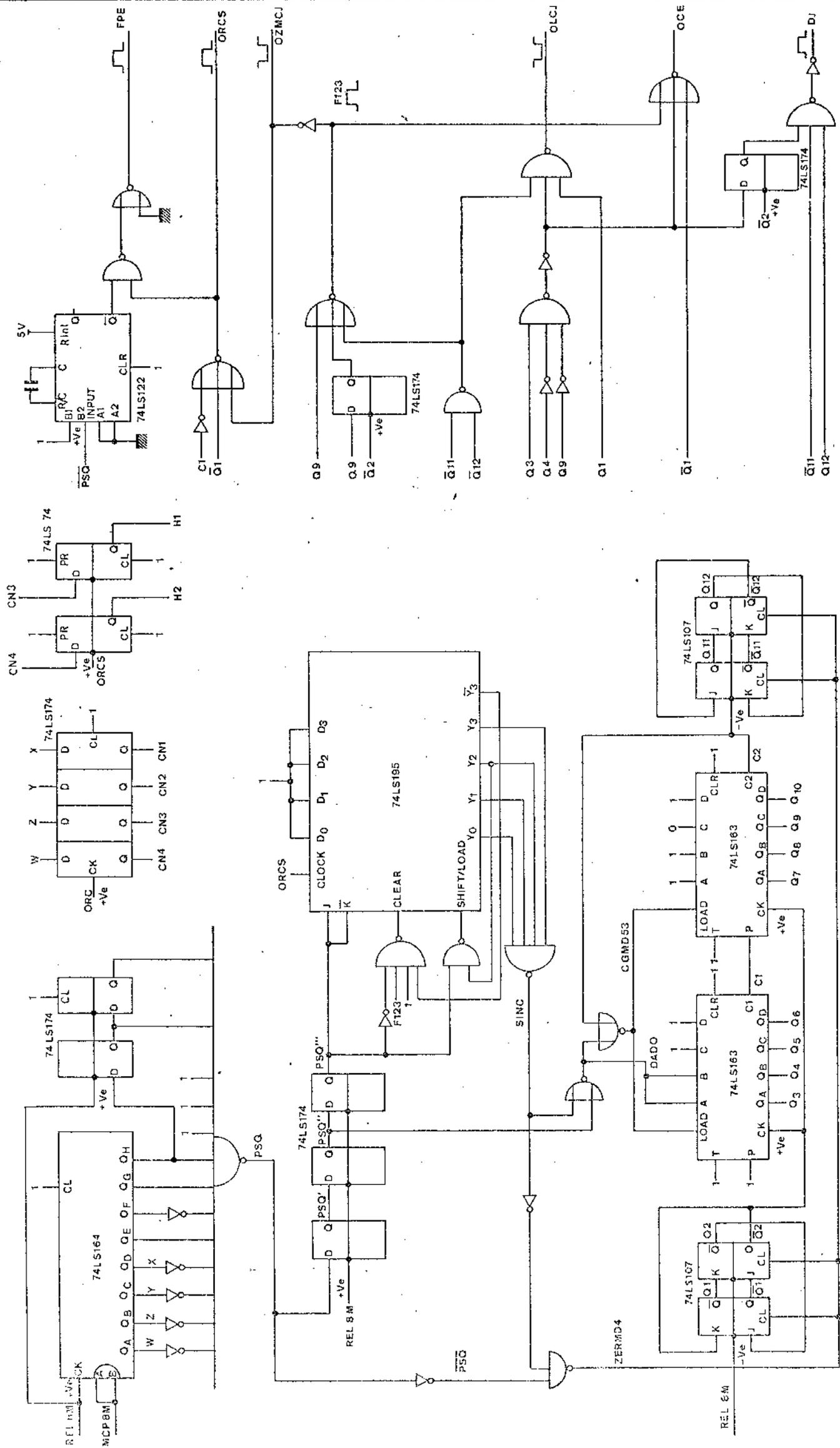


FIG III-6.15 - CIRCUITO DEMULTIPLEX - VERSÃO II

Como foram desenvolvidos dois circuitos para o controle de sincronismo, CCS-1 e CCS-2, duas versões do circuito demultiplexador são originadas. Após as otimizações de componentes, são apresentadas as duas versões nas Figs. III.6.14 (versão I) e III.6.15 (versão II).

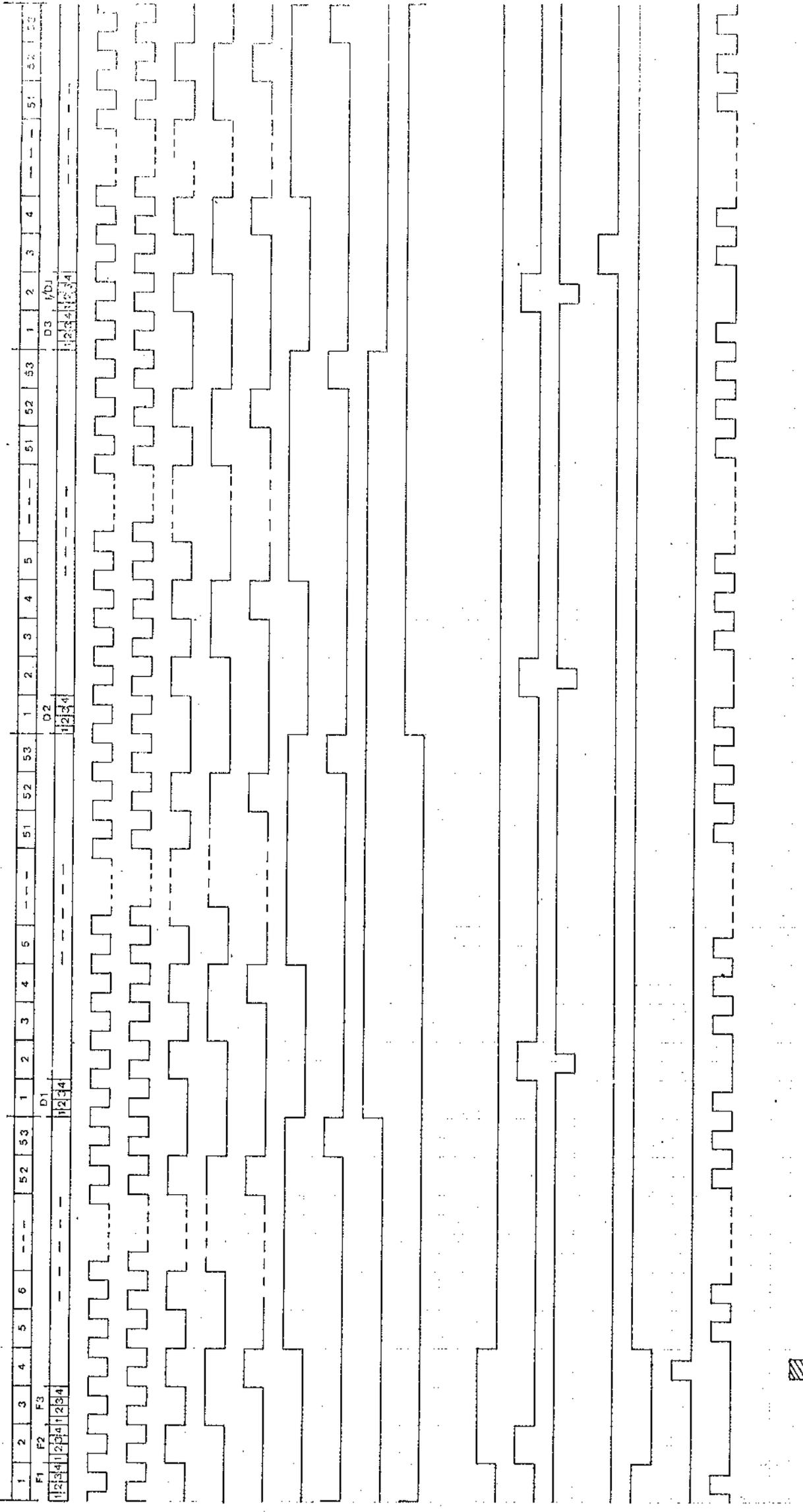
A seguir, é feita a análise temporal dos circuitos obtidos.

III.6.3 - Diagrama de Tempo

Vamos agora realizar a análise dos circuitos obtidos construindo-se o diagrama de tempo das formas de onda de todos os pontos importantes do Demultiplexador.

São mostrados um total de 18 formas de onda dos sinais gerados no circuito gerador de quadro (Fig. III.6.16). As ondas dessa figura são:

- 1) MCP 8M
- 2) $\overline{Q_1}$ - saída do 1º divisor por 4 - 1º bit
- 3) $\overline{Q_2}$ - saída do 1º divisor por 4 - 2º bit
- 4) Q_3 - saída do divisor por 53 - 3º bit
- 5) Q_4 - saída do divisor por 53 - 4º bit
- 6) C_1 - saída carry (1º CI - 74LS163)
- 7) Q_9 - saída do divisor por 53 - 9º bit
- 8) C_2 - saída carry (2º CI - 74LS163)
- 9) Q_{11} - saída do 2º divisor por 4 - 11º bit
- 10) Q_{12} - saída do 2º divisor por 4 - 12º bit
- 11) F123 -
- 12) D -
- 13) OLCJ - Onda de Leitura do Código de Justificação



- 1) MCPBM
- 2) Q1
- 3) Q2
- 4) Q3
- 5) Q4
- 6) C1
- 7) Q9
- 8) C2
- 9) Q11
- 10) Q12
- 11) F123
- 12) D
- 13) C1CJ
- 14) DJ
- 15) QZMCJ
- 16) ORSEORCS
- 17) QCE
- 18) FPE

FIG.III-6.16 - ONDAS GERADAS NO GERADOR DE QUADRO

- 14) DJ - Dígito de Justificação
- 15) OZMCJ - Onda Zeradora da Memória do Código de Justificação
- 16) ORS,ORCS- Onda Relógio de Serviço e Onda Relógio do Controle de Sincronismo
- 17) OCE - Onda de Controle de Escrita
- 18) FPE - Onda Falha da Palavra de Alinhamento

O diagrama de tempo da Fig.III.6.16 mostra as posições relativas das ondas de controle dentro do quadro. Todas as ondas do número 11 em diante foram geradas a partir das ondas 2 a 10, que são as saídas do contador do circuito gerador de quadro.

A Fig. III.6.17 mostra as ondas do circuito separador dos canais e do circuito de extração dos bits de serviço e foram incluídas também duas ondas do circuito de controle de sincronismo de quadro para referência. Nesta figura, é mostrada através de subquadros denominados por letras maiúsculas A, B, C e D de acordo com a separação mostrada no quadro da Fig. III.6.16. Assim, MCP 8M(A) corresponde à representação no subquadro A do sinal binário MCP de 8,448 Mbit/s. A onda ORC é a onda relógio de canal (Q_2 do 1º divisor por 4 do gerador de quadro), que realiza a separação dos canais entrelaçados em quatro sinais MCP de 2,112 Mbits/s.

Na seção III.4 discutimos duas maneiras para a extração dos dígitos de serviço H1 e H2. Analisando os circuitos da Fig. III.4.3a e b, notamos que a solução do caso a) permite que se use a onda ORCS como onda ORS, ou seja, uma única onda (ORCS) pode ser utilizada para controle dos dois circuitos. As ondas de separação dos dígitos de serviço são mostradas na Fig. III.6.17.

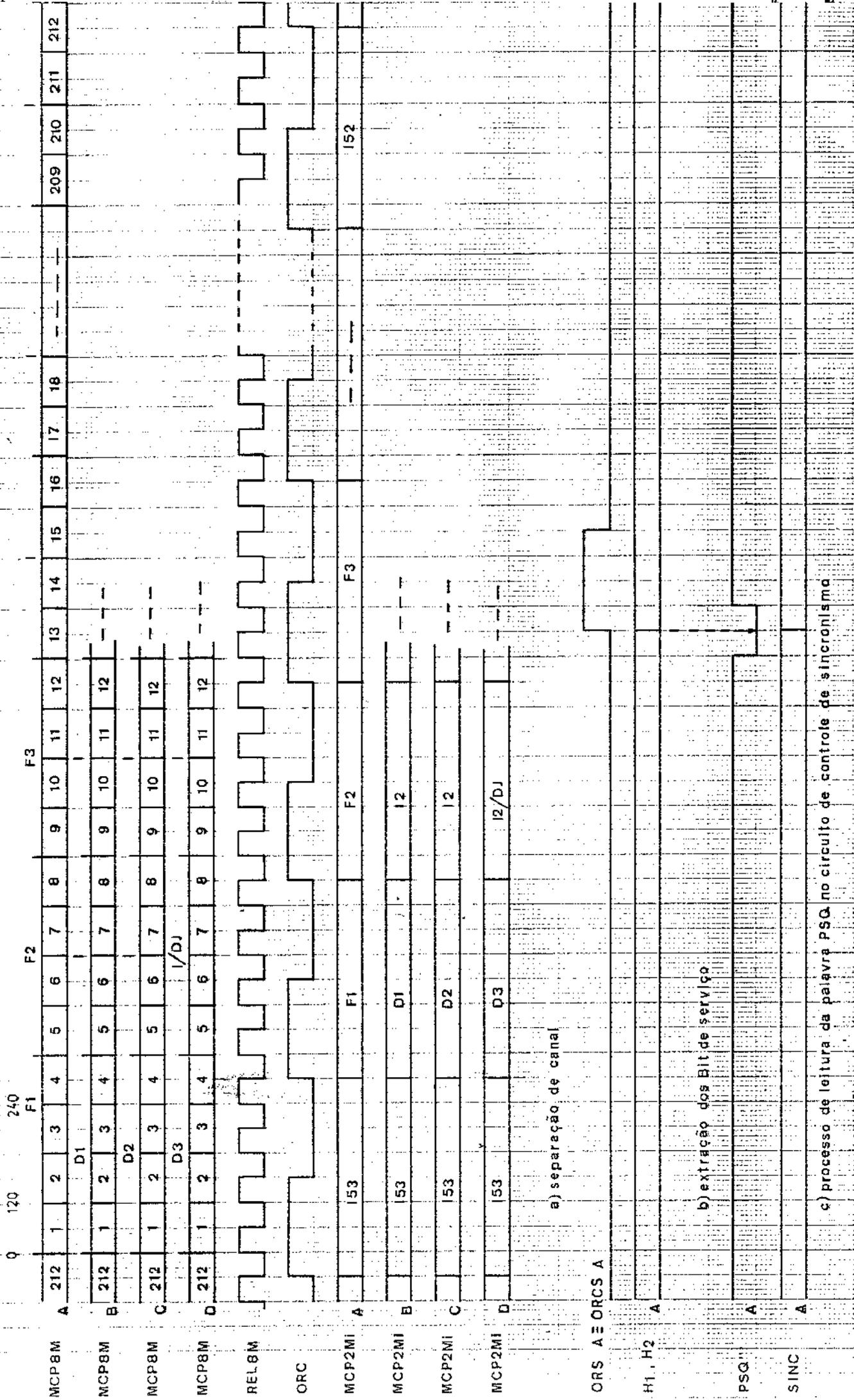


FIG.III-6.17

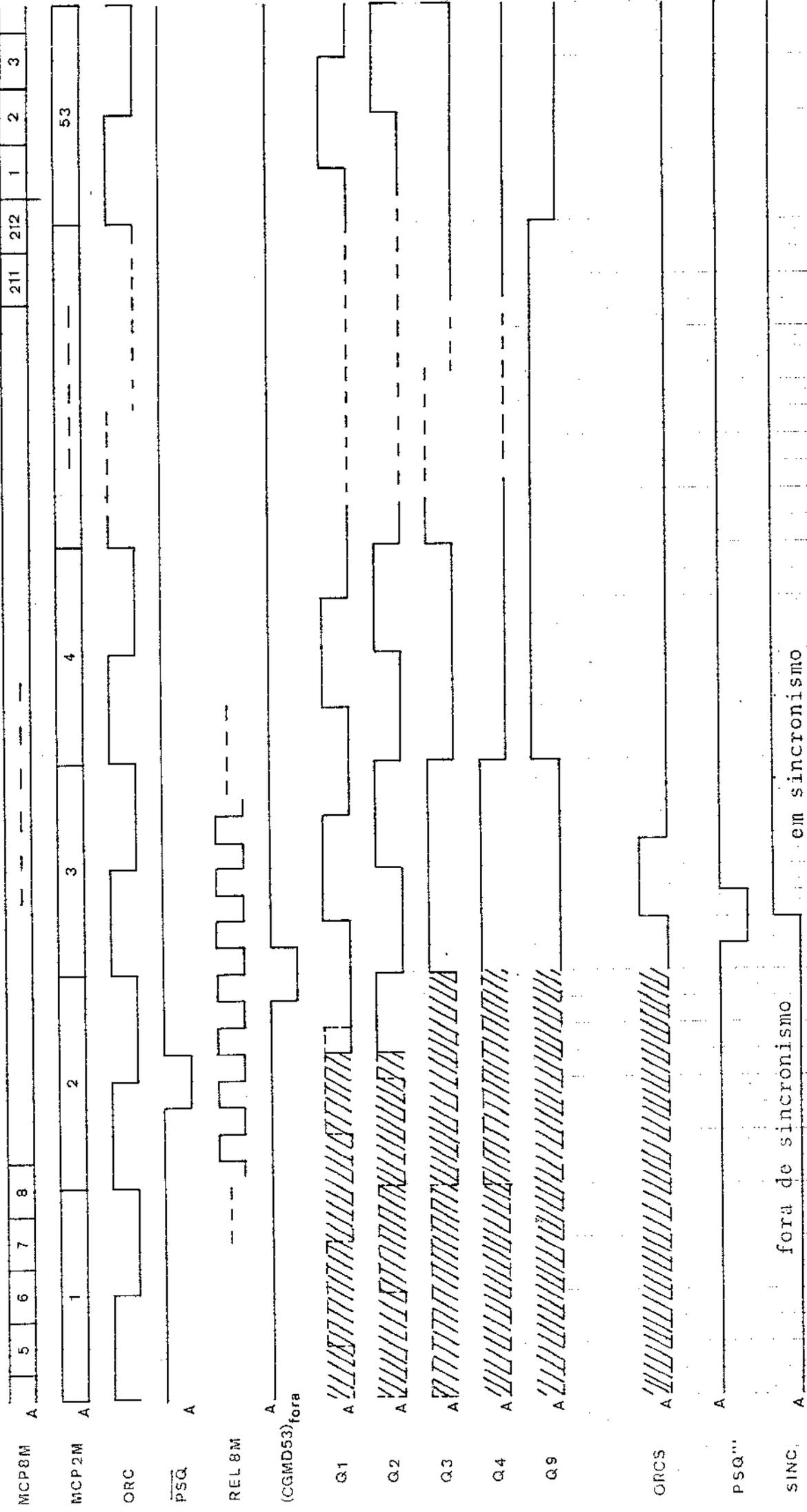


FIG. III - 6.18 - CONTROLE DE ZERO NO CONTADOR NO CASO FORA DE SINCRONISMO

em sincronismo

fora de sincronismo

Nessa mesma figura, mostramos a leitura da palavra PSQ''' pelo relógio ORCS e a mudança de estado da palavra SINC que indica se o sistema está em sincronismo ou fora de sincronismo. Mostramos também a leitura do dígito de serviço que está localizado na posição F3 do sinal MCP $2M_iA$ (i - indica o canal tributário i, $i = 1, 2, 3, 4$).

As ondas de controle do contador para o caso em que o sistema não está em sincronismo, são mostradas na Fig. III.6.18. Aqui é analisado o processo de zeroção dos contadores. Chamamos a atenção aqui, para o fato da onda de zero do divisor por 4 (ZERDVR4) não corresponder exatamente ao circuito do demultiplexador da versão I e II na Fig. III.6.14 e Fig. III.6.15. Isto ocorre, pois, em estudos com atrasos através do diagrama de tempos, mostram que o processo adotado é muito crítico, pois o pulso "0" permanece ativo na região de transição do relógio REL 8M e não permite que este ative os flip-flops do 1º bloco contador. Isto ocorre devido à atrasos de propagação muito grande no circuito gerador do pulso de zero. Na seção III.7, é realizada uma análise mais detalhada, sobre esse e outros problemas, causados pelos atrasos de propagação.

III.7 - ANÁLISE TEMPORAL DO DEMULTIPLEXADOR

Para uma avaliação do projeto teórico e idealizado, feito nas seções anteriores deste capítulo, é realizada uma análise do desempenho dos circuitos mostrados nas Figs. III.6.14 e III.6.15, considerando-se os atrasos de propagação causados pelos chaveamentos inerentes aos dispositivos. Para esta análise, são considerados os parâmetros fornecidos pelos fabricantes {R7, R8, R9, R10}. Basicamente, foram considerados os dados da Texas Instruments.

Considerou-se, ainda que o relógio REL 8M de 8,448 MHz deve estar com o "duty cycle" entre 47% e 53% de tolerância, conforme especificação da CCITT.

Esta análise visa determinar, para o correto funcionamento do equipamento projetado:

- a) as regiões de incerteza em todas as formas de onda
- b) a largura dos pulsos para as entradas "CLEAR", "PRESET", "LOAD", "ENABLE", etc.
- c) os tempos "set up" e "hold" para as entradas de controle e de dados em relação aos relógios.

Em função das análises aqui realizadas, algumas partes do circuito projetado necessitarão de modificações. Tais modificações serão realizadas sempre que necessárias e apresentaremos, ao final desta seção, o circuito demultiplexador em sua forma final.

A Fig. III.7.1 mostra as ondas do contador do gerador de quadro apresentados apenas no tamanho de um subquadro com 212 bits, sendo que apenas as regiões mais importantes são discutidas. As ondas Q_{11} e Q_{12} são apresentadas esquematicamente em contagem completa no tamanho de um quadro.

Graças a uma construção particular do gerador de quadro, durante o projeto lógico, nenhuma das ondas geradas, no circuito de tempo do gerador de quadro, contém regiões de pulsos falsos geradas devido aos bordos de incertezas das ondas que as compõem.

A onda FPE não foi discutida até aqui, pois ela faz parte do circuito de alarme do equipamento e pertence a um cartão exclusivo de alarme. A FPE é um pulso gerado toda vez que a palavra de alinhamento não é detetada. A palavra que a origina é a PSQ,

em conjunto com a C1. Na Fig. III.6.14 é mostrado um circuito monoestável mais um gate, na parte do circuito de tempo, que gera a FPE. O circuito é explicado em detalhes no circuito de alarme - em um relatório a ser elaborado.

A Fig. III.7.2 mostra a análise das ondas de canal MCP 2M e da extração do dígito de serviço H1 e H2. No sinal MCP 2M CNI, referente ao canal 1, os números 9 e 13 indicados nos dígitos dese sinal binário correspondem aos números dos dígitos do sinal de 8M da qual é extraído o canal de 2M.

O dígito de serviço tem o mesmo atraso de transição , tanto do nível "0" para o nível "1", como do nível "1" para o nível "0".

A Fig. III.7.3 mostra a análise das ondas do circuito de controle de sincronismo de quadro. A análise dos tempos de propagação, mostra-nos que os circuitos da Fig. III.6.14 e III.6.15 não satisfazem o tempo "set up" mínimo exigido no processo de leitura da palavra PSQ". Assim, é realizado uma duplicação da largura do pulso PSQ através do circuito da Fig. III.7.4.

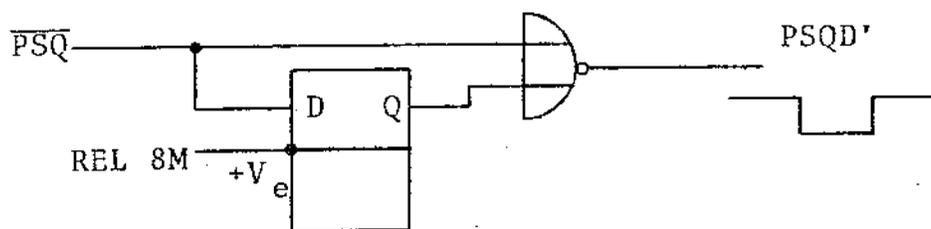


Fig. III.7.4 - Circuito Duplicador do Pulso da PSQ

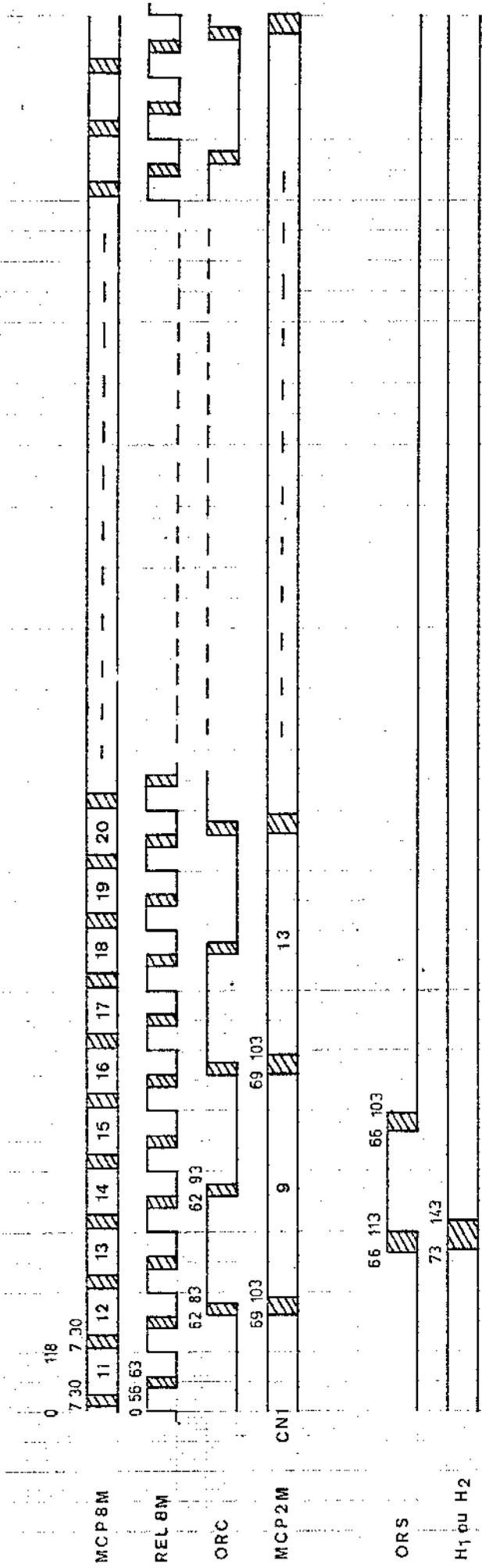


FIG.II-7.2 - ONDAS DO CANAL TRIBUTÁRIO E DÍGITOS DE SERVIÇO

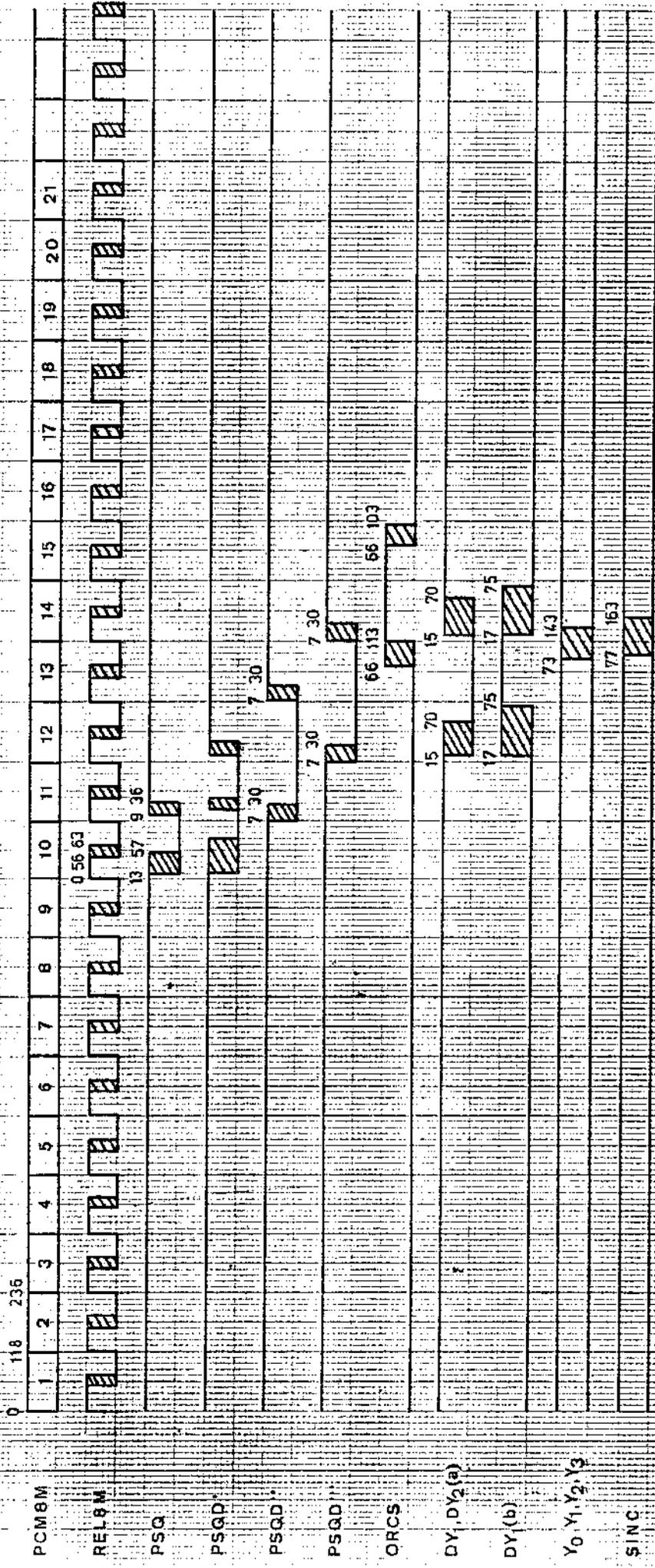


FIG. III-7-3 ONDAS DE CONTROLE DE SINCRONISMO DE QUADRO

O circuito citado transforma assim os pulsos $PSQ' \rightarrow PSQD'$, $PSQ'' \rightarrow PSQD''$ e $PSQ''' \rightarrow PSQD'''$. O pulso assim duplicado permite que o tempo "set up" adequado seja obtido. O atraso é calculado e apresentado na Fig. III.7.3.

A Fig. III.7.5 mostra as ondas de controle do contador do gerador de quadro quando o sistema está fora de sincronismo. Nestas condições, o controle de carga das entradas paralelas do contador módulo 53 é muito crítico, pois o tempo "set up" é insuficiente. Assim, foi preciso duplicar a palavra PSQ'' dos circuitos das Figs III.6.14 e III.6.15. Isso já foi feito para o controle de sincronismo. Dispomos, portanto, da palavra $PSQD''$. A lógica do circuito de controle de carga (LOAD) não é alterada, apenas a palavra PSQ'' é alterada para $PSQD''$. Os resultados dessa alteração e seus atrasos são apresentados na Fig. III.7.5.

Prosseguindo a análise agora nos divisores por 4, especialmente o primeiro bloco, concluímos que o tempo "set up" do relógio REL 8M para a transição do pulso de clear do nível "0" (ativo) para nível "1" (inativo), é insuficiente. Como esse tempo é insuficiente, os flip-flops não podem ser ativados com certeza, provocando uma zeração muito imprecisa. Para superar esse problema, procurou-se uma solução alternativa para zerar aqueles flip-flops, assegurando um tempo de "set up" adequado. Há um problema bastante sério aqui, pois os fabricantes não fornecem o tempo de "set up" da transição para o nível inativo da entrada "clear" para o "clock", a menos em alguns dispositivos de maior complexidade da série MSI. O tempo de "set up" das entradas J e K é sempre fornecida. Realizamos uma análise de todos os dispositivos que têm memória e concluímos que os tempos de "set up" para a entrada "clear" no nível inativo e para as entradas de dado são da mesma ordem, sendo em alguns casos ligeiramente menores. Por isso, decidiu-se adotar que o tempo de "set up" da entrada "clear" inativo e o tempo de "set up" para as entradas J, K e D são iguais.

Com esta consideração, tem-se que, para o flip-flop JK (74LS107), o tempo de "set up" da transição inativa do pulso de

00 50 100

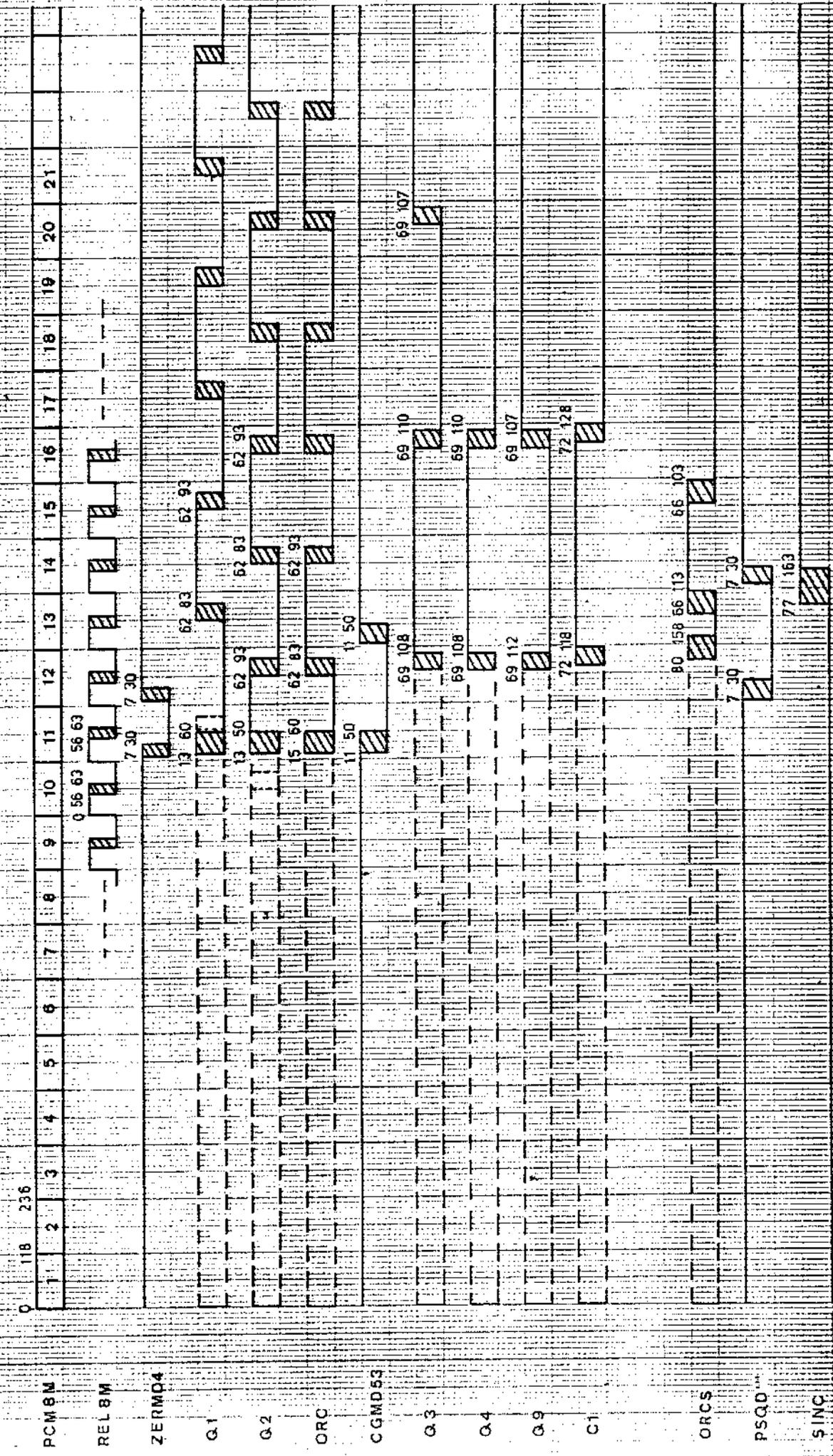


FIG II-7-5-CONTROLE DO GERADOR DE QUADRO NO CASO FORA DE SINCRONISMO

"clear" para a transição do "clock" é de 20 ns. É mostrado na Fig. III.7.6, o tempo "set up" requerido do clear para o clock.

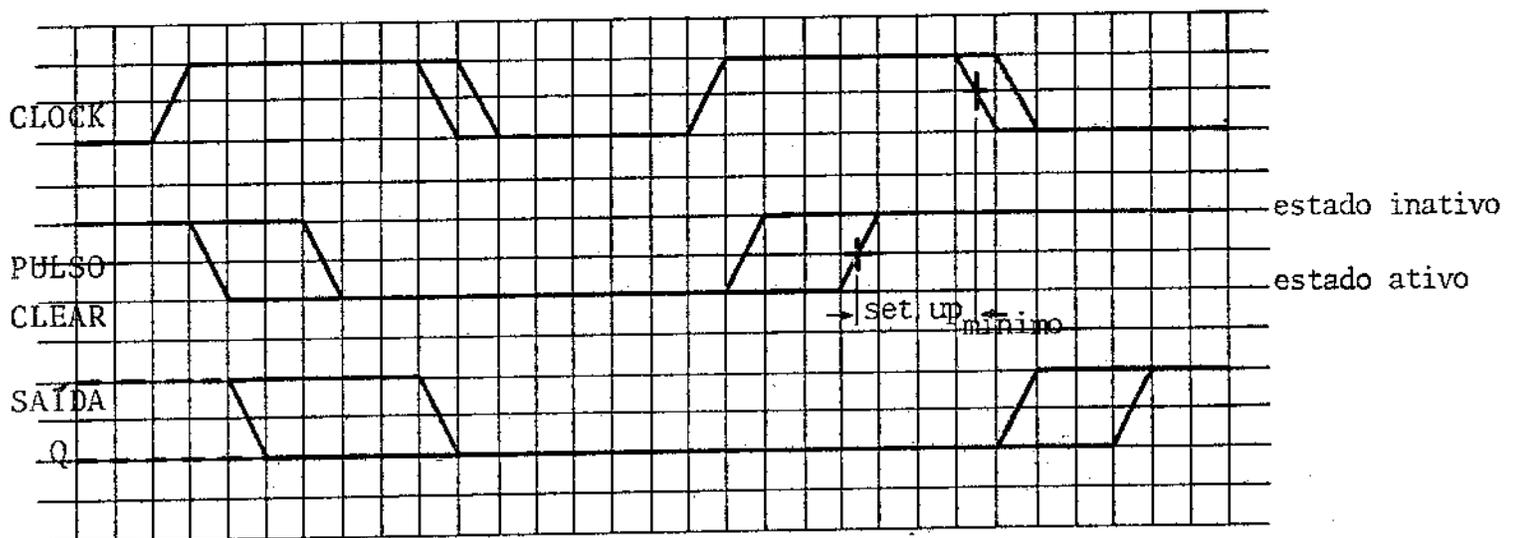


Fig. III.7.6 - Tempo de "set up"
para o estado inativo do clear
para o bordo ativo do clock

Retornando à análise de atraso na onda ZERMD4, para os circuitos das Figs. III.6.14 e III.6.15, tem-se um tempo "set up" negativo, isto é, o bordo de transição para o estado inativo do sinal de clear está além do clock. Isto é obviamente inadequado.

Refazendo-se o projeto para a geração da onda ZERMD4, encontrou-se uma nova configuração desse circuito, que nos permite obter o pulso de "clear" adequado. Fez-se o deslocamento temporal através de um flip-flop D atuado pelo relógio REL 8M (Figs. III.7.8 e III.7.9). Com a alteração realizada, obtém-se um tempo de "set up" de 26 ns no mínimo e de 49 ns no máximo. O limitante é, no entanto, $t_{\text{set up}} = 26 \text{ ns}$. Como o tempo de "set up" exigido pelo flip-flop JK (74LS107) é de 20 ns (admitida), então a onda ZERMD4 obtida é perfeitamente adequada.

A modificação introduzida na geração da onda ZERMD4 resulta num deslocamento de um dígito na janela de tempo do quadro, logo, a palavra $Q_1 Q_2$ a ser carregada pela onda ZERMD4 deve ser alterada de 11 para 01. Para isso, o 1º divisor por 4 foi ligeiramente modificado, como é mostrado na Fig. III.7.7. Para essa implementação, foi utilizado o mesmo dispositivo flip-flop JK, 74LS107, com uma alteração nas ligações dos dois flip-flops.

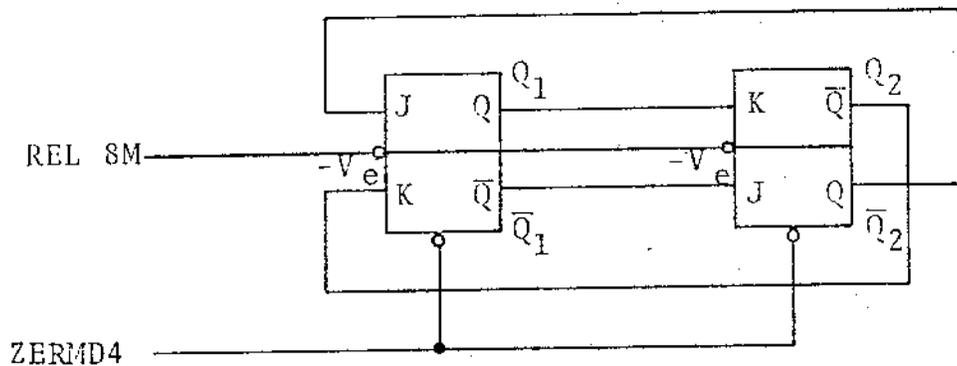


Fig. III.7.7 - Circuito divisor por 4 - modificado

Com estas modificações no circuito do demultiplexador originalmente apresentado, temos finalmente o esquema final, implementado, com todas as análises efetuadas. O circuito obtido satisfaz, portanto, as condições de operação desejada.

Nas Figs. III.7.8 e III.7.9 mostra-se os circuitos nas versões I e II, respectivamente.

A seguir, analisamos o fator de carga das saídas (fan-out).

III.8 - ANÁLISE DO FATOR DE CARGA DAS SAÍDAS

Em projetos de circuitos digitais, uma das análises mais importantes é a do fator de carga das saídas (fan out).

Define-se Fator de Carga da Saída entre circuitos digitais de mesma família (TTL, DTL, etc) como o número de entradas que podem ser alimentadas pelas saídas. Os parâmetros de tempo considerados estão intimamente relacionados ao fator de carga. Assim, se o fator de carga máximo é ultrapassado implicará na deterioração dos tempos de atraso, como também na destruição do integrado. O fabricante, no entanto, garante que o tempo de propagação especificado em seus manuais são garantidos, desde que o fator de carga máximo não seja ultrapassado.

Considerando-se as especificações dos fabricantes {R6}, R7, é feita uma análise sistemática de todas as saídas. Os resultados dessa análise são apresentados nas Tabelas III.8.1 e III.8.2, correspondentes aos circuitos demultiplexadores versão I e II.

Nomenclatura usada na Tabela:

A Tabela contém informações de saída, de entrada e o valor de corrente total exigida pelas entradas, ou seja, é o próprio fator de carga exigido pelas entradas.

Com relação às saídas, é indicado o dispositivo através do seu próprio código de especificação e de um código com três caracteres indicando a sub-unidade cuja saída é referida. Exemplo: LS00 - significa que o dispositivo considerado é o CI 74LS00 (NAND de duas entradas), e 1B1 - indica que o CI está na posição 1B da matriz no cartão de circuito impresso dado pela coordenada (1, B) e o número que se segue, no caso, número 1, indica que se está referindo a uma das quatro portas NAND desse CI 74LS00. A numeração das sub-unidades do CI não obedece nenhum critério. Assim, numeramos as sub-unidades até esgotá-los. Para o caso do 74LS00, tem-se 1B1, 1B2, 1B3 e 1B4, pois esse CI contém quatro portas NAND.

Se, por outro lado, o CI contém uma única sub-unidade, então será numerada por 0 (zero), como é o caso do 74S133 3B0, onde o CI contém uma porta NAND de 13 entradas. Para CI de maior complexidade, como por exemplo contadores (74LS163), a saída considerada é indicada acrescentando-se ao código a saída correspondente - 3D0 - QA, 3D0 - C1, etc.

Para a referência das entradas, é indicada pelo próprio código do CI, seguido entre parênteses pela entrada considerada quando necessária. Por exemplo, LS174(D) - indica que nos referimos à entrada D (dado do flip-flop -tipo D) do dispositivo 74LS174. O código citado é precedido por um número que indica a quantidade de entradas do CI codificado é alimentado por uma determinada saída.

Finalmente, a coluna de corrente total das entradas a ser alimentada pela saída de um certo CI (I_{IT}) dá esse valor total para os níveis "0" e "1", I_{ITL} e I_{ITH} , respectivamente. Essas correntes são comparadas com as correntes de saída máxima permitida para os níveis "0" e "1", I_{OL} e I_{OH} . A exigência é que devemos ter todas essas correntes

$$I_{IT} < I_0 \quad \text{ou} \quad \left\{ \begin{array}{l} I_{ITL} < I_{OL} \\ I_{ITH} < I_{OH} \end{array} \right.$$

As correntes de saída máxima, de acordo com o manual do fabricante {R7, R8} são para a série:

74LS	$I_{OL} = 8 \text{ mA}$ $I_{OH} = -400 \text{ } \mu\text{A}$
74S	$I_{OL} = 20 \text{ mA}$ $I_{OH} = -1000 \text{ } \mu\text{A}$

UNIVERSIDADE

SAÍDAS		ENTRADAS	I_{IT} I ENTRADA TOTAL	
DISPOSITIVO	SAÍDA DE	ENTRADAS/SAÍDA	I_{ITL} NÍVEL L (mA)	I_{ITH} NÍVEL H (μ A)
LS00	1B1	1-LS10	-0,4	20
	1B2	1-LS174(D)	-0,4	20
	1B3	1-LS10, 1-LS27	-0,8	40
	1B4	1-LS02	-0,4	20
LS02	2B1	1-LS174(D)	-0,4	20
	2B2	1-LS02	-0,4	20
	2B3	2-LS163(L)	-1,6	80
LS04	3A1,2,3,4,5	1-S133	-2,0	50
	3A6	1-LS00,1-LS02,1-LS122(B), 1-LS174(D)	-1,6	80
LS04	2E1,2	1-LS27	-0,4	20
	2E3,4	1-LS10	-0,4	20
	2E5	1-LS10,1-LS27,1-LS174(D)	-1,2	60
LS10	1D1,3	1-LS04	-0,4	20
LS20	3E1	1-LS02,1-LS20	-0,8	40
	3E2	1-LS00	-0,4	20
LS27	1C1	1-LS00,1-LS174(CK)	-0,8	40
	1C2	1-LS04,1-LS27	-0,8	40
LS107	3C1-Q	1-LS10,1-LS107(K)	-0,8	40
	3C1- \bar{Q}	1-LS27,1-LS107(J)	-1,2	60
	3C2-Q	1-LS107(J),2-LS163(CK), 1-LS174(D)	-1,6	80
	3C2- \bar{Q}	1-LS107(K)	-0,4	20
LS107	2C1-Q	1-LS107(J)	-0,4	20
	2C1- \bar{Q}	1-LS00,1-LS10,1-LS107(K)	-1,2	60
	2C2-Q	1-LS10,1-LS107(K)	-0,8	40
	2C2- \bar{Q}	1-LS00,1-LS107(J)	-0,8	40
S133	3B0	1-LS04	-0,4	20
LS163	3D0-Q _A	1-LS10	-0,4	20
	3D0-Q _B	1-LS04	-0,4	20
	3D0-C1	1-LS04,1-LS163(ENP)	-0,8	40

Tabela III.8.1 - Análise do Fator de Carga das Saídas do DEMUX - versão I

SAÍDA		ENTRADAS	I_{IT} I ENTRADA TOTAL	
DISPOSITIVO	SAÍDA DE	ENTRADAS/SAÍDA	I_{ITL} NÍVEL L (mA)	I_{ITH} NÍVEL H (μ A)
LS163	3D0-Q _C 2D0-C2	1-LS04, 1-LS27, 1-LS174 (D) 1-LS02, 2-LS107 (CK)	-1,2 -2,0	60 180
LS122	1A0-Q	1-LS00	-0,4	20
LS164	4A0-Q _A , Q _B , Q _C , Q _D , Q _F 4A0-Q _E , Q _G 4A0-Q _H	1-LS04 1-S133 1-S133, 1-LS174 (D)	-0,4 -2,0 -2,4	20 50 70
LS174	4B1-Q 4B2-Q 4B3-Q 4B4-Q 4B5-Q 4B6-Q	1-S133, 1-LS174 (D) 1-S133 1-LS02 1-LS02, 1-LS174 (D) 1-LS00, 1-LS174 (D) 4-LS107 (CLR)	-2,4 -2,0 -0,4 -0,8 -2,0 -3,2	70 50 20 40 100 240
LS174	2A5 2A6	1-LS27 1-LS10	-0,4 -0,4	20 20
LS-174	4C1-Q 4C2-Q 4C3-Q 4C4-Q	1-LS00, 1-LS10, 1-LS20 2-LS00, 1-LS20 1-LS00, 1-LS20, 1-LS174 (D) 1-LS00, 1-LS10, 1-LS20	-1,2 -1,2 -1,2 -1,2	60 60 60 60
	NÍVEL LÓGICO "1"	1-LS00 3-LS20 1-LS122 (B) 1-LS122 (CLR) 3-S133 2-LS163 (ENT) 1-LS163 (ENP) 2-LS163 (CLR) 5-LS163 (DATA) 1-LS164 (CLR) 3-LS174 (CLR) TOTAL NÍVEL "1"	-0,4 -1,2 -6,0 -0,4 -1,2 -1,6 -0,4 -1,6 -2,0 -0,4 -0,4 -19,8	20 60 150 20 60 80 20 80 100 20 20 630

Tabela III.8.1 - (Continuação)

...

SAÍDAS		ENTRADAS	I_{IT} ENTRADA TOTAL	
DISPOSITIVO	SAÍDA DE	ENTRADAS/SAÍDA	NÍVEL L (mA)	NÍVEL H (μ A)
LS00	1C1	1-LS195(S/L)	-0,4	20
	1C2	1-LS174(D)	-0,4	20
	1C3	1-LS10,1-LS27	-0,8	40
	1C4	1-LS02	-0,4	20
LS02	2B1	1-LS174(D)	-0,4	20
	2B2	1-LS02	-0,4	20
	2B3	1-LS163(L)	-1,6	80
LS04	BA1,2,3,4,5	1-S133	-2,0	50
	3A6	1-LS00,1-LS02,1-LS175(D)	-1,2	60
LS04	4D1	1-LS20	-0,4	20
	4D2	1-LS00,2-LS163(A,B)	-1,2	60
LS04	2E1	1-LS27	-0,4	20
	2E2	1-LS27	-0,4	20
	2E3	1-LS10	-0,4	20
	2E4	1-LS10	-0,4	20
	2E5	1-LS10,1-LS27,1-LS174(D)	-1,2	60
LS10	1E1	1-LS04	-0,4	20
	1E3	1-LS04	-0,4	20
LS20	4E1	1-LS02,1-LS04	-0,8	40
	4E2	1-LS195(CLR)	-0,4	20
LS27	1D1	1-LS00,1-LS174(CK),1-LS195(CK)	-2,44	120
	1D2	1-LS04,1-LS20,1-LS27	-1,2	60
LS74	1A1-Q,1A2-Q	-	-	-
LS107	3C1-Q	1-LS107(K),1-LS10	-0,8	40
	3C1-Q	1-LS107(J),1-LS27	-1,2	60
	3C2-Q	1-LS107(J),2-LS163(CK),1-LS174(CK)	-2,4	120
	3C2-Q	1-LS107(K)	-0,4	20
LS122	1B0-Q	1-LS00	-0,4	20
S133	2B0	1-LS04	-0,4	20

Tabela III.8.2 - Análise do Fator de Carga das Saídas do DEMUX - versão II

.../.

Tabela III.8.2 - (Continuação)

SAÍDAS		ENTRADAS	I _{IT} I ENTRADA TOTAL	
DISPOSITIVO	SAÍDA DE	ENTRADAS/SAÍDA	NÍVEL L (mA)	NÍVEL H (µA)
LS163	3D3-Q _A	1-LS10	-0,4	20
	3D3-Q _B	1-LS04	-0,4	20
	3D3-C1	1-LS04, 1-LS20	-0,8	40
LS163	3D2-Q _C	1-LS04, 1-LS27, 1-LS174 (D)	-1,2	60
	3D2-C2	1-LS02, 2-LS107 (CK)	-2,0	180
LS164	4A0-Q _A , Q _B , Q _C , Q _D , Q _F	1-LS04	-0,4	20
	4A0-Q _E , Q _B	1-S133	-2,0	50
	4A0-Q _H	1-S133, 1-LS174 (D)	-2,4	70
LS174	4B1-Q	1-LS174, 1-S133	-2,4	70
	4B2-Q	1-S133	-2,0	50
	4B3-Q	1-LS02	-0,4	20
	4B4-Q	1-LS02, 1-LS174 (D)	-0,8	40
	4B5-Q	1-LS00, 1-LS04, 1-LS195 (J), 1-LS195 (K)	-1,6	80
	4B6-Q	4-LS107 (CLR)	-3,2	240
LS174	2A5-Q	1-LS27	-0,4	20
	2A6-Q	1-LS10	-0,4	20
LS195	4C0-Q _A	1-LS20	-0,4	20
	4C0-Q _B	1-LS20	-0,4	20
	4C0-Q _C	1-LS00, 1-LS20	-0,8	40
	4C0-Q _D	1-LS20	-0,4	20
	4C0-Q _D	1-LS20	-0,4	20
NÍVEL LÓGICO "1"		1-LS164 (CLR)	-0,4	20
		2-LS174 (CLR)	-0,8	40
		2-LS74 (CLR)	-0,8	40
		2-LS74 (PRESET)	-0,8	40
		3-S133	-6,0	150
		4-LS195 (A, B, C, D)	-1,6	80
		2-LS163 (ENT)	-1,6	80
		1-LS163 (ENP)	-0,4	20
		2-LS163 (CLR)	-1,6	80
		5-LS163 (DATA)	-2,0	100
		1-LS122 (B)	-0,4	20
	1-LS122 (CLR)	-0,4	20	
	TOTAL NÍVEL 1	-16,8	670	

Comparando-se todas as correntes I_{IT} das tabelas III.8.1 e III.8.2 com os dados de I_0 mostrados anteriormente, concluímos que a desigualdade $I_{IT} < I_0$ é verificada em todos os casos da mesma maneira que em todos eles o fator de carga exigida da saída não atinge 50% do máximo, nas duas versões do circuito DEMUX.

Portanto, em termos do fator de carga, os circuitos projetados e implementados satisfazem plenamente essas exigências.

Antes de encerrarmos esta análise, vamos fazer um comentário breve para considerarmos uma questão importante, a do consumo dos dispositivos TTL com relação à frequência de operação.

As especificações de consumo de potência dos dispositivos TTL, de acordo com os manuais, são consideradas relativamente insensíveis com a frequência de operação, o que implica que as condições de medidas são as frequências baixas. As curvas mostradas na Fig. III.8.1 que relaciona a potência consumida por porta com a frequência de operação, supondo que o sinal de excitação tem duty cycle de 50%. Essas curvas são obtidas supondo também que o fator de carga de saída é 10 para todos os tipos de porta, para permitir uma comparação efetiva, e a tensão de alimentação de 5 volts. A curva referente à dispositivos Low Power Schottky confirma realmente que até frequências de operação de 1 MHz, o consumo de potência por unidade de porta praticamente não varia. A partir de 1 MHz, o consumo começa a aumentar, o que nos sugere ser exponencialmente. Assim, uma leitura grosseira mostra-nos que a 2 MHz, o consumo aumenta em 10% sobre o valor típico, e que a 8 MHz o aumento atinge 100%. Este fato mostra-nos que para os estágios de entrada do demultiplexador, onde a frequência de operação é de 8 MHz, o consumo deve ser cerca de 100% acima do valor típico previsto. Nos estágios mais internos, as frequências de operação são significativamente inferiores a 8 MHz. Portanto, o consumo deve ser o típico ou próximo deste valor, não requerendo maiores cuidados.

A Fig. III.8.1 é mostrada a seguir.

POTÊNCIA CONSUMIDA PARA DISPOSITIVOS TTL E CMOS

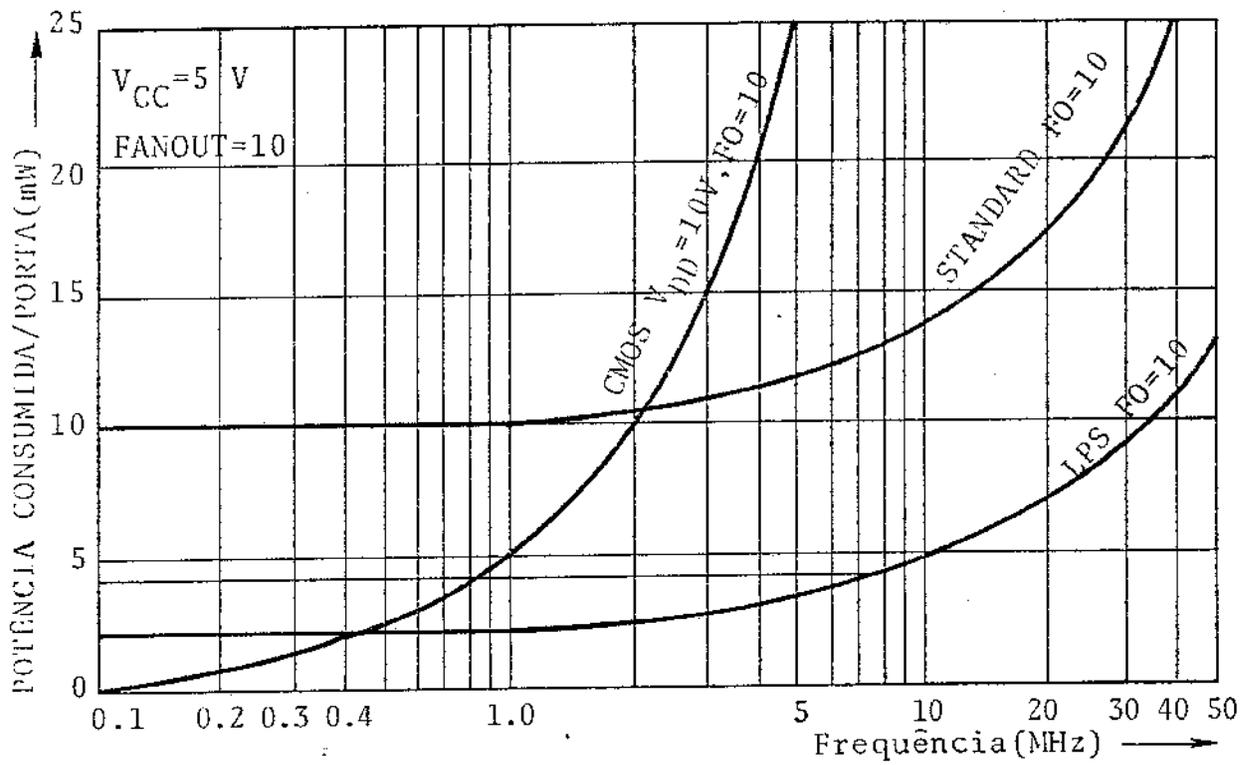


Fig. III.8.1 - Curvas de Consumo de Potência por unidade de porta contra a frequência de operação.

Fator de Carga do Cartão Demultiplexador

O cartão demultiplexador tem entradas e saídas que se rão interligados com outros cartões. Para que as interligações sejam realizadas sem que se causem sobrecargas, é feita uma análise do fator de carga exigida pelas entradas do cartão e fator de carga máxima das saídas do cartão.

Os resultados dessa análise são mostrados na tabela III.

8.3.

FATOR DE CARGA MÁXIMA PERMITIDA PELAS SAÍDAS DO CARTÃO DEMULTIPLEXADOR		
SAÍDA	NÍVEL L (mA)	NÍVEL H (μ A)
FPE	8,0	-400
OZMCJ	7,6	-380
OLCJ	8,0	-400
OCE	8,0	-400
DJ	8,0	-400
CN-1,2	8,0	-400
CN-3,4	7,6	-380
H-1,2	8,0	-400
FATOR DE CARGA EXIGIDA PELAS ENTRADAS DO CARTÃO DEMULTIPLEXADOR		
ENTRADA	NÍVEL L (mA)	NÍVEL H (μ A)
REL 8M	-2,4	200
MCP 8M	-0,4	20

Tabela III.8.3 - Fator de Carga das Entradas e Saída do Cartão Demultiplexador

III.9 - ENTRADAS E SAÍDAS DO CARTÃO DEMULTIPLEXADOR

As entradas e saídas do cartão Demultiplexador são mostrados na tabela III.9.1 e Fig. III.9.1, onde são dadas as origens e destinos de cada uma das entradas e saídas.

ENTRADAS		ORIGEM
MCP 8M	Sinal binário de 8,448 Mbit/s	Interface de Linha
REL 8M	Relógio mestre de 8,448 MHz	Interface de Linha

SAÍDAS		DESTINO
OZMCJ	Onda zeradora da memória do código de justificação	Recuperador de Canal
OLCJ	Onda de leitura do código de justificação	Recuperador de Canal
DJ	Dígito de justificação	Recuperador de Canal
OCE	Onda de controle de escrita	Recuperador de Canal
FPE	Palavra de alinhamento não detetado	Cartão de Alarme

Tabela III.9.1 - Entradas e Saídas do Cartão Demux.

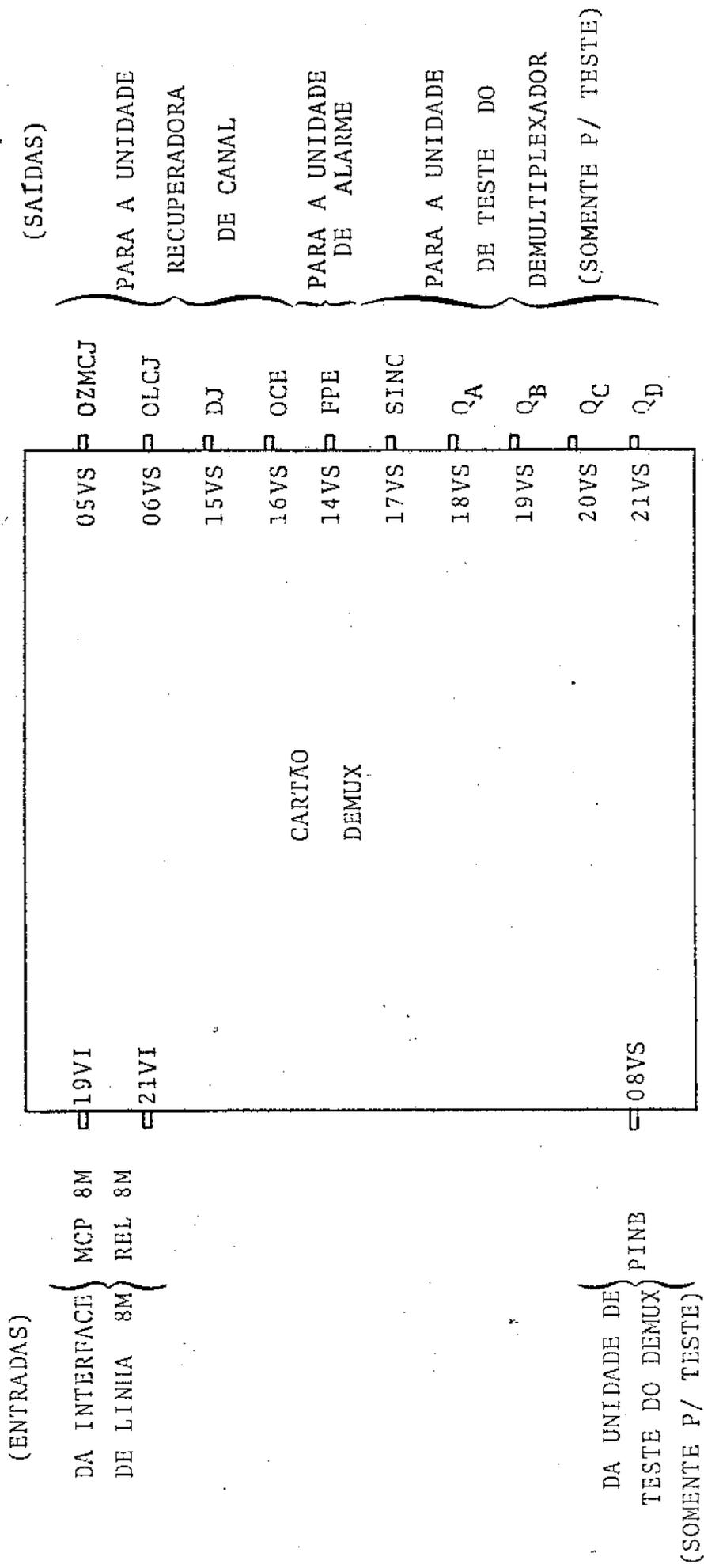


Fig. III.9.1 - Terminais do Cartão de Demultiplexação do Sistema MCP-120 indicando a origem e o destino

III.10 - CONCLUSÕES DO PROJETO

O projeto desenvolvido até aqui satisfaz todos os requisitos fixados a priori, que são: o desempenho correto das funções, fator de carga da saída, análise de consumo de potência.

Assim, o cartão do Demultiplexador foi implementado fisicamente em um cartão de circuito impresso modulado para projetos digitais. O circuito que temos implementado atualmente é o referente à Fig. III.7.8. O circuito da Fig. III.7.9 será implementado na fase de desenvolvimento industrial.

Sobre o protótipo implementado, é feita uma série de testes de verificação do desempenho parcial e global.

É utilizado para isso, o equipamento de teste projetado e desenvolvido, para esse fim, que apresentamos no Apêndice I, ao final deste trabalho.

Vale ressaltar também, que o circuito obtido tanto numa versão como noutra, pode ser construído com 18 "chips" de CI que, acrescido do circuito gerador da palavra FPE resulta em 19 CI's. A meta era obter o circuito com, no máximo, 20 chips de CI, devido às limitações de espaço no cartão previsto.

CAPÍTULO IV

ANÁLISE TEÓRICA DO MECANISMO
DE BUSCA DE SINCRONISMO

IV.1 - INTRODUÇÃO

Para os sistemas de transmissão de dados digitais por modulação através da codificação de pulsos (MCP) de hierarquias superiores existe um quadro padrão em que dois ou mais canais são enviados por entrelaçamento de pulsos. É necessário que, na recepção, sejam identificados os dígitos de cada canal para formar um trem de dados dos respectivos canais de ordem inferior. Para que a separação dos canais seja realizada de maneira adequada, o quadro dos sistemas MCP de ordem superior deve conter um grupo de dígitos localizados sempre no início de cada quadro, que permitam reconhecê-lo, e estabelecer um fasamento entre o trem de dados binários e o equipamento de recepção.

O grupo de dígitos a que nos referimos é denominado Palavra de Alinhamento (P.A.), que é composta de a -dígitos binários.

A transmissão de dados através de um canal está sujeita a uma taxa de erro que afetará o trem de dados, provocando mutilações das informações contidas em cada um dos dígitos. Na verdade, o erro causado em um único dígito de uma palavra binária implicará na destruição da mesma, não podendo mais ser reconhecida. Como erros desse tipo afetam inclusive a palavra de alinhamento (que chamaremos, eventualmente, de padrão), basta que um dos a dígitos do padrão seja atingida por um erro, para não ser mais reconhecido.

Para que os erros gerados na transmissão de dados não causem constantes perdas de sincronismo do sinal binário com o terminal de recepção, um mecanismo de busca de sincronismo de quadro é estabelecido. Isto é estabelecido através de uma estratégia de busca de sincronismo, que realiza uma série de testes suficientes para que um desalinhamento causado pela taxa de erro (P_e) seja minimizado, ou então, no caso do sistema estar desalinhado, estabelecer o sincronismo o mais rápido possível (e minimizando as possibilidades de falso alinhamento).

Neste trabalho, será considerado o diagrama de busca estabelecido pelo CCITT, através da recomendação G742 [R6].

É objetivo deste capítulo realizar o cálculo do tempo de permanência em sincronismo (t_p) e do tempo de recuperação desincronismo (t_r) que serão definidos mais adiante.

Inicialmente, é feita a descrição do problema (seção IV.1) definindo todos os parâmetros do processo e as hipóteses estabelecidas, e formulados os problemas a serem analisados. É feita ainda uma introdução ao método de Sittler [R12] para a análise de Processos Discretos de Markov, pois o processo de busca de sincronismo dos sistemas MCP de hierarquia superior apresenta muitos pontos semelhantes com os chamados processos de Markov [R13]. A seguir, é realizado, aplicando as técnicas desenvolvidas, o cálculo do tempo de permanência em sincronismo (seção IV.3) e do tempo de recuperação de sincronismo (seção IV.4). No cálculo do tempo de recuperação, devido às características particulares no processo, foram empregados métodos computacionais usando expressões recorrentes, uma vez que o método de Sittler não é aplicável de maneira simples neste caso.

IV.2 - DESCRIÇÃO DO MECANISMO DE BUSCA DE SINCRONISMO

De acordo com o CCITT, o mecanismo de busca é definido como se segue:

- a) com o sincronismo perdido, o sistema recupera o sincronismo, após buscar a palavra de alinhamento (P.A.) com sucesso, em três posições sucessivas, espaçadas uma da outra por um comprimento de quadro, sendo, as duas últimas, na posição esperada com base na detecção da primeira P.A.
- b) com o sincronismo correto, o sistema perde o sincronismo, após falhar a busca da palavra de alinhamento.

to em quatro quadros sucessivos, na posição esperada.

Esse mecanismo de busca pode ser representado através de um fluxograma, conforme a Fig. IV.2.1, que é uma repetição da Fig. III.2.2, para simplicidade de consulta.

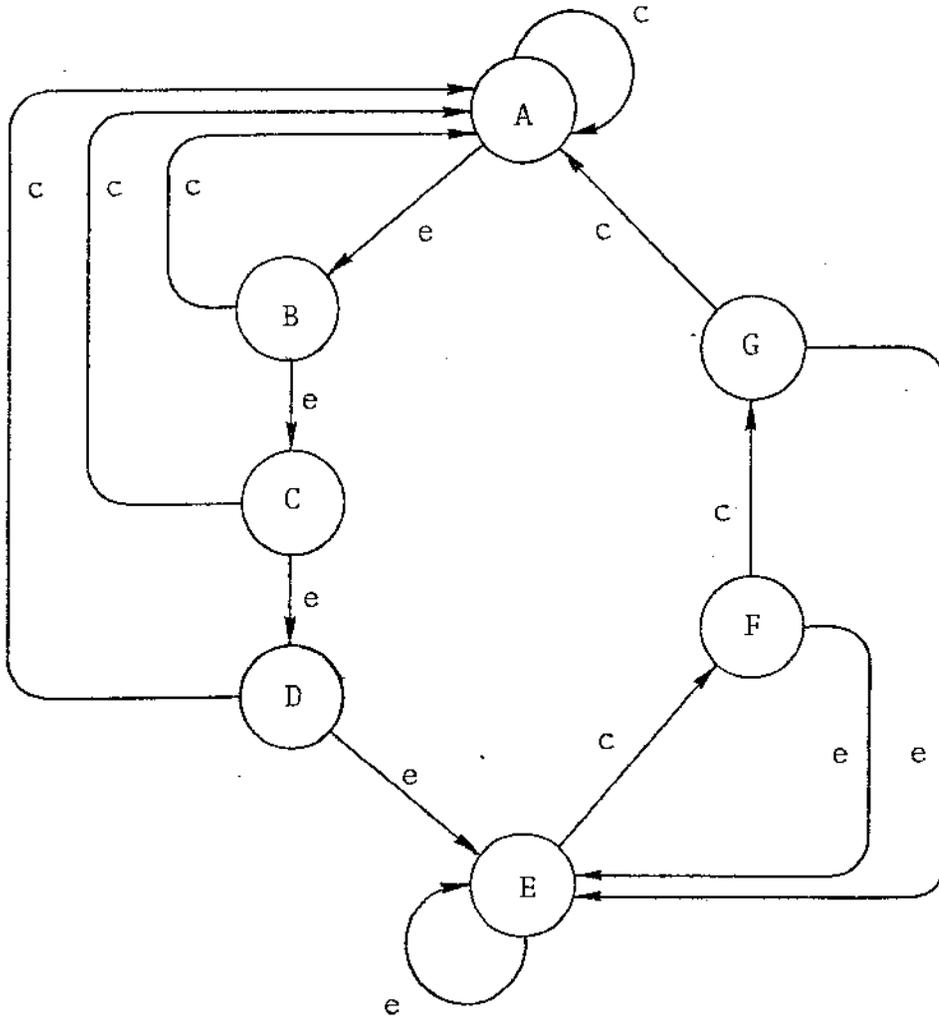


Fig. IV.2.1 - Fluxograma de busca de sincronismo

No fluxograma são indicados, por letras maiúsculas (A, B, C, D, E, F, G), os diversos estados de busca, ou seja, a situação em que se encontra o sistema a cada ocorrência ou não da P.A., e, por letras minúsculas (c, e), as condições das transições entre os diversos estados. Assim, "c" indica que a P.A. foi corretamente detetada na posição prevista e "e" indica que a P.A. não foi detetada na posição prevista.

Cada um dos estados de busca tem um significado, que são:

A = em sincronismo.

B,C,D = pré-alarme, ou seja, estados confirmatórios de prevenção para a análise de falso desalinhamento devido à não deteção da P.A. pela falha de transmissão.

E = sincronismo perdido.

F,G = pré-sincronismo, ou seja, estados confirmatórios de prevenção para a análise de falso alinhamento devido à deteção de imitações da P.A. na primeira deteção da transição do estado E para F.

A busca da P.A. é feita sempre numa posição determinada do quadro, exceto na transição entre os estados E-E e E-F, onde a busca da P.A. é realizada dígito a dígito. Nesses casos, o processo é denominado busca livre. A busca livre é realizada até que seja detetada a primeira palavra padrão. Nestas condições, o processo de busca livre é interrompido, e uma vez suposta correta a palavra detetada, as buscas seguintes realizam-se numa determinada região, espaçadas por um quadro. Se o sistema atinge o estado F ou G, e a palavra não é detetada, então o estado E é novamente atingido. A busca livre é então reiniciada.

Para a análise do mecanismo de busca, são consideradas as seguintes hipóteses:

H-1) taxa de erro de transmissão (P_e);

- H-2) $P(1) = P(0)$, com a condição $s + a \ll Nq$, onde a = número de dígitos da P.A., s = número de dígitos para controle de justificação e Nq = número de dígitos de um quadro;
- H-3) a P.A. não está protegida contra imitações, um fato que será relevante na transição do estado E para o estado F;
- H-4) o erro em pelo menos um dígito provoca a não detecção da P.A.;
- H-5) na análise da retenção do sincronismo, só será considerada a perda de sincronismo devido à taxa de erro de transmissão;
- H-6) erros de transmissão do tipo burst, ruído de chaveamento, etc, não são levados em consideração na análise mencionada acima;
- H-7) na recuperação de sincronismo é suposto que na transição do estado E para o estado F, a busca da P.A. é livre, i.e., dígito a dígito.

O mecanismo de busca de sincronismo pode ser subdividido em duas fases bem distintas:

- FASE I) com o sistema em sincronismo
 (estado A) perder o sincronismo
 (estado E)
- FASE II) com o sistema fora de sincronismo
 (estado E) recuperar o sincronismo
 (estado A)

Isto pode ser visto na Fig. IV.2.2, a seguir.

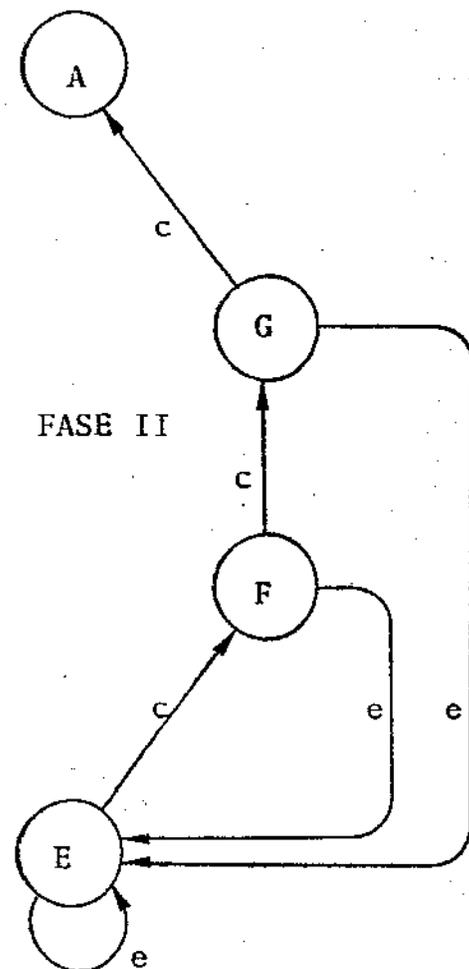
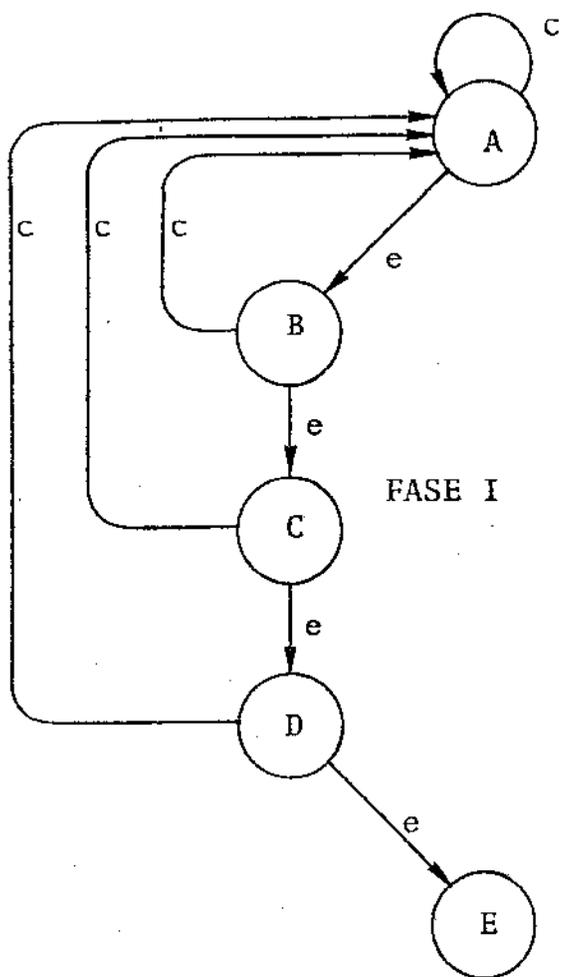


Fig. IV.2.2 - Fases de busca de sincronismo

Na Fase I, é calculado o tempo de permanência em sin cronismo (t_p), que definimos como o tempo que o sistema permanece entre os estados "A" e "E".

Na Fase II, é calculado o tempo de recuperação de sin cronismo (t_r), que definimos como o tempo que o sistema permanece entre os estados "E" e "A".

As duas definições de tempos acima, são baseadas nas recomendações da CCITT, conforme o relatório G742.

Para a análise do mecanismo de busca de sincronismo, é associada a cada uma das transições, uma probabilidade que descreve o evento. De acordo com o que se discutiu anteriormente, cada um dos estados com as respectivas transições associadas, mostraram que, se o sistema estivesse em um estado qualquer, o próximo estado a ser atingido dependeria da probabilidade de detetar a P.A. na posição esperada, a menos da transição do estado "E" para "F" e do estado "E" para "E", quando foi estabelecida a busca livre. Considerando-se p a probabilidade de não detetar a P.A. na posição de terminada, e q a probabilidade de ser detetada a P.A. na posição correta, nos fluxogramas de busca de sincronismo das Figs. IV.2.1 e IV.2.2, foram assumidos $c=q$ e $e=p$ como as probabilidades de transições entre os diversos estados. Com isso, é descrito o mecanismo da busca de sincronismo. Poderemos assim, resolver o problema acima estatisticamente (culminando com a obtenção dos resultados).

O mecanismo de busca de sincronismo descrito para sistemas MCP de hierarquia superior é tratável como processo de Markov de primeira ordem, com exceção do estado E, em que a busca é livre.

Por essa razão, faremos a seguir uma breve introdução a esse processo para utilizarmos em nossa análise.

Método de Sittler para a Análise de Processos Discretos de Markov:

Os processos de Markov são processos aleatórios e se caracterizam tipicamente por um número finito de estados e sua característica essencial está no fato de que a transição de um estado qualquer para outro será associada a uma probabilidade que depende tão somente dos dois estados envolvidos, ou seja, processos de 1ª ordem, e não de como o sistema chegou ao estado em que está (ou seja, do histórico do sistema).

Para a análise de processos markovianos discretos, R.W. Sittler introduziu um método {R12}, o qual será usado a seguir,

para obter alguns parâmetros de desempenho do algoritmo (ou fluxograma) adotado para a busca de sincronismo.

Vamos considerar, a título de ilustração, um processo com apenas dois estados, "1" e "2", com probabilidades de transição p_{ij} de ir do estado i para o estado j em cada passo. Sendo $p_{12} = p_{21} = p$ e $p_{11} = p_{22} = q = 1-p$, o processo poderá ser representado pelo fluxograma mostrado na Fig. IV.2.3.

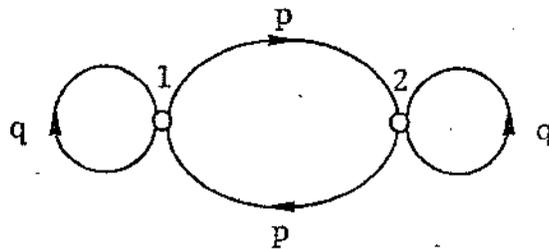


Fig. IV.2.3 - Fluxograma de um processo markoviano qualquer

Sendo $p_i(n)$ a probabilidade do sistema estar no estado i no n -ésimo passo, teremos:

$$p_1(n+1) = q p_1(n) + p p_2(n)$$

IV.2.1a

$$p_2(n+1) = p p_1(n) + q p_2(n)$$

ou na forma matricial:

$$\begin{bmatrix} p_1(n+1) \\ p_2(n+1) \end{bmatrix} = \begin{bmatrix} p_{11} & p_{12} \\ p_{21} & p_{22} \end{bmatrix} \begin{bmatrix} p_1(n) \\ p_2(n) \end{bmatrix}$$

IV.2.1b

Consideremos agora um sistema determinístico linear amostrado (Fig. IV.2.4) com a seguinte configuração claramente inspirada no sistema probabilístico considerado acima (Fig. IV.2.3).

Escrevendo as equações dos nós do sistema, em termos da variável $z = e^{sT}$, temos, para os sinais $x_1(t)$ e $x_2(t)$:

$$x_1(z) = q z x_1(z) + p z x_2(z)$$

IV.2.2a

$$x_2(z) = p z x_1(z) + q z x_2(z)$$

ou no domínio do tempo:

$$x_1(t+T) = q x_1(t) + p x_2(t)$$

IV.2.2b

$$x_2(t+T) = p x_1(t) + q x_2(t)$$

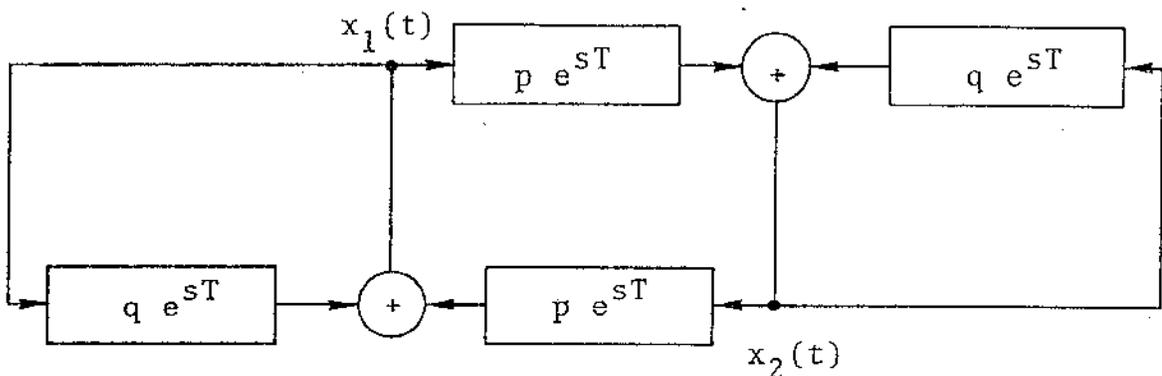


Fig. IV.2.4 - Sistema determinístico linear amostrado

A analogia existente entre as equações IV.2.1 e IV.2.2 indica que os dois sistemas considerados têm essencialmente a mesma dinâmica, diferindo apenas na natureza das variáveis consideradas. Assim sendo, é possível analisar o comportamento do sistema probabilístico com as mesmas técnicas de análise de sistemas lineares amostrados; particularmente, com a análise no domínio da frequência ou, mais convenientemente, no domínio da variável z . É nisso que se baseia o método de Sittler.

A fim de melhor explorar a analogia mencionada, representamos abaixo (Fig. IV.2.5) o fluxograma do sistema linear considerado.

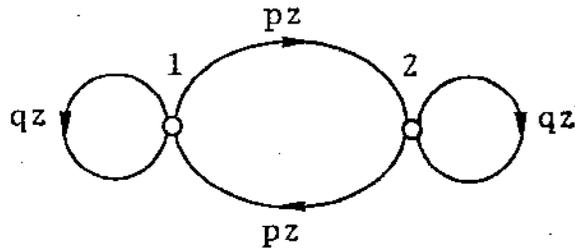


Fig. IV.2.5 - Fluxograma do sistema linear considerado na Fig. IV.2.4

Suponhamos que o nó "1" deste sistema receba uma excitação impulsiva na origem (no domínio da frequência, excitação unitária). Nos instantes T , $2T$, $3T$, etc, aparecerão impulsos nos nós "1" e "2", de forma que o sinal em cada nó terá como transformada um polinômio em z . Se quisermos obter o polinômio $P_1(z)$, transformada da resposta do sistema no nó "1", deveremos reduzir o fluxograma considerado abaixo (Fig. IV.2.6).

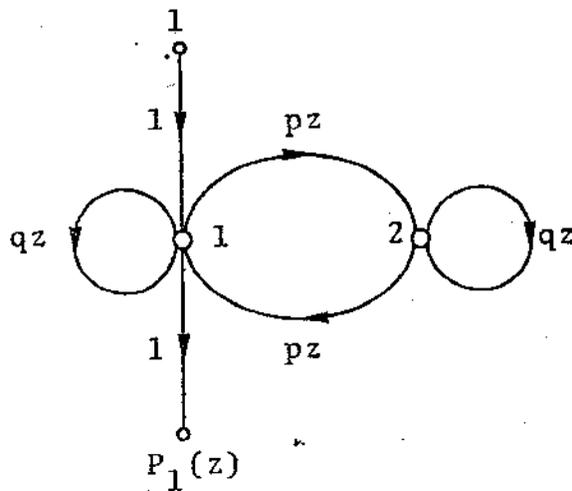


Fig. IV.2.6 - Fluxograma de simulação para obter a resposta desejada no nó "1".

Portanto,

$$P_1(z) = \frac{1}{1 - \left[qz + \frac{p^2 z^2}{1-qz} \right]} = \frac{1 - qz}{1 - 2qz - (p-q) z^2} \quad \text{IV.2.3}$$

pois, $p^2 - q^2 = p - q.$

Fatorando

$$P_1(z) = \frac{1/2}{1 + (1-2q)z} + \frac{1/2}{1 - z}$$

ou

$$P_1(z) = \frac{1}{2} \left[1 - (1-2q)z + (1-2q)^2 z^2 - \dots + (-1)^n (1-2q)^n z^n + \dots \right. \\ \left. + \frac{1}{2} \left[1 + z + z^2 + \dots + z^n + \dots \right] \right] \quad \text{IV.2.4}$$

Naturalmente, o polinômio $P_1(z)$ pode ser colocado na forma

$$P_1(z) = \sum_{n=0}^{\infty} p_1(n) z^n$$

através da expansão em série de Taylor em torno da origem; os coeficientes $p_1(n)$ podem ser obtidos por derivações sucessivas, por divisão polinomial, ou por fatoração, conforme mostrado acima. No sistema linear amostrado, o coeficiente $p_1(n)$ representa a área do impulso situado em $t = nT$ no sinal presente no nó "1" quando o sistema é excitado neste nó por um impulso unitário em $t = 0$. Analogamente, no processo markoviano correspondente, $p_1(n)$ é a probabilidade do sistema estar no estado "1" no n -ésimo passo, dado que ele iniciou no estado "1". Pela expressão acima, teremos

$$p_1(n) = \frac{1}{2} \left[1 + (-1)^n (1-2q)^n \right]$$

Fazendo-se $q = 0$ ou $q = 1$, é fácil ver que se obtém o comportamento esperado. Além disso, nota-se que, qualquer que seja o valor de q ($0 < q < 1$), $p_1(n)$ tende a $1/2$ quando n tende a infinito, o que também é de se esperar, em vista da simetria do processo.

Tem-se ainda que diretamente da função $P_1(z)$, podem ser obtidas duas informações adicionais: a probabilidade do processo ter um final fazendo-se $z = 1$, então $P_1(1) = 1$, e o comprimento médio do processo que se obtém derivando-se a $P_1(z)$ em função de z , e fazendo-se $z = 1$.

$$\bar{n} = \sum_{n=0}^{\infty} n p_1(n) = \left. \frac{d P_1(z)}{dz} \right|_{z=1}$$

Como pode ser visto, isto simplifica bastante os cálculos, pois quando se deseja obter apenas a duração média do processo em análise, basta aplicar a derivada à expressão da probabilidade obtida ($P_1(z)$) quando esta é disponível. Obviamente, nem sempre isso é possível sem trabalhos bastante complexos.

Como nem sempre o método de obtenção da $P_1(z)$ por redução do fluxograma é simples em muitos casos práticos, teremos portanto que utilizar outro método para obtenção dessas probabilidades. Este método é o matricial {R13}, que também tem suas limitações quanto às aplicações, mas seguramente é um método mais simples em processos onde existem realimentações de ordem superior. Maiores detalhes são fornecidos nas referências citadas.

IV.3 - TEMPO DE PERMANÊNCIA EM SINCRONISMO

Vamos considerar o diagrama de tempo da Fig. IV.2.2 - FASE I, para calcular o tempo de permanência em sincronismo.

O que se faz aqui é considerar o sistema inicialmente

no estado A com o sincronismo correto e que devido à existência de erros de linha ocorrendo a uma taxa Pe , o sistema ocasionalmente passará a um ou mais dos estados de pré-alarme e/ou de alarme (estado E). A pergunta é: quanto tempo em média o sistema levará para perder o sincronismo (atingir o estado E), partindo do estado A, sob a ação dos erros de transmissão?

Inicialmente, observamos que, sendo Pe a taxa de erros de dígito, a probabilidade da palavra de alinhamento (P.A.) ser detetada erradamente será:

$$p = 1 - (1 - Pe)^a$$

onde a é o comprimento da palavra de alinhamento. Obviamente,

$$q = 1 - p = (1 - Pe)^a$$

é a probabilidade de ser detetada corretamente a P.A.

A probabilidade mencionada acima é a mesma entre os estados A, B, C e D, e independe do histórico do sistema, podendo-se então aplicar o método de Sittler ao problema descrito.

Considerando o estado E como terminal e o estado A como inicial, de acordo com o diagrama de busca Fase I (Fig. IV.2.2), o fluxograma do sistema ficará como ilustrado na Fig. IV.3.1.

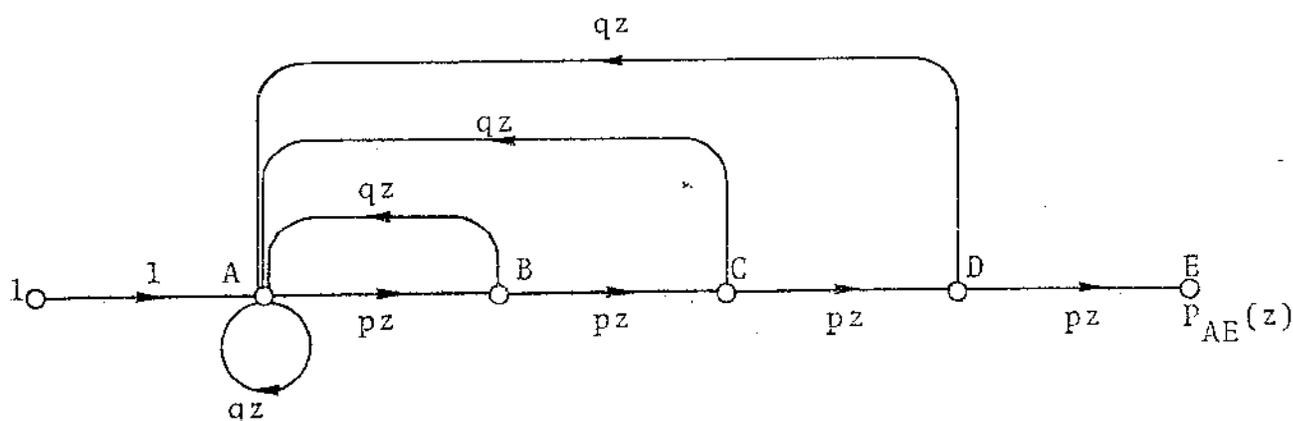


Fig. IV.3.1 - Fluxograma da Fase I de busca de sincronismo

A variável z , como foi dito na análise do processo de Markov, representa o atraso de um quadro. Como o estado E é terminal, o coeficiente $p(n)$ na expansão de Taylor

$$P_{AE}(z) = \sum_{n=0}^{\infty} p(n) z^n$$

representa a probabilidade de o sistema passar de A a E em exatamente n quadros. O número médio de quadros necessários para completar esta transição será então

$$\bar{n}_{AE} = \sum_{n=0}^{\infty} n p(n) = P'_{AE}(1) \quad \text{IV.3.1}$$

como foi visto na introdução ao método de Sittler.

Para isso, a função de transferência $P_{AE}(z)$ entre os nós A e E do fluxograma considerado (Fig. IV.3.1) foi obtido por eliminação sucessiva de nós:

$$P_{AE}(z) = \frac{p^4 z^4}{1 - qz - pqz^2 - p^2 qz^3 - p^3 qz^4} \triangleq \frac{N(z)}{D(z)} \quad \text{IV.3.2}$$

Temos que

$$N(1) = p^4$$

$$D(1) = 1 - q - pq - p^2 q - p^3 q = p^4 \equiv N(1)$$

Logo,

$$P_{AE}(1) = \frac{N(1)}{D(1)} = 1 \equiv \sum_{n=0}^{\infty} p(n) \quad \text{IV.3.3}$$

Isto significa que a passagem de A para E é um evento certo, i.e., mais cedo ou mais tarde o sistema fatalmente perderá o sincronismo se $p > 0$ ($0 < p < 1$).

Temos ainda:

$$N'(z) = 4p^4 z^3 \Rightarrow N'(1) = 4p^4$$

$$D'(z) = -q - 2pqz - 3p^2 qz^2 - 4p^3 qz^3 \Rightarrow$$

$$\Rightarrow D'(1) = -q(1 + 2p + 3p^2 + 4p^3)$$

A derivada de $P_{AE}(z)$ é dada por

$$P'_{AE}(z) = \frac{N'(z) D(z) - N(z) D'(z)}{D^2(z)}$$

e para se obter \bar{n}_{AE} tem-se

$$\bar{n}_{AE} = P'_{AE}(1) = 4 + \frac{1 + p + p^2 + p^3 - 4p^4}{p^4} \quad \text{IV.3.4}$$

Variância e desvio padrão de n_{AE}

Vamos determinar também a variância do processo de permanência em sincronismo, i.e., a variância de n_{AE} .

A variância pode ser obtida também através da $P_{AE}(z)$, através da equação IV.3.5

$$\sigma_{n_{AE}}^2 = P'_{AE}(1) + P''_{AE}(1) - [P'_{AE}(1)]^2 \quad \text{IV.3.5}$$

De acordo com os cálculos anteriores tem-se que

$$P'_{AE}(z) = \frac{4p^4 z^3 - 3p^4 qz^4 - 2p^5 qz^5 - p^6 qz^6}{(1 - qz - pqz^2 - p^2 qz^3 - p^3 qz^4)^2} = \frac{N_1(z)}{D_1(z)} \quad \text{IV.3.6}$$

Tem-se por outro lado que

$$P''_{AE}(z) = \frac{N'_1(z) D_1(z) - N_1(z) D'_1(z)}{D_1(z)^2}$$

$$N_1(1) = p^4(1 + p + p^2 + p^3)$$

$$D_1(1) = p^8$$

$$N'_1(z) = 12p^4z^2 - 12p^4qz^3 - 10p^5qz^4 - 6p^6qz^5 \Rightarrow$$

$$\Rightarrow N'_1(1) = 2p^5(1 + 2p + 3p^2)$$

$$D'_1(z) = 2(1 - qz - pqz^2 - p^2qz^3 - p^3qz^4) \cdot$$

$$\cdot (-q - 2pqz - 3p^2qz^2 - 4p^3qz^3) \Rightarrow$$

$$\Rightarrow D'_1(1) = -2p^4q(1 + 2p + 3p^2 + 4p^3)$$

Logo,

$$P''_{AE}(1) = \frac{2p^5(1+2p+3p^2)+2q(1+p+p^2+p^3)(1+2p+3p^2+4p^3)}{p^8}$$

IV.3.7

Finalmente, substituindo-se os valores $P'_{AE}(1)$ e $P''_{AE}(1)$ na equação IV.3.5. obtêm-se a variância:

$$\sigma_{nAE}^2 = \frac{1+p+p^2+p^3}{p^4} + \frac{2p^5(1+2p+3p^2)+2q(1+p+p^2+p^3)(1+2p+3p^2+4p^3)}{p^8} - \left[\frac{1+p+p^2+p^3}{p^4} \right]^2$$

IV.3.8

O tempo de permanência em sincronismo é dada por:

$$\bar{t}_p = \frac{N_q}{F} \cdot \bar{n}_{AE} \quad (\text{segundos}) \quad \text{IV.3.9}$$

e o desvio padrão do tempo de permanência em sincronismo por:

$$\sigma_{tp} = \frac{N_q}{F} \cdot \sigma_{n_{AE}} \quad (\text{segundos}) \quad \text{IV.3.10}$$

É importante notarmos que as expressões de \bar{t}_p e σ_{tp} dependem de dois parâmetros: a = tamanho da palavra de alinhamento e P_e = a taxa de erro de transmissão. São calculados assim diversos valores dos \bar{t}_p e σ_{tp} , variando-se esses dois parâmetros. Os resultados são mostrados na Fig. IV.3.2 e na Tabela IV.3.1.

Esses resultados mostram que para $a = 10$ e taxas de erro menores que 10^{-4} ou maiores que 1 erro em 10^4 , o tempo de permanência em sincronismo é maior que 3,1 anos crescendo exponencialmente. Isto significa que, para as taxas de erro em operação normal do sistema, as perdas de sincronismo ocorrem raramente. Será visto em outro trabalho sobre sistemas de alarme que, entre taxas de erro de 10^{-4} e 10^{-3} deverá ser acionado o alarme de alta taxa de erro (HER). Nessa região, como podemos ver, a perda de sincronismo varia entre períodos médios de algumas horas até da ordem de três anos.

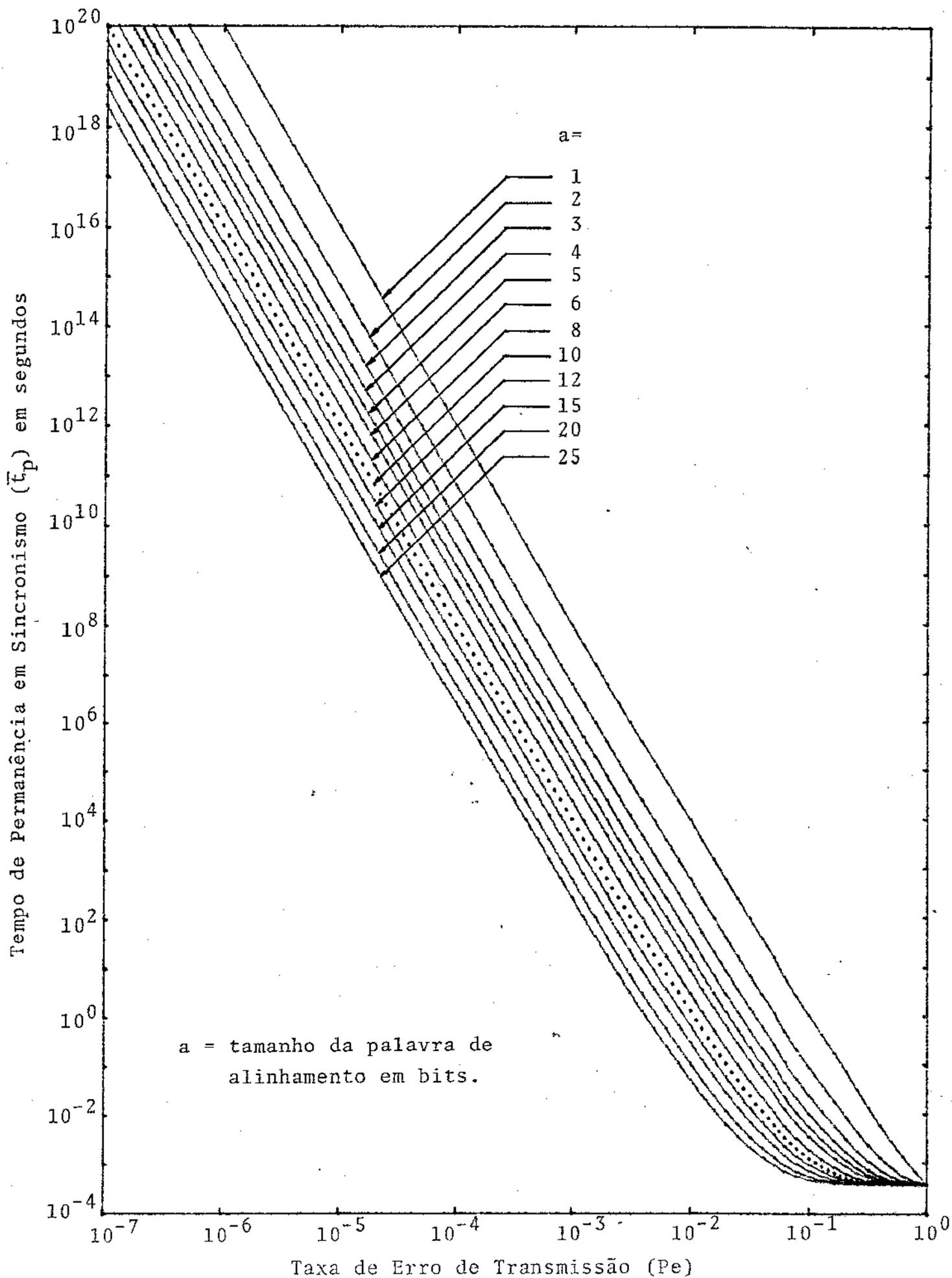


Fig. IV.3.2 - Tempo de Permanência em Sincronismo em Sistemas MCP-120.

P_e	\bar{n}_p (quadros)	\bar{t}_p (seg.)	observação
10^{-7}	10^{24}	10^{20}	10^{12} anos
10^{-6}	10^{20}	10^{16}	10^8 anos
10^{-5}	10^{16}	10^{12}	10^4 anos
10^{-4}	10^{12}	10^8	3,1 anos
10^{-3}	10^8	10^4	2,7 horas
10^{-2}	10^4	1,3	1,3 seg.
10^{-1}	13	$1,3 \cdot 10^{-3}$	1,3 mseg.
1	4	$0,4 \cdot 10^{-3}$	0,4 mseg.

Tabela IV.3.1 - Tempo de Permanência em Sincronismo em Sistemas MCP-120 para palavra de alinhamento com tamanho $a = 10$.

IV.4 - TEMPO DE RECUPERAÇÃO DE SINCRONISMO

Consideremos agora a Fase II de busca de sincronismo da Fig. IV.2.2 para o cálculo do tempo de recuperação t_r .

Nesta fase de busca, embora estejamos interessados na transição do estado E até A, o ponto crítico, entretanto, é a transição do Estado E para F. Esta transição é estabelecida através de uma busca livre, exaustiva, de todos os dígitos recebidos, até que seja detetada a palavra de alinhamento verdadeira ou a sua imitação. Este fato leva o sistema a adquirir um sincronismo verdadeiro ou um sincronismo falso. Os passos de busca após a detecção da 1ª palavra (verdadeira ou imitação) é realizada por pulos de quadro baseado naquela palavra. Como o sistema realiza uma marcação do quadro baseado na primeira palavra detetada, os passos seguintes podem apresentar quadros falsos ou verdadeiros conforme a palavra padrão detetada seja falsa ou verdadeira.

Isso nos sugere um diagrama de busca de sincronismo com estados verdadeiros e com estados falsos (Fig. IV.4.1).

No diagrama da Fig. IV.4.1, adotaremos algumas hipóteses para simplificar a nossa análise. Podemos observar que a auto-malha no estado E foi complementada com o diagrama "fantasma" de busca pelos estados falsos que são gerados pelas imitações. Obviamente, a eventualidade de o sistema percorrer completamente a malha "fantasma" é altamente improvável.

Antes de citarmos as hipóteses, vamos definir alguns parâmetros que aparecem no diagrama. A probabilidade q' de transição EF é a probabilidade de se encontrar a verdadeira palavra de alinhamento na busca livre. Chamaremos de p'_f a probabilidade de não detetar uma imitação na busca livre e $q'_f = 1 - p'_f$, e por q_f a probabilidade de detetar uma imitação em uma determinada posição do quadro que é dada por $q_f = (1/2)^a$ e $p_f = 1 - q_f$.

As hipóteses consideradas são:

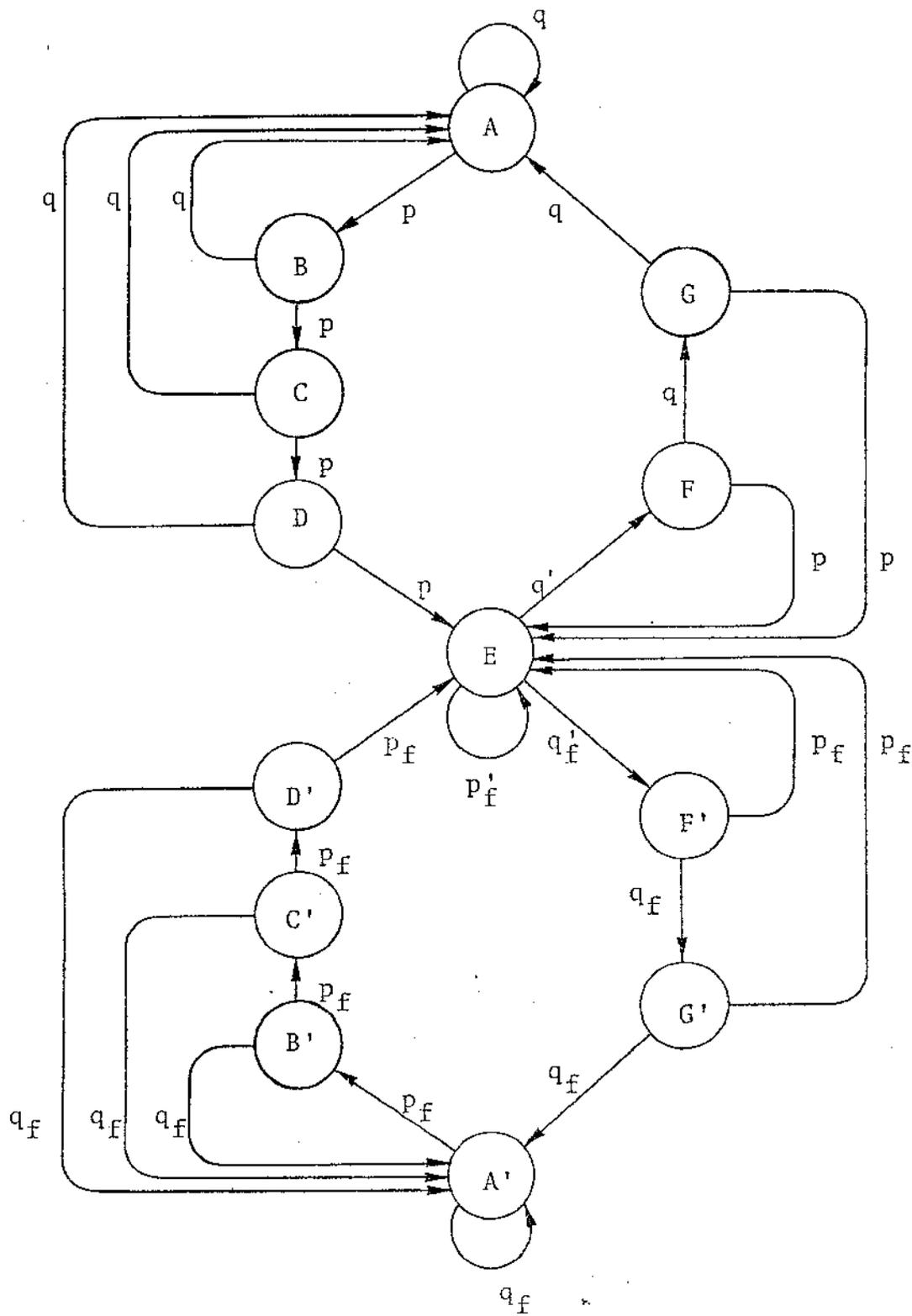


Fig. IV.4.1 - Diagrama de Busca de Sincronismo completo com estados verdadeiros e falsos.

- h.1) a busca livre começa sempre no início do quadro imediatamente após atingir o estado E. Mais precisamente, a análise dígito a dígito é realizada a partir do 11º dígito do quadro, hipoteticamente correto em relação ao último quadro antes da perda de sincronismo.
- h.2) na busca livre entre o estado E e F' será considerado que o número total de dígitos examinados corresponderá à quantidade total de dígitos existentes em um quadro. Esta consideração é o de pior caso, pois o que se está admitindo é que, se no processo de recuperação são adquiridos falsos sincronismos devido às imitações, a busca livre será restabelecida, tantas vezes quantas forem os falsos sincronismos. Com isso, a soma de todos os segmentos da busca livre até que seja atingido o sincronismo correto, sempre admitindo-se a h.1, é igual ao número de dígitos de um quadro.
- h.3) a transição do estado E para o estado F, cuja probabilidade é q' , é considerada como instantânea, assim que a palavra verdadeira é detetada.
- h.4) se a detecção de uma imitação ocorre, então os estados falsos são obtidos gerando o diagrama "fantasma".
- h.5) o atraso causado na recuperação do estado F (de pré-sincronismo verdadeiro) é obtido da análise do diagrama "fantasma". Com isso, concentramos o estudo do tempo de recuperação, artificialmente, fora do diagrama de busca original.

Utilizando-se das hipóteses acima, iniciaremos a nossa análise, calculando a probabilidade de ocorrência de n pulos de quadro, quando da transição do estado F' para o estado E. Do diagrama da Fig. IV.4.1 extraímos a parte do diagrama "fantasma", da qual obtemos o fluxograma da Fig. IV.4.2.

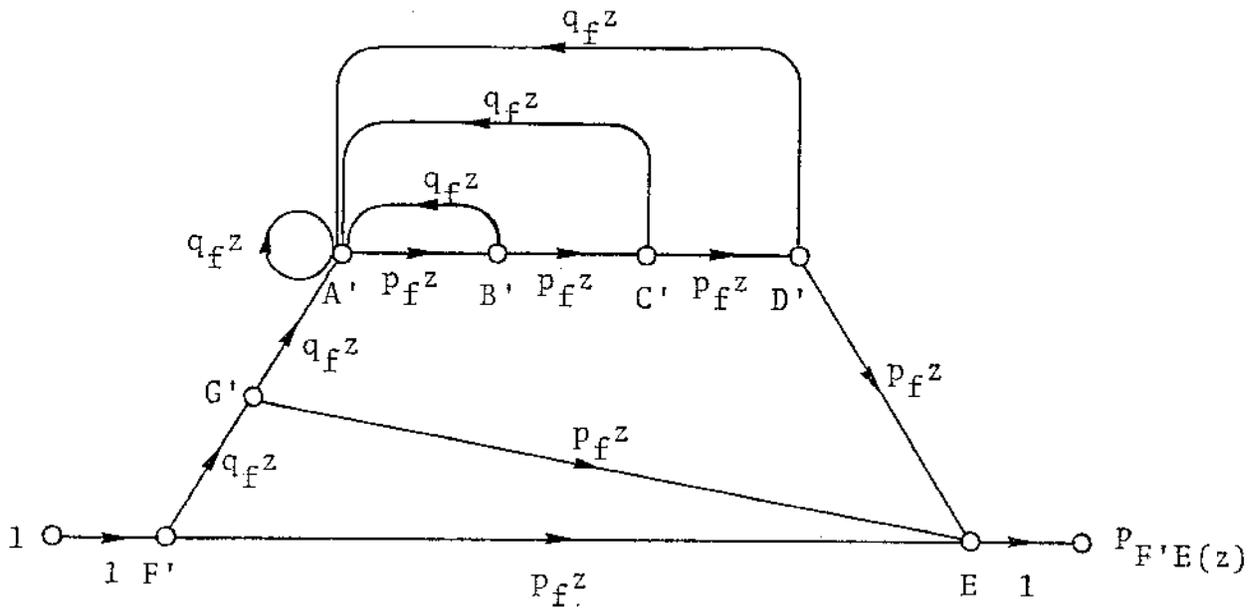


Fig. IV.4.2 - Fluxograma para obter a probabilidade de transição de F' para E.

Aplicando o método de Sittler, e por redução sucessiva dos nós, tem-se que:

$$P_{F'E}(z) = p_f z + p_f q_f z^2 + p_f^4 q_f^2 z^6 \frac{1 - p_f z}{1 - z + p_f^4 q_f z^5} \quad \text{IV.4.1}$$

Observe na expressão IV.4.1 que, se $z = 1$, a $P_{F'E}(1) = 1$, o que implica que mais cedo ou mais tarde, o estado E será atingido, a partir do estado falso F'. Fazendo, agora, a divisão sucessiva do último termo dessa expressão, resulta a equação IV.4.2.

$$\begin{aligned}
P_{F'E}(z) = & p_f z + p_f q_f z^2 + p_f^4 q_f^2 z^6 + p_f^4 q_f^3 z^7 + p_f^4 q_f^3 z^8 + \\
& + p_f^4 q_f^3 z^9 + p_f^4 q_f^3 z^{10} + p_f^4 q_f^3 (1 - p_f^4) z^{11} + \\
& + p_f^4 q_f^3 (1 - p_f^4 - p_f^4 q_f) z^{12} + \dots
\end{aligned}
\tag{IV.4.2}$$

A equação IV.4.2 nos mostra que os coeficientes do polinômio $P_{F'E}(z)$ são funções de p_f e q_f , ou seja, elas representam as probabilidades $P_{F'E}(j)$, com $j = 1, 2, \dots, n$ pulos de quadro para realizar a transição do estado F' para E. Assim, essas probabilidades são:

$$\begin{aligned}
P_{F'E}(0) &= 0 \\
P_{F'E}(1) &= p_f \\
P_{F'E}(2) &= p_f q_f \\
P_{F'E}(3) &= 0 \\
P_{F'E}(4) &= 0 \\
P_{F'E}(5) &= 0 \\
P_{F'E}(6) &= p_f^4 q_f^2 \\
P_{F'E}(7) &= p_f^4 q_f^3 \\
&\dots\dots\dots
\end{aligned}
\tag{IV.4.3}$$

Observa-se que a probabilidade de $j > 2$ pulos de quadro é extremamente pequena, pois:

$$\frac{P_{F'E}(2)}{P_{F'E}(6)} = \frac{p_f q_f}{p_f^4 q_f^2} = \frac{1}{p_f^3 q_f} \gg 1
\tag{IV.4.4}$$

Esse fato nos permite analisar o problema da recuperação do sincronismo de maneira mais simples. Assim, o diagrama de busca "fantasma" é simplificado (Fig. IV.4.3).

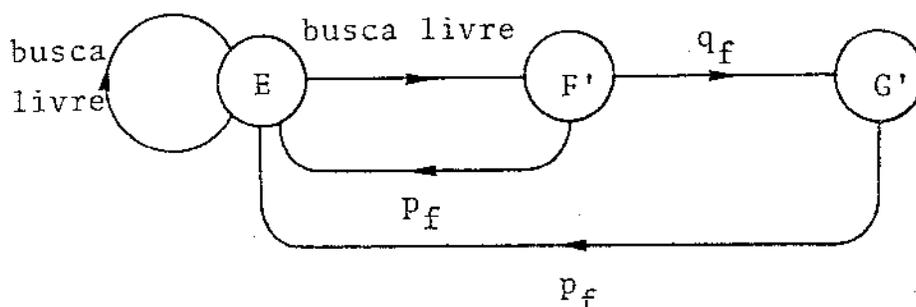


Fig. IV.4.3 - Diagrama de Busca "Fantasma" simplificado de acordo com $P_{F'E}(2)/P_{F'E}(6) \gg 1$.

Consideremos j o número de visitas ao estado F' antes de recuperar o verdadeiro estado F , e $P(j)$ a probabilidade de ocorrer essas j visitas. Queremos obter a probabilidade de ocorrer n pulos de quadro até atingir o estado F verdadeiro. Suporemos que a cada visita ao estado F' , são perdidos ou 1 ou 2 quadros com probabilidades (conforme IV.4.3):

$$P_{F'E}(1) = p_f$$

$$P_{F'E}(2) = p_f q_f = (1 - q_f) q_f \approx q_f, \text{ pois } q_f \ll 1$$

onde q_f é a probabilidade de ocorrência de imitação em uma posição determinada do quadro, e p_f é a probabilidade de não ocorrência dessa imitação. O quadro que nos referimos é obviamente falso, pois foi obtido tomando por base a 1ª palavra imitação detetada.

A probabilidade de perder r quadros (por pulos de quadro) é dada por:

$$\text{Prob}[\text{perder } \underline{r} \text{ quadros}] = \sum_{j=1}^r P(j) \cdot \text{Prob}[\text{perder } \underline{r} \text{ quadros em } \underline{j} \text{ visitas.}]$$

IV.4.5

Suponhamos que, das \underline{j} visitas ao estado F' , \underline{x} visitas resultaram em perdas de 1 quadro e \underline{y} visitas em perdas de 2 quadros. Então, se foram perdidos \underline{r} quadros, teremos que:

$$\begin{cases} x + y = j \\ x + 2y = r \end{cases} \Rightarrow \begin{cases} y = r - j \\ x = 2j - r \end{cases} \quad \text{IV.4.6}$$

Assim, cada combinação de \underline{x} perdas de 1 quadro e \underline{y} perdas de 2 quadros terá a probabilidade $q_f^x p_f^y$. Existem, por outro lado, $\binom{j}{x}$ dessas combinações (ou $\binom{j}{y}$, que é igual a $\binom{j}{x}$), logo

$$\begin{aligned} \text{Prob}[\text{perder } \underline{r} \text{ quadros em } \underline{j} \text{ visitas}] &= \binom{j}{x} p_f^y q_f^x = \binom{j}{y} p_f^y q_f^x = \\ &= \binom{j}{2j-r} p_f^{2j-r} q_f^{r-j} = \\ &= \binom{j}{r-j} p_f^{2j-r} q_f^{r-j}, \quad j \leq r \leq 2j \end{aligned} \quad \text{IV.4.7}$$

Portanto, levando a expressão IV.4.7 na IV.4.5, e denominando a probabilidade de perder \underline{r} quadros por $P_p(r)$, tem-se

$$P_p(r) = \sum_{j=\text{int maior}(r/2)}^r P(j) \binom{j}{r-j} q_f^{r-j} p_f^{2j-r} \quad \text{IV.4.8}$$

Para alguns valores de r são dados, abaixo, as pro
babilidades correspondentes:

$$P_p(0) = P(0)$$

$$P_p(1) = P(1) \binom{1}{1} p_f = P(1) p_f$$

$$P_p(2) = P(1) \binom{1}{1} q_f + P(2) \binom{2}{0} p_f^2$$

$$P_p(3) = P(2) \binom{2}{1} p_f q_f + P(3) \binom{3}{0} p_f^3$$

$$P_p(4) = P(2) \binom{2}{2} q_f^2 + P(3) \binom{3}{1} q_f p_f^2 + P(4) \binom{4}{0} p_f^4$$

.....

Na expressão IV.4.8 falta ainda determinar as proba
bilidades $P(j)$ da ocorrência de j imitações em $(N_q - 2a + 1)$ dí
gitos da busca livre. Esse número origina-se do seguinte fato :
 considerando-se que as perdas de sincronismo ocorrem, unicamente,
 devido à taxa de erro, a falta de sincronismo efetivamente não
 foi gerada por interrupção do sinal MCP. Nessas condições, o nū
mero de dígitos a serem sincronizados, até a próxima palavra ver
dadeira será $N_q - a$. Por outro lado, como a palavra padrão utili
 zada "1111010000" não permite que uma imitação seja gerada nos
 próximos a dígitos consecutivos a P.A. verdadeira, na qual o sis
tema adquiriu a falta de sincronismo. Assim, a imitação só pode
rã ocorrer na 20^a posição do quadro e não na 11^a. Logo, isto re
sulta em $(N_q - 2a + 1)$ dígitos a serem examinados em busca livre.
 Este número é verdadeiro mesmo suposta a hipótese h.2.

Para a obtenção da probabilidade $P(j)$ é preciso cal
cular antes a probabilidade de ocorrência de k visitas ao estado
 F' devido à k imitações em n posições no estado E . Denominamos
 essa probabilidade como $P_n(k)$. Seu valor é uma soma das proba
bilidades de todos os casos nos quais ocorre uma imitação na i-ési
ma posição e $(k - 1)$ imitações nas $(n - 1)$ posições restantes. Is
to pode ser expresso por:

$$\begin{aligned}
P_n(k) &= \sum_{i=1}^{n-k+1} \text{Prob} \left[\begin{array}{l} \text{ocorrer 1 imitação na } i\text{-ésima} \\ \text{posição e depois ocorrerem} \\ (k-1) \text{ imitações nas } (n-1) \text{ po} \\ \text{sições restantes.} \end{array} \right] = \\
&= \sum_{i=1}^{n-k+1} \text{Prob} \left[\begin{array}{l} \text{ocorrer imitação} \\ \text{na } i\text{-ésima posi} \\ \text{ção.} \end{array} \right] \cdot \\
&\quad \cdot \text{Prob} \left[\begin{array}{l} \text{ocorrer } (k-1) \text{ imitações} \\ \text{nas } (n-1) \text{ posições res} \\ \text{tantes.} \end{array} \right] = \\
&= \sum_{i=1}^{n-k+1} p_i P_{n-i}(k-1), \quad n=k, k+1, \dots, N \quad \text{IV.4.9}
\end{aligned}$$

A expressão acima é válida para todo $k \geq 1$, e definimos $P_0(0) = 1$.

Vamos analisar agora o caso em que $k = 0$. $P_n(0)$ significa a probabilidade de não ocorrer imitação nas n -tentativas. A probabilidade de ocorrência de 0 (zero) imitações é dada por:

$$P_n(0) = 1 - \sum_{i=1}^n p_i \quad \text{IV.4.10}$$

Com as expressões IV.4.9 e IV.4.10 podemos obter os valores das probabilidades de k visitas ao estado F' em n tentativas por recorrência. Como o número total de exames é de $N = N_q - 2a + 1$ posições, então para cada k deverá ser gerado um vetor com N elementos $\{P_n(k)\}$ onde $1 \leq n \leq N$. Assim, para cada k serão utilizados os $N-k+2$ elementos do vetor $\{P_n(k-1)\}$ obtido para $k-1$. A probabilidade $P_N(k)$ é a probabilidade desejada $P(k)$.

Resta-nos ainda obter as probabilidades, p_i , de ocorrer a 1ª imitação na i -ésima tentativa. Aqui, novamente devem ser

analisadas exaustivamente os $N = N_q - 2a + 1$ posições do quadro. Chamamos a atenção para o fato que a busca da 1ª imitação é iniciada na 20ª posição do quadro. A partir dessa posição de referência calculamos as probabilidades p_i . A p_i relativa à 20ª posição é considerada como inicial, tendo $i = 1$, logo p_1 é a probabilidade de se encontrar a 1ª imitação na 1ª posição.

Devido à natureza da palavra de sincronismo adotada, podemos dizer que, se ocorreu uma imitação na i -ésima tentativa, é impossível que tenha ocorrido outra nas $(a-1)$ tentativas anteriores. Por outro lado, sua ocorrência na i -ésima tentativa é independente de sua ocorrência na $(i-a)$ -ésima tentativa ou em outras anteriores. Nestas condições, podemos dizer que, para $i \geq a$:

$$\begin{aligned}
 p_i &= \text{Prob}[\text{ocorrer a } 1^{\text{a}} \text{ imitação na } i\text{-ésima tentativa}] = \\
 &= \text{Prob}[\text{ocorrer uma imitação na } i\text{-ésima tentativa}] \cdot \\
 &\quad \cdot \text{Prob}[\text{não ter ocorrido nenhuma imitação até } a \text{ na } (i-a)\text{-ésima tentativa}] = \\
 &= p \cdot \left[1 - \sum_{j=1}^{i-a} p_j \right]
 \end{aligned}$$

Analogamente, teremos:

$$p_{i-1} = p \left[1 - \sum_{j=1}^{i-a-1} p_j \right]$$

Subtraindo as duas expressões acima, obtemos:

$$p_i = p_{i-1} - p \cdot p_{i-a}, \quad i \geq a+1 \quad \text{IV.4.11}$$

Para $1 \leq i \leq a$, podemos dizer que:

$$p_i = \frac{1}{2^a} = p, \quad 1 \leq i \leq a \quad \text{IV.4.12}$$

uma vez que neste caso a probabilidade de não ter ocorrido nenhuma imitação anterior é unitária.

Com as expressões IV.4.11 e IV.4.12 encerramos os cálculos de todos os elementos necessários ao cálculo do tempo de recuperação.

Tempo de Recuperação

Para isso, tem-se que o número médio \bar{n}_r de quadros de busca é dado por:

$$\bar{n}_r = 1 + \sum_{i=0}^M i \cdot P_p(i) \quad \text{IV.4.13}$$

onde a unidade somada à média de i pulos de quadro corresponde às considerações feitas na hipótese h.2.

Para obter o tempo médio de recuperação \bar{t}_r , tem-se:

$$\bar{t}_r = \left[1 + \sum_{i=0}^M i \cdot P_p(i) \right] \frac{N_q}{F} \cdot 10^3 \quad (\text{ms}) \quad \text{IV.4.14}$$

onde M é suficientemente grande, conforme veremos adiante.

Algumas considerações são necessárias ainda, pois as especificações impostas ao nosso projeto exigem que se calcule o tempo de recuperação médio considerando-se 99% de probabilidade de recuperar o sincronismo. Para isso, é preciso somar as probabilidades $P_p(r)$ até que a probabilidade acumulada atinga 0,99:

$$\sum_{j=0}^{R-1} P_p(j) \leq 0,99 \quad \text{ou} \quad \sum_{j=0}^R P_p(j) \geq 0,99$$

Com o valor de R definido pelas desigualdades acima, obtém-se:

$$t_{rM} = (1 + R) \frac{N_q}{F} \cdot 10^3 \quad (\text{ms})$$

IV.4.15

o tempo de recuperação calculado para 99%. Assim teremos que o tempo de recuperação t_r é tal que $t_r < t_{rM}$ em 99% dos casos.

Poderemos agora realizar a verificação se o mecanismo de recuperação de sincronismo é ou não gaussiano.

A seguir, é apresentado o valor de \bar{t}_r e t_{rM} , considerando-se $N_q = 848$, $F = 8,448 \text{ MHz}$ e $a=10$, obtido através do computador, pois o seu cálculo exige um número muito grande de operações numéricas.

O tempo médio de recuperação é $\bar{t}_r = 0,1824 \text{ mseg.}$ e o tempo de recuperação de 99% de captura de sincronismo é de $t_{rM} = 0,4015 \text{ mseg.}$ Estes resultados permitem-nos concluir que para a recuperação de sincronismo, em média, é perdido cerca de 1,8 quadros e esse mesmo evento, para 99% de captura, necessita de, aproximadamente, 4,0 quadros.

Por outro lado, se considerarmos que para ir do estado F para o estado A, quando a verdadeira palavra de alinhamento foi detetada, dois quadros, aproximadamente, será o tempo requerido.

Deve-se notar que o tempo de recuperação do sincronismo, ou seja, o tempo de passagem do estado E ao estado A, não é em quase nada afetado pela taxa de erro na linha, desde que os erros de omissão e inserção se mantenham equiprováveis, pois os eventuais erros não alterarão as probabilidades de ocorrência de imitação na sequência aleatória que compõe cada quadro. Portanto, podemos admitir um tempo de recuperação de sincronismo de
 $(2 \times 100,4 \mu\text{seg} + 0,1824 \text{ mseg}) = 0,3828 \text{ mseg};$ e o tempo máximo de recuperação de 99% é de $(2 \times 100,4 \mu\text{seg} + 0,4015 \text{ mseg}) = 0,6019 \text{ mseg.}$

Variância e desvio padrão do processo

A variância pode ser obtida através da expressão:

$$\sigma_n^2 = \overline{n^2} - \bar{n}^2 = \sum_{i=0}^M i^2 P_p(i) - \left(\sum_{i=0}^M iP_p(i) \right)^2$$

onde M é suficientemente grande para obtermos a probabilidade acumulada próximo da unidade. Fazendo-se os cálculos, obtém-se que $\sigma_n = 0,9046$ quadros. Para que a $t_r \leq t_{rM}$ em 99% dos casos, temos que $t_{rM} \equiv \bar{t}_r + 2,3 \sigma_{tr}$. Isto implica que $n_M \equiv \bar{n} + 2,3 \sigma_n^*$, ou seja, $\sigma_n^* \equiv (n_M - \bar{n})/2,3$, onde n_M é o número de quadros perdidos para 99%. Assim, $\sigma_n^* \equiv (3 - 0,8175)/2,3 \equiv 0,9489 > \sigma_n$. Este fato mostra que o processo não é exatamente gaussiano. Uma análise desse processo pode ser obtida através do gráfico num papel log normal de probabilidade acumulada $P_p(n)$, $n = 0,1,2,\dots,M$. A Fig. IV.4.4 mostra esse gráfico. Como podemos notar, a curva não é linear, e essa é uma indicação de que o processo não é exatamente gaussiano.

Os resultados obtidos por nós podem ser comparados com os resultados apresentados por O.Brugia e M.Děcina {R14}. Nesse trabalho, os autores consideram as seguintes hipóteses:

- a) os dígitos tributários são entrelaçados e enviados em um quadro contendo N dígitos, cada um deles contendo a dígitos da palavra de alinhamento e s dígitos para a justificação de sincronização dos canais tributários; assim, se $s + a \ll N$, então o sinal de dado pode ser suposto contendo "0" e "1" com igual probabilidade.
- b) a palavra de alinhamento é desprotegida contra imitações geradas pelo sinal de dado, logo a probabilidade de imitação $p = (1/2)^a$.
- c) somente ocorrências de erros na transmissão é considerado como causa da perda de sincronismo.
- d) a presença de, pelo menos, um dígito errado, provo

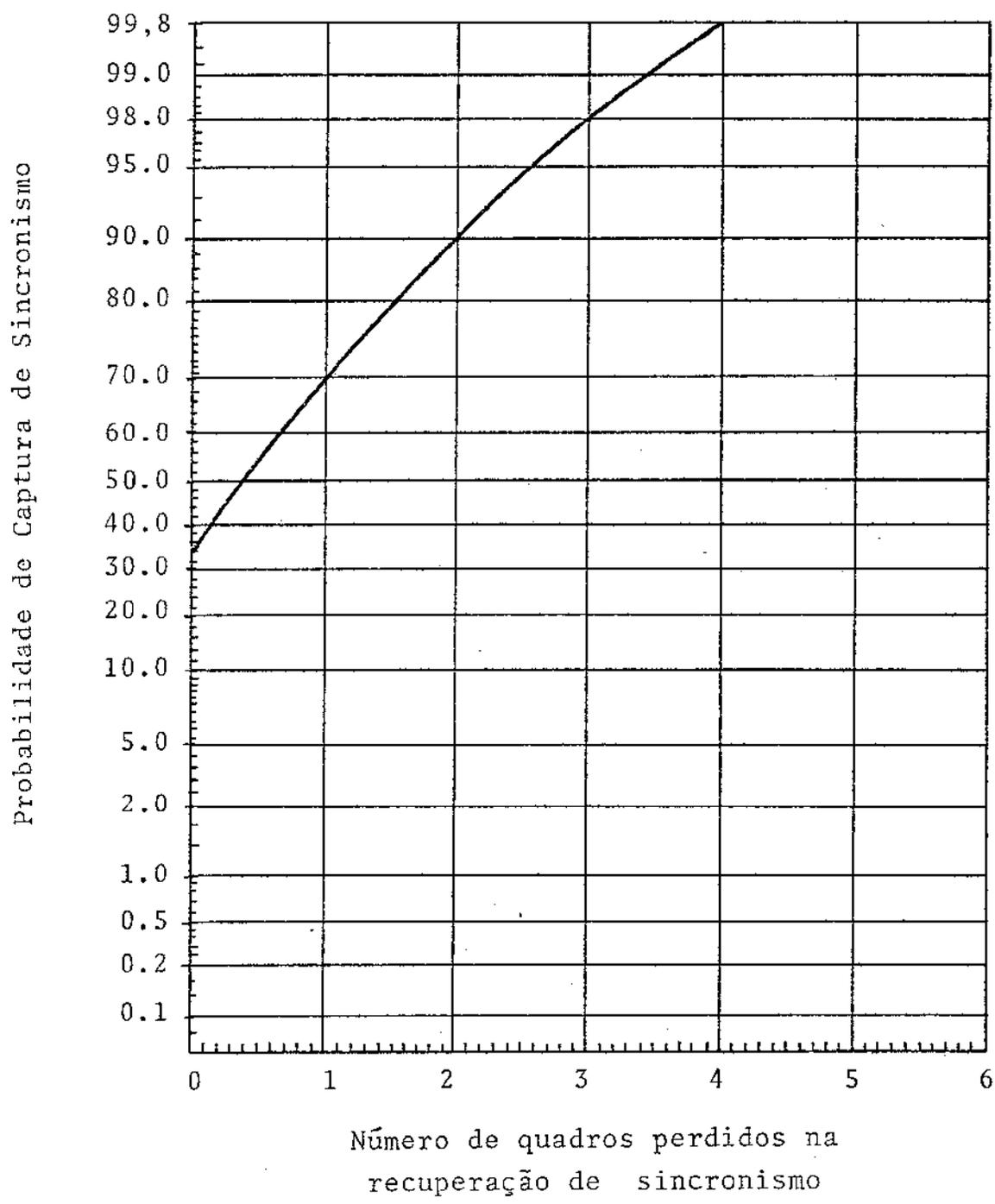


Fig. IV.4.4 - Probabilidade de captura de Sincronismo em Função do Número de Quadros Perdidos na Recuperação de Sincronismo.

ca uma falsa detecção e α detecções falsas provocam a perda de sincronismo.

- e) a estratégia de busca é idêntica à mostrada na Fig. IV.2.1, onde $e = 1-p$, $c = p$, $\alpha = 4$ e $\delta = 3$. δ é o número de reconhecimento correto da palavra de alinhamento para que seja recuperado o sincronismo.
- f) a operação de busca livre é realizada bit a bit, enquanto que as transições de regime para a busca livre e vice-versa implicam em α e $\delta + 1$ pulsos de quadro consecutivos, respectivamente.

Com essas hipóteses, os autores obtiveram que:

$$\bar{t}_r = [1 + \delta + (N-1) \bar{h}] N/F \quad \text{IV.4.16}$$

com $(N-1) \bar{h}$ = valor esperado do número de dígitos examinados durante a busca livre e que vale

$$(N-1)\bar{h} = (N-1) \left[\frac{p(1-p^{\delta-1})}{1-p} + \frac{p^\delta}{(1-p)^2} \right] \quad \text{IV.4.17}$$

$$\sigma_{tr} = N \sqrt{(N-1)} \sigma_h / F \quad \text{IV.4.18}$$

onde

$$\begin{aligned} \sigma_h^2 = & \frac{p[1^{2\delta-1} + p^{\delta-1}(1-2\delta)(1-p)]}{(1-p)^2} + \\ & + \frac{p^{\delta-1}(2-p^{\delta+1})}{(1-p)^{2\alpha}} + \\ & + \frac{p^{\delta-1}\{p(1-p)(2\delta-2\alpha+1) + 2(p^{\delta+1}-1)\}}{(1-p)^{\alpha+1}} \end{aligned}$$

IV.4.19

e o tempo de recuperação de sincronismo t_{rM} , supondo que o processo é gaussiano, com 99,87% de termos $t_r \leq t_{rM}$ é

$$t_{rM} = \bar{t}_r + 3 \sigma_{tr}$$

Com essas expressões, obtém-se que para $a = 10$, $\alpha = 4$, $\delta = 3$, $N = 848$ e $F = 8,448 \cdot 10^6$ Hertz:

$$\bar{t}_r = 0,3842 \text{ mseg}$$

$$t_{rM} = 0,6573 \text{ mseg}$$

Os dois valores são muito próximos do resultado obtido por nós. Mas é importante observar que nas expressões IV.4.17 e IV.4.19, ao considerar que o evento H do número total de pulso de quadro causados por imitações dentro de um ciclo completo de sincronização é uma ocorrência de $N - 1$ variáveis estatisticamente independentes, não corresponde à verdade e, além disso, o processo não é exatamente gaussiano como foi concluído. Mesmo assim, os resultados são muito bons, pois o processo é quase gaussiano.

H.Haberle {R15, R16}, por outro lado, propõe um outro método de calcular o tempo de recuperação, obtendo uma expressão bastante compacta:

$$\bar{t}_r = \left[\frac{\omega \times N_q}{\omega'} + x \right] T \quad \text{IV.4.21}$$

onde

T = período de um quadro (bt)

t = período de um bit

N_q = número de dígitos do quadro

ω = probabilidade de imitação

$\omega' = (1 - \omega)$

x = fração de dígitos em um quadro antes de encontrar a primeira palavra correta

Tem-se que $\omega = 1/2^a$. Logo, $\omega' = 1 - \omega = (2^a - 1)/2^a$.

Logo,

$$\frac{\bar{t}_r}{t} = \left(\frac{N_q}{2^a - 1} + 1 \right) \times N_q \quad \text{IV.4.22}$$

A fórmula IV.4.22 nos dá que

$$\bar{t}_r = 0,1836 \text{ mseg.}$$

Assim, este autor também obtém um valor de \bar{t}_r muito próximo do calculado por nós. Haberle, no entanto, considera que a ocorrência de imitação em cada ponto do quadro independe do resultado das tentativas anteriores. Isto; obviamente, não é verdadeiro, pois o reconhecimento da palavra de alinhamento durante a busca livre depende dos $a - 1$ dígitos anteriores. Assim, a hipótese formulada não é muito correta.

Com isso, podemos afirmar que o método utilizado por nós para o cálculo de \bar{t}_r é mais exato, embora exija um complexo cálculo numérico e, apesar dos outros métodos suporem hipóteses não muito corretas, apresentam resultados razoáveis.

CAPÍTULO V

TESTES DE DESEMPENHO EXPERIMENTAL
E CONCLUSÕES

Neste capítulo apresentamos os resultados obtidos através de um teste de desempenho do circuito DEMUX individual e no conjunto do equipamento Multiplex MCP-120. São também feitas as medidas de consumo de potência.

Este capítulo compõe-se de três partes:

- 1) Testes de desempenho
- 2) Medida do consumo de potência
- 3) Conclusões

que descrevemos a seguir. Todo o teste é realizado no circuito da Fig. III.7.8, que foi implementado, conforme citamos no Capítulo III, na seção III.10.

V.1 - TESTES DE DESEMPENHO

O teste é desenvolvido comparando-se as ondas previstas nos diversos pontos do circuito com as ondas observadas através do osciloscópio, e analisados os pontos críticos lendo-se os tempos de transição.

A análise é feita através de cinco etapas de teste, a saber:

- 1) Sinais de dados binários de entrada e saída
- 2) Ondas do contador
- 3) Ondas de controle do contador
- 4) Ondas de controle da unidade recuperadora de canal
- 5) Ondas do circuito de controle de sincronismo

Para cada uma destas etapas de teste, apresentamos uma série de fotografias obtidas do osciloscópio.

V.1.1 - Sinais de Dados Binários de Entrada e Saída

Nesta etapa de testes é verificado o desempenho do sistema quanto à separação dos canais tributários e à extração dos dígitos de serviço, com o sistema em sincronismo. As fotos que se seguem podem ser comparadas com as ondas das Figs. III.6.1 e III.7.2.

A foto 01 mostra a onda REL 8M e a onda binária MCP 8M, em sua parte superior, onde é indicado por dois círculos o local onde se encontram as palavras de alinhamento que definem o quadro.

As duas ondas inferiores mostram, em forma ampliada, as ondas REL 8M e MCP 8M, na região do início do quadro, onde aparece claramente a palavra padrão "1111010000".

As escalas de tempo que aparecem nas fotos são tais que: a escala superior indica a base de tempo não ampliada, e a escala inferior indica a base de tempo da escala ampliada. Essas escalas são dadas sempre em unidades de tempo por cm (ou por divisão que aparece nas fotos).

O sinal MCP 8M foi observado no primeiro dígito mais externo da memória de entrada.

A foto 02 mostra as ondas do processo de separação dos canais tributários. É indicado nessa foto a posição relativa da onda $ORC(\overline{Q}_2)$ com a onda MCP 8M. A onda ORC tem a sua transição positiva locada aproximadamente no meio da janela de um dígito do quadro. Assim o tempo "set up" é aproximadamente de 59 ns, tempo bem acima do exigido de 20 ns. Portanto, a separação dos canais tributários é feita sem qualquer problema. As duas últimas saídas mostram os canais tributários CN2 e CN4. Os dígitos em nível "1" correspondem aos dígitos da palavra de alinhamento, como pode ser observado na foto.

A foto 03 mostra o processo de extração dos dí

gítos de serviço. Para isso é mostrada a onda tributária CN4 (onde se localiza o dígito H2) e o relógio ORCS. Para a extração de H1 o processo é idêntico ao de H2. O dígito de serviço, como fôï visto no capítulo II e III, está localizado na 3^a janela de tempo do sinal tributário de 2,112 Mbit/s , tomado como referência o primeiro dígito de CN4, obtido do quadro. Assim, a ORCS aparece na 3^a janela do tributário, como pode ser observado na foto. Por outro lado, o bordo de transição positiva de ORCS, que ativa a memória do dígito de serviço, pode ser verificado, assim como os tempos "set up" e "hold", respectivamente de 100 ns e de 360 ns, suficientes para o funcionamento correto.

O última onda indica a saída da memória do dígito de serviço H1.

V.1.2 - Ondas do Contador

Faz-se aqui os testes de desempenho do contador do gerador de quadro, com o sistema em sincronismo. Estas ondas podem ser comparadas com as ondas das Figs. III.6.16 , III.6.18, III.7.1 e III.7.5. A foto 04 mostra as ondas geradas pelo primeiro bloco divisor por quatro, cujas saídas são Q₁ e Q₂. Pode ser verificado que a transição negativa de REL 8M é que está provocando a mudança de estado em Q₁ e Q₂, conforme o previsto.

As fotos 05, 06 e 07 mostram as ondas geradas pelo divisor por 53 do 2º bloco do contador. Pode-se verificar a posição relativa entre as saídas dos divisores com o sinal MCP 8M, e com a onda \bar{Q}_2 , relógio do contador. A sequência do contador está perfeitamente de acordo com o previsto, e em sincronismo com o quadro.

A foto 08 mostra, finalmente, as ondas do último divisor por 4 do contador. Como a onda C2 do divisor por 53 é a onda relógio, este divisor, é mostrada como referên

cia para a sequência do divisor por 4. De acordo com o esperado, o período das ondas Q_{11} e Q_{12} é $\sim 100 \mu s$.

Assim, o contador do gerador de quadro está operando perfeitamente de acordo com o esperado.

V.1.3 - Ondas de Controle do Contador

Esta etapa visa observar se o mecanismo de zeração dos contadores está sendo realizado de acordo com o programado. Para isto, podem ser comparadas as fotos que seguem com a Fig. III.6.18, III.7.1 e III.7.5. A foto 09 mostra o mecanismo de zeração do divisor por 53, quando o sistema está em sincronismo. Vemos que os tempos de "set up" e de "hold" são, respectivamente, de ~ 480 ns e de 20 ns suficientes para o desempenho correto.

A foto 10 mostra o mecanismo de zeração do divisor por 53, em ambos os casos de sincronismo. O pulso "0" que ocorre no final da onda CGMD53 indica que o mecanismo de zeração foi acionado porque o sistema estava fora de sincronismo. Como essa onda foi obtida através da destruição da palavra de alinhamento, na verdade o contador não perde o sincronismo com o quadro. Como a palavra de alinhamento reaparece na posição mostrada na foto, um pulso "0" ocorre. Esse pulso "0" na onda CGMD53 provoca a carga do estado inicial no caso fora de sincronismo, sob o comando da onda \bar{Q}_2 que é o relógio do contador. A posição relativa entre a transição positiva de \bar{Q}_2 e o pulso "0" em CGMD53 estão perfeitamente adequados, ou seja, os tempos de "set up", como o de "hold", respectivamente de 160 ns e de 40 ns, estão dentro das especificações. O primeiro pulso "0" mostra que, como o sistema não sofreu perda de sincronismo com defasamento do relógio \bar{Q}_2 com o MCP 8M, o contador continuou a contagem se autozerando.

Concluimos assim que o contador opera corretamente.

mente, tanto na situação de sincronismo, como na de ressin-
cronização.

V.1.4 - Ondas de Controle da Unidade Recuperadora de Canal

Analisa-se nesta etapa de teste as ondas de controle geradas para a unidade recuperadora de canal, de acordo com a especificação feita para aquela unidade. As fotos que se seguem podem ser comparadas com as ondas das Figs. III.6.16 e III.7.1.

A foto 11 mostra as duas ondas básicas, que foram citadas na secção III.6.2. São as ondas F123 e D, que estão de acordo com o previsto.

A foto 12 mostra as ondas Q_{12} , OLCJ, OCE e DJ, que permitem a análise relativa no quadro. Por essa razão, a escala de tempo está descalibrada propositalmente. A onda Q_{12} foi colocada com a finalidade de fixar o tamanho do quadro para referência, onde o nível "0" delimita os subquadros A e B e o nível "1", os subquadros C e D. Na onda OCE aparecem vários "vazios", dos quais o "vazio" mais largo indica a região F123 no início do quadro; e os "vazios" mais estreitos indicam as regiões D123 no início dos subquadros B, C e D. Na onda DJ aparece um pulso "1" logo abaixo do 3º pulso "0" da OLCJ, correspondente ao subquadro D. Com esta análise dos resultados damos uma prova de que as ondas de controle desta secção de teste estão em suas localizações de maneira correta. A seguir, vamos analisar os resultados acima, com maior precisão, observando a região onde elas aparecem.

A foto 13 mostra as ondas de controle no início do subquadro A. A referência é agora feita com a onda F123, que indica o início do quadro. As ondas OLCJ e DJ satisfazem o previsto. A onda OCE mostra claramente a extração de três pulsos de clock na frequência de 2,112 MHz.

A foto 14 mostra as ondas de controle no início

dos subquadros B e C, que são idênticos. Nesta foto, temos como referência a onda D', que é a onda D defasada por um clock \bar{Q}_2 . O pulso de clock para a leitura dos códigos de justificação é observada na onda OLCJ. Na OCE nota-se a extração de um pulso de clock. A onda DJ permanece em nível "0", pois ela só ocorre no subquadro D.

A foto 15 mostra as ondas de controle no início do subquadro D. A onda referência é a D'. A OCE tem a mesma forma dos subquadros B e C, e a OLCJ também tem um pulso "0" nessa janela. O pulso de nível "1" na onda DJ aparece deslocada de um dígito de 2,112 Mbit/s, cobrindo exatamente um pulso de clock da OCE adjacente à janela D3, na onda D123.

A análise das fotos feita acima, permite-nos concluir que as ondas para controle da unidade de recuperação dos canais tributários estão perfeitamente de acordo com o previsto, mostrando um funcionamento satisfatório.

V.1.5 - Ondas do Circuito de Controle de Sincronismo

O circuito de controle de sincronismo é analisado nesta etapa. O teste é feito em duas fases:

- a) processo de leitura da PSQD".
- b) verificação do diagrama de busca.

a) Processo de Leitura da PSQD":

A foto 16 mostra a palavra PSQD", que é a PSQ, cuja largura foi dobrada, relocada por atraso de dois pulsos de REL 8M. Isto pode ser comprovado, pois o pulso PSQD" está localizado na 12^a e 13^a janelas de tempo do quadro. Para o mecanismo de leitura da PSQD", o relógio ORCS é mostrado abaixo, onde podemos verificar que os tempos de "set up" e "hold", respectivamente de 200 ns e 40 ns, são adequados para o funcionamento correto, mesmo em condições bastante adversas.

A montagem usada para esse teste foi o circuito da Fig. III.7.8.

A foto 17 mostra o mecanismo de leitura da onda "PSQD" quando o sistema estava em sincronismo. Na foto, mostramos o instante em que se realiza a última detecção incorreta da palavra de alinhamento em que não é gerado o pulso "0" na "PSQD". A ORCS realiza a cópia do nível "1", e em consequência disto, a onda SINC vai do nível "1" para o nível "0" e permanecendo nesse nível daí para adiante. Esta foto foi conseguida através de uma simulação da perda de sincronismo.

b) Verificação do Diagrama de Busca:

A realização desta sequência de testes de desempenho do diagrama de busca de sincronismo é conseguido utilizando-se o equipamento de teste mostrado na seção A.I. Este equipamento já foi utilizado anteriormente para obter os resultados das fotos 10 e 17.

Antes de iniciarmos a análise de cada uma das fotos que se seguem, vamos fazer uma introdução aos testes. Em primeiro lugar, o teste é realizado de acordo com o esquema da Fig. A.I.1, fase I e fase II.

Na fase I, o mecanismo de simulação realiza a destruição da palavra padrão. Isto é conseguido pela palavra PINB, através de pulsos. Cada um desses pulsos tem duração de um quadro. Assim, a cada passo de simulação é acrescentado um pulso adjacente adicional, até que se obtenha a simulação dos passos A, B, C, D e E. Quando 4 pulsos "0" são gerados em PINB, o sistema de teste simula automaticamente um ciclo completo do diagrama de busca, ou seja, após 7 quadros é atingido o estado A, através do ciclo ABCDEFGA. Na fase I, referimo-nos às fotos 18 a 23. Estas fotos podem ser comparadas com as ondas de simulação mostradas na Fig. A.I.5 no apêndice A.I.

Na fase II, o mecanismo de simulação realiza, a partir da inibição total do sinal MCP 8M, a desinibição da palavra padrão é feita através de pulsos de nível "1". Isto é conseguido pela palavra PINB, agora adequada para esta fase de teste. Os pulsos são gerados sempre adicionando-se um pulso adjacente a cada passo de simulação. Simulam-se nesta fase os estados de busca EFGA. Aqui também, após três pulsos de nível "1", gerado em PINB, o sistema de teste simula automaticamente um ciclo completo do diagrama de busca. Após 7 quadros é atingido o estado E, através do ciclo EFGABCDE. Na fase II, são obtidas as fotos 24 a 27. Da mesma forma que na fase I, estas ondas podem ser comparadas com as ondas de simulação mostradas na Fig. A.I.6 no apêndice A.I.

Observe que a detecção de cada um dos estados do diagrama de busca ocorre quando um pulso em nível "0" aparece nas ondas correspondentes a cada estado.

Vamos à sequência de fotos da fase I.

A foto 18 mostra a onda PINB com um pulso "0" provocando a destruição de uma palavra de alinhamento (PA) que ocorre sempre no final do pulso "0". Por isso, a onda ESTADO A vai para o nível "1" no final de PINB. Como ocorreu apenas uma falha de detecção da PA após um quadro a onda ESTADO A retorna ao nível "0". A onda ESTADO B vai do nível "1" para o nível "0" durante um quadro, indicando que o ESTADO B do diagrama de busca foi atingido. A última onda é referente ao ESTADO E, no caso, o ESTADO E não foi atingido.

A foto 19 mostra a PINB com dois "0" destruindo duas PA. A onda ESTADO A é perdida durante dois quadros, sendo recuperada em seguida. A onda ESTADO C mostra que o estado C foi atingido para em seguida retornar ao estado A. O estado E não foi atingido como mostra a onda ESTADO E.

A foto 20 mostra PINB com três "0", destruindo três PA. O estado A é perdido durante três quadros, conforme a onda ESTADO A. A onda ESTADO D mostra que o estado D foi atingido e nele permaneceu durante um quadro, para em seguida ser recuperado o estado A. Novamente o estado E não foi atingido de acordo com a onda ESTADO E.

A foto 21 mostra PINB com quatro "0". Quatro PA são destruídos e o estado E é atingido conforme mostra a onda ESTADO E através do pulso "0". Aqui observamos que a onda ESTADO A não é recuperada imediatamente após o pulso "0" na onda ESTADO E. Isso ocorre após três quadros, como era esperado, pois após a perda de sincronismo, o mecanismo de sincronismo realiza a busca de sincronismo durante três quadros sucessivos. No caso, ocorre exatamente em um número inteiro de quadros, pois não está ocorrendo imitações da PA.

A foto 22 mostra a sequência de transições de estados B, C, D e E sendo detetados. Pode-se ver claramente que se ocorrer quatro ou mais destruições da PA, após quatro quadros, o estado E é atingido.

A foto 23 mostra a PINB com quatro "0". O estado A é perdido durante sete quadros indicando a sequência de transição ABCDEFGA. No final da PINB a onda SINC vai para o nível "0" durante um quadro indicando que a perda de sincronismo ocorreu.

Passemos agora à análise dos resultados da fase II.

A foto 24 mostra agora a onda PINB com pulso em nível "1". Enquanto o nível "0" é mantido, as PA são destruídas e quando o nível "1" ocorre, realiza-se a não destruição da PA. Aqui também a não destruição ocorre sempre no final do pulso da PINB. A onda ESTADO E vai do nível

"0" para "1", durante um quadro, indicando que a fase de pré sincronismo está ocorrendo. O estado F é atingido, como in dica a onda ESTADO F. Como houve apenas uma única deteção da PA, logo após um quadro o estado E é atingido novamente. O estado G não foi atingido como era esperado.

A foto 25 mostra a PINB com dois "1". A onda ESTADO E vai para o nível "1" durante dois quadros, indican do que houve um número insuficiente de PA detetado. O esta do F e G é atingido como mostram as ondas ESTADO F e ESTADO G, respectivamente.

A foto 26 mostra a PINB com três "1". Isto per mitiu que o estado A, de pleno sincronismo, fosse atingido, mas como houve apenas três deteções da PA e em seguida não foi detetada outras PA. O sincronismo foi novamente perdido. Esta sequência de transições é EFGABCDE, que corresponde e xatamente a um grupo de sete quadros.

A foto 27 mostra o que se descreveu acima, da fo to anterior, mostrando-se que, no caso de três PA detetadas com o sistema fora de sincronismo, este é adquirido duran te sete quadros, como mostra a onda SINC, para em seguida , voltar à condição de sincronismo perdido. A onda ESTADO A mostra a deteção do estado A durante o processo de busca de sincronismo. Como houve três PA detetadas, o estado A é ob viamente atingido.

Com as análises acima, concluimos que mecanismo de busca de sincronismo é realizado de acordo com o esperado. As simulações com imitações no processo de recuperação de sincronismo não foi avaliado neste trabalho.

V.2 - MEDIDA DO CONSUMO DE POTÊNCIA

Uma das especificações de projeto que precisávamos sa

tisfazer era a do consumo de potência por unidade de cartão. O circuito do Demultiplexador forma uma unidade de cartão e, portanto, deverá satisfazer a exigência de dissipação por unidade de cartão fixada em 1 watt, em condições estáticas.

Para essa verificação, foi feita a medida da corrente consumida pelo cartão, e obtivemos a corrente de 127 mA, à tensão nominal de operação de 5,0 volts. Logo, resulta uma dissipação de 635 mW, que é um valor bem abaixo da especificação limite. Assim, concluímos que o projeto satisfaz plenamente a mais esta especificação.

V.3 - CONCLUSÕES

A análise de desempenho obtida de testes experimentais, mostra-nos que o cartão Demultiplexador satisfaz as especificações de projeto, tanto individualmente, como também interligado ao sistema MCP-120, permite um funcionamento correto.

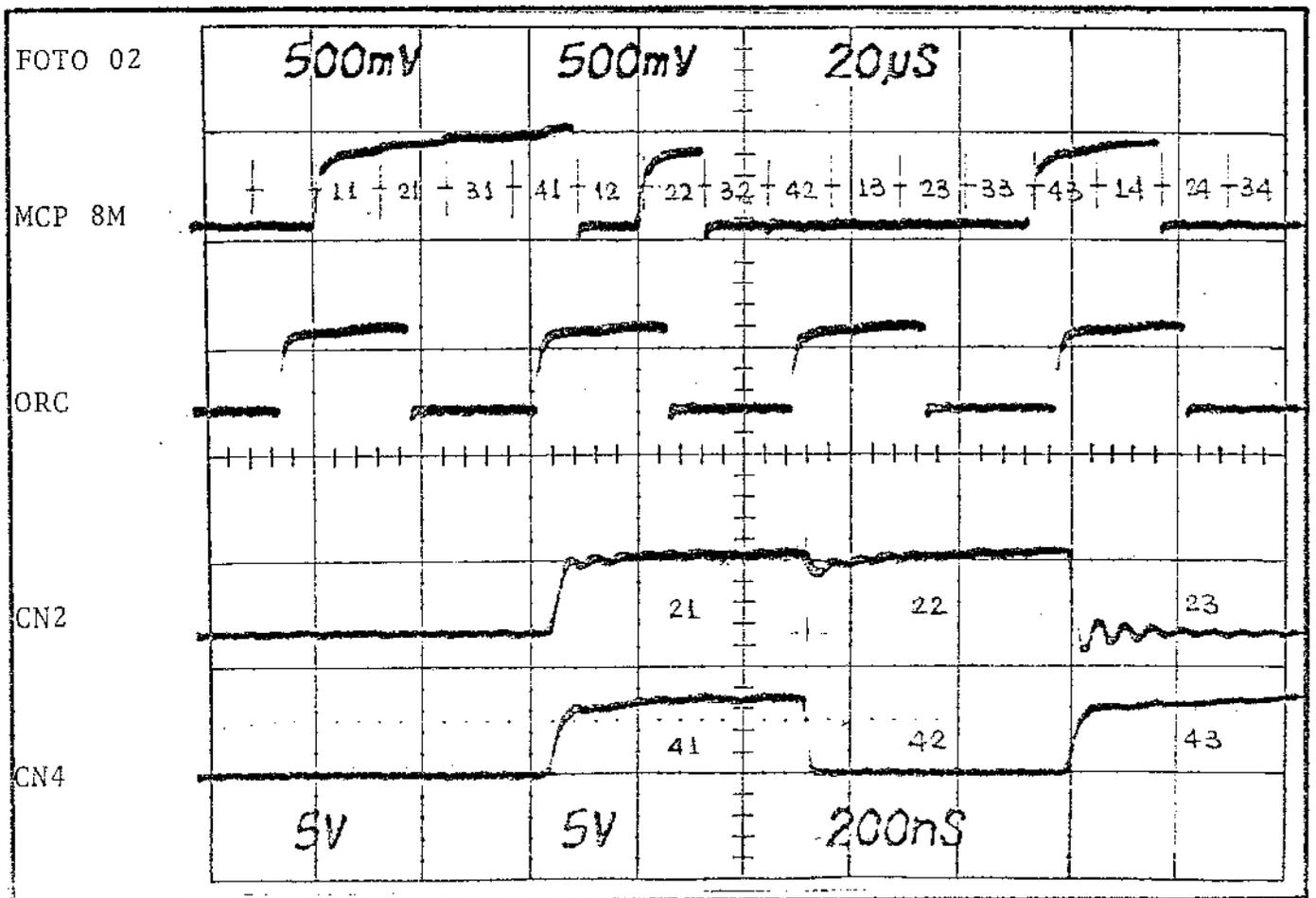
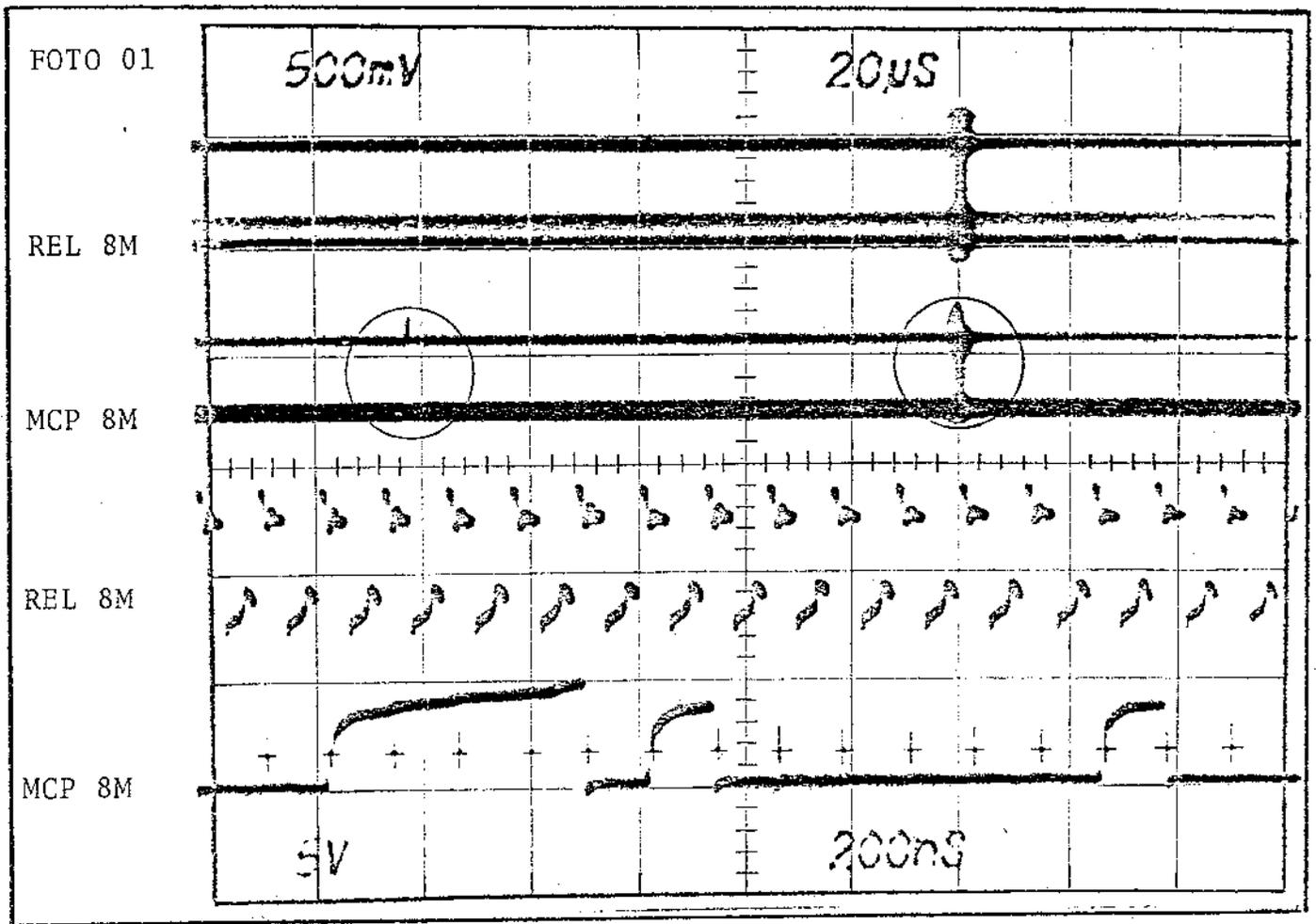
De acordo com o estudo de atrasos de propagação nos diversos pontos, permitem-nos assegurar que o desempenho verificado experimentalmente deverá se manter mesmo considerando-se as condições extremas da especificação de tolerância dos atrasos de propagação.

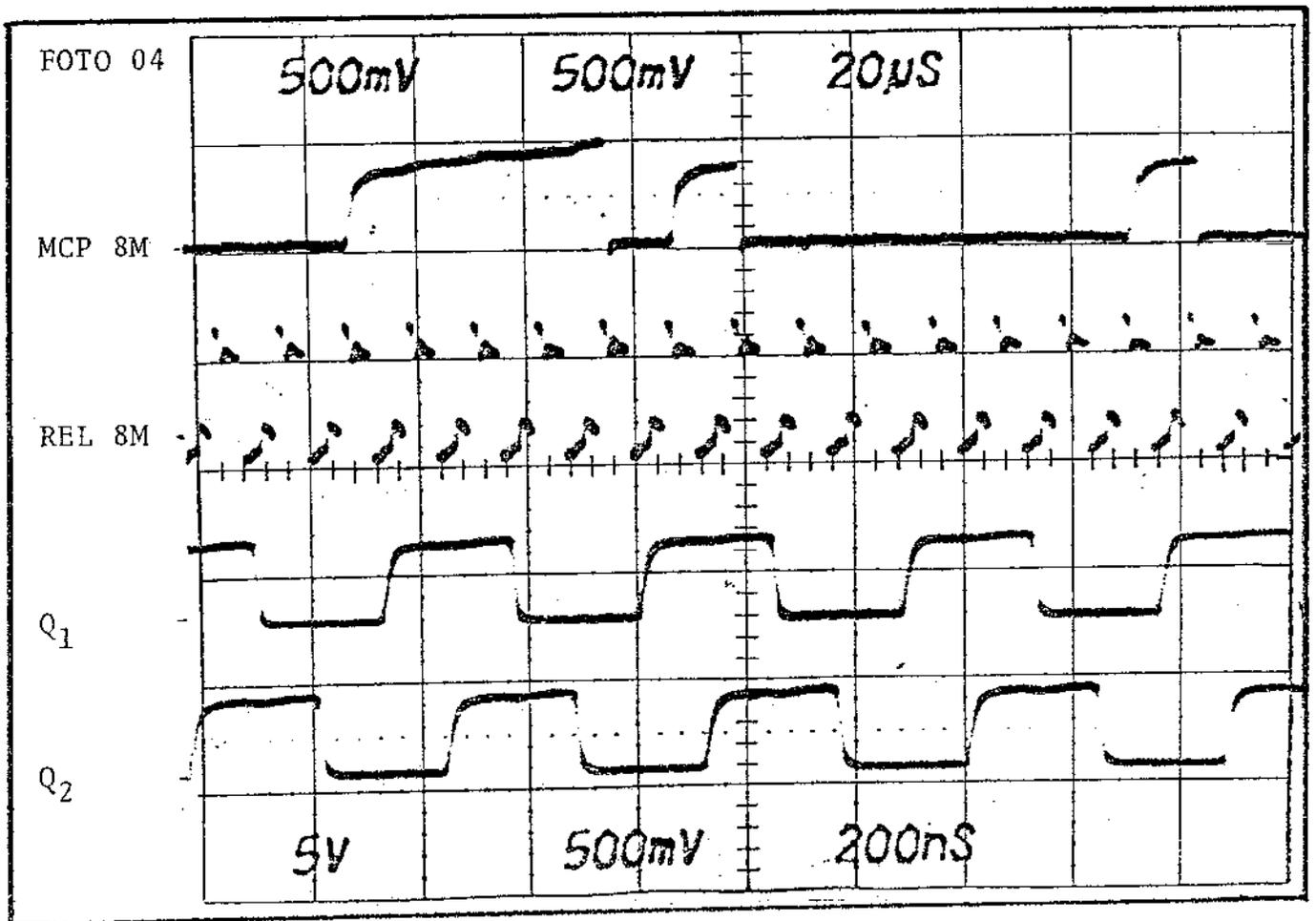
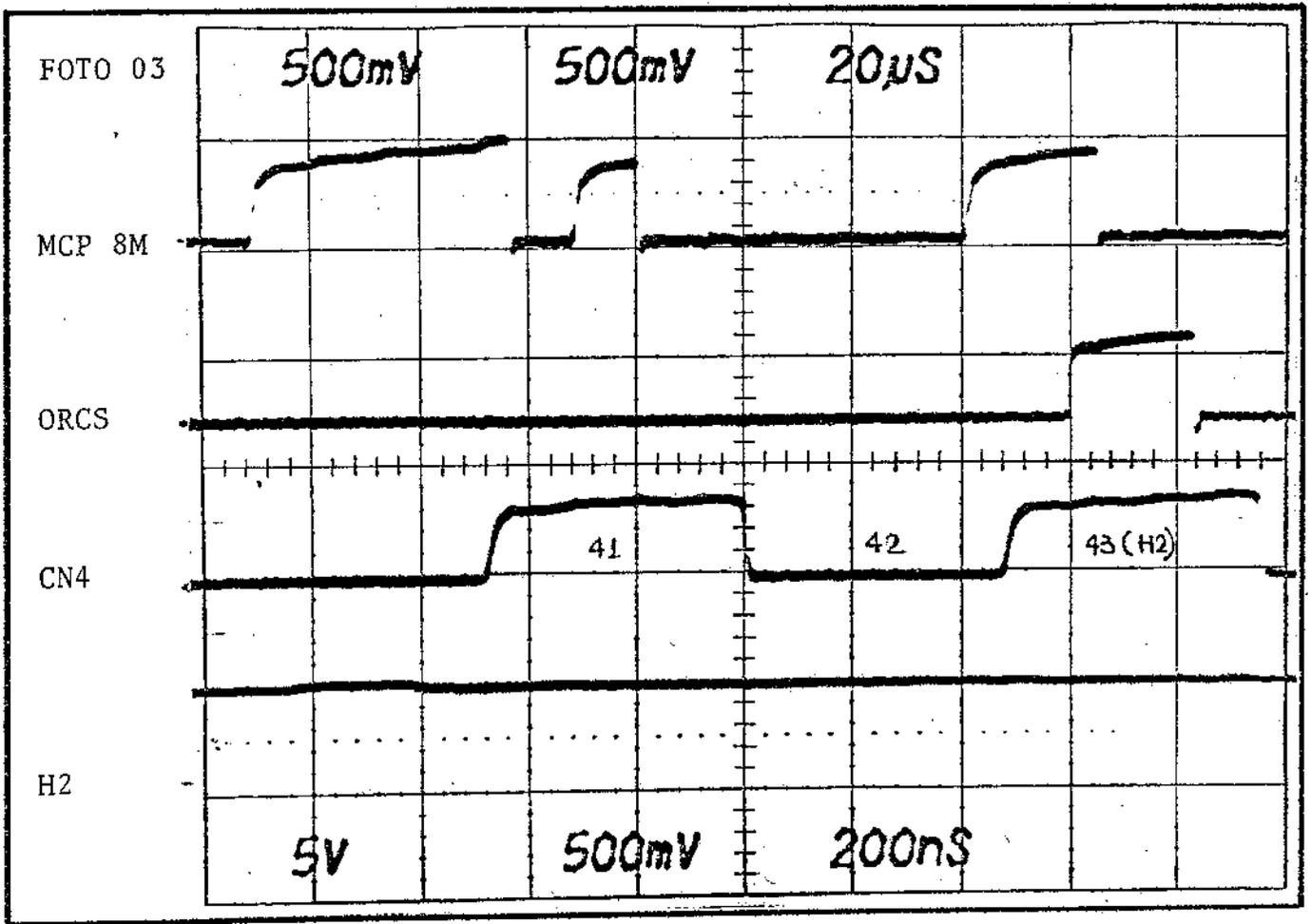
O consumo de potência, uma das mais exigentes especificações de projeto, também é satisfeita, com uma folga considerável.

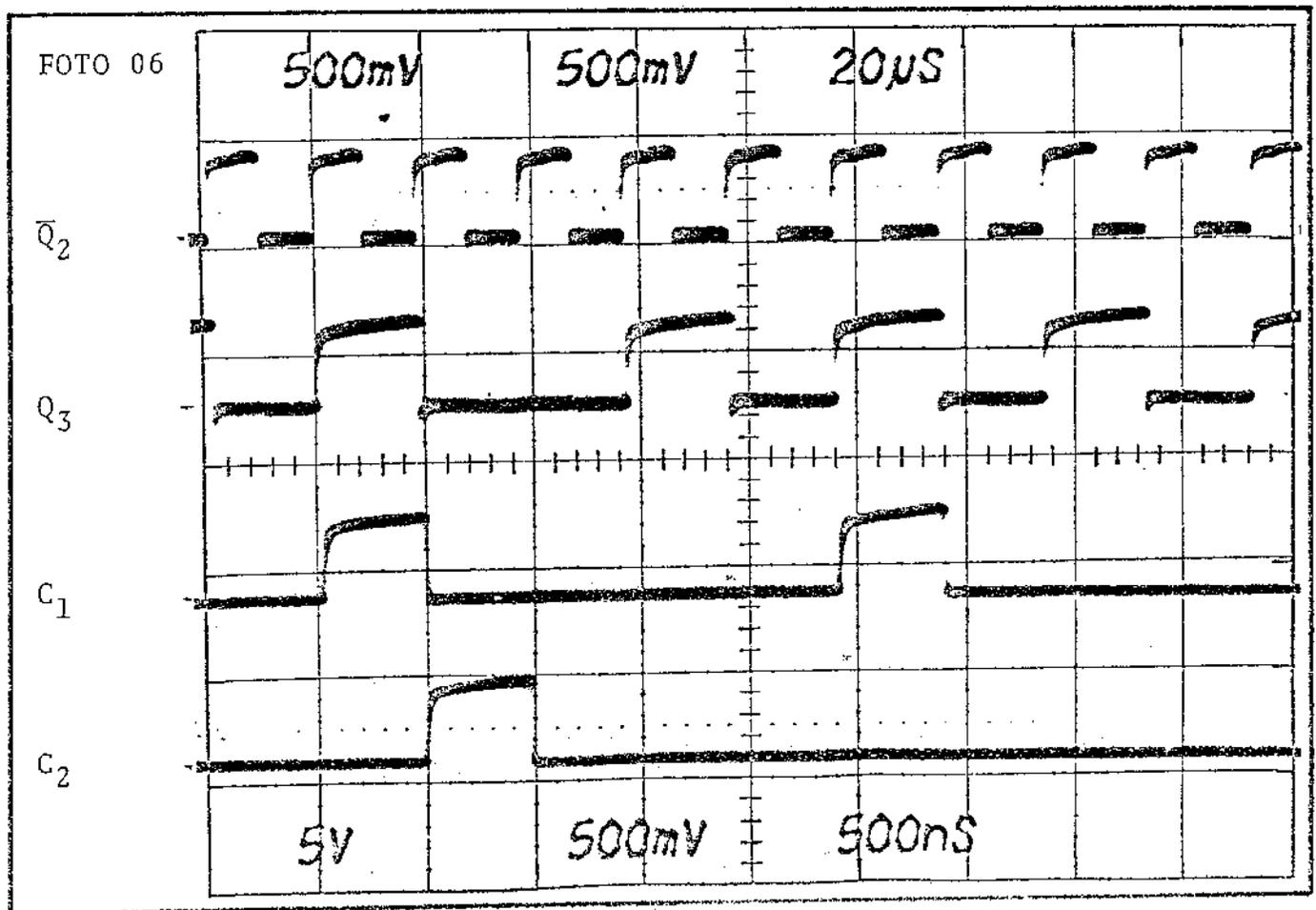
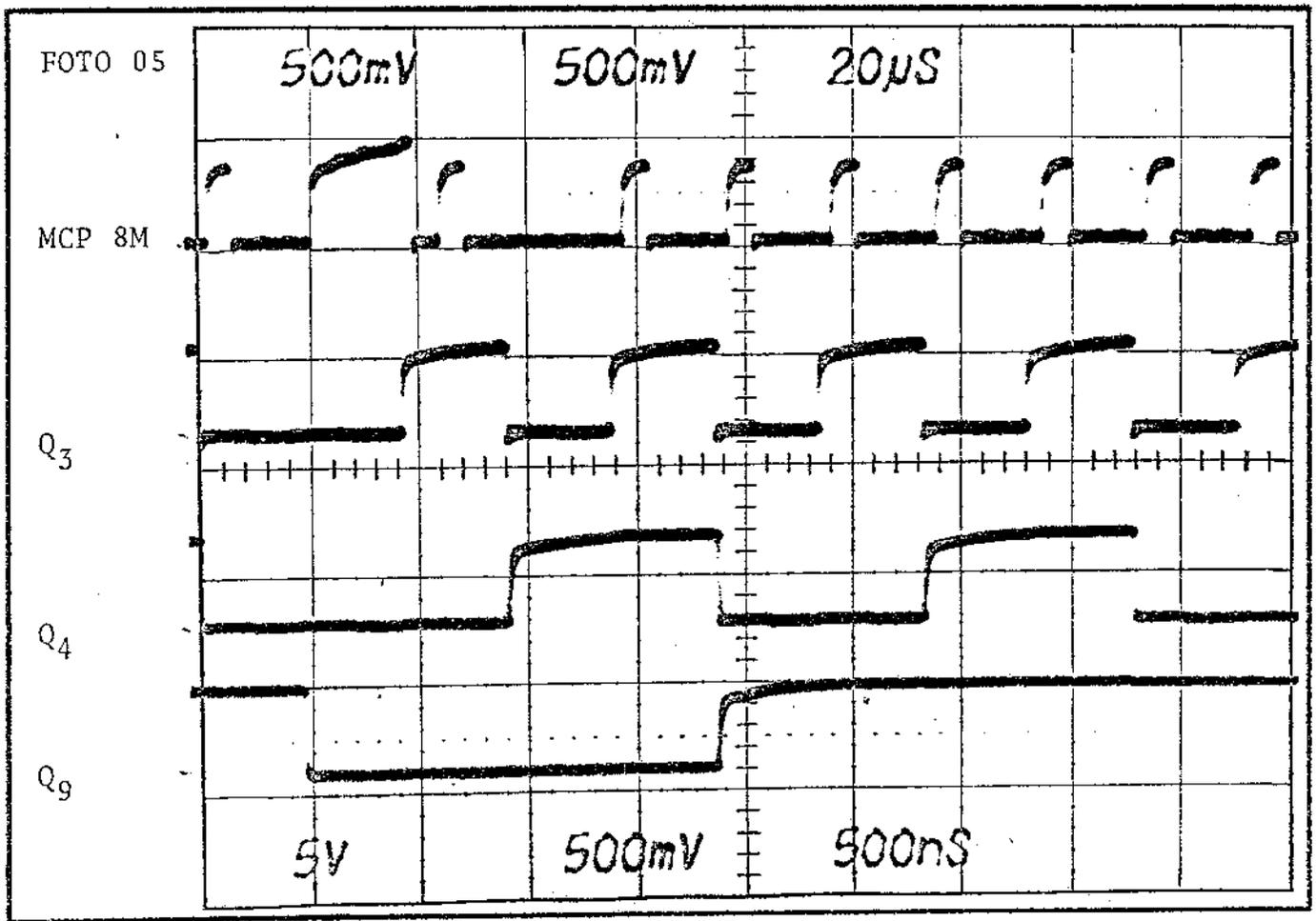
Considerando-se que todas as condições de especificação de projeto e de desempenho do circuito demultiplexador no sistema MCP-120 são plenamente satisfeitas, todos os objetivos a que nos propomos, foram atingidos.

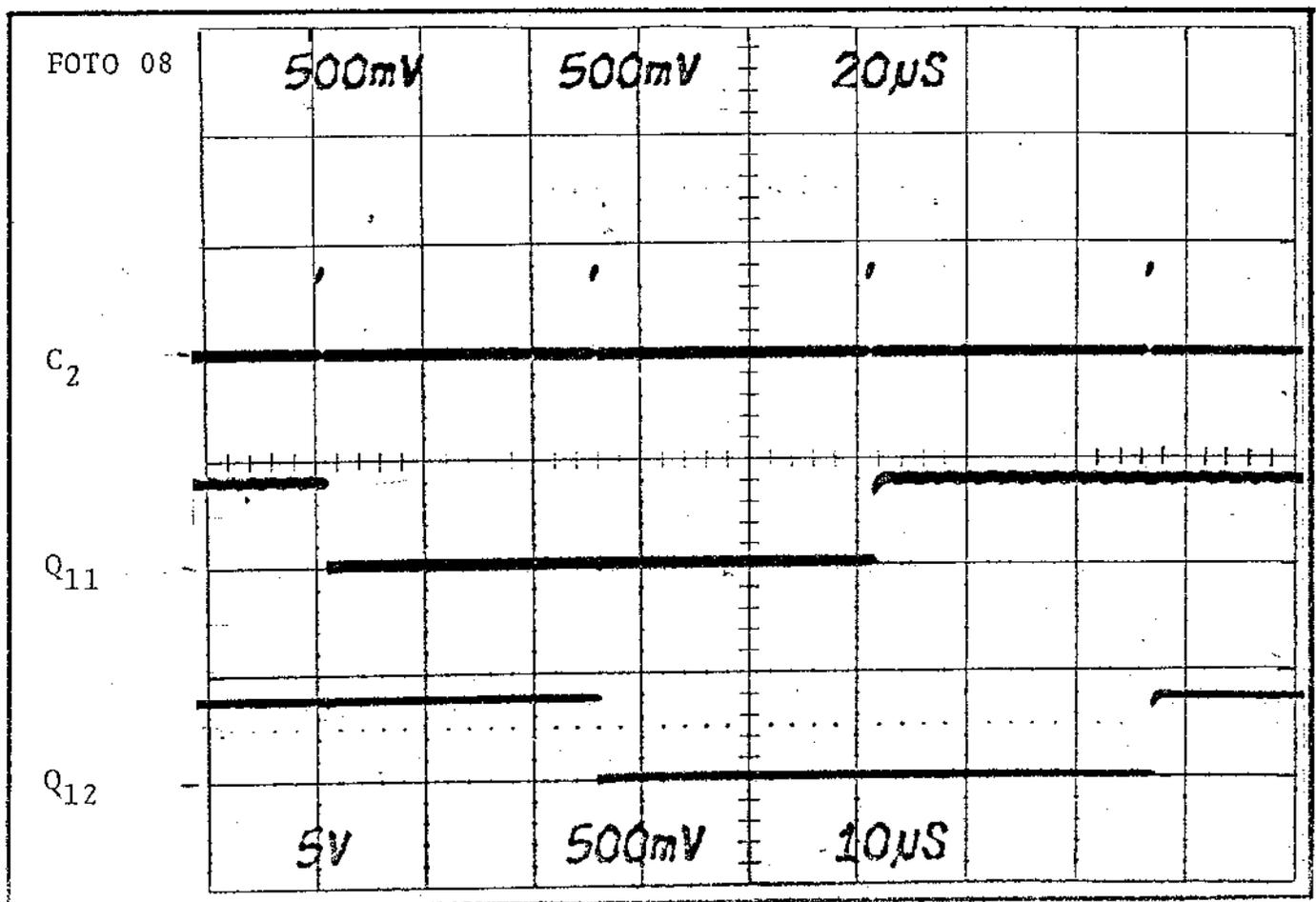
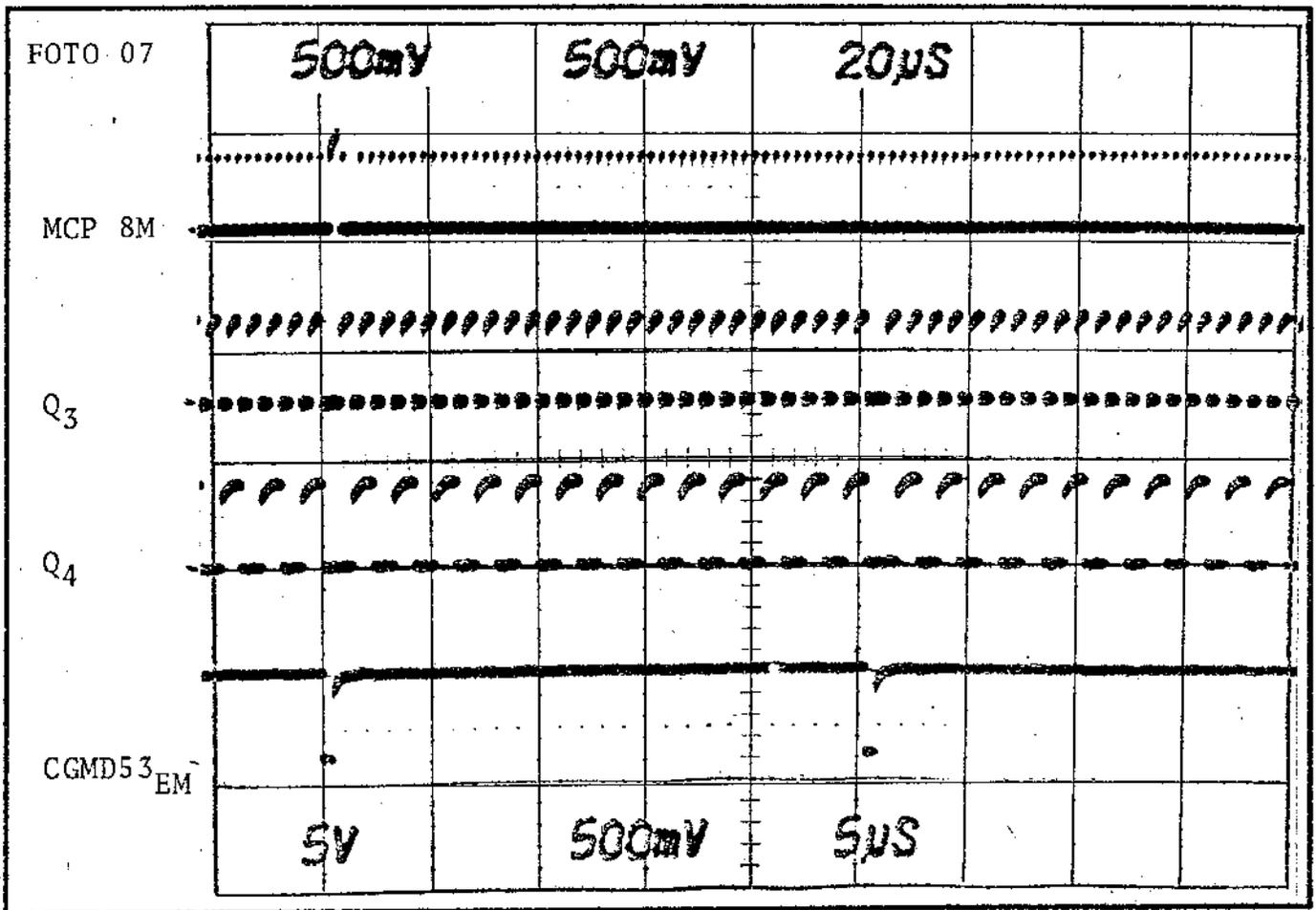
Resta-nos considerar que o outro circuito demultiplexador que oferece algumas vantagens sobre o implementado por nós deverá ser implementado brevemente. Acreditamos que quanto ao desempe

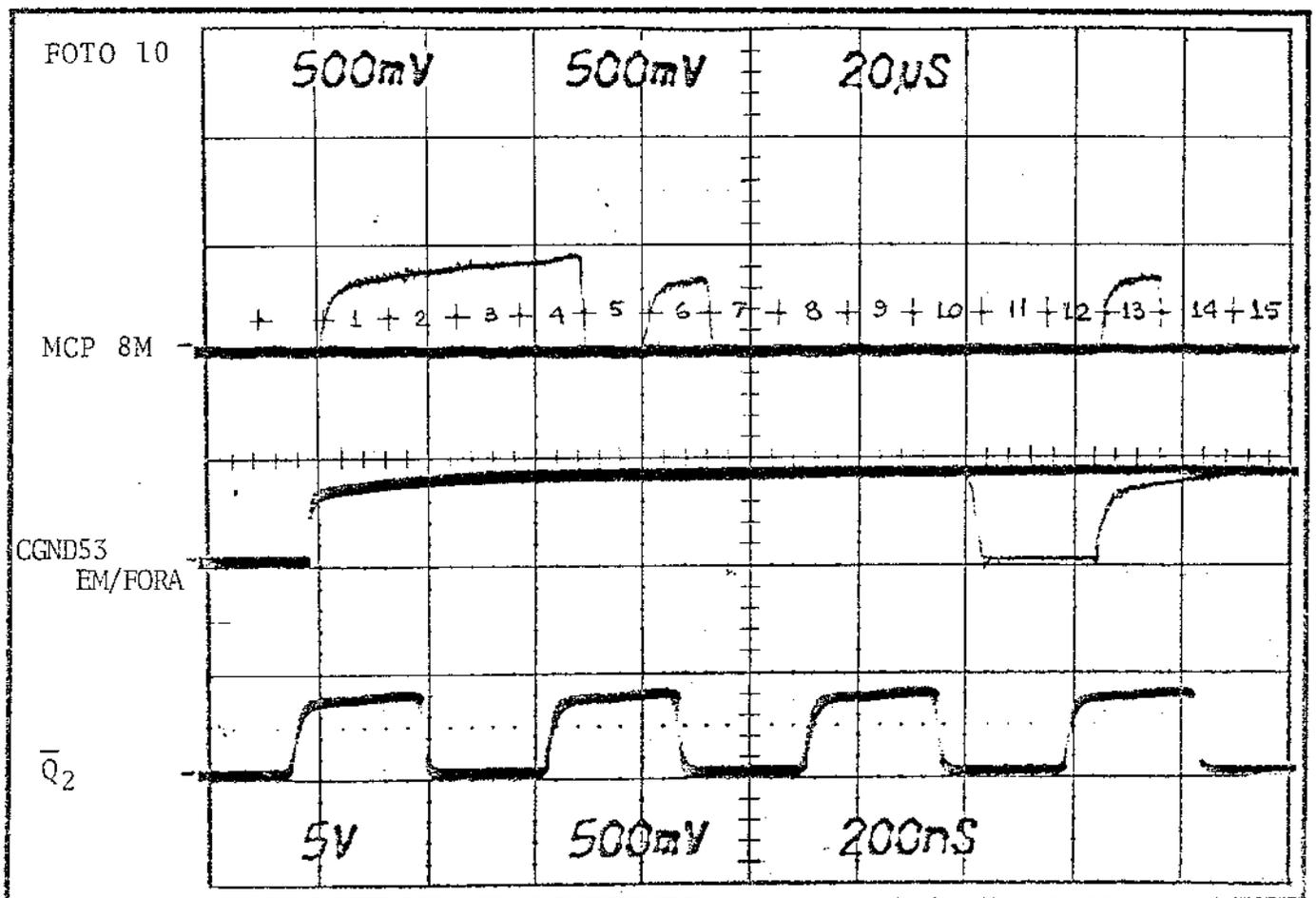
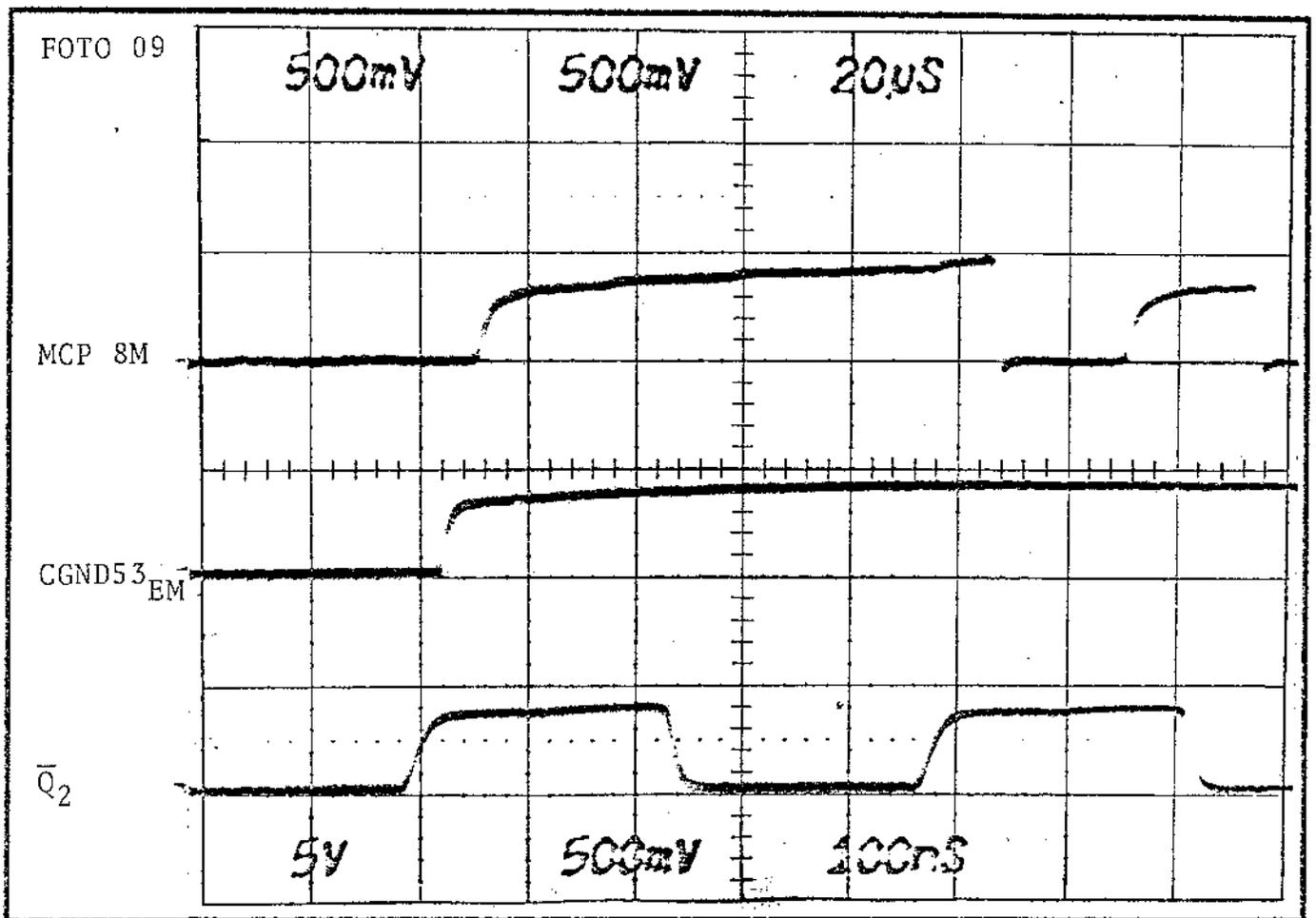
nho não deverá haver profundas diferenças, mas as vantagens são possivelmente mais de caráter econômico, advindas da sua simplicidade na implementação do circuito impresso. Espera-se uma ocupação menos intensa do cartão, o que permitirá a implementação do circuito de alarme ou de monitoração integrada no mesmo cartão do Demultiplexador.

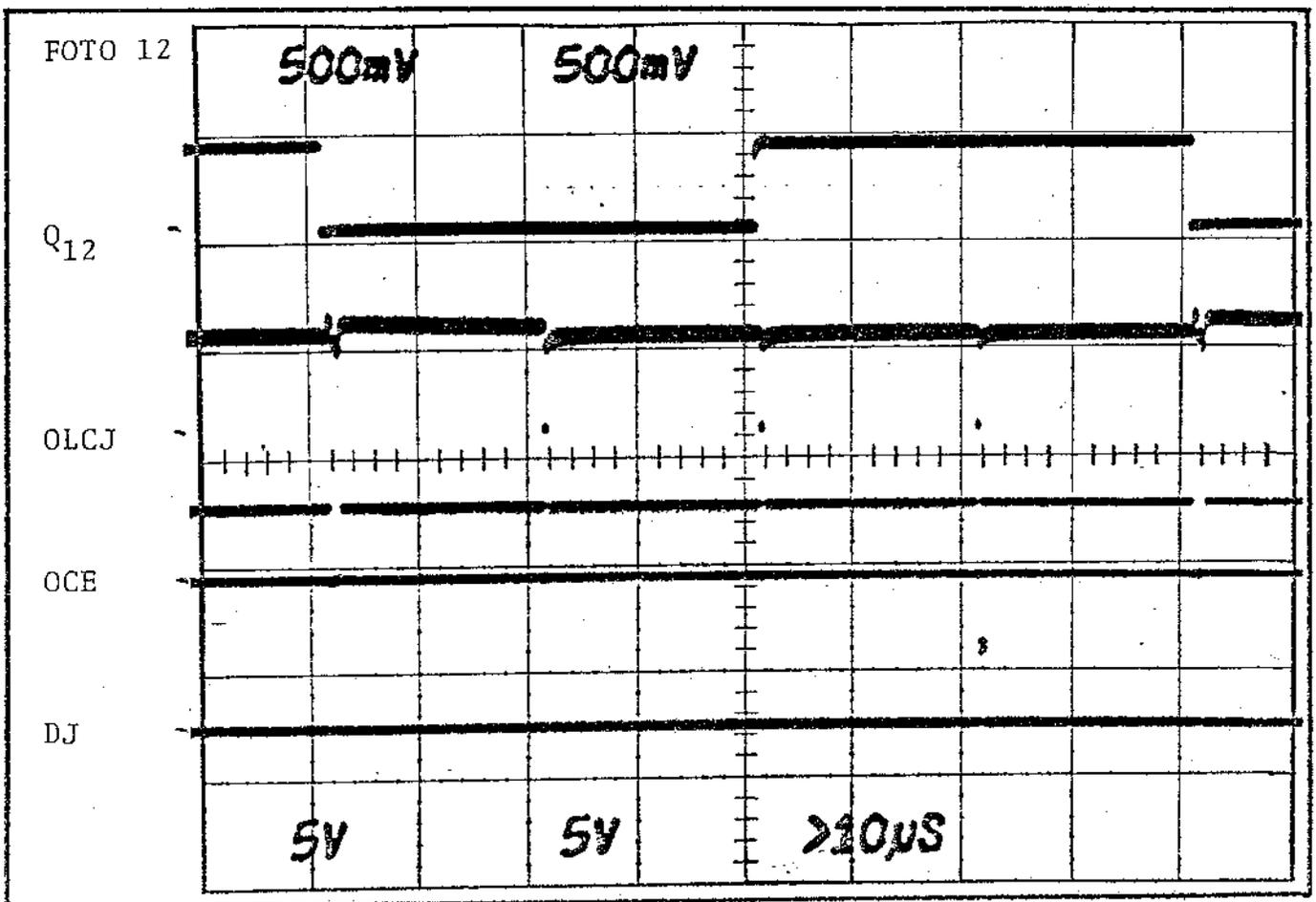
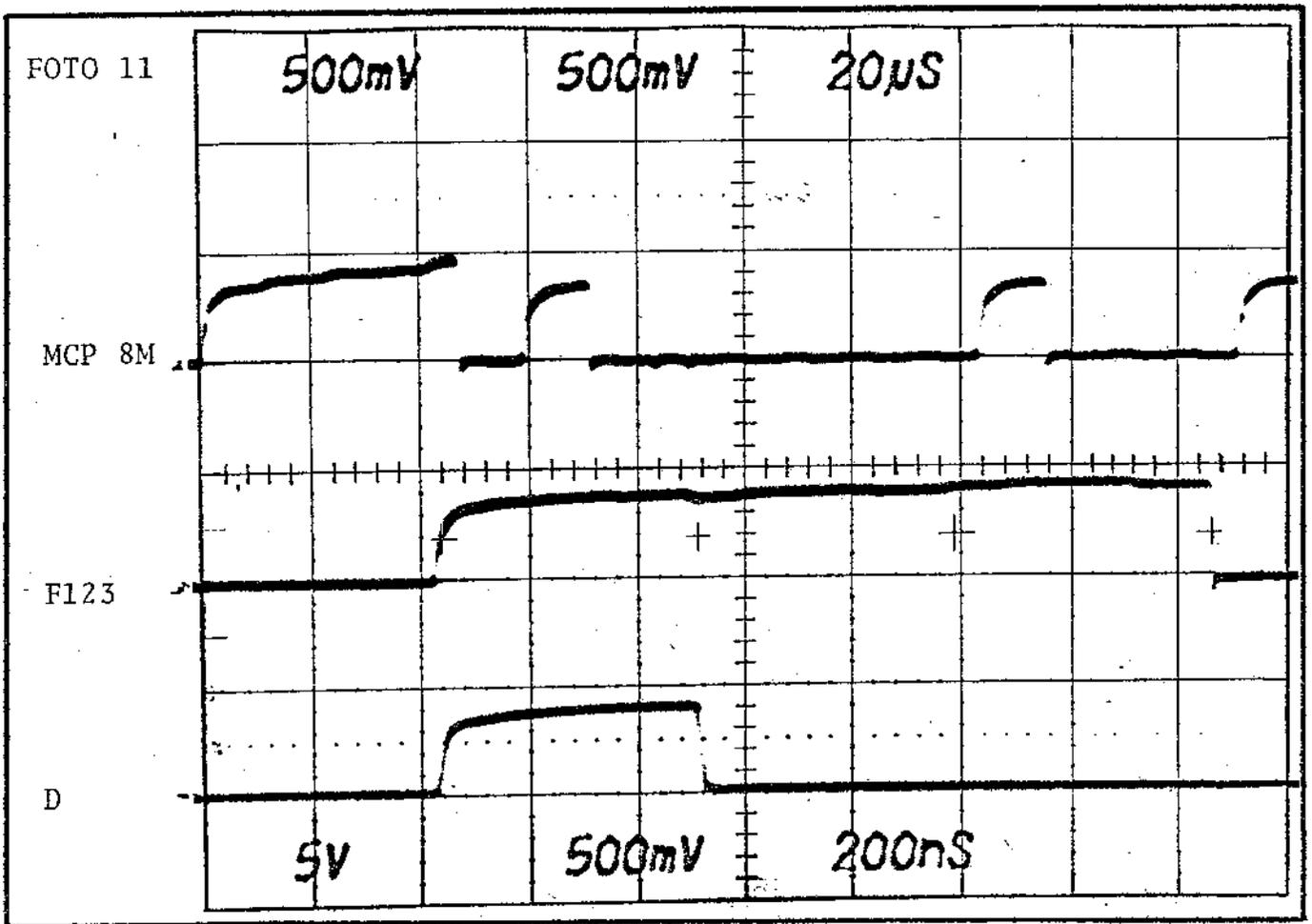












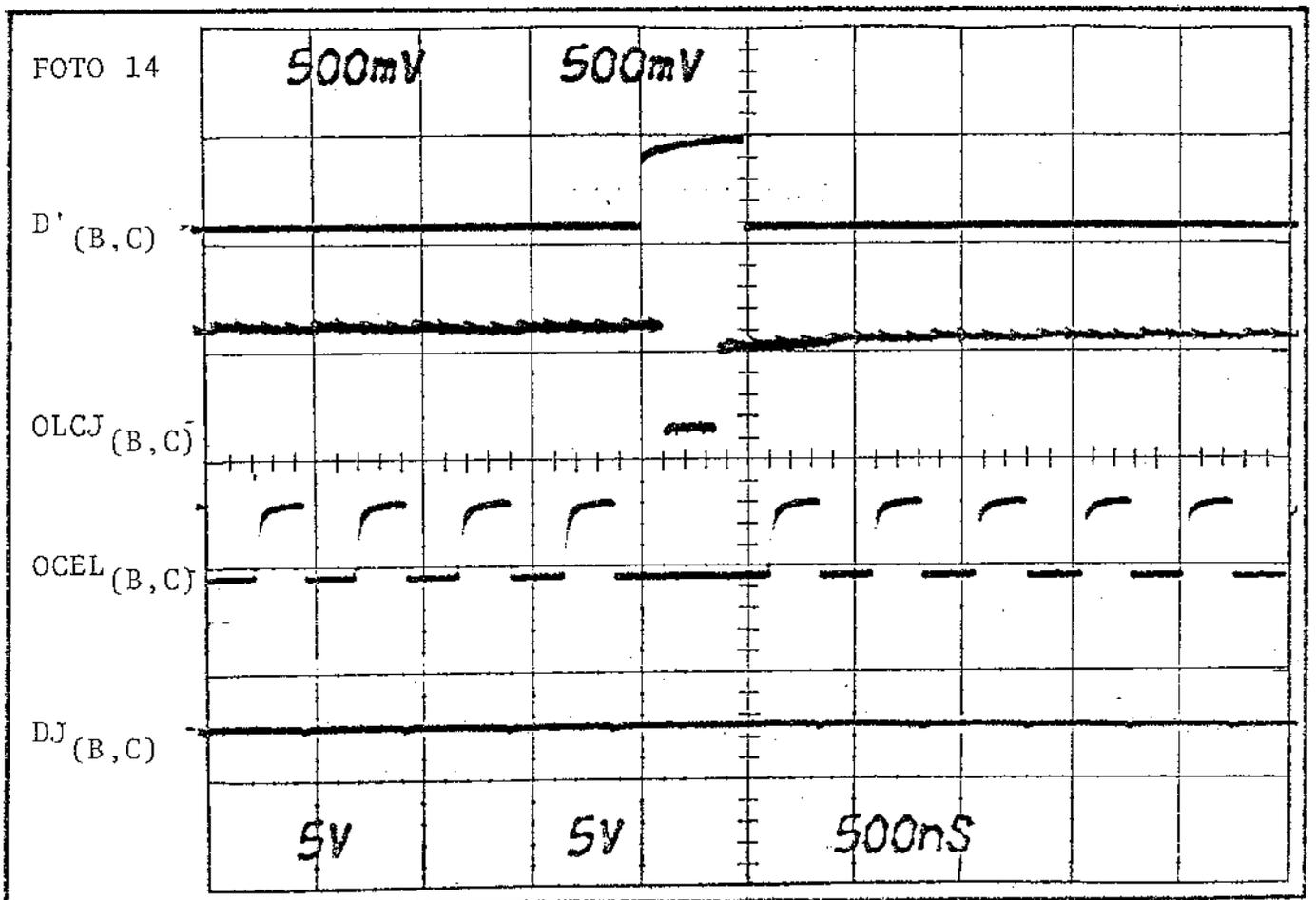
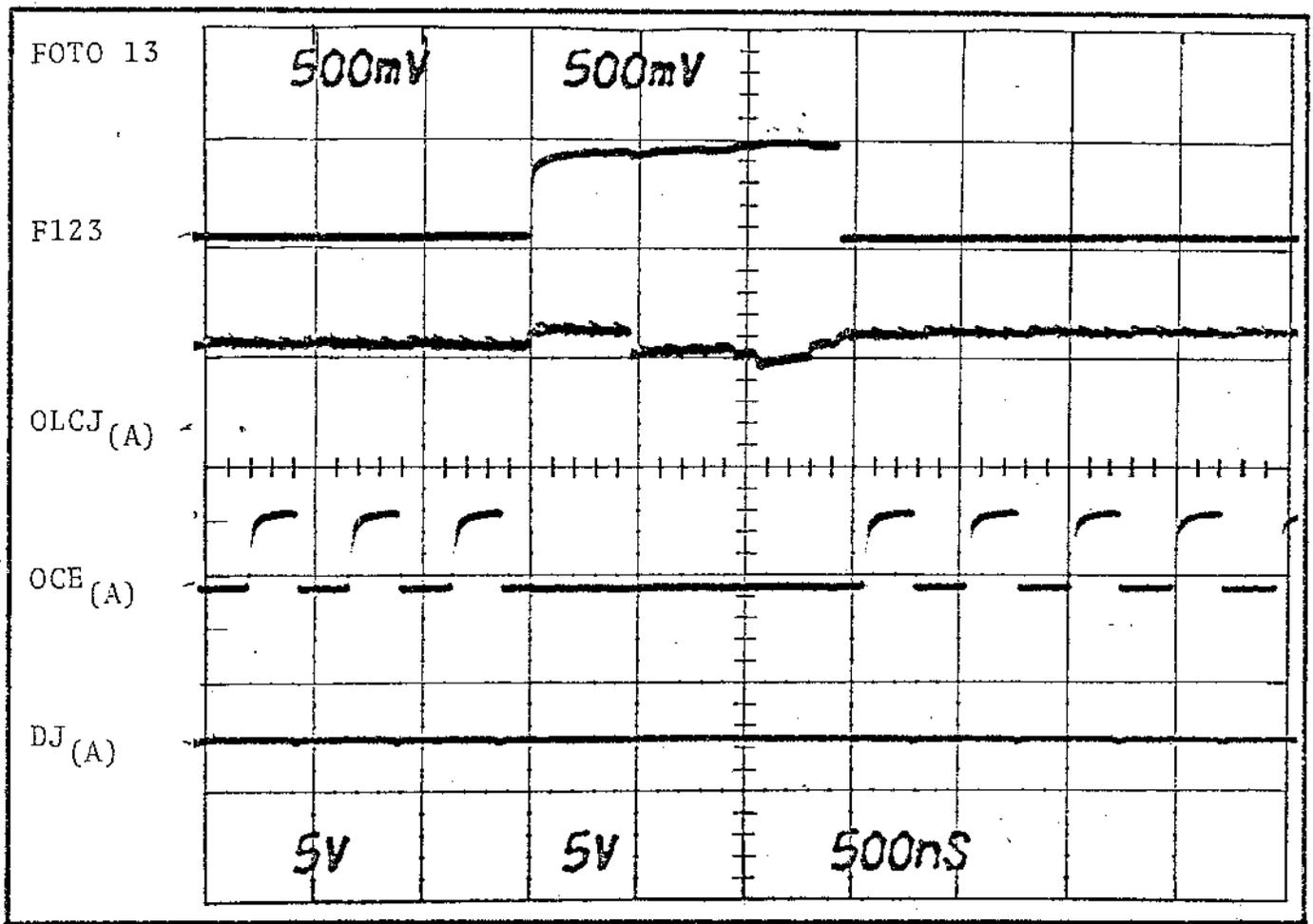


FOTO 15

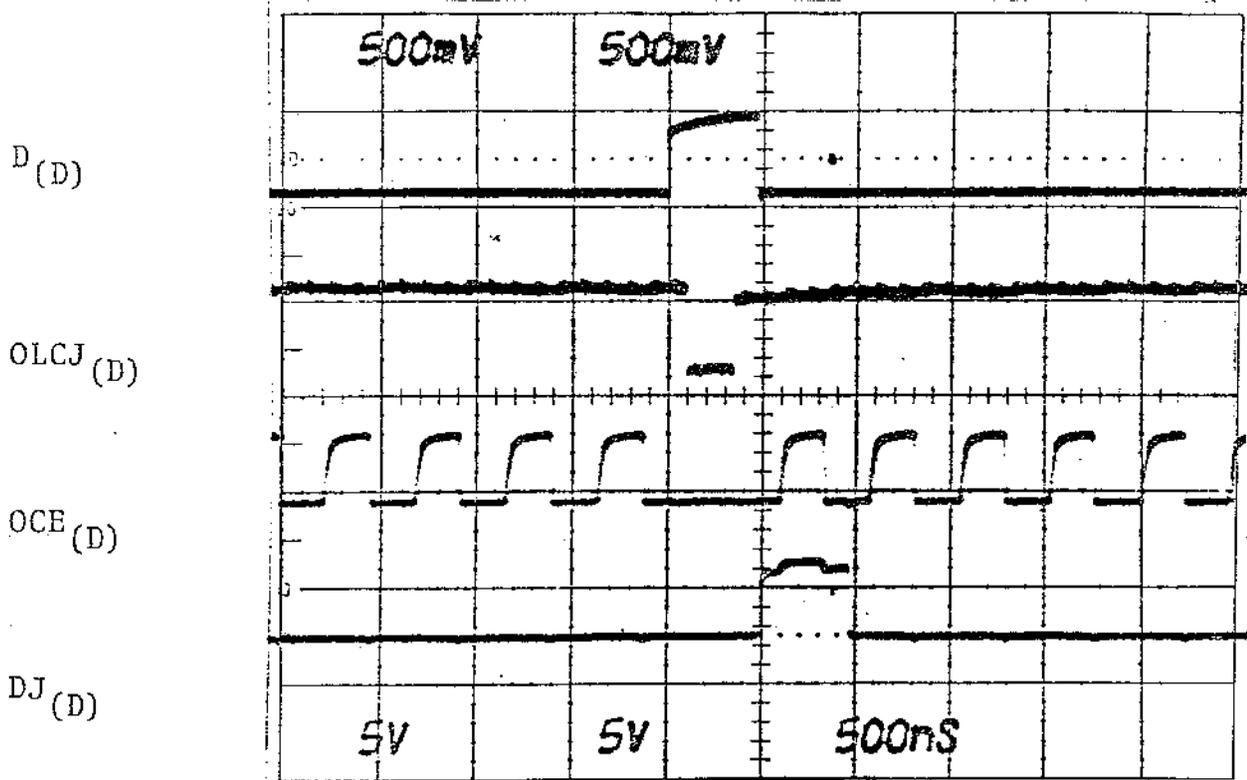
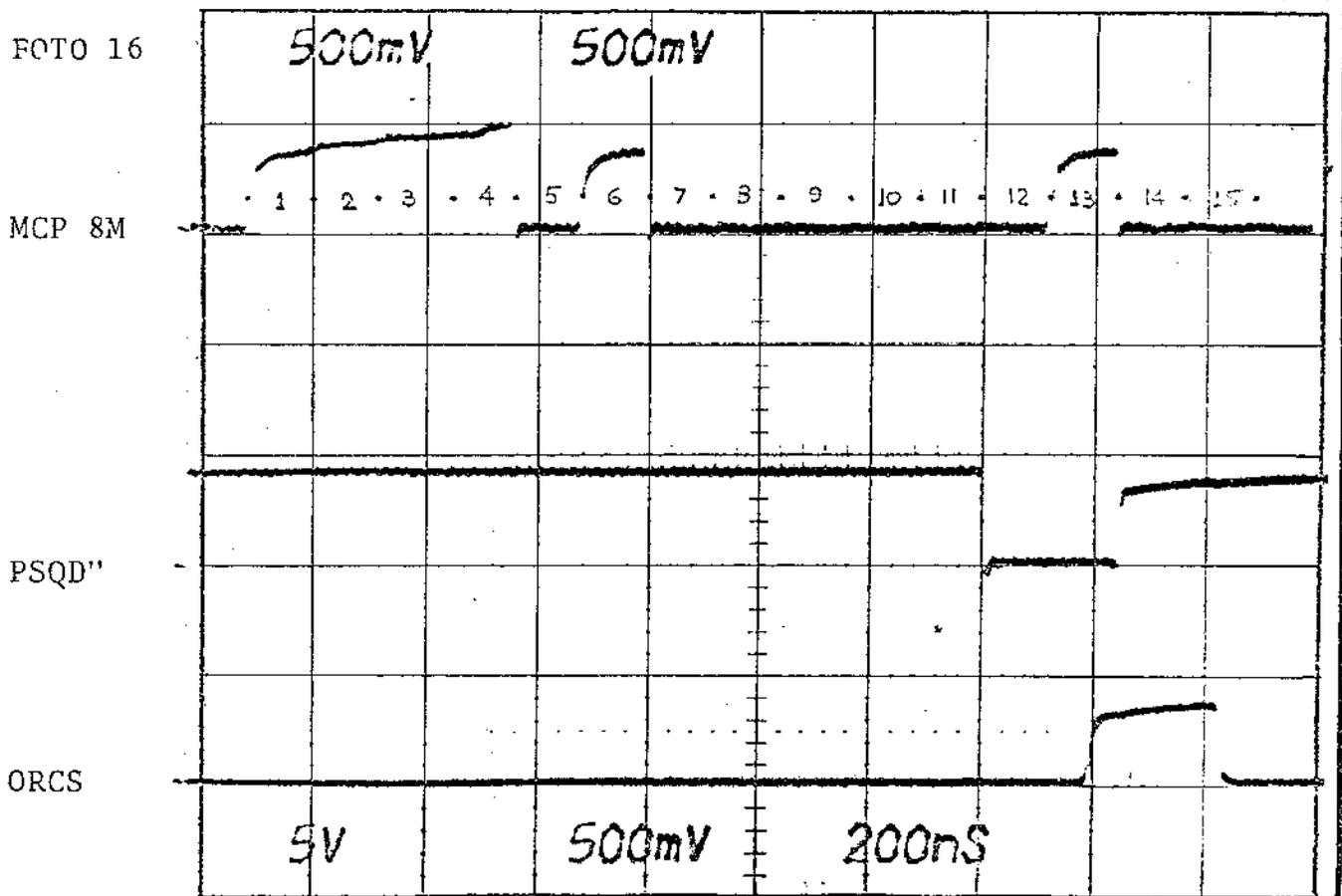
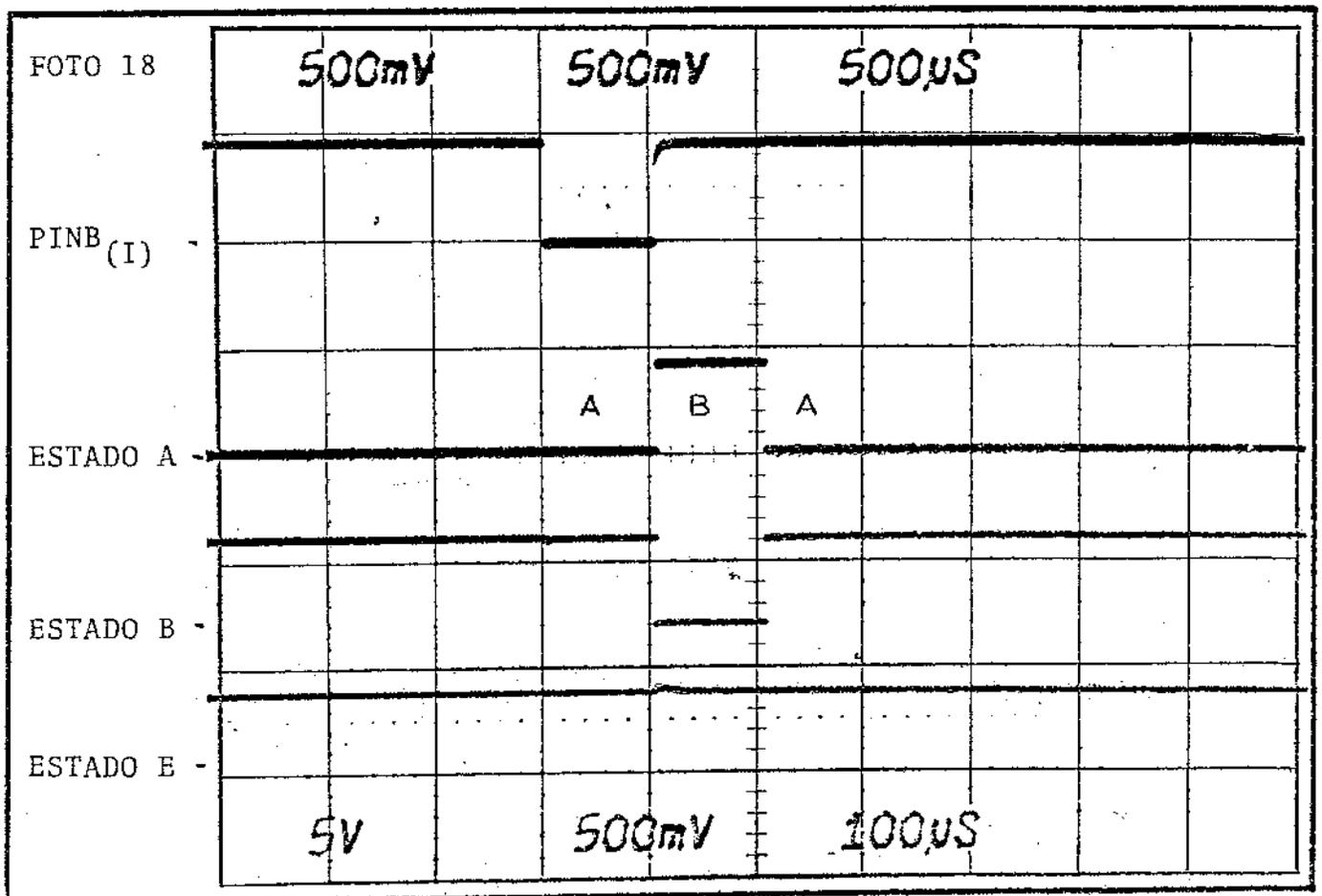
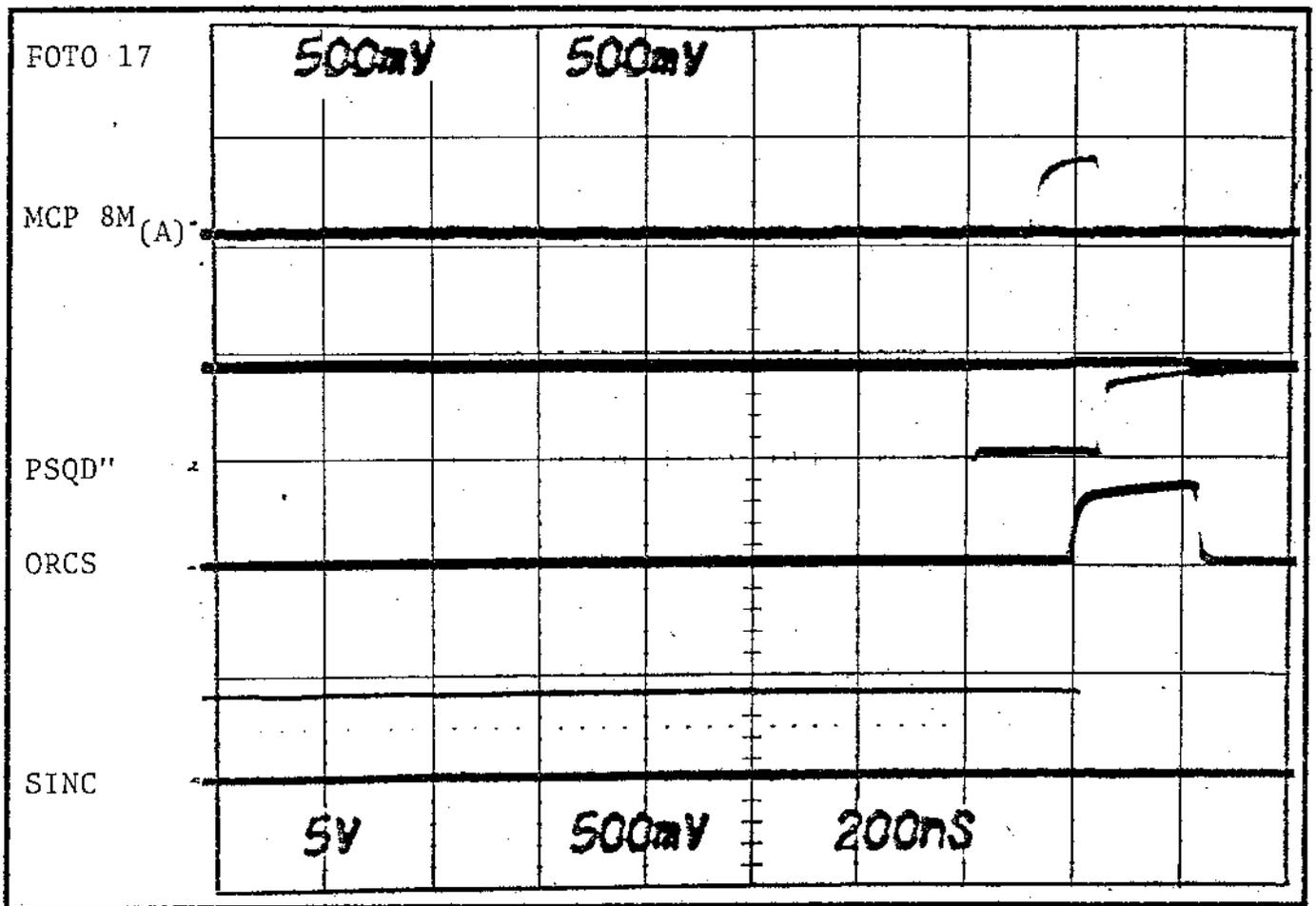
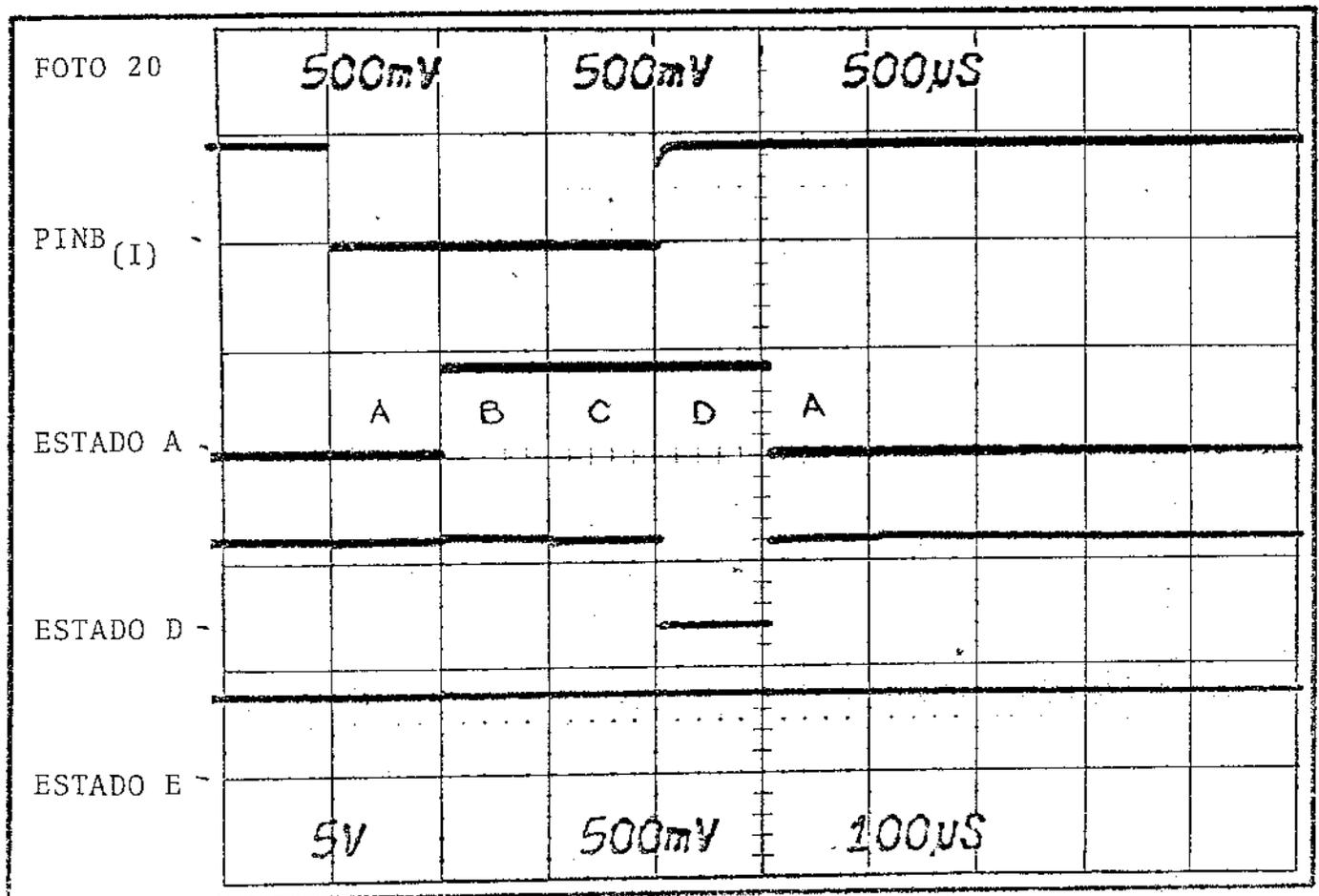
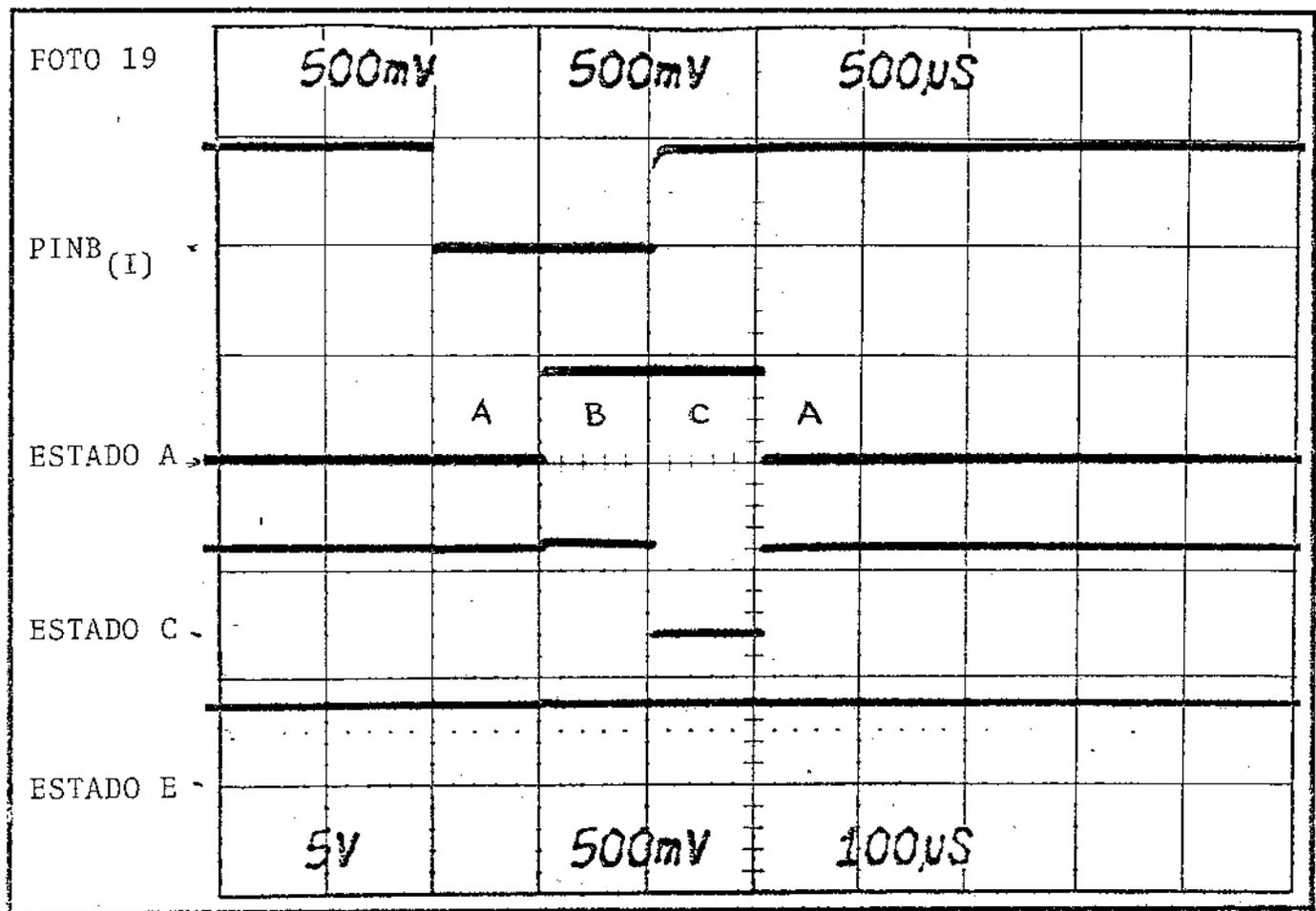
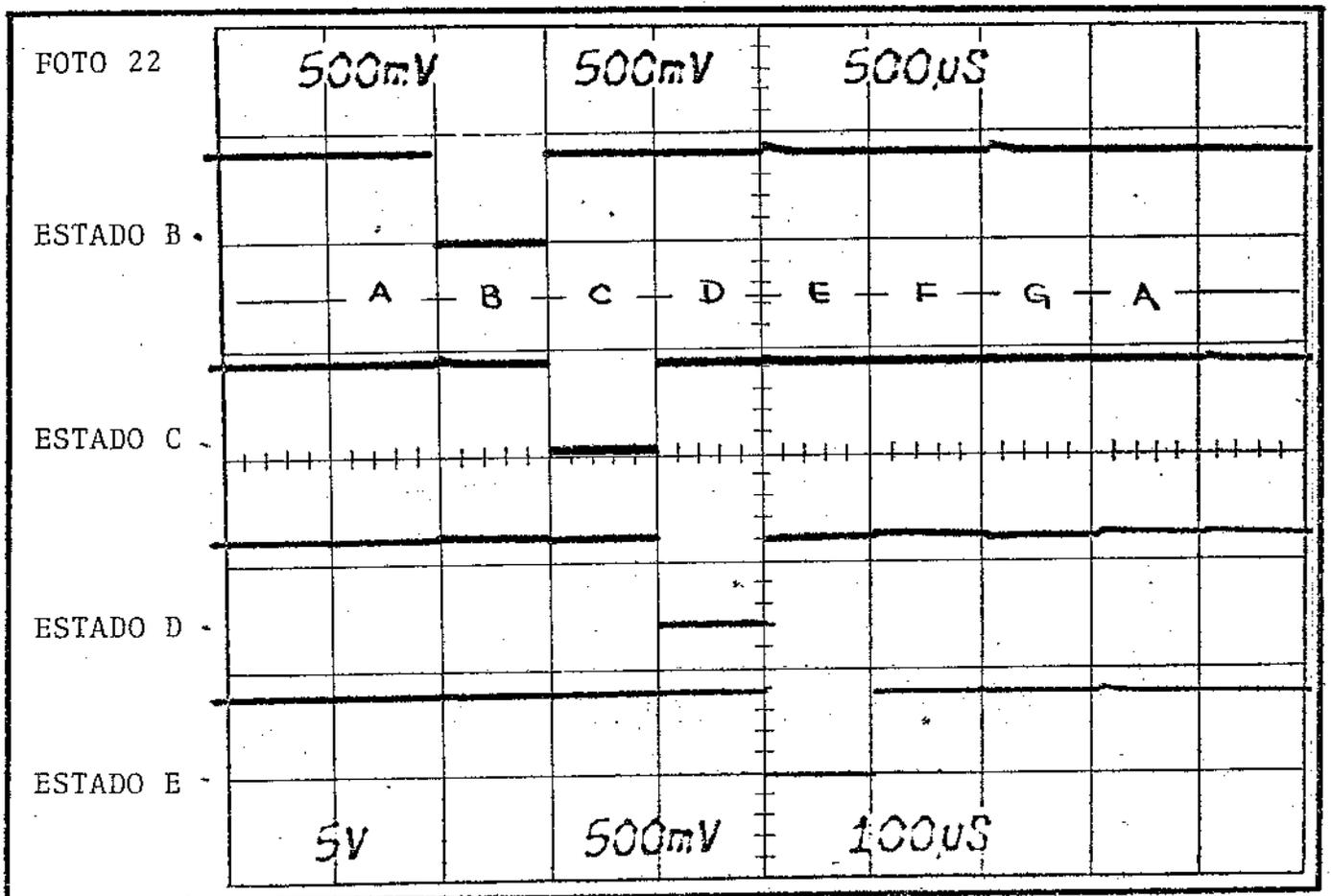
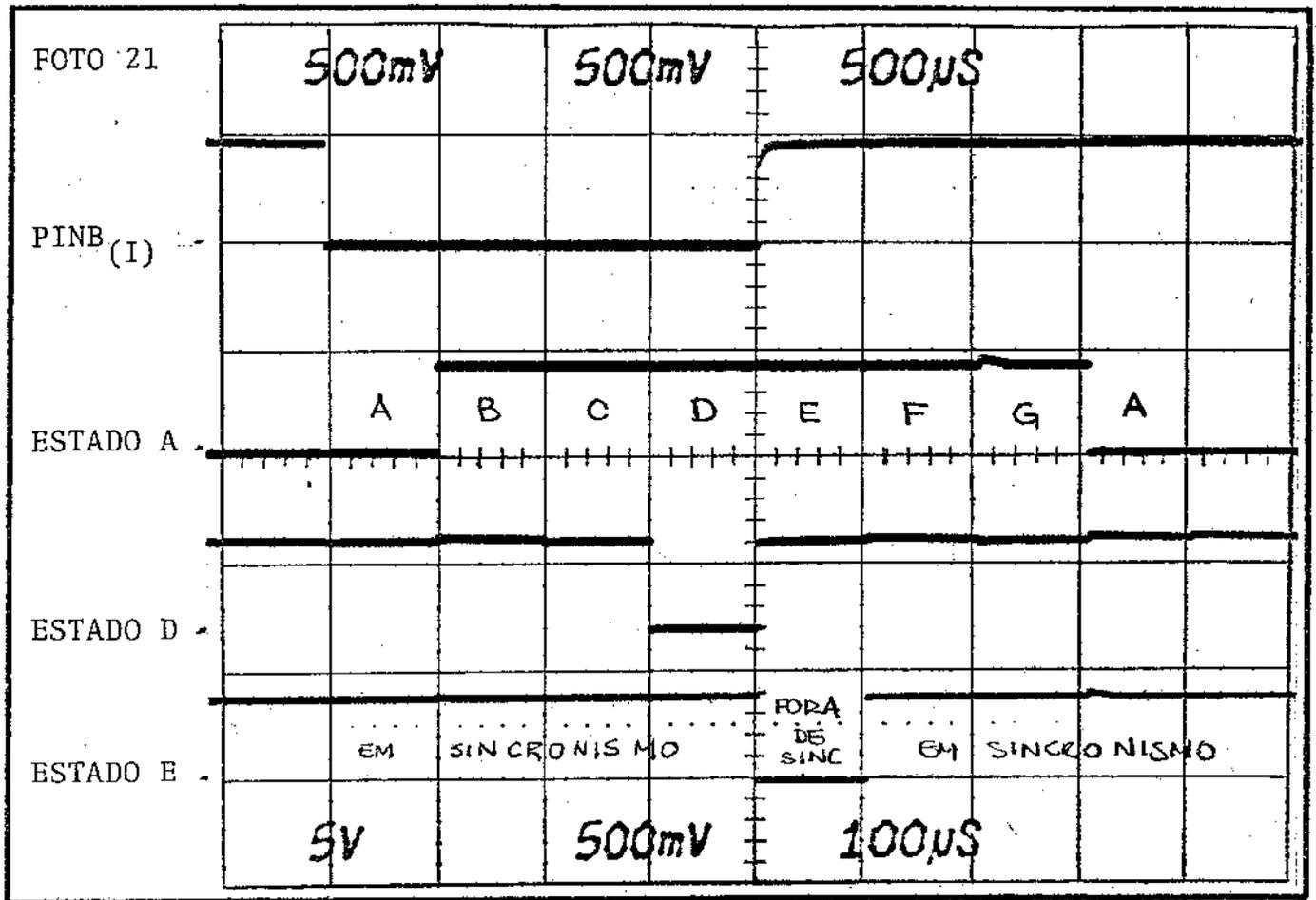


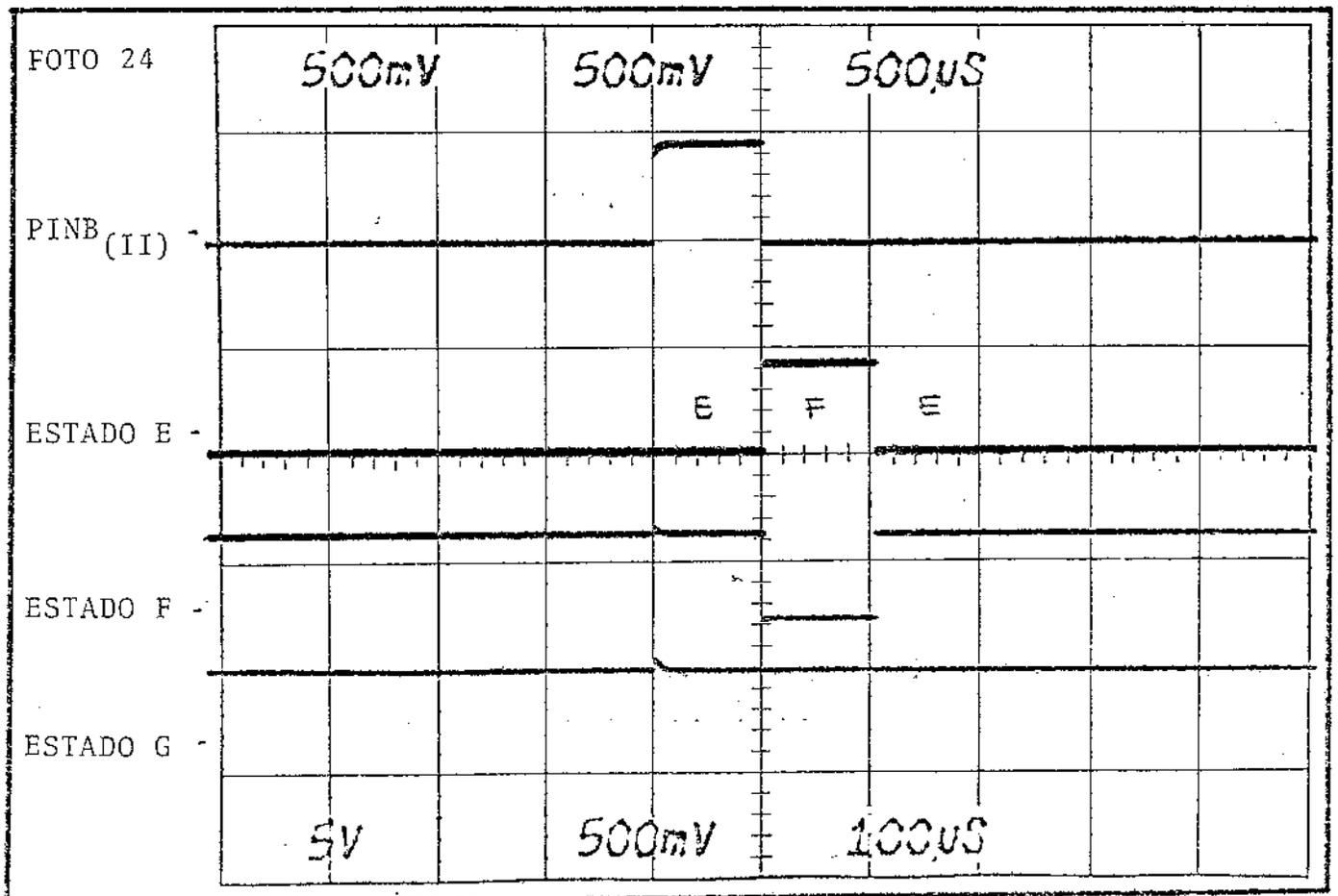
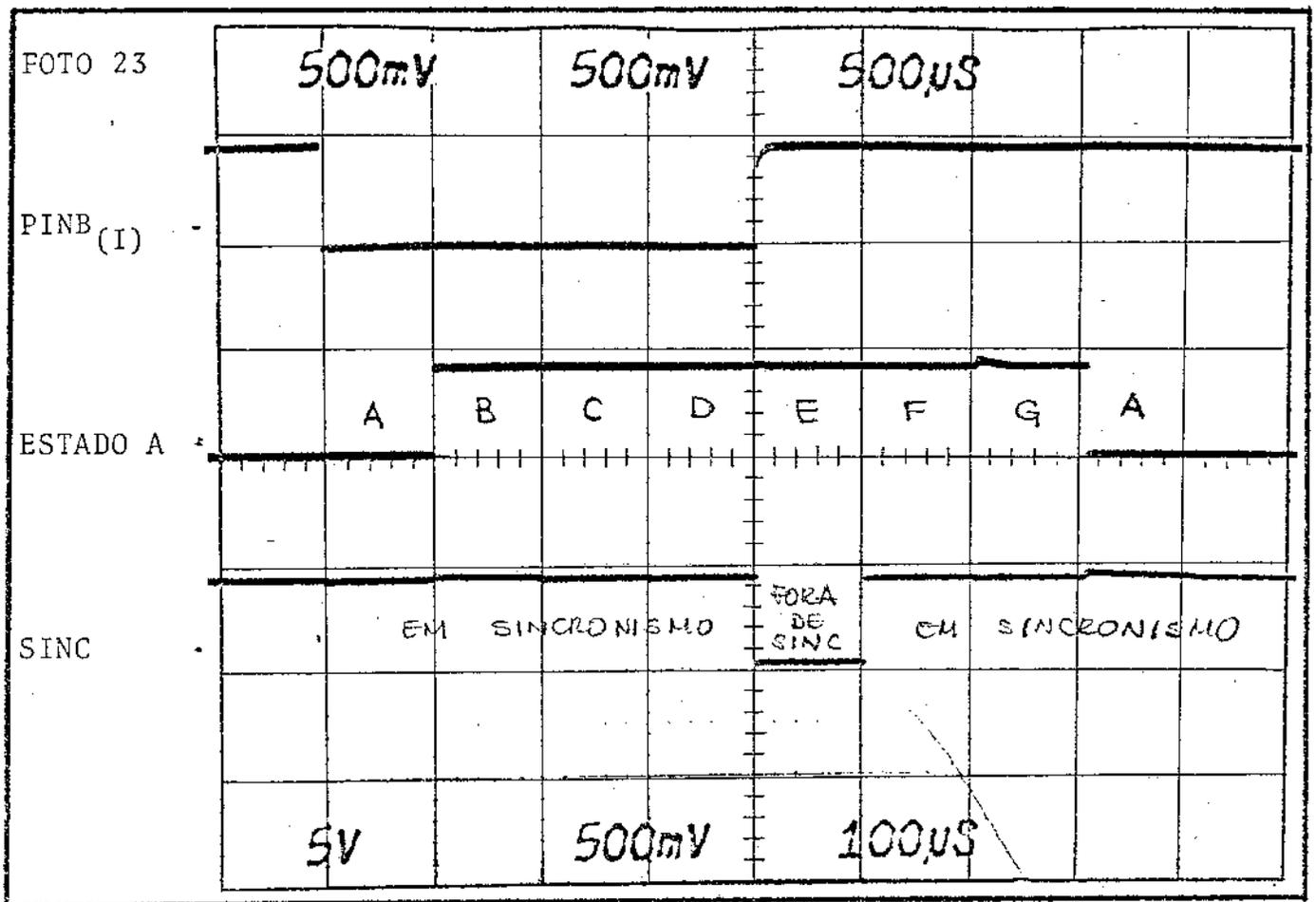
FOTO 16

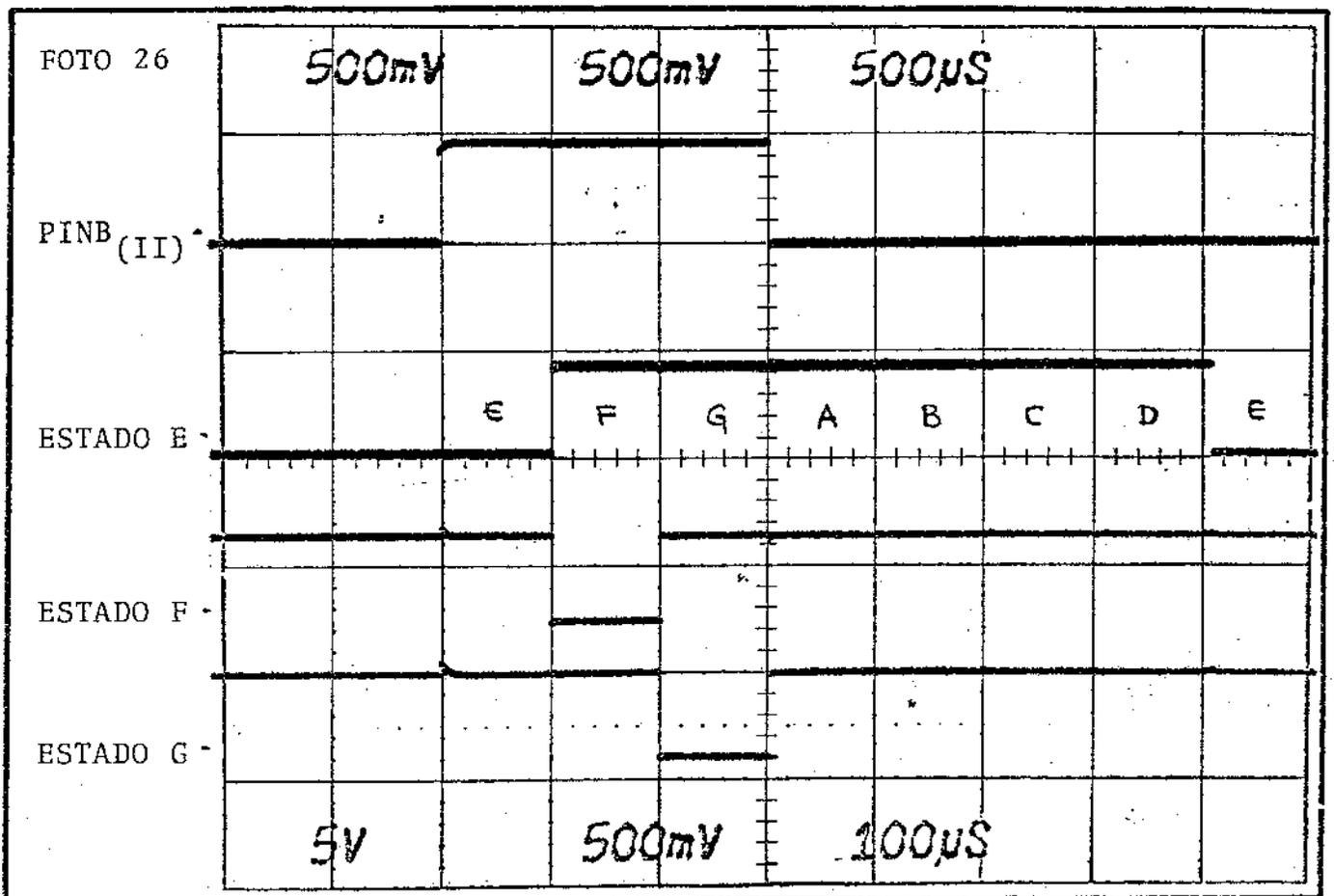
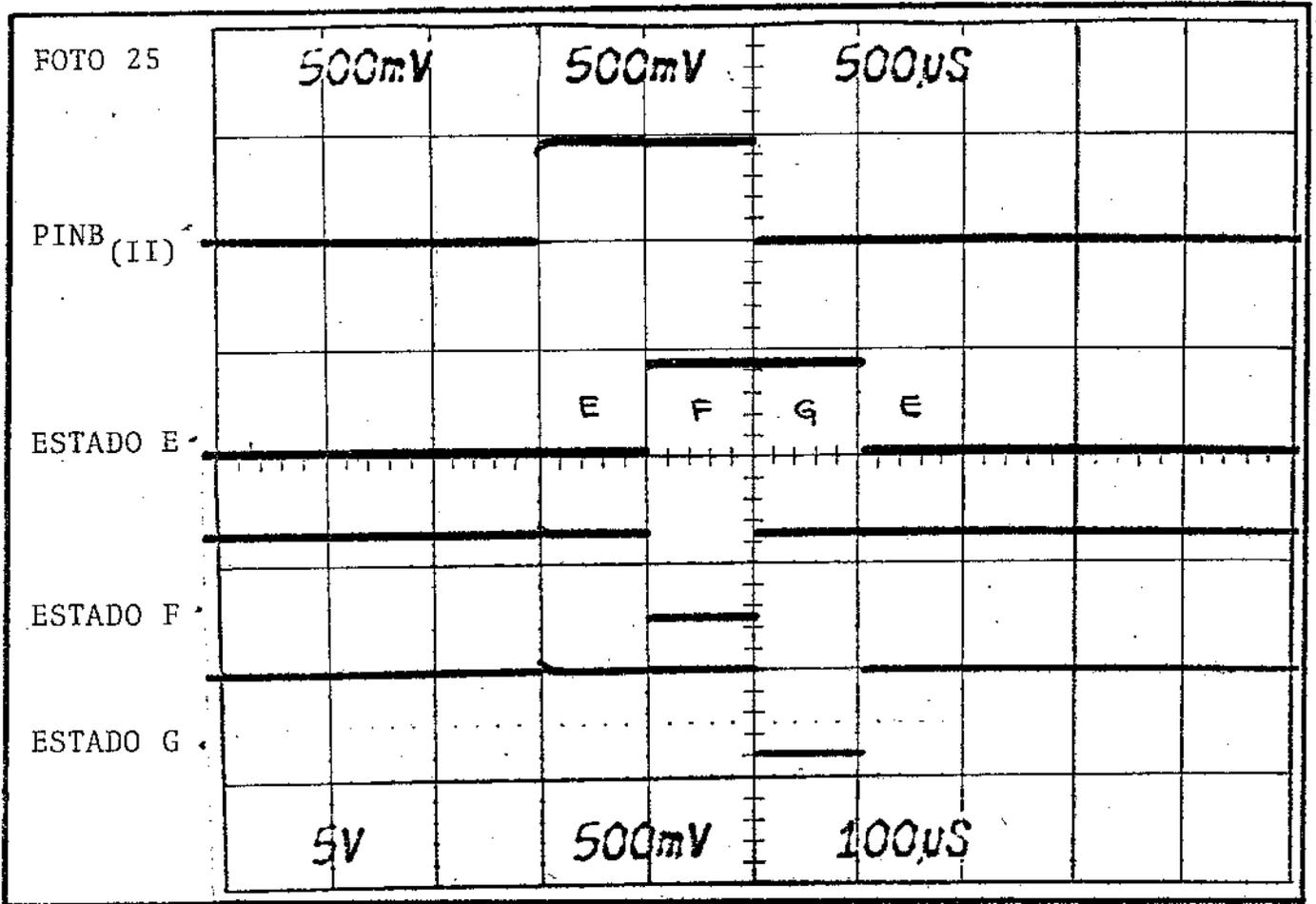


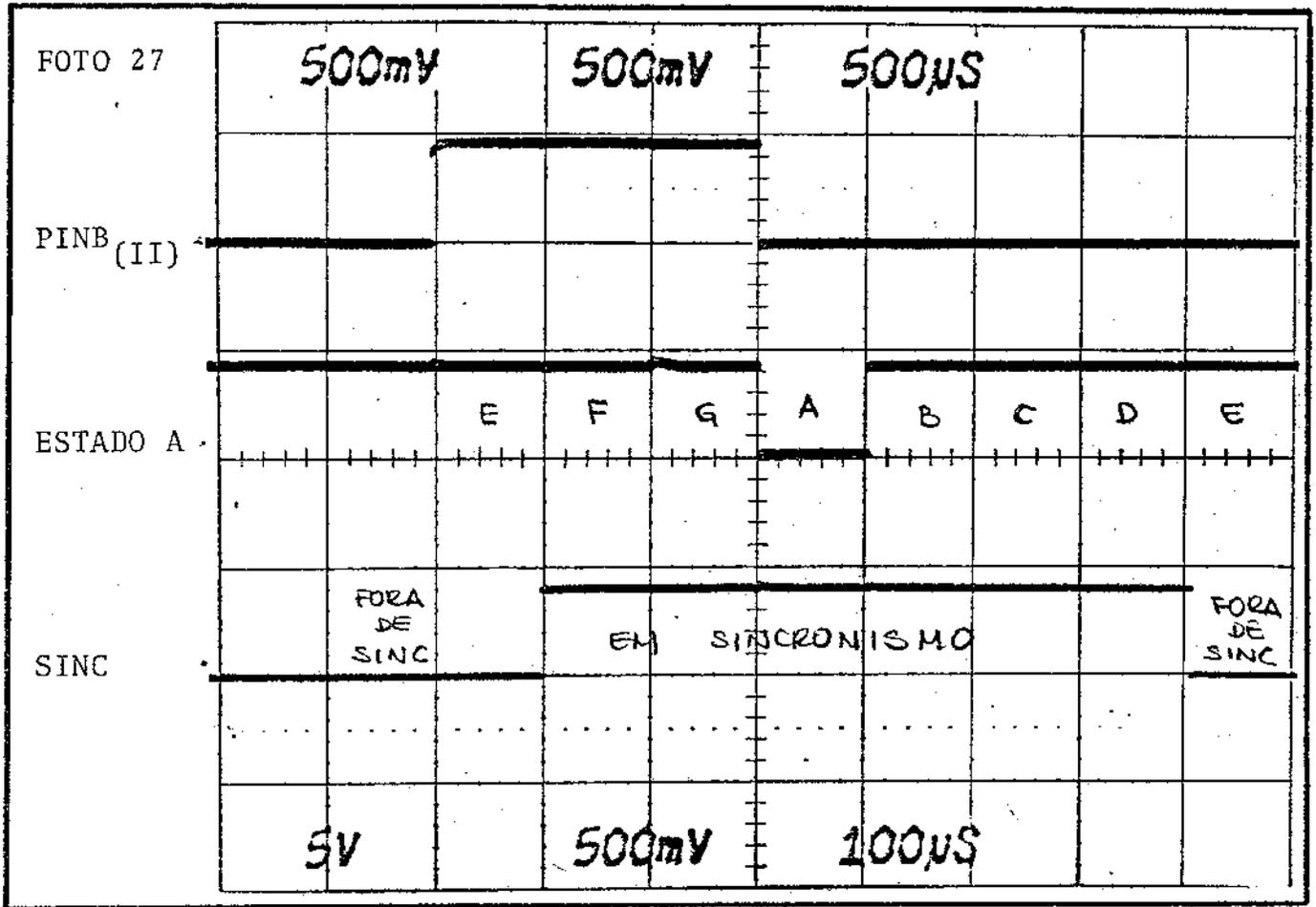












APÊNDICE I

EQUIPAMENTO DE TESTE DO
DEMÚLTIPLEXADOR

A.1 - EQUIPAMENTO DE TESTE

O equipamento demultiplexador deverá ser testado para a verificação do seu desempenho. Na verificação das ondas do gerador de quadro, do detetor de sincronismo e do separador de canal, faz-se a comparação das ondas previstas com as ondas observadas, através do osciloscópio. O desempenho do circuito de controle de sincronismo não pode ser verificado pela simples observação durante o funcionamento normal, pois os diversos estados do diagrama de busca de sincronismo ocorrem quase aleatoriamente e de maneira pouco frequente.

Para o teste do circuito de controle de sincronismo, faz-se necessário uma simulação de todas as situações possíveis na busca de sincronismo, conforme o diagrama de estado previsto

Devido a esse fato, decidiu-se implementar um equipamento de teste do circuito de controle de sincronismo.

Para a simulação das transições do estado "A" até "E", incluindo-se as intermediárias do diagrama de busca, necessitam-se da destruição sucessiva de 1 a 4 palavras padrão a partir da situação de sincronismo e, para a simulação das transições do estado "E" até "A", por um processo análogo, necessitam-se de 1 a 3 detecções corretas sucessivas da palavra padrão, a partir da situação de falta de sincronismo.

Para se implementar o circuito de teste, supõe-se que o sinal MCP de 8M é sempre recebido com a palavra de sincronismo intacta. O que se propõe realizar é a inibição da palavra padrão, utilizando-se para isso as entradas série do dispositivo shift register de 8 bits conversor série paralelo (74LS164), do estágio de entrada do demultiplexador. Como se sabe, as entradas série A e B deste dispositivo são tais que o primeiro flip-flop do CI, do tipo RS, recebe em $R = \bar{S} = \overline{A \cdot B}$ (Fig. III.3.2 e {R7, R8}). Isto permite que se utilize a entrada A como entrada para o sinal MCP 8M e a entrada B para receber o pulso inibidor da palavra padrão. Para isso, deve-se

gerar uma palavra inibidora ou desinibidora em fase com a palavra padrão.

O circuito de teste é composta de quatro partes básicas:

- 1) gerador de relógio
- 2) gerador de superquadro de teste
- 3) gerador da palavra inibidora
- 4) detetor de estados

É feita a seguir, a descrição de cada uma destas partes, e então, mostram-se as ondas de controle do equipamento de teste, e das ondas de controle do Demultiplexador.

A.I.1 - Gerador de Relógio

Para que o relógio não dependa do próprio demultiplexador onde haverá vazios na contagem durante as simulações do mesmo, a geração do relógio foi feita a partir do sinal MCP de 8M, cuja detecção da palavra de sincronismo dá origem a um pulso periódico de quadro. Portanto, o gerador de relógio é um circuito idêntico ao circuito detetor da palavra de alinhamento do demultiplexador.

A.I.2 - Gerador de Superquadro de Teste

O superquadro é formado por 16 quadros de sinal MCP de 2^a ordem. O objetivo de gerar um grupo com tal número de quadros, vem da necessidade de simular a perda de sincronismo que ocorre após quatro falhas consecutivas de detecção da palavra padrão e, por outro lado, a recuperação de sincronismo a partir da falta de sincronismo exige uma sequência de três detecções corretas da palavra padrão. Na verdade, não há necessidade de tantos quadros, mas foi realizado com 16 quadros, pois o contador adotado gera um pulso "carry" síncrono com o relógio, e este é gerado a cada 16

quadros. Esse pulso é utilizado para gerar a palavra inibidora. O relógio deste contador é o pulso citado na seção A. I.1. O contador adotado foi o 74LS163, descrito na seção III.6.

A.I.3 - Gerador da Palavra Inibidora

A palavra inibidora (PI) tem a função de inibir a palavra padrão, de uma até quatro vezes sucessivas, ou de desinibir a palavra padrão de uma até três vezes sucessivas. Para que o sistema em sincronismo atinja a condição de perda de sincronismo, a palavra PI deve gerar uma sequência de níveis "0" de um a quatro vezes sucessivas. Como após cada grupo de "0", a palavra PI retorna ao nível não inibidor, na próxima palavra detetada o circuito de controle de sincronismo retorna ao estado "A". Nesta fase, realiza-se a simulação da Fig. A.I.1.

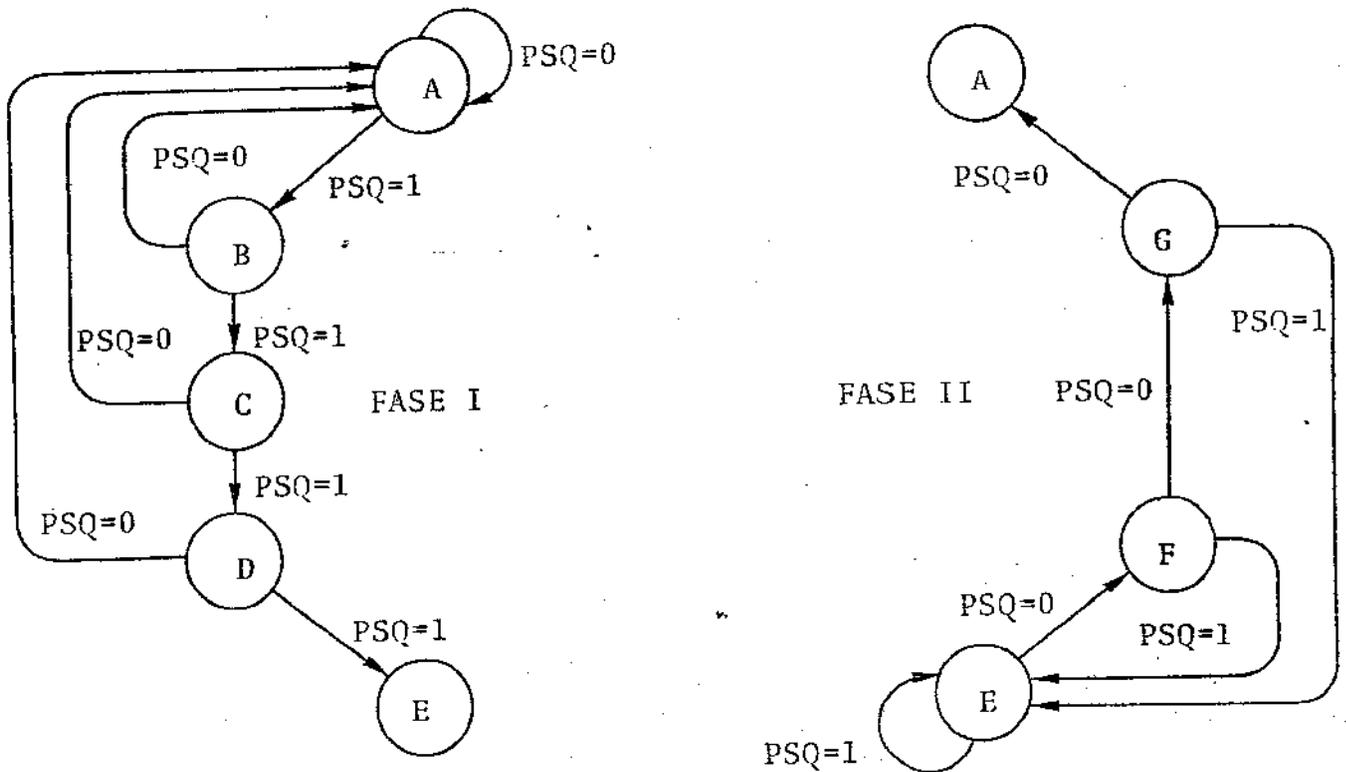


Fig. A.I.1 - Fases de busca de sincronismo.

Em seguida, realiza-se a fase de busca de sincronismo com o sistema em falta de sincronismo, o que implica que a palavra PI está sempre em nível "0", menos durante a simulação de não inibição, quando PI está em nível "1". Após um grupo de níveis "1", a PI retorna a "0", obrigando o circuito de controle de sincronismo a voltar ao estado "E", de acordo com a Fig. A.I.2, fase II.

O circuito que realiza a geração da palavra inibidora PI é obtida de um dispositivo shift register de 8 bits conversor paralelo/série (74LS166). As entradas paralelas de dado foi ligado um grupo de quatro chaves seletoras de nível "1" e "0", que permitem a geração de 0 a 4 sequências de "0" na saída série, que é a própria palavra PI. As entradas não utilizadas são mantidas em nível "1". O carregamento das entradas é feito a cada 16 quadros, através do gerador de superquadro, que gera um pulso "0" (CARRY) na entrada "shift-load" do conversor paralelo/série. A carga das entradas paralelas é feita sincronamente pelo relógio gerado na parte I. A saída série do conversor paralelo/série é sempre um pulso em nível "0". Logo, é perfeitamente adequado para simular a fase I, mostrada na Fig. A.I.1, onde a palavra PI deve causar destruições da palavra padrão. Para a simulação da fase II, mostrada na mesma figura, é preciso tomar a saída série do conversor paralelo/série invertida, para que a palavra PI seja um pulso em nível "1". A palavra resultante para os dois casos, denominamos PINB. Esta montagem é mostrada na Fig. A.I.2.

A.I.4 - Detetor de Estado

Para se monitorar o mecanismo de controle de sincronismo atingindo os diversos estados do diagrama de busca simulados pelo equipamento de teste, é implementado um circuito que deteta cada um dos estados do diagrama. O circuito tem como entradas, as saídas Y_0 , Y_1 , Y_2 e Y_3 dos flip-

flops do circuito de sincronismo, e estas são utilizadas para gerar as saídas correspondentes a cada um dos estados A, B, C, D, E, F e G. Este circuito é formado por um conjunto de portas NAND, que geram um pulso em nível "0" quando a palavra binária associada ao estado é atingida.

O circuito do equipamento de teste é mostrado na Fig. A.I.2.

A.I.5 - Procedimento do Teste

Para a realização dos testes do circuito de controle de sincronismo com o equipamento projetado, faz-se a montagem conforme o esquema da Fig. A.I.3.

Os terminais de entrada do cartão de teste são:

- REL 8M
- MCP 8M
- Q_A, Q_B, Q_C, Q_D sinais vindos do cartão de controle de sincronismo

Os terminais de saída do cartão de teste são:

- PINB , palavra inibidora que vai para o cartão Demux.
- $\left. \begin{array}{l} A, B, \\ C, D, \\ E, F, \\ G \end{array} \right\}$, pontos de leitura dos estados.
- TRIGGER , para sincronização do osciloscópio.

Para a geração da palavra inibidora e a realização da simulação dos estados de procura do circuito de controle de sincronismo, é dada uma tabela com as ligações a serem efetuadas em cada caso de simulação (Fig. A.I.4).

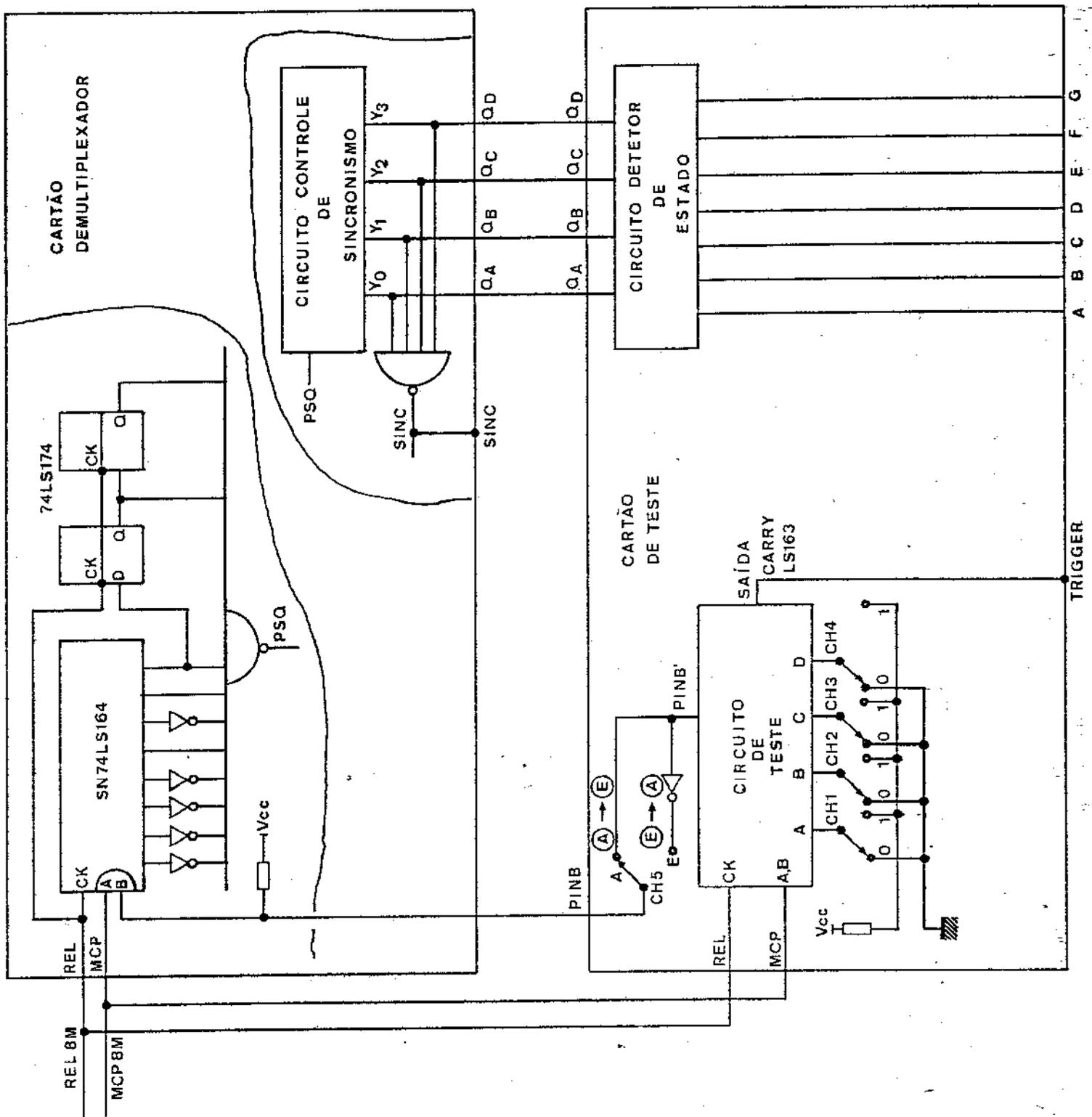


FIG. A.1.3 - MONTAGEM PARA TESTE

De acordo com a Fig. A.I.4, o equipamento de teste ligado no demultiplexador, gera um conjunto de ondas de simulação que são mostradas na Fig. A.I.5 e na Fig. A.I.6, através de um diagrama de tempo. Essas figuras mostram claramente que os estados intermediários do processo de busca de sincronismo são atingidos corretamente. Isto pode ser analisado, comparando o diagrama de tempo com a tabela mostrada na Fig. A.I.4. Observa-se no último grupo de ondas da Fig. A.I.5, onde se mostra a simulação do sistema em sincronismo atingindo o estado de falta de sincronismo que, após três detecções corretas, a partir do estado "E", o sincronismo é recuperado, totalmente, atingindo o estado "A" (onda estado A). O mesmo ocorre com relação ao último grupo de ondas da Fig. A.I.6, onde se mostra a simulação do sistema fora de sincronismo atingindo o estado de sincronismo (estado A) que, após quatro destruições, a partir do estado "A", o sincronismo é perdido, atingindo de novo o estado "E".

Com este estudo, conclui-se que o equipamento de teste é capaz de simular todas as situações possíveis que o circuito de controle de sincronismo pode atingir.

O circuito da Fig. A.I.2 foi implementado em um cartão de circuito impresso modulado para projetos digitais e de dimensões idênticas ao demultiplexador. Devido a isso, o equipamento de teste pode ser inserido no bastidor do equipamento Multiplex 8 Mbit/s com todas as interligações realizadas através dos conectores do próprio bastidor.

Este equipamento pode ser produzido como parte do equipamento de teste na linha de produção do sistema MCP-120.

TRANSIÇÃO DE ESTADOS	CH-1	CH-2	CH-3	CH-4	CH-5	PINB NÍVEL LÓGICO	OBS
	1	1	1	1		1	sempre
	0	1	1	1		0	1 pulso
	0	0	1	1	A	0	2 pulsos
	0	0	0	1		0	3 pulsos
	0	0	0	0		0	4 pulsos
	1	1	1	1		0	sempre
	0	1	1	1		1	1 pulso
	0	0	1	1	E	1	2 pulsos
	0	0	0	1		1	3 pulsos

OBS - Os pulsos citados têm a largura de um quadro de um.

Fig. A.1.4 - Esquema para chaves de seleção da palavra inibidora (PINB)

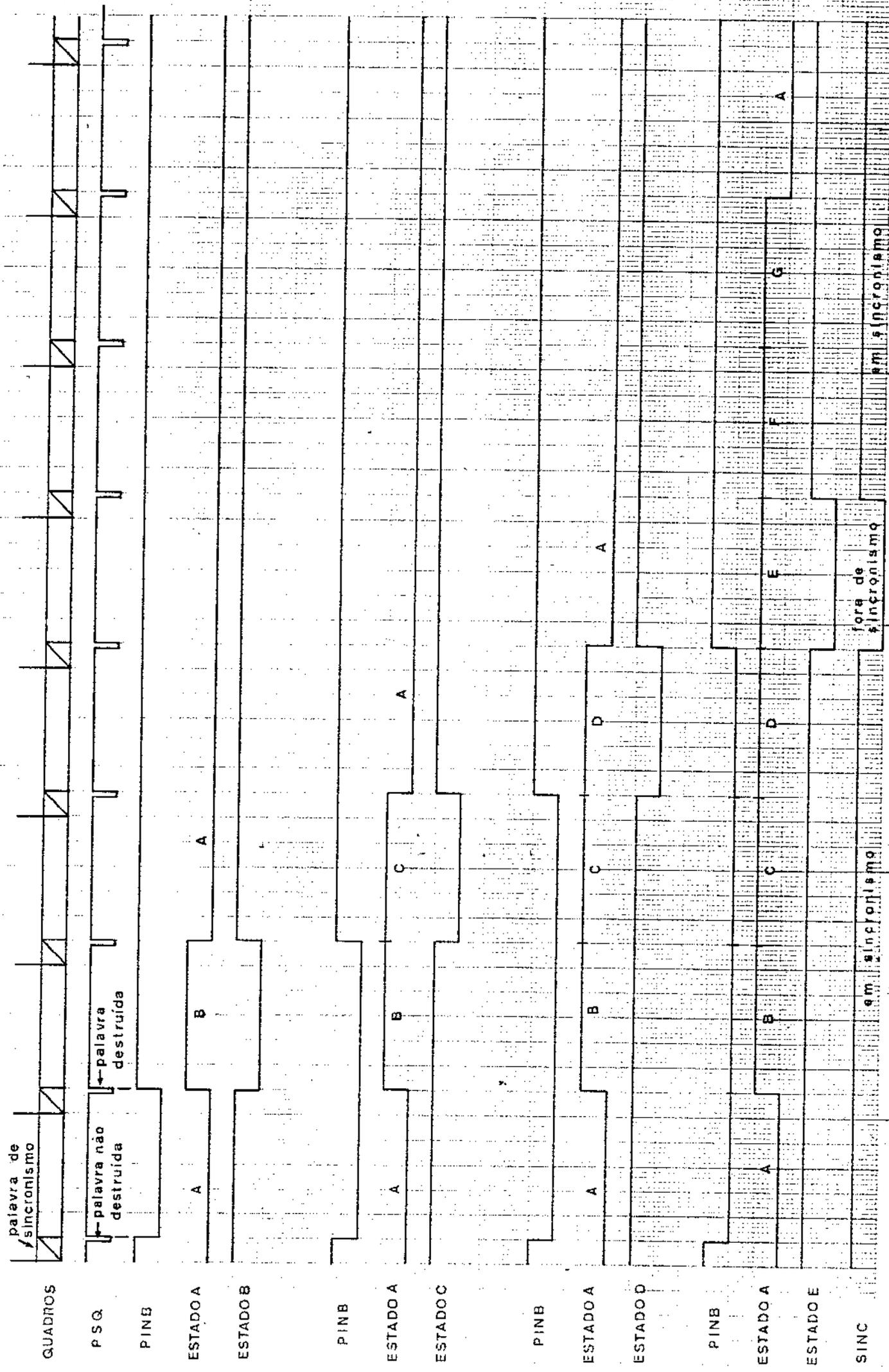


FIG. A-1.5-DIAGRAMA DE TEMPO DA FASE I DE SINCRONISMO

20
30
40

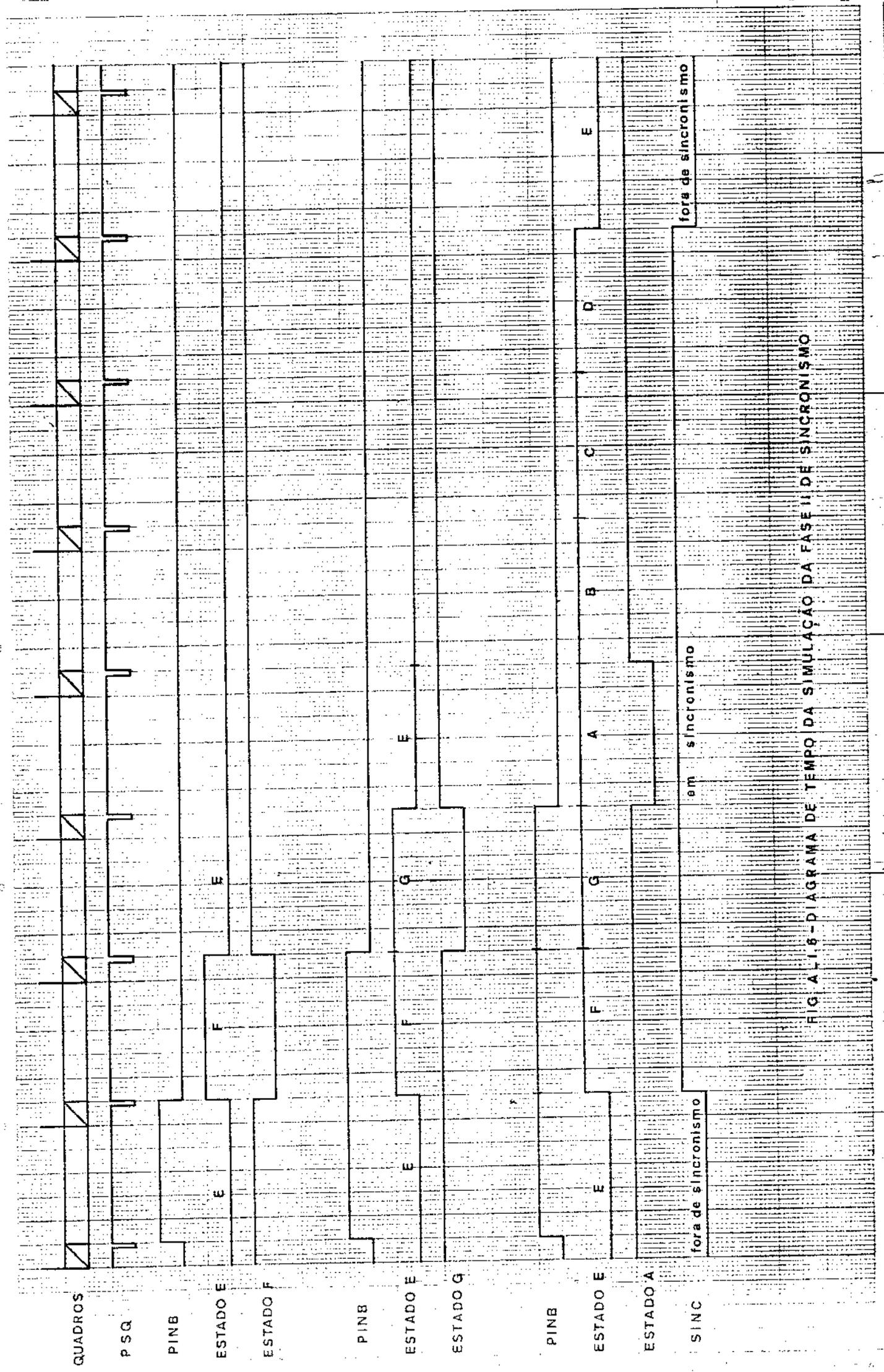


FIG. A.1.5 - DIAGRAMA DE TEMPO DA SIMULAÇÃO DA FASE II DE SINCRONISMO

REFERÊNCIAS BIBLIOGRÁFICAS

- {R1} - OWEN, F.F.E. - "Seminários sobre Transmissão Digital" - FEC - UNICAMP - Julho/76.
- {R2} - BRIGHAN, E.R; SNAITH, M.J. and WILCOX, D.M. - "Multiplexing for a Digital Mani Network" - (revista desconhecida).
- {R3} - AQUINO, L.A.C.; WALDMAN, H. - "Minimização de Jitter em Sistemas MCP de 2^a Ordem através de Phase Locked Loop" - FEC - UNICAMP - Abril/77.
- {R4} - DÈCINA, M. - "Planning of a Digital Hierarchy" - IEEE Trans. on Communication - Fev/72.
- {R5} - SHIMASAKI, N.; KOHASHI, T.; HABARA, K. and SUZUKI, Y. - "A Compatible Multiplexing Technique for Anisochronous and Isochronous Digital Data Traffic" - IEEE Trans. on Communications, Nov/75.
- {R6} - "International Telegraph and Telephone Consultative Committee" - CCITT, Genevo, 1976 - Recommendation G742 - Ap. VI - n° 66-E.
- {R7} - "The TTL Data Book for Design Engineers" - Texas Inst. Incorp. - 1973.
- {R8} - "Suplement of the TTL Data Book for Design Engineers" - 1^a Edição - 1975 - Texas Inst. Incorp.
- {R9} - "National Semiconductor - TTL Data Book" - 1976 - National Semiconductor Corporation.
- {R10} - "Fairchild Semiconductor - TTL Data Book" - Jun/72.
- {R11} - PRADO LOPES, L.C. e SCARABUCCI, R.R. - "Controle e Multiplexagem em Sistemas MCP de 2^a Ordem" - FEC - UNICAMP - Jul/77.

- {R12} - SITTLER, R.W. - "Systems Analysis of Discrete Markov Processes" - IRE Trans. on Circuit Theory - Dez/56 - pp. 257-266.
- {R13} - FELLER, W. - "An Introduction to Probability Theory and Its Applications" - Second Edition - Vol. I - 1957 - John Wiley & Sons.
- {R14} - DECINA, M. ; BUGIA, O - "Reframing Statistics of PCM Multiplex Transmission" - Electronics Letters, Nov/69, Vol.5 - n° 24.
- {R15} - HABERLE, H. - "Frame Synchronizing PCM Systems" - Electrical Communication - Vol. 44 - n° 4 - 1969.
- {R16} - BYLANSKI, P.; INGRAM, D.G.W. - "Digital Transmission Systems" - Peter Peregrinus Ltd. - 1975 - Inglaterra.