



UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E COMPUTAÇÃO



INVESTIGAÇÃO DE RUÍDO E SENSIBILIDADE EM MAGFETS
E AVALIAÇÃO DO SEU EMPREGO NO CONTROLE DE EMISSÃO
ELETROMAGNÉTICA EM CIRCUITOS INTEGRADOS DE POTÊNCIA

Autor: Fernando Cardoso Castaldo

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

*Tese submetida à Faculdade de Engenharia Elétrica e de Computação da
Universidade Estadual de Campinas, para preenchimento dos requisitos
exigidos para obtenção de título de **Doutor em Engenharia Elétrica***

Banca Examinadora

Prof. Dr. Carlos Alberto dos Reis Filho – DSIF-FEEC/UNICAMP (Presidente)

Prof. Dr. Wilmar Bueno de Moraes - DEMIC-FEEC/UNICAMP

Prof. Dr. José Antenor Pomílio – DSCE-FEEC/UNICAMP

Prof. Dr. Walter Germanovix - DEE / UEL

Prof. Dr. Carlos Galup Montoro - DEE / UFSC

Prof. Dr. Francisco Javier Ramirez Fernandez - DESE / USP

Campinas, Junho de 2005.

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

C274i	Castaldo, Fernando Cardoso Investigação de ruído e sensibilidade em MAGFETs e avaliação do seu emprego no controle de emissão eletromagnética em circuitos integrados de potência / Fernando Cardoso Castaldo. --Campinas, SP: [s.n.], 2005. Orientador: Carlos Alberto dos Reis Filho. Tese (doutorado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação. 1. Ruído. 2. Circuitos integrados. 3. Microeletrônica. I. Reis Filho, Carlos Alberto dos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.
-------	--

Titulo em Inglês: Investigation of noise and sensitivity in MAGFETs and its application in the control of electromagnetic emissions in power integrated circuits

Palavras-chave em Inglês: Magfet, Split-drain, Noise, Magnetic Sensors.

Área de concentração: Eletrônica, Opto-Eletrônica e Microeletrônica.

Titulação: Doutor em Engenharia Elétrica

Banca examinadora: Wilmar Bueno de Moraes, Jose Antenor Pomílio, Walter Germanovix, Carlos Galup Montoro e Francisco Javier Ramirez Fernandez

Data da defesa: 03/06/2005

RESUMO

Este trabalho aborda a questão da compatibilidade eletromagnética em circuitos chaveados integrados, tipicamente conversores DC-DC dedicados. Neste sentido, propõe-se uma técnica de controle da emissão eletromagnética baseada no sensoriamento do campo magnético próximo através da utilização de transistores MOS do tipo *split-drain*. Desta forma, pode-se integrar conjuntamente o transistor de potência e o *split-drain*. O sinal produzido pelo sensor pode ser enviado a um circuito de acionamento que controla a derivada da corrente no transistor de potência, limitando, desta forma, a emissão gerada. Entretanto, o ruído associado ao transistor *split-drain* limita severamente a resolução do sensor. Estudos realizados indicaram a existência de uma corrente de ruído em excesso observada através de medidas de correlação de ruído, denominada corrente de ruído transversal. Esta corrente limita a relação sinal-ruído do sensor magnético, principalmente no modo diferencial, com impacto direto na resolução do sistema detector. A partir do entendimento dos mecanismos de geração de ruído investigados, circuitos detectores de campo magnético que atendam determinada resolução podem ser projetados, viabilizando-se assim, a implementação de sensores de emissão eletromagnética.

ABSTRACT

This work deals with the electromagnetic compatibility (EMI) issues aimed to power integrated circuits, typically DC-DC converters. An EMI controlling approach based on magnetic near field measurements using CMOS split-drain transistors (MAGFETS) as magnetic sensors is investigated. Monolithic applications can be envisaged comprising the power circuit and the magnetic sensor. The detected signal can be sent to a slew-rate-based controlling driver that sets the electromagnetic emissions below a specific level. However, the electronic noise associated with the split-drain transistor affects the sensor resolution. In this sense, it was observed through correlation measurements an excess noise current associated with the split-drain transistor, called transversal noise current. A noise model taking into account the transversal noise current is proposed, allowing the implementation of magnetic sensors featuring a specific resolution aimed to electromagnetic emissions detectors.

AGRADECIMENTOS

Ao Prof. Reis pela orientação, empenho e seriedade. Suas atitudes contribuíram também para minha formação técnica, profissional e pessoal.

Agradeço aos colegas e amigos do laboratório, entre muitas coisas, ao companheirismo que nos manteve unidos e perseverantes em nossas metas. E nos momentos de dificuldades ou não, sempre estavam presentes: Vamos lá: Beto, JP (João Paulo), Dulce, Jorge, Mano (André Couto), André Fortunato, Donato, David, Vilson, Ricardo.

Agradeço às pessoas que tiveram interação com a realização deste trabalho: Prof. Afonso, Cíntia Junqueira (CTA), Marcelo (DMO), Pessoal do Cenpra (Pimentel, Felix, Diogo, Saulo, Marinalva, Wellington), Pessoal do almoxarifado (Toninho, João e Ivo).

Um agradecimento especial ao aluno Pablo Rodrigues, pelo empenho e dedicação.

Agradeço ao Departamento de Engenharia Elétrica-DEEL da Universidade Estadual de Londrina pela minha liberação para a realização deste trabalho de tese, em especial ao Prof. Walter Germanovix, então chefe de Departamento do DEEL.

A Deus, por ter me concedido perseverança.

Fabiola, por este tempo vivido.

ÍNDICE

INTRODUÇÃO

Investigação de ruído e sensibilidade em MAGFETs e avaliação do seu emprego no controle de emissão eletromagnética em circuitos integrados de potência	xv
Objetivo e contribuições	xvi
Referências	xx

1-COMPATIBILIDADE ELETROMAGNÉTICA EM CIRCUITOS CHAVEADOS

1.1. Introdução	1
1.2. Emissão eletromagnética de circuitos chaveados	4
Detecção dos campos eletromagnéticos gerados	5
Acionamento controlado: Impacto nas emissões eletromagnéticas	8
Avaliação de interferências geradas: Medidas de <i>Pré-Compliance</i>	16
1.3. Transistores utilizados em circuitos integrados de potência	23
1.4. Circuito de <i>Driver</i> com ajuste de EMI implementado	26
1.5. Aplicações Smart-Power	31
Técnicas de comutação suave	34
Drivers integrados e pads de I/O	35
Drivers discretos para MOSFETs e IGBTs	40
	ix

Conversores DC-DC integrados implementados	41
1.6. Conclusões	46
Anexo I - Detectores utilizados em medidas de campo magnético próximo	47
Anexo II - Principais normas de emissão eletromagnética	55
Referências	59
2-SENSORES MAGNÉTICOS: ESTUDO DE RUÍDO	
2.1.Introdução	65
2.2. Ruído em sensores baseados em semicondutores	66
2.3. Conceitos básicos aplicados ao estudo de ruído em sensores	68
1-Distribuição de amplitudes de ruído e Fator de Ruído	68
2-Análise de Fourier	71
3-Autocorrelação e correlação cruzada no domínio do tempo	77
2.4 Instrumentação empregada	80
2.5. Resultados experimentais - Verificação de ruído em circuitos eletrônicos	85
1-Verificação de consistência: Medida do ruído gerado por um resistor	86
2-Espelho de corrente implementado com transistores PMOS - Medida de ruído gerado	87
3-Comparação das amplitudes de ruído gerado por transistores bipolar e MOS	88
4-Verificação do ruído Flicker utilizando o modelo proposto por Galup [25]	90
5-Detector de campo magnético com MAGFET	92

6-Filtro passa-faixa com $BW=100\text{Hz}$ conectado à saída de um sensor magnético	94
2.6. Verificação visual da correlação de ruído	98
1-Fontes de corrente	99
2-Par diferencial	100
3-Split-Drain em conexão clássica	101
4-Transistor bipolar-duplo coletor	102
5-Ponte de resistores	103
2.7. Modelos de ruído para transistores MOS	105
Modificação do modelo para análise de Ruído $1/f$ na direção transversal	111
Inclusão de efeitos de segunda ordem (variação da mobilidade e velocidade de saturação)	113
Efeito da velocidade de saturação	116
2.8. Verificação experimental	116
1-Verificação do ruído térmico - Região de saturação	116
2-Verificação do ruído térmico - Região linear	118
3-Verificação das correntes de ruído longitudinal e transversal	119
2.9. Modelo para análise da correlação de ruído em transistores <i>Split-Drain</i>	123
2.10. Evidências experimentais complementares da corrente de ruído transversal	129
Influência do Gap	131
2.11. Verificação experimental do Modelo de Corrente Transversal - Ruído Térmico	132

Verificação experimental - Ruído 1/f	138
2.12. Determinação do mínimo campo detectável	139
2.13. Conclusões	141
Anexo I - Determinação do coeficiente de correlação complexo	142
Anexo II - Determinação da Resistência entre Drenos de um Split-Drain utilizando HP4155	143
Anexo III - Função Autocorrelação e Ruído Shot	144
Referências	145
 3-SENSORES MAGNÉTICOS: CIRCUITOS DE LEITURA	
3.1.Introdução	149
3.2. Detecção de irradiação eletromagnética	151
Determinação da amplitude do campo magnético	152
Resolução do circuito detector de campo magnético	155
Exemplo para análise	155
3.3. Circuitos básicos	159
Amplificador de Transresistência	159
Amplificador de Razão de Áreas	172
Associação Split-Drain e Espelho (MagMirror)	179
Par Complementar	183
3.4. Redução do acoplamento indutivo	186

3.5. Circuitos sensores de corrente	189
Bobina Integrada	192
Shunt-Zero	197
Medidor de potência elétrica	202
3.6. Circuitos de correção de <i>Offset</i>	204
3.7. Conclusões	207
Referências	208
CONCLUSÕES	211
APÊNDICES	
Estudo dos Sensores Magnéticos	A1-1
Trabalhos completos apresentados em conferências	A1-2

INTRODUÇÃO

INVESTIGAÇÃO DE RUÍDO E SENSIBILIDADE EM MAGFETS E AVALIAÇÃO DO SEU EMPREGO NO CONTROLE DE EMISSÃO ELETROMAGNÉTICA EM CIRCUITOS INTEGRADOS DE POTÊNCIA

A tendência natural à miniaturização dos sistemas eletrônicos para uso em diversos setores tais como a indústria automotiva, informática, telecomunicações, equipamentos médicos e diversos outros tem se tornado uma realidade graças aos avanços experimentados na indústria Microeletrônica. Entretanto, considerando os níveis de corrente e tensão que normalmente um circuito integrado suporta e principalmente a dissipação térmica, conclui-se que os mesmos não são adequados para implementação de circuitos de potência, tais como *drivers* e atuadores. Neste cenário, surgem tecnologias, denominadas *Smart Power*, que permitem a integração de sistemas incluindo-se as etapas de potência [1], [2]. A partir de então, a realização de sistemas integrados que combinassem o processamento do sinal (analogico e/ou digital) com a capacidade de acionamento de dispositivos externos, incluindo-se os elementos de proteção tornou-se realidade. Naturalmente, a tendência do mercado em recorrer às soluções *Smart-Power* reside principalmente na questão da portabilidade que os sistemas apresentam, implicando em redução de custos numa linha de montagem, por exemplo. A redução de peso e espaço também é um ponto importante. A integração dos sistemas ainda melhora a confiabilidade dos mesmos, uma vez que o controle da fabricação do componente é realizado em todo o sistema simultaneamente. Com ênfase nas tecnologias apropriadas para a implementação de circuitos *Smart-Power* pode-se citar a Tecnologia BCD que utiliza transistores bipolares para a implementação de funções analógicas, CMOS em alta densidade de integração para as funções digitais e transistores DMOS para operar como elementos de *driving* [1]. Alternativamente as tecnologias CMOS têm sido

aproveitadas para a implementação de circuitos *Smart-Power* graças ao desenvolvimento de dispositivos com maiores tensões de trabalho disponíveis na tecnologia [3].

Circuitos *Smart-Power* devem atender a critérios específicos de projeto, como por exemplo, alta performance dos circuitos de proteção. Sob este enfoque, diversas arquiteturas têm sido propostas, comumente denominadas *Intelligent Power Modules* [4], [5]. Estes circuitos implementam diversas proteções (temperatura, corrente, tensão) com níveis de atuação programáveis, realizam diagnósticos das condições de operação do circuito e são adequados para operação em ambientes severos tais como em aplicações automotivas [6].

Um importante aspecto nestas aplicações refere-se ao problema da compatibilidade eletromagnética (EMI). Existe uma preocupação constante das agências reguladoras com a emissão eletromagnética gerada por um produto ou equipamento eletrônico. O atendimento às normas impostas por uma agência reguladora é condição essencial para um produto ser comercializado em determinado país. A série de normas FCC ou CISPR determina os níveis máximos de interferências eletromagnéticas irradiadas ou conduzidas por um determinado equipamento obtidas através de ensaios apropriados [7]. Embora tais ensaios devam ser realizados a partir do equipamento já implementado em sua forma final para fins de certificação, a utilização de circuitos integrados com baixo nível de geração de interferência eletromagnética durante a fase de projeto contribuirá de forma significativa na redução total destes níveis. Assim, entende-se que o conceito *Smart-Power* pode ser estendido à concepção de circuitos integrados inteligentes de potência considerando a capacidade de controle da emissão eletromagnética pelo próprio circuito.

OBJETIVOS E CONTRIBUIÇÕES

A partir das considerações citadas, busca-se implementar uma aplicação monolítica de um circuito que opere em modo chaveado, cujos níveis de emissão eletromagnética possam ser

monitorados e controlados durante os instantes de comutação. Inicialmente, buscou-se o entendimento do problema das emissões associadas ao processo de comutação, através de simulações eletromagnéticas e medidas de irradiação de campo próximo e distante. Técnicas de comutação aplicáveis na redução de EMI foram investigadas. Considerações a esse respeito são descritos no Cap.I.

Basicamente, a emissão eletromagnética gerada por um circuito operando no modo comutado ocorre inicialmente no campo próximo, através de acoplamentos capacitivo ou indutivo, e posteriormente no campo irradiado ou distante. Este último depende fortemente da geometria do circuito, cujos elementos podem atuar como “antenas”. De fato, o *lay-out* do circuito integrado não é a principal causa da emissão eletromagnética, estando esta geralmente associada ao encapsulamento e montagem do circuito integrado na placa de circuito impresso. Por outro lado, o campo eletromagnético na sua origem (campo muito próximo ou local) apresenta um comportamento mais previsível, sendo possível identificar a natureza da geração e propagação da EMI. Por exemplo, circuitos operando com comutação de corrente em malhas de baixa impedância produzem campos magnéticos locais que refletem a corrente processada pelo circuito. O conteúdo espectral e amplitudes associadas a este campo estão diretamente relacionadas com a amplitude do campo elétrico distante, que será medida em um teste de compatibilidade eletromagnética. Desta forma, em se dispondo de um sensor de corrente ou sensor de campo magnético, a irradiação eletromagnética pode ser avaliada na sua origem através da detecção do campo magnético próximo. Esta técnica tem por objetivo identificar o conteúdo harmônico gerado pelo processo de comutação do transistor de potência bem como as amplitudes das harmônicas correspondentes. Assim, o sensoriamento deste campo pode ser realizado a partir de um transistor CMOS do tipo *split-drain* [8], possibilitando o isolamento entre os circuitos de potência e de sensoriamento. O uso deste sensor em aplicações monolíticas se justifica, pois as ordens de grandeza dos campos magnéticos gerados pelas correntes chaveadas internas ao circuito integrado

se situam na faixa de mili-Teslas. Estes campos apresentam intensidade suficiente para serem detectados por um sensor *split-drain*. Além disso, a operação em modo corrente permite ao sensor atingir altas frequências de operação, necessárias ao sensoramento do campo magnético. A partir do sinal produzido pelo dispositivo, um controlador pode atuar no processo de comutação do transistor de potência e modificar os níveis de EMI gerados. O elemento de *driver* necessário consiste de um acionador com ajuste de *slew-rate*, como descrito no Cap.I. A partir deste ponto, todos os elementos necessários à implementação de uma solução monolítica para controle de EMI em circuitos integrados de potência já estavam definidos, o que originaria aplicações *Smart-Power* com controle de emissão eletromagnética.

Entretanto, no decorrer deste trabalho, observou-se severas limitações quanto à detecção e resolução do sensor magnético CMOS *split-drain*, principalmente em relação às ordens de grandeza dos campos magnéticos a serem detectados. O fator limitante, neste caso, refere-se ao ruído gerado pelo transistor. Extensivos estudos experimentais foram necessários para identificar uma corrente de ruído em excesso no dispositivo *split-drain*, a corrente de ruído transversal, aspecto não citado na literatura existente. Esta corrente afeta diretamente a correlação de ruído, com forte impacto em medidas diferenciais, o que altera a resolução do sensor. De um modo geral, na literatura existente, predomina a opinião de que a geração de ruído está mais fortemente associada ao material do que à geometria do dispositivo e a sua condição de polarização. Por esta razão, mecanismos de geração de ruído em sensores *split-drain* não são devidamente considerados, como por exemplo, a correlação de ruído associada à existência da corrente transversal [9]. Assim, um estudo foi necessário para se modelar as características de ruído do transistor *split-drain* e sua resolução magnética, como descrito no Cap.II. Portanto, neste trabalho, busca-se um entendimento geral do mecanismo gerador da correlação de ruído em transistores MOS do tipo *split-drain* com o objetivo de se determinar sua real

resolução a campos magnéticos detectados localmente. Este tópico pode ser considerado a principal contribuição desta tese.

Na seqüência, circuitos detectores de campo magnético construídos monoliticamente são apresentados no Cap.III, com o objetivo de se verificar os fatores limitantes à implementação de um circuito detector de emissão eletromagnética baseado em transistores *split-drain*. Os resultados obtidos permitiram um entendimento geral das técnicas necessárias à viabilização da aplicação, tais como a associação de sensores em paralelo para se obter maiores resoluções, operação em modo corrente para se ampliar a resposta em frequência, disposição ótima entre condutor de corrente e sensor e redução de acoplamentos indesejáveis. A partir destas considerações, sensores de emissão eletromagnética e de sensoramento de corrente para uso geral podem ser efetivamente implementados. Como resultado, um sensor de corrente baseado no dispositivo *split-drain* para aplicações que necessitem de isolamento galvânico foi implementado, denominado *shunt-zero*. Este circuito alia a propriedade de detecção do campo magnético próximo, no caso a imagem da corrente processada pelo circuito de potência, com características de isolamento galvânico. Este circuito encontra aplicações no monitoramento de correntes em transistores LDD ou LDSD e em circuitos híbridos, que podem operar com dezenas ou centenas de Volts. Neste caso, o sensoramento direto da corrente não pode ser realizado, devido às limitações em tensão dos circuitos de sinal. Desta forma, realiza-se convenientemente através do acoplamento magnético o sensoramento da corrente mantendo-se a isolamento necessária. Adicionalmente, como o campo magnético local é a imagem da corrente em circuitos de baixa impedância (conversores DC-DC, por exemplo), sensores de irradiação eletromagnética também podem ser implementados a partir do *shunt-zero*. Assim, a partir do desenvolvimento realizado neste trabalho, determinam-se os elementos necessários à implementação monolítica de uma aplicação *Smart-Power* operando no modo chaveado com controle de emissão eletromagnética, utilizando-se sensores magnéticos *split-drain*.

REFERÊNCIAS

- [1] Murari, B. Bertoti, G.A, Vignola (Eds), *Smart Power ICs*. Springer-Verlag 1995. ISBN 3-540-60332-8
- [2] Murari, B. *et al.* *Smart Power Technologies Evolution*. Conference Record IAS Annual Meeting-IEEE Industry Applications Society. IEEE Piscataway, NJ. 2000. Pp 10-19.
- [3] Castaldo, F.C., Souza, P.R. Finco, S. Pomilio, J.A. *Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and Employing Smart Power Principles*. Congresso Brasileiro de Eletrônica de Potência-COBEP 2001. Florianópolis.
- [4] Kim, *et al.* *An Intelligent Power Module for IGBT Gate-Driver Implemmented in 0,9u High Voltage CMOS Process*. IEEE -ISIE 2001- Pusan- Korea.
- [5] Allaith, N.A., Grant, D.A. *Intelligent Power Modules for Voltage-fed Converter Drivers*. IEEE Meeting- 2000.
- [6] Gariboldi, R. Pulvirenti, F. A 70m Ω Intelligent High Side switch with Full Diagnostics. IEEE Journal of Solid-State Circuits. July 1996.
- [7] Paul, C. Introduction to Electromagnetic Compatibility. Wiley Series in Microwave and Optical Engineering. 1992.
- [8] Popovic, R., Baltes, H. A CMOS Magnetic Field sensor. IEEE Journal of Solid State Circuits. Vol. SC-18, No.4, Aug.1983.
- [9] Baltes, H.P, Nathan A. and Briglio D.R., Noise Correlations in Magnetic Field Sensitive Transistors”, IEEE Solid-State Sensor and Actuator Workshop Tech. Dig. (Hilton Head Island, SC), 1988, pp.104-105

CAPÍTULO I

COMPATIBILIDADE ELETROMAGNÉTICA EM CIRCUITOS CHAVEADOS

Neste capítulo realiza-se um estudo sobre compatibilidade eletromagnética em circuitos chaveados do tipo *Smart-Power*. Algumas topologias utilizadas são revisadas, com especial atenção aos conversores DC-DC integrados. Modelos de emissão eletromagnética são estudados e verificados experimentalmente. Um circuito de *driver* para acionamento de transistores de potência com controle de emissão eletromagnética é apresentado. A partir do entendimento dos mecanismos de geração e emissão eletromagnéticas, sensores magnéticos do tipo *split-drain* poderão ser utilizados como detectores de campo magnético próximo, relacionando a amplitude do campo magnético local à amplitude do campo elétrico distante.

1.1.INTRODUÇÃO

Tecnologias orientadas à implementação de circuitos *Smart-Power* representam uma resposta à demanda crescente por sistemas integrados visando soluções que apresentem melhor desempenho a um custo menor. Assim, a implementação de sistemas *on-chip* é convenientemente realizada através de circuitos *Smart-Power* que combinam o processamento dos sinais com os elementos de potência necessários ao comando dos atuadores. Entre as vantagens obtidas a partir da integração de sistemas destacam-se: Confiabilidade, redução de peso e volume, maior frequência de operação e principalmente menores custos de produção [1]. Algumas aplicações potenciais podem ser citadas: Conversores estáticos (DC-DC, AC-DC), controladores de motores, reatores eletrônicos, eletrônica automotiva, amplificadores de áudio e vídeo, acionadores de *displays*, aparelhos eletrônicos portáteis, etc. Muitas destas aplicações se referem aos denominados *Switched Mode Applications*, ou SMAs, que são circuitos que combinam em um mesmo *die* circuitos de sinal, processamento e acionamento dos dispositivos de potência, no caso transistores que operam no modo chaveado. São geralmente circuitos conversores dedicados e têm sido freqüentemente utilizados como fontes reguladas para sistemas *on-chip* e circuitos eletrônicos em geral.

A partir destas considerações, a natural tendência à integração de sistemas se traduz em novos desafios na área de compatibilidade eletromagnética (EMI/EMC), pois os dispositivos estão operando com maiores frequências de comutação, submetidos a maiores densidades de energia e em espaços progressivamente reduzidos. Diversos setores da indústria eletrônica estão sob grande pressão por parte de um mercado cada vez mais exigente com relação aos níveis de emissão e susceptibilidade eletromagnéticas. A indústria automotiva, por exemplo, com a progressiva adoção de sistemas *by-wire* é um caso onde o atendimento às normas de EMI/EMC significa segurança para o usuário [41]. Diversas são as normas dedicadas ao assunto. Em especial, as séries de normas CISPER e FCC regulam os mercados europeu e americano, respectivamente. No Brasil, a ANATEL e ANVISA são alguns dos órgãos governamentais reguladores com poder de fiscalização. Laboratórios credenciados realizam ensaios e encaminham o processo para a certificação de produtos com restrições de EMI/EMC. Embora as normas de EMI/EMC se aplicam a produtos finais, a IEC-*International Electrotechnical-Commission* publicou um conjunto de normas para caracterização eletromagnética de circuitos integrados-IEC61967: *Integrated Circuits-Measurement of Electromagnetic Emissions 150KHz to 1GHz*, com o objetivo de orientar os fabricantes de circuitos integrados a disponibilizarem produtos seguindo critérios de emissão eletromagnética.

Assim, esforços têm sido dirigidos na busca de soluções que minimizem o problema da compatibilidade eletromagnética em produtos finais ou mesmo previamente em circuitos integrados, reduzindo assim, o tempo de produção de determinado produto ou equipamento. Produtos em não conformidade com as normas de EMI causam ao fabricante atrasos importantes na produção, bem como incorrem em custos extras. Por outro lado, projetos criteriosos em relação a EMI geralmente surtem bons resultados já na fase de prototipação. A adoção de técnicas de comutação suave no caso de conversores discretos de potência tem sido reportada como solução eficaz para os problemas de compatibilidade eletromagnética [34], [35], [36]. Em circuitos integrados, tais técnicas apresentam

limitações, logo o controle das emissões eletromagnéticas (EMI) é normalmente realizado a partir do acionamento controlado ou controle de *slew-rate* dos transistores de potência [51]. Entretanto, as soluções reportadas na literatura apenas se limitam ao ajuste do processo de comutação dos transistores de potência, com o objetivo de se reduzir a EMI, sem utilizar qualquer sinal de realimentação que informe a um controlador se os níveis de emissão eletromagnética estão ou não de acordo com um valor de referência. Tal aplicação requer um circuito sensor de emissão eletromagnética, que pode ser implementado monoliticamente em conjunto com os dispositivos de potência. Em tecnologia CMOS, tal sensor pode ser construído a partir de transistores *split-drain* [56]. Esta possibilidade está embasada no fato de que a componente de campo magnético irradiado nas proximidades de um dispositivo operando no modo chaveado estar diretamente relacionado com a amplitude da corrente comutada. Ainda, a taxa de variação no tempo desta corrente define o conteúdo espectral do campo magnético irradiado. Além disto, há fortes indícios de que a amplitude do campo magnético detectado localmente esteja diretamente correlacionada com a amplitude do campo elétrico distante, cujo valor será medido nos ensaios de compatibilidade eletromagnética [47], [48], [49]. Com base nestas premissas, pode-se concluir que a monitoração do campo magnético próximo pode ser empregada como um mecanismo de detecção da emissão eletromagnética em circuitos integrados de potência que operam no modo chaveado.

Assim, com o objetivo de se implementar circuitos de acionamento com controle de emissão eletromagnética serão abordados neste capítulo: (a) Aspectos relacionados à natureza da emissão eletromagnética em circuitos integrados; (b) Efeitos do acionamento controlado; (c) Avaliação das emissões e medidas de *Pre-Compliance*; (d) Dispositivos e circuitos implementados com características de acionamento controlado e avaliação da emissão eletromagnética. Assim, o estudo realizado justifica a necessidade de se implementar um circuito de *driver* que realiza o acionamento

controlado de um transistor de potência, a partir de um sinal de controle proveniente de um sensor *split-drain*, que será integrado com os elementos de potência. Considerações a respeito da sensibilidade ótima de um sensor *split-drain* são reportados no Apêndice I, enquanto que o estudo da resolução do sensor permite avaliar o mínimo campo detectável, a ser estudado no Cap. II. Circuitos de processamento do sinal detectado por um *split-drain*, bem como uma avaliação da máxima frequência de operação, são reportados no Cap.III. Embora não tenha sido possível a implementação integrada de um circuito completo contendo o elemento sensor, malha de controle e elementos de acionamento, os mesmos foram construídos e testados separadamente, o que permitiu a validação da técnica proposta.

1.2.EMIÇÃO ELETROMAGNÉTICA DE CIRCUITOS CHAVEADOS

Em circuitos que operam sob comutação de correntes e tensões, caso de SMAs (*Switched Mode Applications*), *drivers* e pinos de I/O, as restrições de EMI são bastante críticas, pois este mecanismo é a principal causa de emissão eletromagnética. Além disso, estas fontes de EMI estão normalmente conectadas a linhas de transmissão (cabos e trilhas de placas) que atuam como antenas em potencial, causando a irradiação de interferências eletromagnéticas à distância. Condutores que são submetidos a campos elétrico ou magnético variáveis, mesmo isolados do circuito interferente, têm correntes induzidas. Estas podem ser irradiadas, pois os condutores atuam como antenas para sinais induzidos de modo comum. Correntes da ordem de micro-ampéres são suficientes para causar problemas de compatibilidade em ensaios de emissão eletromagnética [43]. Por outro lado, emissões locais, denominadas emissões de campo próximo (*Near Field*), devido à operação do próprio circuito também podem ocasionar problemas de compatibilidade. Neste caso, o circuito pode ser susceptível às suas próprias emissões e apresentar mal-funcionamento. Um caso típico é o *ground bouncing* em sistemas digitais que pode produzir disparos de portas lógicas indevidamente. A ocorrência de *glitches* é

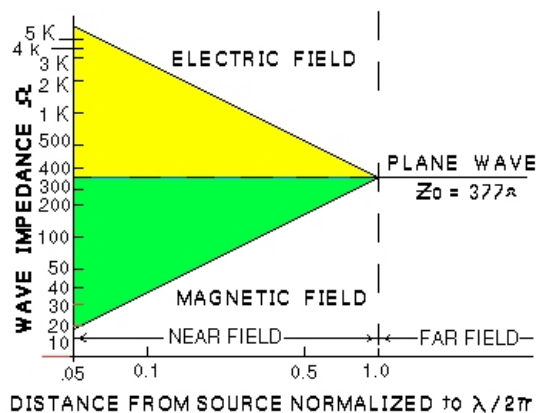
associada à impedância das linhas de transmissão digitais. Em circuitos conversores DC-DC a comutação dos transistores de potência produz “ruído eletromagnético” que afeta de modo importante circuitos analógicos, sobretudo circuitos de instrumentação sensíveis. Além disso, as elevadas taxas de variação das correntes associadas ao processo de comutação causam o aparecimento de correntes harmônicas que podem ser irradiadas para o campo distante, causando problemas de compatibilidade eletromagnética.

Deteccção dos Campos Eletromagnéticos Gerados

A avaliação da emissão eletromagnética gerada por um circuito chaveado pode ser realizada através de medidas dos campos elétrico ou magnético associados ao processo de comutação dos transistores de potência do circuito. Sensores do tipo capacitivo ou indutivo podem ser utilizados na detecção destes campos. Neste caso, um aspecto importante a ser considerado refere-se à impedância do campo eletromagnético gerado, $Z=E/H$, onde Z é a impedância da onda eletromagnética, E corresponde ao campo elétrico e H ao campo magnético [50]. No espaço livre, uma onda eletromagnética se propaga com velocidade constante e relação $E/H=377\Omega$, onde 377Ω corresponde à impedância do vácuo. A propagação é dissipativa, pois E e H estão em fase. Uma onda plana uniforme é estabelecida quando a distância da fonte geradora é pelo menos de um comprimento de onda (λ), Fig.1(a). Em distâncias menores que λ , o campo eletromagnético apresenta características distintas da onda plana uniforme, sendo denominado reativo, pois E e H não estão mais em fase. Além disso, um dos campos predominará em amplitude sobre o outro, dependendo da natureza da fonte emissora. Por exemplo, em circuitos de alta impedância as tensões associadas possuem amplitudes maiores em relação aos níveis de corrente do circuito, logo o campo E predomina sobre o campo H e o campo reativo é de alta impedância nas imediações do circuito. Este campo tende a se propagar em modo comum [50]. Por outro lado, em circuitos de baixa impedância (normalmente malhas de corrente) a amplitude do campo magnético é maior que a do campo elétrico. Neste caso, o campo reativo

apresenta baixa impedância e a emissão associada ocorre no modo diferencial. Importante observar que quanto mais próximo da fonte, tanto o campo reativo indutivo (no caso de circuitos de baixa impedância) quanto o reativo capacitivo (no caso de circuitos de alta impedância) são predominantes em relação a pontos mais afastados da fonte, onde a relação entre E e H tende ao valor 377Ω .

Estas considerações permitem selecionar o tipo de sensor de campo eletromagnético para fins de avaliação da amplitude e conteúdo harmônico gerado. Para medidas de campo distante, utiliza-se normalmente antenas com impedância ajustada em 377Ω (correspondente à impedância do espaço livre) para detecção do campo elétrico. Para medidas de campo próximo, os sensores são utilizados de acordo com a natureza da fonte emissora. Tais sensores, que são na realidade pontas de prova passivas, realizam o casamento de impedâncias entre o campo reativo e a impedância do próprio sensor, detectando o campo eletromagnético por meio de acoplamento indutivo ou capacitivo. Assim, em circuitos de corrente, utiliza-se pontas de prova do tipo indutivas (*loops*) enquanto que em circuitos de tensão, emprega-se pontas capacitivas (*ball probes*). O sinal é visualizado geralmente no domínio da frequência em um analisador de espectro, mas também podem ser observados no domínio do tempo. Na Fig.1(b) tem-se um conjunto de pontas de provas (tipo capacitiva e indutiva) configuradas para 50Ω utilizadas na prática de EMI/EMC. Alguns conectores tipo SMA e BNC e adaptadores são também ilustrados.



(a)



(b)

Fig.1. (a) Característica do campo eletromagnético próximo. (b) Pontas de prova

Devido à natureza da emissão eletromagnética em circuitos de corrente (Conversores DC-DC, por exemplo) ser predominantemente magnética nas proximidades do emissor, pode-se, alternativamente, utilizar-se um sensor monolítico de campo magnético próximo. Neste caso, o sensor detecta a densidade de fluxo magnético por meio da ação de Lorentz e pode ser realizado utilizando-se transistores CMOS *split-drain*. Considerando as distâncias entre emissor (circuito de potência chaveado) e detector (sensor *split-drain*) em um circuito integrado, o campo eletromagnético gerado será predominantemente de natureza magnética, corroborando a possibilidade de aplicação do sensor CMOS *split-drain* como detector de emissão eletromagnética. Esta possibilidade será explorada nos Caps. II e III. A partir destas considerações, um aspecto importante a refere-se à amplitude do campo magnético gerado por uma corrente variável internamente ao circuito integrado. Para esse propósito, a partir da geometria dos condutores dispostos no *lay-out* do circuito, simulações eletromagnéticas permitem determinar com razoável precisão a intensidade do campo magnético gerado, ou densidade de fluxo magnético. No exemplo seguinte, Fig.2(a), uma trilha de $40\mu\text{m}$ de largura conduz uma corrente pulsada de 100mA proveniente da comutação de um transistor de potência tipo LDD ou LDS (que serão descritos posteriormente) e gera um campo magnético que varia com a distância da trilha de acordo com a Fig.2(b). A amplitude deste campo magnético não depende da frequência de comutação do transistor. Arranjos similares podem ser simulados e terem as amplitudes dos campos magnéticos determinados. De acordo com a literatura, transistores *split-drain* podem ser utilizados na detecção de campos magnéticos desta ordem [58], [59]. Dependendo dos circuitos de instrumentação utilizados, podem operar em altas frequências, detectando variações de campo magnético de dezenas de MHz, o que os tornam opções atraentes no sensoriamento de emissões eletromagnéticas *in loco*.

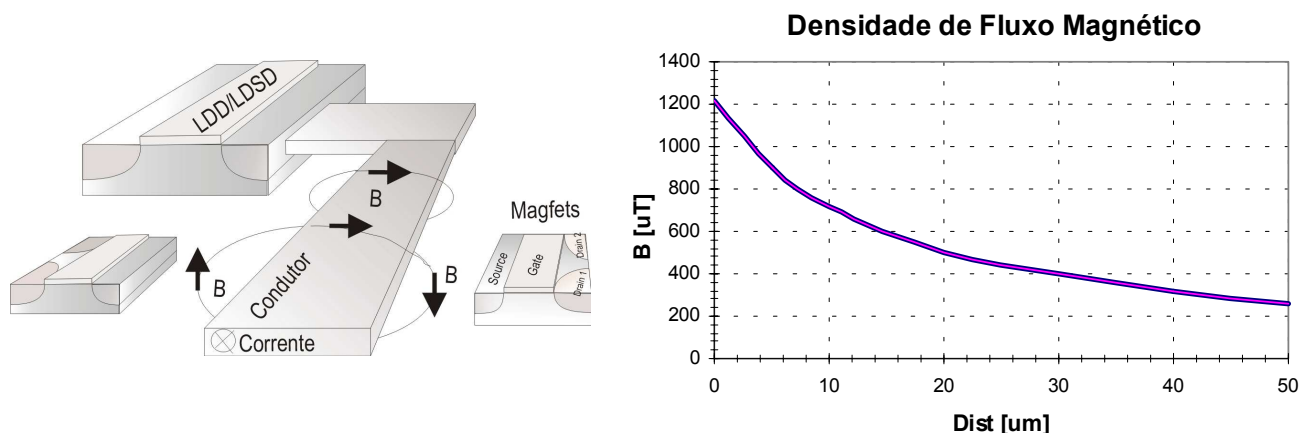


Fig.2. (a) Campo Magnético Gerado por uma corrente em uma trilha de circuito integrado.
(b) Campo Magnético correspondente

Acionamento Controlado: Impacto nas Emissões Eletromagnéticas

A consideração básica utilizada por diversos autores na tentativa de se controlar a emissão eletromagnética refere-se ao controle de *slew-rate* nos circuitos de pulsos, digitais e em conversores chaveados. Circuitos discretos em eletrônica de potência não adotam a técnica por razões de eficiência e pela viabilidade de se implementar topologias alternativas, tais como circuitos de auxílio à comutação, *snubbers* ou mesmo utilizar-se conversores que operam sob comutação suave. No caso de aplicações integradas, a técnica de controle de *slew-rate* tem se mostrado bastante eficiente no controle das emissões eletromagnéticas. A razão principal é ilustrada a seguir: Seja uma onda pulsada de corrente ou tensão associada a um circuito chaveado. No domínio do tempo, apresenta amplitude **A**, razão cíclica (*Duty Cycle*) **D**, frequência de comutação **f**, tempo de transição (subida e descida) **t_r**. No domínio da frequência, o espectro harmônico pode ser calculado a partir da Eq.1. Na Fig.3 estão representados as envoltórias do conteúdo harmônico calculadas em função de três taxas de acionamento, ou *slew-rate*, que se relaciona diretamente com os intervalos de transição **t_r** dos pulsos.

Conclui-se a partir do exemplo numérico para $f=1\text{MHz}$, $D=0,15$ e $A=1$ que o controle dos intervalos de transição favorece o circuito sob o ponto de vista de emissão eletromagnética.

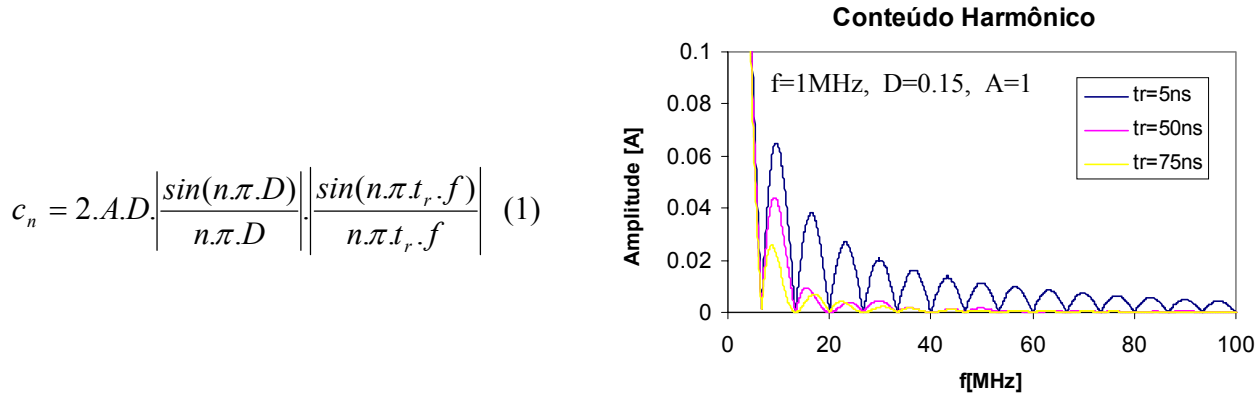
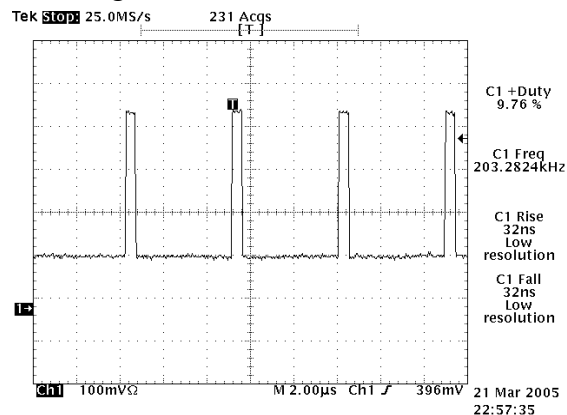


Fig.3. Espectro resultante do controle de *slew-rate*.

Em um ensaio de verificação, que será mostrado na sequência, mediu-se o conteúdo harmônico de pulsos de tensão aplicados diretamente ao analisador de sinais para duas condições. (1) Pulsos com intervalo de transição $t_r=10\text{ns}$ e (2) mesma forma de onda, porém com intervalos de transição ajustados em $t_r=100\text{ns}$. Fig.4(a) representa o sinal no domínio do tempo. Fig.4(b) ilustra o conteúdo harmônico do sinal de 10ns e Fig.4(c) o espectro do sinal de 100ns. Observa-se uma drástica redução no conteúdo harmônico, sobretudo em frequências mais elevadas, quando as emissões são mais críticas. Isto porque o comprimento de onda se aproxima das dimensões usuais das trilhas e cabos do circuito, logo estes elementos atuam como radiadores mais eficientes. A atenuação de componentes de frequências mais elevadas constitui-se na grande vantagem desta técnica.



(a)

**Fig. 4. Verificação do conteúdo harmônico de onda pulsada com controle de *slew-rate*.
(a) Pulsos no domínio do tempo.**

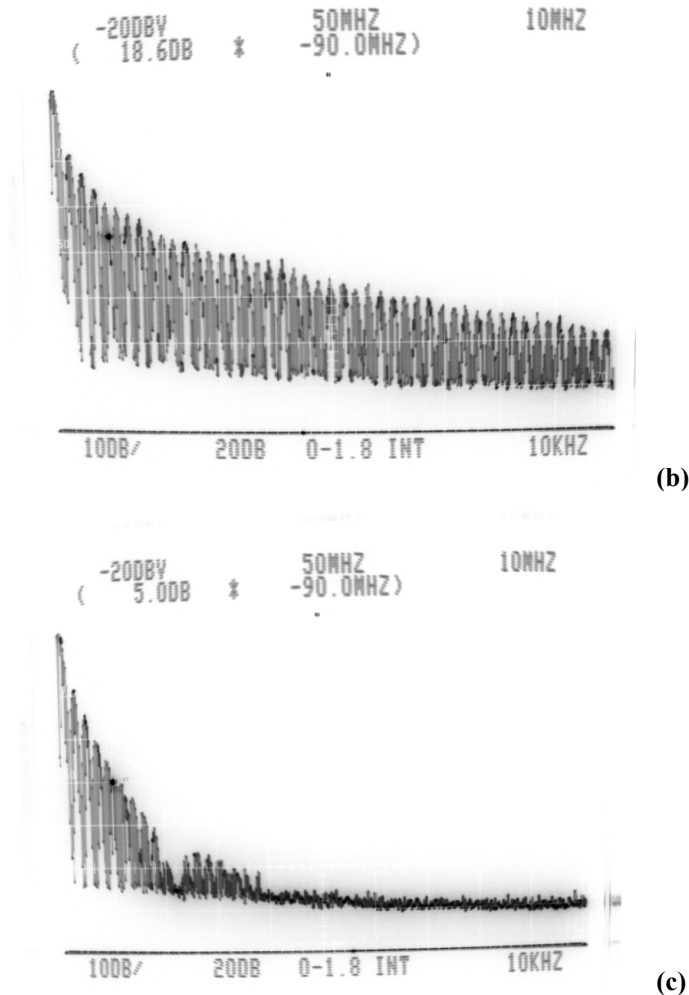


Fig.4. (Cont.) Verificação do conteúdo harmônico de onda pulsada com controle de *slew-rate*. (b) Espectro correspondente a $t_r=10\text{nsec}$. (c) Espectro para os pulsos com $t_r=100\text{ns}$.

Sinais com controle de *slew-rate* apresentam, portanto, menor conteúdo harmônico e os circuitos que os processam são menos susceptíveis de gerarem EMI, assim como o próprio circuito é favorecido pelos baixos níveis de emissão. Entretanto, em circuitos conversores DC-DC que operam com níveis moderados de correntes, outro aspecto igualmente importante deve ser observado. Durante os intervalos de comutação dos transistores de potência, surgem oscilações de tensão e corrente de altas frequências, e dependendo da geometria dos condutores, estes sinais podem ser irradiados com eficiência, causando problemas de compatibilidade eletromagnética. A causa básica deste fenômeno

está associada às ressonâncias entre os diversos elementos do circuito, incluindo-se indutâncias dos condutores e as capacitâncias parasitas e no caso de circuitos com diodos, à corrente de recuperação do mesmo. Na Fig.5(a) estão ilustradas as formas de onda de um transistor utilizado em um circuito conversor DC-DC PWM operando sem controle de comutação. Observam-se oscilações (sobretudo na corrente) durante os instantes de chaveamento. A frequência destas oscilações se adiciona às componentes harmônicas do sinal PWM causando um fenômeno de ressonância no espectro resultante [43]. Monitorando-se o campo magnético próximo com a ponta de prova correspondente, constata-se que estas oscilações ocorrem na frequência de aproximadamente 80MHz, conforme verificação experimental representada na Fig.5(b). Os dados foram transferidos do analisador de espectro para um computador através de conexão HPIB.

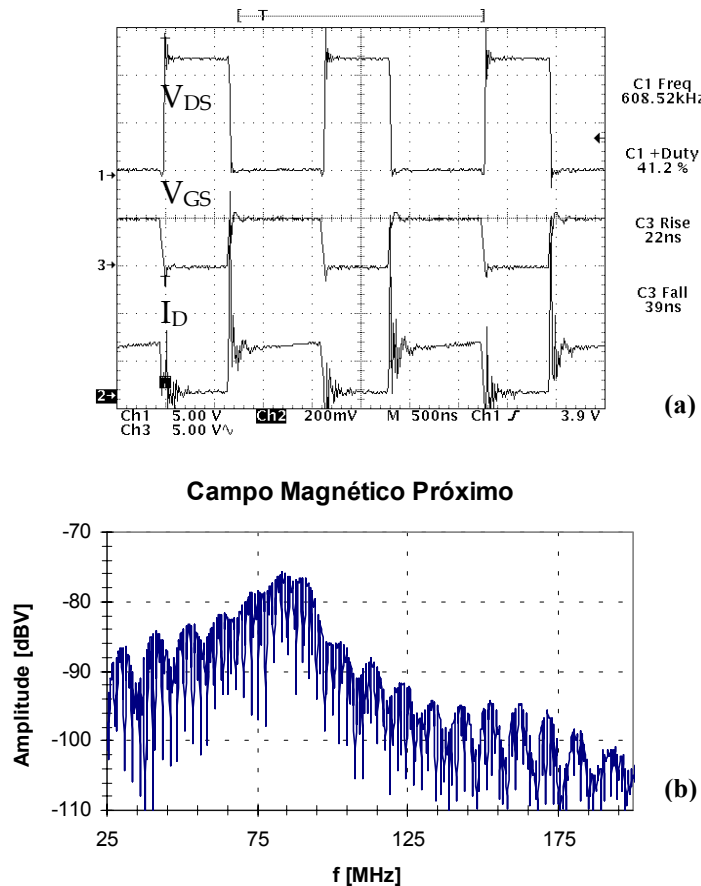


Fig.5.(a) Ondas do conversor PWM chaveado sem controle de comutação. (b) Espectro do campo próximo obtido com uma ponta de prova do tipo indutiva. Observa-se a ressonância causada pelas oscilações.

Em circuitos conversores DC-DC que utilizam diodos como elemento de retificação assíncrona (diodo de roda livre), a corrente reversa associada ao bloqueio do diodo e a energia armazenada nas indutâncias dos condutores produzem importantes contribuições para a geração de EMI. A corrente reversa do diodo e a sobre-tensão causada pela interrupção de corrente em um condutor são representadas na Eq.2 [35].

$$I_R = \sqrt{2 \cdot \tau \cdot I_O \cdot \left(\frac{di}{dt} \right)_{ON}} \quad V_{OVER} = L_S \cdot \left(\frac{di}{dt} \right)_{OFF} \quad (2)$$

Na Eq.2, os parâmetros referem-se: I_R à corrente reversa no diodo, τ ao tempo médio de vida dos portadores no diodo, I_O à corrente de carga (após o bloqueio do diodo será transferida ao transistor de potência), $(di/dt)_{ON}$ à derivada da corrente do transistor no momento de sua entrada em condução, V_{OVER} à sobre-tensão devido à interrupção de corrente em um condutor com indutância L_S e $(di/dt)_{OFF}$ à derivada de desligamento da corrente no transistor. O mecanismo básico de geração de EMI associado à comutação do transistor em conversores DC-DC com cargas indutivas (filtros de saída) é descrito a seguir. Durante o intervalo em que o transistor de potência não conduz a corrente de carga, a mesma é conduzida pelo diodo de roda-livre (I_{LOAD}). A partir do comando PWM para entrada em condução do transistor, inicia-se a transferência da corrente do diodo para o transistor. A recuperação do diodo impõe um surto de corrente no circuito que pode produzir oscilações de altas frequências devido ao efeito de ressonância entre a indutância dos condutores e a própria capacitância intrínseca do diodo. Estas componentes podem acoplar magneticamente com circuitos adjacentes ou mesmo serem irradiadas se o *loop* (condutor principal + condutor de retorno ou terra do circuito) por onde circulam tiver dimensões apropriadas. Entretanto, devido ao elevado número de harmônicas circulantes, muito provavelmente a dimensão do *loop* será suficiente para irradiar com eficiência algumas delas, o que

causaria um problema de compatibilidade eletromagnética no caso de um teste. Este mecanismo é geralmente associado a correntes de altas frequências circulantes em malhas de baixa impedância e produz emissões em modo diferencial [44]. A Fig.6(a) ilustra esquematicamente o circuito considerado. No caso de uma *Microstrip*, o circuito equivalente LC e a recuperação do diodo produzem as correntes ressonantes no *loop*. Na Fig.6(b) observa-se transferência da corrente do diodo para o transistor que é comutado rapidamente. Neste caso, ocorrem emissões que são captadas por um detector de campo magnético posicionado localmente à área de emissão. Na Fig.6(c), o transistor é acionado sob forma controlada (*slew-rate* de corrente reduzido) e o sinal detectado é significativamente reduzido.

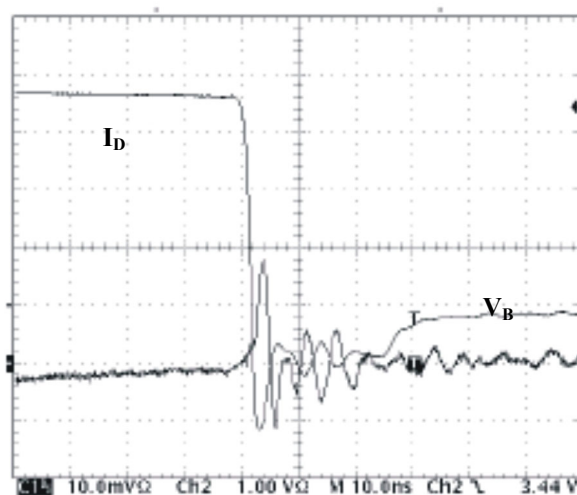
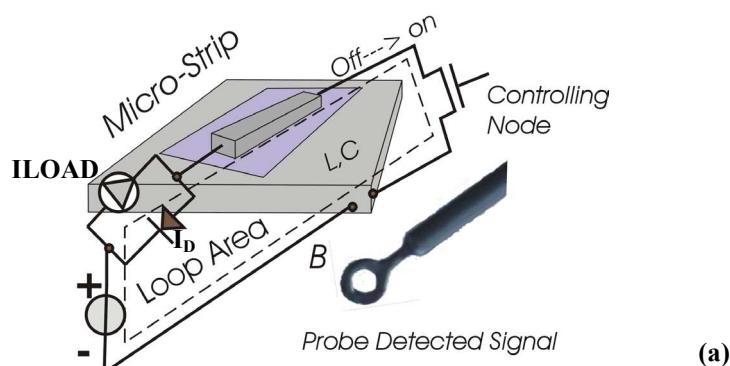
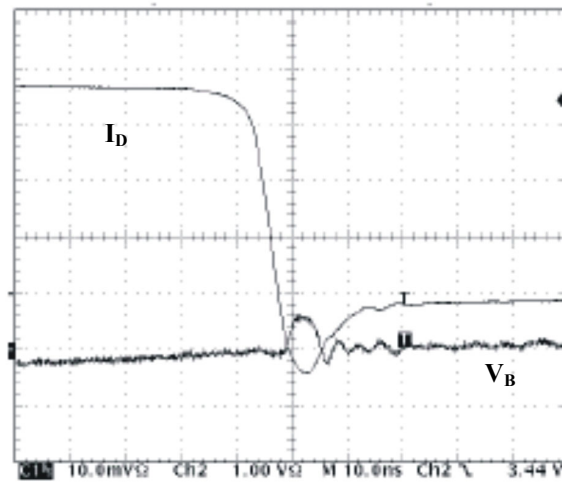


Fig.6. (a) Disposição esquemática de um circuito gerando emissões em modo diferencial. (b) Transferência da corrente do diodo para o transistor e sinal detectado por um sensor de campo magnético próximo.



(c)

Fig.6. (Cont.) (c) Acionamento com controle de *slew-rate*.

Outro mecanismo igualmente importante na geração de EMI refere-se à emissão em modo comum. No caso de um conversor DC-DC, a ação de bloqueio do transistor de potência associada às indutâncias dos condutores e capacitâncias parasitas produz uma ressonância, causando sobre-tensões e oscilações no circuito. Por esta razão, a energia armazenada em circuitos indutivos ao se dissipar produz sobre-tensões oscilatórias com tendência à propagação em modo comum através dos acoplamentos capacitivos do circuito [45]. Fig.7(a) ilustra esquematicamente uma *microstrip* com três condutores, dois deles conectando o transistor de potência a uma carga resistiva. O condutor central é ligado a dois resistores que atuam como detectores de tensão induzida de modo comum. Inicialmente, o transistor conduz a corrente de carga e num dado momento, é comandado ao bloqueio. Como a energia armazenada na linha de transmissão não se anula instantaneamente, oscilações de alta frequência ocorrem, até a total dissipação da energia armazenada nos campos elétrico e magnético da *Microstrip*. O modelo de simulação computacional utilizado foi obtido do software Maxwell [58]. Neste caso, a partir da definição da geometria da linha de transmissão, tais como dimensões e materiais, um circuito equivalente PSPICE foi gerado, o que permitiu a análise transitória da

comutação do transistor. Fig.7(a) ilustra o modelo geométrico da *Microstrip* e representação esquemática do circuito de potência. Fig.7(b) ilustra o circuito equivalente PSPICE da linha de transmissão.

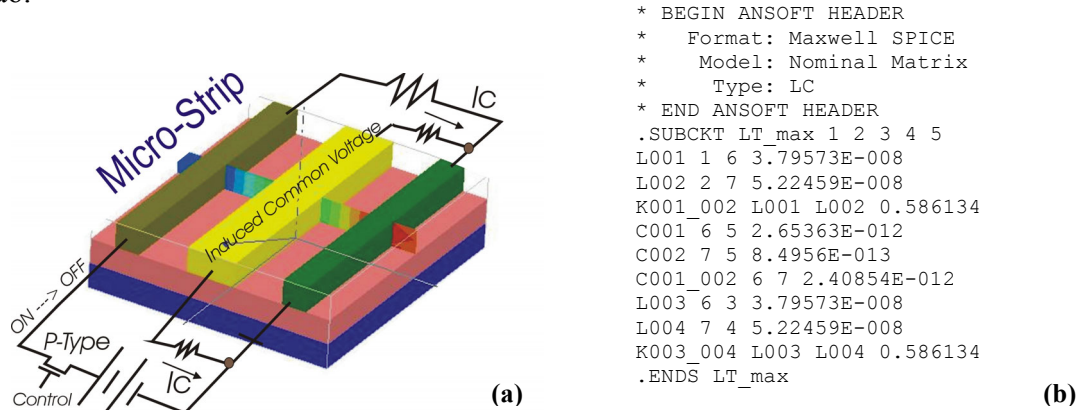


Fig.7. (a) Geometria da *Microstrip* utilizada e demais elementos do circuito de acionamento representados esquematicamente. (b) Circuito equivalente PSPICE na forma de netlist.

O bloqueio excessivamente rápido do transistor de potência gera sobre-tensões e oscilações de modo comum detectados pelos resistores, conforme resultados de simulação indicados na Fig.8(a). A partir do controle desta comutação através do circuito de *gate*, os níveis de tensão detectados são reduzidos, Fig.8(b).

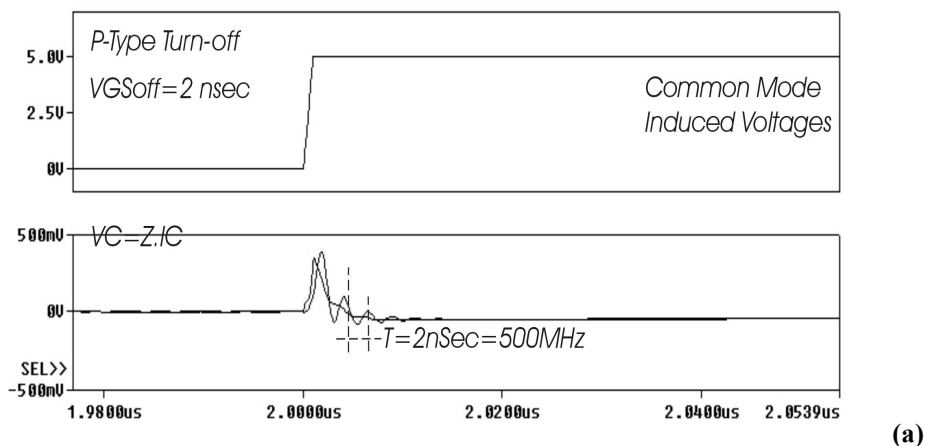


Fig.8. (a) Bloqueio do transistor com rápida redução da corrente.

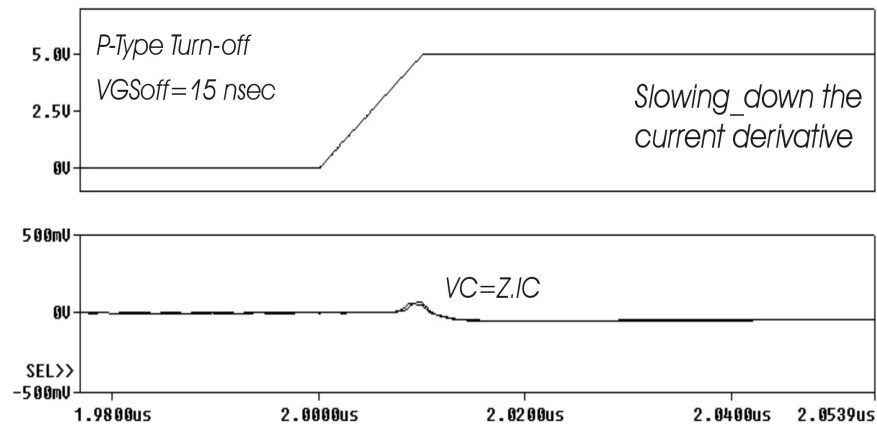


Fig.8. (Cont.) (b) Bloqueio controlado.

Avaliação de Interferências Geradas: Medidas de *Pre-Compliance*

Os equipamentos susceptíveis de gerarem interferências eletromagnéticas são regulados por normas que limitam os níveis máximos de emissão. Um produto antes de ser colocado no mercado precisa ter a certificação de conformidade com as normas de EMI expedida. Este processo demanda a realização de uma série de ensaios realizados em laboratórios credenciados. Em um destes ensaios, o equipamento é colocado em uma câmara anecóica para avaliação das emissões [43]. O custo destes testes é bastante significativo. Frequentemente, os produtos não atingem a especificação de EMC requerida e retornam à engenharia do fabricante. Depois de solucionado o problema (se o fabricante acertar na primeira tentativa) o produto deve ser ensaiado novamente. Se o produto não atingir as especificações, o ciclo se reinicia, e os custos aumentam. Idealmente, durante a fase de prototipagem de um produto, ensaios de pré-conformidade (*Pre-Compliance*) devem ser realizados. Estes ensaios não medem exatamente os níveis de emissão eletromagnética gerado pelo protótipo, mas indicam quais os pontos críticos e aspectos funcionais do circuito que poderão comprometer ensaios posteriores. Neste momento, o fabricante pode intervir no seu produto e efetuar as correções a custos moderados.

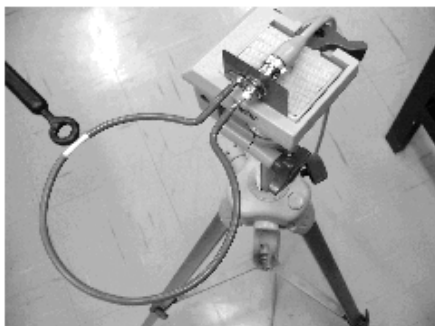
Somente após um processo de otimização o produto ou equipamento segue para os laboratórios de EMI. A própria IEC61967 pode ser entendida como um conjunto de procedimentos e medidas de pré-conformidade ou *Pre-Compliance* aplicados a circuitos integrados, pois os produtos finais que os utilizam deverão ser posteriormente certificados através de ensaios regulares em câmaras anecóicas ou outros testes [46].

O procedimento básico de avaliação de EMI de um circuito utiliza medidas no domínio do tempo (com um osciloscópio comum) para a verificação de *ground-bouncing*, *glitches*, *cross-talk*, oscilações, sobre-tensões, etc. Medidas de campo próximo (magnético e elétrico) utilizando-se as ponteiros passivas indicam quais componentes de frequências são passíveis de irradiação bem como localizam *hot-spots* no circuito que podem estar causando mal-funcionamento do mesmo. Medidas com *Probe-Scan* (IEC61967-parte3) dão uma indicação mais precisa dos pontos críticos. Geralmente na prática de diagnóstico emprega-se um analisador de espectro, ponteiros ativos de medida de corrente (tipo *clamping*, para correntes de modo comum), *loops* e *balls* passivos e uma boa dose de perseverança. Em [45] é apresentada uma técnica que permite identificar causas de interferências através de sinais demodulados obtidos com o analisador de espectro no modo *zero-span*.

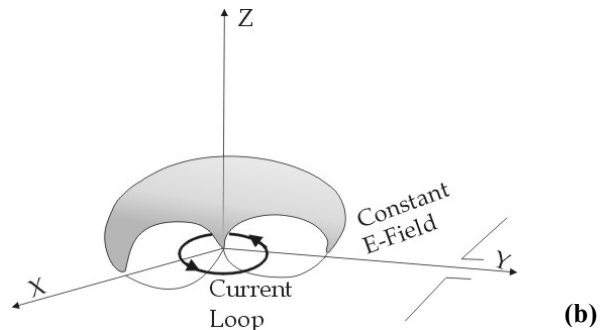
Idealmente, o campo elétrico distante (que será avaliado através de ensaios regulados por normas) pode ser estimado através da medida do campo magnético próximo [47]. A literatura reporta alguns trabalhos neste sentido, embora as aproximações realizadas para poder tratar matematicamente o problema são responsáveis pelas discrepâncias entre previsão teórica e resultados experimentais. Basicamente, estas referências utilizam modelos simplificados de emissão. Em [48] e [49] uma *microstrip* atua como elemento irradiante em uma placa de circuito impresso. Neste caso, uma corrente senoidal ou pulsada de alta frequência circula pela *microstrip* produzindo os campos próximo e distante que são estimados teoricamente e medidos utilizando-se detectores de campo próximo (pontas

passivas) e *setup* de antenas para EMI em câmara anecóica, respectivamente. Por outro lado, medidas de emissão eletromagnética podem ser realizadas em campo aberto, onde as reflexões são reduzidas. Uma calibração do analisador de espectro subtrai as emissões captadas do ambiente e o espectro resultante é razoavelmente próximo do obtido em um ensaio em câmara anecóica. Este procedimento é bastante recomendável na verificação de pré-conformidade, pois são necessários apenas um analisador de espectro e uma antena calibrada.

Nos experimentos realizados para se verificar os níveis de EMI de um circuito utilizou-se um modelo básico de emissão, uma antena do tipo *Loop*, por onde circula a corrente com elevado conteúdo harmônico proveniente do circuito (pulsos de corrente dos transistores, por exemplo). Duas dimensões foram utilizadas, com diâmetros de 10cm e 30cm. A partir deste modelo eletromagnético básico, Fig.9(a), o campo elétrico distante pode ser avaliado, bem como o campo próximo, através do posicionamento de uma ponta de prova passiva. O padrão de irradiação do campo elétrico é representado na Fig.9(b). Uma antena de EMI/EMC posicionada a uma distância de mais de um comprimento de onda detecta o campo eletromagnético irradiado pelo *loop* permitindo avaliar as emissões do circuito.



(a)



(b)

Fig.9. (a) Irradiador do tipo *loop* como geometria definida. (b) Padrão de irradiação do campo elétrico.

O procedimento para verificação do campo eletromagnético irradiado¹ por uma corrente pulsada circulante na antena *loop* é indicado na Fig.10(a). A antena *loop* é conectada ao circuito sob teste ou a um gerador de sinais. A corrente na antena é diretamente medida por uma ponteira de efeito *Hall* do tipo *clamping*. No caso, o sistema de medição de corrente AM503S-Tektronix utilizado opera em frequências de até 50MHz, logo pulsos de corrente de alguns MHz podem ser medidos com segurança. Entretanto, o espectro harmônico destes pulsos pode conter frequências de centenas de MHz, não detectáveis pelo AM503S. Para se medir estas correntes, emprega-se a ponteira passiva de campo magnético posicionada como indicado na Fig.9(a). Através do procedimento descrito no Anexo I e utilizando-se uma conexão HPIB do analisador de espectro com um computador, o espectro de frequências da corrente circulante na antena *loop* pode ser obtido. A partir desta informação, o campo irradiado a uma distância determinada pode ser calculado a partir da Eq.3 [50]. Nesta equação, f corresponde à frequência da harmônica, A à área da antena *loop*, I o valor RMS da harmônica de corrente correspondente e r à distância de avaliação do campo elétrico. Assim, o campo elétrico estimado pode ser comparado aos valores medidos.

$$E = 263 \times 10^{-16} \times f^2 \times A \times I \times \frac{1}{r} \quad (3)$$

A medida de campo elétrico requer o posicionamento de uma antena de EMI/EMC a uma distância padrão da fonte emissora. Nos testes realizados adotou-se uma distância de 3m. A antena utilizada é do tipo bicônica (300MHz, fabricante *Electro-Metrics*) cuja folha de calibração, fornecida pelo fabricante, refere-se ao ganho da antena ou *Antenna factor* AF, representado graficamente na Fig.10(b). A determinação do campo elétrico medido é simples. Basta somar-se o ganho da antena ao valor lido diretamente no analisador de espectro. Por exemplo, em 300MHz, o analisador de espectro

¹ O procedimento descrito segue as orientações gerais adotadas na literatura e não representa os procedimentos estabelecidos pelas normas para a realização de testes de compatibilidade.

indica uma leitura de -55dBV . Nesta frequência, $AF=21.06\text{dBV/m}$. O campo obtido é de $21.06-55=-34\text{dBV/m}$ que equivale a 20mV/m . A amplitude deste campo é então comparada ao valor máximo permitido pela norma. Repete-se o procedimento para outras frequências.

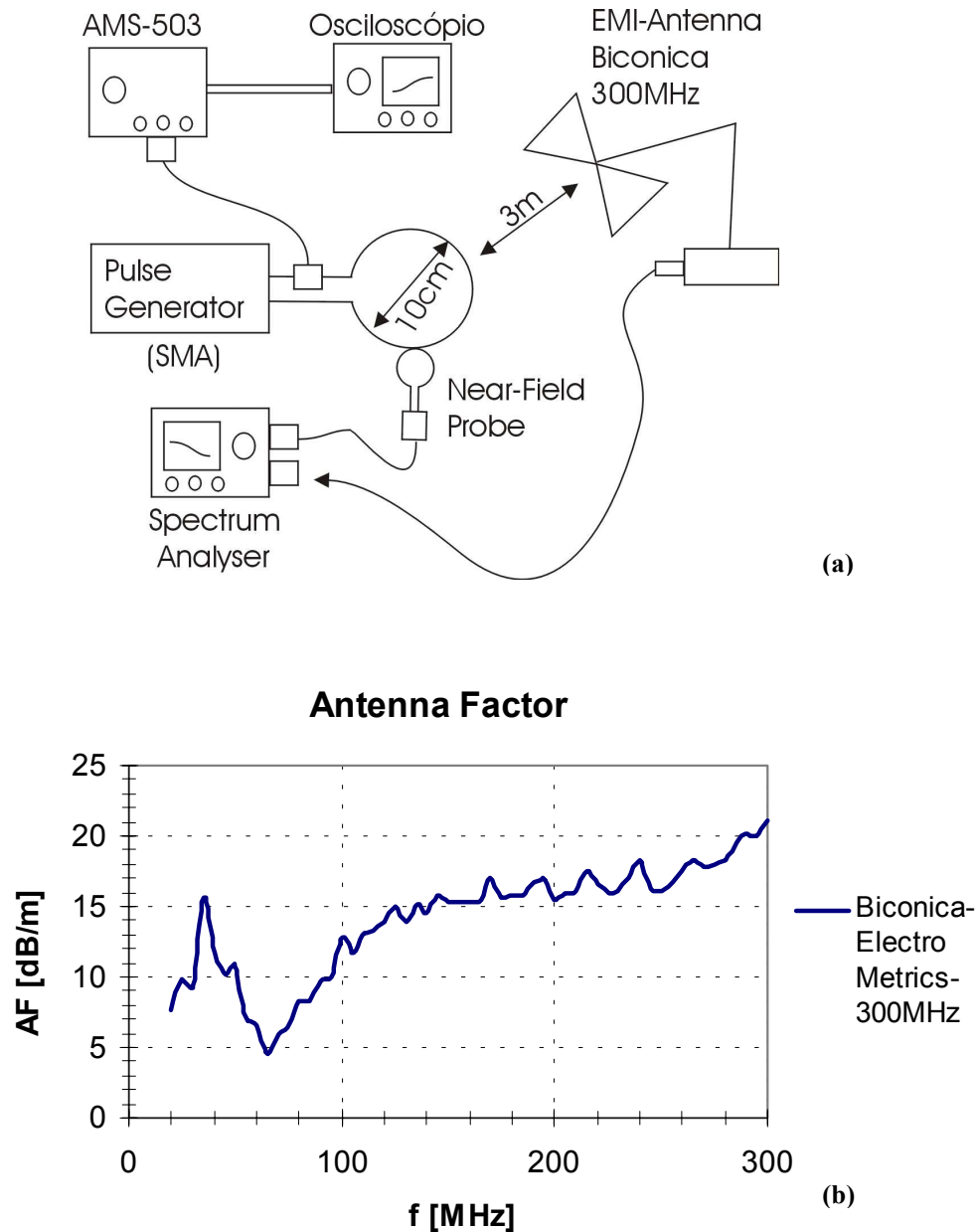


Fig.10. (a) Disposição esquemática para ensaios de emissão eletromagnética.
(b) Ganho da Antena (EMI/EMC Bicônica 300MHz-Fabricante *ElectroMetrics*)

No ensaio realizado, pulsos de corrente de amplitude 20mA, DC=10% (*duty cycle*), intervalos de transição $t_r=t_f=10\text{ns}$, frequência $f=600\text{kHz}$ foram aplicados na antena *loop*. Os pulsos apresentam oscilações durante a descida que modificam o espectro das emissões, conforme se verifica na Fig.11(a). A corrente foi medida no domínio do tempo com o sistema AM503S. No domínio da frequência, a medida do campo magnético próximo permite avaliar o conteúdo harmônico da corrente que será irradiada, Fig.11(b). A medida da corrente utilizando pontas magnéticas passivas é descrita no

Anexo I.

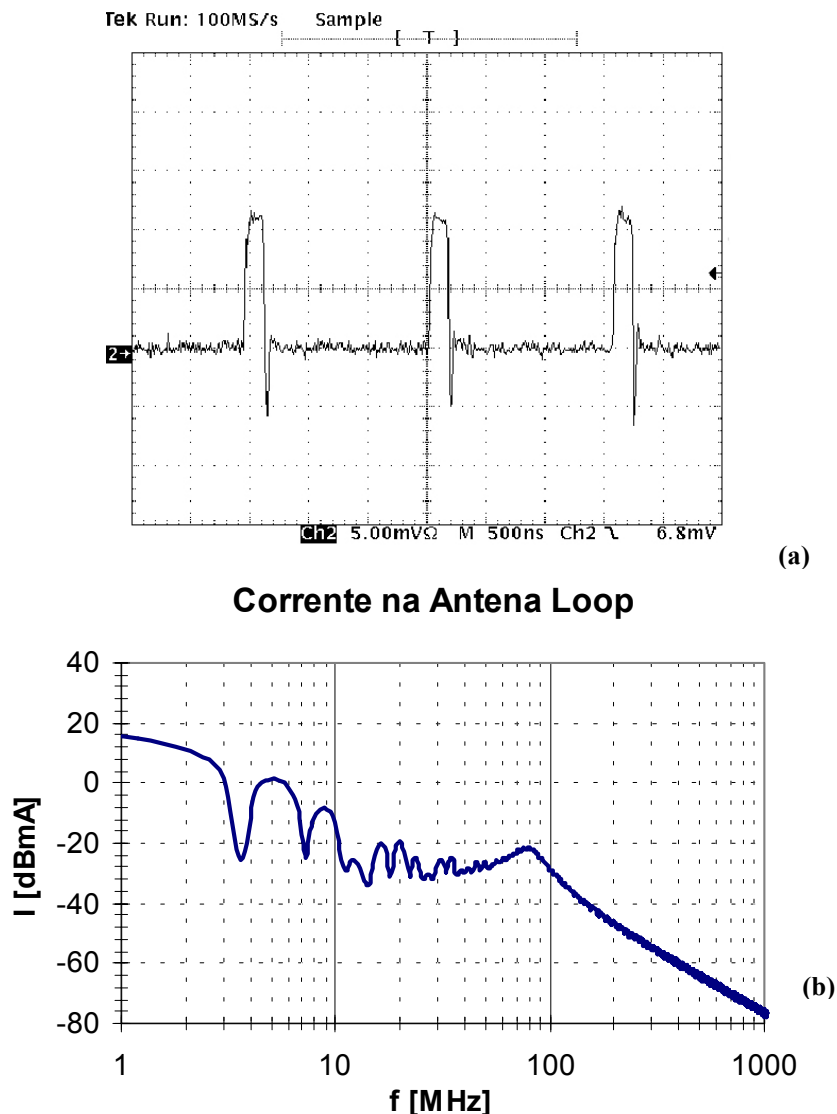


Fig.11. (a) Pulsos de corrente aplicados na antena *loop*. (b) Conteúdo harmônico dos pulsos obtido a partir do campo magnético próximo.

O campo elétrico irradiado pela antena *loop* (Diam=10cm) é avaliado a partir do *setup* ilustrado na Fig.12(a). Substituindo-se na Eq.3 o espectro harmônico da corrente no *loop*, pode-se estimar o campo elétrico que deverá ser medido pela antena de EMI/EMC. Na prática, devido à realização do teste em um local não apropriado, ocorrem múltiplas reflexões do sinal captado pela antena, causando superposição de harmônicas com conseqüente aumento da amplitude medida. Fig.12(b) ilustra o campo elétrico medido (dados capturados pelo analisador de espectro transferidos através de conexão HPIB), as emissões calculadas a partir do conteúdo espectral da corrente e os limites de emissão segundo as normas FCC-classeB. Todo o procedimento realizado é totalmente compatível com o descrito em [44].

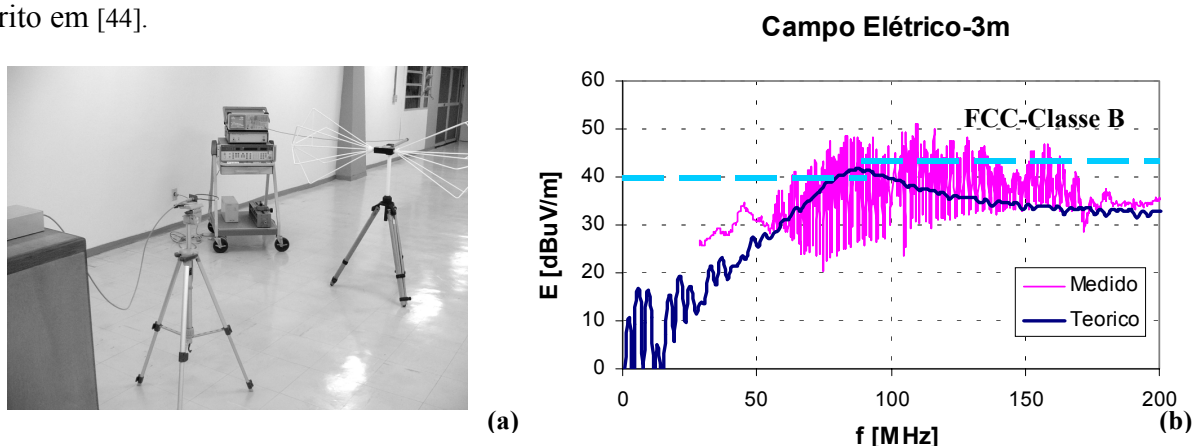


Fig.12. (a) Disposição para estimativa de campo elétrico irradiado. (b) Campo Elétrico Medido e Calculado

Com base nas considerações citadas, conclui-se que a técnica mais apropriada para o controle de emissões eletromagnéticas em circuitos integrados refere-se ao acionamento com controle de *slew-rate* dos dispositivos de potência. Medidas de *Pre-Compliance*, como as descritas, corroboram a efetividade da técnica na redução dos níveis de EMI. Na seqüência, alguns dispositivos de potência implementados em tecnologia CUB06², que serão utilizados nos circuitos de acionamento controlado, são testadas isoladamente e reportados.

² CUB06 refere-se a uma tecnologia de 0.6 μ m proprietária da *Austria-Microsystems-AMS*

1.3. TRANSISTORES UTILIZADOS EM CIRCUITOS INTEGRADOS DE POTÊNCIA

Tecnologias de processo têm sido desenvolvidas (algumas proprietárias) possibilitando a integração de elementos de potência com circuitos convencionais bipolar ou CMOS. Assim, combinando-se a versatilidade e baixo consumo de circuitos MOS para implementação do processamento digital com as características de casamento elétrico e alto desempenho da tecnologia bipolar para a realização das funções analógicas e a capacidade de condução de corrente e operação em alta tensão dos transistores DMOS para os circuitos de acionamento, obtém-se soluções altamente compactas para implementação de sistemas *on-chip*. Uma destas tecnologias, surgida em meados dos anos 80, é conhecida como BCD (Bipolar-CMOS-DMOS) e permite a realização de sistemas altamente complexos em um único *die* incluindo-se circuitos de *driver* otimizados com elementos de diagnóstico em caso de falhas e proteção, além de todo o processamento analógico e digital associado [2], [3].

Transistores DMOS são especialmente construídos para operar sob tensões elevadas devido à menor dopagem associada às regiões de dreno e *source*. A isolação entre o transistor e as demais estruturas é feita através de óxido de campo. Dependendo do processo, duas configurações básicas são utilizadas: Transistor horizontal (LDMOS) ou vertical (VDMOS). No primeiro caso, o fluxo de corrente ocorre no sentido paralelo à superfície do *chip*, logo os contatos são posicionados no topo do mesmo. Na configuração vertical, a corrente atravessa o *die* e um dos contatos é posicionado na sua parte inferior [4].

Alternativamente, em tecnologia CMOS, transistores de alta tensão podem ser construídos a partir de uma configuração básica NMOS com implantes adicionais (poço N) com menor dopagem. Duas estruturas resultam: (a) Transistor LDD (*Low-Doped-Drain*) que suporta tensões em torno de 25V e é adequado para acionamento de cargas em configurações *low-side*. A tensão de *gate* é a nominal da tecnologia. (b) Transistor LDSD (*Low-Doped-Source-Drain*) que apresenta limitações semelhantes ao LDD, mas que permite acionar cargas em configuração *High-Side*. Neste caso, devido

ao recobrimento da região de *gate* com óxido de campo proveniente do processo de dopagem das regiões de dreno e *source*, uma maior tensão de *gate* pode ser tolerada no transistor LDSD, em torno de 12V [5].

Com o objetivo de se verificar as reais capacidades de utilização de transistores NMOS de alta tensão construídos em tecnologia CMOS (LDD e LDSD) implementou-se em tecnologia CUB06 os respectivos transistores com as seguintes dimensões: (1) LDSD: $W=144\mu$, $L=8\mu$; (2) LDD: $W=8000\mu$, $L=3\mu$ ($20 \times 400\mu$), (3) LDD: $W=130\mu$, $L=3\mu$. Os transistores LDD e LDSD de área menor foram testados com relação à máxima tensão de operação. O transistor LDD de maior área (*Power LDD*) teve sua resistência de condução medida. O padrão básico de *layout* deste transistor segue a estrutura interdigitada que otimiza área no silício [6]. Estes testes permitem avaliar os transistores para operação em conversores chaveados. Na Fig.13(a) está representado o *layout* do transistor LDD ($W=130\mu$, $L=3\mu$) e na Fig.13(b) o *layout* do transistor LDSD.

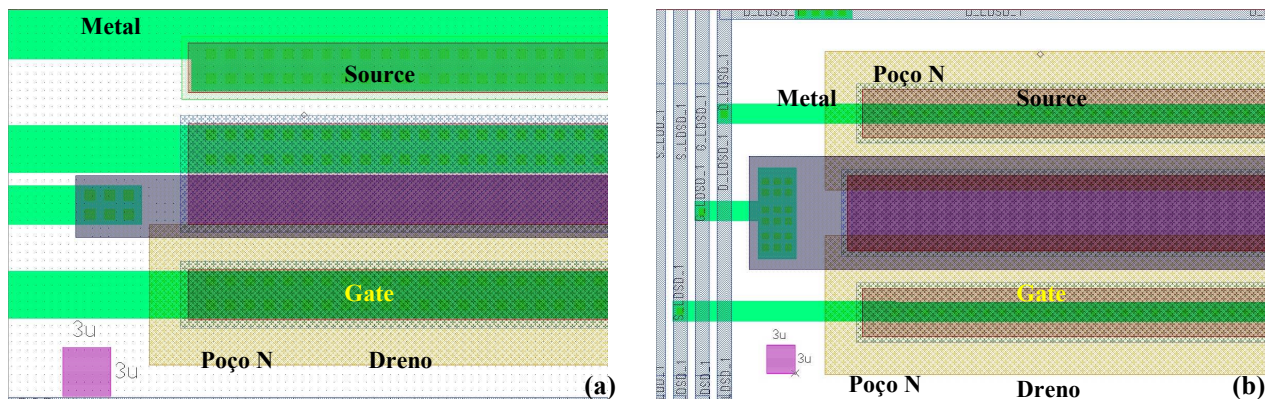


Fig. 13. *Layout* dos transistores implementados. (a) LDD (b) LDSD.

A fotomicrografia do dispositivo *Power LDD* construído está indicada na Fig.14(a). Na Fig.14(b) tem-se a microfotografia dos dispositivos LDD e LDSD de menor área. Na Fig.14(c) está representada a característica estática do LDD de maior área, onde pode-se medir a resistência de condução estática, em torno de 20Ω .

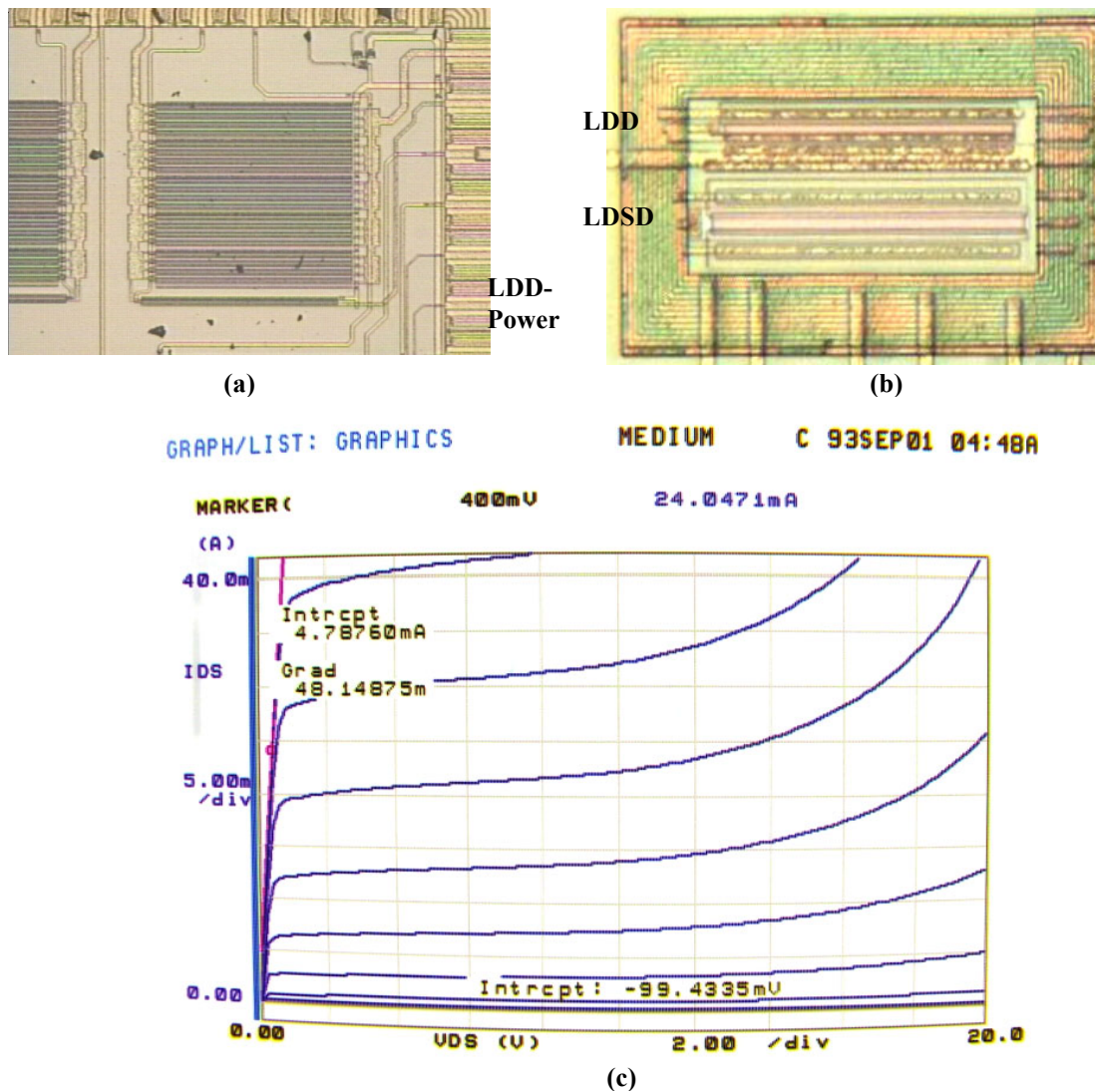


Fig. 14. Fotomicrografia dos transistores implementados. (a) *Power LDD*. (b) *LDD e LDS* de menor área. (c) Característica tensão-corrente do *LDD-Power*.

As curvas tensão-corrente dos transistores LDD e LDS de menor área são indicadas nas Fig.15(a),(b) respectivamente. Observa-se que os mesmos podem operar seguramente no modo chaveado com tensão máxima de 25V, ou mais. Evitou-se realizar ensaios destrutivos. Efeitos de modulação de canal podem ser verificados na característica do LDD. O *layout* especialmente

modificado para o LDSD apresentou efeito de modulação de canal bastante reduzido. Este dispositivo operou adequadamente sob tensões de dreno de até 25V e tensões de *gate*-substrato de até 12V.

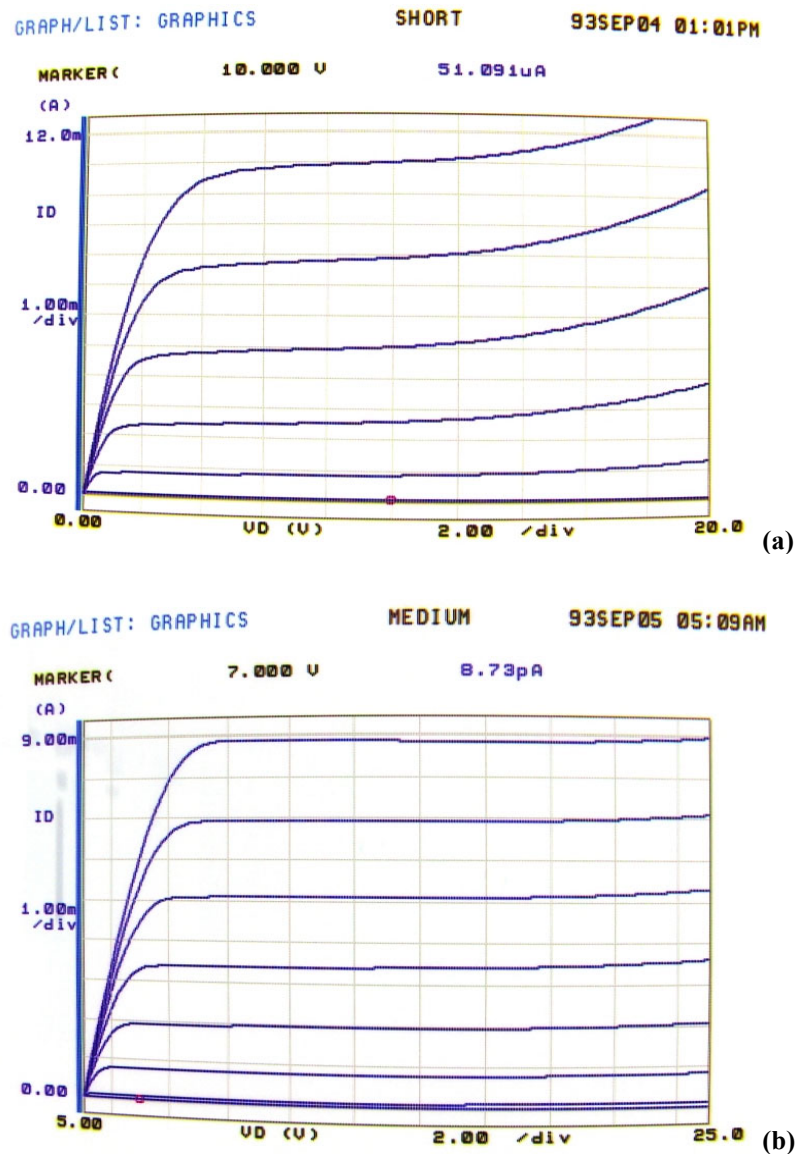


Fig. 15. Característica tensão-corrente dos transistores implementados de menor área. (a)LDD. (b) LDSD.

1.4.CIRCUITO DE *DRIVER* COM AJUSTE DE EMI IMPLEMENTADO

A partir das diversas sugestões de implementações de circuitos de *drivers* para conversores integrados de baixa emissão eletromagnética, realizou-se em tecnologia CUB06 um circuito de *driver*

para acionamento de transistores LDD ou LDSO como os descritos na seção anterior. O circuito é constituído por um espelho de corrente com razão de áreas 1:10 cuja corrente de saída é controlada por uma corrente de referência (I_{IN}). Um sinal PWM comuta a saída em corrente do espelho, possibilitando a sua utilização em acionamentos de cargas. Para cargas leves acionadas por corrente, o próprio *driver* atua como fonte. Neste caso, a não linearidade da tensão V_{GS} dos transistores do espelho é automaticamente corrigida e a carga é submetida a uma corrente proporcional à corrente de controle do espelho (I_{IN}). Uma capacitância mínima é requerida para efetivar o controle do *slew-rate* da tensão na carga. Quando utilizado como circuito de acionamento de um transistor LDD ou LDSO de potência, a própria capacitância de entrada do transistor ($C_{ISS}=C_{GS}+C_{GD}$) atua no controle do *slew-rate* da tensão V_{GS} (e da corrente de dreno I_D) uma vez que o transistor é acionado em corrente. A Fig.16 ilustra esquematicamente o circuito implementado e microfotografia do circuito construído em CUB06.

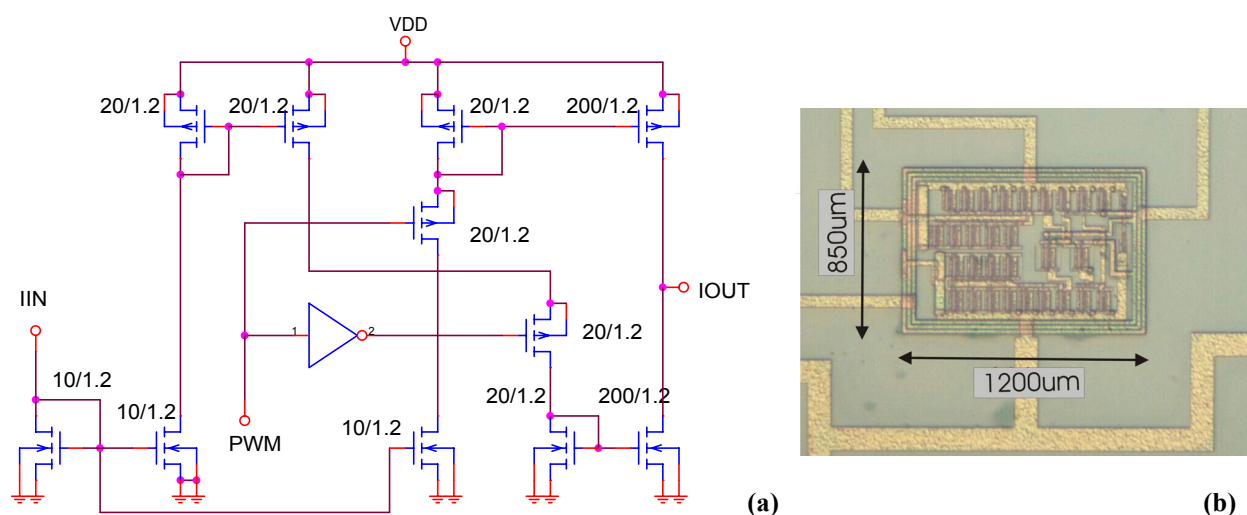


Fig.16. (a) Driver implementado em tecnologia CUB06 com saída em corrente. (b) Fotomicrografia

Devido à natureza capacitiva (C_{ISS}), o acionamento de transistores DMOS a partir da aplicação de pulsos de tensão com transição rápida produz *spikes* de corrente que acoplam magneticamente com

circuitos adjacentes, causando *crosstalk*. Por outro lado, o ataque em corrente limita a ocorrência deste efeito. Assim pode-se conseguir importante redução dos níveis de emissão eletromagnética de um circuito a partir do adequado acionamento de suas cargas. Fig.17 ilustra alguns resultados experimentais do *driver* comandando um transistor LDD conectado a uma carga resistiva em configuração *Low-Side*. Na Fig.17(a) pode-se observar a ocorrência de *spikes* na corrente de *gate* (I_G) do transistor quando o acionamento é realizado sob corrente máxima, $I_{IN}=I_{MAX}$ (similar a um acionamento em tensão), enquanto que sob corrente de controle moderada ($I_{IN}<I_{MAX}$) verifica-se uma redução da amplitude de I_G , o que diminui a geração de EMI conforme indicado na Fig.17(b).

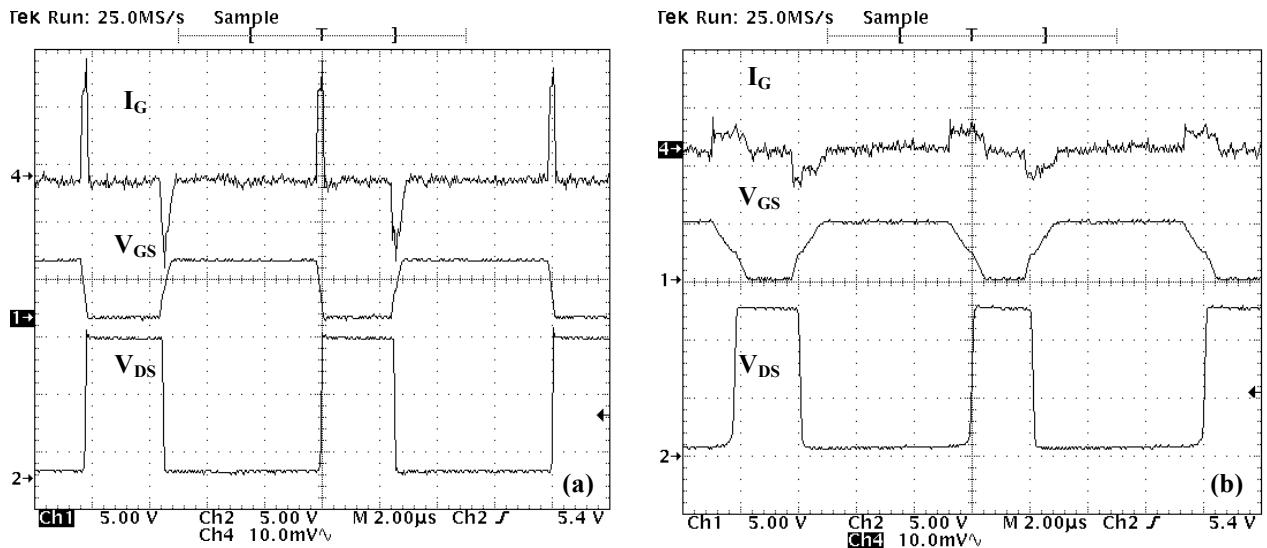


Fig.17. Driver acionando um LDD e carga resistiva em configuração *Low-side*. (a) Acionamento rápido com ocorrência de *spikes* na corrente de *gate*. (b) Acionamento controlado, com redução de EMI.

Além do controle dos pulsos de corrente no *gate*, o controle da derivada da corrente do transistor e tensão dreno-*source* também representa importante parcela na redução da interferência eletromagnética, pois os níveis de potência associados a estes últimos são predominantes.

Pela análise exposta e simples observação das Eqs.1 e 2, torna-se evidente que o controle da derivada da corrente do transistor seja no ligamento ou desligamento traduz-se em benefícios sob o ponto de vista de EMI. A restrição a ser observada refere-se à dissipação de potencia, uma vez que transições mais lentas incorrem em maiores perdas de comutação. Fig.18(a) ilustra alguns resultados experimentais de um transistor LDD acionado pelo *driver* com máxima velocidade de comutação. Fig.18(b) ilustra o acionamento com derivada reduzida. Observa-se neste caso, que o intervalo de comutação é aumentado e por consequência, as perdas de comutação. Entretanto, o circuito é favorecido com baixos níveis de emissão eletromagnética.

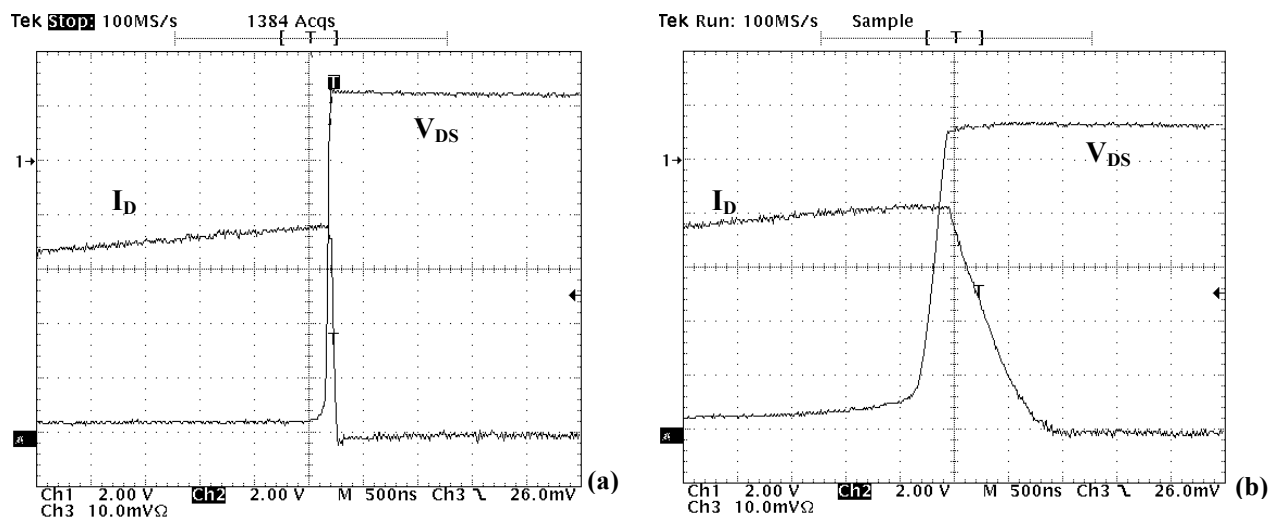


Fig.18. Resultados experimentais da comutação (a) Transição rápida. (b) Controlada.

Este *driver* pode ser utilizado no acionamento “inteligente” de transistores em conversores DC-DC, Fig.19(a). Neste caso, as correntes oscilatórias produzidas quando o transistor entra em condução (devido à recuperação do diodo associada à ressonância entre elementos parasitas) podem ser significativamente reduzidas ou eliminadas. A partir de um acionamento controlado, inicia-se o

processo de comutação do transistor lentamente, até a extinção da corrente reversa do diodo. Na sequência, acelera-se a comutação para se otimizar as perdas. O processo exige um controle de realimentação bastante rápido, pois os intervalos de transição considerados são da ordem de nanossegundos. Um teste do *driver* foi realizado em malha aberta onde se estimou o tempo de recuperação do diodo e programou-se o ponto de quebra no acionamento controlado, conforme visualizado na Fig.19(b). O sinal de controle foi sintetizado a partir de um controle lógico implementado em VHDL.

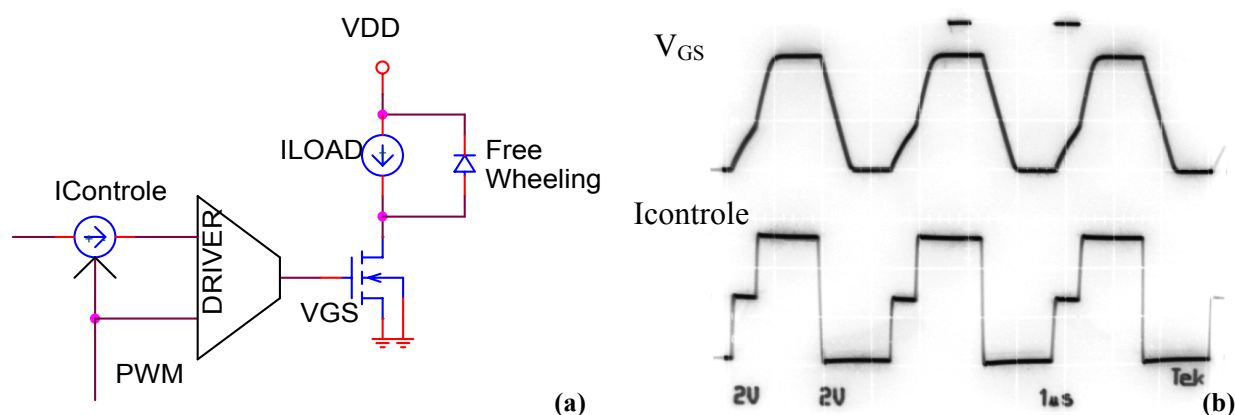


Fig.19. (a) Acionamento otimizado para controle de EMI e redução de perdas. (b) Formas de onda medidas.

Uma proposição de um *driver* utilizando espelhos de corrente para correção da não-linearidade da tensão V_{GS} (no caso, transistores MOS de potência em conversores DC-DC) foi apresentada no APEC-2004 [51], na mesma época em que o circuito implementado foi recebido e os testes iniciados. As topologias apresentam como semelhança básica o uso de um espelho de corrente para a realização do acionamento controlado. A principal diferença consiste no controle da corrente. Em [51] é utilizado o princípio geral estabelecido na literatura de transistores acionados sequencialmente a partir de uma linha de atraso. O *driver* implementado ajusta analogicamente o valor da corrente, possibilitando o

controle da comutação. Assim, a combinação de transistores LDD ou LDSD acionados por este *driver* em conjunto com um sensor *split-drain* e instrumentação associada possibilita realizar aplicações *Smart-Power* com controle de EMI através de realimentação do sinal detectado magneticamente.

1.5.APLICAÇÕES *SMART-POWER*

Neste tópico, algumas topologias empregadas em *Smart-Power* são revisadas, com especial atenção aos conversores DC-DC integrados, para verificação e análise das soluções adotadas em compatibilidade eletromagnética. Alguns circuitos implementados são também apresentados.

A literatura reporta grande diversidade de aplicações *Smart-Power*, cobrindo desde dispositivos comerciais a soluções monolíticas completas. Em aplicações envolvendo acionamentos de potência, os circuitos *Smart-Power* recebem denominações como *Smart-Drivers*, *Intelligent MOSFETS*, *Smart-Circuits*, etc. Os circuitos *Smart-Power* não são necessariamente implementados monoliticamente. Em [7] é descrito um *driver* MOS para acionamentos com as seguintes características: Proteção contra curto-circuito, sobre-carga, temperatura, limitação de EMI e sensoriamento de corrente. O princípio de monitoramento da corrente utiliza a técnica de divisão de corrente entre o transistor principal e um auxiliar, construído no mesmo *die*, denominado SENSEFET [8]. Este dispositivo é utilizado na implementação de conversores chaveados de grande capacidade (kW) e permite flexibilidade no projeto, uma vez que todos os circuitos básicos de proteção e condicionamento já se encontram associados às chaves de potência [7]. Assim, a utilização de circuitos integrados inteligentes (híbridos ou monolíticos) como elementos de comando de chaves de potência apresenta vantagens em relação às implementações discretas, pois garante maior confiabilidade e redução de volume a preços competitivos, além de reduzir o tempo de projeto [2]. *Drivers* inteligentes para IGBTs geralmente

apresentam funções básicas de proteção (sobre-corrente, curto-circuito, sobre-temperatura, sobre-tensão). Características especiais de acionamento suave (*soft-start*), como por exemplo, acionamento de corrente *step-by-step* [9] ou a modificação *on the flight* da resistência de *gate* [10] melhoram a eficiência do conversor e reduzem a emissão eletromagnética.

Sistemas de energia para Microprocessadores propõem novos desafios. Com a redução da tensão de alimentação, correntes da ordem de 20A ou mais são solicitadas pelos atuais microprocessadores. O aspecto térmico ainda é outro problema não completamente resolvido e soluções energeticamente eficientes ainda estão sendo pesquisadas. Uma das alternativas é a utilização de sistemas de energia baseados na transmissão em níveis elevados de tensão através de um barramento e posterior adequação no ponto de consumo através de circuitos conversores DC-DC integrados. Esta técnica praticamente reduz perdas de condução e melhora a eficiência energética, com impacto direto na qualidade de energia do sistema [11]. Conversores multi-fase operando em paralelo também são apresentados como soluções práticas na implementação de sistemas de alimentação para microprocessadores [12].

Em aplicações portáteis, como PDAs, palms, telefones celulares e outros dispositivos similares alimentados a baterias, a conversão do nível de tensão entregue por uma bateria de íon de lítio ou hidreto de níquel metálico à tensão nominal do circuito pode ser realizada por meio de conversores DC-DC de alta eficiência, devido à necessidade de se maximizar o tempo de operação entre recargas. Desta forma, módulos de potência de alta eficiência podem ser implementados no mesmo *chip* com os demais circuitos *mixed-signal* e de processamento digital. Devido à flexibilidade

das soluções em CMOS, conversores DC-DC totalmente digitais têm sido reportados [13], embora soluções *mixed-signal* monolíticas ou híbridas (Fig.20) sejam mais comuns. Esta metodologia tem sistematicamente renovado soluções em sistemas *on-chip* e certamente sinaliza uma tendência que se manterá no futuro [12], [14].

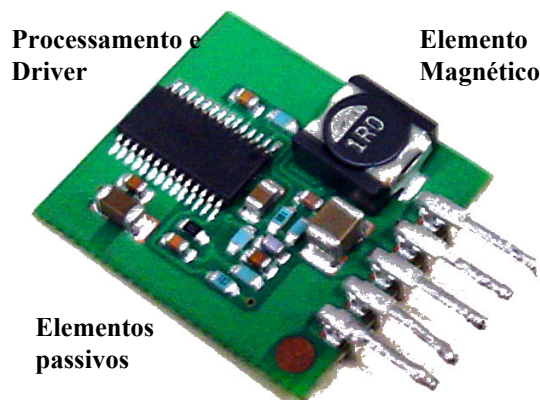


Fig.20. Circuito regulador de tensão *Smart-Power* híbrido (Cortesia Texas Inst.)

Conversores DC-DC integrados têm sido utilizados na implementação de módulos de potência para fornecimento de energia de alta qualidade a circuitos analógicos e digitais. Basicamente, operam como abaixadores ou elevadores de tensão. Topologias integradas são normalmente não isoladas, embora transformadores planares tenham sido usados em implementações híbridas [15]. Transformadores planares do tipo *coreless* apresentam importantes restrições com relação à compatibilidade eletromagnética e são empregados em situações especiais [16]. Bobinas integradas acopladas apresentam baixos fatores de qualidade, logo não são adequadas à implementação de transformadores de conversão. Soluções totalmente integradas, incluindo-se os elementos reativos (Indutores) têm sido reportadas na implementação de conversores DC-DC [17]. Estas implementações apresentam como desvantagem a operação do conversor em frequências acima de 100MHz para se obter eficiências em torno de 85%, o que torna o controle bastante crítico. Além disto, indutores integrados apresentam baixo fator de qualidade e acoplamento, e as indutâncias obtidas são igualmente

reduzidas, o que torna a conversão energética pouco eficiente [18]. Outro aspecto importante na realização de conversores DC-DC integrados refere-se à tensão nominal dos transistores MOS. Com a redução progressiva da tensão de alimentação imposta pela tecnologia para se diminuir perdas, a tensão nominal dos transistores também é afetada da mesma forma. Como solução, conecta-se transistores em série para se aumentar a capacidade de operação do conversor com relação à tensão de alimentação [19].

Técnicas de Comutação Suave

Os circuitos acima referenciados apresentam comutação do tipo dissipativa (*hard-switching*) que proporcionam facilidade de implementação, embora com perdas associadas devido ao processo de carga e descarga das capacitâncias intrínsecas dos transistores sob tensão não-nula. Além das perdas ôhmicas, a elevada emissão eletromagnética pode ser considerada a principal desvantagem deste tipo de comutação. Conversores utilizados em eletrônica de potência geralmente adotam técnicas ou circuitos auxiliares de comutação suave para se obter eficiências aceitáveis bem como níveis moderados de emissão eletromagnética [22]. Circuitos de auxílio à comutação normalmente utilizam elementos reativos para se promover a comutação suave. Em versões integradas, apesar de possível, a técnica não se justifica em função dos níveis de potência associados a um circuito integrado. Soluções práticas utilizam a própria característica de comutação do conversor para se reduzir perdas e EMI. Em [23] um conversor DC-DC PWM do tipo Buck é apresentando, Fig.21(a), com característica de comutação sob zero de tensão (*ZVS-Zero Voltage Switching*). Basicamente, a energia armazenada no indutor de transferência L_F (*off-chip*) é aproveitada para se promover a carga e descarga da

capacitância associada ao transistor de potência (C_X) evitando-se *spikes* de corrente o que reduz perdas e EMI. O circuito de *driver* controla os pulsos aplicados no transistor de potência (M1) e transistor retificador (M2) em função da tensão no capacitor (C_X) e sinal PWM de controle. Os controles de *gate* de cada transistor somente são liberados quando a tensão em C_X é aproximadamente nula, efetivando-se a comutação do tipo ZVS, Fig.21(b). Uma dificuldade apresentada por este circuito refere-se à corrente disponível no indutor para promover a carga e descarga do capacitor, que varia de acordo com a corrente de carga (R_L). Assim, um *driver* adaptativo deve ajustar os tempos de atraso (*delays*) em relação ao sinal PWM de acordo com a corrente de carga e assim manter a característica de comutação sob zero de tensão [24].

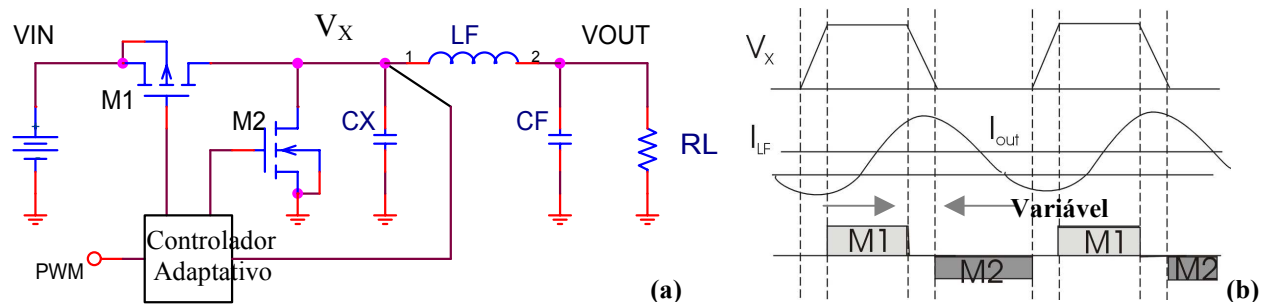


Fig.21. (a) Circuito buck ZVS. (b) Formas de onda principais

Drivers integrados e pads de I/O

A configuração clássica utilizada no acionamento de transistores de potência bem como pinos de I/O em circuitos digitais emprega inversores conectados em cascata com dimensões em razão progressiva. Tal arranjo é citado na literatura como *Buffer Tapered*, que pode ser traduzido como

seqüência de inversores “em fila” [25]. No processo AMS, os *pads* digitais que são utilizados como pinos de I/O utilizam este arranjo, como ilustrado na Fig.22(a).

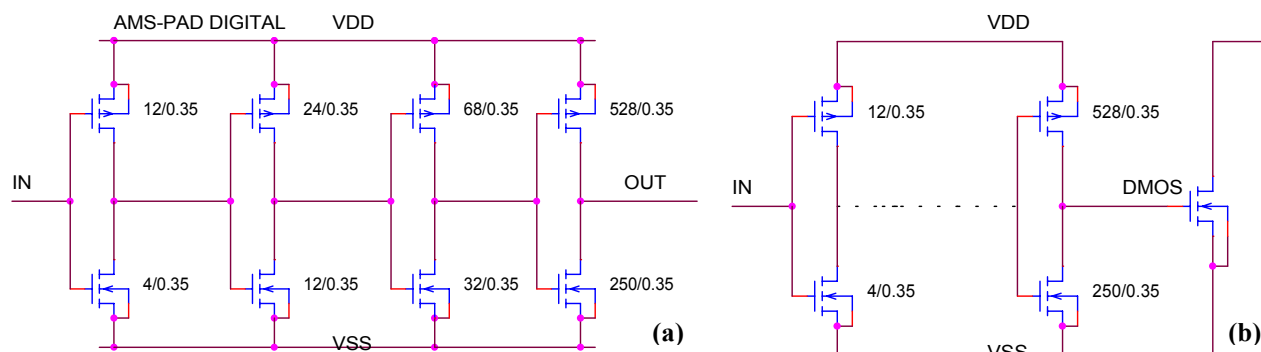


Fig.22. (a) Pad Digital da AMS (CSD035) (b) Acionamento usual de transistor DMOS em configuração Low-side

A razão de progressão das áreas dos inversores conectados em seqüência é proporcional ao fator de *tapering* cujo valor definirá o atraso de propagação do sinal através da cascata. O valor ótimo $e \cong 2.718$ proporciona o mínimo atraso de propagação do sinal, dado por $\tau_0 = \ln(C_L/C_{in}) \cdot e \cdot \tau_{in}$ onde: τ_0 refere-se ao intervalo de propagação total, τ_{in} o atraso através do inversor de área mínima, C_{in} a capacitância de entrada do inversor de área mínima e C_L a capacitância de saída ou de carga, no caso a capacitância de entrada do transistor DMOS [25]. Este arranjo embora eficiente na geração de pulsos de comando para os transistores de potência, Fig.22(b), introduzem severos problemas de emissão eletromagnética. Os elementos parasitas do circuito tais como indutâncias dos *leads*, capacitâncias dos *pads* e diversas resistências e capacitâncias distribuídas entre o *die* do circuito integrado e a placa de montagem do sistema (*board*) modificam as formas de onda resultantes do processo de chaveamento. Neste caso, as mesmas serão fortemente contaminadas com oscilações (*ringing*) de altas freqüências que podem se propagar através do próprio circuito por meio de acoplamentos capacitivos ou indutivos, ou ainda para o exterior, causando problemas de compatibilidade eletromagnética. *Overshoots*, *Ground*

Bouncing e *Cross-Talk* são ainda ocorrências devido a esse mecanismo que podem contaminar os sinais do próprio circuito ou mesmo causar falhas importantes [26], [27]. Fig.23(a) ilustra esquematicamente os elementos parasitas representados através de indutâncias e capacitâncias associados aos terminais do circuito integrado. Fig.23(b) ilustra a tensão de saída de um *driver* com *overshoot* devido à presença dos elementos parasitas enquanto que Fig.23(c) evidencia a natureza oscilatória associada, que contém componentes de altas frequências.

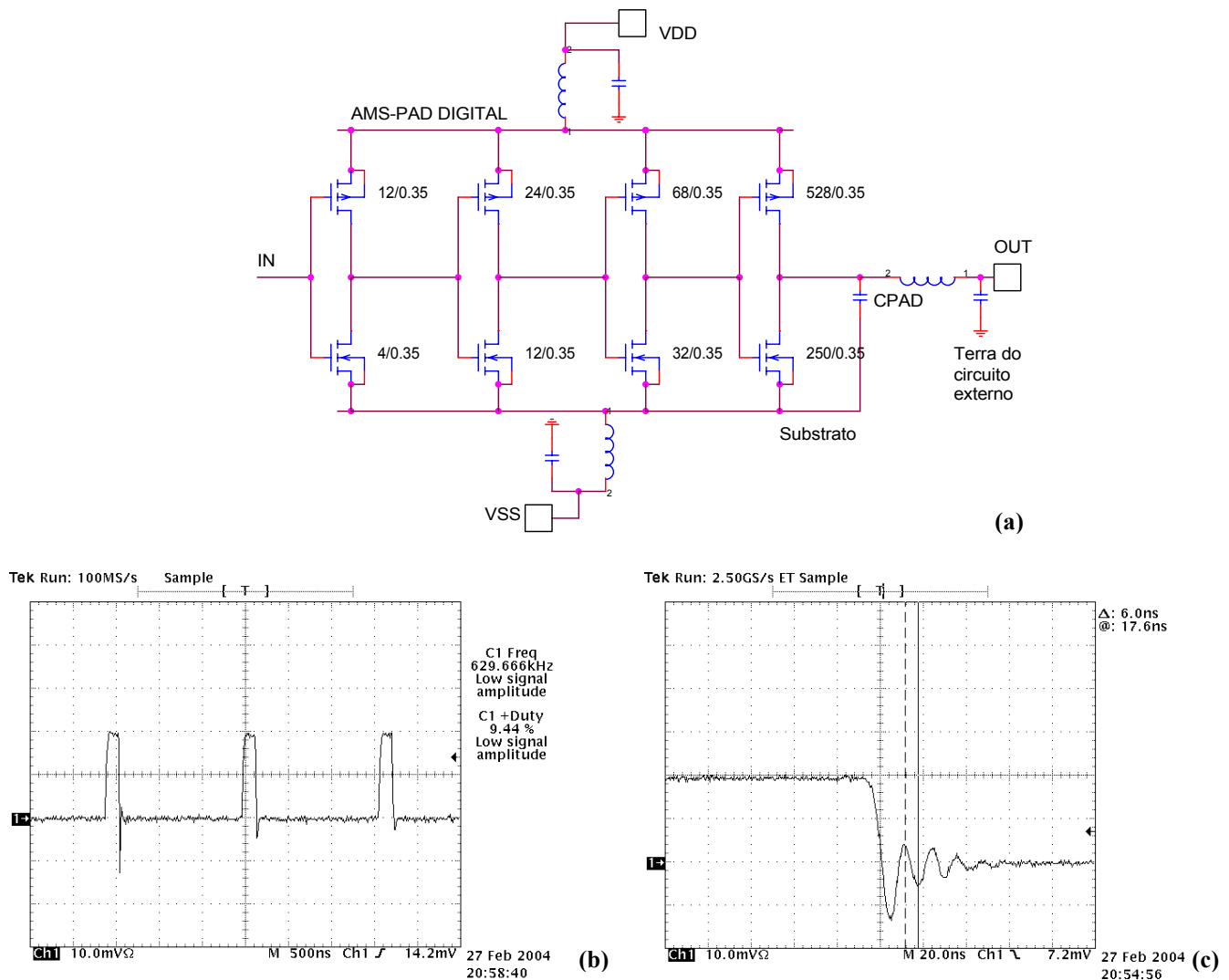


Fig.23. (a) Driver do tipo *buffer tapered* com elementos parasitas representados. (b) Tensão de saída devido a uma operação de chaveamento. (c) *Zoom* durante a comutação, evidenciando a natureza oscilatória.

A literatura é farta em soluções para reduzir os problemas de compatibilidade eletromagnética (também citados como ruído eletromagnético) em *drivers* para I/O ou conversores DC-DC, embora o princípio geral seja basicamente o mesmo, reduzir as taxas de variação de corrente ou tensão associadas aos mecanismos de comutação dos transistores. Algumas referências são comentadas brevemente: (1) Em [28] uma interessante proposição de um circuito conversor DC-DC do tipo Buck PWM autoressonante empregando transistores de potência divididos acionados sob corrente de *gate* constante é apresentada. Neste caso, um *buffer* com saída em corrente produz uma variação controlada da tensão de *gate* dos transistores, evitando-se altas derivadas da corrente de dreno e reduzindo-se a EMI. O circuito é implementado na área de I/O (*Pads*) do circuito integrado, otimizando-se área. (2) Em [29] duas sugestões são apresentadas no sentido de se reduzir a corrente de condução simultânea pelo par de transistores P e N durante o intervalo de comutação: (a) Controle do intervalo de tempo da aplicação dos pulsos, proporcionando o ligamento e desligamento dos transistores P e N em tempos ligeiramente diferentes. (b) Controle independente em cada transistor do *Slew-Rate* que se refere à taxa de inclinação da tensão aplicada no *gate* proporcionando uma comutação controlada. Nas duas situações, obtém-se uma significativa redução da EMI gerada apesar de se aumentar as perdas por condução. (3) Em [26] é apresentada uma proposição de um circuito de *driver* com controle de *slew-rate* por realimentação. O elo de realimentação é estabelecido da saída para a entrada de um circuito de pré-*driver* que monitora o *slew-rate* da tensão de saída, proporcionando uma comutação controlada dos transistores da etapa de saída. (4) *Drivers* adaptativos podem ser realizados a partir de um mecanismo de *feedback* associado a uma temporização automática entre estágios inversores, geralmente implementados com portas lógicas [30]. Neste caso, o *driver* reage naturalmente à corrente de carga solicitada devido à realimentação do sinal de saída para os estágios seqüenciais, que são ativados dependendo da demanda de corrente. Como resultado, obtém-se um controle do *slew-rate* da tensão de

saída independente da corrente de carga com conseqüente redução de EMI. Como a temporização do acionamento seqüencial é realizada através dos atrasos de propagação pelas portas lógicas, variações de processo podem comprometer a funcionalidade do circuito, que não apresenta flexibilidade de ajuste. (5) *Drivers* sem controle de realimentação baseados no acionamento seqüencial de inversores comandados por uma linha de atraso também são referenciados [31]. A linha de atraso pode ser implementada a partir de portas lógicas conectadas em série que ativam seqüencialmente os inversores da cadeia, obtendo-se uma tensão de saída com *slew-rate* constante. Nesta referência, apesar do título indicar “adaptativo” os autores não utilizaram o princípio da realimentação, que permite o controle do *slew-rate* para qualquer corrente de carga, como indicado em [30]. (6) A AMS (*AustriaMicrosystems*) disponibiliza em seu processo um *pad* digital com controle de *slew-rate* em tecnologia CSD035. Trata-se do dispositivo *BU8SRC* que é um *driver* com dois bits de controle para ajuste do *slew-rate* requerido, obtendo-se quatro taxas de acionamento.

Alguns circuitos de *drivers* com controle de *slew-rate* utilizados em circuitos *Smart-Power* direcionados à utilização em conversores são apresentados em [32]. Estes circuitos são comentados a seguir. Na Fig.24(a) é apresentado um circuito de acionamento de cargas do tipo *Low-Side* com controle de *slew-rate* da tensão de saída (V_{DS}) através de capacitor de realimentação. O circuito de comando (representado pelas fontes de corrente) realiza a carga e descarga do capacitor causando uma variação linear da tensão V_{DS} . A corrente disponível para realizar a comutação controla, portanto, o *slew-rate* da tensão de saída. Na Fig.24(b) é apresentada uma versão para acionamento de cargas do tipo *High-Side* com o mesmo princípio de operação. Na Fig.24(c) é indicado que as próprias capacitâncias intrínsecas do transistor DMOS podem ser utilizadas na implementação de um controle de *slew-rate*. Circuitos mais elaborados de controle de *slew-rate* utilizando capacitores de realimentação são apresentados em [33].

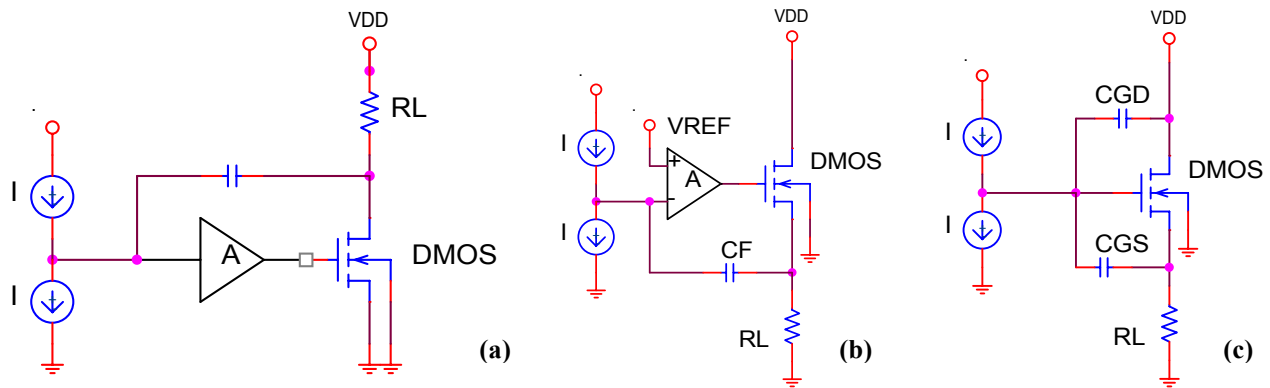


Fig.24. (a) *Driver com controle de slew-rate para acionamento de cargas Low-side.* (b) *Idem para cargas High Side.* (c) *Controle de slew-rate utilizando as próprias capacitâncias intrínsecas do transistor*

Drivers Discretos para MOSFETs e IGBTs

Soluções adotadas para o problema de EMI em circuitos de acionamentos para IGBT ou MOSFET discretos foram igualmente investigadas. A técnica básica controla a corrente de comutação do transistor de potência através da inserção de um resistor de *gate*, que torna a comutação mais lenta com conseqüente redução da EMI. Diversos trabalhos têm sido apresentados baseados neste método. Em [34] e [35] um *driver* com dois estágios realiza a comutação de resistores de *gate* de valores diferentes durante o intervalo de chaveamento do transistor. Assim, resistores de maior valor que tendem a “frear” a comutação somente atuam nos instantes mais críticos (no caso de um conversor DC-DC, por exemplo, estes instantes referem-se à corrente reversa do diodo de roda-livre e à etapa final do bloqueio do transistor, quando ocorrem sobre-tensões). No restante do ciclo, o resistor de *gate* assume seu valor nominal. Esta técnica alia eficiência, pois as perdas de comutação são diminuídas, com alguma redução na emissão eletromagnética. Em [36] utiliza-se os mesmos resistores de *gate* e

circuitos adicionais de auxílio à comutação. Estes circuitos, constituídos por fontes de corrente, aceleram a comutação nos instantes considerados não críticos do ponto de vista de geração de EMI (carga e descarga da capacitância C_{GD} do transistor de potência). A mesma técnica também é apresentada em [37] e [38]. Alternativamente, circuitos de *driver* ressonantes aproveitam a natureza capacitiva do *gate* do transistor de potência que associada com um elemento reativo (indutor) produzem um ciclo ressonante, obtendo-se comutação sob zero de tensão (ZVS) [39], [40]. A presença de um indutor no circuito de *gate* não é interessante do ponto de vista de implementação integrada.

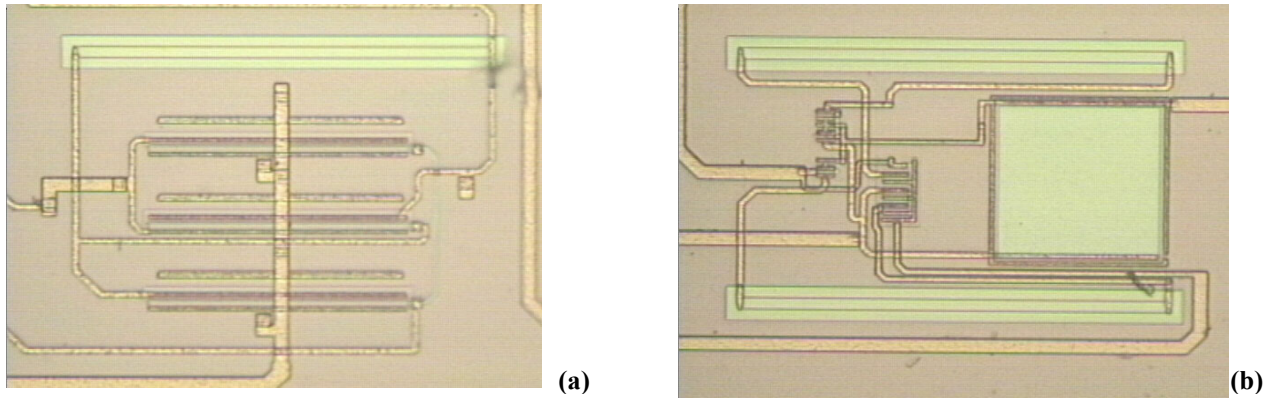
Conversores DC-DC Integrados Implementados¹

Um conversor DC-DC PWM abaixador de tensão tipo BUCK foi realizado em [20]. Um circuito com elementos ativos integrados realiza a conversão de 5V para 3.3V com capacidade nominal de corrente de 0.5 A operando em frequência de 50-100KHz. O conversor apresenta eficiência em torno de 67% sob carga plena e a alta tensão necessária ao acionamento do transistor de potência é proveniente de um *charge-pump* tipo *Dickson*. O circuito ainda apresenta monitoramento de corrente de carga por meio de um transistor auxiliar em paralelo com o principal em um arranjo similar ao SENSEFET [8]. O acionamento do transistor de potência é realizado por meio de *drivers High-Side* implementados em tecnologia CYB08, cuja microfotografia é apresentada na Fig.25(a).

Um conversor DC-DC PWM elevador de tensão tipo BOOST foi realizado em [21]. O circuito implementado opera com tensão de entrada de 5V, tensão de saída de 12V, frequência de chaveamento de 100-500KHz. O circuito apresenta acionamento controlado para se evitar elevadas taxas de variação

¹ Os circuitos implementados em processos AMS foram apresentados em conferências. Vide apêndice para os artigos completos.

de corrente (di/dt), o que diminui a emissão eletromagnética. O circuito foi construído em tecnologia CUB06. Uma versão com resistores integrados do *driver* que realiza a comutação controlada do transistor de potência através da limitação da corrente de *gate* é mostrada na Fig.25(b).



**Fig.25. (a) Circuito Driver *High Side* do conversor Buck .
(b) Driver com controle da corrente de *gate* utilizado no conversor Boost.**

Um conversor integrado do tipo elevador de tensão (*Boost*) [52], [53] foi realizado em tecnologia CUB06 utilizando o *driver* descrito na seção anterior. Implementou-se um controle de taxa de acionamento do tipo estático, onde o *slew-rate* da corrente do transistor de potência segue uma referência fixa, ajustada para uma determinada condição de emissão eletromagnética aceitável. Assim, o transistor de potência é acionado com o mesmo *slew-rate* de corrente independente de variações na carga, tensão de alimentação, deriva de valores nominais de componentes, temperatura. Este mecanismo garante uma condição estável com relação à interferência gerada pelo conversor. O circuito implementado e as formas de onda estão representados na Fig.26. Os trabalhos completos encontram-se no Apêndice II.

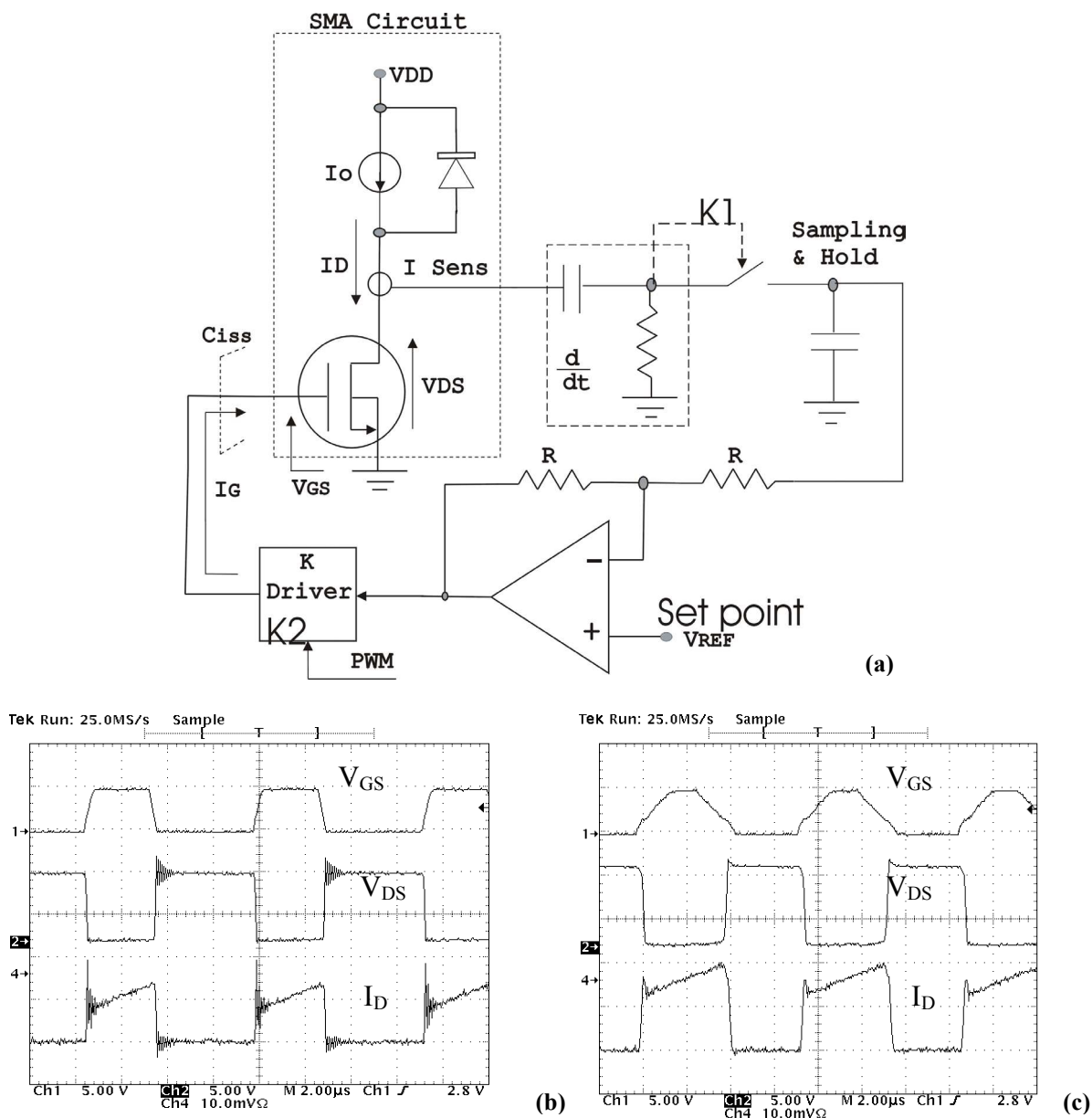


Fig.26. (a) Conversor *Boost* (SMA-Switched Mode Application) implementado com controle de EMI imposto por referência. (b) Formas de onda obtidas para acionamento sem controle de *slew-rate*. (c) Acionamento com *slew-rate* controlado.

A redução de emissão eletromagnética no campo distante pode ser observada na Fig.27, onde se obtém no mínimo 20dB, quando o acionamento é realizado com menor *slew-rate* da corrente de dreno do transistor de potência.

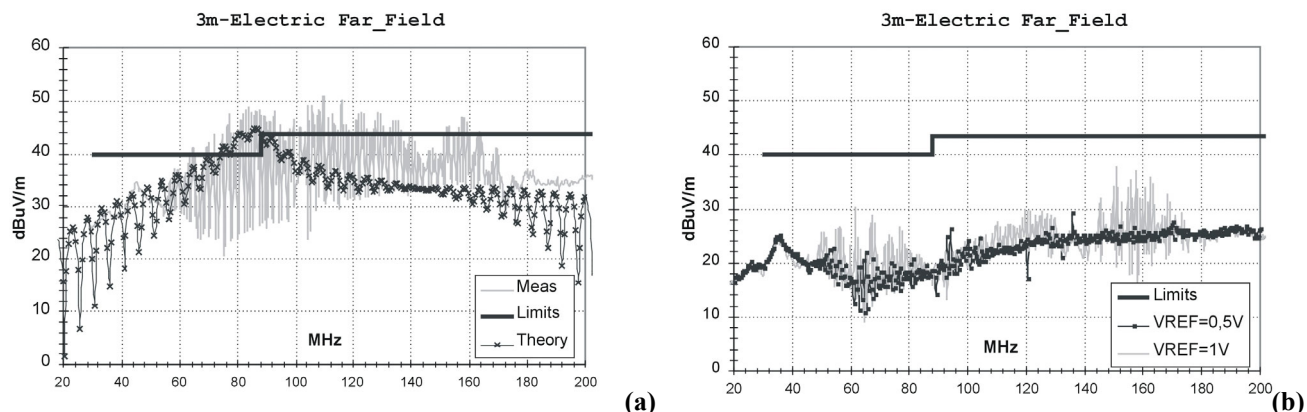


Fig.27. Espectro do campo elétrico irradiado distante-3m. (a) Sem controle de *slew-rate*. (b) Caso controlado.

Uma discussão interessante que surgiu em uma das conferências em que este circuito foi apresentado refere-se às perdas de comutação associadas às transições controladas. De fato, compatibilidade eletromagnética e perdas por comutação caminham em direções opostas, logo a otimização de uma causa prejuízos à outra. Este é um problema fundamental associado à natureza física. O que a literatura reporta é a busca de um ponto de equilíbrio. No caso do conversor implementado, a justificativa do impacto das perdas na eficiência do conversor se baseia nos níveis de potência de operação. Como o circuito é projetado para ser integrado, as perdas associadas à comutação são plenamente aceitáveis, pela seguinte razão: Como exemplo, considere-se o circuito operando em sua condição nominal, $V_o=12V$, $I_o=300mA$ e frequência de operação $500kHz$. Nestas condições, a potência entregue à carga é de $3.6W$. As perdas de comutação podem ser calculadas a partir da Fig.28(a). Para a taxa de acionamento escolhida (representada com um **X**, que proporciona uma redução de cerca de 20dB na emissão) as perdas correspondem $300 \times 10^{-9} \times 500kHz = 150mW$. Esta dissipação equivale a um impacto na eficiência do conversor, considerando-se apenas estas perdas, de 4%. Assim, a eficiência do conversor seria de 96%, que é um valor aceitável em conversores integrados. Na prática, devido às perdas principalmente de condução, as eficiências obtidas situam-se

entre 75% e 85%. Logo, o acionamento controlado não afeta de modo severo a eficiência geral do conversor, como inicialmente argumentado.

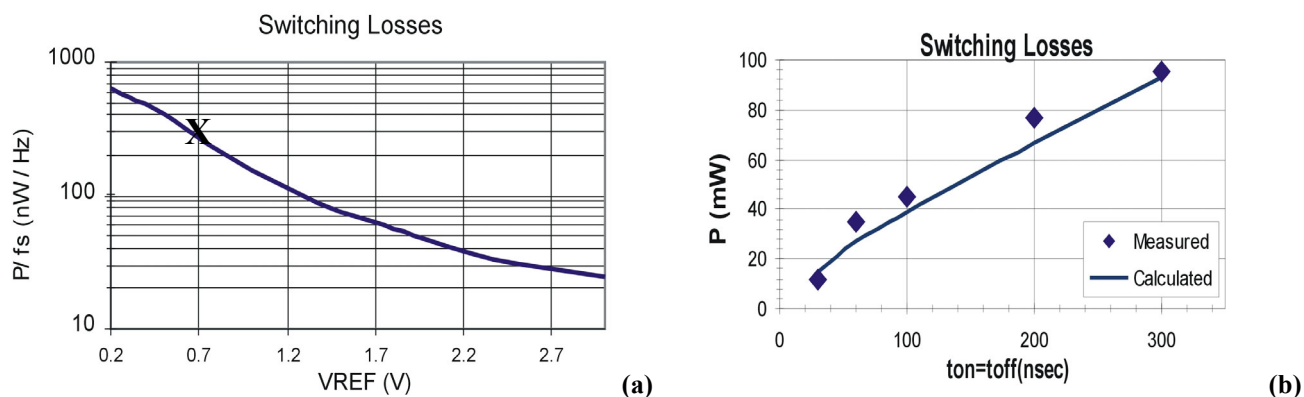


Fig.28. (a) Determinação gráfica das perdas de comutação. (b) Perdas de comutação medidas e calculadas. Para detalhes, vide artigo completo no Apêndice II.

A partir destas considerações, um controle pode ser agregado ao *driver*, que permitirá o monitoramento das perdas de comutação. Este “observador” pode ser implementado a partir de um circuito multiplicador de tensão que opere em quatro quadrantes. Um circuito baseado na célula de Gilbert implementado em tecnologia CMOS utilizando transistores laterais bipolares é reportado em [54]. Assim, durante a operação do circuito, caso se detecte perdas excessivas de comutação, o *slew-rate* pode ser reajustado para outra condição. O circuito básico está representado esquematicamente na Fig.29(a). Um circuito detecta a diferença de tensão V_{DS} e disponibiliza este sinal em uma das entradas do multiplicador. A corrente de dreno do transistor de potência pode ser lida diretamente sobre a carga resistiva e este sinal é aplicado na outra entrada do circuito. Um filtro passa-baixas é utilizado na saída do multiplicador para fornecer um sinal contínuo para fins de controle. Um circuito deste tipo pode detectar perdas de comutação instantaneamente, e em caso de perdas excessivas que produza um aquecimento excessivo do circuito integrado, o controlador já tem essa informação disponível, sem a necessidade de esperar um sinal proveniente de um sensor térmico, que apresenta inércia muito maior.

Este tipo de proteção seria inédito em implementações *Smart-Power*. Os resultados do circuito multiplicador detectando sinais V_{DS} e I_D em um *Power-MOS* estão indicados na Fig.29(b).

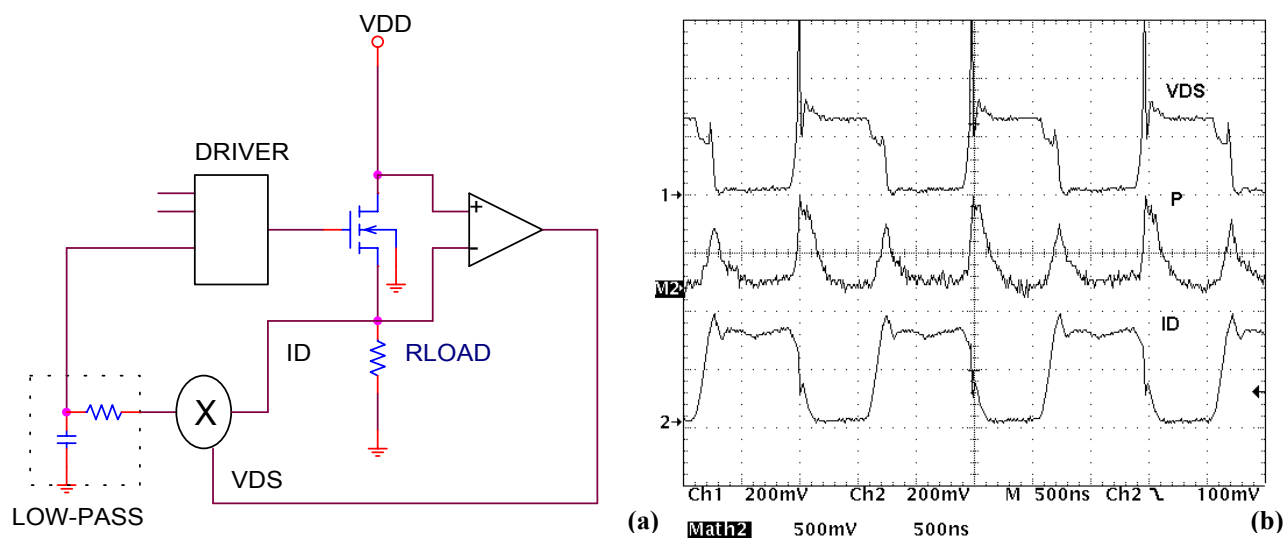


Fig.29. (a) Circuito multiplicador utilizado na detecção de perdas de comutação em um transistor de potência. (b) Formas de onda medidas para V_{DS} , I_D e $V_{DS} \times I_D$.

1.6.CONCLUSÕES

Neste capítulo, algumas topologias de circuitos conversores DC-DC para aplicações em circuitos *Smart-Power* são revisadas e os principais aspectos da compatibilidade eletromagnética são estudados. Modelos de análise para emissões no campo próximo e distante são explorados e verificados experimentalmente. Neste ponto, devido à natureza do campo eletromagnético próximo em circuitos de corrente (por exemplo, em conversores DC-DC) ser predominantemente magnética, conclui-se ser possível a detecção deste campo utilizando-se sensores integrados CMOS do tipo *split-drain*. Em tese, portanto, seria possível detectar emissões eletromagnéticas provenientes de circuitos que operam com comutação de correntes da ordem de centenas de mili-ampéres a alguns poucos ampéres a partir do campo magnético gerado pelas mesmas. Como verificado por meio de simulações, tais correntes produzem campos magnéticos da ordem de micro-teslas a mili-teslas, faixa

reconhecidamente detectável por transistores CMOS *split-drain*. O emprego de tais dispositivos como sensores de campo magnético próximo em conjunto com circuitos de *driver* com controle de *slew-rate* possibilita implementar circuitos inteligentes com controle de emissão eletromagnética. A fundamentação teórica para utilização do transistor *split-drain* como sensor de campo magnético próximo, bem como a análise de suas características de detecção e sensibilidade será realizada no próximo capítulo.

Esforços têm sido dirigidos no sentido de se integrar sistemas e ao mesmo tempo reduzir os problemas de compatibilidade eletromagnética advindos desta tendência. Ainda há muita pesquisa e desenvolvimento por serem realizados: (1) O entendimento completo do mecanismo de *bouncing* e o impacto nas correntes de modo comum; (2) Melhores modelos de simulação eletromagnética para encapsulamentos; (3) Ferramentas de simulação eletromagnética mais precisas a nível de *die*. (4) Desenvolvimento de técnicas para solução de problemas de integridade de sinais; (5) Circuitos analógicos menos susceptíveis a EMI; (6) Encapsulamentos otimizados com relação a elementos parasitas; (7) Melhor controle das emissões; (8) Controle avançado dos tempos de transição dos sinais pulsados. Estas considerações abrem perspectivas de pesquisa e desenvolvimento que serão realizadas em um futuro próximo.

ANEXO I

Detectores Utilizados em Medidas de Campo Magnético Próximo

Ponteiras passivas de campo magnético ou *Loops* são anéis condutores que sob a ação de um campo magnético variável produzem uma tensão em seus terminais devido à lei da indução de Faraday. É um dispositivo semelhante ao anel de Hertz, muito conhecido dos radioamadores. A diferença básica consiste em uma blindagem bi-partida ao redor do condutor para se evitar a captação

de campos elétricos e ao mesmo tempo evitar que correntes induzidas circulem pela blindagem, o que modificaria o campo magnético detectado. O dispositivo é muito utilizado na prática de EMI/EMC e pode ser construído em casa [55].

O circuito equivalente do *loop* é indicado na Fig.A1.1(a). O campo magnético aplicado é modelado por uma fonte de tensão de valor proporcional à frequência, ao coeficiente de acoplamento (M) e à corrente que produz o campo magnético. O *loop* possui indutância própria representada por L_{int} . A resistência se refere à carga do analisador de espectro. O circuito apresenta comportamento no domínio da frequência indicado na Fig.A1.1(b), onde a frequência de corte é definida pela combinação de M e L_{int} . A impedância de transferência Z_T é definida como a tensão produzida na carga de 50Ω em função da corrente que produz o campo magnético. O fabricante fornece a curva da ponteira, referenciada como *Performance Factor-PF* (ou *Probe Factor*) obtida a partir da calibração em uma célula TEM-*Transversal Electromagnetic*. A PF do modelo 903 (Diâmetro=1cm) da *Electro-Mechanics Company* está representada na Fig.A1.1(c). O campo magnético detectado segue a expressão geral: $H_{dB(A/m)} = dBV@f + PF - 51.52$. Nesta expressão, $dBV@f$ refere-se à tensão (dBV) lida no analisador de espectro ($R_{IN}=50\Omega$) na frequência considerada, PF à *Performance Factor* obtida do gráfico e $-51.52=20\log(1/377)$ corresponde à impedância do vácuo em dB, aproximadamente igual à impedância do ar, uma vez que as ponteiras são calibradas na célula TEM que apresenta esta impedância. Como exemplo, seja a ponteira (modelo 903) conectada a um analisador de espectro e submetida a um campo magnético local com frequência 100MHz. A leitura no Analisador de espectro na frequência de 100MHz corresponde a $-35.2dBV$. nesta frequência, obtém-se do gráfico $PF=75dB$. O campo magnético é portanto $H_{dB(A/m)} = -35.2 + 75 - 51.52 = -11.7_{dB(A/m)}$ ou 258mA/m.

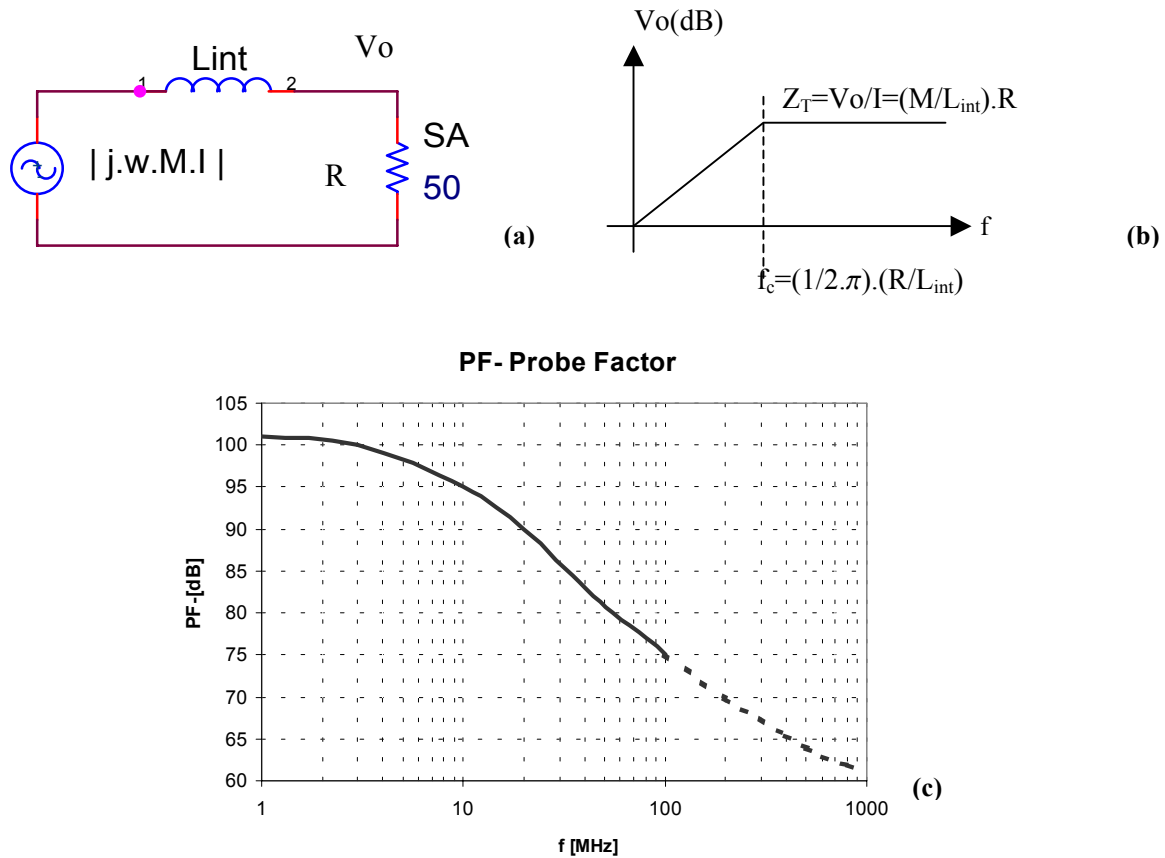


Fig.A1.1.(a) Circuito equivalente da ponteira magnética. (b) Resposta no domínio da frequência. (c) Performance factor fornecida pelo fabricante

A dificuldade que teve de ser contornada foi o fato do fabricante ter representado a PF da ponteira (Modelo 903) até 100MHz, Fig.A1.1.(c), sendo que o dispositivo atinge frequências bem maiores. (O próprio fabricante informa que a máxima frequência de operação é de 2.3GHz, onde ocorrem fenômenos de ressonância). A dificuldade de se realizar uma calibração deste tipo fora de uma célula TEM é manter-se o campo magnético local a ser aplicado sobre a ponteira com valor RMS constante ao se variar a frequência da corrente que o produz. A solução encontrada foi a utilização de uma linha de transmissão (LT) fendida que permitisse o posicionamento da ponteira no interior da LT. No caso de uma LT casada em 50Ω , o valor RMS da corrente é constante (desde que a tensão aplicada

também o seja) e independente da frequência, logo o campo magnético local também apresenta valor RMS constante. Uma verificação do casamento da LT com a carga de 50Ω foi realizada utilizando parâmetros S. Neste caso, se a fonte de amplitude constante que alimenta o sistema (LT +Carga 50Ω) enxerga uma carga equivalente de 50Ω em qualquer frequência, o campo magnético interno à LT também será conhecido, o que permitirá a realização da calibração da ponteira. Fig.A1.2(a) ilustra esquematicamente as conexões realizadas entre a LT, carga de 50Ω e um gerador de frequências (no caso da medida de parâmetros S, a fonte do analisador de redes-HP3377).

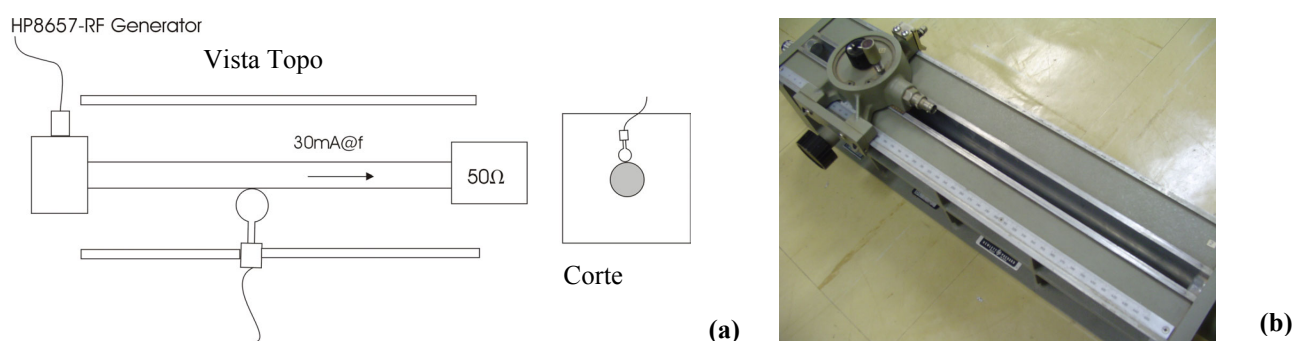
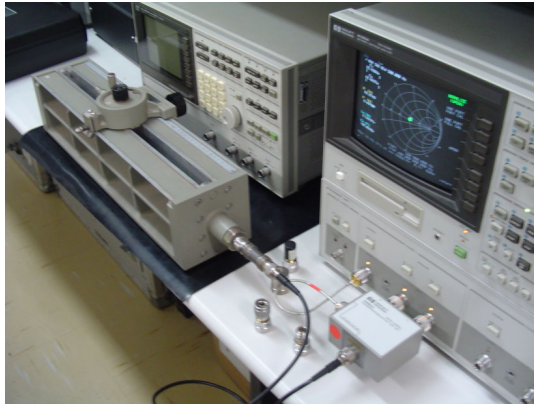
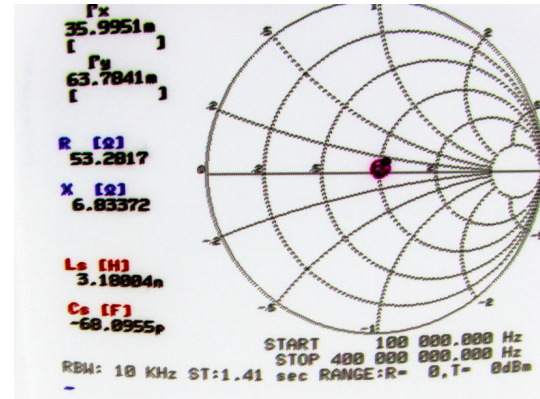


Fig.A1.2.(a) Arranjo Básico utilizado na calibração da ponteira magnética. (b) LT fendida

A conexão para medida de parâmetros S está indicada na Fig.A1.3(a) utilizando-se o analisador de redes HP3377. A partir da medida do parâmetro S_{11} , representado em uma carta de Smith, Fig.A1.3(b), verifica-se que a impedância vista pelo gerador é constante (50Ω), logo a corrente na LT também o será para qualquer frequência. Após esta verificação, conecta-se a LT e carga de 50Ω a um gerador de RF-HP8657 que aplica no sistema uma tensão constante de $1.5V_{RMS}$. A corrente resultante será $30mA_{RMS}$ em uma faixa de frequências de 1MHz a 1GHz. Na sequência, posiciona-se o *loop* (Modelo 903, Diam=1cm) na fenda, Fig.A1.3(c), e conecta-se o mesmo ao analisador de espectro para avaliação das amplitudes em cada frequência ajustada no HP8657.



(a)



(b)



(c)

Fig.A1.3.(a) Arranjo para medida da impedância do sistema. (b) Carta de Smith indicando a impedância de 50Ω em toda a faixa de frequência utilizada. (c) Posicionamento do *loop*.

Medindo-se a amplitude RMS do sinal detectado pelo *loop* em cada frequência ajustada, obtém-se os pontos indicados na Fig.A1.4. A partir da parte plana da característica, determina-se a impedância de transferência da ponteira ($Z_T = -24\text{dBV}$). A frequência de corte equivale a 350MHz. Com estes dois valores, determina-se a indutância interna do *loop*, $L_{\text{int}} = 22.7\text{nH}$. Conhecendo-se L_{int} e Z_T e considerando-se impedâncias de 50Ω (impedância de entrada do analisador de espectro) determina-se facilmente a indutância de acoplamento $M = 956\text{pH}$. A função de transferência do sistema pode ser obtida através do circuito equivalente do *loop* conectado à LT, Fig.A1.1(a) e possibilita realizar a verificação analítica dos valores medidos, FigA1.4.

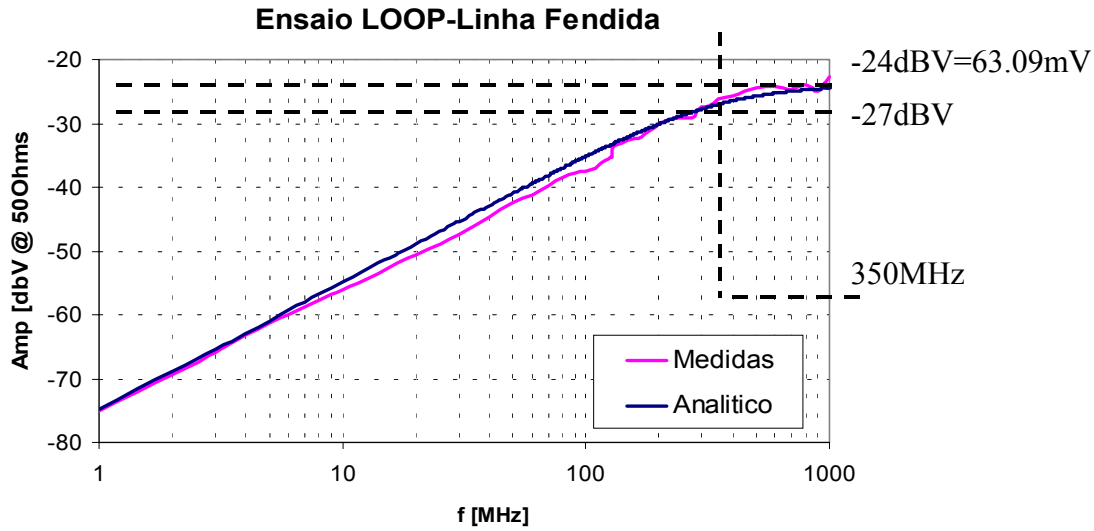


Fig.A1.4. Determinação dos parâmetros do Loop a partir do Ensaio

As equações associadas à caracterização do *loop* (Modelo 903) seguem:

$$L_{\text{int}} = \frac{R}{2\pi \cdot f_c} = \frac{50}{2\pi \cdot 350 \times 10^6} = 22.7 \text{ nH}$$

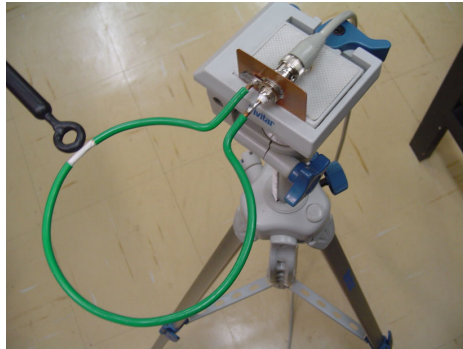
$$Z_T = \frac{63.09 \text{ mV}}{30 \text{ mA}} = 2.103 \Omega$$

$$Z_T = \frac{M}{L_{\text{int}}} \cdot R \therefore M = 956 \text{ pH}$$

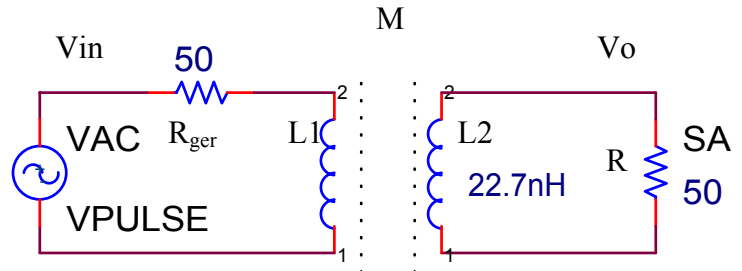
$$V_{SA}(w) = \frac{w \cdot M \cdot I \cdot R}{\sqrt{R^2 + (w \cdot L_{\text{int}})^2}}$$

A indutância de acoplamento M é uma quantidade que depende da geometria entre a ponteira magnética e o elemento por onde circula a corrente que gera o campo magnético. Na prática, uma vez determinada a indutância mútua a partir da definição da geometria, o que se mede na realidade é a corrente no circuito primário, tal como em indutores acoplados. No caso de uma antena tipo *loop* utilizada em alguns ensaios de emissão eletromagnética (diâmetro=10cm, raio do condutor=1mm) conforme indicado na Fig.A1.5(a) a indutância de acoplamento e indutância própria da antena foram determinados por meio do simulador eletromagnético Maxwell (confirmados através de medidas),

$L_1=278\text{nH}$ e $M=1.75\text{nH}$. Com estes valores, um circuito equivalente e a função de transferência associada podem ser obtidos, representados na Fig.A1.5(b) e Eq.A1.1.



(a)



(b)

Fig.A1.5 (a) Ponteira magnética conectada a uma antena tipo *loop*. (b) Circuito elétrico equivalente.

$$\frac{V_0}{V_{in}} = \frac{w.M.R}{-j.R^2 + R.L_2.w + R.L_1.w + j.L_1.L_2.w^2 - j.w^2.M^2} \quad (\text{A1.1})$$

Conhecendo-se a função de transferência do sistema (antena + ponteira magnética), facilmente determina-se a corrente no circuito primário (corrente na antena). Assim, correntes de altas frequências, baixas amplitudes (normalmente presentes quando se avalia EMI) e de difícil visualização podem ser medidas utilizando-se a técnica descrita. A restrição a este procedimento é a determinação exata dos parâmetros da geometria. Por esta razão, é comum encontrar-se na literatura trabalhos em compatibilidade eletromagnética com geometrias simplificadas.

Um ensaio da resposta em frequência do sistema (antena + ponteira *loop*) foi realizado utilizando-se o *tracking generator* acoplado ao analisador de sinal e verificado a partir da função de transferência calculada (Eq.A1.1). A conexão básica está representada na Fig.A1.6(a). O *tracking generator* é um gerador de frequência variável que sincronizado com o analisador de sinal possibilita a

obtenção de respostas em frequência de sistemas. O procedimento é muito similar ao realizado por um analisador de redes, mas com maior alcance em frequência. A resposta obtida está representada na Fig.A1.6(b). Os pontos medidos foram transferidos para um computador através de conexão GPIB para processamento em uma planilha. A solução analítica foi baseada na FT do sistema, Eq.A1.1.

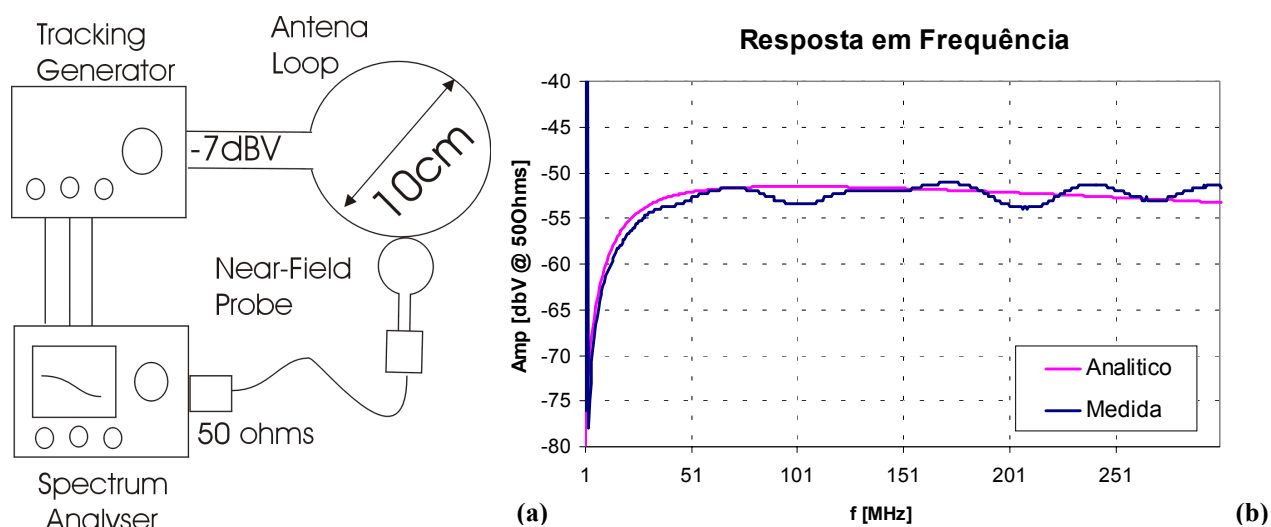


Fig.A1.6 Ensaio de resposta em frequência. (a) Conexão básica. (b) Resultados

Em outro ensaio, pulsos retangulares foram aplicados na antena e correspondente campo magnético próximo foi detectado pela ponteira, ou equivalentemente, mediu-se a corrente circulante na antena. O comportamento do sistema foi verificado a partir do circuito equivalente, Fig.A1.5(b). A determinação analítica requer o uso de série de Fourier. Assim, a partir dos coeficientes da série de Fourier dos pulsos de tensão de entrada e a função de transferência do sistema, calcula-se o espectro do sinal detectado pela ponteira que será lido no analisador de sinal. Devido ao elevado número de harmônicas, o cálculo deve ser realizado por computador². Na Fig.A1.7(a) está indicado o espectro do sinal de entrada que será aplicado na antena (Pulsos retangulares com amplitude 5V, frequência 1MHz, *Duty-Cycle* 10% e tempos de subida e descida de 4.5ns). Fig.A1.7(b) ilustra os resultados obtidos

² Alternativamente, pode-se empregar simulação em PSPICE.

através do ensaio e os obtidos analiticamente utilizando-se o modelo. Observa-se que o ruído de fundo do analisador de espectro pode modificar os resultados esperados. Os pontos medidos foram transferidos via interface HPIB.

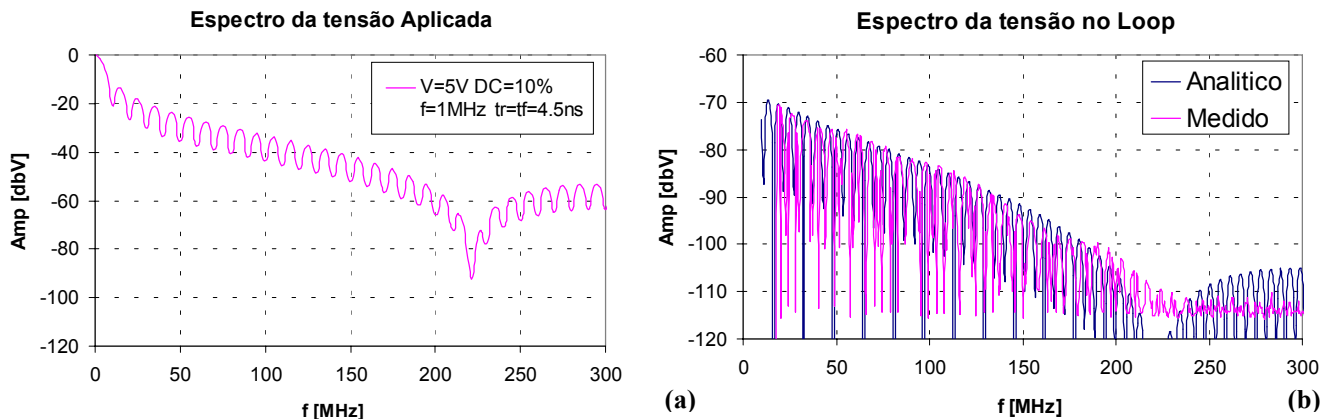


Fig.A1.7 Campo próximo gerado pela antena submetida a pulsos de tensão. (a) Espectro do sinal de entrada. (b) Sinal detectado pela ponteira magnética conectada ao analisador de espectro.

ANEXO II

Principais Normas de Emissão Eletromagnética

International Electrotechnical Commission (IEC)

IEC 801-2

Electromagnetic compatibility for industrial-process measurement and control equipment.
Part 2: Electrostatic discharge requirements

IEC 801-3

Electromagnetic compatibility for industrial-process measurement and control equipment.
Part 3: Radiated electromagnetic field requirements

IEC 801-4

Electromagnetic compatibility for industrial-process measurement and control equipment.
Part 4: Electrical fast transient & burst requirements

IEC 61000-4-2

Electromagnetic compatibility (EMC)
Part 4-2: Testing and measurement techniques – Electrostatic discharge immunity test

IEC 61000-4-3

Electromagnetic compatibility (EMC)
Part 4-3: Testing and measurement techniques – Radiated, radio frequency, electromagnetic field immunity test

IEC 61000-4-4

Electromagnetic compatibility (EMC)

Part4-4: Testing and measurement techniques – Electrical fast transient/burst immunity test

IEC 61000-4-5

Electromagnetic compatibility (EMC)

Part4-5: Testing and measurement techniques – Surge immunity test

IEC 61000-4-6

Electromagnetic compatibility (EMC)

Part 4-6: Testing and measurement techniques – Immunity to conducted disturbances, induced by radio-frequency fields

IEC 61000-4-8

Electromagnetic compatibility (EMC)

Part 4-8: Testing and measurement techniques – Power frequency magnetic field. Immunity test

IEC 61000-4-11

Electromagnetic compatibility (EMC)

Part 4-11: Testing and measurement techniques – Voltage dips, Short interruptions and voltage variations immunity tests

IEC 61000-3-2

Electromagnetic compatibility (EMC)

Part 3-2: Limits for harmonic current emissions (equipment input current "up to" 16 A per phase)

IEC 61000-3-3

Electromagnetic compatibility (EMC)

Part 3-3: Limitation of voltage fluctuations and flicker in low-voltage supply systems for equipment with rated current 'above' 16 A

IEC 60601-1-2

Medical electrical equipment.

Part 1-2: General requirements for safety.

Collateral Standard: Electromagnetic compatibility – Requirements and tests

IEC CISPR 11

Industrial, scientific and medical (ISM) radio-frequency equipment - Electromagnetic disturbance characteristics – Limits and methods of measurement

IEC CISPR 14-1

Electromagnetic compatibility

Requirements for household appliances, electric tools and similar apparatus

Part 1: Emission

IEC CISPR 14-2

Electromagnetic compatibility

Requirements for household appliances, electric tools and similar apparatus

Part 2: Immunity – Product family standard

IEC CISPR 16-1

Specification for radio disturbance and immunity measuring apparatus and methods

Part 1: Radio disturbance and immunity measuring apparatus

IEC CISPR 16-2

Specification for radio disturbance and immunity measuring apparatus and methods

Part 2: Methods of measurement of disturbances and immunity

IEC CISPR 22

Information technology equipment

Radio disturbance characteristics – Limits and methods of measurement

IEC CISPR 24

Information technology equipment

Immunity characteristics – Limits and methods of measurement

International Telecommunication Union (ITU)

ITU-T K.20

Resistibility of telecommunications equipment installed in a telecommunications centre to over voltages and over currents.

ITU-T K.21

Resistibility of Telecommunications equipment installed in customer premises to over voltages and overcurrents.

ITU-T K.22

Series K: Protection against interference. Over voltage resistibility of equipment connected to an ISDN T/S bus.

ITU-T K.38

Radiated emission test procedure for physically large systems.

Federal Communications Commission (FCC)

FCC Part 2

Frequency Allocations and Radio Treaty Matters; General Rules and Regulations

FCC Part 15

Radio Frequency Devices

American National Standards Institute (ANSI)

ANSI C63.4

Interim Standard for Methods of Measurement of Radio-Noise - Emissions from Low-Voltage - Electrical and Eletronic Equipment in the Range of 9 KHz to 40GHz

ANSI C63.5

American national standard for calibration of antennas used for radiated emission measurements in electromagnetic interference (EMI) control

Normas Européias (EN)

EN 55011

Limits and methods of measurement of radio disturbance characteristics of industrial, scientific and medical (ISM) radio frequency equipment (CISPR 11 modified)

EN 55022

Information technology equipment – Radio disturbance characteristics. Limits and methods of measurement (CISPR 22 modified)

Portarias INMETRO

Portaria n.º 001

Condições técnicas e metrológicas aplicados a Cronotacógrafos

Portaria n.º 006

Condições técnicas e metrológicas aplicados a Etilômetros portáteis e não portáteis

Portaria n.º 115

Condições técnicas e metrológicas aplicados a Medidores de velocidade para veículos automotivos

Portaria n.º 201

Condições técnicas e metrológicas aplicados a Taxímetros

Portaria n.º 236

Condições técnicas e metrológicas aplicados a Instrumentos de pesagem não automáticos

Portaria n.º 262

Condições técnicas e metrológicas aplicados a Medidores eletrônicos de energia elétrica

Resoluções ANATEL

Resolução n.º 146

Regulamento para certificação de sistemas de acesso fixo sem fio para prestação do STFC

Resolução n.º 237

Regulamento para certificação de equipamentos de telecomunicações quanto aos aspectos de compatibilidade eletromagnética

Resolução n.º 238

Regulamento para certificação de equipamentos de telecomunicações quanto aos aspectos de segurança elétrica

Resolução n.º 365

Regulamento sobre equipamentos de radiocomunicação de radiação restrita

Normas ABNT / NBR

NBR 12304

Limites e métodos de medição de radio-perturbação em equipamento para tecnologia da informação (ETI)

NBR IEC / CISPR 11

Limites e métodos de medição de características de perturbação eletromagnética em radio-freqüência de equipamentos industriais, científicos e médicos (ISM)

IEC-61676: Comentários

Esta norma consiste de seis partes: (1) Definições e Condições gerais. (2) Medidas de emissões irradiadas-Método da célula TEM (*Transversal Electromagnetic Cell*). (3) Medida de emissões irradiadas: *Surface scanning method*. (4) Medidas de emissões conduzidas: Medida por acoplamento direto usando redes de $1\Omega/150\Omega$. (5) Medidas de emissões conduzidas: Medida na gaiola de Faraday. (6) Medidas de emissões conduzidas: Método da ponteira de campo magnético [42]. O atendimento a estas normas possibilita ao fabricante disponibilizar no mercado um circuito integrado em conformidade com as exigências mínimas de EMI/EMC, assegurando ao usuário deste CI que problemas de compatibilidade eletromagnética que surgirem nos ensaios estarão relacionados aos seus projetos e não ao *chip* empregado. A utilização de circuitos integrados compatíveis com a IEC-61676 não exime o fabricante de sistemas ou produtos eletrônicos de realizar os testes de compatibilidade eletromagnética exigidos para a comercialização de um determinado produto ou equipamento.

REFERÊNCIAS

- [1] Murari, B. *et al.* Smart Power Technologies Evolution. Industry Applications Conference, 2000. Conference Record of the 2000 IEEE , Volume: 1 , 8-12 Oct. 2000 Pages:P10 - P19 vol.1
- [2] Murari, B. Reliability of Smart Power Devices. MicroElectronics Reliability, Vol.37. N.10/11.Pp.1735-1742.1997.
- [3] Andreini, A et al. BDC Technology for Smart Power Ics. Edited by Murari, Bertotti, Vignola. Springer Ed. 1995.
- [4] Mukherjee, S. Technologies for High Voltage ICs. Edited by Murari, Bertotti, Vignola. Springer Ed. 1995.
- [5] Finco, S. Integração Inteligente de Potência Baseada em Transistores NMOS. Tese de Doutorado, Unicamp, Junho 2000. Campinas. Brasil.

- [6] Stratakos, A et al. High Efficiency Low-Voltage DC-DC conversion for portable applications. Pp.361-431. Sinencio, E. Andreou A. Editors. IEEE Press.1999.
- [7] Bildgen, M. From standard to Intelligent Mosfet. Industry Applications Society Annual Meeting, 1992., Conference Record of the 1992 IEEE , 4-9 Oct. 1992 Pages:1212 - 1217 vol.1.
- [8] Forghani-zadeh, H.et al. Current Sensing Techniques for DC-DC Converters. Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on, Volume: 2, 4-7 Aug. 2002 Pages: 577-580 vol. 2.
- [9] Kim, E.D.et al. An intelligent power module for IGBT gate driver implemented in 0.8um high voltage cmos process. ISIE, 2001. Industrial Electronics, 2001. Proceedings. ISIE 2001. IEEE International Symposium on, Volume: 1, 12-16 June 2001 Pages: 661-665 vol. 1.
- [10] Ishii,K.et al. A high voltage Intelligent power module (HVIPM) with a High performance gate driver. Proceedings of International Symposium on Power Semiconductor devices and Ics. Pp. 289-292. 1998.
- [11] Kursun, V. Et al. High Input Voltage Step-Down DC-DC Converters for integration in a low-voltage CMOS Process. IEEE Computer Society. Quality Electronic Design, 2004. Proceedings. 5th International Symposium on, 2004 Pages: 517-521.
- [12] Kinzer, D. Advanced power semiconductors and Ics for DC/DC converter applications. Microelectronics Journal, Vol.35. Pp.225-233.2004.
- [13] Kranz, C. Complete Digital Control meted for PWM DC-DC boost converter. Power Electronics Specialists Conference, 2003. PESC'03. 2003 IEEE, 34th Annual, Volume: 2, 15-19 June 2003 pages: 951-956.
- [14] Lee, C.F. et al. A monolithic current mode CMOS DC-DC Converter with in-chip current-sensing technique. IEEE Journal of solid-State Circuits, Vo.39.N.1. Jan.2004.
- [15] Tang, S.C. et al. Coreless Planar Printed-Circuit-Board (PCB) Transformers-A fundamental concept for signal and energy transfer. IEEE Transactions on Power Electronics, Vol.15. N.5. Sep.2000.

- [16] Hui, S.Y. et al. Some electromagnetic aspects of coreless PCB transformers. IEEE Transactions on Power Electronics, Vol. 15. N.4, Jul.2000.
- [17] McShane, E. Shenai, K. Monolithic DC Power supplies for wireless telecommunications and multimedia systems. Telecommunications Energy Conference, 2000. INTELEC. 22th International, 10-14 Sept. 2000 Pages: 733-740.
- [18] McShane, E., Shenai, K. A CMOS Monolithic 5MHz, 5V, 250mA, 56% Efficiency DC/DC Switched mode boost converter with dynamic PWM for embedded Power management. Industry Applications Conference, 2001. 36th IAS Annual Meeting. Conference Record of the 2001 IEEE, Volume: 1, 30 Sept. - 4 Oct. 2001 Pages: 653-657 vol. 1.
- [19] Reynolds, S. A DC-DC Converter for Short-Channel CMOS Technologies. IEEE Journal of Solid-State Circuits, Vol.32. N.1. Jan.1997.
- [20] Castaldo, F.C. et al. Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and employing Smart Power Principles. Anais do 6º Congresso Brasileiro de Eletrônica de Potência.2001.
- [21] Castaldo, F.C. et al. A Proposed Commutation Technique for Switched-Mode Smart-Power Applications based on V_{GS} Slew-Rate Adjusting. Anais do 7º Congresso Brasileiro de Eletrônica de Potência. 2003.
- [22] Mohan, N. Undeland, T.M., Robbins, W. Power Electronics. John Wiley and Sons, Inc. 1995. pp.581-593. ISBN: 0-471-58408-8.
- [23] Stratakos, A. et al. A low-Voltage CMOS DC-DC Converter for a Portable Battery-operated System. Power Electronics Specialists Conference, PESC'94 Record., 25th Annual IEEE, 20-25 June 1994 Pages: 619-626 vol. 1.
- [24] Ogawa, T. An on-chip high efficiency DC-DC converter with a compact timing edge control circuit. Digest of technical papers-Symposium On VLSI Circuits. Pp.278-279.
- [25] Li, N.C. CMOS tapered Buffer. IEEE Journal of Solid-State Circuits, Vol.25. N.4. Aug. 1990.
- [26] Leung, K. Controlled Slew-Rate Output Buffer. Proceedings of IEEE Custom Integrated Circuits Conference. 1998.

- [27] Deutschmann, B., Ostermann, T. CMOS output drivers with reduced ground bounce and electromagnetic emission. European Solid-State Circuits, 2003. ESSCIRC'03. Conference on, 16-18 Sept. 2003 Pages: 537-540.
- [28] Sakiyama, S. et al. An on-chip high efficiency and low-noise DC-DC converter using divided switches with current control technique. Proceedings of IEEE International Solid-State Circuits Conference. 1999.
- [29] Lin, R.B., Chen, J.C. Low Power CMOS off-chip drivers with slew-rate difference. Design Automation Conference, 1999. Proceedings of the ASP-DAC'99. Asia and South Pacific, 18-21 Jan. 1999 Pages: 169-172 vol. 1.
- [30] Povazanec, J et al. On design of Low-Noise Adaptive output drivers. IEEE transactions on Circuits and Systems-I: Fundamental Theory and Applications, Vol.46.N.12. Dec.1999.
- [31] Choy, C.S. et al. Design Procedure of low-noise high speed adaptive output drivers. Proceedings of International Symposium on Circuits and Systems. Pp.1796-1799. 1997.
- [32] Gariboldi, R. Motion Control. Pp.226-283. Edited by Murari, Bertotti, Vignola. Springer Ed. 1995.
- [33] Garcia, F. et al. Design of a Slew-Rate Controlled Output Buffer. Proceedings of 11th IEEE International ASIC Conference. Pp.146-150. 1998.
- [34] Sachdeva, R., Nowicki, E.P. Characterization of a gate driver technique for snubberless operation of gate controlled devices. Electrical and Computer Engineering, 2001. Canadian Conference on, Volume: 2, 13-16 May 2001 Pages: 1085-1089 vol. 2
- [35] Sachdeva, R., Nowicki, E.P. A Novel gate driver circuit for snubberless, low-noise operation of high power IGBT. Proceedings of IEEE Canadian Conference on Electrical and Computer Engineering. 2002.
- [36] Consoli, A et al. An Innovative EMI reduction design technique in power converters. IEEE Transactions on Electromagnetic Compatibility. Vol.38.N.4. Nov.1996.

- [37] Galluzzo, A et al. Switching characteristic improvement of modern gate controlled devices. Power Electronics and Applications, 1993. 5th European Conference on, 13-16.1993 Pages: 374-379 vol. 2.
- [38] Masumeci, S. et al. Switching-Behavior improvement of insulated gate-controlled devices. IEEE Transactions on Power Electronics, Vol.12.N.4.Jul.1997.
- [39] Qian, J, Bruning, G. 2.65 MHz High Efficiency soft-switching power amplifier system. Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE, Volume: 1, 27 June - 1 July 1999 Pages: 370-375.
- [40] Vries, I. A resonant power MOSFET/IGBT gate driver. Applied Power Electronics Conference and Exposition, 2002. APEC 2002. 17th Annual IEEE, Volume: 1, 10-14. 2002 Pages 179-185 vol 1.
- [41] Deuschmann, B. EMC on Chip-Level. A New Challenge?. Technical Report, Austriamicrosystems, December 2002.
- [42] Deutschmann, B. et al. Measuring the electromagnetic emissions of integrated circuits with IEC61967-4 (The measuring method and its weaknesses). IEEE International Symposium on Electromagnetic Compatibility, Vol.1. Pp.407-412. 2002.
- [43] C. Paul, *Introduction to Electromagnetic Compatibility*. John Willey and Sons.1992
- [44] Igarashi, S. et al. Analysis and reduction methods of EMI Radiational Noise. Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE, Volume: 2, 17-22 May 1998 Pages: 1152-1158 vol.2
- [45] Hardin, K, et al. Methods for identifying causes of emi emissions from switched mode power applications. Electromagnetic Compatibility, 2001. EMC. 2001 IEEE International Symposium on, Volume: 2, 13-17 Aug. 2001
- [46] Criel, S. et al. Design and Characterization of an active, EMC-dedicated testchip. IEEE International Symposium on Electromagnetic Compatibility. Vol.2. Pp. 905-908. 1999.
- [47] Icheln, C. et al. Computer Simulations and near-field measurements for the prediction of radiated EMI. Electromagnetic Compatibility, 1998. 1998 IEEE International Symposium on, Volume: 2, 24-28 Aug. 1998. Pages: 878-881 vol.2

- [48] M. Tanaka, M. *et al*, “Measurements of Electromagnetic Noise Radiating from a Printed Line Model Driven by a Switching Device”, *IEICE Transactions on Communication*. 1997. Vol. E-80-B. Pp. 1614-1619.
- [49] M. Torigoe, *et al*, “Prediction of Far-Field EMI Spectrum of Differential Mode Emission from a Digital PCB by Near-Field Measurements”, *IEICE Transactions on Communication*, Vol. E-80-B, 1997, Pp. 1633-1638.
- [50] Ott, H.W. (1988). Noise Reduction Techniques in Electronic Systems. John Wiley and Sons. Pp.299-321.
- [51] Matsunaga, S., Sugahara, S. A 2MHz low-noise switching DC-DC Converter with current mirror Driver. Proceedings of Applied Power Electronics Conference and Exposition-APEC. Vol.2, Pp.926-930. 2004.
- [52] Castaldo, F.C., Rodrigues, P. Reis, C.A. Controlling EMI on Integrated Switched-Mode Smart-Power Applications using Current Slew-Rate Adjusting as a Commutation Technique. Anais do Congresso Brasileiro de Automática. 2004.
- [53] Castaldo, F.C., Rodrigues, P., Reis, C.A. Current Slew-Rate Adjusting as a Commutation Technique for Integrated Switched-Mode Smart-Power Applications: An Efficient Approach to Control EMI. Proceedings of IEEE-INDUSCON. 2004.
- [54] Castaldo, F.C. Reis, C.A. CMOS Analog Four-Quadrant multiplier using lateral PNP Core. IMAPS Brazil International Technical Symposium on Packaging, Assembling and Testing & Exhibition. 2004.
- [55] D.C Smith, “Signal and Noise Measurements Techniques using Magnetic Field Probes”, in *Proceedings of 1999 IEEE EMC Symposium*. Pp. 559-563
- [56] Popovic, R.S. Hall Effect Devices. The Adam Hilger Series on Sensors. ISBN 0-7503-0096-5. 1991.
- [57] <http://www.ansoft.com>
- [58] Mathieu, N, Giordano, P. Chovet, A. Si MAGFETs optimized for sensitivity and noise properties. Sensors and Actuators A, Vol.32. pp656-660. 1992
- [59] Lau, J. et al. Minimum Detectable Signals of integrated magnetic sensors in bulk CMOS and SOI technologies for magnetic read heads. Sensors and Actuators. A54. 1996. Pp. 636-640.]

CAPÍTULO II

SENSORES MAGNÉTICOS: ESTUDO DE RUÍDO

Neste capítulo são analisadas as principais fontes de ruído em transistores MOS, buscando-se determinar a relação sinal-ruído dos sensores magnéticos implementados nesta tecnologia, com o objetivo de se determinar se os mesmos são adequados à detecção do campo magnético próximo gerado por um transistor de potência, como descrito no capítulo anterior. Os mecanismos de geração de ruído são ilustrados e verificados experimentalmente. Especificamente o fator de correlação de ruído, importante parâmetro na determinação da relação sinal-ruído, é analisado em detalhes.

2.1. INTRODUÇÃO

Em 1828 Robert Brown publicou um trabalho descrevendo o movimento irregular de partículas sólidas suspensas em um líquido. Este efeito, chamado movimento Browniano, já havia sido observado anteriormente. A primeira sugestão de que o movimento tinha origem nos impactos das moléculas do líquido com as partículas suspensas foi creditada a Delsaux em 1877. Investigações posteriores fundamentadas no movimento molecular por agitação térmica e teoria cinética do calor permitiram extrapolar o movimento Browniano a partículas carregadas eletricamente, o que produziria flutuações de carga em um circuito elétrico. Com o advento dos tubos de vácuo, tornou-se possível medir tais variações elétricas. J.B. Johnson, da Bell Telephone Labs, detectou o efeito de tais flutuações na saída de um amplificador de áudio em 1927. Um tratamento teórico foi realizado por H. Nyquist em 1928. Este efeito tem sido conhecido desde então, por Ruído de Johnson ou Ruído Térmico. O fenômeno pode ser explicado com base na teoria cinética do calor onde o movimento randômico dos elétrons (atuando como cargas móveis) em equilíbrio com as moléculas do material produzem flutuações de corrente internas. Desta forma, o ruído elétrico refere-se a uma flutuação aleatória associada a uma corrente elétrica. Neste caso, a origem aleatória da flutuação de corrente associada ao dispositivo em questão tem como causa única e exclusiva a natureza do material e/ou mecanismo de geração do ruído, sendo uma propriedade intrínseca do dispositivo. Não é raro na literatura empregar-se o termo ruído

elétrico significando interferência elétrica, esta última se referindo geralmente a interferências eletromagnéticas, cujas causas são externas¹.

2.2. RUÍDO EM SENSORES BASEADOS EM SEMICONDUTORES

As características de detecção (resolução e relação sinal/ruído) de sensores implementados em tecnologia de semicondutores estão diretamente relacionadas aos níveis de geração de ruído presentes nestes materiais. Desta forma, é essencial conhecer os mecanismos de geração de ruído em semicondutores, com o intuito de otimizar o projeto de sensores magnéticos.

A resistência ôhmica associada aos dispositivos implementados em semicondutores exibe ruído do tipo térmico, que contém componentes de frequência em todo o espectro utilizável. O nível de ruído térmico gerado depende das dimensões do dispositivo e geralmente da sua condição de polarização. Sensores magnéticos baseados em transistores MOS apresentam características de detecção magnética dependentes deste ruído, quando operando em frequências acima da região de ruído $1/f$.

Flicker noise ou simplesmente ruído $1/f$ é um ruído associado à operação em baixas frequências do dispositivo. A literatura cita duas causas básicas para a origem deste ruído [1] (a) Variação na mobilidade dos portadores em função de mecanismos de espalhamento (*scattering*), geralmente associados ao material semicondutor (ruído $1/f$ de origem no *bulk*) ou variação na mobilidade dos portadores injetados em uma junção bipolar. Este mecanismo predomina em transistores bipolares. Por esta razão, sensores implementados nesta tecnologia apresentam um conteúdo significativo deste tipo de ruído nos sinais que produzem. Assim, as variações de condutividade na região da base de um LTM (*Lateral Magneto-Transistor*) geram ruído $1/f$, enquanto que em frequências mais elevadas, há predominância de ruído *shot* [2]. (b) Variações no número de portadores que resultam de um processo

¹ Em Sistemas de Comunicações, o termo Ruído é associado a variações de natureza aleatória do sinal de informação cuja causa pode ser externa (transmissão do sinal no canal de comunicação) ou produzida pelos circuitos de processamento do sinal.

aleatório de captura e soltura dos portadores por meio de armadilhas (*traps*) localizadas na interface semicondutor-óxido, observadas principalmente em dispositivos MOS. O processo estocástico associado a estes mecanismos é caracterizado pelo ruído $1/f$ [1]. O nível de ruído depende da densidade de armadilhas na interface semicondutor-óxido que é um parâmetro associado à tecnologia de fabricação e inversamente proporcional à área do dispositivo. O alto conteúdo de ruído $1/f$ no sinal produzido em sensores como *Hall-MAGFETS* e *Split-Drain-MAGFETS* [1] compromete a resolução destes sensores em baixas frequências.

O ruído do tipo *shot* surge quando um portador cruza uma barreira de potencial, considerando-se que o tempo de trânsito do portador através da barreira seja menor que o tempo de espalhamento (*scattering*) através da rede cristalina do material. O ruído *shot* apresenta espectro de frequências comparável ao ruído térmico, sendo também considerado um ruído branco. Este ruído prevalece em dispositivos bipolares, afetando basicamente sensores do tipo *Magneto-transistor*. Este ruído tem como causa o processo estatístico de emissão de portadores [9].

Ruído G-R está associado ao processo de geração-recombinação de pares elétron-lacuna através da estrutura. A densidade espectral deste ruído, que apresenta um espectro de Lorentz [3], é associada ao tempo de vida médio dos portadores. Impurezas na rede cristalina atuando como centros de recombinação ou mecanismos de aprisionamento similar ao que ocorre em transistores MOS contribuem para este processo, que também se verifica em dispositivos de GaAs e na base de transistores bipolares ou J-FETs [1]. O ruído do tipo *Burst* também exibe um espectro de Lorentz e é associado a defeitos em uma junção p-n, portanto à qualidade do processo de fabricação do dispositivo.

É importante ressaltar que a sensibilidade de um sensor magnético depende da mobilidade do portador no material considerado. Da mesma forma, os níveis de ruído associados também dependem deste mesmo parâmetro [2]. Em dispositivos de GaAs, por exemplo, que apresentam altas

sensibilidades para o campo magnético aplicado, a resolução é muito afetada, pois o ruído gerado nestes dispositivos é cerca de 10 vezes maior que o ruído gerado em MAGFETS de Silício [1]. Desta forma, para um mesmo material, a geometria e as condições de operação do sensor podem determinar sensivelmente os níveis de ruído gerados e conseqüentemente a sua resolução [4]. De um modo geral, na literatura existente, predomina a opinião de que a geração de ruído está mais fortemente associada ao material do que à geometria do dispositivo e a sua condição de polarização. Por esta razão, parâmetros como a correlação de ruído em sensores MOS com saída diferencial não são devidamente considerados [5]. Portanto, neste trabalho, busca-se um entendimento geral do mecanismo gerador da correlação de ruído em transistores MOS do tipo *split-drain*.

2.3. CONCEITOS BÁSICOS APLICADOS AO ESTUDO DE RUÍDO EM SENSORES

Três conceitos básicos abordados normalmente na teoria de processos estocásticos serão revisados como justificativa teórica para os experimentos realizados neste trabalho empregando a instrumentação que será descrita no item 2.4.

1-Distribuição de Amplitudes de Ruído e Fator de Ruído

Processos estocásticos que envolvam um número grande de variáveis aleatórias podem ser tratados a partir do *Teorema do Limite Central* [6] “A soma de n variáveis com distribuições independentes quaisquer, desde que este número n seja razoavelmente grande, tende para uma distribuição normal”. O emprego deste teorema simplifica o tratamento dado a processos estocásticos que envolvam o estudo de ruído em sistemas eletrônicos. Assim, fontes de ruído provenientes de diferentes dispositivos podem ser combinadas linearmente cujas densidades espectrais de potência podem ser somadas quadraticamente. Este processo simplifica a análise de cálculo de ruído em circuitos eletrônicos [6].

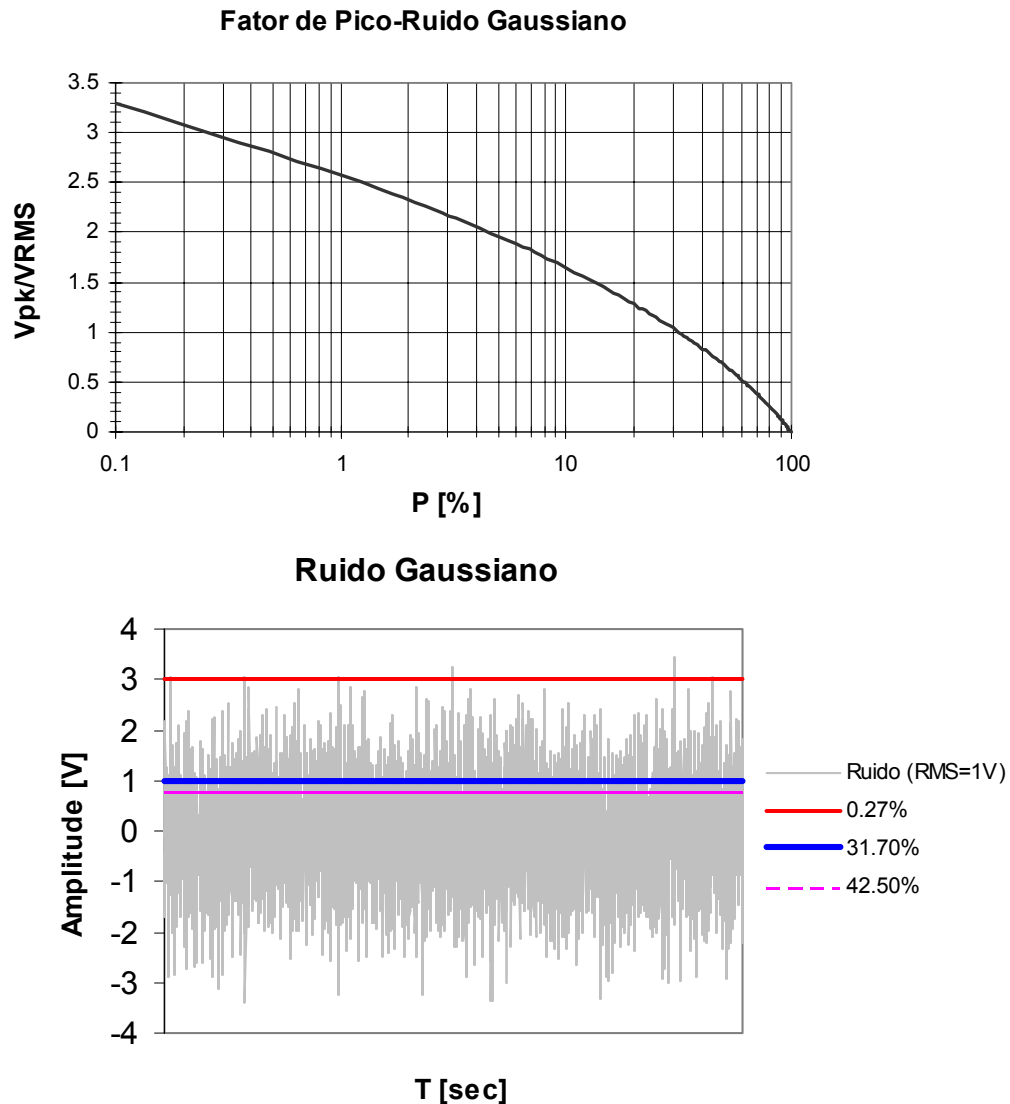
O ruído proveniente de um dispositivo ou circuito eletrônico é normalmente caracterizado por seu valor RMS (σ) ou valor eficaz, que corresponde à potência que este ruído desenvolve em um resistor de 1Ω . Entretanto, a distribuição das amplitudes depende da natureza do fenômeno que gera o ruído e que determinará as amplitudes pertinentes a este. O modelo associado à função densidade de distribuição de amplitudes segue geralmente a curva gaussiana ou normal, apoiado no teorema do limite central [7]. Assim, a probabilidade de ocorrência de um determinado valor de pico associado a um ruído pode ser determinada a partir da função $erf(X)$, Eq. 1.

$$P(x) = 1 - erf\left(\frac{x}{\sigma\sqrt{2}}\right) \qquad erf(x) = \frac{2}{\sqrt{\pi}} \int_0^x e^{-x^2} .dx \qquad (1)$$

Resolvendo-se a Eq.1 para x , que corresponde a uma amplitude de pico máxima instantânea, obtém-se o *Fator de Ruído*, que corresponde ao percentual de tempo em que este valor excede um valor de referência, normalmente o valor RMS. σ corresponde ao valor RMS do ruído. Fig.1(a) ilustra o fator de pico normalizado calculado para um ruído que segue uma distribuição normal. Na Fig.1(b) tem-se um ruído com valor RMS=1V e valores de referência associados. Por exemplo, o máximo valor instantâneo 3σ ocorrerá somente em 0.27% do tempo de existência do ruído. Valores instantâneos iguais a σ ocorrem 42.5% e finalmente, valores correspondentes ao valor médio absoluto da distribuição, $\sqrt{(2/\pi)}.\sigma$ são alcançados 31.7% do tempo total. Outros valores de referência podem ser igualmente definidos.

Particularmente no estudo de sensores, é usual definir-se a relação $RMS(sinal)/RMS(ruído)=1$ correspondendo à resolução do sensor. Entretanto, como se pode verificar na Fig.1(b), em 42.5% do tempo de operação do sensor o sinal útil captado estaria coberto pelo ruído e não seria detectado. Esta consideração é importante para o caso particular onde o sinal produzido pelo sensor é um nível DC [35]. Alternativamente, pode-se definir a resolução de um sensor como sendo o valor RMS do sinal

correspondente a 3σ , pois os valores instantâneos de ruído somente excederiam o sinal gerado pelo sensor em 0.27% do tempo de operação. Esta definição é bastante conservativa e mais confiável.



**Fig.1. (a) Fator de Ruído para Distribuição Gaussiana Ruído com valor RMS 1V.
(b) Fatores de ruído correspondentes**

Na Fig.2(a) observa-se um sinal com ruído associado no domínio da frequência. A relação sinal/ruído pode ser definida em valores absolutos ou relativos, expressa em dB. A distribuição das amplitudes de um ruído normal pode ser obtida a partir de um processo de contagem, algoritmo computacional que realiza a amostragem de um ruído, realiza a discretização das amplitudes e

determinação da frequência de ocorrência das amplitudes discretizadas. Este processo gera os histogramas de distribuição de amplitudes indicados na Fig.2(b). No exemplo que deu origem a estas ilustrações utilizou-se um gerador de ruído conectado a um analisador de sinal HP3562.

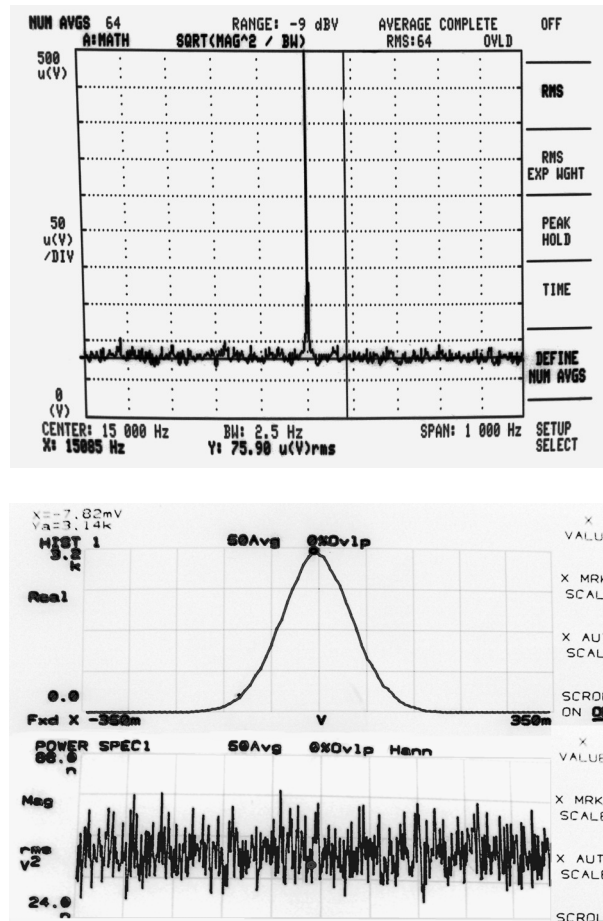


Fig. 2. (a) Sinal associado a ruído no domínio da frequência (b) Histograma Medido de um ruído gaussiano (Distribuição das amplitudes e representação no tempo)

2-Análise de Fourier

Seja um ruído captado em um ponto de um circuito por um osciloscópio digital e definido em uma banda de frequência (a taxa de conversão do A/D ou a máxima frequência contida no ruído que por sua vez depende da resposta em frequência do circuito). O valor eficaz pode ser calculado a partir da Eq.2. Este processo não depende da base de tempo escolhida, pois a cada N pontos aleatórios

capturados, a distribuição das amplitudes se repete, logo o cômputo fornece o mesmo resultado embora os pontos capturados sejam modificados a cada ciclo de *refresh*.

$$V_{RMS} = \sqrt{\frac{\sum_{N} Y_N^2}{N}} \quad (2)$$

Esta mesma seqüência de pontos capturados pelo osciloscópio digital em um dado intervalo de aquisição pode ser processada por um algoritmo de DFT [6] (*Discret Fourier Transform*) que revelará as componentes de freqüência contidas na amostragem ou seqüência de pontos capturados. Seja um conjunto de N pontos capturados no domínio do tempo representativos de um processo randômico estacionário qualquer. A aplicação do algoritmo da DFT a este conjunto de pontos permite obter a sua representação no domínio da freqüência e a operação inversa retorna a representação no domínio do tempo conforme Eq.3. (*v* refere-se ao vetor de N pontos no domínio do tempo enquanto *u* refere-se aos N pontos correspondentes no domínio da freqüência complexa)

$$u_i = \frac{1}{N} \sum_{k=0}^{N-1} v_k \cdot \exp(-j \cdot 2 \cdot \pi \cdot i \cdot k / N) \quad v_i = \sum_{k=0}^{N-1} u_k \cdot \exp(j \cdot 2 \cdot \pi \cdot i \cdot k / N) \quad (3)$$

Deve ficar claro que a determinação do espectro contido na série de Fourier correspondente é aplicável para o intervalo de aquisição onde os pontos são capturados. O “janelamento” ajustado no processo de captura do osciloscópio reflete esta condição. O “janelamento” tipo *Hanning* força as extremidades dos pontos aquisitados assumirem valores próximos de zero, com a finalidade de enquadrar o intervalo a um período definido, a partir de onde os valores se repetem ciclicamente.

Um sinal não-determinístico (ruído) pode ter sua representação em série de Fourier em um intervalo definido, o intervalo total da amostragem. Entretanto, muito provavelmente, na próxima amostragem a representação por série de Fourier será outra, mas se este processo for realizado continuamente e computado por médias entre as sucessivas representações, um espectro contínuo

emergirá. Desta forma, um sinal estocástico é normalmente associado a uma representação no domínio da frequência como apresentando uma banda plana. Isto não significa que todas as componentes de frequência estejam presentes simultaneamente, pois a potência do sinal seria infinita. A técnica de análise de ruído em circuitos adota valores eficazes médios, assim no período considerado todas as harmônicas contidas no sinal aleatório já produziram seu efeito. Logo, pode-se considerar a banda de frequência do ruído como sendo plana. A potência é então limitada pela faixa de passagem do circuito associado. Diante do exposto, em teoria de sistemas estocásticos define-se a quantidade Densidade Espectral de Potência, ou PSD (*Power Spectral Density*). A PSD pode ser calculada com base em um único sinal estocástico (*Self*-PSD) ou dependente de dois sinais (*Cross*-PSD). A primeira está associada com a potência ou valor RMS do sinal enquanto que a segunda contém informação sobre a correlação entre dois sinais aleatórios se ambos apresentarem alguma dependência entre si [6]. Considerando-se sinais randômicos amostrados $X(t)$ e $Y(t)$ e aplicando-se a DFT (*Discrete Fourier Transform*), obtêm-se as representações no domínio da frequência S_X e S_Y , respectivamente. As PSDs individuais serão representadas portanto por S_{XX} e S_{YY} e as PSDs cruzadas serão representadas por S_{XY} e S_{YX} . O índice k está associado ao elemento do vetor em S_X e S_Y .

$$S_{XX} = S_{Xk} \overline{S_{Xk}} \quad S_{YY} = S_{Yk} \overline{S_{Yk}} \quad S_{XY} = S_{Xk} \overline{S_{Yk}} \quad S_{YX} = S_{Yk} \overline{S_{Xk}} = \overline{S_{XY}} \quad (4)$$

O valor RMS do sinal pode ser determinada a partir da sua PSD.

$$RMS(X) = \sqrt{\sum_{k=0}^{N-1} S_{XXk}} \quad RMS(Y) = \sqrt{\sum_{k=0}^{N-1} S_{YYk}} \quad (5)$$

Uma combinação linear para a soma e diferença de $X(t)$ e $Y(t)$ pode ser obtida, observando que os termos transformados da DFT se adicionam algebricamente para as operações de soma e diferença. Os termos S_{X+Y} e S_{X-Y} correspondem às PSDs dos sinais $X(t)+Y(t)$ e $X(t)-Y(t)$ respectivamente.

$$S_{X+Y} = (S_{Xk} + S_{Yk}).\overline{(S_{Xk} + S_{Yk})} \quad S_{X-Y} = (S_{Xk} - S_{Yk}).\overline{(S_{Xk} - S_{Yk})} \quad (6)$$

Operando-se as expressões, utilizando-se os resultados da Eq.4 e omitindo-se o índice k obtém-se:

$$S_{X+Y} = S_{XX} + S_{YY} + 2.\text{Re}(S_{XY}) = S_{SUM} \quad S_{X-Y} = S_{XX} + S_{YY} - 2.\text{Re}(S_{XY}) = S_{DIFF} \quad (7)$$

Subtraindo-se S_{X+Y} e S_{X-Y} obtém-se a informação pertinente à correlação entre os sinais $X(t)$ e $Y(t)$ através de $\text{Re}(S_{XY})$. Definindo-se $C = \Sigma \text{Re}(S_{XY}) / \sqrt{(\Sigma S_{XX} \cdot \Sigma S_{YY})}$ como o coeficiente de correlação complexo [8], [34], [38], o mesmo pode ser determinado a partir do conhecimento das quantidades S_{SUM} e S_{SDIFF} entre dois sinais de interesse, que podem ser obtidas através de medidas. Eq.8 ilustra as expressões equivalentes para a determinação do coeficiente de correlação complexo.

$$C = \frac{\sum_{k=0}^{N-1} \text{Re}(S_{XYk})}{\sqrt{\sum_{k=0}^{N-1} S_{XXk} \cdot \sum_{k=0}^{N-1} S_{YYk}}} = \frac{RMS(S_{SUM})^2 - RMS(S_{DIFF})^2}{4.RMS(S_{XX}).RMS(S_{YY})} \quad (8)$$

Dois métodos baseados na Eq.8 permitem determinar o coeficiente C : (a) Através de um analisador de sinal com recurso de cálculo de correlação cruzada, o que exige 2 canais para o instrumento. Neste caso, a determinação de C é direta, pois o instrumento realiza simultaneamente a DFT do sinal em cada canal e calcula as quantidades S_{xx} , S_{yy} e S_{xy} , necessárias à determinação do coeficiente C . (b) Através de medidas de soma e diferença dos sinais $X(t)$ e $Y(t)$. Este procedimento pode ser realizado com um multímetro por necessitar apenas do valor RMS elevado ao quadrado de cada medida, ΣS_{SUM} , ΣS_{DIFF} , ΣS_{xx} e ΣS_{yy} . Também necessita circuitos adicionais para a operação de soma e diferença dos sinais. Diversas medidas realizadas neste trabalho utilizaram o recurso de aquisição de um osciloscópio digital sendo a DFT calculada posteriormente empregando-se a Eq.8. Fig.3 mostra a rotina em *Mathcad* [39] utilizada para calcular a PSD de um sinal e a correlação cruzada entre sinais a partir de aquisições no tempo utilizando-se um osciloscópio TDS350. O procedimento é

bastante simples: Os canais do osciloscópio são conectados aos pontos de medida de ruído e, considerando que as amostragens em cada canal acontecem simultaneamente, é suficiente memorizar os pontos medidos em uma base de tempo qualquer², salvando as medidas em um arquivo de saída. Repete-se o procedimento n vezes. (cerca de 10 a 20 aquisições já fornecem resultados adequados). A partir dos n arquivos obtidos, monta-se uma matriz de N linhas (definido na taxa de amostragem) por n aquisições para cada canal. A partir destas duas matrizes, a rotina em *Mathcad* determina a PSD do ruído medido em cada canal e a correlação entre os mesmos. Na rotina em questão, utilizou-se uma sequência de $N=1000$ pontos para cada canal por aquisição. Foram realizadas $n=100$ médias.

Alternativamente, todo este procedimento pode ser substituído pelo uso de um Analisador de sinal de dois canais, HP3562. Este equipamento implementa internamente o cálculo da média (*averaging*) dispensando a necessidade de rotinas auxiliares. Diversos outros recursos são disponíveis, tais como visualização do sinal no tempo, geração de histogramas, síntese de funções, cálculo de autocorrelação, etc. Na Fig.4(a) é apresentada uma medida de correlação entre dois ruídos provenientes de um circuito eletrônico.

$$\begin{array}{l}
 X((\text{Sinal}_1(t), \text{Sinal}_2(t))) := \left\{ \begin{array}{l}
 S12 \leftarrow 0 \\
 S11 \leftarrow 0 \\
 S22 \leftarrow 0 \\
 n \leftarrow 100 \\
 N \leftarrow 1000 \\
 \text{for } i \in 0..n-1 \\
 \quad \left\{ \begin{array}{l}
 Y1 \leftarrow \text{Sinal}_1(t)^{(i)} \\
 S1 \leftarrow \text{CFFT}(Y1) \\
 Y2 \leftarrow \text{Sinal}_2(t)^{(i)} \\
 S2 \leftarrow \text{CFFT}(Y2) \\
 S12^{(i)} \leftarrow \overrightarrow{(S1 \cdot S2)} \\
 S11^{(i)} \leftarrow \overrightarrow{(S1 \cdot S1)} \\
 S22^{(i)} \leftarrow \overrightarrow{(S2 \cdot S2)}
 \end{array} \right. \\
 \text{for } j \in 0..n-1
 \end{array} \right.
 \end{array}
 \quad
 \left\{ \begin{array}{l}
 S12 \leftarrow \frac{S12 + S12^{(j)}}{n} \\
 S11 \leftarrow \frac{S11 + S11^{(j)}}{n} \\
 S22 \leftarrow \frac{S22 + S22^{(j)}}{n} \\
 \sum_{i=0}^{N-1} S11_i \\
 \sum_{i=0}^{N-1} S22_i \\
 \sum_{i=0}^{N-1} S12_i \\
 \sqrt{|S11| \cdot |S22|}
 \end{array} \right.$$

Fig.3. Rotina *Mathcad* para determinação de S_{xx} , S_{yy} , S_{xy}

² A base de tempo pode ser escolhida a partir da máxima frequência estimada presente no ruído. A partir de *Nyquist*, se $f_{\text{sampling}}=100\text{KHz}$, frequências de até 50KHz estarão adequadamente representadas no espectro. Por outro lado, aumentando-se excessivamente f_{sampling} , as baixas frequências contidas no ruído não serão representadas devido à limitação da memória do equipamento.

Observa-se que após 50 médias na faixa de frequências considerada, o coeficiente de correlação vale $C=-0.222$. Na parte superior tem-se a PSD de um dos canais. Na Fig.4(b) tem-se outra medida no domínio da frequência evidenciando-se a natureza tipo *flicker* do ruído. Está indicada, também, a representação no domínio do tempo. Importante ressaltar que este equipamento não é equivalente a um osciloscópio ou um analisador de espectro, pois o mesmo opera com base em aquisições digitais e posterior processamento. De qualquer forma é bastante útil na faixa de frequências de 0 a 100KHz.

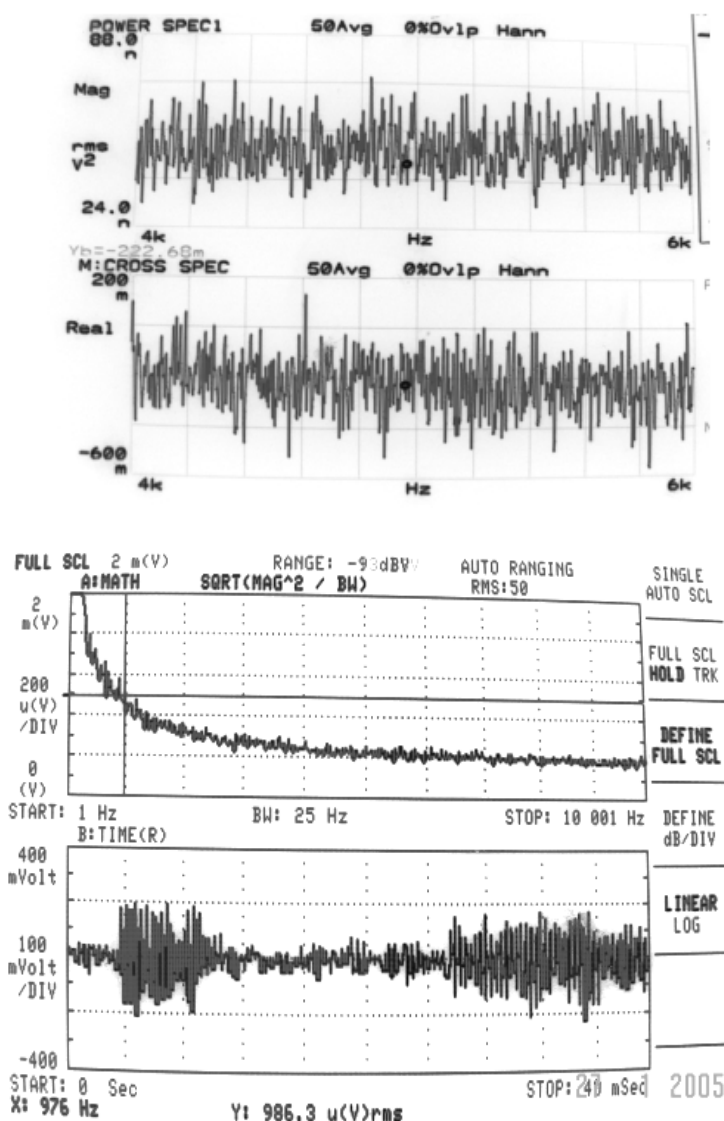


Fig. 4. Medidas realizadas em um Analisador de Sinais. (a) Medidas de correlação. (b) Representação no domínio do tempo e da frequência de um ruído.

3-Autocorrelação e Correlação Cruzada no Domínio do tempo

As funções no tempo $X(t)$ e $Y(t)$ anteriormente citadas podem ter sua dependência verificada através de uma medida no tempo. A média do produto $X(t).Y(t)$ em um período T contém a informação sobre a correlação entre os sinais $X(t)$ e $Y(t)$, não havendo a necessidade de cálculo da DFT [9]. De acordo com a Eq.9 o coeficiente de correlação pode ser determinado a partir do cálculo da média do produto $X(t).Y(t)$ e do conhecimento dos valores RMS de $X(t)$ e $Y(t)$, que por serem variáveis aleatórias em um processo estacionário, apresentam valor RMS constante. Além disso, $X(t)$ e $Y(t)$ não apresentam termos DC. Caso as variáveis $X(t)$ e $Y(t)$ sejam independentes, a média resultante é zero.

$$C = \frac{\frac{1}{T} \int_0^T X(t).Y(t).dt}{\sqrt{\overline{X^2} \cdot \overline{Y^2}}} = \frac{\overline{X.Y}}{RMS(X).RMS(Y)} \quad (9)$$

Considerado apenas o numerador da Eq.9, informações extras podem ser obtidas ao se calcular a média em função de um deslocamento no tempo entre $X(t)$ e $Y(t)$, representado por $X(t)$ e $Y(t+\tau)$. A nova função de τ , representada na Eq.10 é denominada de *Correlação Cruzada* no domínio do tempo. Posteriormente será abordada a relação com a função Correlação Cruzada no domínio da frequência.

$$\Gamma_{XY}(\tau) = \frac{1}{T} \int_0^T X(t).Y(t+\tau).dt \quad (10)$$

Similarmente, pode-se comparar o valor de uma variável aleatória em um instante t com o valor avaliado em $(t-\tau)$ (da mesma função) e calcular a média em todo o período de tempo T considerado, sendo $\tau \ll T$. Esta definição determina a função ***Autocorrelação*** que está representada na Eq.11 para as variáveis $X(t)$ e $Y(t)$.

$$\Gamma_X(\tau) = \frac{1}{T} \int_0^T X(t).X(t+\tau).dt \quad \Gamma_Y(\tau) = \frac{1}{T} \int_0^T Y(t).Y(t+\tau).dt \quad (11)$$

Algumas propriedades desta função são transcritas de [9]: (a) É uma função par; (b) Apresenta valor máximo para $\tau=0$; (c) $\Gamma(0)$ corresponde ao valor médio quadrático da função original no domínio do tempo.

$$\Gamma_X(\tau) = \Gamma_X(-\tau) \quad |\Gamma_X(\tau)| \leq \Gamma_X(0) \quad \Gamma_X(0) = RMS(X(t))^2 \quad (12)$$

Uma importante aplicação desta função ocorre na detecção de sinais contaminados com ruído. Para elucidar o exposto, considere-se a seguinte função no tempo de um sinal senoidal com amplitude 1V e ruído associado. A representação do ruído é feita através de um gerador de números aleatórios $rnd(vn)$ na faixa $0 < vn < 0.5V$ com média 0.25V. Um termo adicional $-0.25V$ elimina o nível DC. Atribuindo-se uma frequência de 300Hz, a função pode ser escrita como $X(t) = \sin(2\pi \cdot f \cdot t) + rnd(0.5) - 0.25$. Adota-se um período de $24rad$ para representar adequadamente a função e um intervalo de deslocamento $\tau=0.1rad$. A função $\Gamma_X(\tau)$ está indicada na Eq.13. Resolvendo-se numericamente na faixa $0 < \tau < T$ obtém-se a função $X(t)$ autocorrelacionada, representada na Fig.5. Também está representada a função $X(t)$ original. Como se pode observar, a função autocorrelação apresenta a propriedade de eliminar o ruído (termo não correlato) do sinal $X(t)$. Observa-se também que a translação para o domínio τ modifica a amplitude do sinal original de $v_{pk}^2/2$ e introduz um avanço de fase de 90° .

$$\Gamma_X(\tau) = \frac{1}{T} \int_0^T X(t) \cdot X(t + \tau) \cdot dt = \frac{1}{T} \int_0^T [\sin(2\pi \cdot f \cdot t) + rnd(0.5) - 0.25][\sin(2\pi \cdot f \cdot t - \tau) + rnd(0.5) - 0.25] dt \quad (13)$$

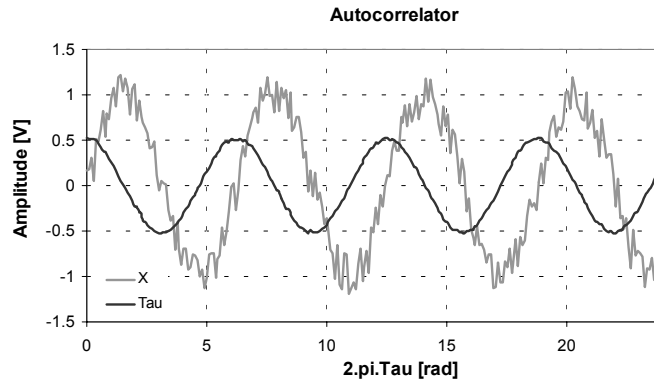


Fig. 5. Sinal no tempo processado pelo algoritmo de Autocorrelação ilustrando a propriedade de eliminar o ruído do sinal.

Em sistemas amostrados, a autocorrelação de um sinal pode ser determinada a partir da Eq.14, onde N refere-se à dimensão do vetor de pontos amostrados X. A partir de uma varredura em τ , o vetor $\Gamma_X(\tau)$ é determinado.

$$\Gamma_X(\tau) = \frac{1}{N} \cdot \sum_{i=0}^N X_i \cdot X_{i+\tau} \quad (14)$$

Esta expressão será utilizada posteriormente para determinar a relação sinal-ruído captado por um sensor magnético (MAGFET) a partir de uma aquisição de pontos amostrados. Como aplicação da função autocorrelação para eliminar ruído, na Fig.6 é ilustrado um sinal pulsado bastante contaminado. O algoritmo de autocorrelação realizado pelo HP3562 produz um sinal autocorrelacionado correspondente à onda quadrada original, praticamente livre de ruído. Observe que a integral de uma onda quadrada é uma onda triangular.

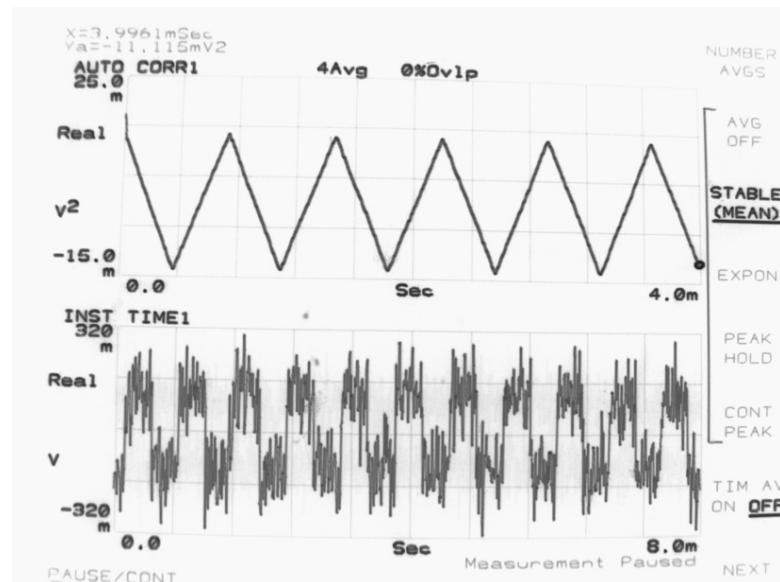


Fig. 6. Verificação no domínio do tempo de uma onda pulsada contaminada e sinal correspondente após aplicação do algoritmo de autocorrelação

A função autocorrelação também é utilizada em Teoria de Sistemas Estocásticos para se determinar o espectro de frequências de um sinal randômico ou equivalentemente, a sua PSD. A partir

da utilização do teorema de *Wiener e Khintchine* [10], a representação de um sinal estocástico no domínio do tempo ou frequência é determinado pelo par de transformadas de Fourier indicado na Eq.15.

$$\begin{aligned} S_{XX}(f) &= 4 \int_0^{\infty} \Gamma_X(\tau) \cdot \exp(-j \cdot 2 \cdot \pi \cdot f \cdot \tau) \cdot d\tau & \Gamma_X(\tau) &= \int_0^{\infty} S_{XX}(f) \cdot \exp(j \cdot 2 \cdot \pi \cdot f \cdot \tau) \cdot df \\ S_{XX}(f) &= 4 \int_0^{\infty} \Gamma_X(\tau) \cdot \cos(2 \cdot \pi \cdot f \cdot \tau) \cdot d\tau & \Gamma_X(\tau) &= \int_0^{\infty} S_{XX}(f) \cdot \cos(2 \cdot \pi \cdot f \cdot \tau) \cdot df \end{aligned} \quad (15)$$

Utilizou-se a propriedade da função autocorrelação de ser uma função par e substituiu-se pela função cosseno. Uma consequência direta destas equações é que um sinal randômico apresenta um espectro de frequências definido, embora as frequências contidas possam ocupar uma banda muito larga. Assim, conhecendo-se a natureza do mecanismo gerador de ruído em um dispositivo no domínio do tempo, é possível determinar-se a faixa de frequências ocupada pelo ruído. Para a correlação cruzada no domínio o tempo, Eq.10, o mesmo par de transformadas de Fourier pode ser aplicado, como indicado na Eq.16, observando que a correlação cruzada não é função par, logo a representação deve ser complexa.

$$S_{XY}(f) = 2 \cdot \int_{-\infty}^{\infty} \Gamma_{XY}(\tau) \cdot \exp(-j \cdot 2 \cdot \pi \cdot f \cdot \tau) \cdot d\tau \quad \Gamma_{XY}(\tau) = \frac{1}{2} \cdot \int_{-\infty}^{\infty} S_{XY}(f) \cdot \exp(j \cdot 2 \cdot \pi \cdot f \cdot \tau) \cdot df \quad (16)$$

2.4 INSTRUMENTAÇÃO EMPREGADA

Medidas de ruído podem ser bastante críticas em se tratando dos níveis que se pretende avaliar. Normalmente, uma instrumentação auxiliar é necessária à amplificação e filtragem na faixa de frequência requerida, para posterior medida utilizando-se um multímetro RMS, analisador de sinal ou analisador de espectro. O ruído adicionado por esta instrumentação pode “mascarar” os resultados

obtidos, falseando resultados. Diversas sugestões na literatura buscam adequar a instrumentação ao nível de ruído que se pretende medir [11], [12], [13].

A técnica mais apropriada para medida de ruído de baixa amplitude refere-se à correlação cruzada, normalmente utilizando-se um analisador de sinal de dois canais ou analisador de espectro com recurso de correlação cruzada. Basicamente, em medidas de tensão de ruído, o ponto do circuito onde se pretende medir o ruído é conectado a dois amplificadores de tensão alimentados por fontes DC independentes. A parcela não correlata correspondente aos ruídos dos amplificadores é eliminada pelo processo de correlação cruzada. A técnica no domínio do tempo equivale à multiplicação dos ruídos amplificados e posterior filtragem. Da mesma forma, a parcela não correlata é eliminada, resultando apenas o ruído de interesse amplificado. Uma desvantagem desta técnica reside no intervalo de tempo de integração, que pode atingir horas [14]. Por outro lado, medidas de PSD podem ser realizadas diretamente a partir de um analisador de sinal ou multímetro, se a contribuição da instrumentação for conhecida a priori. As medidas de valores RMS totais dependem da banda de frequência do circuito e devem ser evitadas quando não se conhece exatamente a resposta em frequência do circuito.

A instrumentação adotada neste trabalho utiliza o amplificador de instrumentação AD620, que apresenta característica de baixo ruído referido à sua entrada [15]. O ganho pode ser configurado pelo uso de resistores externos. A especificação de ruído $e_n=9\text{nV}/\sqrt{\text{Hz}}$, $i_n=100\text{fA}/\sqrt{\text{Hz}}$ em frequências acima de 1KHz permite a aplicação em medidas de ruído na faixa térmica. Em baixas frequências, pode ser utilizado com a restrição de medida de níveis de ruído acima do gerado pelo próprio AD620. Alguns aspectos com relação à montagem da instrumentação são pertinentes: (a) Blindagem do circuito para evitar captação de interferências externas, principalmente campos em 60Hz, sendo ideal utilizar-se chapas de aço permeável como por exemplo *metalon* ou similar. Entretanto, uma caixa de alumínio fornece bons resultados. (b) Alimentação dos circuitos por baterias, uma bateria independente para

cada circuito, para se evitar acoplamento de ruído através da queda de tensão na resistência interna da bateria. (c) Uso de capacitores de poliéster ou cerâmico. Para capacitores de desacoplamento, normalmente de valores elevados, é recomendável utilizar capacitores de tântalo. Capacitores do tipo eletrolítico são mais ruidosos devido à sua resistência série equivalente. (d) Utilizar resistores de filme metálico, por apresentarem baixo ruído em excesso, pois resistores de carvão apresentam moderados níveis deste ruído quando submetidos a tensões elevadas. (e) Uso de um plano de terra em toda a extensão do circuito para equalização das quedas de tensão e distribuição das correntes de retorno. (f) Conexões do tipo radial com as fontes de alimentação. (g) Uso de conexões de mínima distância para se evitar *loops* de captação de campos o que provoca oscilações, devido ao alto ganho associado à instrumentação. Todas estas sugestões foram seguidas e os resultados experimentais foram consistentes e reproduzíveis. A principal fonte de erro a ser considerada é a própria contribuição do ruído gerado pela instrumentação. Na sequência, determinam-se os níveis de ruído gerados pela combinação de dois amplificadores de instrumentação AD620 conectado em cascata, cada estágio com ganho absoluto de 50 e um resistor $R=47k\Omega$ presente na entrada. O ruído total em banda larga será calculado e comparado com o valor medido.

Para este propósito, inicialmente ajustam-se expressões numéricas para as densidades espectrais de tensão e corrente do AD620 referidas à sua entrada, a partir das curvas do *datasheet*. Na sequência, determinam-se os pólos do circuito equivalente para o AD620 operando com ganho 50. No caso, as frequências são: 142kHz e 1MHz. A resistência de saída do amplificador equivale a $R_0=200\Omega$. A partir do circuito equivalente, calcula-se as tensões de ruído projetadas para a saída do circuito. A expressão resultante, considerando que a contribuição do resistor de 47Kohms vale $27,9nV/\sqrt{Hz}$, equivale a praticamente ao valor obtido através de medida feita com multímetro de valor RMS verdadeiro, 25,4mV.

$$\sqrt{\int_0^{\infty} \left[\left[(R_o \cdot i_N(f))^2 + e_N(f)^2 + \left[(R \cdot i_N(f))^2 + e_N(f)^2 + (27.9 \cdot 10^{-9})^2 \right] \cdot (|H(f)|)^2 \right] \cdot (|H(f)|)^2 \right] df} = 0.024$$

Fazendo-se $R=0$, obtém-se, na faixa de frequência considerada, o valor RMS de 10mV, também verificado também experimentalmente. Estas medidas testam a consistência do projeto da instrumentação. Fig. 7 ilustra todo o procedimento desta verificação.

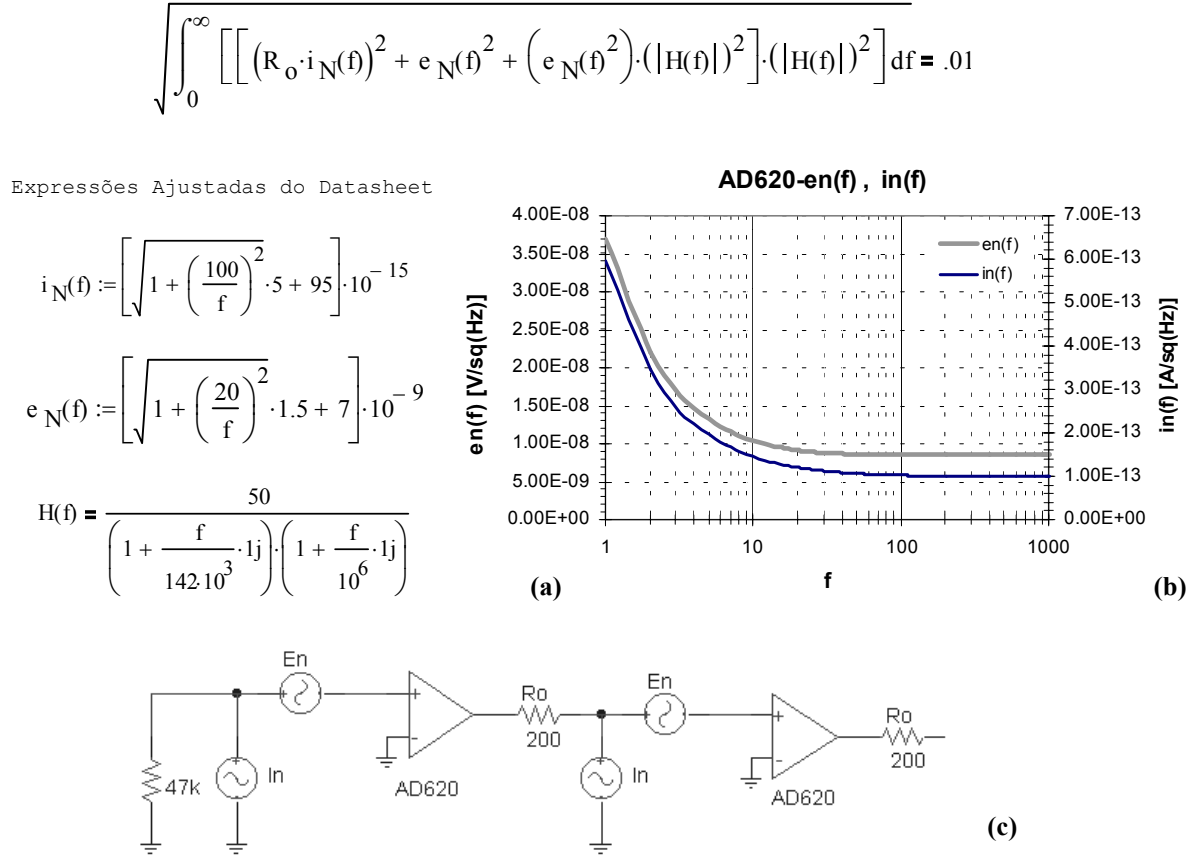


Fig. 7. (a) Expressões ajustadas para $e_n(f)$, $i_n(f)$ e função de transferência do AD620 ($G=50$) (b) gráfico correspondente para $e_n(f)$, $i_n(f)$ (c) Circuito para análise de ruído do AD620

Em medidas de correlação, dois canais independentes são utilizados. Logo, dois estágios cascadeados são necessários. Como indicado na Fig.8, é ilustrado o procedimento geral de conexão de um transistor *split-drain* para medidas de correlação. As saídas dos amplificadores são conectadas a um circuito somador/subtrator implementado com amplificadores operacionais comuns cujas saídas

são conectadas a um medidor de tensão eficaz verdadeira (*true RMS*). Conforme pode se observar na Eq.8, medidas de correlação não dependem da resposta em frequência do circuito, logo podem ser realizadas com o medidor *true RMS*. Alternativamente, pode-se conectar cada canal do analisador de sinal diretamente nas saídas dos amplificadores, dispensando-se as operações de soma e subtração. A correlação neste caso é calculada a partir da DFT dos sinais adquiridos, conforme Eq.3. Filtros passa-altas, que rejeitam baixas frequências (ruído $1/f$) ($R=100k\Omega$, $C=150pF$), asseguram a estabilidade das medidas em frequências na faixa térmica. Para medidas em baixas frequências, o capacitor é substituído por $C=680nF$, ampliando-se a faixa de passagem em direção às baixas frequências. Todos os capacitores de desacoplamento são de $1\mu F$.

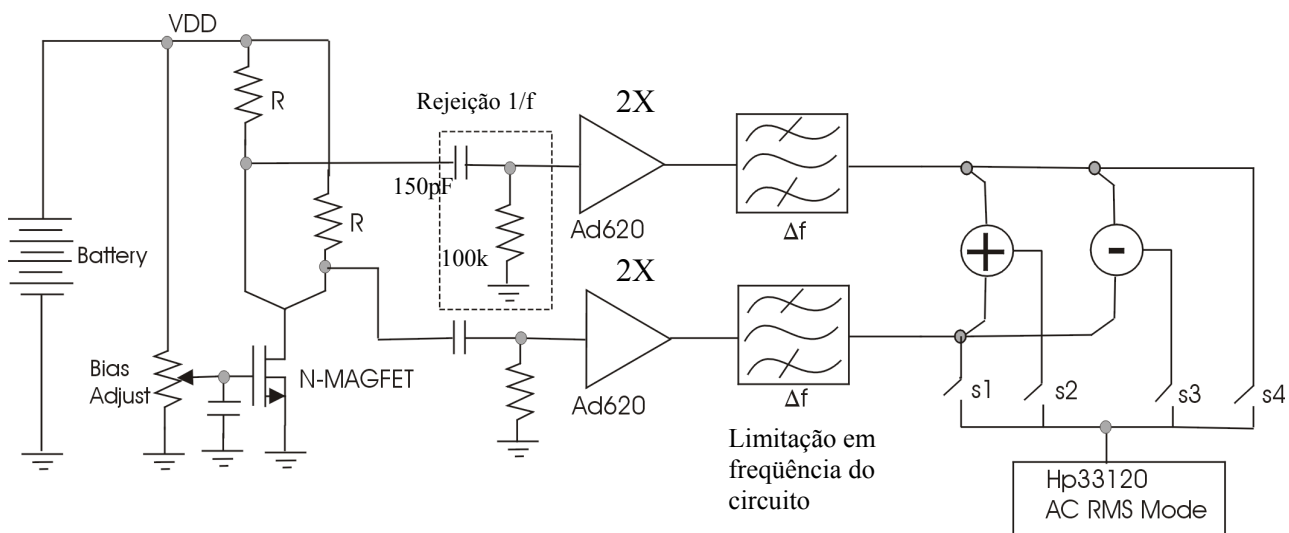


Fig. 8. Instrumentação Básica para Medida de Correlação

Na Fig.9 estão representadas as respostas em frequência de um estágio completo ($G=2300\sim 2400$) e a resposta quando o filtro supressor de ruído $1/f$ é inserido ($R=100k\Omega$ e $C=150pF$). Importante observar que em medidas realizadas em baixas frequências, por exemplo, ruído $1/f$, o ganho considerado para efeitos de cálculo será $G=2300$. Por outro lado, em medidas de ruído na

faixa térmica (a frequência adotada para esta medida é de 100KHz em todos os experimentos realizados neste trabalho) o ganho da instrumentação é reduzido de cerca de 1.65dB, ou $G=1900$.

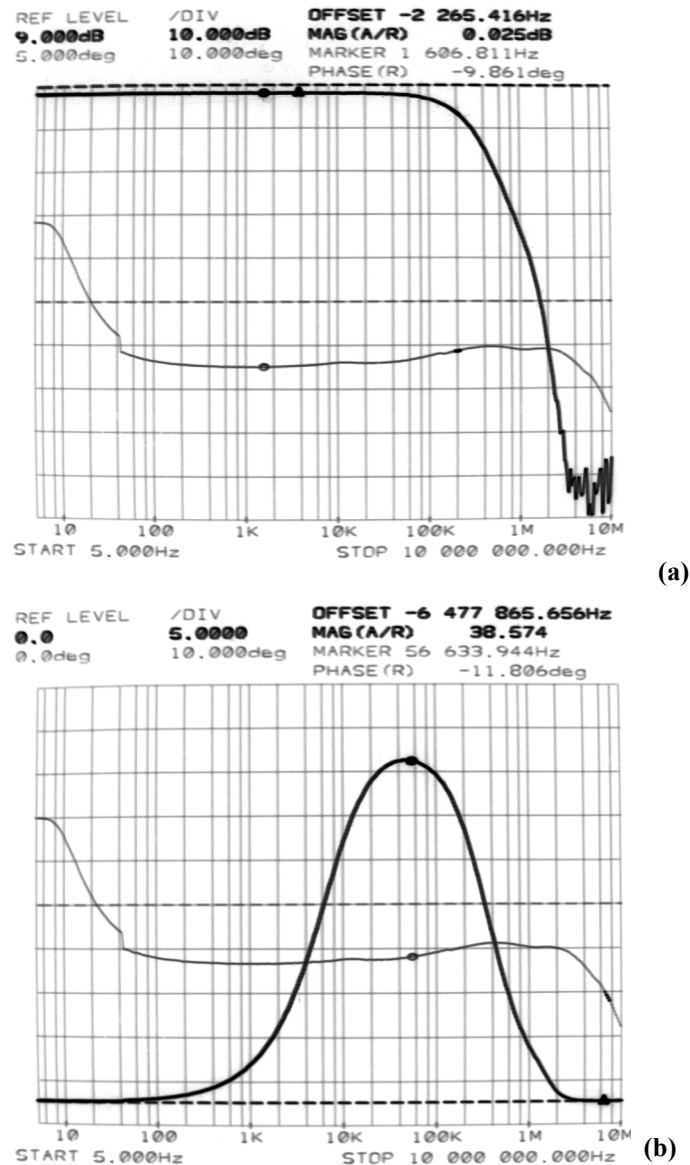


Fig. 9. (a) Resposta em frequência do AD620-Estágio completo. (b) Incluindo-se filtro rejeita 1/f.

2.5. RESULTADOS EXPERIMENTAIS-VERIFICAÇÃO DE RUÍDO EM CIRCUITOS ELETRÔNICOS

Para validar a instrumentação utilizada na medida de ruído dos dispositivos e circuitos desenvolvidos neste trabalho, foram realizados diversos experimentos com circuitos e dispositivos

conhecidos, que permitissem comparar resultados experimentais obtidos com previsões teóricas e resultados de simulações.

1-Verificação de Consistência: Medida do ruído gerado por um resistor

Um teste básico da funcionalidade da instrumentação pode ser realizado a partir da medida de ruído gerado por um resistor equivalente (Fig.10), no caso a combinação do resistor do filtro 1/f (100k Ω) e um resistor de 47k Ω conectado à entrada do circuito. O resistor equivalente vale $R=32\text{k}\Omega$. A tensão de ruído gerado pelo resistor projetada para a saída dos amplificadores (que será lida em um analisador de sinais) em temperatura ambiente $T=300\text{K}$ pode ser calculada a partir de $V_R = \sqrt{4.K.T.R.G}$. Nesta expressão, K corresponde à constante de Boltzmann, $K=1.381 \times 10^{-23}$ [J/K], T corresponde à temperatura absoluta dada em Kelvin [K], G corresponde ao ganho da instrumentação medido na frequência de 100kHz, $G=1900$. Substituindo valores, obtém-se a tensão de ruído gerado pelo resistor projetado para a saída do circuito: $43\mu\text{V}/\sqrt{\text{Hz}}$. Este valor deve ser somado em uma base quadrática com o ruído acrescentado pela instrumentação, que é medido colocando-se a entrada do amplificador em potencial de terra e registrando-se o valor na saída: $19\sim 20\mu\text{V}/\sqrt{\text{Hz}}$. O ruído total será portanto: $47\mu\text{V}/\sqrt{\text{Hz}}$ razoavelmente próximo ao obtido com o analisador de sinais, considerando um erro de leitura médio de $5\mu\text{V}/\sqrt{\text{Hz}}$.

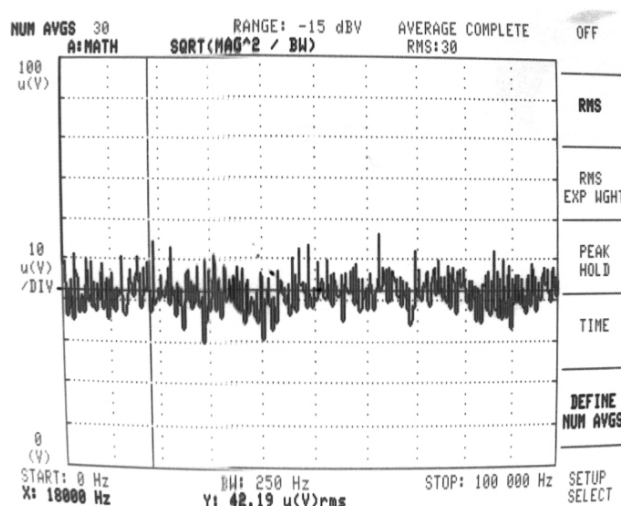
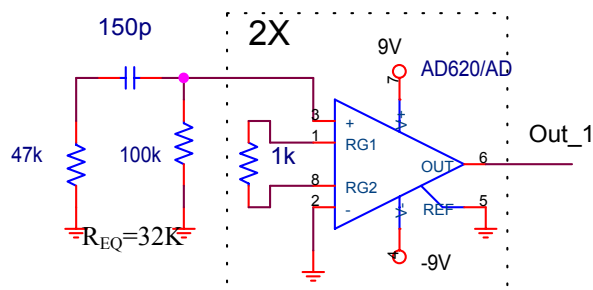


Fig. 10. Teste de consistência da instrumentação: Medida de Ruído gerado por um resistor
(a) Circuito utilizado. (b) Medida de densidade espectral no analisador de sinais.

2-Espelho de Corrente Implementado com Transistores PMOS-Medida de Ruído Gerado

Um circuito espelho de corrente implementado em tecnologia $0.6\mu\text{m}$ e a instrumentação baseada no circuito AD620 são mostrados na Fig.11. Utilizando-se o osciloscópio TDS350, com frequência de amostragem ajustada em 5kHz e base de tempo em 0.01sec/div, realizou-se a captura de 500 pontos para posterior processamento pela rotina Mathcad de DFT para cálculo da PSD. Foram gerados 17 arquivos de dados totalizando-se 8500 pontos de captura de ruído. Estes ajustes garantem a representação adequada de frequências entre 10Hz e 2500Hz, possibilitando a visualização do ruído *flicker* do espelho. Adicionalmente, realizou-se a simulação em PSPICE deste mesmo circuito incluindo-se a instrumentação, considerando que na faixa de frequências de interesse, o ganho do AD620 vale 2300. Observa-se que os resultados medidos e simulados são consistentes. Na sequência, a partir dos pontos capturados, foi gerado um histograma das distribuições das amplitudes do ruído, evidenciando-se a distribuição gaussiana.

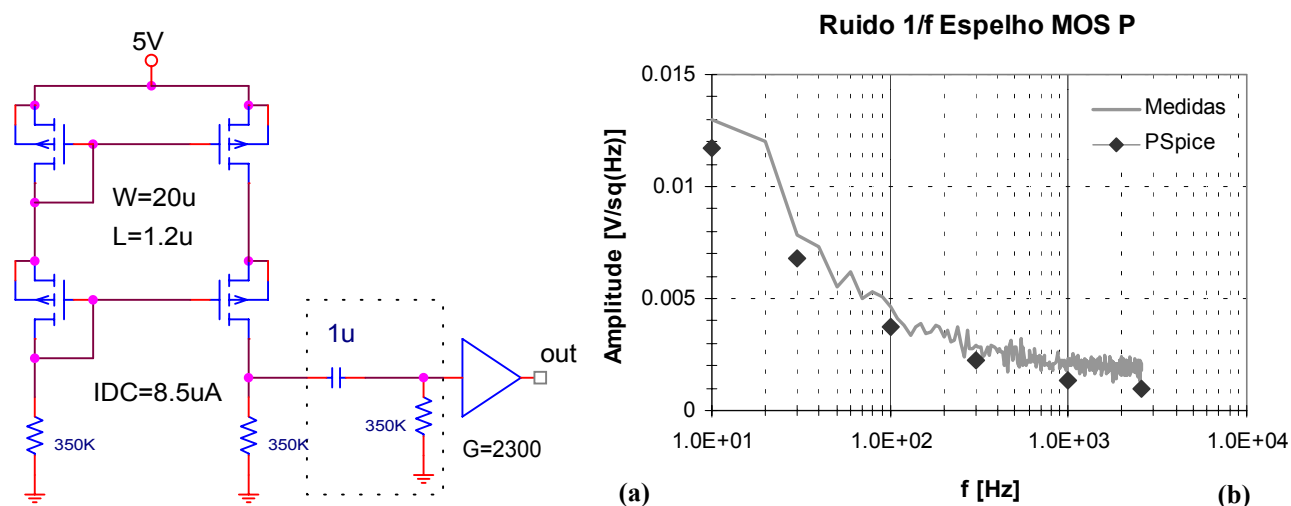


Fig. 11 (a) Circuito espelho de corrente para verificação dos níveis de ruído. (b) Medida do ruído utilizando-se os pontos capturados no domínio do tempo e pós-processamento pela rotina Mathcad.

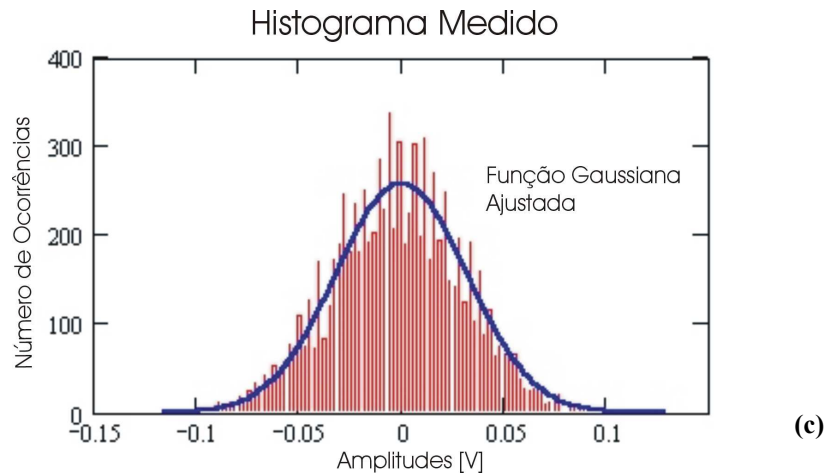


Fig. 11. (Cont) (c) Histograma gerado a partir dos pontos capturados.

3-Comparação das Amplitudes de Ruído Gerado por Transistores Bipolar e MOS

Esta verificação apresenta interesse prático, pois sensores magnéticos do tipo LMT-*Lateral-Magneto-Transistors* podem ser implementados a partir do transistor bipolar parasita presente nas estruturas MOS [18], logo, é importante conhecer-se os níveis de ruído gerados por este dispositivo. Embora o transistor lateral apresente performance inferior a um transistor bipolar, como o reduzido ganho de corrente e efeitos de alta injeção [40], o mesmo apresenta níveis de ruído inferior quando comparado a um transistor MOS-N implementado na mesma tecnologia. Esta verificação foi realizada a partir da comparação dos níveis de ruído gerados por um transistor bipolar lateral e um transistor N-MOS, ambos construídos na mesma tecnologia e operando sob condições de polarização semelhantes. No ensaio realizado, para efeitos de comparação, adotou-se $I_D = I_C = 50 \mu A$.

Os circuitos testados e resultados são apresentados na Fig. 12. Na região de baixas frequências, a vantagem do bipolar sobre o MOS é mais pronunciada. Este fato aliado à característica de correlação de ruído positiva [19] permite implementar sensores de campo magnético comparáveis ou mesmo superiores aos transistores *split-drain* [1]. Para fins de verificação da consistência das medidas e confiabilidade da instrumentação, simulações dos circuitos em PSPICE foram realizadas, incluindo-se

os modelos do amplificador AD620 e dos transistores N-MOS e bipolar. Os transistores foram construídos em tecnologia CSD035³.

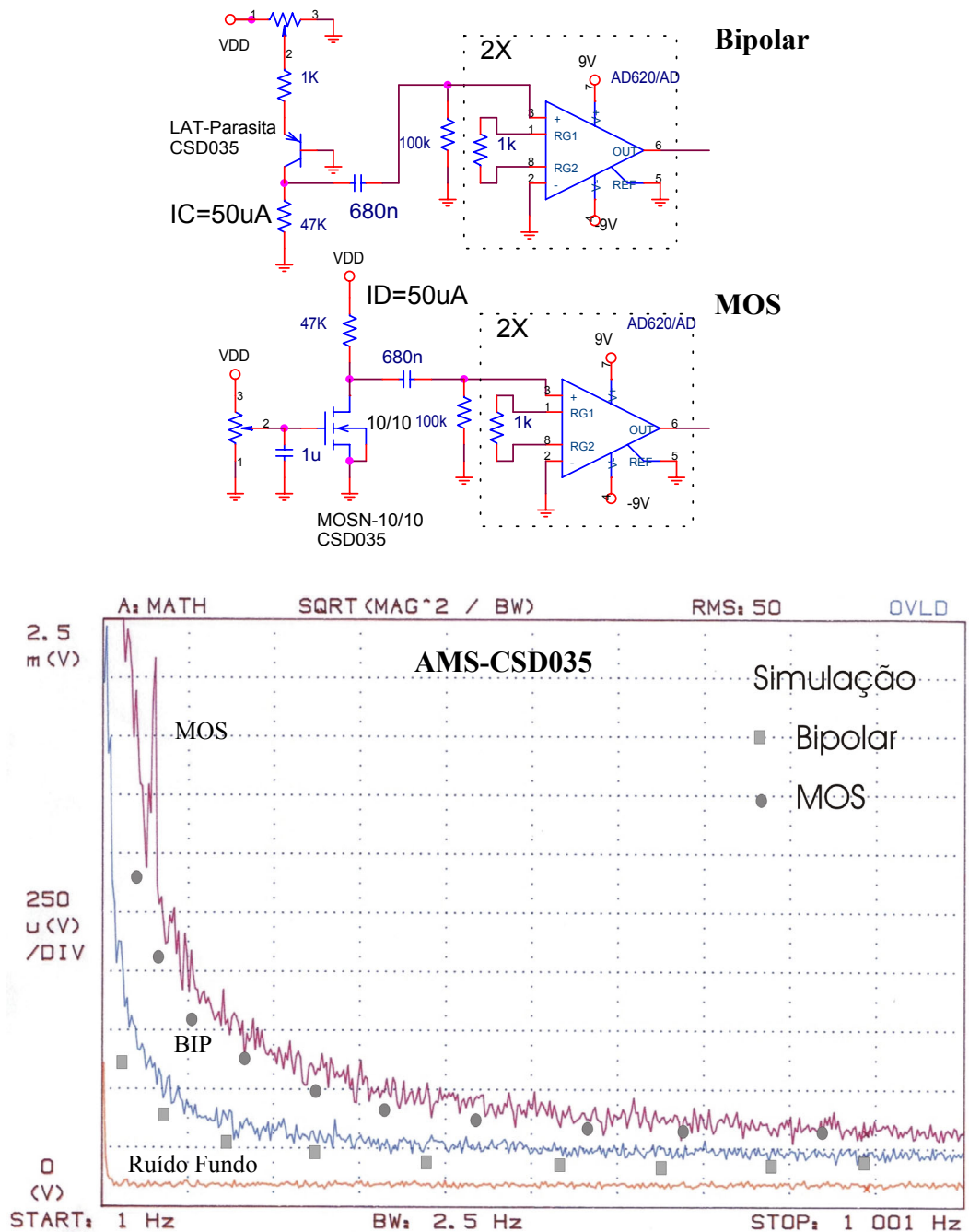


Fig. 12. Comparação dos níveis de ruído gerados por um MOS e bipolar parasita para as mesmas correntes de dreno e de coletor (50 μA).

³ Esta tecnologia de 0.35 μm é proprietária da Austria MicroSystems-AMS. Opera com 3.3V.

4-Verificação do Ruído *flicker* utilizando o Modelo Proposto por Galup [25]

Neste ensaio, registra-se o ruído $1/f$ produzido por um transistor N-MOS ($10\mu/10\mu$) construído em tecnologia CSD035 e comparam-se os resultados medidos com simulações em PSPICE utilizando-se os modelos da tecnologia. A mesma verificação é realizada, adicionalmente, empregando-se o modelo para ruído $1/f$ proposto em [25]. O circuito para análise é mostrado na Fig. 13.

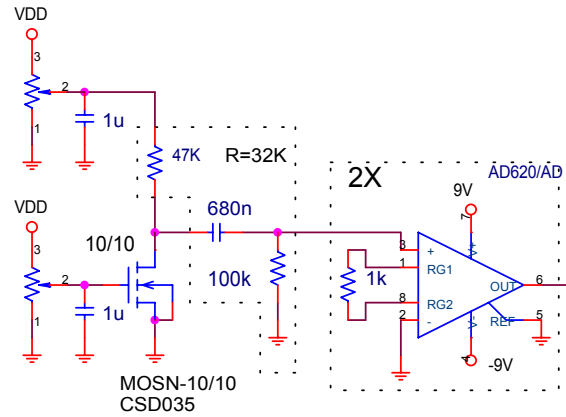


Fig. 13. Circuito para medida de Ruído $1/f$ de um transistor N-MOS

Este ensaio emprega o *setup* básico com os amplificadores de instrumentação AD620 e um capacitor de 680nF para a banda de passagem cobrir a faixa de baixas frequências (1-10Hz). Nesta faixa, o ganho da instrumentação é ajustado em $G=2300$, verificado através de medidas previamente realizadas ao ensaio. O transistor $W=L=10\mu$ opera na região de saturação com $V_{GS}=1.75V$ $V_{DS}=2.75V$ e $I_D=100\mu A$.

Inicialmente será verificada a expressão para a densidade espectral de corrente de ruído baseada no modelo BSIM3V3-PSPICE. Os parâmetros de processo correspondentes para a tecnologia utilizada são: $K_{PN}=\mu.C_{OX}=170\mu$, $V_{TO}=0.46V$, $\gamma=0.58$, $C_{OX}=4.54 \times 10^{-2} F/m^2$, $\mu_{EFF}=0.037 m^2/V.s$, $\phi_F=0.434V$, $\alpha=n=1.313$. AF e KF correspondem a parâmetros de simulação do modelo, $AF=1.4$, $KF=2.810 \times 10^{-27}$. Eq.17 ilustra a densidade espectral de ruído para o transistor (em acordo com o modelo

BSIM3V3) e a tensão de saída correspondente que será lida pelo analisador de sinal. Considera-se nesta expressão a contribuição do resistor equivalente de $32k\Omega$.

$$S_I = \frac{KF}{C_{OX} \cdot L^2} \cdot I_D^{AF} \cdot \frac{1}{f} \quad S = \sqrt{\frac{KF}{C_{OX} \cdot L^2} \cdot I_D^{AF} \cdot \frac{1}{f} + \frac{4 \cdot K \cdot T}{R} \cdot R \cdot G} \quad (17)$$

O modelo proposto em [25] requer o conhecimento da densidade de carga de inversão no terminal de *source* do transistor, uma vez que operando na saturação, este valor no dreno é zero. Esta densidade de carga pode ser calculada por $Q'_{IS} = C_{OX} \cdot (V_{GS} - V_{TO})$ onde os parâmetros já foram definidos. Seguindo-se o procedimento descrito em [25] e adotando-se uma densidade de “armadilhas” igual a $N_{OT} = 2,622 \times 10^{10} \text{ m}^{-2}$, a densidade espectral de corrente de ruído de baixa frequência e a tensão de ruído que será lida pelo analisador de sinal são indicados na Eq.18. O parâmetro N_{OT} não é fornecido pela *foundry*, logo, o mesmo foi calculado com base em um *curve fitting* a partir dos parâmetros AF e KF.

$$S_f = \frac{q^2 \cdot N_{OT} \cdot I_D \cdot \mu_{EFF}}{n \cdot C_{OX} \cdot L^2} \cdot \frac{1}{f} \cdot \ln \left[\frac{n \cdot C_{OX} \cdot \phi_T - Q'_{IS}}{n \cdot C_{OX} \cdot \phi_T} \right] \quad S = \sqrt{S_f + \frac{4 \cdot K \cdot T}{R} \cdot R \cdot G} \quad (18)$$

As Eqs. 17 e 18 são plotadas na Fig.14(a) juntamente com os resultados medidos a partir do analisador de sinais. Devido à amplitude relativa gerada pelo ruído $1/f$ os erros de medida introduzidos *pelo setup* são de menor relevância, podendo-se desconsiderar o ruído gerado pelos amplificadores de instrumentação uma vez que a contribuição quadrática da parcela dos mesmos é desprezível. Fig.14(b) ilustra a tela do analisador de sinais HP3561 com as representações no tempo e frequência utilizados para se determinar a amplitude do ruído.

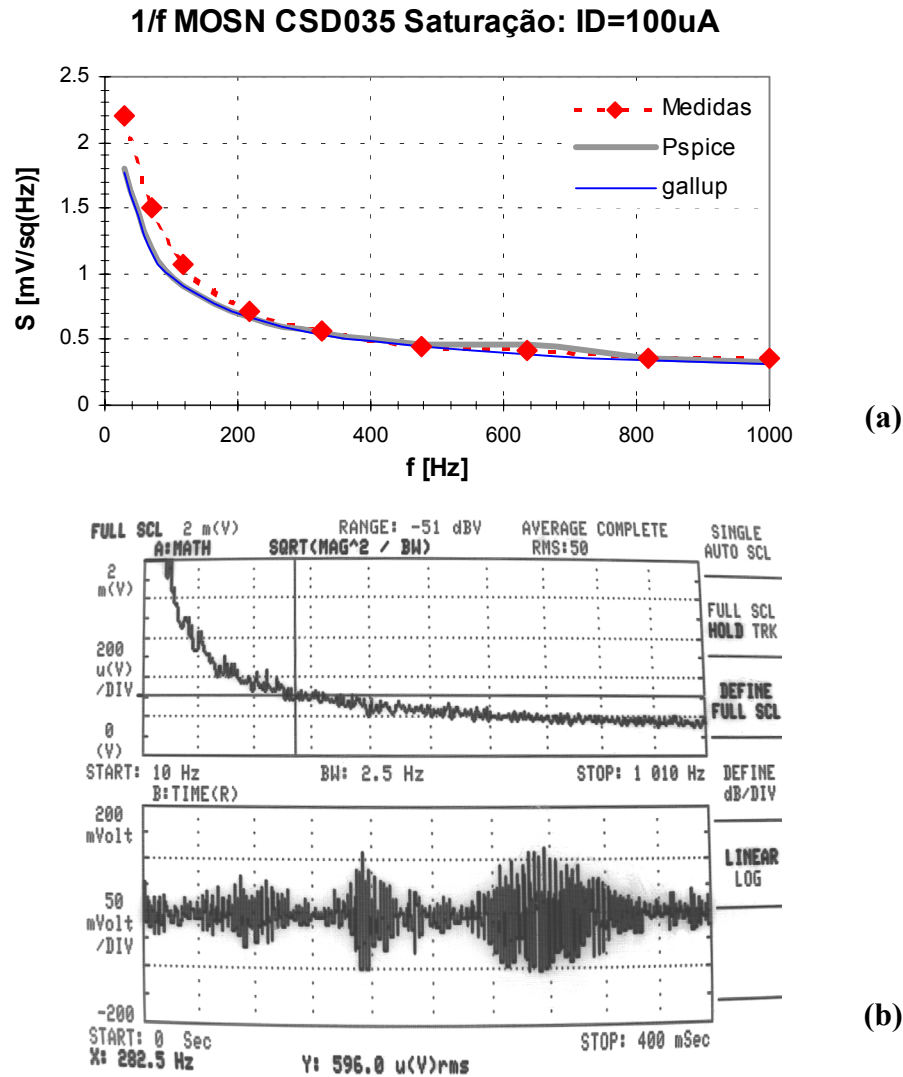


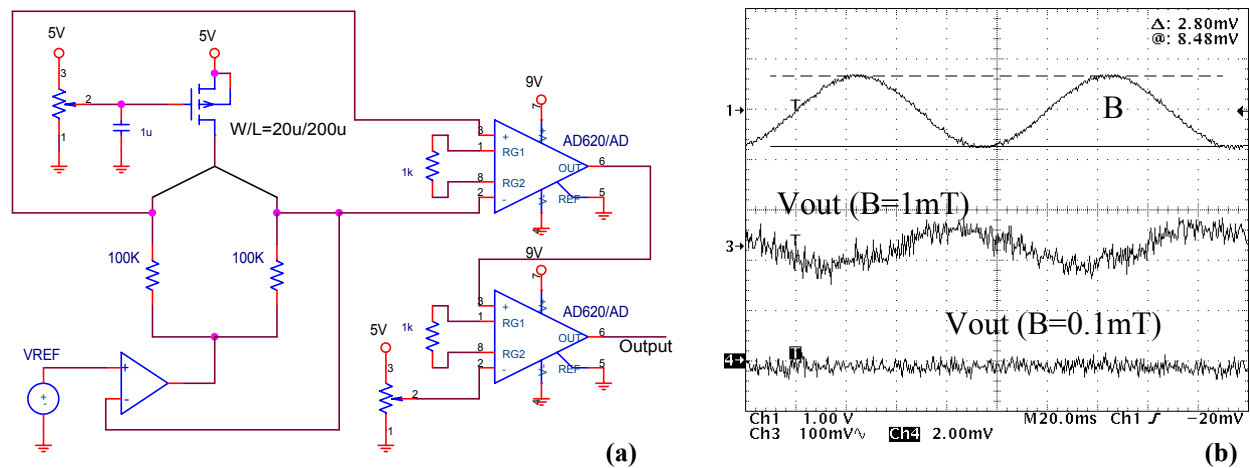
Fig. 14. Verificação do ruído *flicker*. (a) Resultados experimentais e modelos analíticos. (b) Representação do ruído no domínio do tempo e frequência.

5-Detector de Campo Magnético com MAGFET

Neste ensaio, um transistor *split-drain* construído em tecnologia CYB08⁴, com dimensões $L=200\mu$ e $W=20\mu$, atua como um sensor magnético. Será aplicado o algoritmo de autocorrelação para se determinar o mínimo campo magnético detectável. O campo magnético de baixa frequência ($<20\text{Hz}$) é produzido por um solenóide (caneta magnética) posicionado sobre o transistor. O sinal diferencial de corrente produzido pelo transistor, devido à ação do campo, é convertido em tensão por

Esta tecnologia de $0.8\mu\text{m}$ é proprietária da Austria MicroSystems-AMS. Opera com 5V.

resistores, e a tensão resultante aplicada ao circuito de instrumentação. O sinal amplificado, então, é capturado pelo osciloscópio TDS350 e os pontos são pós-processados pela rotina de autocorrelação implementada no *Mathcad*, para se determinar a relação sinal-ruído. Basicamente, a rotina executa a seguinte operação sobre os pontos capturados (armazenados no vetor X_i): $\Gamma_X(\tau) = \frac{1}{N} \cdot \sum_{i=0}^N X_i \cdot X_{i+\tau}$. Como resultado, obtém-se um sinal processado no domínio do tempo cuja amplitude é de $378\mu\text{V}$ de pico. Considerando que o processo de autocorrelação reduz a amplitude do sinal detectado de $V_{pk}^2/2$, o sinal original deve ter amplitude de pico de $\sqrt{2 \cdot (378 \times 10^{-6})} = 27.5\text{mV}$ ou 19mV_{RMS} . O valor total RMS do sinal capturado, obtido por cálculo numérico sobre os pontos aquisitados, $V_{\text{RMS}} = \sqrt{\sum_i X_i^2 / N}$, corresponde a 25mVRMS , logo a parcela não-correlata correspondente ao valor RMS do ruído vale $\sqrt{0.025^2 - 0.019^2} = 16.25\text{mV}$. Este valor corresponde portanto ao ruído medido associado ao sinal. Sendo o sinal detectado igual a 19mV_{RMS} , a relação sinal-ruído pode ser escrita como $19\text{mV}/16\text{mV}$ ou 1.49dB . Fig. 15 ilustra o procedimento e resultados.



**Fig. 15. (a) Circuito detector de campo magnético implementado em tecnologia CYB08.
(b) Sinais capturados pelo osciloscópio a partir de um campo magnético aplicado.**

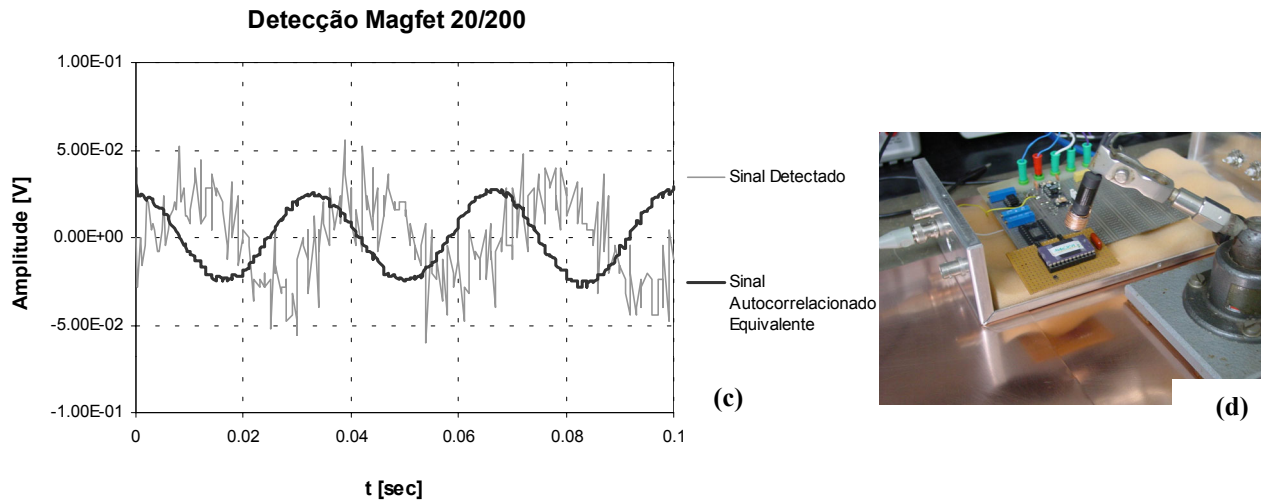
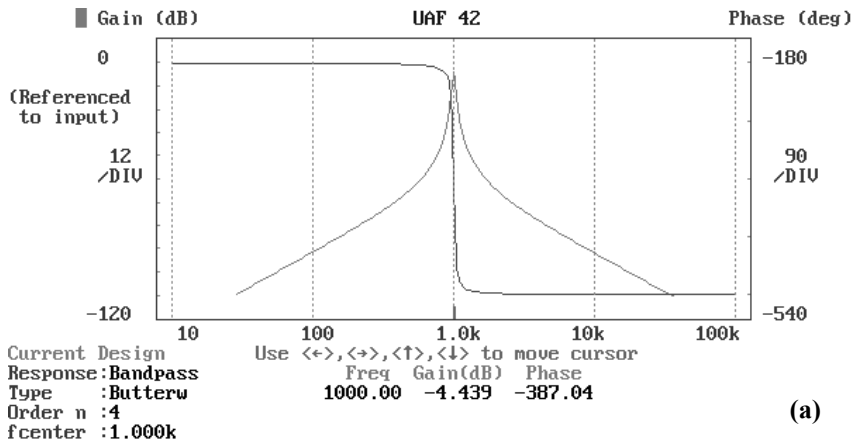


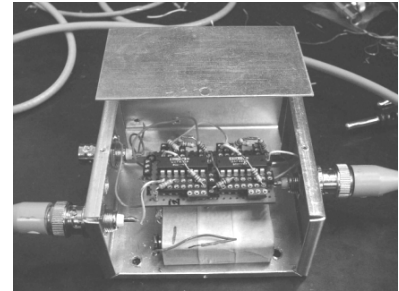
Fig. 15. (Cont.) (c) Processamento do sinal ($B=1\text{mT}$) pela rotina de autocorrelação. (d) Montagem realizada.

6- Filtro Passa-Faixa com $BW=100\text{Hz}$ conectado à Saída de um Sensor Magnético

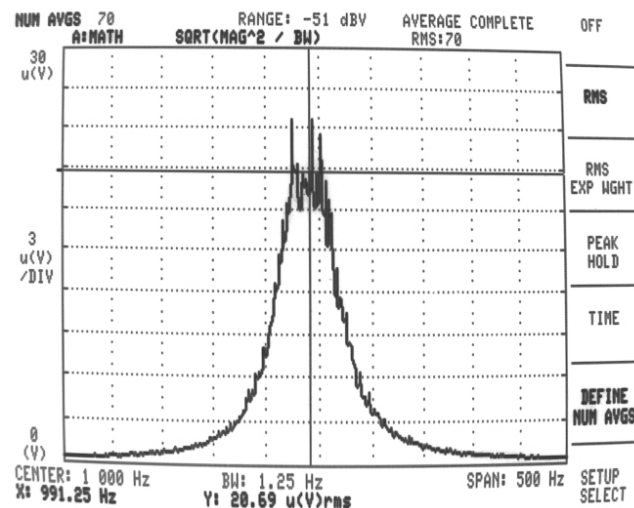
Neste exemplo um filtro com largura de faixa efetiva de $\Delta B=100\text{Hz}$ e sintonizado em 1kHz é implementado a partir do circuito integrado UF42 da Unitrode. Este filtro é conectado na saída do circuito de instrumentação, de forma a reduzir o ruído detectado por um sensor magnético projetado para operar nesta frequência. A faixa relativamente estreita de passagem do filtro irá reduzir significativamente o valor RMS do ruído gerado pelo sensor, possibilitando a detecção de sinais antes cobertos pelo ruído em medidas de banda larga. Esta técnica é apropriada para detecção de sinais cuja frequência seja constante, caso contrário, a janela do filtro deverá ser móvel. Na Fig.16 está representado o diagrama de Bode do filtro implementado e a densidade espectral de ruído de saída para uma densidade constante de $40\mu\text{V}/\sqrt{\text{Hz}}$ aplicado com um gerador de ruído (HP33120). Observa-se uma significativa atenuação do sinal mesmo na banda de passagem.



(a)



(b)



(c)

Fig.16. (a) Diagrama de Bode Filtro UF42. (b) Circuito implementado.
(c) Saída do filtro para entrada de 40uV/sq(Hz)

Considerando-se a mesma montagem da Fig.15(a), será determinado o mínimo campo magnético que pode ser detectado se este filtro fôr utilizado na saída do circuito de instrumentação. Neste exemplo, foram utilizados resistores conversores I-V de 47kΩ, corrente de polarização do transistor ($L=200\mu$ e $W=20\mu$) de 20μA. A transcondutância do MOS pode ser calculada a partir de

$g_m = \sqrt{2 \cdot K_p \cdot \frac{W}{L} \cdot I}$ onde $K_p=36\mu A/V^2$ refere-se a um parâmetro de processo. Analisando-se o circuito a

partir dos modelos convencionais de ruído em transistores MOS, o mínimo campo magnético detectável, medido no modo diferencial, será o correspondente valor RMS do ruído gerado pelo

circuito, desconsiderando-se o ruído do AD620: $S.I.B_{\min}.R = \sqrt{8.K.T.R^2 \left(\frac{g_m}{3} + \frac{1}{R} \right) \Delta B}$. Nesta análise,

também se desconsiderou a correlação de ruído na medida diferencial, como será discutido oportunamente. Do Apêndice I, $S=0.8\%/T$ para este transistor. Substituindo-se os valores numéricos, com $\Delta B=100\text{Hz}$, obtém-se $B_{\min} \approx 50\mu\text{T}$. De fato, nas experiências realizadas, ajustando-se a corrente na caneta magnética para produzir campos desta ordem na frequência de 1KHz, o multímetro de valor RMS verdadeiro acusava uma perceptível variação.

Outro experimento realizado com base no filtro implementado refere-se à verificação da distribuição das amplitudes de um ruído filtrado, citado na literatura como ruído colorido [9]. Observa-se que os valores instantâneos de ruído na saída do filtro seguem uma distribuição gaussiana com valor máximo instantâneo definido pelo fator de pico $V_{pk}=3\sigma$ onde $\sigma = \sqrt{S.\Delta B}$ sendo S a PSD na entrada do filtro. Na seqüência, buscando-se verificar o impacto das operações não lineares na distribuição das amplitudes de sinais aleatórios, conectou-se a saída do filtro a um retificador e detector de envoltória, como indicado na Fig.17. A entrada do filtro é conectada a um gerador de ruído ajustado para gerar $4.22\text{mV}^2/\text{Hz}$, obtendo-se na saída do detector de envoltória um nível DC de 0.786V. Conhecendo-se a priori que a operação de retificação e filtragem de um ruído limitado em frequência produz uma distribuição de amplitudes de Rayleigh [10], a partir do valor DC retificado e filtrado, a componente

RMS σ pode ser calculada a partir de $v_{DC} = \sqrt{\pi/2} \cdot \sigma$, onde $\sigma=0.627V$. Conhecendo-se, portanto o valor RMS da envoltória, a função estocástica pode ser determinada e ajustada aos pontos capturados como indicado na Fig.17(c).

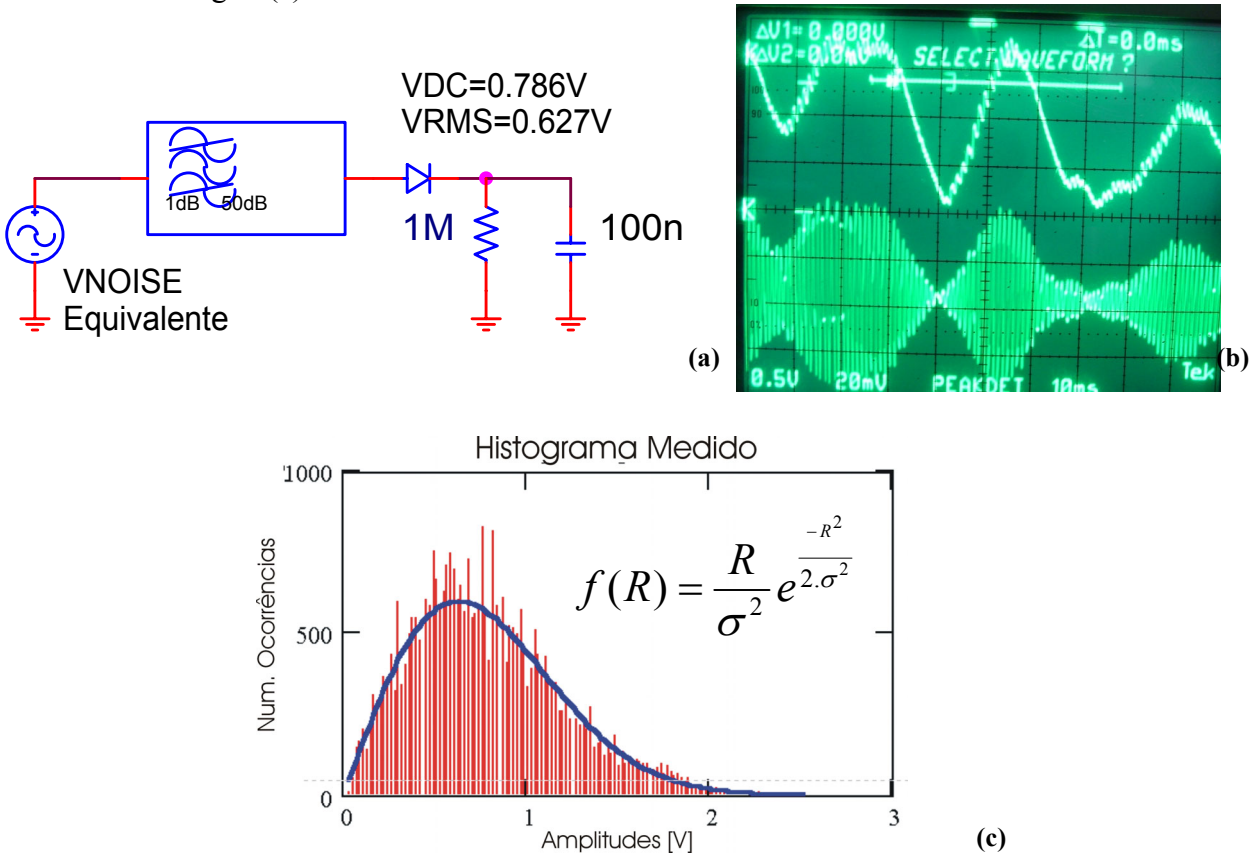


Fig.17. (a) Filtro $\Delta B=100Hz$ conectado a um detector de envoltória. (b) Sinal na saída do detector e na saída do filtro. (c) Histograma das amplitudes medido e ajustado.

Este exemplo demonstra que operações não-lineares podem modificar a distribuição das amplitudes de ruído em um circuito. O exemplo mais evidente refere-se ao quadrador, que gera amplitudes de ruído seguindo-se uma distribuição qui-quadrado. Dependendo da diversidade das distribuições dos ruídos em um circuito, os mesmos não mais poderão ser combinados em uma base linear para se calcular os valores RMS resultantes, logo a análise fica muito mais complexa [9].

2.6. VERIFICAÇÃO VISUAL DA CORRELAÇÃO DE RUÍDO

Uma técnica auxiliar na investigação de ruído em circuitos ou dispositivos refere-se à verificação visual da correlação de ruído. Esta técnica é bastante elucidativa pois permite identificar a existência ou não de correlação entre ruídos medidos em dois pontos distintos sem necessidade medidas de correlação cruzada ou emprego de rotinas numéricas, como já discutido. Basicamente, utilizando-se a instrumentação já descrita para se proporcionar ganho adequado aos níveis de ruído e um osciloscópio (de preferência analógico) é suficiente operar o mesmo no modo XY onde em cada canal é aplicado o ruído amplificado correspondente [16]. A seguinte expressão permite calcular em uma base aproximada o valor do coeficiente de correlação. A mesma foi deduzida com base na aproximação de um elipsóide de contorno com semi-eixos a e b produzida pela combinação de dois ruídos visualizados simultaneamente na tela do osciloscópio (Fig.18). Para sinais não correlatos, $a=b$ e $C=0$. A expressão é válida para mesmos valores RMS em cada canal.

$$C = \cos \left[\arcsin \left[\frac{2\sqrt{2}.a.b.}{H.\sqrt{a^2 + b^2}} \right] \right]$$

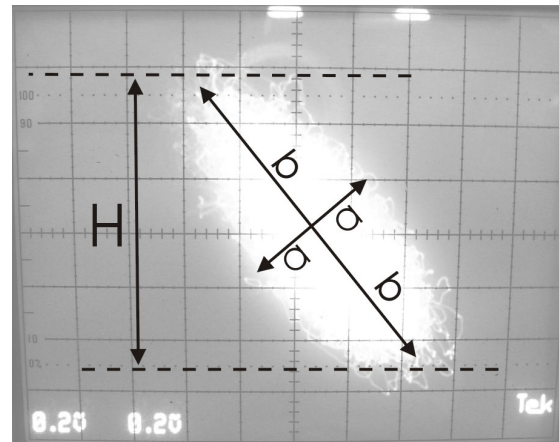


Fig.18. Correlação visual e quantidades associadas

Na seqüência, a correlação de ruído será avaliada visualmente para alguns circuitos. Nos exemplos que se seguem, o circuito utilizado e a instrumentação necessária para proporcionar ganho a cada um dos canais são ilustrados esquematicamente. Cada um dos pontos de medição é conectado a um dos amplificadores de instrumentação e as saídas correspondentes ligadas aos canais X e Y do

osciloscópio analógico. Deve-se observar que em todos os circuitos há uma conversão corrente-tensão utilizando-se resistores. Neste caso, embora se visualize a correlação entre tensões de ruído, tem-se de fato a verificação visual da correlação entre correntes de ruído.

1-Fontes de Corrente

No primeiro circuito, um espelho de corrente, implementado em tecnologia CUB06¹ observa-se correlação positiva, pois o ruído gerado na entrada do espelho pelo resistor de 220K se propaga “em fase” para as saídas, onde a correlação é avaliada. A parcela não correlata gerada pelos resistores e circuitos de instrumentação tende a reduzir a correlação, fazendo com que o elipsóide tenda a um círculo. Também está mostrada a fotomicrografia dos espelhos implementados. (Fig.19)

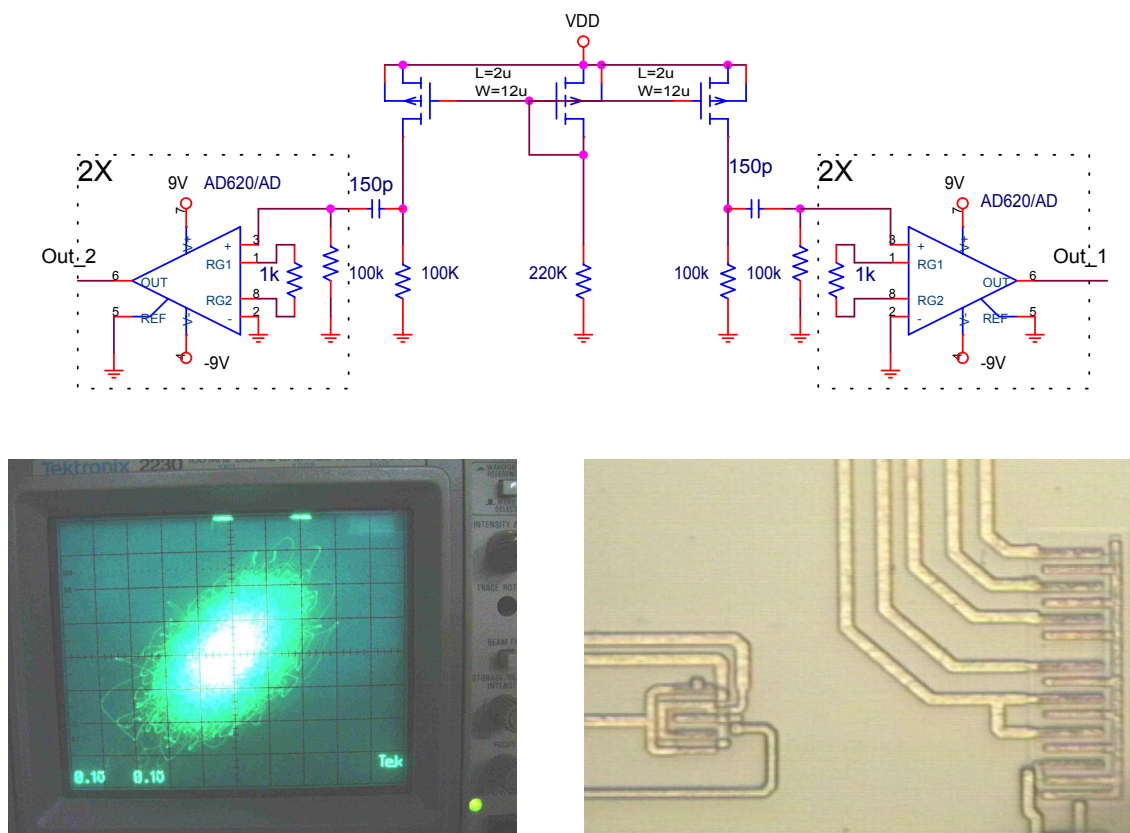


Fig.19. Correlação de ruído no circuito espelho de corrente

¹ Esta tecnologia de $0.6\mu\text{m}$ é proprietária da Austria MicroSystems-AMS. Opera com 5V.

2-Par Diferencial

No segundo circuito, um par diferencial, observa-se uma correlação em oposição de fase, ou anticorrelação. Os ruídos de cada transistor, projetados para a respectiva base, têm como caminho de baixa impedância o próprio circuito da base do transistor, que está aterrada. Esta corrente de ruído gera uma tensão diferencial nos coletores, surgindo a anticorrelação. Por outro lado, a inclusão de um capacitor de desacoplamento para a terra nos emissores proporciona um caminho de baixa impedância, fazendo com que as correntes de ruído em cada transistor fluam independentemente, tornando os ruídos não-correlatos. (Fig.20).

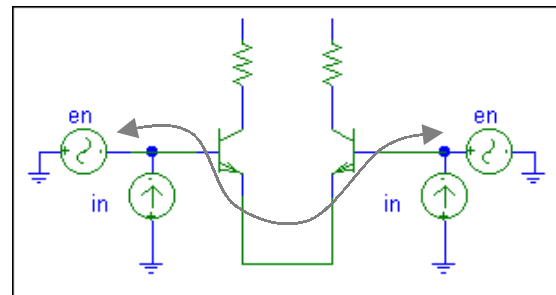
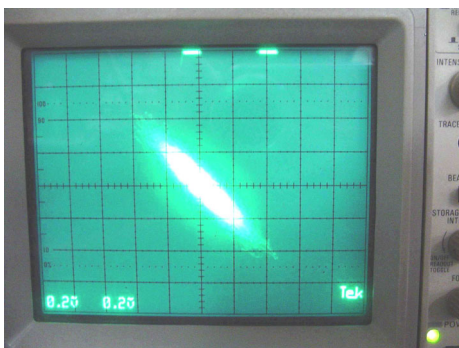
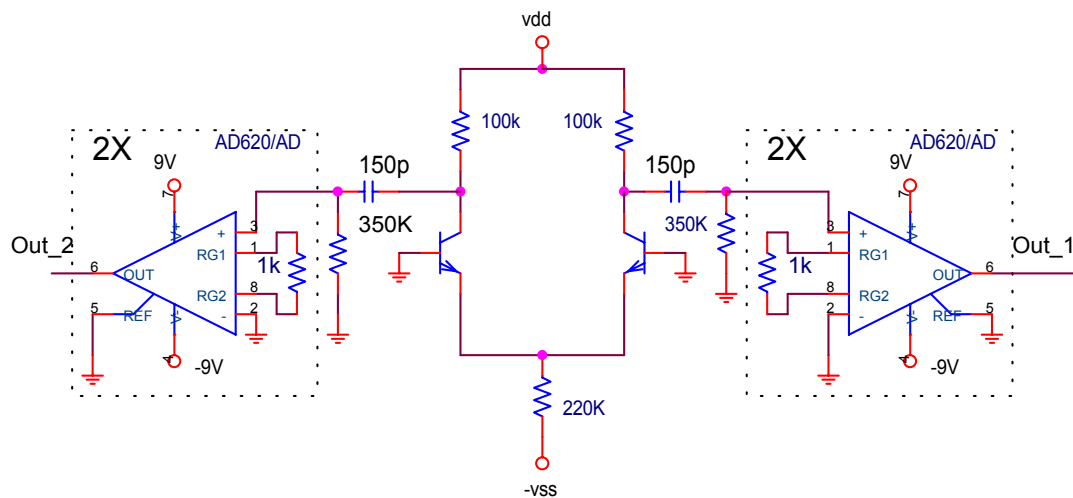


Fig.20. Correlação de Ruído em um par diferencial discreto

3-Split-Drain em conexão clássica

O circuito básico de investigação de correlação de ruído em transistores *split-drain* é ilustrado a seguir. Observa-se uma correlação negativa devido à existência de correntes transversais de ruído, como será analisado em detalhes posteriormente. A visualização da anticorrelação é corroborada com uma medida de correlação, obtida a partir da correlação cruzada realizada pelo analisador de sinais de dois canais HP3562. Neste caso, observa-se uma anticorrelação de $C=-0,635$. (Fig.21).

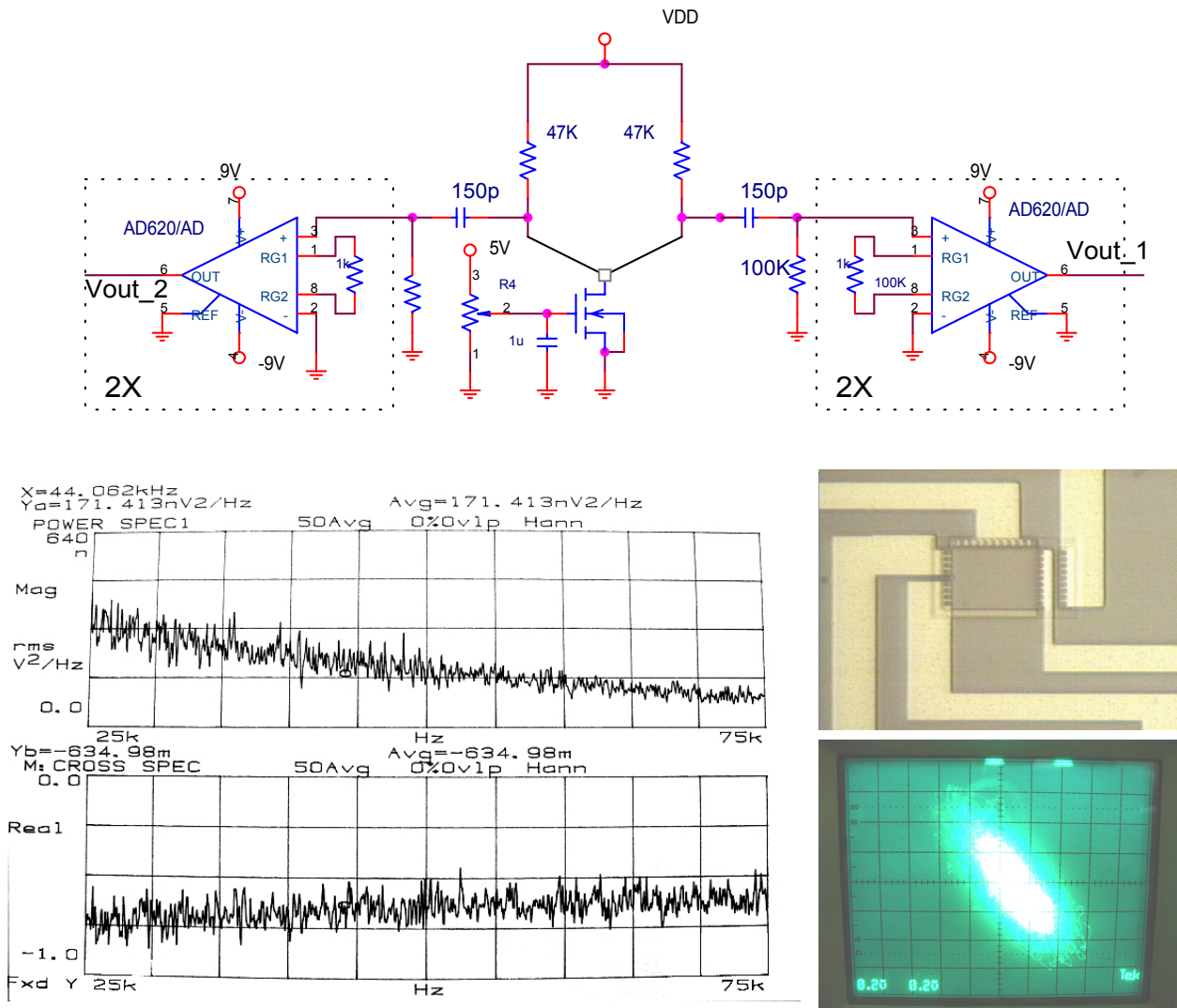


Fig.21 Correlação de Ruído em um *Split-Drain*. Medida realizada no HP3162.

4-Transistor Bipolar-Duplo Coletor

No exemplo seguinte, um transistor bipolar lateral parasita teve sua geometria modificada pela inclusão de um segundo coletor. Como se pode observar, a correlação de ruído é bastante forte o que favorece medidas diferenciais. A presença desta correlação nas correntes de ruído em cada terminal de coletor está associada à origem comum das fontes de ruído, a junção base-emissor [17]. Sensores magnéticos do tipo LMT-*Lateral-Magneto-Transistors* podem ser implementados em tecnologia MOS a partir deste transistor parasita. Estes dispositivos apresentam a propriedade de operarem sob forte correlação de ruído, o que favorece medidas diferenciais, e detectam campos magnéticos tangenciais à superfície do chip. (Fig.22).

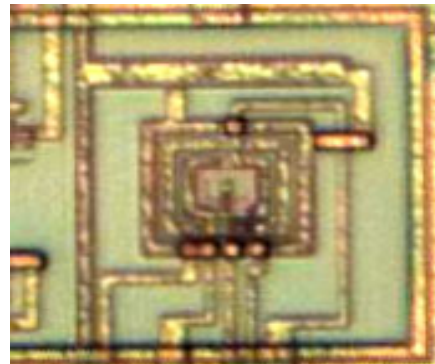
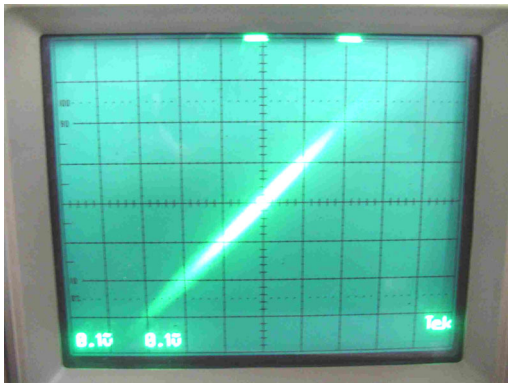
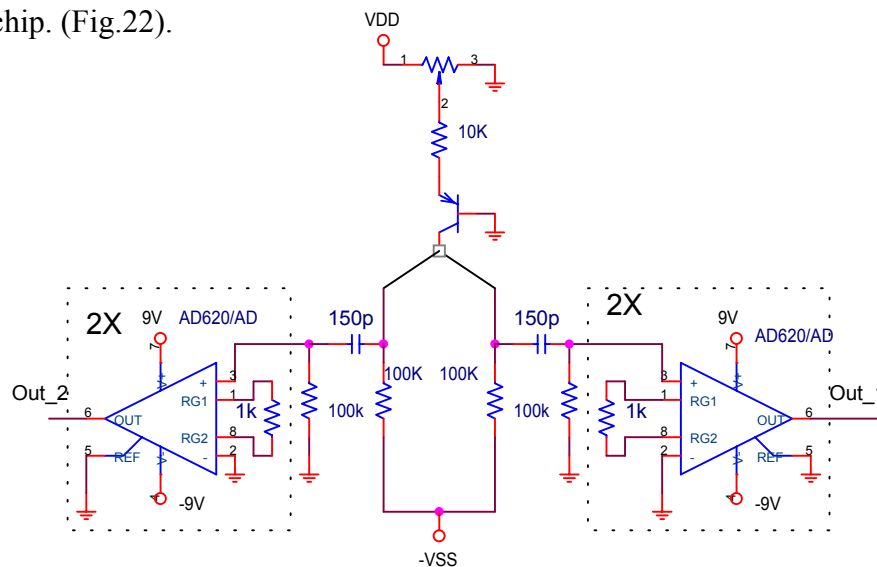


Fig.22. Correlação de ruído em um transistor bipolar lateral com dois coletores

5-Ponte de Resistores

Neste exemplo, realiza-se a verificação da consistência das medidas de correlação utilizando-se a rotina em *Mathcad* desenvolvida e medidas no HP3562, analisador de sinais de dois canais. Utiliza-se um circuito simples, ponte de resistores, cujo coeficiente de correlação calculado $C = \frac{R_2}{2.R_1 + R_2} = 0.6$.

A medida utilizando a rotina *Mathcad* exige a captura simultânea dos pontos no domínio do tempo pelo osciloscópio digital de dois canais. A medida no analisador de sinais é direta. Nos dois casos utilizou-se a instrumentação baseada no amplificador de instrumentação AD620. (Fig.23).

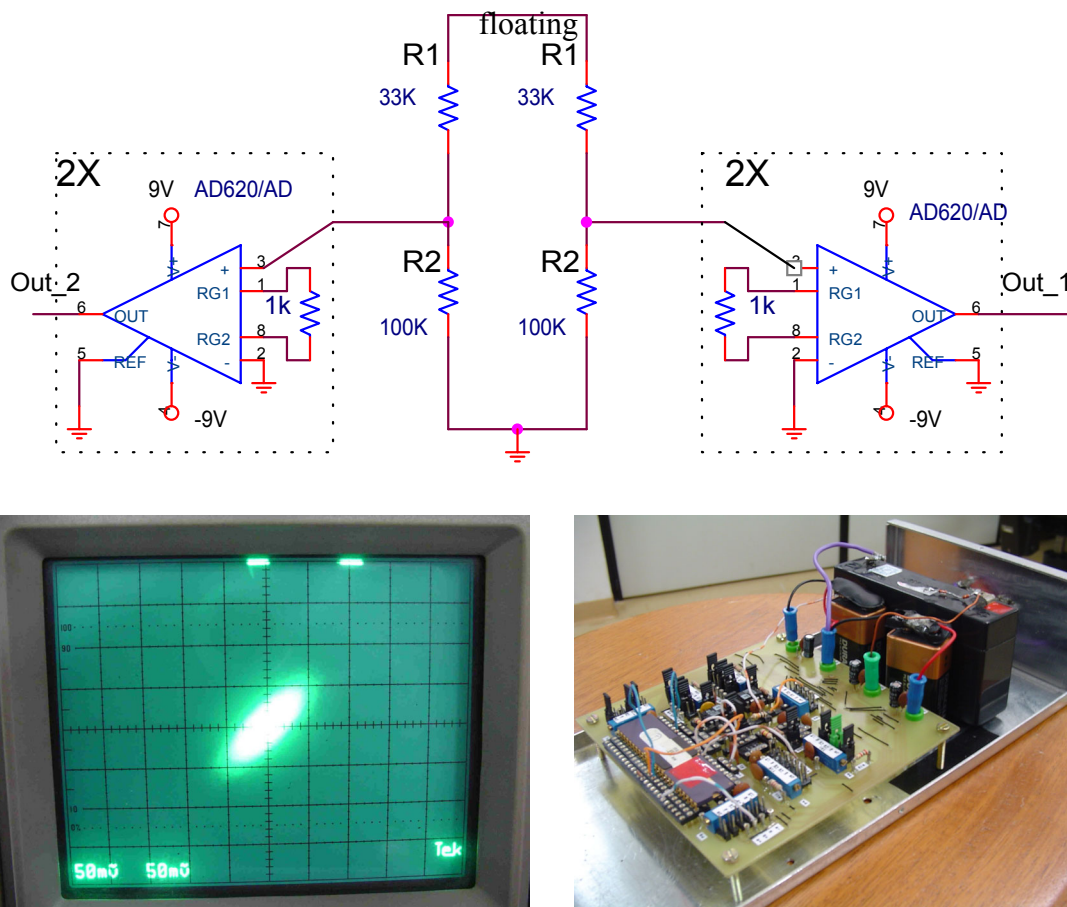


Fig.23. Teste de consistência e comprovação experimental do *Setup*.
Medida da correlação em uma ponte de resistores

Os resultados estão ilustrados na Fig.24. Observa-se que os resultados indicam essencialmente os mesmos valores. No caso do analisador de sinais, foram realizadas 50 médias para o cálculo da FFT, enquanto que a rotina *Mathcad* utilizou apenas 5 médias, correspondente ao número de arquivos salvos. (Fig.24).

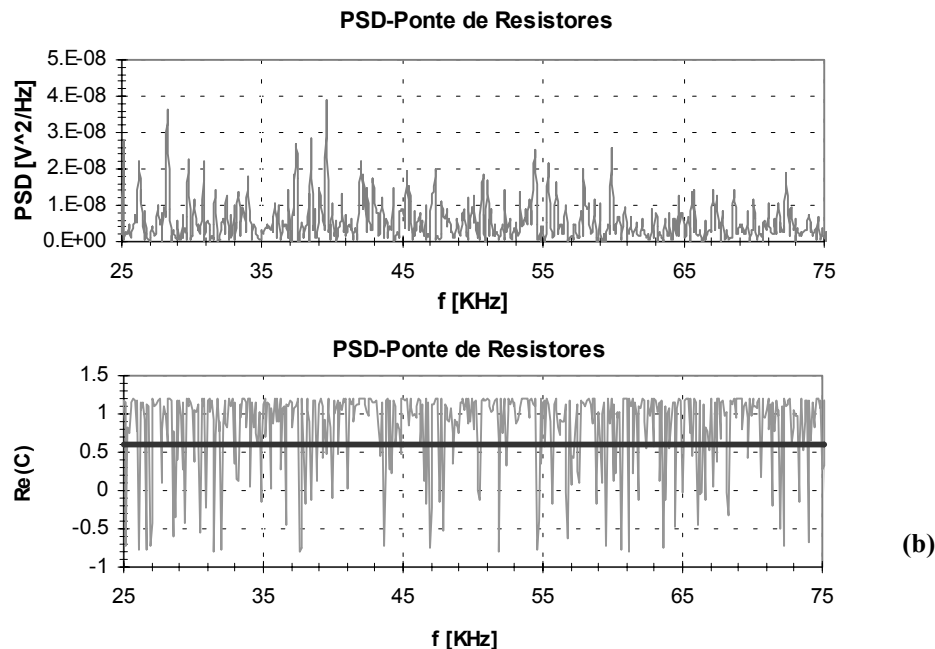
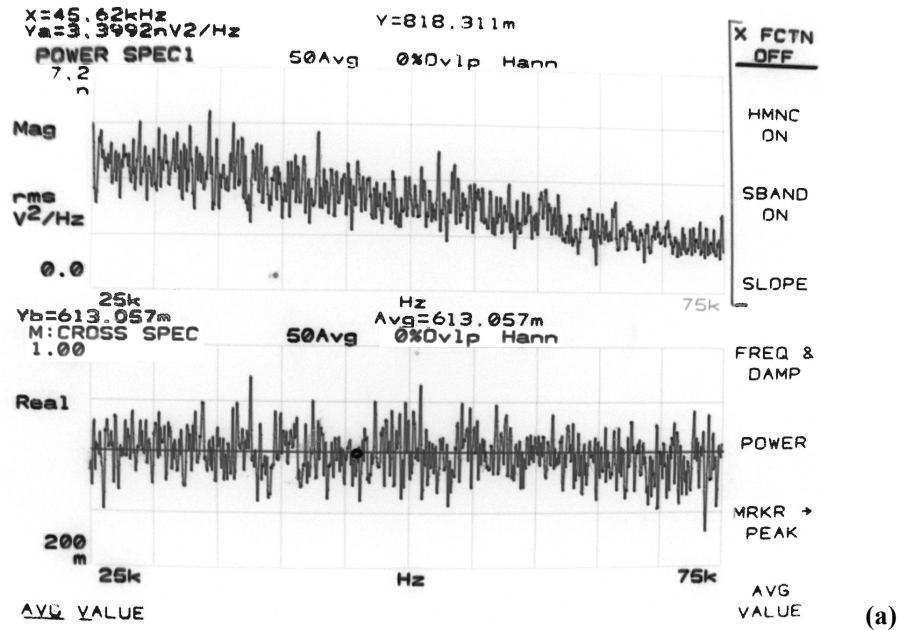


Fig. 24. Comparando procedimentos de determinação do Coeficiente de correlação.
Medidas no analisador de sinais (b) Medidas obtidas a partir da rotina Mathcad
(O coeficiente de correlação é medido através da média das amplitudes do espectro)

2.7. MODELOS DE RUÍDO PARA TRANSISTORES MOS

A formulação clássica da determinação da corrente de ruído gerada por um transistor MOS pode ser encontrada em diversas referências como, por exemplo, em [20]. A análise geral será modificada para se incluir a determinação da **corrente de ruído transversal**, tópico inédito no estudo de sensores magnéticos MOS do tipo Split-drain. O modelo deduzido é geral e pode ser aplicado a todas as regiões de operação do transistor MOS, dependendo do modelo utilizado para a determinação da carga de inversão total do canal. Pela mesma razão, o modelo pode ser utilizado na faixa de ruído branco ou 1/f como será abordado. A dedução da expressão geral é baseada no ruído térmico gerado por um elemento diferencial de área do canal do transistor MOS, mas se esse gerador elementar for convenientemente modificado, o ruído 1/f também pode ser representado. Efeitos de ordem mais elevada, como a dimensão do canal e variação da mobilidade também serão incluídos.

Inicialmente, será deduzido o modelo clássico da expressão de ruído térmico no canal de um transistor MOS, Fig. 25. Assume-se que um elemento infinitesimal de dimensões Δx por Δy do canal invertido de um MOS comporta-se como um resistor elementar, cujo valor médio quadrático da tensão de ruído térmica gerada em 1Hz de banda é igual a $v_t = \sqrt{4.K.T.\Delta R}$. Considera-se também que tanto a tensão diferencial de ruído como a corrente associada $i_t = \sqrt{4.K.T./\Delta R}$ sejam orientadas na direção x do canal, concordantes com direção do fluxo de corrente DC do transistor. A relação entre corrente e tensão para este elemento diferencial vale $v_t = \Delta R.i_t$. O índice “t” refere-se a ruído térmico.

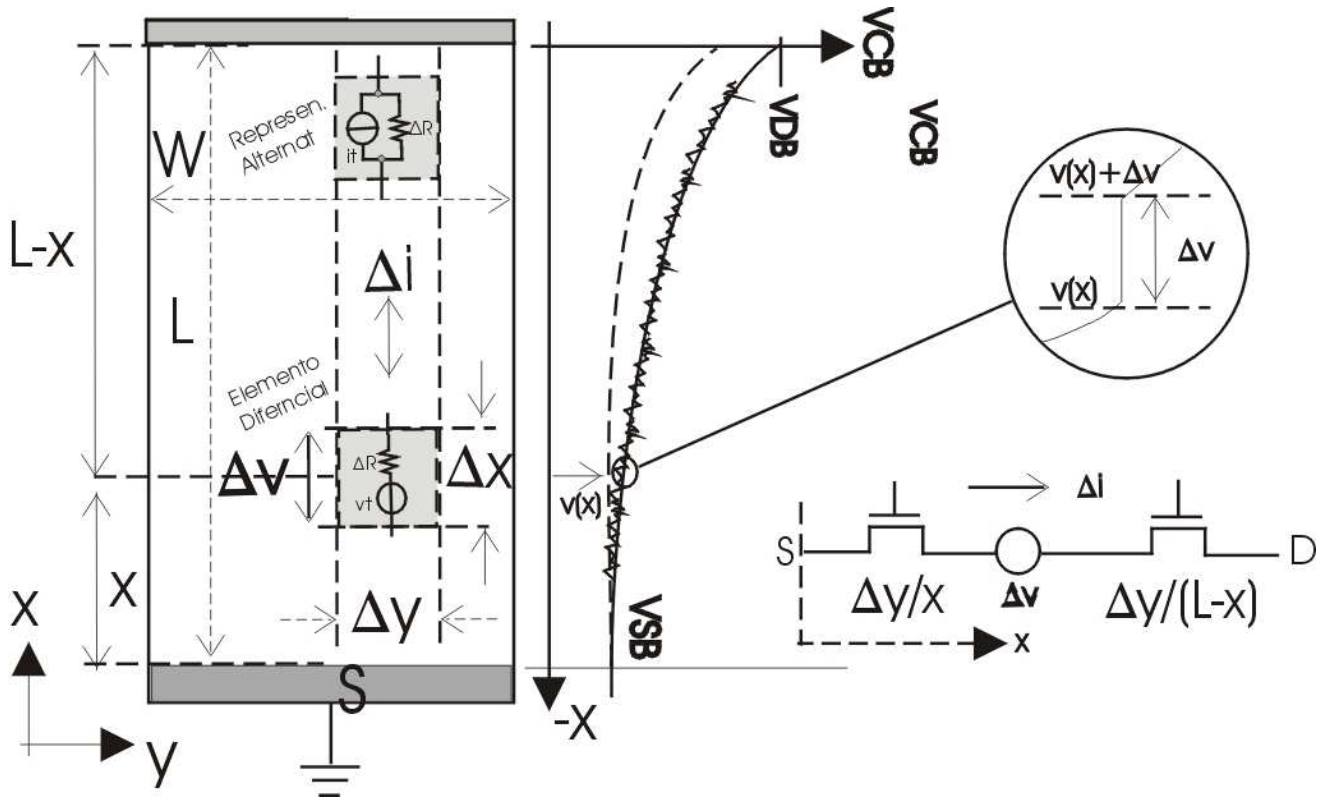


Fig. 25. Modelo de folha de cargas para determinação do ruído em transistor MOS

A resistência incremental associada ao elemento diferencial medida na direção x pode ser determinada por $\Delta R_x = \Delta x / \mu \cdot Q'_I \cdot \Delta y$ enquanto que a medida na direção y vale $\Delta R_y = \Delta y / \mu \cdot Q'_I \cdot \Delta x$. K refere-se à constante de Boltzmann, $K=1.381 \cdot 10^{-23}$ [J/K], T a temperatura absoluta, assumida temperatura ambiente de $T=300K$, μ a mobilidade efetiva dos portadores no canal, Q'_I a densidade de carga de inversão, L e W as dimensões do transistor MOS, comprimento e largura respectivamente. Considera-se ainda que um potencial de canal (potencial reverso efetivo) em relação ao corpo do transistor é estabelecido, denominado V_{CB} , que varia desde V_{SB} no terminal de fonte a V_{DB} no terminal de dreno do transistor conforme indicado na Fig.25. As tensões de ruído Δv produzidas pelos infinitos elementos diferenciais modificarão a distribuição do potencial V_{CB} ao longo do canal, como representado esquematicamente na mesma figura. É interessante observar que a amplitude destas perturbações não depende diretamente do perfil do potencial V_{CB} ao longo do canal e sim da densidade

de carga de inversão. Assim, mesmo para a condição $V_{DB}=V_{SB}$ ($V_{DS}=0$) desde que haja inversão do canal, ocorrem variações de tensão ao longo do canal.

Na Fig.25, a partir da posição x associada ao elemento diferencial, dois transistores equivalentes podem ser obtidos cujas dimensões são: $\Delta y/x$ e $\Delta y/(L-x)$. A tensão de ruído gerada pelo elemento diferencial na posição x produz uma corrente que flui simultaneamente através dos transistores equivalentes. Esta corrente, portanto, se adiciona à corrente DC que flui pelos transistores equivalentes, de acordo com a Eq.19.

$$ID + \Delta i = \frac{\Delta y}{x} \cdot \mu \cdot \int_{V_{SB}}^{V(x)} Q'_I \cdot dV = \frac{\Delta y}{L-x} \cdot \mu \cdot \int_{V(x)+\Delta v}^{V_{DB}} Q'_I \cdot dV \quad (19)$$

Eliminando-se o termo x e a tensão associada $V(x)$ na Eq.19, após algumas operações algébricas, a expressão para a corrente total no canal de largura Δy pode ser determinada a partir da Eq.20.

$$ID + \Delta i = \frac{\Delta y}{L} \cdot \mu \cdot \int_{V_{SB}}^{V_{DB}} Q'_I \cdot dV + \frac{\Delta y}{L} \cdot \mu \cdot Q'_I \cdot \Delta v \quad \Delta v = \Delta R \cdot \Delta i + v_t \approx v_t \quad (20)$$

Observando-se na Eq.20 que o primeiro termo corresponde à corrente DC em um transistor MOS de largura Δy e considerando-se que $\Delta v = V_t$, algumas relações podem ser escritas para a corrente elementar de ruído produzida pelo elemento $\Delta x \Delta y$ que flui na direção x , indicadas na Eq.21.

$$\Delta i = \frac{\Delta y}{L} \cdot \mu \cdot Q'_I \cdot v_t = \frac{\Delta y}{L} \cdot \mu \cdot Q'_I \cdot \Delta R_x \cdot i_t = \frac{\Delta y}{L} \cdot \mu \cdot Q'_I \cdot i_t \cdot \frac{\Delta x}{\mu \cdot Q'_I \cdot \Delta y} = \frac{\Delta x}{L} \cdot i_t \quad (21)$$

Tomando-se o valor quadrático médio da Eq.21, obtém-se a PSD gerada pela área elementar, Eq.22.

$$\Delta S_x = \overline{\Delta i^2} = \overline{\left[\frac{\Delta x}{L} \cdot i_t \right]^2} = \left[\frac{\Delta x}{L} \right]^2 \cdot \overline{i_t^2} = \left[\frac{\Delta x}{L} \right]^2 \cdot \frac{4 \cdot K \cdot T}{\Delta R_x} = 4 \cdot K \cdot T \cdot \left[\frac{\Delta x}{L} \right]^2 \cdot \frac{\mu \cdot Q'_I \cdot \Delta y}{\Delta x} = \frac{4 \cdot K \cdot T \cdot \mu}{L^2} \cdot Q'_I \cdot \Delta x \cdot \Delta y \quad (22)$$

Integrando-se este valor ao longo do canal, obtém-se a expressão geral para a densidade espectral de corrente de ruído em um transistor MOS conforme indicado na Eq.23. Deve ser observado que dependendo do modelo adotado para a carga de inversão total do canal, o modelo pode ser usado em qualquer região de operação do transistor MOS.

$$S_x = \int_0^L \int_0^W \frac{4.K.T.\mu}{L^2} Q'_I .dy .dx = \frac{4.K.T.\mu}{L^2} Q_I \quad (23)$$

A partir da expressão para a carga total de canal, a corrente de ruído pode ser calculada utilizando-se a Eq.23. A expressão deduzida é válida para qualquer região de operação do transistor MOS, seja em fraca, moderada ou mesmo inversão forte. No caso de fraca inversão, o ruído *shot* produzido pela corrente de difusão se reduz ao ruído térmico se o equilíbrio térmico for mantido [21]. A carga total de inversão pode ser calculada a partir do modelo clássico de “folha de cargas” [20], [21]. Considerando-se inversão forte e operação na região linear, a densidade espectral de ruído de corrente pode ser determinada a partir da Eq.24 onde g_{ds} se refere à condutância do canal enquanto que na Eq. 25, g_m se refere à transcondutância do transistor.

$$S_i = 4.K.T.\frac{W}{L}.\mu.C_{OX}.(V_{GS} - V_T) = 4.K.T.g_{ds} \quad (24)$$

Na região de saturação, Eq.23 se reduz à conhecida relação, Eq.25.

$$S_i = 4.K.T.\left[\frac{2}{3}.\frac{W}{L}.\mu.C_{OX}.(V_{GS} - V_T)\right] = \frac{8}{3}.K.T\alpha.g_m \quad (25)$$

Na dedução realizada, considerou-se apenas corrente de ruído na direção longitudinal do transistor, que se adicionam à corrente principal. Como se trata, na realidade, de uma superfície de cargas, potencialmente capazes de gerar ruído em qualquer direção, um resistor elementar bi-dimensional pode ser considerado. Desta forma, uma análise semelhante pode ser realizada para a corrente de ruído transversal, ou seja, que flui em uma direção transversal à corrente DC do transistor.

Basicamente todas as considerações feitas na dedução do modelo de corrente de ruído longitudinal podem ser reaplicadas. Interessante observar que em um transistor MOS convencional, as componentes transversais de corrente de ruído não são detectadas externamente, pois as mesmas são curto-circuitadas pelos terminais de dreno e fonte, logo, não contribuem para a corrente total de ruído. No caso de um transistor tipo *split-drain* este efeito de curto-circuito não ocorre, portanto em tese, a componente transversal da corrente de ruído adiciona-se à componente longitudinal, causando ruído em excesso. A Fig.26 ilustra o mesmo elemento diferencial gerando uma corrente de ruído na direção y . Nesta direção, o perfil do potencial V_{CB} do canal é constante, entretanto de acordo com a dedução a seguir, a corrente de ruído transversal deve existir.

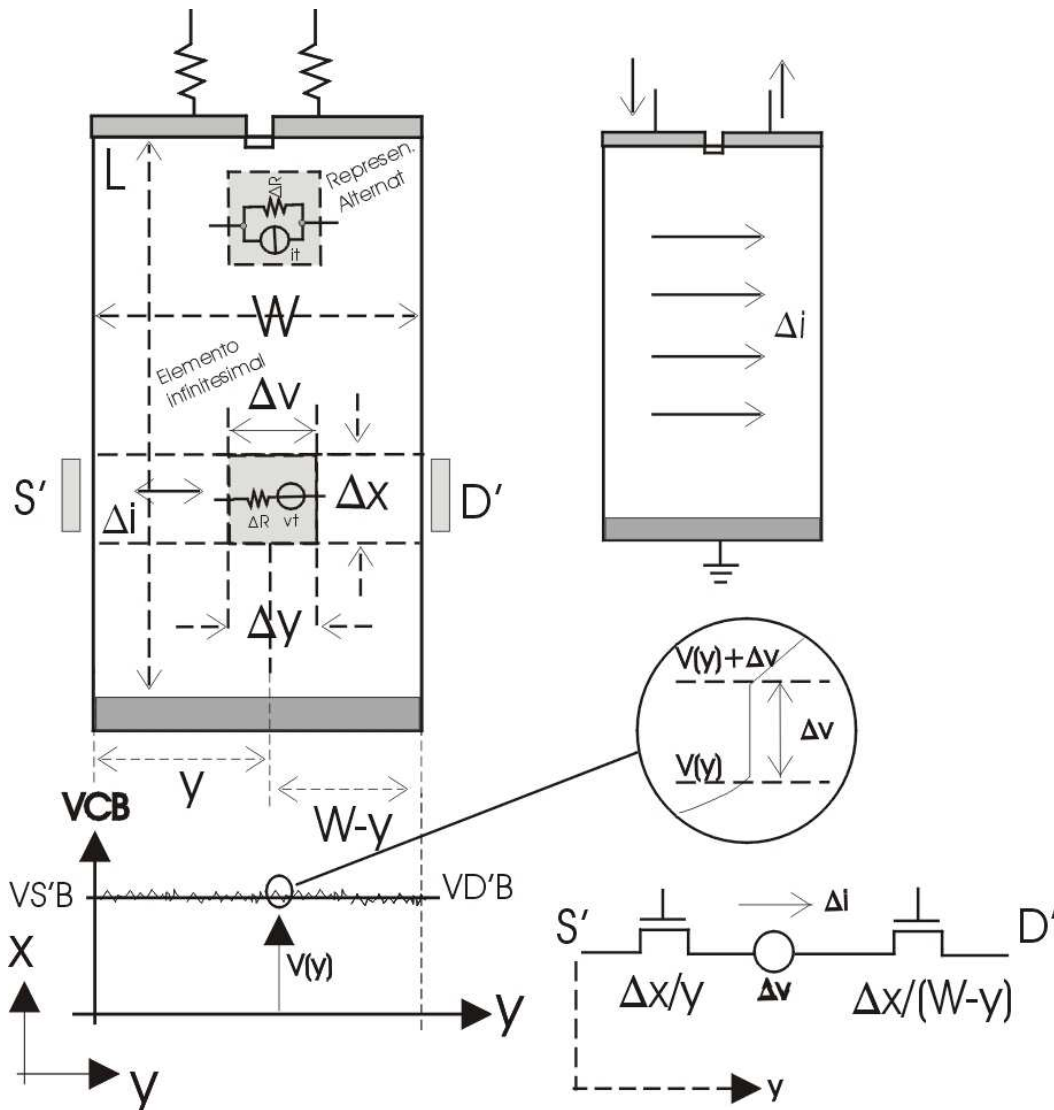


Fig. 26. Modelo de Folha de Cargas para determinação do ruído lateral em transistor MOS

Procedendo exatamente como antes, a corrente DC (supondo-se existir na direção transversal) que flui simultaneamente nos dois transistores representativos do segmento do canal na direção transversal é indicada na Eq.26.

$$ID + \Delta i = \frac{\Delta x}{y} \cdot \mu \cdot \int_{V_{S'B}}^{V_y} Q'_I \cdot dV = \frac{\Delta x}{W - y} \cdot \mu \cdot \int_{V_y + \Delta v}^{V_{D'B}} Q'_I \cdot dV \quad (26)$$

Eliminando-se a variável y , obtém-se a Eq.27.

$$ID + \Delta i = \frac{\Delta x}{W} \cdot \mu \cdot \int_{V_{S'B}}^{V_{D'B}} Q'_I \cdot dV + \frac{\Delta x}{W} \cdot \mu \cdot Q'_I \Delta v \quad \Delta v = \Delta R \cdot \Delta i + v_t \approx v_t \quad (27)$$

Na Eq.27, $V_{S'B} = V_{D'B}$, logo a integral anula-se e não há corrente DC na direção transversal. O termo representativo da variação de tensão produzida pelo gerador de ruído do elemento infinitesimal, entretanto continua existindo. Desconsiderando-se a queda no resistor diferencial ($\Delta v = V_t$) obtêm-se expressões equivalentes para a corrente diferencial de ruído transversal.

$$\Delta i = \frac{\Delta x}{W} \cdot \mu \cdot Q'_I \Delta v = \frac{\Delta x}{W} \cdot \mu \cdot Q'_I v_t = \frac{\Delta x}{W} \cdot \mu \cdot Q'_I \cdot \Delta R_y \cdot i_t = \frac{\Delta y}{W} \cdot i_t \quad (28)$$

Tomando-se o valor quadrático médio da Eq.28, obtém-se a PSD diferencial, Eq.29.

$$\begin{aligned} \Delta S_y = \overline{\Delta i^2} &= \overline{\left[\frac{\Delta x}{W} \cdot \mu \cdot Q'_I v_t \right]^2} = \left[\frac{\Delta x}{W} \cdot \mu \cdot Q'_I \right]^2 \cdot \overline{v_t^2} = \left[\frac{\Delta x}{W} \cdot \mu \cdot Q'_I \right]^2 \cdot 4 \cdot K \cdot T \cdot \Delta R_y = \\ &= 4 \cdot K \cdot T \cdot \left[\frac{\Delta x}{W} \cdot \mu \cdot Q'_I \right]^2 \cdot \frac{\Delta y}{\mu \cdot Q'_I \cdot \Delta x} = \frac{4 \cdot K \cdot T \cdot \mu}{W^2} Q'_I \cdot \Delta x \cdot \Delta y \end{aligned} \quad (29)$$

Integrando-se a PSD diferencial ao longo do canal, obtém-se a expressão geral para a densidade espectral de corrente de ruído transversal em um transistor MOS conforme indicado na Eq.30.

Observe-se que dependendo do modelo adotado para a carga de inversão total do canal, o modelo pode ser usado em qualquer região de operação do transistor MOS.

$$S_y = \int_0^L \int_0^W \frac{4.K.T.\mu}{W^2} Q'_I . dy . dx = \frac{4.K.T.\mu}{W^2} Q_I \quad (30)$$

Esta corrente de ruído transversal é calculada na ausência da influência das dimensões do *gap* do transistor *split-drain*. Observações experimentais indicaram uma dependência da corrente transversal de ruído com a largura do *gap* (ΔW) em transistores *split-drain*. Menores relações $\Delta W/W$ proporcionam medidas mais concordantes com a análise teórica, ou seja, a corrente de ruído transversal (medida indiretamente através da correlação de ruído) se aproxima do valor teórico previsto na Eq.30. Uma análise detalhada desta dependência exigiria a confecção de diversas geometrias de transistores *split-drain* para ensaios experimentais e busca da correlação, sendo, assim, objeto de estudos futuros.

Modificação do Modelo para Análise de Ruído 1/f na Direção Transversal

Na sequência, apresenta-se uma adequação do modelo de ruído térmico de forma a estendê-lo à análise de ruído em baixas frequências em transistores MOS. O procedimento foi adotado de [25]. A corrente longitudinal segue o tratamento dado em [25], enquanto que a corrente transversal pode ser obtida a partir da análise a seguir, para ruído 1/f de excesso em transistores *split-drain*.

A aproximação fundamental baseia-se na dependência linear da densidade de carga de inversão com o potencial de superfície, $dQ'_I / d\psi_s = n.C_{OX}$, onde $n = \alpha = 1 + \gamma / 2.\sqrt{2\phi_F}$. Q'_I refere-se à densidade de carga de inversão, ψ_s o potencial de superfície, C_{OX} a capacitância de óxido, ϕ_F o potencial de Fermi, γ o coeficiente de efeito de corpo. Adicionalmente, $Q'_I = q.N$, onde q refere-se à

carga do elétron e N corresponde à densidade de portadores no canal. Aplicando-se as relações acima à equação fundamental de corrente no transistor MOS de largura Δy (Fig.26) obtém-se a Eq.31.

$$I_D = \mu \cdot \Delta y \cdot (-Q'_I) \cdot \frac{d\psi_s}{dx} + \mu \cdot \Delta y \cdot \phi_T \cdot \frac{dQ'_I}{dx} = \frac{\mu \cdot \Delta y}{n \cdot C_{ox}} \cdot [-Q'_I + n \cdot \phi_T \cdot C_{ox}] \cdot \frac{dQ'_I}{dx} \quad (31)$$

Partindo-se das Eq.28 e Eq.29 deduzidas, que representam a corrente de ruído térmica diferencial produzida por uma área elementar do canal $\Delta A = \Delta x \cdot \Delta y$, substitui-se o índice “t” de térmico por “f” de *flicker*, obtendo-se a corrente correspondente ao ruído *flicker* na direção transversal $\Delta i = (\Delta y / W) \cdot i_f$ (Vide Eq.28). As correntes de ruído de baixa frequência em transistores MOS são atribuídas à existência de estados de superfície na região da interface SiO₂-Si que proporcionam variações locais da densidade de portadores de carga com impacto direto na densidade de carga de inversão [22], [23]. Assim, estes estados de superfície atuam como “armadilhas” (*traps*) localizadas para os portadores do canal causando as variações do número dos mesmos. Por outro lado, a existência de centros de recombinação na região de depleção (*Shockley-Read-Hall centres*) contribui para o ruído 1/f minoritariamente [24]. Geração de ruído 1/f é também associada à variação na mobilidade dos portadores do canal, mas em menor escala quando comparada à flutuação do número de portadores.

Considerando-se a corrente incremental de ruído como associada à variações do número de portadores, pode-se escrever $i_f = I_D \cdot \frac{\delta N}{N}$ onde δN corresponde à variação do número de portadores do canal em uma área $\Delta A = \Delta x \cdot \Delta y$ e N à densidade nominal dos mesmos (Q'_I/q). Deve-se observar que a variação do número de portadores na área elementar produz correntes de ruído nas direções longitudinal e transversal, cuja densidade espectral pode ser escrita como $S_f = I_D^2 \cdot \frac{S_N}{N^2}$. Seguindo-se [25], a densidade espectral (PSD) da variação δN portadores na área $\Delta A = \Delta x \cdot \Delta y$ pode ser representada na Eq. 32.

$$S_N = \frac{N_{OT} \cdot Q_I'^2}{\Delta A \cdot (Q_I' - n \cdot C_{OX} \cdot \phi_T)^2} \cdot \frac{1}{f} \quad (32)$$

N_{OT} refere-se a um parâmetro de processo, o número efetivo de “armadilhas” que deve ser ajustado à equação. Combinando-se as Eq.31 e Eq.32 e operando-se algebricamente, obtém-se a PSD de corrente de ruído produzida na área elementar na direção transversal, Eq.33.

$$\begin{aligned} \Delta S_f &= \overline{\Delta i^2} = \frac{\Delta y^2}{W^2} \cdot S_f = \frac{\Delta y^2}{W^2} \cdot I_D^2 \cdot \frac{S_N}{N^2} = \frac{\Delta y^2}{W^2} \cdot I_D^2 \cdot \frac{1}{N^2} \cdot \frac{N_{OT} \cdot Q_I'^2}{\Delta A \cdot (Q_I' - n \cdot C_{OX} \cdot \phi_T)^2} \cdot \frac{1}{f} \\ &= \frac{\Delta y^2}{W^2} \cdot I_D^2 \cdot \frac{q^2}{Q_I'^2} \cdot \frac{N_{OT} \cdot Q_I'^2}{\Delta x \cdot \Delta y \cdot (-Q_I' + n \cdot C_{OX} \cdot \phi_T)} \cdot \frac{1}{f} \cdot \frac{\mu \cdot \Delta y \cdot dQ_I'}{\Delta x \cdot n \cdot C_{OX} \cdot I_D} \\ &= \frac{\Delta y^2}{\Delta x^2} \cdot \frac{q^2 \cdot N_{OT} \cdot I_D \cdot \mu}{n \cdot C_{OX} \cdot W^2} \cdot \frac{1}{f} \cdot \frac{dQ_I'}{(n \cdot C_{OX} \cdot \phi_T - Q_I')} = \frac{q^2 \cdot N_{OT} \cdot I_D \cdot \mu}{n \cdot C_{OX} \cdot W^2} \cdot \frac{1}{f} \cdot \frac{dQ_I'}{(n \cdot C_{OX} \cdot \phi_T - Q_I')} \end{aligned} \quad (33)$$

Após a integração, obtém-se a Eq.34 que representa a PSD de corrente transversal de ruído $1/f$ em um transistor MOS do tipo *split-drain*. Assim, a corrente de ruído transversal depende da densidade de cargas de inversão nos terminais de dreno e *source* do transistor. A Eq.34 é válida em fraca inversão, moderada ou forte.

$$S_f = \frac{q^2 \cdot N_{OT} \cdot I_D \cdot \mu}{n \cdot C_{OX} \cdot W^2} \cdot \frac{1}{f} \cdot \int_{Q'_{IS}}^{Q'_{ID}} \frac{dQ_I'}{(n \cdot C_{OX} \cdot \phi_T - Q_I')} = \frac{q^2 \cdot N_{OT} \cdot I_D \cdot \mu}{n \cdot C_{OX} \cdot W^2} \cdot \frac{1}{f} \cdot \ln \left[\frac{n \cdot C_{OX} \cdot \phi_T - Q'_{IS}}{n \cdot C_{OX} \cdot \phi_T - Q'_{ID}} \right] \quad (34)$$

Inclusão de efeitos de segunda ordem (Variação da Mobilidade e Velocidade de Saturação)

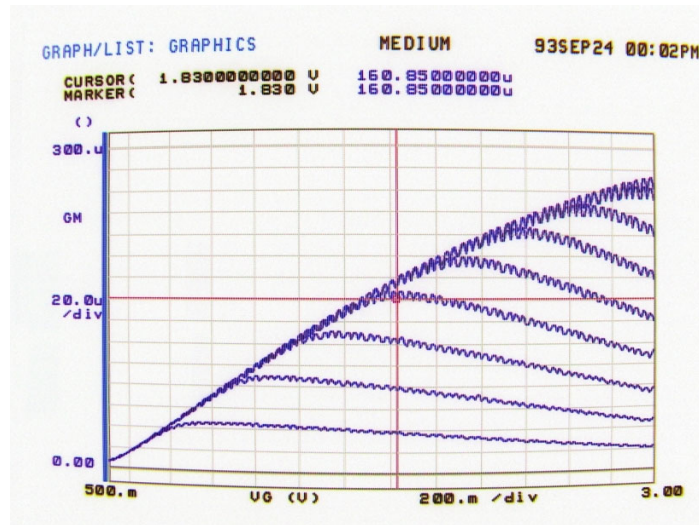
Efeitos de segunda ordem afetam a precisão dos modelos gerais deduzido para ruído. A variação na mobilidade do portador no canal é atribuída principalmente à ação do campo vertical, que ao atrair os portadores contra a interface Si-SiO₂ proporciona um efeito de “atrito”. Por outro lado, o campo elétrico longitudinal proporcionado pela tensão V_{DS} tende a reduzir o efeito do campo vertical, restaurando parcialmente a mobilidade original [20]. Assim, a mobilidade de canal, que já é

praticamente metade da mobilidade de *bulk*, sofre os efeitos destes campos combinados e pode ser reduzida ainda mais. O parâmetro mobilidade efetiva μ_{EFF} traduz o efeito dos campos combinados e é um parâmetro de processo que pode ser utilizado para fins de projeto. Entretanto, medidas realizadas que serão reportadas logo a seguir, mostraram que a mobilidade efetiva apresenta uma variação de até 30% dependendo da polarização. Assim, as medidas de ruído devem prever esta variação, já que o ruído em um transistor MOS depende da mobilidade efetiva.

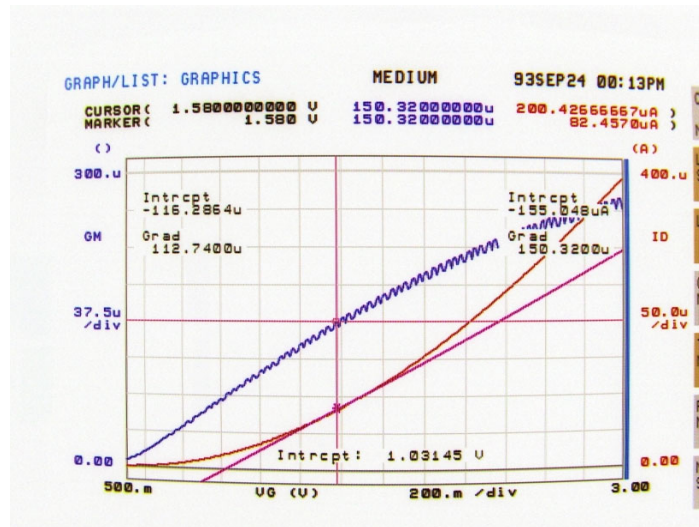
Considerando um transistor MOS-N ($10\mu/10\mu$) construído em tecnologia CSD035, cujos parâmetros de processo: $K_{PN}=\mu.C_{OX}=170\mu$, $V_{TO}=0.46V$, $\gamma=0.58$, $C_{OX}=4.54.10^{-2}$ F/m², $\mu_{EFF}=0.037$ m²/V.s, $\phi_F=0.434V$, $\alpha=1.313$ e utilizando-se o analisador de parâmetros de semicondutores HP4155, determinou-se a variação da transcondutância para o transistor como função da tensão V_{GS} , parametrizada em passos de $V_{DS}=0.25V$, Fig. 27. A partir deste parâmetro, determinou-se a variação correspondente na mobilidade efetiva para o transistor operando na região de saturação [26]. A equação utilizada baseia-se na operação do transistor MOS em regime de saturação.

$$\mu_{EFF}(V_{GS}) = \frac{g_m(V_{GS}).\alpha}{C_{OX} \cdot (V_{GS} - V_T)} \cdot \frac{L}{W} \quad \mu_{EFF} = \frac{\mu_0}{1 - \theta \cdot (V_{GS} - V_T)} \quad \theta = 0.35.V^{-1} \quad \mu_0 = 0.05m^2 / V.sec$$

Na seqüência ajustou-se uma função usual na literatura que define a variação da mobilidade com o campo vertical [20], onde $\theta=0.35V^{-1}$ foi o parâmetro ajustado. Estas considerações são importantes na determinação das correntes de ruído longitudinal e transversal, que são afetadas pelo parâmetro mobilidade do transistor. A mobilidade ainda depende da condição de polarização do *split-drain*. Assim, na determinação das correntes de ruído, serão utilizados os valores medidos da mobilidade em função da polarização do transistor.

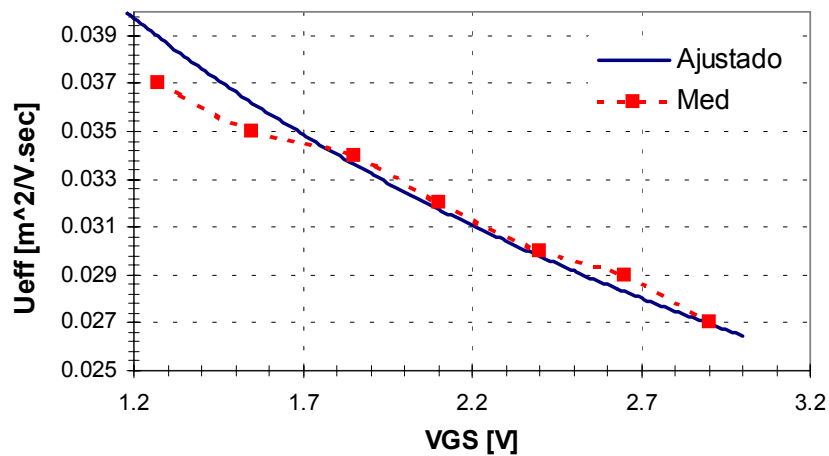


(a)



(b)

Mobilidade Efetiva-Limiar-Saturação



(c)

Fig. 27. Medidas Realizadas no HP4155 MOSN 10/10 CSD035: (a) Curvas de transcondutância parametrizadas em $V_{DS}=0.25V$. (b) Curva de transcondutância para $V_{DS}=3V$ e máxima derivada [26]. (c) Variação da Mobilidade efetiva medida e ajustada

Efeito da velocidade de saturação:

Em transistores de canal curto operando na saturação, a região de depleção (*pinchoff*) pode assumir um comprimento comparável à dimensão do canal. Neste caso, sendo nula a carga de inversão na região de depleção, o ruído gerado pelos portadores através da região de depleção dependerá do campo elétrico através da mesma. Este efeito é conhecido como *hot carriers*, em referência à temperatura do portador ser dependente do campo elétrico a que o mesmo está submetido [3]. Como os sensores magnéticos em geral não apresentam efeitos de canal curto, não há necessidade de se aprofundar neste tópico.

2.8. VERIFICAÇÃO EXPERIMENTAL

Alguns testes, visando a validação experimental do modelo e a influência da mobilidade foram realizados. Por razões de conveniência e como procedido anteriormente, os valores indicados são os correspondentes aos valores lidos no instrumento analisador de sinal. Assim, as expressões são multiplicadas pelo ganho do circuito de instrumentação, projetando-se os resultados para a saída do circuito.

1-Verificação do Ruído Térmico-Região de Saturação

Nesta verificação, a densidade espectral de ruído na faixa térmica gerado por um transistor MOS-10/10 CSD035 operando na região de saturação é visualizada. O analisador de sinal HP3561 é ajustado em $f=100\text{KHz}$, $BW=25\text{Hz}$, $SPAN=10\text{KHz}$. A instrumentação apresenta ganho $G=1900$ na frequência considerada. Aplica-se a expressão que define a densidade espectral de tensão projetada para a saída do circuito, Eq.35. Compara-se então com os resultados medidos. A faixa de erro de medida indicada nos segmentos verticais corresponde a um erro total de 10%. Uma simulação em ORCAD ajuda a verificar possíveis discrepâncias. O ruído acrescentado pelo *setup* projetado para a

saída corresponde a $20\mu V/\sqrt{\text{Hz}}$. A transcondutância do MOS é determinada a partir das medidas de mobilidade efetiva realizadas no HP4155, Fig.27. A resistência equivalente vale $R=32K\Omega$, $G=1900$, MOS-N-10/10 construído em tecnologia CSD035, com parâmetros de processo: $K_{PN}=\mu.C_{OX}=170\mu$, $V_{TO}=0.46V$, $\gamma=0.58$, $C_{OX}=4.54.10^{-2} F/m^2$, $\mu_{EFF}=0.037 m^2/V.s$, $\phi_F=0.434V$, $\alpha=1.313$.

$$S_{out} = \sqrt{\left(\sqrt{\left(\frac{8}{3} K.T.\alpha.g_m + \frac{4.K.T}{R} \right) R.G} \right)^2 + (20.10^{-6})^2} \quad (35)$$

Esta verificação experimental corrobora a influência da mobilidade no comportamento do ruído, através do parâmetro transcondutância g_m . Para fins de comparação, na Fig.28 estão representadas as densidades espectrais de tensão de ruído medidas, simuladas em PSpice e calculadas de acordo com os modelos de mobilidade constante ($\mu_{EFF}=0.037 m^2/V.s$) e as mobilidades medidas no HP4145.

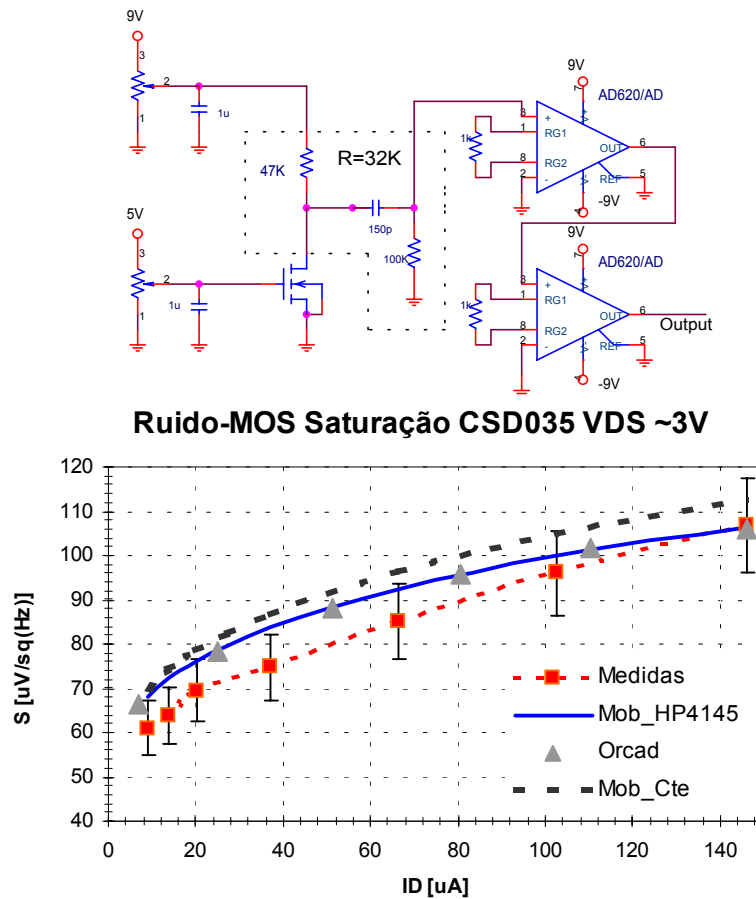


Fig. 28. Verificação experimental do Ruído Térmico MOS-N 10/10 (f=100KHz)

2-Verificação do Ruído Térmico-Região Linear

Similarmente, verifica-se o ruído térmico para o MOS operando na região linear. A combinação dos resistores e condutância de canal do transistor gera um resistor equivalente R_{EQ} . As expressões para a determinação da condutância-MOS operando na região linear e para obtenção da densidade espectral de ruído projetada para a saída são indicadas na Eq.36.

$$g_{ds} = \frac{W}{L} \cdot \mu_{EFF} \cdot C_{OX} \cdot (V_{GS} - VT - \alpha \cdot V_{DS}) \quad R_{EQ} = \frac{R}{R \cdot g_{ds} + 1} \quad S = \sqrt{4 \cdot K \cdot T \cdot R_{EQ}} \cdot G \quad (36)$$

Nestas expressões, μ_{EFF} refere-se à mobilidade efetiva obtida a partir de medidas em função da condição de polarização do transistor, como realizado anteriormente. Alternativamente, a condutância MOS pode ser obtida a partir de medições diretas, como indicada na Fig.29 para o transistor MOSN 10/10 CSD035. As curvas foram obtidas no analisador de parâmetros de semicondutores HP4155. O *setup* utilizado foi o mesmo da medida na região de saturação. Observa-se que a combinação em paralelo dos resistores acarreta uma diminuição do nível da densidade espectral de ruído que se mistura com o ruído do *setup*, aumentando a incerteza da medida.

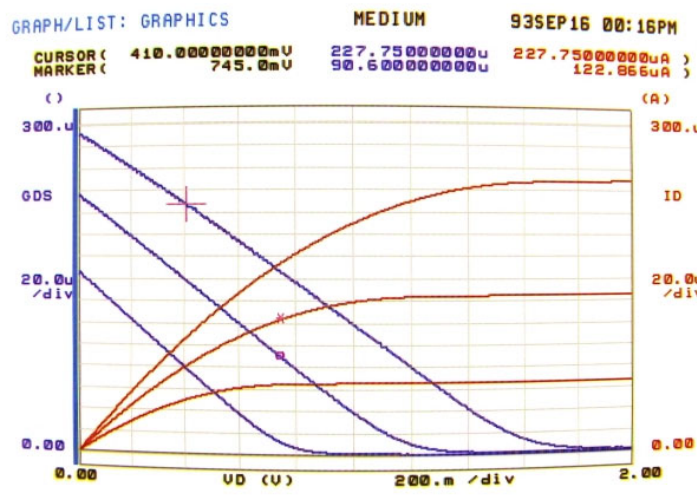


Fig. 29. Verificação experimental do Ruído Térmico na região linear. (a) Medida da condutância do canal

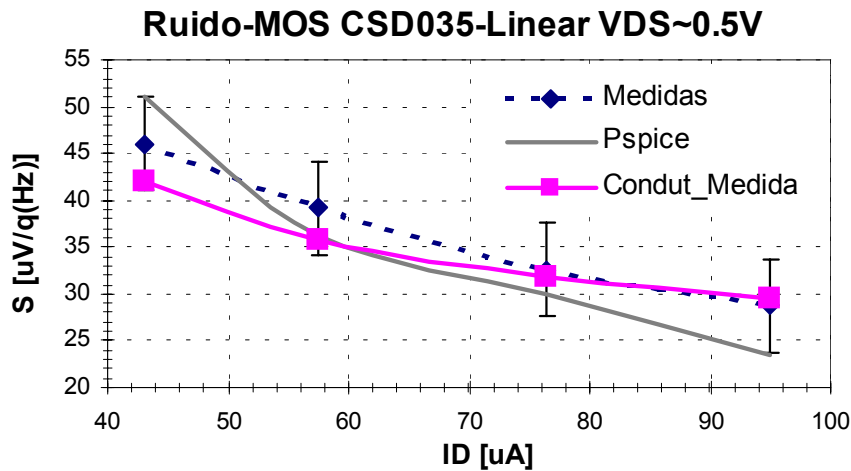


Fig. 29(Cont). (b) Ruído térmico medido em 100KHz.

Observa-se nestas medidas que os valores de densidade espectral de ruído calculados a partir da medida da condutância do canal (*Condut_Med*) do MOS e substituídos na Eq.36 proporcionam resultados mais próximos aos valores de densidade espectral de ruído medidos. A simulação em PSpice apresentou resultados ligeiramente discrepantes.

3-Verificação das Correntes de Ruído Longitudinal e Transversal

A análise a seguir identifica a presença das correntes longitudinal e transversal como geradoras de ruído em uma geometria MOS diferenciada. Trata-se de um transistor MOS com dois contatos de dreno e dois de *source* posicionados perpendicularmente como indicado na Fig.30 juntamente com a instrumentação associada. A aplicação de uma tensão V_{GS} cria uma superfície de cargas potencialmente capaz de gerar correntes de ruído nas direções longitudinal e transversal que fluirão superpostas às correntes DC longitudinal e transversal respectivamente. Esta carga de inversão permite o fluxo das correntes combinadas ($I_{Long} + I_{Trans}$). Considera-se o transistor operando na região

saturação, com as duas junções de dreno depletadas de sorte a aproveitar a característica de fonte de corrente nas duas direções. Basicamente, considera-se dois transistores MOS operando independentemente na região de saturação sob ação do mesmo campo vertical de *gate*. A estrutura foi implementada em tecnologia CYB-AMS cujos parâmetros de processo correspondentes: $K_{PN}=\mu.C_{OX}=100\mu$, $V_{TO}=0.82V$, $\gamma=0.73$, $C_{OX}=2.16.10^{-2} \text{ F/m}^2$, $\mu_{EFF}=0.0463 \text{ m}^2/V.s$, $\phi_F=0.407V$, $\alpha=n=1.405$. O transistor apresenta dimensões $L=180\mu$, $W=46\mu$. Os demais parâmetros do circuito: $R_T=10K$, $R_L=47K$. $G=1900$. As densidades espectrais da corrente de ruído podem ser calculadas a partir da Eq.37. Com o auxílio de $Q'_I = \frac{2}{3}.W.L.C_{OX}.(V_{GS} - V_{TO})$ estas expressões podem ser escrita em

função das transcondutâncias transversal e longitudinal, $g_{mT} = \sqrt{2.\frac{K_P}{\alpha}.\frac{L}{W}.I_T}$ e $g_{mL} = \sqrt{2.\frac{K_P}{\alpha}.\frac{W}{L}.I_L}$ respectivamente, como usual em transistores MOS convencionais.

$$i_T^2 = \frac{4.K.T.\mu_T.Q_I}{W^2} = \frac{8}{3}.K.T.g_{mT}.\alpha = s_T \quad i_L^2 = \frac{4.K.T.\mu_L.Q_I}{L^2} = \frac{8}{3}.K.T.g_{mL}.\alpha = s_L \quad (37)$$

As densidades espectrais de corrente de ruído nas direções longitudinal e transversal projetadas para a saída do circuito podem ser calculadas com o auxílio da Eq.38, onde se considera a contribuição não-correlata do ruído da instrumentação. Nestas expressões, omitiu-se a combinação em paralelo dos resistores R_L e R_T com o resistor de 100K, mas a associação deve ser considerada. Substituindo-se os parâmetros nas equações, compara-se com os resultados medidos no analisador de sinal HP3561.

$$S_L = \sqrt{\left(\sqrt{s_L + \frac{4.K.T}{R_L}.R_L.G}\right)^2 + (20.10^{-6})^2} \quad S_T = \sqrt{\left(\sqrt{s_T + \frac{4.K.T}{R_T}.R_T.G}\right)^2 + (20.10^{-6})^2} \quad (38)$$

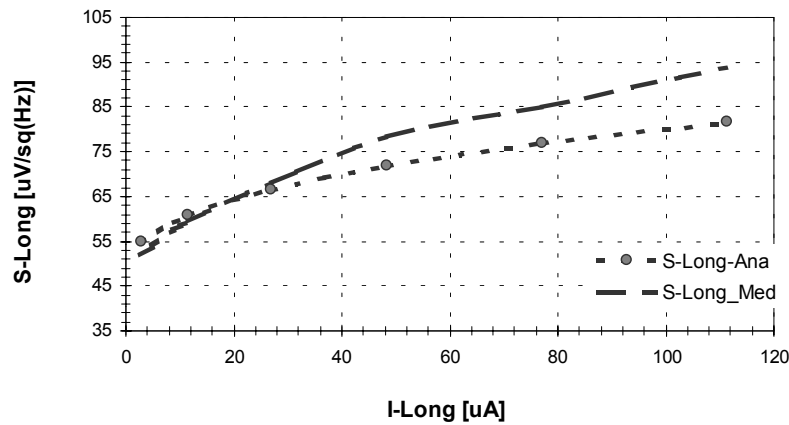
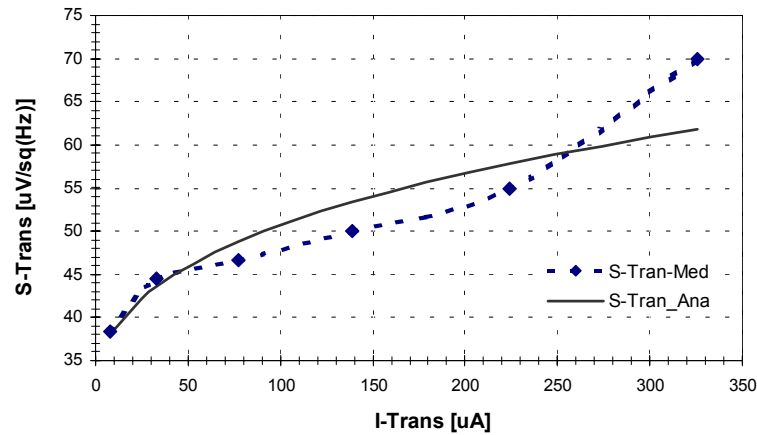
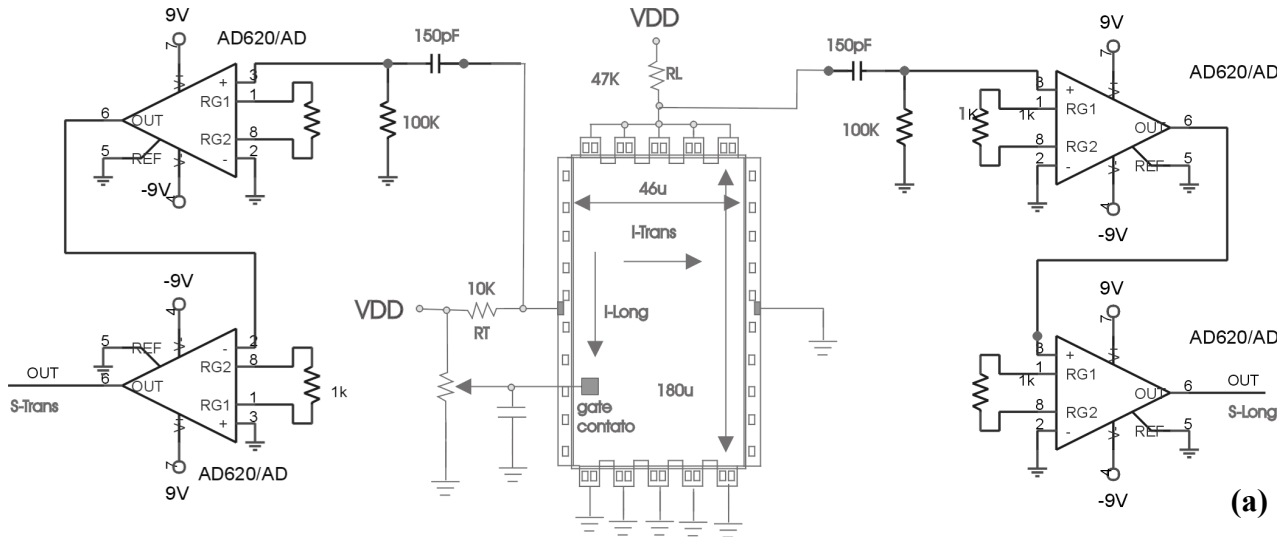


Fig. 30. Verificação das correntes de ruído longitudinal e transversal em uma estrutura MOS 2-drenos-2-sources. (a) Circuito implementado. (b) Densidade Espectral de corrente ruído transversal. (b) Densidade Espectral de corrente ruído longitudinal.

Observa-se uma correspondência bastante razoável entre o modelo teórico e os valores medidos. De fato, a carga de inversão se distribui no canal de forma a propiciar o fluxo de corrente DC nas duas direções. Associados a esta carga de inversão, duas correntes de ruído independentes fluem pelo dispositivo. A Fig.31 ilustra as correntes DC longitudinal, transversal e as densidades espectrais de ruído medidas para as direções longitudinal e transversal em função da tensão *gate-source* de polarização.

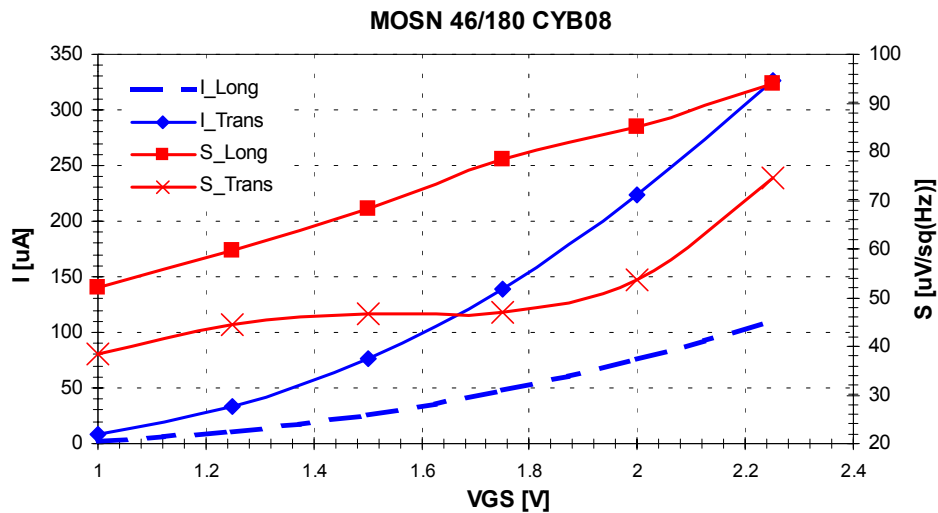


Fig. 31. Correntes DC longitudinal e transversal e densidades espectrais de ruído associadas

As correntes de ruído em cada direção são completamente não correlatas conforme verificação visual. Conectando-se o transistor como um sensor MOS-Hall onde os contatos transversais atuam como detectores da tensão hall (neste caso, $I_T=0$), também se verificou não correlação entre as tensões de ruído medidas em cada contato transversal com relação ao terra do circuito.

2.9. MODELO PARA ANÁLISE DA CORRELAÇÃO DE RUÍDO EM TRANSISTORES *SPLIT-DRAIN*

A partir das considerações sobre correntes de ruído transversal e longitudinal, um modelo de análise será deduzido que permitirá avaliar o coeficiente de correlação entre as correntes de dreno do transistor *split-drain*. O modelo é deduzido para baixas frequências, onde não se considera acoplamento capacitivo entre os drenos do transistor, logo o coeficiente complexo de correlação se reduz à parte real [28].

O modelo básico divide a componente longitudinal da corrente de ruído do MOS em duas parcelas não-correlatas com metade da PSD. Isto é representado por duas fontes de corrente de ruído nos terminais de dreno do transistor *split-drain*. A componente transversal é considerada como uma terceira parcela, também não correlata às demais, com PSD equivalente à corrente de ruído transversal e representada por uma fonte de corrente conectada entre os terminais de dreno. A região de depleção entre os drenos (no caso do *split-drain* operar em saturação) pode ser representada por uma condutância entre os terminais. Entretanto, esta condutância não gera ruído. Como todo o processo de análise e medição utiliza a conversão corrente-tensão por meio de resistores, os mesmos devem ser incluídos no modelo. A Fig.32 ilustra o circuito equivalente.

As fontes de corrente i_1 e i_2 representam a $\sqrt{\text{PSD}}$ de metade da corrente de ruído longitudinal do transistor mais a contribuição não correlata do resistor R correspondente, Eq.39.

$$\overline{i_1^2} = \overline{i_2^2} = \frac{2.K.T.\mu_L.Q_I}{L^2} + \frac{4.K.T}{R} = \overline{i^2} \quad (39)$$

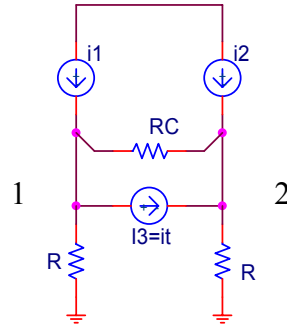


Fig. 32. Modelo para análise

A fonte i_T corresponde à componente $\sqrt{\text{PSD}}$ da corrente de ruído transversal.

$$\overline{i_3^2} = \frac{4.K.T.\mu_T.Q_I}{W^2} = \overline{i_T^2} \quad (40)$$

Deve ser observado que diferentemente do transistor de 2-drenos-2sources analisado anteriormente, o *split-drain* não apresenta uma corrente transversal DC¹. Logo, as correntes de ruído longitudinal e transversal estão associadas com a carga de inversão do canal que determina a corrente total do transistor. Seguindo-se o procedimento [29], a partir do uso de superposição, determina-se as contribuições das fontes individuais em cada ponto de interesse, no caso os pontos 1 e 2 indicados na Fig.32. Projetando-se a contribuição da fonte 1 no ponto 1 tem-se v_{11} . A contribuição da fonte 2 no ponto 1 é v_{21} e assim por diante. Após computar todas as contribuições, realiza-se a soma quadrática dos termos para se obter a PSD equivalente. O coeficiente de correlação será avaliado entre as tensões de ruído medidas nos pontos 1 e 2 como ilustrado na Fig. 32.

$$\begin{aligned} v_{11} &= i_1.R.\frac{R+RC}{2R+RC} & v_{12} &= i_1.R^2.\frac{1}{2R+RC} & v_{21} &= i_2.R^2.\frac{1}{2R+RC} \\ v_{22} &= i_2.R.\frac{R+RC}{2R+RC} & v_{31} &= i_3.R.\frac{RC}{2R+RC} & v_{32} &= -i_3.R.\frac{RC}{2R+RC} \end{aligned} \quad (41)$$

¹ A corrente transversal em um transistor *split-drain* poderia ser associada com a corrente de *offset* entre drenos, mas não se observou experimentalmente relação do *offset* de corrente com a corrente de ruído transversal, logo a mesma deve estar associada com a carga de inversão do canal como previsto pelo modelo teórico.

As contribuições totais nos pontos 1 e 2 corresponderão às parcelas individuais assumidas não correlatas: $v_1 = \sqrt{v_{11}^2 + v_{21}^2 + v_{31}^2}$, $v_2 = \sqrt{v_{12}^2 + v_{22}^2 + v_{32}^2}$ onde v_1 e v_2 correspondem às tensões RMS equivalentes. As operações de soma e diferença das tensões nos pontos 1 e 2 permite determinar o coeficiente de correlação, assumido real. Procedendo-se da mesma forma obtém-se os valores RMS para a soma e diferença, onde os termos correlatos produzidos pela mesma fonte adicionam-se (ou subtraem-se) em uma base linear.

$$v_{1+2} = v_{sum} = \sqrt{(v_{11} + v_{12})^2 + (v_{21} + v_{22})^2 + (v_{31} + v_{32})^2} \quad (42)$$

$$v_{1-2} = v_{DIFF} = \sqrt{(v_{11} - v_{12})^2 + (v_{21} - v_{22})^2 + (v_{31} - v_{32})^2} \quad (43)$$

Após algumas manipulações algébricas obtém-se:

$$v_{1-2} = v_{DIFF} = \frac{R.RC}{2.R + RC} \cdot \sqrt{2.(i^2 + 2.i_T^2)} \quad v_{1+2} = v_{SUM} = R.i.\sqrt{2} \quad (44)$$

$$v_1 = v_2 = \frac{R}{2.R + RC} \cdot \sqrt{i^2.(2.R^2 + 2.R.RC + RC^2) + i_T^2.RC^2} \quad (45)$$

$$C = \frac{v_{SUM}^2 - v_{DIFF}^2}{4.v_1.v_2} = \frac{2.i^2.(R^2 + R.RC) - i_T.RC^2}{2.i^2.(R^2 + R.RC) + i^2.RC^2 + i_T^2.RC^2} \quad (46)$$

Caso $RC \rightarrow \infty$, caso do transistor operando em saturação, com a condutância entre drenos desprezível:

$$C = \frac{-i_T^2}{i^2 + i_T^2} \quad v_1 = v_2 = R\sqrt{i^2 + i_T^2} \quad v_{1-2} = v_{DIFF} = R\sqrt{2.(i^2 + 2.i_T^2)} \quad (47)$$

Substituindo-se i_T e i , $\overline{i_T^2} = \frac{4.K.T.\mu_T.Q_I}{W^2} = i_T^2$ e $\overline{i^2} = \frac{2.K.T.\mu_L.Q_I}{L^2} + \frac{4.K.T}{R} = i^2$, lembrando

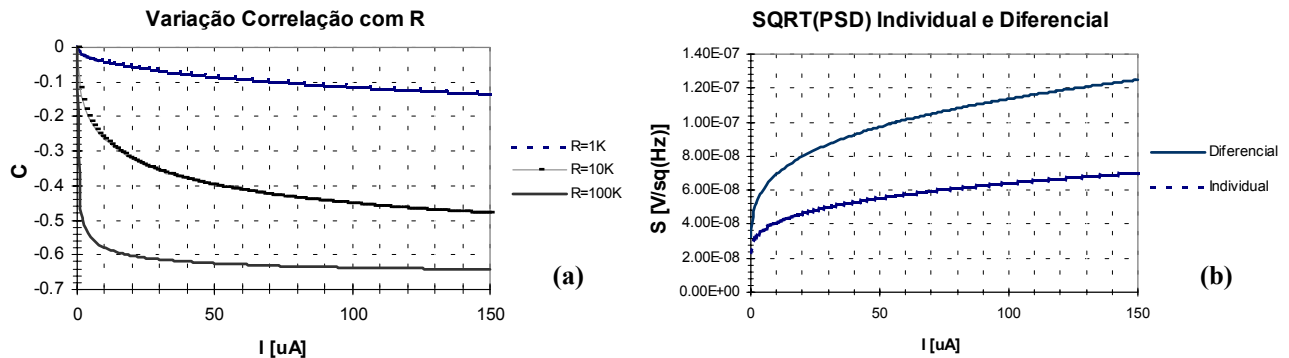
que a carga de inversão pode ser calculada para o transistor operando na região de saturação:

$$Q_I = \frac{2}{3}.W.L.C_{OX}.(V_{GS} - V_T) = \frac{2}{3}.W.L.C_{OX} \cdot \sqrt{\frac{2.\alpha.L.I_D}{\mu_{EFF}.C_{OX}.W}} \quad \text{onde substitui-se a expressão clássica da}$$

corrente de dreno saturada I_D para o transistor MOS. Considera-se ainda para efeitos de simplificação

do modelo que as transcondutâncias transversal- μ_T e longitudinal- μ_L sejam as mesmas, μ_{EFF} do transistor MOS. A partir da definição das equações, o modelo será verificado com base nos parâmetros do transistor *split-drain* MOS-N $L=W=10\mu$: $K_{PN}=\mu.C_{OX}=170\mu$, $V_{TO}=0.46V$, $\gamma=0.58$, $C_{OX}=4.54.10^{-2} F/m^2$, $\mu_{EFF}=0.037 m^2/V.s$, $\phi_F=0.434V$, $\alpha=1.313$. Assume-se uma variação na corrente de polarização de 0 a $150\mu A$. O transistor opera na saturação.

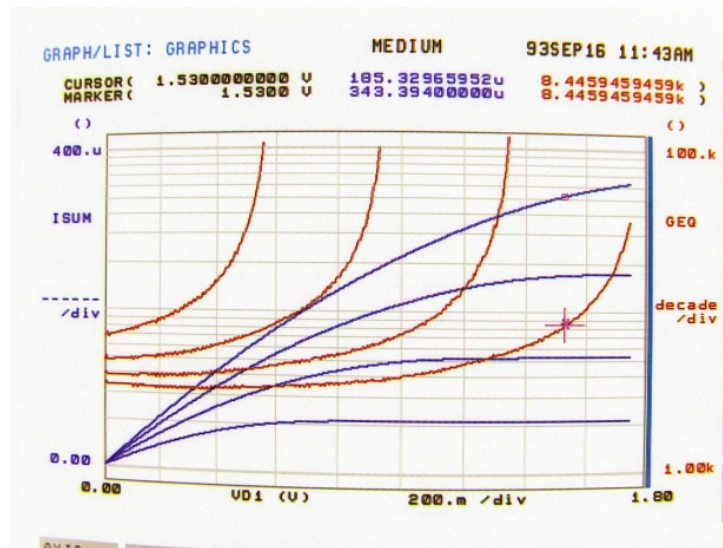
Inicialmente investiga-se o impacto do resistor R (conversor I-V) na correlação medida entre os pontos 1 e 2. A anticorrelação (correlação em oposição de fase) aumenta com o aumento da corrente de polarização do transistor, como verificado experimentalmente. Observa-se também que menores valores de R diminuem a anticorrelação avaliada entre os pontos 1 e 2 do circuito equivalente, Fig.33. Observa-se também o valor RMS das tensões ($\sqrt{\Sigma PSD}$) nos pontos 1 ou 2 (modo individual) ou diferencial. Os valores são crescentes para correntes de polarização.



**Fig. 33. (a) Variação da anticorrelação com I_{BIAS} e R.
(b) Valores RMS individual e diferencial (R=32K)**

O modelo prevê uma condutância entre drenos variável com a condição de polarização do transistor. Na saturação, apresenta valor desprezível. Entretanto, como se verifica experimentalmente e a partir de sua inclusão no modelo, esta condutância tende a reduzir a anticorrelação, até mesmo torná-la nula quando o transistor opera fortemente invertido e na região linear. Na Fig. 34(a) estão representadas medidas da resistência entre drenos. Observa-se que a mesma aumenta à medida que o

transistor entra na região de saturação. No Anexo 2 está deduzida a fundamentação teórica da medida realizada no HP4155 [30]. Na Fig. 34(b) está indicado o coeficiente de correlação obtido analiticamente a partir da inclusão da resistência entre drenos RC. A partir desta consideração, fica intuitivo operar o MAGFET na região linear, pois sendo a correlação de ruído praticamente nula, a relação sinal-ruído aumenta em relação ao caso saturado. A desvantagem de se operar o MAGFET na região linear consiste na forma de detectar o sinal elétrico proveniente do campo magnético, pois nesta condição de operação, perde-se a característica de fonte de corrente do MOS, o que permite a fácil conversão corrente-tensão pelo uso de simples resistores. Na operação em regime linear, o uso de resistores I-V afetará severamente a amplitude do sinal detectado, devido à divisão da corrente entre os resistores e a resistência entre drenos. Circuitos que realizam o processamento do sinal detectado no modo corrente devem ser utilizados neste caso, como por exemplo, espelhos em cascata. Entretanto, o ruído introduzido por estes circuitos pode comprometer o ganho obtido pela eliminação da anticorrelação ao se operar o MOS na região linear. Estas observações foram feitas com base em resultados experimentais.



(a)

Fig. 34. (a) Variação da resistência RC entre drenos com a tensão V_{DS} .

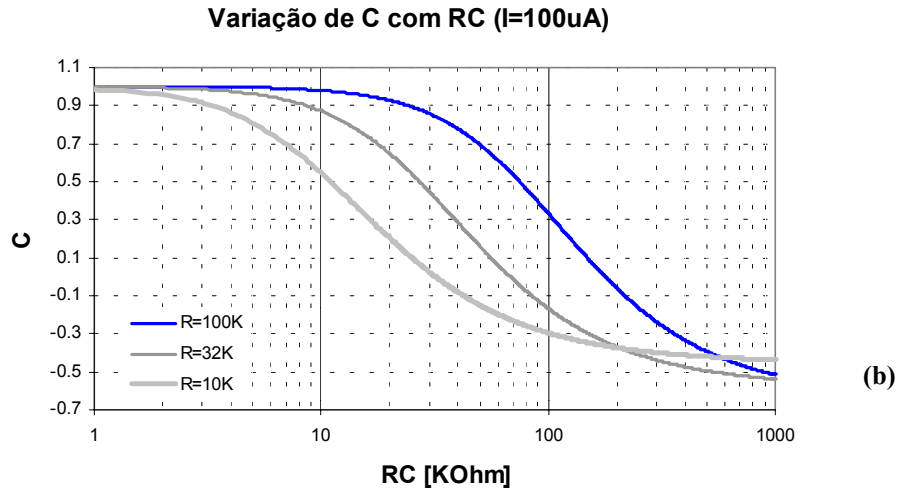


Fig. 34. (Cont). (b) Efeito da resistência entre drenos na correlação.

Para se comprovar a influência da resistência entre drenos, observa-se a correlação visual entre drenos de um transistor *split-drain* conectado a dois resistores conversores I-V e respectivos circuitos de instrumentação. Neste caso, variando-se a tensão V_{GS} para uma mesma tensão de alimentação, à medida que o transistor conduz mais corrente, a tensão V_{DS} vai diminuindo, levando o transistor a entrar na região linear. Durante este processo, observa-se uma variação da correlação entre as tensões medidas em cada terminal de dreno, partindo de uma correlação negativa, para operação na região de saturação, passando por correlação nula e tornando-se positiva quando o transistor entra na região linear. Este comportamento é ilustrado na Fig.35. Este comportamento está de acordo com o previsto no modelo deduzido.

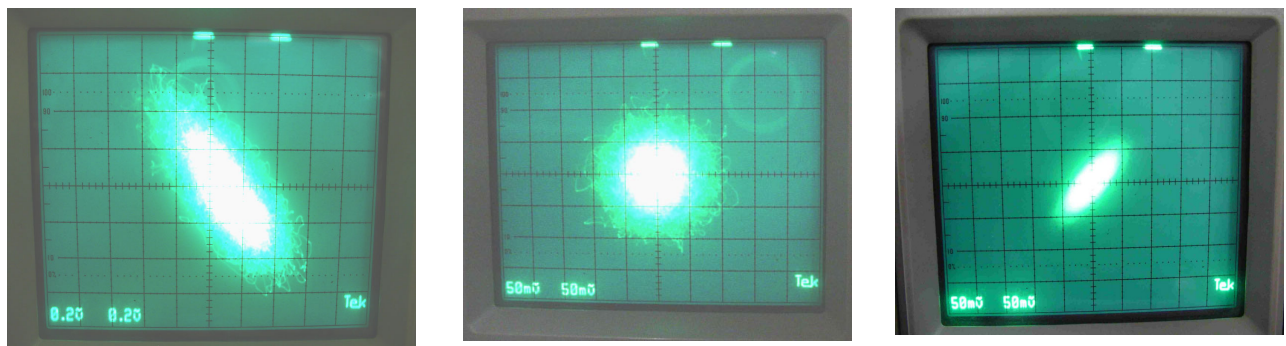


Fig. 35. Correlação visual observada em um transistor *Split-Drain*. (a) Operação na região de saturação. (b) Saindo da saturação e entrando na região linear. (c) Operando na região linear.

2.10. EVIDÊNCIAS EXPERIMENTAIS COMPLEMENTARES DA CORRENTE DE RUÍDO TRANSVERSAL

Alguns circuitos foram implementados com o objetivo de se comprovar se a origem da corrente transversal de ruído é interna ou externa ao transistor *split-drain*. De acordo com a teoria deduzida, esta corrente está associada à carga de inversão do transistor, logo, surge internamente ao transistor e se propaga para os drenos através do efeito da transcondutância. Algumas evidências experimentais corroboram esta tese, eliminando-se qualquer suspeita de medidas incorretas que possam ter originado conclusões errôneas.

Na Fig.36(a), é indicada a conexão de medida de tensão de ruído diferencial ou modo individual de acordo com os terminais escolhidos. Observa-se que estas tensões são adequadamente representadas pelo modelo deduzido. Na Fig.36(b), a tensão modo diferencial se reduz à tensão modo individual, cujos resultados medidos também estão de acordo com o modelo proposto. Neste caso, as tensões individuais de ruído nos casos (a) e (b) são idênticas, como se observou experimentalmente. Na Fig.36(c) uma variação do circuito detector de campo magnético é apresentada. Os drenos do *split-drain* estão em um potencial AC próximo da terra através da conexão de espelhos simples. As correntes de ruído fluem pelas resistências dos espelhos, sendo então refletidas para a saída correspondente onde ocorre a conversão I-V por meio de resistores. Observa-se neste caso também a existência de anticorrelação, um pouco mascarada pela contribuição não-correlata dos ruídos dos próprios espelhos. Fazendo-se $V_{GS}=0$, a anticorrelação simplesmente desaparece, evidenciando-se a origem da corrente transversal interna ao transistor.

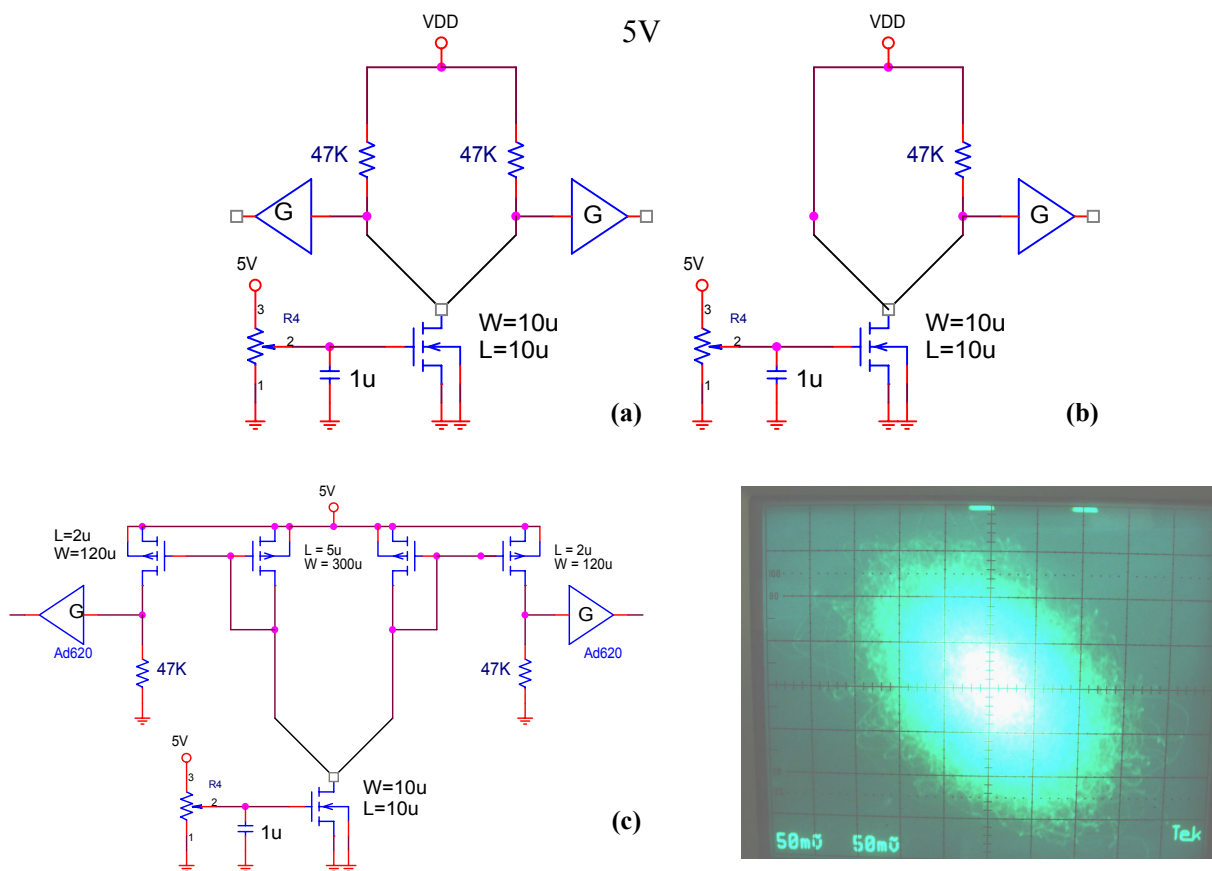


Fig. 36. Verificação da anticorrelação: (a) Configuração usual. (b) Conexão que produz a mesma tensão de ruído modo individual como em (a). (c) Uso de espelho para colocar o potencial de dreno próximo ao terra AC.

Na Fig.37 estão representadas duas medidas de PSD em circuitos implementados em tecnologia CUB06. No primeiro caso, dois transistores *split-drain* com dimensões $W=24\mu$, $L=26\mu$ conectados com os drenos em curto-circuito são ligados a um espelho com as dimensões indicadas. A corrente em cada braço do espelho é ajustada em $40\mu A$. Neste caso, os ruídos não-correlatos de cada transistor *split-drain* são subtraídos pelo espelho, o que equivale a uma soma quadrática. Registra-se o valor obtido da PSD na frequência de 100KHz, BW=25Hz, Span=10KHz. No segundo caso, utilizando-se apenas um dos transistores como *split-drain* e mantendo-se a corrente em cada braço do espelho em $40\mu A$ (para se gerar uma mesma contribuição de ruído proveniente do espelho nos dois casos), mediu-se nas mesmas condições um valor de PSD maior, embora um valor inferior pudesse ser esperado, uma

vez que o ruído gerado por dois transistores com correntes de $40\mu\text{A}$ é maior que o gerado por um único transistor com corrente de $80\mu\text{A}$ (mesmas dimensões). Neste caso, um ruído em excesso representado pela corrente transversal de ruído do *split-drain* foi detectado experimentalmente.

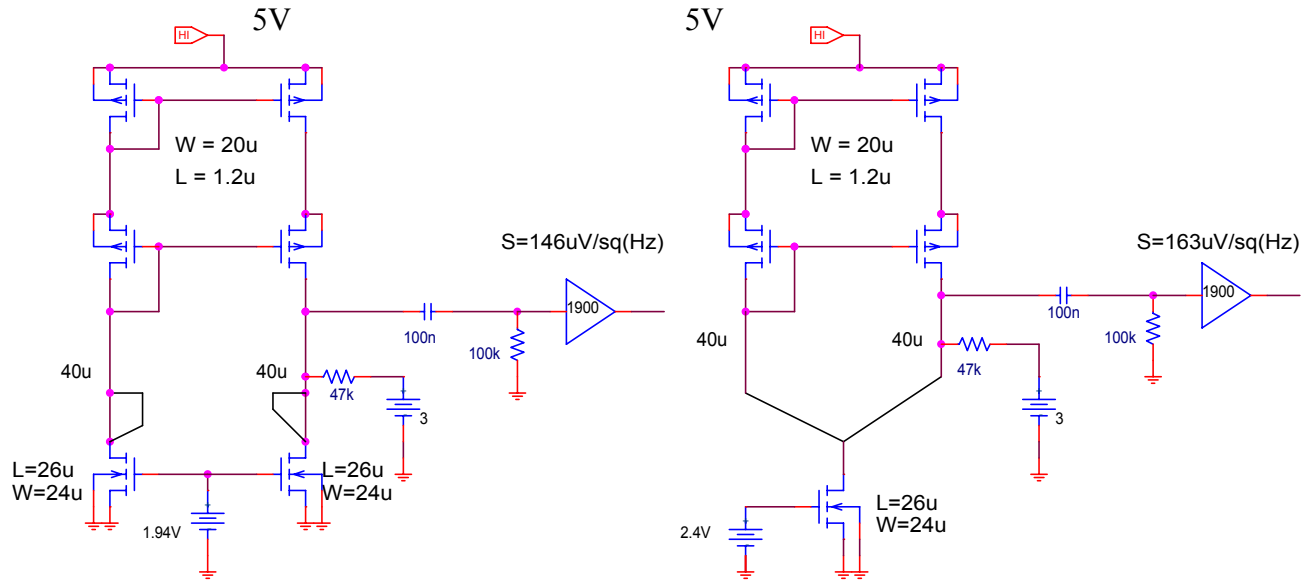


Fig. 37. Evidência experimental da corrente de ruído transversal.
(a) Transistores independentes conectados a um espelho. (b) *Split-Drain* substituído.

Influência do Gap

Observou-se experimentalmente que a distância entre os drenos do transistor *split-drain* pode afetar a anticorrelação de ruído. Para o transistor MOS CYB 2-drenos-2-sources já citado, testou-se a conexão dos resistores I-V em três situações de distanciamento entre drenos (o transistor possui 5 contatos de dreno como se observa na Fig.38). A corrente de polarização foi mantida em todos os casos em 100μ . Os valores de correlação obtidos estão indicados na Fig.38. Por uma razão ainda não esclarecida, a presença do *gap* afeta a corrente de ruído transversal, modificando a correlação observada. Verificou-se ainda que quanto mais estreitos os *gaps* em relação à largura do transistor, maior a anticorrelação observada. Neste caso, o modelo deduzido explica razoavelmente bem o fenômeno observado. Situações onde o *gap* é uma parcela considerável da largura do transistor não são

adequadamente representadas pelo modelo. Conclusões mais gerais podem ser estabelecidas a partir de ensaios com diversas geometrias, ainda não disponíveis no momento da redação deste trabalho.

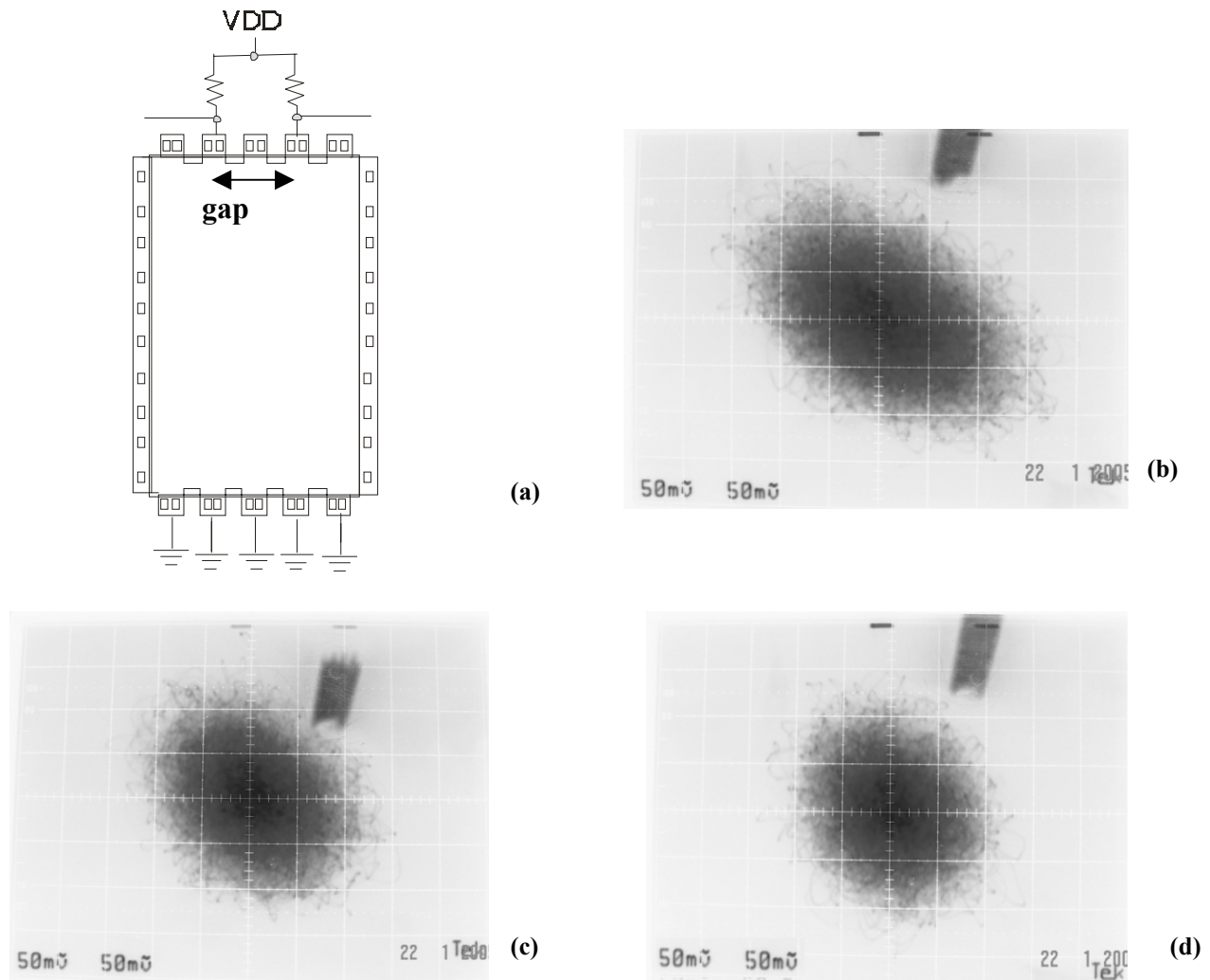


Fig. 38. Efeito do *gap* na anticorrelação medida ($I=100\mu\text{A}$). (d) Transistor utilizado. (a) $\text{gap}=2\mu$, $C=-0.475$. (b) $\text{gap}=10\mu$, $C=-0.280$. (c) $\text{gap}=18\mu$, $C=-0.2$.

2.11. VERIFICAÇÃO EXPERIMENTAL DO MODELO DE CORRENTE TRANSVERSAL-RUÍDO TÉRMICO

A partir das equações deduzidas para o *split-drain* e respectivos resistores conversores I-V (Fig. 39) e o método de medida de correlação de ruído apresentado, o modelo proposto é verificado. Dispositivos implementados nas seguintes tecnologias foram testados, com os principais parâmetros

listados. Estes parâmetros foram substituídos nas equações previamente definidas. Todos os testes foram realizados com os transistores operando na região de saturação. As medidas foram realizadas com multímetro de valor RMS verdadeiro HP33120 e verificadas com o analisador de sinais HP3561.

CSD035_AMS: $q=1.60221 \cdot 10^{-19} \text{C}$, $n_i=1.18 \cdot 10^{16} \text{m}^{-3}$, $\phi_T=26 \text{mV}$, $N_{\text{SUB}}=212 \cdot 10^{21} \text{m}^{-3}$, $K_{\text{PN}}=\mu \cdot C_{\text{OX}}=170 \mu\text{A/V}^2$, $V_{\text{TON}}=0.46 \text{V}$, $\gamma_N=0.58$, $C_{\text{OX}}=4.54 \cdot 10^{-3} \text{F/m}^2$, $\mu_{\text{EFF-N}}=0.037 \text{m}^2/\text{V.s}$, $\phi_F=0.434 \text{V}$, $\alpha=1.313$.

CYB08_AMS: $q=1.60221 \cdot 10^{-19} \text{C}$, $n_i=1.18 \cdot 10^{16} \text{m}^{-3}$, $\phi_T=26 \text{mV}$, $N_{\text{SUB}}=74 \cdot 10^{21} \text{m}^{-3}$, $K_{\text{PN}}=\mu \cdot C_{\text{OX}}=100 \mu\text{A/V}^2$, $K_{\text{PP}}=36 \mu\text{A/V}^2$, $V_{\text{TON}}=0.82 \text{V}$, $V_{\text{TOP}}=0.75 \text{V}$, $\gamma_N=0.73$, $\gamma_P=0.45$, $C_{\text{OX}}=2.16 \cdot 10^{-3} \text{F/m}^2$, $\mu_{\text{EFF-N}}=0.0463 \text{m}^2/\text{V.s}$, $\mu_{\text{EFF-P}}=0.0167 \text{m}^2/\text{V.s}$, $\phi_F=0.407 \text{V}$, $\alpha=1.249$.

CUB06_AMS: $q=1.60221 \cdot 10^{-19} \text{C}$, $n_i=1.18 \cdot 10^{16} \text{m}^{-3}$, $\phi_T=26 \text{mV}$, $N_{\text{SUB}}=145 \cdot 10^{21} \text{m}^{-3}$, $K_{\text{PN}}=\mu \cdot C_{\text{OX}}=120 \mu\text{A/V}^2$, $K_{\text{PP}}=40 \mu\text{A/V}^2$, $V_{\text{TON}}=0.85 \text{V}$, $V_{\text{TOP}}=0.85 \text{V}$, $\gamma_N=0.8$, $\gamma_P=0.48$, $C_{\text{OX}}=2.76 \cdot 10^{-3} \text{F/m}^2$, $\mu_{\text{EFF-N}}=0.043 \text{m}^2/\text{V.s}$, $\mu_{\text{EFF-P}}=0.0145 \text{m}^2/\text{V.s}$, $\phi_F=0.424 \text{V}$, $\alpha=1.434$.

Os transistores MOS *split-drain* testados apresentam geometrias indicadas na Tab.I.

TAB I: GEOMETRIAS DOS SPLIT-DRAINS TESTADOS

AMS-CYB08	AMS-CUB06
P(24/24, gap=1.8u, Reentrância=1u)	P(24/26, gap=2u, Reentrância=2u)
P(24/30, gap=1.8u, Reentrância=1u)	N(24/24, gap=2u, Reentrância=2u)
P(10/10, gap=1.8u, Reentrância=1u)	
P(6/6, gap=1.8u, Reentrância=1u)	AMS-CSD035
N(6/6, gap=1.8u, Reentrância=1u)	N(10/10, gap=0.6u, Reentrância=0.45u)
N(10/10, gap=1.8u, Reentrância=1u)	
P(20/200, gap=6.4u, Reentrância=3u)	

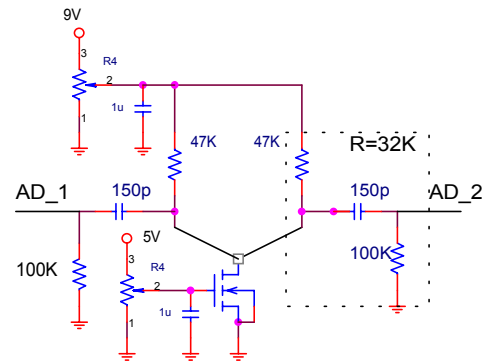


Fig. 39. Setup Básico

IMPORTANTE: Nenhum coeficiente de ajuste ou *fitting* foi empregado nos resultados experimentais para adequá-los às expressões teóricas. Efeitos importantes como a influência do *gap* e a variação da mobilidade nas direções longitudinal e transversal não foram considerados, o que pode explicar algumas discrepâncias observadas. Os transistores tipo P indicaram nos experimentos realizados uma corrente transversal de ruído de 30% do valor previsto pelo modelo. Tal efeito pode

estar associado à mobilidade das lacunas na direção transversal. Apesar deste efeito não ser devidamente representado pelo modelo, as equações deduzidas podem ser aplicadas considerando-se uma atenuação na corrente transversal de 30% para os transistores MOS-P.

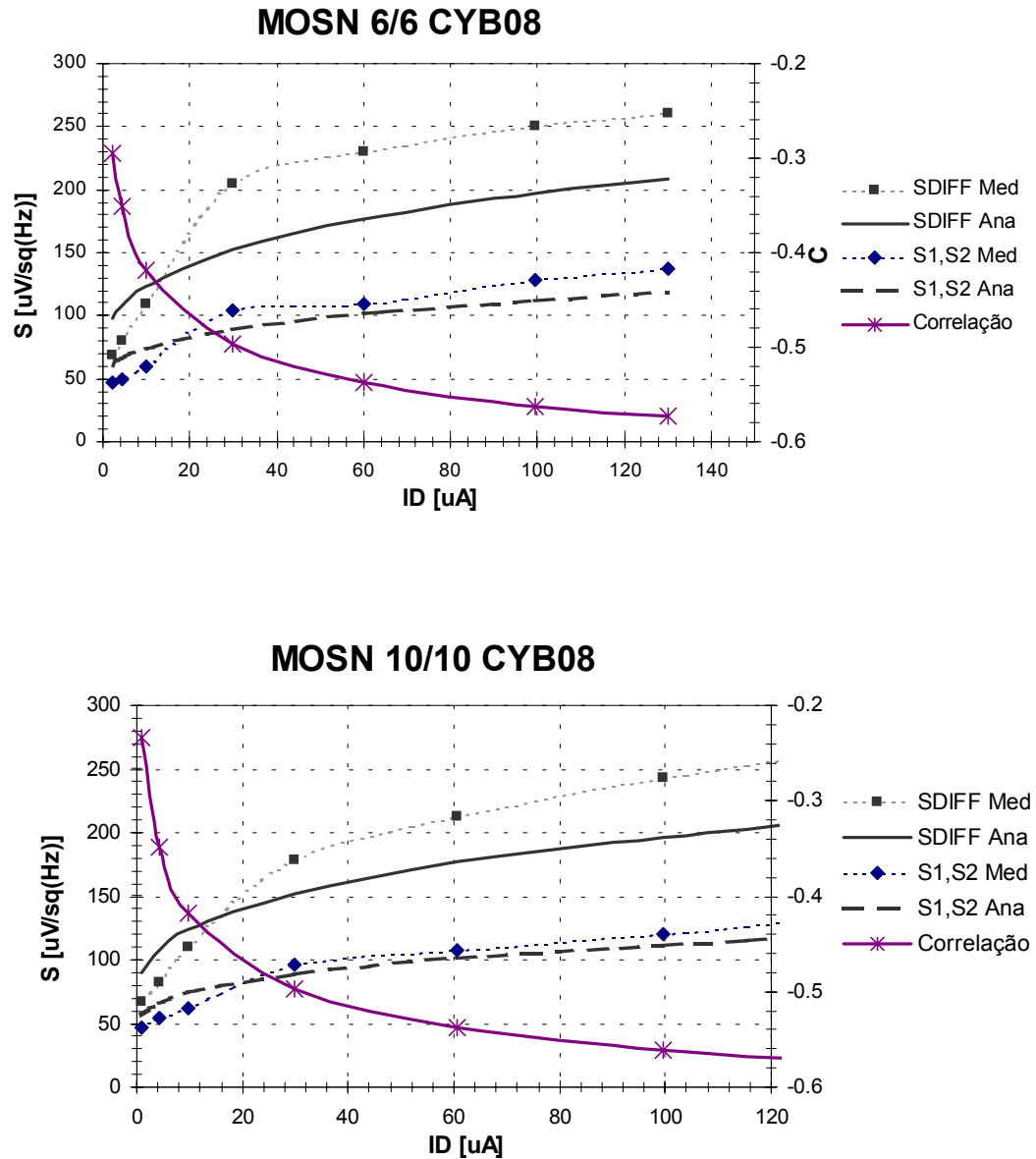
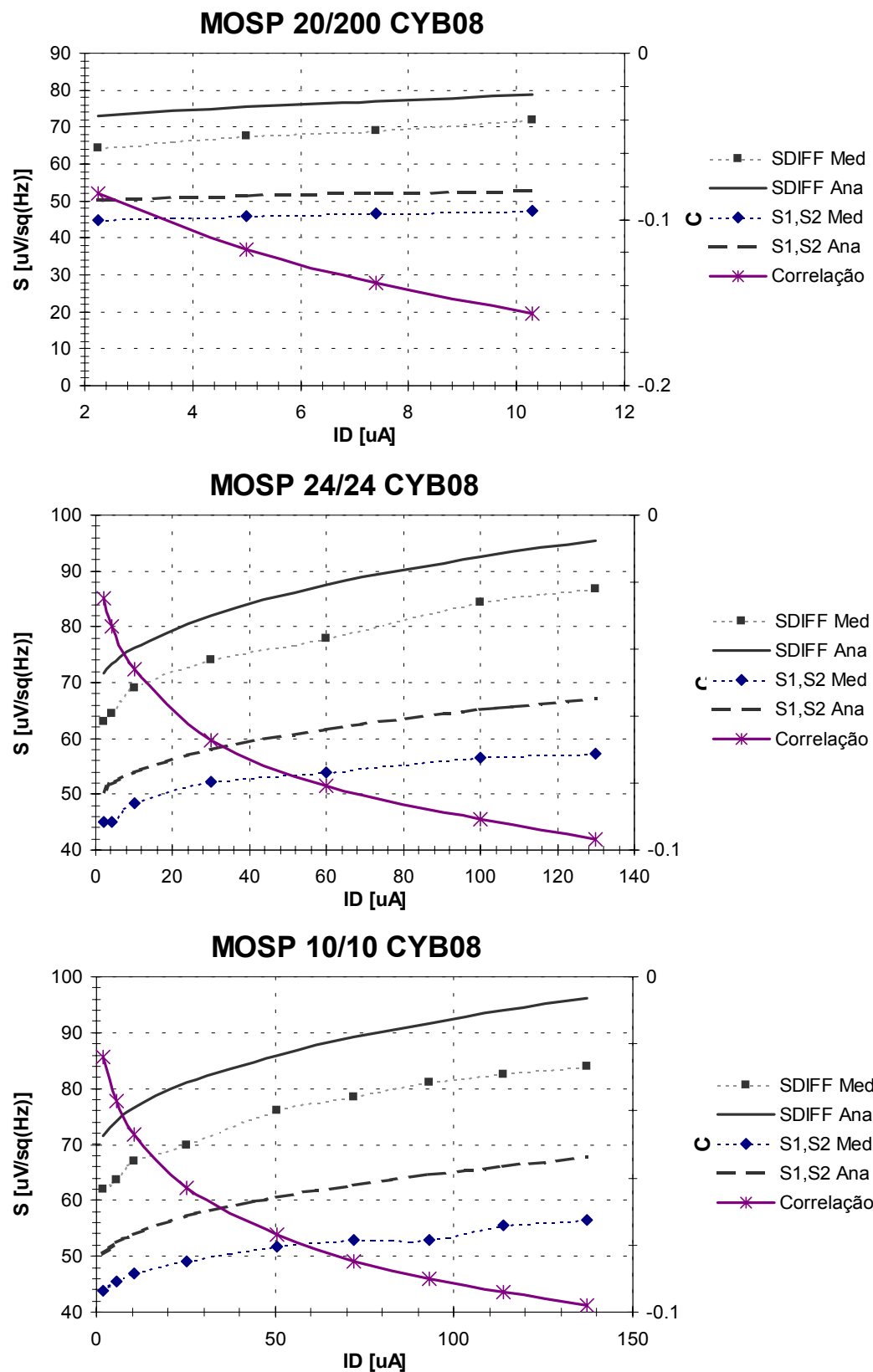
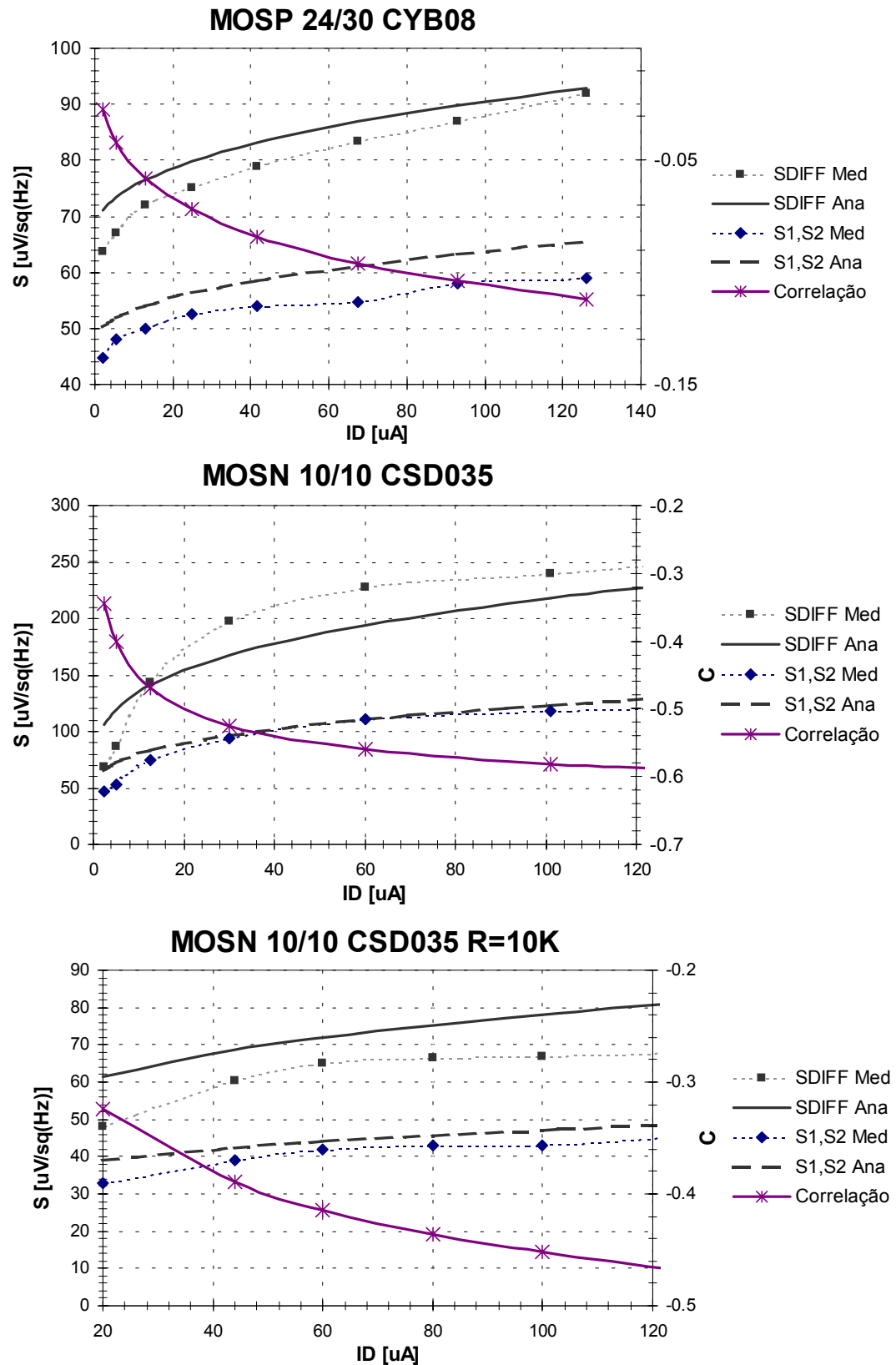


Fig. 40. Resultados Experimentais: Correlação de Ruído na faixa térmica ($f=100\text{KHz}$)

Fig. 40. (Cont.) Resultados Experimentais: Correlação de Ruído na faixa térmica ($f=100\text{KHz}$)

Fig. 40. (Cont.) Resultados Experimentais: Correlação de Ruído na faixa térmica ($f=100\text{KHz}$)

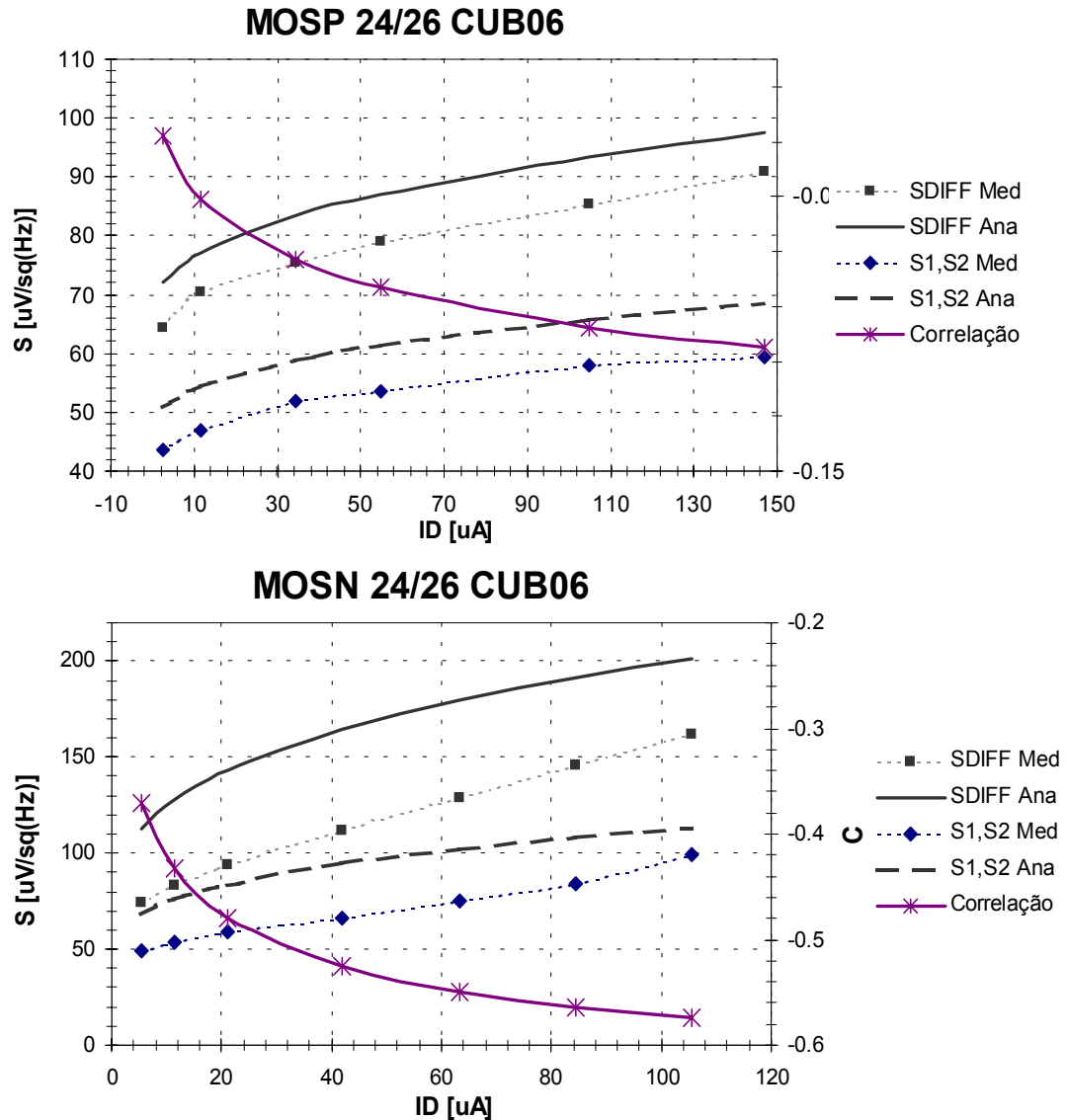


Fig. 40. (Cont) Resultados Experimentais: Correlação de Ruído na faixa térmica ($f=100\text{KHz}$)

Obs: Transistores do tipo Hall-MAGFET operando no modo tensão apresentam correlação de ruído nula entre os terminais de leitura da tensão Hall ao contrário do citado em [31] que sugere a existência de uma correlação positiva.

Apesar de se ter considerado a mobilidade medida no HP4155 para efeitos de determinação da corrente de ruído transversal, as discrepâncias apontadas nos gráficos acima não se justificariam a partir do uso de uma mobilidade constante, a efetiva. Neste caso, outros efeitos, tais como a influência

do *gap* e demais parâmetros, não devidamente considerados, poderiam justificar os resultados obtidos, apontando estudos futuros.

Verificação Experimental-Ruído 1/f

Investigou-se a correlação em baixas frequências, utilizando-se o transistor MOS-N $10\mu/10\mu$ CSD035, empregando-se a montagem usual e resistores I-V de 47K, como anteriormente. A tensão sobre cada resistor foi amplificada e aplicada no respectivo canal do analisador de sinais HP3562. Os resultados estão indicados na Fig.41. Observa-se que na região de baixas frequências, onde a amplitude do ruído gerado pelo transistor é maior em comparação com o ruído da instrumentação, a anticorrelação observada apresenta um valor em módulo maior. A anticorrelação observada em baixas frequências evidencia a presença de uma correspondente corrente transversal de ruído, como previsto pelo modelo teórico representado na Eq.34.

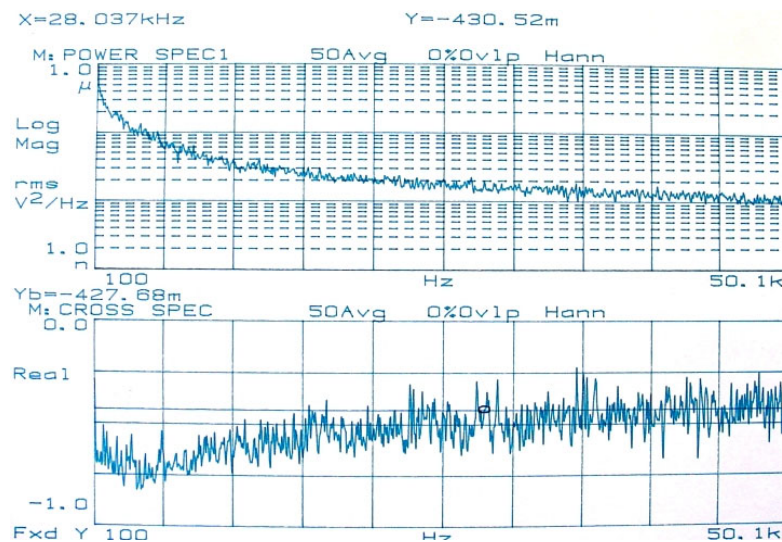


Fig. 41. Resultados Experimentais: (a) Correlação de Ruído em Baixas Frequências (b) Setup utilizado

2.12.DETERMINAÇÃO DO MÍNIMO CAMPO DETECTÁVEL

A resolução ou mínimo campo detectável em um sensor magnético do tipo *split-drain* dependem da correlação de ruído, aspecto não considerado em referências encontradas na literatura [30], [32], [33]. A partir das relações deduzidas, o mínimo campo detectável por um sensor magnético do tipo *split-drain* pode ser determinado em função da geometria do dispositivo e condições de polarização. No caso de resistores conversores I-V, os mesmos são devidamente levados em conta. A banda de frequência considerada equivale a 1Hz.

No apêndice I é deduzida a expressão para a corrente de Lorentz, que multiplicada pelo valor dos resistores I-V produz a tensão diferencial do MAGFET quando submetido a um campo magnético:

$$v_{DIFF} = R \cdot \mu_{EFF} \cdot r \cdot I \cdot G \cdot \frac{L}{W} \cdot B. \text{ Admitindo que este valor esteja representado em uma base RMS, o mínimo}$$

campo detectável ou a resolução do sensor são definidos quando o sinal de saída apresenta valor equivalente ao ruído no modo diferencial: $v_{DIFF} = R \sqrt{2 \cdot (i^2 + 2 \cdot i_T^2)}$. Igualando-se estas expressões, uma equação para o campo mínimo é obtida. Este procedimento equivale à obtenção da relação

$$SNR=1. \text{ Substituindo-se } i_T \text{ e } i, \quad i_T^2 = \frac{4 \cdot K \cdot T \cdot \mu_T \cdot Q_I}{W^2} \text{ e } i^2 = \frac{2 \cdot K \cdot T \cdot \mu_L \cdot Q_I}{L^2} + \frac{4 \cdot K \cdot T}{R}, \text{ lembrando que a}$$

carga de inversão pode ser calculada para o transistor operando na região de saturação:

$$Q_I = \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \cdot (V_{GS} - V_T) = \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \cdot \sqrt{\frac{2 \cdot \alpha \cdot L \cdot I_D}{\mu_{EFF} \cdot C_{OX} \cdot W}}, \text{ a resolução do sensor pode ser determinada}$$

como função da corrente de polarização do transistor. As mobilidades longitudinal e transversal são consideradas iguais à mobilidade efetiva para efeitos de simplificação.

Como exemplo, seja um transistor *split-drain* MOS-N 10/10 implementado em CSD035. O sensor utiliza resistores conversores de R=32K, conforme Fig.42(a). Aplicando-se as relações acima e considerando os parâmetros da tecnologia **CSD035_AMS**: $q=1.60221 \cdot 10^{-19}C$, $n_i=1.18 \cdot 10^{16}m^{-3}$, $\phi_T=26mV$,

$N_{SUB}=212.10^{21}m^{-3}$, $K_{PN}=\mu.C_{OX}=170\mu A/V^2$, $V_{TON}=0.46V$, $\gamma_N=0.58$, $C_{OX}=4.54.10^{-3} F/m^2$, $\mu_{EFF-N}=0.037 m^2/V.s$, $\phi_F=0.434V$, $\alpha=1.313$. Considera-se ainda um fator de correção geométrico $G=0.676$ para geometrias quadradas e um fator de *scattering* $r=1.05$ conforme Apêndice I. O mínimo campo magnético detectável em uma banda de 1Hz para a medida diferencial está indicado na Fig.42(b). Observa-se que maiores correntes de polarização proporcionam maior resolução enquanto que valor do resistor I-V é pouco relevante na característica $SNR=1$.

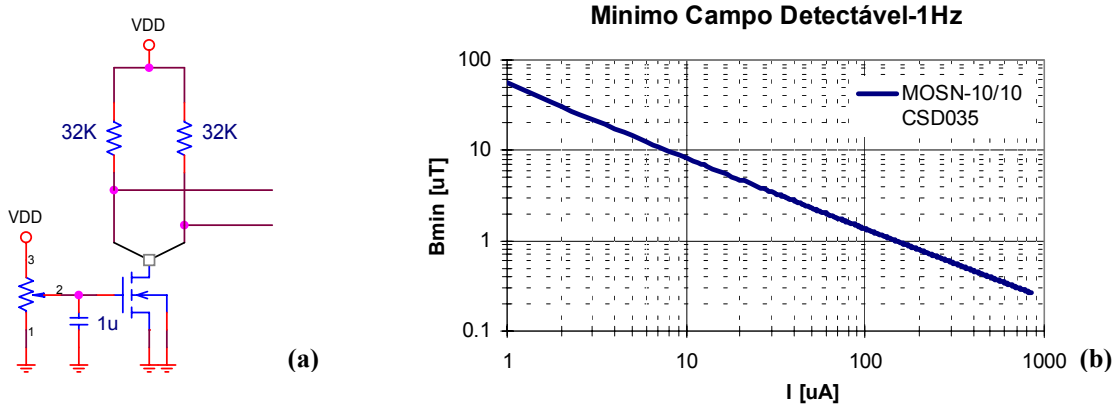


Fig. 42. Mínimo campo detectável para a configuração básica de Split-drain MOS-N 10/10 implementado em CSD035.

Circuitos alternativos podem ser realizados utilizando-se combinações de transistores *split-drain* em paralelo, Fig.43(a), sendo o sinal de saída diferencial obtido através de um espelho. Neste caso, a expressão da corrente diferencial de ruído $i_{DIFF} = \sqrt{2.N.(i^2 + 2.i_T^2)}$, enquanto que o sinal de saída em função do campo magnético: $i_{DIFF} = N.\mu_{EFF}.r.I.G.\frac{L}{W}.B$. Igualando-se as expressões, obtém-se o mínimo campo detectável, como indicado na Fig.43(b). Observa-se que a corrente de ruído aumenta com $\sqrt{N}$, enquanto que o sinal detectado aumenta com N , logo o uso de um maior número de transistores contribui para a implementação de sensores magnéticos com melhor resolução. As restrições de consumo de corrente do circuito limitam o número máximo de transistores da combinação. Esta expressão é válida para um espelho de corrente idealizado. Em qualquer dos casos

citados, pode-se obter o mínimo campo detectável em função do fator de pico de ruído. Neste caso, basta multiplicar os resultados para o campo mínimo pelo fator de ruído correspondente.

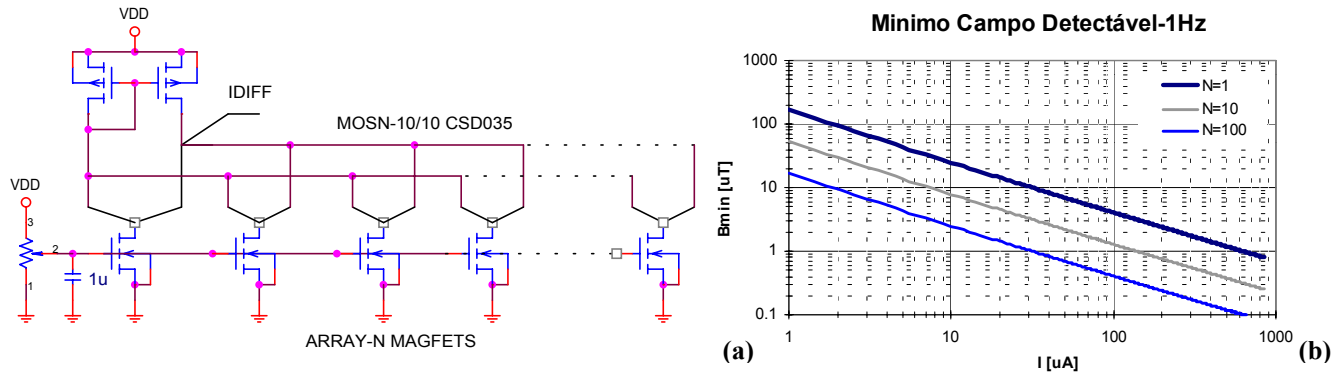


Fig. 43. (a) Combinação de N *Split-drains* (b) Mínimo Campo Detectável

2.13. CONCLUSÕES

Neste capítulo, estudou-se o mecanismo básico de geração de ruído em sensores CMOS do tipo *split-drain*, com o objetivo de se implementar sensores de campo magnético com resolução adequada à detecção dos campos magnéticos locais produzidos pelo processo de chaveamento de transistores de potência. Estes campos apresentam ordens de grandeza de micro-Teslas, que são detectáveis pelo *split-drain*. Entretanto, o ruído gerado pelo próprio sensor pode comprometer a resolução do sistema detector, logo foi necessário realizar-se um estudo das características de ruído do transistor *split-drain*, de forma a se viabilizar um detector de campo magnético com resolução apropriada à detecção dos campos magnéticos locais. Com base nos estudos apresentados neste capítulo, identificou-se um mecanismo adicional de geração de ruído em transistores *split-drain*, a corrente transversal de ruído, com impacto direto na deterioração da relação sinal-ruído (SNR), sobretudo em medidas diferenciais. Por outro lado, é possível implementar-se detectores com maior resolução através da conexão em paralelo de sensores individuais. Isto porque a corrente de ruído aumenta com $\sqrt{N}$, enquanto que o sinal detectado aumenta com N , sendo N o número de elementos individuais. Além disso, através de uma restrição da banda de frequência do detector é possível atingir-se elevadas resoluções, tópico a ser explorado no próximo capítulo.

ANEXO I

Determinação do Coeficiente de Correlação Complexo

Uma análise muito citada na literatura, porém raramente deduzida refere-se à determinação do coeficiente de correlação complexo entre as quantidades tensão (e_n) e corrente (i_n) de ruídos equivalentes referidas à entrada de um amplificador. O circuito representativo está indicado na Fig. A1-1. A determinação do coeficiente complexo de correlação $C = \gamma_1 + j\gamma_2$ entre e_n e i_n é feita com base na aplicação de uma impedância Z_n na entrada do amplificador. Considera-se e_n e i_n estejam representados no domínio da frequência através da respectiva série de Fourier ou o vetor da DFT correspondente. Na sequência, a dedução.

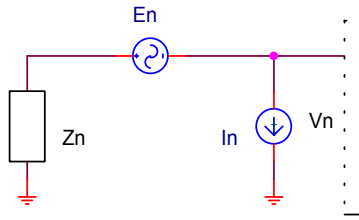


Fig.A1.1 Modelo Equivalente para ruído de um Amplificador.

$$V_n = E_n + Z_n \cdot I_n \quad Z_n = R + jX_n$$

$$|V_n|^2 = |E_n + Z_n \cdot I_n|^2 = (E_n + Z_n \cdot I_n)(\overline{E_n + Z_n \cdot I_n}) = (E_n + Z_n \cdot I_n)(\overline{E_n} + \overline{Z_n \cdot I_n})$$

$$V_n \cdot \overline{V_n} = E_n \cdot \overline{E_n} + E_n \cdot \overline{Z_n \cdot I_n} + \overline{E_n} \cdot Z_n \cdot I_n + Z_n \cdot I_n \cdot \overline{Z_n \cdot I_n} = E_n \cdot \overline{E_n} + Z_n \cdot \overline{Z_n} \cdot I_n \cdot \overline{I_n} + (E_n \cdot \overline{Z_n \cdot I_n} + \overline{E_n} \cdot Z_n \cdot I_n)$$

$$|V_n|^2 = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot \text{Re}(E_n \cdot \overline{Z_n \cdot I_n}) \quad C_n = E_n \cdot \overline{I_n} / |E_n| |I_n| \quad C_n = \gamma_{1n} + j\gamma_{2n}$$

$$|V_n|^2 = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot \text{Re}(C_n \cdot \overline{Z_n}) |E_n| |I_n| = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot \text{Re}[(\gamma_{1n} + j\gamma_{2n})(R - jX_n)] |E_n| |I_n|$$

$$|V_n|^2 = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot \text{Re}(C_n \cdot \overline{Z_n}) |E_n| |I_n| = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot (\gamma_{1n} \cdot R + \gamma_{2n} \cdot X_n) |E_n| |I_n|$$

$$|V_n|^2 = |E_n|^2 + |Z_n|^2 \cdot |I_n|^2 + 2 \cdot (\gamma_{1n} \cdot R + \gamma_{2n} \cdot X_n) |E_n| |I_n|$$

A partir da escolha de R e X_n e realizando-se as medidas de V_n (projetadas para a saída do amplificador) determina-se os coeficientes γ_1 e γ_2 [8], [38]. A PSD ainda pode ser calculada:

$$PSD = \sum_n |V_n|^2 = \sum_n |E_n|^2 + \sum_n |Z_n|^2 |I_n|^2 + \sum_n 2 \cdot \text{Re}(E_n \overline{Z_n} \overline{I_n})$$

$$C = \frac{\sum_n E_n \overline{I_n}}{\sum_n |E_n| |I_n|} \quad \text{Coeficiente Geral} \quad C_n = \frac{E_n \overline{I_n}}{|E_n| |I_n|} \quad \text{Coeficiente por harmônica}$$

ANEXO II

Determinação da Resistência entre Drenos de um *split-drain* utilizando HP4155

A partir de uma medida no HP4155 é possível avaliar-se a resistência estática entre os terminais de dreno em um transistor *split-drain*. A técnica fundamenta-se na aplicação de um diferencial de tensão entre as fontes SMU1 e SMU2 do equipamento durante a varredura de tensão dos drenos. O quociente entre este diferencial de tensão e a diferença das correntes nas fontes de sinal SMU1 e SMU2 indicam o valor aproximado da resistência procurada. Esta técnica é apropriada para a operação na região linear em forte inversão. Adotou-se um diferencial de tensão de 5mV. A análise a seguir é auto-explicativa.

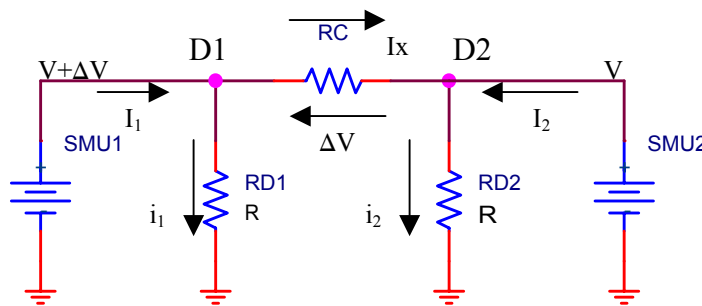


Fig.A2.1 Modelo Equivalente para análise no HP4155

$$I_1 = i_1 + i_x \quad e \quad I_2 = i_2 - i_x \quad I_1 - I_2 = i_1 - i_2 + 2i_x \quad i_1 \approx i_2 \quad se \quad \Delta V \rightarrow 0$$

$$I_1 - I_2 = 2i_x \quad \therefore i_x = (I_1 - I_2)/2 \quad \text{logo} \quad RC = \Delta V / i_x = 2 \cdot \Delta V / (I_1 - I_2)$$

ANEXO III

Função Autocorrelação e Ruído Shot

Determina-se o espectro de frequência de um processo estocástico baseado em um modelo simplificado para o ruído *Shot*. Seja uma corrente produzida por uma emissão termiônica como representado na Fig.A3.1. No modelo considerado, $\bar{N}$ representa o número médio de elétrons emitidos por unidade de tempo e Δt representa o tempo de trânsito de cada elétron que após emitido, se propaga com velocidade constante. A corrente instantânea que fluirá pelo circuito será portanto $I = (q / \Delta t) \cdot (\bar{N} + \Delta n)$, a parcela da corrente correspondente à emissão média de elétrons mais uma flutuação aleatória. Assume-se que esta flutuação siga uma distribuição de Poisson. A partir das propriedades desta distribuição, a flutuação média quadrática $\overline{\Delta n^2}$ é igual ao número médio de elétrons emitidos $\bar{N}$. A partir desta consideração e observando que os elétrons se deslocam sob velocidade constante o que implica em pulsos de corrente, o espectro de frequência deste processo pode ser calculado a partir da função autocorrelação da flutuação randômica. Aplicando-se a definição para ΔI , obtém-se $\Gamma_{\Delta I}(\tau) = \lim_{T \rightarrow \infty} \left(\frac{q}{\Delta t} \right)^2 \frac{1}{2T} \int_{-T}^T \Delta n(t) \cdot \Delta n(t + \tau) \cdot dt$. Observando-se que $\Delta n(t)$, $\Delta n(t + \Delta t)$, $\Delta n(t + 2 \cdot \Delta t)$ são independentes, o intervalo de autocorrelação deve se situar em $-\Delta t < \tau < \Delta t$. A solução da integral de convolução corresponde a um triângulo isósceles centrado em zero para cada pulso $\Delta n(t)$. Considerando um valor médio correspondente à distribuição de Poisson, a função de autocorrelação

pode ser escrita como $\Gamma_{\Delta t}(\tau) = \left(\frac{q}{\Delta t}\right) \left(1 - \frac{|\tau|}{\Delta t}\right) \bar{I}$. Aplicando-se *Wiener e Khintchine* [9] obtém-se o

espectro de freqüências deste processo: $S(f) = 4 \cdot \frac{q}{\Delta t} \cdot \bar{I} \cdot \int_0^{\Delta t} \left(1 - \frac{|\tau|}{\Delta t}\right) \cos(w \cdot \tau) d\tau = 2 \cdot q \cdot \bar{I} \cdot \frac{\sin(w \cdot \Delta t / 2)^2}{(w \cdot \Delta t / 2)^2} = 2 \cdot q \cdot \bar{I}$,

onde considerou-se que para tempos de trânsito de portadores no vácuo ou em semicondutores $w \cdot \Delta t \ll 2 \cdot \pi$, logo a função *Sinc* = 1.

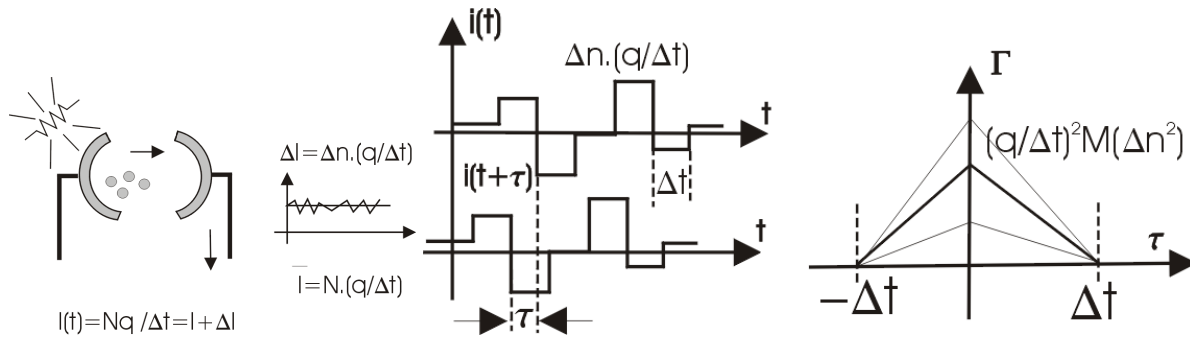


Fig.A3.1. Dedução do espectro de freqüências do ruído *shot*

REFERÊNCIAS

- [1] Chovet, A, Mathieu, N., Noise and Resolution of Semiconductor Integrated Magnetic Sensors. Sensors and Actuators, A. Vol. 32, pp.682-687. 1992
- [2] Chovet, A, et al. Comparision of Noise Properties of Different Magnetic-field semiconductor. Sensors and Actuators, A21-A23. Pp.790-794. 1990.
- [3] Van der Ziel, Noise in Solid State devices and Circuits. John Wiley and Sons. 1986. ISBN 0471832340
- [4] Castaldo, F. Reis, C.A. et al. Bias Dependence of Noise Correlation in MAGFETs. IEEE Proceedings of 16th Symposium on Integrated Circuits and Systems Design. SBCCI2003. September 8-11, 2003

- [5] Baltes, H.P, Nathan A. and Briglio D.R., Noise Correlations in Magnetic Field Sensitive Transistors”, IEEE Solid-State Sensor and Actuator Workshop Tech. Dig. (Hilton Head Island, SC), 1988, pp.104-105
- [6] Van der Ziel, Noise: Sources, Characterization and Measurement. Prentice-Hall, Inc. 1970.
- [7] Goldman, S. Frequency Analysis, Modulation and Noise. The Radio Communication Series. McGraw-Hill Book Company, Inc. 1948.
- [8] Xu, J, Dai, Y, Yaqen, L. The study of the relation between Rn-Gn noise model and En-In noise model of an amplifier IEEE transactions on circuits and systems-I Fundamental Theory and applications, Vol.45, N.2. Feb.1998.]
- [9] Ambrózy, A. Electronic Noise. McGraw Hill International Book Company. ISBN 0-07-001124-9. 1982.
- [10] Connor, F.R. Noise. Edward Arnold Publishers. Ltd. 1973.
- [11] Chen, C.Y., Kuan, C.H. Design and Calibration of noise measurement system. IEEE Transactions on Instrumentation and Measurement. Vol.49.N.1.Feb.2000.
- [12] Tinti, R. et al. Proposed System Solution for 1/f noise parameter extraction. Agilent Technologies Application Note.
- [13] Demolder, S., Calster, A V. The measuring of 1/f noise of thick and thin film resistors. Journal Physics E: Scientific Instrumentation. Vol.13. 1980.
- [14] Ferrari, G., Sampietro, M. Correlation spectrum analyser for direct measurement of devices current noise. Scientific Instrumentation, Vol.73, N.7. 2002.
- [15] Analog Devices-AD620: Low-Cost, Low-Power Instrumentation Amplifier Datasheet
- [16] Conti, M. Corda, G. Noise Sources Identification in Integrated Circuits through Correlation Analysis. IEEE Journal of Solid State-Circuits, Vol. SC-9, N. 3, June 1974
- [17] Nathan A., Baltes, H.P, and Briglio D.R., “Noise Correlations in Dual-Collector Magneto-transistors”, IEEE Transactions on Electron Devices, Vol36. n. 6, Jun 1989.

- [18] Popovic, R.S., Hall Devices for Magnetic Sensor microsystems. IEEE-International Conference on Solid-State Sensors and actuators-Transducers 1997.
- [19] Mohajerzadeh S., Nathan, A. Modeling Noise Correlation Behavior in Dual-Collector Magnetotransistors using small signal equivalent circuit analysis. IEEE Transactions on Electron devices, Vol. 43, n. 6. June 1996. pp. 883-888.
- [20] Tsividis, Y. Operation and Modeling of the MOS transistor. WCB/McGraw-Hill. 1999. ISBN-0-07-065523-5.
- [21] Tedja, S. Et al. Analytical and experimental studied of termal noise in Mosfets. IEEE Transactions on electron Devices, Vol. 41. N. 11, Nov. 1994.].
- [22] Abowitz, G. et al. Surface States and 1/f Noise in MOS Transistors. IEEE Transactions on Electron Devices, Vol.ED-14, N.11, Nov.1967.
- [23] Klaaseen, F. Characterization of low 1/f noise in MOS transistors. IEEE Transactions on Electron Devices, Vol.ED-18, N.10, Oct.1971.
- [24] Cobbold, R. Theory and Applications of Field-Effect Transistors. Wiley-Interscience. John Wiley and Sons. 1970. SBN 471161500.
- [25] Montoro, C.G., Arnaud, A A compact model for flicker noise in MOS transistors for analog circuit design. IEEE Transactions on Electron devices, Vol. 50. N.8. Aug. 2003.
- [26] Fulton, J. et al. Measurement of Mobility in Power FET technology using the conductance and the transconductance methods. Proceedings, 22nd International Conference on Microelectronics. Vol. 2. pp.649-652. Sérvia. 2000]
- [27] Knoblinger, G. et al. A New Model for thermal channel noise of deep-submicron MOSFET and its applicationin RF-CMOS design. IEEE Journal of Solid-State Circuits. Vol.36. N.5. May 2001.
- [28] Nathan, A. How to achieve Nanotesla Resolution with Integrated Silicon Magneto-transistors. IEDM. 1989.
- [29] Motchenbacher, C.D., Fitchen, F.C. Low-Noise Electronic Design. John Wiley & Sons, 1973.

- [30] Killat, D. et al. Measurement and Modeling of Sensitivity and Noise of MOS magnetic field – effect transistors. *Sensor and Actuators*. A61. 1997. Pp-345-351.
- [31] Mathieu, N, Giordano, P. Chovet, A. Si MAGFETs optimized for sensitivity and noise properties. *Sensors and Actuators A*, Vol.32. pp656-660. 1992
- [32] Lau, J. et al. Minimum Detectable Signals of integrated magnetic sensors in bulk CMOS and SOI technologies for magnetic read heads. *Sensors and Actuators*. A54. 1996. Pp. 636-640.]
- [33] Baltes, H.P, Nathan A. and Briglio D.R., “Noise Correlations in Magnetic Field Sensitive Transistors”, *IEEE Solid-State Sensor and Actuator Workshop Tech. Dig.* (Hilton Head Island, SC), 1988, pp.104-105.
- [34] Kung, W. Nathan, A. Temperature Coefficient of resolution of lateral bipolar Magnetotransistors. *IEEE Transactions on Electron Devices*. Vol.40. N.5.May 1993.
- [35] Bennet, W. *Electric Noise*, McGraw-Hill, Inc. 1960.
- [36] Chen, C.H., Deen, M.J., High Frequency Noise of MOSFETs I Modeling. *Solid-State Electronics*, Vol.42. N.11. pp.2069-2081. 1998.
- [37] Geiger, R., Allen, P., Strader, N. *VLSI Design Techniques for Analog and Digital Circuits*. McGraw-Hill. 1990.
- [38] Xu, J. et al. A Complete Operational Amplifier Noise Model: Analysis and Measurement of Correlation Coefficient. *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol.47.N.3.Mar.2000.
- [39] <http://www.orcad.com>
- [40] Eric A. Vittoz; MOS transistors operated in the lateral bipolar mode and their application in CMOS technology, *IEEE Journal of Solid-State Circuits*, vol. 18, pp. 273 - 279, June 1983.

CAPÍTULO III

SENSORES MAGNÉTICOS: CIRCUITOS DE LEITURA

Neste capítulo analisa-se circuitos detectores de campo magnético implementados em tecnologia CMOS, incluindo-se o transistor *split-drain* como elemento sensor e a instrumentação associada, com o objetivo de se verificar a aplicação destes circuitos na detecção de campo magnético próximo gerado pela comutação de um transistor de potência. Alguns circuitos de instrumentação foram caracterizados isoladamente, para avaliação de suas propriedades elétricas. Na sequência, conectando-se o transistor *split-drain*, avalia-se as propriedades de detecção magnética e relação sinal-ruído. Os demais circuitos tiveram suas propriedades gerais investigadas.

3.1.INTRODUÇÃO

Devido à compatibilidade dos sensores magnéticos *split-drain* com a tecnologia CMOS, o próprio elemento sensor e os circuitos de instrumentação necessários para o condicionamento do sinal podem ser construídos monoliticamente. Apesar dos sensores de campo magnético CMOS apresentarem desempenho inferior quando comparados aos implementados em outras tecnologias, a possibilidade de integração permite construir micro-sensores competitivos. Este fato tem motivado a indústria e a academia e diversos trabalhos têm sido divulgados, inclusive bastante recentes.

A literatura reporta uma grande diversidade de circuitos de instrumentação direcionados a detectores magnéticos e aplicações, basicamente voltados à detecção de campos magnéticos estáticos. Em [1] é apresentado um medidor vetorial de campo magnético em duas dimensões (2-D) que utiliza um *array* de transistores laterais disponíveis no processo CMOS (LTM-CMOS). Um sensor 3-D implementado com transistores bipolares verticais associados a um transistor *split-drain* é reportado em [2]. Uma aplicação integrada para medição de corrente utilizando um dispositivo *Spinning Hall* com interface serial é apresentada em [3] enquanto que uma proposição para medição de corrente em circuitos integrados *Smart-Power* CMOS foi discutida em [4]. Osciladores controlados por indução magnética também têm sido reportados [5], [6].

De uma forma geral, todas as implementações citadas são susceptíveis a *offset* (sistemáticos ou devido a *mismatching*) e ruído, principalmente do tipo $1/f$ nos detectores de campo magnético estático. Outros problemas, como deriva térmica, variação dos parâmetros de processo, etc. também afetam de modo importante o desempenho destes sensores. Algumas técnicas podem ser adotadas para correção.

(1) Circuitos de *trimming* digital utilizando espelhos de corrente implementados com transistores *multi-gate* que podem ser utilizados para correção do *offset*. A ativação seqüencial dos *gates* permite variar a corrente do transistor de forma discreta [7]. (2) Arranjos especiais de *layout*, como por exemplo, em um dispositivo *split-drain* octal (8 drenos) cujos drenos são dispostos em configuração circular com centróide comum, o que proporciona características de casamento elétrico. Comutando-se pares de drenos, que são conectados ao circuito de instrumentação, obtém-se uma compensação de *offset* e redução de ruído $1/f$ [8]. (3) Uma técnica bastante efetiva na redução de deriva de *offset* e estabilização do ruído $1/f$ é conhecida por *Chopper Stabilization* [9]. Basicamente, modula-se o sinal detectado a partir de um processo de chaveamento deslocando-se o espectro do sinal de interesse para uma região acima do ruído $1/f$. Uma importante redução do ruído $1/f$ em circuitos baseados em transistores *split-drain* é conseguida a partir desta técnica (*Chopper Stabilization*) aliada à utilização de uma célula multiplicadora Volt-Tesla diferencial, modulando-se o campo magnético através da tensão de controle [10], [11]. A técnica pode ainda ser estendida ao recortamento (*chopping*) do campo magnético, utilizando-se um núcleo magnético atuando como blindagem de relutância variável que pode ser modificada a partir da aplicação de pulsos de corrente em uma bobina auxiliar [12]. Neste caso, o espectro da informação (campo magnético) é deslocado para a frequência dos pulsos aplicados. Em frequências acima da região $1/f$, a resolução do sensor é bastante favorecida.

Basicamente, a literatura apresenta circuitos com transistores *split-drain* operando como detectores de campo magnético estático, onde *offset* e ruído $1/f$ são os problemas mais comuns.

Considerando o propósito de detecção de campos magnéticos gerados localmente pela comutação de correntes em transistores de potência, conclui-se que a detecção é favorecida pela ausência de ruído $1/f$, sobretudo na faixa de frequências de comutação de transistores, tipicamente entre 100KHz e 1MHz. A presença de *offset* no circuito de instrumentação pode ser facilmente contornada, em se tratando da detecção de sinais AC através do seu valor RMS ou valor de pico. Filtros conectados na saída do circuito de instrumentação restringem a banda de frequência, promovendo a resolução do sensor. Na sequência, será detalhada a técnica de detecção do campo magnético próximo gerado por uma corrente comutada em um transistor de potência e, posteriormente, alguns circuitos detectores implementados serão reportados. Entre estes, distinguem-se circuitos sensores de campo magnético e circuitos sensores de corrente, pois estes últimos foram integrados com o condutor (trilha por onde flui a corrente responsável pela geração do campo magnético).

3.2. DETECÇÃO DE IRRADIAÇÃO ELETROMAGNÉTICA

Correntes comutadas por transistores de potência em circuitos integrados apresentam elevado conteúdo harmônico, o que podem provocar problemas de compatibilidade eletromagnética. A monitoração dos níveis destas componentes harmônicas pode ser realizada através do sensoramento do campo magnético próximo, como discutido no capítulo anterior. O arranjo básico ilustrado na Fig.1 pode ser empregado para tal finalidade. Uma corrente comutada produzida por um transistor de potência (LDD ou LDSD) gera um campo magnético que é detectado por um transistor *split-drain* posicionado próximo ao condutor da corrente. O sinal diferencial produzido pelo *split-drain* devido à ação de Lorentz é processado por um circuito analógico de instrumentação, que converte a corrente diferencial em uma tensão ou corrente proporcionais ao campo magnético. O sinal detectado pela instrumentação irá atuar como sinal de controle para o circuito de acionamento do transistor de

potência, como discutido no Cap.I. Neste caso, o acionamento controlado modifica o conteúdo espectral do campo magnético irradiado, logo o sistema detector deve ser capaz de rastrear estas variações, de forma a operar o *driver* em uma condição favorável.

Obviamente, técnicas de *layout* devem ser empregadas para se minimizar os acoplamentos indesejáveis entre o campo magnético que se deseja medir com o circuito de instrumentação. Por exemplo, uma camada de metal pode ser utilizada para cobrir o circuito de instrumentação, atuando como blindagem eletrostática. Também atenua o campo magnético induzido por ação de Faraday, blindando parcialmente o campo magnético variável que concatena o circuito de instrumentação, sobretudo nas frequências mais elevadas. O uso de anéis de guarda e a correta disposição dos condutores também evitam acoplamentos indesejáveis. Arranjos com diversos transistores *split-drain* operando em paralelo aumentam a sensibilidade da configuração, como será reportado no final deste capítulo.

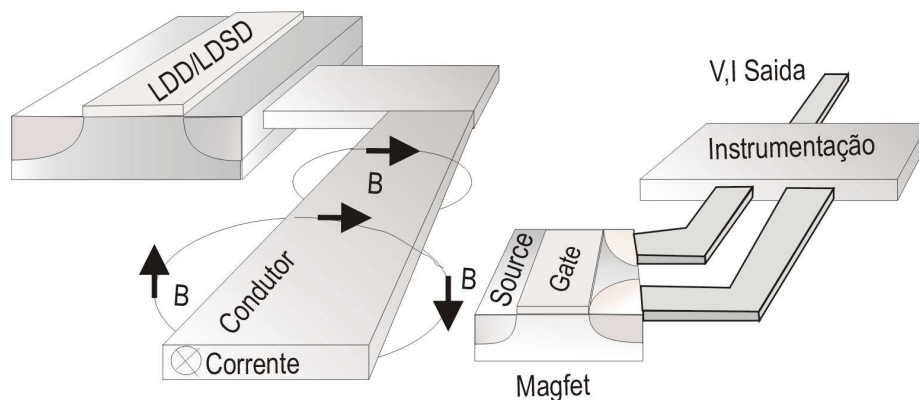


Fig. 1.Princípio Geral de Detecção de Emissões Eletromagnéticas

Determinação da Amplitude do Campo Magnético

O aspecto primário a ser considerado nesta aplicação refere-se à determinação da amplitude do campo magnético local produzido por uma corrente comutada em função dos intervalos de transição da

mesma, que serão modificadas pelo acionamento controlado. Desta forma, a corrente comutada assume uma forma trapezoidal, cujo conteúdo harmônico pode ser determinado a partir da Eq. 1 [33]. Considera-se para efeitos de simplificação que o intervalo de subida seja igual ao de descida ($t_r=t_f$). T corresponde ao período ($1/\text{frequência}$), A corresponde à amplitude da corrente, τ ao intervalo de condução do transistor e n à ordem da harmônica de corrente.

$$c_n = 2.A.\frac{\tau}{T} \cdot \left| \frac{\sin\left(n.\pi.\frac{\tau}{T}\right)}{n.\pi.\frac{\tau}{T}} \right| \cdot \left| \frac{\sin\left(\frac{n.\pi.t_r}{T}\right)}{\frac{n.\pi.t_r}{T}} \right| \quad (1)$$

Esta corrente assume a forma representada na Fig.2(a), enquanto que a envoltória do conteúdo harmônico, calculada a partir da Eq. 1, é representada na Fig.2(b).

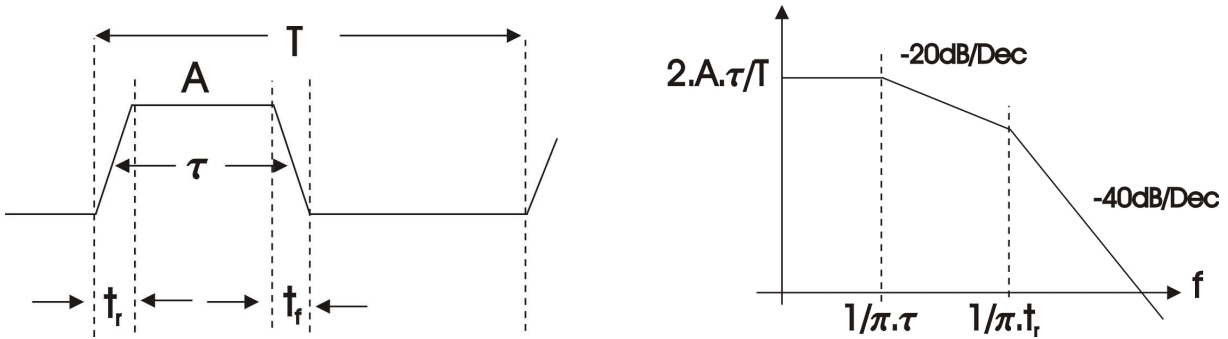


Fig. 2.(a) Forma trapezoidal de uma corrente comutada. (b) Espectro harmônico correspondente.

Deve-se observar que o ponto de transição de -40dB/dec , Fig.2(b), está diretamente relacionado com o intervalo de transição da corrente comutada (t_r), que pode ser controlado pelo acionamento. Como consequência, a modificação deste intervalo altera a distribuição das amplitudes das componentes harmônicas, com impacto direto na amplitude do campo magnético local irradiado. Por outro lado, o sensoriamento deste campo magnético com transistores *split-drain* deve ser realizado

em bandas de frequência bastante reduzidas, para se aumentar a resolução do sistema detector, o que seria impraticável em bandas largas, devido aos elevados níveis de ruído associados. Assim, como alternativa viável à detecção do campo magnético, implementa-se um filtro passa-faixa com largura efetiva BW sintonizado na frequência correspondente ao menor intervalo de transição da corrente comutada ($1/\pi \cdot t_{r3}$), Fig.3. Nestas condições, o sensor detecta a máxima amplitude de campo magnético contida na envoltória do espectro. Chaveando-se o transistor de potência com intervalos de transição mais lentos (t_{r1} , t_{r2}) a envoltória do espectro se desloca para a esquerda, e o sinal na saída do filtro se reduz, indicando que a emissão diminuiu. Esta informação realimenta um controlador, possibilitando a operação em malha fechada de um controle de emissão eletromagnética. Entretanto, a sensibilidade e resolução do sistema detector depende fortemente da faixa de passagem (BW) do filtro utilizado, que pode apresentar limitações quanto à característica e ordem do filtro.

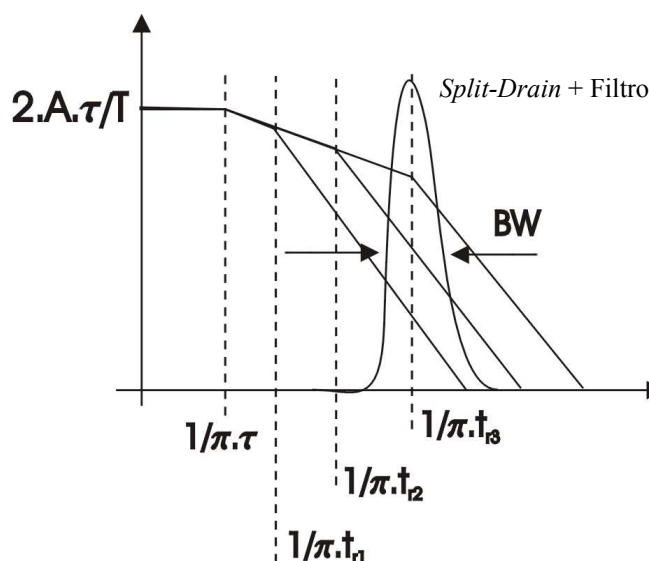


Fig. 3. Efeito do controle do intervalo de transição da corrente comutada no seu conteúdo harmônico, com impacto direto no campo magnético detectado localmente.

Desta forma, conhecendo-se a amplitude da componente harmônica da corrente que flui pelo transistor de potência e a sua variação em função do acionamento controlado, o campo magnético local

pode ser determinado a partir da geometria do sistema. Na sequência, investiga-se a resolução do circuito sensor e as suas limitações.

Resolução do Circuito Detector de Campo Magnético

Estudou-se no capítulo anterior um modelo geral para análise de ruído e resolução de circuitos sensores de campo magnético, empregando transistores *split-drain*. O modelo deduzido válido para operação do transistor na região de saturação é reapresentado na Fig.4. As fontes de densidade espectral de corrente de ruído longitudinal e transversal são reescritas na Eq. 2.

$$i = \sqrt{\frac{2.K.T.\mu.Q_I}{L^2}} \quad i_T = \sqrt{\frac{4.K.T.\mu.Q_I}{W^2}} \quad (2)$$

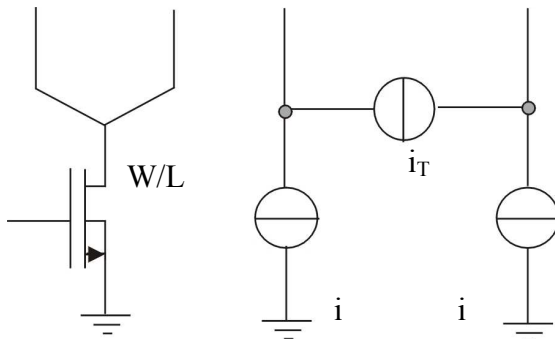
$$Q_I = \frac{2}{3}.W.L.C_{ox}.(V_{GS} - V_T)$$


Fig. 4.Modelo para análise de ruído em um transistor *split-drain*

Este modelo pode ser utilizado em conjunto com os modelos convencionais de dispositivos para análise de ruído do circuito completo, *split-drain* + instrumentação. Como resultado, obtém-se a densidade espectral de corrente ou tensão de ruído na saída do sistema detector, que será aplicada ao filtro, obtendo-se uma redução da amplitude do ruído detectado, e assim favorecer a resolução do sistema. Na sequência é discutido um exemplo, baseado em resultados experimentais.

Exemplo para Análise

Seja um transistor de potência comutando uma corrente com intervalos de transição $t_r=10\text{ns}$, amplitude 2A, frequência de comutação 500KHz, ciclo de trabalho de 50% ($\tau=1\mu\text{s}$). O espectro

correspondente está indicado na Fig.5. Representou-se também a envoltória do mesmo espectro. Um sensor magnético é posicionado próximo ao condutor que transporta esta corrente. Como abordado anteriormente, a frequência correspondente aos intervalos de transição da corrente pulsada equivale a $1/\pi \cdot t_r$ (31.8MHz). Nesta frequência será sintonizado um filtro na saída do circuito detector (*split-drain* + instrumentação) cuja faixa de passagem deve ser o mais estreita possível, a fim de se garantir resolução ao sistema. A partir desta configuração, o campo magnético detectado nesta frequência será determinado, inicialmente para o menor intervalo de transição, $t_r=10\text{ns}$. Posteriormente, baseando-se nas propriedades de ruído do circuito, determina-se o mínimo campo magnético detectável e a faixa de excursão dinâmica do circuito sensor.

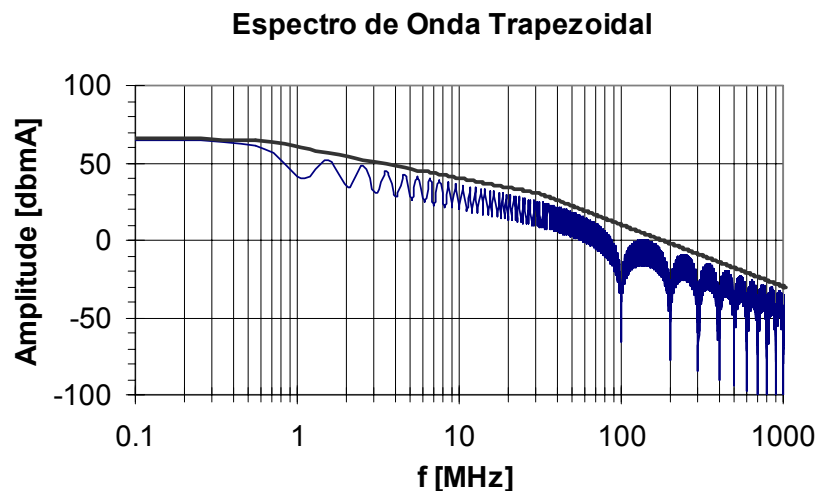


Fig. 5. Conteúdo harmônico de uma corrente pulsada com $t_r=t_f=10\text{ns}$, Amplitude=2, $f_s=500\text{KHz}$.

O campo magnético próximo produzido por cada uma das harmônicas da corrente pulsada pode ser calculado a partir da distância entre o condutor e o sensor, ou a geometria do sistema. Devido às dimensões envolvidas nos circuitos integrados e às geometrias retangulares utilizadas, técnicas baseadas em elementos finitos devem ser utilizadas na determinação dos campos magnéticos. Entretanto, para uma verificação de consistência inicial, aplicar-se-á a relação fundamental para o

campo magnético produzido por uma corrente I , assumida filamental, a uma distância d , onde será posicionado o elemento sensor.

$$B = 4.\pi.10^{-7}.\frac{I}{2.\pi.d} \quad (3)$$

Para o presente propósito, considera-se uma distância $d=10\mu\text{m}$, valor compatível com as distâncias envolvidas em circuitos integrados. Na seqüência, determina-se a amplitude da harmônica de corrente correspondente à frequência $1/\pi.t_r$ (31.8MHz) na distância de $10\mu\text{m}$, onde será posicionado o *split-drain*. Como visto anteriormente, um filtro passa-faixa será sintonizado nesta frequência. A partir da Fig.5, obtém-se que nesta frequência (correspondente ao segundo ponto de quebra na envoltória) a amplitude da harmônica correspondente vale 31dBmA, ou 35mA. Aplicando-se a Eq.3, o campo magnético produzido por esta corrente será $700\mu\text{T}$. O circuito detector (*split-drain* e instrumentação), a ser apresentado posteriormente, apresenta uma relação de conversão de 4.58V/T. Logo, na saída do mesmo, tem-se um sinal de tensão correspondente a este campo de $4.58\text{V/T}.700\mu\text{T}=3.2\text{mV}$. Este sinal, em uma base RMS, corresponde à informação da emissão eletromagnética gerada pela corrente pulsada, através da detecção do campo próximo. A frequência deste sinal, contida na banda de passagem do filtro, não sofre nenhuma atenuação. Por outro lado, ao se comutar o transistor mais lentamente, o espectro da corrente comutada se desloca para a esquerda, pois o intervalo t_r aumenta, enquanto que a amplitude das harmônicas detectadas dentro da banda de passagem do filtro se reduz, assim como o sinal detectado pelo sensor. Esta informação pode ser utilizada para a determinação de um ponto ótimo de operação. Mas qual seria a amplitude mínima da corrente que poderia ser detectada, através do seu campo magnético? Para se responder a esta pergunta, inicialmente deve-se realizar a análise de ruído do circuito detector completo, *split-drain* e instrumentação. O modelo de ruído para o transistor *split-drain* deve ser utilizado neste caso. Para o

circuito detector utilizado neste exemplo, a densidade espectral de tensão de ruído calculada (e verificada experimentalmente) é de aproximadamente $30\mu\text{V}\sqrt{\text{Hz}}$, projetada para a saída do circuito. Considerando-se uma banda de passagem de 50Hz (o que é razoável para uma implementação analógica), o valor RMS total do ruído na saída do circuito será de $30\mu\text{V}\sqrt{\text{Hz}}\cdot\sqrt{50}=200\mu\text{V}_{\text{RMS}}$. Considerando-se uma relação sinal-ruído $\text{SNR}=1$, esta corrente corresponde a um campo magnético de $200\mu\text{V}_{\text{RMS}}/4.58=45\mu\text{T}$ (campo magnético equivalente) na frequência 31.8MHz. A amplitude da componente harmônica da corrente pulsada que produz este campo, na mesma frequência, corresponde a 2.25mA, obtido a partir da Eq. 1, ou graficamente. Para esta corrente, o intervalo de transição ajustado equivale a $t_r=200\text{ns}$, conforme se pode verificar na Fig.6. Logo, o sistema é capaz de rastrear o campo magnético gerado por correntes pulsadas de amplitude 2A com intervalos de transição entre $10\text{ns}<t_r<200\text{ns}$, correspondentes à faixa dinâmica de operação do detector. Esta faixa de operação permite ao controlador ajustar as emissões no campo distante em aproximadamente 20dB, como discutido no Cap.I. Obviamente, para correntes menores que 2 A, a faixa dinâmica se modifica e as emissões diminuem, portanto, a análise deve ser feita para a máxima corrente prevista no transistor de potência.

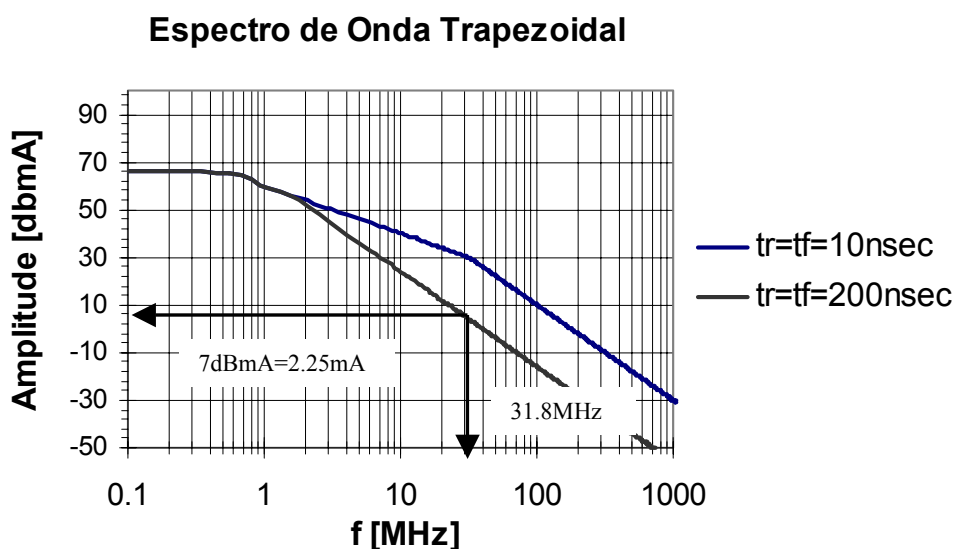


Fig. 6. Envoltórias dos espectros harmônicos da corrente pulsada para $t_r=10\text{nsec}$ e $t_r=200\text{nsec}$.

Este exemplo demonstra que é possível utilizar-se circuitos baseados em transistores *split-drain* na detecção de campos magnéticos gerados por correntes de comutação de transistores de potência. As condições essenciais para a viabilização de um circuito detector são: (a) Baixos níveis de geração de ruído pela instrumentação associada. (b) Bandas de resposta em frequência relativamente elevadas, para se processar a informação proveniente do chaveamento dos transistores. (c) Uso de filtros com alto fator de qualidade. Na sequência, alguns circuitos serão explorados, onde são analisadas as principais características com relação à resolução do campo magnético e resposta em frequência.

3.3. CIRCUITOS BÁSICOS

Alguns circuitos detectores de campo magnético baseados no transistor *split-drain* e implementados na forma de circuitos integrados CMOS (transistor e instrumentação associada) são analisados e verificados experimentalmente. As características básicas de detecção e relação sinal-ruído são investigadas com o objetivo de se determinar quais os circuitos mais apropriados para se implementar sensores magnéticos, de corrente e de emissão eletromagnética em tecnologia CMOS.

Amplificador de Transresistência

A partir da característica de saída em corrente de um dispositivo *split-drain*, uma escolha natural na realização de um circuito de instrumentação seria o emprego de um amplificador de transresistência que converte diretamente a corrente diferencial do *split-drain* sob a ação de um campo magnético em uma tensão de saída que pode ser processada pelas etapas seguintes do sistema. Por esta

razão, a literatura sugere a utilização de amplificadores magneto-operacionais (MOP) que realizam diretamente a conversão da corrente diferencial do transistor em uma tensão de saída. Transistores *split-drain* conectados a amplificadores diferenciais totais (*Fully-Differential*) do tipo *folded-cascode* proporcionam elevados ganhos de conversão corrente-tensão, sendo necessário o emprego de uma estrutura de realimentação para estabilização do ganho de modo comum. Este circuito de realimentação pode ser realizado com capacitores chaveados [1], [13] ou operar em modo contínuo [14]. Outras implementações de MOPs (também citados como MAGAMP) têm o ganho de realimentação configurado a partir de resistores externos [15]. Partindo-se de uma sugestão apresentada em [4] implementou-se um amplificador de transresistência em tecnologia CUB06 (Fig.7), que não emprega rede de resistores para ajuste do ganho, pois o mesmo é configurável a partir de uma corrente de polarização.

Trata-se basicamente de um circuito amplificador diferencial implementado em tecnologia CUB06 com entrada em corrente e sinal de realimentação também em corrente. A corrente diferencial de entrada percorre um caminho de baixa resistência, sendo então subtraída em um espelho-N tipo cascode. A resistência de saída dos espelhos cascode (M1,M2) e (M3,M4) realiza a conversão da corrente diferencial em uma tensão que é aplicada ao próximo circuito, um conversor tensão-corrente, por meio do transistor M6. Este transistor tipo P atua como um *follower*, direcionando o sinal de tensão diretamente sobre a condutância de saída do transistor M5 que produzirá a corrente de dreno em M6.



Sendo a condutância de M5 dependente da corrente de polarização, um controle de *feedback* é estabelecido. A partir da quantidade de realimentação, o ganho de conversão, ou a transresistência pode ser variada. Adicionalmente, um *driver* composto de um par de transistores P e N são conectados na saída do circuito para se evitar o carregamento da resistência de saída dos espelhos. A partir das tensões e correntes indicadas na Fig.7, a transresistência pode ser determinada [16], Eq.4.

$$\begin{aligned} \frac{Vo}{In} &= R_T = \frac{2.Ro}{1 + Ro.g_{ds5}} & Ro &= Ron // Rop & g_{ds5} &= \lambda_p \frac{I_{POL}}{4} \\ Ron &= r_{ds1} + r_{ds2} + g_{m1}.r_{ds1}.r_{ds2} \cdot \left(1 + \frac{\gamma}{2.\sqrt{\phi_0 - V_{BS}}} \right) & Rop &= r_{ds3} + r_{ds4} + g_{m3}.r_{ds3}.r_{ds} \\ r_{ds} &= (\lambda.I_D)^{-1} & \lambda_p &= 0.02 & \lambda_n &= 0.01 \end{aligned} \quad (4)$$

Os parâmetros na Eq.4 referem-se: r_{ds} , resistência dreno-*source* do transistor considerado, g_m a respectiva transcondutância, λ o fator de modulação de canal (transistor MOSP, $\lambda_p=0.02$, MOSN, $\lambda_n=0.01$), γ o coeficiente de efeito de corpo da tecnologia, em CUB06, $\gamma_n=0.8\sqrt{V}$, $\gamma_p=0.48\sqrt{V}$, $\phi_0=2.\phi_F=0.848V$ e V_{BS} a tensão *body-source* do transistor. O ganho de conversão do circuito ou a transresistência pode ser determinada a partir da Eq.4, utilizando-se a aproximação $r_{ds} = (\lambda.I_D)^{-1}$ mas o valor de transresistência fica superestimado, como observado através de simulações. A determinação exata das condutâncias dos transistores em função da corrente de entrada e de polarização pode ser realizada através de simulação baseada nos parâmetros da tecnologia. Este procedimento produz melhores resultados. Na Fig.8 estão representados alguns resultados de simulação para o ganho (transresistência) do circuito em função da corrente estática em cada entrada, parametrizada na corrente de polarização, que determina o ganho do circuito.

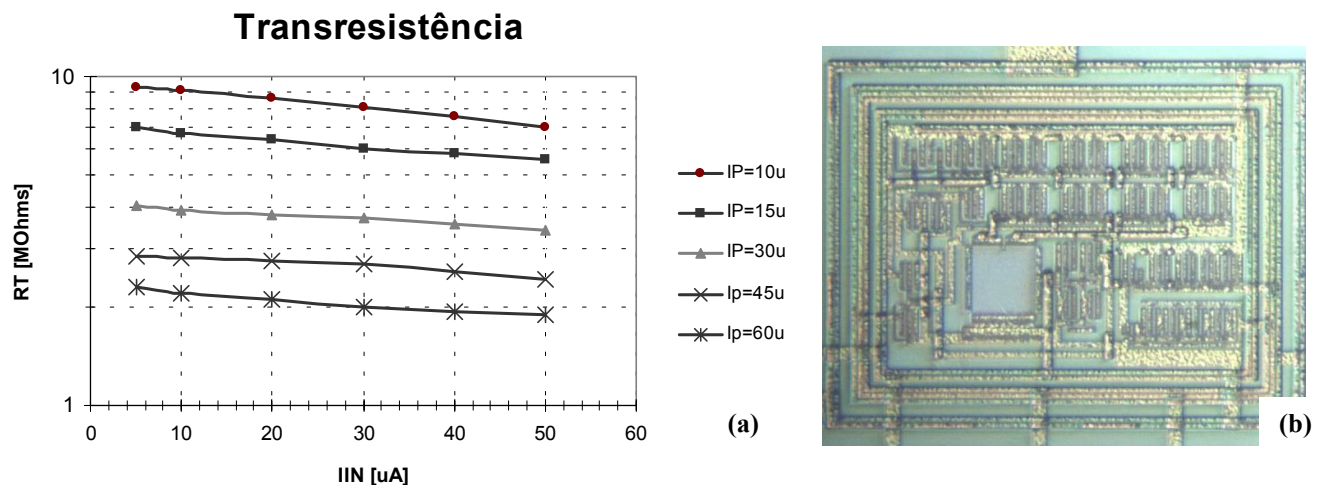


Fig.8. (a)Variação da Transresistência (Teórico). (b) Fotomicrografia do circuito implementado com *split-drain*. (c) Característica Estática levantada noHP4155 e determinação da Transresistência.

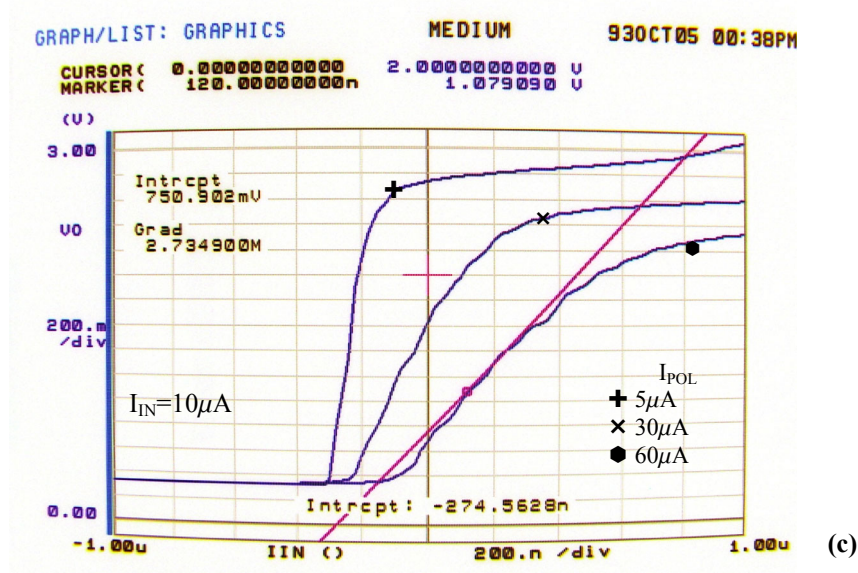


Fig.8. (Cont.) (c) Característica Estática levantada noHP4155 e determinação da Transresistência.

Uma verificação da estabilidade do circuito pode ser realizada a partir de uma simulação em malha aberta como indicado na Fig.9. A simulação é realizada considerando uma condição de operação onde o ganho é máximo ($I_{POL}=5\mu A$ e $I_{IN}=10\mu A$ em cada entrada), para se garantir a estabilidade em toda a faixa de operação. O ponto de realimentação de corrente apresenta baixa impedância (impedância de entrada do espelho cascode), logo na abertura da malha, representa-se este efeito por uma fonte de tensão com valor suficiente para polarizar o transistor de saída. No ponto de entrada da realimentação, acrescenta-se uma fonte de corrente, representando a elevada impedância de saída do circuito conversor tensão-corrente. Como o sinal de realimentação é corrente, a resposta em frequência do ganho de malha aberta é definida como I_{out}/I_{in} , dado em dB. Observa-se que o sistema é estável, apresentando um margem de fase igual ou superior a 90° , para qualquer condição de operação do amplificador. O circuito foi simulado com base nos parâmetros da tecnologia CUB06.

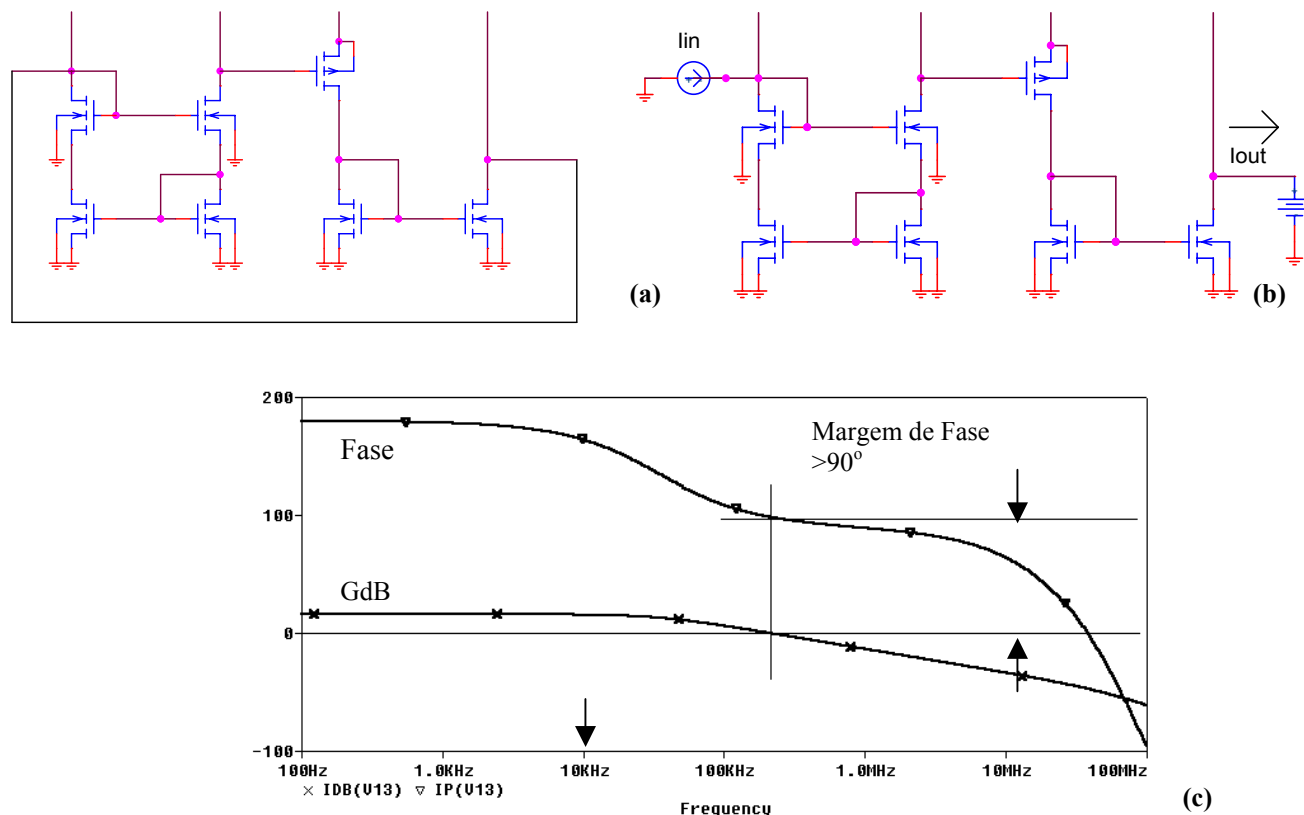


Fig. 9. (a) Circuito em malha fechada original. (b) Obtenção da malha aberta. (c) Resposta em frequência da malha aberta (Simulação)

A resposta em frequência de malha fechada do circuito foi levantada experimentalmente no analisador de redes (*network analyser*-HP3577) para duas condições de corrente de polarização: $I_{POL}=7\mu A$ e $I_{POL}=70\mu A$ e os resultados comparados com resultados de simulação. O *setup* de conexão ao HP3577 é indicado na Fig.10. Dois resistores externos de $R_{IN}=47K\Omega$ foram utilizados para se polarizar cada uma das entradas do amplificador com cerca de $50\mu A$. O resistor de polarização para a condição $I_{POL}=7\mu A$ vale $560K\Omega$ e para $I_{POL}=70\mu A$, $47K\Omega$. Um resistor de carga de $R_L=10K\Omega$ foi conectado à saída do amplificador.

O sinal de tensão gerado pelo HP3577 com frequência variável é aplicado a uma das entradas do circuito e também à entrada de referência **R** do equipamento, cuja impedância de entrada foi

ajustada em 50Ω . O sinal de tensão gerado pelo amplificador é aplicado à entrada **A** do analisador de redes, com impedância de entrada ajustada em $1M\Omega$ para não carregar o circuito de saída do amplificador de transresistência. A amplitude do sinal pode ser variada entre $1mV$ e $10mV$ de acordo com a melhor visualização da resposta. A saída é apresentada como a razão logarítmica entre o sinal de saída do amplificador aplicado na entrada **A** e o sinal gerado pela fonte aplicado na entrada **R**, dado em dB. A mesma condição do ensaio foi simulada utilizando-se os parâmetros da tecnologia CUB06.

Os resultados obtidos são razoavelmente próximos como se pode comparar na Fig.11. Observa-se que menores ganhos proporcionam uma faixa de resposta em frequência mais ampla, como esperado.

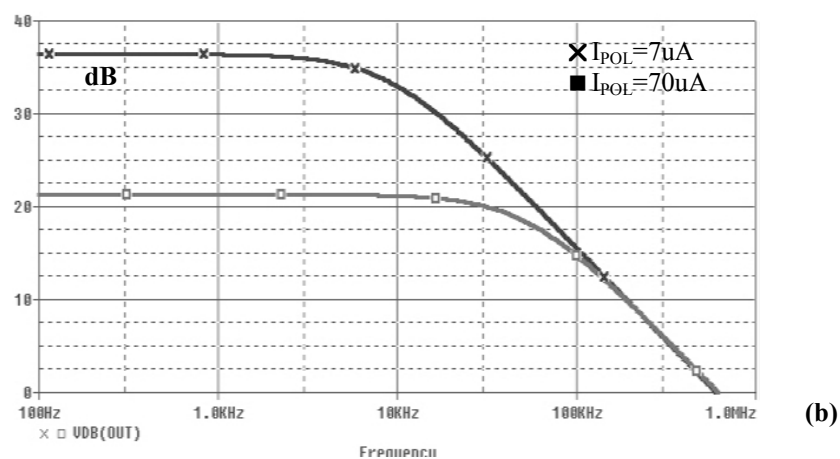
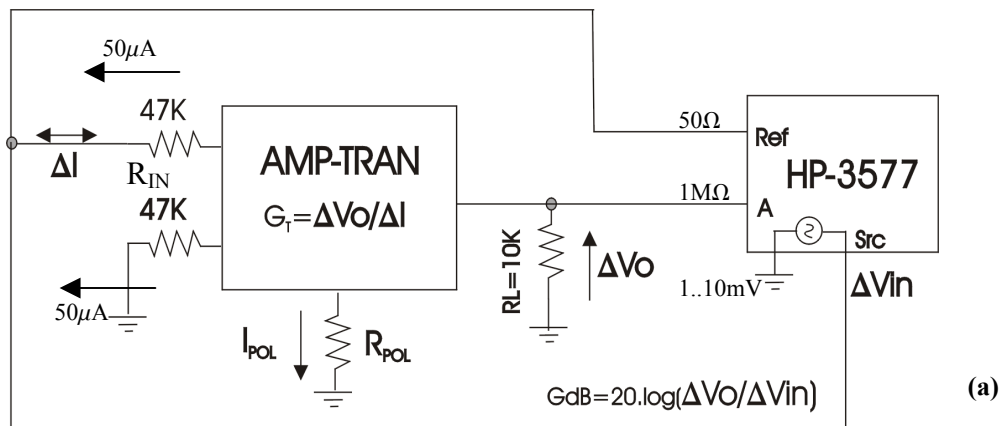


Fig.10. (a) Setup utilizado para verificação da resposta em frequência. (b) Resultados de simulação.

A conexão dos *pads* nos pontos do circuito não foi levada em consideração, o que pode introduzir variações nas frequências de corte observadas. Melhores resultados seriam obtidos a partir de uma extração de parâmetros de *lay-out* que levam em conta todas as capacitâncias do circuito. Infelizmente, esta ferramenta do pacote da Mentor Graphics para projetos de circuitos integrados não se encontra disponível.

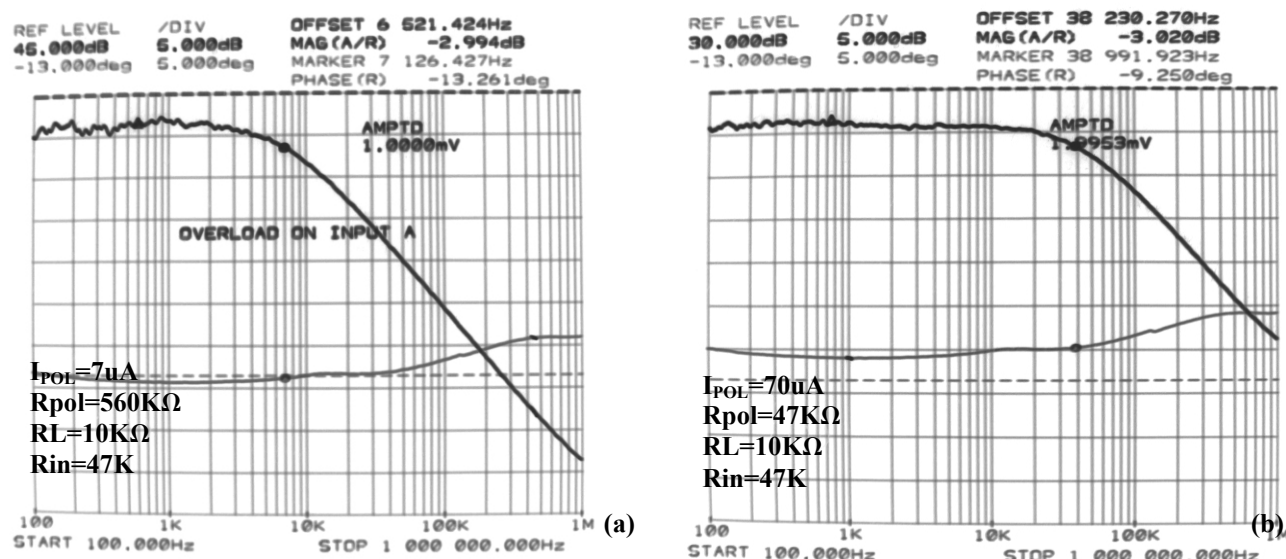


Fig.11. Resposta em frequência do *Amp-Tran*: (a) Medida para $I_{POL}=7\mu A$. (b) Medida para $I_{POL}=70\mu A$

O ruído gerado pelo amplificador foi obtido por simulação e verificado experimentalmente para algumas condições de operação. Ajustou-se uma corrente de entrada de $15\mu A$ ($R_{IN}=220K\Omega$) e corrente de polarização de $3.9\mu A$ ($R_{POL}=1M\Omega$). Esta condição corresponde ao ganho máximo de operação do amplificador, onde o ruído projetado para a saída também é máximo. Observa-se na região de ruído térmico uma correspondência bastante razoável com os resultados de simulação (Fig.12).

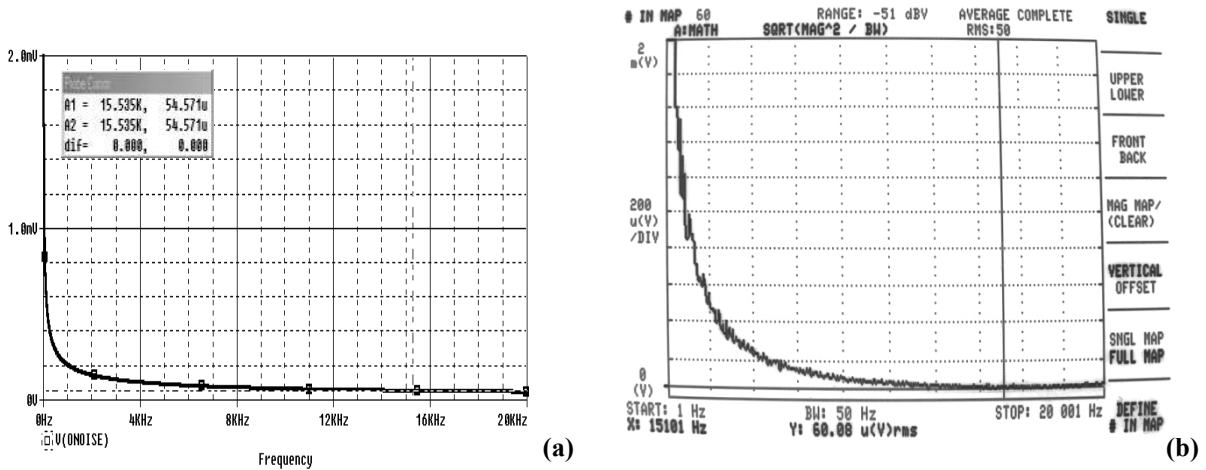


Fig.12. (a) Níveis de Ruído obtidos por simulação. (b) Resultados experimentais.

Uma versão integrada do amplificador de transresistância e transistor *split-drain* foi implementada, cujos resultados são apresentados na sequência, Fig.13(a). Ajustando-se uma tensão de *gate* do *split-drain* em $V_G=3.21V$, a corrente total do transistor será de $190\mu A$, sendo aplicada em cada uma das entradas do amplificador de transresistância uma corrente de $95\mu A$. Utilizou-se um resistor de polarização de $560K\Omega$, estabelecendo uma corrente de cerca de $7\mu A$. O resistor de carga conectado na saída é $10K\Omega$. Aplicando-se um campo magnético de $220\mu T$ com frequência $f=2.5KHz$ sobre o circuito integrado observa-se no analisador de sinal a detecção deste nível, Fig.13(b). Para o transistor *split-drain-N* implementado em CUB06 com $L/W=1$, a sensibilidade calculada no Apêndice I foi de $2.6\%/T$. Considerando que o mesmo opera com corrente de polarização $I_D=190\mu A$, a corrente diferencial produzida por um campo magnético aplicado pode ser obtida a partir de $\Delta I = S \cdot I_D \cdot B$. Substituindo valores, obtém-se $\Delta I=988 \times 10^{-12} A$. Esta corrente produzirá uma tensão de saída correspondente a $\Delta V_0=R_T \cdot \Delta I$, onde R_T refere-se ao ganho de transresistância do amplificador que nesta condição de operação, $R_T=2.6M\Omega$. A tensão RMS lida no analisador de sinal será $\Delta V_0=R_T \cdot \Delta I=2.5mV_{RMS}$. Considerando uma resolução de banda de $12.5Hz$ (BW-Resolution Bandwidth)

utilizada pelo analisador de sinal na frequência de 2.5KHz, a tensão de saída será visualizada no analisador de sinais como $2.5 \times 10^{-3} / \sqrt{12.5} = 700 \mu\text{V} / \sqrt{\text{Hz}}$. Observa-se neste caso que o campo mínimo detectável equivale a cerca de $250 \mu\text{V} / \sqrt{\text{Hz}}$, ou em valores RMS absolutos para 1Hz de BW: $883 \mu\text{V}$. Projetando-se para a entrada do circuito este valor, obtém-se: $\Delta I = V_0 / R_T = 335 \text{pA}$ e aplicando-se $\Delta I = S \cdot I_D \cdot B_{\text{MIN}}$, logo, para as mesmas condições de operação $B_{\text{MIN}} = 70 \mu\text{T}$ (Em 1Hz de banda).

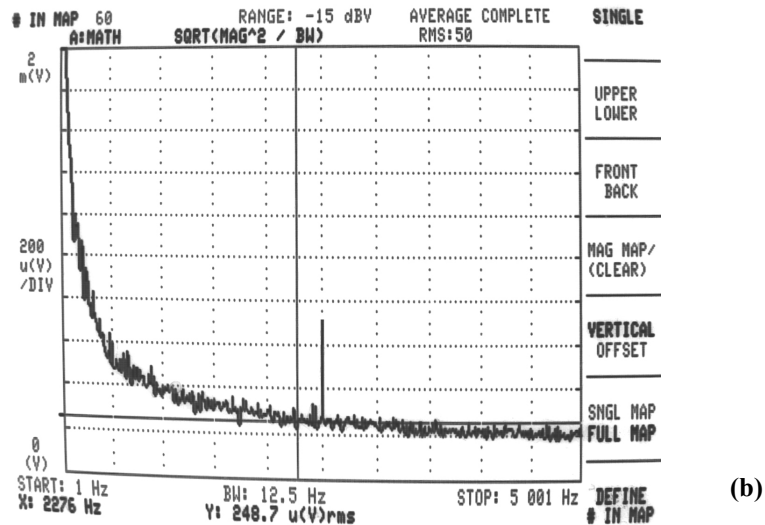
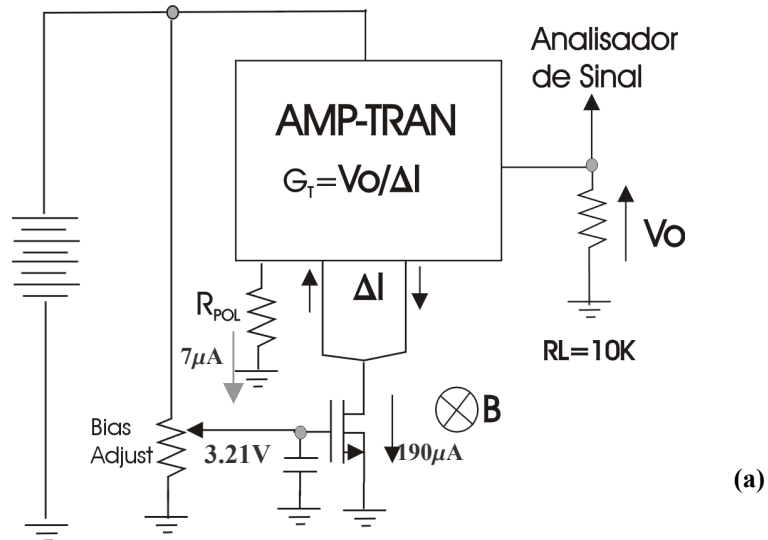


Fig.13. (a) *Split-Drain* conectado ao amplificador de transresistência (integrado).
(b) Detecção de um campo de $220 \mu\text{T}$ e ruído de fundo associado.

Repetindo-se o procedimento para outras frequências, determina-se a característica da tensão de saída em função do campo magnético aplicado. Utilizou-se a caneta magnética caracterizada no Apêndice I conectada a um calibrador de corrente da marca VALHALLA Scientific, modelo 2500EP para produzir um campo magnético local com frequências de 100Hz, 1KHz, 2.5KHz e 4.5KHz e amplitude variável de até 6mT (RMS). Este equipamento é conectado a um gerador de funções HP33120 que determina a amplitude e frequência do campo produzido. Mantendo-se a polarização do circuito como anteriormente, $V_G=3.21V$, $I_D=190\mu A$, $I_{POL}=7\mu A$, $R_L=10K\Omega$ aplica-se o campo magnético e realiza-se a leitura do sinal detectado no analisador de sinais. Repete-se o procedimento para outras amplitudes de campo magnético, obtendo-se o gráfico da Fig.14(a). Conforme indicado na literatura, esta caracterização é normalmente realizada com campo magnético estático [3], [15], [17]. Em frequências mais elevadas, é necessário restringir o campo magnético aplicado pela caneta somente sobre o sensor, para se evitar indução magnética adicional. Assim, uma blindagem com múltiplas camadas (cobre, metalon, alumínio) foi disposta entre o *chip* e o *setup* para minimizar o acoplamento magnético com os condutores deste último, Fig.14(b),(c).

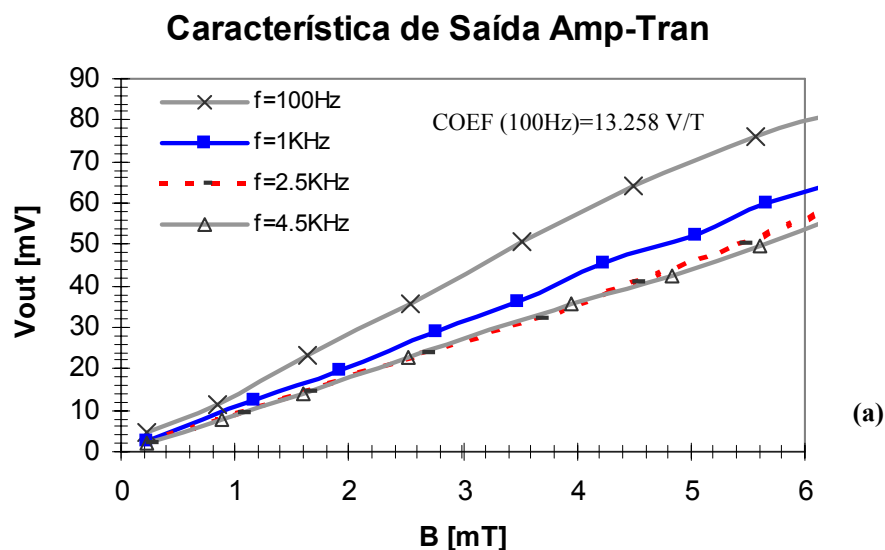


Fig.14. (a) Resposta do circuito detector a um campo magnético aplicado.

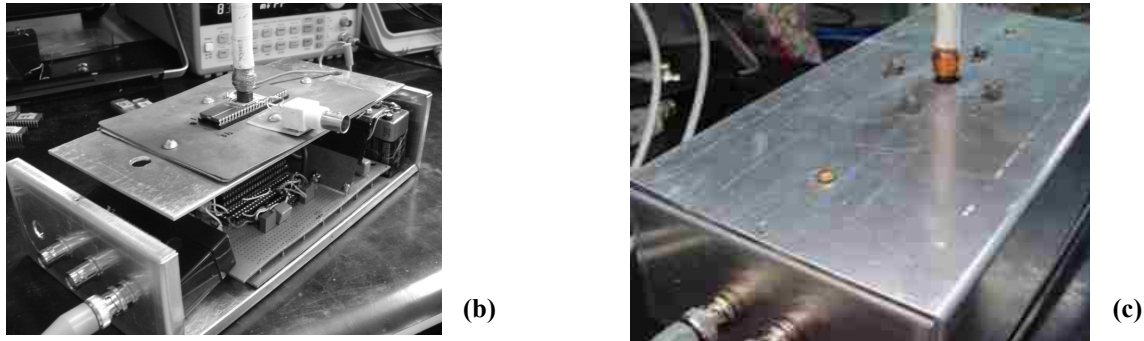


Fig.14. (Cont). (b) Blindagem utilizada entre o *chip* e o *setup*. (c) Blindagem adicional sobre a anterior, isolando o *setup* de medida.

Observou-se nos resultados obtidos uma redução do sinal detectado com o aumento da frequência do campo magnético aplicado. Este comportamento contradiz a resposta em frequência do amplificador de transresistência, que opera em banda plana até cerca de 7KHz para $I_{POL}=7\mu A$, vide Fig.11(a). O *split-drain* operando em modo de corrente atinge frequências muito mais elevadas. Uma verificação mais detalhada indicou que o campo magnético produzido pela caneta em contato com a blindagem sofre uma atenuação em frequências mais elevadas, o que explica a redução do sinal detectado observado. Por outro lado, a não utilização da blindagem produz acoplamentos magnéticos indesejáveis, aumentando a amplitude do sinal detectado. Posteriormente, será detalhada uma solução para se eliminar o efeito do acoplamento magnético no item 3.4.

Uma verificação adicional de consistência das medidas com o ganho do circuito é realizada a seguir. Utilizou-se a resposta de campo detectada em 100Hz, mais próxima das medidas estáticas realizadas no HP4155. O coeficiente da reta ajustada às medidas em 100Hz equivale a 13.258 V/T conforme indicado na Fig.15(a). Para o transistor *split-drain* implementado em CUB06 com $L/W=1$, a sensibilidade calculada no Apêndice I foi de 2.6%/T. Considerando que o mesmo opera com corrente de polarização $I_D=190\mu A$, a corrente diferencial produzida por um campo magnético aplicado pode ser obtida a partir de $\Delta I = S \cdot I_D \cdot \Delta B$. Substituindo valores, obtém-se $\Delta I = 4.94 \times 10^{-6} \cdot \Delta B$. Esta corrente produzirá uma tensão de saída correspondente a $\Delta V_0 = R_T \cdot \Delta I$, onde R_T refere-se ao ganho de

transresistência do amplificador. Substituindo a expressão para ΔI_+ , obtém-se $\Delta V_0 = R_T \cdot 4.94 \times 10^{-6} \cdot \Delta B$, ou $\Delta V_0 / \Delta B = R_T \cdot 4.94 \times 10^{-6}$. A partir do coeficiente ajustado, $\Delta V_0 / \Delta B = 13.258 \text{ V/T}$ e combinando-se estas duas últimas expressões, determina-se $R_T = 2.68 \times 10^6 \Omega$. Operando-se o amplificador de transresistência (versão sem o *split-drain*) nas mesmas condições ($I_{POL} = 7 \mu\text{A}$, $I_{IN1} = I_{IN2} = I_D / 2 = 95 \mu\text{A}$), mediu-se o ganho no HP4155, conforme indicado na Fig.15(b). Há praticamente uma coincidência dos resultados. Este circuito apresenta a vantagem de entregar o sinal detectado diretamente na forma de tensão, o que é bastante desejável em certas aplicações. Entretanto, o circuito necessita de um ajuste de *offset* de acordo com o ponto de operação, o que pode ser considerado uma desvantagem. A resposta em frequência e a resolução obtidas são insuficientes para utilizar este circuito como detector de EMI.

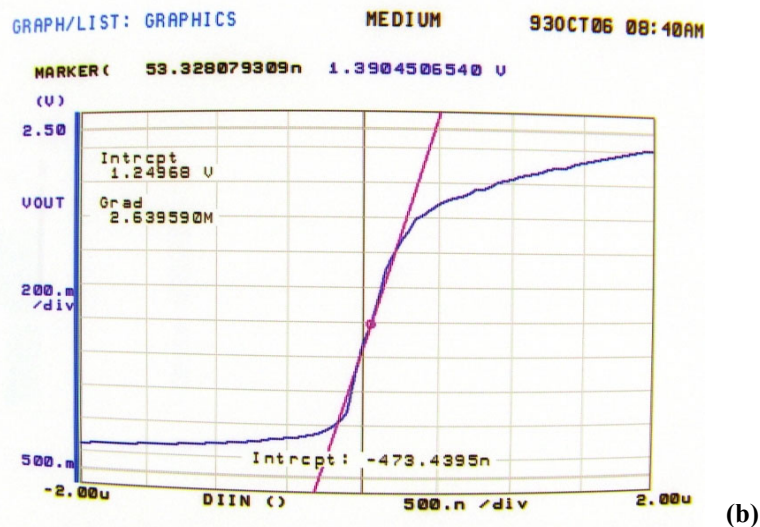
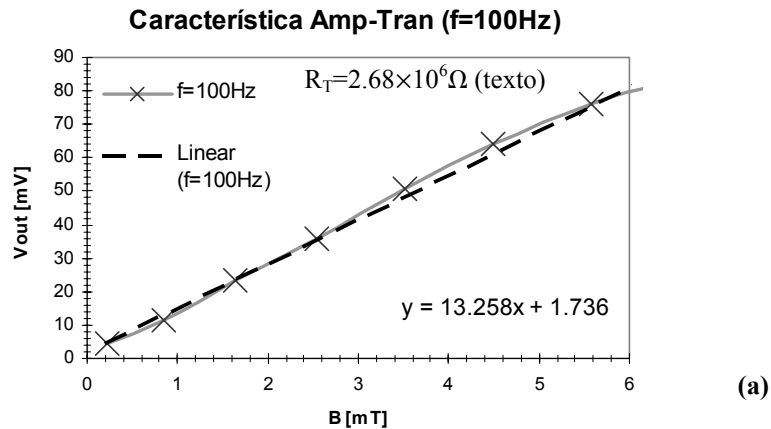


Fig.15. (a) Determinação do ganho do amplificador a partir das medidas realizadas em $f=100\text{Hz}$.
(b) Mesma determinação utilizando-se a versão integrada sem *split-drain* e HP4155.

Amplificador de Razão de Áreas

A corrente diferencial produzida por um transistor *split-drain* polarizado em forte inversão ($I_D \sim 100 \mu A$) e submetido a campos da ordem de 1-100mT é algo em torno de 0.1-10nA. Para transistores tipo P, este valor é menor ainda. Logo, necessita-se de uma forte amplificação deste sinal para tornar o detector útil. A literatura reporta circuitos baseados em *arrays* de transistores *split-drain* que são agrupamentos de Magfets visando aumentar a sensibilidade da estrutura. Em 1986, Misra propôs uma topologia baseada em transistores *split-drain* conectados em cascata, definido como árvore genealógica pelo próprio autor. Como a sequência das conexões ocorre na vertical, o ganho da estrutura é muito afetado pelo efeito da tensão *body-source* dos transistores (Efeito de Corpo). Por outro lado, o uso de transistores P não é recomendado devido a menor sensibilidade [18]. Visando solucionar este problema, outras estruturas foram testadas. Em 1990, o próprio Misra propôs uma topologia baseada em transistores *split-drain* tipo N combinados com espelhos de corrente, obtendo um ganho em sensibilidade de 5% em relação ao trabalho anterior [19]. Outros autores propuseram estruturas mais sofisticadas, obtendo-se acréscimos significativos na sensibilidade da estrutura em relação à obtida por um único dispositivo *split-drain* [20]. Entretanto, tais estruturas baseadas em *arrays* de *split-drains* requerem a utilização de grandes áreas de silício aumentando significativamente o custo de sensor. Isto porque as geometrias quadradas utilizadas (para maior sensibilidade do Magfet) ocupam o maior percentual de área do detector magnético. Assim, pensou-se na implementação de um sensor que ocupasse um espaço relativamente menor, mas que mantivesse a característica de sensibilidade e ganho requeridos.

Como primeira tentativa de se elaborar um circuito de instrumentação para sensores *split-drain* implementou-se uma estrutura baseada em espelhos de corrente com ganhos consecutivos entre estágios de acordo com a razão de áreas entre os transistores de entrada e saída de cada espelho. Esta

técnica permite o processamento do sinal no modo corrente, alcançando-se frequências de operação razoavelmente elevadas. O circuito implementado em tecnologia CUB06 é apresentado na Fig.16. Consiste de três estágios de espelhos-tipo-N para cada braço com razão de áreas de $1.2\mu/4\mu:1.2\mu/20\mu$ proporcionando um ganho de corrente de $G=5$ por estágio. Um espelho adicional realiza a subtração da corrente diferencial amplificada, o que equivale a multiplicá-la por 2. Um estágio de saída com razão de áreas $1.2\mu/5\mu:1.2\mu/20$ proporciona um ganho extra de 4. Todo este processamento produz um ganho total de corrente de 1000, ou 60dB. Na Eq.5 está sistematizado o procedimento de cálculo para implementações com qualquer número de estágios.

$$G_{TI} = 2.G^N \quad G = 5 \quad N = 3 \quad G_{extra} = 4 \quad G_{TI} = 1000 \quad (5)$$

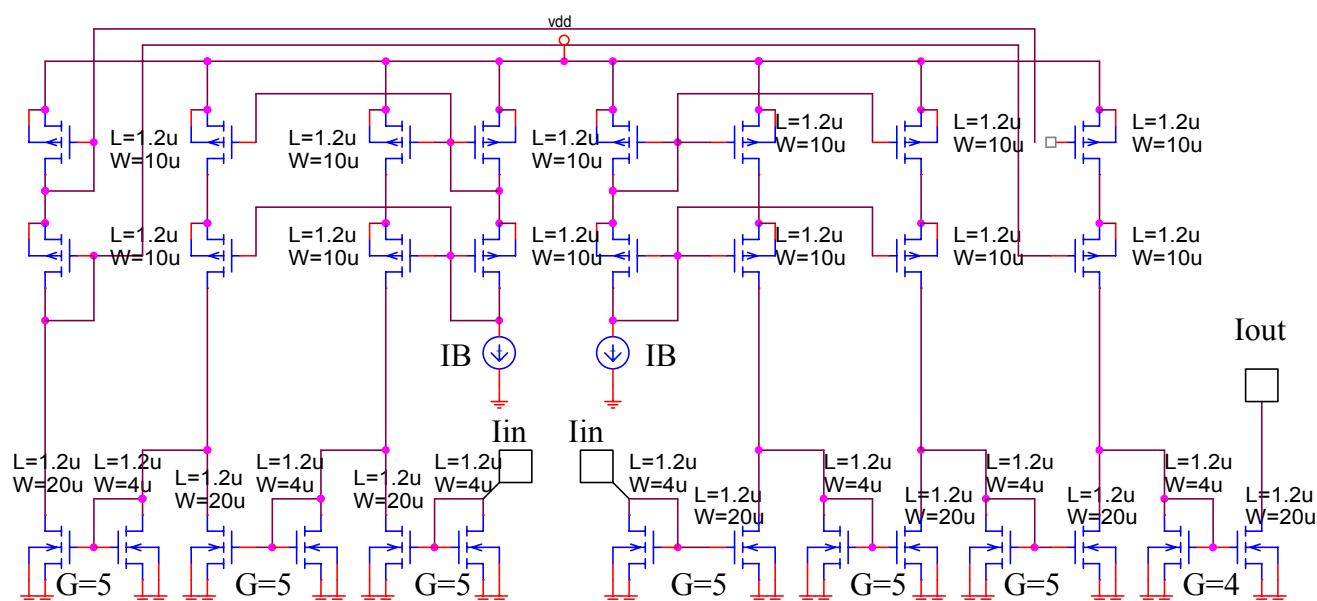


Fig.16. Amplificador de Razão de Áreas

A corrente de polarização de entrada do circuito é ajustada de acordo com $I_B = I_{IN} \cdot (1 + G)$ para se proporcionar a corrente de polarização para cada espelho. Fig.17(a) ilustra a característica de transferência estática do amplificador de corrente operando com corrente de $I_{IN}=15\mu A$ por entrada e corrente de polarização para cada braço de $I_B \approx 90\mu A$. O ganho estático medido através do coeficiente

da característica de transferência é razoavelmente próximo do valor teórico. O ajuste em uma das correntes de polarização geralmente é necessário devido ao descasamento da estrutura, como pode ser observado na Fig.17(b), que ilustra o efeito deste ajuste na corrente de saída do amplificador. Técnicas de *lay-out* como a utilização de estruturas em *cross-quad* [21] tendem a reduzir tais erros.

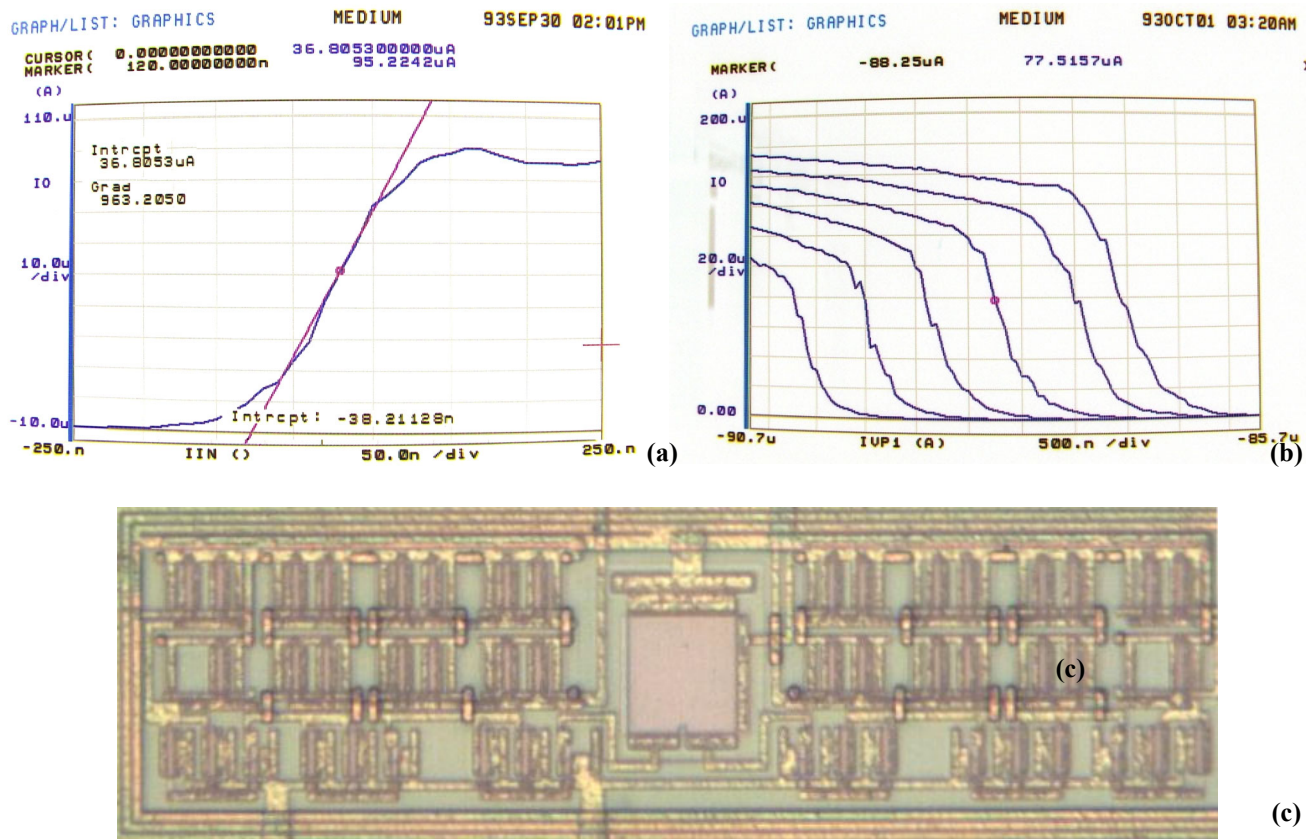
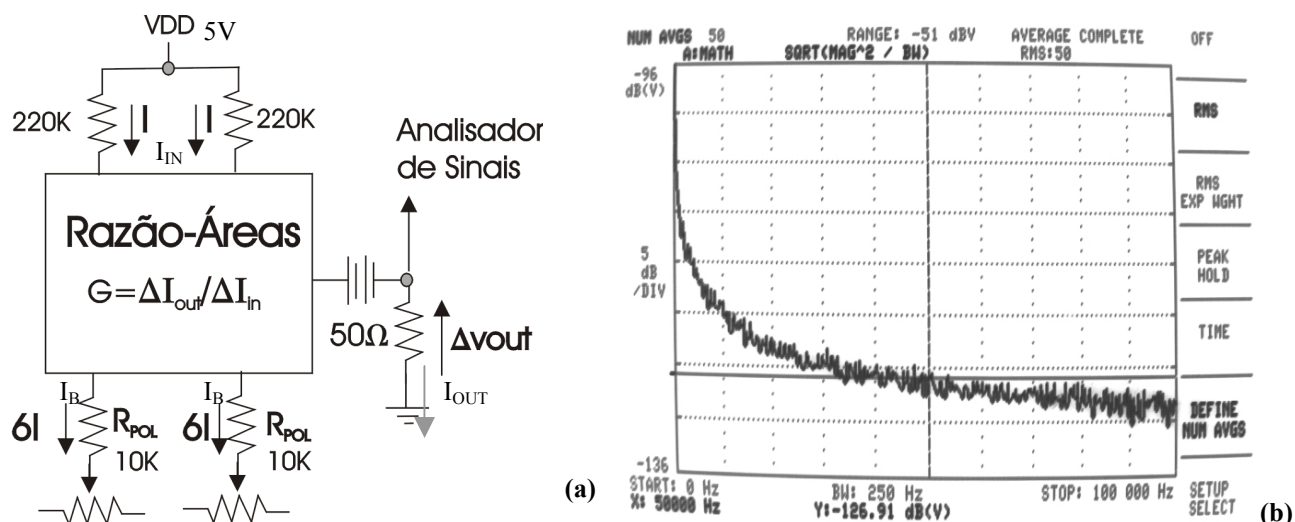


Fig.17. (a) Característica de Transferência Estática . (b) Ajuste na corrente de polarização. (c) Circuito implementado em tecnologia CUB06 na versão com *Split-Drain*.

A verificação do ruído gerado pelo circuito amplificador foi realizada utilizando-se o *setup* indicado na Fig.18(a) e o analisador de sinais HP3561. Ajustando-se uma corrente de entrada $I_{IN}=15\mu A$ e corrente de polarização $I_B\approx 90\mu A$ através dos resistores indicados, a corrente de ruído sobre o resistor de carga de 50Ω pode ser avaliada. A escolha deste resistor se deve ao fato do circuito amplificador operar no modo corrente. Comparou-se o resultado experimental com uma simulação em PSPICE nas

mesmas condições do ensaio e utilizando-se os parâmetros da tecnologia. Diferenças da ordem de 3dB podem ser esperadas, Fig.18(b).



**Fig.18. (a) Setup utilizado na medida de densidade espectral de ruído.
(b) Verificação experimental. Condições $I_{IN}=15\mu A$ e $I_B\approx 90\mu A$**

A resposta em frequência do circuito é obtida a partir da medida no analisador de redes HP3577, de acordo com o *setup* indicado na Fig.19(a). Utilizou-se a mesma polarização: $I_{IN}=15\mu A$ e corrente de polarização $I_B\approx 90\mu A$. Conectou-se a saída em corrente do amplificador diretamente na entrada do analisador de redes, configurada em 50Ω , que realizará a conversão corrente-tensão necessária à leitura do sinal. Uma fonte DC conectada em série ajusta a tensão DC na entrada A do analisador de redes em um valor próximo de zero, evitando-se qualquer sobre-excitação na entrada do equipamento. Utilizou-se ainda um capacitor de bloqueio da corrente DC de entrada para se evitar que a mesma seja desviada pela baixa impedância da fonte de sinal do HP3577. A leitura da resposta é obtida a partir da relação em dB do sinal convertido na resistência de 50Ω da entrada A e o gerado pela fonte de sinal, que é aplicado diretamente na entrada de referência R. A partir da simulação em PSPICE desta configuração, obtém-se o ganho de $-5dB$ e frequência de corte em 36MHz, Fig.19(b).

Entretanto, apesar de se observar consistência entre simulação e medidas até cerca de 10MHz, a partir desta frequência o *setup* utilizado introduz um erro considerável devido provavelmente a acoplamentos capacitivos não levados em conta. Esta hipótese é testada para o circuito desconectado da alimentação, onde a mesma resposta é obtida em frequências acima de 10MHz. O *setup* não foi otimizado para operação em frequências desta ordem, Fig.19(c).

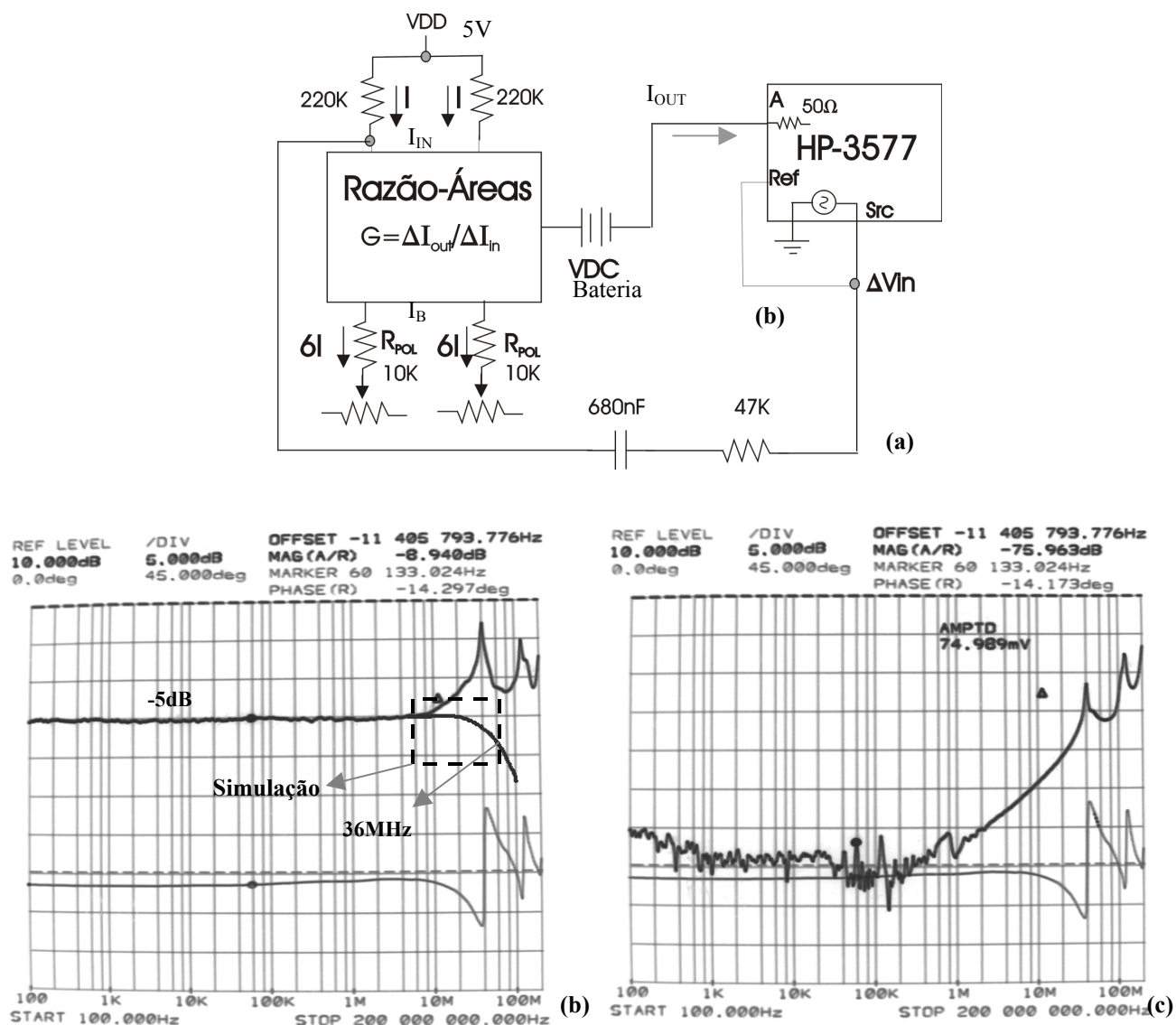


Fig.19. (a) *Setup* utilizado para obtenção da resposta em frequência do amplificador de corrente. (b) Resultados experimentais (Simulação superposta esquematicamente). (c) Influência do *setup* utilizado.

A versão integrada completa inclui o transistor *split-drain* tipo P com dimensões $L/W=26\mu/24\mu$ conectado às entradas do amplificador, como indicado na Fig.20(a). A característica de detecção é determinada a partir da aplicação de um campo magnético local produzido pela caneta e a medida da tensão RMS desenvolvida sobre a carga de 50Ω utilizando-se o analisador de sinais. Realizando-se este procedimento para uma faixa de valores de campo aplicado obtém-se a característica indicada na Fig.20(b) para condições de operação do *split-drain* $I_D=12\mu A$, $V_{GS}=3.23V$. Optou-se pela representação em 20Hz, mas frequências até 5KHz foram testadas igualmente. A frequência máxima é limitada pela faixa de operação do calibrador de corrente que excita a caneta magnética. O ruído de fundo limita o mínimo campo detectável, conforme indicado. O transistor *split-drain* tipo P apresenta sensibilidade magnética inferior ao tipo N, logo níveis de detecção inferiores são esperados.

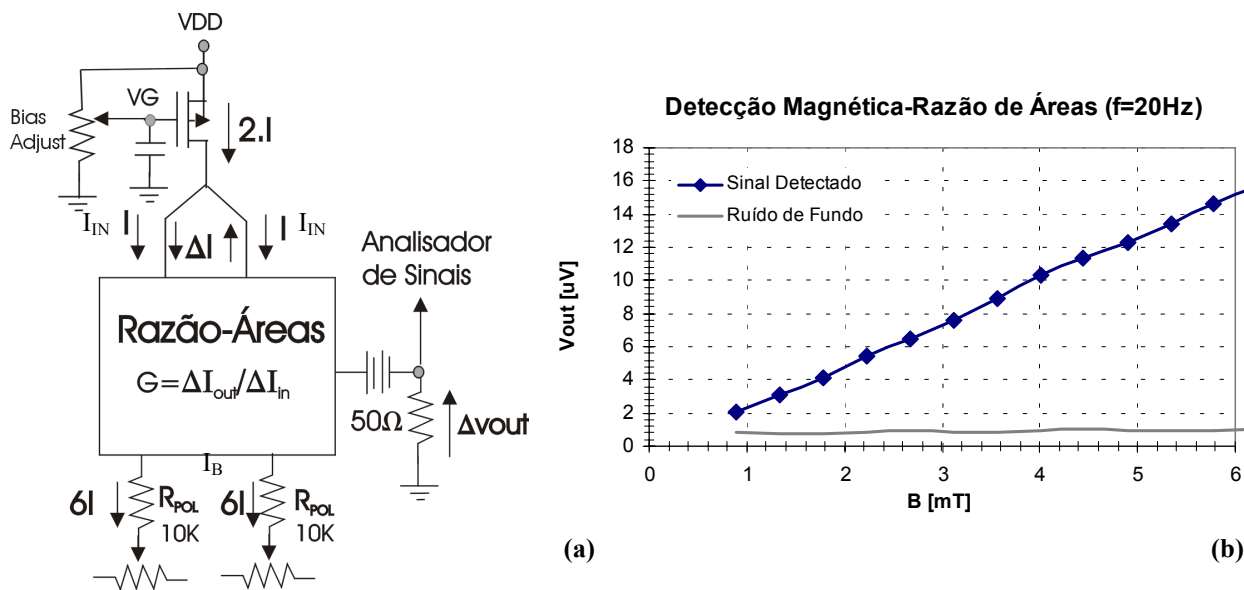
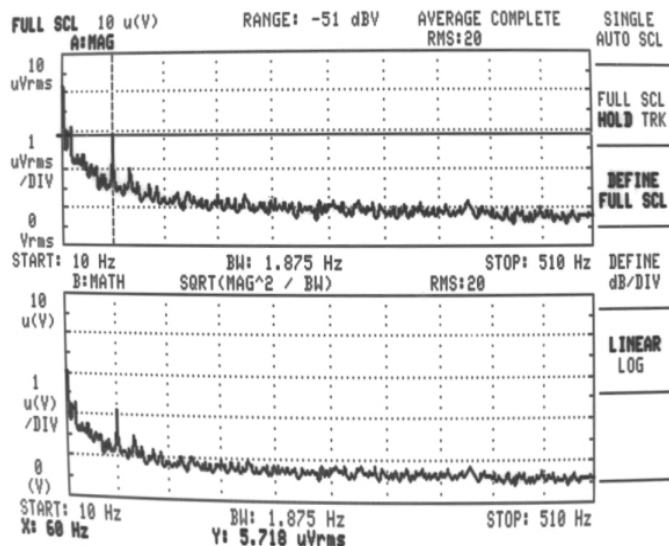
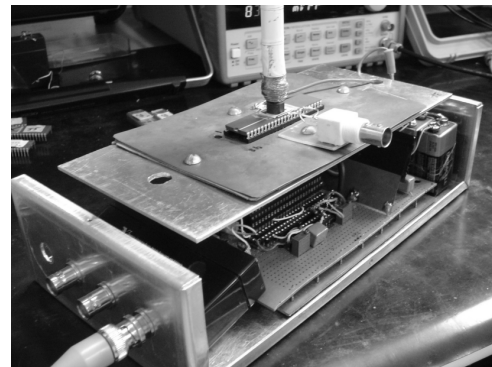


Fig.20. (a) Circuito Detector composto pelo *Split-Drain* e amplificador de corrente.
(b) Característica de detecção magnética para uma carga de 50Ω (Medidas)

Uma verificação adicional de consistência das medidas com o ganho do circuito é apresentada a seguir. Aplica-se um campo de 2.0mT com frequência de 60Hz. Para o transistor *split-drain* tipo P implementado em CUB06 com $L/W=26\mu/24\mu$, a sensibilidade determinada no Apêndice I foi de 0.78%/T. Considerando que o mesmo opera com corrente de polarização $I_D=10\mu A$, $V_{GS}=3.24V$, a corrente diferencial produzida pela aplicação do campo pode ser obtida a partir de $\Delta I = S \cdot I_D \cdot B$. Substituindo valores, obtém-se $\Delta I=156pA$. Esta corrente diferencial produzirá uma corrente de saída correspondente a $I_0=G_I \cdot \Delta I$, onde G_I refere-se ao ganho de corrente medido do amplificador ($G_I=963$). Considerando a conversão corrente-tensão sobre o resistor de 50Ω , a tensão de saída correspondente a este campo magnético será $V_0=156 \times 10^{-12} \times 963 \times 50 = 7.5\mu V$, valor razoavelmente próximo do verificado ($5.718\mu V$) na Fig.21(a). A densidade espectral de ruído é também indicada na mesma figura. O *setup* utilizado nas medidas, Fig.21(b), emprega uma blindagem para se evitar acoplamento entre o campo magnético aplicado e os condutores do próprio *setup*. Este circuito apesar de apresentar banda suficiente para a detecção de EMI, não apresenta sensibilidade adequada, por utilizar transistor tipo P.



(a)



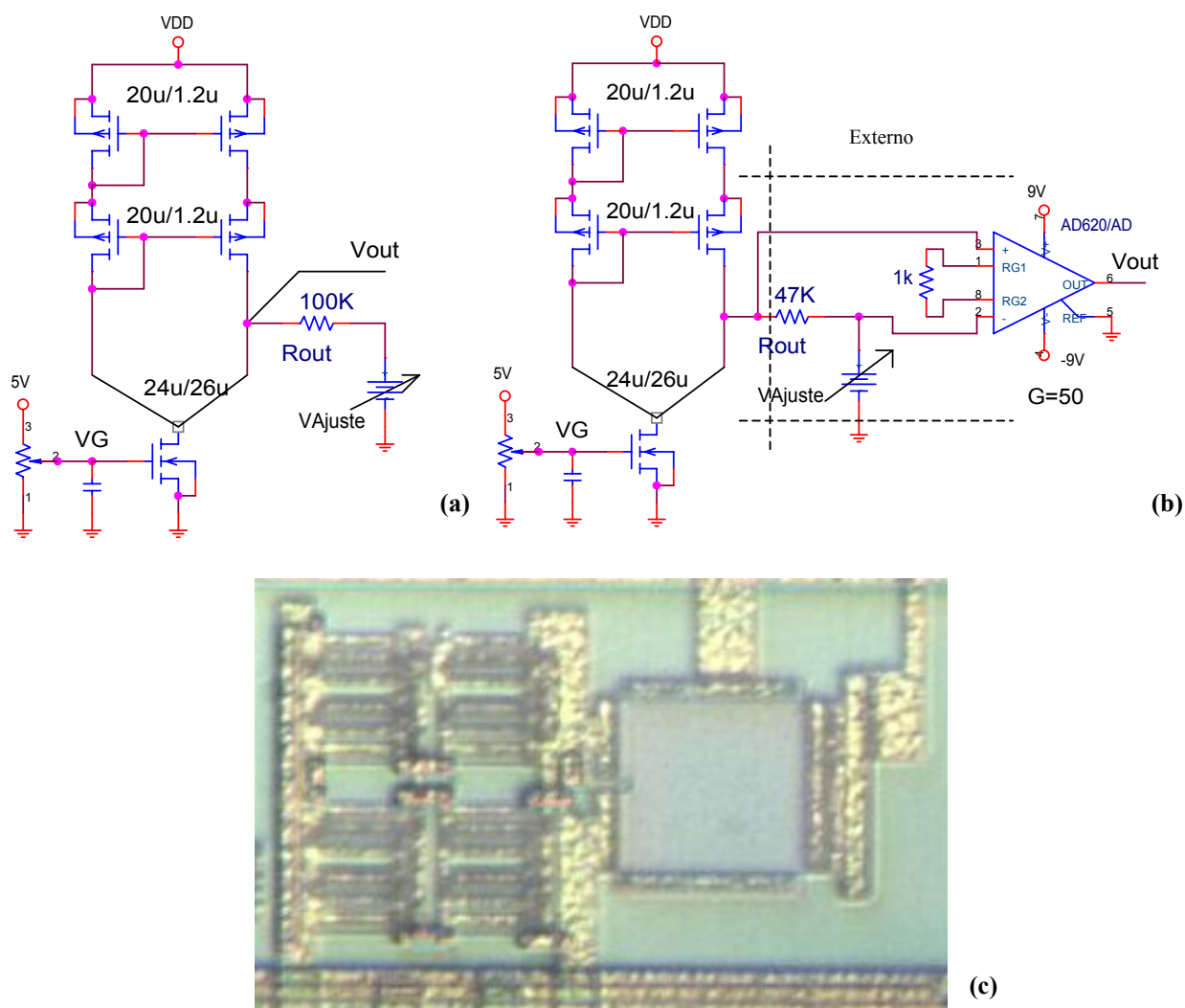
(b)

Fig.21. (a) Resposta do circuito detector a um campo de 2mT, 60Hz. Observa-se que este campo se aproxima do limite de detecção do sensor determinado pelo ruído. (b) Setup utilizado para aplicação do campo magnético.

Associação *Split-Drain* e Espelho (*MagMirror*)

Circuitos sensores de campo magnético podem ser implementados de forma mais simplificada conectando-se os terminais de dreno do transistor *split-drain* a um espelho que realiza a subtração da corrente diferencial [22]. Tais estruturas podem ainda ser modificadas pelo uso de transistores *multi-gates* o que permite um ajuste do *offset* de corrente ou tensão dos circuitos baseados em espelhos [23].

Sensores baseados na combinação *split-drain* e espelhos de corrente utilizam a característica de alta impedância de saída do espelho para realizar a conversão da corrente diferencial produzida pelo transistor *split-drain* em tensão. Esta técnica requer o uso de circuitos do tipo *follower* conectado à saída do espelho para se preservar a resposta em frequência do circuito. Alternativamente, a corrente de saída pode ser convertida em um sinal de tensão pelo uso de um simples resistor ou processada por circuitos amplificadores de corrente, no caso de haver necessidade de maiores bandas de frequência. Figs.22(a),(b) ilustram duas implementações realizadas. Na primeira situação, optou-se pelo uso de um resistor conversor I-V de $100\text{K}\Omega$ seguido de um circuito de ajuste da tensão de saída. A combinação do resistor utilizado e a capacitância do *Pad* (cerca de 4pF) permite esta configuração detectar campos de até 400KHz . Na segunda situação utilizou-se um amplificador de instrumentação (AD620) adicional com ganho ajustado em 50 para se aumentar a sensibilidade da configuração. Configurações mais simplificadas com conversão por meio de resistor da corrente diferencial em tensão apresentam menores níveis de ruído associados, favorecendo a resolução do sensor. Entretanto, a resposta em frequência pode ser o fator limitante à implementação de sensores de EMI.



**Fig.22. (a) Configuração 1: Circuito *Mag-Mirror* com conversão I-V através de um resistor 100K Ω .
 (b) configuração 2: Versão modificada utilizando um amplificador de instrumentação (AD620).
 (c) Fotomicrografia do circuito realizado em tecnologia CUB06.**

A característica de detecção da configuração 1 para o *split-drain* operando com $I_D=65\mu A$ é indicada na Fig.23(a). A mesma foi obtida pela aplicação de um campo magnético localizado sobre a superfície do chip. Nesta condição de polarização, a corrente diferencial pode ser calculada a partir de $\Delta I = S \cdot I_D \cdot B$, observando que na tecnologia CUB06 e para $W/L=24\mu/26\mu$ a sensibilidade do Magfet

equivale a $S=2.6\%/T$. Considerando o ganho de conversão corrente-tensão, a tensão de saída será: $V_{out}=R.\Delta I=100\times 10^3.S.I_D.B$. Logo, $V_{out}/B=0.169V/T$. Este coeficiente corresponde à inclinação da reta para $f=10Hz$ na Fig.23(a). Como observado anteriormente, ocorre uma atenuação do campo aplicado devido à interação com a blindagem magnética do circuito. Por outro lado, a não utilização desta blindagem produz uma tensão de saída proporcional à frequência, o que é indevido.

A característica de detecção da configuração 2 para o *split-drain* operando com $I_D=75\mu A$ é indicada na Fig.23(b). A corrente diferencial pode ser calculada como anteriormente. Considerando o ganho de conversão corrente-tensão, a tensão de saída será: $V_{out}=R.\Delta I.G=47\times 10^3.S.I_D.B.G$ Logo, $V_{out}/B=4.58V/T$. Este coeficiente corresponde à inclinação da reta para $f=60Hz$ na Fig.23(b).

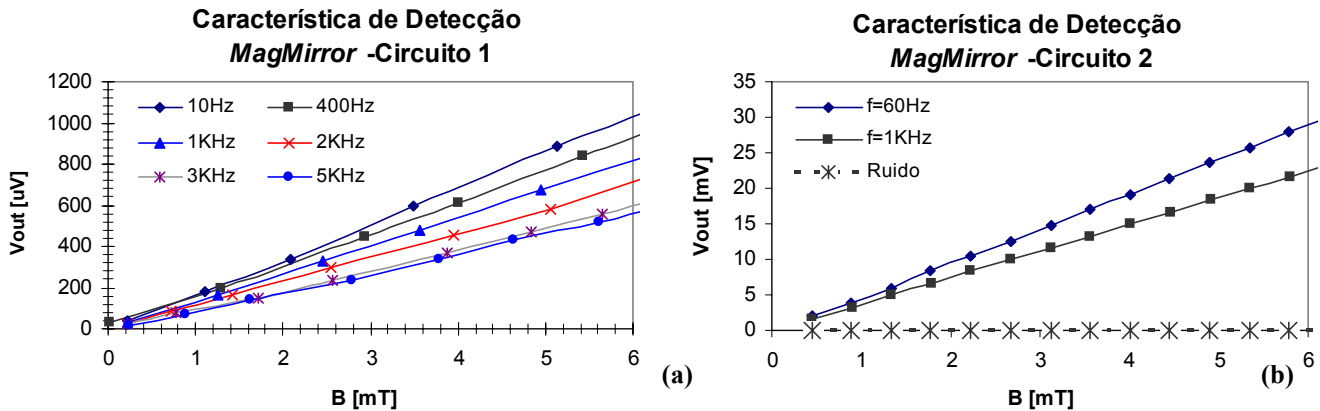
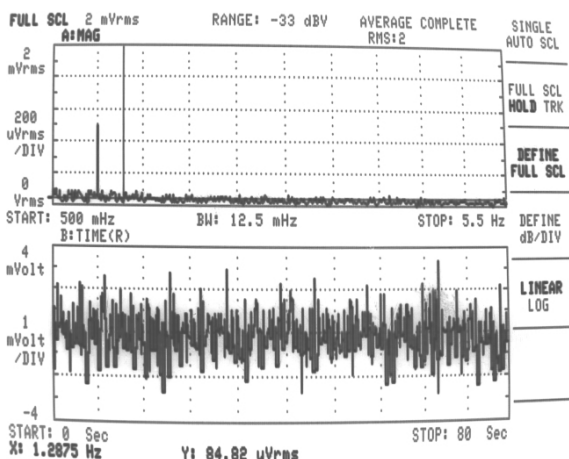
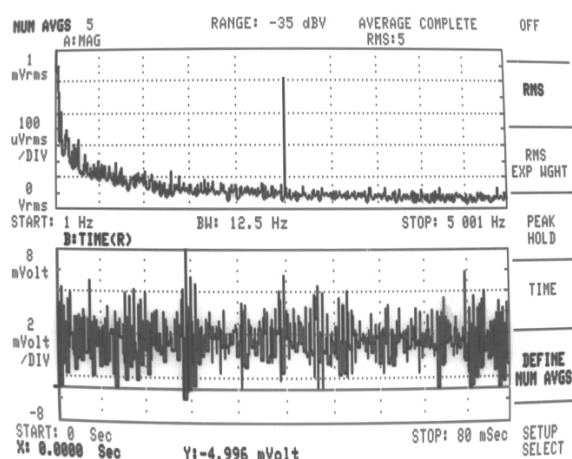


Fig.23. (a) Característica de Detecção para o Circuito *MagMirror* .
(b) Mesmo circuito com amplificador adicional.

Fig.24(a) ilustra a detecção de um campo de $220\mu T$ ($f=1Hz$) (limitado pelo gerador de corrente) aplicado sobre a superfície do *chip* na configuração 2. A tensão lida pode ser calculada a partir de $V_{out}=4.58V/T.220\mu T\cong 1mV_{RMS}$. Fig.24(b) ilustra o mesmo campo com frequência 2.5KHz.



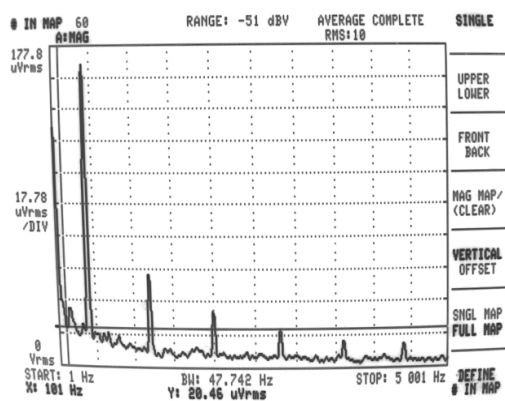
(a)



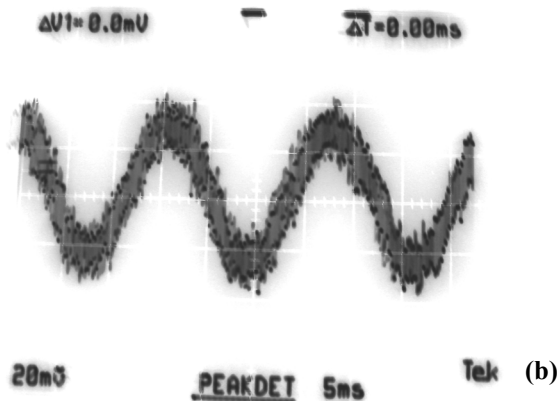
(b)

Fig.24. (a) Detecção de um campo magnético de $226\mu\text{T}$ com $f=1\text{Hz}$. (b) Idem para $f=2.5\text{KHz}$.

Fig.25(a) ilustra o circuito da configuração 1 detectando um campo magnético produzido por uma corrente AC quadrada de valor RMS 215mA, frequência 400Hz.. Esta corrente aplicada na caneta magnética produzirá um campo com valor RMS equivalente a $6.3\text{mT/A} \cdot 215\text{mA} = 1.35\text{mT}_{\text{RMS}}$. De acordo com o Apêndice I, 6.3mT/A equivale ao fator de conversão da caneta magnética. Observa-se que até a 11^a harmônica pode ser detectada pelo sistema. Fig.25(b) ilustra o sinal de saída do circuito 2 no tempo ($f=60\text{Hz}$) para um campo AC senoidal de $4.32\text{mT}_{\text{RMS}}$. Considerando a mesma polarização do circuito detector, $I_D=75\mu\text{A}$, a tensão de saída pode ser calculada: $V_{\text{out}}=4.58\text{V/T} \cdot 4.32\text{mT} = 19\text{mV}_{\text{RMS}}$. Em valores de pico, obtém-se: $19\text{mV} \cdot \sqrt{2} = 27\text{mV}$, como se pode verificar na Fig.25(b).



(a)



(b)

Fig.25. (a) Detecção de campo magnético com harmônicas. (b) Sinal no tempo para $B=4.32\text{mT}$

A configuração 2 deste detector apresenta uma densidade espectral de ruído que pode ser observada na Fig.24(b). Na região de ruído térmico, obtém-se uma densidade espectral de tensão de ruído de $100\mu\text{V}/\sqrt{12.5} \approx 30\mu\text{V}/\sqrt{\text{Hz}}$. A razão de conversão é de 4.58V/T . Este foi o circuito escolhido para exemplificar a análise da detecção de EMI anteriormente. Entretanto, o mesmo não apresentou banda em frequência adequada à implementação de um sensor de emissão eletromagnética.

Uma versão do circuito *Mag-Mirror* foi implementada em tecnologia CSD035, com as dimensões indicadas na Fig.26(a). Verificou-se essencialmente o mesmo comportamento do circuito anterior. Medidas adicionais de ruído na região de baixas frequências estão indicadas na Fig.26(b), o que permite determinar a relação sinal-ruído para esta configuração. De acordo com Cap.II, para a análise teórica, adotou-se um coeficiente de correlação de ruído correspondente ao valor máximo teórico, $C = -0.6$.

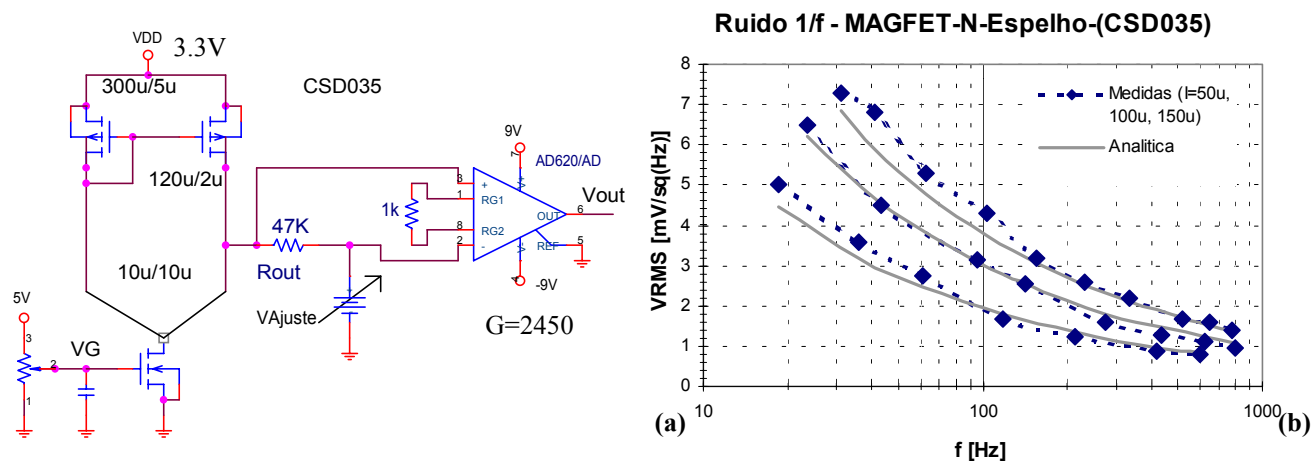


Fig.26. (a) Circuito implementado em tecnologia CSD035. (b) Medidas de ruído em baixas frequências.

Par Complementar

Um circuito sensor de campo magnético baseado na utilização de um par complementar de transistores *split-drain* tipo P e tipo N foi proposto em 1983 por Popovic [24]. O espelho tipo P é substituído por um transistor *split-drain-P* o que aumenta a sensibilidade do circuito. A conversão

corrente-tensão ocorre sobre a condutância dreno-*source* combinada dos transistores. A sensibilidade total da configuração é indicada na Eq.6, onde S_N , S_P referem-se às sensibilidades relativas individuais, r_{on} e r_{op} às resistências dreno-*source* dos transistores tipo N e tipo P respectivamente.

$$S_A = (S_N + S_P)(r_{on} // r_{op})I \quad (6)$$

Devido à diferença de propriedades elétricas entre os transistores P e N, principalmente com relação às mobilidades, as dimensões devem ser ajustadas para se obter uma adequação das características elétricas do par de transistores (*electric-matching*). Entretanto, a sensibilidade magnética de um dos transistores é sacrificada em detrimento da adequação das propriedades elétricas. Este efeito reduz a sensibilidade da configuração. (Um dos transistores não mais possuirá geometria próxima da quadrada, que garante máxima sensibilidade). Técnicas que utilizam uma segunda camada de *poly* com outro valor de capacitância podem ser empregadas para se obter o casamento de propriedades elétricas mantendo-se a característica de detecção magnética [25].

Implementou-se a configuração básica como proposta por Popovic em tecnologia CUB06. Os transistores utilizados são do tipo *split-drain* com *floating-gates* [31]. Estes dispositivos podem ter suas características elétricas modificadas com relação à tensão de limiar (V_{TO}) por meio de uma tensão de programação antes da operação do transistor. Após o ajuste das tensões V_{TO} de cada transistor, conectou-se o par como indicado na Fig.27.(a). Para evitar que a corrente de *offset* produzida pela combinação sature a saída em VDD ou GND, um resistor conversor I-V de 100K Ω foi utilizado.

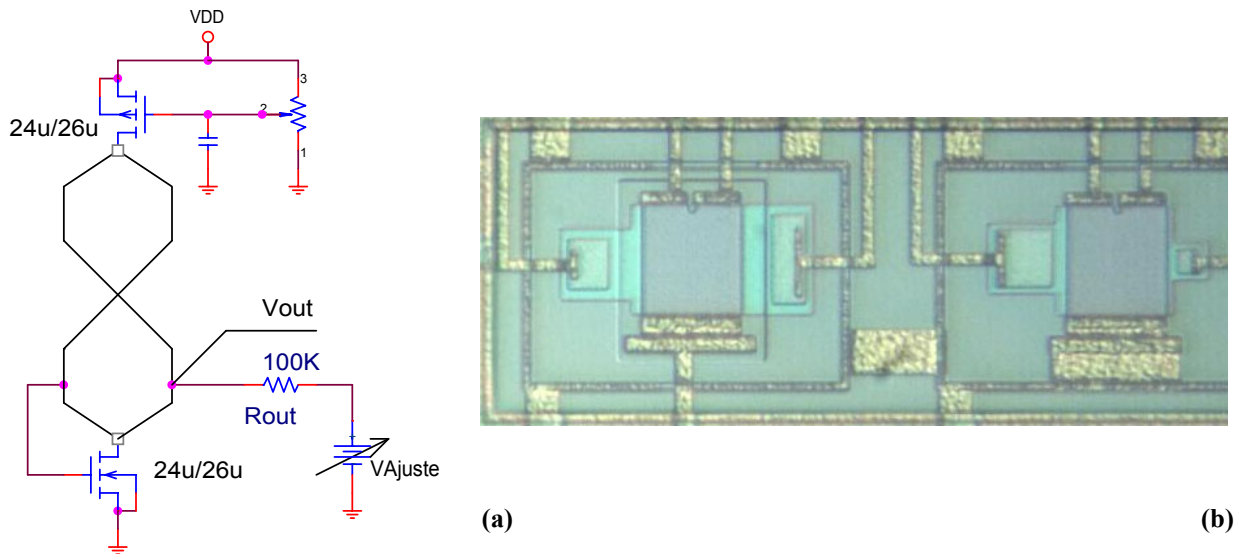


Fig.27. (a) Detector de campo Magnético baseado em par complementar.
(b) Transistores *Floating-Gates* utilizados na implementação .

Fig.28(a) ilustra a característica de detecção obtida para o circuito implementado. Na Fig.28(b), um campo magnético de $220\mu\text{T}$ (10Hz) é aplicado, indicando que campos de menor amplitude podem ser detectados por esta configuração. A relação sinal-ruído ou mínimo campo detectável também podem ser avaliados. Observou-se ainda que a programação do transistor *floating-gates* não altera a característica de geração de ruído do dispositivo que continua sendo equivalente a um transistor convencional, embora com outra tensão de limiar (V_{TO}).

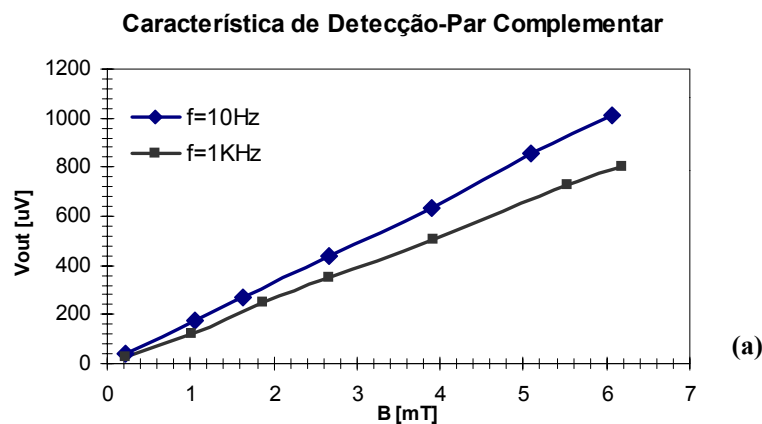


Fig.28. (a) Detecção de campos magnéticos pelo par complementar.

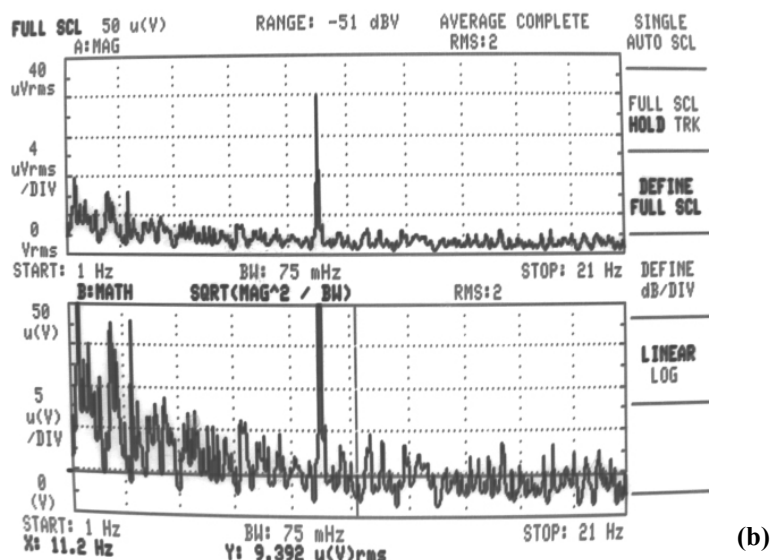


Fig.28. (Cont) (b) Sup:Magnitude detectada a partir de um campo de 226uT aplicado.
Inf: Densidade espectral de ruído equivalente.

Este circuito apresenta essencialmente as mesmas características do *MagMirror*, estudado no item anterior. Devido à conversão direta de corrente diferencial em tensão através da condutância de canal dos transistores, a resposta em frequência pode ser fortemente afetada devido à presença de capacitâncias associadas. Assim, este circuito deve ser melhorado para se utilizá-lo como sensor de emissão eletromagnética.

3.4. REDUÇÃO DO ACOPLAMENTO INDUTIVO

A lei de Faraday estabelece que um campo magnético variável atravessando uma superfície delimitada por um condutor que não se fecha irá produzir uma diferença de potencial entre as extremidades do mesmo de acordo com $E = d\Phi(t)/dt = A \cdot dB(t)/dt = j \cdot 2\pi \cdot f \cdot A \cdot B_{pk}$, onde A refere-se à área da superfície definida pelo condutor, f a frequência do campo variável e B_{pk} a amplitude da indução

magnética. Este efeito, denominado $d\Phi(t)/dt$, produz um impacto muito forte na medida de campos magnéticos alternados, pois à medida que a frequência aumenta, o sinal detectado tende a aumentar proporcionalmente, pois o campo magnético é também aplicado ao circuito de instrumentação que é normalmente susceptível ao efeito $d\Phi(t)/dt$. Isto porque a instrumentação associada constitui-se de *loops* de alta impedância conectados em amplificadores de alto ganho, conforme indicado na Fig.29(a).

Em um circuito detector de campo magnético totalmente integrado com saída em tensão (baixa impedância) este efeito tende a ser minimizado, pois as áreas envolvidas são mínimas. Mesmo assim, a área do *loop* compreendida entre os *pads* do circuito integrado e o *wireframe* do encapsulamento gera d.d.p. suficiente para excitar um amplificador e comprometer a medida da indução magnética. Observou-se esse efeito em todo o curso do trabalho com sensores magnéticos. Infelizmente, não foi localizada referência na literatura que trate especificamente deste problema e soluções de contorno. Outro agravante refere-se à utilização de estruturas de teste integradas que são conectadas externamente ao *chip*, criando áreas de indução muito maiores e iguais dificuldades de contorno. A utilização de uma blindagem resolveu parcialmente o problema, pois se restringe a aplicação do campo magnético somente sobre o circuito integrado.

Uma solução testada a esse problema constitui-se na conexão de dois sensores magnéticos com fases opostas de detecção da indução magnética, para se possibilitar uma medida diferencial. Assim, a tensão induzida de modo comum (pelo efeito $d\Phi/dt$) é cancelada e o sinal proporcional à ação de Lorentz (detecção da indução magnética que é o sinal de interesse) é somada.

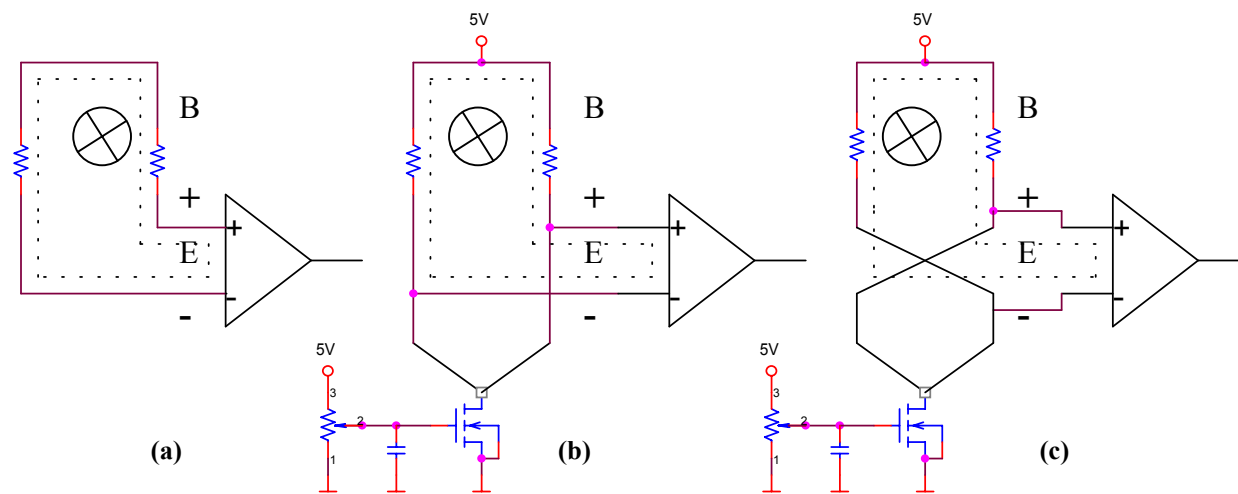


Fig.29. (a) Tensão induzida por efeito $d\Phi(t)/dt$ em um *loop* conectado a um amplificador de alto ganho. (b) Conexão de um detector básico. (c) Conexão com inversão de fase

Fig.30(a) ilustra as respostas dos sensores magnéticos das Figs.29(b),(c) indicando que em adição à detecção normal de densidade de fluxo magnético pelo transistor *split-drain*, uma parcela proporcional à frequência do campo é acrescida, gerando resultados errôneos. Entretanto, se uma medida diferencial entre as duas saídas for empregada (com baixo ganho, para se minimizar o efeito da indução na malha de entrada do amplificador subtrator), elimina-se a tensão induzida de modo comum e o detector indicará uma medida proporcional apenas à densidade de fluxo magnético, devido à ação de Lorentz. Na Fig.30(b) observa-se o sinal no tempo detectado por cada um dos circuitos, indicando a natureza diferencial dos sinais devido à inversão das conexões dos drenos de um dos transistores. Para se verificar a tensão induzida modo comum, faz-se $V_{GS}=0$ nos dois circuitos e monitora-se a tensão de saída enquanto se aplica um campo magnético alternado. Observam-se os sinais em fase, conforme indicado na Fig.30(c). Estes circuitos, incluindo-se a instrumentação associada devem ser integrados.

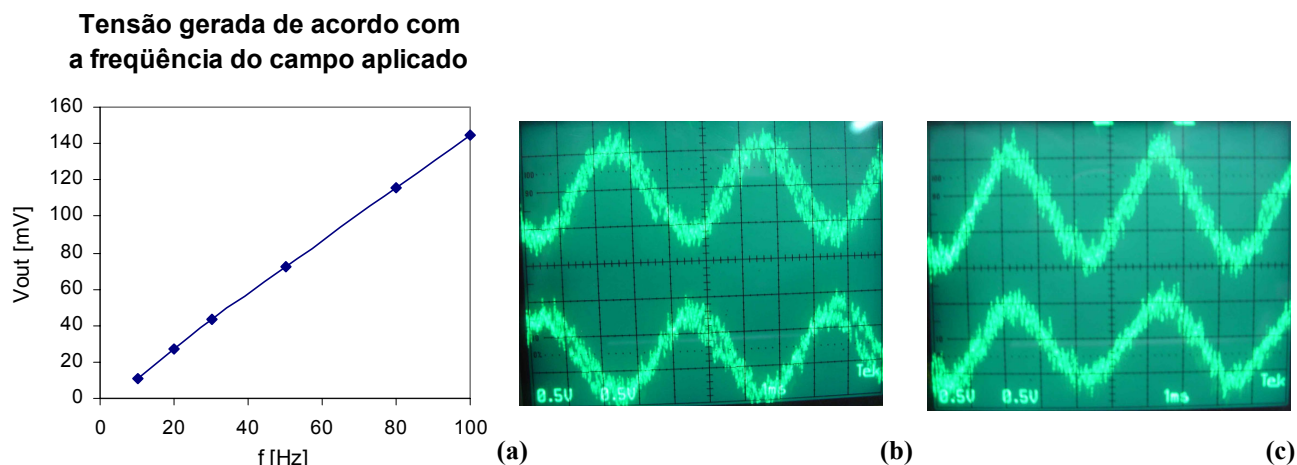


Fig.30. (a) Tensão induzida por efeito $d\Phi(t)/dt$. (b) Detecção de campo magnético em modo diferencial. (c) Sinal modo comum induzido com os transistores *split-drain* desligados.

Desta forma, esta solução pode ser empregada inclusive a detectores de EMI, pois o campo gerado por uma corrente interna ao circuito integrado pode acoplar magneticamente com o circuito de instrumentação e introduzir componentes adicionais proporcionais à ordem da harmônica de corrente. Este efeito introduz erros na leitura do detector de campo magnético próximo e tem de ser evitado.

3.5. CIRCUITOS SENSORES DE CORRENTE

Nesta seção discute-se o transistor *split-drain* como sensor de emissão eletromagnética, mas também sua utilização no sensoriamento de corrente, importante função realizada em muitos circuitos analógicos, principalmente em conversores de energia.

Uma corrente elétrica ao percorrer um condutor gera um campo magnético que pode ser captado por um sensor *split-drain*. Sendo a detecção linear, o campo magnético será uma imagem da corrente. Assim, o sinal detectado poderá ser utilizado em circuitos de medida de corrente, proteção contra sobre-cargas e curto-circuitos, malhas de controle de corrente, etc. O direcionamento do campo

magnético sobre o detector pode ser realizado por meio de concentradores de fluxo (*fluxgates*) ou mesmo núcleos com um *gap* para o posicionamento do sensor [12], [26]. A literatura menciona diversas configurações. Por exemplo, um circuito sensor de corrente com saída de dados via interface serial foi implementado utilizando concentradores de campo magnético sobre dispositivos de efeito Hall com compensação de *offset* (*Spinning Hall*) [3]. Transistores *split-drain* podem ser utilizados como detectores de campos magnéticos produzidos por correntes internas ao circuito integrado. Devido às dimensões envolvidas, campos magnéticos detectáveis podem ser gerados a partir de correntes da ordem de dezenas de mili-amperes. Esta implementação é de grande interesse em aplicações *Smart-Power* porque permite combinar processamento de sinais analógicos e digitais, controle e acionamento de cargas monoliticamente [27]. Em [4] tal possibilidade é sugerida, embora o autor não tenha demonstrado resultados experimentais.

A literatura refere-se a circuitos *Smart-Power* como a implementação de circuitos não necessariamente integrados em um mesmo *die*, mas geralmente produzidos em diferentes tecnologias. Isto porque a combinação das tecnologias CMOS, BCD, ou mesmo IGBT permite realizar circuitos com grande flexibilidade e desempenho em diversas aplicações [27]. Tais circuitos são geralmente encapsulados em um mesmo substrato e são denominados circuitos híbridos, Fig.31. Como exemplo, *Drivers* para acionamento de motores são potenciais aplicações que seguem esta tendência. Isto porque se combina a versatilidade da tecnologia CMOS para a realização dos circuitos de controle com a

capacidade de acionamento de cargas da tecnologia BCD (ou IGBT) em um mesmo encapsulamento, aumentando confiabilidade e reduzindo custos.

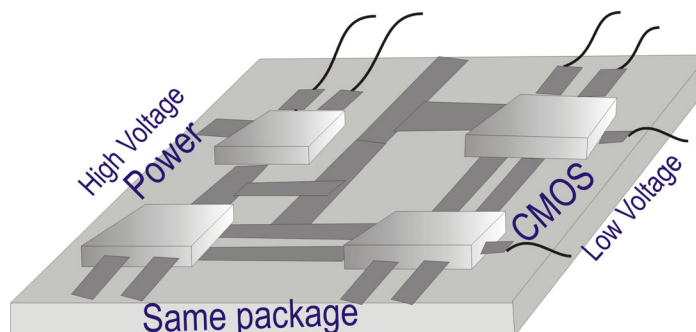


Fig.31. Circuito Híbrido *Smart-Power* com sensoriamento da corrente de carga

Não obstante, algumas restrições de compatibilidade dos níveis de tensão de operação devem ser observadas. Circuitos CMOS operam com baixas tensões, o que pode inviabilizar um sistema de medição direta da corrente de carga, normalmente associada a níveis mais elevados de tensão. Bobinas com núcleo ferromagnético podem ser utilizadas para se resolver o problema da isolamento e proporcionar uma concentração do fluxo magnético sobre o detector, mas acrescentam peso e volume consideráveis, em se tratando de um mesmo encapsulamento. Por outro lado, a camada de óxido de campo ($\text{SiO}_2\text{-Field}$) de um circuito integrado CMOS pode suportar até cerca de 1MV/mm, o que permite construir bobinas integradas acopladas com grande capacidade de isolamento, desde que os *pads* estejam desconectados¹. Da mesma forma, uma trilha de metal do circuito (envolvida por óxido de campo) pode conduzir a corrente de carga (total ou parcial) gerando um campo magnético detectável por um sensor *split-drain*, preservando-se a característica de isolamento galvânica requerida. Nesta seção dois circuitos sensores de corrente isolados galvanicamente serão examinados.

¹ A EUPEC (subsidiária da Infineon) produz um *driver* para acionamento de pontes-IGBT baseado no princípio de isolamento por óxido, logo não há necessidade de transformadores isoladores ou opto-acopladores externos para se obter isolamento galvânica entre os braços da ponte e o circuito de controle.

Bobina Integrada

Este circuito apresenta uma bobina integrada confeccionada com dois níveis de metal (M1,M2) disponíveis na tecnologia CSD035 da AMS. A bobina envolve um transistor *split-drain* de forma a concentrar as linhas de fluxo gerado pela mesma sobre a superfície do sensor. Como as distâncias envolvidas são da ordem de μm , espera-se que a intensidade do campo seja maior e com isso a relação sinal-ruído seja favorecida. Fig.32(a) ilustra esquematicamente com as dimensões das principais estruturas utilizadas na tecnologia o posicionamento da bobina em relação ao transistor *split-drain*. Na Fig.32(b) é apresentada a microfotografia da implementação em tecnologia CSD035.

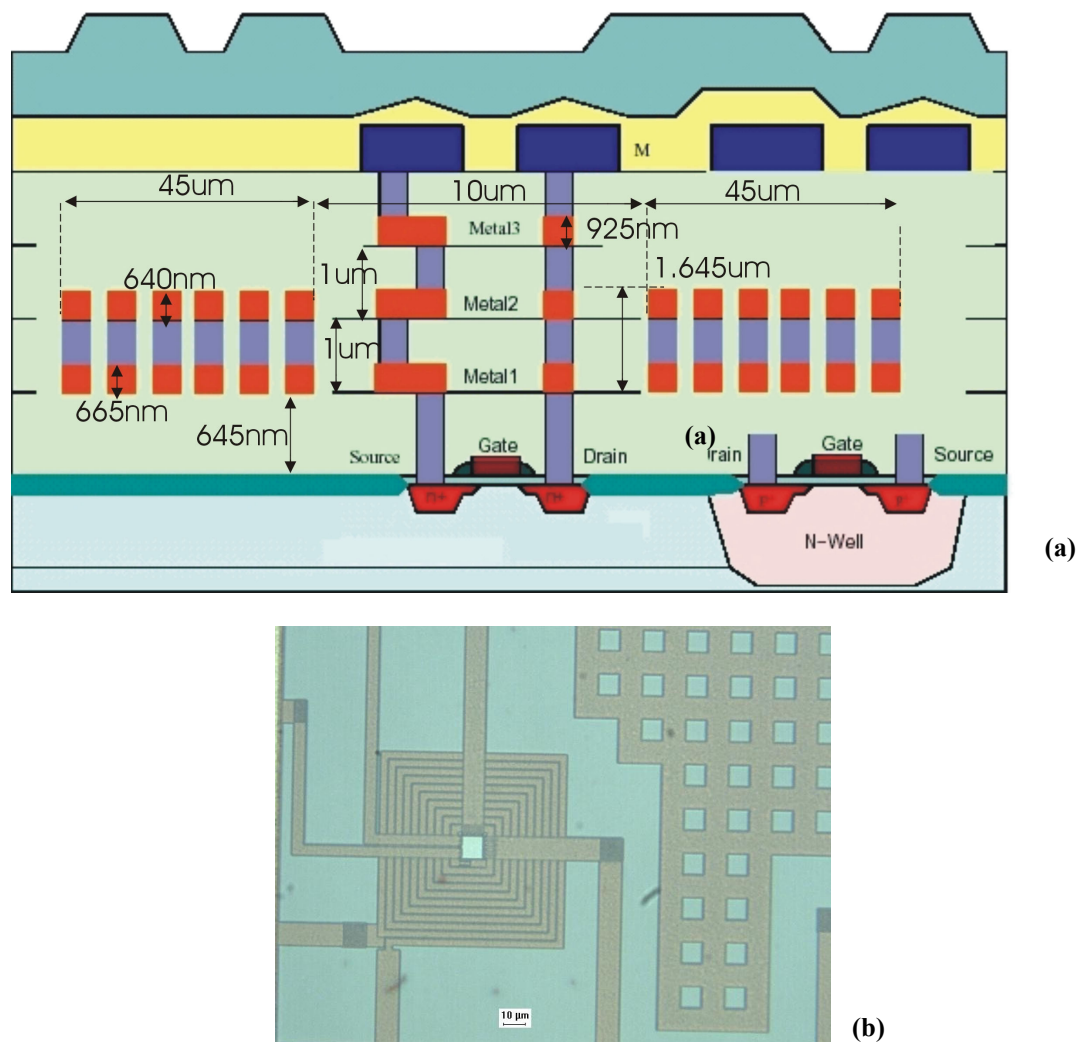


Fig.32. (a) Disposição esquemática da construção do sensor de corrente. (b) Fotomicrografia da implementação.

Um aspecto importante refere-se ao fator de conversão da bobina integrada, ou seja, a intensidade de campo gerado (Indução Magnética) por corrente aplicada. A determinação deste fator (F_B) foi realizada por meio de uma simulação magneto-estática utilizando-se o simulador eletromagnético Maxwell produzido pela ANSOFT CORP, que disponibiliza uma versão 2-D gratuita sem limitação de malhamento (*meshing*). Fig.33 ilustra algumas das saídas do programa a partir da definição da geometria baseada nas dimensões do processo CSD035, conforme Fig.32(a). Utilizou-se um eixo de simetria para simplificar a solução, logo os resultados devem ser multiplicados por dois. Procedendo-se à simulação, obteve-se uma indução magnética de 0.59T para cada ampère de corrente que percorre a bobina, logo $F_B=0.59\text{T/A}$. Este valor foi verificado através de resultados experimentais.

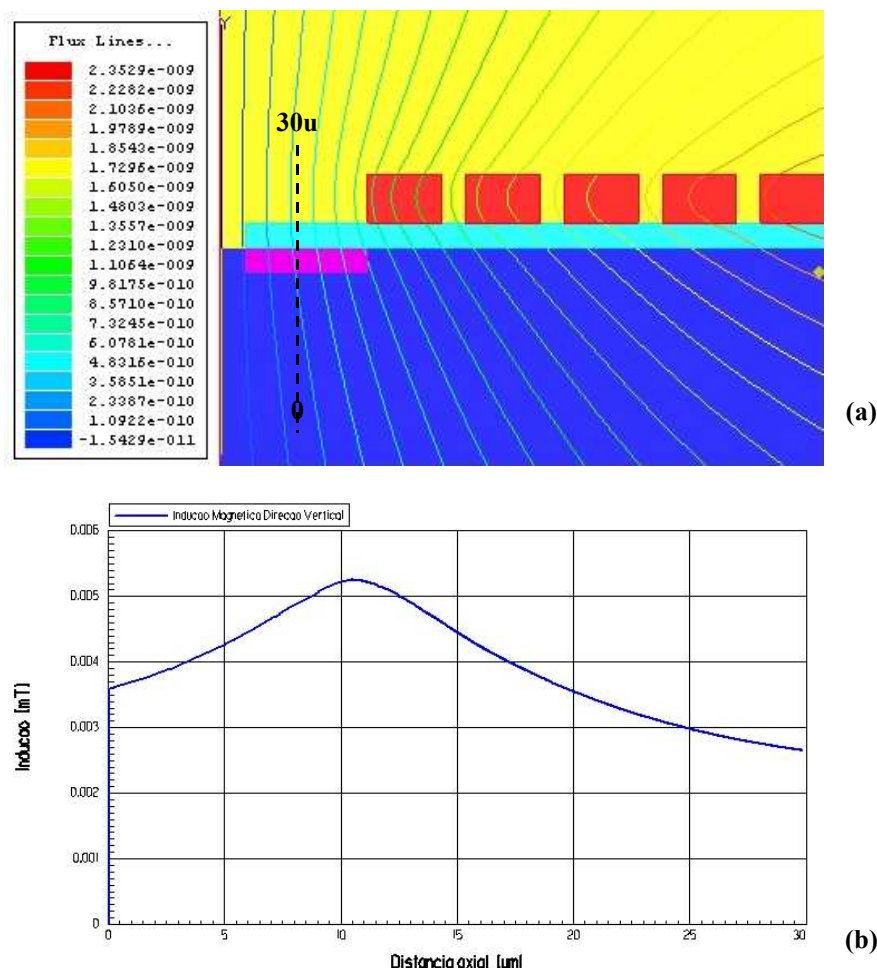


Fig.33. Saídas do Programa de simulação eletromagnética Maxwell. (a) Linhas de fluxo produzidas por uma corrente circulante na estrutura. (b) Amplitude do campo magnético na direção vertical ao longo do eixo indicado.

Utilizando-se a estrutura integrada, implementou-se a seguinte configuração de sensor de corrente, conforme indicado na Fig.34(a). Um amplificador de instrumentação configurado para $G=50$ foi utilizado para proporcionar uma melhor visualização do sinal detectado. Polarizou-se o transistor split-drain com $I_D=115\mu\text{A}$. No primeiro teste, aplicou-se pulsos de corrente de 0-15mA na bobina e registrou-se a saída do amplificador, conforme indicado na Fig.34(b). Observa-se uma variação de tensão de 62mV correspondente aos pulsos de 0-15mA. O *offset* do amplificador não foi ajustado neste experimento.

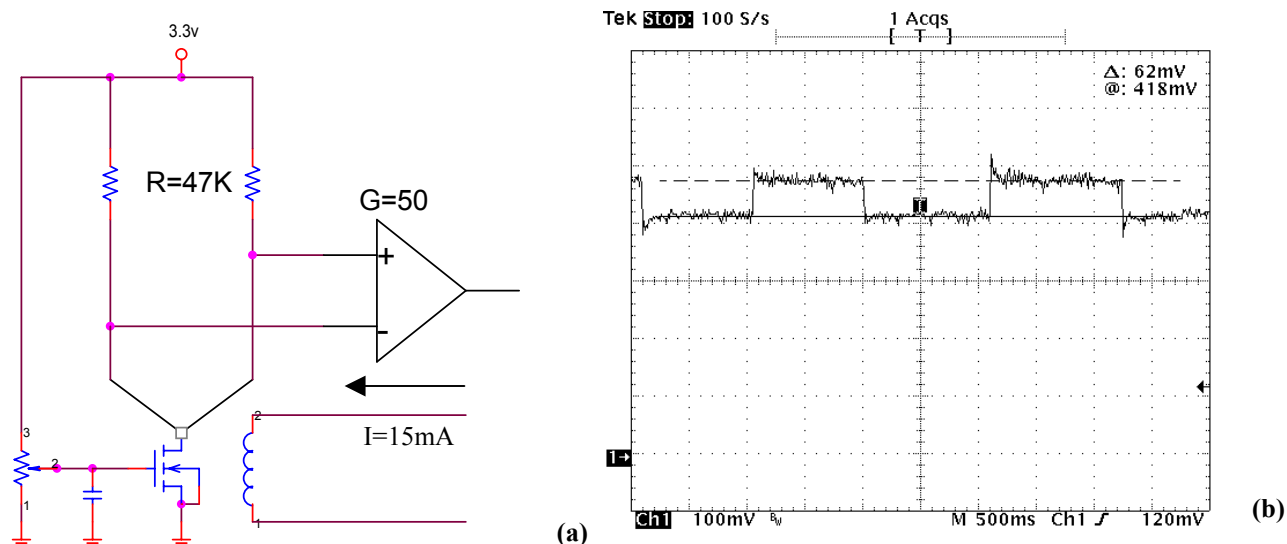


Fig.34.(a) Circuito implementado para teste. (b) Resposta a uma corrente chaveada quase-estática

Para a seguinte condição de polarização, $I_D=115\mu\text{A}$ e *split-drain* operando na saturação, a corrente diferencial pode ser calculada a partir de $\Delta I=S.I_D.B$, ou $\Delta I=S.I_D.F_B.I_{MAG}$ levando-se em conta o fator de conversão B-I da bobina. Para uma corrente aplicada de 15mA, a tensão de saída será: $V_{out}=R.\Delta I.G=47\times 10^3\times 0.026\times 115\mu\times 0.59\times I_{MAG}\times G=62\text{mV}$, ($G=50$) que pode ser observado na Fig.34(b). Considerou-se que na tecnologia CSD035 a sensibilidade do Magfet equivale a $S=2.6\%/T$ ($W/L=10\mu/10\mu$). Em outro ensaio, aplicou-se uma corrente ($f=3\text{Hz}$) na bobina integrada com valor eficaz $I_{MAG}=2.5\text{mA-RMS}$. Considerando o ganho de conversão corrente-tensão do circuito, a tensão de

saída será: $V_{out}=R.\Delta I.G=47\times 10^3.S.I_D.F_B.I_{MAG}.G$. Substituindo-se valores, $V_{out}=10.3\text{mV-RMS}$. Este valor equivale a -39.6dBV como indicado na Fig.35(a). Na Fig.35(b) está indicado exatamente o mesmo ensaio, porém com uma corrente AC de frequência 60Hz.

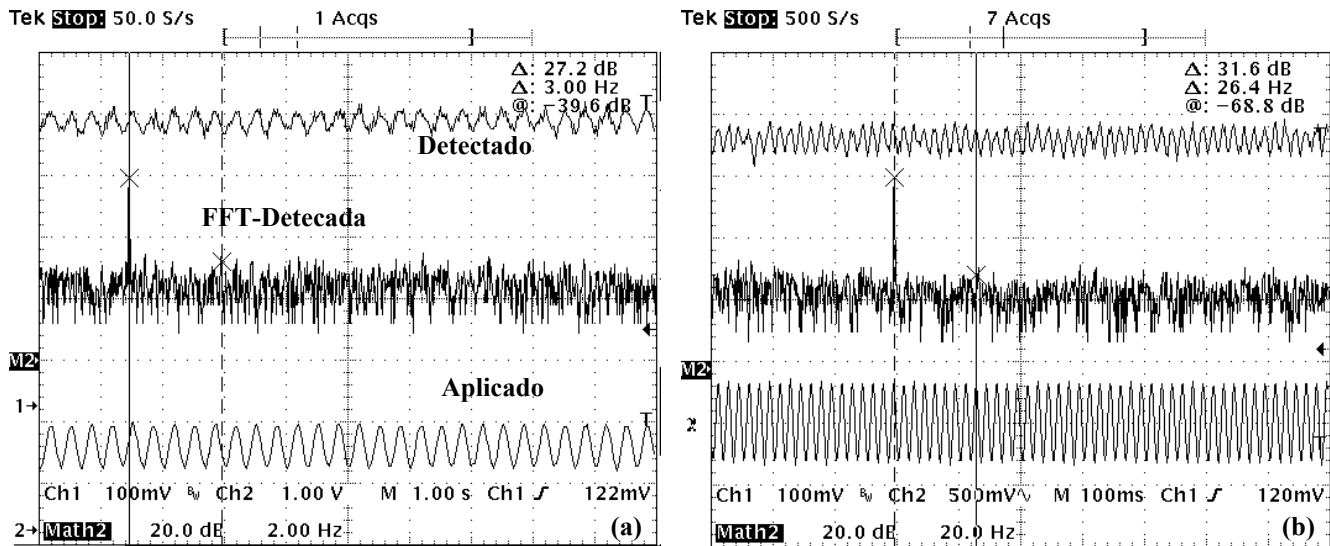


Fig.35. (a) Corrente de 2.5mA-RMS aplicada na bobina e sinal de tensão detectado na saída do amplificador, frequência de 3Hz. (b)Idem, frequência de 60Hz.

Com o objetivo de se verificar a operação do sensor com relação à frequência, um ensaio de resposta em frequência foi realizado utilizando-se o analisador de redes (*network analyser*), HP3577. Neste caso, optou-se por não utilizar o amplificador de instrumentação do caso anterior, para se evitar qualquer influência do mesmo. Neste caso, a conversão I-V foi realizada por um espelho simples. A partir das conexões indicadas na Fig.36(a), onde se utilizou a própria impedância de entrada do HP3577 para se realizar a leitura de corrente na bobina, monitorou-se a tensão de conversão conforme resultado indicado na Fig.36(b). O traço superior refere-se à amplitude em dB do sinal obtido na saída (canal A) em relação à corrente aplicada (convertida pela $R=50\Omega$ do canal R). O traço inferior (canal R) corresponde à corrente na bobina em valor absoluto. Verifica-se que devido à proximidade entre a

bobina integrada e os demais componentes, ocorre um efeito de acoplamento magnético, causando um acréscimo do sinal com o aumento da frequência aplicada. Este efeito torna o sensor útil apenas em baixas frequências ($f < 100\text{Hz}$). Além disto, o circuito não é adequado à implementação de sensores de emissão eletromagnética, pois a bobina integrada atua como um elemento irradiador extra para o campo eletromagnético, o que é indesejável.

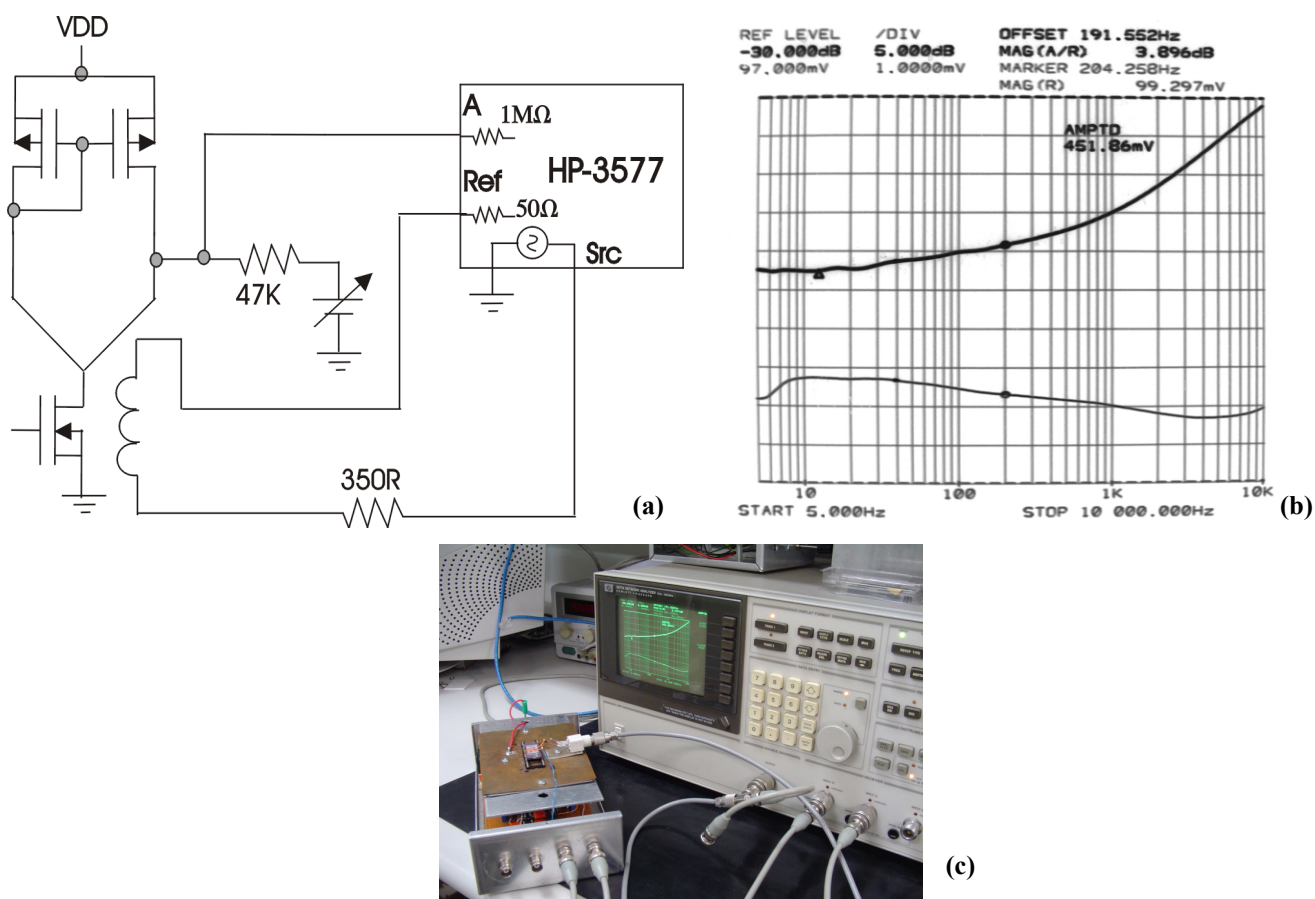


Fig.36. (a) *Setup* de Medição da Resposta em Frequência. (b) Resultados. (c) Equipamento HP3577.

Como principais desvantagens desta estrutura cita-se: (1) Limitação em baixas frequências de operação devido ao forte acoplamento magnético da bobina e demais componentes do circuito integrado. (2) Operação em baixas correntes devido às dimensões das trilhas (*tracks* da bobina). (c)

Restrições de área, se maiores correntes forem solicitadas. (d) Introdução de uma impedância entre a fonte e a carga no caso da implementação de sensores de corrente não-invasivos.

Shunt-Zero

Devido às limitações da bobina integrada principalmente no que se refere à introdução de uma impedância significativa no circuito medidor de corrente, apresenta-se uma solução alternativa baseada na combinação de diversos transistores *split-drain* em um arranjo linear, detectando o campo transversal ao redor de um condutor, conforme Fig.37(a). No Cap.II demonstrou-se que a relação sinal-ruído de um agrupamento de sensores *split-drain* aumenta com o número de transistores utilizados, logo compensa-se a redução do campo magnético pela utilização de um maior número de dispositivos preservando-se a característica de detecção. Pelo fato do circuito sensor não causar uma descontinuidade no circuito que se quer medir a corrente, atribuiu-se o nome *SHUNT-ZERO*.

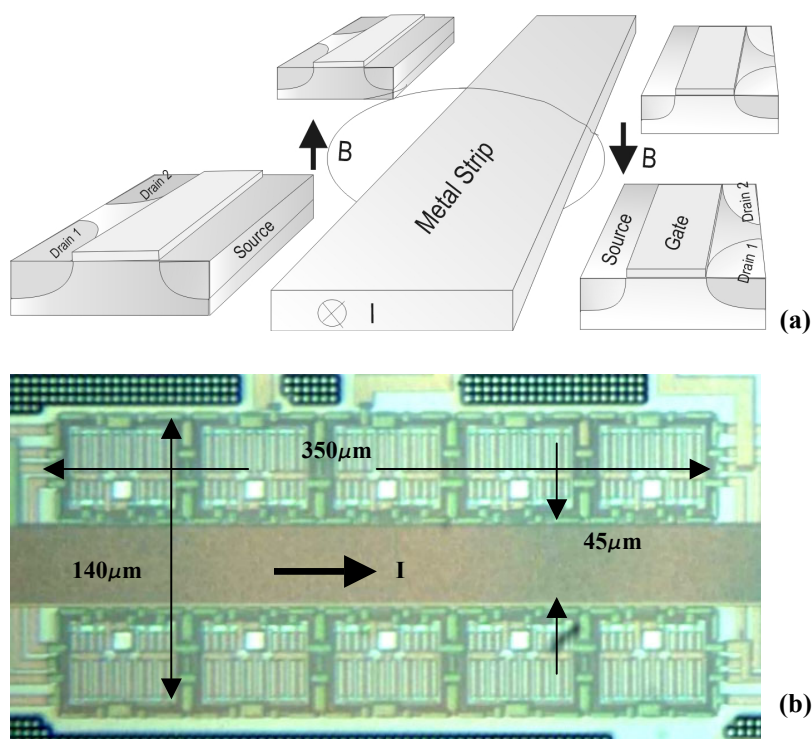


Fig.37. (a) Arranjo esquemático de um sensor linear de corrente não-invasivo baseado em agrupamento de transistores *split-drain*. (b) Circuito implementado em tecnologia CSD35.

Uma simulação eletromagnética permite avaliar a intensidade do campo magnético produzido pela corrente ao percorrer a trilha do *shunt-zero*. Esta verificação tem por objetivo determinar a relação sinal-ruído do sensor e a mínima corrente detectável. Na Fig.38(a) estão representados os vetores de densidade de fluxo ao redor da trilha de corrente, enquanto que na Fig.38(b) tem-se a variação do campo magnético vertical (que é detectado pelo *split-drain*) com o distanciamento a partir da fronteira da trilha condutora de corrente. Estas simulações permitem definir o número apropriado de transistores do agrupamento em função da mínima corrente a ser detectada. O fator de conversão corrente-densidade de fluxo magnético é igualmente determinado. Para sensores posicionados a $20\mu\text{m}$ da borda da trilha, o fator de conversão obtido foi de 4.95mT/A .

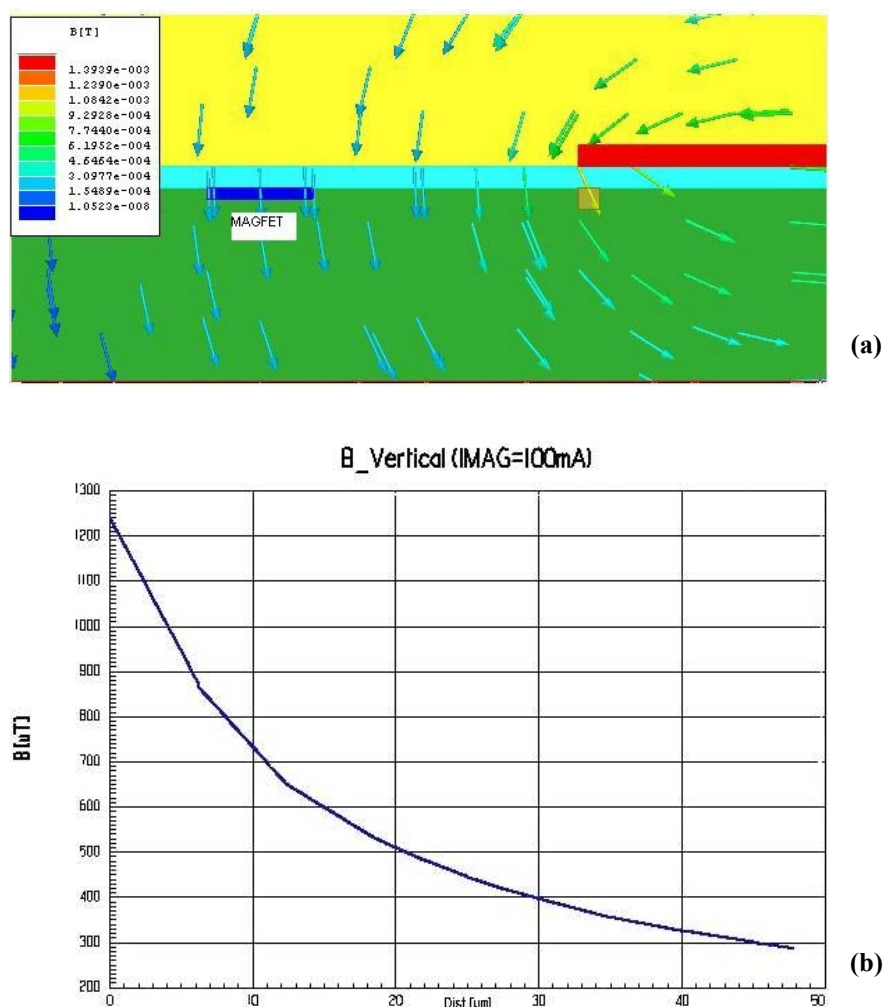


Fig.38. Simulação eletromagnética do *Shunt-Zero*. (a) Densidade de fluxo magnético e posicionamento do *split-drain*. (b) Variação da densidade de fluxo vertical com a distância da trilha condutora.

A célula básica utilizada constitui-se de um *split-drain* N conectado a um espelho tipo P de ganho baseado na razão de áreas 1:4 e outro espelho para realizar a subtração da corrente diferencial. Foram implementadas 10 células operando em paralelo [28], [29]. Cada *split-drain* foi ajustado com $I_D=100\mu A$ gerando um consumo total de 4.5mA. O circuito total apresenta sensibilidade aproximada de $100\mu A/T$. A partir do fator de conversão campo-corrente obtido através de simulações eletromagnéticas, $F_B=4.95mT/A$, o fator de transferência total é de $500nA/A$. Ou seja, para cada 1A de corrente na trilha do *shunt-zero*, uma corrente de saída de 500nA é estabelecida aproximadamente. Fig.39(a) ilustra a célula básica constituinte do agrupamento de 10 células. Na Fig.39(b) tem-se a característica de saída em corrente em função da corrente na trilha, parametrizada em passos de $10\mu A$ para a corrente de polarização do transistor *split-drain* individual.

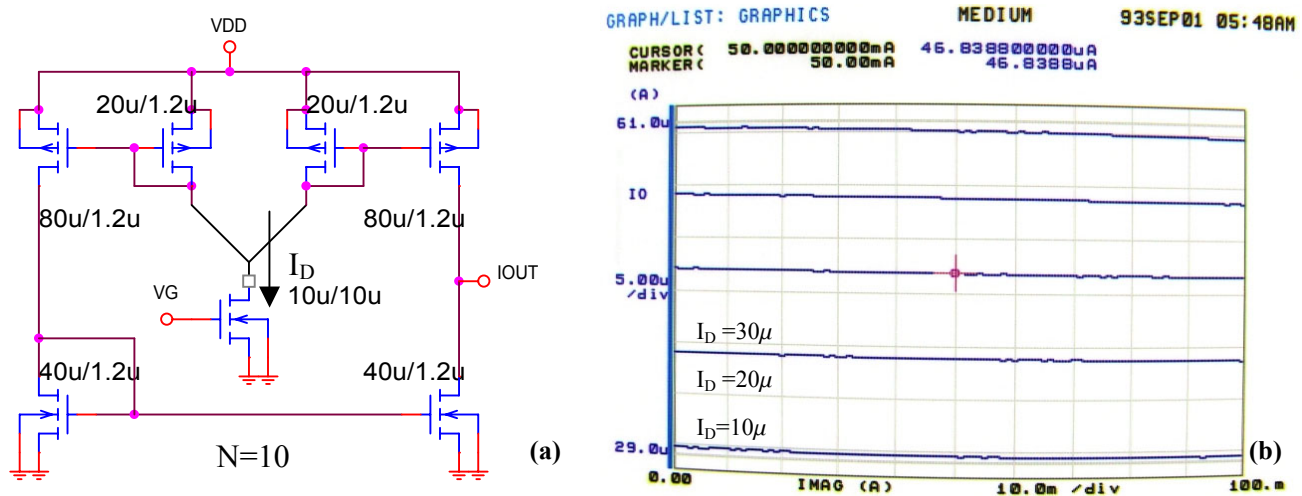


Fig.39(a) Célula individual. (b) Característica de transferência parametrizada em I_D (Corrente de saída x Corrente na trilha)

O ruído total na faixa térmica gerada pelo circuito é calculado segundo os procedimentos estabelecidos no Cap.II, onde deve-se considerar o fator de correlação de ruído para transistores *split-drain* operando na saturação. A densidade espectral de corrente de ruído de saída na faixa térmica

apresenta valor teórico aproximado de $50\text{pA}/\sqrt{\text{Hz}}$. Considerando uma banda de frequências de 0-100KHz onde o circuito deve operar, no caso de uma aplicação básica de sensoriamento de corrente, o valor RMS do ruído total pode ser obtido: $50\text{pA}/\sqrt{\text{Hz}} \cdot \sqrt{100\text{KHz}} = 15.76\text{nA}_{\text{RMS}}$. A contribuição do ruído $1/f$ em uma banda de frequência de 100KHz foi desconsiderada para efeitos de simplificação. A partir do valor RMS (banda 100KHz) do ruído, adotando um fator de ruído de 3, $F_B = 4.95\text{mT/A}$ e a expressão da sensibilidade, a mínima corrente detectável por este arranjo é de 15mA. Bandas maiores de frequência de operação modificam o valor da mínima corrente detectável. A restrição de banda pode ser implementada com simples filtros passa-faixa. Uma medida de ruído foi realizada para $I_B = 20\mu\text{A}$, (corrente de polarização de cada *split-drain*), utilizando-se um resistor conversor I-V de 1K e um circuito de instrumentação (AD620) com ganho ajustado em 2300. Nestas condições, a tensão de saída (que será lida por um analisador de sinais) apresentou valor teórico de cerca de $70\text{uV}/\sqrt{\text{Hz}}$, valor razoavelmente próximo do obtido experimentalmente na faixa térmica conforme indicado na Fig.40(a). Uma verificação da resposta em frequência foi realizada utilizando-se o analisador de redes (HP3577) em configuração similar à utilizada na caracterização da bobina integrada. Observa-se que o efeito $d\Phi/dt$, verificado no caso da bobina integrada, é muito reduzido. Assim, o circuito responde basicamente à ação de Lorentz devido à densidade de linhas de campo produzida pela corrente no *shunt-zero*. Como o circuito opera no modo corrente, frequências da ordem de MHz podem ser alcançadas, Fig.40(b). Este circuito apresenta resolução compatível à implementação de um sensor de

emissão eletromagnética, que pode ser modificada em função do número de elementos sensores, conforme discutido no capítulo anterior. Além disso, por operar em modo corrente, pode atingir frequências de operação em torno das requeridas para um sensor de EMI, 10MHz.~30MHz. Devido à integração do condutor de corrente com os sensores, obtém-se um forte acoplamento magnético, favorecendo a resolução do detector.

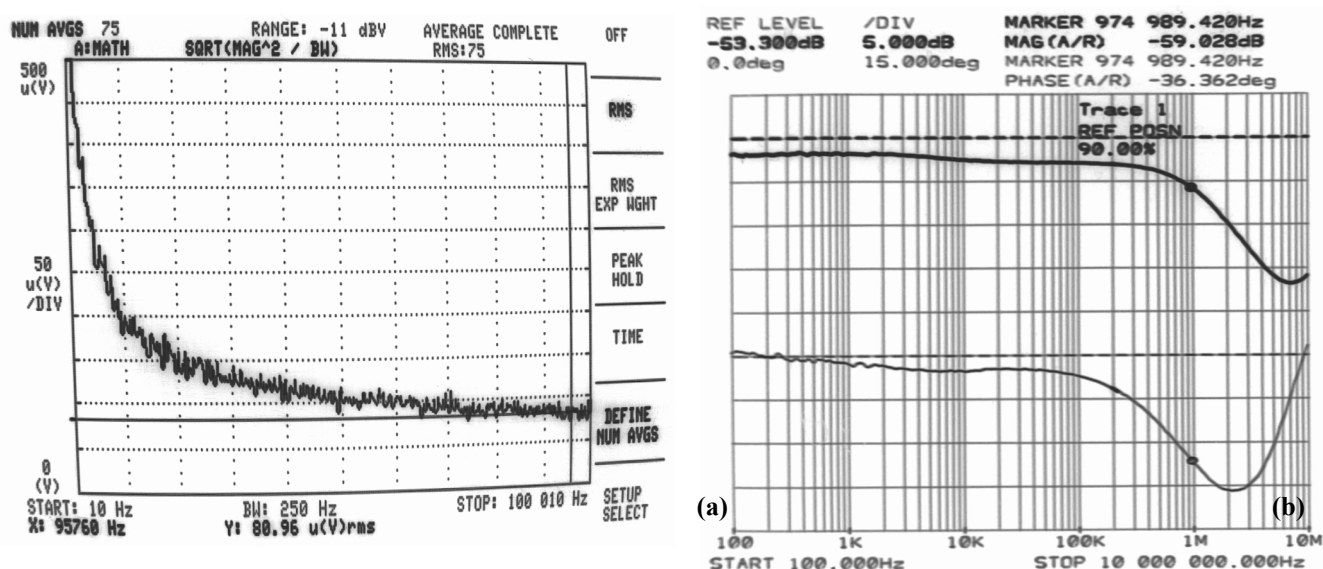


Fig. 40(a) Densidade Espectral de ruído gerado em uma carga de 1K, ganho da instrumentação ajustada em 2300. (b) Resposta em frequência do *Shunt-Zero*.

Durante o curso dos experimentos observou-se que a resistência dos *pads* de conexão da trilha do *shunt-zero* estava introduzindo uma resistência em série significativa. Assim, realizou-se um pós-processamento do circuito integrado com remoção de camada de passivação e soldagem dos *leads* diretamente nas extremidades da trilha, conforme indicado na Fig.41. Todo o processo foi realizado no CenPRA-Centro de Pesquisas Renato Archer.

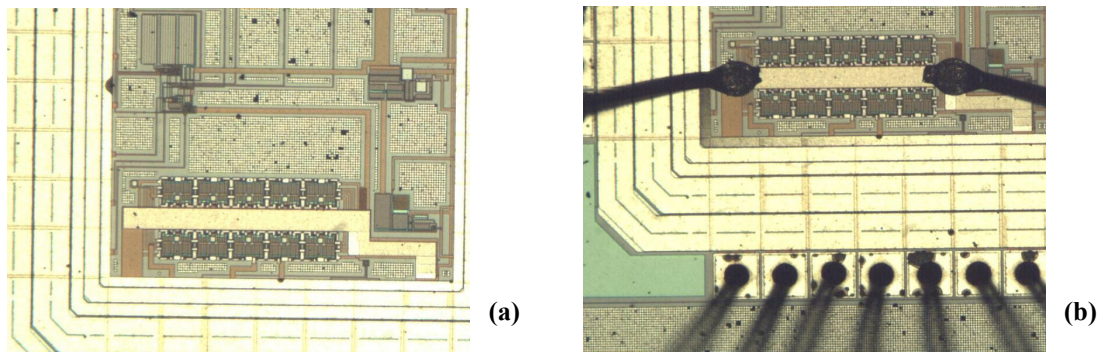


Fig.41(a) Circuito Shunt-Zero antes e depois do pós-processamento.

Uma otimização do circuito para operação em frequências mais elevadas permite a aplicação do circuito proposto na detecção de irradiação eletromagnética gerada por um circuito contendo transistores operando no modo comutado (conversores chaveados em circuitos *Smart-Power*). Assim, o campo magnético próximo gerado a partir das transições da corrente chaveada contém a informação do conteúdo harmônico que pode ser irradiado. Detectando-se este campo, obtêm-se naturalmente quais as componentes críticas de frequência, que podem levar à falha em um teste de emissão eletromagnética. A partir desta informação, ações no controle do acionamento podem ser tomadas no sentido de se reduzir a emissão gerada.

Medidor de Potência Elétrica

Transistores *split-drain* podem ser utilizados para se implementar circuitos medidores de potência elétrica. A multiplicação no tempo do sinal imagem de uma corrente (detectado pelo *split-drain* através do link magnético) com um sinal proporcional à tensão que a produz gera um terceiro sinal proporcional à potência instantânea consumida em uma carga. A filtragem deste sinal determina a potência média. Em [26] são estudadas diversas sugestões de como realizar conexões medidoras de potência elétrica utilizando-se transistores *split-drain*.

Uma célula medidora de potência elétrica (que apresenta uma característica intrínseca de circuito multiplicador) é apresentada em [30]. Devido a esta característica, o circuito é denominado Multiplicador Volt-Tesla. Uma versão modificada do circuito original foi implementada em CUB06, utilizando-se transistores *split-drain* tipo P, Fig.42.

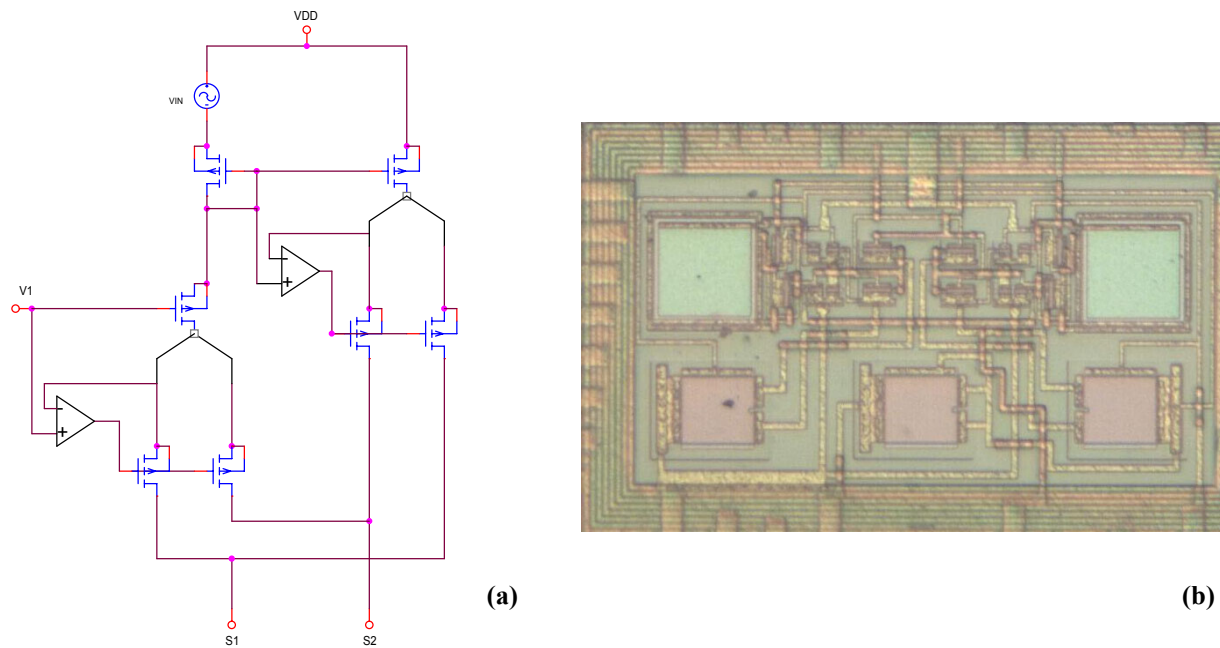


Fig.42(a) Circuito Multiplicador Volt-Tesla. (b) Implementação em CUB06

Os resultados mostraram uma característica não linear de operação², muito provavelmente devido a problemas de descasamento no par de transistores de entrada, ao contrário do citado em [10] que atribui a não linearidade desta célula ao efeito de corpo dos transistores e alimentação assimétrica. Simulações realizadas indicaram que um descasamento de área de apenas 0.1% pode levar ao erro de não linearidade encontrado. Esta ordem de grandeza é compatível com a tecnologia empregada. Uma solução a este problema é prover a célula de um circuito de ajuste de *offset* de corrente para se compensar o efeito da não linearidade. Este circuito pode ser implementado com transistores do tipo

² A versão anterior [30] implementada na forma de um *array* com 16 células do circuito Multiplicador Volt-Tesla apresentou exatamente o mesmo comportamento.

Floating-Gates, como será discutido na seção seguinte. Fig.43 ilustra alguns resultados obtidos a partir de ensaios realizados no analisador de parâmetros de semicondutores HP4155.

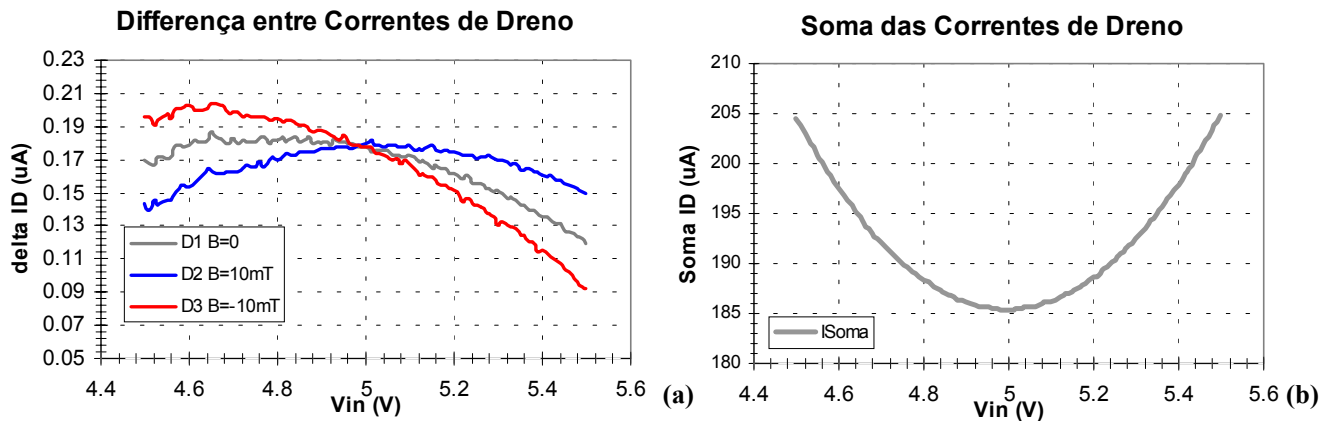


Fig.43(a) Resposta do Multiplicador Volt-Tesla evidenciando-se a operação não-linear devido a problemas de descasamento da estrutura. (b) Corrente de saída total, como previsto teoricamente.

3.6. CIRCUITOS DE CORREÇÃO DE *OFFSET*

Os circuitos de leitura (*readout*) dos detectores de campo magnético baseados em transistores *split-drain* são susceptíveis a variações de processo que ocasionam *offset* de corrente nos drenos do transistor. Este *offset* de corrente é amplificado pela instrumentação e pode eventualmente saturar a saída do detector em VDD ou VSS. Geralmente varia na mesma proporção com a corrente de polarização do transistor, Fig.44(a). Daí a necessidade de se incluir nos circuitos testados um ajuste de *offset*, o que torna o circuito pouco prático sob o ponto de vista de utilização real. Uma solução a este problema pode ser viabilizada a partir do uso de transistores *Floating-Gates-FG* que integrados com o sensor e o circuito de instrumentação permitem a correção da corrente de *offset* após a fabricação do circuito [31]. Este procedimento pode ser considerado um pós-processamento do circuito integrado. Basicamente, transistores FG podem ser “programados” ou terem suas tensões de limiar (V_T) ajustadas continuamente por meio de pulsos de alta tensão ($>12V$) aplicados em seus *gates*. Estes pulsos tunelam elétrons que ficam retidos na região isolante entre camadas de poli-silício do transistor FG, modificando a tensão V_{TO} . Assim, a tensão de limiar não depende da alimentação do circuito, e após a

programação, o valor de V_{TO} se mantém o mesmo indefinidamente. Assim, circuitos de polarização utilizando-se transistores FG (fontes de corrente, por exemplo) podem ser “programados” através da variação de V_{TO} efetivando a correção de *offset* do circuito detector de campo magnético. Mesmo depois de removida a alimentação do circuito, as características elétricas são mantidas. Fig.44(b) ilustra a característica $I_D \times V_{G1}$ parametrizada na tensão V_{G2} para um transistor FG.

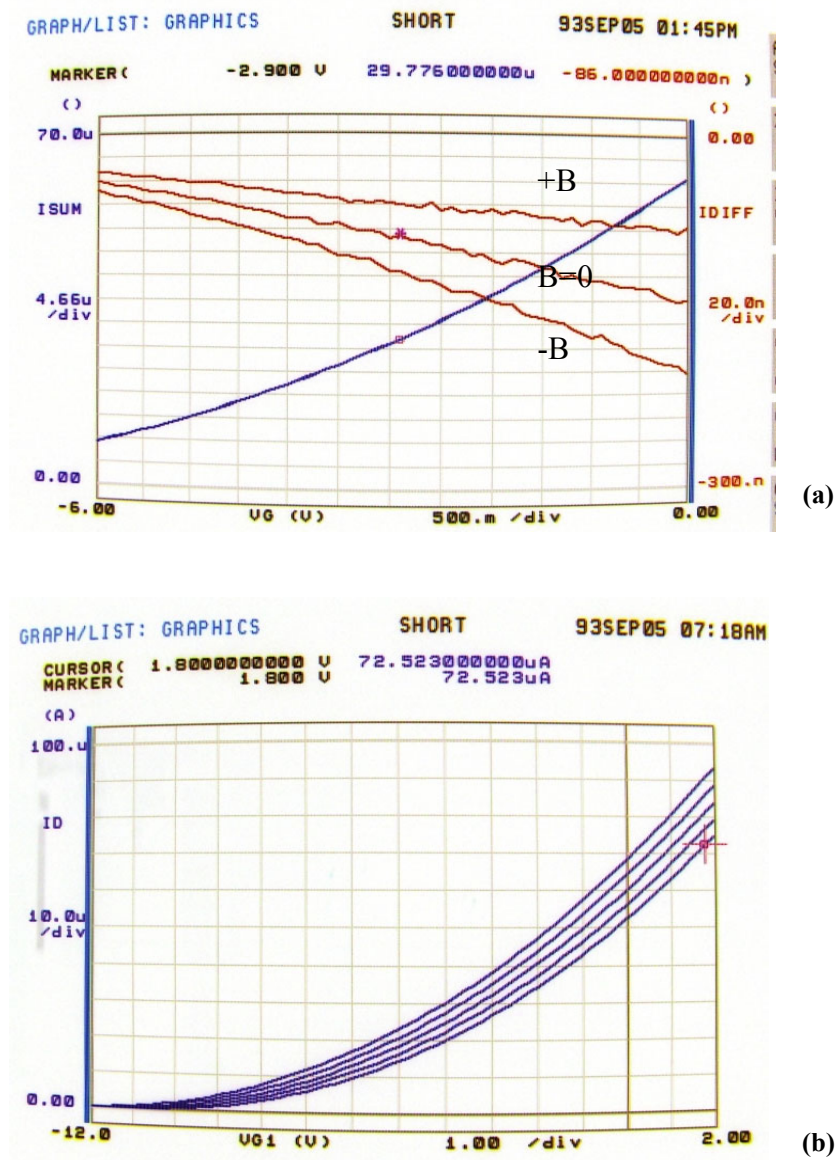


Fig.44 (a) Variação da corrente de *offset* (Diferença entre as correntes de dreno- I_{DIFF}) com a corrente de polarização do transistor- I_{SUM} , para $B=0$, $+B$, $-B$. (b) Característica do transistor *Floating-Gates* ilustrando a variação de V_{TO} a partir do controle de tensão em um dos *gates*.

Um circuito de polarização ajustável por meio de programação foi apresentado em [32]. Basicamente, transistores do tipo LDD (*Low-Doped Drain*) são utilizados na geração dos pulsos de alta tensão necessários à programação. Resistores integrados de poli-silício de alta resistividade limitam a corrente de consumo quando o circuito opera no modo leitura. No modo de programação, pulsos de alta tensão são aplicados em um dos *gates* de controle para elevar a tensão de limiar V_{TO} , enquanto que pulsos no outro *gate* a reduz. A variação desta tensão modifica a corrente de dreno do transistor FG, sendo espelhada para fora do circuito e então utilizada na correção de *offset* de qualquer estrutura que possa ter uma corrente de polarização ajustável. Fig.45(a) ilustra o circuito simplificado e Fig.45(b) o circuito implementado em tecnologia CUB06.

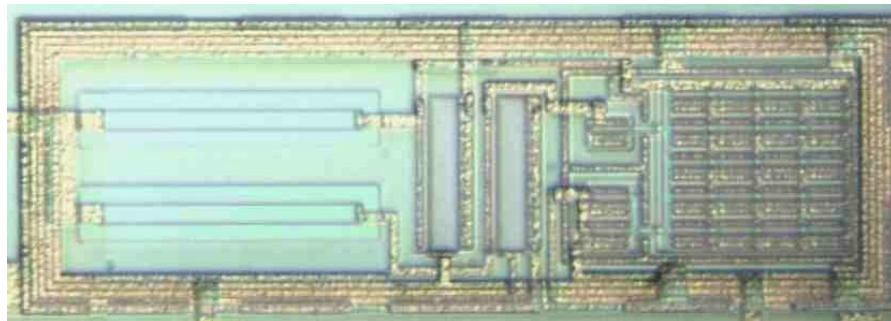
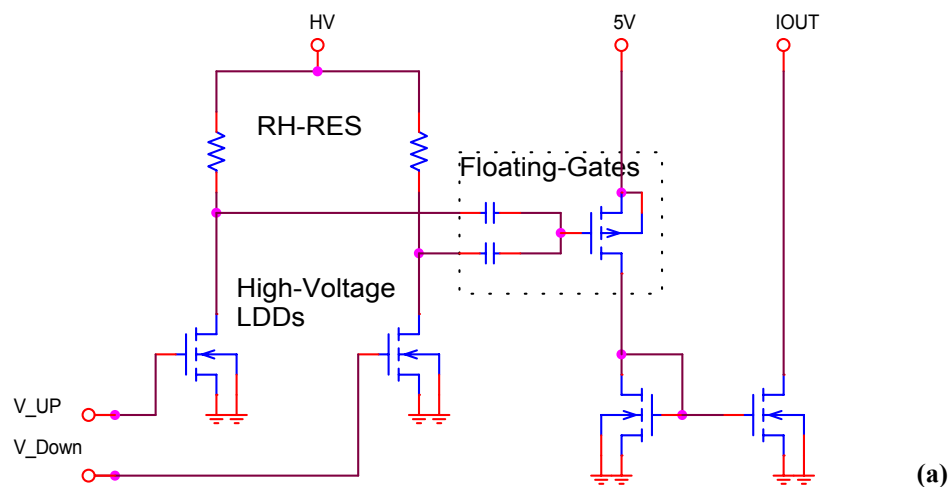


Fig.45(a) Circuito de Compensação de *offset* (b) Implementação em CUB06

3.7.CONCLUSÕES

Neste capítulo algumas topologias de circuitos sensores magnéticos e instrumentação associada realizadas na forma de circuitos integrados foram descritas, analisadas e verificadas experimentalmente. A aplicação básica perseguida consiste na implementação de um circuito detector de campo magnético a ser integrado com um transistor de potência de forma a atuar como sensor de irradiação eletromagnética. As especificações de um circuito sensor para esta finalidade são bastante severas, pois se necessita de um circuito que opere com baixos níveis de ruído e apresente uma banda de frequência relativamente elevada. Filtros com elevados fatores de qualidades são também requisitados como parte do sistema. A topologia que mais se aproximou destas especificações foi o *Shunt-Zero*, que opera em modo corrente, atingindo-se frequências de operação relativamente elevadas. A resolução e mínimo campo detectável podem ser modificados a partir do uso combinado de elementos sensores em paralelo. Finalmente, a integração do *shunt-zero* garante forte acoplamento magnético com os transistores *split-drain*, o que favorece a resolução do circuito detector.

Considerando-se aplicações gerais dos transistores *split-drain* como sensores de campo magnético ou de corrente, circuitos detectores podem ser realizados em tecnologia CMOS juntamente com os circuitos de instrumentação, proporcionando maior confiabilidade com menores custos. As soluções monolíticas empregadas em circuitos *Smart-Power* são altamente desejáveis porque viabilizam a construção de circuitos compactos com aplicações diretas na indústria automotiva, eletrodomésticos e eletrônica em geral. O monitoramento não-invasivo (*Shunt-Zero*) de corrente consumida por circuitos de acionamento dispensa o uso de resistores *shunt* normalmente empregados, reduzindo-se perdas elétricas e garantindo-se isolamento galvânica entre o circuito de carga e instrumentação. Obtém-se ainda através da detecção magnética com transistores *split-drain* uma elevada linearidade, característica bastante desejável em circuitos de controle. Aplicações, como por

exemplo, acionamentos controlados, medidores de potência, circuitos de proteção podem utilizar com vantagens a técnica de medição de corrente proposta a partir do sensor *Shunt-Zero*.

REFERÊNCIAS

- [1] Haberli, A. Baltes, H., et al. Contactless angle measurement by CMOS Magnetic Sensor with on-chip read-out circuit. Transducers 1995. Eurosensors IX. International Conference on Solid-State Sensors and Actuators and Eurosensors IX. 1995.
- [2] Zhang, M and Misra. A Novel 3D Magnetic Field Sensor in Standard CMOS Technology. Digest of Technical Papers. International Conference on Solid State Sensors and Actuators. Transducer's 91. Pp.1085-1088. 1991.
- [3] Malcovati, P, Maloberti, F. A fully integrated CMOS magnetic current monitor. Proceedings of IEEE International Symposium on circuits and Systems-ISCAS. Vol.5. Pp.128-131. 1999.
- [4] Busatto, G. et al. Magfet based current sensing for power integrated circuit. Microelectronics Reliability. Vol.43. pp.577-583. 2003.
- [5] Doyle, J. Lyden, C. High Sensitivity, Low Power, Silicon Magnetic Field Detector. Proceedings of IEEE Custom Integrated Circuits Conference. Pp.275-277.1994.
- [6] Nathan, A et al. Design of a CMOS Oscillator with Magnetic-Field Frequency Modulation. IEEE Journal of solid-State Circuits, Vol.SC-22.N.2, Apr. 1987.
- [7] Ning, F. Bruun, E. An offset-trimmable array of magnetic-field-sensitive MOS transistors (Magfets). Sensors and Actuators A,58,pp.109-112.1997.
- [8] Doyle, J. High Sensitivity Silicon Magnetic Field Detector. Proceedings of IEEE Custom Integrated Circuits Conference. 2001.
- [9] Enz, C. C, Temes, G. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. Proceedings of the IEEE , Vol. 84, Issue: 11, Nov. 1996.

- [10] Li, Z.Q. et al. A CMOS Differential Tesla-Volt Multiplier Cell. IEEE Electron Devices Letters, Vol.25. N.5. May.2004.
- [11] Li, Z.Q. et al. A magnetic field-induced current-modulating opamp based on CMOS differential Tesla-Volt multiplier cell for MAGFET 1/f noise reduction. Sensors and Actuators A, Vol.118. Issue 2, Feb.2005.
- [12] Popovic, R.S., Hall Devices for Magnetic sensor microsystems. Proceedings of International Conference on solid-state Sensors and Actuators. 1997.
- [13] Chen, S.L. et al. CMOS Magnetic Field to frequency converter. IEEE Sensors Journal, Vol.3. N.2. Apr.2003.
- [14] Liu, S.I. et al. SPICE macro model for MAGFET and its applications IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol: 46 , Issue: 4 , Apr. 1999.
- [15] Ryan, J et al. A magnetic Field Sensitive amplifier with temperature compensation. IEEE International Solid-State Circuits Conference. Pp. 124125. 1992.
- [16] Geiger, R., Allen, P.Strader, N. VLSI-Design Techniques for Analog and Digital Circuits.McGraw-Hill Series in Materials Science and Engineering. 1990.
- [17] Kub, F.J., Scott, C.S. Multiple-Gate split-Drain MOSFET Magnetic-Field Sensing Device and Amplifier. Technical Digest of IEEE Electron devices Meeting. Pp.517-520. 1992.
- [18] Misra, D. Etal. A Novel High Gain MOS Magnetic Field Sensor. Sensors and Actuators, Vol.9. Pp.213-221.1986.
- [19] Misra, D. A Novel CMOS Magnetic Field Sensor Array. IEEE Journal of Solid-State Circuits, Vol.25. N.2. Apr.1990.
- [20] Flynn, M et al. A CMOS Magnetic Field Controlled Duty Cycle Oscillator Sensor. Proceedings of IEEE Custom Integrated Circuits Conference. 1992.
- [21] Hastings, A The Art of Analog Layout. Prentice Hall. 2001. ISBN: 01308706117.

-
- [22] Clark, J. Split-Drain MOSFET Magnetic Sensor Arrays. *Sensors and Actuators A*, 24. Pp.107-116.1990.
- [23] Ning, F. Bruun, E. An offset-trimmable array of magnetic-field-sensitive MOS transistors (Magfets). *Sensors and Actuators A*,58,pp.109-112.1997.
- [24] Popovic, R., Baltes, H. A CMOS Magnetic Field sensor. *IEEE Journal of Solid State Circuits*. Vol. SC-18, No.4, Aug.1983.
- [25] Sun, Z.Q.et al. Towards achieving maximum magnetic sensitivity for cross-coupled CMOS magnetic field-effect transistor pair. *Electronics Letters*, Vol.38. No.14. pp. 709-710. Jul.2002.
- [26] Jimenez, H. Contribuição no Estudo do Transistor MOS Split-Drain como Sensor de Campo Magnético. Tese de Mestrado. Unicamp. 1999.
- [27] Murari, B. et al. *Smart Power Ics*. Caps. I,II,IV. Springer-Verlag. ISBN: 3-540-60332-8.
- [28] Castaldo, et al. Shunt-Zero based on CMOS Split-Drain: A Novel Approach for Current Sensing. IMAPS Brazil 2004 International Technical Symposium on Packaging, Assembling and Testing & Exhibition. 2004.
- [29] Castaldo, et al. Shunt-Zero based on CMOS Split-Drain: A Novel Approach for Current Sensing. Aceito para apresentação oral no PESC 2005-IEEE Power Electronic Specialists Conference.
- [30] Reis, C.A Split-Drain MOST based circuit for measuring electric power. ESSCIRC 2000-European Solid-State Circuit Conference. Sep.2000.
- [31] D. Kahng and S.M. Sze, “*A Floating Gate and its Application to Memory Devices*”, *The Bell System Technical Journal*, vol. 46, no. 4, pp. 1288-1295, 1967
- [32] Castaldo, F.C et al. Floating-Gate Analog Memory Cell Programming Environment. IMAPS Brazil 2004 International Technical Symposium on Packaging, Assembling and Testing & Exhibition-Sao Paulo-Brasil. Out. 2004.
- [33] Paul, C. Introduction to Electromagnetic Compatibility. John Willey and Sons, INC. ISBN 0-471-54927-4. Pp. 335-400. 1992.
-

APÊNDICE I

ESTUDO DOS SENSORES MAGNÉTICOS

Neste apêndice revisa-se o princípio de operação dos sensores magnéticos em silício. O objetivo principal é determinar a relação entre sensibilidade e campo magnético aplicado. A partir do conhecimento dos parâmetros do sensor, pode-se determinar sua aplicabilidade como detector de campos magnéticos produzidos por correntes de comutação em transistores de potência.

A1.1.INTRODUÇÃO

Historicamente, a expressão *magneto* origina-se de uma região da Grécia conhecida como Magnésia onde se encontra o minério de magnetita (Fe_3O_4). A propriedade de orientação de fragmentos deste minério com o campo magnético terrestre possibilitou a invenção da bússola, utilizada pelos chineses cerca de 4000 anos atrás.

Em termos contemporâneos, sensor magnético é um dispositivo que converte um campo magnético em um sinal elétrico através de efeitos galvano-magnéticos gerados em um material quando o mesmo conduz uma corrente elétrica e é submetido a um campo magnético. O efeito galvano-magnético mais conhecido é o efeito Hall, que produz um campo elétrico perpendicular ao vetor indução magnética e ao vetor densidade de corrente. Este efeito foi descoberto por Edwin Hall em 1879 na universidade de Baltimore. O efeito dual ao Hall é conhecido como ação de Lorentz, que se refere à deflexão do movimento dos portadores de carga quando submetidos a um campo magnético. Esta deflexão ocorre no sentido perpendicular ao vetor densidade de fluxo magnético e à direção original da densidade de corrente elétrica. Outros efeitos galvano-magnéticos incluem a Magneto-concentração que produz um gradiente de concentração de portadores sob ação de um campo magnético e a Magneto-resistência que corresponde à variação da resistência de um material devido à aplicação de um campo magnético.

Os sensores magnéticos baseados no efeito Hall ou ação de Lorentz em semicondutores e que podem ser integrados com circuitos de condicionamento de sinal são altamente desejáveis, pois permitem a construção de sistemas monolíticos. O primeiro dispositivo implementado em Silício foi a Placa Hall, que apresentou baixa sensibilidade quando comparada a outros semicondutores. Isto porque os efeitos galvano-magnéticos são favorecidos pela alta mobilidade e baixa concentração de portadores. Dispositivos com melhor resposta magnética podem ser implementados utilizando-se heterojunções de *GaAs* em um substrato de silício [1], [2]. Por possuírem mobilidade mais elevada quando comparada ao silício, tais estruturas apresentam maior sensibilidade ao campo magnético. Entretanto, um processamento adicional deve ser realizado entre as etapas de fabricação do sensor [3]. Alternativamente, pode-se concentrar as linhas de campo magnético através de estruturas com elevada permeabilidade, que atuam como “condutores” de fluxo magnético até o elemento sensor, favorecendo-se assim o efeito galvano-magnético [4]. Na literatura, tais estruturas são denominadas de *Fluxgate Sensors* e podem ser implementados a partir de filmes finos de NiFe [5]. Uma etapa adicional de processamento se torna necessária, aumentando o custo do processo.

Determinadas ligas amorfas de materiais [39] permitem a implementação de sensores magnéticos com características dependentes do efeito de magneto-resistência do material a nível molecular. Ligas amorfas especiais são usadas em sensores do tipo GMR (*Giant Magnetic Resistors*). Estes dispositivos podem detectar campos da ordem de micro-teslas¹. Entretanto, dispositivos baseados neste efeito e similares, como o GMI (*Giant Magnetic Impedance*) [6] apresentam resposta altamente não linear, não sendo apropriados para detecção de campos magnéticos produzidos por correntes elétricas por necessitarem de instrumentação adicional para correção da não-linearidade. Também não

¹ Sensores GMR podem facilmente detectar o campo magnético terrestre, da ordem de 50 μ T, como experimentalmente verificado pelo autor em um teste de laboratório.

são adequados à integração em processos convencionais, embora tenha sido reportada a implementação em tecnologia CMOS de sistemas de leitura (*hard-disks*) baseados em Magneto-Resistores (MR) [7].

Em tecnologia MOS, o primeiro dispositivo sensor de campo magnético baseado no efeito Hall foi proposto por *Gallagher and Corak* [8]. Baseado na ação de Lorentz, *Fry and Hoey* [9] propuseram um transistor MOS com dois contatos de dreno laterais utilizados como pontos de medida e um terceiro contato de dreno para condução da corrente de polarização. Sob um campo magnético, uma assimetria na corrente que fluía pelos drenos laterais era observada estando o transistor operando na região de saturação. Este dispositivo pode ser considerado o precursor do moderno transistor *Split-Drain* ou MAGFET. Fig. 1 ilustra o esquema simplificado e uma fotografia do dispositivo.

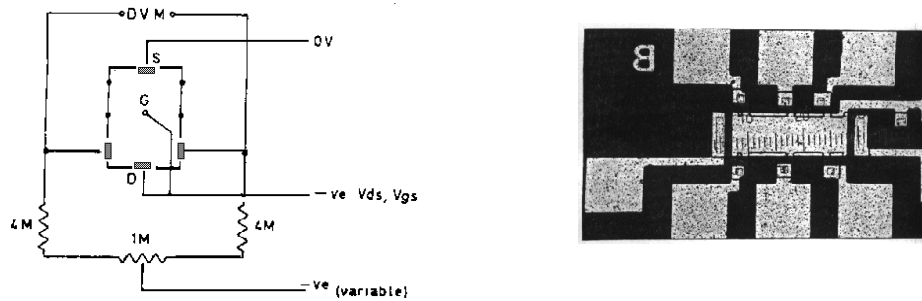


Fig. 1. Sensor Magnético (Fry e Hoey, 1969)

A1.2. SENSORES GALVANO-MAGNÉTICOS EM SILÍCIO

Os dispositivos galvano-magnéticos implementados em tecnologia de semicondutores e baseados na ação de um campo magnético sobre os portadores de carga por meio da força de Lorentz ou efeito Hall recebem na literatura diversas denominações, a saber: Magneto-transistor Lateral e Vertical [3], Hall-MAGFET, *Bulk-Hall-Plate*, Fig.2(a) [10], *MOS-Hall-Plate*, Fig.2(b), Vertical Hall Device (VHD) [11], [12], *MOS-Split-Drain*, *Split-Drain-MAGFET*, *Dual-Drain-MAGFET*, MAGRES [13], Hall-Cilíndrico [1] e outros. Basicamente, a operação do dispositivo pode ocorrer em modo tensão

ou modo corrente, caracterizando o efeito Hall ou a ação da força de Lorentz, respectivamente. No primeiro caso, a ação de um campo magnético produz um desequilíbrio de cargas que se traduz em uma diferença de potencial (d.d.p. Hall) e no segundo caso, tem-se uma deflexão de corrente devido à presença do campo magnético. Embora se trate do mesmo efeito, o modo de operação difere substancialmente quando da implementação e operação dos sensores. No primeiro caso, tem-se o sensor operando no modo tensão e no segundo, modo corrente [14]. Operando no modo tensão, o dispositivo recebe o nome usual de Placa-Hall (*Hall-Plate*), enquanto que no modo corrente, as denominações Magneto-transistor (transistor em tecnologia bipolar) e MAGFET (transistor em tecnologia MOS) são as mais comuns. Particularmente, os sensores construídos em tecnologia MOS ou Bipolar apresentam a vantagem de poderem ser diretamente integrados, permitindo a implementação de ASICs (*Application Specific Integrated Circuit*) em tecnologias CMOS convencionais de menor custo [15]. Também compatível com tecnologia MOS situa-se o Magneto-transistor CMOS [16], implementado a partir do transistor bipolar parasita lateral ou vertical, presente nas estruturas MOS. Um sensor magnético pode ser implementado dotando-se este transistor de um segundo coletor para detecção da deflexão de corrente. Devido às características de baixa performance do transistor bipolar parasita (baixo ganho, efeito de alta injeção), os sensores do tipo Magneto-transistor são preferencialmente implementados em tecnologia Bipolar ou BiCMOS. É interessante citar que enquanto uma Placa-Hall ou *split-drain* MAGFET são normalmente capazes de detectar campos magnéticos perpendiculares à superfície do sensor, o Magneto-transistor ou o VHD-*Vertical Hall Device* podem detectar componentes tangenciais. A integração de ambos tipos de sensores permite aplicações interessantes, tais como um detector de posição em três dimensões [17], [18], [1].

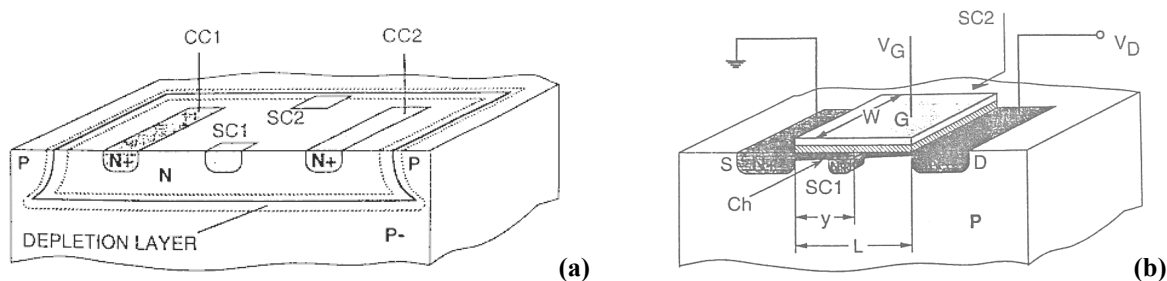


Fig. 2. (a) Bulk Hall-Plate (b) MOS-Hall-Plate

Entre outros efeitos baseados no mecanismo galvano-magnético em portadores (elétrons ou lacunas em silício) enquadram-se a magneto-resistência e a magneto-concentração [14]. Magneto-resistência corresponde a um aumento da resistência elétrica de uma amostra de semiconductor quando submetida a um campo magnético devido à deflexão das linhas de corrente por ação da força de Lorentz. Este mecanismo é conhecido por magneto-resistência geométrica², uma vez que o maior percurso dos portadores através da amostra sob ação do campo implica em aumento de resistividade da mesma. O exemplo clássico deste princípio é o disco de Corbino [14]. A magneto-concentração se refere a um efeito onde ambos portadores (elétrons e lacunas) tendem a se concentrar em determinadas regiões do material imerso no campo magnético e em regiões opostas espacialmente, há a tendência à depleção. No primeiro caso ocorre aumento de condutividade na região considerada, enquanto no segundo ocorre o contrário. Este efeito é pronunciado em materiais com concentração de portadores próxima à intrínseca, portanto não é apreciável em dispositivos que operam com excesso de um tipo de portador (caso de camadas de inversão em transistores MOS ou semicondutores extrínsecos) [3].

² Em contrapartida, a magneto-resistência também ocorre em nível atômico, quando os portadores com diferentes energias são impelidos sob a ação de um campo magnético e elétrico com velocidades distintas, produzindo um aumento da resistividade elétrica. Este efeito é conhecido como magneto-resistência física. Magneto-Resistores são baseados neste princípio.

A1.3. EFEITOS GALVANO-MAGNÉTICOS: FORMULAÇÃO BÁSICA

Com o objetivo de se verificar que a força de Lorentz se manifesta através do transporte de portadores (elétrons ou lacunas), considere-se duas amostras de material semiconductor extrínseco e isotrópico, não-degenerado, do tipo N e tipo P, respectivamente, conforme Fig.3. Aplicando-se entre duas faces opostas uma diferença de potencial, estabelece-se um campo elétrico longitudinal na direção x que impõe ao portador um movimento com velocidade de deriva (*Drift*) v_D . Ainda, um campo magnético B perpendicular à superfície de cada amostra é estabelecido na direção z .

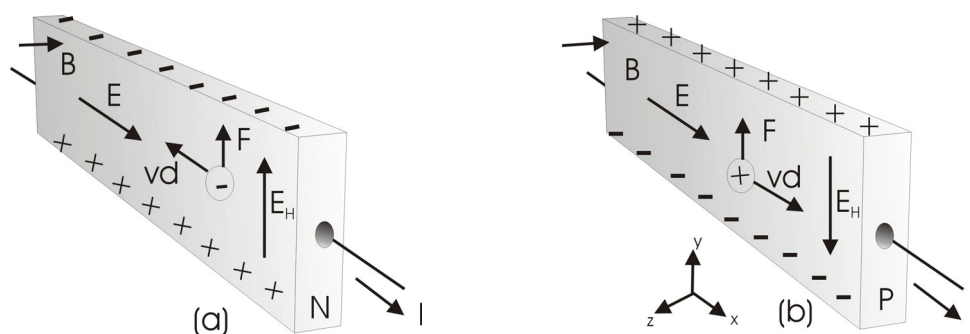


Fig. 3. Efeito Hall em amostras semicondutoras do tipo N e P

A partir da clássica relação do transporte de portadores de carga elétrica sob a influência de um campo magnético observa-se que no primeiro caso um campo elétrico E_H será estabelecido na direção $+y$ para contra-balançar o efeito da força de Lorentz agindo sobre o portador, no caso elétron. No segundo caso, para portadores positivos, no caso lacunas, o campo elétrico E_H será estabelecido na direção contrária. Nos dois casos, foi suposta uma condição estática, onde os portadores após serem defletidos, são acumulados nas interfaces do material, produzindo-se a tensão Hall. Nesta condição, o campo elétrico Hall pode ser determinado a partir da Eq. 1.

$$\vec{E}_H = -(\vec{v}_D \times \vec{B}) \quad (1)$$

Para v_D e B ortogonais, como será o caso geral, o módulo será $|E_H| = v_D \cdot B$. A tensão Hall, ou d.d.p. Hall entre as faces opostas pode ser obtida a partir da integração da Eq. 1. Em condição não-estática, ou seja, portadores defletidos continuamente renovados, como no caso de uma conexão de um resistor entre as faces do dispositivo (a), por exemplo, o transporte de portadores passa a ser regido pela Eq.2 onde $\overrightarrow{J(B)}$ refere-se ao vetor densidade de corrente de elétrons sob a influência de um campo magnético B , E representa o campo elétrico no interior da amostra responsável pelo deslocamento (*drift*) das cargas, σ_B representa a condutividade dependente do campo magnético, σ representa a condutividade do material na ausência de campo magnético e μ_H refere-se à mobilidade Hall, que será discutida adiante.

$$\overrightarrow{J(B)} = \sigma_B \cdot [\vec{E} + \mu_H \cdot (\vec{B} \times \vec{E})] \quad \text{e} \quad \sigma_B = \sigma [1 + (\mu_H \cdot B)^2]^{-1} \quad (2)$$

Esta equação descreve o efeito galvano-magnético para elétrons em semicondutores, responsável pelas correntes de deriva no caso de correntes de difusão desprezíveis. Observa-se que o termo $\mu_H \cdot (\vec{B} \times \vec{E}) = -\vec{v}_D \times \vec{B}$, onde $\vec{v}_D$ representa o vetor velocidade dos elétrons, é interpretado como um campo elétrico transversal (observe que ambos termos apresentam a dimensão [V/m]) que contrabalança o efeito da deflexão dos portadores pela ação de Lorentz. Para densidade de corrente de lacunas, uma formulação similar é empregada, devendo-se observar a inversão de sinais, devido à polaridade das lacunas.

Dois casos particulares são de especial importância na formulação teórica dos efeitos galvano-magnéticos em semicondutores, baseada na Eq.2. (a) *Amostra semicondutora infinitamente longa* e (b) *Amostra semicondutora infinitamente larga*. Entende-se neste contexto a direção da corrente na amostra ao longo da maior dimensão da mesma. Na seqüência, assume-se para a análise a seguir os

seguintes vetores no plano xyz : $\vec{E} = (E_x, E_y, 0)$, $\vec{J}(B) = (J_x, J_y, 0)$ e $\vec{B} = (0, 0, B)$. Operando-se vetorialmente a Eq.2, obtém-se os escalares correspondentes representados na Eq.3.

$$J_x = \sigma_B \cdot (E_x - \mu_H \cdot B \cdot E_y) \quad \text{e} \quad J_y = \sigma_B \cdot (E_y + \mu_H \cdot B \cdot E_x) \quad (3)$$

No caso (a), *Amostra semicondutora infinitamente longa*, considera-se que a corrente na amostra possui apenas componente horizontal, sendo $J_y=0$. Tal condição ocorre devido ao confinamento das linhas de corrente entre as fronteiras da amostra, que por ser longa e de seção transversal reduzida, praticamente exclui qualquer componente de densidade de corrente na direção y . Aplicando-se Eq.3 para $J_y=0$, obtém-se que o campo elétrico transversal E_y é dado por $E_y = -\mu_H \cdot B \cdot E_x = R_H \cdot J_x \cdot B$, desde que este campo seja estabelecido longe de contatos ôhmicos, que apresentam a propriedade de atenuar ou mesmo anular campos elétricos. Este campo é denominado campo Hall, onde $R_H = -\mu_H / \sigma = -r_n / q \cdot n$ e $\mu_H = r_n \cdot \mu$. Nestas expressões, q corresponde à carga do elétron (1.602×10^{-19} C), r_n ao fator de *scattering* [1] para elétrons e n à concentração de elétrons livres que no caso de semicondutores não-degenerados e operando na faixa de saturação, corresponde à totalidade de dopantes ionizados [14]. R_H corresponde ao coeficiente Hall, cujo valor depende da temperatura e dopagem do semicondutor. A presença do campo Hall resulta em uma rotação das linhas equipotenciais de um ângulo $\tan(\theta_H) = E_y / E_x = -\mu_H \cdot B = \sigma \cdot R_H \cdot B$ conforme indicado na Fig.4(a). No caso (b), *Amostra semicondutora infinitamente larga*, considera-se a componente de campo vertical $E_y = 0$. Tal condição pode ser aproximada por uma amostra com ampla seção transversal por onde a corrente flui e com eletrodos de corrente cobrindo totalmente cada uma das faces opostas, conforme Fig.4(b). Neste arranjo, o campo elétrico estabelecido entre os eletrodos é perpendicular aos mesmos, portanto possui apenas a componente horizontal, E_x . A aplicação da Eq.3 leva à determinação da componente transversal de corrente J_y que produz uma rotação das linhas de corrente. A deflexão das

linhas de corrente devido à ação da força de Lorentz recebe o nome de ângulo de Lorentz ou ângulo Hall. A partir da Eq.3, $\tan(\theta_H) = -J_y / J_x = -\mu_H \cdot B$.

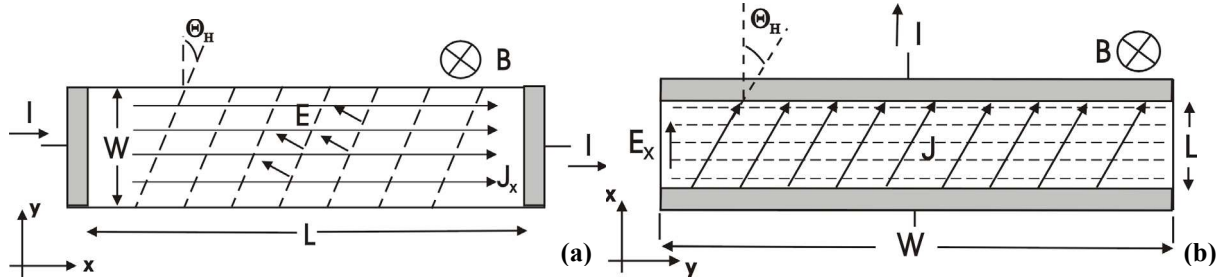


Fig. 4. (a) Efeito Hall em placa semicondutora longa (b) Ação de Lorentz em placa semicondutora curta

Para a amostra *infinitamente longa* operando como elemento sensor de campo magnético, a diferença de potencial V_H pode ser calculada a partir da integração do campo elétrico Hall. $E_y = -\mu_H \cdot B \cdot E_x = R_H \cdot J_x \cdot B$, dado na Eq.4. Nesta geometria, o campo E_y é uniforme ao longo da amostra, com exceção na região próxima aos contatos. Como se trata de uma amostra muito longa, o efeito de curto-circuito imposto pelos contatos não é sentido na região central da amostra onde se avalia a tensão Hall. Devido ainda à uniformidade do vetor de corrente na direção x (J_x), considera-se $E_x = V / L$ onde V é a tensão aplicada na amostra que estabelecerá o campo longitudinal E_x , Fig.5(a).

$$V_H = -\int_0^W E_y dy = \int_0^W \mu_H \cdot B \cdot E_x dy = \mu_H \cdot B \cdot E_x \cdot W = \mu_H \cdot B \cdot \frac{W}{L} \cdot V \quad (4)$$

Para a amostra *infinitamente larga* operando como elemento sensor de campo magnético, a corrente diferencial ou corrente de Lorentz que se deve à deflexão dos portadores pode ser calculada a partir da integração da densidade de corrente J_y . Considerando-se $J_y = \sigma_B \cdot (E_y + \mu_H \cdot B \cdot E_x)$ dado na Eq.3 com $E_y=0$ obtém-se para a densidade de corrente $J_y = \mu_H \cdot B \cdot J_x$ onde supõe-se que $\sigma_B = \sigma$, condição aplicável para campos $B < 1T$. Também aplicou-se $J_x = \sigma \cdot E_x$. Como resultado para a corrente de Lorentz, $I_L = \Delta I$, tem-se a Eq. 5.

$$I_L = \Delta I = \int_0^L J_y dx = \int_0^L \mu_H \cdot B \cdot J_x \cdot dx = \mu_H \cdot B \cdot J_x \cdot L = \mu_H \cdot B \cdot \frac{L}{W} \cdot I \quad (5)$$

Devido à uniformidade das linhas de potencial, ou do campo E_x , a densidade de corrente J_x é dada por $J_x = I/W$ onde I refere-se à corrente total na amostra. Deve ser observado que sendo J_x constante ao longo do dispositivo nas direções x e y , o mesmo pôde ser removido do sinal de integração, condição não necessariamente válida para outras geometrias. Ainda, um *gap* infinitesimal foi considerado para permitir a avaliação da corrente de Lorentz, caso contrário o contato superior faria um curto-circuito nesta corrente, conforme indicado na Fig.5(b). Cabe ressaltar aqui que ambos modos de operação (tensão ou corrente) são duais, portanto todas as considerações sobre geometria, sentidos dos campos elétricos e de densidades de corrente são opostas, apesar de essencialmente o mesmo efeito estar presente em cada modo de operação. As expressões deduzidas constituem a formulação básica para determinação da sensibilidade de um dispositivo sensor magnético, seja operando em modo tensão ou modo corrente.

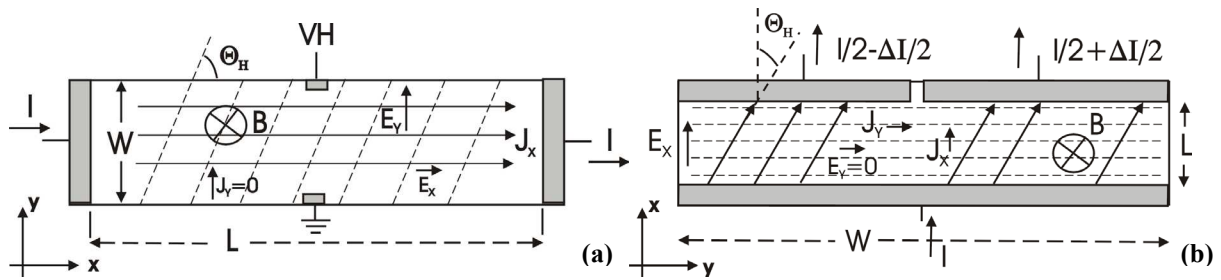


Fig. 5. Hall e Lorentz modos de operação

A1.4. EFEITOS GALVANO-MAGNÉTICOS: INCLUSÃO DO FATOR DE CORREÇÃO GEOMÉTRICO

Nos dois casos ilustrados anteriormente, o campo elétrico Hall E_H (E_y na direção y) era máximo no caso da amostra infinitamente longa e nulo no caso da amostra infinitamente larga. Este último deve-se ao efeito de curto-circuito devido à presença dos contatos muito próximos enquanto que contatos distantes do ponto onde se desenvolve o campo Hall não o afetam. Entretanto, para

geometrias distintas da amostra infinitamente longa, o campo elétrico Hall será atenuado conforme ilustrado na Fig.6(a),(b). Nas proximidades dos contatos, ocorre um efeito de curto-circuito do campo elétrico Hall, enquanto que nas regiões centrais o potencial Hall se desenvolve plenamente, daí a necessidade de se considerar um fator de correção geométrico contínuo ao longo do comprimento do dispositivo.

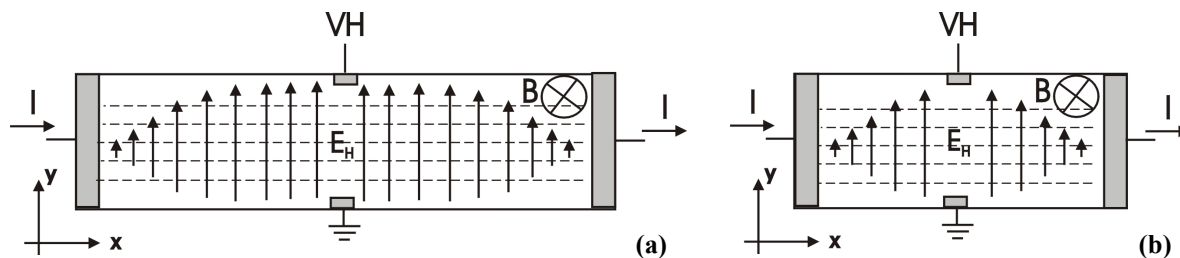


Fig. 6. Efeito dos contatos sobre o campo Hall

Tal efeito deve ser contemplado na Eq.3 através da inclusão de um fator de correção, denominado *Fator de Correção Geométrico*. O procedimento de análise é bastante simples: Considerando que o campo Hall se desenvolve a partir do movimento de um portador de carga na direção x sob a ação de um campo magnético na direção z , a equação $v_{Dx} = \mu \cdot E_x$ corresponde à velocidade de *drift* na direção x . O campo elétrico E_y transversal ao fluxo de corrente estabelecido deve ser modificado do fator de *scattering* r_n , pois é uma quantidade galvano-magnética, ou seja, o campo elétrico Hall é gerado a partir da influência do campo magnético sobre o portador em movimento³. Sendo o ângulo Hall é uma quantidade galvano-magnética local [14], pode-se escrever $E_y = r_n \cdot \mu \cdot E_x \cdot B$. Na ausência de campo magnético, $E_y = 0$ e $v_{Dx} = \mu \cdot E_x$. Além desta consideração, o efeito de curto-circuito

³ Curiosamente, Kluge [19] e Sung [20] não levaram devidamente em conta o fator de *scattering* r_n na dedução da expressão da corrente de Lorentz para o transistor *split-drain* e obtiveram resultados significativamente discrepantes. O resultado teórico precisou ser modificado de um fator de correção, obtido por *fitting* com resultados experimentais. No Anexo I segue a análise completa indicando o erro cometido por estes autores e a correção proposta.

será representado pela quantidade G que dependerá do ponto de avaliação do campo Hall em relação à posição dos contatos⁴. Assim, o campo elétrico Hall pode ser obtido a partir da modificação da equação básica, incluindo-se os parâmetros citados: $E_y = -r_n \cdot \mu \cdot E_x \cdot B \cdot G(x) = -\mu_H \cdot E_x \cdot B \cdot G(x)$. Observando-se a Fig.6 constata-se que G é uma função de x , pois a amplitude do campo elétrico Hall varia na direção longitudinal, na direção x . Combinando-se esta última expressão com $J_y = \sigma_B \cdot (E_y + \mu_H \cdot B \cdot E_x)$ (Eq.3), obtém-se para a densidade de corrente $J_y = \mu_H \cdot B \cdot J_x \cdot [1 - G(x)]$ onde substituiu-se $J_x = \sigma \cdot E_x$ e supôs-se que $\sigma_B = \sigma$, condição aplicável para campos $B < 1\text{T}$. A tensão Hall e a corrente de Lorentz podem ser calculadas para qualquer geometria de sensor magnético a partir do conhecimento do fator G , como indicado na Eq.6 e Eq.7. Deve-se observar que $0 \leq x \leq L$, sendo L o comprimento da amostra no sentido longitudinal da corrente.

$$V_H = - \int_0^W E_y dy = \int_0^W \mu_H \cdot E_x \cdot B \cdot G(x) dy = \mu_H \cdot B \cdot E_x \cdot W \cdot G(x) = \mu_H \cdot B \cdot \frac{W}{L} \cdot V \cdot G(x) \quad (6)$$

$$I_L = \Delta I = \int_0^L J_y dx = \int_0^L \mu_H \cdot B \cdot J_x \cdot [1 - G(x)] dx = \mu_H \cdot B \cdot J_x \int_0^L [1 - G(x)] dx = \mu_H \cdot B \cdot \frac{I}{W} \cdot \int_0^L [1 - G(x)] dx \quad (7)$$

Uma observação cabe ressaltar: Para geometrias distintas dos casos ideais (amostra infinitamente longa ou infinitamente larga), os vetores representados na Eq.6 e Eq.7, E_x e J_x não são mais constantes ao longo do percurso de integração, portanto tais equações são aproximações. A solução requer neste caso métodos numéricos aplicados a 2-Dimensões. Entretanto, para campos magnéticos da ordem de até 1T, verifica-se por meio de simulações 2-D que os vetores E_x e J_x podem ser considerados constantes ao

⁴ No caso da amostra longa, os contatos estão distantes, portanto não ocorre efeito de curto-circuito. Logo, considera-se $G=1$ para esta geometria, pois se assume tacitamente que os contatos detectores da tensão Hall são pontuais. Em contrapartida, para amostras largas, o efeito de curto-circuito do campo elétrico Hall devido à proximidade dos contatos é bastante severo, então assume-se $G=0$.

longo da amostra devido ao fato do ângulo Hall $\theta_H = a \tan(-\mu_H \cdot B)$ ser uma quantidade próxima de zero [14]. Assim, E_x e J_x praticamente assumem os valores da condição $B=0$ e podem ser removidos do sinal de integração.

As quantidades tensão Hall e corrente de Lorentz podem ser calculadas para um dispositivo operando no modo tensão (a) e no modo corrente (b) como funções de x ao longo do comprimento do dispositivo como indicado na Fig.7. Observe que a dependência de x em $E_y(x)$ e $J_y(x)$, indicada na mesma figura, deve-se à presença do fator de correção geométrico $G(x)$. Assim, aplicando-se a Eq.6 e Eq.7 obtém-se a tensão Hall como função de $G(x)$, enquanto que a corrente de Lorentz depende da resolução da integral em x (Eq.8).

$$V_H(x) = -\int_0^W E_y dy = \mu_H \cdot B \cdot \frac{W}{L} \cdot V \cdot G(x) \quad I_L(x) = \Delta I(x) = \int_0^x J_y dx = \mu_H \cdot B \cdot \frac{I}{W} \cdot \int_0^x [1 - G(x)] dx \quad (8)$$

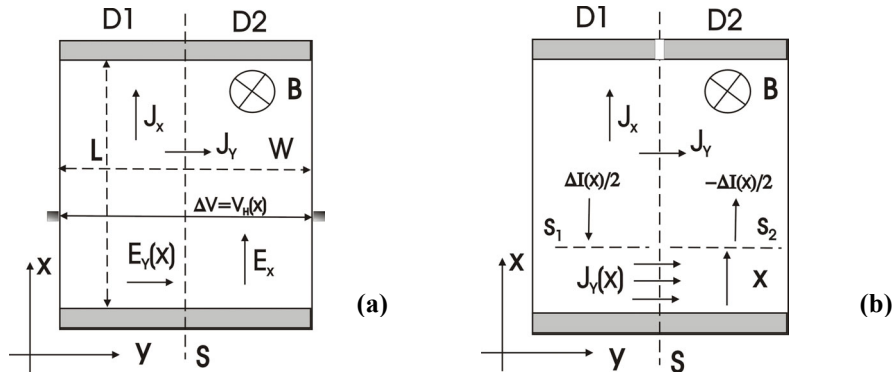


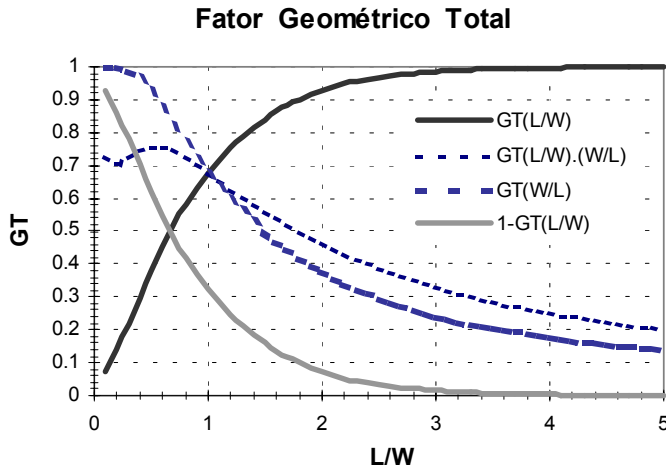
Fig. 7. Definição da Geometria e Quantidades vetoriais associadas.

O problema constitui-se na determinação de um fator de correção geométrico $G(x)$ que seja integrável para a solução das equações anteriores. Métodos de mapeamento conforme podem ser aplicados na obtenção de uma função $G(x)$, porém a função apresentada em [14] não é contínua, portanto não pode ser integrada. Uma proposição de uma função contínua para o fator de correção geométrico é apresentada em [19], [20]. O fator de correção geométrico variável $G(x)$ proposto unifica as expressões citadas na literatura adicionando-se um termo para compensação da descontinuidade da

função em (L/W) . Esta nova função (Eq. 9) permite descrever de forma contínua entre $0 \leq x \leq L$ o fator de correção geométrico, e é adequada para a integração da Eq.8.

$$G(x) = \frac{1}{4} \cdot (1 + G_T)^2 \cdot \tanh\left[4 \cdot \tanh^{-1}(\sqrt{G_T}) \cdot \frac{x}{L}\right] \cdot \tanh\left[4 \cdot \tanh^{-1}(\sqrt{G_T}) \cdot \left[1 - \frac{x}{L}\right]\right] \quad (9)$$

Na Eq. 9, G_T corresponde ao fator geométrico máximo ou total obtido para uma determinada geometria (relação L/W) que ocorre na região central do dispositivo ($x=L/2$), longe dos contatos. Fig.8 ilustra a função $G_T(L/W)$ e algumas quantidades úteis para projeto de sensores magnéticos.



$$G_T\left(\frac{L}{W}\right) = \frac{.742 \cdot \frac{L}{W}}{\left(\frac{\frac{L}{W}}{.55}\right)^2} + \frac{1 - \frac{16}{\pi^2} \cdot e^{\frac{-\pi}{2} \cdot \frac{L}{W}} \cdot \left(1 - \frac{8}{9} \cdot e^{-\pi \cdot \frac{L}{W}}\right)}{\left(\frac{.55}{\frac{L}{W}}\right)^{1.5} \cdot \left(1 + \frac{L}{W}\right)}$$

Fig. 8. Fator de Correção Geométrico Total- G_T

O fator de correção geométrico total, G_T , Fig.8, permite a integração da Eq.8 e mostra que para razões L/W crescentes, tanto mais o comportamento do dispositivo se aproximará do comportamento do dispositivo ideal. Ainda como citado anteriormente, próximo aos contatos, o efeito de curto-circuito tende a reduzir o efeito Hall, devidamente representado na função $G(x)$.

Determinação da Tensão Hall:

A partir do conhecimento de $G(x)$, a tensão Hall ao longo do canal pode ser facilmente determinada a partir da Eq.10. Deve-se observar que $0 \leq x \leq L$.

$$V_H(x) = -\int_0^W E_y dy = \mu_H \cdot B \cdot \frac{W}{L} \cdot V \cdot G(x) \quad (10)$$

Determinação da Corrente de Lorentz:

A partir da forma integrável de $G(x)$, a corrente de Lorentz pode ser determinada pelo uso da Eq.11. Entretanto, de acordo com [19] é necessário a inclusão de um coeficiente de correção que compensa o erro de integração de $G(x)$. Este coeficiente denominado K_G é multiplicado por $G(x)$, descrevendo-se adequadamente a variação da corrente de Lorentz ao longo do canal. Este coeficiente depende da geometria utilizada.

$$I_L(x) = \Delta I(x) = \int_0^x J_y dx = \mu_H \cdot B \cdot \frac{I}{W} \cdot \int_0^x [1 - K_G \cdot G(x)] dx = \mu_H \cdot B \cdot \frac{I}{W} \cdot \text{int}[x, G_T(L/W), K_G] \quad (11)$$

A expressão para K_G é determinada por Kluge [19], repetida na Eq.12. Verificações por meio de simulações numéricas demonstraram que esta expressão subestima o valor da corrente de Lorentz na extremidade do sensor ($x=L$). Uma correção deste coeficiente é realizada através de *fitting* numérico com a expressão geral adotada na literatura para determinação da corrente de Lorentz na extremidade do sensor em função das dimensões L e W [14]. Entretanto, como esta correção se aplica apenas para as extremidades do sensor, um erro é cometido na distribuição da corrente de Lorentz ao longo do comprimento do sensor, como verificado por meio de análise numérica. A determinação exata deste coeficiente de correção é objeto de estudos complementares.

$$K_G(L, W) = 1 - \frac{1}{4} G_T(L, W)^6 \cdot [1 - G_T(L, W)]^{0.4} \quad (12)$$

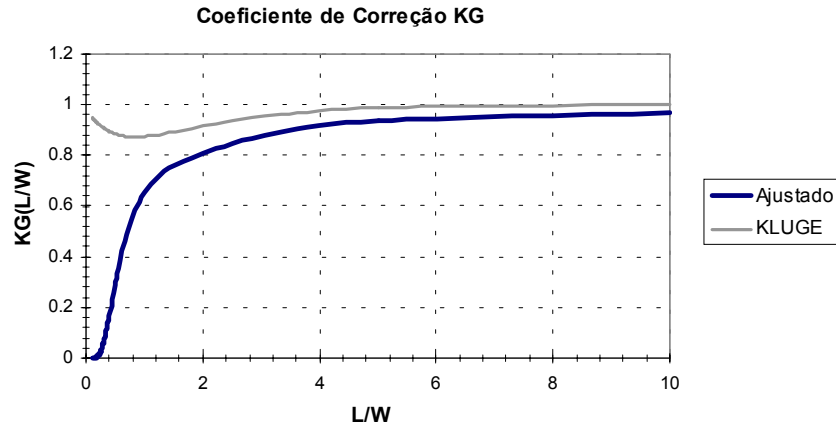
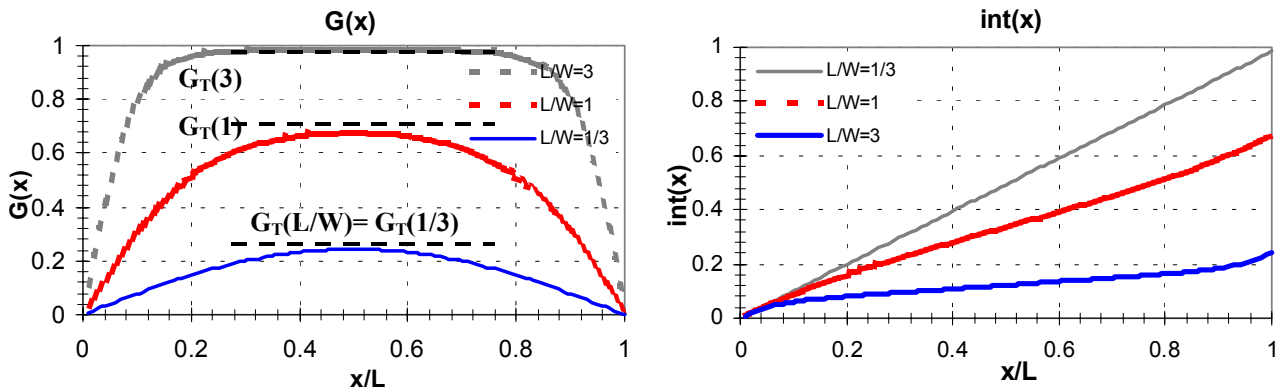


Fig. 9. Coeficiente de Correção para o Fator Geométrico

A partir do conhecimento do coeficiente de correção K_G , resolve-se numericamente as equações para a tensão Hall e a corrente de Lorentz ao longo do comprimento do sensor com as dimensões L e W como parâmetros. Os resultados são apresentados na Fig.10 e são ábacos úteis para projeto. Observe-se que para $x/L=0.5$, $G(x)=G_T(L/W)$.

Fig. 10. Quantidades $G(x)$ e $int(x)$

A sensibilidade relativa pode ser definida em termos geométricos como $S = \Delta I / \mu_H \cdot B \cdot I$, portanto aplicando-se a Eq.11 para a corrente de Lorentz na extremidade do dispositivo ($x=L$), obtém-se: $S = int[L, G_T(L/W), K_G] / W$. Uma expressão equivalente para a sensibilidade foi definida por Popovic [14], aqui repetida: $S = G_T(W/L) \cdot (L/W)$. Comparando-se as duas expressões para a

sensibilidade, observamos que são idênticas, devido ao ajuste por *fitting* numérico. As duas expressões foram traçadas na Fig.11 para razões (L/W) crescentes. Considerou-se ainda o coeficiente K_G conforme proposto por Kluge [11] na expressão do cálculo da sensibilidade, ilustrando que a mesma fica sub-avaliada. Cabe ainda observar que para razões (L/W) crescentes, a máxima sensibilidade obtida para um dispositivo sensor operando no modo corrente tende para o valor teórico de 0.74 de acordo com [14]

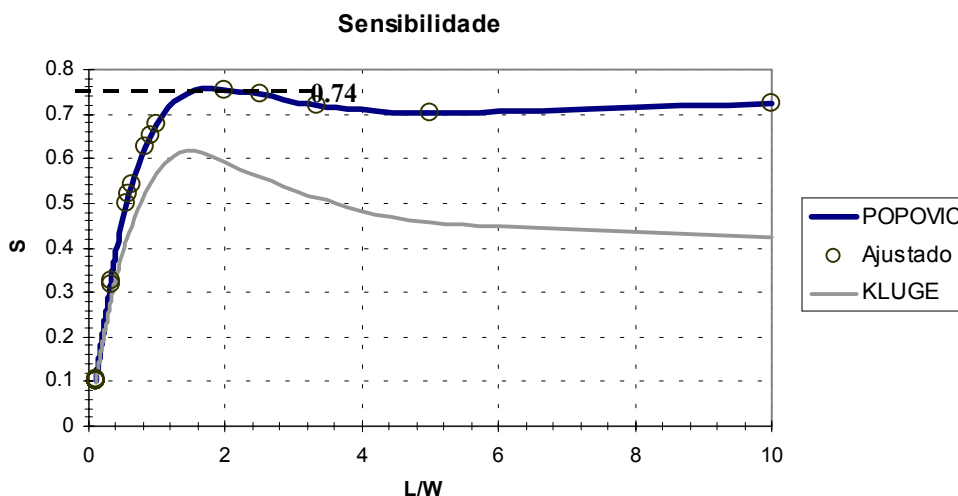


Fig. 11. Expressão Teórica para a Sensibilidade de um dispositivo Hall

A1.5. SIMULAÇÃO NUMÉRICA DO EFEITO GALVANO-MAGNÉTICO EM PLACAS SEMICONDUTORAS

A equação geral de transporte de portadores em semicondutores sob ação da força de Lorentz considera correntes de difusão e deriva (*drift*), concentração de portadores, tempo médio de vida (*carrier lifetime*), variação da mobilidade com a concentração de dopantes e taxa de recombinação de portadores. A solução geral requer a resolução da equação de continuidade para o caso estacionário associada à equação de Poisson [21]

Uma simplificação pode ser adotada no caso de placas semicondutoras extrínsecas (totalidade de dopantes ionizados) submetidas exclusivamente a correntes de deriva (*drift*). Neste caso, as correntes de difusão são desprezadas, conduzindo a uma simplificação importante do modelo de

transporte [22]. Tal condição ocorre também nas camadas de inversão de transistores MOS operando em forte inversão, como será visto adiante.

A mobilidade Hall é assumida proporcional à mobilidade de deriva do portador, sendo o fator de proporcionalidade o coeficiente de *scattering*. Considerando-se que este coeficiente depende da natureza do mecanismo de *scattering*, da banda de energia dos portadores, do fator de anisotropia do semiconductor, grau de degeneração e distribuição estatística da velocidade dos portadores, um valor aproximado entre 1 e 1.9 é geralmente adotado em simulações para campos magnéticos $B < 1\text{T}$ [23]. Desconsideram-se ainda os efeitos termo-elétricos e termo-magnéticos.

Com base nestas considerações, um modelo de transporte para portadores sob deriva em material semiconductor extrínseco e sob ação de um campo magnético perpendicular pode ser obtido a partir da equação clássica de Lorentz, Eq.2, convenientemente reescrita na forma da Eq.13. Observando esta equação, onde todos os parâmetros já foram previamente definidos, verifica-se que a mesma representa a Lei de OHM em duas dimensões $[J] = [\sigma] \cdot [E]$, ou também $[J] = -[\sigma] \cdot [\nabla V]$, onde ∇V refere-se ao gradiente da tensão [24]. O parâmetro $[\sigma]$, representado por uma matriz, refere-se à condutividade tensorial, dependente do campo magnético aplicado⁵.

$$\begin{pmatrix} J_x \\ J_y \end{pmatrix} = \frac{q \cdot n \cdot \mu}{1 + r^2 \cdot \mu^2 \cdot B^2} \cdot \begin{bmatrix} 1 & -r \cdot \mu \cdot B \\ r \cdot \mu \cdot B & 1 \end{bmatrix} \begin{pmatrix} E_x \\ E_y \end{pmatrix} \quad [\sigma] = \frac{q \cdot n \cdot \mu}{1 + r^2 \cdot \mu^2 \cdot B^2} \cdot \begin{bmatrix} 1 & -r \cdot \mu \cdot B \\ r \cdot \mu \cdot B & 1 \end{bmatrix} \quad (13)$$

Esta equação pode ser resolvida numericamente em um espaço delimitado 2-D sujeita a condições de contorno específicas. Regiões condutoras (contatos) e isolantes do problema podem ser descritas modificando-se convenientemente a condutividade tensorial $[\sigma]$ da região. Neste caso, para

⁵ Problemas de condução de corrente elétrica em materiais anisotrópicos utilizam normalmente a condutividade tensorial para descrever a não-colinearidade entre vetor densidade de corrente e campo elétrico pontuais. Simuladores Eletromagnéticos podem ser utilizados para esta finalidade. Entretanto, esta técnica aplicada à solução de semicondutores submetidos a campos magnéticos pode ser inédita.

uma região condutora, adota-se $\sigma_{11}=\sigma_{22}=\sigma_{\text{REGIÃO}}$ e $\sigma_{12}=\sigma_{21}=0$. Para uma região isolante, $\sigma_{11}=\sigma_{22}=\sigma_{12}=\sigma_{21}=0$. A região semicondutora submetida à ação de Lorentz ou efeito Hall é representada pela condutividade tensorial $[\sigma]$. Uma rotina computacional desenvolvida em *Mathcad* discretiza o espaço 2-D em uma matriz de pontos onde a Eq.13 é resolvida iterativamente. Os dados da geometria (regiões isolantes, condutoras e área ativa onde se aplica o campo magnético), bem como as tensões e correntes aplicadas são definidas na forma de matrizes numéricas. Após o cálculo da solução, a rotina possibilita a visualização dos vetores de corrente e tensão em função do campo magnético aplicado, bem como permite traçar funções paramétricas e outras quantidades. A rotina computacional está representada no Anexo II. Na sequência, alguns exemplos utilizando-se a rotina são ilustrados.

Simulação 1: Amostra quadrada de material semicondutor submetida a campo B

Simulação com resultados normalizados para análise qualitativa. Uma corrente de polarização atravessa uma amostra quadrada de material semicondutor na direção x , na ausência de campo magnético. A ação de Lorentz devido à aplicação de um campo magnético produz um desvio de direção do vetor densidade de corrente, representado pelas componentes J_x e J_y conforme indicado na Fig.12. Algumas quantidades simuladas são ilustradas na Fig.13. Em (a) tem-se a corrente diferencial ou corrente de Lorentz, avaliada como $\int J_y(x)dx$ ao longo da direção x . Observa-se que em $x=L$ obtém-se a corrente diferencial máxima, correspondendo ao sinal de saída do sensor. Em (b), tem-se a tensão Hall medida como a diferença de tensão entre os pontos indicados ao longo do comprimento do dispositivo, como diferença entre equipotenciais.

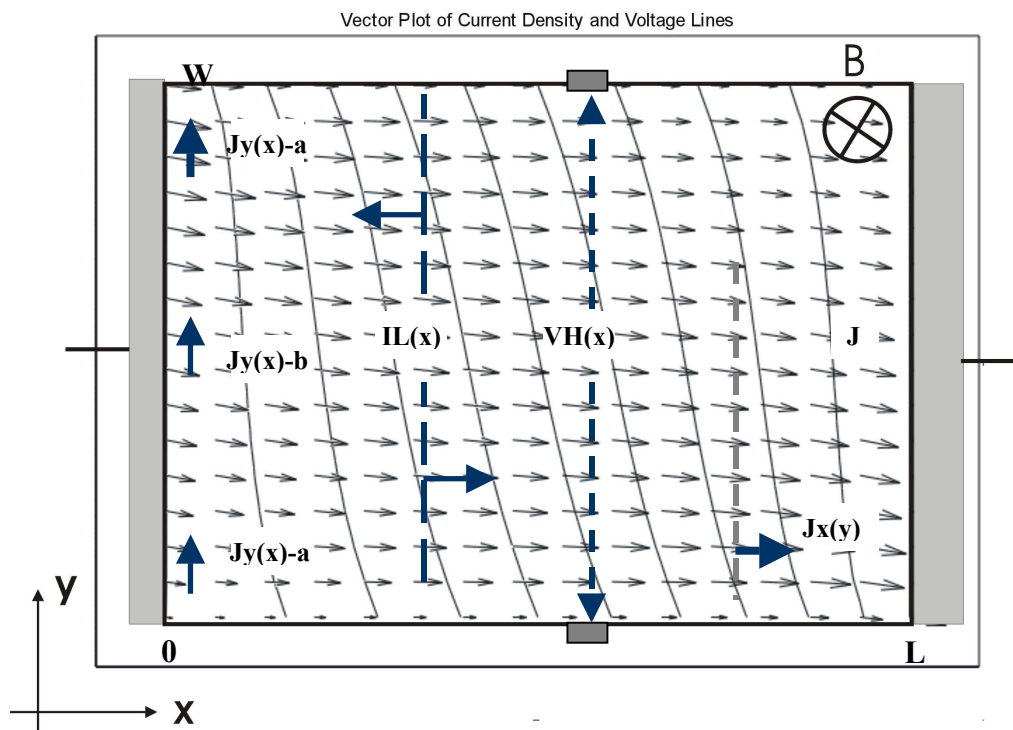


Fig. 12. Geometria Quadrada de material semiconductor

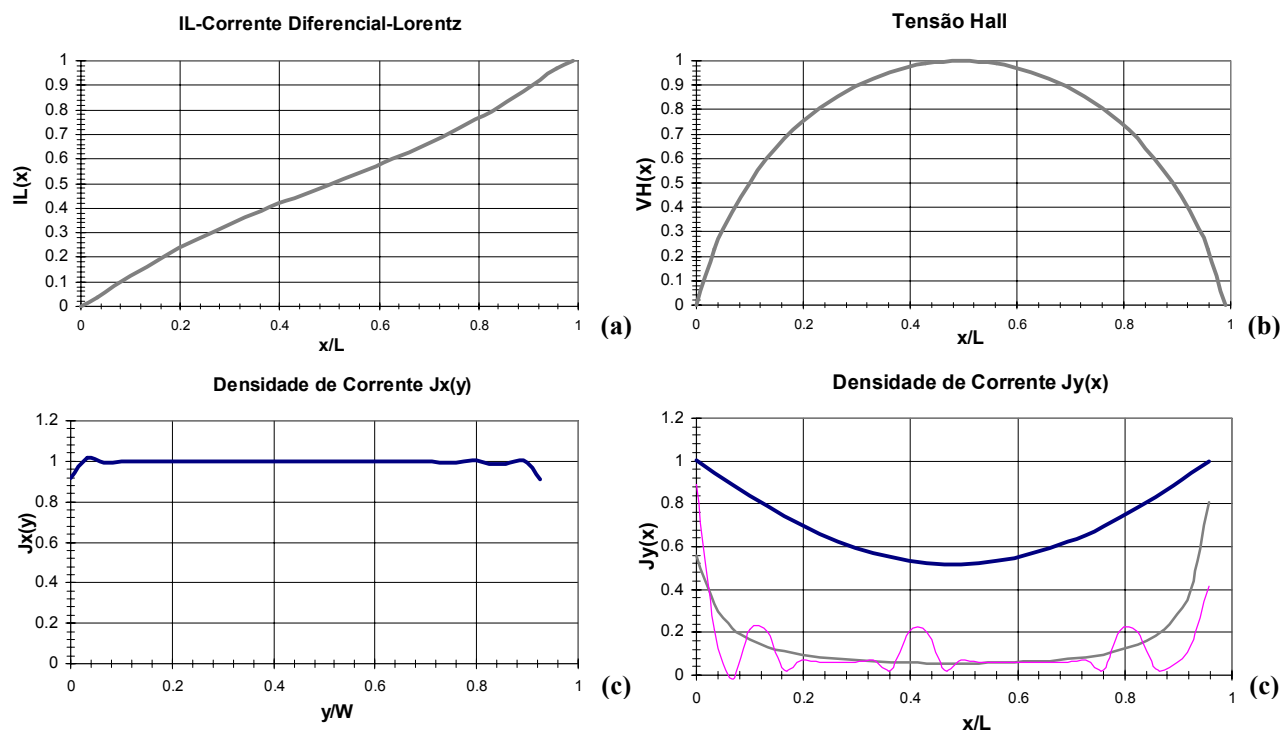


Fig. 13. Quantidades Simuladas. (Vide texto)

Pelas razões já expostas, o efeito de curto-circuito imposto pelos contatos atenua a tensão Hall. Em (c), observa-se que a componente de corrente na $J_x(y)$ ao longo da largura (direção y) é praticamente constante, com exceção nas regiões da fronteira isolante. Em (d) observa-se a componente $J_y(x)$ ao longo do comprimento do sensor. Próximo aos contatos, sendo o fator geométrico zero, tem-se um campo elétrico Hall nulo, porém tem-se a máxima deflexão de corrente. Em $x=L/2$, $J_y(x)$ assume um valor mínimo correspondente para cada posição y adotada. Estes resultados estão completamente de acordo com o exposto anteriormente.

Simulação 2: Amostra larga ($W \gg L$)

Simulação com resultados normalizados para análise qualitativa. Uma corrente de polarização atravessa uma amostra retangular de material semiconductor na direção x , na ausência de campo magnético. A ação de Lorentz, devido à aplicação de um campo magnético, produz um desvio do vetor densidade de corrente, representado pelas componentes J_x e J_y conforme indicado na Fig.14.

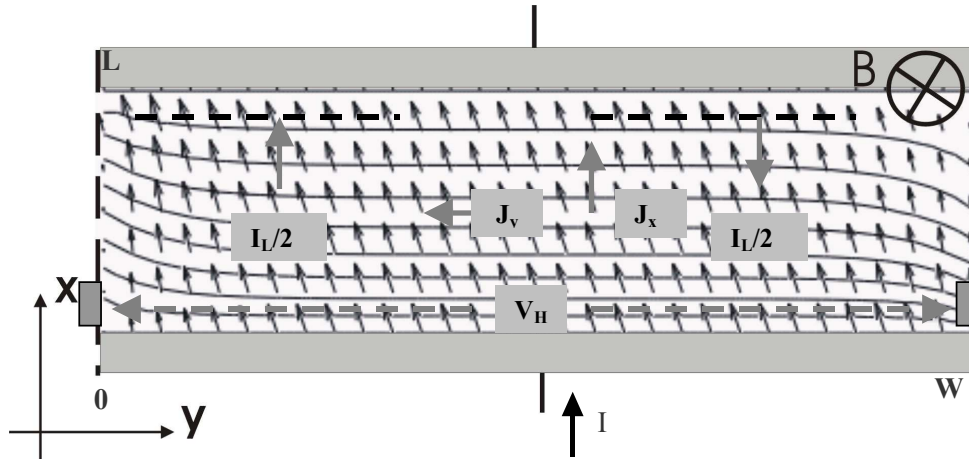


Fig. 14. Geometria larga para um sensor magnético

Quantidades vetoriais e diferenças de potencial calculadas pela rotina são visualizadas na Fig.15. Em (a) tem-se a densidade de corrente $J_y(x)$ ao longo da largura da amostra. Por se tratar de

uma geometria que se aproxima da *infinitamente larga*, este vetor é aproximadamente constante em toda a dimensão da amostra, com exceção na região de fronteira isolante ($y=0$ e $y=W$).

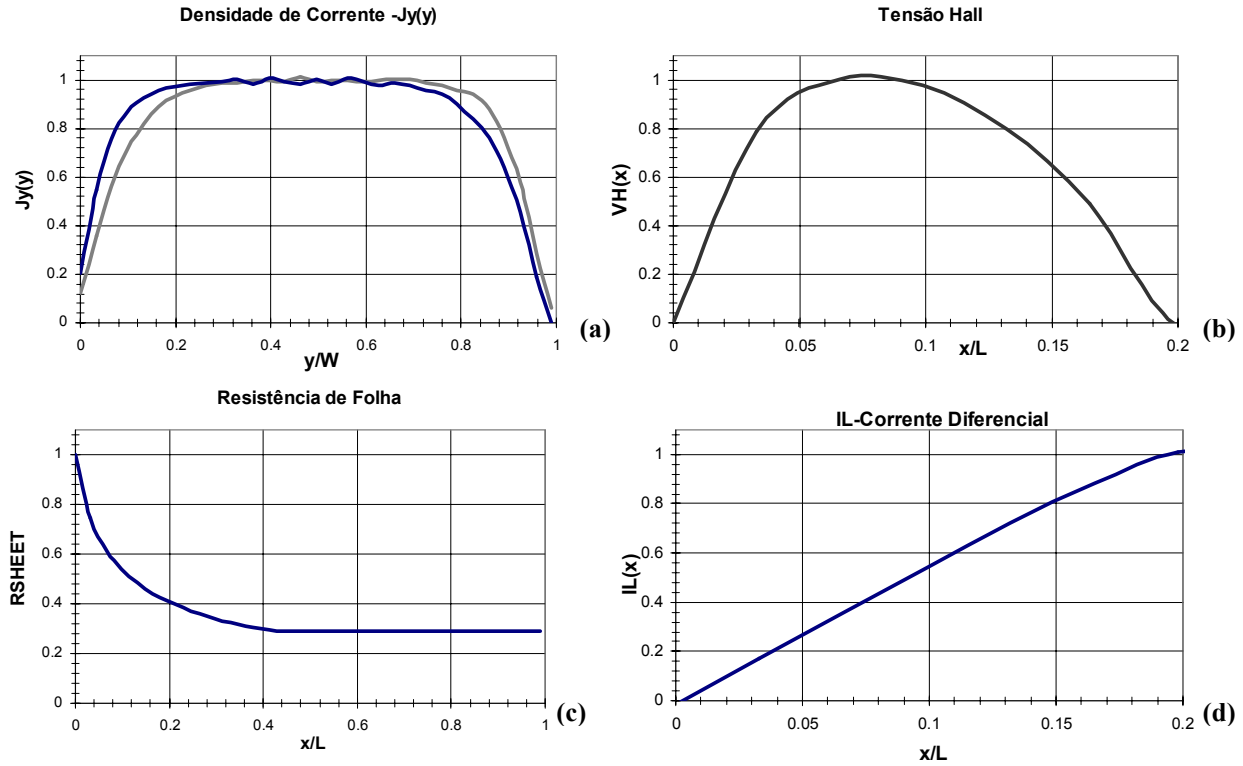


Fig. 15. Quantidades obtidas par a geometria larga (Vide texto).

Em (b), tem-se a tensão Hall medida como a diferença de tensão entre os pontos indicados ao longo do comprimento do dispositivo, ou como diferença entre as equipotenciais. Em (c) considerou-se para a presente simulação uma variação na resistência da amostra ao longo do seu comprimento. Esta variação produz um deslocamento do valor máximo da tensão Hall para o ponto de maior resistência ao longo da amostra. Em (d) tem-se a corrente diferencial ou corrente de Lorentz, avaliada como $\int J_y(x)dx$ na da direção x . Observa-se que em $x=L$ obtém-se a corrente diferencial máxima, correspondendo ao sinal de saída do sensor

Simulação 3: Amostra longa (L/W=3)

Simulação com resultados obtidos numericamente para análise quantitativa. Uma corrente de polarização atravessa uma amostra retangular de material semiconductor (Fig. 16) na direção x , na ausência de campo magnético. A ação de Lorentz devido à aplicação de um campo magnético produz um desvio de direção do vetor densidade de corrente representado pelas componentes J_x e J_y e das equipotenciais. Este exemplo apresenta como valores numéricos: Fator de *Scattering* do material: $r=1.15$, Mobilidade $\mu=0.14\text{m}^2/\text{V.S}$, concentração de portadores livres $n=4.5\times 10^{21}\text{ m}^{-3}$, espessura da amostra $t=20\mu\text{m}$, $W=10\mu\text{m}$, $L=30\mu\text{m}$, indução magnética $B=100\text{mT}$ e tensão aplicada $V=10\text{V}$. Considera-se $\mu_H=r.\mu$. A solução consiste em se determinar a tensão Hall e a corrente de Lorentz, e verificar numericamente por meio de simulação e analiticamente:

Passo 1: Determinação da resistência e corrente na amostra

A condutividade do material pode ser calculada por $\sigma = q.\mu.n$ resultando em $\sigma=100.9\text{ }(\Omega.\text{m})^{-1}$. A resistência de folha pode ser calculada considerando-se a profundidade da amostra $t=20\mu\text{m}$, ou seja, $R_{\text{SHEET}}=1/(t.\sigma)$. Isto resulta $R_{\text{SHEET}}=495.3\Omega$. A resistência total da amostra será $R_T=(L/W).R_{\text{SHEET}}$, ou $R_T=1486\Omega$. A corrente total na amostra será $10\text{V}/1486\Omega.=6.7\text{mA}$. Esta corrente refere-se à corrente de polarização do dispositivo.

Passo 2: Parâmetros para Simulação

A solução de $[J]=[\sigma].[E]$ (Eq. 13) no espaço 2-D requer a determinação da matriz $[\sigma]$, para a solução numérica utilizando-se a rotina *Mathcad*. Entretanto, a matriz de condutividades aplica-se à uma espessura de 1m. Adequando-se para a espessura nominal da amostra, $t=20\mu\text{m}$, a condutividade tensorial fica representada na Eq.14.

$$\begin{aligned}
 [\sigma] &= \frac{q.n.\mu.t}{1+r^2.\mu^2.B^2} \begin{bmatrix} 1 & -r.\mu.B \\ r.\mu.B & 1 \end{bmatrix} = \frac{RSHEET}{1+r^2.\mu^2.B^2} \begin{bmatrix} 1 & -r.\mu.B \\ r.\mu.B & 1 \end{bmatrix} \\
 &= 2.02 \times 10^{-3} \begin{bmatrix} 1 & -0.016 \\ 0.016 & 1 \end{bmatrix}
 \end{aligned} \tag{14}$$

As regiões dos contatos e das fronteiras isolantes podem ser representadas:

$$[\sigma] = 10^9 \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \text{ (Contatos)} \quad [\sigma] = 10^{-9} \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \text{ (Isolantes)}$$

Passo 3: Determinação da tensão Hall e corrente de Lorentz

Aplicando-se as relações já deduzidas, determina-se inicialmente o fator de correção geométrico total da amostra $G_T(L/W)$. Para as dimensões consideradas $L/W=3$, então $G_T(3/1)=0.985$, conforme obtido na Fig.8. O coeficiente de correção K_G pode ser determinado a partir de L e W . Interpolando-se na Fig.9 para a curva ajustada obém-se $K_G=0.87$. A tensão Hall máxima ocorre no meio da amostra, no sentido transversal ao fluxo de corrente. Aplicando-se a relação $V_H(x/L=0.5) = \mu_H.B.(W/L).G_T(L/W).V = 0.052V$. A corrente de Lorentz também pode ser determinada: $I_L(x/L=1) = \mu_H.B.(I/W).int[x/L=1, G_T(L/W), K_G]$. A integral pode ser resolvida numericamente ou consultando a Fig.10 onde $int[x/L=1, G_T(L/W), K_G] = 0.243$. A corrente de Lorentz então $I_L(x/L=1) = \mu_H.B.(I/W).0.243 = 78.7\mu A$ para a corrente $I=6.7mA$ calculada anteriormente. Este mesmo valor pode ser obtido segundo [14], $I_L(x/L=1) = \mu_H.B.I.(L/W).G_T(W/L)$. Consultando o gráfico da Fig.8, $G_T(W/L)=0.243$. Assim, $I_L(x/L=1) = \mu_H.B.6.7 \times 10^{-3}.(3/1).0.243 = 78.7\mu A$. A variação da corrente de Lorentz ao longo do comprimento da amostra pode ser calculada por $I_L(x) = \mu_H.B.(I/W).int[x, G_T(L/W), K_G]$.

Passo 4: Resultados de Simulação

Fig.16 ilustra a geometria considerada e os principais componentes vetoriais.

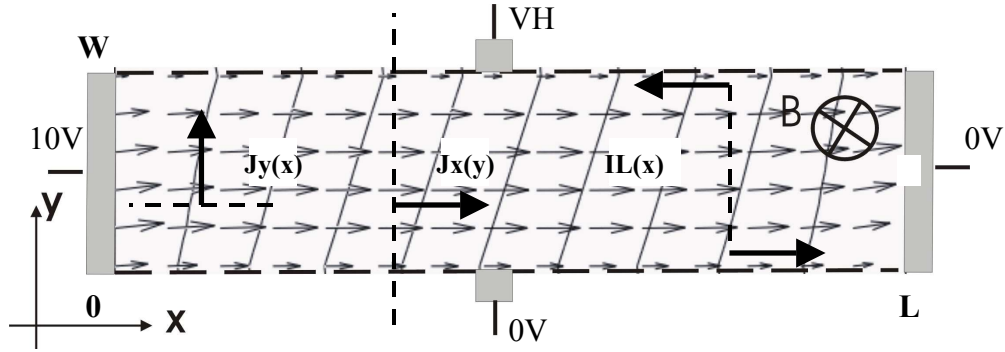


Fig. 16. Amostra Longa

Algumas quantidades são ilustradas na Fig.17. Em (a) tem-se a densidade de corrente $J_y(x)$ na direção da largura da amostra. Por se tratar de uma geometria que se aproxima da *infinitamente larga*, este vetor maior amplitude quanto mais próximo dos contatos, decrescendo a zero no meio do sensor. Em (b), tem-se $\int J_y(x)dx$ que corresponde à corrente de Lorentz ao longo do comprimento da amostra. Considerou-se um *gap* infinitesimal para se avaliar esta quantidade em $x=L$. A curva contínua representa a solução analítica baseada na Eq.11. Em (c), tem-se a tensão Hall medida como a diferença de tensão entre os pontos indicados ao longo do comprimento do dispositivo, ou como diferença de tensão entre equipotenciais. Em (d) apresenta-se a tensão Hall medida em referência à fronteira isolante inferior, como função da dimensão x , em todos os pontos do sensor, obtendo-se uma superfície.

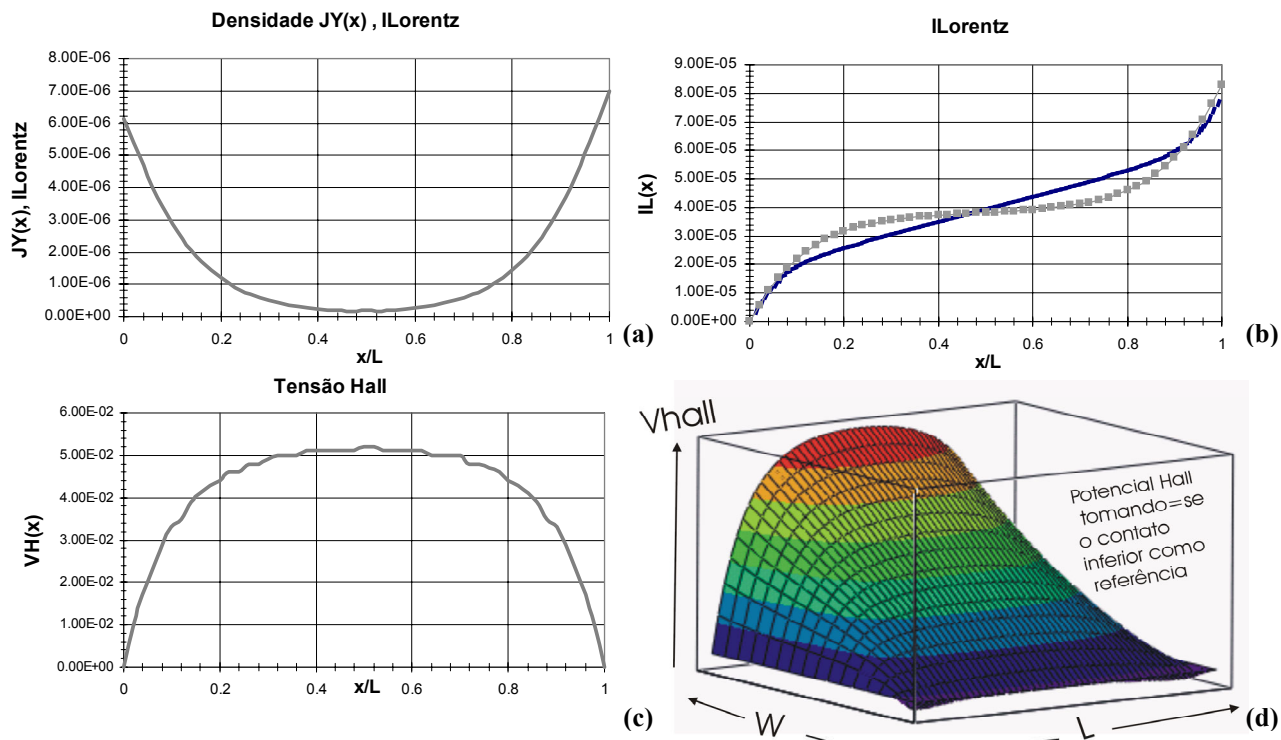


Fig. 17. Quantidades Simuladas para a amostra longa (Vide texto)

A1.6. ANÁLISE DO EFEITO DAS COLISÕES

Na análise aproximada do efeito Hall em materiais semicondutores foi admitido que os portadores se movem uniforme e continuamente sob a ação da força de Lorentz. Na realidade, em sua rota através do material, ocorrem colisões localizadas que tendem a defletir o portador de sua trajetória original. Para visualizar este efeito, imagine-se inicialmente uma partícula carregada positivamente em repouso no vácuo. Num dado instante, surgem dois campos, um elétrico e outro magnético, ortogonais entre si. A equação clássica que descreve o movimento desta partícula devido aos campos combinados é a própria equação de Lorentz, representada na Eq. 15. Admitindo-se o campo elétrico orientado na direção x e o campo magnético na direção z , o vetor velocidade da partícula é obtido resolvendo-se o sistema de equações. Resolvendo-se numericamente o sistema, obtém-se o comportamento visualizado

na Fig.18, onde o movimento da partícula apresentará velocidade média $|E|/|B|$ e ocorrerá no sentido ortogonal aos campos elétrico e magnético, na direção y . A trajetória será uma cicloide [14].

$$\vec{F} = e\vec{E} + e\left[\frac{d\vec{r}}{dt} \times \vec{B}\right] = m\frac{d^2\vec{r}}{dt^2} \quad \begin{bmatrix} m\frac{d^2x}{dt^2} \\ m\frac{d^2y}{dt^2} \\ m\frac{d^2z}{dt^2} \end{bmatrix} = \begin{bmatrix} -eE_x + e\frac{dy}{dt}B \\ -\frac{dx}{dt}B \\ 0 \end{bmatrix} \quad (15)$$

Um portador em um sólido apresentará um comportamento similar ao registrado no vácuo. Considerando que o mesmo colide com as estruturas presentes no sólido (impurezas e defeitos na rede cristalina) a trajetória da partícula carregada entre sucessivas colisões será uma cicloide ou um trecho desta curva. Supondo-se que os campos elétrico e magnético não sejam muito intensos, após cada colisão o portador perde toda sua energia cinética. Assim, a partícula (portador) inicia uma nova cicloide na direção do campo elétrico, mas após percorrer um trecho da trajetória, ocorre nova colisão, a partícula perde sua energia e um novo ciclo reinicia com velocidade inicial nula. Como consequência, o portador se desloca com uma velocidade média em uma direção menor do que 90° . A velocidade média corresponde à velocidade de deriva do portador e o ângulo refere-se ao ângulo Hall, θ_H . De acordo com este modelo, θ_H depende da frequência das colisões, que é inversamente proporcional ao tempo entre colisões τ (*free transit time*), também denominado de intervalo de relaxação. Quanto maior o tempo de trânsito livre, maiores o segmento de cicloide percorrido e a deflexão do portador, logo o ângulo Hall será maior. Comparativamente, no vácuo $\theta_H = 90^\circ$. Considerando que $\tan(\theta_H) = \mu_H B$, para induções pequenas, $\theta_H = \mu_H B = r\mu B$, logo o ângulo Hall é proporcional à mobilidade Hall. Estas considerações estão de acordo com a definição de mobilidade de um portador em um material $\mu = [q/m^*] \cdot \langle \tau \rangle$, onde q é a carga do elétron, m^* a massa efetiva do portador na estrutura considerada e $\langle \tau \rangle$ o tempo médio entre colisões [14].

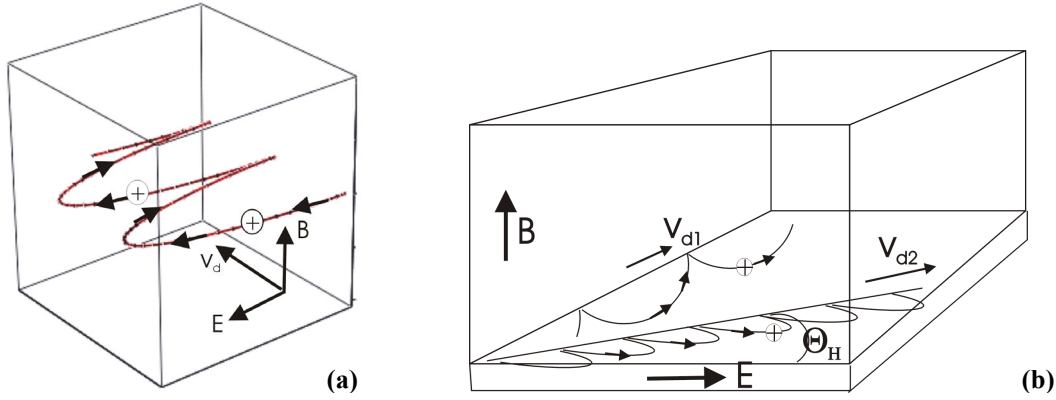


Fig. 18. (a) Simulação Numérica do movimento de uma partícula no vácuo sob ação de campos elétrico e magnético. (b) Representação esquemática do movimento em um sólido

Até este ponto a mobilidade Hall tem sido considerada como proporcional à mobilidade do portador no material semiconductor considerado, sendo o fator de proporcionalidade o fator de *scattering* ou fator Hall, representado por r_n ou r_p , para elétrons e lacunas respectivamente. Como em um semiconductor não degenerado os portadores (elétrons ou lacunas) apresentam diferentes níveis de energia, o processo de *scattering* ou “espalhamento” dos mesmos devido às colisões difere para cada nível energético. Assim, o intervalo de tempo médio de trânsito livre τ será afetado pelo grau de degeneração do semiconductor, natureza do portador, dopagem, intensidade do campo magnético, níveis de bandas de energia e distribuição estatística da velocidade dos portadores. Como descrito anteriormente, o ângulo Hall depende de τ através da definição da mobilidade do portador em um material $\{ \mu = [q/m^*] \cdot \langle \tau \rangle \}$ e também do fator Hall r . Ambos fatores dependentes de τ se combinam para fornecer a mobilidade Hall $\mu_H = r \cdot \mu$ [25]. O fator Hall é usualmente representado por $r = \langle \tau^2 \rangle / \langle \tau \rangle^2$, onde $\langle \rangle$ representa o valor médio das quantidades. Esta definição se aplica para baixas induções magnéticas [3]. Os valores teóricos para elétrons $r_n = 1.18$ (considerando-se *phonon scattering*) e $r_n = 1.91$ (considerando-se *impurity scattering*) podem ser derivados a partir da distribuição de Boltzmann em semicondutores não-degenerados, baseados em um modelo de transporte microscópico [26]. Para silício

tipo-n com baixa dopagem, em temperatura ambiente, $r_n=1.15$. Uma análise detalhada da influência deste fator na sensibilidade do dispositivo magnético requer um tratamento baseado em princípios de Física Quântica que está além do escopo deste trabalho. Encontra-se na literatura diversas referências sobre o assunto, porém não direcionadas a sensores magnéticos MOS [27].

Com relação à temperatura de operação do dispositivo, o fator Hall r é pouco influenciado, sendo a mobilidade μ do material o principal fator de variação com temperatura na mobilidade Hall μ_H [28]. A dependência com a temperatura da mobilidade μ segue $\mu(T) = \mu(T_R)/(T/T_R)^n$ onde T_R é a temperatura de referência e $1.2 < n < 2$ [29].

Para finalidades práticas de projetos de sensores magnéticos em silício, em uma faixa de variação de temperatura de 0 a 100°C para dispositivos do tipo *bulk* (sensor implementado com semiconductor extrínseco) adota-se $r_n=1.15$ para semicondutores tipo n e para semicondutores tipo p, $r_p=0.8$ [27]. Para sensores magnéticos do tipo MOS, operando no modo de inversão, adota-se para a mesma faixa de temperatura $r_n = 1.05$ para NMOS [26] e devido à insuficiência de informações na literatura, adota-se para o PMOS $r_p=0.8$. Estes valores têm sido citados na literatura em concordância com resultados experimentais.

A1.7. SENSORES MAGNÉTICOS MOS

Em 1966, *Gallagher and Corak* [8] reconheceram que a camada de inversão-*inversion layer* no canal de um transistor MOS podia ser utilizada como região ativa de um sensor Hall. Este sensor pode ser diretamente implementado com circuitos de condicionamento e controle, pois é totalmente compatível com a tecnologia de integração. *Smart-Sensors* podem ser implementados neste contexto. O termo MAGFET adotado na literatura refere-se à família de sensores em tecnologia MOS. Tais dispositivos exploram o efeito Hall ou ação de Lorentz sobre os portadores na camada de inversão do canal. Os principais dispositivos são o Hall-MAGFET baseado no efeito Hall e o *Split-Drain-*

MAGFET, baseado na deflexão da corrente (ação de Lorentz). Pode-se citar como desvantagem destes dispositivos quando comparados a sensores do tipo *Bulk*, a menor mobilidade dos portadores e maior ruído $1/f$.

Análise do Efeito Galvano-Magnético

A análise de sensibilidade do MAGFET seja operando em modo tensão (efeito-Hall) ou corrente (ação de Lorentz) requer a aplicação da equação clássica de Lorentz (Eq.1) sobre os portadores do canal. Contrariamente aos materiais extrínsecos (*Bulk*) onde a densidade de portadores é constante, esta densidade dependerá das condições de operação do transistor MOS. O modelo deve ser descrito, portanto, a partir do modelo de inversão de cargas no canal do transistor MOS [32]. A densidade de cargas no canal (elétrons) é representada pela Eq.16, considerando um transistor MOS operando com *source* referenciado a zero volt, tensão de *gate* V_G e com dimensões W e L [29]. Os parâmetros da tecnologia são $\phi_0=2\cdot\phi_F$, ϕ_F o potencial de Fermi, γ o coeficiente de efeito de corpo, V_{T0} a tensão de limiar e C_{OX} a capacitância de interface. $V(x,y)$ refere-se ao potencial do canal em relação ao *source*.

$$Q_I(x,y) = -C_{OX} \cdot (V_G - \phi_0 - V(x,y) - \gamma \cdot \sqrt{\phi_0 + V(x,y)}) \quad (16)$$

A equação de Lorentz aplicada ao canal de inversão do transistor (sob a forma das Eq.17 e Eq.18) segue [32] onde o parâmetro D_n refere-se ao coeficiente de difusão de elétrons no canal. Um modelo de mobilidade de deriva pode ser considerado. A solução se aplica para o transistor MOS operando na região linear e pode ser obtida numericamente.

$$J_{nX} = \frac{1}{1 + (\mu_H \cdot B)^2} \cdot \left\{ \left[-\mu_n \cdot \frac{\partial}{\partial x} \cdot V(x,y) + D_n \cdot \frac{\partial}{\partial x} \right] + \mu_H \cdot B \cdot \left[-\mu_n \cdot \frac{\partial}{\partial y} \cdot V(x,y) + D_n \cdot \frac{\partial}{\partial y} \right] \right\} \cdot Q_I(x,y) \quad (17)$$

$$J_{ny} = \frac{1}{1 + (\mu_H \cdot B)^2} \cdot \left\{ \left[-\mu_n \cdot \frac{\partial}{\partial y} \cdot V(x, y) + D_n \cdot \frac{\partial}{\partial y} \right] - \mu_H \cdot B \cdot \left[-\mu_n \cdot \frac{\partial}{\partial x} \cdot V(x, y) + D_n \cdot \frac{\partial}{\partial x} \right] \right\} \cdot Q_I(x, y) \quad (18)$$

Duas simplificações podem ser adotadas, permitindo a simulação numérica do MAGFET como realizado no item anterior. (1) Considerando-se que para o MOS operando em forte inversão⁶ a corrente de difusão é desprezível quando comparada à de deriva (*drift*), a componente de difusão pode ser removida da Eq.17 e Eq.18. (2) A amplitude do potencial Hall desenvolvida através do canal não modifica a condição imposta pela polarização do transistor, portanto a carga de inversão não se altera com o campo magnético aplicado (suposição bastante razoável, uma vez que a tensão Hall máxima é da ordem de alguns mili-volts, insuficiente para redistribuir a carga de inversão no canal). Esta simplificação também foi adotada em [35]. Assim, Eq.17 e Eq.18 podem ser reescritas, lembrando que $\frac{\partial}{\partial x} \cdot V(x, y) = E_x$, $\frac{\partial}{\partial y} \cdot V(x, y) = E_y$.

$$\begin{pmatrix} J_x \\ J_y \end{pmatrix} = \frac{\mu_n \cdot Q_I(x, y)}{1 + (\mu_H \cdot B)^2} \cdot \begin{bmatrix} 1 & -\mu_H \cdot B \\ \mu_H \cdot B & 1 \end{bmatrix} \begin{pmatrix} E_x \\ E_y \end{pmatrix} \quad (19)$$

A solução da Equação de Lorentz aplicada à camada de inversão de um MOS dependerá da densidade de carga de inversão Q_I associada às condições de polarização. O comportamento desta densidade de carga pode ser investigado seguindo-se o tratamento dado em [29], para um N-MOS com $W=L=10\mu$, $\phi_F=0.412V$, $C_{OX}=3.34 \times 10^{-3} C/m^2$, $\mu=0.035 m^2/V \cdot sec$, $\gamma=0.502$, $V_{GS}=2.5V$. Neste caso, são apresentados alguns resultados baseados em solução computacional das equações que regem a operação do transistor MOS para dois casos: (a) transistor operando na região linear com $V_{DS}=1V$; (b) transistor operando na região saturação com $V_{DS}=3V$. Obteve-se assim para os dois casos (1) A

⁶ A sensibilidade do MAGFET depende da corrente de polarização do transistor, logo para se obter correntes moderadas ou elevadas em um transistor MOS, o mesmo deve estar operando sob forte inversão.

distribuição de velocidades dos elétrons ao longo do canal do transistor e o correspondente campo elétrico associado; (2) A densidade de carga de inversão Q_I no canal e respectiva resistência de folha, pois $RSHEET^{-1} = \mu_n \cdot Q_I(x, y)$. Observa-se que na região linear de operação a distribuição das quantidades segue um comportamento mais estável, Fig.19(a),(b), pois todo o canal pode ser considerado como uma superfície de elétrons, com uma densidade de elétrons maior próximo à região do terminal de *source* do transistor. Por outro lado, operando na saturação, a existência de um segmento do canal próximo ao terminal de dreno depletado de elétrons (*pinchoff*) produz grande variação na resistência de folha. Também se considera que a partir do momento que um elétron atinge a região de *pinchoff*, o mesmo se movimenta com velocidade máxima, denominada velocidade de saturação, cujo valor $v_{Dsat} = 10^5$ m/s pode ser verificado na Fig.19(c),(d). Como $v_D = \mu \cdot E$, o campo elétrico associado à região de *pinchoff* é máximo. A carga de inversão é considerada tendendo a zero, porém não-nula, pois uma resistência infinita seria obtida. No primeiro caso obtém-se uma corrente total de dreno de $205\mu A$ e no segundo $167\mu A$. Nos dois casos, ocorre predominância da corrente de deriva praticamente em todo o canal. No caso saturado, na região de *pinchoff*, a corrente de difusão predomina sobre a corrente de deriva, pois a carga de inversão tende a zero. Assim, a partir do conhecimento da distribuição da densidade de carga de inversão no canal do transistor MOS, equação de Lorentz pode ser resolvida e as quantidades pertinentes à operação do transistor como sensor magnético podem ser estudadas.

Reescrevendo-se a Eq.14 com $RSHEET^{-1} = \mu_n \cdot Q_I(x, y)$ observa-se que esta equação é exatamente a utilizada na formulação para simulação numérica da placa Hall com a rotina *Mathcad*. No caso anterior, o parâmetro resistência de folha $RSHEET$ era constante e dependente da resistividade de *bulk* do material semiconductor. No presente caso, $RSHEET$ pode variar ao longo do canal em função da polarização do MAGFET.

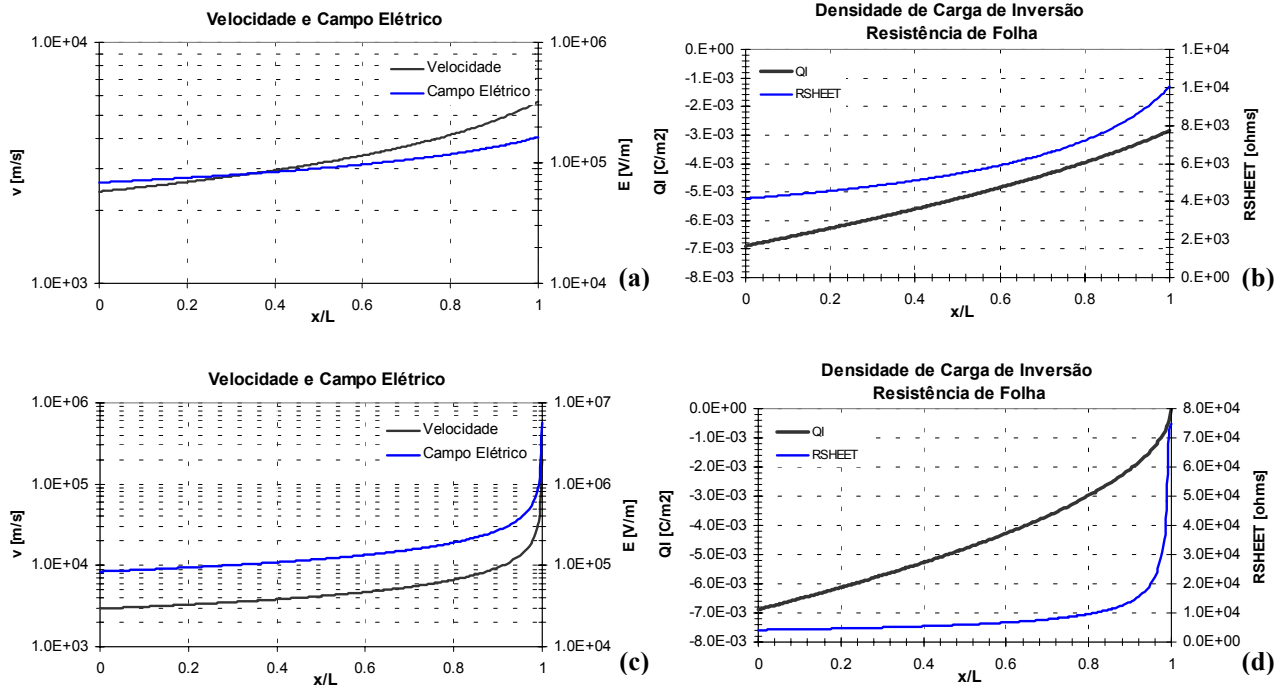


Fig. 19. Simulações de MOS nas regiões : Linear e Saturação

Assume-se que $RSHEET$ não varia com o campo magnético aplicado (Efeito de magnetoresistência desprezível), logo a resistência de folha será função apenas da componente na direção do campo elétrico aplicado. Na Fig.20 tem-se alguns valores de $RSHEET$ ao longo do canal calculados para um MOS convencional parametrizado em V_D com $L=W=10\mu\text{m}$, $\phi_F=0.434\text{V}$, $V_G=2.5\text{V}$, $\mu_N=0.035\text{m}^2/\text{V.S}$, $C_{OX}=3.45 \times 10^3 \text{ F/m}^2$, $V_S=0$. A resistência total de canal pode ser calculada a partir da Eq.20.

$$R_{CHANNEL} = \int_0^L \frac{1}{\mu \cdot Q_I \cdot W} \cdot dx = \int_0^L \frac{R_{SHEET}}{W} \cdot dx \quad (20)$$

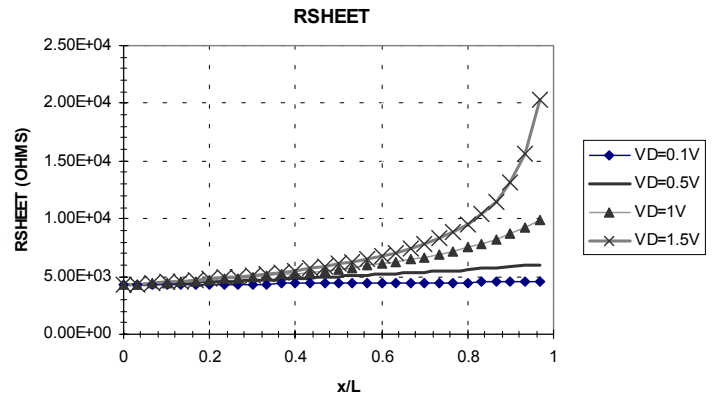


Fig. 20. Variação da resistência de folha ao longo do canal

Uma observação importante cabe ressaltar: Inicialmente, a tensão Hall produzida por um MAGFET operando no modo tensão e a corrente de Lorentz em um MAGFET operando no modo corrente são repetidas na Eq.21.

$$V_H = \mu_H \cdot \frac{W}{L} \cdot G(L, W) \cdot B \cdot V \quad (\text{modo tensão}) \quad I_L = \mu_H \cdot \frac{L}{W} \cdot G(W, L) \cdot B \cdot I \quad (\text{modo corrente}) \quad (21)$$

Observa-se que no modo tensão, V_H não depende da corrente de polarização, pois a mesma é realizada através de uma fonte de tensão. No modo corrente, a polarização é feita através de uma fonte de corrente, logo I_L não se modifica em função da tensão sobre a amostra. A resistência de folha do canal somente influenciará V_H e I_L se o Hall-MAGFET for polarizado por uma fonte de corrente e o MAGFET modo corrente for polarizado por uma fonte de tensão. Por exemplo, se um *split-drain*-MAGFET (modo corrente) conduzir sempre a mesma corrente independente de sua região de operação (Ajustando-se V_D e V_G) a corrente de Lorentz será mantida constante apesar da tensão variar com a resistência de folha. Para o Hall-MAGFET (placa Hall MOS), se a tensão de polarização V_D (V_{DS}') for mantida constante⁷ (Ajustando-se I_D e V_G) a tensão Hall será a mesma, independente das variações de corrente devido às variações de RSHEET. Isto explica porque a sensibilidade de um MAGFET (modo corrente ou tensão) não depende da região de operação, linear ou em saturação [34]. Para observar o exposto, simulações foram realizadas em um Hall-MAGFET ($B=0.5T$, $r=1.15$, $L=W=10\mu m$, $\phi_F=0.434V$, $V_G=2.5V$, $\mu_N=0.035m^2/V.S$, $C_{OX}=3.45 \times 10^3 F/m^2$) para três condições: (a) $V_D=0.5V$, $V_G=2.5V$ (b) $V_D=0.75V$, $V_G=2.2V$, (c) $V_D=1V$, $V_G=2V$. Nos três casos manteve-se uma corrente de dreno constante de $100\mu A$. Os resultados de simulação se encontram na Fig.21. Observa-se que à medida que o transistor é polarizado em direção à saturação sob corrente constante, a tensão Hall

⁷ Em uma placa Hall-MOS a relação entre a corrente I_D e a tensão V_{DS}' (região de saturação) segue a expressão geral do transistor MOS. Neste caso, aumentando-se I_D a tensão V_{DS}' aumenta, o que contribui para a sensibilidade do modo tensão.

máxima vai se deslocando em direção à região do canal com maior resistência de folha, que ocorre próximo ao dreno do transistor. Ao atingir a tensão de saturação, a curva de distribuição da tensão hall tende para uma curva limite. A partir deste ponto a curva não se modifica mais, devido ao efeito de curto-circuito imposto pelo contato de dreno. Importante observar que a função de correção geométrica $G(x)$ é significativamente modificada, embora G_T não se modifique, pois o valor máximo da tensão Hall não depende da resistência de folha (RS_{HEET}) considerada. Por esta razão, os contatos elétricos (SC1 e SC2 na mesma figura) são dispostos próximo ao terminal de dreno do Hall-MAGFET. Para a corrente de Lorentz, como a corrente de polarização não se modificou nos casos considerados, seu valor se manteve constante. Com base nestas considerações, todo o equacionamento deduzido para placas semicondutoras poderá ser aplicado para os transistores MOS.

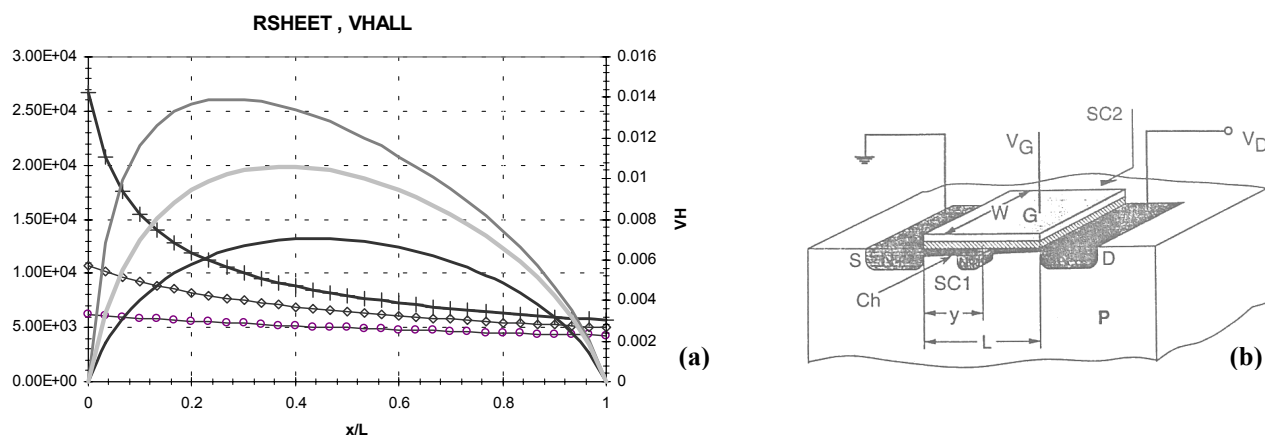


Fig. 21 Tensão Hall em um Hall-MAGFET

Alguns trabalhos consideram que a tensão hall desenvolvida no canal do MOS produz um campo elétrico adicional que acelera os portadores em direção aos drenos do transistor. Assim na região de operação linear a sensibilidade é afetada pela velocidade de deriva dos portadores sob ação deste campo elétrico. Por outro lado, na região de saturação, como os portadores se movimentam sob velocidade constante, V_{Dsat} , a sensibilidade dependerá do valor da tensão VDS de saturação, V_{DSat} . A

partir destas considerações, expressões de sensibilidade para o MAGFET operando na região linear ou de saturação são deduzidas em [35].

Offset, Não-Linearidade e Efeitos de Saturação

Tensão de *off-set* ou corrente diferencial de *off-set* geralmente corresponde a um nível estático (DC) na saída do sensor para um campo magnético nulo. As causas estão associadas a imperfeições no processo de fabricação, por exemplo, desalinhamentos nos contatos, não-uniformidade no processo de dopagem e variação de parâmetros elétricos. Deformações mecânicas durante o processo de encapsulamento podem ativar o efeito piezo-resistivo e contribuir para o *off-set*. Ainda através do efeito de magneto-resistência física, o *off-set* pode depender da indução magnética [14].

A não-linearidade no sinal de saída de um MAGFET possui causas geométricas devido à dependência do fator de correção geométrico com a indução magnética. A sensibilidade também é afetada pela dependência do coeficiente HALL com a indução, traduzindo-se em não-linearidades no sinal de saída para campos magnéticos fortes. Como neste trabalho assumiu-se a hipótese de campos magnéticos gerados por correntes elétricas, que correspondem a induções na faixa de $100\mu\text{T}$ - 10mT , os efeitos de não-linearidade podem ser desprezados.

Outro efeito associado à máxima tensão Hall produzida por um sensor do tipo *Bulk* refere-se à velocidade de deriva do portador se movimentando sob a ação combinada de um campo elétrico e magnético. O campo Hall é associado à velocidade de deriva (*drift*) através da relação $|E_H| = v_D \cdot B$. Sob a ação de fortes campos elétricos, a velocidade do portador (elétron ou lacuna) tende a atingir um limite de $v_{D\text{sat}} = 10^7$ cm/s limitando o campo elétrico Hall máximo a um valor de 10^5 V.m⁻¹.T⁻¹. No caso de um MAGFET operando na região de saturação, o portador ao se aproximar da região de dreno adentra a região de *pinchoff* sendo então impelido até o contato de dreno sob velocidade constante

V_{Dsat} . Nesta condição, o campo elétrico Hall apresenta o valor máximo teórico, mas devido à proximidade do contato de dreno, ocorre o efeito de curto-circuito, portanto este campo é simplesmente desconsiderado. Sendo o comprimento da região de *pinchoff* desprezível em relação ao comprimento do canal (canais longos) o efeito de curto-circuito do contato elimina qualquer tensão Hall adicional gerada na região de *pinchoff* [35].

Influência das Dimensões do *Gap* e Contatos de Leitura

O dispositivo Hall-MAGFET necessita de contatos para a leitura da tensão Hall, enquanto que em um *Split-Drain*-MAGFET um espaçamento mínimo entre drenos permite a obtenção da corrente de Lorentz, caso contrário a mesma seria curto-circuitada. Idealmente, as dimensões consideradas tendem a zero. Na prática, as restrições da tecnologia impõem o limite da mínima dimensão a ser utilizada. Assim, um fator de degradação devido às dimensões dos contatos ou do *gap* afetará o fator de correção geométrico. Para o caso do *Split-Drain*-MAGFET o fator de degradação devido às dimensões do *gap* é dado por $[1-k.(\Delta W/W)]$, onde ΔW se refere à largura do *gap*, W à largura do MAGFET e k um coeficiente de *fitting*. Este fator deve ser multiplicado pelo fator de correção geométrico do dispositivo com *gap* nulo [35]. Através de simulações 2-D (rotina *Mathcad*) pode-se verificar a influência do *gap* na distribuição de corrente entre os drenos e na tensão Hall, conforme indicado na Fig.22. Deve-se observar que a metodologia de simulação utilizada neste trabalho é baseada em um modelo de condução 2-D onde a influência magnética é considerada a partir de uma matriz de condutividade tensorial. Simulações mais precisas requerem o uso de simuladores eletromagnéticos orientados a semicondutores (FEMS), como por exemplo, SESES, MEDICI, MINIMOS. Descontinuidades na geometria, região de depleção, variação de processo, efeitos diversos podem ser analisados a partir destas ferramentas.

Exemplo de Simulação

Simulou-se um dispositivo com geometria quadrada representativa de um *split-drain*-MAGFET operando na região linear com $W/L=10\mu/10\mu$, $\Delta W/W=0.14$, $V_{DS}=1V$, $V_{GS}=2.5V$, $B=5T$, $r=1.05$, $\mu=0.035m^2/V.S$, $\gamma=0.502$, $\phi_F=0.412V$, $C_{OX}=3.34\times 10^{-3}C/m^2$ obtendo-se uma corrente de dreno de $168\mu A$. Os resultados ilustrados na Fig.22(a) indicam as linhas equipotenciais e as linhas de corrente, além dos vetores densidade de corrente, Fig.22(b). Para a indução magnética considerada, a corrente se deflete em direção ao contato de dreno superior. A distribuição do potencial do canal é ilustrada na Fig.22(c). A tensão Hall (medida em relação à fronteira isolante inferior) é indicada na Fig.22(d). Observa-se o efeito da influência do *gap* na distribuição dos potenciais. A sensibilidade relativa obtida por foi de $4.1\%/T$.

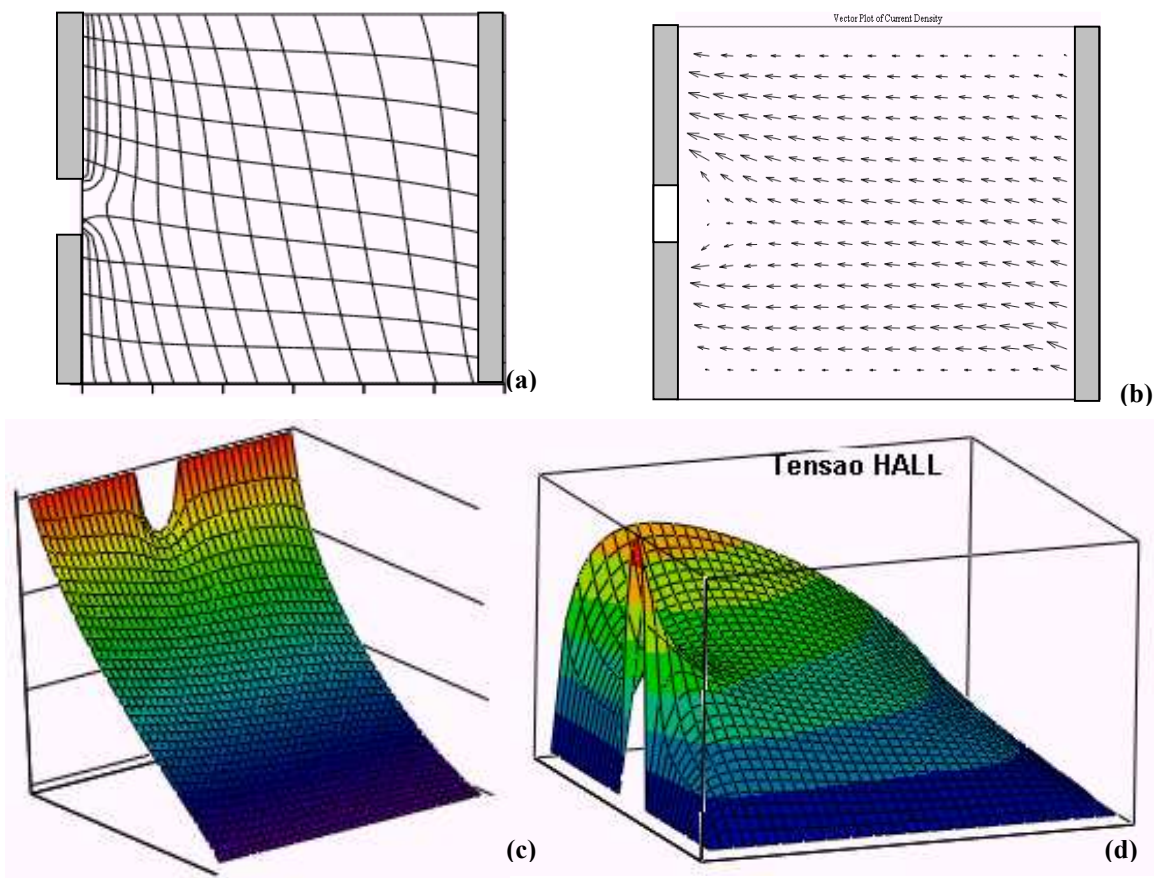


Fig. 22. Resultados de simulação numérica de um *Split-Drain*-MAGFET (a) Equipotenciais e Linhas de corrente (b) Vetores densidade de corrente (c) Potencial de canal (d) Tensão Hall.

A1.8. RESULTADOS EXPERIMENTAIS

As características estáticas de MAGFETs implementados em diferentes tecnologias e com dimensões particulares são estudadas. Basicamente, determinados valores de indução magnética são aplicados aos detectores e a corrente de Lorentz (ou a tensão Hall) são avaliadas. Estas quantidades são medidas utilizando-se o analisador de parâmetros de semicondutores, HP4155. Um aspecto importante refere-se à determinação do campo magnético a ser aplicado, daí a necessidade de se realizar uma calibração prévia.

Calibração do Sistema

O campo magnético a ser aplicado aos MAGFETS é gerado por uma bobina com núcleo de ferrite, denominada caneta magnética. O campo magnético gerado pela caneta é função da corrente que circula na bobina e da distância à face do núcleo de ferrite. Inicialmente realiza-se a calibração da caneta comparando-se o campo gerado pela bobina com um campo magnético padrão, nominalmente de 9mT. O procedimento utiliza um Gaussímetro 410 Lakeshore modelo 405, um gerador de corrente na faixa de frequência de DC-5KHz, marca VALHALHA, sistema AMS503-S TEKTRONIX para medida de corrente na bobina e gerador de funções HP30120 para geração da frequência do sinal. As fotos do *setup* se encontram na Fig. 23.



Fig. 23. Sistema de Calibração (a) Equipamentos (b) Medição do campo gerado pela caneta (c) Calibração do gaussímetro

Depois de realizada a calibração levantou-se a característica de transferência da caneta magnética, a uma distância de 1.43mm da face do núcleo de ferrite. Esta distância foi medida com base na profundidade do *die* em relação à face do encapsulamento do circuito integrado, que corresponde à distância da face da caneta magnética ao sensor integrado. A característica obtida por *fitting* foi de 6.3mT/A e está indicada na Fig.24. Também se levantou a indução gerada por um ímã em função da distância à sua face para ensaios gerais dos MAGFETs.

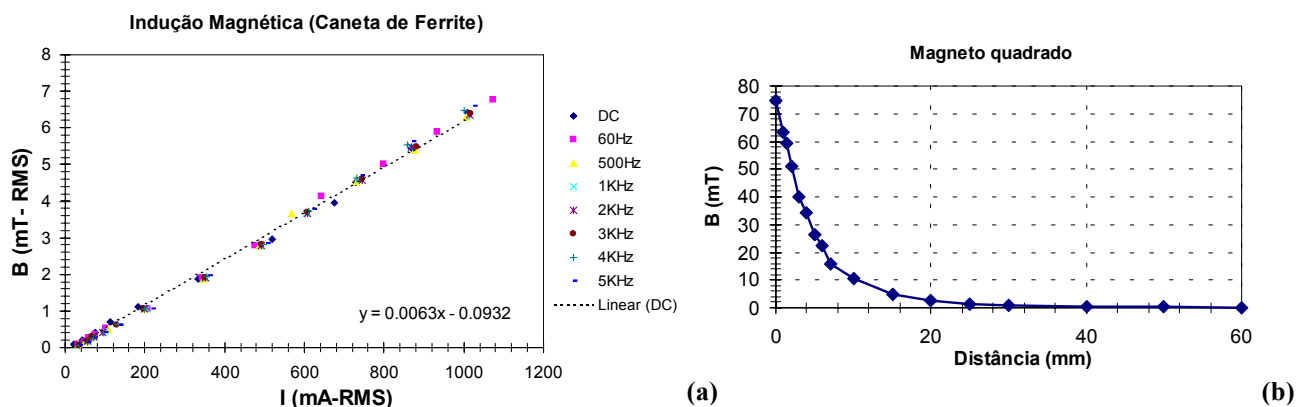


Fig. 24. (a) Característica de transferência da Caneta Magnética para frequências DC-5KHz
(b) Campo gerado por um dipolo-magneto utilizado em testes de MAGFETS.

Resultados Gerais

As sensibilidades medidas e calculadas para alguns dispositivos implementados em diferentes tecnologias são indicadas na Tabela I, com os parâmetros correspondentes da respectiva tecnologia. Para o cálculo teórico da sensibilidade utilizou-se o procedimento geral descrito no texto. O campo magnético estático foi aplicado com o ímã (+B=58mT; -B=-58mT: Total=116mT). No procedimento, aplicou-se inicialmente +B e registrou-se o valor da corrente diferencial do MAGFET. Em seguida, aplicou-se -B. A corrente diferencial total do MAGFET corresponde, portanto a um campo magnético líquido de 116mT.

TABELA I-SENSIBILIDADES

Sensibilidades de MAGFETs-Split-Drain (Tecnologias AMS)					
Tecnologia/ Dimensões	$\mu_H \cdot B = r \cdot \mu \cdot B$ (B=116mT)	G_T	$S = \mu_H G_T (L/W)$ [%/T]	S-Med [%/T]	Polarização
PMOS CYB-08 W/L=20/200	0.8×0.0167×0.116	0.073	0.96	0.79	$V_{SD}=4.5V$ $0V < V_{SG} < 5V$
NMOS CUB-06 W/L=24/26	1.05×0.0430×0.116	0.644	3.00	2.60	$0.5 < V_{DS} < 5V$ $0 < V_{GS} < 3V$
PMOS CYB-08 W/L=24/30	0.8×0.0167×0.116	0.581	0.97	0.82	$V_{SD}=5V$ $0V < V_{SG} < 5V$
NMOS CYB-08 W/L=10/10	1.05×0.0463×0.116	0.677	3.30	2.30	$V_{DS}=5V$ $0 < V_{GS} < 5V$
NMOS CSD-035 W/L=10/10	1.05×0.0370×0.116	0.677	2.60	2.60	$0.5V < V_{DS} < 3V$ $0V < V_{GS} < 3V$
PMOS CYB-08 W/L=10/10	0.8×0.0167×0.116	0.677	0.90	0.60	$V_{SD}=5V$ $0V < V_{SG} < 4V$
PMOS CUB-06 W/L=24/26	0.8×0.0145×0.116	0.644	0.80	0.78	$V_{SD}=4V$ $0V < V_{SG} < 4.5V$
PMOS CYB-08 W/L=24/24	0.8×0.0167×0.116	0.677	0.90	0.79	$V_{SD}=5V$ $0V < V_{SG} < 5V$

Tensão Hall para um Hall-MAGFET (NMOS AMS CYB-180/46)

Um transistor Hall-MAGFET (MOS-N) construído em tecnologia CYB08, com dimensões $L=46\mu$, $W=180\mu$, com vários contatos de canal (1-1' a 5-5') posicionados ao longo do comprimento do dispositivo, Fig.25(a), é ensaiado com relação a um campo magnético estático (aplicado com a caneta magnética) para três condições de polarização do transistor: (a) $V_{GS}=1.41V$, $I_D=50\mu$; (b) $V_{GS}=2.34V$, $I_D=250\mu$; (b) $V_{GS}=3.27V$, $I_D=750\mu$. Os resultados se encontram na Fig.25(b).

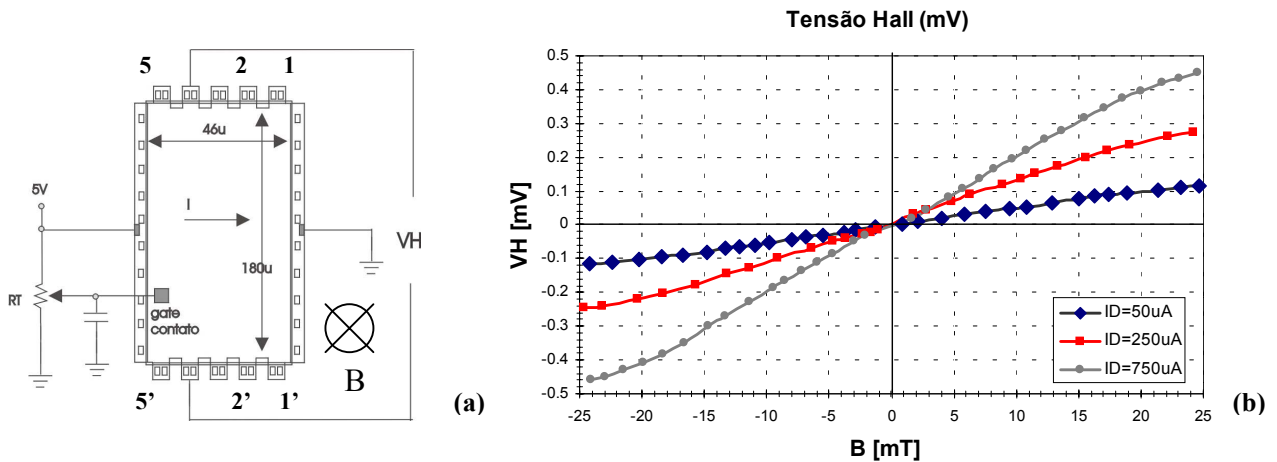


Fig. 25. (a) Conexão elétrica de um Hall MAGFET. (b) Resultados medidos.

O mesmo dispositivo é ensaiado com relação à detecção de campo magnético estático em função dos terminais de leitura escolhidos. Como discutido no item 2.7 e ilustrado na Fig.21(a), a máxima tensão Hall se desloca em direção à região de dreno que apresenta maior resistência de folha (por estar menos invertida em relação à região próxima do *source*). Assim, para as mesmas condições de polarização (no ensaio realizado no HP4155 variou-se a tensão de *gate*, obtendo-se uma corrente de dreno crescente, assim como V_{DS}') a tensão Hall medida entre os terminais 5-5' é maior que as demais, conforme indicado na Fig.26(a). Na Fig.26(b) o transistor é submetido a uma variação da tensão de dreno para três condições de campo magnético aplicado (+B, 0, -B). Observa-se que a tensão Hall varia linearmente com a tensão aplicada V_{DS} e o campo magnético, conforme Eq.21. Ao atingir a região de saturação, a tensão Hall não se modifica mais, pois V_{DS}' também se estabiliza. Observa-se para B=0 um importante *offset* na tensão Hall. Utilizou-se B=58mT (Ímã).

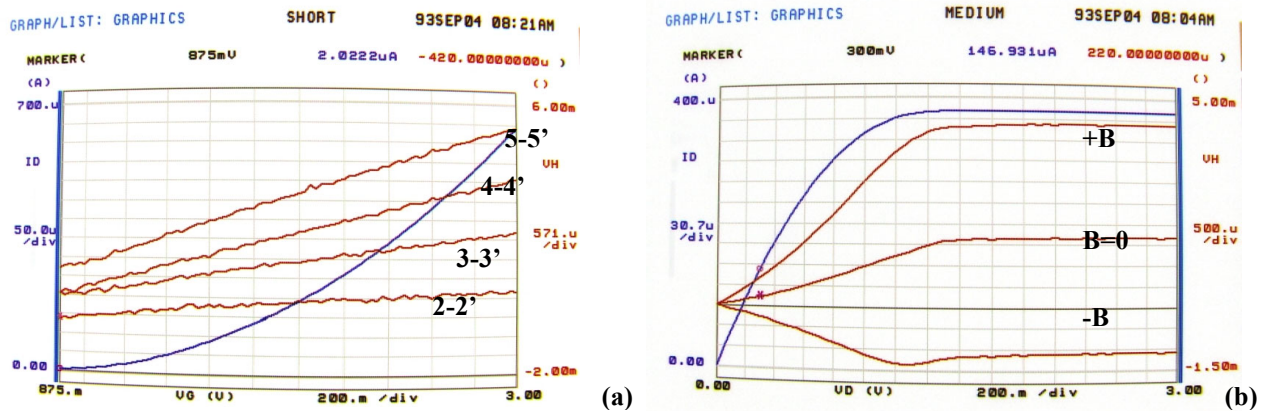


Fig.26. (a) Variação da tensão Hall em função da posição dos contatos de leitura.
(b) Variação da tensão Hall com a tensão V_{DS} e campo magnético aplicados.

Corrente de Lorentz para um *Split-Drain-MAGFET* (NMOS CSD035-10/10)

Aplicando-se uma indução magnética através da caneta de ferrite sobre um *Split-Drain-MAGFET*, levantou-se os pontos de corrente diferencial (I_L) parametrizados na corrente de polarização do transistor conforme indicado na Fig.27. O conhecimento do campo aplicado é função da corrente

DC na bobina, medido durante o processo de calibração. O transistor operou na região de saturação com $V_{DS}=3V$. A corrente diferencial foi convertida em tensão por resistores de 47K e amplificada (Ganho=2200). A tensão medida foi então utilizada para calcular a corrente de Lorentz. Observa-se a partir da relação $I_L=S.I.B$ que I_L apresenta valores crescentes para B e I de polarização.

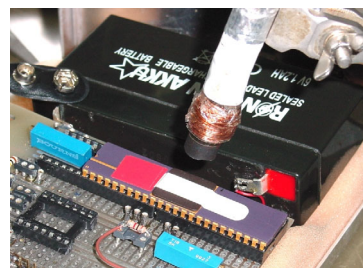
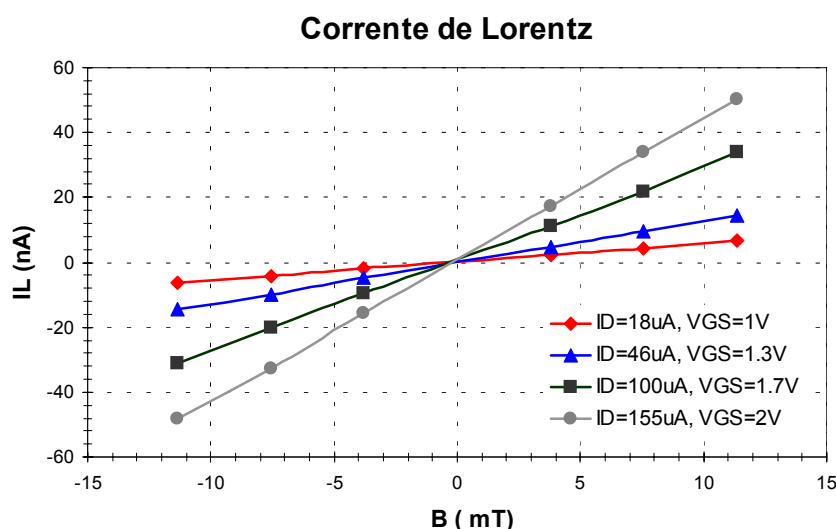


Fig. 27. Medidas da Corrente de Lorentz para induções geradas pela caneta de ferrite parametrizadas na corrente de polarização do transistor

Dependência da Corrente de Lorentz com a região de operação-(NMOS CSD035-10/10)

A corrente de Lorentz pode ser representada por $I_L=S.I.B$, onde S refere-se à sensibilidade, I a corrente de polarização e B a indução magnética. A sensibilidade S não depende da região de operação do transistor MOS conforme descrição geral na literatura [36] [37]. Assim, a corrente de Lorentz será proporcional à corrente de polarização do transistor MOS. Na Fig.28(a), observa-se para um determinado valor de indução magnética (produzida pelo ímã), a variação correspondente da corrente de Lorentz (I_{DIFF} ou I_L) com a corrente de polarização, estando o transistor *split-drain* operando na região de saturação ($V_{DS}=2.5V$). Fig.28(b) ilustra o transistor operando nas mesmas condições, porém na região linear ($V_{DS}=0.5V$). Para o mesmo valor de indução magnética, as curvas apresentam

essencialmente os mesmos valores para a corrente de Lorentz, desde que as correntes de polarização sejam as mesmas. As diferenças se devem à redução da mobilidade, como será visto na seqüência.

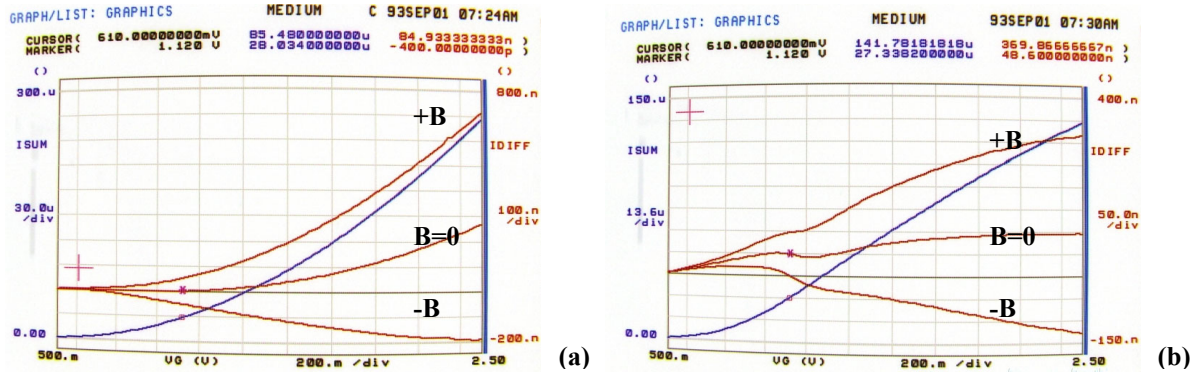


Fig. 28. Dependência da corrente de Lorentz com a corrente de polarização. (a) Região de Saturação. (b) Linear

Variação da Mobilidade

A literatura reporta efeitos de redução da mobilidade dos portadores no canal com as condições de polarização do MAGFET. A mobilidade de canal já é menor do que a mobilidade de *bulk* e pode sofrer maiores reduções em função das tensões de polarização, V_{DB} e V_{GB} , tensões *dreno-body* e *gate-body*, respectivamente [38]. A redução na mobilidade reduz a mobilidade hall e a corrente de dreno. Os dois efeitos causam forte impacto na corrente de Lorentz, ou o sinal de saída do sensor. Admite-se em geral que a mobilidade dos portadores na camada de inversão se reduz para tensões V_{GB} elevadas, devido à presença do forte campo transversal que atrai os portadores contra a interface metal-óxido, aumentando o efeito de fricção. Por outro lado, a tensão V_{DB} produz um campo longitudinal que atua no sentido de reduzir a atração dos portadores em direção à interface metal-óxido, restabelecendo o valor da mobilidade [29].

Verificou-se o impacto da redução da mobilidade nas curvas de corrente do transistor MOS-24/26 tipo N, tecnologia CUB06. Como se pode observar na Fig.29, para tensões V_{DS} (V_{DB}) de menor

amplitude, ocorre um “encurvamento para baixo” da característica. Este comportamento é típico do fenômeno de redução de mobilidade. Nesta condição, ocorre uma redução da mobilidade Hall e também da corrente de polarização. Como consequência, a corrente de Lorentz será reduzida. Portanto, ao se operar um MAGFET na região de saturação, não se deve fazê-lo sob tensões V_{GB} muito elevadas ou V_{DB} muito reduzidas.

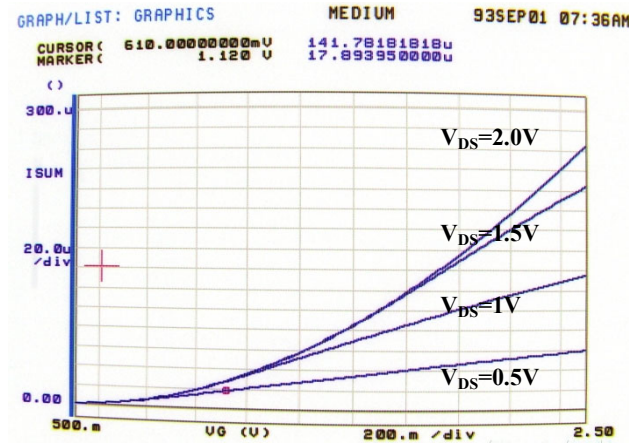


Fig.29. Efeito de redução da mobilidade

Foto-micrografias

A Fig.30 ilustra alguns transistores *Split-Drain* implementados na tecnologia AMS-Austria Microsystems.

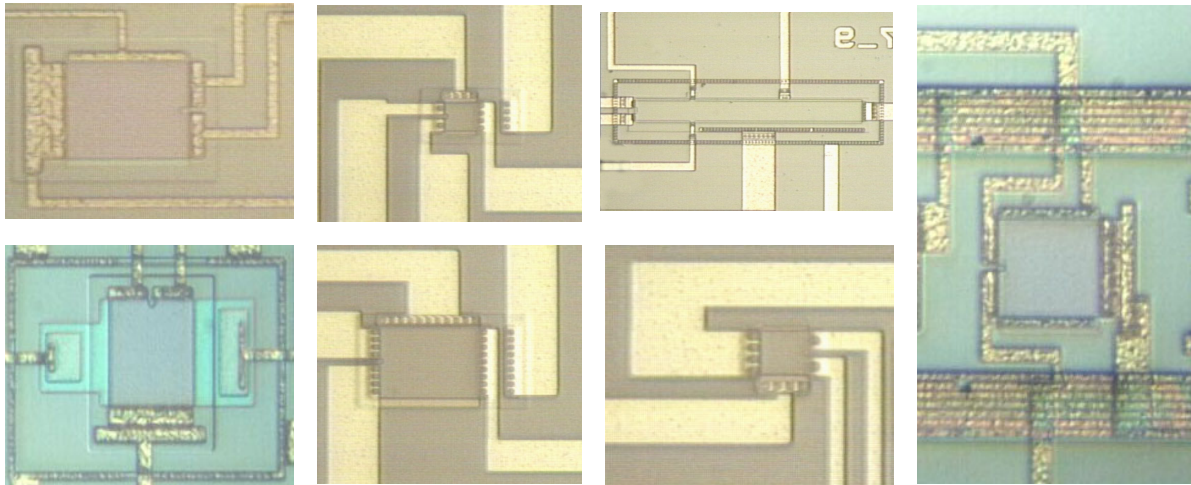


Fig.30. (a) PMOS-24/26-CUB06u (b) PMOS-10/10-CYB08u (c) PMOS-20/200-CYB08u (d) NMOS-24/26-CUB06u (e) NMOS-24/26CUB06u-Floating-Gate (f) PMOS-24/30-CYB08u (g) NMOS-10/10-CYB08u

A1.9.CONCLUSÕES

Neste capítulo estudou-se o princípio geral de operação dos sensores magnéticos MOS com o objetivo de se implementar sensores de corrente. A análise limitou-se à operação estática e modelos computacionais foram estudados e testados. Dispositivos reais foram implementados e caracterizados experimentalmente. O conhecimento da sensibilidade do dispositivo magnético é essencial para a determinação de sua resolução e relação sinal-ruído. A partir desta relação, reúne-se informação suficiente para se projetar um sensor de corrente que será a base do detector de emissão eletromagnética.

ANEXO I

Verificação da Equação da Corrente de Lorentz como proposto por *Kluge* [19] e *Sung* [20]

Em [19] e [20] os autores não consideraram devidamente o fator de *scattering* r_n na dedução da expressão geral da corrente de Lorentz do *Split-Drain-MAGFET*. Para compensar o erro cometido, houve a necessidade de se incluir um coeficiente de correção obtido por *fitting* numérico com resultados experimentais, cujo valor apresentou variação de -5 a $+8$ dependendo, entre outros fatores, da polaridade do campo magnético aplicado [20]. O coeficiente de correção adotado nesta tese varia de 0 a 1 e depende apenas da geometria do sensor, o que parece ser mais razoável. Basicamente, estes dois autores apresentam a densidade de corrente no MAGFET devido à ação de Lorentz como sendo: $J_y = -\mu \cdot B \cdot J_x \cdot [r + G(x)]$ (**Eq.A1.1**), onde μ refere-se à mobilidade normal do semiconductor, $G(x)$ refere-se fator de correção geométrico, r ao fator de *scattering*, B ao campo magnético aplicado, J à densidade de corrente nas direções x e y , respectivamente. Para efeitos de comparação, a expressão deduzida nesta tese (Eq.7) será reescrita $J_y = \mu_H \cdot B \cdot J_x \cdot [1 - G(x)]$ (**Eq.A1.2**). Esta expressão foi deduzida com base nas mesmas considerações iniciais definidas em [19] e [20]. Inicialmente, um teste

de consistência das duas expressões será realizado considerando uma amostra do tipo infinitamente larga (Item 2.3). Neste tipo de amostra $E_y=0$, $G=0$ como anteriormente discutido. Substituindo-se $G=0$ na Eq.A1.1 e Eq.A1.2, a menos da inversão de sinais, os resultados são coincidentes. Considere-se agora uma amostra do tipo infinitamente longa (Item 2.3). Neste caso, $J_y=0$, e $G=1$. Substituindo-se estes valores na Eq.A1.1, obtém-se uma incoerência, pois a expressão não se verifica a menos que o coeficiente de *scattering* assuma um valor negativo, o que é uma impossibilidade. Considerando-se as mesmas substituições na Eq.A1.2, a mesma se verifica plenamente. Deve ser observado que os testes de consistência realizados com as duas geometrias (amostra infinitamente longa e infinitamente larga) são casos particulares. De qualquer forma, se uma expressão não se valida para estes casos básicos, não poderá ser adotada.

Uma análise qualitativa também indica algo incomum na Eq.A1.1. O fator de *scattering* r refere-se a uma quantidade física, uma propriedade do material que depende do fator de anisotropia, distribuição estatística de velocidade dos portadores, tempo de trânsito, etc. O fator $G(x)$ é uma quantidade geométrica macroscópica, ou seja, depende basicamente do posicionamento dos contatos, que afetam o campo elétrico. Na Eq.A1.1 estes fatores se adicionam, e apesar de serem quantidades adimensionais, não há uma razão física para a combinação destes fatores resultar na corrente de Lorentz como indica a expressão deduzida pelos autores.

ANEXO II

Rotina *Mathcad* para solução numérica da tensão Hall e Corrente de Lorentz em placas

Rotinas computacionais para a solução da Equação de Poisson (ou Laplace) em duas dimensões são relativamente comuns na Internet. Esta rotina para *Mathcad* é disponível a partir de http://gundermann.dk/mathcad/poisson_engine.mcd. Nesta rotina, a matriz de condutividade tensorial permite resolver problemas de condução em materiais anisotrópicos. Assim, o ângulo Hall pode ser

convenientemente levado em conta nesta matriz, como proposto na tese. Desta forma, problemas que envolvam efeito Hall ou ação de Lorentz podem ser resolvidos a partir de rotinas comuns, sem necessidade de se desenvolver programas específicos, como geralmente tem sido feito na literatura.

Na seqüência, extraído do próprio autor da rotina, o princípio de operação da mesma. Maiores detalhes podem ser encontrados na *homepage* acima referida.

Solves $J = -\sigma \cdot \text{grad}(U)$, $\text{div}(J)=0$, in a 2D-domain specified by coordinates $X_{\text{coord}}(X,Y)$ and $Y_{\text{coord}}(X,Y)$, $X:=0..XM$, $Y:=0..YM$. And reports $U(X,Y)$ as well as the streamfunction $S(X,Y)$.

The σ may be specified as a scalar, or as a (symmetrical) matrix. And should be given as user-defined matrices (of scalars or matrices) for each triangular area of the grid (Lower left and Upper right for each grid-cell).

The default is:

$U(X,Y)=0$ for $X=0$, insulating boundaries at $Y=0$ and $Y=YM$, and a user specified potential at the right edge $U(XM,Y)=U_{\text{Right}}(Y)$. The user may also specify the conductivity ConLeft from the left-edge points to ground, in an input matrix. The use of which is mainly to indicate perfect grounding (a large conductivity) or insulation (zero conductivity). But other uses may exist.

In the default configuration, the routine uses $(YM+1) \times (YM+1)$ matrices, which are manipulated a number of times given by $(YM+1) \times (XM+1)$. Hence computation time is linear in XM , employing techniques pioneered by Gabriel Kron many years ago, in which the circuit is assembled from its branches, and then teared apart!

The feature with a conductance matrix may be used to set the voltage along a

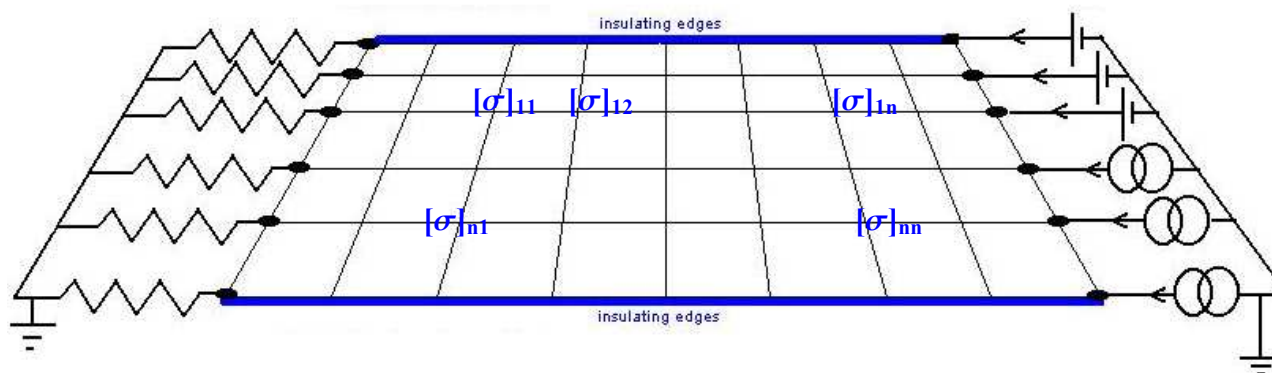
boundary $X(y)$ (by specifying σ as $\begin{pmatrix} \sigma_x & 0 \\ 0 & 0 \end{pmatrix}$ to the right of $x(y)$, with a large s_x , the curve is then effectively connected to your standard variable voltage $U_{\text{right}}(Y)$ at $X=XM$.

The theoretical principle is, that the integral of $-\text{grad}(U) \cdot (-\sigma \cdot \text{grad}(U))$, the "dissipation" over area (or volume) is minimal in the solution. We solve a discret problem instead, where the gradient is constant within each triangular area of the grid.

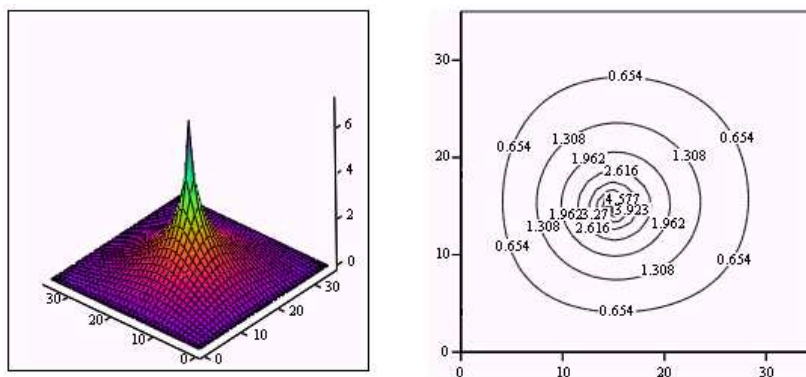
The output from the routines are:

System	keep intact and use in subsequent calls of Poisson_go, and Poisson_RD
$U_{X,Y}$	The potential at all grid-points
$S_{X,Y}$	The streamfunction $\int_0^Y J_x(X,y) dy + \int_X^{XM} J_y(X,0) dx$
	Note that point-like controls generate discontinuities in the stream function, when you encircle the grid point.
Output_y	The current drawn from your voltage sources, and the voltages seen by your current sources. Index 0 to YM: the right edge points. Index YM+1..YM+C: Any additional points, where you control voltage or current input. This is in the "In-orientation", ie voltage times current is the power into the sample. See http://gundermann.dk/mathcad/signseverywhere.mcd for a discussion of signs and causality, which is exploited in this program.

Exemplo de Entrada: Na forma de uma matriz numérica ($N \times N$) onde cada elemento corresponde ao tensor de condutividade (matriz 2×2). Regiões condutoras e isolantes são definidas igualmente, mas contém apenas os elementos da diagonal principal. Fontes e cargas são definidas como escalares.



Saídas: Após o processamento da rotina pelo programa *Mathcad*, tem-se como resultado as matrizes numéricas contendo as soluções. Os recursos de visualização do programa permitem várias representações das saídas da rotina.



- [4] Blanchard, H., Popovic, R.S., et al. Highly sensitive Hall sensor in CMOS Technology. *Sensors and Actuators, A*. Vol. 82, pp.144-148. 2000.
- [5] Gottfried-Gottfried, R. et al. A miniaturized magnetic field sensor system consisting of a planar fluxgate sensor and a CMOS readout circuitry. *Proceedings of the IX EuroSensors and Transducers 1995*].
- [6] Kauser, H., Kraus, L., Giant Magneto-Impedance Sensors. *IEEE Instrumentation & Measurement Magazine*. June. 2001. pp. 28-32.
- [7] Klein, H., Robinson, M. A $0.8\text{nV}/\sqrt{\text{Hz}}$ CMOS preamplifier for Magneto-Resistive Read elements. *IEEE Journal of Solid-State Circuits*, Vol. 29. N. 12. pp. 1589-1595. 1994.
- [8] Gallagher, R.C., Corak, W.S., A Metal-Oxide- Semiconductor (MOS) Hall Element. *Solid-State Electronics*. Vol 9, 571. 1966.
- [9] Fry, P.W., Hoey, S.J., A Silicon MOS magnetic field transducer of high sensitivity. *IEEE Transaction on Electron Devices*, vol. ED-16, pp 35-39. 1969.
- [10] Malcovati, P. et al. A magnetic sensor with current-controlled sensitivity and resolution. *Sensors and Actuators A*. Vol. 46-47. pp.284-288. 1995
- [11] Schurig, E., Popovic, R.S., et al. A vertical Hall device in CMOS high voltage technology. *Sensors and Actuators A*. Vol. 97-98. pp. 47-53. 2002.
- [12] Randjelovic, Z., Popovic, R.S. Characterization, simulation and macro-modeling of vertical hall devices. *MicroElectronics Journal*. Vol 29., pp. 715-719. 1998.
- [13] Kluge, J. Analysis of Split-current magnetic field sensitive resistors. *Sensors and Actuators A*. Vol. 93. pp.103-108. 2001.
- [14] Popovic, R.S. Hall Effect Devices. The Adam Hilger Series on Sensors. ISBN 0-7503-0096-5. 1991.
- [15] Reis, C.A Split-Drain MOST based circuit for measuring electric power. *ESSCIRC 2000-European Solid-State Circuit Conference*. Sep.2000.

- [16] Popovic, S., Widmer, R. Magnetotransistor in CMOS Technology, IEEE Transactions on electron Devices, Vol. ED-33, n.9, sept. 1986.
- [17] Malcovati, P., Maloberti, F. An Integrated Microsystem for 3-D Magnetic Field Measurements.
- [18] Zhang, M., Misra, D. A Novel 3-D Magnetic Field Sensor in Standard CMOS Technology.
- [19] Kluge, J., Langheinrich, W. An analytical Model of Magfet Sensitivity Including Secondary Effects Using a Continuous Description of the Geometric Correction Factor. IEEE Transactions on Electron Devices, Vol. 46, n.1, Jan. 1999.
- [20] Sung, G.M. Error correction for transformed concave and convex Magfets with DC supply voltage. Sensors and Actuators A, Vol 177. pp.41-49. 2005.
- [21] Baltes, H., et al. Two-Dimensional Numerical Analysis of a silicon Magnetic field sensor. IEEE Transactions on Electron Devices, Vol. ED-31., N. 7., July 1984.
- [22] Nathan, A, Huiser, A Baltes, H. Two-Dimensional Numerical Modeling of Magnetic-Field Sensors in CMOS Technology. IEEE Transactions on Electron devices, ED-32, N. 7. July 1985.
- [23] Nathan, A, Baltes, H., Allegretto, W. Review of Physical Models for numerical simulation of semiconductor microsensors. IEEE transactions on computer-aided design. Vol. 9., N. 11, Nov. 1990.
- [24] Salim, A, Manku, T., Nathan, A. Modeling of Magnetic Field sensitivity of bipolar magnetotransistors using HSPICE. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. Vol. 14. N. 4. Ap. 1995.
- [25] Boer, W., et al. The Lorentz angle in silicon detectors. Proceedings HEP2001
- [26] Jungemann, C. et al. Hall Factors of Si NMOS Inversion Layers for magfet modeling. IEEE Transactions on Electron devices, Vol.46.N.8. pp-1803-1804. Aug.1999.
- [27] Lin, J.F. et al. Theoretical Analysis of hall factor and Hall mobility in p-type silicon. Solid-State Electronics, Vol.24, N.9.pp-827-833.1981.

- [28] Reggiani, S et al. Surface mobility in silicon at large operating temperature.
- [29] Tsividis, Y. Operation and Modeling of the MOS transistor. WCB/McGraw-Hill. 1999. ISBN-0-07-065523-5.
- [30] Gallagher, R.C., Corak, W.S., A Metal-Oxide- Semiconductor (MOS) Hall Element. Solid-State Electronics. Vol 9, 571. 1966.
- [31] Nathan, A. et al. Modeling of a Dual-drain NMOS Magnetic Field Sensor. IEEE Journal of Solid-State Circuits, Vol. SC-20, N. 3. June 1985.
- [33] Lau, J, Ko, P., Chan, P. On the Modeling of a CMOS Magnetic Sensor. IEEE Proceedings of.
- [34] Zheng, X., Wu, S. General Characteristics and current output mode of a MOS magnetic field sensor. Sensors and Actuators A. Vol. 28.pp.1-5. 1998.
- [35] Lau, J., Ko, P., Chan, P. Modeling of split-drain magnetic field-effect transistor (MAGFET). Sensors and Actuators A., Vol. 49.pp. 155-162. 1995.
- [36] Mathieu, N, Giordano, P. Chovet, A. Si MAGFETs optimized for sensitivity and noise properties. Sensors and Actuators A, Vol.32. pp656-660. 1992.
- [37] Ionescu, A.M., Mathieu, N., Chovet, A. Drain and Gate voltage influences on MAGFET offset and sensitivity: Modeling and experiment. Proceedings of IEEE.
- [38] Wang, J. et al. Method to measure MOSFET inversion layer mobility. Electronics Letters. Vol. 35. N. 21. pp. 1884-1886. Oct. 1999.
- [39] Kawashima, K. et al. Asymmetrical Magneto-Impedance effect in torsión-annealed co-rich amorphous wire for MI micro magnetic sensor. IEEE Transactions on Magnetics, Vol.35.N.5.Sep.1999.

APÊNDICE II

TRABALHOS COMPLETOS APRESENTADOS EM CONFERÊNCIAS

F.C. Castaldo, P. Rodrigues, C. A. Reis, “Shunt-Zero based on CMOS Split-Drain: A Practical Approach for Current Sensing”, Artigo a ser publicado nos *Proceedings* do IEEE Power Electronic Specialists Conference-PESC, 2005.

F.C. Castaldo, C.A. Reis, “CMOS Analog Four-Quadrant multiplier using lateral PNP Core”, *Proceedings of IMAPS-Brazil-International Technical Symposium on Packaging, Assembling and Testing & Exhibition*, 2004.

F.C. Castaldo, et al, “Shunt-Zero based on CMOS Split-Drain: A Novel Approach for Current Sensing”, *Proceedings of IMAPS-Brazil-International Technical Symposium on Packaging, Assembling and Testing & Exhibition*, 2004.

F.C. Castaldo, P.Rodrigues, J.P.Cajueiro, C. A Reis, “Floating-Gate Analog Memory Cell Programming Environment”, *Proceedings of IMAPS-Brazil-International Technical Symposium on Packaging, Assembling and Testing & Exhibition*, 2004.

F.C. Castaldo, P. Rodrigues, C. A. Reis, “Current Slew-Rate Adjusting as a Commutation Technique for Integrated Switched-Mode Smart-Power Applications: An Efficient Approach to Control EMI”, *Proceedings of IEEE-INDUSCON*, 2004.

F.C. Castaldo, P. Rodrigues, C.A. Reis. “Controlling EMI on Integrated Switched-Mode Smart-Power Applications using Current Slew-Rate Adjusting as a Commutation Technique”, *Proceedings of CBA-Congresso Brasileiro de Automática*, 2004.

F. C. Castaldo, C.A. Reis, “A Proposed Commutation Technique for Switched-Mode Smart-Power Applications based on V_{GS} Slew-Rate Adjusting”, *Proceedings of COBEP- 7º Congresso Brasileiro de Eletrônica de Potência*, 2003.

M. Thiébaud, F. C. Castaldo, C. A. Reis, J.P. Seminário, “Integrated 4X4 Programmable Interconnect Array with Applications in FPAA”, *IMAPS - International Technical Symposium on Packaging, Assembling and Testing & Exhibition*, 2003.

F.C. Castaldo, J.P.Cajueiro, C. A. Reis, “Bias Dependence of Noise Correlation in MAGFETs”, *Proceedings of CHIP IN SAMPA/SBCCI 2003 SBCCI 2003 - 16th Symposium on Integrated Circuits and Systems Design SBMicro 2003 - 18th Symposium on Microelectronics Technology and Devices*. 2003.

F.C. Castaldo, P. Souza, S. Finco, J. A Pomílio. “Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and employing Smart Power Principles”, *Proceedings of COBEP- 6º Congresso Brasileiro de Eletrônica de Potência*, 2001.

Shunt-Zero based on CMOS Split-Drain: A Practical Approach for Current Sensing

F.C. Castaldo
Universidade Estadual de Londrina
Department of Electrical Engineering
Londrina, PR - BRASIL
Email: castaldo@uel.br

P.Rodrigues
Universidade Estadual de Campinas
Department of Semiconductors
Campinas, SP - BRASIL

C.A. Reis Filho
Universidade Estadual de Campinas
Department of Semiconductors
Campinas, SP - BRASIL
Email: carlos_reis@lpm.fee.unicamp.br

Abstract - A current sensor circuit intended for integrated Smart-Power applications featuring galvanic isolation is devised. It is based on magnetic detection using the CMOS compatible Split-Drain transistors (MAGFET) that provides linear output current versus magnetic field from DC to several MHz range. An integrated sensor built in 0.35 μ m CMOS technology presented an output conversion factor of 500nA/A, corner frequency around 1MHz and thermal spectral density of 60pA/ $\sqrt{\text{Hz}}$ for a power dissipation of less than 15mW.

I. INTRODUCTION

Current sensing is one of the most important functions to be implemented on a smart power chip. Besides providing current limitation, it is also required to detect failure situations such as short-circuit or open-load as well as to provide the feedback signal to control purposes. The classical method for current sensing is to insert a sensing resistor in the path current of power device to obtain a voltage signal that can be read by the analogue circuitry. Such a simple method has a disadvantage of introducing additional losses in the smart power circuit. Other techniques include the drain-source resistance voltage reading. The main drawback of this technique is the low accuracy due to the non-linearity of drain-source resistance. This method enjoys commercial use because of its efficiency (no additional resistor is used). Another technique was introduced in [1]. It uses the inductor voltage (in the case of a DC-DC PWM converter) to measure the inductor current. The approach is based on an integrator that converts voltage to current by integration over time. The main disadvantage is that the inductor value should be known. Another very employed technique is based on the SENSEFET [2]. The idea is to build a parallel MOS transistor with the main one to share a proportional load current. Since the V_{GS} and V_{DS} are the same, the current sharing will follow the rationed transistors areas. Despite being a practical approach, additional circuitry is necessary to follow the V_{DS} voltage, bringing about extra complexity when the technique is used either for high side or low side driver applications. Moreover, the technique is reported to be both noisy and low-bandwidth [3]. And last but not least, the SENSEFET approach does not present a galvanic isolation between power circuit (where the current to be sensed flows through) and control circuitry, what can bring about inconveniences in some applications. Therefore, an integrated circuit application based on magnetic coupling using the split-drain [4] transistor is presented in this paper,

what assures a real galvanic isolation because there is no electric connection between the current to be sensed and the split-drain transistor. In an integrated circuit, the field silicon dioxide can bear about 1MV/mm allowing current sensing in applications such as automotive industry, telecommunications, switched converters, household appliances and so on. On the other hand, currents flowing through the integrated circuit may reach up to 10A in range, depending on the technology used. This allows several applications in many fields. This paper is organized as follows: In section II some basic aspects of the split-drain sensor is revised. In Section III, the 0.35 μ m CMOS integrated circuit is presented. Section IV addresses the thermal noise issues and associated resolution above the 1/f region. Section V shows some experimental results followed by the conclusions.

II. SPLIT-DRAIN-BASED MAGNETIC SENSOR: BASICS

The current sensor envisaged is based on the well-known magnetic device sensor CMOS compatible Split-Drain transistor (MAGFET) [5], [6]. This sensor produces a current imbalance dictated by Lorentz force and can detect perpendicular magnetic field upon it, according (1).

$$\Delta I = S \cdot I_B \cdot B \quad (1)$$

In (1), ΔI stands for the total current imbalance between the drain terminals of the transistor given in [Ampere], S the device sensitivity [1/Tesla], I_B the split-drain bias current and B the magnetic field [Tesla] applied to the device. The sensitivity depends on the geometry of the device (length and width) and Hall carrier mobility and is related to (2).

$$S = \mu_H \cdot G \cdot \frac{L}{W} \quad (2)$$

For rectangular shapes in the range $0.85 < W/L < \infty$, the geometrical correction factor is given by (3) [6]. For square geometries, $G=0.676$.

$$G = 1 - \frac{16}{\pi^2} \cdot e^{-\frac{\pi}{2} \frac{W}{L}} \cdot \left(1 - \frac{8}{9} \cdot e^{-\pi \frac{W}{L}} \right) \quad (3)$$

The Hall mobility μ_H is given by the product of the effective carrier mobility μ (process-based) and the Hall Factor r_H . According [7], the Hall factor for NMOS transistors is $r_H=1.05$ within the temperature range $-20^\circ < T < 120^\circ$ degrees Celsius. This value is considered appropriate for most practical applications. The mobility parameter in the utilized $0.35\mu\text{m}$ CMOS process is $\mu=0.037\text{m}^2/\text{V.S}$ for NMOS transistors. The above expressions will be used in next session.

III. IMPLEMENTED CURRENT SENSOR

The current sensing scheme is depicted in Fig. 1. A $45\mu\text{m}$ -width double metal strip carries the current to be sensed. The maximum current is 500mA allowed by the metal thickness available in the used $0.35\mu\text{m}$ CMOS technology. Individual sensor cells are placed along the metal strip and can detect the perpendicular magnetic field around it. By paralleling the metal strips the current capability of the sensor can be increased.

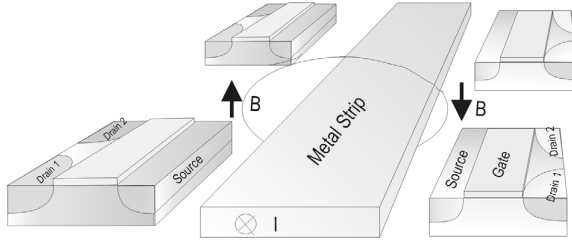


Fig. 1: Cells Arrangement

Electromagnetic simulations allow evaluating the magnetic field generated by the carrying-current strip. The 2-D evaluation Electromagnetic Simulator software MAXWELL [8] can be used for determining the magnetic field to the strip-current ratio. In present case, the value obtained was 4.95mT/A for the Split-Drain positioned at $20\mu\text{m}$ away from the strip border. A vector plot of magnetic induction generated by the carrying current strip is illustrated in Fig. 2, whereas Fig. 3 shows the vertical magnetic field for 100mA current strip along radial distance starting at strip border. As indicated, the maximum vertical magnetic field is obtained at short distances from the strip boundary.

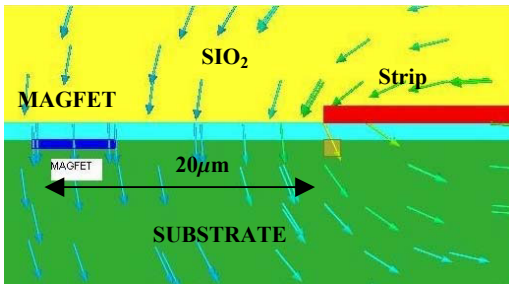


Fig. 2: Vector Magnetic Field around the strip

In order to get readable signals, each of the split-drain transistors is connected to a pair of P-type mirrors intended to provide some current gain without sacrifice the frequency bandwidth. The mirror was scaled to produce a current gain of $A=4$, but other values can be chosen.

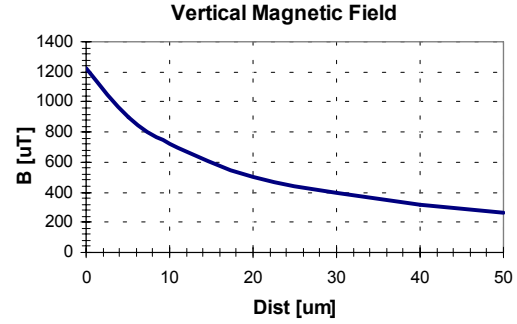


Fig. 3: Vertical Magnetic Field calculated at the plane of the MAGFET for $I_{\text{STRIP}}=100\text{mA}$

An additional N-type mirror evaluates the current difference so the current imbalance generated by the split-drain transistor can be read. The output current is converted to a voltage value by choosing an appropriate I-V converter, typically a resistor and a follower circuit. The basic circuit (except resistor and follower circuit) is shown in Fig. 4. Multiple cells can be connected in parallel to increase the detected signal and strengthen the overall circuit sensitivity.

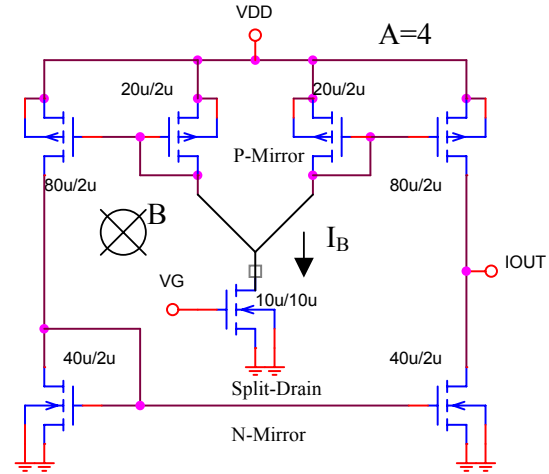


Fig. 4: Basic Cell

The output current generated by N individual cells connected in parallel placed along the strip is given by (4).

$$I_o = S.I_B.B.A.N \quad (4)$$

For practical reasons, in this integrated circuit implementation, it was chosen $N=10$. The NMOS split-drain transistor aspect ratio was chosen unity ($L=W=10\mu$) so the

sensitivity obtained is very close to the ideal ratio [9]. Moreover, a typical bias current for each MAGFET was chosen to be $100\mu\text{A}$, a reasonable compromise between sensitivity and power consumption. Applying Eqs.1-3 for the technology parameters, taking into account the 4.95mT/A magnetic-field-current ratio calculated by Maxwell, the output current for the magnetic sensor implemented is approximately 500nA per 1A of strip current, or 500nA/A . Fig. 5 shows the microphotograph of the $0.35\mu\text{m}$ implemented circuit and layout dimensions.

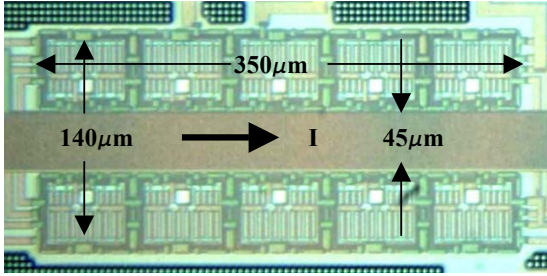


Fig. 5: IC microphotograph

IV. NOISE ANALYSIS

In order to evaluate the minimum detectable current flowing thorough the strip the noise properties of the circuit should be investigated. Initially, the noise generated by a single cell biased with the nominal current I_B (split-drain transistor disconnected) is calculated based on the $0.35\mu\text{m}$ CMOS technology parameters: The N-MOS and P-MOS transconductance factors $K_{PN}=170\mu\text{A/V}^2$, $K_{PP}=58\mu\text{A/V}^2$ respectively. The thermal output noise current given in $\text{A}/\sqrt{\text{Hz}}$ is indicated in (5). The analysis is accomplished by applying conventional noise analysis, where g_{mn} and g_{mp} are the transconductance of N-type ($W/L=40\mu/2\mu$) and P-type ($W/L=20\mu/2\mu$) mirror transistors respectively. The other parameters are $K=1.381\times 10^{-23}$ [J/K] and T the absolute temperature given in [K]. The A parameter is the P-MOS mirror gain, $A=4$.

$$I_{NC} = \sqrt{\frac{16}{3} \cdot K \cdot T \cdot [(A^2 + A)g_{mp} + g_{mn}]}$$

$$g_{mp} = \sqrt{2 \cdot K_{PP} \cdot \frac{W}{L} \cdot \frac{I_B}{2}} \therefore g_{mn} = \sqrt{2 \cdot K_{PN} \cdot \frac{W}{L} \cdot 2 \cdot I_B} \quad (5)$$

The noise current can also be evaluated for N paralleled cells. In this case, each noise contribution is uncorrelated, so the total noise is obtained by multiplying the calculated one-cell noise by $\sqrt{N}$. Fig. 6 shows the noise current evaluated for a single cell in absence of split-drain transistor, but biased with a free-noise current. The split-drain noise contribution will be analyzed in separate.

Therefore, the total noise will be the combination of uncorrelated noises generated by N cells and N split-drain transistors.

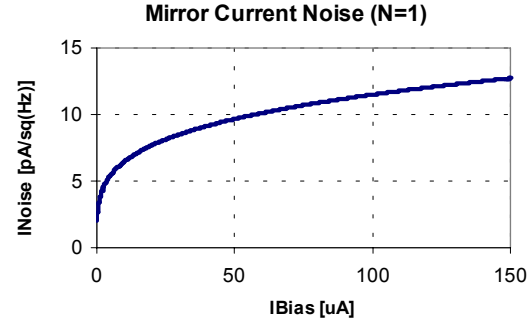


Fig. 6: One-Cell thermal noise and bias dependence

In order to evaluate each split-drain noise contribution, the noise correlation factor between individual drain currents should be investigated. Several measurements carried out suggest that there is a negative correlation between noise current taken differentially at the drain terminals of the split-drain transistor, what leads to a degradation of the sensitivity and therefore the minimum detectable magnetic field. This observation was already cited in literature [10]. The proposed noise model for the split-drain N transistor is illustrated in Fig. 7. Three noise current sources are employed. Two of them model the longitudinal noise current as in an ordinary transistor, each of them carrying half the total noise current, associated with the respective drain terminal. The third source models the transversal noise current that flows between drains, bringing about the observed negative noise correlation.

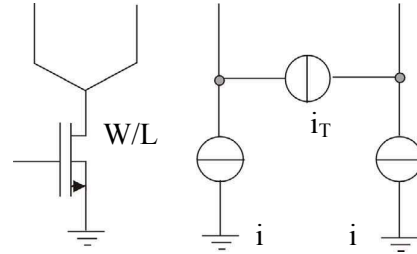


Fig. 7: Split-Drain Transistor Noise Model

The longitudinal and transversal noise currents (per $\sqrt{\text{Hz}}$ base) are given in (6), whose parameters were already defined. The Q_I is the total channel charge, and can be calculated using (7) for the split-drain operating in saturation.

$$i = \sqrt{\frac{2 \cdot K \cdot T \cdot \mu \cdot Q_I}{L^2}} \quad i_T = \sqrt{\frac{4 \cdot K \cdot T \cdot \mu \cdot Q_I}{W^2}} \quad (6)$$

$$Q_I = \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \cdot (V_{GS} - V_T) \quad (7)$$

In (7), the new process parameter is C_{OX} , the oxide capacitance. For the $0.35\mu\text{m}$ CMOS process, $C_{OX}=4.54 \times 10^{-3} \text{ F/m}^2$. The threshold voltage for N-MOS transistor in same technology is $V_T=0.46\text{V}$. Once the longitudinal and transversal currents are known, the differential noise contribution produced by the split-drain transistor can be evaluated. Taking into account the N free-noise cells driven each one by a split-drain transistor, the total output noise current due to the N split-drain transistors can be calculated using (8).

$$i_{NT} = \sqrt{8 \cdot A \cdot N \cdot (i^2 + 2 \cdot i_T^2)} \quad (8)$$

Combining (5) and (8) the total current noise can be evaluated for N complete cells, taking into account uncorrelated contributions from the split-drain transistors and associated current amplifier cells, given in (9)

$$i_N = \sqrt{i_{NT}^2 + N \cdot i_{NC}^2} \quad (9)$$

The minimum detectable field (or the minimum strip current that can be sensed) is defined as the ratio between the RMS noise generated by the N cells and the signal detected by them, considering a specific bandwidth of 1Hz. Combining (4) and (9) the minimum detectable current flowing through the strip in a 1Hz bandwidth above the 1/f region is shown in Fig. 8 for N=1 and N=10 cells assemblies. Currents as low as $100\mu\text{A}$ can be sensed by an arrangement of N=10 cells considering only thermal noise in 1 Hz bandwidth.

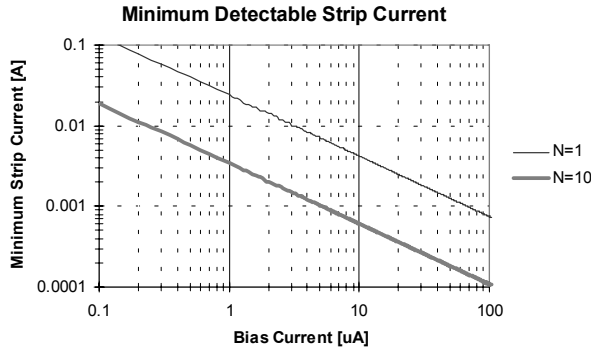


Fig. 8. Minimum detectable current above the 1/f region

V. EXPERIMENTAL RESULTS

The implemented circuit was $100\mu\text{A}$ biased per Cell ($I_B=100\mu\text{A}$), generating a whole consume of 4.5mA for

N=10 cells. The already calculated transfer ratio for the implemented circuit is 500nA/A . This result can be visualized in a test carried out using the HP4155 semiconductor parameter analyzer. The output current was measured for 0-100mA DC current flowing through the double-metal strip, named I_{MAG} . Additionally, for best circuit response visualization, an extra N-MOS mirror with aspect ratio 1:10 (not part of the circuit) was used for boosting the current level by 6dB. The result is shown in Fig. 9. It is also shown the flat trace for the $I_B=0$ condition for comparative purposes. This result corroborates the sensitivity analysis and electromagnetic simulations carried out.

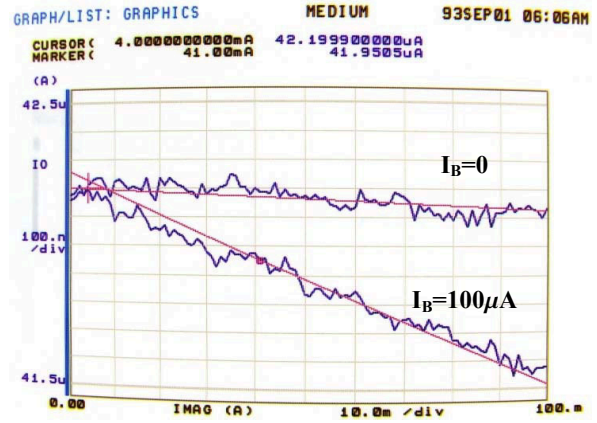


Fig. 9: Circuit Output Current as function of I_{MAG}

Next, the noise current will be evaluated. Applying Eq. 9 for N=10 and $I_B=100\mu\text{A}$ per cell, the thermal noise spectral density is about $57\text{pA}/\sqrt{\text{Hz}}$. This value along with the 4.95mT/A factor leads to a minimum detectable current of about $110\mu\text{A}/\sqrt{\text{Hz}}$ in thermal region. Taking into account a limited bandwidth, for example, 20KHz to 120KHz, the minimum detectable RMS current flowing in the metal strip is about $110\mu\text{A}/\sqrt{\text{Hz}} \cdot \sqrt{100\text{KHz}} = 35\text{mA}$.

Using smaller bias current I_B leads to a smaller output noise current and less power expending in spite of lower sensitivity. This condition was tested for $I_B=20\mu\text{A}$. In this case, the output noise was measured by using an I-V converter resistor of $1\text{K}\Omega$ connected to the output of the circuit and a measurement setup having gain=2200 (DC to 100KHz) in order to amplify the voltage noise developed across the resistor. The total noise current spectral density can be calculated using (9). The resulting value $37.3\text{pA}/\sqrt{\text{Hz}}$ can be converted into a voltage across the $1\text{K}\Omega$ and amplified by the 2200 gain factor, resulting $80\mu\text{V}/\sqrt{\text{Hz}}$ in thermal region. The associated measurement using the HP3561 signal analyzer is shown in Fig. 10. The noise introduced by the instrumentation circuit is about $20\mu\text{A}/\sqrt{\text{Hz}}$ so the net noise available in the resistor is given in (10), reasonably close to the calculated value.

$$\sqrt{(81 \times 10^{-6})^2 - (20 \times 10^{-6})^2} = 78 \mu A / \sqrt{Hz} \quad (10)$$

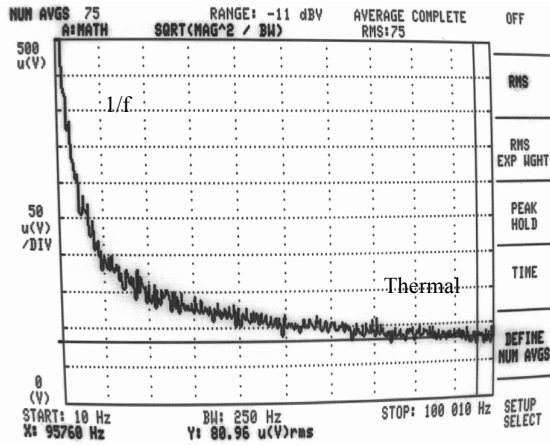


Fig.10: Noise Measurements

Frequency response verification is carried out using a network analyzer, HP3577, by applying an AC current through the strip to generate a magnetic field and measuring the output current developed across the 50Ω equipment input resistance. The circuit functions in current mode, achieving high frequencies of operation. Layout improvements can increase the frequency range of operation. Fig.5 shows the frequency response measurement. The circuit is capable of detecting currents from DC to 1MHz although the resolution will vary according the chosen bandwidth, which can be set by using external passive filters.

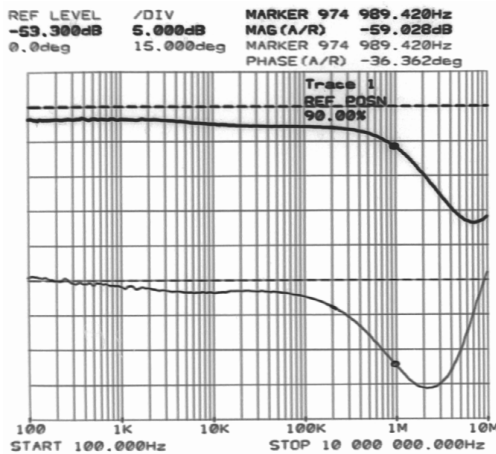


Fig. 11: Bandwidth Measurements

VI. CONCLUSIONS

A current sensing circuit showing galvanic isolation for integrated circuits is devised. The sensor is based on Split-Drain transistors that can detect magnetic field and show very linear response to the applied field. A current that is carried on a metal strip generates the magnetic field. This metal strip is placed along the sensors what provides strong magnetic coupling, allowing a detection ratio of 500nA/A of sensed current. The sensor features additional mirrors what provides current gain without sacrificing the bandwidth. Corner frequencies around 1MHz are commonplace in measurements. The noise analysis is carried out to evaluate the minimum detectable current to be sensed. Furthermore, noise measurements show that this approach can be conveniently used in Smart-Power applications ranging currents up to 10A and frequencies from DC to several MHz.

ACKNOWLEDGMENTS

MOSIS Program for supporting device manufacturing.

CenPRA for Chip Post-Processing.

REFERENCES

- [1] P. Midya et al. "Sensorless Current Mode Control-An Observer Technique for DC-DC Converters". IEEE Transactions on Power Electronics. Vol 16, pp. 522-526. July 2001.
- [2] S. Yuvarajan. "Performance Analysis and Signal Processing in Current Sensing Mosfet (Sensefet)". Proceedings of Industrial Applications Society Annual Meeting. Vol. II, pp. 1445-1450. 1990
- [3] D. Grant and R. Willians. "Current Sensing MOSFETS for Protection and Control". Proceedings IEE Colloquium on Measurements Techniques for Power Electronics. Pp8/1-8/5. 1992.
- [4] G., Busatto, G. et al. Magfet based current sensing for power integrated circuit. Microelectronics Reliability. Vol.43. pp.577-583. 2003.
- [5] Fry, P.W., Hoey, S.J., A Silicon MOS magnetic field transducer of high sensitivity. IEEE Transaction on Electron Devices, vol. ED-16, pp 35-39. 1969.
- [6] Popovic, R.S. Hall Effect Devices. The Adam Hilger Series on Sensors. 1991. Ch.2,3,4.
- [7] Jungemann et al. "Correlation Factor Studies". IEEE Transac. on Devices, Vol46. n. 8 August 1999.
- [8] <http://www.ansoft.com>
- [9] H., Baltes, H., et al. Two-Dimensional Numerical Analysis of a silicon Magnetic field sensor. IEEE Transactions on Electron Devices, Vol. ED-31. N. 7., July 1984.
- [10] Baltes, H.P, Nathan A. and Briglio D.R., "Noise Correlations in Magnetic Field Sensitive Transistors", IEEE Solid-State Sensor and Actuator Workshop Tech. Digest. 1988, pp.104-105.

CMOS Analog Four-Quadrant multiplier using lateral PNP Core

Fernando C. Castaldo¹ and Carlos Alberto dos Reis Filho²

¹ State University of Londrina –UEL
Electrical Engineering Departament-DEEL

² State University of Campinas -UNICAMP
LPM/DSIF/FEEC/UNICAMP

E-mail: castaldo@lpm.fee.unicamp.br

Abstract

An implementation in CMOS technology of a 4-quadrant analog multiplier, whose core uses six parasitic lateral bipolar transistors is presented in this paper. Thanks to the noise characteristics of the used lateral bipolar transistors the implemented multiplier has proven to feature an improved performance with respect to THD and 1/f noise as compared to most all-MOS versions of known analog multipliers. Samples of the developed circuit were fabricated in 0.6μm CMOS technology and tested. Measurements have shown that the circuit features a bandwidth of 30MHz for 50 Ohms resistive load, THD of less than 1,0% for full-scale input and a midband equivalent noise voltage density of 300nV/sqrt(Hz) at 100Hz.

1. Introduction

Multipliers are widely used in analog signal processing for rectification, multiplication, modulation, frequency translation, signal compression and so on. Multipliers perform non-linear operations on continuous-valued analog signals. The Gilbert Cell [1] is widely employed to implement analog four quadrant multipliers in Bipolar and MOS technology [2]. However, all-MOS implementations are more complex requiring more die area. Furthermore, problems associated with circuit complexity like distortion and noise are more susceptible to take place [3]. On the other hand, bipolar implementations using nowadays-available BICMOS process are costly. In this context, the use of parasitic bipolar transistors available in CMOS technology comes up as a possible approach to implement the proposed multiplier circuit. Several reports on literature have shown the use of the lateral bipolar transistor for implementing the more diverse circuit applications [4]. Disadvantages

2. Lateral Bipolar Transistor

It has been shown that a bipolar transistor having a collector, which is not tied to substrate, is available in CMOS technology [5]. This device is obtained by operating a MOS transistor in the lateral bipolar mode. Biasing the gate of MOS transistor far below its threshold voltage, an accumulation layer is created below the gate. This prevents MOS transistor operation. By properly biasing the n-well in P-substrate process and the drain and source terminals, a bipolar operating mode is attained. In addition, a second, unwanted, vertical bipolar transistor is also activated

which contributes to reduce the emitter-collector current ratio α . Moreover, the lateral bipolar transistor is known to have low collector-base current ratio β . Therefore, the base current cannot be neglected as usual in normal bipolar devices. On the other hand, this device shows a relative low current roll-off corner, causing the device to enter in high-injection at low currents when the coefficient of the exponential function that rules the I_C - V_{BE} relationship of the transistor departs from one. Circuits using this device can experience signal distortion if current deviation from operating point is large enough. The signal distortion can be minimized if all transistors in the circuit are operated approximately at same current levels for all signal excursions as proposed for the multiplier circuit. Fig. 1 shows the β parameter extracted for a single lateral bipolar device implemented in 0.6μm CMOS process along with the device cross-section view. Fig. 2 shows for same device the I_C - V_{BE} relationship showing the high-injection effect.

Despite being an inferior device compared to an actual BJT, the lateral bipolar transistor available in CMOS technology can be used for specific purposes where MOS implementation is not possible. For example, in [6] a function generator is proposed using the lateral bipolar transistor achieving a non-linearity of 1

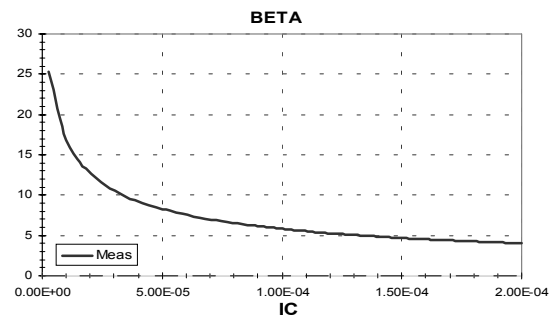


Fig. 1. Current ratio β and device cross-section view.

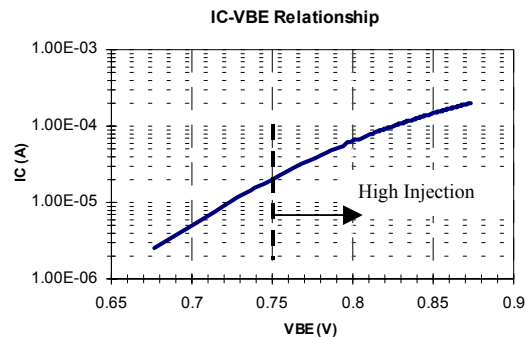


Fig. 2. I_C - V_{BE} relationship showing the high injection effect

3. Basic Principle and Theory

The core multiplier is shown in Fig. 3. It features a Gilbert Multiplier Cell [6] implemented in CMOS process using six-lateral bipolar devices. To reduce signal distortion all transistors operate at high-injection condition set by the bias current source (2.I). Two MOS transconductors convert the differential input voltage V_{in1} and V_{in2} into differential currents that is fed to the core multiplier e.g., $I(1+x)$, $I(1-x)$, $I(1+y)$, $I(1-y)$. The differential input current is given by two complementary signals x and y around a common bias current I as indicated. Signals x and y are supposed to fluctuate between ± 1 . Due to the low transistor β the base current should be included in the analysis of the circuit. In the foregoing analysis V_T is the thermal voltage, $V_T=26\text{mV}$.

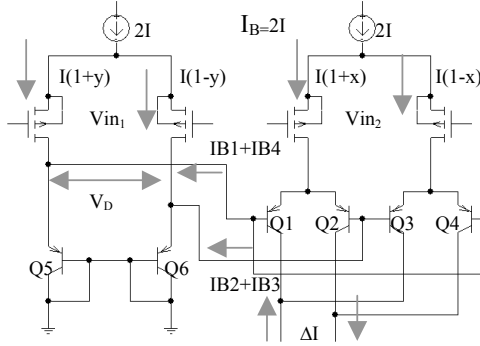


Fig. 3. Core Multiplier

Regarding a BJT active-loaded differential pair, the transistors currents are given by the set of Eq. 1. The index 1,2, 3 and 4 are referred to the lateral bipolar transistors Q_1, Q_2, Q_3, Q_4 respectively, as indicated in Fig. 3.

$$IB1 = \frac{\alpha_1 \cdot I \cdot (1+x)}{\beta_1 \cdot \left(1 + e^{\frac{VD}{2VT}}\right)} \quad IB2 = \frac{\alpha_2 \cdot I \cdot (1+x)}{\beta_2 \cdot \left(1 + e^{\frac{-VD}{2VT}}\right)} \quad (1)$$

$$IB3 = \frac{\alpha_3 \cdot I \cdot (1-x)}{\beta_3 \cdot \left(1 + e^{\frac{-VD}{2VT}}\right)} \quad IB4 = \frac{\alpha_4 \cdot I \cdot (1-x)}{\beta_4 \cdot \left(1 + e^{\frac{VD}{2VT}}\right)}$$

The differential voltage V_D developed across Q_5 and Q_6 bipolar devices connected as diodes operating in high-injection and taking into account the Q_1, Q_2, Q_3, Q_4 base currents and $I_C = \beta \cdot I_B$ is given by Eq. 2.

$$e^{\frac{VD}{2VT}} = \frac{I \cdot (1+y) + I_{B1} + I_{B4}}{I \cdot (1-y) + I_{B2} + I_{B3}} \quad (2)$$

Assuming the condition $\beta \gg \alpha$, Eq. 2 simplifies to

$$(y-1) \cdot e^{\frac{VD}{VT}} + 2 \cdot y \cdot e^{\frac{VD}{2VT}} + (1+y) = 0 \quad (3)$$

Solving the quadratic equation above, one can find V_D . As an important conclusion, the V_D voltage is not sensible to Q_1, Q_2, Q_3, Q_4 base currents if the condition $\beta \gg \alpha$ is fulfilled.

$$VD = 2 \cdot VT \cdot \ln\left(\frac{1-y}{1+y}\right) \quad (4)$$

Solving for $\Delta I = I_{C1} + I_{C3} - (I_{C2} + I_{C4})$, the multiplier output current is given by Eq. 5.

$$\Delta I = (A \cdot x \cdot y + B + C \cdot x + D \cdot y) \cdot \frac{I}{2} \quad (5)$$

The constants are given by set of Eq. (6).

$$A = (\alpha_1 + \alpha_2 + \alpha_3 + \alpha_4) \quad B = (\alpha_1 - \alpha_2 + \alpha_3 - \alpha_4) \\ C = (\alpha_1 - \alpha_2 - \alpha_3 + \alpha_4) \quad D = (\alpha_1 + \alpha_2 - \alpha_3 - \alpha_4) \quad (6)$$

The output current depends on the product of input variables x and y and also shows linear components in x and y as well as offset current. As long as the α parameter is bias dependent, biasing all bipolar transistors with same current can cancel out the opposite terms in α as indicated in Eq. 6. However, in dynamic operation the current level for a specific transistor changes and so does the α parameter for that transistor, causing an increase of non-linearity in circuit operation. Higher bias current make the α parameter less sensible to current changes. Likewise, moderate variations around the operating point brings about the same effect, giving rise to a non-linearity operation of less than 1%, as will be shown in Experimental Results Session. For design purposes, an average α based on the operating point can be used for calculating the overall gain of the circuit.

4. Implemented CMOS Circuit

A CMOS implementation of the multiplier is shown in Fig. 4. The circuit makes use of input transconductors implemented with two active-loaded p-channel differential pairs. The differential mode transfer characteristic of the MOS transconductors is $1.4 \cdot I_{BIAS} [\mu A/V]$. An output current mirror is implemented with p and n-channel transistors to output the difference current ΔI . The bias current is replicated through p-channel cascode current mirrors to form the tail currents of the two MOS transconductors. The bias current ranges from $50\mu A$ to $200\mu A$, an adequate compromise between linearity and efficiency. Efficiency is understood in this context as the ratio of the output current and tail current. The output current signal ΔI is converted into voltage through a transresistance stage. In most tests carried out,

a 50-ohm referred-to-ground resistive load along with a 2,5V floating voltage source was used as transresistance stage.

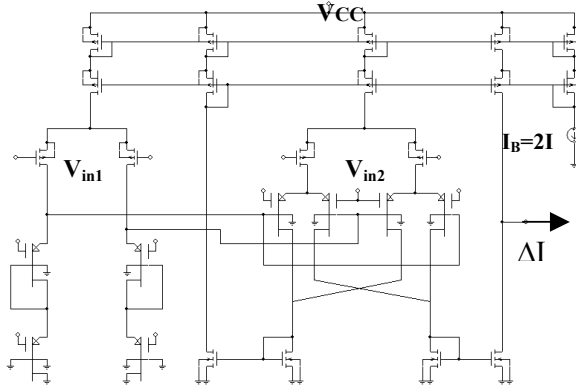


Fig. 4. Simplified Multiplier Circuit

The lateral-bipolar-differential-pairs were laid out in cross-quadrant configuration to improve matching. The die photomicrograph of the test chip is shown in Fig. 5. The circuit dimensions are 200μm x 120μm.

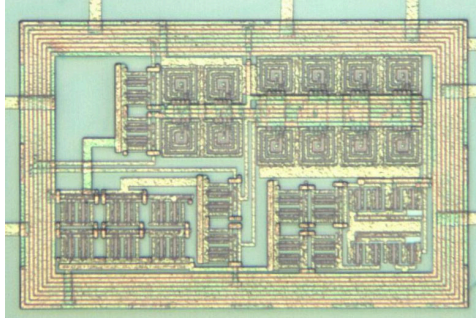


Fig. 5. Circuit photomicrograph

The output current can be calculated from Eq. 5 and MOS transconductors gain of $1,4 \cdot I_{BIAS} [\mu A/V]$ taking into account an average α parameter for all bipolar transistors. Therefore, the output current is given $\Delta I = V_{in1} \cdot V_{in2} (\Sigma \alpha) I_B / 2$ if all bipolar transistors have the same α . For a bias current of $I_B = 2 \cdot I = 200 \mu A$, $\alpha = 0,5$, and applying Eq.5, $\Delta I = 100 \mu A \cdot x \cdot y$. For the used transconductors and assuming a voltage input range of $\pm 0,5V$, the maximum output current is $\Delta I = 100 \mu A \cdot 0,7 \cdot 0,7 = \pm 50 \mu A$.

5. Experimental Results

The static transfer characteristic for $-0,5V < V_{in1} < 0,5V$ and $-0,5V < V_{in2} < 0,5V$ corresponding to $-0,7 < x < 0,7$ and $-0,7 < y < 0,7$ respectively for $2 \cdot I = 200 \mu A$ tail current is given in Fig. 6. The $\pm 50 \mu A$ output current gives an overall efficiency of 50%. For this efficiency, the non-linearity is kept under 1,5%. As pointed out previously, this non-linearity is due to the variation of α parameter of the bipolar transistor. However, keeping the x and y differential input signals under specific values, e.g. ($x, y < 0,5$), one can attain low-distortion operation, typically less than 1% as indicated the THD measurements realized. On the other hand, layout imperfections and mismatching brings about some off-

set current. Measurements were done using a semiconductor parameter analyzer at a controlled temperature environment. The temperature was monitored during measurements and showed to be stable at $18^\circ C (\pm 1^\circ C)$.

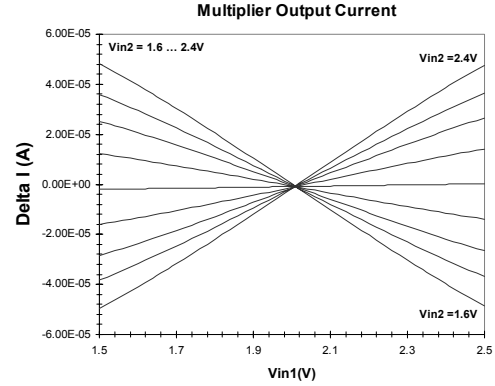


Fig. 6. Measured Static Transfer

The measured frequency response is shown in Fig. 7. One input is fixed at a DC value and the other is frequency-varied. The -3 dB frequency corner is around 30MHz for 50Ω load impedance and 200μ bias current. The output noise spectral density measured on 100KΩ load resistor and amplified by a factor of 60dB gain is shown in Fig. 8. From this measurement, the output noise current spectral density for white noise is 100pA/√Hz. For lower frequencies, e.g. 100Hz, the output noise current spectral density is 300pA/√Hz. Previous reports in CMOS implementation has shown a white noise spectral density of about 300pA/√Hz [2].

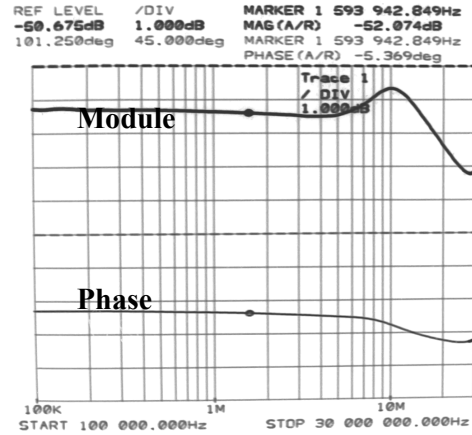


Fig.7. Measured frequency response

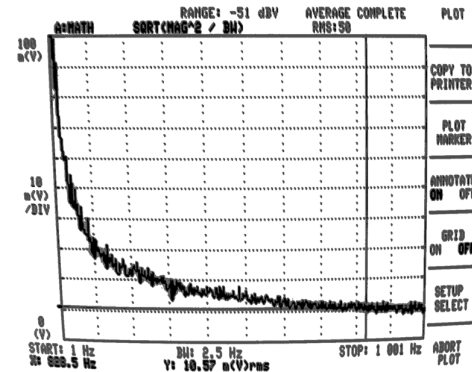


Fig.8. Noise Spectral density

The noise measurements were carried out based on a battery-fed shielded-instrumentation auxiliary circuit as shown in Fig. 9. Finally, a summary of the proposed circuit is shown in Tab I.

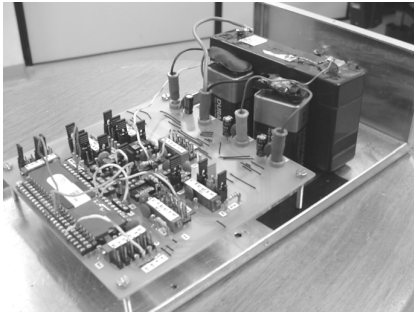


Fig. 9. Measurement Setup

TABLE I

Specs	Conditions	Value	Unit
Consumption	$50\mu A < I_{BIAS} < 200\mu A$	$3 \cdot I_{BIAS}$	A
Average Noise (White)	$1KHz < f < 10MHz$ @ $1K\Omega$, $I_{BIAS}=200\mu A$	100	nV/ $\sqrt{Hz}$
Voltage Input Range	$1,5V < V_{in1}, V_{in2} < 2,5V$	-	V
Output Current Range	$I_{BIAS}=200\mu A$	$\pm 50\mu$	A
Signal/Noise	$V_{in1}=2V_{DC} \pm 100mV_{pk-pk}$ @ 1MHz $V_{in2}=2,50 V_{DC}$ RBW=1Hz $I_{BIAS}=200\mu A$	96.7	dB
THD	$1,5V < V_{in1}, V_{in2} < 2,5V$ $I_{BIAS}=200\mu A$	< 1	%
Bandwidth	$I_{BIAS}=200\mu A$ (-3dB)	30	MHz

6. Application Envisaged

The envisaged application for this multiplier circuit relies on Smart-Power circuits, as a detector of commutation losses in power MOS transistors. This feature is suitable for integrated SMAs (Switched Mode Applications), where the power MOS and the losses detector are built together. One of the inputs of the multiplier is fed with the total voltage across the power device whereas the other one is fed with an image of the total current flowing through it. Either I-V converters can be used to read the total current before applying the correspondent signal into multiplier input or the sampled current can be input directly in differential mode into the multiplier circuit. The output information will be the instantaneous and average dissipation losses in the power MOS, that can be used as an additional protection feature. Thus, both in case of overload or switching losses excess, the main controller gets this information instantly and takes the corrective actions. A thermal or overload protection would have such a delay that can put at risk the power transistor. Fig. 10 shows the instantaneous dissipated power during the commutation intervals for an integrated power MOS switching 12V and 1A. Voltage and current dividers were used to input both signal to the multiplier circuit

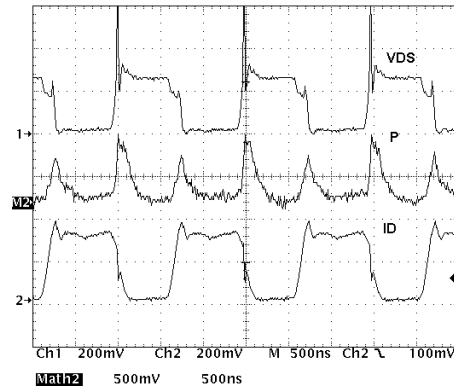


Fig. 10 Instantaneous Switching losses of a power MOS transistor

7. Conclusions

A Gilbert Cell-based multiplier using lateral bipolar transistor available in CMOS process is proposed. It is known that this device exhibits low β and α parameters. Moreover, this device reaches high injection regime at relatively low currents. However, by adjusting the operating point of the circuit in such a way that all bipolar transistors operate at high injection, the output signal is kept linear for a relatively broad range of input signal. On the other hand, it was demonstrated that the low β of these transistors do not affect the output current. Only the α parameter does. To alleviate this dependency, the bias current should be power-limited in such a way the bipolar transistor becomes α insensitive. This allows for the implementation of low-distortion circuit multipliers. To validate the above mentioned, such a circuit was implemented and tested. Finally, an envisaged application as a switching losses detector for Smart-Power circuits is proposed.

References

- [1] Gilbert, B. "A precise four-quadrant multiplier with subnanosecond response". Solid-State Circuits, IEEE Journal of, Volume: 3, Issue: 4, Dec 1968 Pages:365 – 373
- [2] Ramirez, J., Ming-Shen, S. "The folded Gilbert cell: a low voltage high performance CMOS multiplier", Proceedings of the 35th Midwest Symposium on Circuits and Systems, pp.: 20-23. vol.1. 1992.
- [3] Meyer, R.G., Soo, D., "A 4-quadrant MOS Analog Multiplier". Proceedings IEEE International Solid-State Circuits Conference. Pp. 36-39. 1982.
- [4] Reis, C.A. et al. "CMOS analog sine function generator using lateral-PNP bipolar transistors". Devices, Circuits and Systems, 2002. Proceedings of the Fourth IEEE International Caracas Conference on, 17-19 April 2002 Pages:C030 - C1-4
- [5] Vittoz, E.A.; Oguey, H.J.; Descombes, A "CMOS voltage references using lateral bipolar transistors ". Solid-State Circuits, IEEE Journal of, Volume: 20, Issue: 6, Dec 1985. Pages:1151 - 1157
- [6] Reis, C.A. et al. "Analog triangular-to-sine converter using lateral-pnp transistors in analogue CMOS process". Electronics, Circuits and Systems, 2002. 9th International Conference on, Volume: 1, 15-18 Sept. 2002. Pages:253 - 256 vol.1.

Shunt-Zero based on CMOS Split-Drain: A Novel Approach for Current Sensing

Fernando C. Castaldo¹, Pablo Rodrigues², João Paulo Cajueiro², Carlos Alberto dos Reis Filho², Leoberto Felix³, Diogo Rozário³, Marinalva Rocha³ and Marcos Pimentel³

¹ State University of Londrina –UEL
Electrical Engineering Departament-DEEL

² State University of Campinas -UNICAMP
LPM/DSIF/FEEC/UNICAMP

³Centro de Pesquisas Renato Archer -CenPRA
Divisão de Qualificação e Análises de Produtos Eletrônicos-DAPE

E-mail: castaldo@lpm.fee.unicamp.br

Abstract

A current sensor circuit intended for integrated Smart-Power applications featuring galvanic isolation is devised. It is based on magnetic detection using the CMOS compatible Split-Drain transistors that provides linear output current versus magnetic field. An integrated sensor built in 0.35 μ m CMOS technology presented an output conversion factor of 1 μ A/A, corner frequency around 1MHz and thermal spectral density of 50pA/ $\sqrt$ Hz for a power dissipation of less than 3mW.

last but not least, this approach does not present a galvanic insulation between power circuit (where the current to be sensed flows through) and control circuitry, what can be disadvantageous in some applications. Therefore, another technique based on magnetic coupling is presented in this paper, what assures a real galvanic insulation. In an integrated circuit, the field oxide can bear several volts allowing important applications to be developed such as automotive industry.

1. Introduction

Current sensing is one of the most important functions to be implemented on a smart power chip. Beyond providing current limitation, it is also required to detect failure situations such as short-circuit or open-load as well as to provide the feedback signal to control purposes. The classical method for current sensing is to insert a sensing resistor in the path current of power device to obtain a voltage signal that can be read by the analogue circuitry. Such a simple method has a disadvantage of introducing additional losses in the smart power circuit. Other techniques include the drain-source resistance voltage reading. The main drawback of this technique is the low accuracy due to the non-linearity of drain-source resistance. This method enjoys commercial use because of its efficiency (no additional resistor is used). Another technique was introduced in [1]. It uses the inductor voltage (in the case of a DC-DC PWM converter) to measure the inductor current. The approach is based on an integrator that converts voltage to current by integration over time. The main disadvantage is that the inductor value should be known. Another very employed technique is based on the SENSEFET [2], [3]. The idea is to build a parallel transistor with the main one to share a proportional load current. Since the V_{GS} and V_{DS} are the same, the current sharing will follow the rationed transistors areas. Despite being a practical approach, additional circuitry is necessary to follow the V_{DS} voltage of transistors bringing about extra complexity when the technique is used for high side or low side driver applications. Moreover, the technique is reported to be both noisy and low-bandwidth [4]. And

2. Split-Drain-Based Magnetic Sensor

The new current sensor envisaged is based on the well-known magnetic device sensor CMOS compatible Split-Drain transistor [5], [6]. This sensor produces a current imbalance dictated by Lorentz force and can detect perpendicular magnetic field upon it, according (1).

$$\Delta I = S \cdot I_B \cdot B \quad (1)$$

In Eq. 1, ΔI stands for the total current imbalance between the drain terminals of the transistor given in [A], S the device sensitivity [1/T], I_B the bias current [A] and B the magnetic field [T] applied to the device. The sensitivity depends on the geometry of the device (length and width) and Hall carrier mobility and is related to (2).

$$S = G \cdot \mu_H \cdot \frac{L}{W} \quad (2)$$

For rectangular shapes in the range $0.85 < W/L < \infty$, the geometrical correction factor is given by (3) [7].

$$G = 1 - \frac{16}{\pi^2} \cdot e^{-\frac{\pi}{2} \cdot \frac{W}{L}} \cdot \left(1 - \frac{8}{9} \cdot e^{-\pi \cdot \frac{W}{L}} \right) \quad (3)$$

The Hall mobility μ_H is given by the product of the effective carrier mobility μ_{ch} (process-based) and the Hall Factor r_H . According [8], the Hall factor presents the

value 1.05 within the temperature range $-20 < T < 120$ degrees Celsius suitable for most applications.

The minimum detectable magnetic field depends on the noise properties of the circuit and is given by (4) on a $\sqrt{\text{Hz}}$ base for the Split-Drain thermal noise. The parameters are: $B_{\min}$ given in $[\text{T}/\sqrt{\text{Hz}}]$, $K=1.381\text{E-}23$ $[\text{J/K}]$, T the absolute-temperature given in $[\text{K}]$, μ_{ch} the channel-mobility given in $[\text{m}^2/\text{Vsec}]$, C_{OX} the gate-oxide-capacitance given in $[\text{F/m}^2]$ and S and I_B were already defined. The new parameter is the Correlation Factor, which takes into account the thermal noise generated by the Split-Drain when the noise current is measured in differential form [9].

$$B_{\min} = \frac{\sqrt{\frac{1-C}{1+C}} \cdot \sqrt{\frac{8}{3}} \cdot K \cdot T \cdot \sqrt{2 \cdot \mu_{\text{ch}} \cdot C_{\text{OX}} \cdot \frac{W}{L} \cdot I_B}}{S \cdot I_B} \quad (4)$$

Several measurements carried out suggest that there is a negative correlation between noise current taken differentially at the drain terminals of the split-drain transistor, what lead to a degradation of the sensitivity and therefore the minimum detectable magnetic field. This observation was already cited in literature [10]. Moreover, the correlation factor presents a bias current dependence for some technologies as illustrated in Fig. 1.

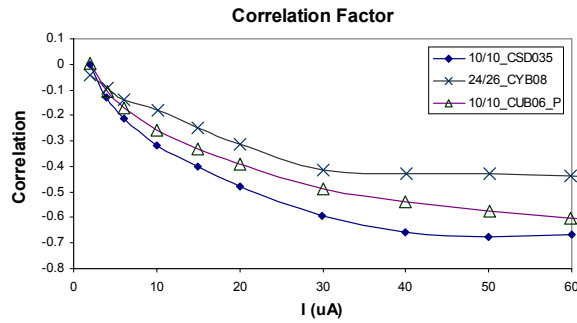


Fig. 1 Correlation Factor

The minimum detectable field is defined as the RMS noise generated by the Split-Drain over a specific bandwidth of 1Hz, so the magnetic field that can be sensed over the same bandwidth is therefore the minimum detectable field. Considering a random normal distribution for the thermal noise in the present case, a factor of 3 (Noise Factor) should be multiplied to the minimum detectable field to take into account the noise peak values so a more conservative approach can be established. For a single N-split-drain implemented in sub-micron technology (0,35u) the minimum detectable field based on Eq. 4 is plotted against the bias current as indicated in Fig. 2.

3. Implemented Current Sensor

The proposed circuit is based on a Split-Drain transistor connected to a pair of mirrors intended to provide some current gain without sacrifice the frequency bandwidth.

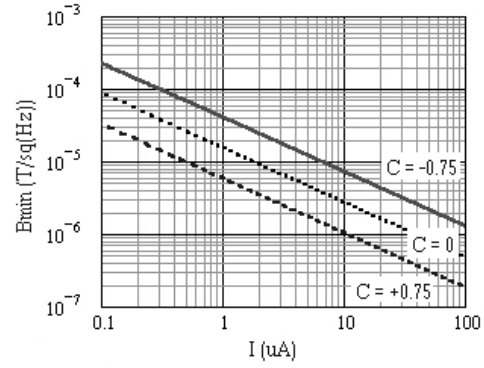


Fig. 2 Minimum Detectable Field

An additional current mirror N-type-transistors-based evaluates the current difference so the current imbalance generated by the split-drain transistor can be read. The output current is converted to a voltage value by choosing an appropriate I-V converter, typically a resistor and a follower circuit. The basic circuit (except resistor and follower circuit) is shown in Fig. 3. Multiple cells can be connected in parallel to increase the detected signal and strengthen the overall circuit sensitivity.

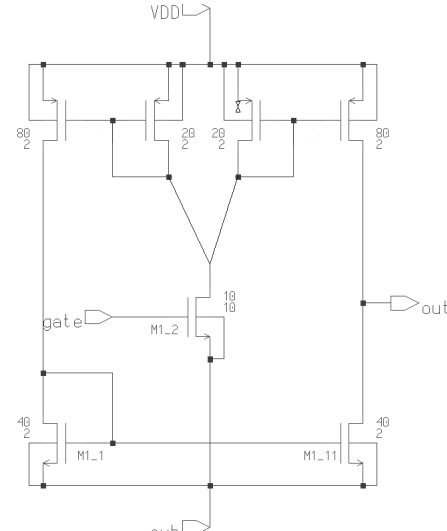


Fig. 3 Basic Cell

The current sensing scheme is depicted in Fig. 4. A double metal strip carries the current to be sensed. The maximum current is 500mA. Individual cells are placed along the metal strip and can detect the magnetic field around the strip.

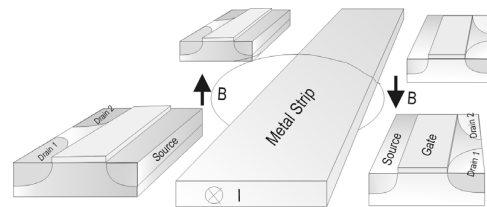


Fig. 4 Cells Arrangement

The output current generated by N individual cells placed along the strip is given by (5), in the present case, $N=10$. The P-type mirror is scaled to produce a current gain of $A=4$.

$$I_o = 2 \cdot A \cdot S \cdot I_B \cdot B \cdot N \quad (5)$$

Eq. 6 gives the thermal output noise current, in A/sq(Hz) where g_{mn} and g_{mp} are the transconductance of N-type and P-type (the smaller one) mirror transistors respectively. One should note that the current generated by the magnetic field depends on the number of individual cells, whereas the total output noise is proportional to the square root of N. Combining Eq. 5 and 6 the minimum magnetic field can be evaluated.

$$I_{noise} = \sqrt{\frac{16 \cdot K \cdot T}{3} \left[(A^2 + A) \cdot g_{mp} + g_{mn} + \frac{2 \cdot \mu_{ch} \cdot C_{OX} \cdot \frac{W}{L} \cdot I_B}{2} \cdot \left(A^2 \cdot \frac{1-C}{1+C} \right) \right]} \cdot \sqrt{N} \quad (6)$$

Electromagnetic simulations allow evaluating the magnetic field generated by a carrying-current strip. The 2-D available for free Electromagnetic Simulator software MAXWELL can be used for such a task. The most important parameter obtainable by simulation is the magnetic field to the strip-current ratio. In present case, the value is 4,95mT/A for the Split-Drain positioned at 20 μ m from the strip border. Fig 5 shows the vertical magnetic field for 100mA current strip along radial distance starting at strip border. As indicated, the maximum vertical magnetic field is obtained at short distances from the strip boundary.

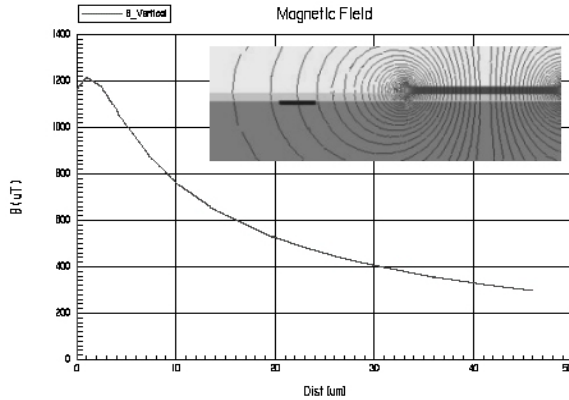


Fig. 5. Magnetic Field around a rectangular strip

Fig. 6 shows the microphotograph of the 0.35 μ implemented circuit.

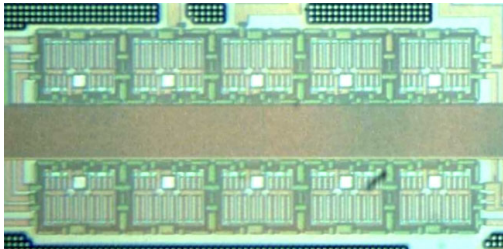


Fig. 6. IC microphotograph

4. Experimental Results

The implemented circuit was 100uA biased per Cell ($I_B=100\mu$ A), generating a whole consume of 1mA for N=10 cells. Using Eq. (2) and (3) for a 10/10 μ m Split-Drain N-Type and 0.35 μ m CMOS process parameters the sensitivity was calculated to be $S=0.026$ [1/T]. The Correlation factor for $I_B=100\mu$ A is around $C=-0.75$ obtained from Fig. 1. The current transfer for $A=4$ (Mirror Current Gain) and N=10 using Eq. 5 is 200 [μ A/T]. Combining this value with the one 4.95mT/A (obtained from Maxwell) the whole transfer ratio of the current sensor is 1 μ A/A in static mode. Using Eq. 6 the thermal noise spectral density is about 50pA/ $\sqrt$ Hz. (The values of g_{mn} , g_{mp} are obtained from process parameters and transistor sizing). Regarding a bandwidth of 100KHz in thermal region, the minimum detectable field in terms of current to be measured is given by 50pA/ $\sqrt$ Hz. $\sqrt{100KHz}=15.76$ nA. This value should be multiplied by 3 to take into account the noise factor. Doing so and using Eq. 5 and the 4.95mT/A factor, the minimum detectable current flowing in the metal strip is about 15mA.

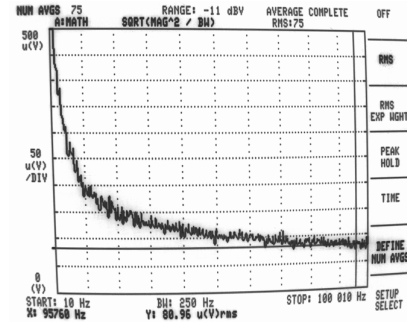


Fig. 7 Noise Measurements

Using smaller bias current lead to a smaller output noise and less power expending in spite of lower sensitivity. For $I_B=20\mu$ A, an I-V converter resistor of 1K and a measurement setup having gain=2300 (0 to 100KHz) the output noise was measured. The thermal spectral density calculated value of 70uV/ $\sqrt$ Hz (From Eq. 6 taking into account the I-V converter resistor and setup gain) and the obtained in Fig. 7 are close.

The frequency response of the circuit is shown in Fig. 8. The circuit operates in current mode, achieving high frequencies of operation. One should take care in the I-V converter device for not sacrificing the bandwidth of the circuit.

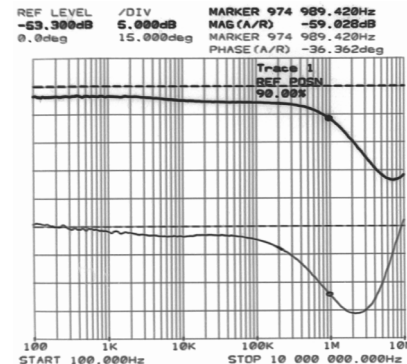


Fig. 8. Bandwidth Measurements

5. Post-Processing Countermeasures

The circuit was implemented in $0.35\mu\text{m}$ CMOS technology supported by MOSIS. A total of 40 samples were sent to the designer for tests and evaluation.

The power strip intended to carry the total current to be sensed presented a high resistance value (around 1.5Ω) not checked out early in design step. The expected resistance was about $50\text{ m}\Omega$, suitable for the 500mA original range. However, to avoid electro migration, the metal layer is doped by the IC manufacturer. This procedure increases the metal resistivity and brought about a high unexpectedly track resistance affecting the sensor circuit efficiency. Moreover, part of the strip segment was implemented using only one metal layer, increasing additionally the track resistance. The designer overlooked this fact, so chip post-processing was necessary to overcome this problem.

The proposed solution was to shorten the strip to bypass the high resistive segment. After removing the passivation layer, two bonding wires would make the appropriate strip contact. A mechanical procedure was attempted using ultra-sonic tips. However, there was no control at all of the removed parts causing damage to the circuit. A chemical attack using freon plus oxygen plasma was performed. This procedure removes the oxide layer, causing the metal strip to be exposed. After carefully multiple-steps involving plasma exposures and microscopic inspections, the metal strip was ready to be bond-wired. The whole procedure guaranteed the functionality of the circuit. Fig. 9 shows the post-processed chip.

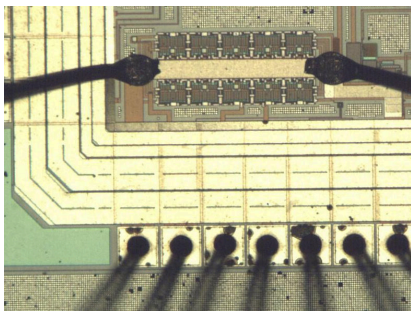


Fig. 9. Post_Processed Circuit

6. Conclusions

A current sensing circuit showing galvanic isolation for integrated circuits is devised. The sensor is based on Split-Drain transistors that can detect magnetic field and show very linear response to the applied field. A current that is carried on a metal strip generates the magnetic field. This metal strip is placed along the sensors what provides strong magnetic coupling, allowing a detection ratio of $1\mu\text{A/A}$ of sensed current. The sensor features additional mirrors what provides current gain without sacrificing the bandwidth. Corner frequencies around 1MHz are commonplace in measurements. Furthermore, noise measurements show that this approach can be conveniently used in Smart-

Power applications ranging currents of hundreds of miliamperes.

ACKNOWLEDGMENTS

MOSIS Program for supporting device manufacturing.

CenPRA for Chip Post-Processing.

References

- [1] P. Midya et al. "Sensorless Current Mode Control-An Observer Technique for DC-DC Converters". IEEE Transactions on Power Electronics. Vol 16, pp. 522-526. July 2001.
- [2] S. Yuvarajan. "Performance Analysis and Signal Processing in Current Sensing Mosfet (Sensefet)". Proceedings of Industrial Applications Society Annual Meeting. Vol. II, pp. 1445-1450. 1990.
- [3] F. Castaldo et al. "Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and employing Smart Power Principles". Proceedings do 6º Congresso Brasileiro de Eletrônica de Potência COBEP 2001. Florianopolis.
- [4] D. Grant and R. Willians. "Current Sensing MOSFETS for Protection and Control". Proceedings IEE Colloquium on Measurements Techniques for Power Electronics. Pp8/1-8/5. 1992.
- [5] Fry, P.W., Hoey, S.J., A Silicon MOS magnetic field transducer of high sensitivity. IEEE Transaction on Electron Devices, vol. ED-16, pp 35-39. 1969
- [6] Jimenez, H.R. Contribuição no estudo do Transistor MOS Split-Drain como Sensor de Campo Magnético. Tese de Mestrado. UNICAMP. 1999.
- [7] Popovic, R.S. Hall Effect Devices. The Adam Hilger Series on Sensors. ISBN 0-7503-0096-5. 1991.
- [8] Jungemann et al. "Correlation Factor Studies". IEEE Transac. on Devices, Vol46. n. 8 August 1999:
- [9] F. Castaldo et al. "Bias Dependence of Noise Correlation in MAGFETs". IEEE Proceedings of 16th Symposium on Integrated Circuits and Systems Design. SBCCI2003. September 8-11, 2003
- [10] Baltes, H.P, Nathan A. and Briglio D.R., "Noise Correlations in Magnetic Field Sensitive Transistors", IEEE Solid-State Sensor and Actuator Workshop Tech. Dig. (Hilton Head Island, SC), 1988, pp.104-105

Floating-Gate Analog Memory Cell Programming Environment

Fernando C. Castaldo¹, Pablo Rodrigues², João Paulo Cajueiro² and Carlos Alberto dos Reis Filho²

¹ State University of Londrina -UEL
Electrical Engineering Departament-DEEL

² State University of Campinas -UNICAMP
LPM/DSIF/FEEC/UNICAMP

E-mail: castaldo@lpm.fee.unicamp.br

Abstract

An implementation in CMOS technology of a Floating-Gate Analog Memory Cell and Programming Environment is presented in this paper. A digital closed-loop control compares a reference value set by user and the memory output and after cycling, the memory output is updated and the new value stored. The circuit can be used as analog trimming for VLSI applications where mechanical trimming associated with post-processing chip is prohibitive due to high costs.

1. Introduction

Floating Gate Transistors, FGMOS, which appeared in 1967 as a non-volatile data storage element [1], have been mostly used in digital circuits as storage devices [2] and neural networks systems [3] and analog signal processing exploiting the weighted-sum property of its multiple inputs. It also finds application in low voltage circuits due the fact that its equivalent threshold voltage can be tailored to desired values [4]. The FGMOS is compatible with standard CMOS technologies. The appealing feature of this device in the point of view of analog signal processing is the possibility of modifying its I-V characteristics by changing the amount of charge that is stored in the floating gate, acting as an analog memory cell.

Analog memories have some advantages over digital ones: smaller area, lower power consumption, higher dynamic range, and others. As a disadvantage, to program an analog memory is more difficult. It requires longer time and a precise control to guarantee the writing of the correct value.

This paper describes an analog memory cell based on FGMOS, including the high-voltage transistors needed to program the FGMOS, implemented in a standard CMOS process.

2. Floating Gate MOS Transistors

The basic structure of an FGMOS is a conventional MOS transistor with the gate completely involved by SiO₂ (and is then called a floating gate). Capacitors coupled to the gate, as shown in Fig. 1, control the gate voltage by capacitive coupling. The other terminals of the coupling capacitors are called control gates and the voltage of the floating gate is given by:

$$V_{fg} = \sum_i k_i V_i + \frac{Q_{fg}}{C_{tot}} \quad (1)$$

where, $k_i = C_i / C_{tot}$, V_i and C_i are the voltage and the capacitance of the control gate i , Q_{fg} is the charge trapped in the floating gate and C_{tot} is the total capacitance of the gate.

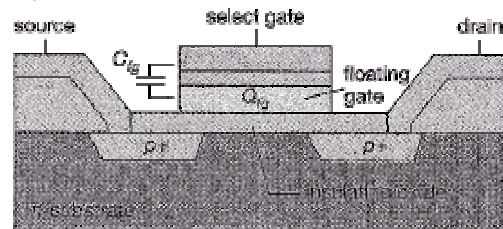


Fig 1: Cross-section of an FGMOS.

These trapped charges are the element used to retain information in an FGMOS memory cell. These charges don't change for operating voltages inside the normal range of the technology (5 V for 0.6 μ m AMS) and can be seen from one of the control gates as a variation of the effective threshold voltage of the transistor $\Delta V_{Th i} = -Q_{fg} / C_i$ (Fig.2). This can be read as a variation on the gate voltage for a constant drain current or as a variation of the drain current for the same gate voltage.

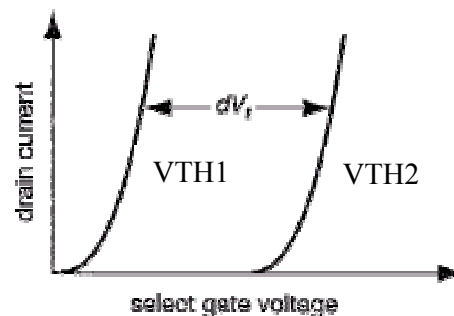


Fig. 2: Variation of the effective threshold voltage.

To write in this memory means changing the trapped charge. This is possible by applying a voltage pulse (setting an electric field) to the control gate with a magnitude high enough to tunnel electrons through the oxide.

By using two control gates, it is possible to apply only positive pulses for programming. Fig. 3 depicts this method. Applying voltage pulses to the bigger-area gate (higher capacitance), Q_{fg} decreases and does so the threshold voltage. On the other way around, applying pulses on the smaller-area gate (smaller

capacitance), Q_{fg} increases and does so the threshold voltage. [5]

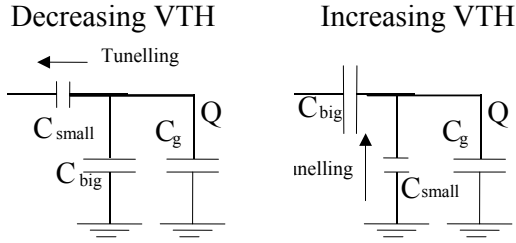


Fig. 3: Programming the FGMOS using two control Gates.

A result of this programming technique is shown in Fig. 4 for the technology AMS 0.8 μ m CYE. It is worth noting that there is an exponential behaviour of the programming scheme, e.g., for the first pulses, there is a greater change in threshold voltage. As long as more charges are built up, the storing process becomes less effective for the same applied electric field. It is referred in literature as self-limiting process [6].

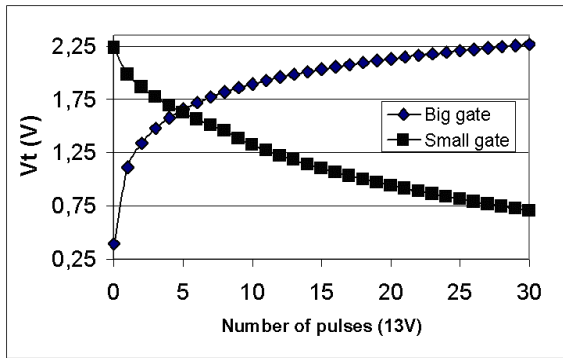


Fig. 4: Change in V_{th} for 1msec-13 V pulses applied to the control gates.

3. Analog Memory Core

The MOS Floating-Gate transistor can be used to implement an analog memory cell based on the transistor threshold voltage. A suitable circuit converts the transistor threshold voltage into a readable output, either current or voltage. The non-linearity aforementioned presents a challenge to be circumvented.

It is presented an analog memory cell based on FGMOS sized to allow omni-directionality voltage (only positive voltages used) and high voltage transistors to withstand the voltage used for programming the FGMOS. This core allows implementing a compact memory cell for trimming purposes on a single chip. The high voltage transistor is an LDD (light doped drain) MOS and can stand voltages up to 25V for AMS 06u CUB process.

The FGMOS implemented is based on poly1-nwell capacitor (available in standard CMOS process). In the technology used, the inter-poly oxide thickness is 40nm - too thick for electron tunneling. Hence, for 0.6 μ m technology, the control gate capacitors were formed between poly1 and nwell, presenting an oxide thickness of 16 nm and thus requiring lower tunneling voltage (lower dielectric voltage barrier). The programming

voltage is near 12-13V, values that can be obtained with the LDD MOS.

The analog memory cell core is shown schematically in Fig. 5. The circuit presents two modes of operation. Read and write. In read mode, M1 and M2 gates are high (5V) so the M3 transistor outputs a current that can be read over R_o . This voltage is the memorized analog value of the memory cell. On the other hand, in the write mode, the threshold voltage of M3 can be changed. To do so, M1 (up) and M2 (down) are used to accomplish such a task. After a period for stabilization, the circuit enters into read mode until new analog value is to be stored.

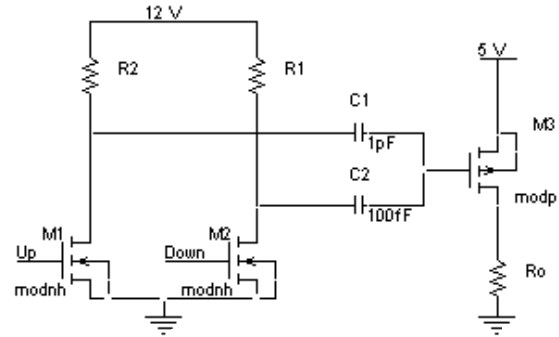


Fig. 5: Memory Cell Core

Fig. 6 shows an ideally voltage output of the memory cell in reading mode when the threshold voltage V_{th} is changed by programming in writing mode.

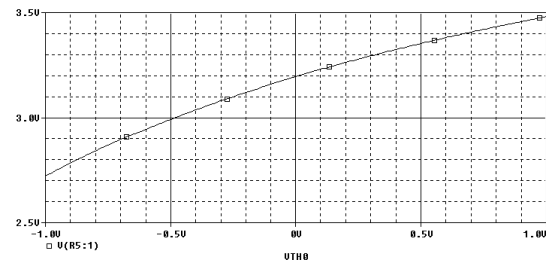


Fig. 6: Memory output versus threshold voltage

To improve the resolution of the analog memory, short-programming pulses are used. However, due to self-limiting programming process, a great number of pulses must be used in order to the memory reach the desired value in a very time-consuming mechanism. To get practical results, the programming process must be automatic, i.e., once the volatile target is set up, the memory seek the same value to be stored. Next section will address this automatic control.

4. Control Circuit

In order to make the programming mechanism automatic, a control mechanism was implemented using an FPGA and an A/D converter (ADC0804) to adjust the memory output to any desired value. The output voltage of the FGMOS memory is read by the A/D converter and compared to a reference value to be stored. The FPGA implemented control sets Up and Down memory inputs

to adjust the output voltage of the cell to the reference value. This system is depicted in Fig. 7.

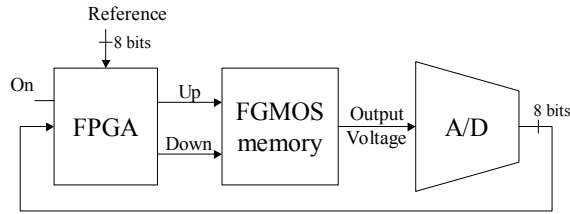


Fig. 7: Cell programming environment.

The control program inside the FPGA is quite simple as can be seen in the fluxogram of Fig. 8.

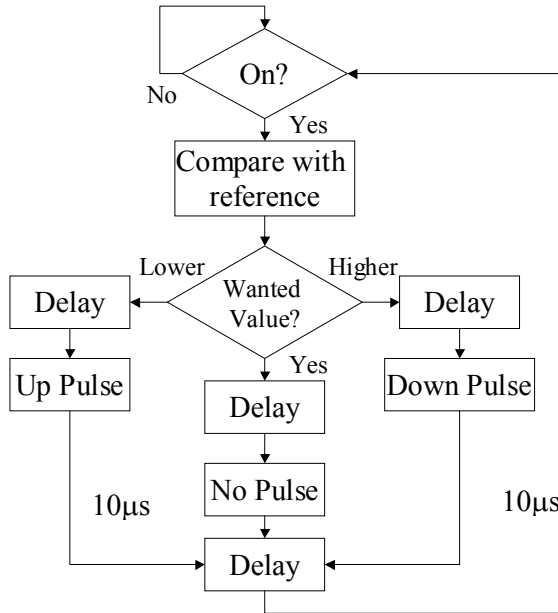


Fig. 8: FPGAs control program fluxogram.

The output voltage range varies from 2.5 to 4 V, thus the A/D is adjusted to have this same range (the ADC0804 allows it through the pins VIN- and VREF/2). Since it is an 8-bit converter, this means that its resolution is of 5.86 mV per bit, so we can adjust the output memory cell with a precision of less than 6 mV.

To circumvent the self-limiting effect, the algorithm seeks the target value indefinitely up to value given by the 6mV resolution. This makes the target-reaching time variable according the target value. A time out is set if, for any reasons, the analog output fails to reach the required value. The pulse width chosen was 10 µs, an experimented value according the tradeoff between resolution and programming time. The variation of voltage obtained with this pulse width is always smaller than 1mV, thus preventing the system to oscillate. The time delays are needed because the output voltage is not valid while the cell is being programmed. Therefore, there must be a minimum time to the cell reach a valid value. All the delays were set to be 500 µs, but they can probably be smaller.

Fig. 9 shows the timing diagram of the VHDL-description FPGA implemented.

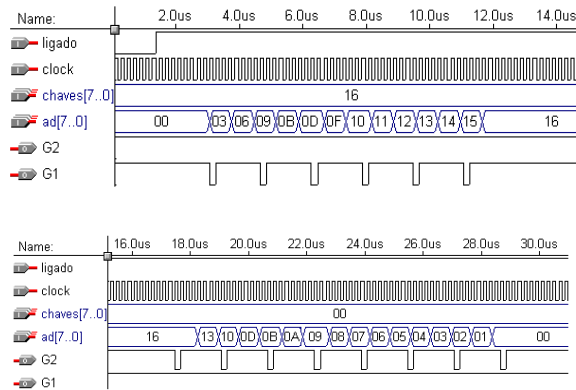


Fig. 9 Timing diagram

Starting at “ligado” signal on, a three level comparison (higher, lower and equal) is enabled between “chaves” and “ad” signals. The result sets the low level for either “G1” or “G2” signals, depending on the comparison result thus enabling the memory cell to be programmed. When the comparison results equal value for “chaves” and “ad” signals the system is halt and the programming process stops. The new stored value is read on memory output.

Fig. 10 shows the complete schematic circuit. Excluding the ADC and FPGA all other components were integrated into a chip implemented in AMS-CUB 0.35u technology. The chip implementation is shown in Fig. 11. The FPGA circuit used was the EPM7032SLC44-10.

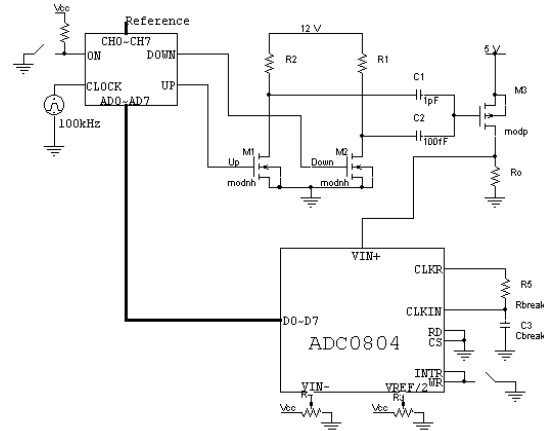


Fig. 10 Implemented Circuit

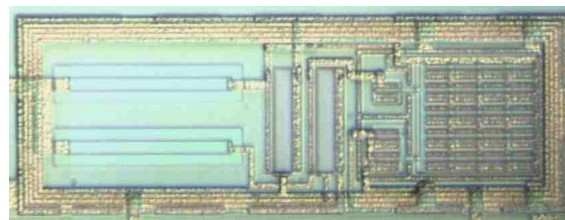


Fig. 11 Photomicrography of the analog memory cell.

5. Experimental Results

Aiming to validate the proposed implementation, the test setup shown in Fig. 12 was used and the analog memory cell was programmed following a target. The change in the output voltage according to the reference value was as expected.

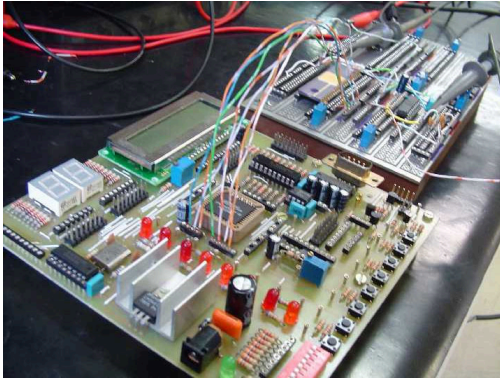


Fig.12: Setup.

Fig. 13 shows the variation of the output voltage responding to a decrease in the reference. Fig. 14 is the same for an increase of the reference. The pulses width and delay were changed for better visualization in time domain. It is shown that during the writing time, the output analog memory is not valid.

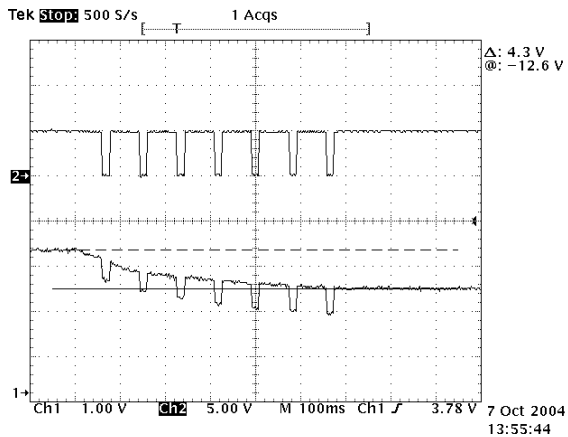


Fig. 13: Response to a decrease in the reference.

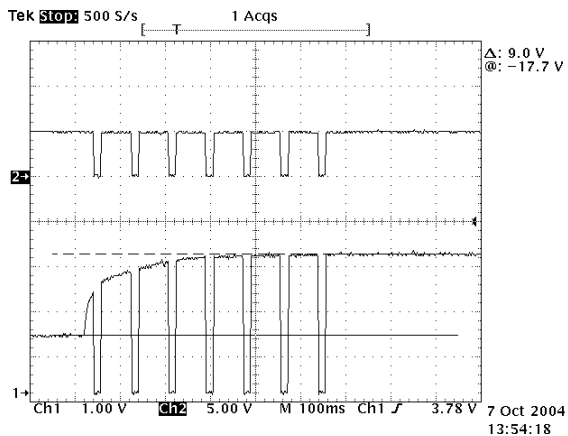


Fig. 14: Response to an increase in the reference.

6. Conclusions

An analog memory cell based on Floating-Gate transistors devised for trimming purposes is implemented. A FPGA and ADC were used to complete the programming environment. The results suggest that fully integrated versions can be thought as practical implementations in mixed signal integrated circuits such as Smart-Power applications. The analog memory cell can carry out functions that otherwise digital approach would be very complex.

References

- [1] D. Kahng and S.M. Sze, "A Floating Gate and its Application to Memory Devices", The Bell System Technical Journal, vol. 46, no. 4, pp. 1288-1295, 1967.
- [2] T. Shibata, T. Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations", IEEE Transactions on Electron Devices, Vol.39, no.6, June 1993
- [3] K. Yang, A.G. Andreou, "A Multiple-Input Differential Amplifier Based on Charge Sharing on a Floating Gate MOSFET", Journal of Analog Integrated Circuits and Signal Processing, 6{3}, 1994.
- [4] Andreou A.G., "A Multiple-Input Differential-Amplifier Based on Charge Sharing on a Floating Gate MOSFET", Yang K.W., Analog Integrated Circuits and Signal Processing, vol. 6, No. 3, 1994, pp. 167-179.
- [5] Bradley A.Minch, Paul Hasler and Chris Diorio, "Multiple-Input Translinear Elements Networks", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol.48, no1, January 2001.
- [6] André Luis do Couto, João Paulo C. Cajueiro, Carlos A. dos Reis Filho "Temperature-Compensated Voltage Using Floating-Gate MOS Transistor", IMAPS-Brazil Proceedings, 6-8 August, 2003. Campinas, Brazil.

CURRENT SLEW-RATE ADJUSTING AS A COMMUTATION TECHNIQUE FOR INTEGRATED SWITCHED-MODE SMART-POWER APPLICATIONS: AN EFFICIENT APPROACH TO CONTROL EMI

Fernando C. Castaldo
Department of Electrical
Engineering - State University of
Londrina-UEL
castaldo@lpm.fee.unicamp.br

Pablo Rodrigues
School of Electrical and Computer
Engineering - State University of
Campinas-UNICAMP
pablo@lpm.fee.unicamp.br

Carlos Alberto dos Reis Filho
School of Electrical and Computer
Engineering - State University of
Campinas- UNICAMP
carlos_reis@lpm.fee.unicamp.br

Abstract — This paper presents a controlling technique intended for CMOS integrated switched-mode applications where the electromagnetic noise generated by hard-switching process can be controlled by adjusting the power transistor current slew-rate. The approach is based on the tradeoff between EMI generation and switching losses. Aiming to validate the proposed technique an integrated boost converter is implemented featuring a variable slew-rate driver. An electromagnetic radiation model is used to estimate the emissions. Finally, pre-compliance EMI measurements are carried out. It is shown that up to -20dB reduction on near-magnetic field is achieved when the technique is applied. Similar reduction on far-electric field is attained as well. Setting sights on integrated Smart-Power Applications, driving strategies can be implemented on the low-power controlling side of the converter that will keep track of all commutation characteristics thus avoiding the use of snubbers and external auxiliary circuits for improving the EMI figure.

Index Terms — EMI, Driving Techniques, Smart-Power

INTRODUCTION

The conventional hard switching power MOSFET is widely adopted in PWM controlled Smart-Power Applications, which allows for the implementation of Application Specific Integrated Circuits (ASICs). However, it is known that the hard switching generates high levels of electromagnetic noise (EMI) along with commutation losses. To alleviate this problem, it is presented a driving technique that keeps the EMI below a specific threshold while upholding commutation losses acceptable.

I_D SLEW-RATE CONTROLLING TECHNIQUE

It is presented a PWM driver for integrated power MOS transistors aimed to Switched-Mode Application Circuits (SMAs) that yields gate-source voltage V_{GS} with both controlled rising and falling edges that in turn will shape the drain current I_D in the same fashion. The drain current slew-rate is defined as the load current and drain current rise/fall interval ratio ($SR=I_o/t_{ri,fi}$).

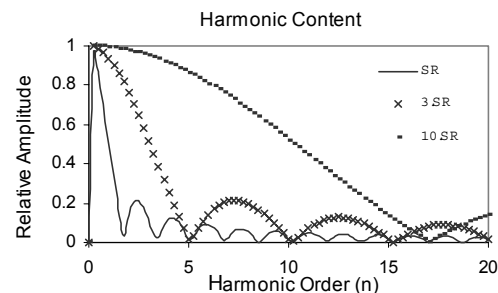


Fig. 1. Harmonic content of drain current as function of Slew-Rate

In MOS SMA circuits, the drain current follows a trapezoidal waveform whose harmonic content can be evaluated according [1]. Fig. 1 shows the impact over the 20 first harmonics components depending on the chosen slew-rate. Previous reports have shown that the Drain Current Slew-Rate Control Technique can regulate efficiently the generated EMI [2].

To illustrate the technique, Fig.2 shows a power transistor driving an inductive load along with the clamping diode for a generic SMA circuit. An adjustable-voltage reference V_{REF} is employed in a feedback loop intended to regulate the extent of drain current transitions and all other commutation characteristics. This reference should be chosen based on emission tests and commutation losses estimation as well.

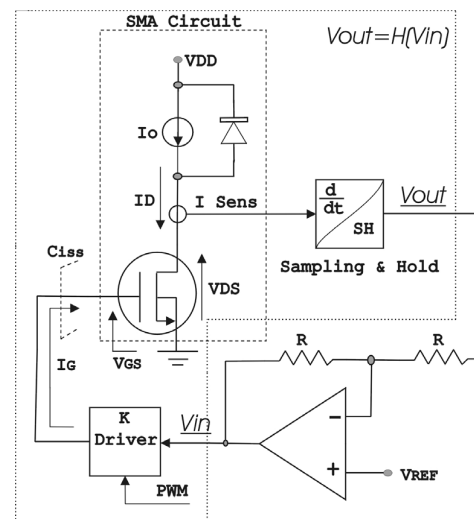


Fig. 2. Proposed Technique

Once established, the closed loop will keep the transitions intervals adjusted independently of the load changes and operating conditions, achieving a controlled EMI feature.

The circuit is based on the PWM classic control plus a second control loop for the I_D slew-rate controlling. The PWM switching frequency is several times greater than the maximum frequency involved in the feedback loop, allowing the use of continuous mode approach.

A current sensor enables the time derivative evaluation of the scaled-drain current. The resulting signal is amplified and fed to a sample-and-hold (S/H) circuit that keeps track of the actual operating drain current slew-rate. The S/H output V_{OUT} is compared with the reference voltage and the controlling signal V_{IN} is fed to the current driver that in turns drives the main power transistor, thus closing the control loop. Thus, the PWM-controlled current driver output signal I_G supplies a controlled V_{GS} voltage that in turns handles the extent of the V_{DS} and I_D commutation intervals, based on the reference signal V_{REF} .

The closed-loop transfer characteristic for the proposed circuit is given in (1). The relationship between V_{IN} and V_{OUT} is given by transfer function H , which can be non-linear and will depend on the circuit parameters. The H function can be estimated based on simulation results for improved accuracy.

$$V_{IN} + H(V_{IN}) = 2V_{REF} \quad V_{OUT} = H(V_{IN}) \quad (1)$$

Solving (1) for V_{IN} and V_{OUT} as function of V_{REF} and substituting in (2), the final I_D current slew-rate can be calculated allowing the assessment of harmonic content and EMI generation. The remaining parameters are the power MOS transistor average forward transconductance g_m during turn-on and input capacitance C_{ISS} . The driver transfer characteristic ($K=I_G/V_{IN}$) is assumed constant.

$$SR(V_{REF}) = \frac{K \cdot g_m \cdot V_{IN}}{C_{ISS}} \quad (2)$$

It should be noted that (1) and (2) are based on static operation regime only. As long as the more appropriate slew-rate is chosen, the controlling loop will keep the current value. For this reason, the proposed circuit is said to implement a slew-rate static control.

Fig. 3 shows the basic waveforms of the proposed circuit taking into account some non-idealities like the diode reverse current and stray inductances. The SMA circuit is PWM-controlled whose switching frequency is f_s . During start-up, this PWM pulse signal sets up a default gate-current I_G that is used to charge and discharge the input capacitance C_{ISS} , bringing about V_{GS} , V_{DS} and I_D signals. After that, the differentiation operator is enabled and yields the absolute value of I_D derivative which is hold by the SH circuit. As long as the slew-rate control loop is supposed to respond to long-term variations in circuit's

conditions, e.g., thermal drift, load changes and so on, the time constant of the controlling loop can be set of order of milliseconds, several orders greater than PWM signal's. Therefore, the slew-rate controlling signal V_{IN} can be thought as a DC signal which is updated and hold at all times there are enough changes in circuit's operation to allow that. Once updated, the controlling loop will adjust the driver current I_G to restore the aimed drain current slew-rate value in terms of the chosen V_{REF} to fulfill the electromagnetic emissions goal.

The typical EMI offending parameters in SMA circuits which cause EMI compliance to failure are the clamping diode reverse current during power MOS turn-on and ringing voltage due the blocking action through turning-off. In the proposed EMI controlling approach, these parameters are greatly affected by the proper choice of the controlling reference voltage V_{REF} , once both are dependent of V_{GS} and I_D derivatives [3].

As in the proposed technique the MOS transistor is driven in current-mode there is no occurrence of fast pulses in gate current to realize the charge and discharge of capacitance C_{ISS} as usual in voltage-mode counterparts, thus diminishing emissions. The gate driver supplies a constant current whilst the V_{GS} value is not enough to saturate the driver output, as indicated in Fig.3. Likewise, the current mode avoids the use of gate resistors as well.

The most appropriate choice of V_{REF} should take into account the dissipated power due to the commutation process and the generated EMI levels.

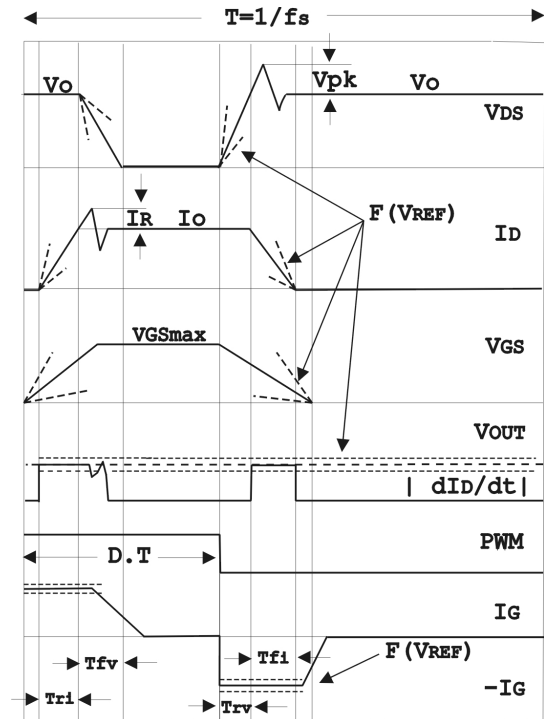


Fig. 3. Theoretical SMA waveforms

**EVALUATION OF THE TECHNIQUE:
INTEGRATED BOOST CONVERTER APPLICATION**

In order to illustrate the proposed driving technique an integrated PWM switched-mode boost circuit operating in continuous conduction mode is presented. The circuit implemented in 0.6 μ m process CMOS technology was designed to operate at 100KHz-500KHz switching frequency, 300mA full load current, 12V output voltage and 5V input voltage. The slew-rate controlling driver was also integrated along with the PWM circuit generator and auxiliary circuits. The integrated power transistor is known as LDD (Lightly Doped Drain) high voltage transistor whose parameters input capacitance $C_{ISS}=45\text{pF}$ and average forward transconductance $g_m=40\text{mS}$ are evaluated based on employed technology parameters.

Following the approach stated by (1) and (2) the slew-rate control characteristic of the implemented converter as function of V_{REF} is shown in Fig. 4. The H function was obtained by means of simulation in design step and checked experimentally. The designed driver constant K is 3mA/V. Based on these values, the practical operation range can be established: $0,2\text{V} < V_{REF} < 3,0\text{V}$ which correspond to $0,6 \text{ A}/\mu\text{sec} < \text{SR} < 20 \text{ A}/\mu\text{sec}$ which is suitable for most applications in SMA circuits EMI-bounded.

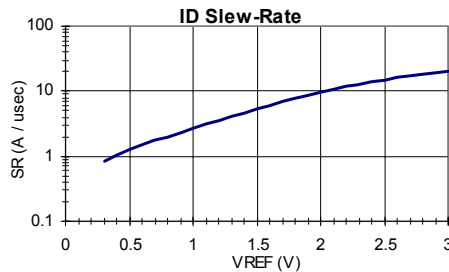


Fig. 4. I_D Slew-Rate of the Boost Converter

Fig. 5 shows the power MOS actual waveforms (V_{GS} , V_{DS} and I_D) for $V_{REF}=2,5\text{V}$ and $V_{REF}=0,75\text{V}$, respectively. The ringing and overshoot reduction and I_D slower transitions will have important impact over the radiated emissions, thus contributing to lessen EMI.

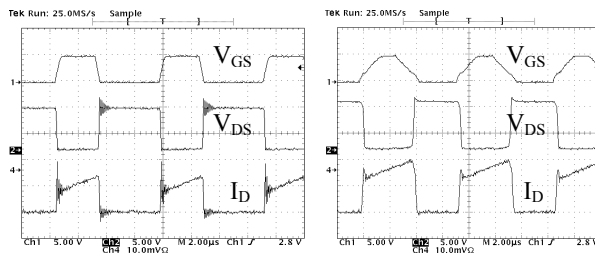


Fig. 5. Actual waveforms
(a) $V_{REF}=2,5\text{V}$ (b) $V_{REF}=0,75\text{V}$

The commutation losses can be estimated based on (3). The commutation intervals depend on the adopted slew-rate and will have important impact over the SMA efficiency. The SMA switching losses are computed on a switching frequency f_s basis and are plotted in Fig. 6.

$$P_{LOSS} = \frac{V_0 \cdot I_0}{2} \cdot (t_{RI} + t_{RV} + t_{FI} + t_{FV}) \cdot f_s \quad (3)$$

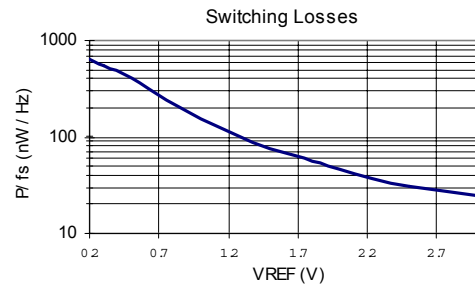


Fig. 6. Commutation losses as function of switching frequency

Fig. 7 shows the Slew-Rate Controlling Driver of the integrated SMA and microphotography respectively.

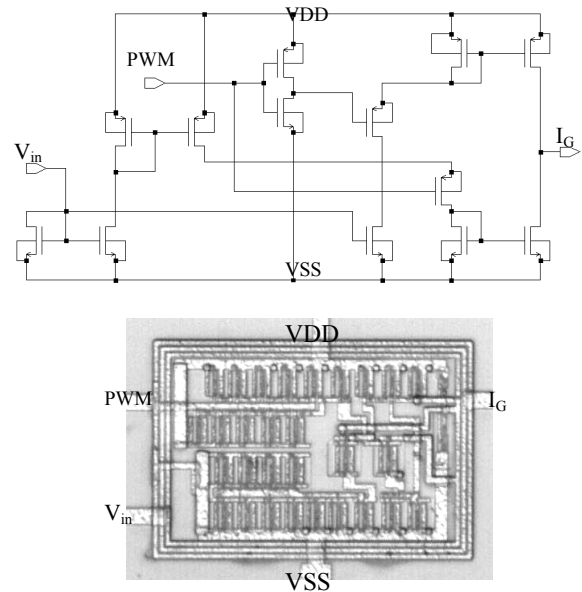


Fig. 7. (a) Driver Circuit (b) Microphotography

NEAR MAGNETIC-FIELD MEASUREMENTS

In order to evaluate the radiated electromagnetic field generated by the converter operation, either in near or far region, a basic electromagnetic model is proposed: An off-chip carrying-current loop geometry that carries the MOS transistor drain current. The loop is supposed to be a radiating source whereas the remaining circuit is placed

inside a shielding box to prevent additional noise from being radiated. Several electromagnetic modeling problems mentioned in literature deals with basic geometries in order to provide predictable results [4]. Fig. 8 shows the basic near-field electromagnetic model and measurement setup.

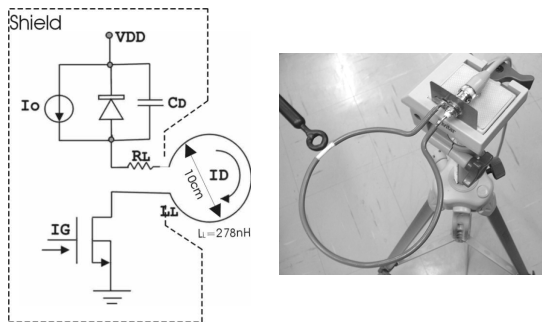


Fig. 8. (a) Electromagnetic Model (b) Implementation

To compute the electromagnetic emission, the harmonic profile of current flowing in the loop should be calculated. Regarding the PWM current signal driving an inductive load and featuring both rising and falling controlled edges, the SMA current harmonic content and radiated electromagnetic field can be calculated following the approach in [5]. Such a calculation can estimate whether the SMA converter can be operated with EMI compliance.

The near magnetic field reveals information about the drain current harmonic content flowing in the radiating loop. These harmonic currents being radiated can provoke EMC failure in the electric far-field measurement. Predicting whether a specific harmonic will fail is not straightforward, due to the lack of accuracy of the employed model [6]. However, the near-field measurement will predict which harmonics can be radiated.

As long as the proposed technique is supposed to either eliminate or attenuate higher order harmonics, its effectiveness can be tested. In the controlled experience proposed, the power MOS drain current spectral content is monitored for two values of slew-rate controlling reference voltage, e.g., $V_{REF}=2,5V$ and $V_{REF}=0,75V$. The spectrum measurement procedure uses a near magnetic field probe and a spectrum analyzer [7]. Fig. 9 shows the spectra measured by the magnetic field probe for both situations. Note that there is almost a reduction of -20dB in frequencies above 30 MHz on near radiated magnetic field, when the power transistor is driven by the slower slew-rate ($V_{REF}=0,75V$). The effect of resonance caused by the diode reverse current [5] is practically eliminated when using slower transitions. In near magnetic field measurement there is a good agreement with theoretical values.

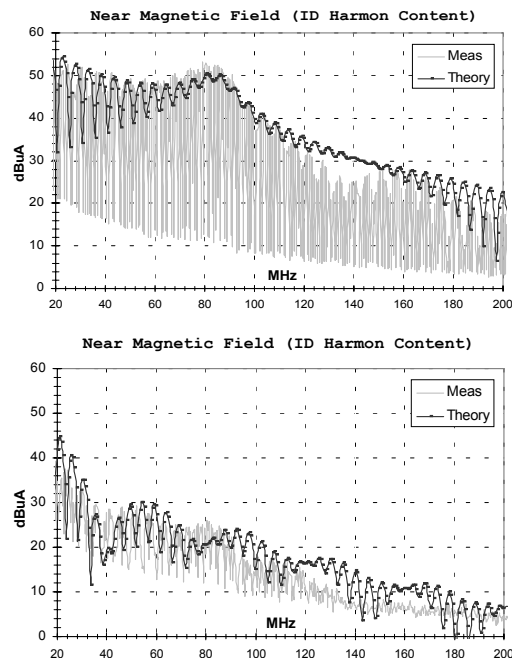


Fig. 9. Near Magnetic Field Spectra
(a) $V_{REF}=2,5V$ (b) $V_{REF}=0,75V$

ESTIMATION OF THE FAR-ELECTRIC-FIELD PRE-COMPLIANCE TESTS

The measurement of far fields using a basic setup outside an anechoic chamber can be used as EMC pre-compliance testing of a prototype if we are interested in relative results before and after EMI corrective actions. This saves time and money because countermeasures can be taken in design step instead of applying remedies to final products. Therefore, a basic setup made up by a spectrum analyzer and a bi-conical calibrated antenna was used to perform the SMA converter radiated emissions measurements outside an anechoic chamber.

A basic calibration was carried out in order to determine the background noise and external emissions, which were subtracted from the actual measurements to give a relative, clean reading. Next, the circuit was placed 3m away from the antenna and reflections from walls were not taken into account. A tolerance of 6dB is usual in common pre-compliance measuring practice. Fig. 10 shows the measured electric field as a function of the slew-rate adjusting technique. The Boost converter being $V_{REF}=2,5V$ driven will not comply with EMI regulation, because the upper limit is reached. Although the procedure can be used as pre-compliance checks, there is no good agreement with predicted values. The possible causes are due to reflections off the ground and walls, non-use of ground plane and several approximations taken in order to evaluate this low-cost experiment. However, it is possible to observe the

slew-rate controlling technique effect for (a) $V_{REF}=0,5V$ and (b) $V_{REF}=1,0V$. In both cases, the Boost SMA is supposed to comply with regulation whereas being driven faster ($V_{REF} > 2,5V$) there is no compliance at all. According [3], increasing the commutation intervals both decreases the diode reverse current and attenuates the drain current harmonic profile, diminishing emissions. Furthermore, additional current loops driven by transistor blocking action are also minimized, reducing further the emissions [5]. Therefore, the effectiveness of the driver in the proposed technique for reducing the electromagnetic emission levels is accomplished.

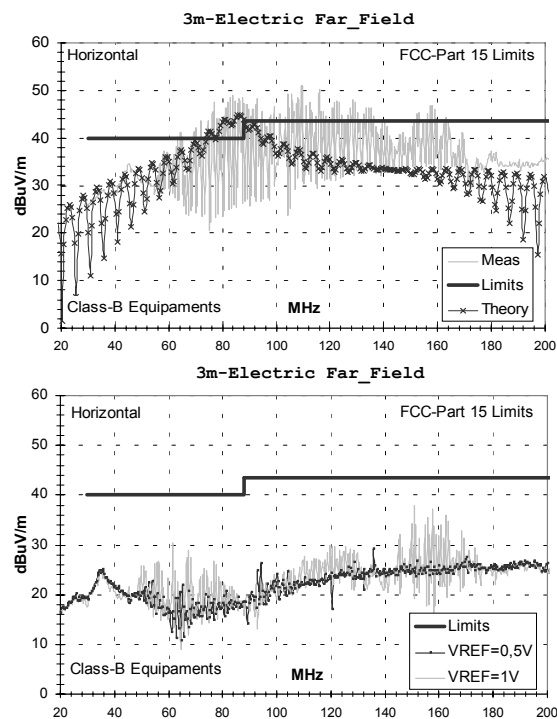


Fig. 10. 3m-Electric Far-Field Measurements

Fig. 11 shows the setup used for electric far-field measurement and technique evaluation.



Fig. 11. 3m-Far-Field Measurement Setup

CONCLUSIONS

In this paper, a MOSFET driving technique is proposed aiming the reduction of the electromagnetic emissions for EMC purposes. The fast hard-switching in SMA is known as main source of EMI, so an efficient approach to alleviate this problem is to slow down the commutation process. To do so in a controlled fashion, an integrated circuit is proposed. It features a sensing current approach that evaluates the drain current slew-rate and make the necessary adjustments in order to keep the electromagnetic emissions under a specific threshold that is chosen based on emissions tests. To evaluate the proposed technique effectiveness, two approaches are suggested: Near and Far Field measurements. While the first one gives a good idea how much harmonic current is able to radiate, the second one is a more complicated approach to be evaluated and lacks of prediction accuracy. Finally, some experimental results obtained from the implemented integrated boost converter with EMI level adjusting feature are presented. EMI/EMC pre-compliance measurements are carried out, showing the approach effectiveness. This technique is suitable for integrated switched-mode smart-power applications because no external passive devices like filters are needed, consequently low-emission optimized drivers can be easily implemented in CMOS technology.

ACKNOWLEDGMENT

FAPESP for supporting the integrated circuit fabrication.

REFERENCES

- [1] C. Paul, *Introduction to Electromagnetic Compatibility*. John Wiley and Sons: 1992. Pp. 335-400.
- [2] F.C. Castaldo and C. A. Reis, "A Proposed Commutation Technique for Switched-Mode Smart-Power Applications based on V_{GS} Slew-Rate Adjusting", *Proceedings 7th Power Electronic Brazilian Conference (2003)*. Fortaleza -CE.
- [3] R. Sachdeva and E. Nowick, "A Novel Gate Driver Circuit for Snubberless, Low-Noise Operation of High Power IGBT", in *Proceedings of the 2002 IEEE Canadian Conference on Electrical and Computer Engineering*, pp: 212–216.
- [4] M. Tanaka, M. *et al*, "Measurements of Electromagnetic Noise Radiating from a Printed Line Model Driven by a Switching Device", *IEICE Transactions on Communication*. 1997. Vol. E-80-B. Pp. 1614-1619.
- [5] S. Igarashi *et al*, "Analysis and Reduction Methods of EMI Radiational Noise from Converter Systems". *Proceedings of 1998 IEEE Power Electronics Specialists Conference PESC98*, Vol. 2. Pp. 1152-1158.
- [6] M. Torigoe, *et al*, "Prediction of Far-Field EMI Spectrum of Differential Mode Emission from a Digital PCB by Near-Field Measurements", *IEICE Transactions on Communication*, Vol. E-80-B, 1997, Pp. 1633-1638.
- [7] D.C Smith, "Signal and Noise Measurements Techniques using Magnetic Field Probes", in *Proceedings of 1999 IEEE EMC Symposium*. Pp. 559-563.

CONTROLLING EMI ON INTEGRATED SWITCHED-MODE SMART-POWER APPLICATIONS USING CURRENT SLEW-RATE ADJUSTING AS A COMMUTATION TECHNIQUE

FERNANDO C. CASTALDO¹, PABLO RODRIGUES² E CARLOS ALBERTO DOS REIS FILHO²

¹ *State University of Londrina –UEL
Electrical Engineering Departament
Rod. Celso Garcia Cid Londrina-PR*

² *State University of Campinas -UNICAMP
LPM/DSIF/FEEC/UNICAMP
Av. Albert Einstein 400 Campinas-SP*

E-mail: castaldo@lpm.fee.unicamp.br

Abstract This paper presents a controlling technique intended for CMOS integrated switched-mode applications where the electromagnetic noise generated by hard-switching process can be controlled by adjusting the power transistor current slew-rate. The approach is based on the tradeoff between EMI generation and switching losses. Aiming to validate the proposed technique an integrated boost converter is implemented featuring a variable slew-rate driver. An electromagnetic radiation model is used to estimate the emissions. Finally, pre-compliance EMI measurements are carried out. It is shown that up to –20dB reduction on near-magnetic field is achieved when the technique is applied. Similar reduction on far-electric field is attained as well. Setting sights on integrated Smart-Power Applications, driving strategies can be implemented on the low-power controlling side of the converter that will keep track of all commutation characteristics thus avoiding the use of snubbers and external auxiliary circuits for improving the EMI figure

Keywords— Smart-Power, Radiated Emissions, CMOS Drivers.

Resumo— Este trabalho apresenta uma t cnica de controle de emiss o eletromagn tica (EMI) que pode ser implementada em circuitos que operam no modo chaveado (SMA) visando a otimiza  o entre perdas por comuta  o e emiss o eletromagn tica. O controle se baseia no acionamento do transistor MOS de pot ncia a partir de uma tens o com taxa de rampa controlada. Um modelo eletromagn tico para avalia  o das emiss es   proposto e tamb m um circuito integrado do tipo elevador de tens o implementado para validar a t cnica proposta. Finalmente, medidas de campo pr ximo e distante s o realizadas. Observa-se uma redu  o de at  20dB nos campos medidos quando do emprego do controle de emiss o eletromagn tica. Esta t cnica   bastante adequada para ser implementada em acionadores integrados.

Palavras-chave— Comuta  o, Emiss o Eletromagn tica, Acionamento

1. Introduction

The conventional hard switching power MOSFET is widely employed in PWM controlled Smart-Power Applications, which allows for the implementation of Applied Specific Integrated Circuits (ASICs). (Kim, 2001). However, it is known that the hard-switching technique generates high levels of electromagnetic noise (EMI) along with commutation losses.

Soft-switching techniques which reduces both the EMI and the switching losses requires the use of discrete resonant elements for achieving either Zero-Current-Commutation (ZCS) or Zero-Voltage-Commutation (ZVS), being not appropriated for ASICs implementation (Stratakos, 1999). Other techniques are based on driver strategies that speed-up the commutation process avoiding to generate high levels of EMI. The snubber-less gate driving technique based on different current paths for both charging and discharging transistor's input capacitance aided by current/sink generators have been claimed to

be a good compromise between EMI generated and switching losses (Sachdeva, 2002). Moreover, Multi-Gate-Resistor driver can adjust the best configuration for turning on and off the main transistor aiming the reduction of commutation intervals, experiencing some EMI reduction by shaping the gate current (Sachdeva, 2000). These drivers can be digitally controlled, a suitable feature for integration. Conversely, all these approaches do not have the ability of continuously adjusting the generated EMI levels by the switching process.

2. VGS Slew-Rate Controlling Technique

It is known in literature that drain current fast transitions in power MOS transistors will cause excess electromagnetic radiation. The driving technique based on V_{GS} slew-rate controlling can reduce the EMI levels generated by the switching process, as proposed in this paper. It is presented a PWM driver for power MOS transistors that produces an output V_{GS} voltage with both controlled rising and falling

edges that in turn will shape the I_D current in same fashion. Previous reports have shown that the technique can efficiently control the generated EMI (Castaldo, 2003). However, there is some increase of switching losses due to the enlargement of the commutation intervals. Therefore, a tradeoff can be established in order to optimize the application's performance.

To illustrate the technique, Fig.1 shows a power transistor driving an inductive load along with the clamping diode for a generic SMA circuit. An adjustable-voltage reference V_{REF} is employed in a feedback loop intended to regulate the extent of drain current transitions and all other commutation characteristics. This reference should be chosen based on emission tests and commutation losses estimation as well. Once established, the closed loop will keep the transitions intervals adjusted independently of the load changes and operating conditions, achieving a controlled EMI feature.

The circuit is based on the PWM classic control plus a second control loop for the I_D slew-rate controlling. The PWM switching frequency is several times greater than the maximum frequency involved in the feedback loop, allowing the use of continuous mode approach.

A current sensor enables the time derivative evaluation of the scaled-drain current. The resulting signal is amplified and fed to a sample-and-hold (S/H) circuit that keeps track of the actual operating drain current slew-rate. The S/H output V_{OUT} is compared with the reference voltage and the controlling signal V_{IN} is fed to the current driver that in turns drives the main power transistor, thus closing the control loop. Thus, the PWM-controlled current driver output signal I_G causes a controlled V_{GS} voltage that in turns handles the extent of the V_{DS} and I_D commutation intervals, based on the reference signal V_{REF} .

The closed-loop transfer characteristic for the proposed circuit is given in (1). The relationship between V_{IN} and V_{OUT} is given by transfer function H , which can be non-linear and will depend on the circuit parameters. The H function can be estimated based on simulation results for improved accuracy. Alternatively, the H function can be extracted from parameters linearization scheme during transition intervals.

$$V_{IN} + H(V_{IN}) = 2V_{REF} \quad V_{OUT} = H(V_{IN}) \quad (1)$$

Solving the set of (1) for V_{IN} and V_{OUT} as function of V_{REF} and substituting in (2), the final I_D current slew-rate ($SR = I_D/t_{r,f}$) can be calculated allowing the assessment of harmonic content and EMI generation. The remaining parameters are the power MOS transistor average forward transconductance g_m during turn-on and input capacitance C_{ISS} . The driver transfer characteristic ($K = I_G/V_{IN}$) is assumed constant.

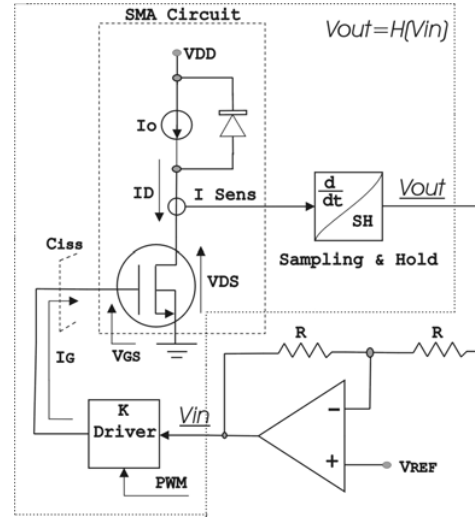


Fig. 1. Proposed technique

It should be noted that (1) and (2) are based on static operation regime only, i.e., as long as the more appropriate slew-rate is chosen based on reference voltage, the controlling loop just will keep the current value. For this reason, the proposed circuit is said to implement a slew-rate static control.

$$SR(V_{REF}) = \frac{K \cdot g_m}{C_{ISS}} V_{IN} \quad (2)$$

Fig. 2 shows the basic waveforms of the proposed circuit taking into account some non-idealities like the diode reverse current and stray inductances. The SMA circuit is PWM-controlled whose switching frequency is f_s . During start-up, this PWM pulse signal sets up a default gate-current I_G that is used to charge and discharge the input capacitance C_{ISS} , bringing about V_{GS} , V_{DS} and I_D signals. After that, the differentiation operator is enabled and yields the absolute value of I_D derivative which is hold by the SH circuit. As long as the slew-rate control loop is supposed to respond to long-term variations in circuit's conditions, e.g., thermal drift, load changes and so on, the time constant of the controlling loop can be set of order of milliseconds, several orders greater than PWM signal's. Therefore, the slew-rate controlling signal V_{IN} can be thought as a DC signal which is updated and hold at all times there are enough changes in circuit's operation to allow that. Once updated, the controlling loop will adjust the driver current I_G to restore the aimed drain current slew-rate value in terms of the chosen V_{REF} to fulfill the electromagnetic emissions goal.

The typical EMI offending parameters in SMA circuits which cause EMI compliance to failure are the clamping diode reverse current during power MOS turn-on and ringing voltage due the blocking action through turning-off. In the proposed EMI controlling approach, these parameters are greatly affected by the proper choice of the controlling refer-

ence voltage V_{REF} , once both are dependent of V_{GS} and I_D derivatives (Sachdeva, 2002).

As in the proposed technique the power MOS transistor is driven in current-mode there is no occurrence of fast pulses in gate current to realize the charge and discharge of capacitance C_{ISS} as usual in voltage-mode counterparts, thus diminishing emissions. The gate driver supplies a constant current whilst the V_{GS} value is not enough to saturate the driver output, as indicated in Fig.2. Likewise, the current mode avoids the use of gate resistors as well.

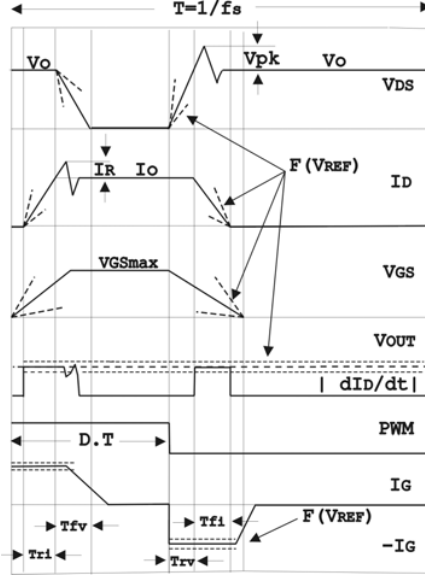


Fig. 2. Main SMA Waveforms

3. EMI Considerations

The main purpose by which controlled slew-rate driving applies is to keep the EMI levels under desirable values, according the EMI/EMC standards. In switched mode applications (SMA), both the reverse current of passive commutation diodes and the presence of stray inductances will produce ringing and over-voltages that cause high frequency noise, accounting for the total generated EMI levels. The diode reverse current is a fast transient that generates high frequency magnetic fields that can propagate in differential mode. The blocking action of the power transistor generates fast voltage transitions due to the magnetic energy built up in stray inductance. This in turn induces common mode voltages that can propagate through the circuit. Moreover, this stored energy may cause over-voltages if not suitable clamped. These mechanisms account for the generated EMI in SMA applications (Sachdeva, 2000).

In order to evaluate the emissions of such a circuit and verify the technique effectiveness, a basic electromagnetic model is proposed. In this approach, a carrying-current loop that confines the drain current performs a radiating electromagnetic source whose fields are to be predicted. Moreover, only differential mode currents are considered to generate electric far

field. (Torigoe, 1997). Fig. 3 shows the resultant free-space radiation pattern for this geometry (Ott, 1988).

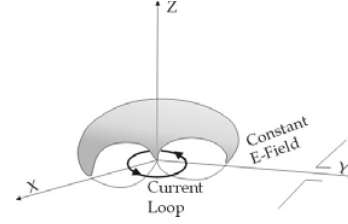


Fig. 3. Free-Space Radiation Pattern for a small current loop

Following our attempt in calculating electromagnetic fields, the drain current spectral content that flows in the loop will set up the harmonics that can radiate. Therefore, for this basic geometry, the electric far field can be calculated using Eq. 3. E_n is the electric field given in [V/m] at a measuring distance r in [m], A is the current loop area in [m²], I_n is the corresponding harmonic drain current given in [A], f_s is the converter switching frequency in [Hz] and n is the n_{th} harmonic order. This expression is maximized to output maximum level of emission, taking into account ground reflection and assuming antenna orientation that senses maximum electromagnetic emission in the plane of the loop. (Ott, 1988; Igarashi, 1998).

$$E_n = 263 \cdot 10^{-16} \cdot (n \cdot f_s)^2 \cdot A \cdot I_n \cdot \frac{1}{r} \quad (3)$$

To compute the electric far-field emission, the harmonic profile of loop-current should be calculated. Regarding a PWM current signal driving an inductive load and featuring rise and fall controlled edges, the harmonic content can be calculated using Eq. 4. I_o is the full load current, D is the duty cycle of the converter, $t_r = t_{fi} = t_{fv}$ is the rising drain current interval assumed equal the falling one.

$$I_n = 2 \cdot I_o \cdot D \cdot \left| \frac{\sin(n\pi D)}{n\pi D} \right| \cdot \left| \frac{\sin(n\pi t_r f_s)}{n\pi t_r f_s} \right| \quad (4)$$

Using Eqs. 3 and 4 one can estimate on a theoretical basis the radiated electromagnetic field produced by the drain current flowing through the loop and generating an electric field at a given distance. The amplitude of each harmonic should comply with maximum level allowed by EMI regulation.

4. Evaluation of the Technique: Integrated Boost Converter Application

In order to illustrate the proposed driving technique an integrated PWM switched-mode boost circuit operating in continuous conduction mode is presented. The circuit implemented in 0.6μ process CMOS technology was designed to operate at 100KHz-

500KHz switching frequency, 300mA full load current, 12V output voltage and 5V input voltage. The slew-rate controlling driver was also integrated along with the PWM circuit generator and auxiliary circuits. The integrated power transistor is known as LDD (Lightly Doped Drain) high voltage transistor whose parameters input capacitance $C_{ISS}=45\text{pF}$ and average forward transconductance $g_m=40\text{mS}$ are evaluated based on employed technology parameters.

Following the approach stated by (1) and (2) the slew-rate static control characteristic of the implemented converter as function of V_{REF} is shown in Fig. 4. The H function was obtained by means of simulation in design step and checked experimentally. The designed driver constant K is 3mA/V . Based on these values, the practical operation range can be established: $0,2\text{V} < V_{REF} < 3,0\text{V}$ which correspond to $0,6\text{ A}/\mu\text{sec} < \text{SR} < 20\text{ A}/\mu\text{sec}$ which is suitable for most applications in SMA circuits EMI-bounded.

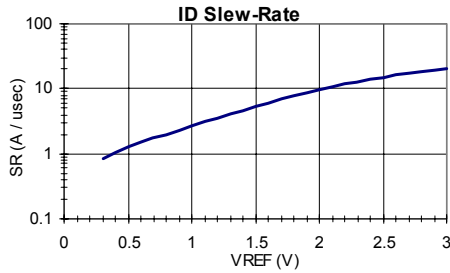


Fig. 4. I_D Slew-Rate of the Boost Converter

Fig. 5 shows the power MOS actual waveforms (V_{GS} , V_{DS} and I_D) for $V_{REF}=2,5\text{V}$ and $V_{REF}=0,75\text{V}$, respectively. The ringing and overshoot reduction and I_D slower transitions will have important impact over the radiated emissions, thus contributing to lessen EMI.

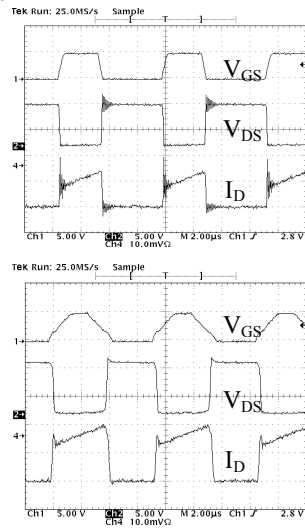


Fig. 5. Actual waveforms: (a) $V_{REF}=2,5\text{V}$ (b) $V_{REF}=0,75\text{V}$

Fig. 6 shows the Slew-Rate Controlling Driver microphotography of the integrated circuit.

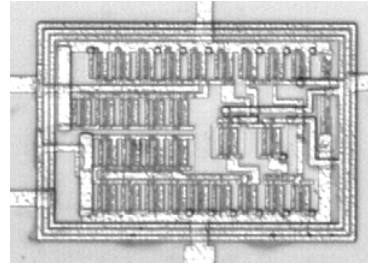


Fig. 6. Driver Photomicrography

The current sensing for drain current derivative evaluation can be implemented using an integrated magnetic sensor, thus avoiding the use of a shunt resistor. The magnetic sensor is based on Split-Drain MOS transistors (Jimenez, 1999). The implemented circuit can detect current as low as 1mA .

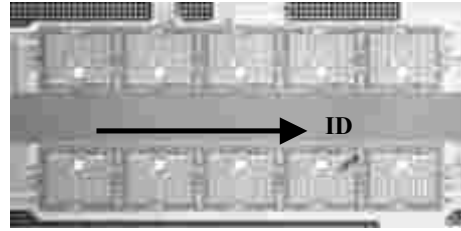


Fig. 7. Current Sensor Photomicrography

The commutation losses can be estimated based on Eq.5. The commutation intervals depend on the adopted slew-rate and will have important impact over the SMA efficiency. The SMA switching losses are computed on a switching frequency basis and are plotted in Fig. 8.

$$P_{LOSS} = \frac{V_0 \cdot I_0}{2} \cdot (t_{RI} + t_{RV} + t_{FI} + t_{FV}) \cdot f_s \quad (5)$$

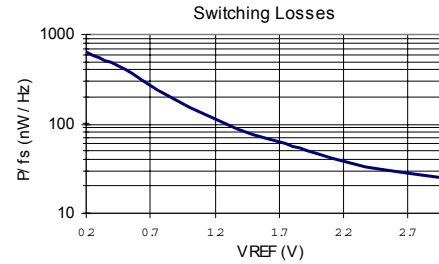


Fig. 8. Commutation Losses

5. Near Magnetic-Field Measurements

In order to evaluate the radiated electromagnetic field generated by the converter operation, either in near or far region, a basic electromagnetic model is proposed: An off-chip carrying-current loop geometry that carries the MOS transistor drain current. The loop is supposed to be a radiating source whereas the remaining circuit is placed inside a shielding box to prevent additional noise from being radiated. Several electromagnetic modeling problems mentioned in literature deals with basic geometries in order to pro-

vide predictable results (Tanaka, 1997). Fig. 9 shows the basic and measurement setup.

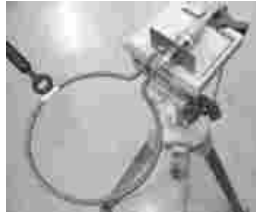


Fig. 9 Near Field Measurement Setup

To compute the electromagnetic emission, the harmonic profile of current flowing in the loop should be calculated. Regarding the PWM current signal driving an inductive load and featuring both rising and falling controlled edges, the SMA current harmonic content and radiated electromagnetic field can be calculated following the approach in (Igarashi, 1998). Such a calculation can estimate whether the SMA converter can be operated with EMI compliance.

The near magnetic field reveals information about the drain current harmonic content flowing in the radiating loop. These harmonic currents being radiated can provoke EMC failure in the electric far-field measurement. Predicting whether a specific harmonic will fail is not straightforward, due to the lack of accuracy of the employed model (Igarashi, 1998). However, the near-field measurement will predict which harmonics can be radiated.

As long as the proposed technique is supposed to either eliminate or attenuate higher order harmonics, its effectiveness can be tested. In the controlled experience proposed, the power MOS drain current spectral content is monitored for two values of slew-rate controlling reference voltage, e.g., $V_{REF}=2,5V$ and $V_{REF}=0,75V$. The spectrum measurement procedure uses a near magnetic field probe and a spectrum analyzer (Smith, 1999). Fig. 10 shows the spectra measured by the magnetic field probe for both situations. Note that there is almost a reduction of -20dB in frequencies above 30 MHz on near radiated magnetic field, when the power transistor is driven by the slower slew-rate ($V_{REF}=0,75V$). The effect of resonance caused by the diode reverse current (Igarashi, 1998) is practically eliminated when using slower transitions. In near magnetic field measurement there is a good agreement with theoretical values.

6. Estimation of the Far-Electric-Field Pre-Compliance Tests

The measurement of far fields using a basic setup outside an anechoic can be used as EMC pre-compliance testing of a prototype if we are interested in relative results before and after EMI corrective actions. This saves time and money because countermeasures can be taken in design step

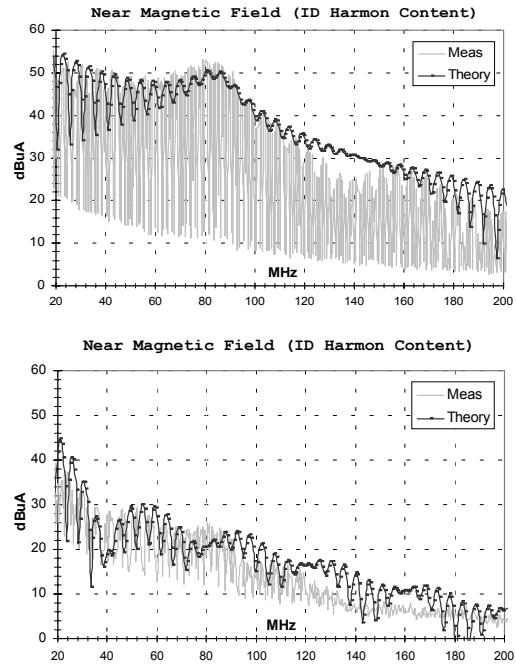


Fig. 10. Near Magnetic Field Spectra
(a) $V_{REF}=2,5V$ (b) $V_{REF}=0,75V$

instead of applying remedies to final products. Therefore, a basic setup made up by a spectrum analyzer and a bi-conical calibrated antenna was used to perform the SMA converter radiated emissions measurements outside an anechoic chamber.

A basic calibration was carried out in order to determine the background noise and external emissions, which were subtracted from the actual measurements to give a relative, clean reading. Next, the circuit was placed 3m away from the antenna and reflections from walls were not taken into account. A tolerance of 6dB is usual in common pre-compliance measuring practice. Fig. 11 shows the measured electric field as a function of the slew-rate adjusting technique. The Boost converter being $V_{REF}=2,5V$ driven will not comply with EMI regulation, because the upper limit is reached. Although the procedure can be used as pre-compliance checks, there is no good agreement with predicted values. The possible causes are due to reflections off the ground and walls, non-use of ground plane and several approximations taken in order to evaluate this low-cost experiment. However, it is possible to observe the slew-rate controlling technique effect for (a) $V_{REF}=0,5V$ and (b) $V_{REF}=1,0V$. In both cases, the Boost SMA is supposed to comply with regulation whereas being driven faster ($V_{REF} > 2,5V$) there is no compliance at all. According (Sachdeva, 2002) increasing the commutation intervals both decreases the diode reverse current and attenuates the drain current harmonic profile, diminishing emissions. Furthermore, additional current loops driven by transistor blocking action are also minimized, reducing further the emissions (Igarashi, 1998). Therefore, the effectiveness of

the driver in the proposed technique for reducing the electromagnetic emission levels is accomplished.

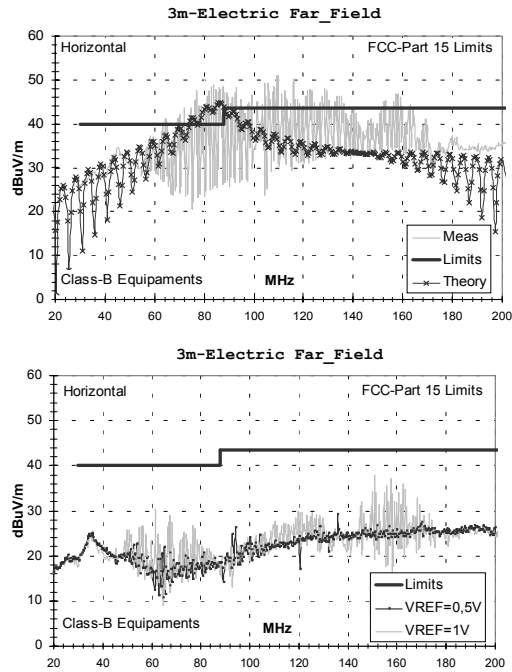


Fig. 11. 3m-Electric Far-Field Measurements

Fig. 12 shows the setup used for electric far-field measurement and technique evaluation.



Fig. 12. 3m-Far-Field Measurement Setup

7. Conclusions

In this paper, a MOSFET driving technique is proposed aiming the reduction of the electromagnetic emissions for EMC purposes. The fast hard-switching in SMA is known as main source of EMI, so an efficient approach to alleviate this problem is to slow down the commutation process. To do so in a controlled fashion, an integrated circuit is proposed. It features a sensing current approach that evaluates the drain current slew-rate and make the necessary adjustments in order to keep the electromagnetic emissions under a specific threshold based on emissions tests. To accomplish such measurements, two approaches are suggested: Near and Far Field measurements. While the first one gives a good idea how much harmonic current is able to radiate, the second one is a more complicated approach to be evaluated

and lacks of prediction accuracy. Finally, some experimental results from an implemented integrated boost converter with EMI level adjusting feature are presented. EMC pre-compliance measurements are carried out, showing the approach effectiveness. This technique is suitable for integrated switched-mode smart-power applications because no external passive devices like filters are needed, consequently low-emission optimized drivers can be easily implemented in CMOS technology.

Acknowledgments

PMU-FAPESP for supporting CI manufacturing.

References

- Stratakos, A. *et al.* (1999). High efficiency Low-Voltage DC-DC Conversion for Portable Applications. *Low Voltage/Low-Power Integrated Circuits and Systems*. Edited by Sinencio, E.S., and Andreou, A.G. IEEE Press. pp. 361-395.
- Kim, E. *et al.* (2001). An intelligent power module for IGBT gate driver implemented in 0.8μm high voltage CMOS process. *IEEE International Symposium on Industrial Electronics*. Vol. I. Pp. 661-665.
- Sachdeva, R., Nowick, E. (2002). A Novel Gate Driver Circuit for Snubberless, Low-Noise Operation of High Power IGBT). *IEEE Canadian Conference on Electrical and Computer Engineering*. Pp: 212–216.
- Sachdeva, R., Nowick, E. (2000). Characterization of a gate drive technique for snubberless operation of gate controlled devices. *IEEE Canadian Conference on Electrical and Computer Engineering*. Pp: 1085 – 1089.
- Castaldo, F.C., Reis, C.A. (2003). A Proposed Commutation Technique for Switched-Mode Smart-Power Applications based on V_{GS} Slew-Rate Adjusting. *Proceedings 7º Congresso Brasileiro de Eletrônica de Potência*. Fortaleza - Ceará – Brasil
- Torigoe, M. *et al.* (1997). Prediction of Far-Field EMI Spectrum of Differential Mode Emission from a Digital PCB by Near-Field Measurements. *IEICE Transactions on Communication*, Vol. E-80-B. Pp. 1633-1638.
- Ott, H.W. (1988). Noise Reduction Techniques in Electronic Systems. John Wiley and Sons. ISBN 0-471-85068-3. Pp.299-321.
- Igarashi, S. *et al.* (1998). Analysis and Reduction Methods of EMI Radiational Noise from Converter Systems. *IEEE Proceeding* Pp. 1152-1158.
- Jimenez, H.R. (1999). Contribuição no estudo do Transistor MOS Split-Drain como Sensor de Campo Magnético. Tese de Mestrado. UNICAMP.
- Paul, C. (1992). Introduction to Electromagnetic Compatibility. John Wiley and Sons, INC. ISBN 0-471-54927-4. Pp. 335-400.
- Tanaka, M. *et al.* (1997). Measurements of Electromagnetic Noise Radiating from a Printed Line Model Driven by a Switching Device. *IEICE Transactions on Communication*. Vol. E-80-B. Pp. 1614-1619.
- Smith, D.C. (1999). Signal and Noise Measurements Techniques using Magnetic Field Probes". *Proceedings IEEE EMC Symposium*. Pp. 559-563.

A PROPOSED COMMUTATION TECHNIQUE FOR SWITCHED-MODE SMART-POWER APPLICATIONS BASED ON V_{GS} SLEW-RATE ADJUSTING

Fernando C. Castaldo and Carlos Alberto dos Reis Filho
State University of Londrina-UEL and State University of Campinas-UNICAMP
castaldo@LPM.fee.unicamp.br and carlos_reis@LPM.fee.unicamp.br

Abstract - This paper introduces a controlling technique intended for Smart-Power applications where the EMI generated may be adjusted. The tradeoff between the EMI generation and switching losses are pinpointed and some considerations about radiated emissions are discussed. Finally, an integrated boost converter is shown to validate the previous analysis and some pre-compliance EMI measurements are carried out.

KEYWORDS

Driving Techniques, Smart-Power, Switched Mode Applications.

INTRODUCTION

The conventional hard switching power MOSFET is widely employed in PWM controlled Smart-Power Applications considering its compatibility with CMOS process, which allows for the implementation of Applied Specific Integrated Circuits (ASICs) [1]. However, it is known that the hard switching generates high levels of electromagnetic noise (EMI) along with commutation losses. Soft-switching techniques which reduces both the EMI and the switching losses requires the use of discrete resonant elements for achieving either the Zero-Current-Commutation (ZCS) or the Zero-Voltage-Commutation (ZVS), being not suitable for ASICs implementation [2]. Other techniques are based on driver strategies that speed-up the commutation process without generating high levels of EMI. The snubberless gate driving technique based on different current paths for both charging and discharging the transistor's input capacitance aided by current/sink generators have been claimed to be a good compromise between EMI generated and switching losses [3], [4]. Moreover, Multi-Gate-Resistor driver can optimize the more appropriate configuration for turning on and off the main transistor aiming the reduction of commutation intervals, experiencing some EMI reduction by shaping the gate current [5]. These drivers can be digitally controlled, a feature suitable for integration [6], [7]. Nevertheless, all these approaches do not have the ability of continuously adjusting the EMI level generated by the switching process.

V_{GS} SLEW-RATE ADJUSTING TECHNIQUE

The power MOSFET driving technique based upon the V_{GS} slew-rate adjusting can reduce the EMI levels generated by the switching operation, as proposed in this paper. Thus, it is presented a PWM driver that generates an output voltage

with both the rising and falling edge control feature. Experimental results have shown that the technique can control efficiently the EMI generated. However, there is some increase of the switching losses due to the increase of the commutation intervals [8]. Therefore, the higher the switching losses, the lower the EMI generated and vice-versa, so a tradeoff between switching losses and generated EMI can be established in order to optimize the application's performance.

To illustrate the technique, the circuit in Fig.1(a) is used to model the transistor driving a classical inductive load along with the clamping diode. The driver that controls the power transistor has an output impedance represented by R_G . Fig. 1(b) shows the linear transistor model that the commutation analysis is deduced from [9].

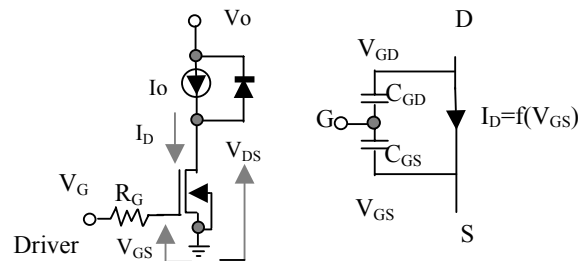


Fig. 1 (a) Basic Circuit (b) Transistor Model

Fig. 2 shows the basic waveforms for the circuit of Fig. 1(a) [10]. A V_G output driver PWM signal with duty cycle D , period T and variable slew-rate is close to the voltage V_{GS} if the driver output impedance R_G is supposed to be low enough. As indicated, the variable slew-rate V_{GS} can control the voltage V_{DS} and current I_D commutation intervals by speeding them up or down. Doing so, the dissipated power due to the switching process can be adjusted and so can the EMI levels generated.

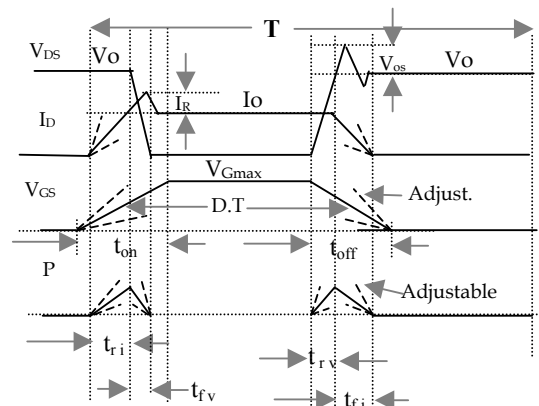


Fig. 2 Transistor waveforms for an inductive load and variable slew-rate

An important characteristic should be considered here: As Smart-Power Applications are supposed to be integrated, a driving strategy can be developed and easily implemented on the low-power controlling side. All the switching characteristics will be controlled by V_{GS} applied voltage. Thus, specific ASICs can be developed aiming the real time optimization of the tradeoff between EMI and switching losses based on both V_{GS} slew-rate control and electromagnetic emissions sensing circuits. Therefore, neither auxiliary circuits nor snubbers will be used in this approach in order to feature the commutation technique.

EMI CONSIDERATIONS

The main purpose by which adjusted slew-rate gate driving applies is to keep the EMI levels under desirable values, according the EMI/EMC standards. When dealing with switched mode applications (SMA) in EMI realm, either low or high power, the same issues apply, e.g. reverse current of switching diodes that will generate high frequency noise or the presence of stray inductances that will produce ringing and over-voltages, also accounting for the levels of total generated EMI. The diode reverse current is a fast transient that generates high frequency magnetic fields. These in turn couple another parts of the circuit and induce common mode voltages that can propagate through the circuit [11]. The other hand, the ringing associated with the blocking action of the transistor is due to the energy stored in stray inductance that may cause over-voltages if not suitable clamped. The electric field associated can also propagate as well [12]. The main level of EMI generated in a SMA is due these primary mechanisms. The higher the amplitude of switched current and voltage (and their time derivatives), the more the EMI generated levels. According [5], Eq. 1 calculates the diode reverse current and the drain-to-source over-voltage. See Fig. 2.

$$I_R = \sqrt{2 \cdot \tau \cdot I_o \cdot \frac{d}{dt} I_{Don}} \quad V_{os} = L_S \cdot \frac{d}{dt} I_{Doff} \quad (1)$$

The new parameters are the stray inductance L_S placed along the DC supply and the power transistor, the mean lifetime carrier of the diode τ , the transistor turn-on drain current I_{Don} and the transistor turn-off current I_{Doff} . Both derivatives are V_{GS} controlled. From Eq. 1 is clear that these undesirable effects can be attenuated however not completely eliminated. It is implied that the V_{GS} slew-rate adjusting can reduce these derivatives and therefore the EMI levels. In the proposed technique the more appropriate slew-rate to be applied is chosen based on emissions tests aiming the application circuit to be operated with both reduced thermal stress and electromagnetic emission.

EVALUATION OF THE TECHNIQUE IN AN INTEGRATED BOOST CONVERTER APPLICATION

In order to illustrate the proposed driving technique a PWM switched mode low power boost circuit operating in CCM-continuous conduction mode is presented [10]. A Boost converter with active elements integrated was

designed using CMOS process $0,8\mu$ technology. Only resistors and some capacitors were used externally. The slew-rate controller driver was also integrated along with the PWM circuit generator and auxiliary circuits. The switching power transistor is known as LDD (Light Doped Drain) High Voltage transistor. Other parameters of the transistor are also related: $\beta=0,46A/V^2$; $C_{GD}=47pF$; $C_{GS}=844pF$ [13]. The output driver impedance is considered $R_G=10\Omega$ obtained by means of simulations. The magnetic element is a small RF inductor of $100\mu H$ placed externally. The boost converter is designed to operate at a 600KHz, 300mA full load current, output voltage 12V, input voltage 5V. See Fig. 3.

In the proposed test, V_{DS} and I_D are monitored for some values of V_{GS} slew-rates and the spectra are measured in order to check out the EMI levels. The spectrum measurement procedure uses a near magnetic field probe and the measurements are relative to dB μ V in spite of the 50Ω spectrum analyzer impedance [18].

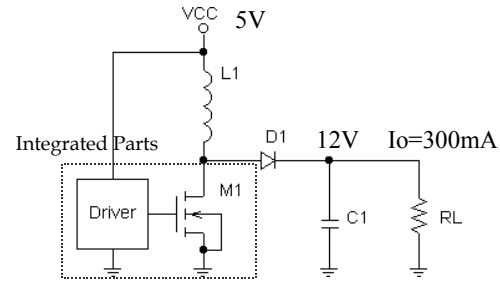


Fig. 3 Switched Mode Application: Boost Circuit

The adjustable slew-rate driver is shown in Fig. 4. It is based on the controlled charge and discharge of an integrated capacitor by means of dependent current sources.

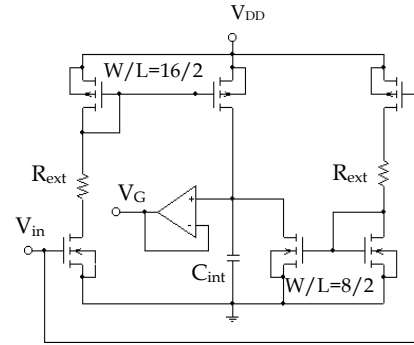


Fig. 4 Adjustable Slew-Rate Driver

External variable resistors were used for adjusting the rise and fall times. However, in a fully integrated version, these resistors can be replaced by controlled current sources, allowing some degree of automatic control.

Fig. 5 shows the main waveforms for the converter when operating under two different V_{GS} slew-rates, (a) 0,125V/ns ($t_{on}=t_{off}=40ns$, see Fig. 2) and (b) 0,011V/ns ($t_{on}=t_{off}=450ns$). The duty cycle is nearly 40% and the both rising and falling slew-rates were kept the same for simplifying reasons. A shunt resistor of 1Ω was used in order to read the drain current. Note that in case (a) the fast ringing on voltage and

current waveforms due the already cited mechanisms. Case (b) takes advantage of reduced EMI levels.

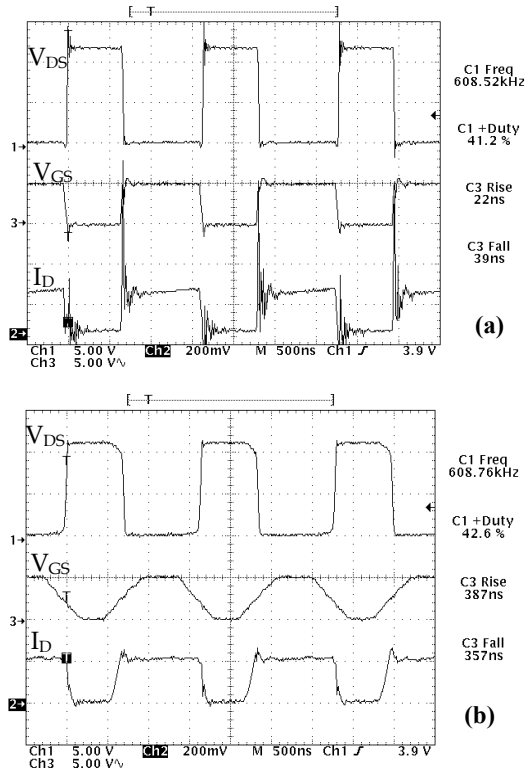


Fig. 5 Boost Converter Main Waveforms

Fig. 6 shows the spectra measured by the magnetic field probe for the cases (a) and (b) as indicated in Fig. 5. Note that there is almost a reduction of -20dB on near irradiated magnetic field, when the power transistor is driven by the slower slew-rate.

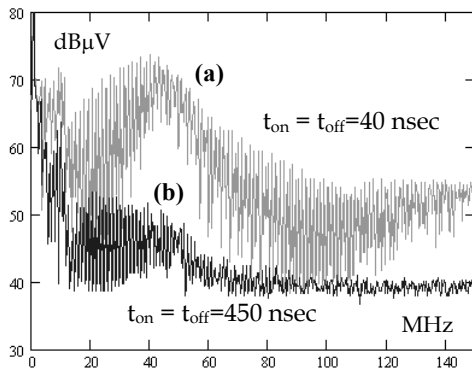


Fig. 6 Near Magnetic Field Spectrum

A simplified expression to estimate the commutation losses as a function of the applied V_{GS} slew-rate was developed based on the commutation intervals calculations [8], [9] and the MOSFET transistor operating in saturation region [14]. The result is given in Eq. 2.

$$P = \frac{1}{2} \cdot I_o \cdot V_o \cdot \left[\sqrt{2 \cdot V_o \cdot R_G \cdot C_{GD}} \cdot \left(\frac{1}{\sqrt{T_S}} + \frac{1}{\sqrt{T_F}} \right) + \sqrt{\frac{I_o}{\beta}} \cdot \left(\frac{1}{T_S} + \frac{1}{T_F} \right) \right] \cdot f_s \quad (2)$$

Referring to Fig. 2, the slew-rate parameters are the V_{GS} rising edge slew-rate ($T_S = V_{Gmax} / t_{on}$) and the falling one ($T_F = V_{Gmax} / t_{off}$). The switching frequency is the inverse of the period T ($f_s = 1/T$). The MOS transconductance parameter is given by $\beta = (K_N/2) \cdot (W/L)$ where K_N is the transconductance transistor parameter, W and L the width and length of the transistor respectively. R_G and C_{GD} were already mentioned.

The losses due to the switching process were estimated based on the transition intervals measurements from oscilloscope cursor feature and compared with the calculated values. Thus for $C_{GD} = 47pF$, $\beta = 0.46A/V^2$, $R_G = 10\Omega$, $I_o = 300mA$, $V_o = 12V$, $T_S = T_F$ and $V_{Gmax} = 5V$, Tab.1 shows the calculated and measured average power dissipation due to the commutation losses as function of the V_{GS} slew-rate T_S, T_F , given in terms of t_{on} and t_{off} .

TABLE I
Switching Losses

$t_{on}=t_{off}$ (n sec)	Measured (mW)	Calculated (mW)
100	40	38
200	86	64
300	111	87
400	142	118
500	169	143

In order to evaluate Eq. 2, a simplified transistor model was used, as indicated in Fig. 1. Referring to this model, the C_{GD} capacitance was considered constant and given by the sidewall capacitance value [14]. The *Miller effect* [3] was not taken into account.

ESTIMATION OF THE FAR-ELECTRIC-FIELD PRE-COMPLIANCE TESTS

EMI/EMC Standards are applied for any equipment be marketed in a place. These standards are regulated by governmental agencies that set the limit of electromagnetic emission allowable for electronic equipments [15]. The certification of a product should be based on tests of electromagnetic emissions using specific sites, known as anechoic chambers or even in open site, which are expensive tests and normally used for final certification of compliance. However, in a step design or prototyping, the engineer is able to check the emission level of a circuit under development. To do so, one can employ the near magnetic field measurement. This method works as detector for emissions leakage, but the relative imprecision of the relationship between near and far fields can mask some results [16]. The measurement of far fields using a basic setup outside an anechoic chamber would imply in several errors of measurements and therefore would give only a slight idea of how far the compliance to be reached is. This procedure

saves time and money because countermeasures can be taken in design step instead of applying remedies to final products [17].

In this work, a basic setup composed by a spectrum analyzer and a bi-conical calibrated antenna was used to perform the checkout of the boost converter with EMI adjust feature. First of all, a basic calibration was carried out in order to determine the environmental background noise, which was subtracted from the actual measurements to give a relative clean reading. Next, the circuit was placed 1m away from the antenna and only plane wave radiating fields were considered to propagate. It is worth to say that this procedure is to check out the slew-rate adjusting feature instead of measuring actual emissions and a tolerance of 6dB is usual in common practice. A shift rule was applied to correlate the 10m measuring distance from CISPR 22 standard and the actual 1m-distance measurement [18]. The spectrum analyzer was set in peak-detection mode with a resolution bandwidth of 120KHz. The frequency range was chosen starting from 10MHz up to 150MHz. Only horizontal polarization was considered and losses cables were not taken into account. The next graphs show the measured electric fields as function of the slew-rate adjusting for (a) 0,125V/ns ($t_{on}=t_{off}=40ns$) and (b) 0,011V/ns ($t_{on}=t_{off}=450ns$). The slower the V_{GS} transitions, the less the emissions will be.

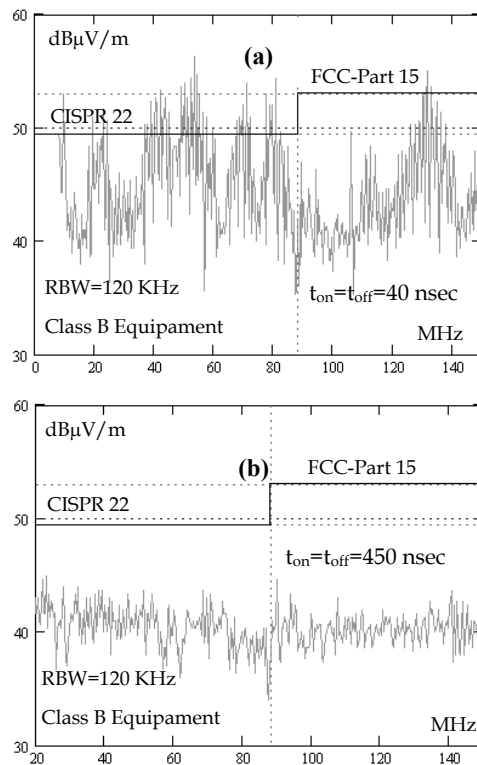


Fig. 7 1m-Electric Field Measurement

(a) $t_{on}=t_{off}=40\text{ nsec}$ (b) $t_{on}=t_{off}=450\text{ nsec}$

Fig. 7 shows that it is not necessary to choose such low slew-rates because the limit imposed by regulation is far above the actual emissions and benefits from lower switching losses can be achieved if a faster slew-rate is chosen.

However, the design engineer should take into account the tolerance to errors of such approach and work with relatively greater values if the final version of a product is to be compliant with the regulation.

IC MICROPHOTOGRAPHY AND BASIC MEASUREMENT SETUP

Fig. 8 shows the microphotography of the integrated circuit. One can note the power MOSFET transistor split in two. Other structures are also integrated as PWM generator, drivers and current sources.

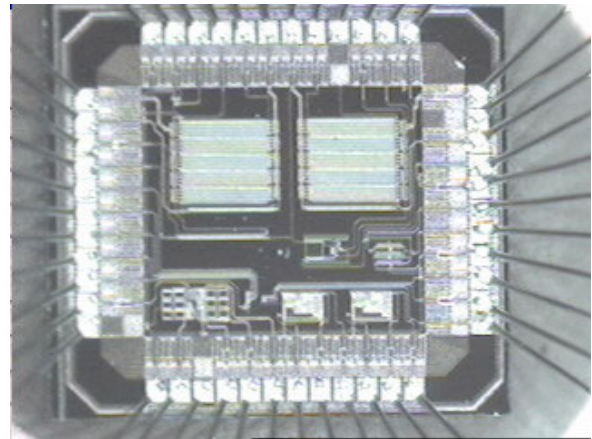


Fig. 8 IC Microphotography

Fig. 9 shows the antenna setup placed 1m away from the SMA boost converter in order to check out the EMI levels measured in terms of electric field.



Fig. 9 Basic Antenna Setup and Electric Field Measurement

Fig 10 shows the complete circuit, along with the auxiliary passive components. Also can be seen the loop probe for near magnetic field measurements.

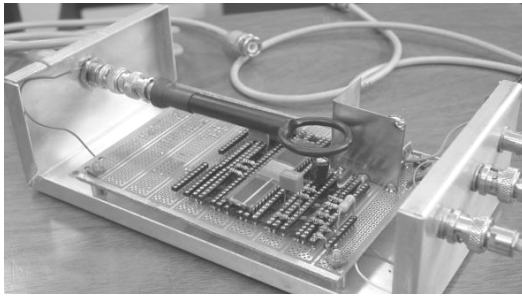


Fig. 10 Near Field Measurement and Probe Loop

CONCLUSIONS

In this paper, a MOSFET driving technique is proposed aiming the reduction of the EMI problem. This technique is suitable for Switched Mode Smart-Power applications with EMI controlling feature allowing for the implementation of both optimized drivers and low electromagnetic emissions ASICs. A simplified model for commutation losses is proposed and the tradeoff between switching losses and EMI is discussed. Finally, some experimental results from an integrated boost converter with EMI level adjusting feature is presented along with some basic emissions tests for pre-compliance estimation.

REFERENCES

- [1] Murari, B. et al. *Smart Power Ics*. Springer-Verlag. ISBN: 3-540-60332-8.
- [2] Qian J., Bruning. G. 2.65 MHz High efficiency soft-switching power amplifier system Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE , pp 370 –375 vol.1.
- [3] Galuzzo, A et al. Switching characteristics improvement of modern gate controlled devices. Power Electronics and Applications, 1993. Fifth European Conference pp: 374 -379 vol.2
- [4] Musumeci, S. et al. Switching behavior improvement of insulated gate controlled devices. Power Electronics, IEEE Transactions on, Vol Jul 1997 pp. 645 -653
- [5] Sachdeva, R. Nowick, E.P. Characterization of a gate drive technique for snubberless operation of gate controlled devices. Electrical and Computer Engineering, 2001. Canadian Conference on, 2001 pp: 1085 –1089 vol.2.
- [6] Yamada, A Matsumoto, K. A high voltage intelligent module (HVIPM) with a high performance gate driver. Power Semiconductor Devices and ICs, ISPSD 98. Proceedings of the 10th International Symposium on, 1998 pp. 289 -292.
- [7] Kim, E.D. et al. An intelligent power module for IGBT gate driver implemented in 0,8um high voltage CMOS process. Industrial Electronics, 2001. Proceedings. ISIE 2001. IEEE International Symposium on, 2001 pp. 661-665 vol.1.
- [8] Clemente, S., Pelly, R. *Understanding power mosfet switching performance*. Solid State Electronics. Vol.26, n.12. 1983.
- [9] Grant, D., Gowar, J. Power Mosfet: Theory and Applications. Wiley InterScience Publication. 1989. pp. 97-147. ISBN0-471-82867-X
- [10] Mohan, N. Undeland, T.M., Robbins, W. Power Electronics. John Wiley and Sons, Inc. 1995. pp.581-593. ISBN: 0-471-58408-8
- [11] Hertz, E.M., et al. Analysis of the tradeoffs between thermal behavior and EMI noise levels in a boost PFC circuit. Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE, Oct 2001 pp. 2460 -2465 vol.4.
- [12] Takizawa, S. et al. A new di/dt control gate drive circuit for IGBTs to reduce EMI noise and switching losses. Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE, May 1998 pp. 1443 -1449 vol.2.
- [13] Castaldo, F.C. et al. Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and employing Smart Power Principles. Proceedings COBEP 2001. Florianópolis. 2001
- [14] Allen, P., E., Geiger, R.L., Strader, N.R. Design Techniques for Analog and Digital Circuits. McGraw Hill. 1990. pp.143-167
- [15] Cisneros-22. Information Technology Equipment-Radio disturbance characteristics.-Limits and Methods of Measurements. International Electrotechnical Commission. 1997.
- [16] Tanaka, M. et al. Measurements of Electromagnetic Noise Radiating from a Printed Line Model Driven by a Switching Device. IEICE Trans. Communication, Vol. E-80-B. Nov. 1997.
- [17] Hewlett-Packard. Cookbook for EMC Pre-compliance measurements. Application Note.
- [18] Paul, C. Introduction to Electromagnetic Compatibility. John Wiley and Sons, INC. ISBN 0-471-54927-4.

Integrated 4X4 Programmable Interconnect Array with Applications in FPAA

Matthieu Thiébaud, Fernando C. Castaldo,
Carlos A. dos Reis Filho and Jorge P. Seminário

School of Electrical and Computer Engineering
State University of Campinas, UNICAMP
E-mail: {matthieu, castaldo, jam, carlos_reis}@LPM.fee.unicamp.br

Abstract

This paper describes a programmable interconnect array, integrated in $0.6\mu\text{m}/5\text{V}$ standard CMOS, to be used in low-cost field-programmable analog circuits. The developed array comprises 16 nodes composed of six single-channel switches each. The impedance between two adjacent nodes is predominantly resistive up to 3MHz, measuring circa 500Ω . Lower and upper voltage limits for signals propagating in the longest path are -2.5V and $+0.7\text{V}$, respectively. Exhaustive measurements have shown that the developed array fulfills the main requirements of the intended application.

1. Introduction

Market demands for an ever-increasing reduction of the design turn-around time of electronic systems turned Field Programmable Gate Arrays (FPGA) into indispensable tools for designers of digital systems. It is natural, therefore, to expect that field-programmable devices that incorporate configurable analog circuits, sensors and even actuators, in addition to digital blocks, will soon be available. The technical viability of implementing such devices has been confirmed with the already-proved robustness of FPGA and with the development of multiple Field Programmable Analog Arrays (FPAA) in the last decade. The first FPAA appeared in the early 1990's featuring a collection of interconnectable fixed-transfer-function analog blocks [1]. A variety of FPAAs appeared thereafter based on different architectures that used analog blocks implemented with switched capacitors [2], transconductors [3], switched current cells [4] and operational amplifiers [5]. By the very nature of these circuits, an element that plays a key role is the interconnection network. It might provide for the transit of signals, paths that do not interfere significantly in the contents of the signals. In addition, the interconnection network ought to be versatile, in order to ensure maximum connectivity of the available blocks. At last, due to possible cost constraints, the interconnection network should be implemented in standard fabrication processes. This paper addresses this particular problem, presenting an array of analog switches, which can be used to implement the interconnection network of a field-programmable device.

2. Array Architecture

The proposed interconnect array comprises 16 nodes, which are laid out in a regular 4X4 line structure, as illustrated in Fig.1.

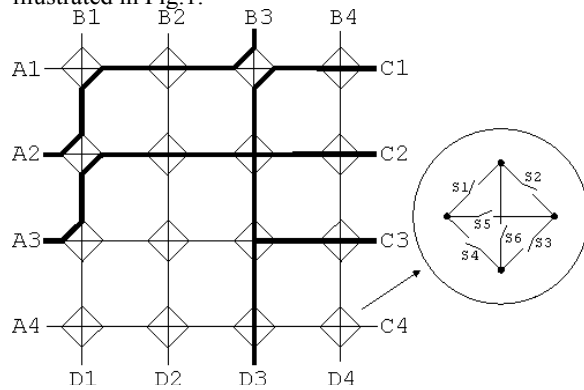


Fig. 1: 4X4 interconnect array

Each node is composed of six analog switches, which are individually controlled to either conduct or not. Due to this configuration, different paths can share rows or columns in the 4X4 array, as is the case of paths A2-B3 and C1-C3-D3 shown in Fig.1. As a result, versatility and highly-efficient connectivity can be accomplished using only two metal layers.

Fig.2 provides some details of the physical layout of the designed array. The arrangement of 4X4 nodes is shown in the left. The layout of six ($10\mu\text{m}/1\mu\text{m}$) n-channel MOS transistors, which make up one node, is depicted in the right side picture.

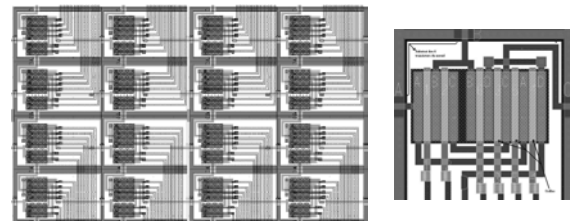


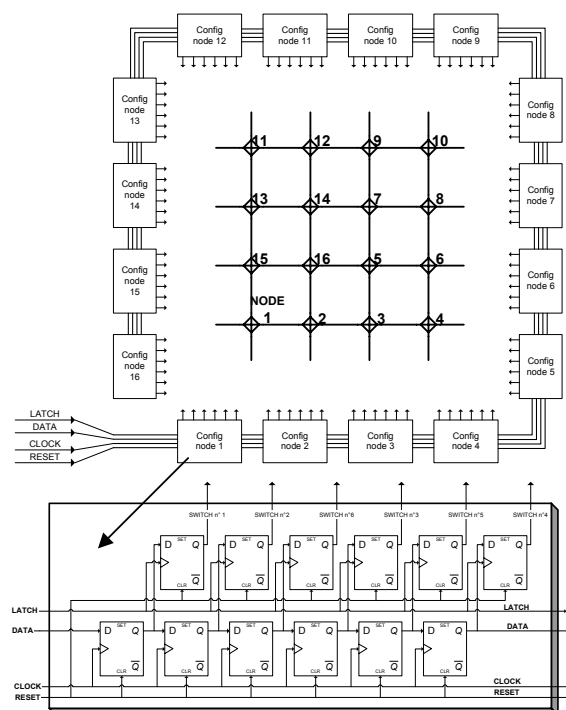
Fig. 2: Layout of two 4-node rows (left). One node layout (right)

3. Array Programming

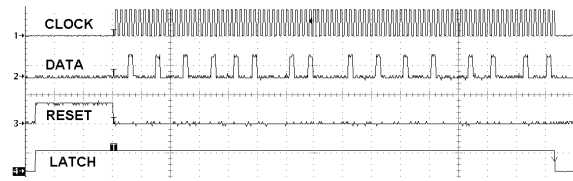
A mechanism is required to address each one of the 96 switches in the array in order to establish the conducting paths. A software was developed to performed this function by generating binary strings to the program-input terminals of the array. The notation used to code

Diagram illustrating a parallel processing system with 16 nodes (Node 1 to Node 16). Each node contains a sequence of six slots labeled s6, s5, s4, s3, s2, s1. The output of Node 16 is labeled DATA, which is fed into an ARRAY.

Upon compilation of the input configuration code, four controlling signals are generated: A CLOCK signal that sets the pace for the input data; a RESET pulse, which erases any previously stored program in the array; a DATA signal, which will set the status of all shift registers, whose outputs are individually connected to the gate of each one of the 96 switches. Finally, a LATCH signal is generated, which transfers the status of the shift registers to the gates of the switches. A simplified schematic of the array, with details of one of the shift registers is shown in Fig.4.



An oscilloscope screen snapshot with the waveforms of a typical array programming cycle is shown in Fig.5



4. Experimental Results

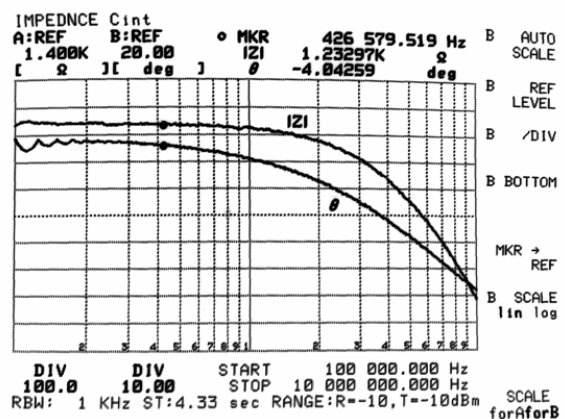
- Frequency response of path impedance.
- Frequency-dependent signal coupling between arbitrary paths.
- Voltage compliance of a conducting path.

4.1. Path impedance

Diagram illustrating the measurement setup for the proposed method. The setup includes an **Array** of elements and an **Impedance meter HP4195A**. A **conducting path** is shown connecting the array to the meter.

An example measurement of impedance versus frequency of a selected path is shown in Fig.7. By the shape of the obtained curve, it was found appropriate to adopt an equivalent parallel RC first-order system to describe its behavior. Assuming this model, the impedance of a conducting path can be calculated from Eq.1.1.

$$Z = \frac{R}{1 + j(2\pi f)RC} \quad (1.1)$$



A2-36

Referring to eq.1.1, R accounts for all channel resistances in the path and C is the lumped capacitance to the substrate. As a criterion to determine the frequency range within which the behavior of the path impedance is predominantly resistive a phase shift of 30 degrees was chosen. At such corresponding frequency, the capacitive reactance is about 57% of the resistance value and the impedance module is about 85% of its low-frequency value.

The obtained bandwidth versus the number of connected switches is plotted in Fig.8.

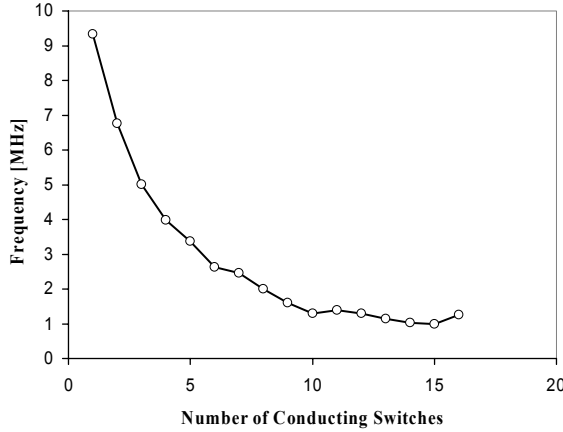


Fig. 8: Measured impedance bandwidth as a function of the number of conducting switches in the path

The resistive component of the impedance, which is associated with the path through which the signal must flow, is linearly related with the number of conducting switches. Measurements have confirmed this, as shown in Fig.9.

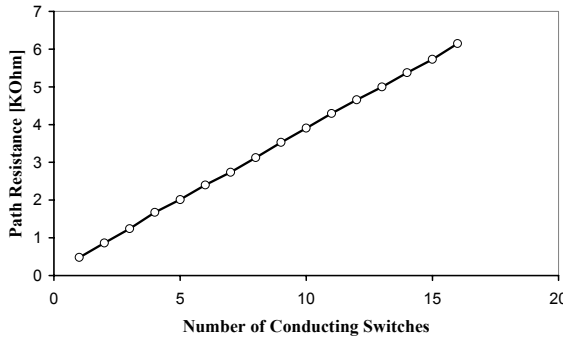


Fig. 9: Measured resistances as a function of the number of conducting switches in the path

4.2. Frequency-dependent signal coupling between paths

An undesirable effect is the occurrence of interferences from signals propagating in one path over neighbor paths (cross talk). In order to characterize the susceptibility of the array to this effect, measurements were made applying signals with varying frequency in one path while measuring the voltage at another path. The used setup is shown in Fig.10.

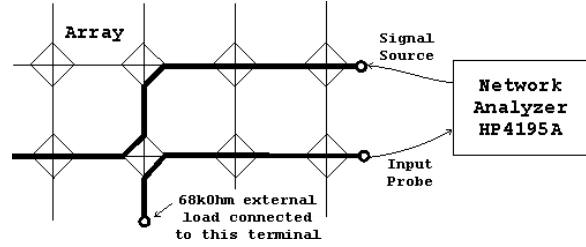


Fig. 10: Setup for measuring cross talk

A straightforward frequency response was measured using a network analyzer (HP4195A). The frequency-varying signal provided by the 50Ω-output generator of the equipment is applied to one path, while the voltage at a neighbor path, which is not connected to the first, is measured using a high-impedance active probe (HP41800). Frequency was set to sweep from 10kHz to 20MHz. The screen snapshot shown in Fig.11 is an example of obtained results.

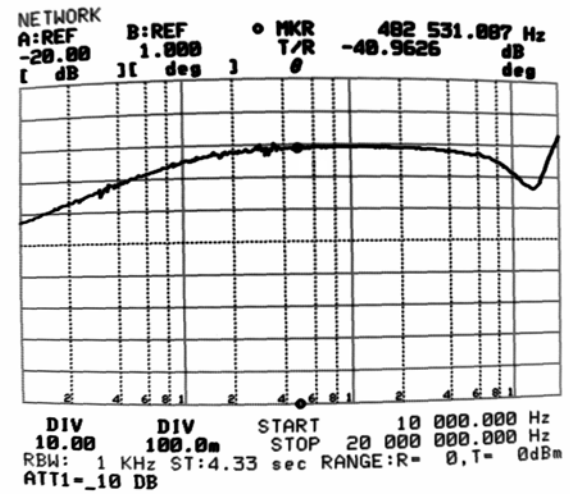


Fig. 11: Interference of one path over another as a function of frequency

By the observed results, the system can be regarded as a first-order system comprising a resistance in series with a capacitance. Based on this simplified model, an equivalent time constant has been determined for each measured configuration. For the sake of illustration, the results from 4 cases are provided in Table-1. Also provided in the same table, are the attenuation factor at the flat region of the frequency response, as well as the associated -3dB frequency. Each set of results is associated with an established configuration, which are drawn in Fig.12.

Table-1: Results from cross talk measurements

Conf	Att dB	f(-3dB) KHz	R kΩ	C pf
6	-13	125	313	4.1pF
7	-25	132	1190	1.0pF
10	-32	122	2510	0.5pF
12	-43	207	9460	0.08p

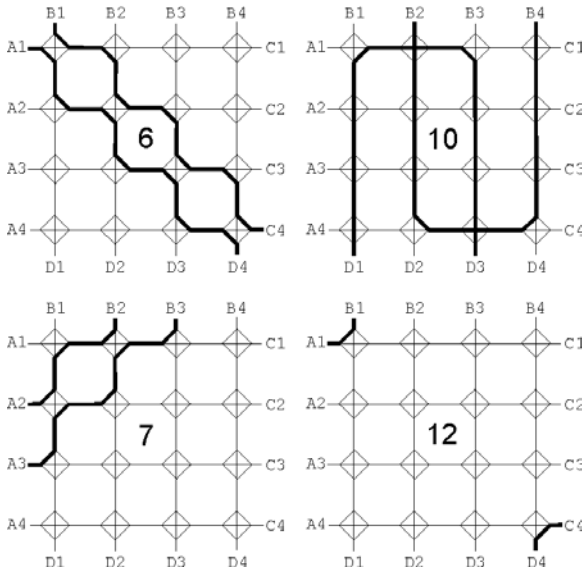


Fig. 12: Configurations of paths associated with Table-1

4.3. Voltage Compliance

Signals propagate in the network throughout strings of conducting n-channel switches. Consequently, an upper bound is established to the amplitude of voltages in a path, due to the switches' Threshold voltage. Measurements were performed in paths with different lengths, applying a triangular voltage waveform at one end of the conducting string and watching the signal at the other end. The worst-case situation occurs for a path with 16 nodes, the longest path in this case, which is illustrated in Fig.13.

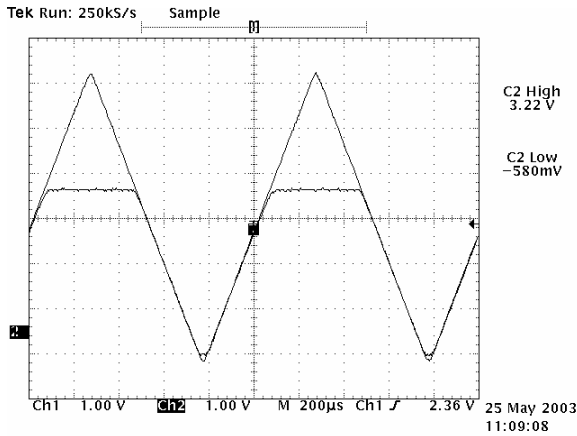


Fig. 13: Voltage compliance in a 16-node path: Triangular voltage is applied to one end. Measured voltage at the other end is clamped at 720mV.

The applied voltage ranges from 0 to 6V with an offset of 2.5V, thus exceeding the supply rails of the circuit, which is powered from 0 to 5V. It can be seen in Fig.13, which shows an oscilloscope screen snapshot that the voltage in the path has an upper limit at 3,22V, or 720mV above the 2.5V center voltage.

5. Conclusions

An interconnect array comprising 16 nodes with applications in FPAA has been described. Different from existing interconnection networks intended to the same applications, the presented circuit requires no extra

fabrication process steps, thus being appropriate for implementations of programmable analog circuits in standard CMOS technologies. Exhaustive measurements have been made, including the frequency response of conducting paths, cross talk between paths and voltage compliance. Results have shown that the array is suitable for the in-field prototyping of analog circuits with moderate performance in frequency and voltage swing. A collection of interconnectable analog blocks is being developed for integration with the described array. Among these blocks are op-amps, reference voltage sources, sensors and power drivers for currents up to 100mA.

6. Acknowledgements

Thanks are due to FAPESP for supporting the multi-project wafer program, which made possible the fabrication of prototype samples.

References

- [1] Edward K. F. Lee and P.Glenn Gulak, "A CMOS Field Programmable Analog Array", IEEE Journal of Solid State Circuits, Vol 26, No. 12, December 1991.
- [2] Haydar Kutuk and Sung-Mo Kang, "A Field Programmable Analog Array (FPAA) Using Switched-Capacitor Techniques", University of Illinois, IEEE doc 00541896, 1996.
- [3] Baidyanath Ray, P.Pal Cahudhuri and Prasanta Kumar Nandi, "Design of OTA Based Field Programmable Analog Array", Bengal Engineering College (Deemed University), Howrah 71103, India. IEEE doc 00812656.
- [4] X.Quan, S.H.K.Emababi and E.Sánchez-Sinencio, "A Current-Mode Based Field Programmable Analog Array Architecture for Signal Processing Applications", IEEE Curstom Integrated Circuits Conference, 1998.
- [5] C.A. Looby and C.Lyden, "Op-amp based CMOS field-programmable analogue array", IEE Proceedings in Circuits, Devices and Systems, Vol 147, N°2, Apr 2000.

Bias Dependence of Noise Correlation in MAGFETs

Fernando C. Castaldo
State University of Londrina-UEL
castaldo@lpm.fee.unicamp.br

João Paulo C. Cajueiro
State University of Campinas-UNICAMP
jpc@lpm.fee.unicamp.br

Carlos Alberto dos Reis
State University of Campinas-UNICAMP
carlos_reis@lpm.fee.unicamp.br

Abstract

In this paper, measurement results of noise power spectral density in p-channel split-drain MAGFETs operating under various levels of bias current are presented and discussed. It has been observed that correlation increases for decreasing levels of bias current. For currents below 5 μ A, noise correlation is higher than 50%, rising rapidly toward total correlation. These results indicate that this type of magnetic sensor can be used for low level detection, contradicting what has been so far mentioned in the literature. Measurements were made for bias current ranging from 2 μ A to circa 70 μ A using MAGFETs manufactured in 0.8 μ m CMOS with geometric aspect ratios of 10 μ m/10 μ m, 24 μ m/24 μ m and 24 μ m/30 μ m.

1. Introduction

The split-drain MAGFET is an attractive option to implement smart magnetic flux density sensors due to its simplicity and total compatibility with standard CMOS processes. It firstly appeared by the end of the sixties [1] as a solution to overcome the difficulties of implementing sensitive hall cells in silicon. Diverse configurations of split-drain transistors were proposed thereafter [2-4]. A lot of effort has been spent by many authors attempting to establish dependable relationships between the device geometry and its sensitivity to the magnetic flux density B. Nevertheless, some contradictions can be found in published material that focuses this particular topic. According to [5,6], the sensitivity of the split-drain MAGFET is higher for square shaped channel devices, while in [7,8] it is avowed that the sensitivity increases for devices with decreasing geometric aspect ratios (W/L). Exhaustive measurements of this type of sensor, operating in distinct conditions, have also been reported. They show, in essence, that the device features low resolution, due to its relatively high noise [9,10].

In this paper, the authors present experimental results, which show that noise at the output of the split-drain

decreases due to correlation as the bias current decreases. As a result, the performance of this type of sensor can be improved by choosing an appropriate bias condition.

2. Noise Correlation

Noise analysis in MAGFETs can be performed assuming that the output noise at each one of the drains can be represented by a noise current source, i_1 and i_2 , as shown in Fig.1(a). These noise currents flow across noisy resistors, which are customarily used to convert into voltage the current imbalance that results from an applied magnetic flux density B, developing noise voltages that are added to the noise voltage e_1 and e_2 produced by the resistors. In this particular case, the resistors thermal noises are uncorrelated. Consequently, the differential noise voltage at the output of the MAGFET, expressed as noise voltage spectral density is given by:

$$v_{\text{dif}} = (v_1 - v_2) = \sqrt{8KTR + 2R^2 i^2 (1 - C)} \quad (1)$$

K is Boltzmann's constant, T is the absolute temperature and C is the correlation coefficient. It is assumed that the two noise currents have the same RMS amplitude (i).

A similar analysis can be performed in the circuit shown in Fig.1(b). It represents the MAGFET with the two drains short connected. Notice that, in this case, the two resistors are connected in parallel conducting twice as current. Thus, bias condition remains the same. The external short connection of the drains has no effect over any physical property of the MAGFET nor over its operating condition. Hence, the correlation between the noise currents remains the same. The voltage noise spectral density at the output of the connected-drain transistor is:

$$v_{\text{sum}} = \sqrt{2KTR + \frac{1}{2} R^2 i^2 (1 + C)} \quad (2)$$

Under balanced condition, the MAGFET can be regarded equivalent to the parallel connection of two MOSFETs with half of its width each. Assuming that the transconductance of the MAGFET is g_m and since each one of these transistors conducts only half of the

MAGFETs bias current, their transconductances will be $g_m/2$. In view of these considerations, the squared noise current spectral density that is associated with each one of the drains can be expressed as:

$$i^2 = \frac{4}{3}KTg_m \quad (3)$$

Substituting the above expression in Equations (1) and (2) and solving for the correlation coefficient C , yields:

$$C = \frac{v_{sum}^2 - v_{dif}^2 + 2KTR(3 + Rg_m)}{(10/3)KTg_m R^2} \quad (4)$$

If the MAGFET operates in the saturation region, the transconductance is a function of the bias current as given by [11]:

$$g_m = \sqrt{2I_b \frac{W}{L} \mu Cox'} \quad (5)$$

Where I_b is the MAGFET bias current. $\mu Cox'$, W and L have the usual meaning as widely used in the literature.

Equations (4) and (5) show that noise correlation at the differential output of a MAGFET is a function of the bias current. The behavior of this function, nevertheless, can only be determined from measurements of v_{sum} and v_{dif} .

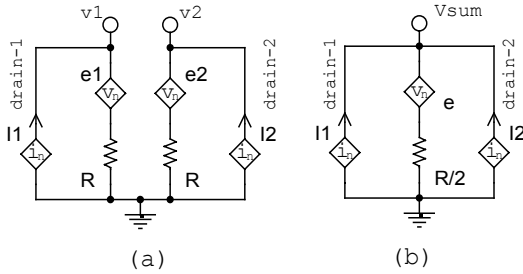


Figure 1. Simplified diagram for noise analysis

3. Test Devices

Measurements were performed using MAGFETs fabricated in $0.8\mu m$ CMOS. Three different geometric aspect ratios (W/L) were used throughout the experiments, namely $10\mu m/10\mu m$, $24\mu m/24\mu m$ and $24\mu m/30\mu m$. The transconductance of each one of the tested device was measured at each operating bias current using a semiconductor parameter analyzer in order to provide consistent data, together with measured values of v_{sum} and v_{dif} , for the calculation of the correlation coefficient using Equation (4). A photomicrograph of one of the tested MAGFETs is shown in Fig.2.

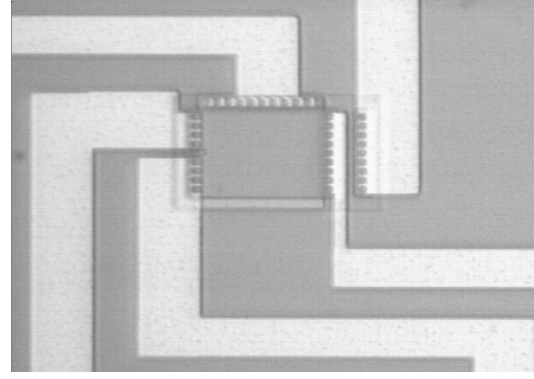


Figure 2. Photomicrograph of MAGFET 24/30 μm

4. Experimental Setup

The differential noise at the output of the MAGFET was measured using an experimental setup, whose simplified diagram is shown in Fig.3. Currents from the split drains are converted into a differential voltage by means of a pair of matched $100K\Omega$, low-excess-noise resistors R . The differential signal is further amplified using an instrumental amplifier, whose measured input referred voltage noise spectral density is $9nV/Hz^{1/2}$. Measurements were performed in a frequency region where thermal noise predominates. For this effect, $15KHz$ was found to be an adequate frequency to perform the measurements since at this point the contribution of $1/f$ noise is negligible and the observed gain roll-off of the amplifier was only $-3.54db$. Eventually, the spectral density of the amplified differential voltage was measured using a Dynamic Signal Analyzer (HP3561A).

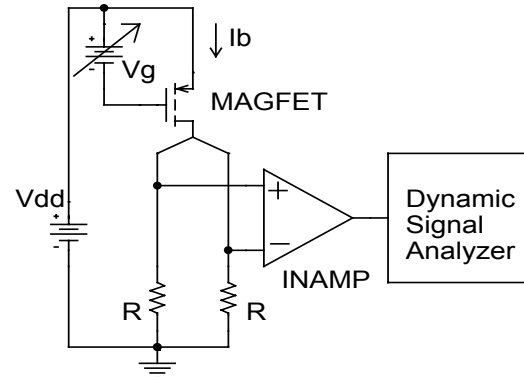


Figure 3. Setup for measuring the spectral density of the differential noise voltage.

A similar setup was used to measure the spectral density of the noise produced by the MAGFET when its two drains are short connected. A simplified diagram of the test setup is shown in Fig.4.

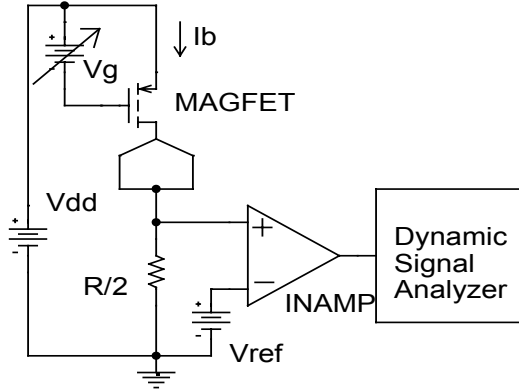


Figure 4. Setup for measuring the spectral density of the noise produced by the MAGFET with its drains short connected.

Since the voltage produced at the output of the MAGFET is, in this case, single-ended, a reference voltage V_{ref} was used to provide an anchoring point to the amplifier input.

All voltage sources in the circuit were implemented with batteries, instead of regular power supplies to reduce interferences in the measurements. In addition to this, other equally important measures were taken among which are included an efficient grounding, shielding and avoidance of pick-up loops in the wiring. The temperature was permanently monitored and held at $(23 \pm 0.5)^\circ\text{C}$ throughout the measurements.

A photograph of the used setup is shown in Fig.5. The 48-pin DIL test device, powered from batteries, is tested under the influence of a magnetic flux density produced by a ferrite coil placed on top of the device.

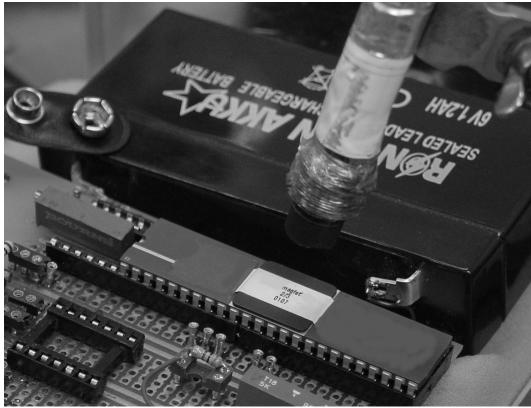


Figure 5. Measurement and magnetic field application setup

5. Results

Every measurement of noise voltage spectral density at the output of the amplifier was taken as the average value calculated by the signal analyzer. The screen snapshot of a typical measurement result is depicted in Fig.6.

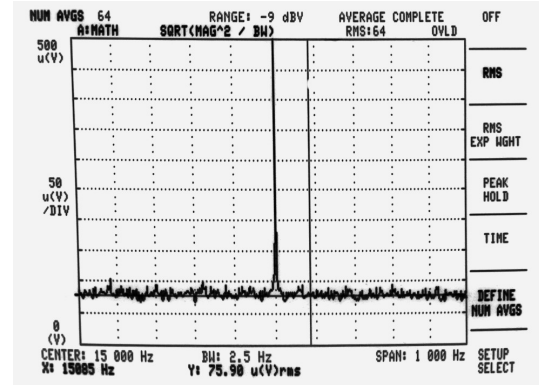


Figure 6. Screen snapshot of the HP3561A measuring the noise voltage spectral density.

Referring to Fig.6, the peak at 15KHz is produced by an applied magnetic flux density of 1mT. Notice that at the frequency region where the measurements have been taken, the contribution of $1/f$ noise is absolutely insignificant.

No influence of an applied magnetic flux density in the measurements of the voltage noise spectral density was observed.

From the obtained values for v_{dif} and v_{sum} , varying the bias current, considering the measured transconductance of the MAGFET at the same bias current, the correlation coefficient was calculated according to Equation (4) and plotted as a function of the bias current. The result is shown in Fig.7.

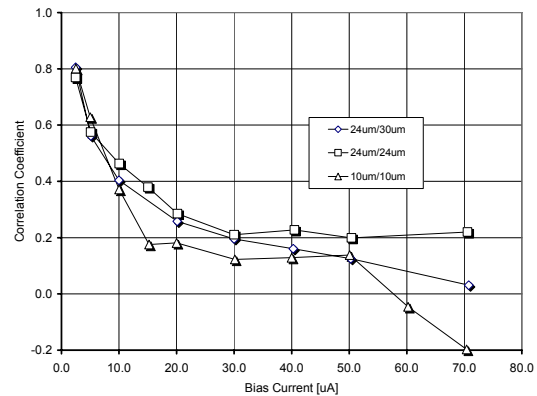


Figure 7. Noise correlation coefficient as a function of the MAGFET bias current

Measurement results have shown that noise correlation tends to 100% at the output of a split-drain MAGFET when it operates at low bias current. This result contradicts what has been widely mentioned in the literature that uses to refer to split-drain MAGFETs as a low-resolution magnetic sensor. On the other hand, for bias currents in excess of 20 μ A noise can be regarded as uncorrelated, thus affecting its resolution.

6. Conclusions

Experimental results from measurements of split-drain MAGFETs implemented in 0.8 μ m CMOS were presented and discussed. Contradicting what has been so far established in the literature it was found that p-channel split-drain MAGFETs show strong noise correlation when biased at low current levels. Consequently, they are prone to high resolution magnetic flux density detection when operating at current levels below 5 μ A.

7. References

- [1] Fry, P.W., Hoey, S.J., A Silicon MOS magnetic field transducer of high sensitivity. IEEE Transaction on Electron Devices, vol. ED-16, pp 35-39. 1969.
- [2] Popovic, R., Baltes, H. A CMOS Magnetic Field Sensor. IEEE Journal of Solid State Circuits, Vol. SC-18. N. 4. Aug. 1983.
- [3] Misra, D. Zhang, M. A novel 3-D Magnetic Field Sensor in Standard CMOS Technology. IEEE Proceedings 1991.
- [4] Kub, F.J., Scott, C.S. Multiple Gate Split-Drain MOSFET magnetic field sensing device and amplifier. Tech. Digest. IEEE International Electron Devices Meeting. 1992.
- [5] Zheng, N. and Wu, S., "General Characteristics and Current Output Mode of a MOS Magnetic Field Sensor", Sensors and Actuators A, 28 (1991) pp:1-5.
- [6] Feng, N. and Bruun E., "An Offset-Trimable Array of Magnetic-Field-Sensitive MOS Transistors (MAGFETs)", Sensors and Actuators A, 58 (1997) pp:109-112.
- [7] Killat, D. et al. Measurement and Modeling of Sensitivity and Noise of MOS magnetic field-effect transistors. Sensor and Actuators. A61. 1997. Pp-345-351.
- [8] Kluge, J.W.A. An Analytical Model of MAGFET Sensitivity Including Secondary Effects Using Continuous Description of the Geometric Correction Factor. IEEE Transactions on Electron Devices, Vol. 46. N. 1. Jan. 1999.
- [9] Baltes, H.P, Nathan A. and Briglio D.R., "Noise Correlations in Magnetic Field Sensitive Transistors", IEEE Solid-State Sensor and Actuator Workshop Tech. Dig. (Hilton Head Island, SC), 1988, pp.104-105.
- [10] Lau, J. et al. Minimum Detectable Signals of integrated magnetic sensors in bulk CMOS and SOI technologies for magnetic read heads. Sensors and Actuators. A54. 1996. Pp. 636-640.
- [11] Davidse, J. "Analog Electronic Circuit Design", Prentice Hall, ISBN 0-13-035346-9, 1991, pp:43.

Implementation of an Integrated DC-DC Converter using CMOS Standard Technology and employing Smart Power Principles

Fernando C. Castaldo, Pablo R. Souza, Saulo Finco and José Antenor Pomílio.

Universidade Estadual de Campinas
FEEC-Faculdade de Engenharia Elétrica e Computação
Cidade Universitária Zeferino Vaz Barão Geraldo – Campinas - SP
ITI-Instituto Nacional de Tecnologia para Informática
Rodovia SP65 km 143,6 CEP 13089-500 SP.Brazil

Abstract – The current tendency in complete integration of systems employed in Electronic Industry which seek to be compact, flexible and reliable in association with lower productions costs has become a mandatory topic in recent technology issues. In this sense, VLSI technologies available worldwide show themselves to be a natural choice. It is through the use of such technology that a monolithic DC-DC converter containing fully integrated active devices and using *Smart Power* concepts is presented for educational purposes.

I. INTRODUCTION

In a time of quickly advancing technology, *Smart Power* technologies represent an answer to the ever increasing market demand of integrated systems where both the signal processing part and true power actuators can be combined. The integration of systems brings several advantages in terms of improved reliability, reduction of electromagnetic interference (EMI), volume, weight and manufacturing expenses as well. Moreover, such improvements and economic requirements are of great interest from a manufacturer's point of view [1].

The efforts made to improve logic performance and power characteristics for a given die size, lead to the development of some specific *Smart Power* technologies which allow for integration of power stages with optimized device performance and their control circuit including driver protection and diagnostic elements. These devices are used for a wide range of applications including automotive systems, lamp ballasts, motor drivers, automated systems and robotics [2].

The higher voltage and current handling capability associated with thermal concerns in integrated circuit applications is the most limiting factor in *Smart Power* design. As an alternative approach for implementing *Smart Power* systems integrating both the controlling circuitry and power stages of typical applications like a step motor driver, the VLSI standard CMOS process would be a good choice in light of its availability and cost. Moreover, integrated circuits manufacturers are searching for better devices in terms of their voltage and current capabilities. In fact, some foundries present a sub-micron standard CMOS process and make a high voltage NMOS transistor available. This device can handle a DRAIN-SOURCE voltage up to 50V, which encourages designers to think about integrating control and power circuits using standard CMOS technology [3].

In evaluating the feasibility of this technology regarding its advantages and limitations a conventional DC-DC

switched converter was implemented. In order to achieve this an arrangement of pre-defined components inside a monolithic chip, set up to be externally configured for fast breadboarding, was employed. The active parts of the power and control circuits are inside the chip, leading to a simplified assembly of the converter.

II. PROPOSED CIRCUIT

The main specifications of the monolithic switched DC-DC converter follow:

- Only passive components external
- Input Voltage: 5V
- Output Voltage: 3.3V
- Maximum output current: 500mA
- PWM control
- Switching frequency: 60KHz

A block diagram depicts the main parts of the DC-DC forward converter, showing the integrated parts (inside the dotted lines) and the external ones. The passive auxiliary components used to set up proper operation are external. The design follows the guidelines used to implement conventional converters however a different approach should be given.

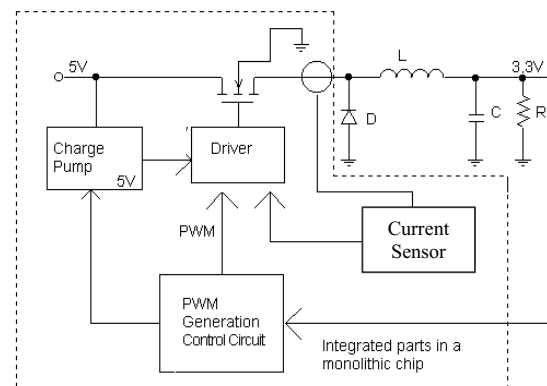


Fig.1 Generic Diagram of the proposed Circuit

III. GUIDELINES ANALYSIS AND DESIGN

The parts of the proposed circuit are described and some guidelines are given.

1) **Power Transistor:** This device is the key to the design. The parameters needed for design were obtained from manufacturer process specifications. For a 0,8µm

standard CMOS currently in use some of them are summarized in the following table:

TABLE I

PARAMETERS FOR DESIGN-NMOS TRANSISTOR (HIGH VOLTAGE)

Parameter	Typical Value	Unit
Threshold Voltage	0,7	V
Breakdown Drain-Source Voltage (3μ)	50	V
On Resistance (8μ)	60	KΩ.μm

The Value in parenthesis refers to specified length channel.

Limiting either the power dissipated on the transistor for full load or the drop of voltage between drain and SOURCE terminals at the same condition sets a specific condition for calculating the physical dimensions of the transistor. For instance, following manufacturer guidelines, one can choose a maximum level of dissipated power as 0,5W per encapsulated die. Assuming that all power dissipated is due the transistor operation, the equivalent resistance of the transistor channel can be calculated from the maximum continuous output current (500mA), resulting a 2Ω channel equivalent resistance. This value of resistance would cause a 1V-voltage drop across the transistor's terminals, a very high value for the intended application. In this case, we can choose a suitable drop and therefore calculate the final resistance. This procedure lessens the maximum continuous dissipated power inside the chip to about 150mW. Once the equivalent resistance has been calculated, the effective width (for a channel length of 8μ) can be solved. Looking at the table, one can determine an effective transistor channel width of 10⁵ μm.

The drawing of large integrated transistors in layout design is suitable from predefined structures that can be arranged in multiple shapes allowing the designer to quickly draw a transistor of any size [4]. Part of these structures is shown in Fig. 2. In such structure a pattern drawn contains the transistor's terminals (GATE, DRAIN AND SOURCE) which can be connected by levels of metal that allow individual transistors to be put in parallel. This CMOS contains 400 individual transistors that can be arranged in several ways just by drawing the last metal layer in layout design. Each transistor is 8 μm long per 462.4 μm wide. The total number of transistors that should be connected to form an effective channel width of 10⁵ μm is 217. For both safety and practical purposes the number of transistors connected were 250 leading to a total channel width W=114080 μm and channel length L=8μm.

1) Charge Pump: As stated before, the voltage supply is 5V. However, to put the NMOS power transistor into full conduction, a higher voltage should be applied to GATE terminal to surpass the threshold voltage (0,7V as indicated in tab.1) plus the SOURCE voltage (less than 5V). If the transistor is supposed to act as switch, the GATE voltage applied should be at least two or three times the 5V supply.

A voltage multiplier technique [5] generates a high enough voltage to switch the transistor on. Fig. 3 shows the circuit also called *Charge Pump* and its equivalent circuit. A switching scheme driven by a clock enables the

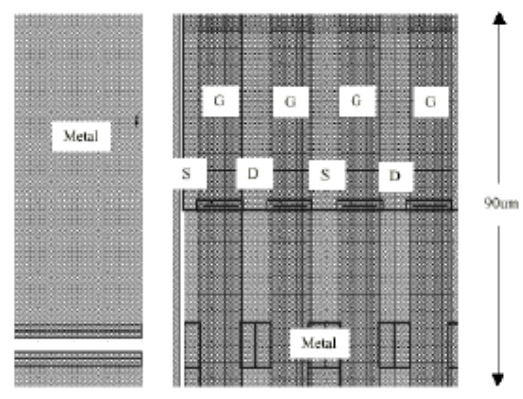


Fig.2 Segment of the structure for the power NMOS transistor implementation

diodes to turn on and off synchronously by pumping charges across the circuit so at the end of the network a higher voltage can be achieved. The higher the switching frequency the faster the charging process, thus keeping a nearly stable high voltage at its output.

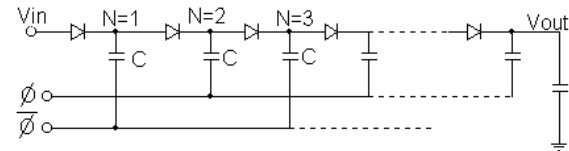


Fig.3 Voltage Multiplier (Charge Pump)

The Charge Pump circuit has a non-load voltage output and a resistance output given by (1) and (2) respectively, where N is the number of stages, V_D the diode voltage drop, C the capacitance, f the switching frequency and V_φ the amplitude of clock signal.

$$V_{out} = V_{in} - V_D + N \cdot (V_{\phi} - V_D) \quad (1)$$

$$R_S = \frac{N}{C \cdot f} \quad (2)$$

In a practical implementation, the load current must be given in order to evaluate the charge pump parameters. The charge pump load is the GATE-SOURCE capacitance of the power transistor given by (3)

$$C_L = \frac{2}{3} \cdot \mu \cdot C_{ox} \cdot W \cdot L \quad (3)$$

Knowing the dimensions W and L of the power transistor and the manufacturer's specs where $\mu \cdot C_{ox} = 2.03 \text{ fF}/\mu^2$ the calculated GATE-SOURCE capacitance is 1.23 nF. Such capacitance results in an equivalent load resistance given by (4). By applying the equation, we find an equivalent load resistance of 13550Ω.

$$R_{eq} = \frac{1}{f \cdot C_L} \quad (4)$$

The number of stages of the charge pump must be limited to the maximum GATE - SOURCE voltage allowed by current technology. In such case, we choose N=3.

Supposing a diode voltage drop V_D of 0,5V, $V\phi=5V$ and using $C=10nF$, (1) and (2) give us respectively the non-load output voltage of $V_{out}=18.1V$ and the output resistance $R_S=5000\Omega$. Fig. 4 shows the equivalent circuit. It is straightforward to deduce the output voltage effectively applied to the power transistor. The 13.2V resulting voltage is applied to the circuit driver and hence to the power transistor GATE terminal. The losses caused by the next driver circuit were not taken into account in this calculation. If they had been, an equivalent resistance would be placed in parallel with the 13550 Ω one. The output capacitor affects only the start-up and can be set at 10 μF .

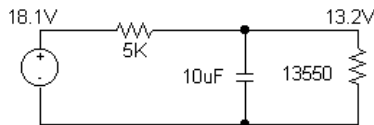


Fig.4 Equivalent Charge Pump Circuit

Fig. 5 shows the implemented charge pump circuit. The diodes and capacitors are external.

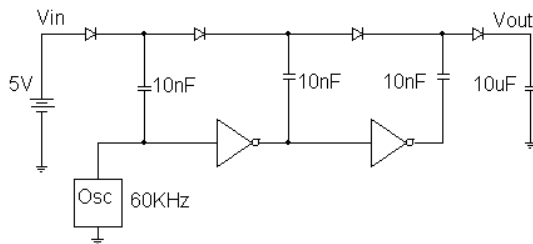


Fig. 5 Implemented Charge Pump

3) **Driver:** A fully integrated circuit drives the GATE of the power transistor. The PWM signal swings between 0 and 5V and is applied to driver input, which generates the high voltage pulses to switch the power transistor on and off. The Charge Pump circuit supplies the driver circuit. The availability of only N-Channel High-Voltage transistors in current technology lead to the “Body Effect” occurrence in one of the driver’s transistors. As consequence, a lower output voltage is delivered to the GATE of the power transistor. Equation 6 shows the Threshold Voltage for the transistor that affects the driver output voltage.

$$V_T = V_{TO} + \gamma \cdot \left(\sqrt{2 \cdot \phi - V_{BS}} - \sqrt{2 \cdot \phi} \right) \quad (6)$$

In (6), V_{TO} is the nominal Threshold voltage (when $V_{BS}=0$), γ the body factor and ϕ the Fermi Potential. For 0,8 μm NMOS transistor: $V_{TO}=0.76V$, $\gamma=0.78 V^{1/2}$, $\phi=0.6 V$. The BODY-SOURCE voltage V_{BS} depends from the transistor operation.

The drain current of a MOS transistor is given by (7), where $K_P=95\mu A/V^2$. All of these parameters are given by current technology.

$$I_D = \frac{K_P}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 \quad (7)$$

The driver circuit is shown in Fig.6 (a). We can suppose that the GATE voltage swing applied to the transistor (the transistor subjected to body effect is enclosed by dotted lines) is 0 to V_H . The load “seen” by this transistor at its SOURCE terminal is the equivalent resistance generated by the charge pumping process into the power transistor GATE terminal as illustrated in Fig. 6 (b). Equations (6) and (7) may be used to calculate the effective switched voltage applied to the power transistor GATE terminal, or V_G as indicated, once the charge pump full-load output voltage is known. We have supposed here that no losses occur in the driver.

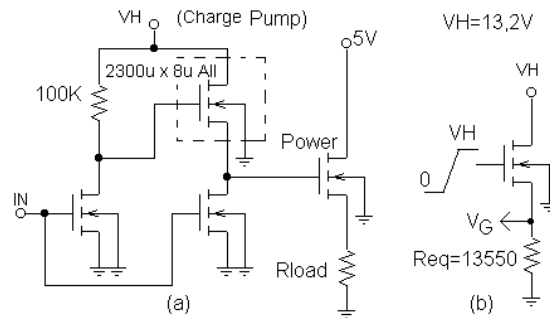


Fig. 6 (a) Circuit Driver and (b) Equivalent Circuit

Evaluating (6) and (7) on the circuit (b) of Fig. 6 and using the process parameters already indicated, the two following equations can be written:

$$V_T = V_{TO} + \gamma \cdot \left(\sqrt{2 \cdot \phi - V_G} - \sqrt{2 \cdot \phi} \right) \quad (8)$$

$$\frac{V_G}{R_{eq}} = \frac{K_P}{2} \cdot \frac{W}{L} \cdot (V_H - V_G - V_T)^2 \quad (9)$$

Solving the equations system we can find an effective switched voltage $V_G=10.5V$. This level is enough to switch the power transistor on, keeping loss at a minimum. Also, the both equations are solved with a set of V_H output voltage values and the results are depicted in Fig. 7.

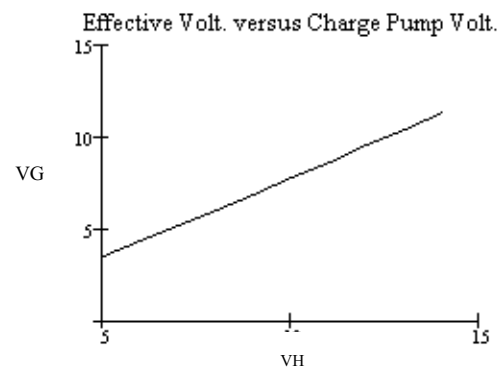


Fig. 7 Graphing V_G (peak amplitude) versus V_H

Fig. 8 shows the simulation result that validates the previous analysis. From the top down, (a) the non-load charge pump output voltage V_H , (b) the loaded one, (c)

effective switched voltage V_G . The simulation shows the transient response of turning on the converter as well.

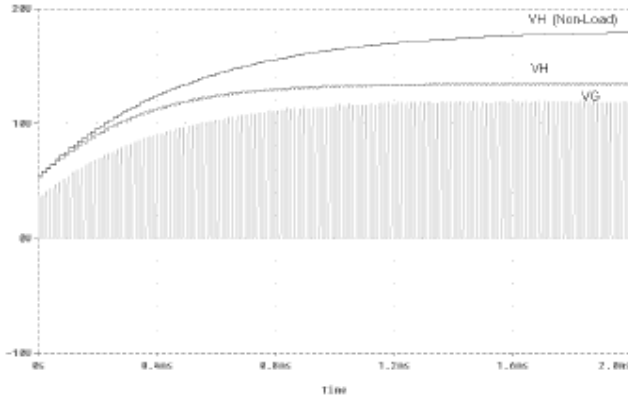


Fig. 8 Simulation Results

4) **Current Sensor Circuit:** Looking for better performance and reliability the protection circuit in *Smart Power* applications should be integrated [2]. The current sensor can be implemented as shown in Fig. 8. Since all transistors have the same characteristics, the current will be shared between them according to their respective areas. This minor current will cause a voltage drop on a sensor resistor and integrated supervisor circuits will process this differential voltage.

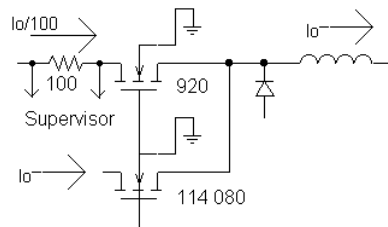


Fig. 8 Scheme to monitor the power transistor current

The processing signal circuit is shown in Fig. 9. The resistors were implemented externally, however it can be done monolithically. The current sensor circuit output signal could activate either a fold-back over-load circuit or an over-current protection one. In this case a Flip-Flop may be used as memory element forcing a system reset in case of failure. The DC transfer characteristic of the circuit is given by (10).

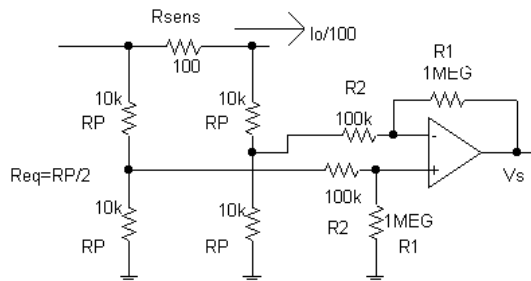


Fig. 9 Current Sensor circuit

$$V_S = \frac{\frac{R_1}{2}}{R_{eq} + R_2} \cdot R_{sens} \cdot \frac{I_O}{100} \quad (10)$$

The internal op-amp compensation capacitor filters out the rapid transitions of the power transistor current. Whenever implementing short-circuit protections the amp-op should be replaced by a non-compensated circuit and feedback should not be used.

5) **PWM Generator** This signal function is conventional and can be integrated. When looking for a flexible design, one choice is to draw integrated structures like op-amps, gates, and current SOURCES and connect them outside the chip by means of jumpers. This would be a good approach for academic purposes and bench tests allowing designers change the circuit rapidly according to their convenience.

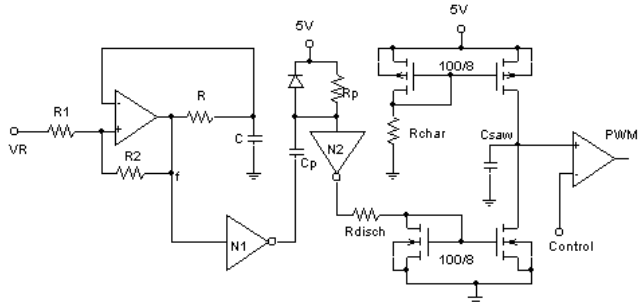


Fig. 10 PWM generator circuit

The PWM signal is generated as follows: An oscillator circuit generates a nearly square waveform that is formatted by GATE N_1 . Next, the signal passes through a RC filter which will produce output pulses whenever the input signal changes rapidly. A GATE N_2 formats these pulses generating short positive going pulses that will be used in next stage of the circuit.

A P-type mirror current feeds a capacitor generating a linear rising of voltage across it. External R_{char} gives the slope of voltage variation. The discharging process of the capacitor is a controlled one given by the external resistor R_{disch} connected to an N-type current mirror. The duration of N_2 GATE pulses is approximately given by (11).

$$\Delta t = 0.693 \cdot R_P \cdot C_P \quad (11)$$

Equation (12) shows the design equations to implement the oscillator. Note that V_R is a constant voltage reference. It can be chosen around $V_{CC}/2$.

$$V_{LL} = \frac{R_2 \cdot V_R}{R_1 + R_2} \quad V_{HH} = \frac{(V_{CC} - V_R) \cdot R_1}{R_1 + R_2} + V_R \quad (12)$$

$$f = \frac{1}{2 \cdot R \cdot C \cdot \ln \left[\frac{(V_{LL} - V_{CC})}{(V_{HH} - V_{CC})} \right]}$$

The saw-tooth waveform thus generated is compared with the controlling signal coming from the controller circuit, which generates the PWM signal.

6) **Controller:** The design of the controller follows the classical procedure [6]. Considering the Buck converter operating at CCM (Continuous Conduction Mode) and the specifications given above the filter elements can be calculated. This led to $L=1.87mH$ and $C=20\mu F$.

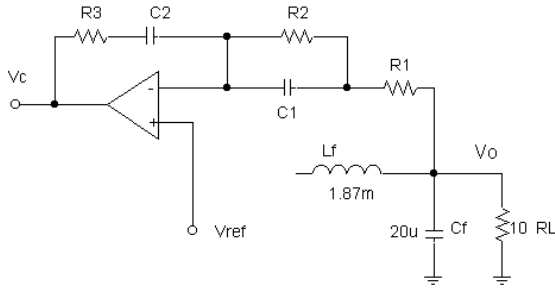


Fig. 10 Controller Circuit

The transfer function V_C/V_O of the controller is given by (13).

$$H(s) = \frac{-1}{(R_1 + R_2) \cdot C_2} \cdot \frac{(1 + s \cdot R_2 \cdot C_1) \cdot (1 + s \cdot R_3 \cdot C_2)}{s \cdot \left(1 + s \cdot \frac{R_1 \cdot R_2 \cdot C_1}{R_1 + R_2} \right)} \quad (13)$$

Using the design parameters, the open loop transfer function of the converter is depicted in (11). As we can see the system is inherently stable.

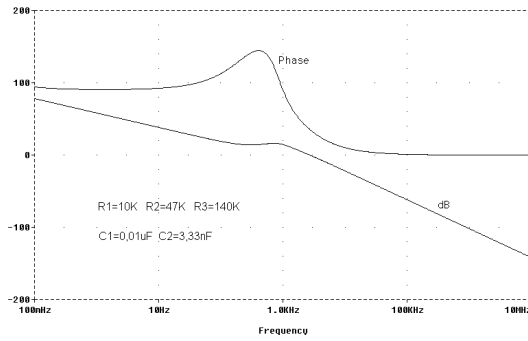


Fig. 11 Open loop gain of the Converter versus frequency

IV. EXPERIMENTAL RESULTS

To evaluate the previous approach in designing a forward converter with fully integrated active devices some experimental results are shown. In Fig. 12, the Charge Pump operation is depicted, showing the transient behavior of the circuit.

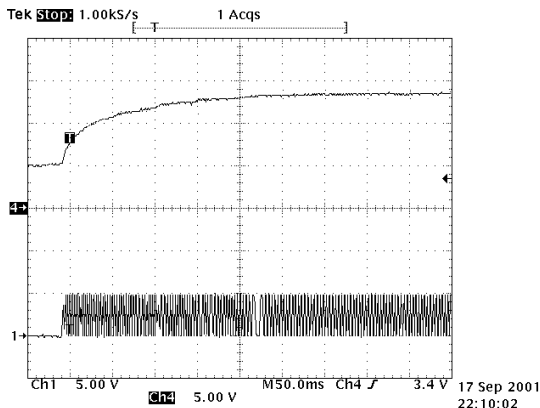


Fig. 12 Charge Pump Start

In Fig. 13, we can see the output voltage from the driver circuit whose level reach nearly the initial value calculated (around 10,5V) when a switched input of 5V is applied to it. Note that the driver works as an inverter gate.

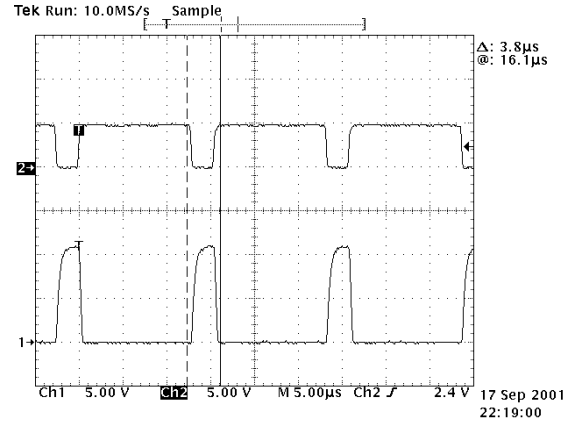


Fig. 13 Driver Circuit Waveforms

Fig.14 shows the PWM generating signals. From top to bottom, (a) The waveform from oscillator circuit, (b) the output pulses from the RC filter circuit, (c) the resetting pulses from the inverter GATE and (d) the saw-tooth waveform.

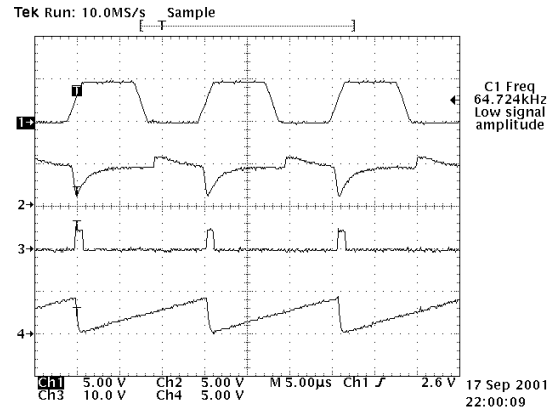


Fig. 14 PWM generator circuit signals

Fig. 15 shows the picture for full load operating point. From top to bottom (a) the output voltage applied to filter LC, (b) saw-tooth waveform and controlling voltage, (c) Output DC voltage.

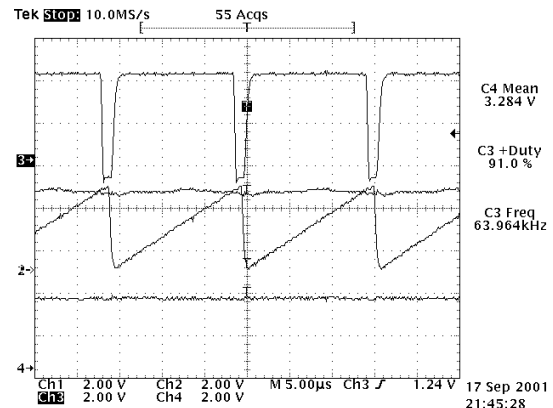


Fig. 15 Full-Load Operation

Fig. 16 shows transient response from non-load to full-load switching condition.

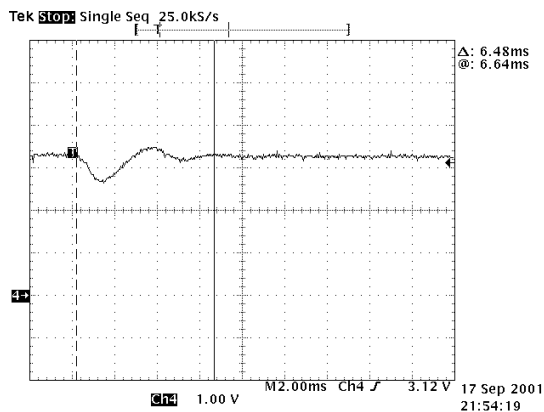


Fig. 16 Transient Response

TABLE II
CONVERTER EFFICIENCY

	[V]	[I]	[P]	Non-Load Chip Consumption	Non-Load Converter Consumption
In	5.0V	0,48A	2.4W	40mA	55mA
Out	3.3V	0,50A	1.6W		

67% Efficiency on full load condition

Fig. 17 shows the microphotography of the die.

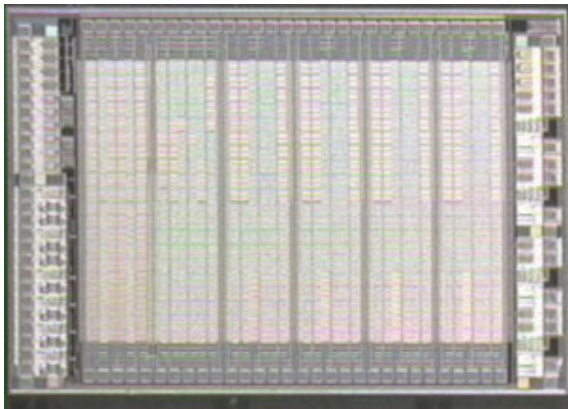


Fig. 17 Chip Microphotograph

V. CONCLUSIONS

This study aims at advancing towards concept of *Smart Power* and its applications, with both its advantages and disadvantages. Also contributes to the development of integrated power devices and shows that they are feasible if restrictions stated by manufacturers are followed. A step toward a true *Smart Power* design would be the *auto diagnostic feature* of some parts of the circuit. In this sense, the controlling system could be able to detect a malfunction of part of the system and for instance take some decision. This kind of feature would require extra

processing functions, feasible employing of either microprocessors or digital circuitry. In both situations, the standard CMOS technology allows it, however complex the design may be.

This work is in development at UNICAMP- Universidade Estadual de Campinas sponsored by PMU- Projeto Multi-Usuário in agreement with ITI-Instituto Nacional de Tecnologia da Informação.

The technology employed in manufacturing of the circuit was the CXQ-0.8 μ m from Austria Micro Systems. For more detailed information see www.amsint.com.

VI. REFERENCES

- [1] Murari, B. *et al.* Smart Power Technologies Evolution. Conference Record IAS Annual Meeting- IEEE Industry Applications Society. IEEE, Piscataway, NJ. Pp. 10-19.
- [2] Murari, B., Bertoti, F. Vignola, G.A. Smart Power IC's Springer. ISBN 3-540-60332-8
- [3] Finco, S. Integração Inteligente de Potência Baseada em Transistores NMOS. Tese de Doutorado, Unicamp, Junho 2000. Campinas. Brasil.
- [4] Casimiro A. P. et al. Integration Strategies for Smart Power Fast Prototyping 0-7803-6401-5/00. 2000 IEEE p.p. 2982-2989.
- [5] Dickson J. On Chip high voltage generation in MNOS integrated circuits using an improved voltage multiplier technique. IEEE Journal of Solid State Circuits, Vol. SC11,N.3. June 1976.
- [6] Forsyth A.J. et al. Modeling and Control of DC-DC Converters. Power Engineering Journal, October 1998 p.p. 229-236.