

Dissertação apresentada à FACULDADE DE ENGENHARIA DA UNIVERSIDADE ESTADUAL DE CAMPINAS para obtenção do título de "Mestre em Engenharia Elétrica"

PROJETO E CONSTRUÇÃO DE UM TRANSISTOR COM ESTRUTURA MOS USANDO A TÉCNICA PLANAR

WILMAR BUENO DE MORAES

.TESE

ORIENTADOR:

Prof. Dr. Carlos Ignácio Zamitti Mammana

Ofereço este trabalho aos meus pais, Jorcelino e Josefa,
ã minha esposa Alda e aos meus filhos Fábio, Marcos e
Luciano.

Agradeço

Ao Prof. Dr. Carlos Ignácio Zamitti Mammana pela orientação e incentivo constante.

A todos os funcionários e professores do Depto de Engenharia de Eletricidade da Escola Politécnica da USP que contribuíram para a realização deste trabalho, em particular na pessoa do Prof. C.A.M. de Andrade que permitiu o uso das facilidades e pessoal do Lab. de Microeletrônica sem o que este trabalho não teria sido realizado.

A srta. Ivani Fiorani pelo paciente trabalho de datilografia.

Ao Prof. Jaime Paladini e ao Antonio Carlos de Oliveira Campos pela execução dos desenhos.

Este trabalho contou com o apoio financeiro das seguintes entidades:

- CAPES - Coordenação e Aperfeiçoamento de Pessoal de Nível Superior
- UnB - Universidade de Brasília
- Banco Nacional do Desenvolvimento Econômico
- Ministério do Planejamento
- Conselho Nacional de Pesquisa
- Fundação de Amparo à Pesquisa do Estado de S. Paulo
- TELEBRÁS - Telecomunicações Brasileiras

RESUMO

Neste trabalho apresentamos o projeto, a construção e a caracterização de um transistor de efeito de campo com estrutura MOS (metal-óxido-semicondutor). Inicialmente é apresentada uma descrição dos diversos tipos de estrutura e dos processos viáveis, no momento, para a fabricação de TEC MOS.

Adotando um modelo elétrico derivado de um modelo físico dos TEC MOS foram estabelecidos critérios para o dimensionamento da estrutura de um transistor: a determinação de suas dimensões e características elétricas dos materiais envolvidos. Este modelo, por outro lado, nos permitiu relacionar à estrutura, os seguintes parâmetros elétricos mensuráveis: características elétricas intereletródicas, tensões de ruptura, tensão de transição, densidade de cargas na interface silício-óxido, mobilidade das lacunas no canal, velocidade térmica das lacunas no canal, e resistências terminais da fonte e do dreno.

Os transistores foram fabricados por meio da técnica planar em substratos de silício com orientações $\langle 111 \rangle$ e $\langle 100 \rangle$, e resistividade com ordem de grandeza de 10 ohm.cm; o óxido da porta foi crescido com oxigênio seco empregando-se passivação com fósforo para a diminuição de correntes de fuga. A porta foi protegida por meio de um diodo em paralelo com a mesma.

Várias séries de transistores foram medidas, obtendo-se como resultado que o processo de fabricação empregado foi satisfatório tanto quanto à qualidade, como quanto à reprodutibilidade e que o modelo adotado é suficientemente preciso para ser usado no projeto e avaliação dos transistores de efeito de campo MOS com a estrutura utilizada.

ÍNDICE

CAPÍTULO I

1.1.0 - Introdução e objetivos	9
1.1.1 - Descrição dos tipos de TEC-MOS.....	9
1.1.2 - Descrição das estruturas dos TEC-MOS	11
1.1.3 - Processos viáveis de fabricação de transistores de efeito de campo	16
1.2.1 - Estados de Interface, Efeitos de Superfície.....	20
1.2.2 - Determinação do modelo.....	27
1.2.3 - Rupturas no TEC-MOS.....	36

CAPÍTULO II

2.1 - Configuração Geométrica	38
2.2 - Dimensões	39
2.3 - Isolante da porta	41
2.4 - Seleção do substrato.....	42
2.5 - Profundidade da Junção (x_j)	44
2.6 - Processo Utilizado	46
2.7 - Medidas durante a Fabricação e Resultados	58

CAPÍTULO III

3.1 - Parâmetros Elétricos - Descrição dos Processos de Medida	65
a) Medida da característica de saída ($I_D \times V_{DF}$) V_{PF}	65
b) Medida da condutância do canal, g_{fd}	66
c) Medida da resistência de fuga da porta, R_p	66
d) Medidas de capacitâncias	67
e) Medidas das tensões de ruptura.....	69
f ₁) Medida da tensão de transição, V_{tr}	69
f ₂) Avaliação do número de cargas N_{ss}	71
g ₁) Medida da transcondutância, g_m	72
g ₂) Circuito utilizado para a medida de g_m	74
h) Medida da mobilidade das lacunas no canal, μ_s	75
i) Medida da resistência terminal do dreno e da fonte, $(r_d + r_f)$..	75

3.2 - Resultados das Medidas	78
a) Medidas das curvas características ($I_D \times V_{DF}$) V_{PF}	78
b) Medida da condutância do canal, g_{fd}	78
c) Medida da resistência de fuga da porta, R_p	84
d) Medidas das capacitâncias	85
e) Medidas das tensões de ruptura	87
f) Medida da transcondutância, g_m , e da mobilidade, μ_s , do canal....	89
g) Medida da resistência terminal do dreno e da fonte, $(r_f + r_d)$	92
3.3 - Conclusões	98
Referências Bibliográficas.....	99

CAPÍTULO I

1.1.0 - Introdução e Objetivos

O transistor de efeito de campo (T.E.C.) foi fabricado e patenteado há, aproximadamente, quarenta anos por Lilienfeld e Heil, possivelmente como um dispositivo de estado sólido análogo à válvula.

A análise e a modelagem desses dispositivos, entretanto, dependeram do desenvolvimento de uma base física que se deve principalmente aos trabalhos de Shockley. Em virtude das dificuldades tecnológicas envolvidas na fabricação dos dispositivos, por outro lado, teve maior sucesso a introdução dos transistores bipolares. Com isso, os dispositivos TEC ficaram praticamente esquecidos por longo tempo. A introdução do processo planar permitiu a fabricação dos dispositivos TEC com a técnica MOS, mas ainda com problemas sérios de migração iônica que causam drástica variação nos parâmetros. Só recentemente a solução desses problemas permitiu a construção de dispositivos estáveis a preço competitivo com os dispositivos bipolares.

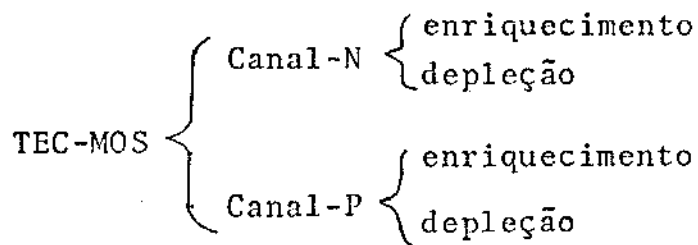
O TEC-MOS é um dispositivo ativo de três terminais, capaz de amplificar potência. Difere, contudo, do transistor bipolar porque não é um amplificador de corrente e sim um dispositivo dependente de tensão que conta com um efeito de campo para sua operação. O dispositivo é unipolar, ou seja, a condução se dá exclusivamente por derivação, ou de elétrons, ou de lacunas. O primeiro, por derivação de elétrons, é o canal-N que é construído sobre substrato tipo-P e o segundo é o canal-P, construído sobre substrato tipo-N.

O principal objetivo do presente trabalho é o de dimensionar, construir e caracterizar um TEC-MOS.

1.1.1 - Descrição dos tipos de TEC-MOS

Os TEC-MOS podem ser classificados em canal-N e ca

nal-P, os quais podem, ainda, ser subdivididos em enriquecimento e depleção. Podemos, então, apresentar a seguinte chave para classificar os TEC-MOS:



As figuras 1.1 mostram as estruturas desses transistores ilustrando a classificação apresentada acima.

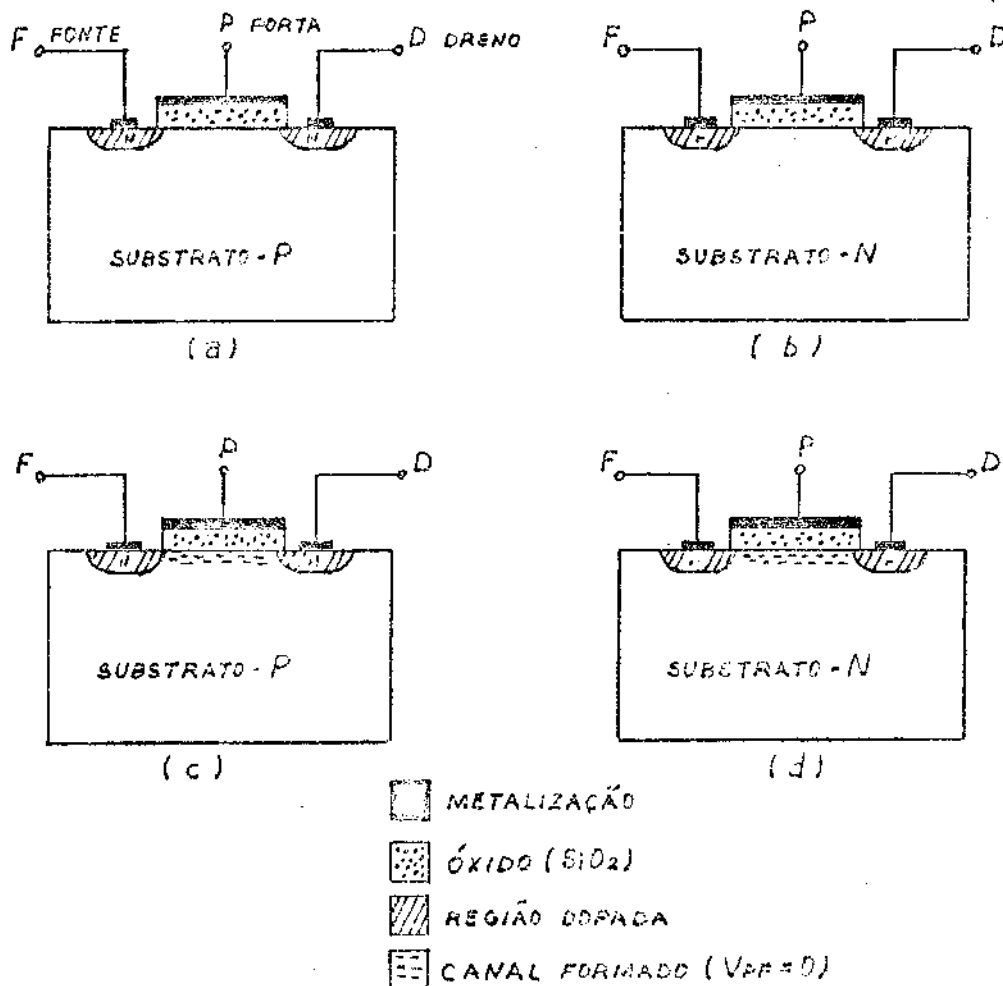


Fig.1.1 - Estrutura dos vários tipos de transistores MOS. Os eletrodos estão flutuando (sem campo aplicado).

a) TEC-MOS canal-N por enriquecimento.

b) TEC-MOS canal-P por enriquecimento. (vire)

- c) TEC-MOS canal-N por depleção.
- d) TEC-MOS canal-P por depleção.

Por causa da natureza da interface $\text{SiO}_2\text{-Si}$, a superfície semi-condutora é tipo-N⁽³⁾ se o substrato (P ou N) for de alta resistividade. Conseqüentemente, a fabricação de TEC-MOS canal-P por depleção é mais difícil.

Os dispositivos que operam no modo enriquecimento não apresentam camada de inversão inicial, quando a tensão da porta é zero; já os por depleção apresentam inversão mesmo sem tensão aplicada à porta.

A importância do tipo que opera no modo de depleção é que ele pode operar tanto com tensões de porta positivas ou negativas e podem ser construídos sem a necessidade da superposição da porta sobre a fonte e o dreno; dessa forma operam em frequências mais altas.

1.1.2 - Descrição das estruturas dos TEC-MOS

O TEC-MOS, fig. 1.2, estruturalmente é um substrato levemente dopado que contém duas regiões fortemente dopadas próximas uma da outra que são chamadas fonte e dreno, indistintamente.

A região compreendida entre a fonte e o dreno é o canal que liga os dois após a mudança do tipo de condutividade desta região. Sobre a região do canal existe uma fina camada de isolante, comumente o SiO_2 . O eletrodo que fica sobre este isolante é chamado de porta.

A camada isolante entre o eletrodo da porta e o substrato é a razão de mais um nome, TRANSISTOR A EFEITO DE CAMPO COM PORTA ISOLADA, para tal estrutura. É a razão, também, do dispositivo apresentar alta impedância de entrada e ser dependente de tensão.

Consideremos uma situação como a mostrada na fig. 1.3 onde o substrato é aterrado e uma tensão é aplicada no eletrodo da porta em relação à terra.

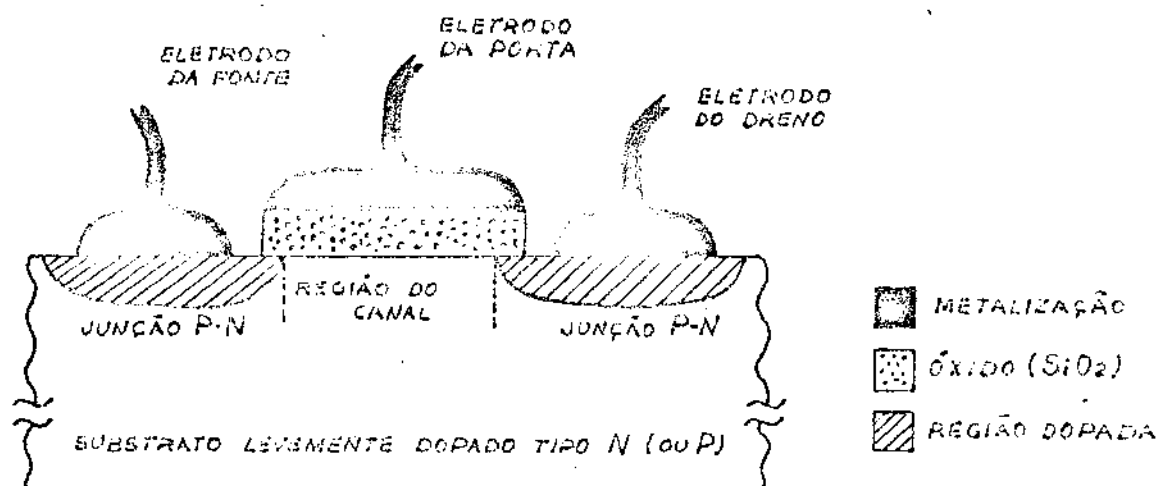


FIG. 1.2 - Estrutura de um TEC-MOS genérico

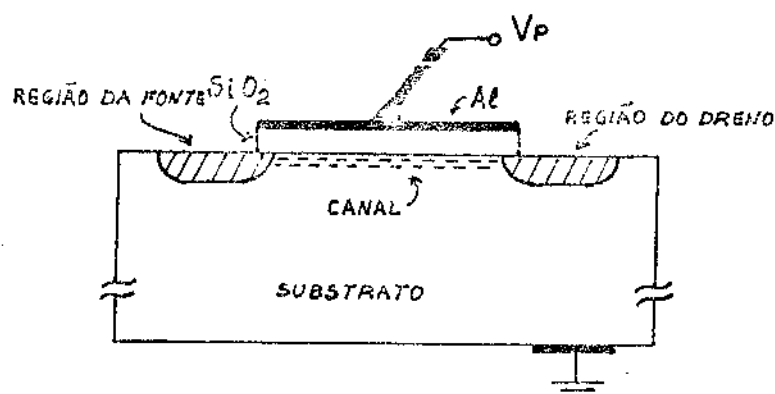


FIG. 1.3 - Estrutura de um TEC-MOS com fonte e dreno flutuando

Como consequência da aplicação de V_p aparecerá um campo elétrico e_x perpendicular à fina camada de óxido. Faremos uma pequena aproximação que é a de considerar que toda a tensão aplicada V_p apareça somente na camada de óxido; isto é razoável tendo em vista que a resistividade do substrato é desprezível em relação à da camada de óxido.

Para facilitar a visualização vamos considerar um dispositivo canal-N, fig. 1.4 .

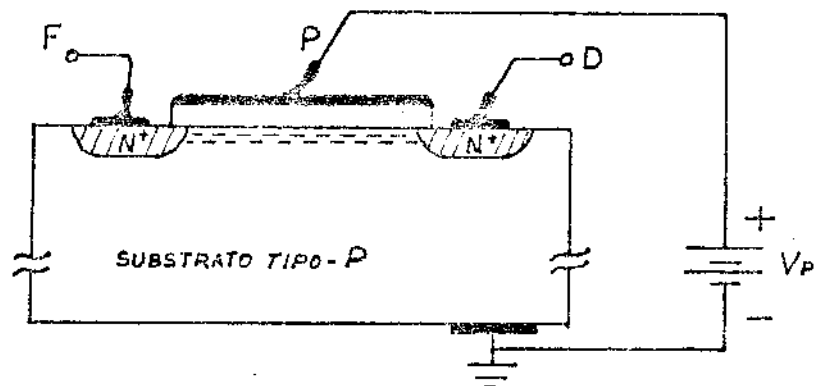


FIG. 1.4 Estrutura de um TEC-MOS Canal-n, com fonte e dreno flutuando.

Quando se aplica uma tensão V_p , de tal forma que o eletrodo da porta fique positivo em relação ao substrato aparecerá um campo que atrairá elétrons, que são minoritários - no substrato-p, para a superfície. Uma finíssima camada de elétrons livres é, então, criada, enriquecendo a superfície com esses portadores. Quando o campo for tal que provoque a desigualdade: $n > p$ na região do canal, ocorre inversão do tipo de sua resistividade. Logo abaixo dessa camada de inversão surgem outros elétrons que se combinam com as impurezas ionizando-as - ao mesmo tempo em que as lacunas são afastadas, criando uma região de depleção. Continuando o percurso para o interior do substrato encontraremos um material cuja concentração de lacunas cresce gradativamente. Naturalmente a extensão dessas regiões é função da intensidade do campo elétrico ou, o que é o mesmo, da tensão V_p . A fig. 1.5 mostra essas regiões.

A tensão da porta controla a espessura da camada de inversão, ou seja a região do canal e, assim, determina a densidade de elétrons na banda de condução. A condutância entre fonte e dreno aumenta para correspondentes aumentos positivos de tensão da porta V_p .

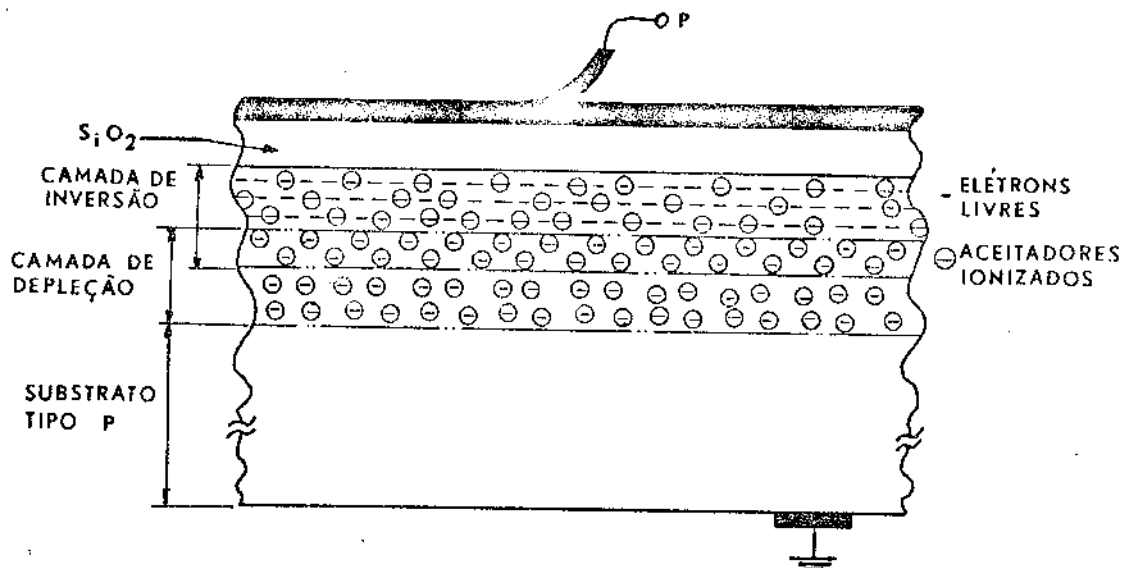


FIG. 1.5 - Estrutura focalizando a região do canal de um TEC-MOS

Para tensões entre fonte e dreno suficientemente baixas, o TEC-MOS se comporta, eletricamente, como um resistor-variável com a tensão V_p . A fig. 1.6 mostra a estrutura completa do TEC-MOS.

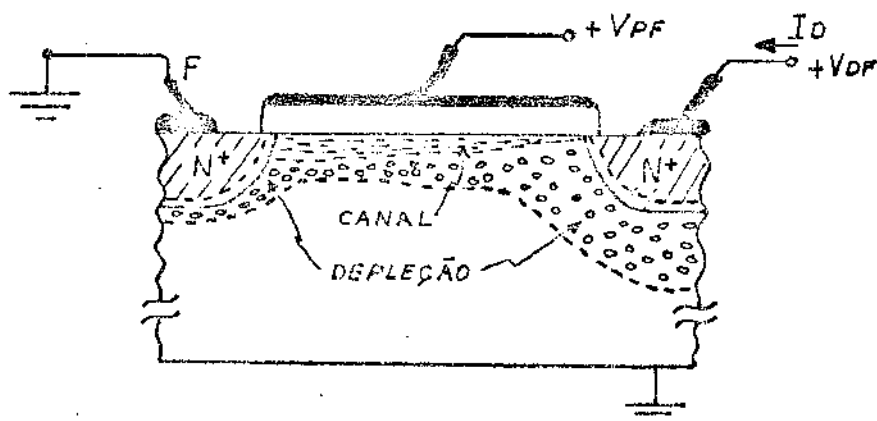


Fig. 1.6 - Estrutura do TEC-MOS para uma certa tensão V_p suficiente para formar inversão na região do canal; mostra também as regiões de depleção.

Observando a figura 1.6 pode-se notar que todas as regiões N^+ , d_i fundidas (fonte e dreno) ou invertidas (canal) estão isoladas, eletricamente, do material do substrato por uma camada de depleção¹.

Quando, num dispositivo TEC de enriquecimento, a tensão da porta, V_{PF} for muito baixa, o canal terá espessura desprezível e, portanto, I_D será muito baixa. Aumentando V_{PF} o canal forma-se, aumentando a corrente I_D . Haverá uma tensão V_{PF} específica acima da qual consideramos que o dispositivo está conduzindo. A ela, chamamos de tensão de transição V_T como mostra a figura 1.6.b. Esta tensão depende da estrutura das faixas eletrônicas do metal, do silício e do óxido, bem como das cargas situadas na região de interface SiO_2/Si .

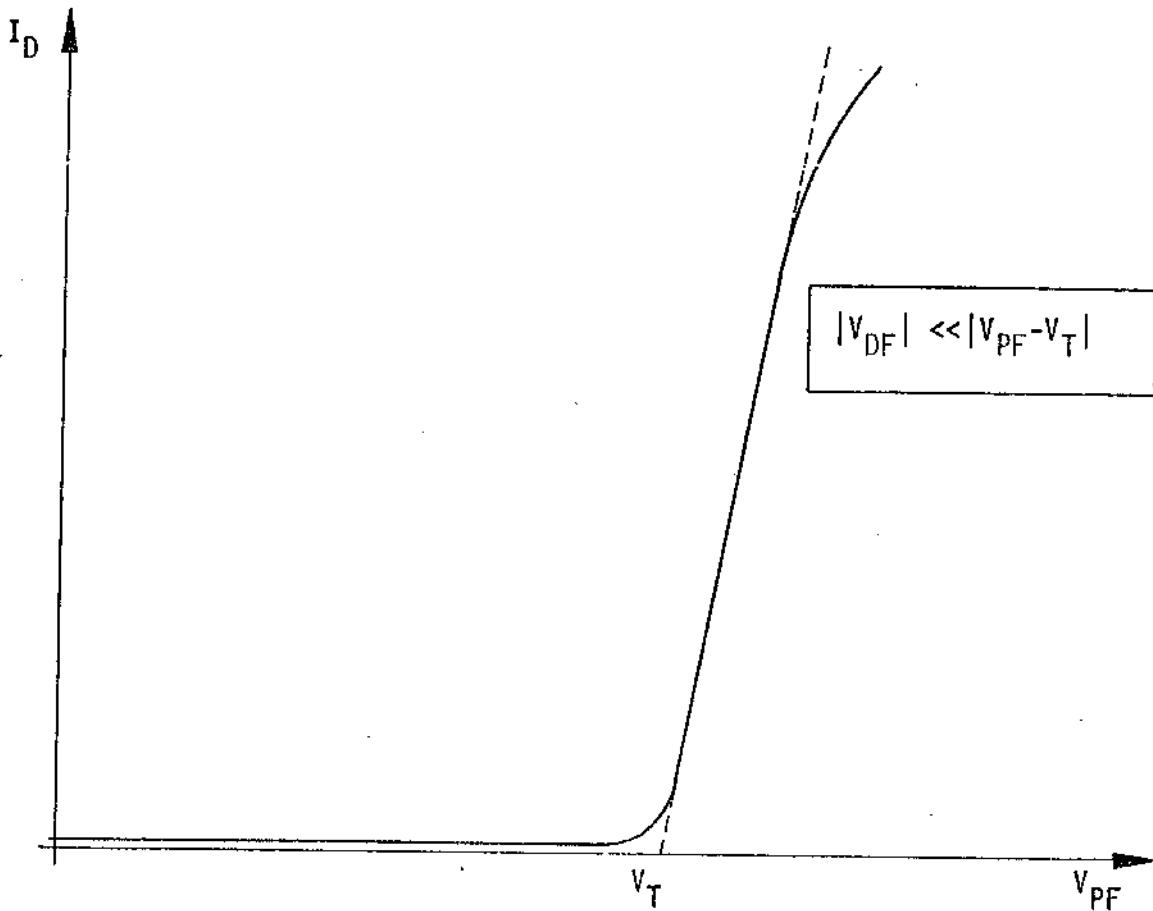


Figura 1.6.b. - Gráfico de $I_D \times V_{PF}$ para V_{DF} constante e pequeno, onde se mostra a tensão de transição V_T

A corrente I_D produz uma queda $I_D \times R$ ao longo do canal, R sendo a resistência total do canal. Esta queda é de tal polaridade que se opõe - ao campo elétrico no óxido produzido pela tensão de polarização da porta.

Quando a queda $I_D R$ atinge um certo valor o suficiente para reduzir aquele campo a um valor insuficiente para formar a inversão dizemos que o canal está estrangulado (pinch-off) e a corrente do dreno tende a saturar - num valor constante (independente da tensão do dreno) diz-se que o dispositivo está em saturação. Em consequência também dessa queda de tensão $I_D R$, a camada de inversão é mais espessa próximo à fonte e se estreita até atingir espessura zero no ponto de estrangulamento (pinch off), junto ao dreno.

1.1.3 - Processos viáveis de fabricação de transistores de efeito de campo

Vários são os processos utilizados para construção de transistores de efeito de campo. Descreveremos a seguir as principais técnicas de fabricação desses dispositivos.

a) Técnicas de oxidação e propriedades do óxido

A oxidação é um processo básico em C.I., ou seja, é necessária em todas as linhas de fabricação de dispositivos.

Já é bastante conhecida a influência da passivação e estabilização da superfície do silício por meio do dióxido de silício (SiO_2)⁽²⁾. Além disso, a camada de SiO_2 é usada para atuar como uma máscara, permitindo difusões seletivas.

Uma camada de dióxido de silício (SiO_2) pode ser crescida facilmente numa superfície "perfeitamente limpa" por meio de oxidação a

alta temperatura, aproximadamente 1000°C , em atmosfera de oxigênio seco ou em atmosfera de oxigênio saturada com vapor d'água^(3,25). A taxa de crescimento é bastante conhecida e controlada, podendo-se crescer camadas de espessuras - bem precisas. Tais óxidos têm muito boa qualidade quanto à resistividade - às correntes de fuga.

As três ações principais do SiO_2 na superfície do silício são⁽³⁾:

- a) Redução do número de ligações incompletas na superfície do silício
- b) Formação de uma camada do tipo N no substrato, junto à interface $\text{SiO}_2 - \text{Si}$
- c) Proteção da superfície contra a contaminação proveniente do meio ambiente

Graças a essas propriedades e também devido às facilidades no processo de crescimento, o SiO_2 tem sido largamente usado como isolante nas estruturas metal-isolante-silício.

A técnica para a fabricação de TEC-MOS é muito exigente quanto à qualidade do óxido crescido na região da porta. Este óxido deverá ser bastante homogêneo, denso e de crescimento bastante controlado, pois sua espessura deverá ser, aproximadamente, 1000 \AA ; então utilizaremos o oxigênio seco para crescer tal óxido que apresenta tais qualidades. Este óxido é chamado óxido seco.

No processo de fabricação dos TEC-MOS, primeiramente é crescido o óxido com vapor d'água sobre a lâmina de silício, onde se abrem as janelas para a difusão da fonte e do dreno. Faz-se a deposição do dopante em tais regiões selecionadas e, em seguida, procede-se à penetração, como nos casos - convencionais. Deve-se ter um bom controle dessas etapas para evitar que ocorra uma difusão lateral exagerada e posteriormente superposição exagerada do eletrodo da porta sobre as regiões da fonte e do dreno. Se isto aconteceremos uma capacitância de realimentação alta, e, conseqüentemente a velocidade de operação do dispositivo será baixa.

A figura 1.7 ilustra, exageradamente, o que dissemos acima.

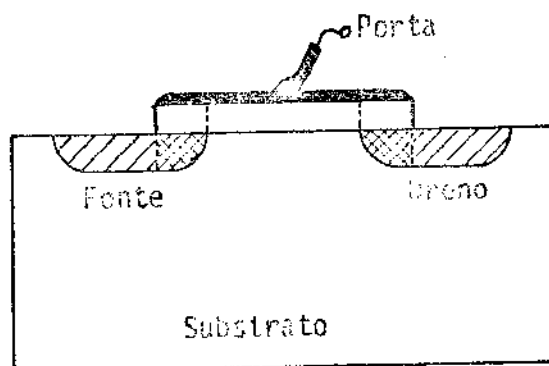


Fig. 1.7 - O esquema mostra a superposição, exagerada, da Porta sôbre a Fonte e o Dreno

b) Outras Técnicas

A técnica convencional que consiste, como vimos anteriormente, de uma estrutura metal-óxido de silício-silício ($Al - SiO_2 - Si$), tende-se a abandonar e substituída por um novo processo⁽⁴⁾. Tal processo usa, como eletro de porta, silício policristalino altamente dopado crescido sôbre uma fina camada de óxido + nitreto de silício e permite considerável diminuição na tensão V_T dos dispositivos.

Os dispositivos com eletrodo de alumínio na porta não podem se "auto-alinhar" e, conseqüentemente, uma certa quantidade de superposição da porta sôbre as regiões da fonte e do dreno deve ser tolerada, em detrimento do desempenho⁽⁴⁾.

Dessa forma, a capacitância de entrada será excessivamente grande, tendo como conseqüência uma velocidade de operação piorada.

Para uma melhor visualização podemos observar as figs. 1.8

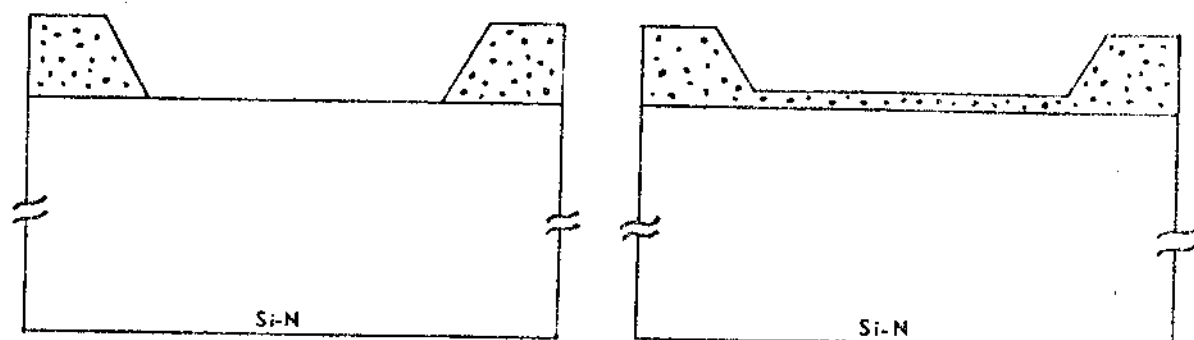


Fig. 1.8.a - Abertura de janela no óxido espesso

Fig. 1.8.b - Uma fina camada de SiO_2 é crescida sobre a camada anterior

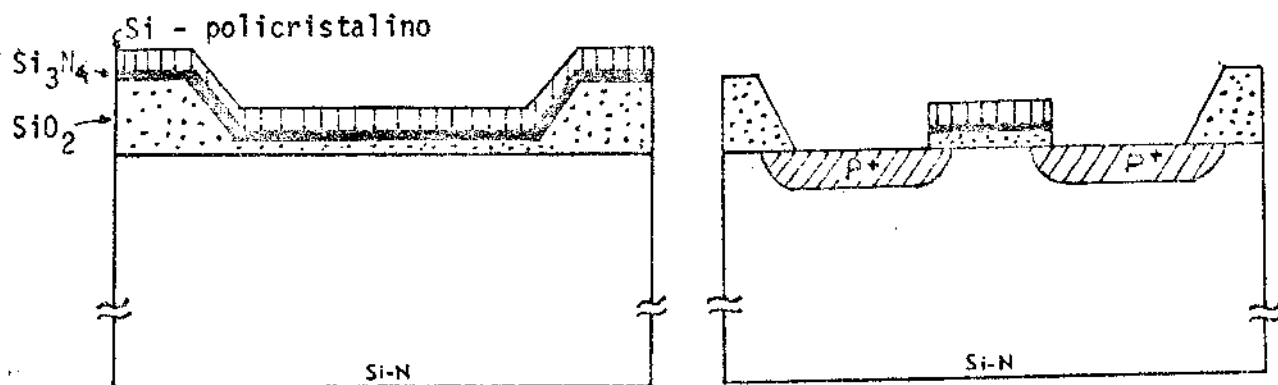


Fig. 1.8.c - Uma camada de Si_3N_4 é depositada entre o SiO_2 e o silício policristalino.

Fig. 1.8.d - O boro é difundido nas janelas

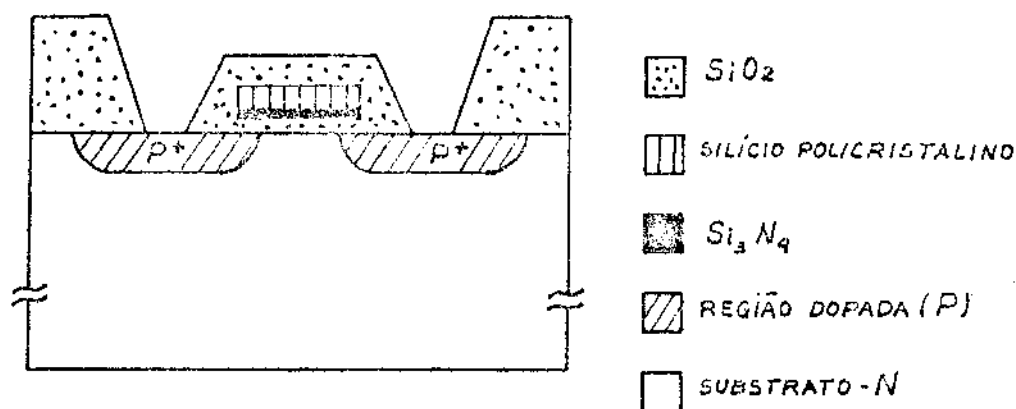


Fig. 1.8.e - Finalmente cresce-se SiO₂ e em seguida abre-se janelas p/ contatos.

c) Técnica de Implantação Iônica

Num esforço de reduzir a superposição de eletrodo da porta sobre as regiões da fonte e do dreno e, conseqüentemente, a capacitância de realimentação, pode ser usada a técnica de implantação iônica. Por esse processo é possível reduzir a superposição praticamente a zero porque aqui é eliminada a difusão lateral que existe na técnica convencional de difusão.

As máscaras para esse caso podem ser de metal ou de óxido bem espesso para proteger, da penetração de íons, as regiões não dopadas. Pode-se com essa técnica quase duplicar a velocidade de resposta do dispositivo⁽⁴⁾. O futuro desses dispositivos dependerá do custo do processo de implantação iônica em base de produção. Outra aplicação da implantação iônica dos TEC-MOS é o controle da tensão V_T por dopagem no canal.

1.2.1. - Estados de Interface, Efeitos de Superfície

Uma vez que a operação do transistor MOS é dependente da formação de uma camada de inversão condutora na superfície do silício a operação do dispositivo será fortemente de

pendente da natureza dessa superfície. Uma superfície perfeitamente limpa é impossível de se conseguir. A tecnologia tem-se preocupado exaustivamente, nos últimos anos, com a mesma. O afastamento das condições ideais de uma superfície já é inerente à própria existência da superfície, pois, pelo simples fato de uma estrutura cristalina "perfeita" terminar na superfície, a interrupção de sua periodicidade já dará origem, como foi previsto por Tamm e por Shockley, a estados de energia permitidos a portadores ao longo da faixa proibida de energia. Tais estados irão contribuir para os chamados estados rápidos de interface⁽³⁾. Na realidade, a superfície deve ser considerada como uma região, isto porque a interação mútua das duas fases - que definem a superfície não está localizada num plano. Esta região será, então, constituída das partes cujas propriedades se distanciam das características do interior do material.

As características elétricas dos dispositivos de efeito de campo são influenciadas pela qualidade da superfície do sistema MOS. O estudo das características $C \times V$ de uma estrutura MOS é a base para a avaliação da qualidade da superfície semicondutora.

O afastamento das condições ideais se deve à existência de estados de interface, no óxido e junto à interface $\text{SiO}_2 - \text{Si}$. Os estados de interface, N_{IF} , podem ser divididos em estados localizados na interface propriamente dita e estados localizados na faixa proibida do óxido, cuja maior densidade ocorre próximo a interface. Os estados localizados na interface se subdividem em estados rápidos, N_{RIF} , e estados lentos, N_{LIF} .

Os estados N_{RIF} são estados permitidos localizados na faixa proibida. O aparecimento de tais estados é atribuído à existência de vazios no silício junto à superfície⁽⁶⁾. Teoricamente, acredita-se que há um estado rápido para cada átomo da superfície⁽³⁾, resultando uma densidade de 10^{15} cm^{-2} . Como a superfície do silício é normalmente coberta por uma camada de óxido essa densidade cai para 10^{11} a 10^{12} cm^{-2} . Fazendo-se um tratamento conveniente⁽⁵⁾ pode-se reduzir estes estados para um valor da ordem de 10^{10} cm^{-2} . Os estados N_{LIF} são armadilhas na interface $\text{SiO}_2 - \text{Si}$.

As densidades N_{RIF} e N_{LIF} podem ser reduzidas pelo processo de recozimento com hidrogênio seco a alta temperatura. P. Balk atribui a redução desses estados, pelo recozimento com hidrogênio seco, à formação de ligações Si-H na interface $SiO_2 - Si$.

Quanto aos estados no óxido, N_{ox} , experimentalmente se verifica que estão quase todos ionizados e que tem as seguintes propriedades:

1. são fixos;
2. a sua densidade N_{ox} não é afetada, sensivelmente, pela espessura do óxido ou pelo tipo de concentração de impurezas no silício;
3. sua densidade depende muito fortemente - das condições de oxidação e recozimento - e, também, da orientação cristalográfica da lâmina de silício.

O efeito da orientação sobre o valor de N_{ox} pode, para um mesmo processo de oxidação, ser resumido assim:

$$N_{ox}(111) > N_{ox}(110) > N_{ox}(100)$$

O efeito das condições de oxidação e de recozimento sobre o valor de N_{ox} pode ser visualizado pela figura 1.9.

A figura 1.9 mostra N_{ox} resultante de uma oxidação seca seguida de recozimento com N_2 . Como vemos, não importa o histórico da oxidação⁽⁶⁾, o que ditará o valor de N_{ox} serão as condições de recozimento final. Uma explicação para esse comportamento é a que afirma que durante a oxidação os íons de silício ficam aguardando as espécies oxidantes, que se difundiram através do óxido durante o processo de oxidação, para reagirem com os átomos de silício⁽⁶⁾, de modo que ao interromper a oxidação, alguns átomos do oxidante ficam presos no óxido.

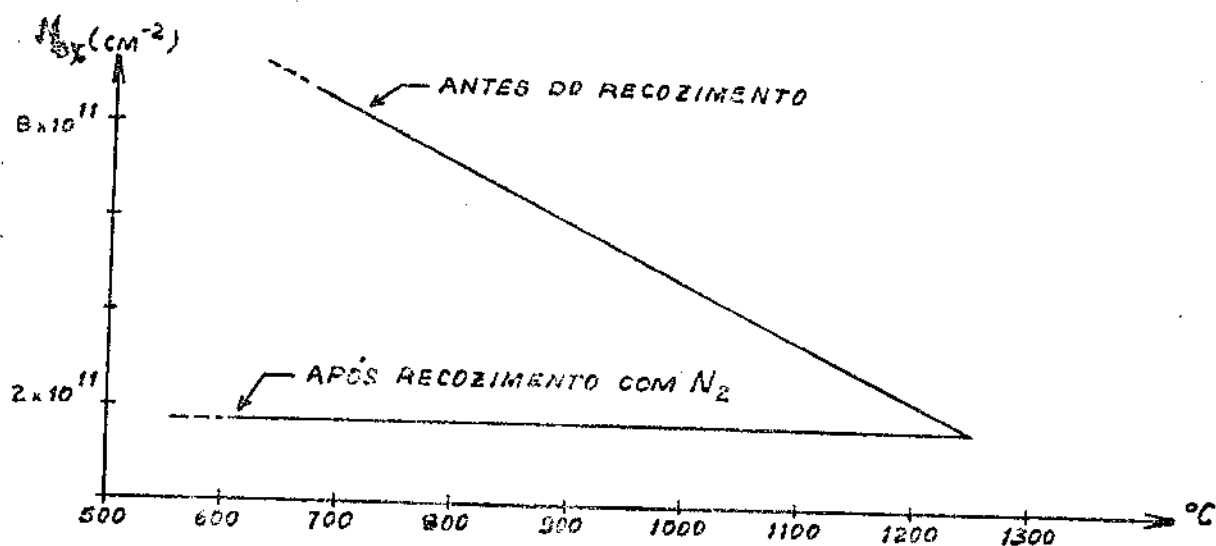


Fig. 1.9 - Densidade de estados (N_{ox}) no SiO_2 em função da temperatura de oxidação (ref. 6)

A densidade de estados N_{IF} , depende da orientação do cristal da seguinte forma: $N_{IF}(111) > N_{IF}(110) > N_{IF}(100)$.

Os efeitos de N_{IF} nos TEC-MOS podem ser resumidos nos seguintes⁽⁵⁾:

- I - Contribuem para a corrente de fuga na junção de dreno
- II - São responsáveis pelo ruído de baixa frequência
- III - Diminuem a mobilidade dos portadores na região do canal
- IV - Contribuem com um incremento ΔV para a tensão de transição, V_T

Experimentalmente se verifica a existência de cargas móveis no óxido devidas à contaminação iônica.

Estas cargas dão origem a instabilidades devidas à migração desses íons dentro do óxido, quando da aplicação de campo elétrico.

Os íons de metais alcalinos, em particular os íons de sódio são os que mais vagarosamente migram no óxido sob a ação do campo e isto gera a instabilidade¹. Suponhamos que estejam presentes no óxido os íons móveis e os íons fixos devidos aos estados de interface que estão ionizados. Na figura 1.10 podemos visualizar tais cargas.

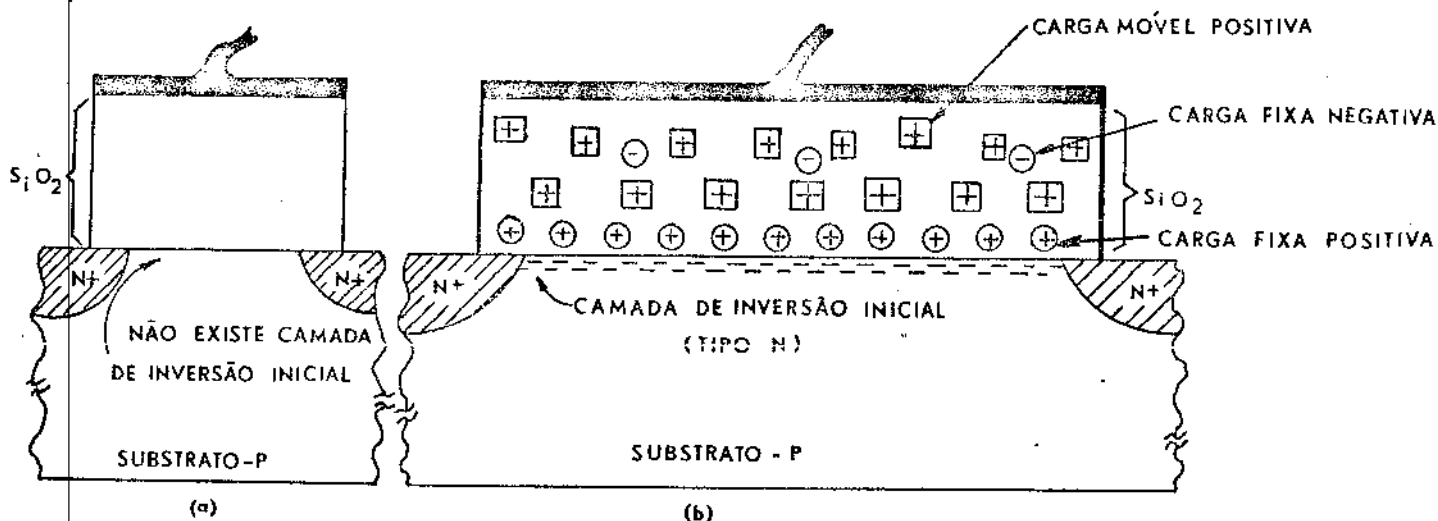


Fig. 1.10 - Estrutura de um TEC-MOS ilustrando a influência das cargas do óxido na formação do canal em substrato tipo-p. a) óxido (sem carga) b) com carga

Os íons positivos no SiO_2 próximos à interface atraem elétrons para a superfície podendo formar uma camada de inversão, em substrato do tipo-P, como mostra a figura anterior, ou formar uma camada de acumulação se o substrato for do tipo N. Um número variado de íons, tanto positivos como negativos, pode estar presente no interior do óxido.

Grove e outros pesquisadores constataram que quase todos os íons negativos são imóveis, enquanto os íons positivos (Na^+) estão sujeitos à deriva sob a ação de um campo elétrico intenso. Se aplicarmos uma tensão positiva V_p no eletrodo da porta em relação ao substrato da estrutura da Fig. 1.11 e isto resultar num campo da ordem 10^5 a 10^6 V/cm, os íons de sódio,

que são relativamente livres de migrarem, se moverão vagorosamente para a interface $\text{SiO}_2\text{-Si}^{(1)}$, como mostra a fig. 1.11

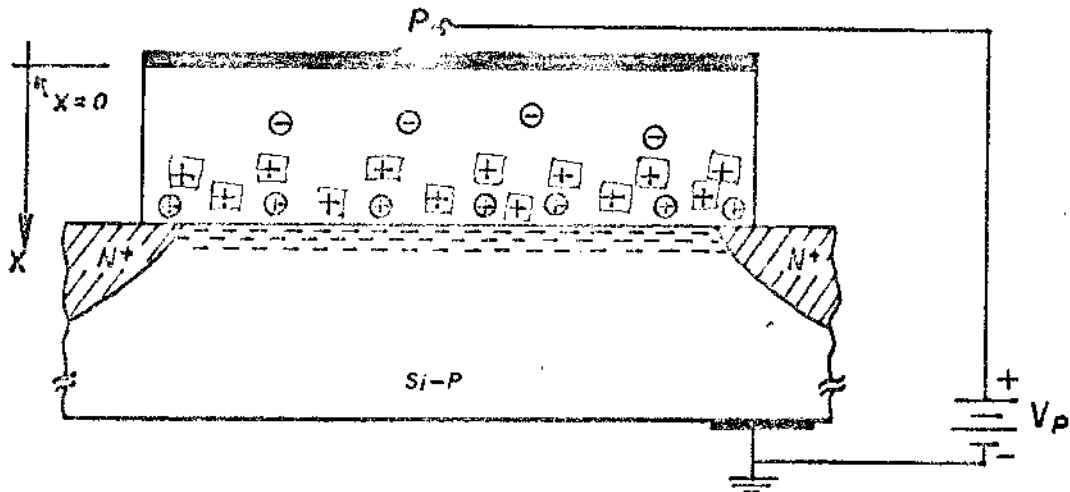


Fig. 1.11 - A espessura do canal aumentada sob a influência dos íons móveis.

Como vemos, a camada de elétrons livres se alargou porque se avizinharam da interface outras cargas positivas, atraindo mais elétrons para a camada já existente. Essas cargas móveis são devidas principalmente aos íons de sódio.

Como resultado, a condutância entre fonte e dreno é aumentada em relação ao valor anterior. Se agora a tensão da porta for tornada igual a zero, não existirá campo elétrico no óxido, e os íons permanecerão em suas respectivas posições. Se traçarmos a característica condutância entre fonte e dreno conjuntamente com o campo elétrico E_x , ambos em função do tempo⁽¹⁾, teremos um gráfico como mostrado na fig. 1.12.

A única maneira de voltar à condição inicial do canal é aplicar uma tensão negativa à porta para retirar os íons Na^+ da interface e redistribuí-los no óxido. Este problema, da deriva devida ao campo elétrico, não é insolúvel, e existem três caminhos principais para sua solução.

O primeiro método é eliminar, por processos de limpeza rigorosa, tanto quanto possível, a contaminação do óxido pelos íons de Na^+ . Terminada a construção do dispositivo - este deve ser encapsulado hermeticamente para ser protegido da

contaminação.

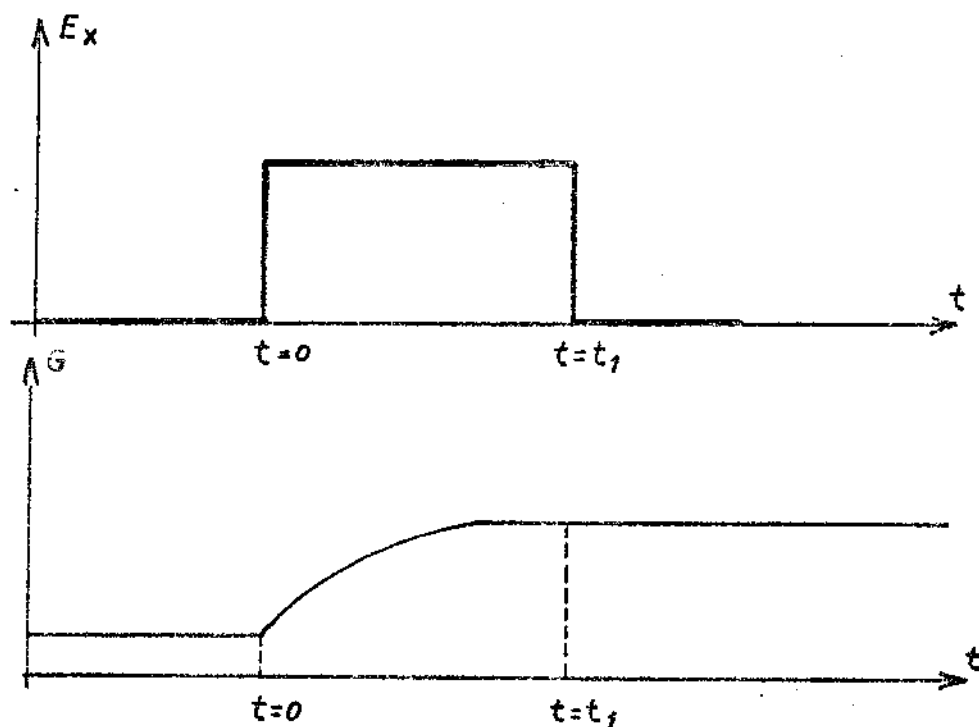


Fig. 1.12 - Efeito do campo E_x na deriva da condutância, G , entre fonte e dreno.

A razão da migração de sódio ser possível através do óxido é porque sua mobilidade é suficientemente grande para adquirir apreciável velocidade de deriva em presença de campos elétricos da ordem de 10^5 a 10^6 V/cm. Os dois últimos métodos tentam diminuir esta mobilidade.

A mobilidade dos íons de sódio é muito menor no fósforo-silicato (P_2O_5) do que no óxido puro, e os íons não passam com facilidade através da camada de $P_2O_5^{(7),(a)}$. A formação de uma camada de P_2O_5 elimina grande parte da instabilidade devida à contaminação iônica.

O terceiro método é abandonar o SiO_2 como isolante e usar outro material com menor tendência à deriva iônica. A mobilidade iônica é bem menor no nitreto de silício do que no óxido de silício⁽⁹⁾. Além disso as propriedades isolantes do nitreto de silício são mais favoráveis. Contudo, a tecnologia associada à sua deposição e ataque químico é mais complexa.

Podem ocorrer efeitos secundários na instabilidade

de, tais como cargas induzidas no óxido por radiação⁽¹⁰⁾. As vacâncias induzidas no SiO_2 por radiação, durante o processo de metalização podem ser facilmente eliminadas pelo recozimento a baixa temperatura⁽¹⁰⁾.

1.2.2 - Determinação do Modelo

As características dos transistores MOS são de terminadas basicamente pela camada de inversão de carga superficial distribuída ao longo do canal entre a fonte e o dreno sob as influências das tensões da porta e do dreno, como mostra a fig. 1.13 .

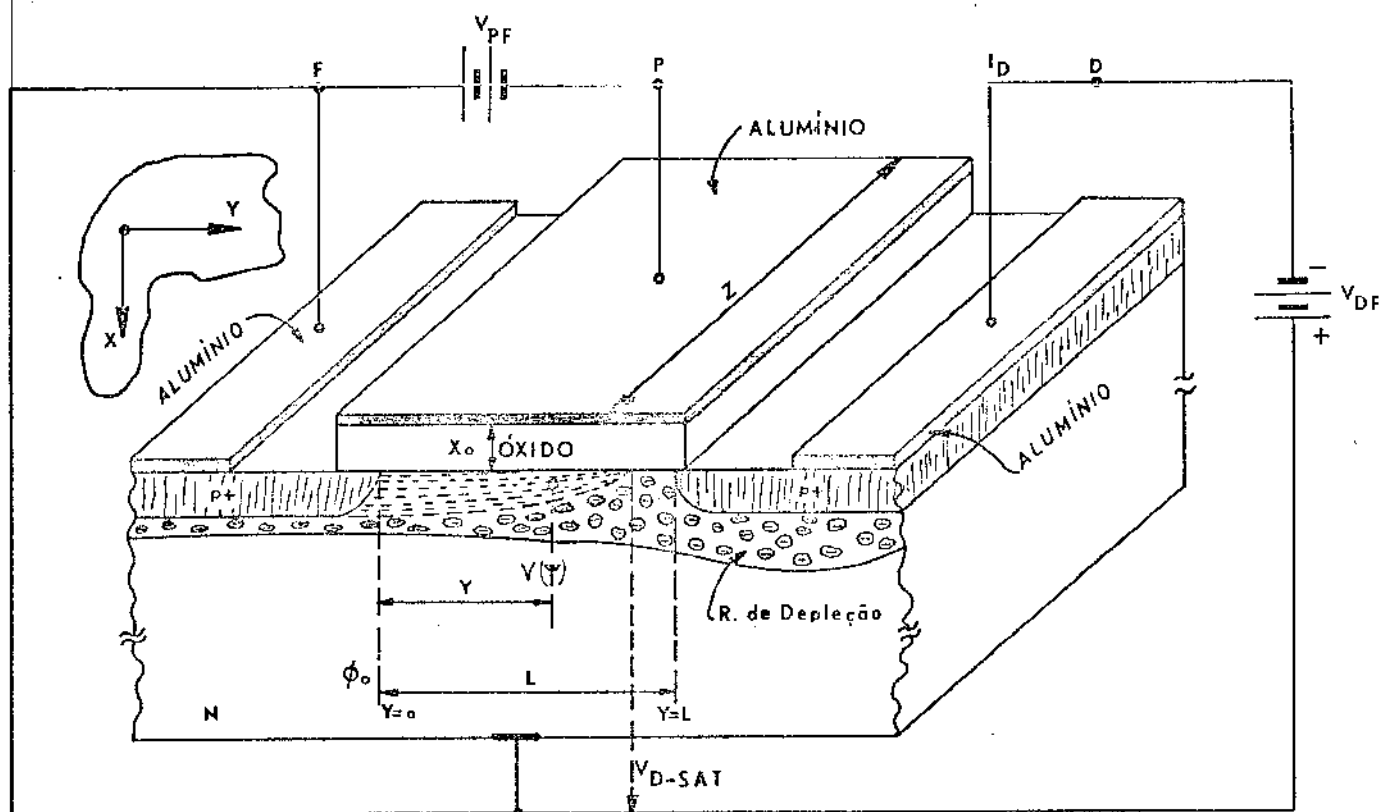


Fig. 1.13 - Estrutura de um TEC-MOS ilustrando a distribuição de cargas no canal, sob a influência de V_{PF} e de V_{DF}

Por causa do fluxo de corrente, resultará uma distribuição de tensão na região do canal e, se o substrato for conectado à fonte, esta distribuição aparecerá também entre o canal e o substrato, alterando, dessa forma, o aspecto da curva tura das faixas de energias⁽¹¹⁾, como mostra a figura 1.14. Esse diagrama é aplicável a qualquer ponto y no canal.

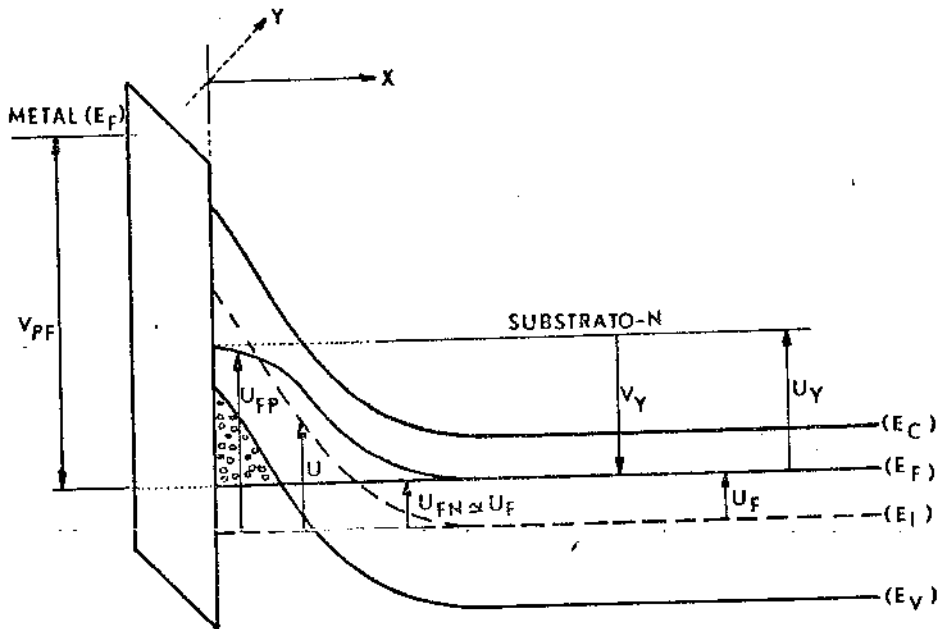


Fig. 1.14 - Diagrama de faixas de energias da estrutura MOS em presença do potencial V_y entre o canal e o substrato.

As concentrações de portadores no semiconductor na direção perpendicular (direção - x) e próxima à superfície, de acordo com esse diagrama⁽¹¹⁾, são:

$$p = n_i \exp. \{U - (U_{FN} + U_y)\} \quad 1.1$$

$$n = n_i \exp. \{U_{FN} - U\} \quad 1.2$$

onde,

$$U_y = q \frac{V_y}{KT}, \quad U_{FP} = U_{FN} + U_y; \quad U = \frac{q\phi}{KT}$$

$$U_{FN} = \frac{q \phi_{FN}}{KT} ; U_{FP} = \frac{q \phi_{FP}}{KT}$$

sendo que: V_y é a diferença de tensão entre o canal e o substrato num ponto y , como se vê na figura 1.13; $q\phi_{FN}$ e $q\phi_{FP}$ são as energias potenciais tomadas como referência o nível de Fermi intrínseco. Na superfície, onde $x = 0$, $U \triangleq U_s$, $\phi \triangleq \phi_s$. Na fonte, onde $y = 0$, $\phi_s \triangleq \phi_{s0}$.

Usando os valores de p e de n , apresentados nas equações acima, a integração da equação de Poisson em uma dimensão fornece a equação da densidade de carga ao longo da direção Y , por unidade de área⁽¹¹⁾.

$$Q_p(y) = Q_0 \sqrt{\exp. U_F} \cdot \left[\sqrt{U_s - 1 + \exp. (U_s - 2 U_F - U_y)} \right. \\ \left. - \sqrt{(U_s - 1)} \right] = C_0 \left[V_{PF} - (\phi_{s0} + V_y) - A \sqrt{(\phi_{s0} - \frac{KT}{q} + V_y)} \right]$$

onde, $Q_0 = \left(\frac{\epsilon}{L_{Di}} \right) \cdot \frac{KT}{q}$, sendo que L_{Di} é o comprimento intrínseco de Debye.

$q \phi_{s0}$ representa a energia potencial da superfície próxima à fonte, onde $y = 0$. C_0 é a capacitância da camada de óxido por unidade de área; A é o parâmetro indicativo do efeito da carga do substrato e é igual a $(2 \epsilon q N_D)^{1/2} / C_0$.

Com referência à figura 1.1, a corrente do canal, que é necessariamente igual à corrente do dreno I_D , pode ser escrita de acordo com a Lei de Ohm,

$$I_D = Z \cdot Q_p(y) \cdot \mu_s \cdot \frac{dV_y}{dy} \quad 1.4$$

Z é a largura do canal; μ_s é a mobilidade dos portadores no canal.

A análise da característica d.c. do transistor MOS é normalmente feita supondo, para simplificar, que haja uma mudança brusca da depleção para a inversão e ainda que a mobilidade é efetivamente constante, pelo menos, para pequenos valores de V_{PF} . A equação da corrente I_D , então, fica⁽¹¹⁾:

$$I_D \approx Z \cdot \bar{\mu}_s \cdot C_o \left[V_{PF} - V_T - V_Y - A (\sqrt{\phi_o + V_Y} - \sqrt{\phi_o}) \right] \cdot \frac{dV_Y}{dy} \quad 1-5$$

onde, tomando $\phi_o = 2 \phi_{FN}$,

$$V_T \approx V_{FB} + \phi_o + A \sqrt{\phi_o} \approx - \frac{Q_{SS}}{C_o} + \phi'_{MS} + 2 \phi_{FN} + A \sqrt{2 |\phi_{FN}|} \quad 1-6$$

onde Q_{SS} engloba as cargas dos estados de interface que estão ionizados.

$\phi'_{MS} = \phi_M - (X + \frac{V_{BP}}{2} + \phi_{FN})$ em que ϕ_M é a função trabalho do metal.

X é a afinidade eletrônica do silício.

V_{BP} é o valor da tensão correspondente à energia da faixa proibida, e, $q\phi_{FN}$ é o potencial correspondente ao nível de Fermi E_{FN} . C_o é a capacitância do óxido por unidade de área.

V_T é a chamada tensão de transição e, o seu valor é normalmente obtido pela extrapolação das curvas que representam ou a transcondutância, ou a condutância do canal em função de V_{PF} , para V_{DF} pequeno. V_{FB} é a chamada tensão de banda plana. ϕ_o é o potencial na superfície para $V_{PF} = V_T$ e $V_{DF} = 0$. Apresentare

mos a seguir, as expressões da condutância e da transcondutância na região linear e as expressões de I_D e g_m na saturação.

a) Condutância do canal, para $V_{DF} \approx 0$

A dependência da condutância do canal, g_{fd} , do TEC-MOS com a tensão da porta quando $V_{DF} \approx 0$, é um parâmetro, particularmente conveniente para se estudar o comportamento da mobilidade dos portadores na camada de inversão, $\mu_s^{(12)}$. Pode-se expressar a condutância, g_{fd} , da seguinte forma:

$$g_{fd} = (Z/L) \cdot \sigma_s \quad 1.7$$

onde,

L é o comprimento efetivo do canal e σ_s é a condutância da camada de inversão por quadrado unitário (condutância de folha do canal). Por outro lado, pode-se mostrar que¹¹:

$$\sigma_s = \int_0^{Q_p} \mu_s \cdot dQ_p' = \mu_B \int_0^{Q_p} \left(1 + \frac{E_s}{E_c} \right)^{-1} \cdot dQ_p' \quad 1.8$$

onde,

$$\begin{aligned} E_s &= \frac{Q_p}{\epsilon} + \frac{\sqrt{2} \cdot \sqrt{2 \cdot \epsilon \cdot q \cdot N_D} |2\phi_{FN}|}{\epsilon} = \\ &= \frac{Q_p}{\epsilon} + \frac{Q_{st}}{\epsilon} \end{aligned} \quad 1.9$$

E_s é o campo na superfície do semiconductor e E_c é o chamado campo crítico, para o qual μ_s cai para a metade de seu valor no substrato, μ_B . Pode-se mostrar que:

$$E_c = \mu_B^{-1} \cdot V_{th} \quad 1.10$$

sendo, V_{th} a velocidade térmica média dos portadores e é igual a $(3KT/m^*)^{1/2}$; Onde m^* é a massa efetiva dos portadores. N_D é a concentração de impurezas doadoras do substrato; ϵ que é igual a $(\epsilon_0 K_{si})$ é a permissividade absoluta do substrato.

A integração da equação 1.8 com a expressão 1.9 inserida, fornece⁽¹¹⁾.

$$\sigma_s = \epsilon \cdot V_{th} \cdot \ln \left(1 + \frac{Q_p}{Q_{st} + \epsilon E_c} \right) \quad 1.11$$

De acordo com a equação 1.11, σ_s é uma função linear de Q_p para pequenos valores de Q_p , ou de V_{PF} , porém para forte inversão é limitada a uma função logarítmica de V_{PF} . A expressão que se segue para g_{fd} é proveniente da equação 1.11, com a introdução da razão (Z/L) do transistor:

$$g_{fd} = (Z/L) \cdot \epsilon \cdot V_{th} \cdot \ln \left(1 + \frac{V_{PF} - V_T}{V_o} \right) \quad 1.12$$

onde

$$V_o = \frac{Q_{st} + \epsilon \cdot E_c}{C_o} \quad 1.13$$

Para tensões V_{PF} com valores próximos a V_T a equação 1.12 toma a forma linear,

$$g_{fd} \approx Z/L \cdot \left(\frac{\mu_B}{1 + \frac{Q_{st}}{\epsilon E_c}} \right) \cdot C_o \cdot (V_{PF} - V_T) \quad 1.14$$

Na prática, a curva g_{fd} na vizinhança de V_T é completamente distorcida porque a inversão da condutividade da superfície, σ_s , não ocorre bruscamente. Dessa forma, a inclinação da curva $g_{fd} \times V_{PF}$ sempre apresenta um máximo, um pouco além da tensão de transição V_T . Em muitas aplicações de TEC-MOS a mobilidade correspondente a este máximo da inclinação é tomada como a mobilidade superficial efetiva, $\bar{\mu}_s$.

b) Transcondutância, g_m

A inclinação da curva $g_{fd} \times V_{PF}$ é facilmente medida como uma transcondutância quando a tensão entre dreno e fonte V_{DF} , for pequena (da ordem de uns poucos $\frac{KT}{q}$ volts. De acordo com a definição de transcondutância para pequenos sinais, a expressão de g_m é dada por,

$$g_m = \left(\frac{\partial g_{fd}}{\partial V_{PF}} \right) \cdot V_{DF} \quad 1.15$$

Inserindo a equação 1.12 na equação 1.15, tem-se,

$$(g_m)^{-1} = \frac{1}{(Z/L) \cdot \epsilon \cdot V_{th}} \frac{1}{V_{DF}} \left[V_0 + (V_{PF} - V_T) \right] \quad 1.16$$

A variação de g_m , segundo a equação 1.16, é uma indicação direta da natureza da variação da mobilidade com V_{PF} , ou com o campo superficial E_s . Deve-se ressaltar que isso é válido apenas quando $C_o \cdot \Delta V_{PF} \approx \Delta Q_p$ e não tem tal significado físico na parte inicial que representa a cauda da curva da condutância, g_{fd} ¹¹.

A equação 1.16 é usada para a determinação do pa

râmetro. V_{th} , ou a massa efetiva, m^* .

c) Característica na Saturação

A base para o estudo das características d.c. e a.c. dos TEC-MOS nas condições de operação com corrente não saturada e saturada tem sido a equação diferencial 1.5. Quando a tensão V_{DF} for suficiente para saturar o canal e quando a sua influência for desprezível na modulação do canal e tal que a mobilidade efetiva, $\bar{\mu}_s$, permaneça constante, as características essenciais, ou seja a corrente de saturação do dreno I_{D-SAT} e a transcondutância $g_m - SAT$, podem ser expressas assim⁽¹¹⁾.

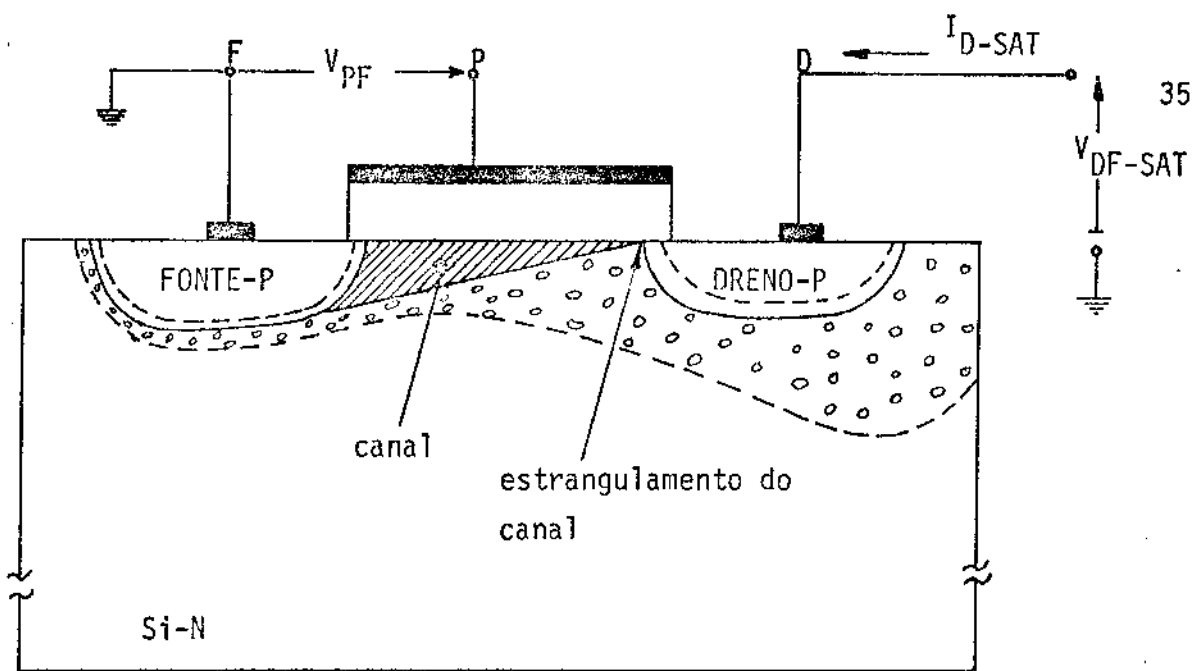
$$I_{D-SAT} \approx (Z/L) \cdot C_o \cdot \mu_s \cdot (V_{PF} - V_T) \cdot V_{DF-SAT} \quad 1.17$$

$$g_m \cdot SAT = \frac{Z}{L} \cdot C_o \cdot \bar{\mu}_s \cdot V_{DF-SAT} \quad 1.18$$

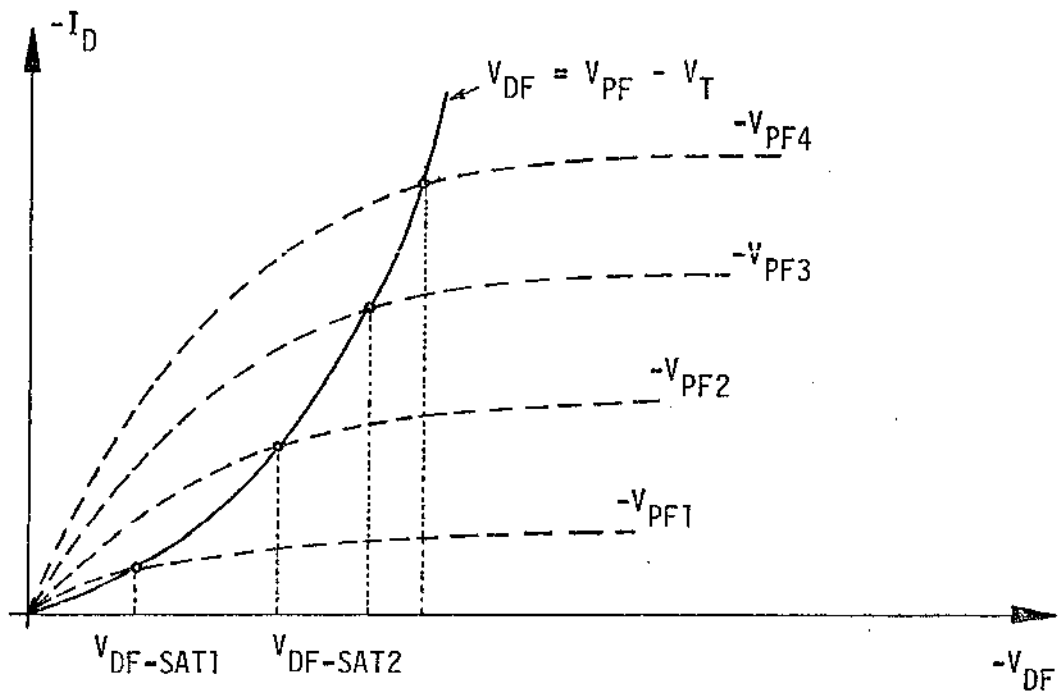
onde,

$$V_{DF-SAT} = V_{PF} - V_T \quad 1.19$$

Entendendo-se como V_{DF-SAT} a tensão entre o dreno e fonte tal que, para uma determinada tensão V_{PF} , provoque o estrangulamento (pinch-off) do canal junto ao dreno, como ilustram as figuras 1.15.



(a)



(b)

Figura 1.15 - Estrutura e característica de um TEC-MOS

- a) Estrangulamento do canal junto ao dreno;
- b) A curva: $V_{DF} = V_{PF} - V_T$ - que é o lugar geométrico dos pontos correspondentes às tensões para as quais ocorre estrangulamento do canal.

1.2.3 - Rupturas no TEC-MOS

Analisaremos, qualitativamente, a ruptura no óxido, nas junções do dreno e do diodo de proteção da porta.

A ruptura do isolante da porta é indesejável uma vez que isto causa um curto-circuito permanente entre o eletrodo da porta e o substrato. Uma das causas dessa ruptura é o manuseio incorreto do dispositivo, pois a capacitância juntamente com a resistividade, muito alta do óxido pode, pelo manuseio, adquirir uma quantidade de carga suficiente para provocar uma alta tensão que rompe o óxido ^{(13), (24)}. Uma maneira de proteger o óxido da porta é construir um diodo entre o eletrodo da porta e o substrato, de tal sorte que fique polarizado reversamente quando o transistor estiver polarizado normalmente. A corrente de fuga do diodo embora baixa, é suficiente para descarregar o capacitor, evitando a ruptura do óxido.

Num TEC-MOS, quando a corrente $I_D = 0$, o problema de ruptura das junções do dreno e do diodo de proteção da porta pode ser analisado considerando os seguintes efeitos: a) efeito na curvatura da junção, b) efeito da presença do eletrodo metálico da porta junto à junção.

Em geral, qualquer região da junção que tem uma curvatura acentuada (com raio de curvatura menor que a largura da região de depleção) apresentará uma tensão de ruptura menor que uma junção plana num substrato similar ^{(16), (25)}. Por outro lado a presença de um bom condutor junto à junção redistribuirá as linhas do campo elétrico na região de depleção junto a esse eletrodo ^{(1), (13), (25)}. Nos TEC-MOS, como o óxido da porta é fino, então a influência do eletrodo da porta mascara o da curvatura da junção do dreno; o mesmo não acontece com o diodo de proteção da porta porque aí o óxido é muito espesso como mostra a fig. 1.16. Nota-se, também pelos mesmos motivos expostos acima uma diminuição da influência da resistividade do substrato na tensão de ruptura da junção do dreno ^{(1), (13), (25)}.

Quando a corrente do dreno é diferente de zero .

então teremos, além de todos os fenômenos descritos anteriormente, a contribuição do efeito dessa corrente. O seu efeito seria o da redistribuição de campo junto à junção e o da contribuição na geração de pares eletrons-lacunas devida aos choques ionizantes dos portadores no canal⁽¹⁾, diminuindo ainda mais a tensão de ruptura.

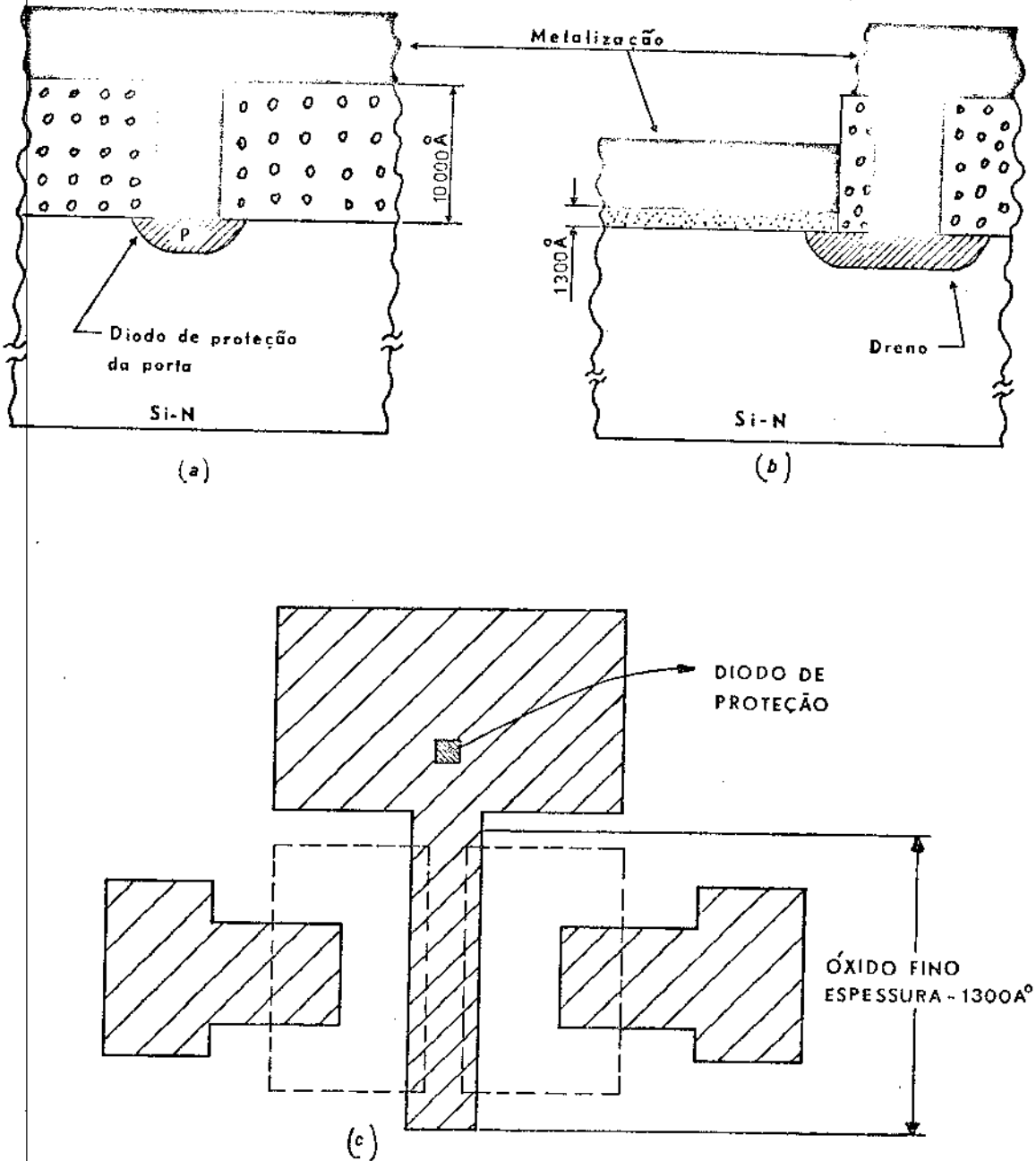


Fig. 1.16 - Espessuras dos óxidos nas regiões: (a) do diodo de proteção da porta, (b) na junção do dreno e (c) a configuração do transistor MOS focalizando o diodo de proteção da porta.

CAPÍTULO II

CONDIÇÕES DE CONTORNO DO PROJETO

Apresentaremos, neste capítulo, o roteiro que seguimos para o projeto de um transistor de efeito de campo com estrutura MOS. Como o presente trabalho visa a construção de um TEC-MOS básico e a sua caracterização, as condições de contorno serão, na sua maioria, arbitradas.

2.1 - Configuração Geométrica

A configuração geométrica de um dispositivo destinado a uma dada aplicação específica é um fator muito importante. Por exemplo, na integração em larga escala, a forma retangular é uma das mais usadas pois permite a automatização da geração das máscaras e também é a mais simples.

No nosso caso, interessa obter um transistor que sirva para a caracterização do processo utilizado e dos parâmetros elétricos. Dessa forma, teremos estabelecido um roteiro de etapas de processos de fabricação e de caracterização de parâmetros elétricos como também a avaliação do processo adotado.

Uma vez estabelecido esse modelo, poder-se-á projetar transistores com características específicas, ditadas pela sua aplicação.

Dessa forma, tendo em vista a finalidade do presente trabalho, escolhemos a configuração retangular, figura 2.1 por ser a mais simples.

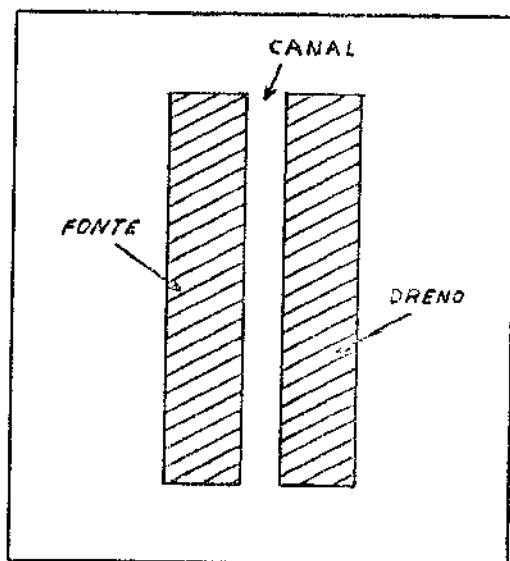


Fig.2.1 - Geometria adotada para os transistores MOS

2.2 - Dimensões

As dimensões do dispositivo foram escolhidas de tal modo que as imprecisões inerentes à confecção das máscaras, ao alinhamento das mesmas durante as várias etapas do processo de fabricação e à resolução do foto-resiste (KTRF) fossem desprezíveis. Seguindo esse caminho, temos uma liberdade muito grande na escolha das dimensões do transistor.

Projetamos um conjunto de máscaras, figura 2.2 com distância entre as janelas de difusão da fonte e do dreno (L) de $14\ \mu\text{m}$ e largura do canal (z) de $1000\ \mu\text{m}$.

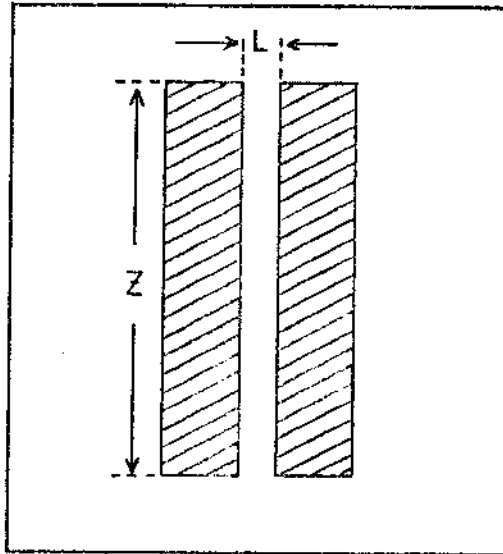
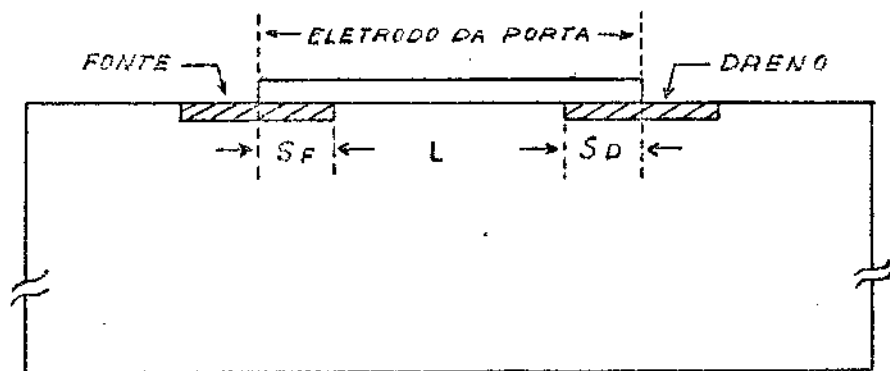


Fig. 2.2 - Comprimento (L) e a largura (Z) do canal.

A figura 2.3 mostra a superposição parcial do eletrodo da porta sobre as regiões da fonte (S_F) e do dreno (S_D). O comprimento L é o mesmo referido na figura anterior.




 PERFILES DA FONTE E DO DRENO ANTES DA PENETRAÇÃO DE IMPUREZAS.

Fig. 2.3 - Superposição parcial do eletrodo da porta sobre a fonte e o dreno.

Essa superposição parcial é necessária devido à

impossibilidade de alinhamento perfeito das máscaras. Na figura abaixo o hachuriado representa a difusão lateral na fonte e no dreno (ΔL). Pode-se observar que o seu efeito é de diminuir o comprimento (L) inicial do canal, como mostra a figura 2.4.

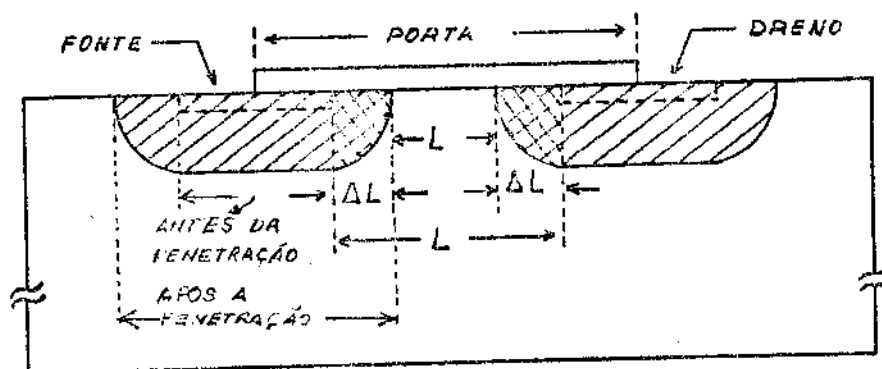


Fig. 2.4 - Efeito da difusão lateral sobre o comprimento do canal após a penetração das impurezas.

O comprimento efetivo (L_e) do canal, após a difusão lateral será dado por: $L_e = L - 2\Delta L$. A variação percentual de L_e será muito grande porque L é pequeno ($14 \mu\text{m}$) da ordem de grandeza da profundidade de difusão da fonte e dreno.

A largura efetiva (Z_e) do canal sofrerá um acréscimo de $2\Delta L$, então: $Z_e = Z + 2\Delta L$. Nesse caso, a variação percentual de Z_e será muito pequena porque Z é muito maior que $2\Delta L$.

Dimensionamos a máscara de metalização de tal forma que houvesse uma superposição parcial da metalização da porta com a borda lateral da região da fonte e a do dreno antes da penetração, embora ocorra difusão lateral.

2.3 - Isolante da Porta

O isolante utilizado para o eletrodo da porta -

foi o óxido de silício (SiO_2) com uma espessura compreendida entre 1000 e 1500 Å, crescido pelo processo de oxidação seca a alta temperatura. A influência da espessura do isolante da porta nas características do transistor pode ser resumida da seguinte forma: quanto mais fina a camada do isolante, maiores serão a sua capacitância e a sua transcondutância e menores serão a sua tensão de transição (V_T) e a tensão de ruptura da camada isolante. Evidentemente, uma camada de óxido muito fina poderá apresentar uma alta densidade de perfurações, o que é indesejável.

Já foi verificado que camadas de SiO_2 com 1000 Å de espessura apresentam uma tensão de ruptura próxima de 60 volts e pequena densidade de perfurações⁽²⁴⁾.

2.4 - Seleção do Substrato

O controle de inversão do canal durante os processos de fabricação torna-se difícil nos transistores canal N de alta resistividade, por causa da natureza das cargas ionizadas no óxido. Já nos transistores de canal P isso não ocorre. Dessa forma escolhemos substrato N (canal P).

Os transistores construídos em substratos tipo N de alta resistividade $\rho \geq 5 \Omega\text{cm}$ (10^{15}cm^{-3}) terão boa reprodutividade quanto à tensão de transição⁽¹⁴⁾, ver fig. 2.5.

Isso se deve ao fato de que V_T depende, como já vimos, de vários fatores, entre eles a concentração de impurezas do substrato, N_B , da seguinte forma:

$$V_T = - \frac{Q_{SS}}{C_o} - \frac{Q_B}{C_o} + \phi_{MS} + 2 \phi_{FN}$$

Onde Q_{SS} é função, apenas, do processo de fabricação, uma vez fixada a orientação cristalográfica. O menor va

lor de $\frac{Q_{ss}}{q} = N_{ss}$ que se consegue é da ordem⁽¹⁵⁾ de 10^{10} cm^{-2} . Para que Q_B , carga da região de depleção do substrato, afete pouco o valor de V_T será necessário que seu valor seja pequeno em relação à contribuição das outras parcelas.

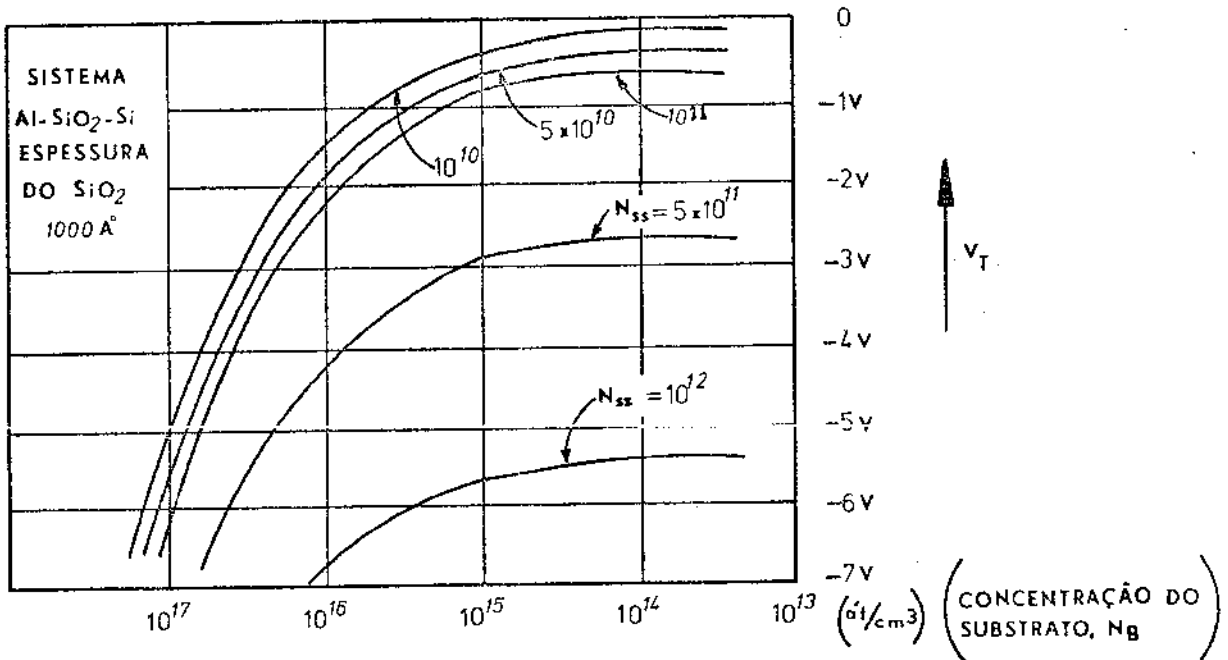


Fig.2.5 - Tensões V_T em função da concentração do substrato, tendo como parâmetro N_{SS} para canal - p (ref. 1.2)

O valor de Q_B pode ser dado, aproximadamente, pela expressão⁽¹⁴⁾:

$$Q_B \approx \sqrt{2K_s \epsilon_0 q N_B |2\phi_{FN}|}$$

Considerando a expressão acima, podemos verificar que Q_B , correspondente a uma concentração de impurezas

$N_B < 10^{15} \text{ cm}^{-3}$, será menor que o menor valor de N_{SS} (10^{10} cm^{-2}) que se consegue praticamente.

Podemos verificar que o valor de $\frac{Q_{SS}}{C_o}$ mascara o efeito de $\frac{Q_B}{C_o}$ na tensão V_T para $N_B < 10^{15} \text{ cm}^{-3}$.

Dessa forma verificamos que, para um certo valor de Q_{SS} , o valor da tensão V_T será praticamente constante quando o substrato tiver uma concentração $N_B < 10^{15} \text{ cm}^{-3}$. Se desejarmos diminuir o valor de V_T teremos que diminuir o valor de Q_{SS} , o que significa melhorar o processo. Ainda se pode concluir, analisando a figura 2.5, que há reprodutibilidade no valor de V_T quando se constroem transistores MOS em substratos com $N_B < 10^{15} \text{ cm}^{-3}$.

Escolhemos substratos tipo-N com resistividades compreendidas entre, aproximadamente, $3 \Omega \text{ cm}$ ($1.5 \times 10^{15} \text{ cm}^{-3}$) e $7 \Omega \text{ cm}$ ($7 \times 10^{14} \text{ cm}^{-3}$). A orientação cristalográfica escolhida foi (100) por ser a que apresenta o menor valor para Q_{SS} : consequentemente, V_T será menor.

2.5 - Profundidade da Junção (x_j)

A profundidade da junção tem grande influência na tensão de ruptura do diodo dreno-substrato e do diodo de proteção da porta. Como essa tensão está relacionada com x_j , devemos considerar sua influência. Sabemos que, quanto maior x_j , maior, também, será a tensão de ruptura da junção⁽¹⁶⁾. Por outro lado quanto maior x_j , maior será a difusão lateral. Consequentemente, menor será o comprimento do canal uma vez fixada a posição das janelas para difusão da fonte e do dreno. Deve-se programar a máscara de difusão da fonte e do dreno de tal forma que haja uma certa tolerância na difusão lateral. Dessa forma, a difusão deixará de ser um fenômeno crítico na determinação das características do dispositivo quanto à sua influência na obstrução do canal, ditando, tão somente, a tensão de ruptura dos diodos.

Escolhemos como valor típico para nosso transistor, uma tensão de ruptura da junção do dreno e do diodo da porta superior a 30 volts, para servir de base aos estudos das características elétricas.

Para encontrar o valor mínimo de x_j , baseado nessas considerações, utilizaremos do gráfico $V_B \times a$ (ref. 17), reproduzido na fig. 2.6, abaixo, onde V_B é a tensão de ruptura da junção; a é uma grandeza dada pela relação:

$$a = \frac{N_B}{x_j} \ln \frac{N_s}{N_B}$$
 . Nessa última expressão N_B e N_s são as concentrações de impurezas no substrato e na superfície, respectivamente.

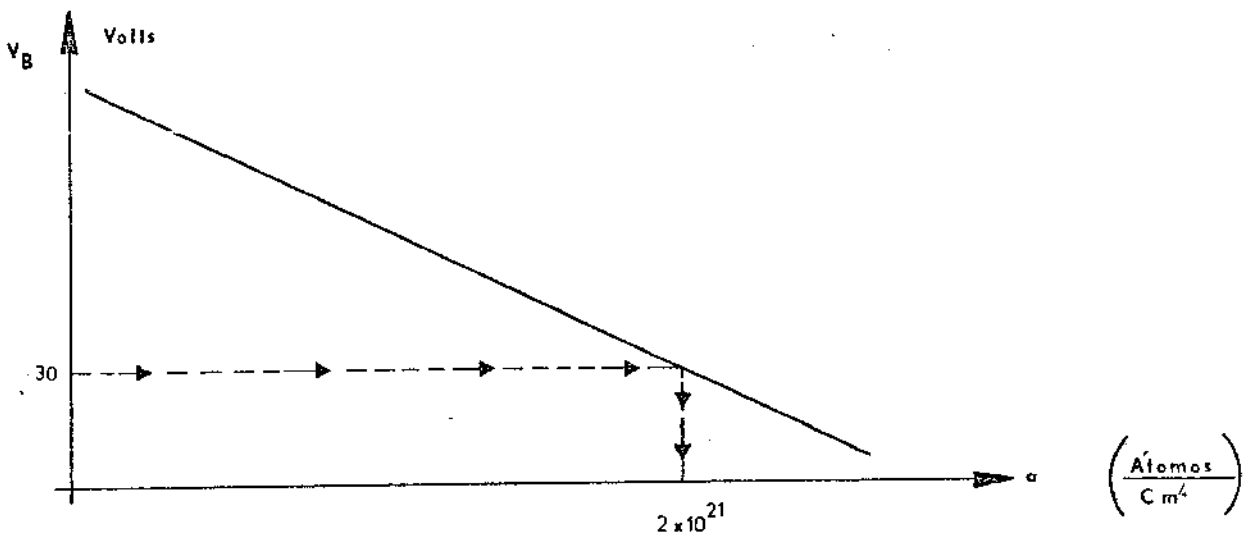


Fig. 2.6 - Tensão de ruptura numa junção P-N linearmente graduada (ref. 17)

Se:
$$a = \frac{N_B}{x_j} \ln \frac{N_s}{N_B}$$
 , então :

$$x_j = \frac{N_B}{a} \ln \frac{N_s}{N_B}$$

Para um substrato com $N_B \approx 10^{15} \text{ cm}^{-3}$ ($\rho = 3 \Omega \text{ cm}$) e $N_s \approx 10^{19} \text{ cm}^{-3}$ (típico) teremos: $x_j \geq 0,1 \mu\text{m}$.

2.6 - Processo Utilizado

Descrevemos a seguir as etapas pelas quais passam os transistores durante a sua fabricação. Mostramos também o aspecto estrutural da lâmina após as etapas que a modificaram.

As etapas para a fabricação dos transistores foram as seguintes:

- 0 - Inspeção ao microscópio das lâminas de Si
- 1 - Limpeza inicial (18)
- 2 - Oxidação inicial úmida
- 3 - Aplicação do KTFR e fotografação 1a. máscara.
- 4 - Remoção do KTFR e limpeza (18)
- 5 - Deposição do Boro
- 6 - Teste de caracterização da deposição de Boro na lâmina teste.
- 7 - Remoção do boro silicato
- 8 - Penetração do Boro
- 9 - Teste de Caracterização - Medida de V/I
- 10 - Corte da Lâmina (amostra) em quatro partes iguais
- 11 - Teste de caracterização da penetração de Boro (na lâmina teste)
- 12 - Aplicação de KTFR e fotografação (2a. máscara)
- 13 - Remoção do KTFR e limpeza
- 14 - Deposição de fósforo
- 15 - Teste de caracterização da deposição de fósforo (na lâmina teste)
- 16 - Remoção do fósforo-silicato e limpeza (18)

- 17 - Penetração do fósforo
- 18 - Teste de caracterização da penetração de fósforo (na lâmina teste)
- 19 - Aplicação de KTFR e fotogração
3a. máscara
- 20 - Remoção do KTFR e limpeza (MOS-7)
- 21 - Oxidação seca e recozimento
- 22 - Passivação com $P_2O_5^{(18)}$
- 23 - Aplicação do KTFR e fotogração
4a. máscara
- 24 - Remoção do KTFR e limpeza para metalização (18)
- 25 - Metalização
- 26 - Aplicação de AZOPLATE e fotogração
5a. máscara
- 27 - Remoção do AZOPLATE
- 28 - Recozimento para bom contato Al/Si
- 29 - Corte, solda e encapsulamento

Sendo o processo da fabricação de vital importância para a qualidade do dispositivo final, discutiremos em detalhes as etapas enumeradas acima.

Etapa nº 0 - Inspeção ao microscópio, em busca de defeitos da superfície.

Etapa nº 1 - Limpeza Inicial - Objetiva a remoção de graxas, que podem estar presentes na superfície das lâminas devido ao manuseio, de partículas depositadas na superfície, provenientes da embalagem. Ajuda também evidenciar algum "defeito grosso", risco ou sulco na superfície polida.

Etapa nº 2 - Oxidação inicial - Foi feita uma oxidação com vapor d'água a $1100^\circ C$ durante 70 minutos, o que resultou numa camada de aproximadamente 7.200 \AA de espessura nas

duas faces da lâmina (Fig. 2.7)

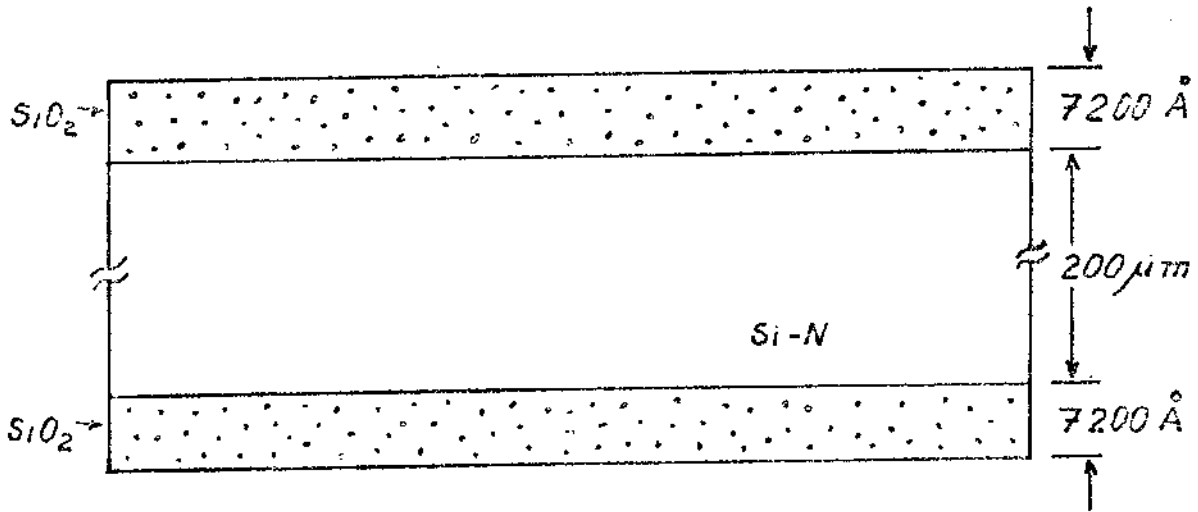


Fig. 2.7 - Aspecto da lâmina após a oxidação inicial

A oxidação inicial tem como objetivos básicos a proteção da superfície contra agentes químicos indesejáveis e possibilitar a operação de difusão seletiva.

Etapa nº 3 -

Abertura das jane-

las de difusão da fonte, do dreno e do diodo de proteção da porta. Foi aplicado KTRF inclusive na face inferior da lâmina para proteger o óxido dessa face. Esse óxido evitará a difusão de Boro do outro lado da lâmina, evitando, conseqüentemente, a formação de uma junção. O aspecto, após essas etapas, é mostrado na fig. 2.8 .

Obs.: a) Nas figuras que apresentam a vista em corte de lâmina mostram as regiões da fonte, do canal e do dreno, porém, não são mostrados os efeitos dos processos na região do diodo de proteção da porta.

b) As figuras não estão em escala

A máscara utilizada nessa etapa tem o formato da figura 2.9 .

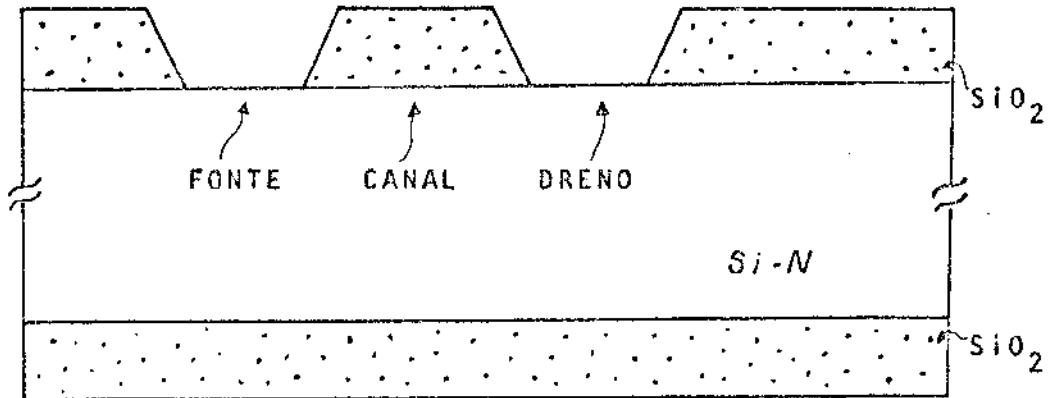


Fig. 2.8 - Aspecto da lâmina após a abertura das janelas de difusão

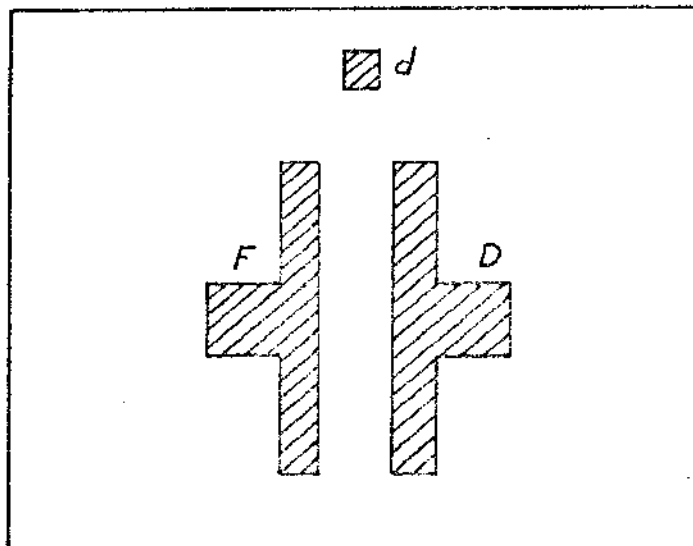


Fig. 2.9 - Aspecto da la. máscara apresentando os contrastes (hachuriado) para a obtenção das janelas de difusão da fonte, do dreno e do diodo de proteção da porta

Etapa nº 9 - Medida do V/I - foi feita a medida do V/I na lâmina teste após remoção do óxido. Esse valor será utilizado para o cálculo da concentração de dopante na superfície, N_s .

Etapa nº 10 - Corte de lâmina teste em 4 partes

Etapa nº 11 - Medida de x_j - Foi feita a medida da profundidade de difusão de boro, x_j , numa amostra da lâmina teste. O valor de x_j permitirá que se determine o comprimento final do canal como, também a tensão de ruptura das junções.

Etapa nº 12 - A 12a. e a 13a. etapas possibilitaram a abertura da janela para a difusão de fósforo. O "batch etch", que é a decapagem do óxido da parte não polida da lâmina, foi iniciado na 7a. etapa e concluído na 12a. etapa.

Etapa nº 14 - Depositou-se fósforo a 925°C usando POCl_3 como fonte e o gás transportador foi o N_2 .

Etapa nº 15 - Foi feita a medida de V/I numa lâmina teste para caracterizar a quantidade de fósforo depositado.

Etapa nº 16 - Remoção de fosforosilicato - O fósforo-silicato é uma camada vítrea que se forma na superfície do silício durante o processo de deposição. O motivo de sua remoção nesta etapa é o mesmo apresentado na 7a. etapa.

Etapa nº 17 - Nessa etapa fez-se a penetração a 1000°C . A finalidade da difusão de fósforo foi criar uma região N^+ para um bom contato ôhmico com o substrato. A figura 2.11 ilustra a estrutura após essas etapas.

Etapa nº 18 - Medida de x_j - foi feita a medida da profundidade de difusão de fósforo, x_j num caco teste.

A máscara utilizada nesta etapa tem o aspecto da figura 2.12.

Etapas nº 19 e nº 20 -

Os objetivos destas etapas foram:

a) Abrir janelas para a oxidação da porta

b) Abrir janelas nas posições das regiões onde se fará o contato da fonte, do dreno, do substrato e do diodo de proteção da porta; dessa forma, poder-se-á minimizar a densidade de perfurações na região da porta, durante a etapa nº 23. É fácil imaginar isso: basta observar na Fig. 2.13 que a camada de óxido é fina e conseqüentemente o tempo de decapagem para abrir as janelas de contatos será pequeno, evitando as indesejáveis perfurações.

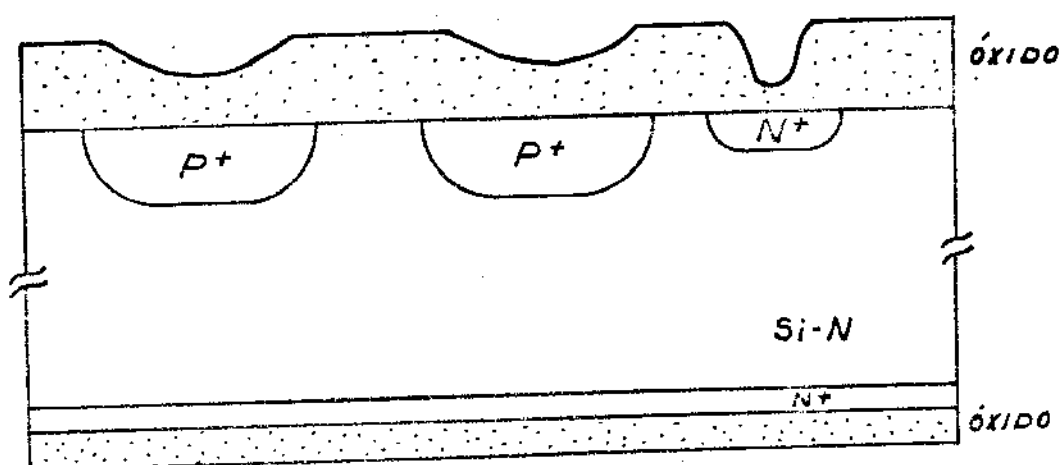


Fig. 2.11 - Aspecto da lâmina após a difusão de fósforo

Etapa nº 21 - Oxidação seca e recozimento - A etapa de oxidação da porta corresponde ao processo mais importante, quando se tem em mente um baixo valor de V_T e alta estabilidade. Experimentalmente se verifica a existência de estados ionizados na interface SiO_2/Si ⁽¹⁴⁾.

A densidade dessas cargas por unidade de área é normalmente representada por Q_{ss} . O valor de Q_{ss} é muito dependente das condições de oxidação e recozimento e, também, da orientação dos eixos cristalográficos do substrato. O efeito das

condições de oxidação e recozimento sobre o valor de Q_{SS} é mostrado na fig. 19 do cap.1 . Outro problema é o da existência de íons móveis principalmente sódio, no óxido. Seu efeito é minimizado pela limpeza rigorosa em todas as etapas e pela passivação com o P_2O_5 ⁽¹⁴⁾. Além disso o dispositivo deve ser hermeticamente encapsulado para evitar posterior contaminação.

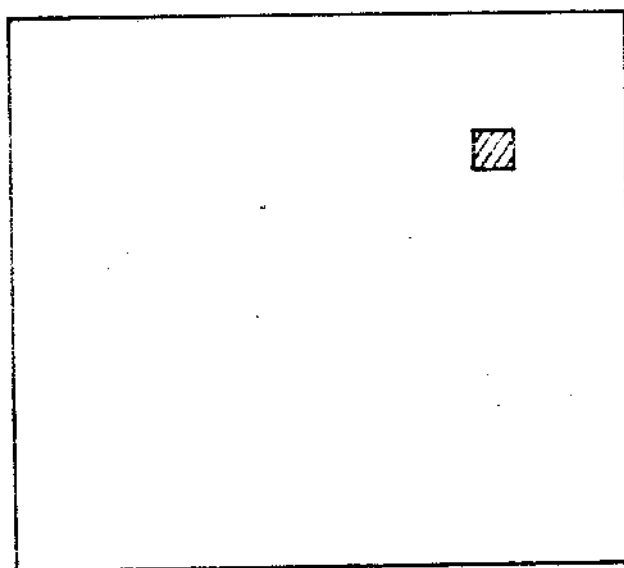


Fig. 2.12 - Aspecto da 2a. máscara apresentando o contraste hachurado para obtenção da janela de difusão de Fósforo p/ contato com o substrato.

O óxido da porta foi crescido com O_2 seco a $1000^\circ C$ durante 3 horas.

Terminada a oxidação fez-se o recozimento com N_2 seco à mesma temperatura, durante 20 minutos. Esta fase tem por finalidade minimizar as cargas Q_{SS} ⁽¹⁵⁾ (Figura 2.13)

Etapa nº 22 - A camada vítrea de P_2O_5 para a passivação foi conseguida pela deposição de fósforo a partir de $POCl_3$ durante 5 minutos a $900^\circ C$. (Receita gentilmente cedida pelo engº pesquisador Edgar Charry).

Os dispositivos que utilizam o P_2O_5 na passivação são mais estáveis, sendo o grau de estabilidade sensível à espessura da camada de fósforo silicato ⁽¹⁴⁾. A máscara utiliza-

da nessa etapa tem o formato apresentado na fig. 2.14.

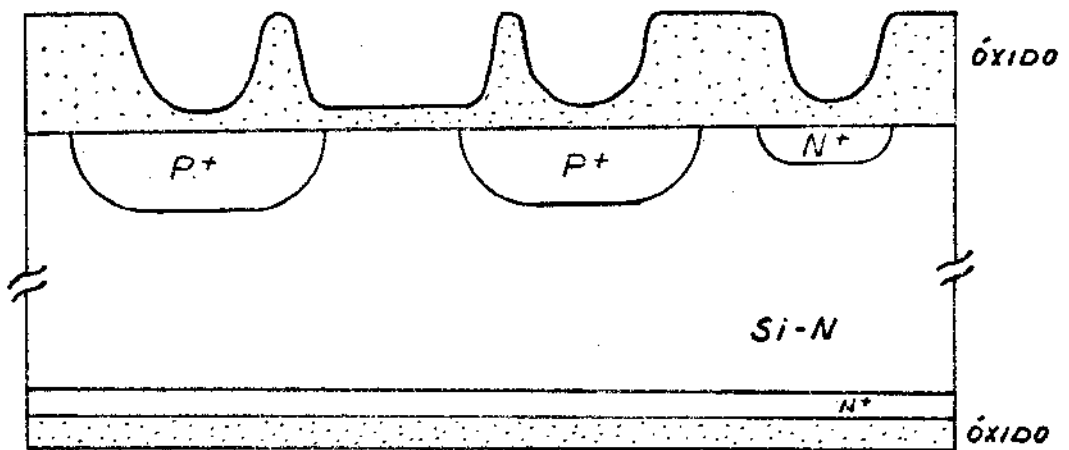


Fig. 2.13 - Aspecto da lâmina após a oxidação com O_2 seco

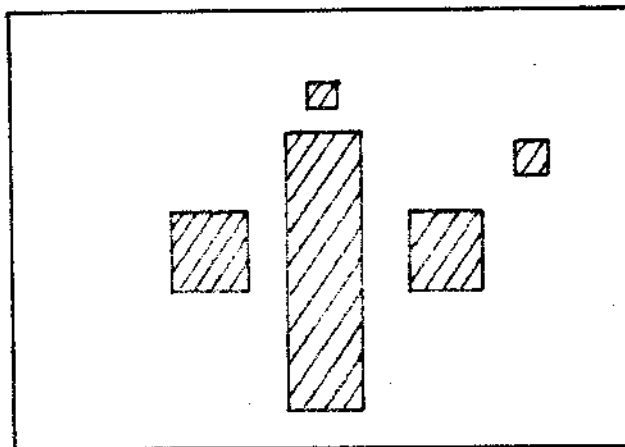


Fig. 2.14 - Aspecto da 3a. máscara - apresenta os contrastes para abertura das janelas para a oxidação da porta e das janelas para a decapagem do \bar{O} xido nas posições dos contatos.

Etapas nº 23 e nº 24

As etapas 23 e 24 permitiram a abertura das janelas para aplicação dos contatos. A figura 2.15 mostra a lâmina após essas etapas.

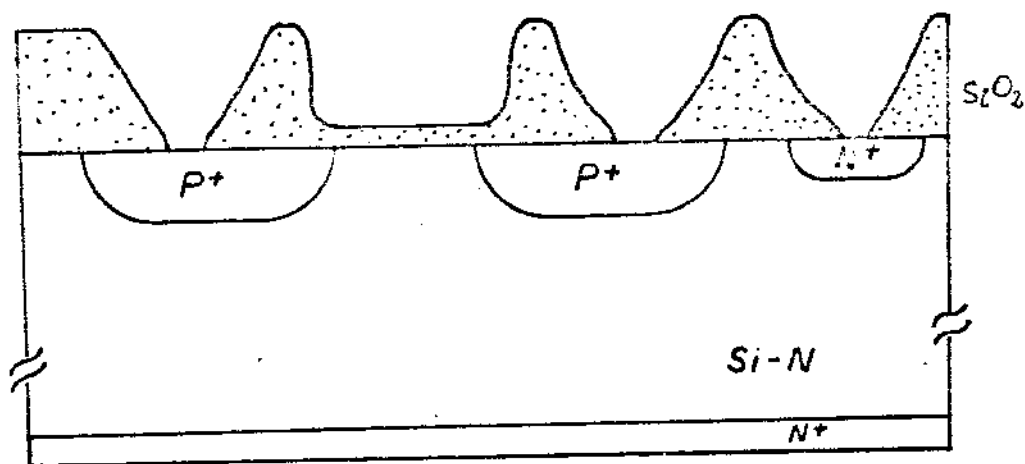


Fig. 2.15 - Aspecto da lâmina após abertura das janelas para os contatos

A máscara utilizada nessa etapa tem o aspecto da figura 2.16 .

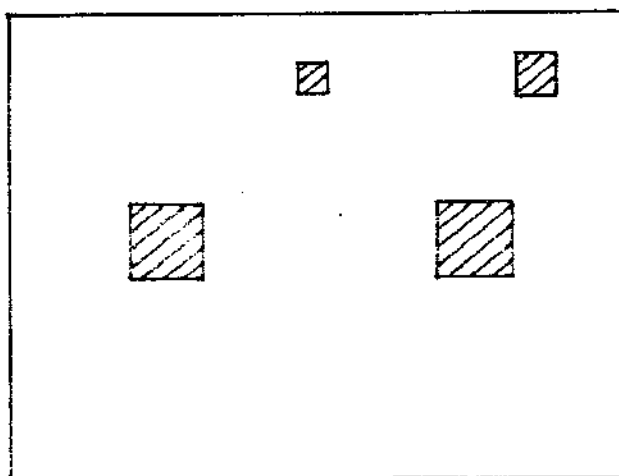


Fig. 2.16 - Aspecto da 4a. máscara apresentando os contrastes para abertura das janelas para os contatos

Etapa nº 25 - Metalização no evaporador. O evaporador utilizado é composto essencialmente de uma bomba mecânica de dois estágios; uma bomba de difusão⁽¹⁹⁾; campânula de vidro; armadilha de nitrogênio líquido entre a bomba de difusão e a campânula e fonte de alimentação para aquecimento do filamento. Foi feita uma evaporação a vácuo de uma camada de alumínio de 1 μ m de espessura.

Etapa nº 26- Aplicou-se Azoplate e fez-se a fotogração da 5ª máscara. A figura 2.17 mostra o aspecto de um transistor MOS na lâmina após a 26ª etapa.

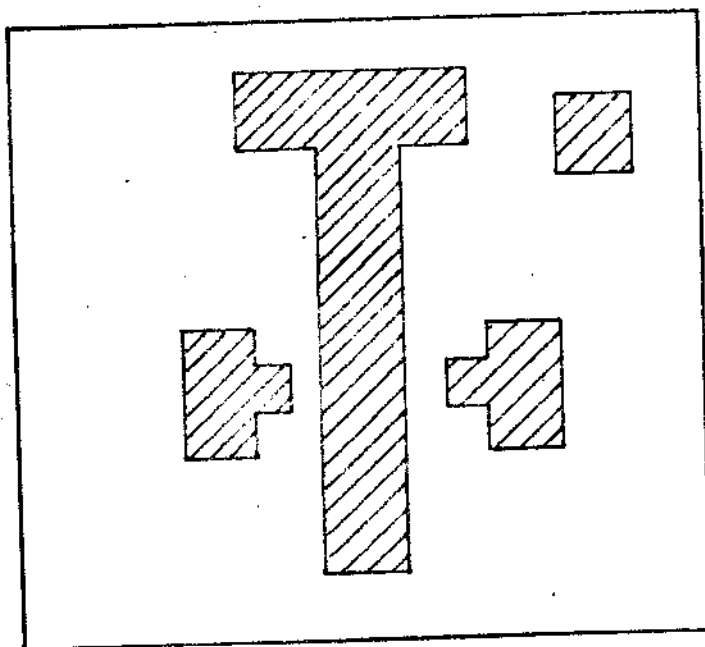


Fig. 2.17 - Aspecto da lâmina, vista superior, após a 25ª. etapa. A máscara de metalização tem o mesmo formato das áreas metalizadas

Etapa nº 27 - Remoção do AZOPLATE e limpeza (MOS-4)

Etapa nº 28- Foi feita a operação de recozimento com o objetivo de se conseguir um bom contato entre o Al e o Si e de diminuir os estados rápidos de interface. Esse processo foi executado da seguinte forma:

- a) Recozimento a 550°C durante 5 minutos com

fluxo de N_2 seco.

- b) Novo recozimento a $450^\circ C$ durante 30 minutos - com fluxo de N_2 borbulhado em H_2O . Esse recozimento diminui os estados rápidos de interface⁽²⁰⁾.

Etapa nº 29 - Nessa etapa os "chips" contendo os transistores foram cortados, soldados com ultra som e encapsulados.

O corte da lâmina em "chips" é feito pelo processo de "riscagem" da lâmina por uma ponta de diamante seguida da fratura da lâmina em pastilhas (chips) segundo a "riscagem" feita.

Ver figura 2.18 abaixo:

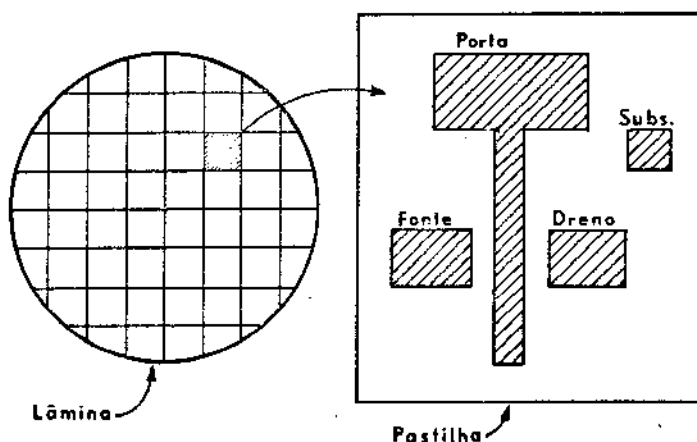


Fig. 2.18 - Lâmina após o processo de riscagem

A solda do chip no cabeçote é feita por termocompressão.

A solda dos fios entre os eletrodos e os terminais é feita por ultra som. Ver fig. 2.19.

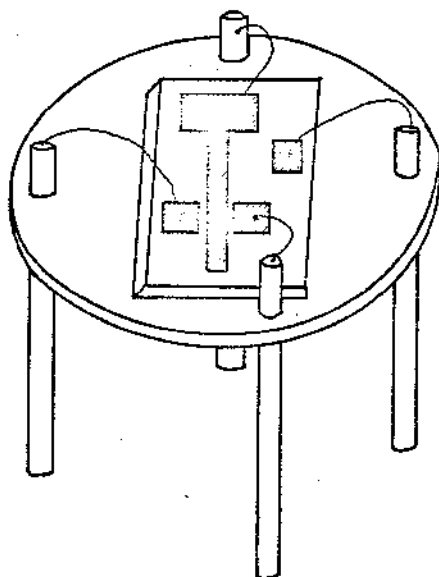


Fig. 2.19 - Conjunto cabeçote-chip
antes do encapsulamento

2.7 - Medidas durante a Fabricação e Resultados

Existem várias etapas pelas quais passa o dispositivo durante o processo de sua fabricação. Os efeitos dessas etapas são caracterizados por meio de medidas feitas, normalmente, por processos destrutivos em amostras. A seguir descreveremos esses processos de medidas, como também, apresentaremos os resultados obtidos.

2.7.1 - Profundidade de Difusão, x_j

A profundidade de difusão é medida fazendo-se pri

meiramente um desbaste em ângulo da lâmina semicondutora com ângulos entre um e dez graus. O desbaste em ângulo é usado para que a fina região difundida se torne visível tornando-se possível a medida com maior precisão. Na prática são usuais ângulos de desbaste θ compreendidos entre 1° e 10° . Após o desbaste submete-se a lâmina a um ataque químico para que as regiões P e N ou regiões de diferentes níveis de dopagens apresentem contrastes, como se pode ver na figura 2.20.

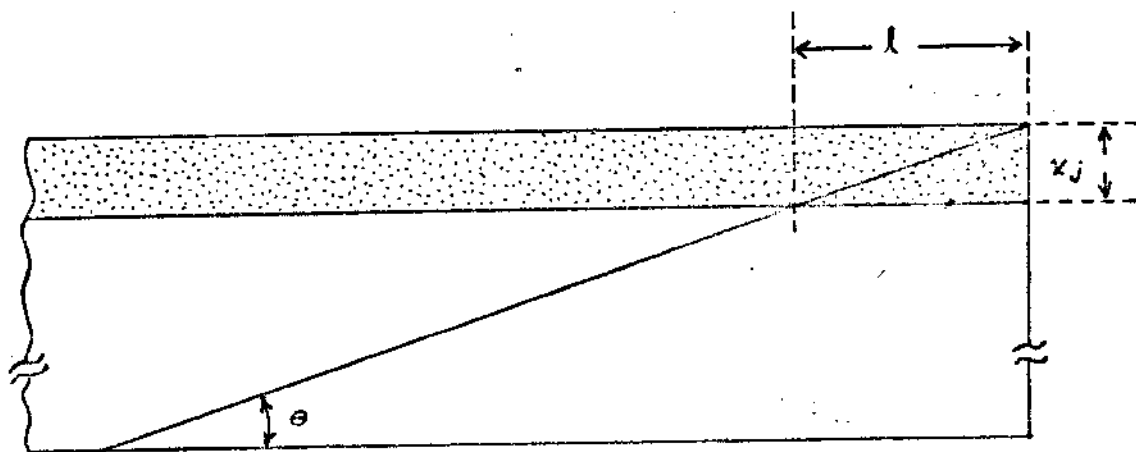


Fig. 2.20 - Efeito do ângulo de desbaste θ sobre o comprimento virtual l compreendido na profundidade x_j .

Em seguida faz-se incidir luz monocromática sobre a região que sofre desbaste e, por meio de um microscópio, pode-se contar o número de franjas devidas à interferência entre a luz refletida na superfície desbastada e a refletida na lâmina de referência. A luz monocromática utilizada foi a vermelha, cujo comprimento de onda é de 6430 \AA ; então, cada franja contada, corresponde a 3215 \AA de profundidade. O valor de x_j pode ser dado, aproximadamente, pela expressão:

$$x_j = n\lambda/2 \quad 2.1$$

onde n é o número de franjas de interferência e λ o comprimento de onda da luz utilizada.

2.7.2 - Medidas do Valor V/I

Essa medida é feita, geralmente com o medidor de 4 pontas. O princípio deste medidor pode ser visto na fig. 2.21. Aplica-se uma corrente nas pontas externas e mede-se a tensão entre as pontas internas²².

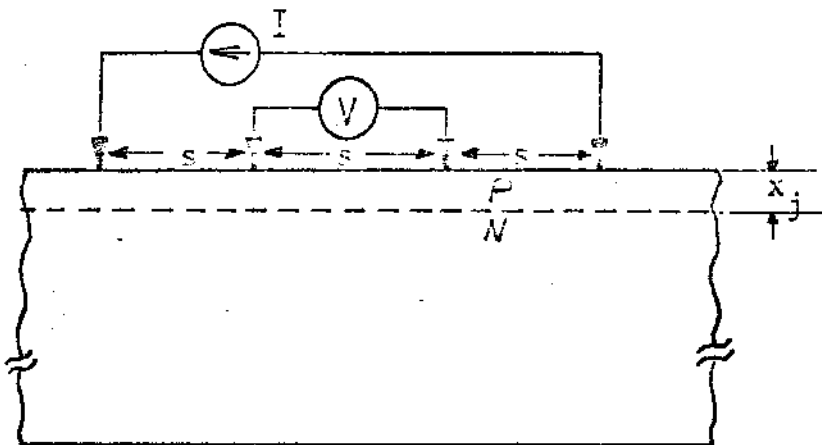


Fig. 2.21 - Medidor de 4 pontas sobre uma fina camada difundida.

2.7.3 - Resistividade da Camada Difundida, ρ

A medida de ρ é feita, indiretamente, medindo-se o valor de V/I e a profundidade de difusão, x_j . A relação entre essas duas grandezas e ρ é dada pela expressão:

$$\rho = 4,53 C (V/I) x_j \quad \text{para } s \gg x_j \quad 2.2$$

Onde C é um fator de correção cujo valor é função da geometria da amostra. A amostra, por nós utilizada, era circular com diâmetro aproximadamente de 30 mm. Nesse caso, o fator de correção vale 1.

2.7.4 - Concentração Superficial, N_s

O valor de N_s é obtido utilizando-se o valor da resistividade da camada difundida, ρ dado pela expressão 3.1, e das curvas de Irvin para perfis gaussianos e selecionando, convenientemente, o tipo de camada difundida. Trata-se de um perfil Gaussiano porque a fonte de dopante é finita e a profundidade de difusão durante a penetração é muito maior que a profundidade de difusão durante a deposição.

2.7.5 - Espessura da Camada de Óxido, (x_0)

A taxa de crescimento do óxido crescido a alta temperatura, numa superfície "limpa" é razoavelmente conhecida - podendo-se crescer camadas com espessura razoavelmente - controlada⁽³⁾. O processo de medida de x_0 utilizado foi o de ataque químico, pelo qual se submete a camada de óxido de uma amostra a uma solução de HF: H₂O (1 : 3) e registra-se o tempo necessário para a remoção do óxido. Fazendo-se uso do gráfico: $x_0 \times t_r$, que fornece, para uma certa concentração de HF, a espessura da camada de óxido⁽¹⁸⁾, x_0 em função do tempo, t_r , necessário para removê-la, podemos obter x_0 . A figura 2.22 mostra essa curva.

2.7.6 - Resultados da Fabricação

Utilizando os processos de medidas descritos anteriormente, foram feitas medidas em amostras que acompanharam as lâminas nas quais se construíram os transistores. Os resultados são resumidos na tabela 2.1 .

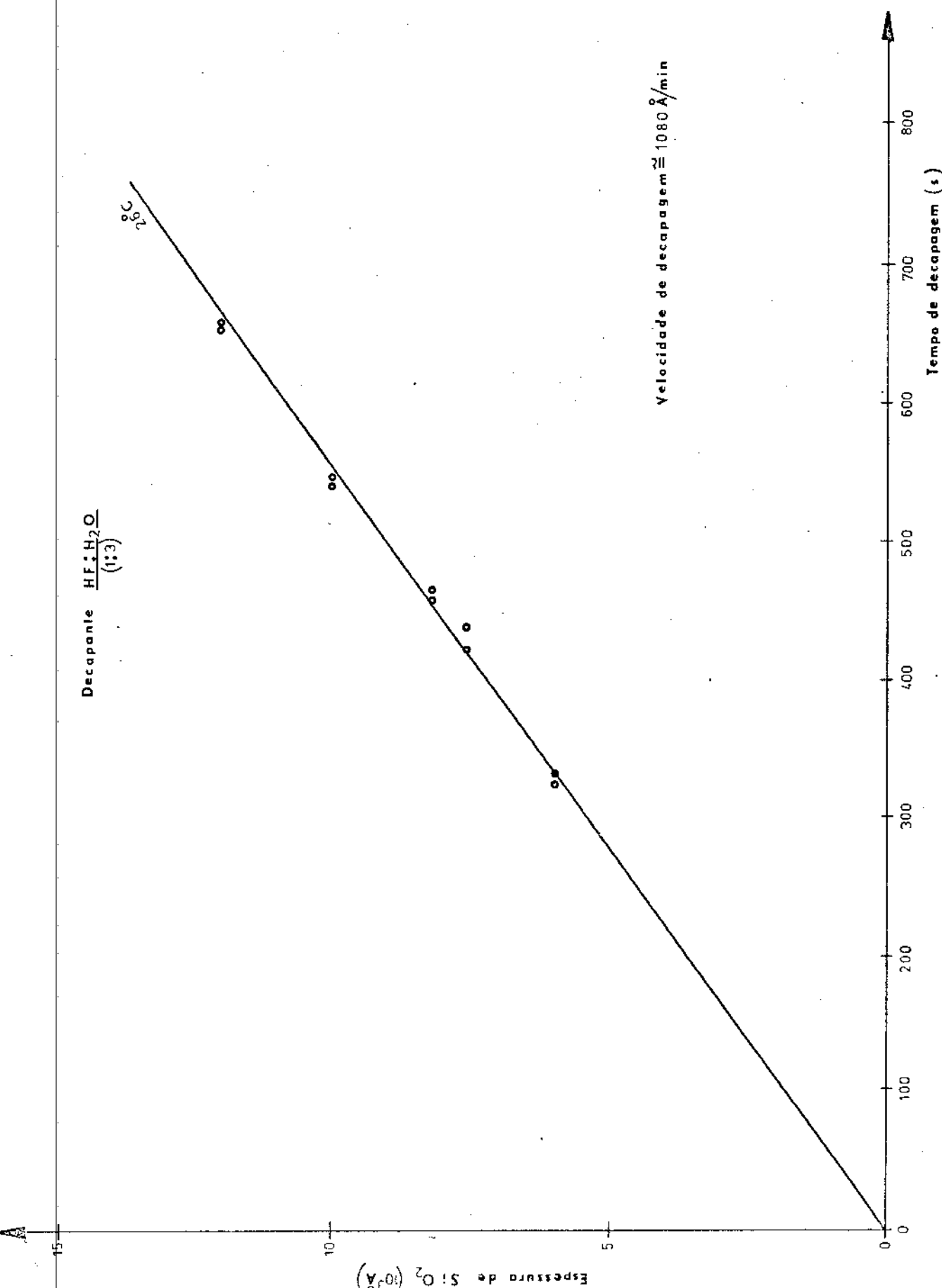


Figura 2.22 - Dependência da espessura de SiO₂ pelo (H.F. : H₂O) (1:3) (referência Lab. Microeletroônica da U.S.P.)

Nº da Lâmina	Orientação Cristalográfica	N_B (cm^{-3}) Concentração de impurezas do substrato	x_o (Å^0) Espessura do óxido da porta	x_j (μm) profundidade de difusão	V/I (Ω)
1	111	$\sim 10^{14}$	1500	10,2	18
2	111	$\sim 10^{14}$	1500	8,3	18
3	111	$\sim 10^{14}$	1500	6,1	18
4	100	$\sim 10^{15}$	1300	4,8	27
5	100	$\sim 10^{15}$	1300	5,1	28
6	100	$\sim 10^{15}$	1300	5,1	28
7	100	$\sim 10^{15}$	1300	5,1	28

QUADRO 2.1-Resultados das medidas durante a fabricação.

Devemos observar que as medidas de x_j foram efetuadas logo após o processo de penetração do boro. O erro, suposto os processos que se seguem, é menor que um micron pois os mesmos se processaram em temperatura muito inferior.

As lâminas utilizadas foram todas do tipo N.

Utilizando-se dos dados da tabela acima pode-se calcular os valores das condutividades das camadas difundidas, σ . Fazendo-se uso desses valores e das curvas de Irvin obtêm-se as correspondentes concentrações superficiais, N_s . Na tabela 2.2 são apresentados esses resultados.

Nº da Lâmina	ρ (Ω cm)	τ (Ω cm) ⁻¹	N_s (cm ⁻³) Concentração Superficial
1	0,083	12	5×10^{18}
2	0,068	15	7×10^{18}
3	0,050	20	10^{19}
4	0,060	17	7×10^{18}
5	0,065	15	5×10^{18}
6	0,065	15	5×10^{18}
7	0,065	15	5×10^{18}

QUADRO 2.2- Valores obtidos para a resistividade ρ , a condutividade, τ , e a concentração superficial, N_s

CAPÍTULO III

CARACTERIZAÇÃO ELÉTRICA

Baseados no modelo descrito no ítem 1.2.2 podemos determinar os seguintes parâmetros: tensão de transição, V_T ; densidade de cargas $N_{SS} = Q_{SS}/q$; mobilidade dos portadores no canal μ_s , velocidade térmica dos portadores, V_{th} , resistências terminais da fonte e do dreno, r_f e r_d , respectivamente. As medidas necessárias foram as seguintes: condutância do canal em função da tensão da porta, $g_{fd} \times V_{PF}$; transcondutância em função da tensão da porta, $g_m \times V_{PF}$. Foram feitas, também, para completar a caracterização do transistor, as medidas das seguintes grandezas: resistência de fuga da porta; R_p ; capacitâncias entre os eletrodos da porta, da fonte e do dreno; tensão de ruptura da junção do dreno com o substrato e do diodo de proteção da porta; característica de saída, $[I_D \times V_{DF}]_{V_{PF}}$.

3.1 - Parâmetros Elétricos - Descrição dos Processos De Medida

a) Medida da característica de saída,

$$[I_D \times V_{DF}]_{V_{PF}}$$

A medida das grandezas para a obtenção das curvas características de saída foi conseguida a partir da montagem da figura 3.1 .

Variou-se a tensão V_{DF} e anotaram-se os respectivos valores de I_D , mantendo-se como parâmetro a tensão V_{PF} . Com as medidas coletadas traçaram-se as curvas, focalizando-se duas regiões: a região linear e a região de saturação. Essas curvas estão representadas nas figuras 3.9, a e b. As curvas características correspondentes à saturação também foram obser

vadas e fotografadas no traçador de curvas de transistores Tec ktronix Modelo 575. A figura 3.9.c representa a sua reprodução.

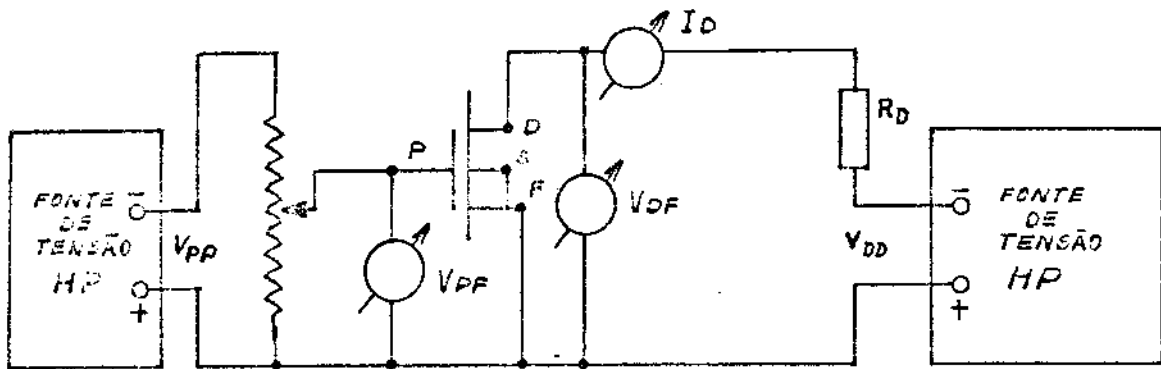


Fig. 3.1 - Circuito utilizado para a obtenção dos valores das grandezas para o traçado - ponto a ponto das curvas de saída

b) Medida da condutância do canal, g_{fd}

A importância da medida de g_{fd} se deve ao fato de essas medidas servirem de base para a determinação de outros - parâmetros do TEC-MOS, tais como a tensão de transição, V_T , a mobilidade efetiva do canal e a resistência terminal da fonte e do dreno ($r_f + r_d$). A medida de g_{fd} é feita polarizando-se o transistor na região linear. A montagem utilizada para se fazer essas medidas foi idêntica à da figura 3.1, dando-se pequenos incrementos em V_{DF} e medindo os correspondentes em I_D .

c) Medida da resistência de fuga da porta, R_p

Essa medida é importante em virtude de dois aspectos. O primeiro, porque se trata de um dos principais parâmetros do transistor MOS; o segundo aspecto porque o valor dessa resistência está relacionado com a qualidade do processo de fabricação. Foi utilizada, para tal medida, a ponte universal de impedâncias E.S.I. modelo 292-A. A medida da resistência de fuga, R_p foi feita polarizando-se em 5 volts a porta em relação

aos outros terminais, os quais (fonte, dreno e substrato) foram mantidos em curto-circuito.

d) Medidas de Capacitâncias

A medida das capacitâncias é útil para a determinação do modelo do transistor como também para a avaliação da qualidade do processo de fabricação. Foram feitas medidas das seguintes capacitâncias:

- C_i - que é a capacitância entre a porta e demais eletrodos, curto-circuitando-se a fonte, o dreno e o substrato. A figura 3.2.a ilustra a definição de C_i .
- C_{PS} - que é a capacitância entre a porta e o substrato quando a fonte e o dreno estão flutuando. A figura 3.2.b ilustra a definição de C_{PS} .
- C'_o - que é a capacitância entre o dreno e a fonte com a porta flutuando. A figura 3.2.c ilustra a definição de C'_o .
- C_s - que é a capacitância entre o dreno e os demais eletrodos quando se curto circuita a fonte a porta e o substrato. A figura 3.2.d ilustra a definição de C_s .

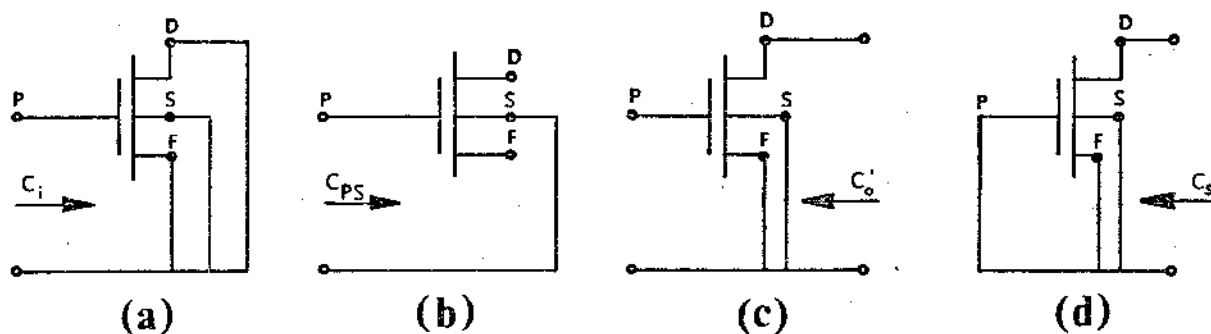


Fig. 3.2 - Esquema ilustrando as capacitâncias medidas

Com o auxílio dessas medidas podemos determinar as capacitâncias: C_1 , C_2 e C_3 como ilustra a figura 3.3 .

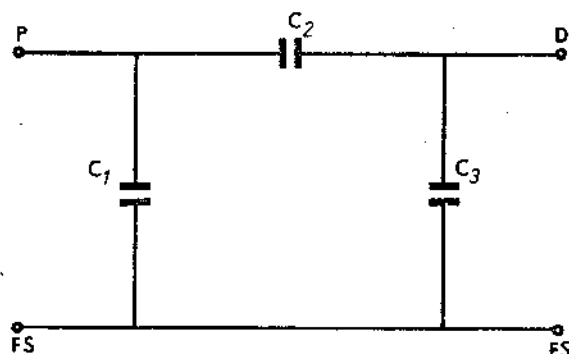


Fig. 3.3 - Esquema ilustrativo da definição de C_1 , C_2 e C_3

As capacitâncias C_1 , C_2 , C_3 , do modelo acima, es tão relacionadas aquelas medidas segundo a figura 3.2 da seguinte forma:

$$C_1 = C_i - \sqrt{C_i (C_s - C'_o)} \quad 3.1$$

$$C_2 = \sqrt{C_i (C_s - C'_o)} \quad 3.2$$

$$C_3 = C_s - \sqrt{C_i (C_s - C'_o)} \quad 3.3$$

As medidas foram feitas na condição do pior caso, ou seja, sem polarização, que fornece os maiores valores das capacitâncias. Foi utilizada, para essas medidas, a ponte universal de impedâncias E.S.I modelo 292 A

As duas primeiras capacitâncias, definidas acima, C_1 e C_{PS} , foram medidas também com polarização variável, ou seja traçaram-se os gráficos: $C_1 \times V_{PF}$ e $C_{PS} \times V_{PF}$. O circuito utilizado neste caso foi o da figura 3.4, na frequência de 1 MHz.

Nesse caso o desvio percentual estimado é de 2% a proximadamente.

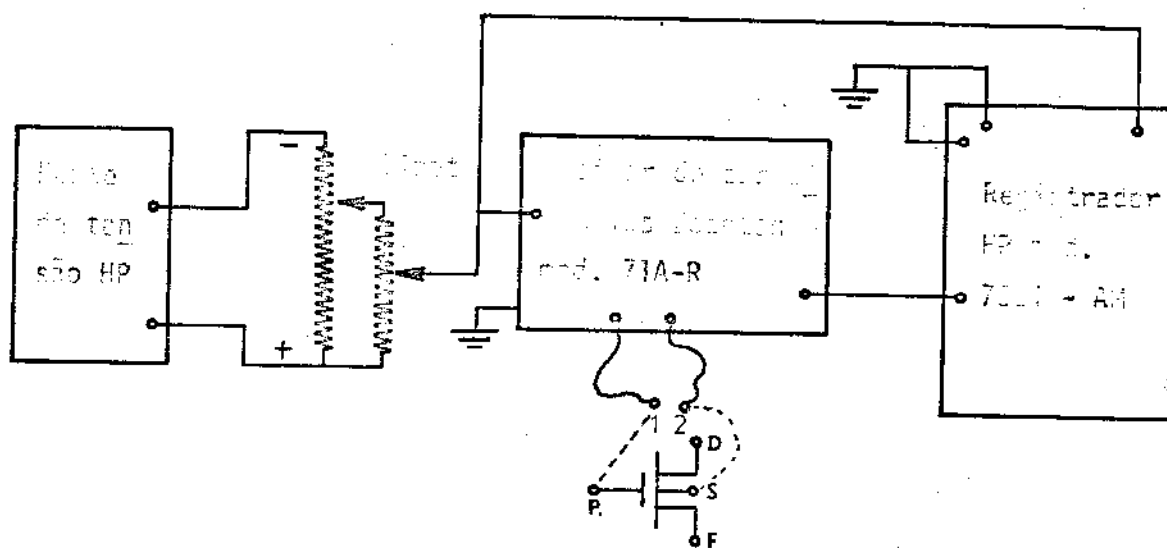


Fig. 3.4 - Circuito utilizado para traçar as curvas C x V

- e) Medida da tensão de ruptura da junção do dreno, V_{BDS} e da junção do diodo de proteção da porta, V_{BdS}

As medidas das tensões de ruptura são úteis para a determinação das limitações do transistor, como também, para a avaliação do processo utilizado. Utilizou-se o traçador de curvas Tektronix Modelo 575 para as medidas de V_{BDS} . Mediu-se V_{BDS} em três condições, a saber: V_{BDS} com fonte, porta e substrato curto-circuitados; V_{BDS} com fonte e porta flutuando e, V_{BDS} com transistor funcionando ($I_D \neq 0$). A tensão de ruptura do diodo de proteção da porta, V_{BdS} , foi medida em relação ao substrato com a fonte e o dreno flutuando.

- f.1) Medida da tensão de transição, V_T

O interesse na medida de V_T se deve ao fato de estarem associadas ao seu valor as várias densidades de carga do sis

tema metal-óxido-silício, principalmente, as cargas interfaciais Q_{SS} . Consequentemente o valor de V_T leva, implicitamente, in formação da qualidade do processo. Outro fato é que a tensão - V_T é um parâmetro elétrico importante na caracterização do TEC.

Teoricamente se define a tensão V_T como sendo a tensão que se deve aplicar entre a porta e a fonte para tornar a superfície semicondutora, na interface $\text{SiO}_2 - \text{Si}$, intrínseca, ou seja, a tensão necessária para fazer com que $n = p$ na superfície. Isso equivale a fazer com que o potencial na superfície, ϕ_s seja igual ao potencial correspondente ao nível de Fermi do semicondutor, ϕ_F . Na prática é usual tomar como tensão de transição o valor de V_{PF} que faça com que $\phi_s = 2\phi_F$, o que caracteriza uma forte inversão da condutividade superficial do semicondutor e não uma simples transição do tipo da condutividade. Isso corresponde a obtenção de V_T , pelos processos usuais práticos, por extrapolação do trecho linear até o eixo V_{PF} da curva $g_{fd} \times V_{PF}$ obtida quando se mantém V_{DF} pequeno. A figura 3.5 ilustra o processo.

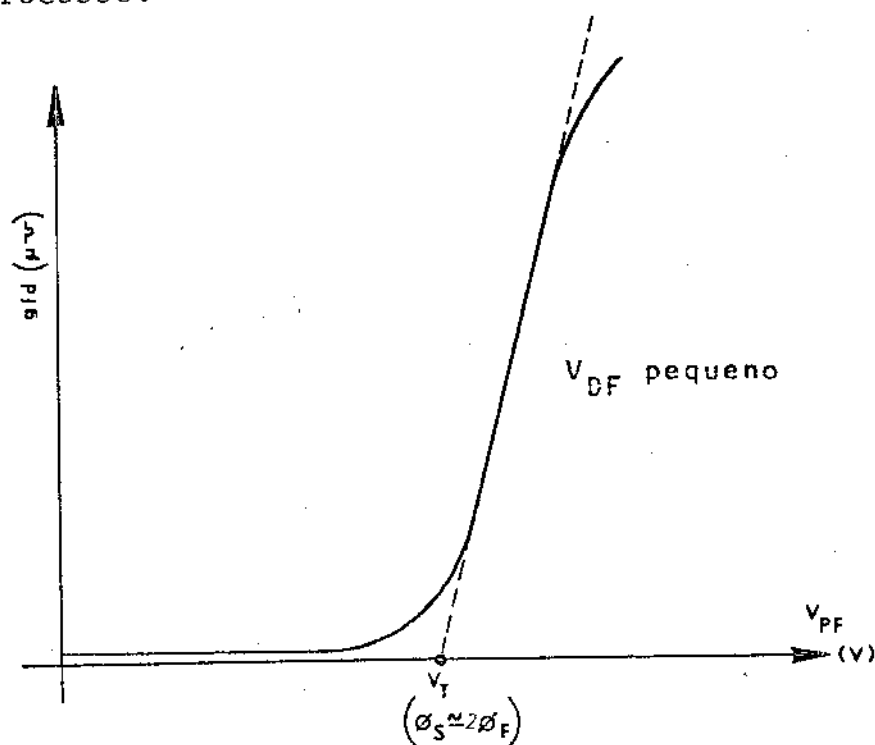


Fig. 3.5 - Processo de obtenção do valor da tensão V_T na região linear.

O trecho linear da curva $g_{fd} \times V_{PF}$ é extrapolado,

linha tracejada, até cruzar com o eixo V_{PF} . Toma-se como valor de V_T , a tensão V_{PF} no ponto de cruzamento.

f.2) Avaliação do número de cargas fixas por unidade de área,
 N_{SS}

O valor de N_{SS} está relacionado com a qualidade do processo de fabricação. Quanto menor N_{SS} melhor será o processo. O menor valor de N_{SS} que se tem conseguido é da ordem de 10^{10} cm^{-2} para estrutura MOS simples (capacitores MOS) onde o número de etapas de processamento é pequeno⁽³⁾. Já na construção de transistores MOS, onde o número de etapas é muito grande, o valor de N_{SS} já é de ordem de 10^{11} cm^{-2} .

Um processo de avaliação de N_{SS} é o que faz uso do valor medido de V_T pelo processo apresentado em f.1. Os termos que compõem a expressão de V_T , como vimos em 1.2.2, são:

$$V_T = -\frac{Q_{SS}}{C_o} + \phi'_{MS} + 2\phi_{FN} + A\sqrt{2|\phi_{FN}|}$$

ou

$$V_T = -\frac{Q_{SS}}{C_o} + \phi'_{MS} + 2\phi_{FN} - \frac{Q_B}{C_o} \quad 3.4$$

onde $Q_{SS}/q \equiv N_{SS}$

Conhecendo-se a concentração do substrato, a espessura do óxido e a temperatura então os três últimos termos da expressão acima são conhecidos. Dessa forma, conhecendo-se o valor de V_T , pelo processo de medida já descrito, podemos obter

o valor de Q_{SS} , conseqüentemente, o valor de N_{SS} .

g.1) Medida da transcondutância, g_m

A medida da transcondutância, g_m é importante por vários aspectos. Primeiramente por ser um parâmetro importante do transistor, pois ele traduz a relação funcional que existe entre a corrente de dreno e a tensão entre porta e fonte. Em segundo lugar, podemos utilizar o gráfico $g_m \times V_{PF}$ para avaliar a tensão de transição V_T e, finalmente, o gráfico da transcondutância em função da tensão da porta poderá fornecer dados a respeito da mobilidade dos portadores no canal.

Pode-se obter o gráfico $g_m \times V_{PF}$ derivando-se o gráfico $g_{fd} \times V_{PF}$.

A medida de $g_m \times V_{PF}$, segundo o processo descrito aqui, se baseia na seguinte relação:

$$V_o = |A_v| V_i = g_m R_L V_i$$

onde A_v é o ganho de tensão,

desde que usemos R_L suficientemente baixa em comparação com a condutância paralela entre fonte e dreno. Portanto:

$$g_m = \frac{V_o}{R_L V_i} = K V_o \quad 3.4$$

onde V_o é a tensão a.c. desenvolvida em R_L e V_i , a tensão a.c. aplicada entre a porta e a fonte, numa montagem como a da figura 3.6. A frequência e a amplitude de V_i foram mantidas constantes.

então g_m será proporcional a V_o , onde $\frac{1}{R_L V_i} \equiv K$ é a constante de proporcionalidade.

A medida da transcondutância, g_m , foi efetuada nas regiões linear e de saturação.

Foram traçadas 5 curvas a saber:

- a) Fixando-se V_{DF} em 0,1 volts
- b) Fixando-se V_{DF} em 0,6 volts
- c) Fixando-se V_{DF} em 2 volts
- d) Fixando-se V_{DF} em 5 volts
- e) Fixando-se V_{DF} em 10 volts

Nestes cinco casos variou-se V_{PF} desde zero até cinco volts. O circuito utilizado foi o da figura 3.6 .

g.2) Descrição do Funcionamento do Circuito da Fig. 3.6

A fonte de tensão (1) alimenta um helipot que permite variar a tensão V_{PF} desde zero até cinco volts. Pode-se, por meio da fonte (1) e do helipot, ajustar a taxa de variação de V_{PF} de tal sorte que seja suficientemente lenta para que se possa considerar um regime d.c. em cada ponto. Essa mesma tensão é aplicada ao eixo X de um registrador HP mod. 7001 AM.

O gerador de sinal HP mod. 204 C é ajustado para uma frequência de 1 kHz e a um nível de sinal, no ponto R, suficientemente alto para que possa excitar a entrada de referência do Lock-in.

A rede divisora de tensão, ligada entre o gerador de sinal e a porta, tem como finalidade ajustar um nível de sinal baixo, 2 mV, a ser superposto à tensão d.c. V_{PF} fornecida pelo helipot.

O valor de R_L foi escolhido pequeno, 100Ω , para que a queda de tensão d.c. aÍ fosse desprezível em relação ao valor de V_{DF} em cada caso. O ajuste da tensão V_{DF} é feito variando a tensão da fonte (2), HP mod. 6202B.

A tensão a.c., V_o , desenvolvida em R_L é medida pelo Lock-in. O Lock-in fornece um sinal d.c. proporcional a V_o que é aplicado na entrada Y do registrador.

h) Medida da mobilidade dos portadores no canal, μ_s em função da tensão entre a porta e a fonte, V_{PF}

A curva $g_m \times V_{PF}$ é a representação da inclinação da curva $g_{fd} \times V_{PF}$ e é proporcional à mobilidade superficial, μ_s , a qual é dependente do campo elétrico para grandes valores de V_{PF} . O máximo de μ_s corresponde à máxima inclinação da curva g_{fd} e é interpretada normalmente como a mobilidade superficial média efetiva, $\bar{\mu}_s$.

O gráfico de μ_s em função da tensão V_{PF} é, a menos de um fator de escala, idêntico ao de $g_m \times V_{PF}$ para pequenos valores de V_{DF} .

Nisso pressupõe-se que o efeito da modulação do comprimento efetivo do canal pelas tensões V_{PF} e V_{DF} seja desprezível.

i) Medida da resistência terminal do dreno e de fonte,

$$(r_d + r_f)$$

A determinação de $(r_d + r_f)$ se torna necessária quando se tem em mente uma representação mais aprimorada do modelo do TEC-MOS.

A obtenção de $(r_d + r_f)$ é baseada na expressão 1.12 por extrapolação da curva $(g_{fd})^2 \times \left[\ln \left(1 + \frac{V_{PF} - V_T}{V_o} \right) \right]^{-1}$

até o eixo $(g_{fd})^{-1}$. A figura 3.7 ilustra o processo.

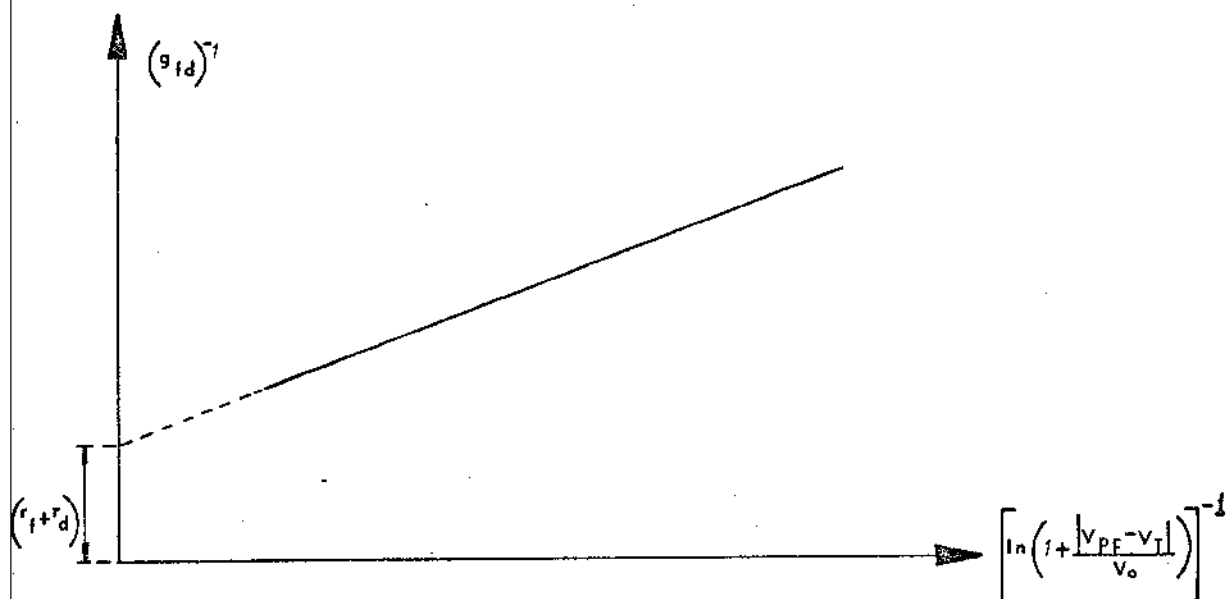


Fig. 3.7 - Gráfico utilizado para se determinar $(r_f + r_d)$

É usual considerar-se que $r_f \approx r_d$ nos transistores em que a região da fonte seja igual à do dreno. Primeiramente, vemos determinar o valor de V_0 .

A grandeza V_0 pode ser obtida, a partir de um gráfico que relaciona $(g_m)^{-1}$ com a tensão V_{PF} . A equação 1.16 que é da forma $(g_m)^{-1} = KV_0 + K(V_{PF} - V_T)$ comprova o processo e o gráfico da figura 3.8 abaixo ajuda ilustrá-lo.

Observando os termos da equação 1.16 verificamos, também, que é possível determinar-se a velocidade térmica, V_{th} , dos portadores pois é válida a relação:

$$\text{tg } \theta = \left(\frac{Z}{L} \right) \cdot \epsilon \cdot V_{th} \cdot \frac{1}{V_{DF}}$$

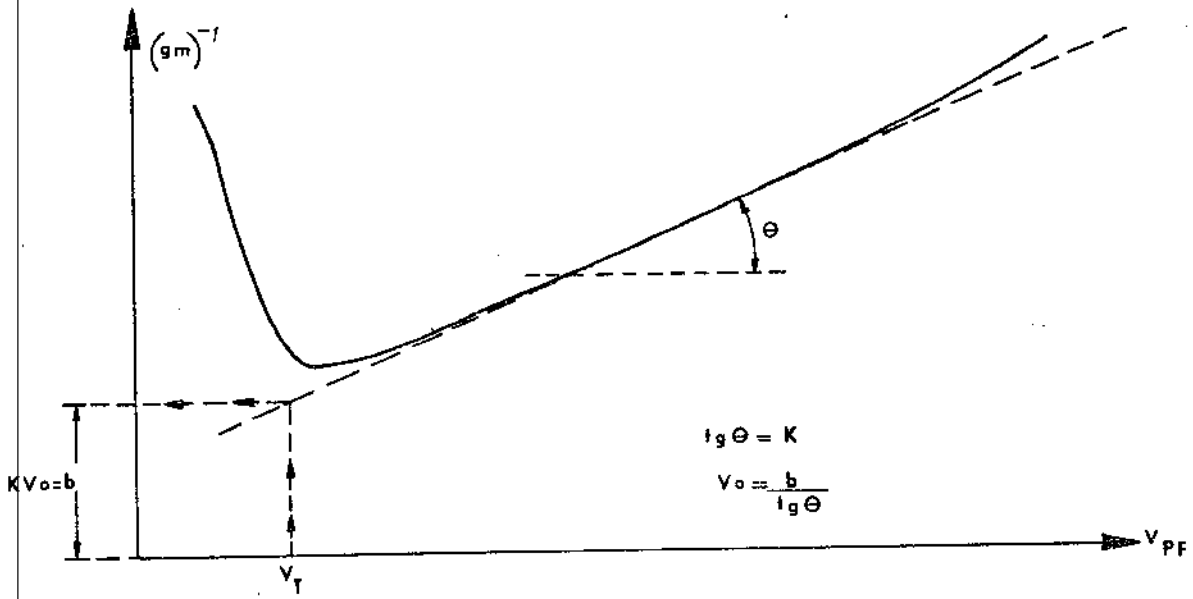


Figura 3.8 - Gráfico ilustrando o processo de determinação de V_0 .

3.2 - Resultados das Medidas

a) Medidas das curvas características, $(I_D \times V_{DF})_{V_{PF}}$

Utilizou-se a montagem da figura 3.1 para a coleta das medidas de I_D , V_{DF} e V_{PF} necessárias à confecção das curvas características de saída. A figura 3.9.a apresenta as curvas de saída de um transistor típico operando na região linear. Variou-se V_{DF} desde zero até 200 mV e anotou-se os correspondentes valores de I_D mantendo-se constante o parâmetro V_{PF} durante o traçado de cada curva. A figura 3.9.b apresenta as curvas características abrangendo as duas regiões: linear e saturação. Devido à escala horizontal ser reduzida, não fica evidenciada a região linear. A figura 3.9.c apresenta as curvas características obtidas no traçador de curvas TEKTRONIX modelo 575.

Não foram obtidas fotos das curvas na região linear tendo em vista as distorções causadas nas curvas, nas escalas de microamperes, por efeito capacitivo.

As escalas das tensões V_{PF} , nas fotos, não puderam ser ajustadas em números redondos porque essas tensões foram obtidas ligando-se um resistor entre o ponto de Base e o de Emissor num traçador de curvas de transistores bipolares.

b) Medida da condutância do canal, g_{fd}

Apresentamos na forma gráfica, figura 3.10, os resultados das medidas de g_{fd} . Os dados para o traçado da curva $g_{fd} \times V_{PF}$ foram obtidos com o auxílio de uma montagem idêntica àquela da figura 3.1.

O valor da tensão de transição, V_T , é obtida da

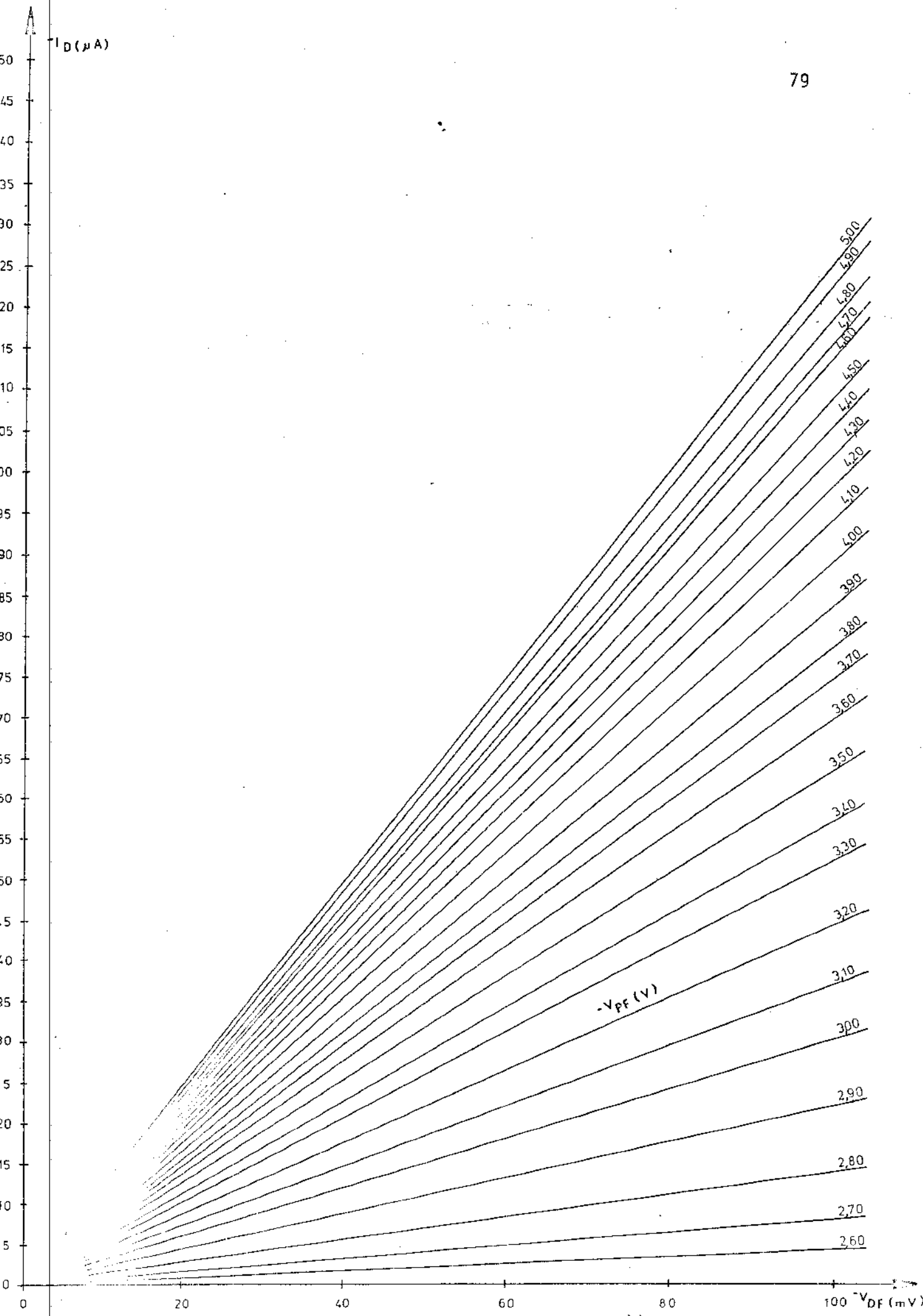


Fig. 1. I_D vs. V_{DS} - Characteristics of the $(n-p-n)_{2D}$ diode in the linear region.

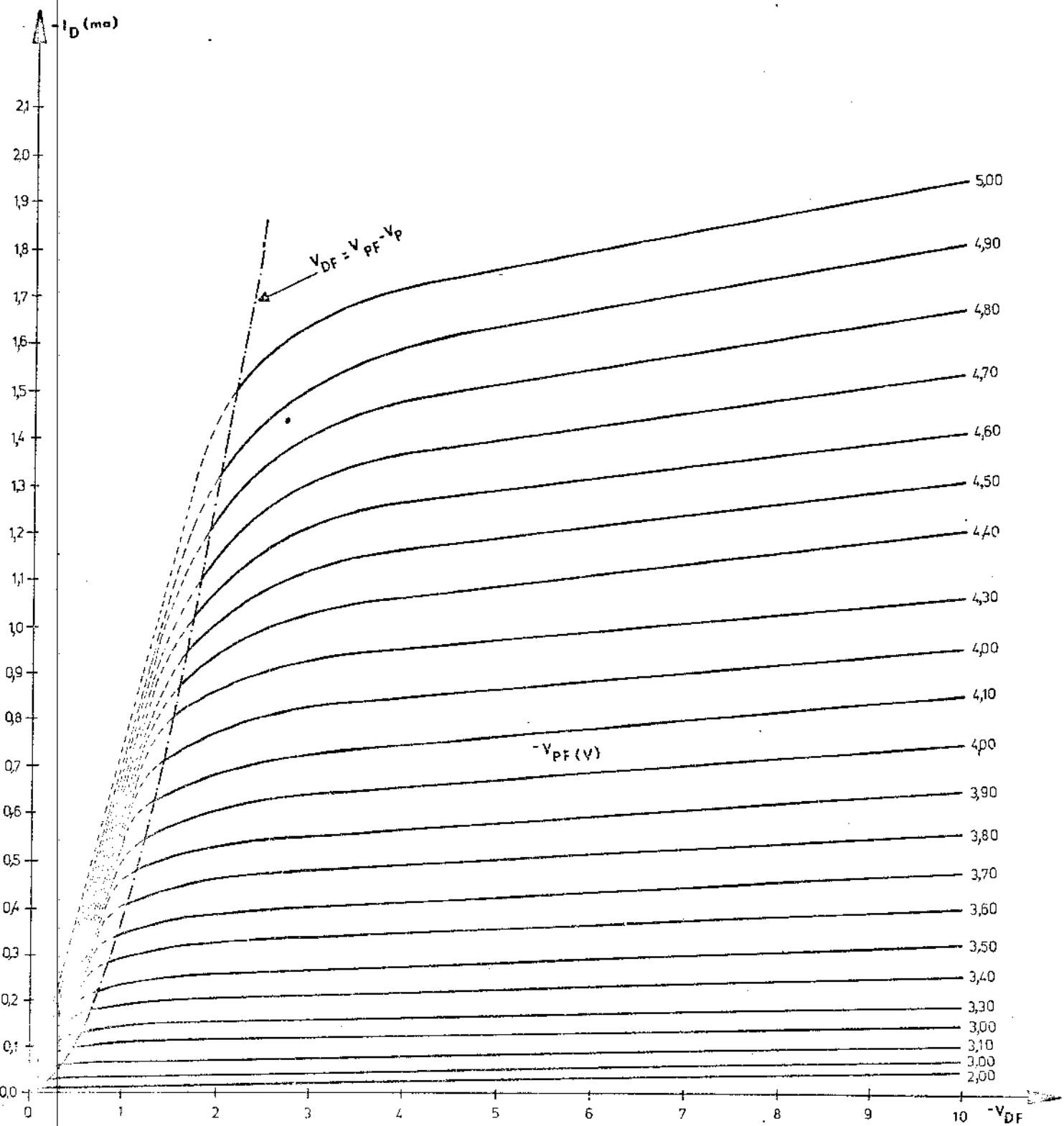
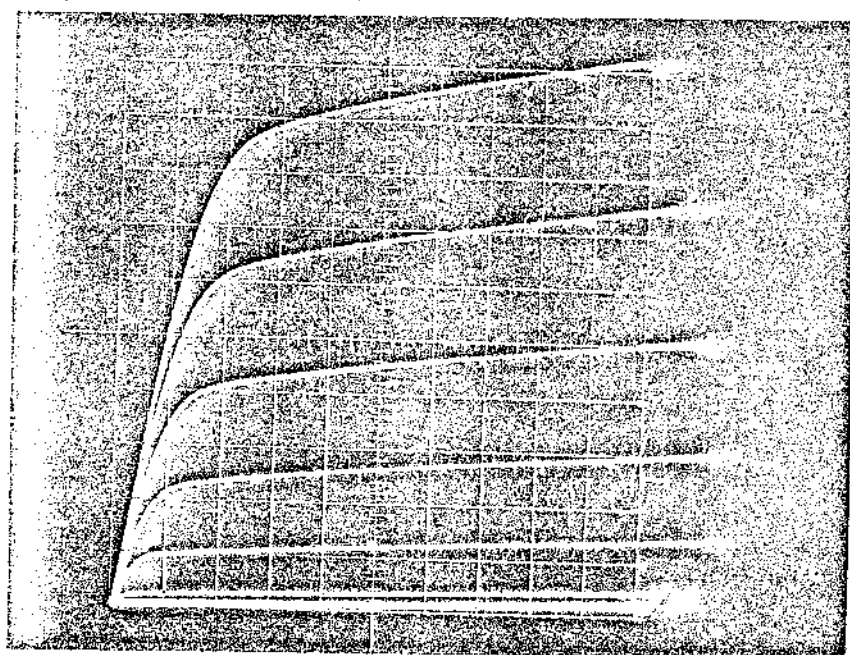


Fig. 3.9.5 - Características $[I_D \times V_{DF}]_{V_{PF}}$ no modo de condução



H : 1 V/div

V : 0,2 m A/div

Figura 3.9.c - Foto mostrando a característica $(I_D \times V_{DF})_{V_{PF}}$ na saturação

da curva $g_{fd} \times V_{PF}$ por extrapolação de seu trecho linear, até o eixo horizontal, V_{PF} . Toma-se como valor de V_T o valor de $-V_{PF}$ no ponto desse cruzamento.

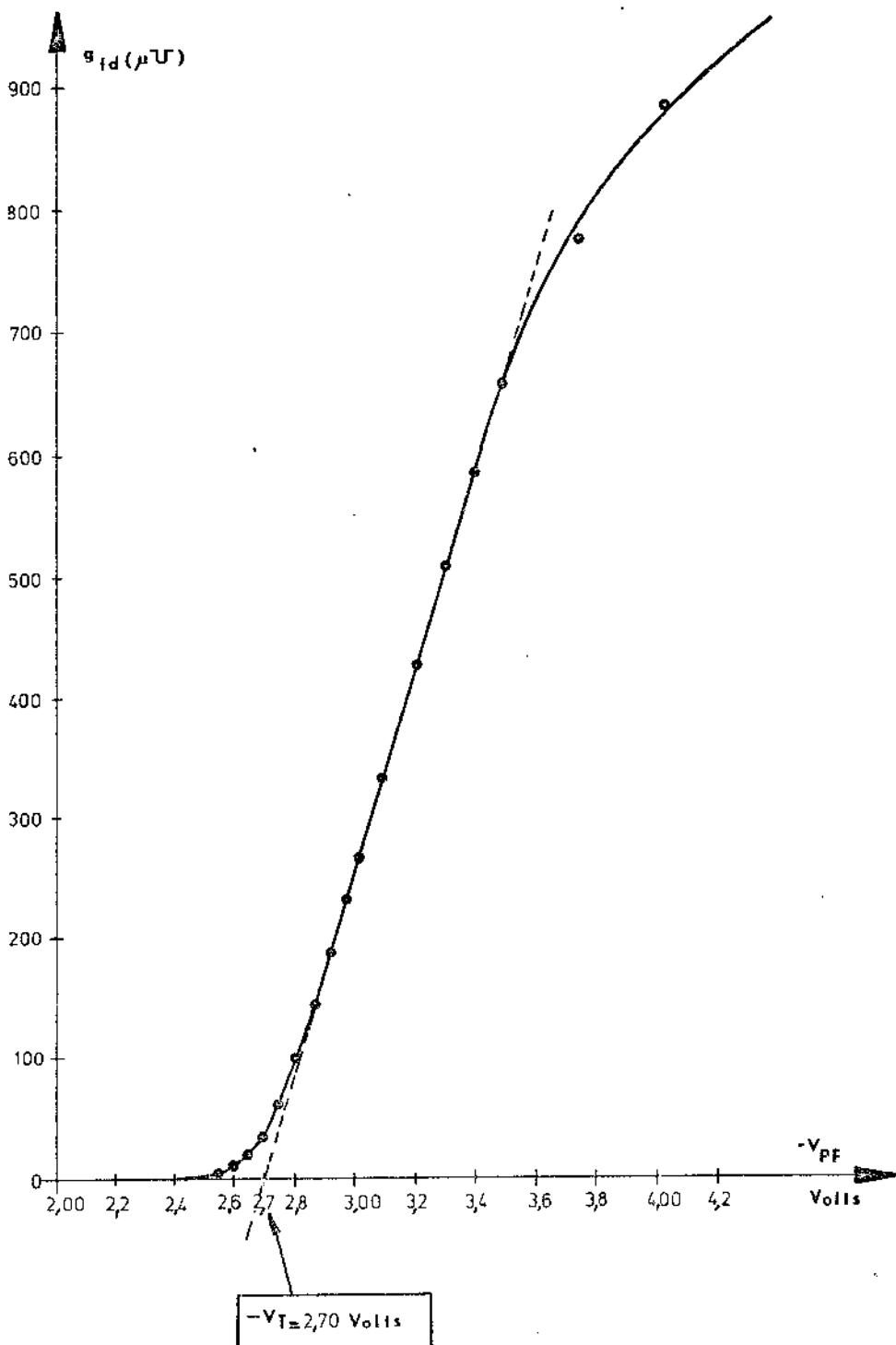


Figura 3.10 - Curva experimental de $g_{fa} \times V_{PF}$, utilizada para a determinação do valor da tensão V_T e do valor da mobilidade efetiva, $\bar{\mu}_s$. .

Observando, ainda, a equação 1.14 verificamos que a inclinação da curva, que a representa graficamente, fornece os valores de μ_s . O máximo dessa inclinação ocorre na região linear, e o valor de μ_s corresponde a essa região é definido como mobilidade efetiva do canal $\bar{\mu}_s$. Baseado no que foi exposto acima podemos tirar o seguinte valor para a tensão de transição V_T para 8 transistores fabricados com silício tipo N e orientação $\langle 100 \rangle$.

$$V_T = -(2,7 \pm 0,1) \text{ volts}$$

À obtenção de $\bar{\mu}_s$ foram usados os seguintes dados:

$Z/L = 170$; $C_o = 2,6 \times 10^{-8} \text{ F/cm}^2$ e a inclinação da curva da figura 3.10 no trecho linear.

$$\text{Dessa forma obteve-se } \bar{\mu}_s = 170 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$$

A obtenção do valor $N_{SS} \equiv Q_{SS}/q$ basear-se-á na seguinte relação:

$$V_T = \frac{-Q_{SS}}{C_o} + \phi'_{MS} + 2\phi_{FN} - \frac{Q_B}{C_o}$$

onde ϕ'_{MS} se reduz⁽¹³⁾ aproximadamente a $(-0,6 - \phi_{FN})$ volts,

$$Q_B \approx \sqrt{2K_s \epsilon_o q N_B |2\phi_{FN}|} \approx 8 \times 10^{-16} \sqrt{N_B |\phi_{FN}|} \text{ C/cm}^2$$

$C_o \approx 2,6 \times 10^{-8} \text{ F/cm}^2$ para um óxido de 1.300 \AA de espessura. Dessa forma, teremos $V_T = -\frac{Q_{SS}}{C_o} + (-0,6 - \phi_{FN}) + 2\phi_{FN} - \frac{8 \times 10^{-16} \sqrt{N_B |\phi_{FN}|}}{C_o}$

Fazendo os cálculos para as condições do nosso projeto ($N_B = 10^{15} \text{ cm}^{-3}$ e $T = 300^\circ\text{K}$) teremos:

$$-Q_{SS} = 3,3 \times 10^{-8} \text{ coulomb/cm}^2, \text{ donde:}$$

$$N_{SS} = \frac{Q_{SS}}{q} \approx 2 \times 10^{11} \text{ cm}^{-2}$$

Transistores construídos em substratos do tipo N com orientação $\langle 111 \rangle$ apresentaram $N_{SS} = 8 \times 10^{11} \text{ cm}^{-2}$. Este valor é comparável com aquele que vale $N_{SS} = 2 \times 10^{11} \text{ cm}^{-2}$ para substratos de orientação $\langle 100 \rangle$.

Baseando-nos nos valores de N_{SS} , acima, concluímos que o processo de fabricação destes transistores MOS permite obter resultados comparáveis aos descritos na literatura, quanto à criação de estados de superfície; assim também, podemos verificar a reprodutibilidade do processo de oxidação e limpeza, uma vez que, entre a fabricação dos transistores fabricados com silício $\langle 111 \rangle$ e dos com silício de orientação $\langle 100 \rangle$, decorreu um ano.

c) Medida da resistência de fuga da porta, R_p

Com o auxílio da Ponte de Impedâncias referida no capítulo 3.1.c foram feitas as medidas de R_p nos transistores, encontrando-se o seguinte resultado:

- a) Nos transistores que não sofreram a passivação com o P_2O_5 o valor da resistência R_p não ultrapassou $10^8 \Omega$. Esses transistores foram fabricados em substrato com orientação $\langle 111 \rangle$, em janeiro de 1972.
- b) Nos transistores passivados com o P_2O_5 o resultado foi uma melhoria três ordens de grandeza. No quadro abaixo apresentamos as faixas de valores encontrados para R (os valores são em ohm) nos transistores passivados.

QUADRO Nº 3.1

Parâmetro R_p (Ω)	% de transistores analisados - Lote de 20 transistores
$R_p \geq 10^{11}$	78,3%
$10^{10} < R_p < 10^{11}$	4,4%
$R_p \leq 10^{10}$	17,3%

Essa considerável melhoria na resistência de fuga R_p , se deve ao fato da propriedade que tem o fósforosilicato de captar as impurezas existentes no SiO_2 , tais como os íons alcalinos, além de formar uma camada protetora que evita a penetração de novos íons alcalinos¹⁴. A camada de fósforosilicato deve ser controlada quanto à composição e à espessura para minimizar o efeito de polarização¹⁰ orientacional. Podemos notar, também, que, embora a passivação só diminua os defeitos de superfície em menos de uma ordem de grandeza, a melhoria é considerável no que diz respeito ao aumento do valor da resistência R_p .

d) Medidas das capacitâncias

Utilizando-se a ponte de impedâncias e o circuito referidos no capítulo 3.1.d, foram feitas as medidas dos valores de C_i , de C_{ps} , de C'_o , e de C_s , obtendo-se os valores do Quadro nº 2.

QUADRO Nº 3.2

C_i (pF)	C_{ps} (pF)	C'_o (pF)	C_s (pF)
12,7	11,2	11,4	12,2

A dispersão dos valores entre os vários transistores esteve abaixo de 10%.

Traçaram-se, também, as curvas $C_i \times V_{PF}$ e $C_{PS} \times V_{PF}$ obtendo-se os gráficos da figura 3.11 abaixo:

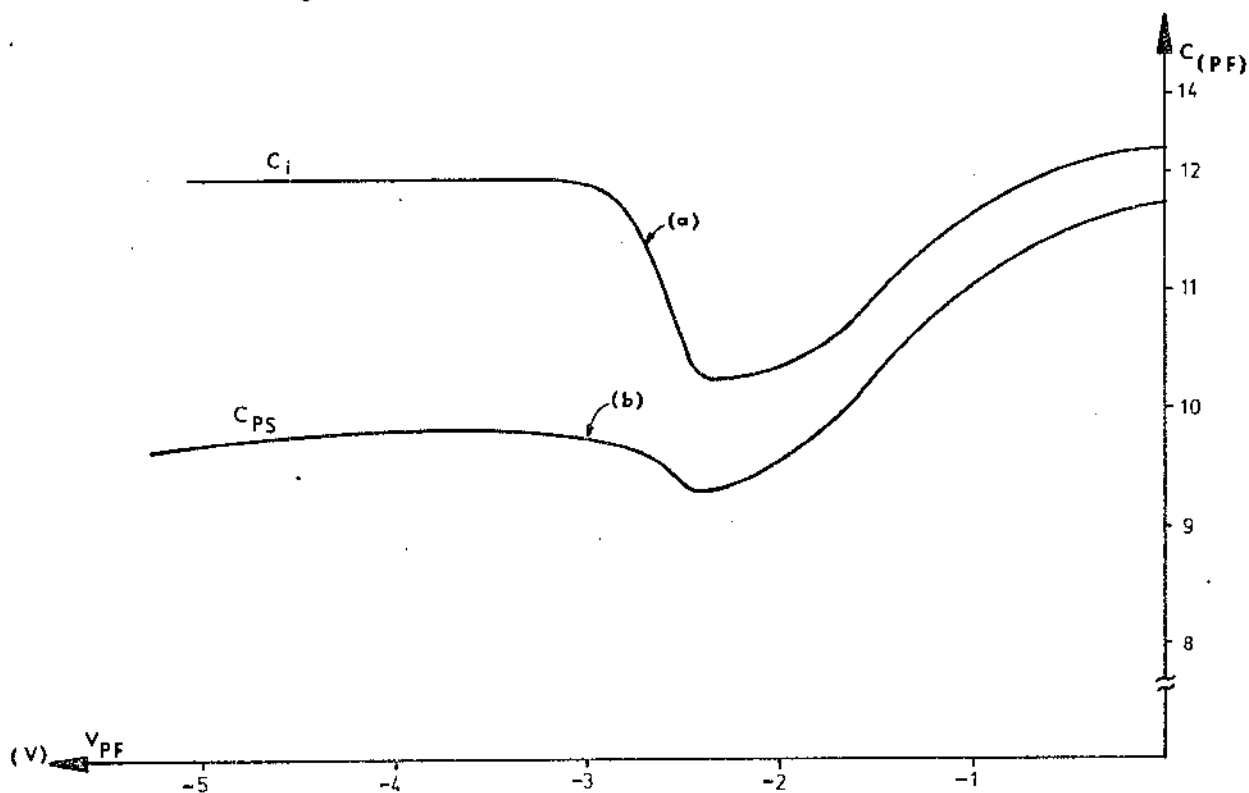


Figura 3.11 - Gráfico mostrando $C_i \times V_{PF}$, $C_{PS} \times V_{PF}$

Nos gráficos acima verifica-se que as capacitâncias permanecem aproximadamente constantes na região de inversão. Observa-se que na curva (a) da fig. 3.11 o comportamento da capacitância com a tensão se assemelha à curva $C \times V$ de uma estrutura MOS de dois terminais para baixa frequência. Já a curva (b) se assemelha à curva $C \times V$ para alta frequência, em concordância com o modelo adotado. Um outro fato que deve ser notado é que o efeito da capacitância da junção do diodo de proteção da porta é desprezível. Verifica-se isso porque as curvas não seguem a lei $K V_A^{-1/3}$ que é a equação que rege o comportamento de $C \times V$ de uma junção linear. A capacitância da junção do diodo de proteção dá uma contribuição aditiva à capacitância total de

de entrada. Pelo exposto acima, é razoável desprezar-se o seu efeito no comportamento do transistor. Fazendo-se uso das fórmulas 3.1, 3.2 e 3.3, teremos $C_1 = 9,6 \text{ pF}$, $C_2 = 3,1 \text{ pF}$ e $C_3 = 9,1 \text{ pF}$.

e) Medidas da tensão de ruptura da junção do dreno, V_{BDS} e da junção do diodo de proteção da porta, V_{Bds}

Os valores teóricos de V_{BDS} e de V_{Bds} foram estimados levando-se em conta a influência da curvatura da região de depleção^{(16), (23)}, encontrando-se $V_{BDS} = V_{Bds} \approx 160 \text{ volts}$.

Contudo as medidas efetuadas num transistor típico apresentaram os resultados do quadro abaixo:

QUADRO Nº 3.3

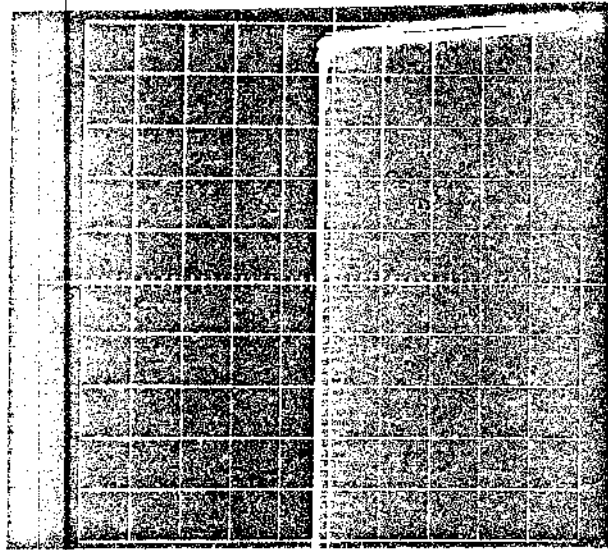
V_{BDS} / com fonte e porta flutuando $I_D \approx 0$	V_{BDS} / com os transistores funcionando ($I_D \neq 0$)	V_{Bds} / com fonte e dreno flutuando
$\approx 105 \text{ V}$ (foto na fig. 3.12.a)	$\approx 70 \text{ V}$ (foto na fig. 3.12.b)	$\approx 140 \text{ V}$ (foto na fig. 3.12.c)

O espalhamento dos resultados acima, para os vários transistores, esteve abaixo de 20%.

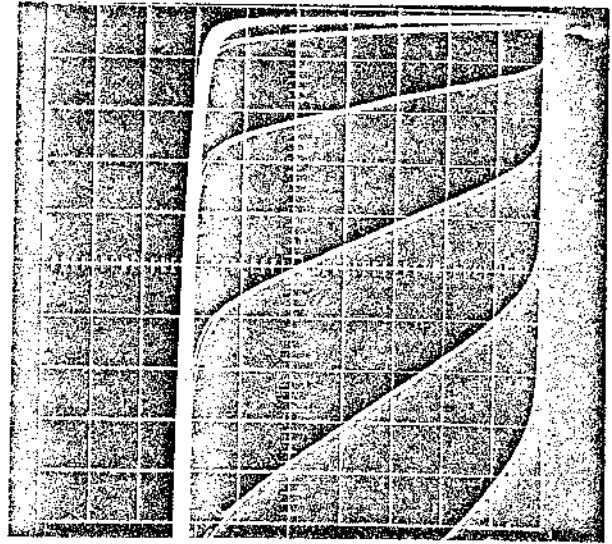
Pela análise dos resultados apresentados no quadro acima verifica-se que o valor da tensão de ruptura que mais se aproxima do valor teórico é aquele obtido quando a fonte e o dreno estão flutuando.

A explicação para o maior afastamento da medida encontrada de V_{BDS} quando $I_D = 0$ pode ser entendida^(1,3,24)

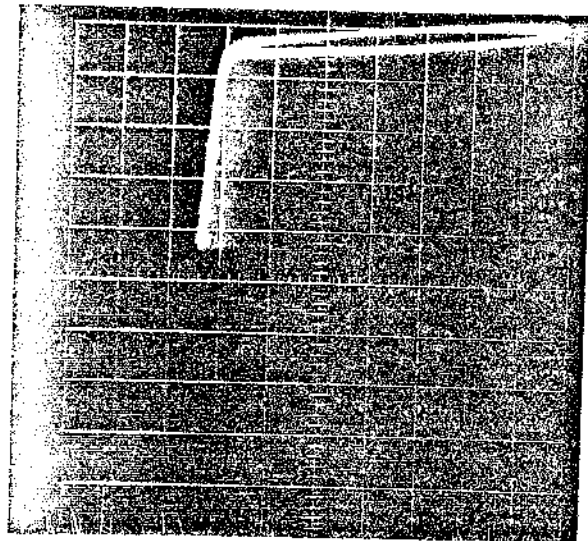
como um resultado da modulação da região de depleção pela tensão da porta e pela geração de pares eletro-lacuna^{(1), (3), (24)}.



(a) H : 20 V/div
V : 0,01 mA/div



(b) H : 10 V/div
V : 0,1 mA/div



(c) H : 20 V/div
V : 0,01 mA/div

Figura 3.12 - Fotos das curvas características na avalanche

O efeito do eletrodo da porta é, então, o de modular a tensão de ruptura da junção do dreno-substrato. A figura 3.13 mostra a distribuição de campo numa estrutura - em que há a superposição de um eletrodo numa junção p-n. Uma configuração semelhante a essa ocorre no TEC-MOS onde o eletrodo da porta superpõe a junção do dreno-substrato.

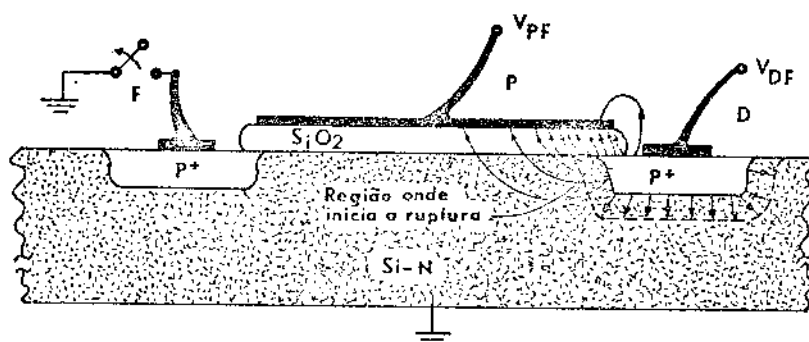


Fig.3.13 -Distorção do campo numa junção P-N devido à superposição do e letrodo metálico (ref. 3.5 e 3.6)

f) Medida da transcondutância (g_m) e da mobilidade, (μ_s) do canal

Apresentamos na forma gráfica, figura 3.14.a, abaixo, os resultados das medidas de g_m e de μ_s .

Usou-se a montagem da figura 3.6 para o traçado da curva $g_m \times V_{PF}$. A curva $\mu_s \times V_{PF}$ tem exatamente o mesmo formato da curva $g_m \times V_{PF}$ quando se polariza o transistor na região linear; essas curvas diferem, apenas, por um fator de escala. Na representação da figura foi traçada apenas uma curva com duas escalas verticais, uma representando g_m e a outra, μ_s .

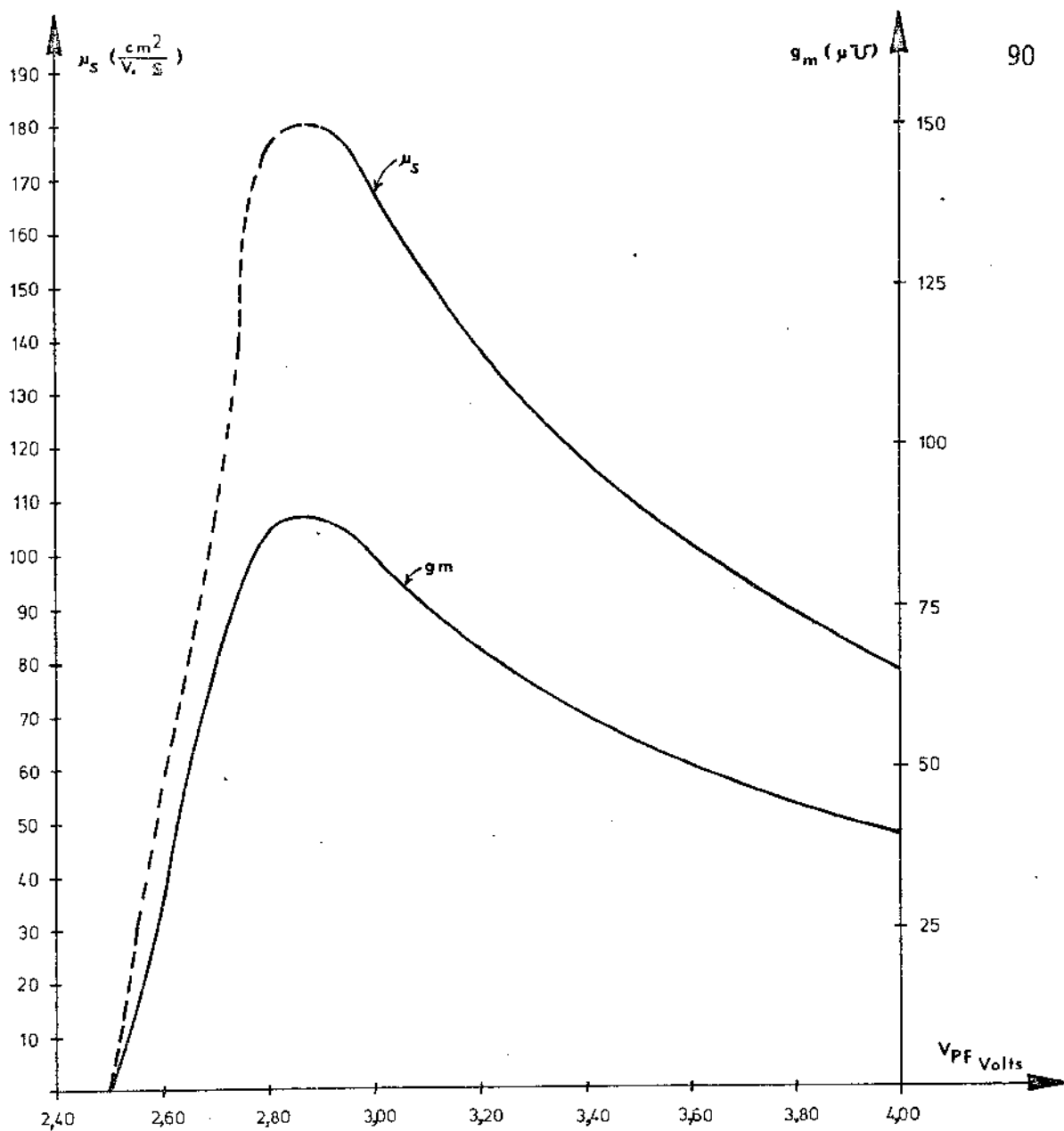


Figura 3.14.a - Curvas experimentais de $g_m \times V_{DF}$ e $\mu_s \times V_{PF}$

A transcondutância na região de saturação \bar{e} , baseando-se na expressão 1.18, independente de V_{DF} e depende linearmente de V_{PF} . Graficamente a expressão 1.18 deverá apresentar um aspecto como o da figura 3.14.b .

Os gráficos obtidos de g_{m-SAT} para um transistor típico apresentaram, contudo um comportamento diferente daquele apresentado pela figura 3.14.b - como se pode observar pela figura 3.14.c .

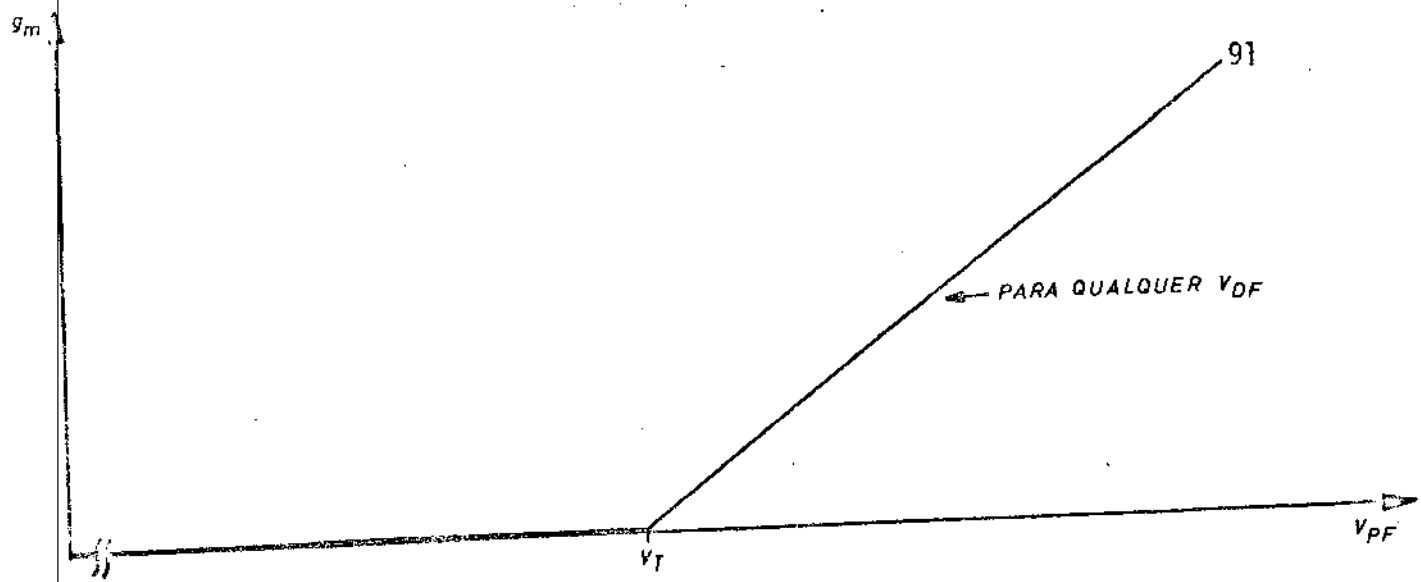


FIG. 3.14.b - Representação grãfica da expressão 1.18 - $(g_{m-sat} \times V_{PF})_{V_{DF}}$ teórica.

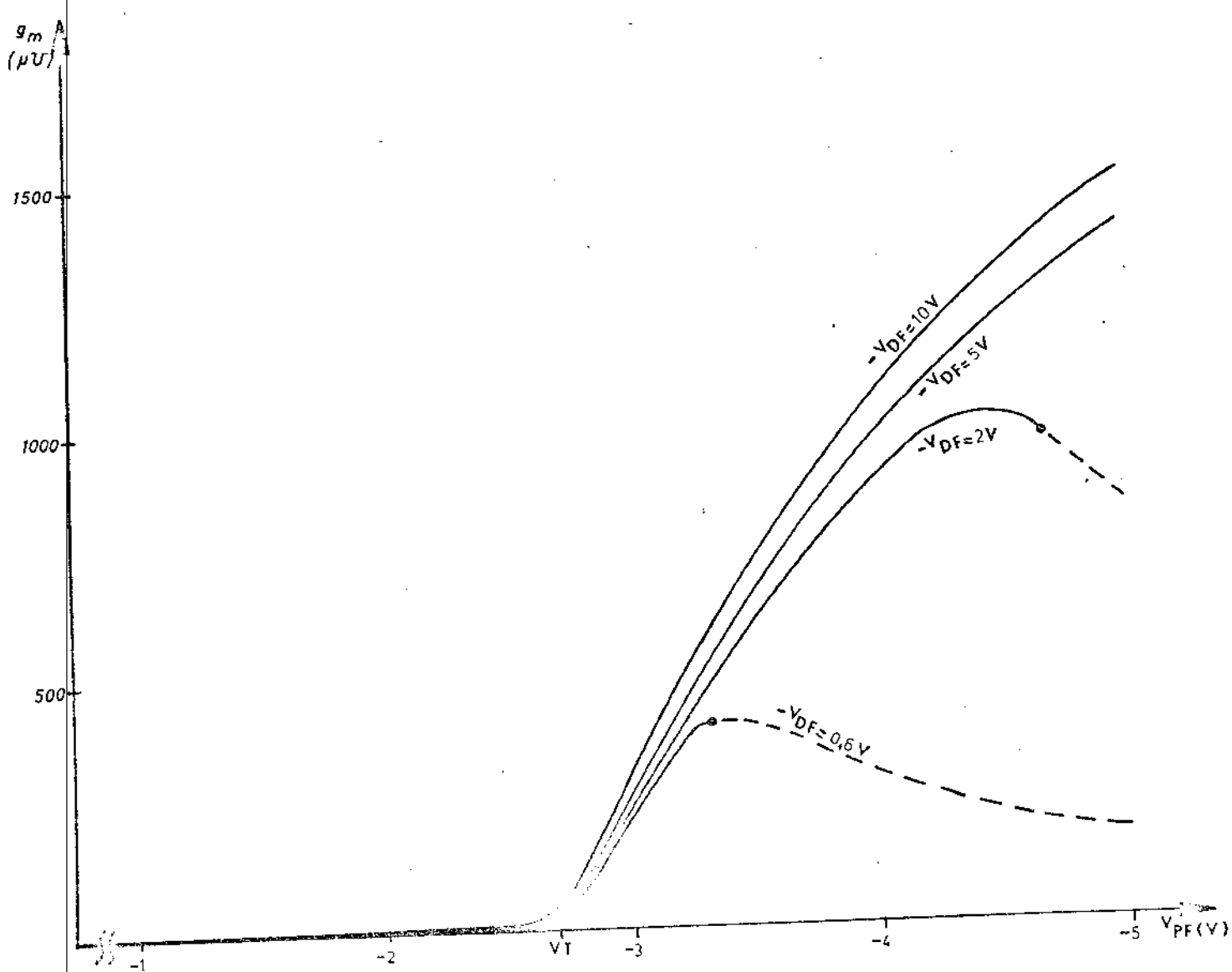


FIG. 3.14.c - Resultado experimental das medidas de $[g_{m-sat} \times V_{PF}]_{V_{DF}}$

Analisando os resultados experimentais, figura 3.14.c - e confrontando-o com o gráfico da expressão teórica aproximada (figura 3.14.b), podemos verificar que o modelo proposto explica aproximadamente o comportamento dos transistores no que diz respeito à dependência linear de g_m com V_{PF} , para valores de $|V_{PF}| > |V_T|$ e $|V_{PF}| < |V_{DF} + V_T|$. Podemos notar uma forte discrepância para valores altos de V_{PF} .

A explicação que damos para tal fato é a de que quando se deduz a equação $[I_D \times V_{DF}]_{V_{PF}}$ para o TEC, se considera que o estrangulamento do canal junto ao dreno ocorre bruscamente, quando for satisfeita a condição:

$V_{DF} = V_{PF} - V_T$; o que certamente, não é correto. O estrangulamento do canal, à semelhança de sua indução, é um fenômeno que ocorre suavemente.

Ainda no trecho linear das curvas da figura 3.14.c, podemos destacar mais uma pequena divergência entre a previsão do modelo e os resultados experimentais.

Pelo modelo deveríamos ter as curvas coincidentes para qualquer valor de V_{DF} . Observando a figura 3.14.c. no trecho linear, verificamos que, para um determinado valor de V_{PF} , g_{mSAT} toma valores diferentes para diferentes valores de V_{DF} , contrariando assim a previsão teórica da expressão 1.18.

A explicação que damos é a de que quando se deduz a equação do TEC se despreza o efeito da modulação do comprimento do canal pela tensão V_{DF} , como, também, se considera independente de V_{DF} e V_{PF} o valor da carga ionizada no substrato, Q_B . Sabemos que o comprimento do canal, como a carga ionizada, variam com as tensões aplicadas.

Finalmente, o trecho pontilhado das curvas da figura 3.14.c corresponde a chamada região triodo do TEC, onde g_m cai com os aumentos de V_{PF} devido ao fato de que a mobilidade, nessa região, cai fortemente quando a tensão V_{PF} aumenta em módulo.

g) Medida da resistência terminal do dreno e da fonte, $(r_f + r_d)$

Como vimos no item 3.1.i o primeiro passo para se determinar $(r_f + r_d)$ é traçar o gráfico $(g_m)^{-1} \times V_{PF}$ afim de se determinar uma grandeza que chamamos de V_0 . A partir dos dados da curva da figura 3.14 obtemos os dados necessários para o traçado de $(g_m)^{-1} \times V_{PF}$. Assim procedendo obtemos o gráfico da figura 3.15, abaixo.

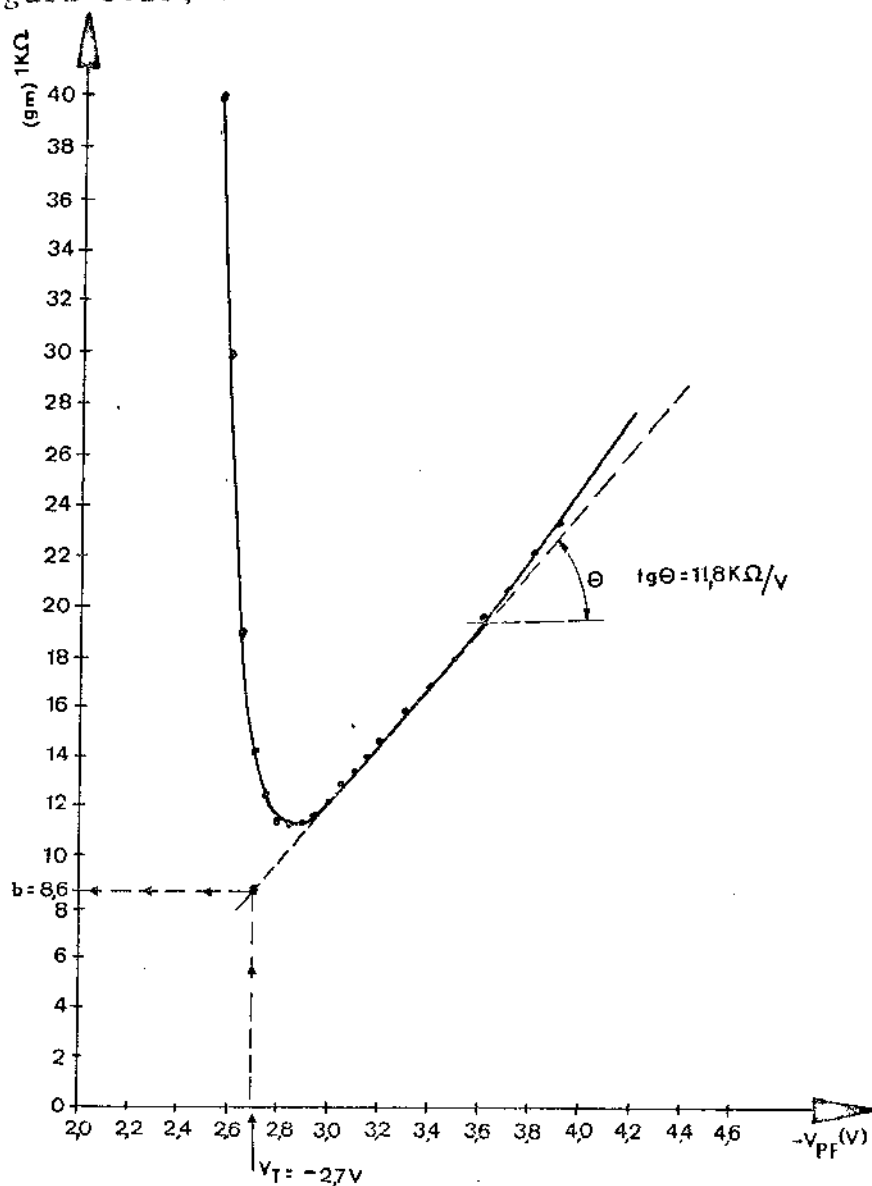


Figura 3.15 - Curva experimental mostrando a dependência de $(g_m)^{-1}$ com a tensão V_{PF} , utilizada para a determinação de V_0 e da velocidade térmica, V_{th} .

A equação 1.16 é da forma:

$$(g_m)^{-1} = KV_0 + K (V_{PF} - V_T)$$

Onde

$$K = \frac{1}{Z/L \cdot \epsilon \cdot V_{th}} \cdot \frac{1}{V_{DF}}$$

Dessa forma, a partir dos valores de b e de $\text{tg}\theta$, lidos no gráfico acima, podemos determinar V_0 e V_{th} , como se segue:

$$\text{tg}\theta = K \frac{1}{(Z/L) \cdot \epsilon \cdot V_{th}} \cdot \frac{1}{V_{DF}} = 11800 \text{ } \Omega/V$$

$$V_0 = \frac{b}{K} = \frac{8,6}{11,8} = 0,72 \text{ V}$$

Dessa forma é possível determinar, também, o valor de V_{th} , pois os valores de K , Z/L , e V_{DF} são conhecidos. Dessa forma teremos:

$$V_{th} = \frac{1}{K \cdot (Z/L) \cdot \epsilon} \cdot \frac{1}{V_{DF}} = 0,55 \times 10^7 \text{ cm/ség.}$$

Com o valor de V_0 conhecido, estamos em condições de traçar o gráfico de $(g_{fd})^{10} \times \left[\ln \left(1 + \frac{V_{PF} - V_T}{V_0} \right) \right]^{-1}$.

Primeiramente podemos obter ou construir o seguinte quadro, nº 4, de valores:

$-V_{PF}$ (V)	6,00	5,75	5,50	5,25	5,00	4,75	4,50	4,25	4,00	3,75	3,50
d	4,58	4,23	3,88	3,54	3,14	2,84	2,50	2,16	1,80	1,45	1,11
τ	1,71	1,65	1,58	1,51	1,43	1,34	1,25	1,15	1,02	0,89	0,74
γ	0,584	0,606	0,625	0,665	0,698	0,746	0,800	0,869	0,980	1,12	1,35
$(g_{FD})^{-1}$ (Ω)	1495	1450	1400	1340	1280	1200	1130	1030	890	780	650

onde:

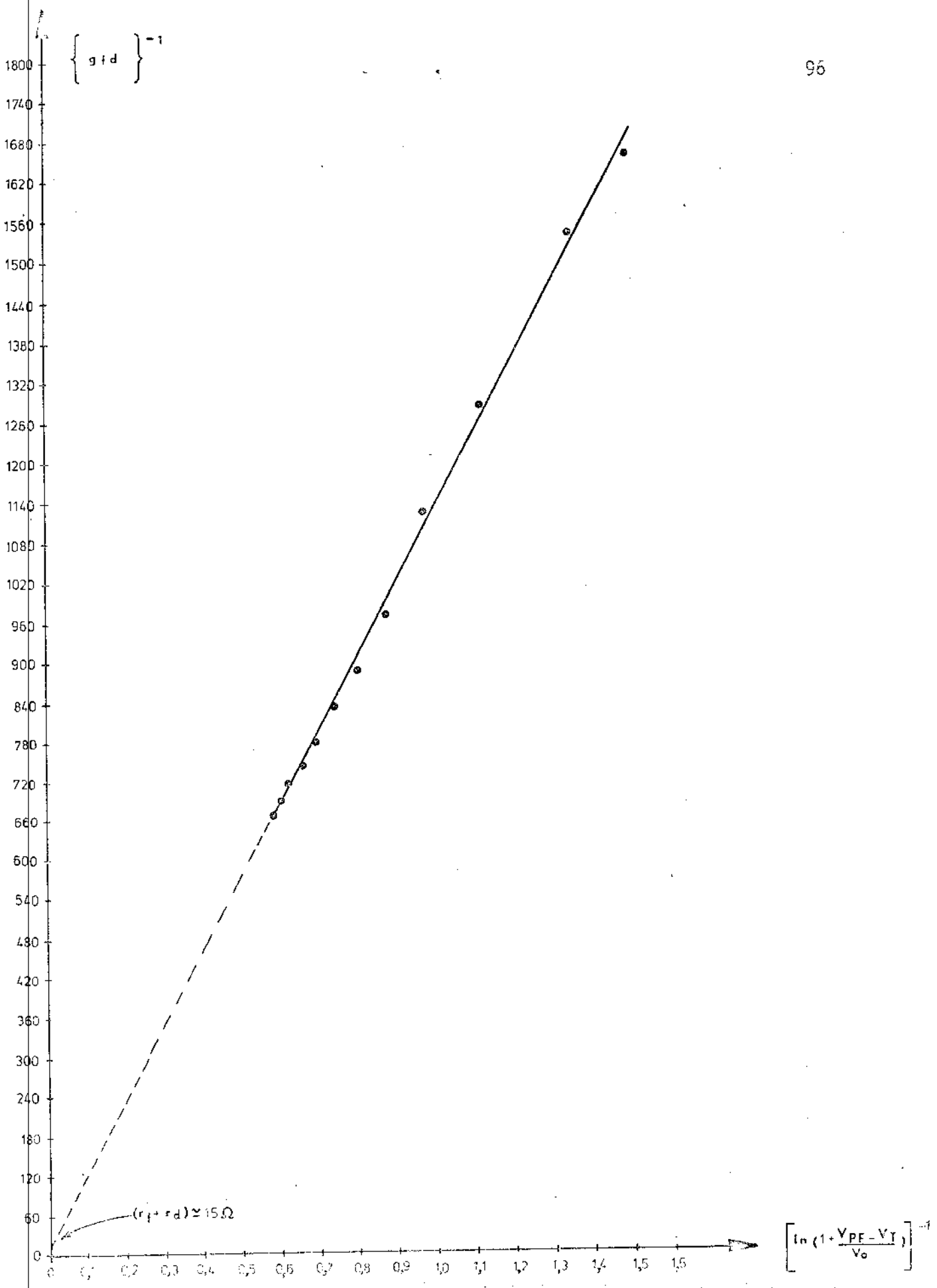
$$\sigma = (|V_{PF} - V_T|) / V_o = (|V_{PF} - 2,70|) / 0,72$$

$$\tau = \ln(1 + \sigma)$$

$$\gamma = (\tau)^{-1}$$

O valor de V_T já foi determinado a partir da curva g_{FD} x V_T , por extrapolação.

Com os valores obtidos do quadro acima podemos traçar o gráfico da figura 3.16, abaixo.



A equação 1.12 pressupõe-se $r_d = r_f = 0$ - consequentemente o seu traçado gráfico corresponderá a $\frac{u}{(g_{fd})^{-1} \times \left[\ln \left(1 + \frac{V_{PF} - V_T}{V_0} \right) \right]^{-1}}$ uma reta que passa pela origem num sistema de eixos

Num caso prático a curva ainda será uma reta, - contudo não passa pela origem, pois r_f e r_d são diferentes de zero.

Pelos mesmos motivos apresentados em 3.1.i, conclui-se que r_f é aproximadamente igual a r_d . Dessa forma, é usual considerar r_d igual a r_f . O gráfico da figura 3.16 fornece, por extrapolação, o seguinte valor para as resistências terminais:

$$r_d + r_f = 15 \Omega$$

Considerando $r_f = r_d$, então $r_f = r_d = 7,5 \Omega$

Podemos resumir no Quadro nº 3.4 os parâmetros obtidos num transistor típico em que $x_j = 5,1 \mu\text{m}$, $x_0 = 1.300 \text{ \AA}$, $Z/L = 170$; orientação $\langle 100 \rangle$, canal-P.

QUADRO Nº 3.4

R_p (Ω)	C_1 (pF)	C_2 (pF)	C_3 (pF)	V_{BDS} $I_D = 0$ (V)	V_{BDS} $I_D = 0$ (V)	V_{Bds} (V)
>10"	9,6	3,1	9,1	105	70	140

V_T (V)	N_{ss} (cm^{-2})	$\bar{\mu}_s$ ($\text{cm}^2/\text{v.s.}$)	v_{th} (cm/s)	r_f (Ω)	r_d (Ω)
-2,70	2×10^{11}	170	$5,5 \times 10^6$	7,5	7,5

3.3 Conclusões:- Baseados nos resultados obtidos, podemos concluir que:

I- O modelo adotado pode ser utilizado no projeto de um TEC MOS e permite prever suas propriedades, bem como avaliar o processo de fabricação.

II- O processo utilizado na fabricação dos transistores MOS permite obter reprodutibilidade e a obtenção desses dispositivos com qualidade comparável aos daqueles referidos na literatura.

III- A passivação do óxido da porta com P_2O_5 aumenta sensivelmente a resistência de fuga da porta e diminui as correntes de fuga das junções sem modificar a densidade de estados de superfície de maneira drástica.

IV- É possível obter transistores TEC MOS com boa reprodutibilidade apesar de se modificar um pouco as condições de fabricação embora os processos de limpeza e oxidação devam ser bem controlados.

V- A inclusão do diodo de proteção da porta não influencia sensivelmente na capacitância de entrada desde que a geometria do mesmo seja tal que haja uma diferença grande entre a área do TEC MOS e a do diodo.

VI- As medições-que permitem a caracterização do TECMOS são as seguintes:

resistividade da lâmina de silício

profundidade de difusão

espessura do óxido

dimensões do dispositivo

curva de $g_m \times V_{PF}$ mantido V_{DF} constante

curva de $C_{PS} \times V_{PF}$ mantido V_{DF} constante

curva de $g_{df} \times V_{PF}$ mantido V_{DF} constante

As principais características dos TEC MOS estudados são: resistência da porta maior que 10^{11} ohms, tensão de transição de 2,7 V, mobilidade das lacunas no canal de $170 \text{ cm}^2/\text{V.s}$, resistência de terminais de 7 ohms, capacitância de entrada de 13 pF, capacitância de saída de 11 pF e capacitância de realimentação de 11 pF.

Referências Bibliográficas

1. P. RICHMAN
"Characteristics and Operation of MOS Field-Effect Devices"
McGraw-Hill (1967)
2. E. KOOI
The surface properties of oxidized silicon: Philips Technical Library
(1967)
3. A.S. GROVE
"Physics and Technology of Semiconductor Devices"
John Wiley (1967)
4. A. PARKER
MOS Review Microelectronics - Vol. 3, nº 6 (1970)
5. P.V. GRAY
The silicon-silicon dioxide system, Proceedings of the IEEE
Vol. 57, nº 9 (1969)
6. A.S. GROVE, B.E. DEAL, E.H. SNOW
Surface-state charge density (Q_{ss}) of thermally oxidized silicon
effect of oxidation conditions, Electrochem. Soc. Meeting (1966)
7. G. CHENOFF, F. FANG, and F. HOCHBERG
Effect of low temperature annealing on the surface conductivity of
Si in the Si-SiO₂ - Al system, IBM Journal, Vol. 8 (1964)
8. D.R. KERR, J.S. LOGAN, P.J. BURKHARD, and W.A. PLISKIN
Stabilization of SiO₂ passivation layers with P₂O₅, IBM Journal, Vol. 8
(1964)
9. O. LEISTIKO, A.S. GROVE, and C.T. SAH
Electron and hole mobilities in inversion layers on thermally oxidized
silicon surfaces, IEEE - Trans. Electron Devices, Ed. 12 (1965)
10. L.V. GREGOR
Passivation of semiconductor surfaces, Solid State Technology - Abril
(1971)
11. M.B. DAS
Physical limitations of MOS structures, Solid-State Electronics, Vol. 12,
nº 5 (1969)

12. FANG, F., and S. TRIEBWASSER
Effect of surface scattering on electron mobility in an inversion layer on p-type silicon - Appl. Phys. Lett., Vol. 4 (1964).
13. COBBOLD RICHARD, S.D.
"Theory and Application of Field Effect Transistor"
John Wiley (1970)
14. M.J. KIN
MOS-FET fabrication problems, Solid-State Electronics
Vol. 12 (1969)
15. B.E. DEAL, M. SKLAR, A.S. GROVE and E.H. SNOW
Characteristics of the surface-state charge of thermally oxidized silicon - J. Electrochem. Soc. , Vol. 114 (1967)
16. L.C. MOLINA TORRES
"Projeto e Construção de Diodos Zener", Tese de Mestrado,
Escola Politécnica da U.S.P., maio (1973)
17. A.B. PHILLIPS
"Transistor Engineering"
McGraw-Hill (1962)
18. Receita de Processos desenvolvida no Lab. de Microeletrônica da U.S.P.
19. H.F. ELY
"Metalização por Alumínio evaporado no Vácuo, aplicada a Circuitos Integrados Monolíticos", Dissertação de mestrado apresentada à Escola Politécnica da U.S.P. em maio de 1973
20. D.M. BROWN and, P.V. GRAY
SiO₂ fast interface state measurements, J. Electrochem Soc. 115, Vol.7 (1968)
21. S. SCHWARTZ
"Integrated Circuit Technology"
McGraw-Hill (1967)
22. MOTOROLA
"Integrated Circuits",
McGraw-Hill (1965)
23. J.T. WALMARK, H. JOHNSON
"Field-Effect Transistor Physics, Technology and Applications"
Prentice-Hall (1966)

24. F.P. HEIMAN and, S.R. HOFSTEIN
Metal-oxide semiconductor Field-Effect Transistor
Electronics, Vol. 30 (1964)
25. R.M. BURGER and, R.P. DONOVAN
"Fundamentals of Silicon Integrated Device Technology "
Vol. 1 - Prentice-Hall (1967)