Universidade Estadual de Campinas Faculdade de Engenharia Elétrica e de Computação Departamento de Microondas e Óptica DMO - FEEC - UNICAMP

## CIRCUITOS INTEGRADOS DE RÁDIO-RECEPÇÃO PARA A OPERAÇÃO DE MULTIPLEXAÇÃO ESPACIAL DE ANTENAS EM TEMPO REAL

Autor:Carlos Eduardo CapovillaOrientador:Prof. Dr. Luiz Carlos Kretly

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como parte dos requisitos exigidos para obtenção do título de Doutor em Engenharia Elétrica

#### Comissão Julgadora:

Prof. Dr. Luiz Carlos Kretly - DMO/FEEC/UNICAMP
Prof. Dr. Antônio Romeiro Sapienza - DETEL/FEN/UERJ
Prof. Dr. Sílvio Ernesto Barbin - PTC/EP/USP
Prof. Dr. Peter Jürgen Tatsch - DSIF/FEEC/UNICAMP
Prof. Dr. Paulo Cardieri - DECOM/FEEC/UNICAMP
Prof. Dr. Vítor Baranauskas - DSIF/FEEC/UNICAMP

Maio de 2008

### FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

1

C173c	Capovilla, Carlos Eduardo Circuitos integrados de rádio-recepção para a operação de multiplexação espacial de antenas em tempo real / Carlos Eduardo CapovillaCampinas, SP: [s.n.], 2008.
	Orientador: Luiz Carlos Kretly. Tese (doutorado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.
	1. Microeletrônica. 2. Circuitos integrados. 3. Microondas. 4. Amplificadores de radiofreqüência. 5. Sistemas de comunicação móvel. 6.Semicondutores de óxido metálico. I. Kretly, Luiz Carlos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: Integrated circuits of radio-reception for spatial multiplexing of antennas in real time.

Palavras-chave em Inglês: Microeletronic, Integrated circuits, Microwave, Low noise amplifier, MOS transistor.

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica.

Titulação: Doutor em Engenharia Elétrica

Banca examinadora: Antônio Romeiro Sapienza, Sílvio Ernesto Barbin, Peter Jürgen Tatsch, Paulo Cardieri e Vítor Baranauskas.

Data da defesa: 16/05/2008

Programa de Pós-Graduação: Engenharia Elétrica

### COMISSÃO JULGADORA - TESE DE DOUTORADO

Candidato: Carlos Eduardo Capovilla

Data da Defesa: 16 de maio de 2008

Título da Tese: "Circuitos Integrados de Rádio-Recepção para a Operação de Multiplexação Espacial de Antenas em Tempo Real"

Prof. Dr. Luiz Carlos Kretly (Presidente):
Prof. Dr. Antonio Romeiro Sapienza:
Prof. Dr. Silvio Ernesto Barbin:
Prof. Dr. Paulo Cardieri:
Prof. Dr. Peter Jürgen Tatsch:
Prof. Dr. Vitor Baranauskas:
1 ~~~

"Quem nasce em degrau do meio, só adquire experiência daí para cima e jamais será um completo"

Monteiro Lobato

À Marcela e aos meus pais Izabel e Oscar com amor e gratidão

### Resumo

Esta pesquisa tem por objetivo a concepção de novas topologias de circuitos integrados e suas caracterizações para operação em sistemas de rádio-recepção. O projeto e a fabricação de chaves de RF, LNAs, *mixer* e VCOs são apresentados. A técnica SMILE (*Spatial MultIplexing of Local Elements*) foi adotada devido às suas vantagens e funcionalidade para a otimização física de antenas inteligentes. Essa técnica requer um chaveamento sequencial das antenas do arranjo e para tal foi desenvolvido um controle de chaveamento acionado por um VCO digital. A demultiplexação analógica do sinal é implementada através de um OTA e chaves analógicas diferenciais. Assim, além da introdução de novas topologias de circuitos integrados, este trabalho estabelece procedimentos de projeto e simulação associados à validação dos dispositivos fabricados.

Palavras-chave: circuitos integrados, rádio-recepção, antenas inteligentes, SMILE.

### Abstract

This research aims the conception of new topologies of integrated circuits and its characterizations for operation in radio-receiver systems. The design and fabrication of RF switches, LNAs, mixer, and VCOs are presented. The SMILE - Spatial MultIplexing of Local Elements technique was adopted due to its advantages and functionality for the intelligent antennas physical optimization. This technique requires a sequential switching of the antennas and for this purpose a switch driver with a digital VCO was developed. The analog demultiplexation of the signal is implemented with OTA and differential analog switches. Thus, besides the introduction of new integrated circuit topologies, this work establishes procedures of design and simulation together with the manufactured devices validation.

Keywords: integrated circuits, radio-reception, smart antennas, SMILE.

### Agradecimentos

Ao Prof. Dr. Luiz Carlos Kretly pela orientação, amizade, sugestões e sobretudo por me fazer entender o quanto amplo deve ser a abstração do conhecimento;

Ao meu "irmão" de orientação Dr. André Távora A. Silva pelo companherismo, sugestões e valorosas discussões para o constante aperfeiçoamento desse trabalho;

Às minhas queridas irmãs Gisele e Gislene e as suas respectivas famílias por todo apoio e carinho;

Ao CNPq através do PNM (Programa Nacional de Microeletrônica) e à UNICAMP pelo suporte financeiro (bolsa de estudos) e pela estrutura técnica, respectivamente;

À FAPESP pelo suporte financeiro para a confecção dos circuitos na Áustria através do PMU (Programa Multi-Usuário);

Ao CCS (Centro de Componentes Semicondutores) da UNICAMP e ao seu engenheiro Emílio Bertolluci pelo monitoramento no uso do sistema *Cascade*;

Ao CenPRA (Centro de Pesquisa Renato Acher) e a seus profissionais: Márcio Biasoli, Saulo Finco, Welligton Mello, Marinalva e Tashuo Hinuma;

Ao LMF (Laboratório de Micro-Fabricação) do LNLS (Laboratório Nacional de Luz Síncrona) e a sua química responsável Maria Helena;

Aos meus companheiros e ex-companheiros de FEEC: Eduardo Silva, Alfeu Sguezieri, Rogério Jacomini, Marcelo Ribeiro, Donato Manzan, Leandro Bertonha, Eudemário Santanna, Hélio Segnini, Daniel Benevides, Ugo Dias, Paulo Lagoia, Maurício Weber, Henrique Pimentel e Paulo Braguetto pela amizade e prazer do convívio durante esse período;

Enfim a todos que, de uma maneira ou outra, apoiaram o desenvolvimento desse trabalho.

## Sumário

Resume	)		iii
Abstrac	et		iv
Agradeo	ciment	DS	v
Lista de	e Figur	as	xi
Lista de	e Tabel	as	xvi
Lista de	e Abre	viaturas	xvii
Capítul	o 1 <b>I</b>	ntrodução	1
Capítul	o 2 A	ntenas inteligentes e a técnica SMILE	3
2.1	Intro	dução	3
2.2	Ante	nas inteligentes	3
2.3	A té	cnica SMILE	6
	2.3.1	Introdução	6
	2.3.2	Modelagem da técnica SMILE	7
	-	2.3.2.1 <b>Belação sinal-ruído</b>	11
		2.3.2.2 Ganho mínimo	13
	233	Análise do acoplamento mútuo entre as antenas do arranio	13
	2.0.0	2331 Bedução do acoplamento mútuo	14
		2332 Simulações EDTD	15
2.4	Sínte	2.9.9.2 Simulações FDTD	19
2.4	Sinte		10
Capítul	o 3 C	concepção e implementação de circuitos de rádio-frequência	19
3.1	Intro	dução	19
3.2	Proc	esso, <i>foundry</i> e ferramentas de projeto	19
	3.2.1	Introdução	19

3.2.3 3.2.4 Circu 3.3.1 3.3.2 Chav 3.4.1 3.4.2 3.4.3 Ampl 3.5.1 2.5.2	Software utilizados para projeto de circuitos integrados       21         Programa de DRC desenvolvido para o software ADS       22         iito equivalente do PAD de RF       23         Introdução       23         Modelagem do PAD de RF       24         es de RF NMOS       29         Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         Inficadores de baixo ruído       35         Introdução       35
3.2.4 Circu 3.3.1 3.3.2 Chav 3.4.1 3.4.2 3.4.3 Amp 3.5.1 3.5.2	Programa de DRC desenvolvido para o software ADS       22         ito equivalente do PAD de RF       23         Introdução       23         Modelagem do PAD de RF       24         es de RF NMOS       29         Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         Infradução       35         Introdução       35
Circu 3.3.1 3.3.2 Chav 3.4.1 3.4.2 3.4.3 Amp 3.5.1 3.5.2	iito equivalente do PAD de RF23Introdução23Modelagem do PAD de RF24es de RF NMOS29Introdução29Concepção das chaves de RF NMOS30Simulações e medidas32lificadores de baixo ruído35Jatrodução35
3.3.1 3.3.2 Chav 3.4.1 3.4.2 3.4.3 Amp 3.5.1 3.5.2	Introdução       23         Modelagem do PAD de RF       24         es de RF NMOS       29         Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         lificadores de baixo ruído       35         Introdução       35
3.3.2 Chav 3.4.1 3.4.2 3.4.3 Ampl 3.5.1 3.5.2	Modelagem do PAD de RF       24         es de RF NMOS       29         Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         lificadores de baixo ruído       35         Introdução       35
Chav 3.4.1 3.4.2 3.4.3 Amp 3.5.1 3.5.1	es de RF NMOS       29         Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         lificadores de baixo ruído       35         Introdução       35
3.4.1 3.4.2 3.4.3 <b>Amp</b> 3.5.1 3.5.2	Introdução       29         Concepção das chaves de RF NMOS       30         Simulações e medidas       32         lificadores de baixo ruído       35         Introdução       35
3.4.2 3.4.3 <b>Amp</b> 3.5.1	Concepção das chaves de RF NMOS       30         Simulações e medidas       32         lificadores de baixo ruído       35         Introdução       25
3.4.3 Amp 3.5.1	Simulações e medidas
<b>Amp</b> 3.5.1	lificadores de baixo ruído
3.5.1	Introdução 25
359	Introdução
0.0.2	Topologias de LNAs
	3.5.2.1 Topologias clássicas
	3.5.2.2 <b>LNA multiplexado</b>
3.5.3	Amplificador de baixo ruído cascode
	3.5.3.1 <b>Concepção</b>
	3.5.3.2 Simulações e medidas
3.5.4	Amplificador de baixo ruído multiplexado
	3.5.4.1 <b>Concepção</b>
	3.5.4.2 Simulações e medidas
Mixe	$r \ downconverter$
3.6.1	<b>Introdução</b>
3.6.2	Concepção do mixer downconverter
3.6.3	Simulações e medidas
Oscila	ador controlado por tensão
3.7.1	Introdução
3.7.2	Características teóricas
	3.7.2.1 Descrição do ruído de fase
	3.7.2.2 Modelo linear invariante no tempo
	3.7.2.3 Modelo linear variante no tempo
	3.7.2.4 Modelo linear invariante no tempo expandido 75
3.7.3	Oscilador convencional
	3.7.3.1 <b>Concepção</b>
	3.7.3.2 Simulações e medidas
	2
	<ul> <li>3.5.3</li> <li>3.5.4</li> <li><i>Mixe</i></li> <li>3.6.1</li> <li>3.6.2</li> <li>3.6.3</li> <li>Oscili</li> <li>3.7.1</li> <li>3.7.2</li> </ul>

## SUMÁRIO

		3.7.4.1 <b>Concepção</b>
		3.7.4.2 Simulações e medidas
3.8	Síntes	se do Capítulo 3
Capítul	o 4 <b>C</b>	oncepção e implementação de circuitos digitais e analógicos 97
4.1	Intro	dução
4.2	Contr	cole digital de chaveamento
	4.2.1	Introdução
	4.2.2	Célula inversora
		4.2.2.1 <b>Concepção</b>
		4.2.2.2 Simulações
	4.2.3	Oscilador em anel
		4.2.3.1 <b>Concepção</b>
		4.2.3.2 Simulações e medidas
	4.2.4	Contador em anel de módulo quatro
		4.2.4.1 <b>Concepção</b>
		4.2.4.2 Simulações e medidas
4.3	Demi	lltiplexador analógico
	4.3.1	<b>Introdução</b>
	4.3.2	Chaves analógicas
		4.3.2.1 <b>Concepção</b>
		4.3.2.2 Simulações e medidas
	4.3.3	Amplificador operacional de transcondutância
		4.3.3.1 Concepção do OTA
		4.3.3.2 Simulações e <i>layout</i>
	4.3.4	Circuito demultiplexador analógico
		4.3.4.1 <b>Concepção</b>
		4.3.4.2 Simulações e <i>layout</i>
4.4	Síntes	se do Capítulo 4
Capítul	o5 In	nplementação do sistema SMILE integrado 131
5.1	Intro	<b>dução</b>
5.2	Sister	na com demultiplexação analógica
	5.2.1	<b>Introdução</b>
	5.2.2	<b>Concepção</b>
	5.2.3	<b>Simulações</b>
	5.2.4	Layout de circuitos mixed-signal

## SUMÁRIO

	5.2.4.1 Posicionamento no $die$	141
	5.2.4.2 Anéis de guarda	141
	5.2.4.3 Cruzamento de vias e linhas paralelas	141
	5.2.4.4 Pontos de alimentação	141
	5.2.5 Layout do circuito completo	142
	5.2.6 Jig de teste para o sistema	144
5.3	Sistema com demultiplexação digital	145
	5.3.1 Introdução	145
	5.3.2 Concepção e <i>layout</i>	146
	5.3.3 Jig de teste para o sistema	148
5.4	Sistemas SMILE em quadratura: Propostas de implementação	148
5.5	Síntese do Capítulo 5	150
Capítul	o 6 Conclusões e trabalhos futuros	151
Apêndi	ce A Equipamentos e <i>softwares</i> utilizados neste trabalho	153
riponan		100
Apêndie	ce B <b>Detalhamento do </b> <i>layout</i> <b>de dispositivos</b>	155
B.1	Introdução	155
B.2	Perfil da tecnologia S35 da <i>foundry</i> AMS	155
B.3	Transistor múltiplas portas	156
B.4	Par -gm do VCO	157
B.5	Par diferencial do OTA	157
Apêndie	ce C Dispositivos auxiliares aos projetos: <i>Baluns</i>	159
C.1	Introdução	159
C.2	Balun 2,6GHz discreto	159
	C.2.1 Concepção $\ldots$	159
	C.2.2 Medidas	161
C.3	Balun 750kHz discreto	162
	C.3.1 Concepção $\ldots$	162
	C.3.2 Medidas	163
C.4	Balun 2,6GHz baseado no acoplador da antena quasi-Yagi	163
	C.4.1 <b>Concepção</b>	163
	C.4.2 Medidas	164
Apêndie	ce D Fatores de mérito e <i>setups</i> de medidas de circuitos de RF	167
D.1	Introdução	167

## SUMÁRIO

D.2	Ampl	ificador de baixo ruído	168
	D.2.1	Parâmetros de espalhamento	168
		D.2.1.1 Perda de retorno	168
		D.2.1.2 Ganho	169
		D.2.1.3 Isolação reversa	169
	D.2.2	IP3	169
	D.2.3	Ponto de compressão 1dB	170
	D.2.4	Figura de ruído	171
		D.2.4.1 Medida via analisador de figura de ruído	172
		D.2.4.2 Medida via método do fator Y	173
		D.2.4.3 Medida via método do ganho	173
D.3	Mixe	°	174
	D.3.1	Perda de retorno	174
	D.3.2	Ganho de conversão	175
	D.3.3	IP3	176
	D.3.4	Ponto de compressão 1dB	176
	D.3.5	Isolações	177
		D.3.5.1 Isolação OL-RF	177
		D.3.5.2 Isolação RF-OL	177
		D.3.5.3 Isolações RF-FI e OL-FI	178
	D.3.6	Figura de ruído	178
D.4	Oscila	dor controlado por tensão	179
		D.4.0.1 Espectro de frequência	179
		D.4.0.2 <b>Ruído de fase</b>	180
Apêndic	e E Pi	reparação para medidas: Remoção da camada <i>polyimide</i>	181
E.1	Intro	lução	181
E.2	Retira	ada da camada <i>polyimide</i>	182
Patent	es e pı	iblicações resultantes do doutorado	186
Referê	Referências Bibliográficas 187		

# Lista de Figuras

2.1	Representação de um sistema constituído por quatro antenas.	4
2.2	Diagrama em blocos da técnica SMILE	6
2.3	Espectro da saída na banda base do sistema SMILE.	8
2.4	Bepresentação de um arranio linear de antenas uniformemente espaçado	9
2.5	Diferentes canais na banda base após a demultiplexação do sinal e aplicação de	Ū
2.0	um filtro passa-baixa	10
2.6	Sinal multiplexado na banda-base	11
2.0 2.7	Simulação FDTD das correntes superficiais no arranio de antenas <i>natch</i>	16
2.1	Simulação FDTD das correntes superficiais no arranio de antenas <i>quasi-Yaqi</i>	18
2.0	Simulação i D i D das concluses supernetais no artanjo de antenas quase rage	10
3.1	Estrutura GSG e circuito equivalente propostos	24
3.2	Estruturas fabricadas para modelagem atrávés de medidas on-wafer	25
3.3	Testes no Cascade.	26
3.4	Perda de retorno medida e simulada para o circuito equivalente proposto com e	
	sem correção devido as perdas de contato para a estrutura tipo " $Open"$	27
3.5	Perda de retorno medida e simulada para o circuito equivalente proposto com e	
	sem correção devido as perdas de contato para a estrutura tipo " $Thru"$	28
3.6	Esquemático da chave de RF NMOS	30
3.7	Chave NMOS implementada - 1090 x 890 $\mu m^2$	32
3.8	Simulações e medidas da chave de RF no estado "ON"	33
3.9	Simulações e medidas da chave de RF no estado "OFF"	34
3.10	Topologias normalmente utilizadas em LNAs.	36
3.11	Esquemático do LNA cascode	39
3.12	Esquemático do divisor de tensão MOS.	44
3.13	LNA cascode implementado - 1531 x 1425 $\mu m^2$	46
3.14	Jig de testes para o LNA cascode	47
3.15	Simulações e medidas do LNA.	49
3.16	Figura de ruído medida do LNA.	50
3.17	Simulações e medidas de IP3 do LNA.	51
3.18	Esquemático do LNA multiplexado.	53

3.19	Layout do LNA multiplexado	54
3.20	LNA multiplexado implementado	55
3.21	Simulações e medidas do LNA multiplexado	56
3.22	Simulações e medidas da figura de ruído no LNA multiplexado	57
3.23	Simulações e medidas de IP3	58
3.24	Destaque para o chaveamento entre canais adjacentes	59
3.25	Esquemático do <i>mixer</i>	61
3.26	Comportamento do $mixer$ devido a variação da resistência de degeneração	62
3.27	Comportamento do $mixer$ devido a variação da indutância de degeneração	63
3.28	Esquemático do <i>buffer</i>	64
3.29	Layouts do mixer.	65
3.30	Mixer implementado.	65
3.31	Simulações e medida para a perda de retorno.	66
3.32	Medidas da saída de FI.	67
3.33	Simulação e medida de IP3.	67
3.34	Diagrama em blocos do teste.	69
3.35	Medidas da saída de FI.	70
3.36	Curvatura típica do ruído de fase da banda lateral como função do desvio em	
	relação a portadora	72
3.37	Modelo linear ideal realimentado	75
3.38	Modelo de uma porta para oscilador de resistência negativa	76
3.39	Esquemático do VCO LC CMOS	78
3.40		
	Capacitância x Indutância para f=2,6GHz	79
3.41	Capacitância x Indutância para f=2,6GHz	79 80
3.41 3.42	Capacitância x Indutância para f=2,6GHz	79 80 82
<ul><li>3.41</li><li>3.42</li><li>3.43</li></ul>	Capacitância x Indutância para f=2,6GHz	79 80 82 83
<ol> <li>3.41</li> <li>3.42</li> <li>3.43</li> <li>3.44</li> </ol>	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> </ul>
<ol> <li>3.41</li> <li>3.42</li> <li>3.43</li> <li>3.44</li> <li>3.45</li> </ol>	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46	Capacitância x Indutância para f=2,6GHz.	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48 3.49	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> <li>87</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48 3.49 3.50	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> <li>87</li> <li>88</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48 3.49 3.50 3.51	Capacitância x Indutância para f=2,6GHz	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> <li>86</li> <li>87</li> <li>88</li> <li>90</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48 3.49 3.50 3.51 3.52	Capacitância x Indutância para f=2,6GHz.	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> <li>87</li> <li>88</li> <li>90</li> <li>91</li> </ul>
3.41 3.42 3.43 3.44 3.45 3.46 3.47 3.48 3.49 3.50 3.51 3.52 3.53	Capacitância x Indutância para f=2,6GHz.	<ul> <li>79</li> <li>80</li> <li>82</li> <li>83</li> <li>84</li> <li>85</li> <li>86</li> <li>86</li> <li>87</li> <li>88</li> <li>90</li> <li>91</li> <li>92</li> </ul>

3.54	QVCO implementado. $\dots \dots \dots$
3.55	Jig de testes para o QVCO
3.56	Simulações das formas de onda do oscilador LC CMOS
3.57	Espectro de frequências medido do QVCO com <i>span</i> de 200MHz 95
4.1	Esquemático do inversor
4.2	Simulação do comportamento do inversor
4.3	Resposta do comportamento de transição em função da largura do canal. $\ldots$ . 99
4.4	Oscilador em anel
4.5	VCO em anel proposto
4.6	Layout do oscilador em anel (destaque para três células inversoras) 102
4.7	Formas de onda de saída do VCO digital
4.8	Resposta da variação de frequência em função da tensão de controle
4.9	Contador em anel de módulo quatro. $\ldots$
4.10	Contador em anel implementado
4.11	Circuito encapsulado em teste
4.12	Saídas sequenciais simuladas do contador em anel
4.13	Medidas das saídas do contador em anel
4.14	Medidas do circuito para tensão de alimentação de 2V e controle de 0,6V 108
4.15	Jig de testes para a chave analógica
4.16	Parâmetros de espalhamento da chave analógica
4.17	Esquemático do OTA. $\ldots$
4.18	Diagrama de Bode - amplificador não compensado
4.19	Excursão do sinal de saída
4.20	Diagrama de Bode - amplificador com carga padrão 10 k $\Omega$ e 10 pF
4.21	Diagrama de Bode - amplificador com carga padrão 10k $\Omega.$
4.22	Diagrama de Bode - amplificador com carga 10pF
4.23	Diagrama de Bode - amplificador sem carga
4.24	Diagrama de Bode - amplificador em malha fechada com ganho unitário 123
4.25	Formas de onda para obtenção dos valores de <i>slew rate</i> e <i>settling-time</i>
4.26	Rejeição ao modo comum
4.27	<i>Layout</i> do OTA
4.28	Esquemático de um canal do demultiplexador analógico
4.29	Formas de onda do demultiplexador
4.30	Saída balanceada do demultiplexador $\hdot$
4.31	Layout de um canal do demultiplexador analógico

### LISTA DE FIGURAS

5.1	Diagrama em blocos da técnica SMILE
5.2	Sinais de entrada e de saída para o sistema com demultiplexação digital com a
	excitação em três diferentes ângulos
5.3	Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação
	analógica para um ângulo do arranjo de 45°
5.4	Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação
	analógica para um ângulo do arranjo de 90°
5.5	Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação
	analógica para um ângulo do arranjo de 120°
5.6	Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação
	analógica para um ângulo do arranjo de 45°.
5.7	Layout do circuito - 2530 x 2280 $\mu m^2$
5.8	Diagramação dos diversos circuitos componentes do sistema completo
5.9	Jig de teste para o sistema completo - 49 x 47mm
5.10	Diagrama em blocos da técnica SMILE
5.11	Layout do circuito proposto - 2480 x 2280 $\mu m^2$
5.12	Jig de teste para o sistema completo - 49 x 47mm
5.13	Diagrama em blocos da técnica SMILE com demultiplexação digital
5.14	Diagrama em blocos da técnica SMILE com demultiplexação analógica 149
B.1	Perfil da tecnologia S35
B.2	Detalhes do transistor com multiplas portas
B.3	Detalhes do par -gm do VCO
B.4	Detalhes do par diferencial do OTA
C.1	Balun projetado com componentes discretos
C.2	Protótipo do <i>balun</i> discreto para o OL
C.3	Resultados medidos após otimização do balun
C.4	Fotografia do balun discreto para a FI
C.5	Resultados medidos após otimização do balun
C.6	Protótipo do balun QY para OL
C.7	Resultados medidos após otimização do <i>balun</i>
D.1	Bancada para a medida de ganho de conversão no <i>mixer</i>
D.2	Medidas de parâmetros de espalhamento em um LNA. $\hfill \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots 168$
D.3	Interpretação gráfica de IP3
D.4	Setup de medida para o IP3
D.5	Interpretação gráfica de PC1dB

D.6	Setup de medida para o ganho de compressão	1
D.7	Setup de medida para a figura de ruído	2
D.8	Setup de medida MFY para a figura de ruído	3
D.9	Setup de medida MG para a figura de ruído	1
D.10	Setup de medida para a perda de retorno do <i>mixer</i>	5
D.11	Setup de medida do ganho de conversão do <i>mixer</i>	5
D.12	Setup de medida para o IP3 do <i>mixer</i>	3
D.13	Setup de medida para a isolação RF-OL	7
D.14	Setup de medida para a isolação OL-RF	3
D.15	Setup de medida para a figura de ruído	9
D.16	Setup de medidas para oscilador	9
E.1	Perfis de altura do PAD de RF, antes e após a retirada da <i>polyimide</i>	2
E.2	Processo de retirada da <i>polyimide</i>	3

## Lista de Tabelas

3.1	IIP3 simulado da chave de RF NMOS
3.2	Parâmetros dos transistores NMOS
3.3	Parâmetros dos transistores PMOS
3.4	Efeitos da variação do processo
3.5	Parâmetros de polarização - Vdd=3,3V
3.6	Parâmetro $\mu$ de estabilidade em 2,6GHz
3.7	Linearidade - $PC_{1dB}$ e IIP3
3.8	Parâmetros de polarização - Vdd=3,3V
3.9	Parâmetro $\mu$ de estabilidade em 2,6GHz
3.10	Linearidade - PC1dB e IIP3
3.11	Parâmetros de polarização - Vdd=3,3V
3.12	Parâmetros do <i>mixer</i> (PRF=-20dBm e POL=-2dBm)
3.13	Simulação da figura de ruído do <i>mixer</i> PRF=-20dBm e POL=-2dBm
3.14	Isolação PRF=-20dBm e PLO=-2dBm
3.15	Resumo das medidas no teste
3.16	Parâmetros de polarização do VCO - Vdd=3,3V
3.17	Resumo dos valores de ruído de fase
3.18	Parâmetros de polarização do QVCO - Vdd=3,3V
4.1	Tabela verdade para o <i>flip-flop</i> tipo D (DFCP3) da AMS
4.2	Parâmetros de polarização do contador - Vdd=3,3V
4.3	IIP3 da chave de RF
4.4	Valores dos fatores de modulação de canal
4.5	Valores de projeto para os transistores do amplificador
4.6	Resumo da resposta em frequência - amplificador com carga padrão 10 k $\Omega$ e 10p F. 119
4.7	Resumo da resposta em frequência - amplificador com carga 10k $\Omega.$
4.8	Resumo da resposta em frequência - amplificador com carga 10pF
4.9	Resumo da resposta em frequência - amplificador sem carga
4.10	Resumo dos valores de <i>slew-rate</i> e <i>settling-time</i>
4.11	Valores das resistências de entrada e saída na frequência de 750kHz

### Lista de Abreviaturas

- 3G Sistemas móveis de terceira geração
- 4G Sistemas móveis de quarta geração
- ADS Advanced Design System (Agilent Technologies)
- AEL Application Extension Language
- AMS AustriaMicroSystems
- **BER** Bit Error Ratio
- **BiCMOS** *Bipolar CMOS*
- CDMA Code Division Multiple Access
- **CMOS** Complementary Metal Oxide Semiconductor
- CVD Chemical Vapor Deposition
- CW Continuous Wave
- DBF Digital BeamForming
- DC Direct Current
- **DEMUX** Demultiplexador
- DMO Departamento de Microondas e Óptica
- DOA Direction Of Arrival
- DRC Design Rule Checker
- DSB Double Side Band
- DSP Digital Signal Processor
- DUT Device Under Test
- ENR Excess Noise Ratio
- **ESD** *ElectroStatic Discharge*
- **ESPRIT** Estimation of Signal Parameters via Rotational Invariance Techniques
- FDTD Finite Difference Time Domain
- FI Frequência Intermediária
- FOM Figure Of Merit
- $\mathsf{GC}\,$  Ganho de Conversão
- **GSM** Global System for Mobile Communication
- GSG Ground-Signal-Ground

- **IEEE** Institute of Electrical and Electronics Engineers
- IIP3 Input Third-Order Interception Point
- IM3 Third-Order Intermodulation
- **IP3** Third-Order Interception Point
- **ISF** Impulse Sensitivity Function
- LMS Least Mean Squares
- LNA Low Noise Amplifier
- LOS Line Of Sight
- LPF Low-Pass Filter
- LTI Linear Time Invariant
- LTV Linear Time Variant
- **MEMS** Micro-Electromechanical System
- MUSIC Multiple Signal Classification
- MUX Multiplexador
- **OIP3** Output Third-Order Interception Point
- OL Oscilador Local
- **OTA** Operational Transconductance Amplifier
- PC1dB Ponto de Compressão 1dB
- PCB Printed Circuit Board
- PMU Programa Multi-Usuário
- POL Potência na entrada do OL
- PRF Potência na entrada de RF
- QVCO Quadrature Voltage Controlled Oscillator
- QY Quasi-Yagi
- RBW Resolution Bandwidth
- RF Rádio-Frequência
- **RLS** *Recursive Least Squares*
- RMS Root Mean Square
- **SDMA** Space Division Multiple Access
- SMD Surface Mount Device
- SMILE Spatial MultIplexing of Local Elements
- SSB Single Side Band
- **TDMA** *Time Division Multiple Access*
- TOX Espessura do óxido de porta
- TSMC Taiwan Semiconductor Manufacturing Company
- VCO Voltage Controlled Oscillator

VSWR - Voltage Standing Wave Ratio

WiMAX - Worldwide Interoperability for Microwave Access

WLAN - Wireless Local Area Network

## Capítulo 1

### Introdução

O contínuo crescimento da tecnologia CMOS para a implementação de circuitos integrados de RF (Rádio Frequência) tem se mostrado como uma tendência no projeto de novos dispositivos para atender o aumento na demanda por sistemas para comunicações móveis, que atualmente compreendem um vasto leque de serviços, incluindo: Sistema móvel celular, Serviço móvel pessoal, Satélite, Rádios móveis especializados (utilizados pela polícia, bombeiros, exército, etc) e também as *WLANs* (*Wireless Local Area Network* - Redes locais sem fio).

Assim, a tecnologia CMOS vem sendo inserida gradativamente na fabricação de dispositivos para sistemas que operem nos padrões CDMA, GSM, WiMAX, *Bluetooth, Zigbee*, entre outros, e se tornando meta de trabalho para os projetistas da área. O potencial de um circuito integrado de RF em CMOS tem sido largamente demonstrado academicamente, mas produtos comerciais ainda não tem sido largamente produzidos. Porém essa tendência vem se alterando com uma velocidade bastante acentuada nos últimos anos.

Com o rápido desenvolvimento das tecnologias  $3G \in 4G$  e o crescente mercado para os dispositivos que as oferecem, aumentou-se muito a procura por soluções técnicas para as antenas voltadas a essas aplicações, pois as mesmas passam a representar um papel fundamental no desenvolvimento do sistema.

O objetivo deste trabalho é pesquisar, projetar e desenvolver uma gama de circuitos integrados que possam suprir as necessidades para amplicações móveis e em especial o desenvolvimento de um protótipo totalmente integrado para a técnica SMILE (*Spatial MultIplexing of Local Elements* - Multiplexação espacial de elementos locais), que é discutida detalhadamente no Capítulo 2, mas já se pode adiantar que a mesma surge como promissora no sentido de diminuir os requerimentos de dispositivos em um sistema de antenas inteligentes.

Visando uma possível aplicação em WiMAX no Brasil, ou até mesmo na expansão da telefonia celular americana, os projetos serão destinados a aplicações na banda 2,5GHz (2,5GHz -2,69GHz). Essa faixa foi escolhida devido a ser uma faixa ainda pouco explorada e com um grande potêncial de aplicações que necessitem de sistemas de antenas inteligentes e porque a tecnologia disponível para integração e seus respectivos modelos de simulação, bem como os equipamentos para testes dos protótipos, estavam disponíveis para essa faixa quando se propôs a tese de doutorado.

Neste trabalho serão discutidas as seguintes propostas: os diversos circuitos integrados de RF que compõem um sistema rádio-recepção, os circuitos digitais para gerar os sinais de acionamento para a multiplexação espacial e os circuitos analógicos para o condicionamento do sinal de FI, inovando em algumas estruturas e nas diversas aplicações desses dispositivos.

Para tanto o trabalho está estruturado em capítulos, sendo descrito em mais cinco capítulos, além desse de caráter introdutório.

No Capítulo 2 é apresentado ao leitor a técnica SMILE. Inicialmente é discutida a técnica, sua formulação e teoria, serão mostrados simulações nas quais observa-se o funcionamento do sistema e sua aplicabilidade em sistemas inteligentes e por fim novas simulações, agora em FDTD (*Finite Difference Time Domain* - Diferenças finitas no domínio do tempo), mostrarão que além de manter a fidelidade do sinal, a técnica SMILE também acrescenta uma melhora no acoplamento mútuo entre os elementos do arranjo de antenas do sistema, desde que certas regras de projeto sejam observadas e seguidas.

No Capítulo 3 são mostrados, projetados e testados os diversos circuitos integrados de RF que compõem um sistema rádio-recepção - Chaves de RF, LNAs (*Low Noise Amplifiers* - Amplificadores de baixo ruído), *Mixer*, VCOs (*Voltage Controled Oscillators* - Osciladores controlados por tensão), entre outros. O LNA multiplexado, um circuito inovador que resultou em patente para o grupo, é implementado, de maneira a proporcionar uma solução otimizada para a multiplexação do sinal de RF e manter o desempenho quando comparado a um sistema tradicional de antenas inteligentes. Todos os dispositivos são analisados quanto aos diversos fatores de mérito comuns a dispositivos de RF e quanto às suas características de implementação e problemas de ordem prática. Ótimas concordâncias entre os resultados simulados e medidos foram obtidas.

No Capítulo 4 são projetados os circuitos referentes ao condicionamento do sinal de FI na saída do *mixer* do sistema e também aos circuitos digitais que gerarão os sinais de acionamento para a multiplexação dos canais do sistema proposto. Todas as formulações, implementações e características dos circuitos serão cuidadosamente analisadas.

No Capítulo 5 propomos o sistema SMILE integrado completo resultante da agregação em uma única pastilha de todos os circuitos previamente propostos. Ótimos resultados na multiplexação, passagem pelo circuitos de RF e posterior demultiplexação são obtidos, para os dois sistemas propostos, primeiramente o sistema com demultiplexação analógica do sinal e depois para o sistema com demultiplexação digital, mostrando a potencialidade desse elemento neste tipo de aplicação.

Finalmente, no Capítulo 6 são apresentadas as conclusões do trabalho realizado e feitas sugestões para a sua continuação.

## Capítulo 2

### Antenas inteligentes e a técnica SMILE

### 2.1 Introdução

Nesse capítulo é abordada inicialmente uma breve descrição sobre antenas inteligentes e suas características. A seguir mostraremos a técnica SMILE, apontada como uma alternativa para a redução dos dispositivos de RF que as antenas inteligentes necessitam, sendo que esses dispositivos aumentam proporcionalmente com o número de antenas do arranjo.

Serão mostrados seu conceito, formulação e por fim simulações FDTD do acoplamento mútuo entre os elementos de um arranjo utilizando essa técnica.

#### 2.2 Antenas inteligentes

Os sistemas de antenas inteligentes são basicamente constituídos de um arranjo de antenas acoplado a um sistema de controle, normalmente gerenciado por um DSP (*Digital Signal Processor*). Simplificadamente, existem dois tipos de enfoques que as antenas inteligentes abordam, um no tratado aos efeitos do canal e outro no tratado a interferência.

Olhando pelo enfoque dos efeitos do canal, temos a implementação da diversidade nos sistemas sem fio, que é basicamente uma organização de diferentes elementos, meios, métodos ou propriedades. Esta técnica visa combinar múltiplos sinais e reduzir o efeito do desvanecimento do canal. Essa redução é possível, pois os desvanecimentos profundos, raramente ocorrem simultaneamente durante o mesmo intervalo de tempo em dois ou mais caminhos (Yacoub, 1993).

Existem vários algoritmos que são usados para implementar diversidade, dentre eles destacamse as combinações de seleção, a combinação de razão máxima, a combinação de ganhos iguais e a combinação ótima. As antenas inteligentes, normalmente, utilizam a diversidade espacial e para isso usam múltiplas antenas, suficientemente espaçadas para que seus sinais sejam descorrelatos na recepção (Godara, 2004).

Por outro lado, olhando pelo enfoque da interferência, temos que utilizando-se de uma variedade de algoritmos de processamento, as antenas inteligentes são capazes de ajustar seus padrões de radiação dinamicamente para se adequarem ao ruído, a interferência e aos multipercursos (Liberti e Rappaport, 1999). Assim, são usadas para melhorar os sinais recebidos, minimizando a interferência e maximizando a recepção do sinal desejado, e para formar feixes dinâmicos nas transmissões.

Pela Figura 2.1, pode-se observar que para reduzir o desvanecimento e a interferência co-canal, o sistema processa os sinais das entradas U1...4(t) oriundos das diferentes antenas do arranjo atribuindo-lhes pesos W1...4, para gerar um sinal otimizado de saída. Esse sinal otimizado é função da correlação cruzada e dos níveis de sinais relativos entre os sinais recebidos.



Figura 2.1: Representação de um sistema constituído por quatro antenas.

Com o auxílio de algoritmos de controle aplicados no gerenciamento da rede, pode-se determinar a DOA (*Direction Of Arrival*) e otimizar o peso de cada elemento ao sistema, concentrando assim a radiação apenas na direção do usuário. O MUSIC (*MUltiple SIgnal Classification*) (Ratnarajah e Manikas, 1998) e o ESPRIT (*Estimation of Signal Parameters via Rotational Invariance Techniques*) (Roy e Kailath, 1989) são exemplos de algoritmos para determinação da direção de chegada do sinal no arranjo. Já o LMS (*Least Mean Squares*) (Clarkson e White, 1987) e RLS (*Recursive Least Squares*) (Qiao, 1991) são eficientes algoritmos para estimação dos pesos ótimos do arranjo (Godara, 1997b).

Devido a esse controle sobre os padrões de radiação visando um melhor gerenciamento do sistema, torna-se possível à formação de células dinâmicas com a utilização de feixes múltiplos, sendo essa técnica conhecida como SDMA (*Space Division Multiple Access*) (Godara, 1997a), técnica essa que permite a diferentes usuários a operação simultânea no mesmo *slot* de tempo/frequência, aumentando a capacidade do sistema (Kuehner et al., 2001). Posto isso, podemos apresentar resumidamente as vantagens da utilização das antenas inteligentes, fatores esses que nos motivaram a utilizar esse sistema como base para implementação dos circuito integrados de RF que compõe esse trabalho. São elas (Petrus, 1997):

- Formação de feixes adaptativos;
- Melhora do *link* através do gerenciamento de multipercursos;
- Aumento da cobertura, atráves da extensão do alcance;
- Aumento da capacidade do sistema;
- Sensível melhora do sinal recebido;
- Formação de células dinâmicas.

Uma outra técnica é a DBF (*Digital BeamForming* - Conformação digital do feixe) (Doble e Litva, 1996; Steyskal, 1987), essa técnica gera feixes adaptativos através da combinação de um arranjo ativo de antenas com o processamento dos sinais captados por elas na banda base e vem sendo estudada desde 1980 principalmente para aplicações em sistemas militares de radar. Em um sistema de recepção (como o proposto nesse trabalho), aquisição automática de sinal, procura pelo melhor ângulo de recepção, redução/isolação de sinais interferentes e detecção de DOA ou sinais ilegais de rádio são algumas das características que são encontradas com o uso dessa técnica (Steyskal e Rose, 1989). Além dessas características, quando se pensa somente na parte física dos dispositivos o aparecimento de um defeito parcial no arranjo não compromete o desempenho do sistema quando se implementa essa técnica. Porém a mesma não vem sendo implementada comercialmente devido ao alto custo e grande consumo de potência tanto do sistema de RF, quanto do sistema de processamento de sinais. Cabe ressaltar que a velocidade dos dispositivos para realização do processamento digital de sinais também era uma barreira. Com o avanço da tecnologia CMOS e consequente avanço dos sistemas digitais cada vez mais velozes e com menor consumo, começa-se vislumbrar a utilização dessa técnica. O consumo de energia e também o tamanho dos dispositivos de RF são problemas, pois necessitamos de um canal de RF para cada antena, assim o sistema integrado proposto nesse trabalho vem como uma solução para se diminuir esse consumo de potência e alto preço dos dispositivos de RF para se implementar essa técnica aparentemente tão promissora. Uma outra vantagem da técnica DBF é que com o aumento do número de antenas do arranjo e consequentemente do número de feixes múltiplos possíveis, sistemas analógicos convencionais de conformação de feixe podem resultar em sistemas de RF muito complexos e com altas perdas. Pelo contrário na implementação do DBF como todo agrupamento dos sinais acontece digitalmente na banda base, a complexidade e perdas no sistema são bruscamente reduzidas, quando comparadas com um sistema tradicional com processamentos em RF e FI (Miura et al., 1997).

A desvantagem da técnica DBF é o fato da largura de banda do sistema ser fortemente dependente da velocidade do processamento digital de sinais. Como a velocidade de processamento aumenta a cada ano devido à diminuição dos circuitos digitais, hoje em dia a maior preocupação nos protótipos é a boa formação dos feixes de radiação, mais do que uma alta taxa de transmissão de dados ou o aumento desta.

### 2.3 A técnica SMILE

#### 2.3.1 Introdução

Arranjos de antenas receptoras normalmente possuem processamento de sinais realizados na banda base. Isso requer que a amplitude e a fase dos sinais sejam convertidas adequadamente das antenas para os estágios posteriores e vice-versa. Consequentemente, para receptores convencionais, um conjunto de circuitos de RF (LNA e *mixer*) independente é necessário para cada elemento do arranjo. Isso acaba encarecendo o *hardware* a ser implementado, o que contrasta com o crescimento das WLANs de baixo custo, pois o preço e a potência consumida são proporcionais ao número de elementos do arranjo. Outro problema acarretado é que arranjos com múltiplas linhas de alimentação e complicados circuitos de RF acabam introduzindo mais ruído ao sistema, além de dificultar a integração em pequenas áreas.

Muitos esforços têm sido dispendidos no intuito de reduzir o uso repetitivo de canais de RF. Os trabalhos de Cheng et al. (2001) e Ishii et al. (2000) apresentam algumas dessas tentativas, porém em ambientes e com condições limitadas de funcionamento.

Uma configuração bastante atrativa utiliza a técnica SMILE (Fredrick et al., 2002). O objetivo dessa técnica é reduzir o número dos conjuntos de circuitos de RF necessários para apenas um, sem perda de fidelidade do sinal.



Figura 2.2: Diagrama em blocos da técnica SMILE.

Esta é alcançada chaveando-se os elementos do arranjo individualmente a uma frequência acima da largura de banda. Isso é equivalente a amostrar uma portadora modulada usando pulsos sequenciais. Os sinais amostrados espacialmente são então multiplexados para formarem uma única saída, de maneira similar ao TDMA (*Time Division Multiple Access*).

Após amplificado e convertido para banda base, o canal é demultiplexado e os sinais são recompostos, aplicando-se a eles um filtro passa-baixas, sem a perda da informação baseados no critério de *Nyquist*. Essa implementação pode ser observada na Figura 2.2, a qual foi utilizada um arranjo de quatro elementos.

#### 2.3.2 Modelagem da técnica SMILE

A técnica SMILE no domínio do tempo, considerando excitação cossenoidal modulada por uma sequência de pulsos, é regida pela seguinte equação:

$$f_{SMILE}(t) = f(t).h(t) \tag{2.1}$$

na qual:

$$f(t) = \cos(\omega_0 t) \tag{2.2}$$

$$h(t) = \begin{cases} 1, & 0 < t < \tau \\ 0, & \text{caso contrario} \end{cases}$$
(2.3)

Ao passarmos a Equação 2.1 para o domínio da frequência, temos:

$$F_{SMILE}(\omega) = \frac{\tau}{T} \sum_{n=-\infty}^{\infty} Sa\left(\frac{n\omega_s\tau}{2}\right) \cdot \pi \left[\delta(\omega - n\omega_s - \omega_0) + \delta(\omega - n\omega_s + \omega_0)\right]$$
(2.4)

na qual:

$$\omega_s = \frac{2\pi}{T} \tag{2.5}$$

Ao utilizarmos um sistema de quatro canais podemos assumir que:

$$T = 4.\tau \qquad e \qquad \omega_s = 4\omega_0 \tag{2.6}$$

Portanto, o espectro do sinal gerado pela técnica SMILE para um sistema composto de quatro canais é dado por:

$$F_{SMILE}(\omega) = \frac{\pi}{4} \sum_{n=-\infty}^{\infty} Sa\left(\frac{n\pi}{4}\right) \cdot \left\{\delta[\omega - \omega_0(4n+1)] + \delta[\omega - \omega_0(4n-1)]\right\}$$
(2.7)

A forma do espectro de potências devido ao chaveamento imposto pela técnica SMILE a cada canal do sistema é mostrada na Figura 2.3, na qual é plotado o módulo em dB normalizado de  $F_{SMILE}(\omega)$ . Observando-se a Figura 2.3 verifica-se que a envoltória dos pontos segue um |Sa(x)|.



Figura 2.3: Espectro da saída na banda base do sistema SMILE.

O espaçamento fixo das raias no espectro de frequências da Figura 2.3 é devido à amostragem periódica do sinal com frequência constante  $f_s = 1/T_s$ . Para um arranjo com N elementos devemos respeitar a seguinte condição  $f_s = 1/T_s = 1/N\tau_s$ . Como estamos tratando de amostragem de um sinal analógico, o critério de Nyquist deve ser respeitado para podermos obter no final do processo o sinal original através da filtragem sem perda de fidelidade. Para evitar o efeito conhecido como aliasing (sobreposição das raias no espectro de frequências) no sinal, taxa de amostragem será definida para uma largura de banda unilateral B, como:

$$f_s \ge B \times N \tag{2.8}$$

Assim pode-se concluir pela Equação 2.8 que a largura de banda do receptor é também limitada pela velocidade de chaveamento do dispositivo.

Depois de multiplexados, os sinais dos canais provenientes das respectivas antenas passam a resultar em único sinal de RF, que é então convertido para a banda-base ou para uma frequência intermediária, dependendo da configuração do *mixer* do sistema. Após, um demultiplexador analógico (que é acionado pelo mesmo sinal do multiplexador de RF, evitando-se o aparecimento de *jitter* nos sinais do sistema) é utilizado para separar os diferentes canais do sistema. Para se obter o sinal original, aplica-se um filtro passa-baixas, o qual é utilizado para restaurar este sinal do espectro amostrado. A frequência de corte do filtro é determinada de maneira a deixar passar apenas a freqüência fundamental do canal, ou seja:

$$B < f_{fpb} < f_s - B \tag{2.9}$$

Para demonstrar o funcionamento da técnica SMILE foi realizada uma simulação prévia utilizando um sistema analógico com quatro canais composto por multiplexador, demultiplexador e filtros passa-baixas de maneira mostrar o resultado apresentado pela técnica proposta para a implementação integrada. O sistema foi alimentado por um único tom em 750kHz, com defasagem de 45° entre os canais, de maneira a representar um sistema constituído por um arranjo linear de antenas uniformemente espaçadas, como exemplificado na Figura 2.4 para um arranjo expandido para N elementos.



Figura 2.4: Representação de um arranjo linear de antenas uniformemente espaçado.

Na Figura 2.5 são mostrados os resultados dos quatro canais, nos quais pode-se notar o avanço a esquerda dos picos do sinal reconstituído em passos de  $45^{\circ}$  como previamente proposto para demonstração.



Figura 2.5: Diferentes canais na banda base após a demultiplexação do sinal e aplicação de um filtro passa-baixa.

O sinal multiplexado é mostrado Figura 2.6, na qual todos os quatro canais estão condicionados em um único sinal antes da demultiplexação.



Figura 2.6: Sinal multiplexado na banda-base.

Em seguida, o sinal é digitalizado para se aplicar o processamento digital de sinais como normalmente ocorre em sistema de antenas inteligentes. Como exemplo pode-se aplicar um algoritmo de DBF para a seleção de feixes na recepção do sinal de maneira a minimizar interferências e melhorar sensivelmente a qualidade e sensibilidade do sinal recebido pelo sistema.

#### 2.3.2.1 Relação sinal-ruído

Como a técnica SMILE se apresenta como uma técnica promissora para a implementação de sistemas de antenas inteligentes, sistema esse que está se tornando padrão nas novas aplicações de sistemas sem fio, é de vital importância que se mantenha a mesma relação sinal ruído de um sistema tradicional de antenas inteligentes, pois senão a aplicação não se torna viável, visto que a implementação de uma nova técnica, mesmo que reduza o custo dos dispositivos e apresente algumas outras vantagens, acaba por perder o sentido, caso se aumente à relação sinal-ruído contribuindo assim para piorar o desempenho do sistema como um todo.

Essa técnica SMILE é baseada como explicado até aqui em amostragem de sinais de RF oriundos de antenas espaçadas fisicamente em um arranjo. A amostragem afeta igualmente o sinal de interesse, assim como o ruído intrínseco ao sistema. Quando o sinal é passa através do sistema SMILE, o ruído e o sinal são chaveados, seguindo a mesma característica do espectro de potências mostrado na Figura 2.3. Assim, o sinal e o ruído são conjuntamente convertidos para banda-base ou FI e passam através dos filtros passa-baixas.

Fazendo uma proposição que as antenas de cada canal possuem uma largura de banda casada com o sinal recebido, a SNR é mantida constante, porém a energia do sinal recebido é reduzida por um fator  $N^2$ , ao se fazer à comparação com um arranjo inteligente típico. Uma simples análise de ganho em antenas em diversidade é mostrada aqui. Essa análise é baseada na teoria desenvolvida no livro de Garg e Wilkes (1996), porém assumi-se um sistema de recepção ideal sem ruído. Normalmente nas técnicas de combinação de sinais adota-se que o ruído em cada canal é independente do sinal e é aditivo. Desconsiderando os fenômenos de desvanecimento e multi-percurso, um sinal recebido que está sendo aplicado a um determinado ângulo  $\Theta$  pode ser representado por:

$$r_m = a_m e^{jkdm\cos\theta} \tag{2.10}$$

Onde:

$$k = 2\pi/\lambda \tag{2.11}$$

e o ruído recebido pode ser representado é representado com<br/>o $\tilde{\eta}_m$ 

Assim, a SNR do sinal recebido por cada antena do arranjo é dado por:

$$SNR_{antena} = \left(\frac{r_m}{\tilde{\eta}_m}\right)^2$$
 (2.12)

Para uma máxima taxa de combinação os coeficientes possuem igual magnitude sendo dadas por:

$$a_m = r_0 e^{-jkdm\cos\theta} \tag{2.13}$$

Esses coeficientes são aplicados para os sinais de cada canal para se determinar o padrão de radiação desejado (aquele que gere melhor desempenho sob um determinado critério). Portanto, a SNR para um arranjo com N antenas é dado por:

$$SNR_{arranjo} = \frac{\left(\sum_{m=1}^{N} \tilde{r}_m\right)^2}{\sum_{m=1}^{N} \tilde{\eta}_m^2} = \frac{\left(\tilde{r}_0 N\right)^2}{\tilde{\eta}_m^2 N} = N \times SNR_{antena}$$
(2.14)

Assim notamos que o ganho em diversidade de um receptor inteligente utilizando a técnica SMILE é equivalente a um receptor inteligente normal com N canais de RF para o processamento analógico em RF do sistema.

#### 2.3.2.2 Ganho mínimo

Como demonstrado até aqui, cada canal recebe 1/N da potência total do sinal recebido, assim o ganho do sistema deve possuir um valor mínimo dado pela Equação 2.15.

$$G(dB) = 10\log_{10}N$$
(2.15)

Esse ganho é suficiente para manter a amplitude na saída do mixer num patamar equivalente ao de um sistema tradicional de antenas inteligentes.

#### 2.3.3 Análise do acoplamento mútuo entre as antenas do arranjo

O acoplamento mútuo é um problema crítico quando lidamos com arranjos de antenas (Jedlicka et al., 1981), assim analisamos de que forma o comprimento da linha de alimentação influencia no acoplamento mútuo total do arranjo. O chaveamento sequencial dos canais causa uma variação na impedância vista por cada antena dependendo do canal estar ativo ou não, ou seja, cada antena possuirá uma impedância diferente vista por ela, pois teremos o LNA como impedância vista pela antena quando o canal estiver ativo (o LNA tipicamente possui uma impedância de entrada casada em  $50\Omega$ ) e teremos uma linha de transmissão em aberto quando o canal não estiver ativo. Como uma linha de transmissão terminada em aberto possui um valor de impedância vista em sua entrada diferente dependendo seu comprimento, foi investigado através de simulações via algoritmo FDTD, qual seria o melhor comprimento para essas linhas em aberto dos canais de maneira a minimizar o acoplamento mútuo entre as antenas. Para isso foram implementados dois arranjos, um arranjo de antenas *patch* com frequência de ressonância em 5,8GHz e um arranjo de antenas *quasi-Yagi* operando na banda C (3,9 - 6,2GHz).

Normalmente nos arranjos de antenas, cada antena é casada individualmente com a impedância do sistema, que via de regra possui o valor padrão de  $50\Omega$  e essas antenas são ligadas entre si através de acopladores de microondas, mantendo assim o casamento de impedâncias. Assim cada elemento do arranjo possui sempre a mesma impedância conectada a ele e essa impedância não varia, independendo da operação dinâmica do arranjo. Porém no sistema SMILE proposto, essa impedância agregada à antena varia de acordo com o chaveamento do arranjo, pois cada antena estará conectada ao LNA somente uma parcela do tempo, permanecendo o restante do tempo conectada a uma linha de transmissão em aberto. Em um arranjo de antenas essa variação dinâmica na impedância vista pelas antenas acabam por causar uma variação nas correntes superficiais induzidas pelos elementos adjacentes, o que determina conseqüentemente uma variação no acoplamento mútuo entre as antenas. Para exemplificar matematicamente esse problema, podemos fazer uso de uma matriz de acoplamento aproximada (Gupta e Ksienski, 1983). Essa matriz modela um sistema de microondas geral de N portas, as quais podemos considerar como sendo as N antenas do arranjo proposto. Assim o arranjo de antenas pode ser representado por:

Onde:

 $Z_{ii}$  é a impedância característica da i-ésimo elemento;

 $Z_{ij}$  é a impedância mútua entre o i-ésimo e o j-ésimo elemento;

 $V_{i,oc}$  é a tensão recebida pela i-ésima porta quando todos os outros circuitos estão em aberto.

Vale ressaltar que essa aproximação matemática não representa perfeitamente um arranjo de antenas na configuração SMILE, pois essa teoria de rede de microondas é baseada no fato de se assumir que todos os elementos da rede estão sempre conectados a uma carga igual a sua impedância característica, o que não ocorre no arranjo SMILE, pois quando o canal não está ativo, a respectiva antena está conectada apenas a uma linha de transmissão em aberto, mas independente desse fato, pode-se tirar duas conclusões por essa análise matemática. Uma é que o acoplamento mútuo é diretamente proporcional as correntes, ou seja, reduzindo-se as correntes reduz-se o acoplamento mútuo, a outra é que se pode assumir que as correntes superficiais são zero quando as portas dos elementos estão em aberto. Cabe aqui ressaltar que essa aproximação é valida apenas para antenas fortemente ressonantes, sendo necessário um estudo numérico para se comprovar essa teoria em antenas no geral.

#### 2.3.3.1 Redução do acoplamento mútuo

Baseado na análise anterior sobre acoplamento de antenas em um arranjo, notamos que uma diminuição das correntes superficiais induzidas pelos elementos adjacentes implica numa redução do acoplamento mútuo. Assim, podemos aplicar essa teoria em prática no arranjo variando o comprimento da linha de transmissão em aberto dos canais que não estão sendo utilizados em um determinado período de tempo.

Quando o canal está ativo a antena possui um LNA (tipicamente  $50\Omega$ ) acoplado a ela, entretanto quando o canal não está ativo, a antena fica acoplada a uma impedância relativa a linha
de transmissão em aberto. Cada antena foi projetada de maneira que possua uma impedância característica de  $50\Omega$  em seu ponto de alimentação.

Através de uma análise usando a teoria de linhas de transmissão pode-se afirmar que uma linha em aberto de comprimento  $L_g/4$  (ou qualquer múltiplo ímpar desse valor) contando a partir de seu ponto de alimentação miniminiza as correntes superficiais agregadas à antena, devido ao fato que uma linha de transmissão  $L_g/4$  terminada em aberto implica em um curto no início da linha e a assim flui apenas uma quantidade mínima de corrente superficial na antena devido a esse curto gerado em sua saída. Assim qualquer valor de comprimento para a linha de transmissão gerará um acoplamento maior que o apresentado pela linha  $L_g/4$ , pois isso representará uma impedância e não um curto na saída da antena. Fazendo pensamento oposto, se a linha em aberto possuir qualquer comprimento múltiplo ímpar de  $L_g/2$  a linha em aberto implicará em um circuito aberto em sua entrada, o que por sua vez gerará uma alta impedância na saída da antena proporcionando assim um aumento na corrente superficial constituindo o pior caso de comprimento. Para provar essas afirmações foram realizadas simulações via FDTD (Yamashita e Qian, 1996) das correntes superficiais agregadas as antenas do arranjo.

#### 2.3.3.2 Simulações FDTD

Primeiramente através de simulação projetou-se isoladamente uma antena *patch* com frequência de ressonância em 5,8GHz de maneira a se determinar sua dimensões e seu ponto de alimentação casado em 50 $\Omega$ , para garantir a validade dos testes. Realizou-se o projeto seguindo as diretrizes sugeridas por Balanis (1997), utilizando como substrato RT/Duroid com  $E_r = 2, 33$ , h = 0, 8mm e  $\delta = 0,001$ . Essa antena isolada mostrada na Figura 2.7(a) será usada apenas como simples referência de uma distribuição padrão das correntes superficiais a serem analisadas para fins de comparação.



Figura 2.7: Simulação FDTD das correntes superficiais no arranjo de antenas patch.

O arranjo foi otimizado com relação ao espaçamento entre os elementos adjacentes visando alcançar um melhor desempenho, tendo em vista que esse é um parâmetro crítico, pois influência tanto no acoplamento mútuo, quanto no aparecimento de lóbulos secundários (Balanis, 1997). Pequenos espaçamentos entre os elementos geram um forte acoplamento mútuo deteriorando o funcionamento num ambiente de arranjo, ao passo que grandes espaçamentos favorecem o aparecimento de lóbulos secundários no padrão de radiação (Petrus, 1997).

A distância  $\lambda_g/2$  foi considerada ideal para elementos adjacentes nos arranjos de antenas, conforme demonstrada em trabalhos anteriores de nosso grupo, tanto para a antena *patch* (Kretly et al., 2002a; Kretly et al., 2002b), para a antena PIFA (*Planar Inverted F Antenna*) (Kretly et al., 2002c), como para a antena *quasi-Yagi* (Kretly e Capovilla, 2003a; Kretly e Capovilla, 2003b). Para este caso em questão, utilizaremos uma distância de  $\lambda_g/2$  entre os centros das antenas.

Foram realizadas três simulações, cada uma constituída de um arranjo de quatro elementos espaçados igualmente de  $L_g/2$  para garantir a melhor relação de arranjo possível entre as antenas. Em cada simulação um elemento (antena três) foi alimentado e casado em 50 $\Omega$ , permanecendo os outros sem alimentação. A primeira simulação mostrada na Figura 2.7(b) foi realizada mantendo as antenas um, dois e quatro casadas em 50 $\Omega$ , de maneira ao comprimento da linha de transmissão não interferir no acoplamento. A segunda simulação mostrada na Figura 2.7(c) foi realizada mantendo a linha de transmissão com um comprimento igual à  $L_g/4$  de maneira a verificar o comportamento das ondas superficiais, enquanto a terceira simulação foi realizada mantendo um comprimento igual a  $L_g/2$  verificando também seu comportamento.

Como era esperado o arranjo com linhas de transmissão  $L_g/4$  apresentou o menor acoplamento mútuo devido à baixa indução de correntes superficiais nos elementos adjacentes, enquanto o arranjo utilizando linhas de transmissão  $L_g/2$  mostrado na Figura 2.7(c) apresentou o pior desempenho com um maior acoplamento mútuo. Cada simulação do arranjo necessitou de um tempo de processamento de 4 minutos e 10 segundos, sendo que a dimensão total de cada estrutura foi de 120,4mm x 32,6mm e a discretização da estrutura (dx, dy e dz) possui o valor de 0,262mm, 0,762mm e 0,407mm, respectivamente.

Outro modelo de arranjo simulado para verificação do acoplamento mútuo foi o de antenas quasi-Yagi, mostrado na Figura 2.8. Esse arranjo foi projetado na banda C segundo as diretrizes apresentadas por Capovilla (2004) e usou como substrato o RT/Duroid com  $E_r = 10, 2, h = 0, 63mm$  e  $\delta = 0,002$ . Para esse modelo de arranjo, o tempo de processamento foi de 18 minutos e 30 segundos, sendo que a dimensão total de cada estrutura foi de 138mm x 51mm e a discretização da estrutura (dx, dy e dz) possui o valor de 0,423mm, 0,6mm e 0,6mm, respectivamente.

A análise dos resultados do arranjo de antenas *quasi-Yagi* apresenta as mesmas conclusões que os da antena *patch*, porém os valores das correntes superficiais e consequentemente os valores absolutos do acoplamento mútuo foram menores, o que também já era esperado pois uma das boas características desse tipo de antena planar é justamente seu baixo acoplamento mútuo (Qian et al., 2000).



Figura 2.8: Simulação FDTD das correntes superficiais no arranjo de antenas quasi-Yagi

# 2.4 Síntese do Capítulo 2

A técnica SMILE reduz bruscamente a necessidade de dispositivos de RF. O sistema proposto alcança a funcionalidade necessária com somente uma fração dos dispositivos normalmente necessários. Comparado com o número elementos de um sistema tradicional com os N canais, o sistema proposto apresenta uma redução de N vezes nos dispositivos de RF necessários, reduzindo assim também a potência consumida e o tamanho do circuito. Por fim, essa técnica é explorada na implementação dos circuitos de RF que compõem este trabalho e que são abordados nos próximos capítulos.

# Capítulo 3

# Concepção e implementação de circuitos de rádio-frequência

# 3.1 Introdução

Nesse capítulo são mostrados todos os circuitos de RF utilizados para a implementação da técnica SMILE de maneira integrada. Primeiramente, será mostrada uma breve discussão sobre o processo e as metodologias utilizadas no projeto. Antes de se projetar o primeiro circuito de RF será apresentada uma análise para a modelagem dos PADs de RF do circuito, essa fundamental para realização de projetos com boa precisão. Após são projetadas as chaves de RF, LNAs, *mixer* e VCOs que farão parte do sistema completo. Os detalhes dos projetos, resultados e análises dos dados obtidos são apresentados neste capítulo.

# 3.2 Processo, *foundry* e ferramentas de projeto

#### 3.2.1 Introdução

Considerados dispositivos lentos e ruidosos até em torno de uma década atrás, o escalonamento, que vem sendo realizado progressivamente, tem melhorado drasticamente o desempenho dos transistores MOS. Nos transistores bipolares a resistência de base tipicamente domina sua figura de ruído, enquanto nos MOS temos a princípio uma fonte de ruído principal, que normalmente é seu canal, aliada a resistência de porta distribuída nos dispositivos que contribuem fortemente para o ruído térmico (Razavi, 1998). Para uma resistência de porta (Rg), pode-se mostrar que o modelo de componente concentrado para o ruído *spot* é dado pela Equação 3.1.

$$\overline{v_{ng}^2} = \frac{4KTR_g}{3} \tag{3.1}$$

Entretanto vale ressaltar que essa resistência pode ser minimizada fazendo o *layout* do transistor como a combinação resultante de vários transistores menores em paralelo, numa configuração múltiplos *fingers* (Tsividis, 1999). Assim, nas tecnologias submicron, uma razoável combinação de dispositivos e correntes de polarização provém componentes com aceitáveis níveis de ruído, tornando o futuro altamente promissor para esse tipo de dispositivos nos sistemas de RF. Os projetos de circuitos integrados desenvolvidos no trabalho utilizaram a tecnologia S35 da foundry austríaca AMS (AustriaMicroSystems) disponibilizada pelo PMU-FAPESP (Programa Multi-Usuário). Nessa foundry o tempo entre envio do projeto e retorno do die fica em torno de três meses se tudo correr bem, sem problemas na alfândega. Esse processo é do tipo BiCMOS  $0,35\mu$ m, quatro polys e quatro camadas de metais, sendo que a última é uma camada de metal grosso responsável principalmente pela realização de indutores com fator de qualidade um pouco melhor com relação aos indutores normalmente implementados em tecnologia CMOS.

Para essa tecnologia adotada, a tensão de operação padrão é de 3,3V. Para situar o leitor quanto aos valores dos projetos financiados pelo PMU-FAPESP, o valor do  $mm^2$  de integração para a tecnologia S35 é de 1000 euros, sendo que a base de dados (junção de todos os circuitos para uma determinada rodada pelo PMU-FAPESP) deve ser no mínimo  $7mm^2$ .

Devido a dificuldade de implementar corretamente algumas células dos circuitos integrados, seja essa dificuldade referente a complexidade que possa existir no projeto ou na funcionalidade dessa célula em seus testes de bancada, certas células são disponibilizadas pré-confeccionadas. Para os circuitos que são projetados utilizaram-se células padrões tais como: indutores, *varactors*, PADs de alimentação e PADs de sinal. É importante ressaltar que para algumas células é necessário fazer casamentos para melhor desempenho dos circuitos.

Como os objetivos do trabalho são circuitos totalmente CMOS e estaremos utilizando uma tecnologia BiCMOS aparentemente existe um contra-senso que é desfeito observando as tecnologias da *foundry* AMS, pois verifica-se que os PADs de RF e os indutores com melhor fator de qualidade só estão disponíveis nessa tecnologia. Os indutores devido ao uso da camada de metal grosso e os PADs de RF devido ao uso da camada  $N^+$  *burried* como camada de aterramento do substrato sobre o PAD de RF; Essa camada é a responsável pela diminuição da resistência para o fluxo de elétrons de um transistor bipolar, por isso só existindo na tecnologia BiCMOS da *foundry*. As demais camadas referente ao processo CMOS são totalmente compatíveis entre os processos BiCMOS e CMOS padrão.

Nesse trabalho sempre chamaremos a tecnologia de CMOS, pois todos os circuitos são referentes a essa tecnologia, apenas os indutores e PADs de RF, utilizam elementos da tecnologia BiCMOS da *foundry* AMS, porém essa característica é exclusiva para o uso dessa *foundry*, nada impede que uma outra *foundry* ou um novo processo dessa *foundry* possua esses elementos projetados com essas características peculiares num processo CMOS padrão.

#### 3.2.2 Modelo da tecnologia CMOS $0,35\mu m$

Hoje em dia para os dispositivos CMOS existem várias modelagens diferentes que foram desenvolvidas de acordo com a evolução tecnológica durante o passar dos anos. Quanto menores forem os dispositivos (e consequentemente maior a densidade de integração possível), modelos mais precisos passam a ser necessários para consideração de efeitos que aparecem devido a brusca diminuição na largura do canal, sendo esses efeitos denominados efeitos de segunda ordem. Os principais efeitos de segunda ordem são: Modulação do canal, *Hot Carries, Oxide Breakdown, Drain-Induced Barrier Lowering* e *Substrate Current-Induced Body Effect.* Assim, para ir se acrescentando esses novos efeitos que passam a surgir devido a essa diminuição progressiva na largura do canal, passam a ser propostas gerações de modelos sendo elas: MOS1, MOS2, MOS3, BSIM, BSIM2 e BSIM3 entre outras. O modelo utilizado para o trabalho em questão é o BSIM3V3 nível 53, e esse modelo inclui os efeitos de segunda ordem quando necessários. Em simulação a geração BSIM3V3, apresenta análise de maior número de parâmetros do ponto de vista físico como o efeito de ruído e variação da temperatura.

Esse modelo apresenta várias críticas, principalmente da escola européia, quanto sua precisão. Problemas com relação ao ruído do tipo *flicker*, que não são bem relatados, podem surgir como fonte de erros, que dependendo do caso e do tipo de circuito em questão, acabam inviabilizando o projeto. Como os modelos dos dispositivos são arquivos prontos enviados pela *foundry* (o chamado *HIT-Kit* ou *Design Kit*) mediante a um acordo de confidencialidade, e nossa *foundry* AMS disponibiliza os seus *design kits* baseados nesse modelo, em nosso caso torna-se obrigatório o seu uso mesmo ciente dos problemas e críticas sobre esse modelo.

#### 3.2.3 Software utilizados para projeto de circuitos integrados

Primeiramente foi realizado um estudo aprofundado para se encontrar quais seriam as melhores plataformas para simulação e confecção do *layout* que seriam compatíveis com os *HIT-Kits* da foundry AMS para a tecnologia  $0.35\mu m$ . Entenda-se por melhor plataforma como sendo a melhor compatível e disponível para uso na Unicamp ou proximidades, o que viabilizaria os trabalhos. Realizou-se intensa pesquisa para verificação de uso tanto em empresas quanto em universidades no tocante a projetos de circuitos integrados de RF, que são a base desse trabalho. Segundo Moerth (2002) em seu relatório técnico da própria foundry AMS, a melhor solução é o uso da ferramenta Agilent ADS (Advanced Design System) para simulações de RF, enquanto para a geração do layout o mais adequado seria o Cadence Virtuoso e seus derivados para verificação física e elétrica do layout (Diva, Assura e Dracula), sendo que essa solução foi realmente confirmada na pesquisa como a mais difundida e utilizada, incluindo também a utilização conjunta dos softwares através de programas intermediários de conversão entre os mesmos (Mukherjee et al., 2003). Como possuíamos com a Aqilent através de um acordo vigente a disponibilidade do software ADS em nosso laboratório, a parte referente as simulações estava resolvida necessitando somente a instalação do HIT-Kit da foundry que nos foi liberado mediante a assinatura de um N.D.A (Noun-Disclosure Agreement). Quanto as ferramentas para confecção do *layout*, devido a problemas de ordem técnica para a disponibilidade das ferramentas *Cadence* e Mentor Graphics (uma segunda alternativa em contra-partida ao Cadence) para uso na Unicamp ou proximidades, na tecnologia a ser adotada no trabalho, restou-nos somente a alternativa da implementação de um *HIT-Kit* de *layout* para ser usado no ADS, pois o *HIT-Kit* do ADS ao contrário do da *Cadence* que é completo, possui apenas os modelos de simulação, não contendo modelos de *layout*, arquivo de camadas e tão pouco regras de projeto.

#### 3.2.4 Programa de DRC desenvolvido para o software ADS

Prepararam-se dois programas para possibilitar o uso da ferramenta de *layout* do ADS como ferramenta de trabalho para a realização dos *layouts* da tecnologia S35 da *foundry* AMS. O primeiro e mais simples programa é um gerenciador de camadas, cujo papel principal é fazer a interface entre o usuário e o processo da *foundry*. Essa interface tem que vir em duas frentes.

Uma visual, que se refere às camadas propriamente ditas, ou seja, indexar todas as camadas disponíveis com suas respectivas características e texturas gráficas. Para isso adotamos como padrão as próprias nomenclaturas adotadas pela *foundry* para as camadas e como texturas adotamos as mesmas adotadas pelo *software Cadence*, afim de evitar problemas de adaptação visual do usuário quando migrar de uma ferramenta para a outra.

A segunda frente se refere à indexação de cada camada com seu respectivo valor de conversão para o arquivo GDSII. Esse arquivo é o qual é enviado para a *foundry* e é de fundamental importância que essa indexação ocorra sem erros, pois um erro nessa indexação torna-se um erro que inviabiliza totalmente o projeto gerando circuitos com camadas cruzadas com relação ao proposto no projeto inicial imaginado e implementado pelo projetista.

O segundo e principal programa implementado trata-se de um arquivo de regras geométricas de projeto para a tecnologia  $0.35\mu$ m da AMS totalmente desenvolvido para a função de DRC (*Design Rule Checker*) incorporado a ferramenta de *layout* do *software* ADS. Digo  $0.35\mu$ m e não C35 ou S35, pois o programa é transparente para as duas tecnologias podendo ser empregado tanto em uma quanto em outra, a depender da especificação realizada pelo projetista. Esse programa engloba todas as regras presentes no manual *Design Rule Process*, para todas as camadas do processo (AustriaMicroSystems, 2005a). O programa foi desenvolvido na linguagem AEL (*Application Extension Language*) que é a linguagem de programação para se fazer macros no ADS e mesmo possui 25 páginas de código (utilizando-se como referência fonte 14 e espaçamento simples).

Esse programa tornou-se uma importante contribuição do trabalho, pois possibilitou o uso do ADS como uma ferramenta completa para o projeto de circuitos integrados, sendo esse programa utilizado em todos os trabalhos do grupo, tendo possibilitado dissertações e projetos.

Além disso e com importância equivalente, implementou-se um fluxograma e formas de testabilidade para a programação de regras geométricas que podem ser estendidas para a implementação de novos programas para novas *foundries* que possam virem a serem cobertas pelo PMU-FAPESP e que não possuam em seus *HIT-Kits* as regras de *layout*. Complementando os comentários a respeito desse gerenciador de regras para a *foundry* AMS, sua documentação e característica foram enviadas a *Agilent*, a qual nos respondeu com bastante satisfação ressaltando a característica inovadora dessa implementação e que o mesmo será divulgado em seu programa de *Education Corner*. Porém, cabe ressaltar que o programa em si não pode ser divulgado, pois em seu conteúdo estão todas as regras geométricas da *foundry* AMS e essas regras são propriedades da mesma, que são divulgadas somente para seus clientes mediante acordos de confidencialidade, o que no nosso caso representa que tanto as regras, quanto nosso programa tem utilização somente acadêmica e de uso exclusivo para a Unicamp. Assim, somente o fluxo de projeto pode ser divulgado a comunidade e não as regras ou o programa em si, mas isso não representa problema para a divulgação da tecnologia desenvolvida. Sua adaptação para regras de outras *foundries* é direta, pois a partir dessa base implementada, pode-se trocar a denominação das camadas e suas respectivas regras geométricas, bem como a indexação GDSII para se alterar as regras para outra *foundry*, assim esses programas desenvolvidos para o ADS são bastantes versáteis para implementação nas mais diversas situações.

# 3.3 Circuito equivalente do PAD de RF

#### 3.3.1 Introdução

Um dos problemas encontrados no uso da tecnologia CMOS aplicada em circuitos de RF é a falta de modelos confiáveis para circuitos passivos e ativos que operem na faixa de GHz. Normalmente nas *foundries* os processos que possuem a possibilidade de implementação de estruturas de RF são derivados dos processos digitais, depois da estabilização de sua implementação através de adição de novas camadas no processo, como por exemplo, a adição de uma camada de metal grosso como última camada para a realização de dispositivos com fator Q mais elevado aumentando o desempenho dos dispositivos projetados (Baker et al., 2001).

Medidas on-wafer usam uma configuração coplanar tradicional de PADs tipo GSG (Ground-Signal-Ground) como elemento de interface entre o chip e as microponteiras. Via de regra existe dois tipos de configuração GSG. Uma utiliza um sanduíche de todas as camadas de metal em cada PAD, sendo que esse tipo de estrutura não tem um Q satisfatório devido a baixa resistividade do substrato. Normalmente esse tipo de estrutura é modelado como um circuito RC de alta perda (Razavi, 1999). A segunda configuração utiliza a camada metal1 como camada de aterramento ligada diretamente ao menor potencial do chip e um sanduíche das camadas de metais sobressalentes para a conexão do sinal, dessa maneira eliminando as perdas para o substrato. Além de um bom desempenho em RF esse tipo de estrutura possui também a vantagem de seu modelo equivalente ser um simples capacitor entre o sinal e o menor potencial do circuito, caso se despreze o acoplamento lateral entre PADs adjacentes, o que normalmente é feito devido ao baixíssimo valor desses elementos parasitas (Kolding, 2001). Embora normalmente empregado na confecção de circuitos integrados, essas duas configurações não possuem nenhuma proteção ESD (*ElectroStatic Discharge*). Entretanto hoje em dia essa característica é extremamente desejável para limitar os picos de tensão nos PADs de maneira a proteger o restante do circuito. Picos de tensão podem danificar os filmes finos dos elementos internos em nanosegundos, devido sua extrema sensibilidade a descargas ESD (Hastings, 2001). Mesmo se o filme não apresentar ruptura ele entra em processo de degradação durante sua operação e acaba por se romper com o passar do tempo de operação do dispositivo. A única maneira de se evitar essa degradação instantânea ou ao longo do tempo é o uso de proteção ESD para evitar que picos de tensão atinjam os filmes finos existentes no *chip*.

#### 3.3.2 Modelagem do PAD de RF

O uso de um modelo confiável para os PADs de RF é crucial e diversos problemas podem emergir pelo uso de um modelo não preciso (Kretly e Silva, 2006). Como é impossível caracterizar um PAD isoladamente, há a necessidade de se construir e medir uma estrutura GSG para extração dos parâmetros que irão ser utilizados na construção do modelo. Isso é necessário para se levar em conta todos os parasitas de RF da estrutura. Nesse projeto foi adotado um *pitch* de 150 $\mu$ m (distância entre os centros de PADs adjacentes) de maneira ao circuito fabricado ser compatível com as micro-ponteiras *Cascade* disponível para medidas no CCS (Centro de Componentes Semicondutores).



(a) Estrutura GSG com camada de blindagem B-well

(b) Esquemático para o PAD de RF

Figura 3.1: Estrutura GSG e circuito equivalente propostos

A estrutura GSG é composta por células fixas da *foundry* AMS, o PAD de RF e os PADs de terra obtidas através da importação de arquivos GDSII do *design kit* (AustriaMicroSystems, 2005b; AustriaMicroSystems, 2005c). A estrutura de RF é otimizada para um bom desempenho

dinâmico e proteção ESD, para isso existem uma camada implantada enterrada e conectada ao menor potencial do circuito, de maneira a reduzir o ruído de substrato, e diodos laterais de proteção. A última camada de metal grosso proporciona uma boa resistência mecânica ao *stress* proporcionado pelo contato da microponteira na estrutura.

A Figura 3.1(a) mostra um corte lateral na estrutura proposta, na qual os diodos laterais para a realização da proteção ESD foram suprimidos facilitando a leitura do elemento. Vale ressaltar que nessa figura os três blocos de metais que representam os PADs são compostos por um sanduíche das quatro camadas de metais possíveis no processo adotado para projeto.

Os outros elementos mostrados na Figura 3.1(a) são C1 - a capacitância entre PADs adjacentes (muito menor que Cox, podendo ser desprezada), C2 e C3 - Cox, Rs e Cs - resistência e capacitância do substrato, Rb e Cb - resistência e capacitância da camada implantada para blindagem do PAD de RF.

Para validar a proposta e realizar sua modelagem, foram construídas duas estruturas de testes "*Open*" e "*Thru*", cada uma com área de aproximadamente  $0,73mm^2$ , conforme mostrado na Figura 3.2.

Toda a estrutura será circundada por um anel de proteção ESD, cuja função é levar as referências de Vdd e de terra para todos os PADs do circuito. Esse anel é composto por cinco linhas metálicas paralelas (dois terras e três Vdd), compostas pelos metais três e quatro do processo. Os PADs de sinal possuem proteções ESD acopladas às suas estruturas e essas proteções são conectadas as linhas do anel de maneira que caso ocorra picos de sobretensão nas entradas do circuito, esses picos sejam desviados através da proteção para o anel e deste possam fluir para o terra ou Vdd. Esse mecanismo tem a função de proteção do circuito devido a picos eletrostáticos e a sinais com tensões superiores a de projeto, que por ventura possam ser erradamente conectadas ao circuito.



Figura 3.2: Estruturas fabricadas para modelagem atrávés de medidas on-wafer.

Para os PADs de polarização foram utilizados as células da *foundry* AGNDALLP e AVD-DALLP, para as conexões de terra e Vdd, respectivamente. Essas células são utilizadas em todos os outros projetos desse trabalho.

Essas estruturas mostradas na Figura 3.2 foram fabricadas na base de dados FAPESP-139. O *die* foi montado sobre substrato FR-4 e nos PADs de polarização foram realizados trabalhos de *wirebond*. Os PADs da estrutura GSG ficaram livres para o acesso das microponteiras *Cascade*.

As medidas *on-wafer* dos parâmetros de espalhamento foram realizadas na faixa de 45MHz à 4GHz utilizando um analisador de redes HP8510C. Antes de se realizar as medidas o sistema de medição foi calibrado utilizando um *kit* SOLT (*Short-Open-Load-Thru*) com microponteiras *Microtech Cascade* APD40 (Microtech, n.d.).



(a) Setup de medidas Cascade



(b) Protótipo no Cascade

Figura 3.3: Testes no *Cascade*.

Devido a uma camada de proteção de *polyimide* existente sobre a pastilha foi necessário o desenvolvimento de um processo para sua retirada. Esse procedimento é demonstrado com detalhes no Apêndice E. Após a retirada dessa camada, deu-se início a etapa de medidas nos protótipos.

Os valores dos elementos concentrados foram obtidos através de um processo interativo de simulação na qual as curvas obtidas nas medidas dos protótipos foram utilizadas como meta para o ajuste das curvas obtidas pelo circuito equivalente para as estruturas tipo "Open" e "Thru" simultaneamente. O esquemático foi elaborado através do uso do modelo proposto, bem como o de dispositivos presentes nos manuais da foundry. Os valores iniciais foram obtidos dos dados da foundry para um simples sistema capacitivo.







Figura 3.4: Perda de retorno medida e simulada para o circuito equivalente proposto com e sem correção devido as perdas de contato para a estrutura tipo "*Open*"

Na Figura 3.4 o parâmetro de espalhamento S11 é mostrado na carta de *Smith*, na qual pode-se notar que o modelo proposto casa perfeitamente com o resultado medido para o caso de análise da estrutura tipo "*Open*".

Os valores dos elementos concentrados dependem da tecnologia empregada, e em nosso caso os valores otimizados obtidos utilizando como referencia o esquemático mostrado na Figura 3.1(b) foram CPad=0,53pF, R=6,5 $\Omega$  e C=0,1pF, respectivamente. O elemento *Welldiode* é o diodo parasita presente entre a área ativa tipo P do diodo de proteção ESD e o poço N, enquanto que o elemento *Nwd* é o diodo parasita presente entre o poço N e o substrato tipo P.



(a) Carta de Smith



Figura 3.5: Perda de retorno medida e simulada para o circuito equivalente proposto com e sem correção devido as perdas de contato para a estrutura tipo "*Thru*"

A superfície de contato do microponteira no PAD não é um contato perfeito devido as microvariações de altura e homogeneidade existentes na superfície dos PADs, ou seja, a área aparente de contato é muito menor que a área areal de contato das micro-ponteiras. Além disso em nossa tecnologia as camadas de metais que constituem os PADs são formadas de alumínio que acabam a ser coberto com óxido, além de eventual acumulo de sujeira com o passar do tempo. Outro fator que causa o acréscimo de uma resistência de contato em nosso protótipo são as ponteiras que no caso do CCS são as APD40 compostas de uma liga BeCu (cobre e berílio) mais apropriadas para contato em ouro, no caso do alumínio a ponteira mais apropriada seria a APD40W composta de tungstênio, para justamente facilitar a ruptura desse óxido formado sobre os PADs (Carbonero et al., 1995). Como pode ser visto na Figura 3.5, o gráfico do modelo sem a correção devido a resistência de contato entre a microponteiras e os PADs inicia-se no centro da carta como já era esperado para um dispositivo casado em 50 $\Omega$ , no qual a essa frequência os elementos reativos tem um efeito desprezível. Porém, a curva medida inicia-se a um valor maior que 50 $\Omega$  mostrando claramente a existência de uma resistência de contato, além de uma maior inclinação no sentido horário do que a curva sem correção de contato, o que é um indicativo que esse contato tenha também fatores indutivos, ou seja, tem-se uma impedância de contato agregada na interface entre as micro-ponteiras e os PADs.

A modelagem pode ser corrigida através da implementação de um circuito RL série de maneira a tornar as duas curvas coincidentes. Através de um processo interativo de simulação, encontrouse o valor dos componentes, sendo eles  $R=6,2\Omega$  e L=0,15nH. Esses valores compensam a impedância de contato, tornando o modelo válido para projeto de circuitos que utilizam medidas diretas *on-wafer*. Quando o dispositivo for alimentado via linha de transmissão e *wirebond*, não se deve utilizar esse componente RL, apenas o modelo sem correção de contato.

Após a modelagem do PAD de sinal, passamos a utilizá-lo em todo o projeto, assim ressaltamos que todas as simulações mostradas nesse trabalho utilizaram esse modelo proposto no respectivo esquemático, desde a concepção até a otimização dos resultados. Devido ao modelo ainda não estar pronto durante os projetos do LNA cascode e do LNA multiplexado, estes foram projetados utilizando como modelo de PAD de RF um capacitor com perdas com valor médio sugerido no manual da *foundry* (AustriaMicroSystems, 2005c). Porém os resultados simulados mostrados aqui são utilizando o modelo proposto, para prover mais fidelidade a análise comparativa entre o que foi simulado e o que foi medido.

# 3.4 Chaves de RF NMOS

#### 3.4.1 Introdução

As chaves de RF NMOS são dispositivos utilizados para fazer a comutação de sinais nas mais diversas aplicações. Em nosso sistema previa-se preliminarmente o uso dessas chaves para a realização da multiplexação do sinal de RF. Embora as chaves de RF CMOS ainda não tenham o mesmo desempenho das chaves de GaAs (Arseneto de gálio), esse tipo de chave tem sido alvo de estudos em função de se apresentar como uma alternativa viável, com grande diminuição de custos (Caverly, 1999), devido a possibilidade de integrar todos os circuitos de um sistema em uma única pastilha. Hoje em dia, já existem muitas aplicações para sistemas completamente CMOS abaixo de 6GHz e para frequência acima desse patamar diversos estudos e pesquisas estão em desenvolvimento. Com a constante diminuição do comprimento do canal, a tendência é que se consiga trabalhar com frequências cada vez maiores. Nessa secção será apresentada a chave de RF NMOS com transistor *shunt* para aumento da isolação reversa. Após o projeto e os testes do circuito fabricado, verificou-se que esse tipo de chave na frequência e tecnologia adotada não era viável como multiplexador do sistema, partindo para o projeto de um novo dispositivo integrado que agregaria duas funções como será mostrado mais adiante nesse capítulo.

## 3.4.2 Concepção das chaves de RF NMOS

O esquemático da chave NMOS proposta é apresentado na Figura 3.6. Nesse circuito pode-se observar que a chave é composta de um transistor NMOS de passagem ou bloqueio do sinal (a chave propriamente dita) aliado a um transistor tipo *shunt* para o aumento da isolação da chave em estado "OFF" (Huang e O, 2001; O et al., 2002). A chave é acionada por um sinal de 3,3V e simultaneamente por um sinal barrado gerado pelo inversor de maneira a acionar o transistor *shunt* de maneira complementar.



Figura 3.6: Esquemático da chave de RF NMOS

O transistor de passagem da chave de RF NMOS (Mn1) foi escolhido para garantir alta isolação reversa, manter uma boa linearidade expressada através de IIP3 e uma perda de inserção a menor possível na faixa de operação (Yamamoto et al., 2001; Caverly, 1999).

Este transistor NMOS deve operar na região de corte  $(V_{gs} \leq V_{th})$  possuindo alta resistência para bloqueio dos sinais de RF e deve operar na região linear ou triodo  $(V_{ds} \leq V_{gs} - V_{th} e V_{gs} \geq V_{th})$ para representar uma baixa resistência em série para a passagem dos sinais. A resistência de um transistor NMOS na região linear é dada pela Equação 3.2.

$$r_{ds} = \frac{1}{KPN\left(\frac{W}{L}\right)\left|V_{gs} - V_{th}\right|} \tag{3.2}$$

O valor da largura de canal deve ser o menor permitido pela tecnologia para maximizar a velocidade chaveamento, sendo neste caso  $0.35\mu$ m e o valor da largura de canal, a priori deve ser

o maior possível, porém a partir de um certo valor de W, as capacitâncias parasitas começam a degradar o funcionamento do circuito. Esse aumento no acoplamento capacitivo com o substrato resulta em maiores perdas na transmissão.

Assim, o valor otimizado em simulação de W/L foi 170/0,35, sendo que múltiplos *fingers* foram utilizados no *layout* para minimizar resistências parasitas de fonte e dreno (Tsividis, 1999). O valor do transistor *shunt* não é tão crítico (Li e O, 2005; Huang e O, 2000), sendo escolhido 40/0,35, valor esse que garante a boa isolação encontrada no projeto. O inversor foi projetado para uma inversão simétrica ao valor de Vdd (Baker et al., 2001), o projeto do inversor será mostrado com detalhes no Capítulo 4. Assim, resumidamente os elementos do esquemático possuem os seguintes valores: Rb1 e Rb2=10k $\Omega$ ; C1=500fF; Mn1 $\rightarrow$ Wt=170 $\mu$ m, L=0,35 $\mu$ m e ng=34; Mn2 $\rightarrow$ Wt=40 $\mu$ m, L=0,35 $\mu$ m e ng=8; Mn3 $\rightarrow$ Wt=1,2 $\mu$ m e L=0,35 $\mu$ m; Mp1 $\rightarrow$ Wt=3,8 $\mu$ m e L=0,35 $\mu$ m; Vdd= 3,3 V.

Nos projetos de circuitos integrados de RF, os elementos adicionais que compõe os *jigs* de testes, possuem um importante papel no contexto de um projeto. Ao contrário do que normalmente acontece com projetos de circuitos integrados digitais e analógicos, no qual o sistema de caracterização muitas vezes apresentam um papel secundário, não representando problemas para projeto e nem representando uma possível fonte de erro para o sistemas, nos circuitos integrados de RF este é um problema crítico, pois todas as variáveis que são desprezadas para facilitar os projetos em circuitos analógicos e digitais, no caso de circuitos de RF não podem ser desprezadas e normalmente constituem de parâmetros críticos para o correto desempenho do circuito. Assim, para as medidas de RF desse projeto, optou-se pela medida direta *on-wafer* para uma melhor aquisição dos resultados. No *layout* o conjunto de PADs foi montado de maneira GSG com PADs de RF para conectar o sinal e utilizando *pitch* (distância entre as pontas adjacentes na ponteira tipo GSG) de  $150\mu m$  para de adequar ao equipamento *Cascade* (Microtech, n.d.) existente no CCS.



(a) Chave fabricada (*die*)



(b) Layout da Chave NMOS

Figura 3.7: Chave NMOS implementada - 1090 x 890  $\mu m^2$ .

Na Figura 3.7(a) é mostrada a chave NMOS fabricada na base de dados FAPESP-145, enquanto na Figura 3.7(b) é mostrado seu respectivo *layout*. Observamos a entrada e saída de sinal nas partes de cima e de baixo respectivamente, à direita temos dois PADs de terra, enquanto à esquerda temos Vdd e o PAD para acionamento da chave, sendo para esse fim utilizado a célula APRIO500P que possui capacitância parasita de 1,3pF e resistência em série de 700 +/- 200 $\Omega$ , além de proteção ESD. Em toda o trabalho sempre que se necessitar de PAD para sinais de baixa frequência ou níveis DC será utilizado essa célula.

# 3.4.3 Simulações e medidas

Foram realizadas simulações interativas da chave visando otimizar os valores de projeto. Nas Figuras 3.8 e 3.9 temos os resultados de simulação e medido realizados através da análise de parâmetros de espalhamento, utilizando-se uma faixa dinâmica até 3,5GHz.



Figura 3.8: Simulações e medidas da chave de RF no estado "ON".

Na Figura 3.8 são mostrados os resultados da chave no estado "ON", cujos gráficos mostram que o circuito opera bem até 2GHz com uma perda de inserção de aproximadamente 1dB, além dessa frequência a perda torna-se acentuada o que inviabiliza o uso dessa chave, o valor de S11 é menor que -15dB para a faixa funcional da chave, garantindo assim um bom casamento de impedâncias.



Figura 3.9: Simulações e medidas da chave de RF no estado "OFF".

Na Figura 3.9 são mostrados os resultados da chave no estado "OFF". Pela análise dos mesmos, notamos que a chave apresenta uma isolação maior que 20dB em toda a faixa analisada. Notamos também que as curvas medidas e simuladas estão em perfeita concordância com excessão a curva de isolação. Isso é explicado pelo fato de que o acoplamento pelo substrato do circuito (sílício) não é considerado pelo modelo de simulação e também pelo fato que o acoplamento pelo *jig* de teste também não ser representado na simulação. Assim, sempre teremos valores discrepantes em todos os circuitos que operem em alta frequência em relação a isolação entre portas, sendo o valor simulado sempre bem menor que o medido.

Completando a análise da chave realizou-se a simulação do IIP3 da chave, o qual espera-se um alto valor devido a chave NMOS possuir um boa linearidade. Os resultados mostrados na Tabela 3.1 demostraram o esperado e o valores de IIP3 foram altos para todos os limites de espalhamento do modelo.

Típico		Slow	Fast	
	(dBm)	(dBm)	(dBm)	
IIP3	37	36	132	

Tabela 3.1: IIP3 simulado da chave de RF NMOS.

Assim, o comportamento de uma Chave de RF NMOS utilizando a tecnologia AMS S35 não é satisfatório na faixa de frequência proposta para nosso sistema (2,5 - 2,7GHz), sendo necessário a procura de uma outra solução (como será demonstrado no decorrer desse capítulo) para se realizar a multiplexação do sinal, ou seja, um multiplexador simples utilizando chaves não é viável em nosso projeto.

# 3.5 Amplificadores de baixo ruído

# 3.5.1 Introdução

Similares ao emissor comum e base comum dos bipolares, as configurações básicas fonte comum e porta comum dos amplificadores de baíxo ruído CMOS possuem as mesmas propriedades e limitações. Uma exceção é que para dimensões e correntes de polarização típicas de RF, os dispositivos CMOS são mais lineares que os bipolares (Lee, 1998), porém a relação  $g_m/Id$  do transistor MOS é sempre menor e nunca ultrapassará a do bipolar (Abou-Allam et al., 2000).

O amplificador de baixo ruído ou do inglês LNA (*Low Noise Amplifier*) é normalmente utilizado como primeiro estágio de um canal de recepção. Isso acontece, pois seu bom ganho aliado ao baixo ruído gerado tem papel fundamental sobre todo o ruído do sistema de recepção, reduzindo o impacto dos estágios subsequentes (Floyd et al., 2002; Pozar, 2001). Como o ruído é caracterizado por parâmetros entre os quais vários dependem da malha de entrada do amplificador, poderíamos projetar esta malha visando à obtenção da figura de ruído mínima. Entretanto, o ganho que se pode obter com a condição de figura de ruído mínima pode não ser suficientemente alto para minimizar a contribuição dos ruídos dos estágios subsequentes. Assim, o projeto da malha de entrada deve ser feito com uma situação de compromisso entre a figura de ruído e o ganho, ou seja, deseja-se que a figura de ruído seja tão baixa quanto possível, mas que o ganho seja o maior possível nessa situação.

# 3.5.2 Topologias de LNAs

# 3.5.2.1 Topologias clássicas

Normalmente podemos considerar quatro configurações de LNA para realizar o casamento de impedância na entrada, sendo essas topologias apresentadas na Figura 3.10. A primeira configuração utiliza uma terminação resistiva para casar a impedância em 50 $\Omega$ . Essa técnica foi utilizada por Chang et al. (1993) em um LNA diferencial. O principal problema dessa técnica é

que o uso de resistor para realizar o casamento de impedância deteriora bastante sua figura de ruído. A segunda configuração usa um amplificador porta comum para o LNA, sendo que sua impedância de entrada é definida pelo  $g_m$  do amplificador e esse valor é aproximadamente  $1/g_m$ .



Figura 3.10: Topologias normalmente utilizadas em LNAs.

Os dois principais problemas dessa arquitetura são a figura de ruído, que teoricamente possui um valor mínimo de 2,2dB para a tecnologia CMOS, assumindo  $\gamma=2/3$ , o que inicializa o projeto com um valor fixo antes mesmo de qualquer tentativa de se fazer alterações de valores dos componentes. Assim na prática o ruído possui um valor mínimo de 3dB para essa configuração, além do problema da linearidade que é bastante pobre para essa configuração. A terceira configuração trata-se de um estágio de amplificação com realimentação resistiva que resulta num projeto muito linear e relativamente insensível aos elementos parasitas da rede de casamento de entrada, sendo que essa topologia foi adotada em (Benton, 1992; Sheng, 1991), porém para se obter algum ganho necessita-se uma grande transcondutância e assim uma grande corrente, o que torna esse projeto com alto gasto de potência, além do fato desse projeto possuir uma natureza de banda larga não sendo possível se aplicar técnicas de sintonia do tipo LC por exemplo, para se tentar minimizar o consumo de potência. A última topologia clássica e a escolhida para os projetos nesse trabalho é a configuração fonte comum com degeneração indutiva. Essa configuração utiliza um indutor conectado a fonte do transistor de amplificação para se obter o casamento da parte real da impedância de entrada do LNA (Karanicolas, 1996). O amplificador fonte comum necessita de uma sintonia de dreno, o que torna essa configuração tipicamente banda estreita, o que não é problema desde que acomode a faixa de frequência necessária para o perfeito funcionamento do sistema.

#### 3.5.2.2 LNA multiplexado

No intuito de se implementar a técnica SMILE como projeto de um circuito integrado completo, têm-se como primeira opção o uso de um multiplexador constituído por chaves analógicas para realizar a troca de sinais oriundos das antenas de maneira ordenada antes do LNA. Essa configuração utilizando um único LNA após um conjunto de chaves analógicas de RF para fazer a comutação dos canais em cada período de tempo, diminui tanto o custo do sistema, quanto o consumo de potência pelo mesmo, pois passamos a ter somente um LNA e um *mixer* ao invés de N como seriam normalmente necessários em um sistema inteligente convencional, sendo essa exatamente a idéia principal da técnica SMILE.

Porém, como mostrado na secção anterior, a chave de RF NMOS na tecnologia disponível e adotada para o projeto não possui um desempenho aceitável para a faixa de operação na banda 2,5GHz, pois sua perda de inserção é alta, atingindo o valor de 6dB, o que na prática inviabiliza o projeto de um multiplexador utilizando esse tipo de dispositivo devido a grande atenuação na entrada, ocasionando uma considerável degradação na figura de ruído do sistema, o que por sua vez diminui bastante o desempenho global, impossibilitando a recepção de sinais fracos devido a baixa qualidade desse dispositivo de entrada.

Além disso, essas perdas tendem a aumentar drasticamente com o aumento da frequência. Assim, na tentativa de se reduzir essa perda, podem-se utilizar, por exemplo, técnicas especiais para diminuição das perdas no substrato, fator esse predominante na perda de inserção das chaves, porém um custo adicional às vezes elevado é agregado ao produto final, o que nas circunstâncias atuais representa perda de mercado e uma maior complexidade de projeto para o multiplexador.

Uma alternativa para contornar esse problema seria a inversão dos circuitos utilizando o multiplexador após os LNAs (um por canal). O problema dessa configuração é que cada canal irá possuir um amplificador próprio o que ocasiona um consumo alto de potência, necessária para manter polarizado cada amplificador, gerando um desperdício de energia ao sistema, pois os amplificadores ficam constantemente polarizados, independentemente de seu canal estar sendo ou não utilizado naquele período de tempo. Essa técnica implica também num aumento significativo de área de integração, pois passamos a ter um LNA por canal e assim a economia de dispositivos fica reduzida somente a economia nos *mixers*.

Para solucionar esse problema, propomos o projeto de um LNA aliado a um sistema de chaveamento de maneira que se possa controlar qual canal estará ativo em um determinado período de tempo gerando um controle tanto na diversidade quando na multiplexação espacial. O LNA com múltiplas entradas para utilização em sistemas de comunicação sem fio foi idealizado através da adoção de múltiplos estágios cascode em paralelo visando agregar de um circuito chaveador e um amplificador num mesmo elemento ativo para se eliminar os problemas apresentados pelas chaves NMOS como multiplexador e permite a recepção de sinais fracos.

Cada canal é ativado separadamente através de um sinal de controle aplicado a porta do amplificador porta comum do par cascode, sendo esse mesmo sinal aplicado simultaneamente à entrada de um inversor de modo a acionar de maneira complementar uma chave *shunt* ligada na junção dos amplificadores fonte comum e porta comum do par cascode, permitindo assim um aumento significativo na isolação entre as entradas do sistema.

Após essa breve apresentação do LNA multiplexado proposto podemos citar algumas de suas principais características e vantagens, como sendo:

- Dispensa o uso de chaves analógicas na entrada do sistema;
- Elimina perdas por inserção no primeiro estágio;
- Permitir a recepção de sinais extremamente fracos;
- Diminui sensivelmente a figura de ruído do sistema;
- Aumenta a sensibilidade do sistema;
- Velocidade e estabilidade de chaveamento compatível com os atuais sistemas de comunicações sem fio;
- Amplificador totalmente integrado sem componentes externos;
- Vantagem de possível agregação de novas estruturas numa mesma pastilha.

#### 3.5.3 Amplificador de baixo ruído cascode

## 3.5.3.1 Concepção

Neste trabalho foi escolhido que o LNA teria saída *single-ended* pelo fato do arranjo utilizado ser implementado por antenas planares do tipo *quasi-Yagi* ou *patch*, elementos esses já construídos e caracterizados no trabalho de mestrado do autor (Capovilla, 2004). Se fosse escolhida uma topologia diferencial para o LNA necessitariamos de um *balun* na entrada do dispositivo, o que ocasionaria uma fonte inicial de ruído ao sistema e tiraria o espírito de se fazer um projeto completamente *on-chip*, com a necessidade de um estágio externo inicial.

O projeto é baseado no LNA cascode de um estágio com degeneração indutiva, topologia essa que apresenta boa linearidade, baixo consumo e pode-se chegar a 12dB de ganho, eliminando

assim a necessidade de um novo estágio que geraria um aumento de ruído e principalmente um aumento de consumo no LNA. O tamanho do dispositivo cascode é difícil de calcular analiticamente e um valor ótimo para esse dispositivo não existe para nenhuma topologia. Goo (2001) demonstrou que um dispositivo cuja largura de canal do porta comum é três vezes a do fonte comum apresenta um aumento de aproximadamente 40% no ruído do amplificador. Nesse trabalho utilizamos como uma primeira aproximação o mesmo valor de comprimento de canal para os dois amplificadores do par cascode, assim não há grandes mudanças nos valores das figuras de mérito do amplificador e não se introduz uma grande complexividade ao circuito. Após a otimização do circuito, uma pequena variação aparece entre os dispositivos de maneira a se otimizar os parâmetros o tanto quanto for conveniente.



Figura 3.11: Esquemático do LNA cascode

A implementação cascode aumenta a banda do LNA devido ao efeito *Miller* resultante da configuração cascode dos transistores. Além disso, o amplificador porta comum desempenha dois importantes papéis no aumento da isolação reversa do LNA: Diminui a corrente de *lea-kage* produzida pelo oscilador local do *mixer* no próximo estágio e melhora a estabilidade do circuito, minimizando a realimentação da saída para a entrada. Assim, o mesmo circuito sem a configuração cascode seria propenso à oscilação.

#### Cap. 3 Concepção e implementação de circuitos de rádio-frequência

A Figura 3.11 mostra o esquemático do LNA do tipo cascode com degeneração indutiva proposto inicialmente para o sistema aqui objetivado. Como adotamos uma postura de trabalho, na qual projeta-se e testa-se cada bloco isoladamente, necessitamos que tanto a entrada, quanto a saída do LNA estejam casadas em 50 $\Omega$  para realizar a perfeita conexão aos aparelhos de medida (analisador de rede, analisador de espectro, etc), além disso, a impedância característica das antenas a serem conectadas ao LNA também possuem um valor padrão de 50 $\Omega$ .

O ruído total do amplificador cascode *single-ended* de um estágio, quando se despreza a contribuição do transistor Mn2 é dada pela Equação 3.3 (Allstot et al., 2004).

$$F = 1 + \frac{\gamma}{\alpha} \frac{1}{Q} \left(\frac{\omega_0}{\omega_T}\right) \left[1 + \frac{\delta \alpha^2}{k\gamma} \left(1 + Q^2\right) + 2\left|c\right| \sqrt{\frac{\delta \alpha^2}{k\gamma}}\right]$$
(3.3)

Onde:

$$\alpha \equiv \frac{g_m}{g_{d0}} \tag{3.4}$$

е

$$Q = \frac{1}{\omega_0 C_{gs} R_s} \tag{3.5}$$

Nas equações acima, temos que Q é o fator de qualidade do circuito,  $g_{d0}$  é a condutância do dreno e  $\delta$ ,  $\gamma$ , c são parâmetros fixos (porém dependentes da polarização) do transistor. Através da análise da Equação 3.3 pode-se notar a importância do Q num circuito sintonizado. Um casamento de impedância sintonizado com alto Q é interessante, pois além de diminuir o ruído, também rejeita sinais não desejados devido a sua maior seletividade, aliado ao seu menor consumo quando comparado com amplificadores de banda larga (Ko e Lee, 1996).

Um circuito com alto valor de Q também é mais sensível às variações de processo (Floyd et al., 2002), pois quanto maior o Q, maior a variação da impedância de entrada devido a essas variações. Como variação de processo é algo que foge das mãos do projetista, deve-se ter em mente na hora do projeto como minimizar seus efeitos (Hastings, 2001). Outro problema grave está associado às especificações de projeto, que às vezes permite que uma determinada variação de ganho pode ocorrer na banda de interesse e se o Q for demasiadamente alto, pode acontecer variações maiores que o desejado, assim torna-se necessário diminuir o Q para se acomodar as especificações iniciais. Resumindo um alto valor de Q, apesar de a priori parecer sempre desejável e favorável ao bom funcionamento do circuito, pode, às vezes, representar um papel reverso e tirar o projeto de suas especificações de funcionamento.

Um dos principais problemas no projeto de um LNA é o cálculo inicial dos valores dos transistores Mn1 e Mn2. O valor ótimo das dimensões do elemento fonte comum (Mn1) do LNA para a otimização de potência e minimização de ruído resulta na expressão desenvolvida por Lee (1997). Como valor inicial de projeto, à ser ajustado via simulação, adotaremos essa expressão que é mostrada na Equação 3.6.

$$W_{Mn1} \approx \frac{1}{3\,\omega_0 \, L \, C_{ox} R_s} \tag{3.6}$$

Olhando agora para o casamento de impedâncias, temos que desprezando as capacitâncias Cgd e Cds de Mn2 no esquema elétrico equivalente, a impedância de entrada do LNA pode ser expressa como (Shaeffer e Lee, 2001; Karanicolas, 1996):

$$Z_{in}(s) = s\left(L_s + L_g\right) + \frac{1}{sC_{gs}} + \left(\frac{g_{m1}}{C_{gs}}\right)L_s$$
(3.7)

Onde:  $Ls \in Lg$  são respectivamente os indutores de fonte e porta e  $g_m$  e Cgs são parâmetros do transistor Mn1.

Entretanto cabe ressaltar aqui que a ordem de grandeza da capacitância *Cgs* e a capacitância de PAD é a mesma, assim sempre se deve ter em mente que a influência da capacitância de PAD é de grande importância no projeto do LNA. Para as simulações do LNA e de todos os outros circuitos de RF estaremos utilizando o modelo para o PAD de RF mostrado na primeira secção desse capítulo.

Separando os termos resistivos e reativos da impedância de entrada e igualando a uma resistência de entrada de 50 $\Omega$ , temos que:

$$R(Z_{in}) = \frac{g_{m1}L_s}{C_{gs}} = 50\Omega$$
(3.8)

$$I(Z_{in}) = \omega_0 (L_g + L_s) - \frac{1}{\omega_0 C_{gs}} = 0$$
(3.9)

Na saturação o valor de Id,  $g_m$  e Cgs valem respectivamente (Grebene, 2002):

$$I_d = K_{PN} \frac{W}{L} (V_{gs} - V_{th})^2$$
(3.10)

$$g_{m1} = K_{PN} \frac{W}{L} (V_{gs} - V_{th})$$
(3.11)

$$C_{gs} = \frac{2}{3}C_{OX}WL + C_{GSO}W \tag{3.12}$$

O casamento na saída é realizado pelo acoplamento entre Ld e o capacitor de bloqueio para o próximo estágio (*mixer*). Isso é possível, pois o processo da AMS possui duas camadas de *poly* (poli-silício) e pode-se assim implementar um capacitor entre as camadas de *poly* isoladas do substrato através de um poço N ligado ao Vdd, fazendo o papel de um diodo reverso. Normalmente em um processo CMOS que possui somente uma camada de *poly* (como por exemplo um processo baseado exclusivamente em CMOS digital), o capacitor é implementado entre o *poly* e o poço N, o qual possui uma elevadíssima capacitância parasita para o substrato, assim uma rede de adaptação baseada no modelo  $\pi$  com uma divisão capacitiva torna-se inevitável (Hung et al., 1998).

O circuito integrado foi fabricado na tecnologia  $0.35\mu$ m da AMS, sendo que os principais parâmetros elétricos utilizados nos cálculos iniciais foram extraídos do manual da *foundry* e estão resumidos na Tabela 3.2 para os transistores canal N e na Tabela 3.3 para os transistores canal P (AustriaMicroSystems, 2005b).

Parâmetro	$S {\it i}m bolo$	Mínimo	Típico	Máximo	Unidade
Fator de ganho	$K_{PN}$	150	170	190	$\mu A/V^2$
Tensão de threshold	$V_{T0N}$	0,4	$_{0,5}$	$0,\!6$	V
Fator de efeito de corpo	$\gamma_N$	0,48	$0,\!58$	$0,\!68$	$V^{1/2}$
Mobilidade efetiva	$\mu_{0N}$	-	370	-	$cm^2/V.s$
Capacitância do Óxido	$C_{OX}$	4,26	$4,\!54$	$4,\!86$	$fF/\mu m^2$
Cap. do Óxido (overlap)	$C_{GSON}$	$0,\!105$	$0,\!120$	$0,\!134$	$fF/\mu m$

Tabela 3.2: Parâmetros dos transistores NMOS.

Tabela 3.3: Parâmetros dos transistores PMOS.

Parâmetro	$S {\it i}m bolo$	Mínimo	Típico	Máximo	Unidade
Fator de ganho	$K_{PP}$	48	58	68	$\mu A/V^2$
Tensão de threshold	$V_{T0P}$	-0,55	-0,65	-0,75	V
Fator de efeito de corpo	$\gamma_P$	-0,32	-0,40	-0,48	$V^{1/2}$
Mobilidade efetiva	$\mu_{0P}$	-	126	-	$cm^2/V.s$
Capacitância do Óxido	$C_{OX}$	4,26	$4,\!54$	$4,\!86$	$fF/\mu m^2$
Cap. do Óxido (overlap)	$C_{GSOP}$	$0,\!075$	0,086	0,096	$fF/\mu m$

Substituindo os valores fornecidos pela *foundry* e utilizando a frequência de operação de 2,6GHz para os transistores de RF com  $L=0,35\mu m$ , temos que:

$$C_{qs} = 1,125 \cdot 10^{-15} W \quad [\mu m] \tag{3.13}$$

$$g_{m1} = 485,71 \cdot 10^{-6} W(V_{gs} - V_{th}) \quad [\mu m]$$
(3.14)

Substituindo 3.13 e 3.14 em 3.8, temos:

$$L_s = \frac{0,12}{(V_{gs} - 0,5)} \quad nH \tag{3.15}$$

Substituindo 3.13 em 3.9 na frequência de operação, temos:

$$L_g + L_s = \frac{3,33 \cdot 10^{-6}}{W} \quad [\mu m] \tag{3.16}$$

De posse dessas equações de projeto, podemos adotar valores para Vgs e Id e encontramos as outras variáveis de projeto.

Assim, teoricamente, é possível combinar casamento de ruído e de impedância para qualquer consumo do LNA (que depende de  $W \in Vgs$ ). Mas, na prática, quando o consumo é muito baixo, o valor do indutor de degeneração Ls precisa ser muito grande, o que aumenta drasticamente a figura de ruído, impossibilitando a integração do indutor. Por isso, uma simples modificação da estrutura do LNA foi realizada para introduzir mais um parâmetro no projeto e assim poder combinar casamento de ruído e de impedância até nos consumos baixos. Trata-se de um capacitor adicional entre a porta e a fonte de Mn1, o que permite reduzir o valor necessário de Ls.

O projeto partiu do princípio que para a tecnologia AMS, um circuito para ter um bom desempenho deve usar indutores padrão (células fixas) disponibilizadas pela *foundry*, pois a modelagem realizada através de *softwares* para simulação de indutores (por ex. *ASITIC*) não são confiáveis principalmente em alta frequência. Os modelos da *foundry* são baseados em análises estatísticas dos indutores fabricados, o que garante ótima confiabilidade. Foram utilizados somente indutores contruídos com a camada de grosso, ou metal4 na tecnologia adotada, pois isso garante um Qbem maior aos indutores quando comparados com indutores típicos CMOS implementados em camana normal de metal, que via de regra acaba sendo a camada de metal3.

Escolhendo os valores de Ls e Lg como 1,04nH e 12,08nH (valores de células padrão da foundry) respectivamente, encontramos um valor de W=254 $\mu$ m para o transistor Mn1. O capacitor em paralelo ao Cgs apresentou o valor de 100fF para ajustes de casamento do amplificador. Assim, o resultado final de W para Mn1 foi alterado para W=180 $\mu$ m. O valor de Ld foi escolhido como 13,3nH (outro valor de célula padrão) para um perfeito funcionamento na faixa desejada e o ponto de controle Vct foi ligado diretamente a fonte Vdd.

Um LNA cascode possui dois dispositivos para serem polarizados. O transistor do amplificador porta comum pode ser polarizado diretamente pela fonte de tensão, enquanto que o amplificador fonte comum deve ser polarizado por um valor pré-determinado de tensão de acordo com o projeto. Um espelho de corrente CMOS pode ser utilizado para gerar essa tensão de polarização (Grebene, 2002), porém tal configuração é extremamente sensível ao valor do resistor utilizado para a conversão corrente-tensão (Hastings, 2001). Como em nosso processo a precisão dos resistores fabricados é na faixa de +/-20% (AustriaMicroSystems, 2005b; AustriaMicroSystems, 2005c), foi necessário buscar uma nova maneira de gerar essa tensão de polarização que não fosse tão dependente da variação de processo. Para isso, resolveu-se utilizar um divisor de tensão tipo transistor-transistor (Kim et al., 1998).



Figura 3.12: Esquemático do divisor de tensão MOS.

Esta configuração de divisor é a que apresenta como característica o menor consumo de áreas em circuitos integrados e é susceptível apenas a variação de Vth do processo e de uma maneira bem suave (Johns e Martin, 1997). Além disso, optou-se a deixar Vbias independente do divisor, ou seja, Vbias vai direto para um PAD de sinal, enquanto a tensão do divisor vai a outro PAD de sinal. Assim podemos interligar o divisor ao Vbias caso queiramos utilizar um Vbias interno, ou então podemos controlar Vbias externamente. A formulação mostrada na Equação 3.17, é obtida igualando-se as correntes dos dois transistores (Baker et al., 2001).

$$K_{PN} \cdot \frac{W}{L} (V_{div} - V_{th})^2 = K_{PP} \cdot \frac{W}{L} (V_{dd} - V_{div} - |V_{th}|)^2$$
(3.17)

Assim, para a geração de uma tensão de polarização de 953 mV (valor ótimo encontrado em simulação para ajustar aos valores de Ld e Ls) e utilizando os dados da AMS com Vdd=3,3V, temos que Wp/L=20,6/1 e Wn/L=5/1 (valores já otimizados no ADS).

#### 3.5.3.2 Simulações e medidas

Para o circuito em questão utilizaram-se células fixas da *foundry* tais como: Indutores, PADs de alimentação e PADs de RF. Além da utilização das técnicas tradicionais de projeto (Hastings, 2001), o *layout* do circuito foi realizado levando em consideração a orientação física dos transistores (portas alinhados na mesma direção) e observando o sentido da corrente (maior potencial para menor potencial e vice-versa) para melhorar o desempenho (Baker et al., 2001). O efeito parasita que os *wirebonds* (fios de ligação entre o *die* e a placa ou cápsula) agregam ao funcionamento dos circuitos integrados que operam em alta frequência é um fator decisivo em seu projeto e funcionamento. E este efeito é mais fortemente evidenciado no *wirebond* que conecta o terra *on-chip* ao terra da fonte de alimentação. A corrente no *wirebond* do terra gera uma diferença de potencial flutuante entre o terra *on-chip* e o terra da fonte. Este efeito é conhecido como ground bounce. Sendo assim, todo circuito integrado tem como referencial de potencial um valor flututante de tensão, que depende diretamente da corrente instantânea do circuito.

O mesmo raciocínio segue para o potencial de alimentação do circuito, que é deslocado do potencial absoluto da fonte devido ao *wirebond* conectado no PAD de alimentação. Nesse caso não é o tão crítico, pois a indutância do *wirebond* faz o papel de um pequeno *chock* de RF. Nos PADs de RF, o circuito ressonante formado pelo modelo do PAD e o *wirebond* é um filtro seletivo em frequência. Assim, sempre se deve incluir esses efeitos na simulação dos circuitos, bem como otimizar o projeto de maneira a mínimizá-los.

Uma solução ótima é a colocação de vários *wirebonds* para o terra da fonte, de maneira a diminir a indutância total agregada ao terra do circuito. O *wirebond* tem seu valor de indutância proporcional ao diâmetro e comprimento, sendo que os utilizados nesse trabalho possuem 0,7nH/mm, com comprimento médio de 2mm, o que resulta num valor típico de 1,4nH por fio conectado. Como cada PAD somente suporta um único *wirebond*, a solução adotada é sempre a colocação de vários PADs de terra nos circuitos (em geral de seis a oito PADs em paralelo).

Para a simulação foi utilizado o *software* ADS. Partindo de um circuito preliminar com os valores encontrados no cálculo manual, chegamos a seguinte configuração de circuito otimizada: Lg=12nH, Ls=1,04nH, Ld=13,3nH, Rb=10k $\Omega$ ; Cp=100fF; Mn1  $\rightarrow$  Wt=200 $\mu$ m, L=0,35 $\mu$ m, e ng=40, Mn2  $\rightarrow$  Wt=180 $\mu$ m, L=0,35 $\mu$ m, e ng=36.



(a) LNA fabricado (*die*)

(b) Layout do LNA

Figura 3.13: LNA cascode implementado - 1531 x 1425  $\mu m^2$ .

Na Figura 3.13, são mostrados o *layout* e o circuito fabricado, nos quais podemos notar que os indutores ocupam quase que a totalidade da área ativa do *chip* e toda lateral do mesmo é circundada pelo anel de guarda responsável pela proteção ESD do circuito. Esse circuito foi enviado a *foundry* na base de dados FAPESP-138.

Os circuitos integrados após a fabricação vieram na forma de pastilhas, ou seja, não estavam encapsulados. Para os circuitos integrados de RF é inadequado o uso de circuitos com encapsulamento padrão, como os disponibilizados pelo PMU-FAPESP, pois introduzem muitos parasitas ao circuito, o que acaba inviabilizando o seu uso, sendo possível somente caracterização DC de amostras encapsuladas. Assim foi necessário a confecção de *jig* de teste em PCB (*Printed Circuit Board*). Para essa placa de testes, as linhas de transmissão são do tipo *microstrip*, ou seja, linhas de transmissão com referência em um plano de terra contínuo no plano inferior da placa, para acessar as entradas e saídas de RF do circuito através de conectores SMA. Na Figura 3.14 é mostrada o *jig* implementado em uma placa de FR4 ( $\varepsilon_r$ =4,8, *h*=1,6mm e  $\delta$  =0,018), com as linha de RF casadas em 50 $\Omega$  (Gupta et al., 1981; Hoffmann, 1987) e utilizando capacitores de bloqueio de 680pF para garantir uma baixa reatância na frequência de interesse. O substrato FR4 possui boas características para transmissão de RF na faixa de interesse (Kretly e Capovilla, 2003a; Kretly e Capovilla, 2003b), além de ser de baixo custo. Esse *jig* de teste, bem como os próximos a serem mostrados nesse trabalho foram confeccionados segundos as diretrizes expostas por Montrose (1999) para projetos em PCB.



Figura 3.14: Jig de testes para o LNA cascode.

Antes de começarmos a apresentar os resultados medidos vamos discutir um pouco sobre a variação do processo e sua influência no projeto e resultados. A Equação 3.10 nos mostra que a corrente de dreno do transistor é diretamente proporcional ao fator de ganho KP, e o mesmo é definido pela Equação 3.18.

$$KP = \frac{\mu_0 \cdot \varepsilon_{ox}}{t_{ox}} \tag{3.18}$$

Onde: o valor de  $\varepsilon_{ox}$  é  $3, 5 \cdot 10^{-13} F/cm$  e os valores de  $\mu_0$  são dados nas Tabelas 3.2 e 3.2.

Observamos que  $t_{ox}$  (espessura do óxido de porta) é inversamente proporcional ao fator de ganho KP, assim podemos concluir que o valor dessa espessura determina a corrente do transistor e consequentemente seu consumo e a sua velocidade de operação. Os circuitos fabricados neste trabalho possuem um processo com espessura de óxido de porta típica de 7,6nm, com variações entre 7,1 a 8,1nm (AustriaMicroSystems, 2005b). Resumidamente a Tabela 3.4 apresenta o efeito da variação da espessura do óxido, que reflete nos dois parâmetros de limites de velocidade do processo em simulação, os parâmetros lento (*slow*) e rápido (*fast*). Nota: Nesse trabalho os três modelos serão sempre referenciados como típico, para o modelo de projeto, *slow* e *fast* para as bordas de simulação, por serem essas as denominações cotidianas e normalmente utilizadas.

Tabela 3.4: Efeitos da variação do processo.

	tox	cgs	Consumo	Velocidade
Slow	Maior	Menor	Menor	Menor
Fast	Menor	Maior	Maior	Maior

Os primeiros resultados observados do LNA foram os pontos de polarização DC, dos quais foram medidos os valores da corrente do LNA e de sua tensão de polarização de porta. Os resultados foram muito bons e somente com essa análise, se pode concluir que essa rodada de fabricação apresentou um espalhamento do tipo *slow* nos dispositivos, pois o valor da corrente de polarização está abaixo do que foi projetado. Esses resultados podem ser observados na Tabela 3.5.

	Idc	Vbias
	(mA)	(mV)
Típico	$^{7,4}$	953
Slow	$^{4,1}$	997
Fast	14,2	847
$Medido \ #1$	$6,\!66$	962
$Medido \ #2$	$6,\!69$	965

Tabela 3.5: Parâmetros de polarização - Vdd=3,3V.

O fator de estabilidade está acima de um em toda a faixa garantindo a estabilidade do circuito proposto. A simulação do parâmetro de estabilidade para a frequência de operação mostrou que o circuito estava estavél com uma margem de segurança para todos as variações de processo, conforme mostrado na Tabela 3.6.

Tabela 3.6: Parâmetro  $\mu$  de estabilidade em 2,6GHz.

	Típico	Slow	Fast
$\mu$	$1,\!3$	$1,\!68$	$1,\!2$

Essa análise foi realizada utilizando o parâmetro  $\mu(s)$  de estabilidade (Edwards e Sinsky, 1992), parâmetro esse que engloba em um único fator o parâmetro dual *Rollet* (K>1) e as condições auxiliares de estabilidade para se determinar uma estabilidade incondicional. Esse parâmetro é dado pela Equação 3.19.

$$\mu \equiv \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} S_{12}|} \tag{3.19}$$

Onde: \* é o complexo conjugado e  $\Delta$  é o determinante da matriz de parâmetros S.



Figura 3.15: Simulações e medidas do LNA.

A Figura 3.15 mostra os principais resultados do LNA projetado. Através deles, notamos que, pela análise da perda de retorno(S11) que a impedância de entrada do LNA está casada próximo a 2,6GHz, que o LNA tem uma boa isolação reversa (S12) abaixo de 30dB e ganho de aproximadamente 10dB. Como já ressaltado, devido a corrente de polarização estar abaixo do valor típico, essa rodada de fabricação possui espalhamento do tipo *slow*, ou seja, o óxido de porta está mais espesso que o utilizado no projeto. Isso se reflete em todos os parâmetros medidos, alterando suas características quando comparadas aos valores típicos, assim passamos a analisar o projeto considerando como resultados válidos aqueles que estejam entre as duas curvas, a de parâmetros típicos e a de parâmetros *slow*. O *deep* do parâmetro S11 foi deslocado para menores frequências, devido a diminuição do cgs do transistor Mn1, o ganho diminui 5dB devido a diminuição da transcondutância e alteração do casamento para essa frequência. A isolação diminui devido ao aumento do acoplamento proporcionado pelo aumento de *tox*.

#### Cap. 3 Concepção e implementação de circuitos de rádio-frequência

Percebe-se também, que a figura de ruído simulada do LNA atinge um valor na ordem de 2,5dB para os valores de projeto. Cabe ressaltar, que se utilizássemos um indutor Lg externo, poderíamos alcançar uma figura de ruído menor do que o valor médio na faixa de interesse, porém, é idéia do projeto obtermos um circuito totalmente integrado, mesmo que para isso, resulte por obter alguns valores um pouco abaixo do ideal. Na Figura 3.16 é mostrada a medida da figura de ruído do LNA cascode, utilizando os métodos de ganho e de fator Y (maiores detalhes e *setups* de medidas no Apêndice D). Os resultados mostram que, apesar desses dois métodos serem aproximados e as calibrações dos equipamentos não estarem perfeitas, os valores da figura de ruído estão próximos aos valores de projeto para a análise do tipo *slow*. Assim, mesmo sendo essas medidas aproximadas, elas nos mostram o perfeito funcionamento do circuito na faixa de interesse.



Figura 3.16: Figura de ruído medida do LNA.

Ainda na Figura 3.16, podemos reparar em 2,45GHz a interferência da WLAN da FEEC, que mesmo com a blindagem do dispositivo em teste, trouxe variações nas medidas, mas que não chegam a descaracterizá-las, devido a natureza aproximada, conforme já explicitado, da mesma.

Concluindo, na Figura 3.17 temos o desempenho da linearidade do LNA mostrado atravês da análise de IP3. Na Figura 3.17(a) é mostrado o resultado simulado para o projeto, enquanto na Figura 3.17(b) é mostrado os valores medidos para o circuito.


Figura 3.17: Simulações e medidas de IP3 do LNA.

Na Tabela 3.7 estão resumidos os principais fatores de mérito para a análise de linearidade do LNA. Esses valores são obtidos pela verificação direta dos gráficos de IP3. Como a corrente de polarização é menor devido ao espalhamento *slow*, a linearidade do LNA também cai como pode ser confirmado pelos valores tanto de IIP3, quanto do ponto de compressão 1dB. Mais detalhes sobre esses fatores, bem como seus *setups* para medidas podem ser encontrados no Apêndice D.

Tabela 3.7: Linearidade -  $PC_{1dB}$  e IIP3.

	$PC_{1dB}$	IIP3
	(dBm)	(dBm)
Típico	-2,52	9
Slow	-3,93	4,1
Fast	0	11,5
Medido	-5,2	$_{3,9}$

Pelos resultados obtidos verificamos que o LNA cascode projetado está funcionando perfeitamente dentro do esperado, sendo que seu desempenho está dentro da margem prevista devido a variação de processo, se aproximando dos resultados de simulação com parâmetros *slow*, devido a rodada estar com o óxido de porta maior que o de projeto. Cabe ressaltar também que nenhuma alteração foi realizada com o objetivo de se mascarar as medidas como via de regra se faz na caracterização de projetos integrados na tentativa de se corrigir as variações de processo através de alterações nos testes. Como esse circuito será agregados a outros circuitos nos estágios posteriores, não podemos ficar alterando o valor da polarização dos transistores, bem como o valor da fonte de alimentação afim de encontrar os melhores resultados, equivalentes ou até melhores que os de simulação. Reforço que alterando os valores de sua polarização podemos otimizar o desempenho dos circuitos, podendo até superar os de projeto, porém esse típico processo de mascaramento de medidas não será utilizado em nenhum momento (excessão feita ao oscilador em quadratura que apresentou problemas durante a fase de testes de bancada).

## 3.5.4 Amplificador de baixo ruído multiplexado

## 3.5.4.1 Concepção

Nossa proposta, conforme já apresentado na introdução do capítulo, visa o projeto de um amplificador de baixo ruído aliado a um sistema de chaveamento de maneira que se possa gerar um controle do canal a ser utilizado em cada período de tempo, sem a utilização prévia de multiplexador baseado em chaves NMOS, pois as mesmas não apresentam um desempenho satisfatório na faixa de interesse. Assim, primeiramente se projetou o sistema de amplificação de um único canal, o que foi denominado LNA *Core*. Este amplificador é do tipo cascode com degeneração indutiva, projetado para atingir o casamento de impedância de 50 $\Omega$  na entrada, característica essa necessária para uma perfeita interação com a antena, bem como a minimização da figura de ruído (Razavi, 1998). É basicamente o mesmo projeto de LNA cascode apresentado na secção anterior, porém com uma alterações em sua concepção, sendo a mesma, o acréscimo na junção dos dois transistores do amplificador cascode de um transistor *shunt* acionado com o sinal complementar do controle do estágio porta comum do par cascode (MnS1...4  $\rightarrow$ Wt=40 $\mu$ m, L=0,35 $\mu$ m e ng=8).

Na Figura 3.18 temos o esquemático do LNA multiplexado, no qual são utilizados quatro canais nsse projeto em específico, mas a generalização para N canais pode ser feita aumentandose o número dos braços de amplificação. Assim, todos os elementos do LNA *Core* são replicados de um a quatro, com exceções ao capacitor Cd e aos indutores Ld e Ls que são comum a todos os *cores*.

As quatro entradas são Vin1, Vin2, Vin3 e Vin4 por meio das quais os sinais de RF captados pelas antenas do arranjo alimentarão o LNA. Os sinais de acionamento dos canais são Vct1, Vct2, Vct3 e Vct4. Os indutores de entrada Lg1, Lg2, Lg3 e Lg4 fazem o papel de adaptadores da parte reativa da impedância de entrada de cada canal do amplificador na frequência de interesse. O casamento de impedâncias é completado por Ls, projetado para casar a parte resistiva da impedância de entrada em 50 $\Omega$ , sendo comum a todas os canais, assim como o indutor de sintonia Ld que refina a frequência de operação. O capacitor Cd serve como filtro de desacoplamento de RF da linha de alimentação. Os resistores Rb1, Rb2, Rb3 e Rb4 são resistores de bloqueio de RF, para inserção da tensão de polarização Vbias no circuito.

Os transistores Mn1, Mn3, Mn5 e Mn7 constituem os amplificadores fonte comum múltiplos, enquanto os transistores Mn2, Mn4, Mn6 e Mn8 constituem os amplificadores porta comum dos pares cascode em paralelo. Esses mesmos transistores Mn2, Mn4, Mn6 e Mn8 são utilizados



(b) Esquemático em bloco

Figura 3.18: Esquemáti<br/>gg do LNA multiplexado.

como chave do sinal de RF, sendo um sinal de controle distinto aplicado em cada transistor, acionando o amplificador em nível alto. Para aumentarmos sensivelmente a isolação dos canais não ativados são utilizados os transistores *shunt* Mns1, Mns2, Mns3 e Mns4 na junção dos dois transistores do par cascode de maneira a ser acionado por um sinal de controle barrado gerado pelos circuitos inversores.

# 3.5.4.2 Simulações e medidas

O *layout* elaborado para esse projeto é mostrado na Figura 3.19 e o projeto foi fabricado na base de dados FAPESP-141. Utilizaram-se seis PADs de terra para diminuir a indutância relativa entre o terra do substrato e o terra do *setup* de medida, garantindo assim a funcionalidade do circuito. Além das células fixas e das mesmas diretrizes utilizadas no *layout* do projeto do LNA cascode, devido a grande quantidade de indutores integrados presentes nesse projeto, adotou-se uma distância em torno do raio do indutor como sendo a distância ótima entre os mesmos (Lee, 1997), evitando assim problemas de acoplamento mútuo e ao mesmo tempo não gerando um disperdício de área de integração.



Figura 3.19: Layout do LNA multiplexado.

Na Figura 3.20 são mostrados o circuito fabricado, bem como seu *jig* de testes, composto das entradas dos quatro canais, mais seus respectivos sinais de acionamento. O *jig* de testes também seguiu as mesmas diretrizes já apresentadas para o LNA cascode.



(a) LNA multiplexado fabricado (die) - 2230 x 1580  $\mu m^2$ 





Figura 3.20: LNA multiplexado implementado.

Os primeiros resultados observados foram os pontos de polarização DC, com as medidas dos valores da corrente do LNA e de sua tensão de polarização de porta. Os resultados foram muito bons, porém somente com essa análise já se pode concluir que essa rodada de fabricação apresentou um espalhamento do tipo *slow* nos dispositivos, pois o valor da corrente de polarização está abaixo do que foi projetado. Assim como aconteceu no caso do LNA cascode. Esses resultados podem ser observados na Tabela 3.5. Como em cada período de tempo somente um canal está ativo, temos a corrente fluindo num *Core* apenas e dessa maneira os valores de corrente são aproximadamente os mesmo encontrados para o LNA cascode.

	Idc	Vbias
	(mA)	(mV)
Típico	7,4	953
Slow	4,1	997
Fast	14,2	847
$Medido \ \#1$	6,53	964
$Medido \ \#2$	$6,\!56$	959

Tabela 3.8: Parâmetros de polarização - Vdd=3,3V.

A simulação do parâmetro de estabilidade para a frequência de interesse também mostrou-se positiva, ou seja, o circuito estava estavél com uma margem de segurança para todos as variações de processo, excessão feita a variação tipo *fast* que ficou no limite da estabilidade, conforme mostrado na Tabela 3.6.

	Típico	Slow	Fast
$\mu$	1,2	$1,\!36$	1

Tabela 3.9: Parâmetro $\mu$  de estabilidade em 2,6GHz.

A Figura 3.21 mostra os principais resultados referentes ao projeto do LNA, na qual todos os resultados foram obtidos com relação ao canal um do LNA em estado ativo, enquanto que a isolação entre canais foi obtida no canal um com o canal dois ativo.



Figura 3.21: Simulações e medidas do LNA multiplexado.

Os resultados dos outros canais apresentaram valores semelhantes, salvo pequenas diferenças referentes as variações na montagem do *jig* de teste para cada canal e também a variação do comprimento do *wirebond* entre os diferentes canais.

Através da Figura 3.21, notamos que a impedância de entrada do LNA está casada próxima a 2,6 GHz observada pela ressonância em S11, e que o LNA tem uma boa isolação reversa (S12), com ganho de aproximadamente 10dB, enquanto a isolação entre canais está na faixa de 12dB o que garante uma diferença de 22dB entre o canal ativo e os não ativos para os resultados de projeto. Para os resultados medidos, os valores seguem a mesma tendência apresentada para o LNA cascode, pois ambos os circuitos fabricados apresentaram espalhamento do tipo *slow*, assim temos um deslocamento do casamento de impedância para frequências menores que a de projeto (2,25GHz), uma diminuição no ganho devido a diminuição da transcondutância e um aumento da isolação entre canais devido ao aumento do *tox*.

A diferença entre os canais ativo e não ativos se mantém em 22dB, pois apesar da diminuição do ganho, a isolação aumentou, compensando os efeitos. Esse valor de isolação entre canais é confortável para aplicações em sistemas de comunicação (Lee, 1998), mostrando a funcionalidade do projeto apresentado.

Percebe-se também que a figura de ruído do LNA atinge um valor na ordem de 2,6dB para os valores de projeto, conforme mostrado na Figura 3.22(a), pois somente um LNA trabalha em cada período de tempo, assim os outros circuitos em paralelo acabam por não intervir no circuito ativo e o ruído se mantém na mesma faixa que a encontrada pelo LNA cascode.



Figura 3.22: Simulações e medidas da figura de ruído no LNA multiplexado.

A medida da figura de ruído na Figura 3.22(b), mostra que o circuito está apresentando ruído similar a simulação, dentro do esperado para variação de paramêtros tipo *slow*, mesmo sendo utilizado métodos aproximados e não perfeitamente calibrados, conforme já explicitado para o LNA cascode.

Concluíndo os fatores de mérito do circuito proposto, temos na Figura 3.23 o desempenho da linearidade do LNA mostrado atravês da análise de IP3. Na Figura 3.23(a) é mostrado o resultado simulado para o projeto, enquanto na Figura 3.23(b) é mostrado sua medida.



Figura 3.23: Simulações e medidas de IP3.

Na Tabela 3.10 apresenta-se os principais fatores de mérito para a análise de linearidade do LNA. Esses valores são obtidos pela verificação direta dos gráficos de IP3. Como a corrente de polarização é menor devido ao espalhamento *slow*, a linearidade do LNA também cai como pode ser confirmado pelos valores tanto de IIP3, quanto do ponto de compressão 1dB.

	$PC_{1dB}$	IIP3
	(dBm)	(dBm)
Típico	-4,3	5,9
Slow	-4	$^{4,5}$
Fast	-3,2	$7,\!5$
Medido	-2,5	$^{4,5}$

Tabela 3.10: Linearidade - PC1dB e IIP3.

Esse projeto trata-se de um projeto inovador de um LNA com chaveamento para a realização de multiplexação de sinas em RF, tanto que fez jus a uma patente requerida pela FEEC-UNICAMP junto ao INPI (Instituto Nacional de Proteção Itelectual)(Protocolo 018070016452), assim mostraremos a transição na saída devido ao chaveamento sequencial de dois canais adjacentes. A transição mostrada na Figura 3.24 é entre os canais quatro e um, ao fim do primeiro ciclo dos canais, para um ângulo de excitação do arranjo de 120°. Pela mesma, notamos que o tempo de transição simulado com parâmetros típicos é em torno de 1ns com uma variação de amplitude de 400 a -700mV, mostrando a rápida e sutil transição entre os canais, o que viabiliza a funcionalidade do circuito proposto.



Figura 3.24: Destaque para o chaveamento entre canais adjacentes.

# 3.6 Mixer downconverter

# 3.6.1 Introdução

A conversão de frequências efetua uma translação no espectro do sinal de RF para uma frequência mais baixa e fixa, sendo possível nessa frequência obter seletividade e ganho necessários para os estágios subsequentes do receptor. Um dispositivo não linear faz o produto do sinal de RF pelo sinal do oscilador local resultando em sua saída, entre outras componentes, aquelas correspondentes à soma e a diferença de frequências. Considere o produto de dois sinais  $a \in b$  mostrado na Equação 3.21.

$$a \cdot b = Asen(\omega_1 t + \phi_1) \cdot Bsen(\omega_2 t + \phi_2) \tag{3.20}$$

A aplicação de uma propriedade trigonométrica após a multiplicação resulta na Equação 3.21 que apresenta as duas componentes geradas por um dispositivo ideal. Por razões de seletividade, o termo que interessa sempre é a diferença e não a soma das frequências originais que será selecionado através de um filtro ou sistema passa-baixas.

$$a \cdot b = -\frac{AB}{2} \left[ \cos\left( (\omega_1 + \omega_2) t + (\phi_1 + \phi_2) \right) - \cos\left( (\omega_1 - \omega_2) t + (\phi_1 - \phi_2) \right) \right]$$
(3.21)

Na teoria para se fazer a conversão de frequências, normalmente é utilizado um dispositivo não linear de característica quadrática, o que não ocorre na prática. Assim, se o dispositivo não linear apresentar característica de transferência possuindo grau N, no processo de conversão outras componentes aparecerão e eventualmente poderão coincidir com a frequência de interesse ou aparecer perto da mesma causando distorção. Como nesse trabalho estamos utilizando transistores MOS, o *mixer* a ser proposto apresenta algumas vantagens com relação aos implementados com transistores bipolares. Podemos listar algumas delas:

- A característica de transferência  $Id \times V_{gs}$  do transistor MOS, na região de saturação é aproximadamente quadrática, enquanto que o bipolar tem característica  $Ic \times V_{be}$  aproximadamente exponencial. Assim, o transistor MOS apresenta menor distorção harmônica;
- O transistor MOS tem melhor desempenho com relação ao ruído gerado internamente;
- O transistor MOS apresenta alta-impedância entre porta e fonte. Isso torna os projetos do amplificador de RF e do oscilador local independente do *mixer*, o que é uma grande vantagem durante a realização de um projeto com diversos sub-circuitos.

Dentre as diversas topologias de *mixers*, a topologia duplamente balanceada é a que possui maior isolação entre as portas, rejeição ao ruído em modo comum, maior linearidade e menor intermodulação (Lehne et al., 2000). Nessa linha, a célula de *Gilbert* é a que vem predominando nas arquiteturas dos circuitos integrados. Sua escolha acaba sendo inevitável, pois trata-se de uma estrutura inerentemente balanceada, que dispensa elementos reativos e possui um bom desempenho de ruído e de ganho de conversão. Assim, na última década, as pesquisas com esse tipo de *mixer* tem se tornado bastante intensas, resultando em modificações com relação a estrutura clássica e fazendo dessa topologia quase que uma unanimidade nas publicações.

Em virtude das vantagens e considerações apresentadas, utilizaremos a topologia de *mixer* duplamente balanceada baseada na célula de *Gilbert* para realizar a conversão do sinal de RF no sistema proposto.

## 3.6.2 Concepção do mixer downconverter

Será apresentado nesta secção o projeto do *mixer* com topologia célula de *Gilbert*, desde os cálculos iniciais até as finalizações com a montagem do *layout*, fabricação e caracterização. O esquemático do *mixer* com topologia célula de *Gilbert* proposto é apresentado na Figura 3.25.



Figura 3.25: Esquemático do mixer.

No projeto é necessária a escolha dos W de Mn1 e Mn2 que proporcione alto  $g_m$ , saturação a um valor baixo de Vds (para diminuir o consumo de potência) e baixo ruído (Gilbert, 1997). Valores grandes de W são interessantes na questão do ruído e um valor ótimo de W com relação ao ruído pode ser estimado inicialmente através dos parâmetros intrínsecos ao dispositivo MOS.

Um valor grande de W também é necessário para que se aumente a corrente, gerando assim um alto  $g_m$ . Classicamente tem-se que W de Mn1 é igual a W de Mn2, como uma regra de ouro para otimização da célula. A Equação 3.22 apresenta uma estimação dos valores do W de Mn1 e Mn2 de maneira a se otimizar o ruído do dispositivo (Lee, 1998).

$$W_{Mn1,2} \approx \frac{1}{3\,\omega_0 \,L \,C_{ox} R_s} \tag{3.22}$$

A Equação 3.23 é obtida através de uma simples análise utilizando o modelo de pequenos sinais para o circuito, desprezando  $C_{gd}$  e assumindo que o nó entre as impedâncias de degeneração dos dois braços do conversor tensão-corrente é um ponto de terra virtual.

$$Z_{in}\left(s\right) = Z_S + \left(\frac{1}{sC_{gs}} + \frac{g_{m1}Z_s}{sC_{gs}}\right)$$
(3.23)

Se a degeneração for realizada por um resistor puro, teremos uma impedância de entrada representada por um circuito série com um resistor e dois capacitores. Se o valor da resistência for alta a reatância em série também será alta ocasionando um grande efeito sobre a impedância de entrada conforme observado na Equação 3.24.

$$Z_{in}(s) = R_S + \left(\frac{1}{sC_{gs}} + \frac{g_{m1}R_s}{sC_{gs}}\right)$$
(3.24)

Para verificar essa influência no funcionamento do *mixer*, foram realizadas simulações variandose o valor da resistência de degeneração de  $1\Omega$  até  $100\Omega$ , de maneira a observar o comportamento do circuito sob duas maneiras. Essas simulações foram realizadas utilizando-se o próprio circuito no qual se retirou o circuito chaveador para analisar apenas o comportamento dos dois conversores, o tensão-corrente (principal responsável pela linearidade do *mixer*) e o corrente-tensão.



Figura 3.26: Comportamento do mixer devido a variação da resistência de degeneração.

O uso de um indutor para realização da degeneração produz uma parte real da impedância não dependente da frequência e uma parte imaginária composta por um circuito ressonante LC, essas constatações podem ser observadas na Equação 3.25, que representa a impedância de entrada de para uma degeneração indutiva.

$$Z_{in}\left(s\right) = \frac{g_{m1}L_s}{C_{gs}} + \left(\frac{1}{sC_{gs}} + sL_s\right)$$
(3.25)

Da mesma maneira que para o resistor puro, para se verificar a influência do indutor como degeneração no funcionamento do *mixer*, foram realizadas simulações variando-se o valor da indutância de degeneração de 1,1nH até 4,7nH, de forma a observar o comportamento do circuito sob duas maneiras. Cabe ressaltar que foram utilizados modelos de indutores integrados da AMS nas simulações, ou seja, esses indutores sobre silício possuem um valor de Q variável e relativamente baixo (Razavi, 1998), assim na verdade essa degeração é composta por um circuito



RL série, o que torna esse tipo de degeneração mais interessante no tocante ao casamento de impedâncias e ajuste da linearidade do circuito.

Figura 3.27: Comportamento do mixer devido a variação da indutância de degeneração.

Essa técnica de degeneração é a mais popular em circuitos integrados de RF e possui como vantagens o fato de um indutor ideal não adicionar ruído ao circuito e reduzir o valor da tensão necessária para o funcionamento do circuito. Por esses fatores e pelo bom desempenho das simulações de linearidade para o circuito é que se adotará esse tipo de degeneração. O inconveniente dessa técnica é sua dependência com relação a frequência de operação (Li et al., 2004).

Quando se utiliza um capacitor para realizar a degeneração, a impedância de entrada passa a ser dada pela Equação 3.26, na qual se nota dois fatores pertinentes a parte real da impedância, o que torna esse tipo de degeneração inviável, por isso não utilizada. A resistência possui valor negativo e é dependente da frequência. Em virtude dessa inviabilidade, não houve a necessidade de se realizar nenhuma simulação com esse tipo de degeneração.

$$Z_{in}(s) = \frac{g_{m1}}{s^2 C_{gs} C} + \left(\frac{1}{s C_{gs}} + \frac{1}{s C}\right)$$
(3.26)

Assim foi escolhida a degeneração indutiva como a mais apropriada para utilização no *mixer* do projeto. Fazendo uma varredura de valores de L no circuito chegamos que o valor de 2nH é ideal para nossa faixa de frequência de interesse. Para casar a impedância de entrada da célula ao valor de 50 $\Omega$  foi necessária a adição de um indutor em série na entrada para eliminar a reatância da mesma, o valor encontrado em simulação é de 13nH, sendo para isso utilizado o indutor integrado *SP133S300T* (lembrando que os indutores são células fixas da *foundry*).

Para o conversor corrente-tensão foi utilizado um resistor como classicamente se utiliza nesse tipo de implementação (Razavi, 1998). Porém o tipo de resistor escolhido foi o implementado com polisilício (poly2), resistor esse que possui 51,28 $\Omega$  por quadrado. Esse tipo de resistor é ideal para esse tipo aplicação pois não apresenta ruído *flicker* (Darabi e Chiu, 2005).

Os elementos do esquemático, depois de otimizado via simulação no ADS, possuem os seguintes valores: Rbias=10K $\Omega$ ; Cb=2pF; R1 e R2=356 $\Omega$ ; L1 e L2=2nH; LG=19nH; Mn1, Mn2, Mn3, Mn4, Mn5, Mn6  $\rightarrow$  Wt=200 $\mu$ m, L=0,35 $\mu$ m e ng=20; Mn7  $\rightarrow$  Wt=30 $\mu$ m m e L=0,35 $\mu$ m; LO Vbias=2,5V; RF Vbias=2,0V; Vbias=2,0V e Vdd=3,3V, sendo que o nível DC na saída de FI foi de 1,1V para esses valores. A corrente em cada ramo da célula é de 3,1mA, perfazendo uma corrente total na célula de 6,2mA.



Figura 3.28: Esquemático do buffer.

Para casar a impedância de saída da célula de *Gilbert*, com a entrada do sistema de medida é necessária a adição de um *buffer* diferencial tipo dreno comum ao sistema, cujo esquemático é mostrado na Figura 3.28. A corrente de polarização de cada ramo foi adotada como metade da corrente da célula, assim após a otimização chegamos aos seguintes valores para os elementos do circuito: MN1 e MN2  $\rightarrow$  Wt=180 $\mu$ m, L=0,35 $\mu$ m e ng=18; MN3 e MN4  $\rightarrow$  Wt=30 $\mu$ m e L=0,35 $\mu$ m e Vbias=1,2V.

Depois de finalizada essa etapa de simulação e otimização do circuito foi confeccionado o *layout* do circuito nos mesmos moldes que já vinham sendo realizados os outros projetos, o qual pode ser observado na Figura 3.29(a). Para a fabricação dos resistores de conversão corrente-tensão da célula foi utilizado *rpoly2* (já explicitado acima), enquanto que os transistores casados do conversor tensão-corrente e do sistema de batimento foram realizados de maneira cruzada (ABAB), conforme pode ser observado no detalhe mostrado na Figura 3.29(b), para diminuir o descasamento devido a gradientes no processo de fabricação entre os braços. No restante do *layout* utilizaram-se montagens padrão.



(b) Transistores em destaque



Esse circuito foi enviado a fabricação na base de dados FAPESP-145. Na Figura 3.30 são mostrados o *mixer* fabricado e seu respectivo *jig* de teste implementado em FR4. Na Figura 3.30, os PADs foram referenciados de acordo com o esquemático apresentado na Figura 3.25, sendo que os dois adicionais Va e Vb são as saídas do divisor transistor-transistor (que seguem a mesma metodologia apresentada para o LNA) usado para gerar as tensões de polarização.



(a) Layout do mixer

(a)  $M\!i\!xer$  fabricado (die) - 1570 x 1560  $\mu m^2$ 



(b) Jig de testes

Figura 3.30: Mixer implementado.

#### 3.6.3 Simulações e medidas

Foram realizadas simulações da célula de *Gilbert* utilizando-se para isso a análise *Harmonic Balance* do ADS, devido a grande diferença de frequência entre o sinal de RF da entrada e a saída de FI no circuito. Foi adotado como frequência de entrada de RF da célula 2,6GHz com uma potência de -20dBm e a frequência do oscilador local 2,599250GHz com potência de -2dBm, resultando numa FI de 750kHz. A primeira análise é a verificação do funcionamento DC do circuito, cujos principais parâmetros estão reunidos na Tabela 3.11. Pela mesma, observamos que o valor da corrente está acima do típico, o que nos mostra preliminarmente que as amostras estão com espalhamento do tipo *fast*. Curiosamente, as amostras dos LNAs estavam com espalhamento do tipo *slow*, sendo que nessa nova rodada o espalhamento trocou de borda.

	Idc	Va	Vb
	(mA)	(V)	(V)
Típico	12,70	$1,\!98$	$2,\!49$
Slow	$9,\!05$	$1,\!97$	$2,\!45$
Fast	$20,\!20$	2	$2,\!60$
Medido $\#1$	$16,\!14$	$1,\!98$	$^{2,5}$
$Medido \ \#2$	$16,\!16$	2	$2,\!52$

Tabela 3.11: Parâmetros de polarização - Vdd=3,3V.

Na Figura 3.31 é mostrado a perda de retorno na entrada do *mixer*, notamos que apesar do pequeno espalhamento *fast* a perda medida continua com um *deep* em 2,6GHz conforme projetado. Pelo gráfico também notamos que o espalhamento tipo *slow*, gera um deslocamento do *deep* para um valor de menor frequência, enquanto que o tipo *fast* gera um deslocamento para um valor maior de frequência.



Figura 3.31: Simulações e medida para a perda de retorno.

O resultado mais importante para o *mixer* está mostrado na Figura 3.32. Nesses gráficos estão mostrados a saída de FI em dois domínios (na frequência e no tempo). Os mesmos nos mostram algumas características do *mixer* como ganho de conversão cujo valor medido foi de 4dBm (PRF=-20dBm e POL=-2dBm nos testes) e a qualidade do sinal convertido.



Figura 3.32: Medidas da saída de FI.

Concluindo os fatores de mérito do circuito proposto, temos na Figura 3.33 o desempenho da linearidade do *mixer* mostrado atravês da análise de IP3. Na Figura 3.33(a) é mostrado o resultado simulado para o projeto, enquanto na Figura 3.33(b) é mostrado a medida para o circuito.



Figura 3.33: Simulação e medida de IP3.

Pela análise dos gráficos, notamos um grande aumento na linearidade do resultado medido em relação ao de simulação, isso se deve ao aumento de corrente do circuito devido a diminuição na espessura do óxido de porta.

Na Tabela 3.12 estão resumidos os principais fatores de mérito para a análise do *mixer*. Esses valores são obtidos pela verificação direta dos gráficos apresentados. Mais detalhes sobre esses fatores, bem como seus *setups* para medidas podem ser encontrados no Apêndice D.

	FI	GC	$PC_{1dB}$	IIP3
	(dBm)	(dB)	(dBm)	(dBm)
Típico	-11,64	8,36	-11,92	-2,90
Slow	-14,21	5,77	-12,17	-2
Fast	-29,82	-9,75	-11,29	$4,\!10$
Medido	-16	4	-6,90	3

Tabela 3.12: Parâmetros do mixer (PRF=-20dBm e POL=-2dBm).

Um dos parâmetros que determina a qualidade do *mixer* é sua figura de ruído. Nos *mixers* existem dois tipos de medidas de figura de ruído: A de banda lateral única (SSB - *Single Side Band*), na qual toda potência de ruído do circuito é referida em relação a uma única porta de entrada e a de banda lateral dupla (DSB - *Double Side Band*) na qual o ruído é dividido e referido com relação a duas portas de entrada, sendo uma porta representando o canal desejado e outra representando o canal imagem. Na realidade, o *mixer* possui uma única porta de entrada e o que se fez no caso do DSB foi explicitar o canal imagem. Para o dispositivo projetado os valores encontrados estão resumidos na Tabela 3.13.

Tabela 3.13: Simulação da figura de ruído do mixer PRF=-20dBm e POL=-2dBm.

	NFdsb	NFssb
	(dB)	(dB)
Típico	$6,\!34$	9,36
Slow	$12,\!29$	$13,\!31$
Fast	$20,\!64$	$23,\!66$

Como pode-se confirmar nos resultados para simulação com modelos típicos, teoricamente a relação entre NFdsb e NFssb é dada pela Equação 3.27 (Lee, 1997).

$$NFssb \approx NFdsb + 3dB$$
 (3.27)

A isolação fornece uma medida da quantidade de potência do sinal injetada em uma porta do mixer será encontrada nas outras portas. A medida mais importante é da isolação entre OL para RF, pois se essa isolação não for adequada, pode aparecer na entrada de RF uma grande parcela do sinal de OL. A presença deste sinal nesta entrada degrada a linearidade do *mixer*, além de poder ocorrer uma emissão pela antena do sinal de OL, caso o LNA a ser acoplado não possua uma boa isolação reversa. As isolações OL para FI e RF para FI não são muito importantes porque estes sinais de alta frequência podem ser facilmente rejeitados pelos sistemas passa-baixas após a saída de FI.

Na Tabela 3.14 são mostrados os valores simulados para os modelos da *foundry*, além do resultado medido (mais detalhes sobre esse tipo de medida, bem como seu *setup* pode ser encontrado no Apêndice D). Analisando a tabela observamos a excelente isolação alcançada em simulação por esse *mixer* duplamente balanceado, porém seus valores medidos, apesar de ainda serem muito bons apresentam uma enorme diferença em relação aos de simulação. Isso se deve principalmente ao acoplamento pelo substrato que não é previsto em simulação e deteriora muito a isolação entre portas em um circuito integrado de RF.

Tabela 3.14: Isolação PRF=-20dBm e PLO=-2dBm.

	OL-RF	RF-OL
	(dB)	(dB)
Típico	-68,50	-31,58
Slow	-67,73	-31,42
Fast	-67,81	-43,32
Medido	-22	-22

Finalizando a análise e caracterizações do *mixer* apresentamos um teste em conjunto, no qual agregamos o LNA multiplexado ao *mixer*, de maneira a verificar o comportamento de FI para um canal nos estados "*ON*"e "*OFF*". Para esse teste escolhemos o canal um para a injeção do sinal de RF. O diagrama em blocos dessa montagem está mostrada na Figura 3.34.



Figura 3.34: Diagrama em blocos do teste.

Na Figura 3.35 é mostrado o resultado obtido tanto no espectro, quanto no tempo. Observamos que a FI está travada em 750kHz e que a diferença entre o canal nos estados "ON" e "OFF" é de 25dB, valor mais que suficiente para aplicações em comunicações móveis. As medidas foram realizadas com o auxílio de um *balun* na saída de FI e o transiente foi medido sobre uma carga de 50 $\Omega$  para garantir a mesma característica de medida tanto no espectro quanto no transiente.



Figura 3.35: Medidas da saída de FI.

Para resumir o teste proposto, apresentamos na Tabela 3.15 um resumo dos resultados medidos, para cada elemento e para o conjunto LNA multiplexado e *mixer*. A diferença entre o ganho total e a isolação total resulta na diferença de 25dB para os dois estados a que o canal estará sujeito durante seu funcionamento.

	S11	Ganho	Isolação	IIP3
	(dB)	(dB)	(dBm)	(dB)
LNA	-10	5	-17	4,5
Mixer	-34	4	-	3
Total	-12	9	-17	-2,8

Tabela 3.15: Resumo das medidas no teste.

# 3.7 Oscilador controlado por tensão

# 3.7.1 Introdução

Oscilador controlador por tensão, ou em inglês VCO (*Voltage Controlled Oscillator*), é uma classe de osciladores cuja frequência de oscilação pode ser alterada dentro de uma determinada faixa. Normalmente existem três tipos de topologia para osciladores controlados por tensão

integrados: Osciladores em anel, osciladores de relaxação e osciladores sintonizáveis (Razavi, 2001).

Os osciladores em anel são constituídos por inversores simples ou diferenciais em um elo fechado de realimentação. Sua implementação integrada é simples e bastante compacta. O controle da frequência é realizado através do controle das correntes sobre os inversores ou então eventualmente pela variação da capacitância de carga dos mesmos. Seu principal problema é o ruído de fase extremamente alto em função do chaveamento contínuo dos inversores, não sendo assim adequado para aplicações de RF (Baker et al., 2001). Porém é indicado para aplicações diversas como, por exemplo, a geração de *clock* para um determinado circuito, como será mostrado e utilizado no Capítulo 4.

Outra topologia é o chamado osciladore de relaxação que trabalha carregando e descarregando um capacitor com corrente constante. Da mesma forma que o oscilador em anel sua sintonia é realizada variando o valor da corrente. Sua fácil integração e tamanho compacto, tornam esse modelo atrativo para integração, porém o alto consumo de corrente necessário para se diminuir o ruído de fase limita sua gama de aplicações em RF.

A terceira topologia são os osciladores sintonizáveis que contém um ressonador podendo ser um tanque LC ou um cristal. O ressonador gera a oscilação e um circuito ativo fornece a energia necessária para compensar as perdas resistivas do ressonador. Uma dificuldade que existe para integrar esse tipo de oscilador é devido à baixa qualidade que ainda existe nos dispositivos passivos integrados, fator esse que está sendo superado dia a dia, porém o problema central desse tipo de oscilador é a grande área de pastilha que é utilizada, devido principalmente ao tamanho dos indutores integrados. Em contra partida possui frequência de oscilação altamente estável, grande pureza espectral e baixa dissipação de potência, o que acaba prevalecendo no final. Assim sendo, esse tipo de oscilador é o mais frequentemente utilizado e adequado hoje em dia para funcionamento em circuitos integrados de RF.

Assim, para este projeto de oscilador controlado por tensão, optou-se pelo uso de um oscilador LC CMOS. O modelo de oscilador LC escolhido foi o par cruzado NMOS, pois além de ser de simples implementação possui saída diferencial (requisito para alimentação do *mixer* a ser projetado na próxima etapa), assim ele foi preterido ao oscilador *Colpitts* (somente *single-ended*) e ao par cruzado CMOS (possui mais elementos ativos, tendendo a um aumento no ruído interno do circuito) (Razavi, 1998; Rohde e Whitaker, 2001).

# 3.7.2 Características teóricas

## 3.7.2.1 Descrição do ruído de fase

Por mais bem projetados que sejam, os osciladores produzem um ruído relativamente alto próximo à frequência de oscilação. Assim a melhor pureza espectral possível é o principal objetivo a ser alcançado em um oscilador. As principais fontes de ruídos são térmicos, 1/f e da alimentação

ou substrato (Everard, 2001). Esses ruídos causam instabilidades na frequência e na amplitude de operação, assim o espectro de frequências de um oscilador real não é somente um simples tom na frequência de projeto, mas um tom com bandas laterais devido a essas fontes de ruído e como essa raias laterais são muito próximas ao tom de interesse não é possível removê-las por meio de filtros, tornando-se, assim uma característica intrínseca dos osciladores e sendo conhecida por ruído de fase.



Figura 3.36: Curvatura típica do ruído de fase da banda lateral como função do desvio em relação a portadora

Quando se utiliza um *mixer* para o batimento de frequências, ocorre também um batimento desse ruído de fase, o que acaba gerando uma FI com o mesmo formato da saia do oscilador local real e consequentemente, quando se toma como referência canais adjacentes a SNR acabase deteriorando. Assim nota-se que quando menor for o ruído de fase do oscilador local, mais próximo podem-se colocar os canais adjacentes, melhorando portanto o uso espectral.

Como normalmente para um oscilador o interesse pelo ruído se refere apenas ao ruído agregado ao primeiro harmônico, o ruído de fase é definido como na Equação 3.28, na qual foi caracterizado por uma densidade espectral de ruído dada em dB/Hz.

$$L\left\{\Delta\omega\right\} = 10\log\left(\frac{P_{bandalateral}\left(\omega_0 + \Delta\omega, 1Hz\right)}{P_p}\right)$$
(3.28)

Onde:  $P_{bandalateral} (\omega_0 + \Delta \omega, 1Hz)$  representa a potência da banda lateral medida a uma distância  $\Delta \omega$  da portadora com uma largura de banda de 1Hz,  $P_p$  representa a potência total do sinal.

Sendo rigoroso, o  $L \{\Delta \omega\}$  é dependente da variação de fase e de amplitude e não somente da variação de fase. Porém, essas variações de amplitude podem ser eliminadas por um *buffer* de saída, que acaba por fazer um papel de limitador, e o  $L \{\Delta \omega\}$  se deve principalmente ao ruído

lateral de uma banda (SSB) e assim o mesmo é proporcionado basicamente pela variação de fase e pode ser corretamente referido como ruído de fase.

A Figura 3.36 mostra uma curva típica de ruído de fase na qual se destacam três regiões distintas. A primeira região mostra um ruído de fundo plano para frequências longe da frequência de oscilação, na segunda a densidade espectral de potência é proporcional a  $1/\Delta\omega^2$  (rampa de 20dB/década) devido às fontes de ruído branco e a terceira região a densidade é proporcional a  $1/\Delta\omega^3$  (rampa de 30dB/década) devido a soma do ruído branco com o efeito do ruído 1/f.

# 3.7.2.2 Modelo linear invariante no tempo

As conclusões anteriores são baseadas em sistemas LTI (*Linear Time Invariant* - Linear Invariante no Tempo), um dos modelos mais conhecidos e consolidados para o ruído de fase em sistemas LTI que foi proposto por Leeson (1966) e foi posteriormente expandido por Craninckx e Steyaert (1998). Esse modelo fornece um ruído de fase que é apresentado na Equação 3.29.

$$L\left\{\Delta\omega\right\} = 10\log\left[\frac{2FkT}{P_p}\left(1 + \left(\frac{\omega_0}{2Q_L\Delta\omega}\right)^2\right)\left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|}\right)\right]$$
(3.29)

Onde: F é um parâmetro empírico chamado fator de excesso de ruído do dispositivo, k é a constante de *Boltzmann*, T é a temperatura absoluta,  $P_p$  é a potência da portadora,  $\omega_0$  é a frequência de oscilação,  $Q_L$  é o fator de qualidade do tanque do dispositivo,  $\Delta \omega$  é o desvio com relação a portadora,  $\omega_{1/f^3}$  é a frequência do joelho existente entre a transição de  $1/f^2$  para  $1/f^3$ .

Observando esse modelo nota-se que a região  $1/f^2$  depende por um lado do fator de qualidade do tanque e por outro pela amplitude. O ruído 1/f é baseado principalmente por efeito de superfície no transistor e esse fato acaba sendo mais preocupante em transistores MOS, pois novos processos com a diminuição do comprimento de canal, tendem a proporcionar transistores com o joelho da região 1/f bem acima de 1MHz (Klumperink et al., 2000).

A Equação 3.29 descreve resumidamente todos os processos que acabam por interferir gerando o ruído de fase do oscilador. A equação passa informações ao projetista de como otimizar o ruído de fase. Entretanto pela existência do fator F, a fórmula é essencialmente empírica. Por ela, um aumento do fator de qualidade do tanque resulta numa diminuição do ruído de fase, portanto uma maneira de se diminuir o ruído de fase seria o aumento do  $Q_L$  do circuito, porém normalmente esse fator é fixo para uma determinada tecnologia, não tendo a projetista autonomia para alterar ou melhorar essa característica. Uma outra maneira seria aumentar a excursão do sinal de saída, pois pela fórmula o ruído de fase é inversamente proporcional à potência de saída.

#### 3.7.2.3 Modelo linear variante no tempo

Além desse modelo LTI, existe outro modelo bem mais recente chamado LTV (*Linear Time Variant* - Linear Variante no Tempo) que foi proposto por Hajimiri e Lee (2001) levando em

conta essa característica que foi negligênciada pelo modelo LTI. O modelo foi proposto após a observação que os osciladores mostravam ciclos periódicos de sensibilidade ao ruído. Para descrever esse modelo utiliza-se um circuito LC em paralelo com uma fonte de ruído  $\delta (t - \tau)$ , no qual em momentos distintos dentro do mesmo período de oscilação, observa-se que o efeito do ruído é diferente em cada um deles, o que prova que o ruído é variante com o tempo.

Para uma perturbação de teste aplicada no pico de oscilação a amplitude é alterada aumentando seu valor, mas a fase permanece inalterada. Porém, quando se aplica a mesma perturbação no cruzamento de zero da oscilação, a fase será alterada enquanto que a amplitude apresentará uma variação desprezível.

A sensibilidade do oscilador no tempo é periódica e chamada ISF (*Impulse Sensitivity Function* - Função de Sensibilidade ao Impulso), cujo símbolo é  $\Gamma(\omega_0 t)$ , na qual  $\omega_0$  é a frequência de oscilação. A ISF é adimensional com frequência e amplitude independentes, de período  $2\pi$  e descreve a variação de fase gerada por um pulso aplicado em  $(t - \tau)$ . Pode-se provar teoricamente que a ISF de um sinal senoidal puro também será um sinal senoidal, porém atrasado em 90°. A sensibilidade periódica de fase (Hajimiri e Lee, 2001), em termos da resposta ao impulso de fase variante no tempo é expressa pela Equação 3.30.

$$h_{\phi}(t,\tau) = \frac{\Gamma(\omega_0 t)}{q_{\max}} u(t-\tau)$$
(3.30)

Onde:  $q_{max}$  é a máxima carga armazenada no ressonador e u(t) é um degrau unitário. Ainda no livro de Hajimiri e Lee (2001) é mostrado que o ruído de fase do oscilador é proporcional ao valor RMS (*Root Mean Square*) da função ISF, sendo essa afirmação descrita na Equação 3.31.

$$L\left\{\Delta\omega\right\} = 10\log\left(\frac{\Gamma_{rms}^2}{q_{\max}^2}\frac{\overline{i_n^2}/\Delta f}{2\Delta\omega^2}\right)$$
(3.31)

Onde:  $\overline{i_n^2}$  é a densidade espectral de potência da fonte de ruído,  $\Gamma_{rms}$  é o valor RMS da ISF e  $\Delta \omega$  é a distância da frequência de oscilação.

A principal vantagem dessa nova teoria é o fato de apresentar uma formulação para o ruído de fase do oscilador que não precise de um fator de ajuste empírico como acontecia no caso da equação do modelo LTI. Assim o valor da ISF, em conjunto com o conhecimento de todas as fontes de ruído (internas e externas) agregadas ao oscilador, permite ao projetista encontrar teoricamente uma perfeita predição do valor do ruído de fase.

Embora, devido a não existência de um fator empírico, se tenha a impressão que essa formulação LTV seja muito mais vantajosa que a LTI, na verdade, temos um novo problema de outra ordem, que é a determinação da ISF. A obtenção da ISF é baseada somente na simulação do circuito já pronto como um todo e a expressão analítica da ISF é extremamente complexa e somente algumas aproximações foram realizadas para ela. Os autores Hajimiri e Lee (2001) propõem uma maneira de se prever o valor da ISF para um oscilador em anel e afirma que para um oscilador LC, o  $\Gamma_{rms}$  é igual a 1/2, válida somente se forem realizadas várias simplificações.

Entretanto, como a ISF pode ser medida, ela é um bom fator para análise de desempenho e não de projeto de osciladores. Por exemplo, através da análise das ISF de dois osciladores distintos, podemos perceber qual deles é mais sensível ao ruído, pode-se otimizar um circuito já pronto, mas durante o projeto não existe uma maneira de se melhorar a ISF do circuito.

Devido a essa não aplicabilidade ao projeto, não nos aprofundaremos mais no modelo LTV, no qual maiores detalhes podem ser facilmente obtidos nas referências apresentadas. O projeto será baseado no modelo LTI expandido (Craninckx e Steyaert, 1998).

#### 3.7.2.4 Modelo linear invariante no tempo expandido

Os autores Craninckx e Steyaert (1995) fazem, por meio de um modelo linear invariante no tempo, uma análise simples e funcional do oscilador. O modelo parte de um circuito LC clássico representado por f(s) e um transcondutor com ganho linear  $g_m$  representado por a(s) em malha fechada conforme mostrado na Figura 3.37. Sua função de transferência é dada pela Equação 3.32, sendo assumido o valor unitário em malha aberta na frequência de interesse satisfazendo assim o critério de *Barkhausen*.

$$H(s) = \frac{Y(s)}{X(s)} = \frac{a(s)}{1 - a(s)f(s)}$$
(3.32)

Na prática devido as não linearidade existentes num oscilador, normalmente essa magnitude é escolhida maior que um para assegurar que efetivamente o módulo de a(s) f(s) seja sempre maior que um (Phillips e Kundert, 2000).



Figura 3.37: Modelo linear ideal realimentado

O modelo mostrado na Figura 3.38 considera o oscilador como a conexão de dois blocos: um passivo, o circuito ressonante, e outro ativo. O circuito ressonante é um tanque simples cuja resistência parasita é dada por  $R_R$ , enquanto o circuito ativo gera uma impedância negativa  $R_A$ 

no valor de  $-R_R$ , assim a resistência equivalente vista pelo tanque é infinita. O tanque sozinho não consegue oscilar, pois uma parte da energia armazenada em cada ciclo é dissipada por  $R_R$  e essa é a função prática do circuito ativo, repor essa energia em cada ciclo de maneira que uma oscilação estável possa ocorrer.



Figura 3.38: Modelo de uma porta para oscilador de resistência negativa

Esse modelo para ser validado requer que todas as resistências parasitas do tanque sejam transformadas numa resistência efetiva (equivalente a todas as resistências do tanque) que possa ser compensada pelo circuito ativo e essa aproximação é válida somente perto da ressonância, cujo valor para o circuito tanque LC é dado por  $\omega_0 = 1/\sqrt{LC}$ .

A resistência efetiva equivalente a todas as resistências do tanque é definida pela Equação 3.33, como sendo a soma de todas as resistências parasitárias (Craninckx e Steyaert, 1995).

$$R_{eff} = R_C + R_L + \frac{1}{R_{p} \cdot (\omega_0 C)^2}$$
(3.33)

Assim pode-se definir o ganho necessário do circuito ativo para repor essa perda devido a resistência efetiva e obter uma função de transferência igual a um na frequência de ressonância, sendo esse ganho dado pela Equação 3.34.

$$G_M = R_{eff} \cdot (\omega_0 C)^2 \tag{3.34}$$

Outro fator que entra no equacionamento do ruído de fase é o ruído gerado pelo elemento ativo, esse ruído pode ser representado por uma fonte de corrente corrente convencional cujo valor é dado pela Equação 3.35.

$$\frac{\overline{di}_{G_M}^2}{df} = 4kT.F_{G_M}.G_M \tag{3.35}$$

Onde:  $F_{G_M}$  é o fator de ruído do amplificador e  $G_M$  é dado pela Equação 3.34.

Como nos circuitos reais há necessidade que a transcondutância do circuito ativo seja maior que a definida teoricamente para que possa assegurar uma boa condição de inicialização (*start-*up) ao oscilador, deve-se incluir essa diferença, que também se expressará como um aumento do ruído do amplificador, como sendo um fator empírico de juste em relação ao ruído do amplificador teórico, ou seja, podemos definir um fator  $A = \alpha F_{G_M}$ , para o ajuste empírico do equacionamento do ruído de fase do oscilador.

De posse da resistência efetiva, dada pela Equação 3.33, e do ruído gerado pelo elemento ativo, dado pela Equação 3.35 (colocando-se o fator de ajuste empírico), pode-se calcular a função de transferência total para a saída do circuito levando-se em conta cada uma dessas fontes de ruído, sendo essa função dada pela Equação 3.36.

$$\frac{\overline{dV}^2}{df}(\omega_0 + \Delta\omega) = (A+1) kT R_{eff} \left(\frac{\omega_0}{\Delta\omega}\right)^2$$
(3.36)

Assim, a densidade espectral de ruído de fase pode ser definida pela Equação 3.37, obtida através da integração em uma largura de banda de 1Hz da função de transferência do ruído, dada pela Equação 3.36, e a divisão pela potência da portadora.

$$L\left\{\Delta\omega\right\} = 10\log\left(\frac{2KT.R_{eff}\left(A+1\right)\left(\frac{\omega_{0}}{\Delta\omega}\right)^{2}}{V_{a}^{2}}\right)$$
(3.37)

Onde:  $V_a^2$  é a amplitude da oscilação e A é o fator de ajuste empírico.

### 3.7.3 Oscilador convencional

## 3.7.3.1 Concepção

O projeto escolhido é basicamente um circuito tanque sintonizado na frequência de interesse e um par de transistores de maneira a gerar uma resistência negativa que compense as resistências parasitas do circuito tanque. O valor aproximado dessa resistência, adotando-se o modelo do transistor como sendo uma fonte ideal e assumindo um valor de  $R_{ds}$  muito grande, é dado pela Equação 3.38, e devido a ela, os osciladores com esta topologia são denominados "osciladores" de  $g_m$  negativo.

$$R_{NMOS} \approx \frac{-2}{g_m} \tag{3.38}$$

O esquemático do circuito oscilador proposto pode ser observado na Figura 3.39. O circuito possui uma simetria lateral no qual pode-se observar que o circuito tanque é composto pelos dois indutores L e pelos dois varactors JVAR. O papel dos varactors é mudar a frequência de ressonância em função da tensão de controle aplicada, pois o varactor representa para o circuito uma capacitância que é função dessa tensão de controle.



Figura 3.39: Esquemático do VCO LC CMOS

O transistor PMOS Mp é uma fonte de corrente para polarizar o oscilador, enquanto os dois circuitos laterais são *buffers* implementados com acoplamento AC em relação ao oscilador e implementados na configuração dreno comum polarizado com a mesma corrente do núcleo do oscilador, para garantir uma baixa impedância (na ordem de 50 $\Omega$ ) na saída do circuito.

Para o projeto, utilizamos nos cálculos iniciais a teoria desenvolvida pelo modelo LTI expandido, que apesar de não ser tão precisa quanto a do modelo LTV e possuir um fator empírico de ajuste é mais adequado para projeto, devido a não possibilidade do cálculo da ISF do modelo LTV.

Considerando a frequência de ressonância em 2,6GHz, calculamos a relação entre L e C do tanque, sendo essa relação dada pela Figura 3.40.

Pelo gráfico escolhemos um valor total de indutância de 4,2nH de maneira a que cada indutor do circuito possua um valor de 2,1nH, valor esse adotado devido a ser o valor da célula SP021S200T da AMS, que possui um fator de qualidade 7,8 (valor excelente para indutores integrados), e não irá carregar muito o valor da capacitância para o circuito.



Figura 3.40: Capacitância x Indutância para f=2,6GHz.

Como o valor do Q do indutor integrado da *foundry* é definido pela relação entre a parte imaginária e real do componente, rearranjando essa formulação encontramos pela Equação 3.39 o valor da resistência do indutor na frequência de interesse.

$$\operatorname{Re}(z) = \frac{\operatorname{Im}(z)}{Q} = \frac{2\pi \cdot 2, 6G \cdot 2, 1n}{7, 8} = 4, 4\Omega$$
(3.39)

No projeto considera-se que a resistência efetiva do tanque  $R_{eff}$  é dominada pela resistência série do indutor, devido ao mesmo ser o elemento com pior fator de qualidade. Essa aproximação é válida, pois as eventuais diferenças são compensadas durante a otimização via simulação do dispositivo. Como os dois indutores estão em série o valor total de  $R_{eff}$  é igual a 8,8 $\Omega$ .

Para manter a frequência de ressônancia em 2,6GHz pelo gráfico da Figura 3.40, o valor capacitância total do circuito deve ser igual a 0,89pF. Esse valor é obtido pela associação paralela do capacitor com as capacitâncias parasitas agregada ao tanque LC (principalmente ao indutor) (Razavi, 1998). Numa primeira aproximação podemos considerar que haja uma relação 1:1 entre elas, que resulta num valor aproximado de 0,44pF para o capacitor na ressonância. Pela simetria do circuito dado pela Figura 3.39, o capacitor, na verdade, é formado por dois elementos em série, consequentemente o valor de cada elemento passa a ser igual ao valor inicial calculado para a capacitância, sendo esse valor 0,89pF.

Em circuitos integrados de RF, a implementação do oscilador com frequência de operação controlada é de fundamental importância, pois a implementação de osciladores de frequência fixa é impraticável por dois motivos: primeiro, por via de regra, os sistemas são sintonizáveis devido à vários canais dentro de uma faixa de operação, a qual é normalmente muito menor que a frequência central de operação e, segundo, a variação do processo de fabricação torna obrigatório um ajuste externo da frequência, senão nunca se poderia garantir qual seria a frequência de operação do dispositivo, podendo ela cair em qualquer frequência dentro do limite de operação entre os modos *slow* e *fast* do dispositivo.

Devido à natureza do circuito tanque, poderíamos variar a frequência de operação variando o valor do indutor ou do capacitor. Não temos disponíveis ainda indutores integrados variáveis, assim necessitamos obrigatoriamente variar o capacitor do circuito sintonizável.

No processo CMOS são disponíveis normalmente dois tipos de varactors: varactors de junção PN (áreas de implantação  $P^+$  e  $N^+$  dentro de um mesmo poço N) e os varactors MOS (implementados com transistores PMOS). Como estamos utilizando a tecnologia S35 BiCMOS, temos a possibilidade de lançar mão de um JVAR (*Junction Varactor - Varactor* de junção) que é um varactor de junção PN, que utiliza o  $P^+Bipolar$  e o  $N^+Sinker$  para implementar o diodo de junção, o qual possui um desempenho melhor (maior faixa de operação e Q mais elevado) que os citados anteriormente na frequência de interesse. Por esse motivo tal dispositivo foi preterido para a implementação integrada.

Para que o oscilador possa variar de uma frequência mínima até uma frequência máxima de operação de projeto, a variação de capacitância do dispositivo deve respeitar a Equação 3.40.

$$\Delta C > C \frac{f_{\max} - f_{\min}}{f_0} \tag{3.40}$$

Os varactors JVAR estão polarizados reversamente e foram implementados de uma maneira diferencial alternando regiões  $P^+$  e  $N^+$ . Cada região possui  $70\mu m^2$  de área com uma largura de 1,  $4\mu m$  por um comprimento de  $50\mu m$ . Esse tipo de arranjo foi adotado pela *foundry* devido a garantir uma melhor simetria entre os diodos aliada a um fator de qualidade maior (Porret et al., 2000).



Figura 3.41: Características do varactor.

A estrutura é pré-definida pela *foundry*, ou seja, o usuário do modelo de simulação tem somente um grau de liberdade, que é o número de regiões dentro do poço N (AustriaMicroSystems, 2005c). Em nosso projeto adotamos oito áreas, perfazendo um comprimento total de  $400\mu m$ , o que representa um valor de capacitância entre 0,5pF até 1,5pF, com a variação da tensão de controle entre 0 e 3,3V.

Para o projeto do oscilador foi utilizada a Equação 3.37, na qual o valor de *Va* é dado pela Equação 3.41, pelo fato do circuito operar na região *current limited* (Hajimiri e Lee, 1999).

$$Va = \frac{2}{\pi} \left( \frac{(\omega_0 L)^2}{R_{eff}} \right) I_{bias}$$
(3.41)

Substituindo a Equação 3.41 em 3.37 e isolando a corrente de polarização, obtemos:

$$I_{bias} = \frac{\pi}{\omega \left(\Delta\omega\right) L^2} \sqrt{\frac{R_{eff}^3 KT \left(1+A\right)}{2 \cdot 10^{\frac{L\{\Delta\omega\}}{10}}}}$$
(3.42)

Para o projeto adotamos um valor empírico igual a 3 e um ruído de fase de -115dB/Hz (valor de utilização geral para sistemas sem fio, pois aqui não estamos preocupados em trabalhar sob condições especificas de nenhum protocolo). Pela Equação 3.42, calculamos o valor da corrente de polarização igual a 2,32mA. Com essa corrente e uma tensão de 2V na porta do transistor Mp, obtemos aproximadamente 190 para a relação W/L de Mp.

A única maneira do circuito oscilar garantidamente é que o inverso do módulo da resitência equivalente do circuito ativo seja maior ou igual ao ganho  $G_M$  (Hajimiri e Lee, 2001), ganho esse necessário para repor as perdas do tanque, essa afirmação é mostrada na Equação 3.43.

$$\left|\frac{1}{R_{NMOS}}\right| \ge G_M \tag{3.43}$$

Utilizando as Equações 3.38 e 3.34 com a aplicação de um fator de segurança 3 (para garantir o *start-up*), obtemos a transconductância mínima dos transistores do par cruzado NMOS, a qual é dada na Equação 3.44.

$$g_m = 6R_{eff} \left(\omega_0 C\right)^2 \tag{3.44}$$

A transcodutância de um transistor MOS operando na região de saturação é dada pela Equação 3.45 (Grebene, 2002).

$$g_m = \sqrt{2KPN\frac{W}{L}I_{ds}} \tag{3.45}$$

Pela união dessas duas equações e isolando-se W/L, obtemos a expressão utilizada para o cálculo da largura de canal, dada na Equação 3.46, cujo resultado é 316.

$$\frac{W}{L} = \frac{18 \left( R_{eff} \omega_0^2 C^2 \right)^2}{KPN \cdot I_{ds}}$$
(3.46)

Os valores otimizados do componentes, visando manter o ruído de fase em -115dBc/Hz (1MHz) e a potência de saída em -2,5dBm, após um processo interativo de ajustes em simulação foram: Lg=2,1nH; C=2pF; Rb=10k $\Omega$ ; Mp  $\rightarrow$  Wt=100  $\mu$ m, L=0,35  $\mu$ m, e ng=20; Mn  $\rightarrow$  Wt=100 $\mu$ m, L=0,35 $\mu$ m, e ng=20; Mn1b  $\rightarrow$  Wt=200 $\mu$ m, L=0,35 $\mu$ m, e ng=20 e Mn2b  $\rightarrow$  Wt=70 $\mu$ m, L=0,35 $\mu$ m, e ng=14. As tensões de polariação foram Vbias=2V, VbiasB1=953mV, VbiasB2=3,3V e Vdd=3,3V, assim obtemos um nível DC na saída de 2,15V.

### 3.7.3.2 Simulações e medidas

Na Figura 3.42 são mostrados os detalhes do *layout* do VCO proposto. Os transistores mostrados na Figura 3.42(a) são referentes ao núcleo do oscilador. Para evitar descasamento foram implementados na forma cruzada ABAB (Hastings, 2001). Complementado os detalhes do *layout* na Figura 3.42(b) é mostrado o *buffer* de um braço do oscilador.



(a) Layout dos transistores





Figura 3.42: Elementos do layout do VCO.

O circuito fabricado é mostrado na Figura 3.43(a), enquanto que o *layout* completo do circuito proposto é mostrado na Figura 3.43(b). O mesmo foi fabricado na base de dados FAPESP-148.



Figura 3.43: VCO implementado.

Na Figura 3.44 é mostrada o *jig* implementado para os testes do oscilador, sendo que em sua saída para fazer a conversão de balanceado para desbalanceado será acoplado um *balun* planar.



Figura 3.44: *Jig* de testes para o VCO.

A primeira análise para verificar o funcionamento do oscilador controlado por tensão é realizada polarizando o circuito e medindo seus níveis DC. Os valores estão resumidos na Tabela 3.16, na qual podemos observar que o valor da corrente medida está um pouco abaixo do valor simulado para parâmetros típicos, mostrando um pequeno espalhamento do tipo *slow* para a amostra. Os valores das tensões de referência do divisor MOS se mantém aproximadamente idênticos, comprovando a boa imunidade às variações de processo desse tipo de estrutura.

	Idc	Va	Vb
	(mA)	(mV)	(V)
Típico	9,33	953	2,0
Slow	$4,\!67$	948	2,03
Fast	21	940	1,94
Medido #1	8,08	943	2,01
$Medido \ \#2$	$^{8,05}$	946	2,01

Tabela 3.16: Parâmetros de polarização do VCO - Vdd=3,3V.

Uma primeira simulação para verificar o funcionamento foi realizada observando as formas de ondas de saída no domínio do tempo, ou seja, a realização de simulação transiente do circuito. A simulação foi realizada utilizando-se parâmetros típicos e o circuito foi polarizado com Vdd=3,3V, Va=953mV, Vb=2V e considerou-se uma tensão de controle de 950mV, tensão essa necessária para que a frequência de oscilação fosse de 2,6GHz.

Após a verificação do circuito no domínio do tempo, conforme mostrado na Figura 3.45, realizou-se também a simulação no domínio da frequência através do uso da ferramenta *Harmonic Balance* do ADS, mostrada na Figura 3.46. Analisaram-se as formas de onda na saída diferencial do oscilador (VP-VN) e na saída do *buffer*, após a conversão realizada pelo *balun*. A saída do *balun* foi carregada com uma carga de  $50\Omega$ , equivalente ao analisador de espectro que será utilizado nos testes.



Figura 3.45: Simulação da forma de onda na saída do oscilador controlado por tensão.

A amplitude da saída diferencial do oscilador (Vp-Vn) obtida foi de 900mV, enquanto a forma de onda vista na saída do *buffer* após *balun* apresenta amplitude de oscilação de 250mV. Ao simular o circuito no domínio do tempo foi preciso esperar que o circuito entrasse em regime de operação. Assim, simulou-se o circuito por 450ns e observou a forma de onda em torno de 400ns (quando o oscilador já estava em regime). A análise das saídas espectrais utilizando o *Harmonic Balanced*, mostrada na Figura 3.46, apresenta a saída em função dos harmônicos produzidas pelo oscilador, assim o valor do primeiro harmônico é de 2,6GHz.



Figura 3.46: Espectro de frequências simulado do oscilador controlado por tensão.

No espectro de frequências da saída do *balun*, temos apenas os harmônicos ímpares, sendo que o terceiro está 33dB abaixo do primeiro, cujo valor é de -2,5dB, o que garante uma boa pureza espectral do circuito. Na saída do núcleo do oscilador, mostrada na Figura 3.46(a), temos todos os harmônicos pares e ímpares, sendo que o segundo possui um valor de 26dB menor que o primeiro.

Na Figura 3.47 são mostradas as duas curvas medidas do espectro (*span*=200MHz) do oscilador para uma tensão Vct=1,9V, o que resulta na frequência de oscilação medida de 2,6GHz. A segunda curva representa a mesma medida, porém com uma média de 50 amostras para se retirar o ruído aleatório gerado na mesma. Analisando a Figura 3.47(a), verificamos que a potência de saída do oscilador está em -10dB com ótima pureza espectral.



Figura 3.47: Espectro de frequências medido do VCO com span de 200MHz.

A diferença de potência com relação ao valor de projeto se explica pela não idealidade do balun em relação a simulação e também pela variação de processo. O balun utilizado foi o baseado no acoplador da antena quasi-Yagi, pois o mesmo possui banda bem mais larga que do balun com componentes discretos, viabilizando a varredura em frequência. Maiores detalhes sobre esse balun e seu projeto estão no Apêndice C.

Após os testes e verificação do funcionamento do oscilador no domínio do tempo e frequência, variou-se a tensão de controle Vct de 0,3 até 3,3V e observou-se qual era o comportamento da frequência do sinal de saída em função da tensão de controle, sendo que os resultados obtidos estão mostrados na Figura 3.48. A faixa dinâmica de varredura da tensão de controle foi escolhida para garantir que os *varactors* estariam sempre reversos na faixa da tensão de alimentação.



Figura 3.48: Frequência de oscilação x tensão de controle.
A simulação da varredura, realizada com parâmetros típicos de processo, apresenta uma faixa dinâmica de 870MHz, variando de 2,08GHz até 2,95GHz. A frequência de oscilação que será usada em nosso projeto SMILE é de 2,6GHz, sendo alcançada com um valor de tensão de controle de 950mV.

Para os parâmetros *fast* apresenta uma faixa dinâmica de 670MHz, variando de 2,37GHz até 3,04GHz. Os parâmetros *slow* não convergiram na simulação, não sendo possível, portanto, realizar a simulação da faixa dinâmica para esses parâmetros. Porém, analisando as duas simulações para os parâmetros típicos e *fast*, foi possível estimar o comportamento da curva para parâmetros *slow*, devendo ela apresentar aproximadamente o mesmo comportamento das outras curvas, porém acusando uma diminuição em torno de 150MHz em relação a curva típica para um determinado valor de tensão de controle.

A variação das faixas de frequência dos osciladores simulados com três tipos de parâmetros é consequência, entre outros fatores, da variação de capacitância de porta dos transistores e da variação da tensão reversa entre os terminais dos *varactors*.

Como previsto na análise DC, o pequeno espalhamento tipo *slow* ocasionou uma variação da curva para valores de menor frequência para uma mesma varredura da tensão de controle. A curva, no entanto, manteve o mesmo comportamento esperado.

Continuando a análise do oscilador controlado por tensão, o ADS, através do simulador *Harmonic Balance*, possui um bloco específico para cálculo do ruído de fase de osciladores em estado estável. Esse bloco de simulação deve ser incluído no elo de realimentação do oscilador, por exemplo, o elo de realimentação de um oscilador em anel ou nesse caso na realimentação entre as portas e drenos dos transistores no núcleo do oscilador.



Figura 3.49: Simulação do ruído de fase do oscilador.

Na Figura 3.49 é mostrado o ruído de fase em função de  $\Delta F$  = Frequência - Frequência de oscilação. Simulou-se o ruído de fase entre 1kHz e 100MHz em torno da frequência de oscilação, para podermos observar as duas regiões de densidade espectral de potência, como mostradas na Figura 3.36: uma proporcional a  $1/\Delta\omega^3$  (rampa de 30dB/década) para frequências próximas a frequência de oscilação e uma outra proporcional a  $1/\Delta\omega^2$  (rampa de 20dB/década). O ponto de mudança da inclinação é em torno de 180kHz. Esse ponto significa que o ruído *flicker* dos transistores do oscilador só terá influência significativa até esse ponto.

Para realizar a medida do ruído de fase do oscilador, como não dispunhamos de uma analisador de espectro que possua o módulo para se medir diretamente o ruído de fase, optamos por um método de estimativa. Em um analizador de espectro superheterodino como o Agilent E4408B utilizado em nossas medidas, a potência do sinal medido é integrada na banda determinada pelo parâmetro RBW (*Resolution Bandwidth*), que ajusta a largura de banda dos filtros. Como a definição do ruído de fase considera a integração numa largura de banda de 1Hz é necessário fazer a correção do valor medido no analisador. Pode-se fazer essa compensação manualmente subtraindo 10.log(RBW) da diferença entre a potência da portadora e a potência da banda lateral, ou como em nosso caso, devido ao E4408B possuir *marker* de ruído, podemos utilizar diretamente o valor desse marcador que já possui o valor integrado em 1Hz.

Na Figura 3.50 são mostradas duas medidas do espectro do oscilador para uma tensão Vct=1,9V. Foi utilizado um *span*=10MHz, para facilitar as marcações laterais na medida do ruído de fase à 1MHz, 2MHz e 3MHz de distância da portadora. Na segunda medida foi utilizada uma média de 50 amostras para se retirar o ruído aleatório.



Figura 3.50: Espectro de frequências medido do VCO com span de 10MHz.

A Tabela 3.17 mostra os principais valores do ruído de fase obtidos pela análise do gráfico de simulação e dos valores medidos em bancada.

	Típico	Slow	Fast	Medido
	(dBc/Hz)	(dBc/Hz)	(dBc/Hz)	(dBc/Hz)
$L\{1MHz\}$	-115	-111,5	-115	-88
$L\left\{2MHz\right\}$	-122	-118	-122	-106
$L\left\{3MHz\right\}$	-124	-122	-124	-118

Tabela 3.17: Resumo dos valores de ruído de fase.

O valor do ruído de fase simulado difere do medido devido aos seguintes fatores: não idealidade da fontes de alimentação, que não são tensões perfeitamente estáveis, gerando flutuações na alimentação e no controle do VCO; ao ruído agregado ao *setup* de medida; a não idealidade do *balun* e principalmente ao fato que na simulação o ruído de fase é calculado através de um componente no elo de realimentação do oscilador, que não leva em conta os *buffers*, nem o *balun* da estrutura. Mesmo com todas essas considerações na medida, o valor do ruído de fase é aceitável e mostra o bom funcionamento do circuito.

O ruído de fase normalizado pode ser definido pela sua figura de mérito (Kinget, 1999) que é mostrada na Equação 3.47.

$$FOM = 10 \log\left(\left(\frac{\omega_0}{\Delta\omega}\right)^2 \frac{1}{L\left\{\Delta\omega\right\}P}\right)$$
(3.47)

Onde: P é a potência em mW do núcleo do oscilador.

No projeto realizado o valor calculado da FOM foi de 172,8 dBc/Hz (para corrente de núcleo do VCO de 3,37mA). Esse valor é compatível com os osciladores projetados na tecnologia  $0,35\mu$ m, mostrando boa funcionalidade. O valor medido da FOM devido as variações de processo e estimando uma corrente de 2,66mA (1/3 do Ic total) para o núcleo é de 146,9 dBc/Hz.

#### 3.7.4 Oscilador em quadratura

#### 3.7.4.1 Concepção

Um dos maiores desafios no projeto de receptores/transmissores usando a tecnologia CMOS é a integração de um QVCO (*Quadrature Voltage Controlled Oscillator* - Oscilador controlado por tensão com saída em quadratura), sendo esse dispositivo necessário para a demodulação de sinais I e Q de um determinado sistema (Steyaert e Vancorenland, 2001; Chang et al., 1993). Aproveitou-se o projeto do oscilador e se complementou o mesmo através de realimentação e replicação do estágio ativo, de maneira a gerar uma oscilação em quadratura com as mesmas características do oscilador anterior. Apesar de não se incluir nessa primeira fase de projeto um sistema SMILE em quadratura, fica como sugestão para futuros trabalhos. Um dos principais problemas encontrados no projeto de um QVCO é que quando aumentamos o tamanho dos transistores de realimentação negativa, temos como resultado uma diminuição dos efeitos parasitas devido a descasamento resultante das variações de processo entre os transistores do par cruzado. Todavia isso aumenta a capacitância parasita, o que diminui a variação de frequência do VCO e eleva o consumo, uma vez que o seu  $g_m$  efetivo age significativamente no tanque do oscilador, reduzindo a amplitude de oscilação e assim piorando o ruído de fase (Steyaert e Vancorenland, 2001). Portanto, é necessário um cuidado durante processo de otimização do projeto para manter todas as figuras de mérito equalizadas, o melhor possível, em função das especificações.



Figura 3.51: Esquemático do VCO em quadratura.

Analisando o circuito do QVCO, mostrado na Figura 3.51, o fasor corrente que entra no tanque sintonizado do oscilador A é dado pela Equação 3.48, enquanto no oscilador B é dado pela Equação 3.49.

$$IA = g_m(VA + VB) \tag{3.48}$$

$$IB = g_m(VB - VA) \tag{3.49}$$

Onde:  $g_m$  é a transcondutância do transistor MOS.

Se os dispositivos que compõe os dois circuitos são idênticos, então os dois circuitos devem ter a mesma frequência e amplitude de oscilação. Consequentemente, as impedâncias dos dois tanques sintonizados devem ser iguais e os fasores corrente que carregam os dois tanques devem possuir a mesma amplitude. Essas condições são satisfeitas em conjunto no caso das oscilações estarem quadratura, conforme observado na Figura 3.52(b). A corrente IA é injetada no tanque, que possui um impedância  $Z_{taq}(j\omega)$  e produz  $\phi$  deslocamento de fase.

Nessa topologia de QVCO adotada, a desafagem  $\phi$  é de  $+/-\pi/4$ , o que significa que VB deve preceder ou ficar defasado de VA em  $\pi/2$ . Na Figura 3.52 mostra que a defasagem do tanque degrada o seu fator de qualidade, que é máximo em  $\phi=0$  para os dois tanques em paralelo. Entretanto, o par cruzado de transistores MOS consome uma potência adicional, contribui como uma nova fonte de ruído e seu capacitor parasita diminui toda a faixa de sintonia do circuito, quando comparado ao VCO convencional.



Figura 3.52: Diagrama de fase do VCO em quadratura.

O projeto do oscilador em quadratura é basicamente o mesmo, seguindo os mesmos procedimentos que foram apresentados para o oscilador controlado por tensão. A única diferença está nos transistores do par cruzado que possuem metade do W dos do VCO. Isso é necessário para manter os valores das correntes nos braços do oscilador, pois ambos estão em paralelo, e assim sejam mantidas inalteradas as características e figuras de mérito, na análise inicial, sem levar em conta a adição de capacitâncias parasitas ao circuito, devido a replicação dos elementos.

#### 3.7.4.2 Simulações e medidas

O *layout* do QVCO foi realizado seguindo os mesmos procedimentos adotados nos demais projetos. Na Figura 3.53 é mostrado o *layout* dos transistor que compõe um dos núcleos do QVCO. Para evitar o descasamento entre os elementos a configuração ACACBDBD foi adotada (Hastings, 2001). No *layout*, optou-se por deixar o Vbias de cada oscilador em quadratura independente (sem interligação interna), para poder corrigir alguma variação de processo que atrapalhe o perfeito funcionamento em quadratura.



Figura 3.53: Layout dos transistores.

Na Figura 3.54 é mostrado o *layout* final do QVCO e o circuito fabricado. O circuito foi enviado a *foundry* na base de dados FAPESP-148 (a mesma do VCO).



Figura 3.54: QVCO implementado.

Na Figura 3.55 é mostrado o *jig* implementado para os testes de bancada do oscilador. Nas suas saídas para fazer a conversão de balanceado para desbalanceado foram acoplados dois *baluns* planares. O modelo de *balun* utilizado foi o baseado no acoplador da antena *quasi-Yagi*.

A primeira análise, para verificar o funcionamento do QVCO, foi realizada polarizando-se o circuito e medindo seus níveis DC. Os valores estão resumidos na Tabela 3.18, na qual observa-se que o valor da corrente medida está um pouco abaixo do valor simulado para parâmetros típicos,

o que mostra um pequeno espalhamento do tipo *slow* para a amostra (o que já era esperado, pois esse circuito foi fabricado na mesma rodada do VCO, o qual já tinha apresentado esse espalhamento de processo), os valores das tensões de referência do divisor MOS se mantiveram aproximadamente iguais.



Figura 3.55: Jig de testes para o QVCO.

Comparando com o VCO, notamos que os valores simulados e medidos, apresentam o dobro de corrente. Isso é natural, pois ao replicarmos os estágios de realimentação, acabamos reduzimos pela metade seus Ws, o que acaba por manter a mesma corrente em cada oscilador. Como o circuito possui dois osciladores realimentados com seus respectivos *buffers* de saída, temos a duplicação da corrente total do circuito. Isso mostra que, do ponto de vista da polarização, o circuito funciona perfeitamente, tanto a sua simulação, quanto o seu protótipo fabricado.

	Idc	Va	Vb
	(mA)	(mV)	$(\mathbf{V})$
Típico	18,62	953	2,0
Slow	$_{9,3}$	948	2,03
Fast	$41,\!96$	940	1,94
$Medido \ \#1$	16,02	974	$^{2,0}$
$Medido \ \#2$	$15,\!43$	990	$2,\!01$

Tabela 3.18: Parâmetros de polarização do QVCO - Vdd=3,3V.

Quando se analisa cada saída independentemente, todos os outros resultados de simulação são iguais aos do VCO, devido a não representação em simulação dos parasitas de *layout* que acabam por aparecer no QVCO fabricado. Nessa secção são mostradas apenas as simulações transiente para as saídas dos núcleos do oscilador em quadratura, mostrando as formas de onda defasadas em 90°. Na Figura 3.56(a) é mostrada a saída do *balun* do circuito oscilador para as duas componentes I e Q, enquanto que na Figura 3.56(b) é mostrada a saída dos núcleos. Pelas formas de onda apresentadas, observamos o perfeito funcionamento do circuito, com a fixação da defasagem, após o circuito entrar em regime permanente.



Figura 3.56: Simulações das formas de onda do oscilador LC CMOS.

Para as medidas das saídas I e Q do QVCO, utilizamos dois *baluns* planares, sendo um acoplado ao analisador de espectro e o outro a uma carga casada de 50 $\Omega$ . O circuito foi polarizado conforme projeto com Vdd=3,3V, Vbias=2V, VbB1=3,3V e VbB2=953mV. Após ser polarizado, o circuito estava consumindo uma corrente total de 16,02mA, o que mostra o correto funcionamento do ponto de vista DC. Porém ao se realizar um varredura da tensão de controle, não apareceu nenhuma raia no espectro na saída I. Alterou-se para a saída Q e também nenhuma raia foi encontrada, evidenciando que o circuito não estava oscilando, apesar das polarizações estarem corretas.

Para verificar se existia algum gradiente no processo de fabricação do circuito de maneira a desequilibrar os núcleos, portanto impedindo-o de oscilar conforme projetado, foi realizada uma varredura via tentativa e erro alternadamente nas três variáveis dos núcleos; o controle de oscilação Vct e as tensões de polarização de cada núcleo. Para isso foi necessária que ambas as saídas estivessem monitoradas, obrigando a colocação de um analisador de espectro em cada uma.

Quando as duas tensões de Vbias são iguais (conforme projetado), o circuito não oscila em nenhuma saída, independente do valor a ser aplicado em Vct. Isso reforça a tese que realmente existam gradientes de fabricação entre os núcleos de maneira que se ambos forem polarizados igualmente, a variação de comportamento entre eles acaba por impedir o funcionamento.

Variando-se as tensões de polarização independentemente entre os núcleos, obtemos oscilação em uma, outra, ou ambas saídas, dependendo dos ajustes de Vbias. A tensão de controle Vct continua fazendo a varredura da tensão de oscilação, mostrando que o circuito realmente estava funcionando, entretanto gradientes de processo no dispositivo fabricado acabaram por obrigar uma variação nas tensões de polarização não previstas inicialmente.

Após diversas tentativas variando-se independentemente as três tensões, checamos que os valores VbiasI=1V, VbiasQ=0,2V e Vct=3V resultam em ambas as saídas com frequência de oscilação em 2,6GHz e potência de -10dBm, valores iguais aos encontrados no VCO descrito na secção anterior, sendo que as formas de onda no espectro para as duas saídas podem ver verificadas na Figura 3.57. Provavelmente, as saídas estão em quadratura, mas como não possuimos um osciloscópio de banda larga com dois canais, não conseguimos verificar as formas de onda no tempo. O problema desse ajuste de polarização foi o aumento das correntes devido ao aumento na tensão Vgs das fontes de corrente dos dois núcleos. Isso resultou num valor final de corrente para o circuito de 25mA.



Figura 3.57: Espectro de frequências medido do QVCO com span de 200MHz.

Dessa maneira apesar do perfeito funcionamento DC e da oscilação em ambas as saídas mediante um ajuste nas polarizações dos núcleos, esse *layout* do oscilador em quadratura deve ser revisto e refeito em alguns pontos de maneira a minimizar os gradientes que sempre aparecerão na fabricação e assim, o circuito possa oscilar com a mesma corrente em ambos os núcleos, minimizando o consumo total e fazendo o circuito funcionar de acordo com o projetado.

## 3.8 Síntese do Capítulo 3

Nesse capítulo foram apresentados separadamente todos os circuitos integrados de RF que compõe o sistema proposto. Todos os circuitos foram projetados, simulados e caracterizados experimentalmente. Primeiramente foi apresentado o modelo para os PADs de RF de maneira a se poder realizar os projetos com maior precisão. Após foi apresentado a chave de RF NMOS, que não apresentou um desempenho satisfatório na faixa de interesse. Na sequência, apresentamos o LNA cascode e o LNA multiplexado, que é um circuito de RF que agrega o amplificador de baixo ruído e as chaves analógicas num único componente constituindo assim, um amplificador com múltiplas entradas chaveadas. O circuito proposto possui quatro canais, porém expansível a N canais, sem grandes alterações, em função do número de antenas do arranjo a ser implementado no sistema. Completando os circuitos do sistema foram apresentados o *mixer* e o oscilador controlado por tensão em duas versões.

## Capítulo 4

# Concepção e implementação de circuitos digitais e analógicos

## 4.1 Introdução

Nesse capítulo são mostrados os circuitos que compõe os blocos digitais e analógicos do sistema proposto. Primeiramente é projetado o controle digital de chaveamento (*switch driver*), no qual é gerado os pulsos digitais para o acionamento sequencial dos canais. Este circuito atua simultaneamente enviando sinais para o LNA multiplexado e para o demultiplexador analógico. Na segunda parte do capítulo é abordado o demultiplexador analógico, com projeto apenas do primeiro canal. O circuito completo com quatro canais é mostrado no Capítulo 5.

### 4.2 Controle digital de chaveamento

## 4.2.1 Introdução

Os circuitos digitais apresentados nesse capítulo são os dois que em conjunto formam o *driver* de chaveamento digital do sistema. Estes circuitos compreendem um oscilador em anel para a geração do *clock* do circuito e um contador em anel módulo quatro. As células digitais básicas que compõe estes blocos são os inversores e os *flip-flops* tipo D.

#### 4.2.2 Célula inversora

O funcionamento dessa célula básica é simples. Quando a tensão de entrada é alta o transistor NMOS fecha e o transistor PMOS abre, de maneira a que só exista corrente durante a transição e que a saída seja baixa devido a referência de terra a ser colocada na mesma. No caso oposto, quando a tensão de entrada é zero, o transistor NMOS abre e o transistor PMOS fecha, passando o circuito a operar de uma maneira inversa ao caso anterior.

Todo circuito digital possui um atraso de propagação intrínseco que é função das diversas capacitâncias que são carregadas e descarregadas nas mudanças de níveis. Tais capacitâncias são devidas às entradas do próximo estágio, as capacitâncias devidas às interconexões, as trilhas no *layout* e também, há uma parcela devido às capacitâncias internas da própria porta. Assim, para que tenhamos baixos valores de atraso de propagação o circuito deve possui baixos valores de

fan-in e fan-out. Fan-in é definido pela quantidade de entradas de uma porta lógica, enquanto que fan-out é a quantidade de portas lógicas acopladas a saída da mesma. Qualquer aumento tanto de fan-in, quanto de fan-out significa um aumento nas capacitâncias, e consequentemente, um aumento do atraso de propagação.

### 4.2.2.1 Concepção

A célula básica inversora é mostrada na Figura 4.1, projetada com o objetivo de se obter o melhor funcionamento estático e dinâmico. Para isso devemos otimizar os valores de Wn do transistor NMOS (*pull-down*) e Wp do transistor PMOS (*pull-up*) para se alcançar o desempenho esperado. Os valores de Ln e Lp são mantidos em  $0,35\mu$ m, valor mínimo para o comprimento de canal na tecnologia utilizada, para se minimizar a área da pastilha e assegurar baixos valores na relação potência-atraso (Baker et al., 2001). Esse processo de otimização é interativo e depende da tecnologia adotada e das metas de projeto.



Figura 4.1: Esquemático do inversor

Como necessitamos de células inversoras para a implementação do oscilador em anel para a geração do sinal de *clock* do sistema, as metas de projetos não são tão rígidas e assim, projetaremos a célula inversora para o menor consumo de área possível, portanto menor dissipação de potência e tempo de atraso. A transferência deve ser simétrica, ou seja, a entrada e a saída devem possuir o mesmo valor quando a entrada for Vdd/2. A adoção de uma transferência simétrica, na verdade, é a realização de um casamento de transcondutância entre os dois transistores do inversor, faz com que ambos tenham a mesma capacidade de conduzir corrente, tanto no carregamento, quanto no descarregamento da capacitância de carga. Desse modo, teremos atrasos de propagação iguais tanto na borda de subida, quanto na borda de descida do sinal.

Uma outra vantagem de se adotar a transição simétrica é fazer com que o inversor opere quase que idealmente sob o ponto de vista de imunidade a ruídos e que as margens de ruído não dependam do *fan-out* da porta, pois a corrente CC da porta de entrada é praticamente nula no inversor CMOS. Para uma transferência simétrica a relação entre Wn e Wp é dada aproximadamente pela Equação 4.1, na qual, utilizando os valores da *foundry* AMS, chega-se ao valor inicial da célula.

$$\frac{W_P}{W_N} \approx \frac{KPN}{KPP} \approx \frac{170\mu A/V^2}{58\mu A/V^2} \approx 2,93$$
(4.1)

#### 4.2.2.2 Simulações

Utilizando-se um valor mínimo de  $1,2\mu$ m para Wn (valor mínimo de largura de canal para se utilizar um contato no *layout* do projeto), obtemos após a otimização realizada no ADS, no qual utilizou-se como carga uma capacitância de 100pF, o valor de Wp igual a  $3,8\mu$ m. Esse circuito otimizado gera a resposta em simulação dada na Figura 4.2.



Figura 4.2: Simulação do comportamento do inversor.



Figura 4.3: Resposta do comportamento de transição em função da largura do canal.

Para mostrar a dependência da saída em relação ao valor adotado para Wp/Wn, foi simulado a variação desse parâmetro. Esse teste é mostrado na Figura 4.3, na qual, nota-se que um aumento na relação resulta em um decréscimo do ponto de simetria da saída do circuito.

#### 4.2.3 Oscilador em anel

#### 4.2.3.1 **Concepção**

O oscilador utilizado para gerar o *clock* do circuito é um oscilador em anel, constituído por um número ímpar de portas inversoras em cascata e organizadas de maneira a constituir um elo fechado, conforme mostrado na Figura 4.4.



Figura 4.4: Oscilador em anel.

Seu funcionamento é simples, caso se considere um sistema ideal com atrasos idênticos em cada porta e não se depreze o atraso no retorno, sendo baseado na soma dos atrasos intrínsecos de cada porta inversora no anel. A frequência de oscilação, no caso ideal, é dado por:

$$f(MHz) = \frac{1}{2.N.T_d(\mu s)}$$
 (4.2)

Onde: N é o número de portas e  $T_d$  é o atraso em cada porta inversora.

Quando não se considera essa condição ideal, o cálculo torna-se extremamente complexo, pois o circuito fabricado está sempre sujeito a fatores tais como desvios do processo de fabricação, temperatura, taxa de variação do sinal na entrada de cada porta e variação na carga conectada a saída de cada porta, que eliminam qualquer hipótese de idealidade do circuito.

Para que possamos ter um controle sobre a geração do sinal de *clock*, de maneira a anular essas variações de processo nos protótipos fabricados, anular efeitos de elementos parasitas não levados em conta na simulação, e também, gerar uma flexibilidade de maneira a poder alternar a frequência de chaveamento dos elementos do arranjo, utilizaremos uma porta inversora CMOS acrescida de uma fonte de corrente NMOS controlada por um sinal externo. Com esse artifício, podemos variar a taxa de chaveamento em função da FI resultante, não correndo o risco de quebrar o critério de *Nyquist* do sistema.

Esse sinal irá determinar a frequência de *clock* em função da variação da corrente que fluirá pela porta. Essa variação de corrente gera uma variação no tempo de atraso intrínseco de cada

porta inversora e como a frequência de oscilação é inversamente proporcional a esse atraso, consegue-se gerar um controle externo na frequência do sinal de *clock*.

No protótipo adotaremos uma FI padrão de 750kHz, o que resulta num sistema de quatro canais, respeitando-se o critério de *Nyquist*, numa taxa de amostragem de 3MHz para cada canal. Como o sinal de *clock* dever acionar um contador módulo quatro, esse deve operar com uma taxa de 12MHz.

Sendo essa frequência relativamente baixa, o número de portas inversoras necessárias para se alcançar essa frequência de oscilação em nosso processo AMS  $0,35\mu$ m é da ordem de 80 portas. Para deixar o circuito mais enxuto evitando a utilização de uma grande quantidade de elementos chaveados que insiram ruído ao sistema, adotou-se uma alteração na estrutura clássica do oscilador em anel de maneira a aumentar a capacitância de carga de cada porta. O artifício usado foi o acréscimo de um capacitor em paralelo na saída de cada porta inversora do anel, pois o atraso de uma porta inversora pode ser determinado pela seguinte expressão 4.3.

$$t_d = t_{di} + K.C_0 \tag{4.3}$$

Onde:  $t_d$  é o atraso da porta inversora,  $t_{di}$  é o atraso intrínseco da porta inversora , K é o fator de fan-out e  $C_0$  é a capacitância de carga da porta inversora.

Pela Equação 4.3 fica claro que um aumento na capacitância de carga gera um aumento no tempo de atraso, diminuindo a frequência de oscilação, o que compensa o aumento gerado pela diminuição no número de portas do circuito.

O circuito completo é composto por portas inversoras com controle de corrente e carga capacitiva, sendo mostrado na Figura 4.5, além de um *buffer* digital não inversor constituído por duas portas inversoras para condicionar o sinal.



Figura 4.5: VCO em anel proposto.

Os valores dos componentes de cada estágio inversor são: Mp = 2.8/0.35, Mn1 = 2.8/0.35, Mn2 = 1.5/0.55 e C = 100fF, enquanto o *buffer* possui Mpb = 3.8/0.35 e Mnb = 1.2/0.35. O *buffer* foi projetado para uma inversão simétrica em Vdd/2 = 1.65V. O projeto de cada inversora

teve início numa célula com inversão simétrica e foi otimizado, via simulação, dentro da faixa de operação pretendida até encontrar-se um valor adequado para sua funcionalidade. O *layout* do oscilador em anel implementado é mostrado na Figura 4.6.



Figura 4.6: Layout do oscilador em anel (destaque para três células inversoras).

#### 4.2.3.2 Simulações e medidas

Na Figura 4.7(a) é mostrada a simulação transiente para o oscilador projetado sob a condição de uma tensão de controle de 0,9V, que resulta numa frequência de clock de 12MHz. No resultado medido, mostrado na Figura 4.7(b), para se alcançar a mesma frequência de oscilação foi necessário a aplicação de uma tensão de controle de 0,82V, devido a variação do processo de fabricação. Para coleta dos dados foi utilizado um osciloscópio digital *Tektronix TDS360* (200MHz - 1GS/s) - 2 canais.



Figura 4.7: Formas de onda de saída do VCO digital.

Outra análise do oscilador foi a varredura da tensão de controle cujo objetivo era verificar a faixa dinâmica de atuação do oscilador. Simulações foram realizadas, para os três diferentes tipos de parâmetros de simulação: típico, *slow* e *fast*. O resultado dessa análise é mostrado na Figura 4.8. Observando os resultados do parâmetro típico, ou seja, parâmetro utilizado no projeto, as tensões de controle 0,6V, 0,9V e 3,3V forneceram as frequências de *clock* de 1,2MHz, 12MHz e 100MHz, respectivamente.



Figura 4.8: Resposta da variação de frequência em função da tensão de controle.

A curva medida para a resposta do circuito mostra um perfeito casamento com a curva de projeto, somente com pequenas diferenças relativas a variação do processo. Assim, nota-se um ótimo funcionamento do circuito proposto com uma grande variação em frequência em função da variação da tensão de controle e uma boa coerência entre simulação e medida.

#### 4.2.4 Contador em anel de módulo quatro

#### 4.2.4.1 Concepção

Como o circuito proposto no trabalho é constituído de quatro canais, necessitamos que o driver de chaveamento gere pulsos sequenciais para os quatro canais a uma taxa pré-determinada, de maneira a comandar a amostragem do LNA multiplexado, assim como do demultiplexador analógico. Para isso utilizaremos um contador em anel de módulo quatro, conforme mostrado na Figura 4.9.



Figura 4.9: Contador em anel de módulo quatro.

No mesmo utilizaremos um registrador de deslocamento constituído por *flip-flops* tipo D (borda de subida) ligados de modo a permitir rotação para a direita. A cada borda do gatilho de *clock* o nível alto avança para o *flip-flop* seguinte e após quatro ciclos sucessivos do *clock* ele retorna para o primeiro. Os *flip-flops* utilizados no projeto são células pré-definidas pela *foundry* e o modelo adotado foi o DFCP3 (AustriaMicroSystems, 2005d), cujo *layout* pode ser observado na Figura 4.10(b). A Tabela 4.6 mostra as características de funcionamento dessa célula.

Tabela 4.1: Tabela verdade para o *flip-flop* tipo D (DFCP3) da AMS.

Ck	D	$oldsymbol{R}_N$	$oldsymbol{S}_N$	Q	$oldsymbol{Q}_N$
R	0	1	1	0	1
R	1	1	1	1	0
X	Х	0	0	Х	Х
X	Х	0	1	0	1
X	Х	1	0	1	0

O layout completo do circuito proposto foi implementado no ADS utilizando células prédefinidas tanto para os PADs, quanto para os *flip-flops* tipo D. Esse layout pode ser observado na Figura 4.10(a). Na parte superior encontram-se as quatro saídas referentes aos quatros sinais que comandarão o sistema MUX/DEMUX, enquanto na parte inferior existem mais quatro PADs, sendo eles respectivamente: saída do VCO (Ck - elo de realimentação), Vct (tensão de controle do VCO), *Enable* negado e saída do VCO (CkB - *buffer*). A célula da *foundry* AMS BU24P foi utilizada para os PADs de saída dos sinais digitais. Essas células possuem *buffer* com capacidade máxima de 24mA de corrente drenada e apresenta baixa capacitância vista pelo circuito na ordem de 50fF. O problema dessas células com *buffer* é o seu alto consumo de corrente, mostrado nos valores medidos do circuito implementado. Como no circuito completo as saídas digitais serão interligadas internamente aos demais circuitos, esse valor adicional de corrente fica agregado apenas ao protótipo isolado, não afetando assim, o desempenho global do circuito.



(a) Layout do Contador em anel



(b) Layout do flip-flop tipo D



(c) Contador em anel fabricado (die) - 1080 x 780  $\mu m^2$ 

Figura 4.10: Contador em anel implementado.

O circuito foi fabricado na rodada FAPESP-148. Após a clivagem e separação dos circuitos, pode-se, como esse circuito funciona com "baixas" frequências, no máximo 100MHz, adotar a montagem em uma cápsula padrão *dip24* para realização dos testes de bancada. O circuito encapsulado e montado em *protoboard* é mostrado na Figura 4.11. O diagrama de pinagem foi do tipo "*free*" e seguiu a mesma orientação mostrada na foto da pastilha.



Figura 4.11: Circuito encapsulado em teste.

## 4.2.4.2 Simulações e medidas

Os sinais simulados dos quatro canais do contador em anel são mostrados na Figura 4.12.



Figura 4.12: Saídas sequenciais simuladas do contador em anel.

Nota-se que as saídas dos *flip-flops* resultam nos pulsos digitais necessários para o acionamento sequencial do sistema proposto. Essa simulação foi realizada utilizando uma tensão de controle de 0,9V (para gerar um *clock* de 12MHz para acionar o contador) e parâmetros típicos de simulação.

Na Figura 4.13 são mostradas as medidas efetuadas nos canais um e dois do circuito fabricado. Os resultados mostram o perfeito funcionamento do circuito gerando a rotação a direita com módulo quatro conforme esperado. A tensão necessária para o funcionamento com um *clock* de 12MHz foi de 0,82V, conforme já descrito. Os demais canais apresentaram a mesma forma de onda, apenas com pequenas variações devido ao ruído aleatório. As medidas destes canais não foram mostradas aqui, pois estando na mesma base de tempo dos dois canais apresentados, não acrescentariam nenhuma informação extra sobre o circuito.



Figura 4.13: Medidas das saídas do contador em anel.

É interessante ressaltar que esse ruído aleatório relativo aos níveis alto e baixo das medidas é consequencia principalmente dos problemas de ruído da fonte de alimentação, assim como da própria rede de distribuição. Para exemplificar a dimensão desse problema, realizou-se a verificação de funcionamento do circuito com uma tensão de alimentação de 2V, no lugar de 3,3V, pois esta apresenta uma variação devido a ruídos muito menor ao ser captada no osciloscópio. Com essa tensão de alimentação e uma de controle de 0,6V, obtém-se uma frequência bem menor de *clock*, em torno de 120,4kHz. Essa grande variação de frequência é devido a frequência ser função também da tensão de alimentação que influência nos tempos de atrasos das portas inversoras do contador em anel.



Figura 4.14: Medidas do circuito para tensão de alimentação de 2V e controle de 0,6V.

Esses resultados são mostrado na Figura 4.14, onde fica claro que o ruído é reduzido drasticamente, variando quase que perfeitamente entre os níveis de alto e baixo do clock (0 e 2V). Na saída do canal um do contador, observa-se a mesma melhora no funcionamento.

Finalizando a caracterização do circuito implementado, foi verificado o funcionamento DC medindo seus níveis de corrente. Os valores dessas medidas estão resumidos na Tabela 4.2, onde foram realizadas com o circuito operando à uma frequência de *clock* de 12MHz. Observando os valores, notamos a grande discrepância entre os simulados e os medidos. Essa diferença é devido ao grande consumo dos PADs digitais BU24P, o que dificulta uma conclusão real do consumo do circuito, já que os *buffers* de saídas dos PADs para condidionarem os sinais acabam por mascarar toda a medida. Mas, por analogia a todos os outros circuito já implementados, acreditamos que a corrente deva ser próxima a simulada, apresentando um consumo um pouco maior, devido a necessidade de se ajustar a tensão de controle para igualar o *clock* medido ao simulado.

Tabela 4.2: Parâmetros de polarização do contador - Vdd=3,3V.

	Típico	Slow	Fast	$Medido \ \#1$	$Medido \ #2$
Idc (mA)	0,23	$_{0,1}$	0,62	9	9,2

Pela análise dos resultados, observamos que o contador em anel apresentou um ótimo comportamento tanto em simulação, quanto, e mais importante, nas medidas apresentadas, estando apto, assim, a ser a parte integrante geradora dos sinais de chaveamento do circuito integrado completo para a realização da técnica SMILE.

## 4.3 Demultiplexador analógico

## 4.3.1 Introdução

O sinal proveniente das antenas do arranjo foi multiplexado espacialmente de maneira a termos apenas um canal de RF ao invés de N canais, um para cada antena, como normalmente os sistemas de antenas inteligentes necessitam. Após o batimento de frequência realizado pelo *mixer*, temos um sinal de banda-base ou FI que contém as informações proveniente de todos os canais. Assim esse sinal necessita ser demultiplexado para que cada canal possa ser analisado separadamente por um sistema de gerenciamento, no qual pode-se aplicar um algoritmo de conformação do feixe, por exemplo. O *mixer* projetado foi uma célula duplamente balanceada cuja saída é na forma diferencial, necessitando dessa maneira que o demultiplexador faça a conversão do sinal da forma balanceada para desbalanceada. Assim, selecionamos para essa implementação um sistema de chaves NMOS para fazer a demultiplexação do sinal em diferentes canais balanceados e um amplificador de transcondutância realimentado na configuração de amplificador diferencial como último estágio de ganho e conversão do sinal.

## 4.3.2 Chaves analógicas

## 4.3.2.1 Concepção

O projeto da chave analógica é o mesmo e segue as mesmas diretrizes da chave de RF previamente apresentada no Capítulo 3, não sendo necessário se repetir todo processo, pois apenas mudamos o seu *setup* de teste em função de uma grande diminuição das frequências medidas.

## 4.3.2.2 Simulações e medidas

Para os testes de RF, utilizamos o sistema *Cascade*, o qual realizou-se uma varredura a partir de 45MHz (limite inferior do *swepper* do HP8045).



Figura 4.15: Jig de testes para a chave analógica.

Para realizar os testes de baixas frequências necessários para a verificação da funcionalidade da chave em um demultiplexador, implementou-se uma placa com conectores SMA e capacitores de bloqueio. Essa placa é mostrada na Figura 4.15 e nas medidas foi utilizado um analisador de rede *Rohde & Schwarz ZVRE*.

Na Figura 4.16 temos os resultados da chave analógica, utilizando-se uma faixa até 10MHz (faixa utilizada para chaveamento de uma frequência intermediária, por exemplo).



Figura 4.16: Parâmetros de espalhamento da chave analógica.

Nas Figuras 4.16(a) e 4.16(c) são mostrados os resultados da chave no estado "ON", cujas medidas confirmam que o circuito opera bem em toda a faixa com uma perda de inserção de 0,77dB, o valor de S11 é menor que -20dB para a faixa mostrando o excelente funcionamento da mesma. Na Figuras 4.16(b) e 4.16(d) são mostrados os resultados da chave no estado "OFF", pela análise dos mesmos, notamos que a chave apresenta uma isolação maior que 96dB na faixa

(o que não é um valor real, devido aos efeitos parasitas e perdas pelo substrato), porém é um indicativo da grande isolação da chave. A análise desses gráficos nos mostra que a chave NMOS na tecnologia AMS  $0,35\mu m$  pode ser utilizada perfeitamente em baixas frequências, conforme o demultiplexador analógico necessita, assim, a mesma será utilizada no demultiplexador.

Outro parâmetro que podemos observer da chave é seu IIP3 alto, o que deixa a chave praticamente imune a problemas de não linearidade devido a utilização de uma potência sobre a mesma maior que sua capacidade. A simulação realizada para os três tipo de parâmetros de simulação mostra um IIP3 maior que 36dBm para todos os casos, o que supri perfeitamente as necessidade do demultiplexador.

Tabela 4.3: IIP3 da chave de RF.

	Típico	Slow	Fast
	(dBm)	(dBm)	(dBm)
IIP3	37	36	132

#### 4.3.3 Amplificador operacional de transcondutância

Como a aplicação desse circuito é restrita ao demultiplexador de nosso projeto, em uma primeira fase, suas especificações passam a ser menos rigorosas, ou seja, é necessário apenas suprir as necessidades do projeto e não metas gerais de desempenho para aplicações diversas de maneira a atingir a maior gama de uso possível. Em nosso caso, como na saída do circuito necessitamos apenas da excursão do sinal sobre uma carga padrão para captarmos sobre ela o valor da tensão de saída, em uma primeira etapa por um osciloscópio digital e posteriormente por um conversor analógio-digital com alta impedância de entrada, podemos fazer um relaxamento nas especificações, principalmente do estágio de saída.

Um amplificador operacional sem *buffer* de saída é melhor definido como OTA (*Operational Transconductance Amplifier* - Amplificador Operacional de Transcondutância). O termo Amp-Op é também aceito para esse tipo de configuração, porém a nomenclatura OTA defini melhor o dispositivo em questão. Em resumo, OTA são amplificadores com ganho direto muito alto de maneira que quando se implementa uma realimentação negativa, a função de transferência da malha fechada é praticamente independente do ganho do OTA.

O tipo mais comum de OTA é com dois estágios, por ser simples e robusto para diversas aplicações, podendo ser compensado em frequência com certa facilidade e apresentando um reduzido número de elementos casados, o que minimiza o risco de *offset* aleatório por descasamento. Nessa configuração, uma boa parte do ganho total do circuito é devido ao primeiro estágio, o par diferencial, que também tem o papel de melhorar o desempenho quanto ao ruído e *offset* do circuito. O segundo estágio é um amplificador inversor fonte comum típico, cuja finalidade é a de incrementar o valor do ganho, de maneira que o ganho total do sistema realimentado se torne independente do ganho do OTA.

#### 4.3.3.1 Concepção do OTA

O esquemático completo do OTA, incluíndo a compensação *Miller*, é mostrado na Figura 4.17, na qual, além do circuito, pode-se notar os valores de tensão e corrente utilizados para projeto.



Figura 4.17: Esquemático do OTA.

No projeto dos componentes do amplificador para se evitar problemas de *offset*, deve-se tomar extremo cuidado com o casamento entre eles. O *offset* aleatório é originado pelos descasamentos entre os pares casados do estágio de entrada do amplificador, respectivamente o par diferencial de entrada e o par da carga ativa. Esses descasamentos são referentes a variações na espessura do óxido de porta, a gradientes de impurezas nos transistores e a distorções referentes a gradientes térmicos (Grebene, 2002).

Apesar desses fatores não serem manipuláveis pelo projetista existem métodos de *layout* que visam miminizá-los. São basicamente duas regras a serem seguidas: a colocação dos transistores o mais próximo possível para diminuir o gradiente e a montagem na configuração centróide comum para que esses possíveis gradientes afetem todos os transistores da mesma maneira (Allen e Holberg, 2002). Nesse projeto é adotada a técnica de par cruzado (*cross-quad*) (Hastings, 2001), na qual se divide o par de transistores em quatro. Essa técnica respeita engloba as duas anteriores.

O *offset* sistemático que é intrínseco ao OTA CMOS, pode ser anulado por pequenas e simples relações entre transistores. Para se evitar esse *offset* previsível deve-se obedecer a regra de projeto mostrada na Equação 4.4 (Gray e Meyer, 1984).

$$\frac{(W/L)_6}{(W/L)_4} = 2\frac{(W/L)_7}{(W/L)_5} \tag{4.4}$$

Ao contrário do que normalmente ocorre nos amplificadores operacionais, em quais se utilizam uma tensão de alimentação simétrica, para os pontos de entrada e saída de sinal ficarem sob a referência de terra, devido a natureza de nosso circuito, se utiliza uma tensão de alimentação simples referenciada ao terra. Isso obrigou nosso circuito a operar como um *offset* DC de 1,65V nas entradas e saída, portanto metade da tensão de alimentação.

O esquema é composto de um estágio de entrada diferencial com carga ativa, um segundo estágio do tipo fonte comum e fontes de corrente. Os circuitos para geração das tensões de polarização foram omitidos para facilitar a visualização do esquemático e trata-se de divisores transistor-transistor CMOS, como os mostrados no Capítulo 3.

O projeto tem início com a tensão de alimentação de 3,3V e tensão de offset do par diferencial sendo igual a 1,65V. De posse dessas duas tensões definimos as outras tensões dos nós dos circuitos. O transistor Mp5 foi polarizado com baixa tensão fonte-dreno para que o par diferencial pudesse ter uma maior excursão do sinal, assim utilizamos uma tensão  $V_{GS5}=1V$ .

$$V_{ds5} \ge V_{qs5} - V_{th5} = -1 - (-0, 65) = -0,35V \tag{4.5}$$

A Equação 4.5 retorna o valor de Vds<sub>5</sub>. Adotando uma margem de segurança de 0,1V, fixou-se um valor de Vds<sub>5</sub> igual a 0,45V, o que resulta numa tensão de 2,85V nas fontes do par diferencial de entrada.

Essa tensão no nó resulta nos seguintes valores para ao par diferencial:

$$V_{ds1} \ge V_{gs1} - V_{th1} = -1 - (-0, 65) = -0,35V$$
(4.6)

$$V_{gs2} = V_{gs3} = 1,65 - 2,85 = -1,2V \tag{4.7}$$

$$V_{ds2} = V_{ds3} = 1 - 2,85 = -1,85V \tag{4.8}$$

Os valores das correntes, tanto do par diferencial, quando do segundo estágio, foram definidos em função da máxima excursão pretendida para o segundo estágio. Quando se utiliza uma carga padrão de 10k $\Omega$  em paralelo com 10pF na saída, a corrente necessária para que o sinal excursione +/- 1V é de 100 $\mu$ A. Adotando uma margem de segurança utilizaremos o valor de 130 $\mu$ A. Para o par de entrada iremos adotar 15% desse valor, ou seja 20 $\mu$ A, resultando numa corrente de 10 $\mu$ A por braço do par diferencial. A Equação 4.9, fornece a corrente de dreno do transistor MOS na saturação, ou seja, na situação em qual o mesmo é utilizado como amplificador. Nessa equação todas as tensões de projeto são dadas ou encontra-se em função da abordagem do projeto. Já os parâmetros de processo são dados pela *foundry*, com exceção de um parâmetro, o fator de modulação de canal ( $\lambda$ ).

$$I_d = KP \frac{W}{L} \left( V_{gs} - V_{th} \right)^2 \left( 1 + \lambda V_{ds} \right)$$
(4.9)

Esse fator é utilizado nos cálculos do amplificador operando na saturação e no cálculo da impedância de saída incremental dos transistores. Este fator não é fornecido pela *foundry*, pois o seu valor não depende apenas do processo de fabricação. O fator é função das dimensões do transistor, sendo inversamente proporcional ao comprimento do canal. Utilizando-se os modelos de simulação para os transistores NMOS e PMOS, pode-se pela Equação 4.10, encontrar seus respectivos valores para os diferentes comprimentos de canais adotados no projeto.

$$\frac{1}{\lambda} = -\frac{I_{ds2} \cdot V_{ds1} - I_{ds1} \cdot V_{ds2}}{I_{ds2} - I_{ds1}}$$
(4.10)

Onde: 1 e 2 são dois pontos quaisquer da curva de  $I_{ds}$  por  $V_{ds}$  para um valor qualquer de  $V_{gs}$  na região de saturação do transistor.

Nesse trabalho iremos utilizar transistores com comprimento de canal igual a dois ou quatro  $\mu$ m. Os modelos simulados geram a Tabela 4.4, que nos fornece os parâmetros necessários para o prosseguimento do projeto.

Tabela 4.4: Valores dos fatores de modulação de canal.

	$L=2\mu m$	$L=4\mu m$
$\lambda_N (mV^{-1})$	$5,\!6$	4,2
$\lambda_P (mV^{-1})$	-21	-12

Isolando W/L na Equação 4.9, chega-se a Equação 4.11 que é utilizada para o cálculo dos transistores.

$$\frac{W}{L} = \frac{2I_d}{KP\left(V_{gs} - V_{th}\right)^2 \left(1 + \lambda V_{ds}\right)} \tag{4.11}$$

O resultado de todos os elementos, assim como de todos os parâmetros utilizados estão reunidos na Tabela 4.5. Na última coluna estão reunidos os valores finais para o amplificador após otimização via simulação. A simulação é necessária e fundamental para se verificar e otimizar o funcionamento do OTA. Essa tabela nos dá uma visão da polarização em todos os pontos do circuito.

Transistores	Id	Vgs	Vds	KP	Vth	$\lambda$	L	Wc	Ws
do OTA	(µA)	(V)	(V)	$(\mu \mathbf{A}/\mathbf{V}^2)$	(V)	$(mV^{-1})$	(µm)	(µm)	(µm)
Mp1	10	-1,2	-1,85	58	-0,65	-12	4	4,5	6,5
Mp2	10	-1,2	-1,85	58	-0,65	-12	4	4,5	6,5
Mn3	10	0,9	$0,\!95$	170	0,50	4,2	4	2,9	3,1
Mn4	10	0,9	0,95	170	0,50	4,2	4	2,9	3,1
Mp5	20	-1	-0,45	58	-0,65	-21	2	11,2	19,8
Mn6	130	0,95	$1,\!65$	170	0,50	$5,\!6$	2	70,8	121
$Mp  \gamma$	130	-1	-1,65	58	-0,65	-21	2	18,2	20,3

Tabela 4.5: Valores de projeto para os transistores do amplificador.

Com os valores encontrados e reunidos na Tabela 4.5, podemos após alguns cálculos rápidos, encontrar os valores dos ganhos dos estágios do amplificador. O ganho de tensão do primeiro e do segundo estágios em malha aberta são dados pelas Equações 4.12. O ganho total é dado pelo produto dos ganhos dos estágios.

$$A_1 \approx -g_{m2} \left( r_{o2} / / r_{o4} \right) \tag{4.12}$$

$$A_2 \approx -g_{m6} \left( r_{o6} / / r_{o7} \right) \tag{4.13}$$

Onde:

$$g_m = KP \frac{W}{L} (|V_{gs}| - |V_{th}|)$$
(4.14)

е

$$r_o \approx \frac{1}{|\lambda| \cdot I_d} \tag{4.15}$$

Com os valores dados na Tabela 4.5 e as Equações 4.12, podem-se calcular os valores dos ganhos:  $A_1$ =-218,5V/V,  $A_2$ =-202,8V/V e  $A_t$ =44.312,61V/V (92,9dB).

Quando se coloca uma carga  $R_L$  de 10k $\Omega$  na saída do amplificador, o ganho do segundo passa a ser dado pela Equação 4.16.

$$A_2 \approx -g_{m6} \left( r_{o6} / / r_{o7} / / R_L \right) \approx -g_{m6} R_L \tag{4.16}$$

Assim, o ganho do segundo estágio passa a ser  $A_2 = -6.96/V \text{ e } A_t = 1521 \text{V/V} (63.64 \text{dB}).$ 

A primeira simulação realizada foi a análise AC em malha aberta do amplificador sem compensação com uma carga padrão de  $10k\Omega$  em paralelo com 10pF. Os resultados da magnitude e da fase do ganho são mostrados na Figura 4.18. A magnitude mostrada na Figura 4.18(a) apresenta um valor de 59,42dB, próximo ao 63,64dB encontrado nos cálculos manuais. Esse valor é perfeitamente aceitável devido à aproximação do equacionamento e as variações entre os valores dos parâmetros utilizados nos cálculos e dos modelos de simulação.



Figura 4.18: Diagrama de Bode - amplificador não compensado.

A Figura 4.18(b) apresenta menos um grau de margem de fase, o que representa uma instabilidade do circuito devido a proximidade dos pólos, conforme definido pelo critério de *Nyquist*. O pólo que domina o comportamento do circuito é o de menor frequência, pois o mesmo ocorre onde o ganho é maior (Gray e Meyer, 1982). Assim, nota-se no OTA que os pólos são gerados nos pontos de alta impedância do circuito, ou seja, no dreno de Mn4 e de Mn6. Os pólos desses pontos podem ser calculados (Johns e Martin, 1997; Allen e Holberg, 2002), porém não o são nesse momento, por não serem de fundamental importância, sendo a compensaçãoa realizado atráves do ajuste indireto de Cc. É conveniente, portanto, fazer a compensação em frequência do circuito. O papel da compensação é conseguir que o OTA mantenha sua estabilidade quando se fecha a malha de realimentação.

O mais simples e comum método para este caso é a compensação por efeito *Miller*, que consiste na inserção de um capacitor de realimentação entre o primeiro e o segundo estágio de amplificação do circuito, exatamente nos pontos de alta impedância, o que faz com que os pólos sejam afastados. Por isso que essa técnica é conhecida também por *pole splitting*. As frequências desses pólos são dadas pelas Equações 4.17 e 4.18. Será mostrado nas próximas simulações que

um capacitor de 0,5pF na realimentação faz com que o ganho no segundo pólo seja suficientemente baixo para que o circuito fique estável.

$$f_1 = \frac{|p_1|}{2\pi} \cong \frac{1}{2\pi \cdot g_{m6}R_1R_2C_C} \tag{4.17}$$

$$f_2 = \frac{|p_2|}{2\pi} \cong \frac{g_{m6} \cdot C_C}{2\pi \cdot (C_1 C_2 + C_C (C_1 + C_2))}$$
(4.18)

A inserção do capacitor, além de modificar a posição dos pólos, cria um acoplamento capacitivo entre o primeiro e o segundo estágio, que significa um aparecimento de um zero no lado direito do plano (Gray e Meyer, 1984; Sedra e Smith, 1998). O zero faz aumentar o ganho e diminuir a fase, podendo levar o circuito novamente a instabilidade. O valor desse zero é dado pela Equação 4.19.

$$Z_1 \cong \frac{1}{C_C \left(1/g_{m6} - R_Z\right)} \tag{4.19}$$

Uma forma de anular o efeito desse zero é colocar um resistor em série com o capacitor. Se esse resistor possuir um valor de  $1/g_{m6}$ , o mesmo força o zero para o infinito, deixando praticamente inalterado o valor dos pólos compensados (Gray et al., 2001). Esse resistor pode ser implementado pelo transistor Mp8 atuando na região linear de maneira a diminuir o consumo de área e diminuir o efeito da variação de processo. Como não passa corrente DC por esse transistor devido a sua inserção em série com o capacitor de compensação, sua colocação no circuito não altera o comportamento DC do circuito (Razavi, 2001).

Para estimar o valor do capacitor de compensação, utilizamos a definição de produto ganhobanda do amplificador. Essa definição é dada pela Equação 4.20.

$$GBW = Av \cdot f_1 \tag{4.20}$$

Substituindo a Equação 4.20 na Equação 4.17, obtemos a relação vista na Equação 4.21.

$$C_C \cong \frac{Av}{2\pi \cdot g_{m6}R_1R_2GBW} \tag{4.21}$$

Onde:  $A_v$  é o ganho total,  $g_{m6}$  é a transcondutância do segundo estágio,  $R_1$  é a resistência equivalente do primeiro estágio dada por  $r_{02}//r_{04}$ ,  $R_2$  é a resistência equivalente do estágio de saída dada por, aproximadamente,  $R_L$  e GBW é a frequência de ganho unitário.

Com os valores calculados anteriormente e GBW igual a 10MHz para o circuito carga padrão resistiva, ou seja,  $10k\Omega$ , obtemos um valor de 0,56pF para o capacitor de compensação.

Da mesma maneira, parte-se da Equação 4.19 para se estimar o valor do resistor de compensação. Notamos que para colocarmos o zero no infinito ou para passarmos o mesmo para o eixo real negativo, no qual a fase introduzida por ele se soma a margem de fase existente (Allen e Holberg, 2002), devemos obedecer a Equação 4.22.

$$R_Z \ge \frac{1}{g_{m6}} \tag{4.22}$$

Como  $g_{m6}$  vale 696,15 $\mu$ A/V, temos que  $R_z \ge 1,5k\Omega$ .

Substituindo na Equação 4.23 o valor do resistor de compensação mais os parâmetros de processo e o valor e  $V_{gs}$  igual a 2,65V (valor do ponto DC de saída acrescido da variação AC no pior caso, ou seja, 1Vp), encontramos W/L > 5,75. Na simulação obtemos um valor otimizado igual a 1, o que resulta em uma resistência de 8,5k $\Omega$ , valor perfeitamente aceitável, pois  $R_z$  deve ser > 1,5k $\Omega$ .

$$r_{0c} \approx \frac{1}{KPP\left(\frac{W}{L}\right)\left|V_{gs} - V_{th}\right|} \tag{4.23}$$

#### 4.3.3.2 Simulações e layout

Após os cálculos iniciais, a compensação em frequência e a otimização dos valores dos componentes, várias simulações foram realizadas para analisar os principais parâmetros do amplificador de maneira a verificar seu funcionamento.

O primeiro resultado analisado é a excursão máxima do sinal de saída sem distorção. A excursão é mostrada na Figura 4.19. As respostas foram obtidas aplicando um sinal senoidal de baixa frequência e baixa amplitude na entrada com a carga padrão de  $10k\Omega$  e 10pF conectadas a saída. Utilizando parâmetros típicos de simulação, pelo gráfico se observa que a saída possui uma excursão de + 1V, conforme desejado.



Figura 4.19: Excursão do sinal de saída.

Um dos mais importantes parâmetros a serem analisados no projeto de um OTA é sua resposta em frequência. Nessa análise foram realizadas quatro simulações com diferentes cargas na saída, para verificar o seu comportamento em diversas situações de operação. Com as respectivas cargas realizaram-se simulações com as variações de processo para verificar o quanto essa variação interfere no comportamento do circuito.



Figura 4.20: Diagrama de Bode - amplificador com carga padrão 10k $\Omega$ e 10pF.

Na análise da Figura 4.20, que corresponde a carga padrão, obtém-se os principais resultados para a verificação da funcionalidade do circuito. Eles estão resultados na Tabela 4.6. Esses resultados mostram que os valores após otimização estão bem próximos aos valores analíticos utilizados durante a fase de projeto do circuito. As três próximas análises serão referenciadas a essa com carga padrão, ao se atribuir aumento ou diminuição de seus respectivos valores.

Parâmetros	$f_1$	GBW	MF	$Av_0$
dos modelos	(kHz)	(MHz)	(0)	(dB)
Típico	10	8,41	65, 15	59,42
Slow	$^{7,5}$	$5,\!96$	71,95	$58,\!40$
Fast	15	$11,\!89$	60,93	$59,\!82$

Tabela 4.6: Resumo da resposta em frequência - amplificador com carga padrão  $10k\Omega$  e 10pF.

Quando se utiliza apenas a carga resistiva com valor de  $10k\Omega$ , a resposta do circuito é dada pela Figura 4.21 e suas principais características de desempenho são dadas na Tabela 4.7. Esses resultados mostram um aumento do segundo pólo do circuito devido a ausência da parcela imaginária da carga, o que gera também um aumento em sua margem de fase, quase que dobrando seu valor com relação a carga padrão. O ganho em baixas frequências se manteve inalterado, pois é dependente exclusivamente da parcela resistiva da carga.



Figura 4.21: Diagrama de Bode - amplificador com carga padrão  $10k\Omega$ .

Parâmetros	$f_1$	GBW	MF	$Av_0$
dos modelos	(kHz)	(MHz)	(0)	(dB)
Típico	10	13,34	121,41	59,42
Slow	$^{7,5}$	8,41	$121,\!83$	$58,\!40$
Fast	15	$21,\!13$	$121,\!83$	$59,\!82$

Tabela 4.7: Resumo da resposta em frequência - amplificador com carga  $10k\Omega$ .

O próximo tipo de carga, mostrada na Figura 4.22, é o espelho da anterior, ou seja, utiliza-se apenas uma carga capacitiva no valor de 10pF. Essa ausência da parte real da carga gera um aumento da impedância de saída, o que é refletido no aumento do ganho em baixas freqüências. O pólo dominante acaba por diminuir bastante, o que gera uma pequena diminuição tanto na freqüência de ganho unitário quanto na margem de fase, como mostrado na Tabela 4.8.



Figura 4.22: Diagrama de Bode - amplificador com carga 10pF.

Tabela 4.8: Resumo da resposta em frequência - amplificador com carga 10pF.

$Par \hat{a}metros$	$f_1$	GBW	MF	$Av_0$
$dos \ modelos$	(Hz)	(MHz)	(0)	(dB)
Típico	447	9,44	$58,\!14$	88,36
Slow	237	7,08	$63,\!61$	$90,\!61$
Fast	1k	$17,\!78$	$53,\!08$	84,93

Na Figura 4.23 é mostrada o último tipo de análise, na qual é utilizado um circuito com a saída em aberto, ou seja, sem carga. Devido ao aumento da impedância de saída, o pólo dominante diminui, enquanto que o ganho em baixas frequências, o segundo pólo, a frequência de ganho unitário e a margem de fase aumentam, conforme mostrado na Tabela 4.9.

Cap. 4 Concepção e implementação de circuitos digitais e analógicos



Figura 4.23: Diagrama de Bode - amplificador sem carga.

Tabela 4.9: Resumo da resposta em frequência - amplificador sem carga.

$Par \hat{a}metros$	$f_1$	GBW	MF	$Av_0$
$dos \ modelos$	(Hz)	(MHz)	(0)	(dB)
Típico	447	$29,\!85$	$131,\!60$	$88,\!36$
Slow	237	$53,\!09$	106, 30	$90,\!61$
Fast	1k	$158,\!52$	$38,\!23$	$84,\!93$

A resposta em malha fechada do amplificador foi realizada com ganho unitário e resistores de realimentação de  $10k\Omega$ . Essa condição de ganho foi a escolhida, pois se trata da pior condição, ou seja, a mais crítica, já que possui uma menor margem de fase em relação a outros valores de ganho para o amplificador realimentado. Assim, o circuito pode tender a oscilar devido a perda de estabilidade. A Figura 4.24 mostra que apesar das mudanças dos pólos e zeros do circuito, devido a nova carga que a realimentação representa, o mesmo continua a apresentar um ótimo desempenho, mesmo nessa condição mais crítica de funcionamento.


Figura 4.24: Diagrama de Bode - amplificador em malha fechada com ganho unitário.

A verificação do comportamento do *slew-rate* e do *settling time* foi realizado com o circuito realimentado com ganho unitário e uma carga padrão de  $10k\Omega$  e 10pF. Na entrada do circuito é aplicado uma onda quadrada de 1V, mostrada na Figura 4.25(a) e toma-se a resposta do circuito mostrada na Figura 4.25(b).

O *slew-rate* é obtido pela razão entre a variação de tensão entre 10% a 90% e o tempo necessário para a realização dessa referida mudança, enquanto que o *settling time* é a medida de tempo entre o início da transição na mudança de tensão até o momento em que o circuito se estabiliza em seu valor final.

Os valores obtidos da Figura 4.25(b) estão resumidos na Tabela 4.10, confirmando o bom desempenho.



(a) Forma de onda na entrada

(b) Forma de onda na saída



Parâmetros	SR-subida	SR- $descida$	ST-subida	ST- $descida$
dos modelos	$(V/\mu s)$	$(V/\mu s)$	(ns)	(ns)
Típico	8,1	13,6	443	303
Slow	4,9	8,7	532	574
Fast	14,28	22,9	246	154

Tabela 4.10: Resumo dos valores de *slew-rate* e *settling-time*.

A CMRR (*Commom mode rejection rate*) ou rejeição ao modo comum é uma característica de amplificadores diferenciais e essa próxima simulação tem o objetivo de mostrar o bom desempenho do circuito nesse quesito. A Figura 4.26, mostra essa característica e apresenta valores em torno de 80dB para os três tipos de parâmetros do modelo de simulação.



Figura 4.26: Rejeição ao modo comum.

Finalizando a análise do OTA obtemos os valores para as resistências de entrada e saída na frequência de 750kHz, para os três tipos de parâmetros de simulação. A resistência de entrada foi calculada dividindo-se a tensão pela corrente de entrada, enquanto que, a resistência de saída foi obtida dividindo-se a tensão de saída em aberto pela corrente de saída em curto. Os valores estão reunidos na Tabela 4.11.

Tabela 4.11: Valores das resistências de entrada e saída na frequência de 750kHz.

Parâmetros	$oldsymbol{R}_{in}$	$R_{out}$
dos modelos	$(\mathbf{M}\Omega)$	$(\mathbf{k}\Omega)$
Típico	4,86	2,37
Slow	$5,\!05$	$3,\!04$
Fast	$4,\!56$	1,75

Na Figura 4.27(a) temos o *layout* do OTA implementado no ADS, enquanto na Figura 4.27(b), observamos o par diferencial de entrada implementado com a técnica de par cruzado (*cross-quad*) (Hastings, 2001), em que se divide o par de transistores em quatro.



(a) OTA completo



(b) Par diferencial (cross-quad)

Figura 4.27: Layout do OTA.

## 4.3.4 Circuito demultiplexador analógico

O demultiplexador proposto nesse capítulo é o agrupamento de dois blocos previamente projetados: a chave analógica (na verdade um par de chaves por canal) e o OTA. Os dois que em conjunto formam um canal do demultiplexador do sistema. Nessa secção serão mostrados o projeto e a simulação de um canal do demultiplexador, sendo que o sistema completo é formado por quatro canais nesse caso. A simulação completa com quatro canais poderá ser observada no Capítulo 5, pois a segunda parte dos resultados para o sistema completo, representa exatamente esse demultiplexador em sua versão completa em quatro canais, assim nessa parte do trabalho nos prenderemos a análise, projeto e confecção do *layout* de um canal, sendo o demultiplexador formado por quatro canais apenas uma generalização do projeto aqui apresentado.

# 4.3.4.1 Concepção

Uma primeira e mais simples implementação para o demultiplexador, pode ser imaginada como um amplificador de diferenças na saída do *mixer* agregado à sua saída de um conjunto de chaves analógicas NMOS, desempenhando o papel de separador de sinais. Essa primeira e mais simples implementação funciona bem para um ângulo de excitação do arranjo de 90°, pois os sinais multiplexados na saída do *mixer* possuem um aspecto de seno com uma banda limitada, praticamente somente o valor da fundamental de FI. O problema começa aparecer, quando se

afasta o ângulo de excitação dos 90°. Essa diferença de fase entre os elementos do arranjo resulta em um aumento de banda na saída de FI, devido ao aumento nas transições.

Como o OTA tem uma faixa de operação limitada em frequência, o mesmo começa a atenuar as componentes de maior frequência, de maneira que, quando esse sinal já atenuado em frequência passa pelas chaves, ele praticamente tem o mesmo comportamento da saída com ângulo de excitação em 90°, o que após o filtro passa-baixas resulta numa saída sem variação de fase, ou seja, com um comportamento igual ao da excitação com ângulo de 90°. Resumidamente, nesse caso independente do ângulo de excitação a saída sempre corresponderá ao mesmo valor de fase, o que implica no não funcionamento do sistema, pois o mesmo não tem capacidade de passar aos estágio subsequentes qual a real posição da excitação do arranjo.

Assim, para garantir o funcionamento do demultiplexador para sinais de FI com diferentes raias no espectro, devido às mudanças no ângulo de excitação do arranjo, foi necessária a inversão dos dispositivos, ou seja, primeiro realizamos a demultiplexação dos canais através das chaves analógicas diferencias. Essa demultiplexação prévia dos canais acaba por limitar bastante à banda do sinal, ou seja, o sinal passa a ter praticamente a mesma banda do sinal com ângulo de excitação de 90°, porém agora com seu respectivo valor de fase, que muda de acordo com o ângulo de excitação, agregado, porém mantendo a mesma largura de banda.

Assim, pode-se aplicar esse sinal diferencial já demultiplexado no OTA que faz o papel de um conversor balanceado-desbalanceado ativo para os sinais de FI demultiplexados. Dessa maneira cada canal do demultiplexador passa a ser composto conforme mostrado na Figura 4.28, por um conjunto de chaves analógicas diferenciais e um OTA. Para o caso de nosso sistema proposto com quatro canais, passamos a ter um sistema de demultiplexação composto por quatro canais independentes, ou seja, uma replicação quádrupla do sistema proposto na Figura 4.28.



Figura 4.28: Esquemático de um canal do demultiplexador analógico.

O OTA projetado na secção anterior é utilizado na configuração amplificador de diferenças, pois o *mixer* e o primeiro estágio do demultiplexador constituídos pelas chaves analógicas, estão na configuração diferencial.

Deduzindo a expressão do ganho para o amplificador de diferenças, chega-se a expressão mostrada na Equação 4.24, para o caso simplificado, no qual utilizamos R3=R1 e R4=R2. Nesse trabalho utilizaremos resistores de  $50k\Omega$  e  $10k\Omega$ , o que representará um ganho de tensão de 5V/V nesse estágio.

$$\frac{Vout}{Vs} = -\frac{R2}{R1} \tag{4.24}$$

Para manter a polarização do OTA referenciada ao valor Vdd/2 (pois o sistema não trabalha com alimentação simétrica), o ponto de tensão de "aterramento" dos transistores *shunt* das chaves analógicas e o ponto de "aterramento" do resitor R4 passa a ser a ter o valor de Vdd/2, ou no nosso caso, 1,65V.

### 4.3.4.2 Simulações e layout

Os resultados de simulação para um canal são observados na Figura 4.29, na qual para uma entrada senoidal de 750KHz (que representa o valor de um sistema com excitação de arranjo de 90°) mostrada na Figura 4.29(a), o valor de Vs (saída diferencial das chaves analógicas), mostrada na Figura 4.29(b) representa o sinal demultiplexado diferencial para um canal. O valor de chaveamento do demultiplexador foi adotado como o projetado no Capítulo 2, ou seja, pulsos de 83ns com período de 332ns.



Figura 4.29: Formas de onda do demultiplexador.

### Cap. 4 Concepção e implementação de circuitos digitais e analógicos

Na Figura 4.30 é mostrado o valor final da saída de um canal do demultiplexador, ou seja, o sinal de saída desbalanceado do OTA. Pode-se notar pelo gráfico que o OTA aplicou um ganho ao sinal Vs, aliado a uma limitação de banda devido a natureza passa-baixa de sua resposta em frequência. Em nosso caso, essa limitação não representa nenhum problema, pois esse sinal de saída do OTA irá passar por um filtro passa-baixas justamente para recompor o sinal, assim o OTA acaba por fazer um papel de pré-filtro do sistema.



Figura 4.30: Saída balanceada do demultiplexador

Na Figura 4.31 é mostrado o *layout* de um canal do demultiplexador (lembrando que o demultiplexador completo para nosso sistema é a composição de quatro canais interligados de maneira independente, compartilhando apenas o mesmo sinal de entrada).



Figura 4.31: Layout de um canal do demultiplexador analógico.

Na Figura 4.31 nota-se o conjunto de duas chaves a esquerda e o OTA a direita. Também, fica claro os resitores utilizados para a realimentação do amplificador de diferenças. Os resistores foram implementados com RPOLYH e os dois retângulos menores representam os dois resistores de  $10k\Omega$ , enquanto para os resistores maiores de  $50k\Omega$  foram implementados dois modelos otimizando a área do *layout*. Esses dois modelos possuem exatamente o mesmo valor de resistência com geometrias diferentes.

## 4.4 Síntese do Capítulo 4

Nesse capítulo, apresentamos os circuitos de baixa frequência que compõe o sistema integrado para a técnica SMILE. Foi projetado o circuito para o controle do chaveamento (*switch driver*), sendo um contador em anel de módulo quatro, que por sua vez é constituído internamente por quatro *flip-flops* tipo D, borda de subida, acionado por um sinal de *clock*. Esse sinal é gerado através de um oscilador em anel controlado por tensão. Além desse circuito digital para a geração do sinal de acionamento, apresentamos também um circuito analógico para a demultiplexação do sinal de FI. Esse circuito é composto por um conjunto de chaves analógicas diferenciais MOS, seguido por um OTA para amplificação e conversão do sinal.

Foram apresentadas as medidas para as chaves analógicas e para o circuito digital de acionamento do sistema. O OTA por ser um circuito analógico simples e o demultiplexador, por ser a junção de dois blocos já projetados, foram apresentados somente em simulação, não necessitando de fabricação para testes preliminares dos mesmos. Essa não fabricação também é função direta do bloqueio de verbas de um ano ao qual o PMU-FAPESP foi submetido em 2007. Este problemas não se refletiram em atrasos no progresso dos trabalhos, pois todos os blocos básicos foram fabricados e testados, faltando apenas um que não é crítico.

Todos os resultados simulados e medidos para os diversos circuitos propostos foram extremamente satisfatórios, mostrando a viabilidade dos mesmos na tecnologia disponível. Consequentemente ao ser aplicado num sistema completo, desde que sejam respeitados todos os requisitos de acoplamento dos módulos, a tendência é de sucesso na aplicação proposta.

# Capítulo 5

# Implementação do sistema SMILE integrado

# 5.1 Introdução

Esse capítulo traz a integração completa do sistema SMILE. Esse sistema motivou os projetos individuais que foram mostrados tanto para circuitos de RF (Capítulo 3), quanto para circuitos digitais e analógicos (Capítulo 4). O sistema SMILE proposto será implementado em duas topologias, sendo uma com demultiplexação analógica e outra com demultiplexação digital, a ser realizada por um sistema de processamento após a conversão analógica/digital do sinal multiplexado na saída do *mixer*. No decorrer desse capítulo são demonstradas e implementadas duas topologias e são propostas mais duas em quadratura com os mesmos princípios de funcionalidade.

## 5.2 Sistema com demultiplexação analógica

## 5.2.1 Introdução

Uma primeira topologia totalmente integrada proposta para multiplexação espacial de antenas está representado na Figura 5.1. Nesse circuito temos a agregação em uma mesma pastilha do LNA multiplexado, do *mixer*, do demultiplexador e do controle digital de chaveamento (*switch driver*).

Em nossa metodologia de trabalho, antes da concepção e projeto de um circuito completo, todos os blocos foram implementados separadamente e testados um a um. Isso foi necessário devido a essa tese ser pioneira e não haver até então circuitos independentes prontos, testados e confiáveis para já se partir para a implementação direta do protótipo completo. Além disso, almejou-se também com essa tese a montagem de uma biblioteca completa de circuitos de RF, o que ao final desta, foi alcançada com sucesso. Assim, após a concepção e implementação separadamente de todos os dispositivos e blocos do sistema e com os mesmos casados para uma determinada impedância de entrada e saída (50 $\Omega$ ), fez-se o casamento entre os blocos para constituir o circuito completo.



Figura 5.1: Diagrama em blocos da técnica SMILE.

### 5.2.2 Concepção

Como todos os circuitos foram projetados isoladamente com entrada e saída casadas em  $50\Omega$ , a priori poderiamos simplesmente realizar um acoplamento AC entre os blocos através de capacitores de bloqueio, para garantir os diferentes níveis de polarizações dos blocos que compõe o sistema, não necessitando assim, de mudanças nos projetos já realizados e testados.

Porém, ao se utilizar um capacitor de bloqueio entre o mixer e o demultiplexador para se conseguir baixa reatância na frequência de interesse (em nosso caso estamos realizando todos os testes com uma FI de 750kHz) seu valor passa a ser alto (na ordem de 100nF). Esse valor do capacitor agrega um atraso muito grande na resposta transiente devido a sua alta constante de tempo, refletindo em perda da informação (*bits*) do sinal até que o mesmo entre em regime, quando o circuito estiver operando em sua fase final na transmissão de dados, o que inviabiliza o uso do projeto de maneira confiável em aplicações com essa finalidade. Além disso, não poderiamos implementá-lo de maneira integrada devido a seu alto valor, necessitando que o sinal saia do *chip*, passe por um capacitor externo e retorne ao *chip*. Todo esse caminho acaba por agregar mais parasitas ao circuito e o que contribuiria ainda mais para a degradação do mesmo.

Dessa maneira, foi necessário um reprojeto do *mixer* para proporcionar um acoplamento DC entre a saída do *mixer* e a entrada do demultiplexador. Na entrada do demultiplexador há a necessidade de se operar com *off-set* zero para o ponto de simetria de sua alimentação, ou seja, como estamos trabalhando com nível DC não simétrico na alimentação, seu valor de tensão de polarização passa a ser Vdd/2, o que representa 1,65V. Assim, optamos por alterar a tensão de saída do *mixer* de maneira a casar com a da entrada do demultiplexador.

Como essa alteração seria obrigatória, optou-se também em alterar outros elementos do *mixer* de maneira que o mesmo utilizasse as mesmas tensões de polarização do VCO, diminuindo as fontes de correntes necessárias ao circuito completo. Além disso, na entrada do oscilador local poderia se colocar um capacitor de bloqueio na ordem de 2pF, pois a frequência na entrada do mesmo é alta o suficiente para não resultar numa de perda de inserção alta do caminho do sinal.

Porém, como os transistores de chaveamento do *mixer*, que receberão os sinais vindo do oscilador local estão em um ponto alto do circuito, uma maneira mais elegante e perfeitamente possível seria adaptá-lo ao valor da tensão de saída do *buffer* do oscilador local, o que elimina a necessidade desse capacitor de bloqueio, realizando um acoplamento DC entre os circuitos.

Com relação a interface saída do LNA / entrada do *mixer*, não se pode realizar um acoplamento DC, pois a saída do LNA opera com um ponto DC alto devido ao indutor de sintonia, próximo à Vdd, que é na ordem de 3V, enquanto que a entrada de RF do *mixer* (conversor tensão-corrente) possui empilhada acima dela todo circuito de chaveamento, mais o conversor corrente-tensão, necessitando de uma tensão na faixa de 2V. Isto impossibilitou tal tipo de acoplamento. Em função disso, utilizamos um capacitor de bloqueio na ordem de 2pF, o que para a faixa utilizada (2,6GHz) não causa nenhum problema ao perfeito funcionamento do circuito, já que sua reatância é baixa.

O novo projeto resultou em alterações somente no *buffer* de saída e na fonte de corrente do *mixer* de maneira a adaptá-los aos novos valores de tensões de entrada e saída sem alterar seus resultados já caracterizados. Com referência às Figuras 3.25 e 3.28 do Capítulo 3 os novos valores após a alteração e otimização do circuito reformulado são: V-LO=2,15V; V-RF= 2,0V; Vbias= 953mV; Mn7  $\rightarrow$  Wt=115 $\mu$ m, L=0,35 $\mu$ m e ng=23; Mb1=Mb2  $\rightarrow$  Wt=180 $\mu$ m, L=0,35 $\mu$ m e ng=18; Mb3=Mb4  $\rightarrow$  Wt=80 $\mu$ m, L=0,35 $\mu$ m e ng=16. Os demais componentes permanecem inalterados. Dessa maneira a saída do *mixer* passa a ter um nível DC de 1,65V, conforme desejado para o casamento DC com o demultiplexador, além de ser polarizado com os mesmos divisores MOS do VCO.

#### 5.2.3 Simulações

Para se testar a funcionalidade do circuito proposto, foi montado um *setup* de simulação contendo o circuito completo com demodulação analógica proposto na Figura 5.1. Como dito anteriormente, após a reformulação do *mixer*, todos os circuitos estavam acoplados DC com exceção da conexão de RF entre o LNA e o *mixer*, conexão essa na qual se utilizou um capacitor de bloqueio no valor de 2pF.

Porém, antes dessa implementação, para garantir a funcionalidade e facilitar a detecção de possíveis erros de projeto, todos os circuitos mostrados foram simulados e casados bloco a bloco

progressivamente. Assim, primeiro se fez a simulação e otimização de um novo bloco referente ao conjunto do LNA e *mixer*.

A junção desses circuitos funcionou perfeitamente sendo que o melhor casamento entre os referidos blocos foi realizado com o auxílio da carta de *Smith* e acorreu com o acréscimo de um indutor na saída do LNA de maneira casar a parte imaginária do LNA e do *mixer* na frequência de interesse. Como os indutores são células prontas da *foundry*, não se tem muitos graus de liberdade para trabalhar no projeto para a realização de um casamento perfeito. Dessa maneira, a parte real ficou ligeiramente descasada, pois quando alteramos o valor da indutância, alteramos também o valor da resistência em série, pois os indutores possuem um valor de Q variável entre os modelos. Devido a esse problema de ordem técnica da implementação de indutores integrados, a melhoria acrescida pelo novo indutor, comparada com a aumento de área de pastilha devido a esse novo componente, aliado ao aumento de ruído (seu Q é relativamente baixo), acaba não compensando o seu uso e assim, desse modo foi mantido o casamento simples entre os blocos através do uso de um capacitor de 2pF.

Os outros módulos também foram casados e testados primeiramente dois a dois. O teste seguinte foi entre o *mixer* e o VCO, junção essa que não apresentou problemas de casamento, pois o acoplamento DC já estava previsto no reprojeto do *mixer* e um casamento de impedâncias na entrada do oscilador local do *mixer* não é crítico, pois como a parte reativa não apresenta problemas ao chaveamento, o cuidado se deu somente com a parte real da impedância. Simulou-se também, o funcionamento em conjunto do LNA e do controle digital (*switch driver*), funcionando perfeitamente, sem problemas. Por fim, realizou-se a simulação do demultiplexador com filtro passa-baixas acionado pelo controle digital, sendo que essa simulação também funcionou conforme o esperado.

Essa técnica de se unir os blocos dois a dois é fundamental, pois se ocorrer um problema de funcionamento entre as conexões dos circuitos, torna-se muito mais fácil descobrir em qual dispositivo e em qual parte do dispositivo estaria ocorrendo o problema. No caso específico desse projeto, não houve necessidade de uma reformulação ou reprojeto, pois todas as uniões intermediárias de blocos para testes apresentaram um desempenho dentro do esperado, validando os projetos e possibilitando assim, a integração total dos circuitos em um único circuito integrado. Assim, após as simulações parciais, partiu-se para a simulação do sistema completo com demodulação analógica, como proposto na Figura 5.1.

Para a simulação completa do circuito, cada bloco (LNA multiplexado, VCO, *mixer*, demultiplexador e controle) foi transformado numa sub-hierarquia do projeto principal de maneira a facilitar os procedimentos de simulação. Porém, o circuito completo não pode ser simulado, pois devido a grande translação de frequência entre a entrada de RF e a saída do *mixer* (2,6GHz para 750kHz), necessitamos simultaneamente de passos muito pequenos de tempo, devido ao valor da frequência de entrada do LNA e de uma grande janela de simulação para podermos observar a forma de onda da saída do *mixer*. Assim, o valor típico do arquivo de saída de simulação que era de  $800MB/\mu$ s travava a simulação em  $2,5\mu$ s, não permitindo que continuasse, devido à limitação do ADS em seu gerenciador de resultados, travando o mesmo para arquivos superiores a 2GB. Infelizmente, a simulação até  $2,5\mu$ s não mostra nenhuma informação, pois o tempo de acomodação do filtro acaba sendo bem maior, inviabilizando qualquer conclusão da simulação do circuito completo.

A solução encontrada para validar o sistema completo foi separar a simulação em duas partes, sendo uma referente a parte de RF até a saída do *mixer* (equivalente ao circuito com demultiplexação digital que será apresentado no próximo tópico do capítulo) e uma segunda parte referente ao demultiplexador. Dessa maneira, na primeira parte, temos um circuito composto pelo LNA, *mixer*, oscilador controlado por tensão, e pelo controle (*switch driver*) que aciona o chaveamento do LNA.

Para testar a primeira parte do projeto, simulou-se o circuito com três diferentes ângulos do arranjo: 90° que gera a saída com a menor banda (praticamente uma senóide), 120° e 45°. Quanto maior for a inclinação do arranjo com relação a referência de 90°, maior será a banda do sinal de saída, pois variações mais bruscas ocorrerão na saída devido ao aumento da defasagem dos sinais.

A simulação de transiente foi realizada para se verificar a funcionalidade real do circuito proposto no tempo. Conforme já explicitado, realizou-se a simulação para três ângulos de incidência da frente de onda recebida pelo arranjo, mostrando toda a funcionalidade do circuito em compor um sinal na banda base modulado com o chaveamento sequencial de todas as antenas do arranjo para a recepção de um tom de 750kHz. Os resultados são apresentados na Figura 5.2, na qual para cada ângulo testado do arranjo, observam-se as formas de onda na entrada dos quatro canais e o resultado na saída do *mixer*, que representa o sinal de RF multiplexado no tempo após seu batimento de frequências.



Figura 5.2: Sinais de entrada e de saída para o sistema com demultiplexação digital com a excitação em três diferentes ângulos.

A segunda parte do circuito completo é composta basicamente pelos circuitos integrados do demultiplexador e controle de chaveamento (que aparece nas duas simulações, pois o mesmo circuito aciona simultaneamente o LNA e o demultiplexador para assegurar baixo *jitter*), além do filtro passa-baixas. Novamente realizando a simulação de transiente, obtemos a saída dos sinais reconstituídos conforme mostrado na Figura 5.3. Pelos resultados podemos observar que o tempo de acomodação do filtro é de aproximadamente  $15\mu$ s, e se for observado o final dos gráficos no tempo  $25\mu$ s, nota-se as diferenças de fase entre os canais, diferença essa devida a inclimação de  $45^{\circ}$  da excitação do arranjo. O filtro utilizado é um filtro *Chebyshev* de terceira ordem com frequência de corte em 1,2MHz, obtido diretamente de modelos do ADS.



Figura 5.3: Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação analógica para um ângulo do arranjo de 45°.

Para uma melhor observação dos resultados dos canais, os resultados de saída foram condicionados após o transitório do filtro (intervalo entre 20 a  $25\mu$ s). Para condicioná-los, fez-se um tratamento matemático, no qual retirou-se a compomente DC de 1,65V da saída do filtro e aplicou-se um fator multiplicativo de 0,213 de maneira a ambos os sinais (saída do chaveamento do demultiplexador/saída do filtro passa-baixas) de cada canal terem a mesma amplitude. Assim, pode-se comparar visualmente o sinal chaveado em banda base e sua reconstituição pelo filtro passa-baixas. Essas simulações foram realizadas para todos os quatro canais do sistema proposto e em três ângulos diferentes de excitação do arranjo.



Figura 5.4: Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação analógica para um ângulo do arranjo de 90°.

Na Figura 5.4 são apresentados os resultados para o ângulo de excitação de 90°. Nesse ângulo a frente de onda atinge todos os elementos do arranjo de maneira igual, não havendo defasagem entre eles, assim os sinais de entradas e suas saídas recompostas não apresentam nenhuma defasagem entre si, conforme fica claro ao observamos os gráficos referentes a essa simulação.



Figura 5.5: Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação analógica para um ângulo do arranjo de 120°.

Na Figura 5.5 são apresentados os resultados para o ângulo de excitação de 120°. Nesse ângulo a frente de onda atinge todos os elementos do arranjo desafados de 30° à esquerda entre si, havendo um aumento da banda do sinal multiplexado devido as variações no sinal de banda base devido a essa desafagem, assim os sinais de entradas e suas saídas recompostas apresentam um defasagem constante entre os elementos, conforme fica claro ao observamos os gráficos referentes a essa simulação.



Figura 5.6: Sinais de saída após o filtro passa-baixas para o sistema com demultiplexação analógica para um ângulo do arranjo de 45°.

Na Figura 5.6 são apresentados os resultados para o ângulo de excitação de 45°. Nesse ângulo a frente de onda atinge todos os elementos do arranjo desafados de 45° à direita entre si, havendo um novo aumento da banda do sinal multiplexado devido as variações no sinal de banda base devido a essa desafagem serem maiores que para o ângulo de 120°, assim os sinais de entradas e suas saídas recompostas também apresentam um defasagem constante entre os elementos, conforme mostrados nos gráficos.

### 5.2.4 Layout de circuitos mixed-signal

Os circuitos digitais, em função de seu comportamento intrínseco de chaveamento constante dos dispositivos, acabam por induzir ruídos nos outros blocos, sejam eles analógicos ou RF, devido a sua maior sensibilidade ao ruído. Para que qualquer projeto seja bem sucedido, um cuidado especial deve ser tomado durante a confecção do *layout* e no caso de circuitos contendo blocos digitais, o cuidado passa a ser redobrado. Um *layout* realizado com sucesso irá minimizar o efeito do chaveamento dos circuitos digitais no circuito analógico ou de RF.

Assim, algumas considerações sobre o *layout* de circuitos *mixed-signal* devem ser levadas em conta, sendo elas listadas resumidamente a seguir:

### 5.2.4.1 Posicionamento no die

Os pontos dos circuitos RF/analógicos devem ser classificados segundo um critério de sensibilidade quando ao ruído. Assim, pontos de entrada com pequenos sinais ou pontos de alta impedância são considerados críticos. Esses pontos devem ser protegidos por anéis de guarda (implantações tipo  $N^+$  conectadas ao ponto de menor potencial do circuito) ou separados dos circuitos digitais por *buffers* de RF/analógicos.

Uma maneira simples de organizar o *layout* antes do início do projeto seria separar o mais distante possível os dois pontos mais críticos de cada tipo de circuito, ou seja, as entradas dos sinais RF/analógicos e as saídas dos sistemas digitais de maior velocidade de chaveamento. O ponto de maior proximidade deve ser a saída (*buffer*) do sistema RF/analógico e os dispositivos digitais de menor velocidade (Tsividis, 1996).

### 5.2.4.2 Anéis de guarda

Deve-se colocar o máximo de anéis de guarda possíveis com a clara preocupação que todo circuito RF/analógico deve ser conectado ao Vdd e terra de RF/analógico e que todo circuito digital deve ser conectado com Vdd e Terra digital (Baker et al., 2001).

### 5.2.4.3 Cruzamento de vias e linhas paralelas

E importante evitar-se ao máximo o cruzamento entre sinais RF/analógicos e digitais, pois para vias com sinais de pequena amplitude, as capacitâncias parasitas resultantes dos cruzamentos, podem acoplar as duas vias causando degradação do sinal. Quando não for possível evitar o cruzamento, utilizar uma camada de metal intermediária aterrada pelo terra de RF/analógico entre os sinais (Razavi, 1995).

Um pensamento análogo poder ser feito com relação a linhas de sinais paralelas e adjacentes entre sinais RF/analógicos e sinais digitais. No projeto deve-se evitar ao máximo, porém se for inevitável, deve-se utilizar uma linha de terra RF/analógico entre as trilhas de sinais.

## 5.2.4.4 Pontos de alimentação

Quando os circuitos digitais e RF/analógicos estão juntos compartilhando uma mesma pastilha, existe um grande problema para o perfeito funcionamento dos circuito, que é a injeção de ruído devido ao chaveamento dos circuitos digitais nos circuitos RF/analógicos através dos pontos de alimentação e terra em comum. A solução mais interessante seria isolar totalmente os pontos de alimentação e terra dos circuitos RF/analógicos e dos digitais, mas isso representa, além da necessidade de uma maior quantidade de PADs e consequentemente maior área de integração, graves problemas de *latch-up* se as alimentações não forem realizadas exatamente ao mesmo tempo. Como na prática é impossível garantir exatamente o mesmo tempo de acionamento para ambos os circuitos é preferível não separar totalmente a alimentação e terra dos circuitos (Razavi, 2001).

Assim, a melhor e mais viável maneira é desacoplar o máximo possível a alimentação e o terra dos circuitos digitais e RF/analógicos, fazendo que o ponto de conexão aconteça apenas nos PADs, minimizando o problema de *voltage spikes* nas trilhas internas (Hastings, 2001). Isso resulta, na prática, dentro do *chip* em um sistema de alimentação e terra RF/analógico e um sistema de alimentação e terra digital.

### 5.2.5 Layout do circuito completo

Seguindo as diretrizes apresentadas na secção anterior, foi implementado o *layout* do circuito proposto, mostrado na Figura 5.7. Esse circuito apresenta uma grande economia de área com relação a uma possível implementação integrada de um sistema de antenas inteligentes com quatro canais. Pelo *layout* é possível verificar que os indutores são as células mais problemáticas quanto ao consumo de área.

No circuito utilizou-se duas linhas de sinais de controle uma para o acionamento sequencial dos quatro canais, sendo essas linhas Q0, Q1, Q2 e Q3. Além delas, mais quatro linhas barradas, oriundas dos próprios *flip-flops* tipo D para a geração dos sinais barrados para acionamento complementar de outras partes do circuito. Assim, os inversores implementados para gerarem os sinais barrados no LNA multiplexado foram descartados nesse *layout*, utilizando-se diretamente os sinais barrados dos *flip-flops*. As chaves diferenciais analógicas utilizam esses sinais barrados em seus transistores *shunt*.



Figura 5.7: Layout do circuito - 2530 x 2280  $\mu m^2$ .

Onde:

- 01) Vin1 = Entrada do canal 01;
- 02) Vin2 = Entrada do canal 02;
- 03) Vin3 = Entrada do canal 03;
- 04) Vin4 = Entrada do canal 04;
- 05) GndA = Terra analógico;
- 06) GndD = Terra digital;
- 07) VctD = Tensão de controle do VCO digital;

- 08) Vck = Saída de *clock* do VCO digital;
- 09) EnbB = Enable barrado do *switch driver*;
- 10) VddD = Vdd digital;
- 11) GndA = Terra analógico;
- 12) Vout1 = Saída do canal 01;
- 13) Vout2 =Saída do canal 02;
- 14) Vout3 = Saída do canal 03;
- 15) Vout4 = Saída do canal 04;
- 16) Vcd = Saída da referência de 1,65V;
- 17) VcdB = Entrada da referência de 1,65V;
- 18) VddA = Vdd analógico;
- 19) VctA = Tensão de controle do VCO digital;
- 20) VddA = Vdd analógico.

Para facilitar a visualização dos sub-circuitos que compõe o circuito completo, na Figura 5.8 é mostrada uma diagramação do *layout* de maneira a que cada sub-circuito fique identificado mostrando seu posicionamento físico na implementação final.



Figura 5.8: Diagramação dos diversos circuitos componentes do sistema completo.

### 5.2.6 Jig de teste para o sistema

Na Figura 5.9 é mostrada o *layout* para a implementação do *jig* de teste, no qual conecta-se o circuito diretamente sobre o PCB, minimizando assim os efeitos parasitas.



Figura 5.9: Jig de teste para o sistema completo - 49 x 47mm.

# 5.3 Sistema com demultiplexação digital

## 5.3.1 Introdução

Essa segunda topologia utiliza em conjunto todos os circuitos desenvolvidos na tese, com excessão do demultiplexador analógico, pois a demultiplexação será feita numa etapa posterior à conversão analógica/digital, já no domínio digital. A topologia exige um conversor A/D com uma banda maior que para a topologia anterior. O sistema proposto pode ser observado na Figura 5.10, na qual fica claro a interligação e funcionamento mútuo entre os blocos do projeto.



Figura 5.10: Diagrama em blocos da técnica SMILE.

Foi utilizado basicamente o mesmo projeto do sistema com demultiplexação analógica, apenas retirando-se o demultiplexador e o filtro, pois como o *mixer* já tinha sido reformulado e o sistema já tinha sido testado em conjuntos de blocos, a implementação do circuito com demultiplexação digital, passou a ser apenas uma versão simplificada do sistema anterior.

### 5.3.2 Concepção e layout

Os resultados de simulação para essa topologia do sistema são os mesmos resultados obtidos para a primeira parte de simulação do sistema com demultiplexação analógica. Devido a limitação do simulador/máquina em gerenciar arquivos muito grandes (travando a simulação), foi necessário dividir o sistema comdemultiplexação analógica em duas partes. A primeira parte é exatamente o circuito com demultiplexação digital, faltando somente a colocação do modelo do PADs de RF de saída. Porém, como a frequência na saída é baixa com uma banda relativamente limitada, o valor de capacitância agregado pelo modelo do PAD não alterou os resultados de simulação. Assim, os mesmos resultados mostrados na Figura 5.2 são válidos como resultados finais para essa topologia.

O *layout* do circuito com demultiplexação digital é consequentemente uma versão reduzida do anterior, pois mantemos os mesmos blocos e somente retiramos o demultiplexador e as linhas que levavam os sinais de acionamento do controle até o demultiplexador. Assim, foram mantidas todas as características e cuidados já aplicados, devido ao fato de continuarmos possuindo circuitos de RF/analógicos e circuitos digitais integrados numa mesma pastilha.



Figura 5.11: Layout do circuito proposto - 2480 x 2280  $\mu m^2$ .

Onde:

- 21) Vout1 = Saída diferencial do sistema (-);
- 22) Vout2 = Saída diferencial do sistema (+).

Os demais PADs seguem o mesmo esquema apresentado na Figura 5.7. Como a saída do *mixer* possui uma largura de banda variável em função do ângulo do arranjo, foi adotado o uso de PADs de RF ao invês de PADs de sinais analógicos como foi utilizado no sistema com demultiplexação analógica, cuja a largura de banda é fixa e de baixa frequência devido a demultiplexação e ao OTA, que pela sua característica intrínseca, já reduz a banda de saída, fazendo um papel de

pré-filtro passa-baixas. Esse novo *layout* é mostrado na Figura 5.11. As duas topologias irão a fabricação na mesma rodada, portanto os resultados das medidas devem ser divulgados a comunidade em torno de um ano, pelos mesmos motivos apresentados na topologia anterior.

### 5.3.3 Jig de teste para o sistema

Quando o circuito voltar da fabricação será implementado um *jig* de teste para poder montálo diretamente sobre o PCB minimizando os efeitos parasitas. Na Figura 5.12 é mostrada uma proposta para a implementação do *jig*.



Figura 5.12: Jig de teste para o sistema completo - 49 x 47mm.

# 5.4 Sistemas SMILE em quadratura: Propostas de implementação

A técnica SMILE também pode ser utilizada em sistemas em quadratura, como normalmente os sistemas modernos de comunicações sem fio exigem. Para essa técnica em quadratura, pode-se utilizar um oscilador em quadratura, como o projetado no Capítulo 3. Esse oscilador controlado por tensão em quadratura, gera as duas componentes que alimentam os transistores de chaveamento dos dois *mixer*, um para o sinal em fase e um para o sinal em quadratura.

Os projetos são essencialmentes iguais, com os mesmos casamentos de impedância e os mesmos casamentos de níveis DC, utilizados para as topologias anteriormente apresentadas. A única diferença passa a ser a saída do LNA que antes possuia como carga apenas a entrada de um *mixer* e agora passa a ter a entrada de dois *mixers* em paralelo. Uma simples adaptação de impedância (caso necessário) é suficiente para a utilização desse circuito em quadratura.



Figura 5.13: Diagrama em blocos da técnica SMILE com demultiplexação digital.



Figura 5.14: Diagrama em blocos da técnica SMILE com demultiplexação analógica.

Assim, podemos propor para implementações em futuros trabalhos, os dois circuitos apresentados nessa tese, agora na versão em quadratura. Na Figura 5.14 é mostrado o diagrama de blocos para o sistema SMILE em quadratura com demultiplexação analógica e o emprego de fitro passa-baixas para a reconstrução do sinal.

Completando a proposição, na Figura 5.13 temos o sistema com demultiplexação digital, no qual o circuito é mais simples devido a ausência do demultiplexador e dos filtros, embora exija um conversor A/D com uma banda maior que para o caso anterior.

# 5.5 Síntese do Capítulo 5

Foram implementadas duas topologias de circuito integrado de RF para multiplexação espacial de antenas. O circuito SMILE com demultiplexão analógica e com demultiplexação digital, sendo que as duas apresentaram excelente comportamento e desempenho quando analisados isoladamente. O circuito com demultiplexação digital necessita de um conversor A/D para posterior processamento do sinal com uma largura de banda maior que a necessária pelo circuito com demultiplexação analógica. Os *layouts* foram implementados obedecendo todas as regras e características necessárias para uma boa interligação de circuitos com sinais analógicos e digitais dentro de uma mesma pastilha. Os circuitos serão encaminhados para fabricação na rodada de junho ou setembro de 2008 pelo PMU-FAPESP devendo estar totalmente caracterizados e testados em meados do próximo ano, sendo em seguida divulgados os resultados obtidos para à comunidade. Também foram propostas mais duas topologias em quadratura como sugestão a futuros trabalhos.

# Capítulo 6

# Conclusões e trabalhos futuros

A concepção de circuitos integrados de RF em tecnologia CMOS tem se mostrado como uma tendência para a implementação de sistemas de comunicações móveis. O uso de antenas inteligentes agregados a esses sistemas vem de encontro com a otimização dos mesmos. Porém com o aumento do número de canais para melhorar a eficiência do sistema, temos um grande aumento no número de dispositivos para implementar tais antenas.

Nesse trabalho, implementaram-se diversos circuitos integrados de RF, além de circuitos digitais e analógicos para a composição de um sistema de rádio-recepção utilizando multiplexação espacial de antenas. Todos os circuitos propostos foram caracterizados, com excessão do projeto final, para o qual não houve tempo hábil para implementação em função do PMU-FAPESP ter ficado inoperante durante mais de um ano no transcorrer desta tese. O sistema em questão é a implementação integrada da técnica SMILE, técnica essa vista como a grande saída para a economia de dispositivos em implementações de antenas inteligentes. Essa técnica reduz os dispositivos de RF necessários em N vezes, onde N é o número de canais. A faixa proposta para implementação é a banda 2,5GHz, banda ainda pouco utilizada e na qual provavelmente irá se implementar no Brasil uma das faixas do WiMAX e nos EUA também servirá para a expansão da telefonia celular.

Após uma modelagem dos PADs de RF, para que se pudesse dar início a projetos confiáveis em RF, implementaram-se Chaves de RF NMOS, LNA cascode, LNA multiplexado, *Mixer*, Oscilador controlado por tensão, Oscilador controlado por tensão em quadratura, Oscilador em anel controlado por tensão, Contador módulo quatro, *Driver* de chaveamento, Chaves analógicas NMOS, OTA e Demultiplexador analógico. Como resultados finais, pela agregação desses diversos blocos funcionais foram apresentados o Sistema integrado SMILE com demultiplexação analógica e o Sistema integrado SMILE com demultiplexação digital.

Como continuação deste trabalho, propõe-se como apresentado no Capítulo 5, a implementação das duas técnicas em quadratura. Como esse trabalho tratou da concepção de dispositivos para a implementação integrada da técnica SMILE, fica aqui também a sugestão para a implementação de algorítmos para a demultiplexação do sinal, no caso da utilização do modelo com demultiplexação digital e também a implementação de algorítmos para a conformação do feixe de maneira a se otimizar a utilização do sistema receptor.

Uma evolução natural e uma tendência do nosso grupo é a migração para processos com menores comprimentos de porta. Quando se trabalha com circuitos analógicos, a tecnologia  $0,35\mu$ m ainda é competitiva, porém a tecnologia disponibilizada pelo PMU-FAPESP já é ultrapassada para circuitos que trabalham em alta frequência, devido ao baixo fator de qualidade, grande consumo de potência e grande quantidade de ruído agregado aos dispositivos.

Hoje em dia, a grande maioria dos projetos de circuitos integrados de RF divulgados na comunidade científica utiliza comprimento de porta de  $0,13\mu$ m, depois de uma crescente evolução, passando pela tecnologia  $0,18\mu$ m. Dessa maneira, estamos trabalhando para migrar diretamente para a  $0,13\mu$ m e assim, poder concorrer mais diretamente na concepção de circuitos integrados de ponta. Contatos do grupo com a *foundry* TSMC (*Taiwan Semiconductor Manufacturing Company*) para que atravês do PMU-FAPESP os usuários possam a vir utilizar dessa tecnologia de ponta estão ocorrendo.

Com todos esses atrativos e perspectivas para continuação do trabalho, a técnica SMILE e os circuitos que isoladamente ou conjuntamente foram desenvolvidos nesse trabalho devem encontrar grandes aplicações no campo das comunicações móveis.

# Apêndice A

# Equipamentos e softwares utilizados neste trabalho

- 1. Acrobat Distiller 8.1;
- 2. Adobe Acrobat 8.1;
- 3. Adobe Corel Draw 13;
- 4. Agilent ADS 2005A Advanced Design System;
- 5. Agilent E8257D 250kHz 40GHz Signal Generator;
- 6. Agilent E4408B 9kHz 26,5GHz Spectrum Analyzer;
- 7. Agilent 81134A 3,3GHz Pulse Generator;

8. AutoCad 2008;

- 9. Carl Zeiss Optical Microscope;
- 10. HP 8593E 9kHz 22,5GHz Spectrum Analyzer;
- 11. HP 8702B 100kHz 40GHz Lightwave Analyzer;
- 12. *HP* 11667B Power Splitter;
- 13. Matlab R2006a;
- 14. Microcal Origin 7.5;
- 15. Micro-Computador Pentium IV 2.4GHz com 1Gb RAM;
- 16. Microsoft Windows Vista;
- 17. MiKTeX 2.2;
- 18. Picosecond 5508-110 DC Block;
- 19. Realized QFDTD90 FDTD Code;
- 20. Rohde & Schwarz ZVRE 9kHz 4GHz Vector Network Analyzer;
- 21. Tektronix TDS360 200MHz 1GS/s Two channel digital oscilloscope;
- 22. TEXaide 4.0  $PT_{FX} 2_{\varepsilon}$  Equation Editor;
- 23. WinEdt 5.5  $BT_E X 2_{\varepsilon}$  Editor.

# Apêndice B

# Detalhamento do layout de dispositivos

# B.1 Introdução

Nesse apêndice são mostrados em detalhes três estruturas ativas que foram realizadas durante o trabalho. Essas estruturas foram escolhidas em função de serem variações utilizadas em *layout* para maximizar o desempenho do circuito fabricado. Será apresentado um transistor com múltiplas portas, um par -gm e um par diferencial.

# B.2 Perfil da tecnologia S35 da foundry AMS

Para melhor compreensão da estrutura de um circuito integrado é mostrado na Figura B.1 a disposição das camadas do processo S35 provido pela *foundry* AMS.



Figura B.1: Perfil da tecnologia S35.

A tecnologia S35 possui  $0,35\mu$ m de comprimento de porta, quatro níveis de metais (mais um metal de capacitor integrado) e quatro *polys*, o substrato é do tipo P, com espessura compreendida entre 710 e 740 $\mu$ m. O transistor NMOS é implementado diretamente no substrato e para a implementação do transistor PMOS é implantado primeiramente um poço N de  $3,5\mu$ m de profundidade. As interconexões entre os circuitos são realizadas por diferentes camadas de metais, num total de quatro. O acesso ao metal1 pelos transistores (tanto *poly* de porta, quanto implantações) é realizado por contato, enquanto que as interligações entre os metais são feitas por vias. Maiores detalhes podem ser encontrados no manual de processo da *foundry* AMS (AustriaMicroSystems, 2005a)

# **B.3** Transistor múltiplas portas

O transistor com múltiplas portas é utilizado em circuitos analógicos para se otimizar o uso da área de integração, não existindo a priori nesse caso uma preocupação na melhora de desempenho do circuito (Baker et al., 2001). Para circuitos de RF essa técnica é fundamental, pois devido a resistência do *poly* da porta ser alta, um canal com grande comprimento significa grande resistência e consequentemente um aumento considerável no ruído agregado pelo dispositivo (Tsividis, 1999). Assim, quando maior o número de portas em paralelo, menor será a resistência total agregada ao circuito. Um *layout* de transistor com múltiplas portas é mostrado na Figura B.2, junto com seu esquema elétrico. Todos os circuitos desse trabalho que trabalham em alta frequencia utilizam essa técnica de múltiplas portas.



Figura B.2: Detalhes do transistor com multiplas portas.

Para situar o leitor, as camadas do *layout* seguem basicamente e prioritariamente a seguinte disposição de camadas:

- Verde contato (*poly*1/metal1 implantação);
- Magenta via1 (metal1/metal2);
- Azul metal1;
- Branco metal2;
- Amarelo metal3;
- Vermelho *poly*1;

Fica aqui o reforço que maiores detalhes podem ser encontrados no manual de processo da *foundry* AMS (AustriaMicroSystems, 2005a)

## B.4 Par -gm do VCO

Nesse circuito a técnica de par cruzado é utilizada para se diminuir o descasamento devido a gradientes no processo de fabricação entre os braços do mesmo. Para isso, os transistores devem ser implementados de maneira cruzada (ABAB), conforme pode ser observado no detalhe mostrado na Figura B.3, a qual também mostra o esquemático que representa o par cruzado. Nessa técnica os transistores com múltiplas portas são quebrados em dois de maneira que tenhamos quatro estruturas e assim essas estruturas possam ser conectadas de maneira cruzada. Normalmente existem duas maneira, sendo uma linear (aqui mostrada) (Hastings, 2001) e outra cross-quad que é mostrada na próxima secção.



Figura B.3: Detalhes do par -gm do VCO.

# B.5 Par diferencial do OTA

Finalizando esse breve apêndice que destaca alguma estruturas implementadas no trabalho, temos na Figura B.4 o *layout* do OTA projetado, bem como seu respectivo esquemático. No

destaque, Observa-se o par diferencial de entrada implementado com a técnica de par cruzado (*cross-quad*) (Hastings, 2001), na qual se divide o par de transistores em quatro, formando pares na diagonal, sendo essa técnica conhecida como centróide comum.



Figura B.4: Detalhes do par diferencial do OTA.
# Apêndice C

## Dispositivos auxiliares aos projetos: Baluns

## C.1 Introdução

Nesse apêndice são mostrados os dispositivos de RF que foram projetados para dar suporte às medidas dos circuitos integrados projetados. Em circuitos de RF é recorrente a necessidade de conversão de entradas/saídas balanceadas (diferenciais) em desbalanceadas (*single-ended*). Esses dispositivos conhecidos como *baluns* fazem esse papel de conversor de entradas e saídas, além de poderem realizar o casamento de impedâncias entre partes dos circuitos, caso seja necessário.

O mixer projetado possui entrada de OL e saída de FI diferenciais devido a natureza de seu projeto e não foram acopladas nestas nenhum tipo de balun integrado, pois o mixer irá ser parte integrante de um projeto maior, o qual possui um oscilador local também trabalhando em modo diferencial. Assim, foram necessários projetar dois baluns um para a entrada do oscilador local, outro para a saída de FI. Foram projetados dois tipos de baluns, distintos quanto a sua faixa de frequência de operação. Outro dispositivo que necessitou de um balun foi o próprio oscilador local citado acima, pois sua saída também é diferencial. Porém esse dispositivo por ser do tipo controlado por tensão, para se poder analisar sua varredura em frequência necessitou de um balun com faixa mais larga do que o projetado para o mixer, assim se adaptou um projeto baseado na antena planar quasi-Yagi. Nas próximas secções são mostradas seus respectivos projetos e resultados medidos.

## C.2 Balun 2,6GHz discreto

#### C.2.1 Concepção

Esse balun é composto por elementos discretos sendo sua montagem mostrada na Figura C.1.



Figura C.1: Balun projetado com componentes discretos.

A entrada (ou saída, dependendo da configuração) desbalanceada é representada por  $V_1$  e as saídas (ou entradas) balanceadas são dadas por  $V_2$  e  $V_3$ . Os indutores e capacitores possuem valores iguais entre si. Na frequência de operação esse tipo de *balun* fornece uma saída balanceada para os valores de componentes dados pelas seguintes formulações:

$$L = \frac{Z_C}{\omega} \tag{C.1}$$

$$C = \frac{1}{\omega Z_C} \tag{C.2}$$

$$\omega = 2\pi f \tag{C.3}$$

$$Z_C = \sqrt{2R_S R_L} \tag{C.4}$$

No nosso caso de teste para o *mixer* o valor da frequência do OL é de 2,599250GHz e possuimos em nosso laboratório valores de indutores tipo *wirewound* nos valores de 7,5nH, 15nH e 20nH somente (capacitores cerâmicos possuíamos todos os valores comerciais). Assim, fez-se o projeto tendo em vista esses limitantes na construção física do dispositivo. Como não se conseguiu realizar com os elementos descritos acima um *balun* com entrada e saídas casadas em 50 $\Omega$ , a alternativa foi a realização de saídas em 50 $\Omega$  e a entrada casada em 150 $\Omega$  e através de um acoplador  $\lambda/4$  na frequência de interesse realizar a transformação para 50 $\Omega$ .

Portanto em nosso projeto os valores encontrados foram L=7,5nH e C=0,5pF para  $R_s$ =150 $\Omega$  e  $R_L$ =50 $\Omega$ , lembrando que  $R_s$  será transformado para 50 $\Omega$  pelo transformador  $\lambda/4$ .

Na Figura C.2 é mostrada o protótipo construído para o balun de OL. Cabe aqui ressalta que devido a espalhamentos nos componentes discretos que são na ordem de 40% para os capacitores e

de 60% para os indutores, devido ao indutor não ter um comportamento linear com a variação de frequência, os valores finais otimizados via tentativa e erro nas medidas são de L=7,5nH//15nH e C=0,4pF. Os capacitores de bloqueio DC são na faixa de 680pF para garantir baixa reatância na frequência de interesse.Esses valores são únicos para esse protótipo. Se um novo protótipo for montado, um novo ajuste via tentativa e erro deverá ser realizado.



Figura C.2: Protótipo do balun discreto para o OL.

#### C.2.2 Medidas

As curvas medidas do *balun* tanto para magnitude quanto para fase são dados na Figura C.3



Figura C.3: Resultados medidos após otimização do balun.

Na Figura C.3(a) observamos que o cruzamentos das curvas do braço indutivo e do braço capacitivo ocorrem em aproximadamente 2,6GHz conforme estavamos almejando no projeto,

idealmente esse ponto de cruzamento estaria em meia potência ou três dB abaixo, mas devido a imperfeições na placa, perda e solda nos conectores, perda e solda nos capacitores de bloqueio (680pF), em nosso projeto o valor encontrado foi de -4,4dB, valor esse perfeitamente aceitável, pois o mais importante é que as perdas nos dois braços sejam iguais na frequência de interesse, com uma defasagem entre os mesmos de 180° conforme mostrado na Figura C.3(b), sendo que o valor da magnitude dessa perda pode ser compensado facilmente na análise das medidas dos dispositivos.

## C.3 Balun 750kHz discreto

#### C.3.1 Concepção

Esse balun composto também por elementos discretos possui o mesmo esquemático mostrado na Figura C.1. Porém agora o projeto será utilizado para testes na saída de FI do mixer, sendo o valor da frequência de FI de 750kHz. Os únicos limitantes no projeto são as aproximações dos valores comerciais dos componentes para a construção física do dispositivo, pois os mesmos seriam elementos discretos comerciais devido a baixa frequência de operação. Assim, utilizando as mesmas equações utilizadas para o balun do OL, chegamos aos seguintes valores: L=15µH e C=3nF para  $R_S$ =50 $\Omega$  e  $R_L$ =50 $\Omega$ .

Na Figura C.4 é mostrada a foto do protótipo construído para o *balun* de FI. Cabe aqui ressalta também que devido a espalhamentos nos componentes discretos que são na ordem de 10% para os capacitores e indutores comerciais, os valores finais otimizados via tentativa e erro nas medidas são de L=15µH e C=2,7nF. Da mesma maneira que no *balun* do OL, esses valores são únicos para esse protótipo. Se um novo protótipo for montado, um novo ajuste via tentativa e erro deverá ser realizado.



Figura C.4: Fotografia do balun discreto para a FI.

#### C.3.2 Medidas

As curvas medidas do *balun* de FI tanto para magnitude quanto para fase são dados na Figura C.5.



Figura C.5: Resultados medidos após otimização do balun.

Na Figura C.5(a) observamos que o cruzamentos das curvas do braço indutivo e do braço capacitivo ocorrem em aproximadamente 750kHz conforme estavamos almejando no projeto, idealmente esse ponto de cruzamento estaria em meia potência ou três dB abaixo, mas devido a imperfeições na placa, perda e solda nos conectores em nosso projeto o valor encontrado foi de -3,8dB, valor esse perfeitamente aceitável, pois o mais importante é que as perdas nos dois braços sejam iguais na frequência de interesse, com uma defasagem entre os mesmos de 180° conforme mostrado na Figura C.5(b). Cabe aqui ressaltar que devido a operar em baixa frequência, já era de se esperar que as perdas no dispositivo seriam menores que para o caso do *balun* de OL.

## C.4 Balun 2,6GHz baseado no acoplador da antena quasi-Yagi

#### C.4.1 Concepção

Apesar dos *baluns* discretos apresentarem uma boa transformação de desbalanceado para balanceado, observando os gráficos da Figura C.3, notamos que esse dispositivo apresenta um comportamento de banda estreita devido a brusca variação da amplitude em função da frequência no braços do dispositivo. Como solução alternativa para sistemas de que necessitem de uma banda mais larga (como por exemplo testes da variação de frequência em um oscilador controlado por tensão), foi desenvolvido um *balun*, baseado no acoplador da antena *quasi-Yagi*, a qual foi desenvolvida na tese de mestrado do autor (Capovilla, 2004), sendo que esse projeto segue as mesmas diretrizes apresentadas naquele trabalho. A foto do protótipo é mostrado na Figura C.6, sendo que esse protótipo, como os outros desenvolvidos nessa tese foi realizado utilizando um substrato FR4.



Figura C.6: Protótipo do balun QY para OL.

### C.4.2 Medidas

As curvas medidas do balun tanto para magnitude quanto para fase são dadas na Figura C.7



Figura C.7: Resultados medidos após otimização do balun.

Na Figura C.7(a) observamos que as curvas do braço normal e do braço com acréscimo de  $\lambda/2$  apresentam uma pequena diferença durante toda a faixa, com uma diminuição da mesma em torno de 2,6GHz, essa diferença é em virtude da variação de comprimento e também da diferença nas montagens dos dois braços, idealmente os dois braços estariam a meia potência ou três dB abaixo, mas devido a imperfeições na placa, perda e solda nos conectores, perda e

solda nos capacitores de bloqueio (680pF), em nosso projeto o valor encontrado foi em torno de -4dB, valor esse perfeitamente aceitável, pois o mais importante é que as perdas nos dois braços sejam aproximadamente iguais na frequência de interesse, com uma defasagem entre os mesmos de 180° (2,6GHz) conforme mostrado na Figura C.7(b), sendo que o valor da magnitude dessa perda pode ser compensado facilmente na análise das medidas dos dispositivos.

# Apêndice D

## Fatores de mérito e setups de medidas de circuitos de RF

## D.1 Introdução

Neste apêndice apresentaremos uma análise resumida dos fatores de mérito normalmente utilizados em circuitos de RF e também os *setups* de medidas utilizados nesse trabalho. A idéia principal dessas colocações é servir de guia para projetistas que necessitam de auxílio para obtenção e adequação de diversos fatores de mérito, bem como mostrar claramente os *setups* de equipamentos necessários para cada tipo de análise. Por facilidade sub-dividiremos esse apêndice em três sub-sessões, uma voltada para cada circuito de RF base que compõe nosso sistema SMILE integrado, assim inicialmente apresentaremos as análises e implementações para o LNA, seguindo pelo *mixer* e finalizando com o VCO.



Figura D.1: Bancada para a medida de ganho de conversão no mixer.

Na Figura D.1 é mostrada uma típica bancada para medidas de RF, sendo que essa em questão fica localizada no Lab. 15 do DMO/FEEC/Unicamp e os equipamentos nela referenciados são: A) Agilent E4408B - 9kHz - 26,5GHz - Spectrum Analyzer, B) Agilent E8257D - 250kHz - 40GHz - Signal Generator, C) HP 8702B - 100kHz - 40GHz - Lightwave Analyzer, D) Tektronix DC Power Supply e E) mixer em teste e baluns auxiliares.

## D.2 Amplificador de baixo ruído

#### D.2.1 Parâmetros de espalhamento

Os paramêtros de espalhamento em um dispositivo de duas portas como o LNA por exemplo, são medidos em um analisador de rede através de uma montagem representada na Figura D.2. Nos próximos sub-itens iremos dividir os parâmetros de espalhamento de acordo com suas funcionalidades básicas.



Figura D.2: Medidas de parâmetros de espalhamento em um LNA.

#### D.2.1.1 Perda de retorno

Em um circuito, se a impedância da porta de entrada não está devidamente casada com a impedância de saída do gerador, não ocorre a máxima transferência de potência e consequentemente parte da potência enviada a porta de entrada retorna ao gerador. A razão entre a potência refletida e a enviada é definida como perda de retorno, normalmente dada em dB. Via de regra, as antenas, geradores e aparelhos de medidas possuem impedância casada em 50 $\Omega$ .

A perda de retorno é medida pelo analisador de rede e é dada através do parâmetro de espalhamento S11 (quando referido a entrada do dispositivo) ou S22 (quando referido a saída do dispositivo). Normalmente, são necessários valores de S11  $\leq$  -10dB, ou seja, VSWR (*Voltage Standing Wave Radio* - Relação de onda estacionária)  $\leq$  2 para um bom desempenho. Esse valor

garante que pelo menos 90% da potência de entrada da será captada pelo dispositivo (Salonen et al., 1999).

#### D.2.1.2 Ganho

O ganho é definido pela relação de potências entre a saída e a entrada do sistema, sendo normalmente dado em dB. É representado pelo parâmetro de espalhamento S21.

#### D.2.1.3 Isolação reversa

A isolação reversa é oposto do ganho, ou seja, é o quanto de potência da saída retorna para a entrada do dispositivo. É representado pelo parâmetro de espalhamento S12, ou seja, potência de entrada em relação a potência de saída do sistema.

### D.2.2 IP3

O IP3 (*Third-Order Interception* - ponto de intercepção da terceira ordem) é a medida da interferência de não-linearidade que aparece quando dois sinais adjacentes ao sinal desejado geram distúrbios de ordem ímpar na função de transferência do dispositivo. Estas não-linearidades podem degradar o desempenho do dispositivo se sobrepondo ao sinal desejado. Dois sinais de frequências f1 e f2, irão gerar dois produtos IM3 (*Third-Order Intermodulation* - Intermodulação de terceira ordem) nas frequências (2f1-f2) e (2f2-f1), respectivamente.

Na Figura D.3 é mostrada a interpretação gráfica do IP3, sendo que o ponto de interesse é obtido através do cruzamento do prolongamento da região de resposta linear do sinal desejado e seus produtos IM3. O ponto IP3 pode ser referido à entrada IIP3 (*Input Third-Order Interception Point*) ou à saída OIP3 (*Output Third-Order Interception Point*).



Figura D.3: Interpretação gráfica de IP3.

Para realização das medidas de IIP3 implementa-se o *setup* mostrado na Figura D.4, nessa montagem necessitamos de dois geradores de sinais acoplados atravês de um *power splitter* a

entrada do LNA, enquanto que a saída do LNA é ligada a um analisador de espectro para a medida das respectivas potências. Como não dispomos de dois geradores de sinais, a solução encontrada foi a utilização de um analisador de rede funcionando no modo CW (*Continuous Wave*), para a geração do segundo sinal a ser aplicado no LNA.



Figura D.4: Setup de medida para o IP3.

Quando se realiza o cascateamento de circuitos pode-se aproximar o IIP3 final usando escala linear com IIP3 (em Watts) e Ga (em Watts/Watts), sendo Ga o ganho de cada estágio. Essa aproximação é dada na Equação D.1 (Razavi, 1998).

$$\frac{1}{IIP3} \approx \frac{1}{IIP3_1} + \frac{G_{a1}}{IIP3_2} + \frac{G_{a1}G_{a2}}{IIP3_3} + \dots$$
(D.1)

#### D.2.3 Ponto de compressão 1dB

O ponto de compressão é a diferença, em dB, entre um ponto idealmente linear (pequenos sinais) numa rampa de ganho de potência e seu ponto correspondente na atual curva de potência, sendo o valor *default* para circuitos de RF de 1dB. Essa definição pode ser observada na Figura D.5, na qual é mostrada um gráfico típico para a obtenção do PC1dB.



Figura D.5: Interpretação gráfica de PC1dB.

Um *setup* de medida para essa característica do LNA é mostrado na Figura D.6. Essa medida é mais simples e requer menos equipamento que a de IIP3, sendo que atravês do uso de um gerador de sinais e um analisador de espectro se faz a medida através de uma varredura na potência entregue ao LNA.



Figura D.6: Setup de medida para o ganho de compressão.

Essa curva perde sua característica linear apartir de um determinado ponto de potência de entrada devido as não linearidades do circuito e as limitações de correntes ou tensões do mesmo. Quando a potência de entrada extrapola o valor referido pelo P1dB, o sinal de saída aparecerá distorcido, sendo que essa distorção ocasiona problemas principalmente quando a modulação for em fase, gerando um desvio na mesma e ocasionando assim um aumento no erro de detecção e consequentemente aumento na BER (Lee, 1997).

#### D.2.4 Figura de ruído

Para um circuito de duas portas, a figura de ruído e a relação sinal-ruído da porta de entrada dividida pela relação sinal-ruído da porta de saída, sendo sua unidade *default* o dB. Para um circuito com mais de duas portas, a figura de ruído é a relação do ruído total na porta de saída em relação a entrada quer transmitiu o ruído, medindo assim em ambos os casos a degradação

na relação sinal-ruído causada pelos circuitos. O ruído transmitido da entrada representa a porção do ruído térmico incidente (kTB, onde: k=*Boltzmann's*, T=temperatura e B=1Hz) que passa através do sistema. A definição usual para a figura de ruído, conforme explicitada acima é mostrada na Equação D.2.

$$NF = 10 \cdot \log\left(\frac{SNR_i}{SNR_o}\right) \tag{D.2}$$

Para circuitos em cascata, o figura de ruído total pode ser calculado através da fórmula de *Friis*, mostrada na Equação D.3.

$$NF = 10 \cdot \log\left(F_1 + \frac{F_2 - 1}{Ga_1} + \frac{F_3 - 1}{Ga_1 \cdot Ga_2} + \cdots\right)$$
(D.3)

Onde: F é o fator de ruído e Ga (em Watts/Watts) é o ganho do respectivo estágio.

#### D.2.4.1 Medida via analisador de figura de ruído

Para se medir a figura de ruído de um LNA, pode-se utilizar de três técnicas, uma utilizando um analisador especifíco de figura de ruído, o qual é representado no *setup* de medida mostrado na Figura D.15. Essa é a técnica mais precisa, porém existe a necessida de se possuir um analisador de figura de ruído e uma fonte de ruído precisa, o que no normalmente não é uma tarefa fácil devido ao alto preço e a baixa demanda operacional que normalmente esse tipo de aparelho é submetido.



Figura D.7: Setup de medida para a figura de ruído.

Essa é a técnica mais precisa, pois o analisador possui um sistema de auto-calibração para minimizar o erro nos resultados.

#### D.2.4.2 Medida via método do fator Y

A segunda técnica é a chamada técnica do fator Y, a qual é mostrada na Figura D.8. Nessa técnica necessitamos de uma fonte de ruído calibrada e um amplificador de ganho e ruído conhecidos, pois mediremos a resultante do ruído nos dois estágios e através da Equação D.3, podemos isolar a medida que desejamos, ou simplesmente, se o ruído for baixo e o ganho do amplificador auxiliar alto, podemos adotar o valor medido como o do dispositivo em teste com uma pequena margem de erro (praticamente desprezível). Se o LNA em teste possuir ganho suficiente para o ruído térmico sobrepor o ruído de fundo do analisador de espectro, não há a necessidade deste amplificador auxiliar.



Figura D.8: Setup de medida MFY para a figura de ruído.

Essa técnica é baseada na medida da diferença entre a saída do circuito com a fonte de ruído ligada e o valor padrão de ENR (*Excess Noise Ratio*) da fonte de ruído (assim, existe a necessidade de uma fonte bem calibrada para uma medida com baixo erro), esse valor é expresso em uma tabela de freq x ENR dada pelo fabricante da fonte.

$$NF = 10 \cdot \log\left(\frac{10^{\frac{ENR}{10}}}{10^{\frac{Y}{10}} - 1}\right) \tag{D.4}$$

Onde: Y é a diferença entre a saída do circuito com a fonte de ruído ligada e desligada, medida com o *probe* de ruído do analisador de espectro ou com o *probe* normal acrescida da compensação da largura do filtro (mais detalhes sobre essa compensação, vide o último tópico do apêndice, medida de ruído de fase em osciladores).

Essa é a técnica razoávelmente precisa, desde que a fonte de ruído esteja calibarada para minimizar o erro nos resultados, pois seu valor tabela entra diretamente no cálculo do ruído.

#### D.2.4.3 Medida via método do ganho

Esse método é bem simples e popular devido a não necessidade de uma fonte de ruído calibrada ou do analisador de figura de ruído, como os outros métodos exigem. Porém esse método utiliza em sua formulação o valor do ruído termico fixo em 174dBm/Hz, o que por si só já é uma fonte de erro, pois o ruído térmico apesar de ter uma média em cima desse valor, sofre constante variações devido as mudanças no ambiente de medida. Assim, essa medida é a mais aproximada, não apresentando um valor exato para a figura de ruído, mas dando uma boa idéia de seu valor, pois o erro na medida será em função do erro no valor do ruído térmico adotado e erros na calibração do *setup*. Na Equação D.5 é dado a formulação para o cálculo da figura de ruído via método do ganho.

$$NF = P_{ND} - G_{LNA} - G_P + 174dBm/Hz \tag{D.5}$$

Onde:  $P_{ND}$  é a potência medida com o *probe* de ruído do analisador de espectro ou com o *probe* normal acrescida da compensação da largura do filtro (mais detalhes sobre essa compensação, vide o último tópico do apêndice, medida de ruído de fase em osciladores).

Um *setup* para essa medida do LNA é mostrado na Figura D.9. Como no caso anterior se o ganho de seu LNA for suficiente para sobrepor o ruído de fundo do analisador de espectro, não há a necessidade de se utilizar o estágio de ganho auxiliar na medida.



Figura D.9: Setup de medida MG para a figura de ruído.

### D.3 Mixer

#### D.3.1 Perda de retorno

Para o *mixer* a perda de retorno é mais importante refere-se a entrada de RF, pois uma baixa perda de retorno nessa entrada, significa um bom casamento de impedância entre o *mixer* e o estágio anterior. Para a entrada do oscilador local, o casamento não é tão crítico. Pois estamos preocupados principalmente com os sinais para gerar o chaveamento, contudo uma perda por retorno excessiva pode degradar o desempenho de potência do *mixer*.

Na Figura D.10 é mostrado o *setup* de medida da perda de retorno do *mixer*. A mesma é realizada acoplando a entrada do *mixer* ao analisador de rede e casando as outras duas entradas em  $50\Omega$ .



Figura D.10: Setup de medida para a perda de retorno do mixer.

#### D.3.2 Ganho de conversão

O ganho de conversão relaciona a potência entregue pelo gerador de RF na entrada do *mixer* com a potência entregue pelo mesmo na carga acoplada a saída de FI. Na Figura D.11 são mostrados os equipamentos e o *setup* utilizado para a medição do ganho de conversão.



Figura D.11: Setup de medida do ganho de conversão do mixer.

Como não dispomos de dois geradores de sinais (um para a entrada de RF e outro para a entrada do oscilador local), a solução encontrada foi a utilização de um analisador de rede funcionando no modo CW (*Continuous Wave*), para a geração do sinal de OL.

#### D.3.3 IP3

A medida de IP3 para o *mixer* segue a mesma teoria e definições que a descrita para o LNA, porém para a realização da medida necesitamos de uma terceira fonte geradora de sinal, o que em nosso caso foi um problema adicional, pois somente dispunhamos de uma fonte de sinal e adaptamos um analisador de rede como a segunda fonte de sinal. A nova solução encontrada foi a utilização de um gerador de pulso até 3GHz, sendo esse equipamento o unico que dispunhamos que poderia ser adaptado para essa finalidade. O equipamento em questão possui dois canais complementares, ou seja, não há a necessidade de se colocar um *balun* na entrada de OL, apenas desacoplar DC a entrada de OL do *mixer* da saída do gerador e para tal utilizou-se dois *bias-T* uma para cada canal. Como a função do OL é chavear os transistores do *mixer* e o sinal do OL é um sinal de onda quadrada, cujos valor das hormônicas é dado pela Equação D.6, pode calcular o valor da amplitude da onda quadrada de modo que a componente fundamental tenha uma potência equivalente em dBm ao valor que seria utilizado em um gerador de sinal.

$$V_q(t) = \frac{4}{\pi} \sum_{k=1}^{\infty} \frac{\operatorname{sen}\left((2k-1)t\right)}{2k-1}$$
(D.6)

Na Figura D.12 é mostrado o *setup* de medida que foi implementado para a caracterização do *mixer*.



Figura D.12: Setup de medida para o IP3 do mixer.

#### D.3.4 Ponto de compressão 1dB

A medida do PC1dB no *mixer* também segue a mesma teoria e definições mostradas para o LNA. O *setup* de medida para essa característica do *mixer* é mesmo utilizado para o ganho de conversão mostrado na Figura D.11. Essa medida é mais simples e requer menos equipamento que a de IP3, não necessitando da terceira fonte de sinal. Para a medida é necessário fazer uma

varredura na potência de entrada, mantendo a de OL travada em um deternminado valor, e captar os resultados no analisador de espectro.

#### D.3.5 Isolações

A isolação entre portas fornece uma medida da quantidade de potência de um sinal injetada em uma determinada porta do *mixer* aparecerá nas outras portas do mesmo. A Equação D.7 mostra a representação desse parâmetro para duas portas genéricas  $X \in Y$ .

$$Iso_{X-Y}(dB) = P_X | portaY(dBm) - P_X(dBm)$$
(D.7)

#### D.3.5.1 Isolação OL-RF

A relação mais importante é a isolação OL-RF, pois representa o quanto de sinal do oscilador local está presente na entrada de RF. Um nível alto desse sinal na entrada de RF pode ocasiona uma diminuição da linearidade do *mixer* e uma emissão de sinal na saída do estágio anterior, o que normalmente é um LNA, e caso esse LNA não possua uma boa isolação reversa, parte da potência desse sinal pode ser radiado pela antena.



Figura D.13: Setup de medida para a isolação RF-OL.

#### D.3.5.2 Isolação RF-OL

A isolação RF-OL representa o quanto de sinal de RF está presente na entrada do oscilador local. Um nível alto desse sinal na entrada de OL ocasiona uma interferência entre a frequência do oscilador e a frequência de RF, e consequentemente no chaveamento do *mixer*.



Figura D.14: Setup de medida para a isolação OL-RF.

#### D.3.5.3 Isolações RF-FI e OL-FI

As isolações RF e OL para FI não são significativas porque estes sinais de alta frequência com relação a saída de FI, podem ser facilmente rejeitados por filtros, sistemas passa-banda ou passa-baixa na saída de FI. Única ressalva e cuidado a se tomar no projeto é que se esses sinais de alta frequência forem excessivamente altos na saída de FI podem levar à saturação dessa porta de saída, vindo a degradar o desempenho do *mixer* e desestabilizando o próximo estágio do dispositivo.

#### D.3.6 Figura de ruído

Para medir a figura de ruído de um *mixer*, deve-se utilizar diretamente um medidor de figura de ruído, por exemplo o *Agilent* NFA N8973A, e se implementar o *setup* padrão mostrado na Figura D.15 para garantir maior precisão. Outras montagens como utilizando os métodos de fator Y ou do ganho também podem ser realizadas, desde que utilizando a montagem adequada com os respectivos equipamentos necessários.



Figura D.15: Setup de medida para a figura de ruído.

## D.4 Oscilador controlado por tensão

#### D.4.0.1 Espectro de frequência

A principal medida a ser realizada num oscilador controlado por tensão é seu espectro em frequência de maneira que possamos observar qual a frequência de oscilação do dispositivo, aliada a análise pelo espectro se existem harmônicas significativas sendo geradas, bem como ter uma noção geral da pureza ou não da oscilação gerada.

Para nosso dispositivo projetado, utilizaremos o *setup* mostrado na Figura D.16, no qual é utilizado um *balun* para a conversão do sinal desbalanceado, devido a natureza de nosso circuito cuja saída é diferencial para que quando estiver no bloco principal da tese possa excitar o *mixer* de maneira diferencial.

Para poder medir a variação de frequência em função da tensão de controle do VCO, utilizaremos o *balun* planar baseado na antena *quasi-Yagi* mostrado no Apêndice C, devido a sua natureza de banda mais larga que o balun discreto, como o utilizado para as medidas e caracterizações do *mixer*.



Figura D.16: Setup de medidas para oscilador.

#### D.4.0.2 Ruído de fase

A medida do ruído de fase é simples, sendo para isso utilizado o mesmo setup mostrado na Figura D.16. Como o analisador de espectro utilizado não possui módulo para a medida direta do ruído de fase, pode-se fazer a medida indiretamente, através de um método de estimativa, colocando o span do aparelho em 10MHz, para facilitar a medida em 1, 2 e 3MHz de distância da portadora. Em um analizador de espectro superheterodino como o Agilent E4408B utilizado em nossas medidas, a potência do sinal medido é integrada na banda determinada pelo parâmetro RBW (Resolution Bandwidth), que determina a largura de banda dos filtros. Como a definição do ruído de fase considera a integração numa largura de banda de 1Hz é necessário fazer a correção do valor medido no analisador. Pode-se fazer essa compensação manualmente subtraindo 10.log(RBW) da diferença entre a potência da portadora e a potência da banda lateral, ou como em nosso caso, devido ao E4408B possuir marker de ruído, podemos utilizar diretamente o valor desse marcador que já possui o valor integrado em 1Hz.

# Apêndice E

## Preparação para medidas: Remoção da camada polyimide

#### E.1 Introdução

A partir de 2005 a *foundry* AMS adotou o uso de uma camada protetora composta por um polímero (*polyimide*) de maneira a aumentar a proteção a camada de metal grosso em seu processo S35, processo esse voltado a circuitos de RF com a disponibilidade de células prontas como PAD para sinais de RF e indutores de metal grosso para melhor o desempenho de circuitos operando em alta frequência. Como essa camada de metal grosso possui perfil acima do plano da camada de passivação, a mesma era obrigada a adotar também esse perfil e consequentemente pontos de *stress* e maior vulnerabilidade apareciam nessa camada de passivação. Assim a *foundry* adotou uma camada de polímero para planarizar toda a camada superior evitando pontos nos quais essa camada poderia ser rompida danificando qualquer componente ou conexão entre componentes.

Para *foundry* essa proteção adicional não representou aumento significativo no custo de processo, pois utilizou-se a mesma máscara já utilizada anteriormente para a abertura de contato na camada de passivação. A tecnologia C35, que não possui essa camada de metal grosso, portanto contém uma camada de passivação altamente plana sem pontos de risco de para os componentes internos, não necessitou receber essa nova camada protetora.

Essa camada de *polyimide* para aumentar a proteção à camada de metal grosso do processo S35, acaba por aumentar também os desníveis no perfil do *chip*. Quanto nos referimos a esse desnível, estamos nos referindo a diferença entre a camada de metal grosso, que está totalmente exposta no PAD para se ter acesso as pontas de prova de um sistema de medição *on-board Cascade* ou para a micro-soldagem e o plano da camada *polyimide*. Como pode-se notar na Figura E.1(a) obtida através de um perfilômetro de varredura, o perfil original com a camada *polyimide* possui um desnível entre metal grosso e o plano da camada de aproximadamente  $6\mu$ m.



Figura E.1: Perfis de altura do PAD de RF, antes e após a retirada da *polyimide*.

Para a realização de micro-soldagem nenhum problema ocorre, pois a estação de microsoldagem consegue realizar o trabalho sem problema, agora quando se tenta atingir a camada de metal grosso com a micro-ponteira do sistema *Cascade*, a mesma não consegue atingir a camada de metal não sendo possível realizar a medida. Assim, para que se conseguissemos realizar as medidas *on-board* foi necessário desenvolver uma técnica para a retirada da camada de *polyimida*.

## E.2 Retirada da camada polyimide

O primeiro conjunto de amostras que foram submetidos à medida on-board não teve êxito algum, pois apesar de todas as tentativas durante vários dias, as ponteiras sequer conseguiam geram pequenas fissuras nos PADs. Levantou-se assim, a hipótese sobre o desnível da estrutura ser maior que o relatado no manual do processo (até essa presente data o manual não mostrava a existência dessa camada, pois a mesma acabara de ser adotada pela foundry). A primeira alternativa imaginada era que a camada de passivação possuia um valor maior que o mostrado no manual de maneira a não permitir o acesso das micro-ponteiras; Como essa passivação é composta por duas camadas, uma de nitreto de silício (Si3N4) e uma mais superficial de oxinitreto de silício (Si2N2O), foi adotado um processo de retirada da passivação através de plasma CVD (Chemical Vapor Deposition). Tal processo não mostrou sucesso, pois na verdade o plasma estava atacando a camada de *polyimide* e consequentemente nenhum processo de corrosão estava ocorrendo, pois a camada de passivação estava protegida por esse polímero. Paralelamente foi pedido informação a foundry sobre qual seria a causa desse desnível acentuado, o que nos foi informado que acabara de ser adotado essa camada de *polyimide* e que uma nova versão do manual da *foundry* já estava disponível com as mudanças no processo já agregadas. Nesse manual atualizado se observou a colocação da camada de *polyimide* com espessura de  $4\mu$ m, ou seja, o dobro da camada de passivação.

Como a *polyimide* se trata de um composto orgânico foi realizado no LMF (Laboratório de Micro-Fabricação) do LNLS (Laboratório Nacional de Luz Síncrona), um trabalho para se encontrar qual seria a solução mais adequada para a remoção dessa camada. Após pesquisa e testes, chegou à conclusão que o uso de Etilenodiamina à 55° por 15 minutos seria adequado para remoção da camada. Faz-se esse tratamento a amostra e depois com um jato de nitrogênio retira-se a camada. Na Figura E.1(b), observa-se o novo perfil da amostra agora sem a camada de *polyimide* mostrando que o desnível diminuiu em torno de  $4\mu$ m, o que já era esperado segundo os dados do manual.



(a) Polyimide sendo retirada



(b) Capa de *polyimide* de-sprendida

Figura E.2: Processo de retirada da *polyimide*.

Para ilustrar essa camada, na Figura E.2, pode-se notar camada sendo retirada do *chip* e uma amostra da camada *polyimide* totalmente desprendida. É interessante notar na Figura E.2(b), que toda parte do *chip* na qual se utiliza metal grosso está destacada na camada, mostrando realmente que esse polímero possui o papel de proteger o metal grosso e que agora sem o mesmo um cuidado redobrado deve ser tomado com a amostra afim de evitar problemas e não funcionamento nos futuros testes de bancada.

# Patentes e publicações resultantes do doutorado

- Capovilla, C. E., A. Tavora A. S. e Kretly, L. C.(2008a). Design and modeling of an RFIC PAD structure and probe contact impedance correction for on-wafer measurements, *ICCDCS'08 IEEE* International Caribbean Conference of Devices, Circuits, and Systems Cancun México.
- A. Tavora A. S., Capovilla, C. E. e Kretly, L. C. (2008b). A new circuit topology for LNAs using partial source degeneration with double transistor connection to improve gain and input impedance matching flexibility, COMCAS'08 - IEEE - International Conference on Microwaves, Communications, Antennas and Electronic Systems - Tel-Aviv - Israel.
- Capovilla, C. E e Kretly, L. C. (2007a). Amplificador de baixo ruído multiplexado para utilização em sistemas de rádio-recepção, Protocolo 018070016452 - Privilégio de patente requerida ao INPI via INOVA-UNICAMP em 22.03.07.
- Capovilla, C. E., Barbin, S. E. e Kretly, L. C. (2007b). A 2.6 GHz integrated CMOS low noise amplifier with multiple inputs for SMILE array receiver application, APMC'07 - IEEE -Asia-Pacific Microwave Conference - Bangkok - Thailândia.
- Capovilla, C. E., A. Tavora A. S. e Kretly, L. C.(2007c). A fully integrated CMOS low noise amplifier with multiple switched inputs for diversity wireless communications, *IMOC'07 - IEEE MTT-S - International Microwave and Optoelectronics Conference - Salvador - Brasil* (*The best student paper - honours*).
- Capovilla, C. E., Kretly, L. C. e Barbin, S. E. (2006). Measurement of H-Field on the Planar Antenna in the Near-Field Region: A Practical Setup, MIKON'06 - IEEE - International Conference on Microwaves, Radar, and Wireless Communications - Polônia.
- Kretly, L. C., A. Tavora A. S. e Capovilla, C. E. (2005a). Design and fabrication methodology of shunt MEMS switches for wireless communication circuits, *IMAPS'05 - International Tech*nical Symposium on Packaging, Assembling, Testing, and Exhibition - Campinas - Brasil.

## E PATENTES E PUBLICAÇÕES RESULTANTES DO DOUTORADO

•

- Kretly, L. C., A. Tavora A. S. e Capovilla, C. E. (2005b). MEMS switch for wireless communication circuits: Fabrication process and simulation, *IMOC'05 - IEEE MTT-S - International Microwave and Optoelectronics Conference - Brasília - Brasil* 01: 307–312.
- Kretly, L. C. e Capovilla, C. E.(2005c). A modified quasi-Yagi antenna with meander shape on driver for WLAN applications, *IEEE - International Symposium on Antenna Technology* and Applied Electromagnetics - Saint-Malo - França.

## Referências Bibliográficas

- Abou-Allam, E., Manku, T., Ting, M. e Obrecht, M. X. (2000). Impact of technology scaling on cmos rf devices and circuits, *IEEE Custom Integrated Circuits Conference* pp. 361–364.
- Allen, P. E. e Holberg, D. R. (2002). *CMOS analog circuit design*, 2 edn, Oxford University Press.
- Allstot, D. J., Li, X. e Shekhar, S. (2004). Design considerations for cmos low noise amplifiers, IEEE Radio Frequency Integrated Circuits Symposium.
- AustriaMicroSystems (2005a). 0.35µm HBT BiCMOS Design Rules, Company Confidential Documentation.
- AustriaMicroSystems (2005b). 0.35µm HBT BiCMOS Process Parameters, Company Confidential Documentation.
- AustriaMicroSystems (2005c). 0.35µm HBT BiCMOS RF Spice Models, Company Confidential Documentation.
- AustriaMicroSystems (2005d). CMOS Digital C35 Corelib, Company Confidential Documentation.
- Baker, J., Li, H. W. e Boyce, D. E. (2001). CMOS Circuit Design, Layout, and Simulation, IEEE Press.
- Balanis, C. A. (1997). Antenna Theory: Analysis and Design, 2 edn, John Wiley & Sons.
- Benton, R. (1992). Gaas mmics for an integrated gps fornt-end, *GaAs-IC Symposium Digest of Technical Papers* pp. 123–126.
- Capovilla, C. E. (2004). Antenas Planares Aplicadas às Comunicações Móveis de Ultimas Gerações Utilizado Elementos Quasi-Yagi, Mestre em engenharia elétrica, Faculdade de Engenharia Elétrica e de Computação - UNICAMP.
- Carbonero, J. L., Morin, G. e Cabon, B. (1995). Comparison between beryllium-cooper and tungsten high frequency air coplanar probes, *IEEE Transactions on Microwave Theory and Techniques* 43(12): 2786–2793.
- Caverly, R. H. (1999). Linear and nonlinear characteristics of the silicon cmos monolithic 50 ohms microwave and rf control element, *IEEE Journal of Solid-State Circuits* **34**(01): 2323–3228.
- Chang, J. Y. C., Adibi, A. A. e Gaitan, M. (1993). Large suspended inductors on silicon and their use in a 2um cmos rf amplifier, *IEEE Electron Device Letters* 14(12): 246–248.

- Cheng, J., Kamiya, Y. e Ohira, T. (2001). Adaptive beamforming of espar antenna using sequential perturbation, *IEEE MTT-S International Microwave Symposium Digest* **01**.
- Clarkson, P. M. e White, P. R. (1987). Simplified analysis of the lms adaptive filter using a transfer function approximation, *IEEE Transactions Acoustic, Speech and Signal Processing* 35: 987–993.
- Craninckx, J. e Steyaert, M. S. J. (1995). Low-noise voltage controlled oscillators using enhanced lc tanks, *IEEE Trans. Circuits Syst.-II* **42**: 794–804.
- Craninckx, J. e Steyaert, M. S. J. (1998). Wireless CMOS frequency synthesizer design, Kluwer Academic Publishers.
- Darabi, H. e Chiu, J. (2005). A noise cancellation technique in active rf-cmos mixers, *IEEE Journal of Solid-State Circuits* **40**(12): 2628–2631.
- Doble, J. e Litva, J. (1996). Digital beamforming in wireless communications, Artech House.
- Edwards, M. L. e Sinsky, J. H. (1992). A new criterion for linear 2-port stability using a single geometrically derived parameter, *IEEE Transactions on Microwave Theory and Techniques* 40(12): 2303–2308.
- Everard, J. (2001). Fundamentals of RF circuit design with low noise oscillators, John Wiley & Sons.
- Floyd, B. A., Hung, C.-M. e O, K. K. (2002). Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters, *IEEE Journal of Solid-State Circuits* 37(05): 543–551.
- Fredrick, J. D., Wang, Y. e Itoh, T. (2002). A smart antenna receiver array using a single rf channel and digital beamforming, *IEEE Transactions on Microwave Theory and Techniques* 50(12): 3052–3058.
- Garg, V. K. e Wilkes, J. E. (1996). Wireless Personal Communication Systems, Prentice Hall.
- Gilbert, B. (1997). The micromixer: A highly linear variant of the gilbert mixer using a bisymmetric class-ab input stage, *IEEE Journal of Solid-State Circuits* **32**: 1412–1423.
- Godara, L. C. (1997a). Applications of antenna array to mobile communications, part I: Performance improvement, feasibility and system considerations, *Proceeding of the IEEE*, Vol. 85, pp. 1031–1060.
- Godara, L. C. (1997b). Applications of antenna array to mobile communications, part II: Beamforming and direction-of-arrival considerations, *Proceeding of the IEEE*, Vol. 85, pp. 1195– 1245.
- Godara, L. C. (2004). Smart antennas, CRC Press.
- Goo, J. S. (2001). *High Frequency Noise in CMOS Low Noise Amplifier*, Ph. d. dissertation, Stanford University.

- Gray, P. e Meyer, R. (1984). Analysis and Design of Analog Integrated Circuits, John Wiley & Sons.
- Gray, P. R., Hurst, P. J., Lewis, S. H. e Meyer, R. G. (2001). Analysis and design of analog integrated circuits, New York: Wiley.
- Gray, P. R. e Meyer, R. G. (1982). Mos operational amplifier design a tutorial overview, *IEEE Journal of Solid-State Circuits* 17: 969–982.
- Grebene, A. B. (2002). Bipolar and MOS Analog Integrated Circuit Design, John Wiley & Sons.
- Gupta, I. J. e Ksienski, A. A. (1983). Effect of mutual coupling on the performance of adaptive arrays, *IEEE Transactions on Antennas and Propagation* **31**: 785–791.
- Gupta, K. C., Garg, R. e Chadha, R. (1981). Computer-aided design of microwave circuits, Artech.
- Hajimiri, A. e Lee, H. (2001). The design of low noise oscillators, Kluwer Academic Publishers.
- Hajimiri, A. e Lee, T. (1999). Design issues in cmos differential lc oscillators, *IEEE Journal of Solid-State Circuits* 34: 717–724.
- Hastings, A. (2001). The Art of Analog Layout, Prentice Hall.
- Hoffmann, R. K. (1987). Handbook of Microwave Integrated Circuits, Artech House.
- Huang, F. J. e O, K. K. (2000). A 900-mhz t/r switch with 0.8 db insertion loss in a 0.5μm cmos process, *IEEE Custom Integrated Circuits Conference* pp. 341–344.
- Huang, F. J. e O, K. K. (2001). A 0.5-µm CMOS T/R switch for 900-MHz wireless applications, *IEEE Journal of Solid-State Circuits* **36**(03): 486–492.
- Hung, C.-M., Ho, Y.-C. e O, K. K. (1998). High-q capacitors implemented in a cmos process for low-power wireless applications, *IEEE Transactions on Microwave Theory and Techniques* 46: 505–511.
- Ishii, S., Hoshikuki, A. e Kohno, R. (2000). Space hopping scheme undershort range rician multipath fading environment, *IEEE Vehicular Technology Conference* **01**: 99–104.
- Jedlicka, R., Poe, M. e Carver, K. (1981). Measured mutual coupling between microstrip antennas, *IEEE Transactions on Antennas and Propagation* **29**: 147–149.
- Johns, D. A. e Martin, K. (1997). Analog Integrated Circuit Design, John Wiley & Sons.
- Karanicolas, A. N. (1996). A 2.7-v 900-mhz cmos lna and mixer, IEEE Journal of Solid-State Circuits 31(12): 1939–1944.
- Kim, C. S., Park, M., Kim, C. H., Hyeon, Y. C., Yu, H. K., Lee, K. e Nam, K. S. (1998). A fully integrated 1.9-ghz cmos low noise amplifier, *IEEE Microwave and Guides Wave Letters* 8(8): 293–295.
- Kinget, P. (1999). Integrated GHz voltage controlled oscillators in: Analog circuit design, Kluwer.

- Klumperink, E. A. M., Gierkink, S. L. J., van der Wel, A. P. e Nauta, B. (2000). Reducing mosfet 1/f noise and power consumption by switched biasing, *IEEE Journal of Solid-State Circuits* 35(07): 994–1001.
- Ko, B. K. e Lee, K. (1996). A comparative study on the various monolithic low noise amplifier circuit topologies for rf and microwave applications, *IEEE Journal of Solid-State Circuits* 31.
- Kolding, T. E. (2001). Shield-based microwave on-wafer device measurements, *IEEE Transac*tions on Microwave Theory and Techniques 49: 1039–1044.
- Kretly, L. C. e Capovilla, C. E. (2003a). Analysis of radiation patterns and broad-band characteristics of a novel quasi-yagi antenna array for wireless communications, *IEEE International* Symposium on Wireless Personal Multimedia Communications 03: 440–443.
- Kretly, L. C. e Capovilla, C. E. (2003b). Patches driver on the quasi-yagi antenna: Analyses of bandwidth and radiation pattern, *IEEE International Microwave and Optoelectronics Conference* 01: 313–316.
- Kretly, L. C. e Silva, E. (2006). Analysis of active inductors based on generalized impedance converter structure for rfic design, SBMO - Brazilian Microwave and Optoelectronics Symposium.
- Kretly, L. C., Sodre, A. C. e Tavora, A. S. (2002a). A hexagonal adaptive antenna array concept for wireless communication applications, *IEEE International Symposium on Personal*, *Indoor and Mobile Radio Communications*.
- Kretly, L. C., Sodre, A. C. e Tavora, A. S. (2002b). A hexagonal antenna array prototype for adaptive system application, *IEEE International Symposium on Wireless Personal Multimedia Communications* pp. 757–761.
- Kretly, L. C., Sodre, A. C. e Tavora, A. S. (2002c). Triangle PIFA antenna array prototype for wireless system applications, *IEEE International Telecommunications Symposium*.
- Kuehner, R., Todd, T. D., Shad, F. e Kezys, V. (2001). Forward-link capacity in smart antenna base stations with dynamic slot allocation, *IEEE Transactions on Vehicular Technology* 50(04): 1024–1038.
- Lee, T. H. (1998). The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge University Press.
- Lee, W. C. Y. (1997). Mobile communications Engineering, 2 edn, McGraw-Hill.
- Leeson, D. B. (1966). A simple model of feed-back oscillator noise spectrum, *Proc. IEEE* **54**: 329–330.
- Lehne, M., Stonick, J. e Moon, U. (2000). An adaptative offset concellation mixer for direct conversion receivers in 2.4ghz cmos, *IEEE International Symposium of Circuits and Systems* 01: 319–322.

- Li, Z. e O, K. K. (2005). 15-ghz fully integrated nmos switches in a 0.13µm cmos process, *IEEE Journal of Solid-State Circuits* **40**(11): 2323–3228.
- Li, Z., Quintal, R. e O, K. K. (2004). A dual-band cmos front-end with two gain modes for wireless lan applications, *IEEE Journal of Solid-State Circuits* 39(11): 2069–2073.
- Liberti, J. C. e Rappaport, T. S. (1999). Smart Antennas for Wireless Communications IS-95 and Third Generation CDMA Applications, Prentice-Hall International.
- Microtech, C. (n.d.). On-wafer vector analyzer calibration and measurements, Application Note.
- Miura, R., Tanaka, T., Chiba, I., Horie, A. e Karasawa, Y. (1997). Beamforming experiment with a dbf multibeam antenna in a mobile satellite environment, *IEEE Transactions on Microwave Theory and Techniques* 45: 704–714.
- Moerth, T. (2002). Design flow using austriamicrosystems hit-kit 3.40  $0.8\mu$ m sige, AMS Internal Journal.
- Montrose, M. I. (1999). *EMC and the printed circuit board: design, theory, and layout made simple*, IEEE Press New York.
- Mukherjee, J., Parry, J., Dai, W., Roblin, P., Bibyk, S. e Lee, J. (2003). Rfic loadpull simulations implementing best practice rf and mixed-signal design using an integrated agilent and cadence eda toll, *IEEE International Conference on Microelectronic Systems Education*.
- O, K. K., Li, X., Huang, F. J. e Foley, W. (2002). Cmos components for 802.11b wireless lan applications, *IEEE Radio Frequency Integrated Circuits Symposium* pp. 103–106.
- Petrus, P. (1997). Novel Adaptive Array Algorithms and Their Impact on Cellular System Capacity, Doctor of philosophy in electrical engineering, Faculty of the Virginia Polytechnic Institute.
- Phillips, J. e Kundert, K. (2000). Noise in mixers, oscillatord, samplers, and logic an introduction to cyclostationnary noise, *IEEE Custum Integrated Circuits Conference*.
- Porret, A., Melly, T., Enz, C. e Vittoz, E. A. (2000). Design of high-q varactors for low power wireless applications using standard cmos process, *IEEE Journal of Solid-State Circuits* 35(03): 337–345.
- Pozar, D. M. (2001). Microwave and RF Design of Wireless Systems, John Wiley & Sons.
- Qian, Y., Deal, . R., Kaneda, N. e Itoh, T. (2000). Mutual coupling and mitigation in twodimensional phased arrays based on planar quasi-yagi antennas, Asia-Pacific Microwave Conference pp. 5–8.
- Qiao, S. (1991). Fast adaptive rls algorithms: A generalized inverse approach and analysis, *IEEE Transactions Signal Processing* **39**: 1455–1459.
- Ratnarajah, T. e Manikas, A. (1998). An h $\infty$  approach to mitigate the effects of array uncertainties on the music algorithm, *IEEE Signal processing letters* **05**(07): 185–188.

Razavi, B. (1998). Rf microelectronics.

### E REFERÊNCIAS BIBLIOGRÁFICAS

- Razavi, B. (1999). Cmos technology characterization for analog and rf design, *IEEE Journal of Solid-State Circuits* 34(03): 268–276.
- Razavi, B. (2001). Design of analog cmos integrated circuits.
- Razavi, R. (1995). Principles of data conversion system design, IEEE Press.
- Rohde, U. e Whitaker, J. (2001). Communications Receivers DSP, Software Radios, and Design, 3 edn, McGraw-Hill.
- Roy, R. e Kailath, T. (1989). Esprit estimation of signal parameters via rotational invariance techniques, *IEEE Transactions Acoustic, Speech and Signal Processing* 37: 984–995.
- Salonen, P., Sydänheimo, L., M.Keskilammi e Kivikoski, M. (1999). A small planar inverted-f antenna for wearable applications, *The Third International Symposium* pp. 95–100.
- Sedra, A. S. e Smith, K. C. (1998). *Microelectronic Circuits*, 5 edn, Oxford University Press.
- Shaeffer, D. K. e Lee, T. H. (2001). The Design and Implementation of Low-Power CMOS Radio Receivers, Kluwer Academic Publishers.
- Sheng, N. H. (1991). A 30 ghz bandwidth algaas-gaas hbt direct-coupled feedback amplifier, *IEEE Microwave and Guided Wave Letters* **01**(08): 208–210.
- Steyaert, M. S. J. e Vancorenland, P. (2001). A 1.57 ghz fully integrated very low phase noise quadrature vco, VLSI Circuits Symposium pp. 111–114.
- Steyskal, H. (1987). Digital beamforming antennas: An introduction, *Microwave Journal* **30**(01): 104–124.
- Steyskal, H. e Rose, J. F. (1989). Digital beamforming for radar systems, *Microwave Journal* **32**(01): 121–136.
- Tsividis, Y. (1996). Mixed analog-digital VLSI devices and technology: An introduction, McGraw-Hill.
- Tsividis, Y. (1999). Operation and Modeling of the MOS Transistors, 2 edn, McGraw-Hill.
- Yacoub, M. D. (1993). Foundations of mobile radio engineering, CRC.
- Yamamoto, K., Heima, T., Furukawa, A., Ono, M., Hashizume, Y., Komurasaki, H., Maeda, S., Sato, H. e Kato, N. (2001). A 2.4-ghz band 1.8-v operation single-chip si-cmos t/r-mmic front-end with a low insertion switch, *IEEE Journal of Solid-State Circuits* 36(08): 1186– 1197.
- Yamashita, E. e Qian, Y. (1996). Analysis of microwave circuits and planar antennas using the fdtd method, *Tokyo: Realize Inc*.