

CODIFICAÇÃO DIGITAL PARA

COMUNICAÇÕES ÓPTICAS

PAULO TADAMITSU HOSOE
Orientador: DALTON SOARES ARANTES

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA DE CAMPINAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

FEVEREIRO 1983

UNICAMP
BIBLIOTECA

AGRADECIMENTOS

Ao meu orientador, Prof. Dr. Dalton Soares Arantes, pela paciência e sugestões dadas durante a execução do trabalho;

Aos Engenheiros Denis Tadeu, José Augusto e outros, pelas discussões que muito ajudaram para a realização deste trabalho;

À M. Júlia, pelos excelentes trabalhos de datilografia;

Ao Luis, pela confecção dos desenhos;

Enfim, a todos que direta ou indiretamente, contribuíram para a realização deste trabalho.

ÍNDICE

INTRODUÇÃO.....	001
CAPÍTULO I - CÓDIGOS PARA COMUNICAÇÕES ÓPTICAS.....	005
I.1 - O PROBLEMA DA CODIFICAÇÃO PARA COMUNICAÇÕES ÓPTICAS.....	006
I.2 - ALGUNS CÓDIGOS DE LINHA PARA COMUNICAÇÕES ÓPTICAS.....	009
I.2.1 - CÓDIGOS COM BITS DE PARIDADE.....	009
I.2.2 - CÓDIGOS COM ESTRUTURA DE QUADRO.....	010
I.2.3 - CÓDIGOS DE BLOCO.....	010
I.3 - O CÓDIGO 3B-4B ESCOLHIDO.....	021
I.4 - ESTRATÉGIA DE ALINHAMENTO DE BLOCO.....	023
CAPÍTULO II - CANAIS DE SERVIÇOS E ALARMES.....	027
II.1 - A NECESSIDADE DE CANAIS DE SERVIÇOS	028
II.2 - OBTENÇÃO DE CANAIS DIGITAIS DE SERVIÇO.....	028
II.3 - A CAPACIDADE DO CANAL ESTATÍSTICO.....	032
II.3.1 - CÁLCULO DE $p_1(n)$	034
II.3.2 - CÁLCULO DE $p_2(n)$	035
II.3.3 - CÁLCULO DE $p(n)$ E DOS PARÂMETROS ESTATÍSTICOS DO ATRASO.....	036
II.4 - O PROBLEMA DA MODULAÇÃO E DEMODULAÇÃO DO CANAL DE SERVIÇO.....	052
II.4.1 - MODULAÇÃO DELTA PARA O CANAL DE VOZ....	052
II.5 - A TRANSMISSÃO DO SINAL SIA E DO ALARME REMOTO...	059
CAPÍTULO III- PROJETO DO CODIFICADOR E DO DECODIFICADOR.....	061
APÊNDICES.....	072
APÊNDICE A - PROJETO DETALHADO DO CODEC 3B-4B.....	073
A.1 - CODIFICADOR 3B-4B.....	073
A.2 - DECODIFICADOR 3B-4B.....	091
APÊNDICE B - PROJETO DETALHADO DOS SINTETIZADORES.....	112

INTRODUÇÃO

Com a rápida evolução tecnológica dos últimos anos, grandes progressos foram obtidos na fabricação de fibras ópticas para sistemas de comunicações. Hoje, consegue-se fabricar em escala industrial, fibras ópticas com baixíssimas perdas e larguras de faixa excedendo 1 (GHz).(km).

Além disso, a confecção de cabos com dezenas ou centenas de fibras, o desenvolvimento dos conectores, das fontes ópticas e dos foto-detetores de alta sensibilidade e baixo ruído, têm contribuído para a rápida aceitação da fibra óptica como meio de transmissão digital. Além do mais, a fibra permite a transmissão a longas distâncias, a taxas bastante elevadas e sem a necessidade de repetidores regenerativos intermediários, sempre apresentando a sua peculiar característica de alta imunidade ao ruído e interferências externas.

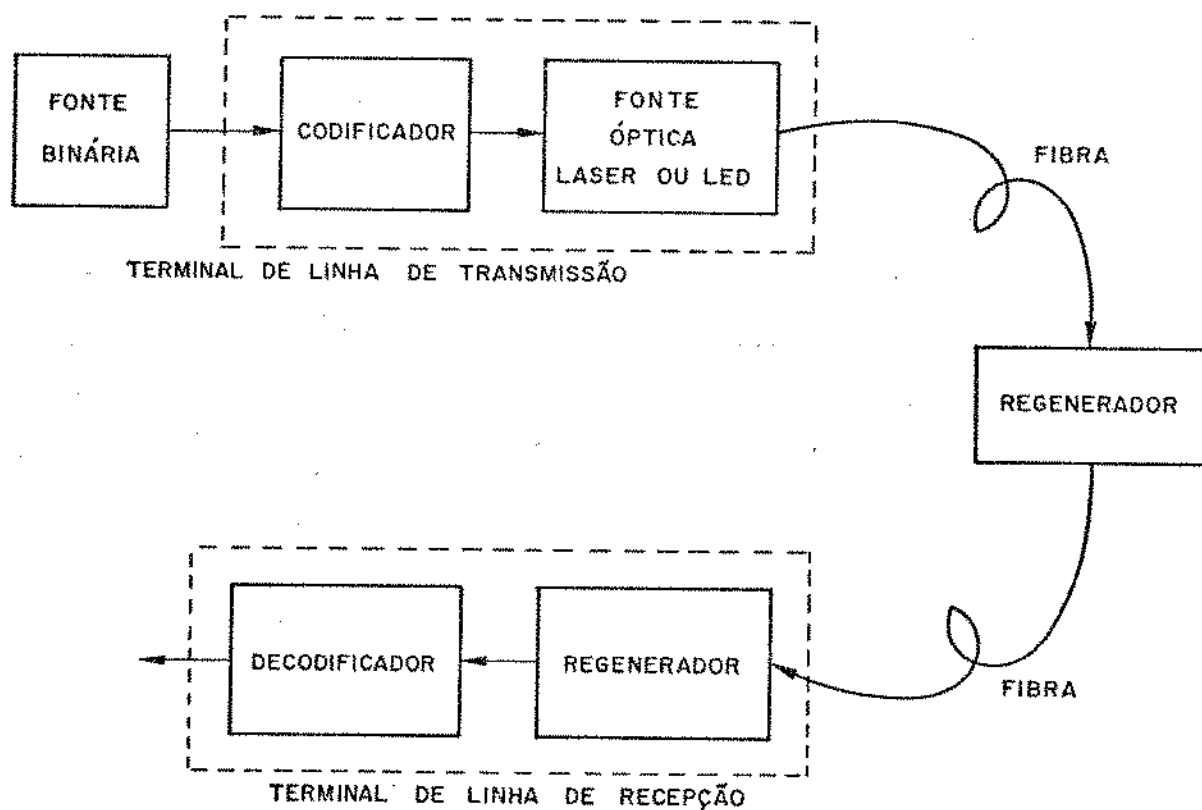


Fig. 1 - Diagrama em blocos de um sistema de transmissão digital por fibra óptica

O diagrama em blocos da Fig. 1 representa um sistema típico de transmissão digital por fibra óptica, onde são apresentados repetidores intermediários que são necessários apenas para grandes distâncias entre as estações terminais. Mesmo na ausência desses repetidores regenerativos intermediários, o terminal de Linha de Recepção (TLR) utiliza um regenerador, cuja finalidade é reconstituir para a sua forma digital original os pulsos distorcidos e atenuados durante a sua propagação na fibra óptica dispersiva e com perdas.

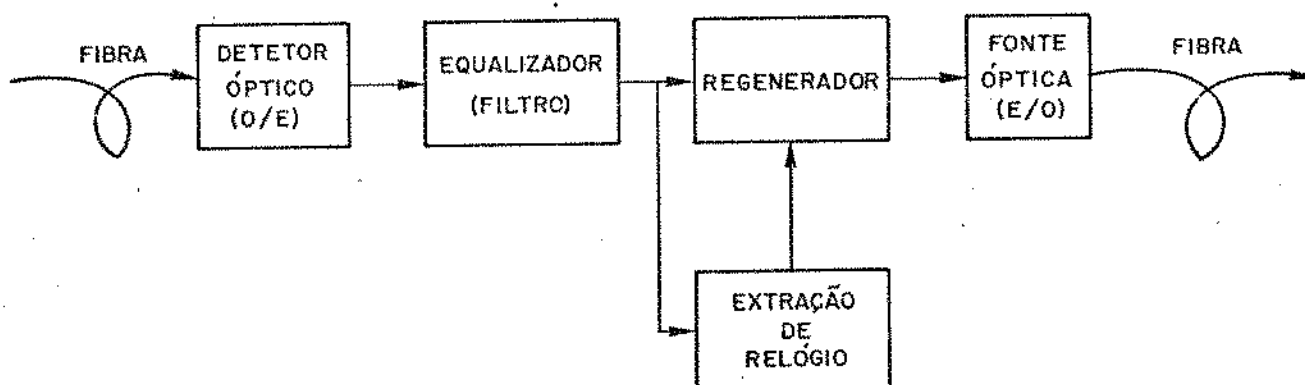


Fig. 2 - Diagrama em blocos de um repetidor regenerativo

O diagrama em blocos de um repetidor regenerativo óptico/elétrico/óptico típico é apresentado na Fig. 2. Note-se que o Regenerador do Terminal de Linha de Recepção da Fig. 1 é idêntico ao da Fig. 2, com exceção do conversor elétrico/óptico (E/O), que não é utilizado no TLR.

No conversor E/O o sinal digital codificado modula a corrente de um laser de injeção ou de um diodo emissor de luz (LED) que podem acoplar, respectivamente, alguns mwatts ou algumas centenas de μ watts de potência na fibra.

No conversor O/E do regenerador, a intensidade da luz proveniente da fibra é convertida em uma corrente elétrica através de um detetor óptico do tipo APD (Foto-Diodo de Avalanche) ou do tipo PIN (Foto-Diodo p-i-n).

Em geral, para facilitar o projeto do sistema de comunicações ópticas e permitir a supervisão e monitoração contínua do desempenho do sistema, utiliza-se um código de linha apropriado, que transforma a sequência digital a ser transmitida em outra sequência mais adequada aos sistemas ópticos hoje comumente utilizados na prática.

O objetivo principal deste trabalho é estudar, definir, projetar e implementar o CODEC (Codificador-Decodificador) a ser utilizado no sistema de transmissão digital por fibras ópticas a 34 Mbits/s, ELO-34, ora em desenvolvimento pelo CPqD/TELEBRÁS com a participação do Laboratório de Comunicações Digitais - LCD - do DEE/FEC/UNICAMP.

No Capítulo I são abordados os problemas da codificação para comunicações digitais ópticas, os tipos de códigos mais utilizados, a escolha do código para o sistema ELO-34, bem como os problemas envolvidos na sua sincronização de blocos.

No Capítulo II apresentamos os problemas relativos aos canais de serviços e alarmes remotos, obtidos de forma simples através do próprio processo de codificação. Ênfase especial é dada ao processo de modulação delta utilizado para o canal de serviço de voz.

Finalmente, no Capítulo III apresentamos o Codificador e o Decodificador do código de linha, bem como os sintetizadores de frequências utilizados no projeto do CODEC.

Nos Apêndices A e B são apresentados os diagramas elétricos completos do CODEC implementados para o ELO-34, já em operação experimental entre as centrais de Jacarepaguá e Cidade de Deus do Rio de Janeiro.

CAPÍTULO I

CÓDIGOS PARA COMUNICAÇÕES ÓPTICAS

I.1 - O PROBLEMA DA CODIFICAÇÃO PARA COMUNICAÇÕES ÓPTICAS

Em geral, o projeto de sistemas de transmissão digital em banda-base, quer através de cabos metálicos quer de fibras ópticas, é consideravelmente facilitado com a utilização de uma codificação apropriada do sinal digital a ser transmitido. Além disso, em certos tipos de códigos de linha, é possível a obtenção, de forma simples e econômica, de canais de serviços de baixa capacidade para a supervisão e monitoração do sistema.

Dentre as vantagens principais apresentadas pelos códigos de linha, podemos citar a possibilidade que estes oferecem para a conformação do espectro do sinal transmitido, a possibilidade de monitoração da taxa de erros no terminal receptor ou nos repetidores regenerativos intermediários, a alta densidade de transição de pulsos que facilitam a extração do sinal de relógio, além da possibilidade de obtenção de canais de serviços já mencionada anteriormente.

Quanto às desvantagens da utilização dos códigos de linha, podemos citar o aumento da complexidade dos terminais transmissores e receptores e a deterioração da margem de ruído nos regeneradores, esta última produzida pela introdução da redundância no processo de codificação. Note-se que para todos os tipos de códigos de linha a taxa bruta de transmissão final é sempre maior ou igual que a taxa líquida de transmissão da informação à entrada do Codificador. Entretanto, a taxa de símbolos (Bauds) transmitida, pode ser maior ou menor que a taxa de símbolos do sinal a ser codificado. Em geral, os códigos utilizados em comunicações ópticas apresentam um aumento da taxa de símbolos transmitida, o que obviamente exige uma maior banda-passante da fibra óptica.

Em se tratando de transmissão digital em banda-base, onde os pulsos transmitidos são normalmente retangulares, a taxa de símbolos transmitida e, por conseguinte, a banda-passante necessária, está intimamente relacionada ao número de níveis utilizados no sinal transmitido. Em sistemas de comunicações por fibras ópticas, os códigos mais comumente utilizados são os binários (dois níveis) do tipo ON-OFF. Esta preferência se deve principalmente às características não-lineares dos conversores ópticos, às difi

culdades de polarização e estabilização dos foto-diodos do tipo Laser de injeção e às características peculiares (multiplicativas) do ruído de avalanche gerado nos receptores que utilizam Foto-Diodos de Avalanche (APD).

A utilização de códigos binários com modulação PAM apresenta a desvantagem do acréscimo da taxa de símbolos, o que não é grave quando o sistema óptico opera apenas com limitação de potência.

Os principais fatores que devem ser levados em consideração na escolha de um código de linha para comunicações ópticas são:

1. Conformação do Espectro de Potência:

O conteúdo espectral contínuo do sinal transmitido através da fibra deve ser nulo na vizinhança de $f=0$ e o menor possível em torno desse ponto, isto é, o código deve apresentar a menor flutuação possível de seu nível médio. Esta propriedade do código, garantida por um balanceamento adequado no processo de codificação, permite a utilização de receptores com acoplamento A.C., facilitando assim o seu projeto.

Para um mesmo receptor, o código que apresenta um menor conteúdo espectral de baixa frequência apresentará também uma menor interferência intersimbólica causada pelo corte de baixas frequências do acoplamento capacitivo (A.C.).

2. Alta Densidade de Transições de Pulsos:

Com a utilização de um código de linha adequado, é sempre possível controlar a distância máxima entre duas transições de pulsos consecutivos quaisquer. Isto garante uma alta densidade de transições e a presença constante da raia espectral na frequência do sinal de relógio a ser extraído do próprio sinal digital. Esta característica facilita consideravelmente o projeto do circuito de extração de relógio nos repetidores regenerativos ou nos terminais de linha.

3. Capacidade de Detecção de Erros de Linha:

Uma importante propriedade dos códigos de linha é a sua

capacidade de detecção de erros de transição provocados no processo de regeneração dos pulsos. Esta característica permite a monitoração constante do desempenho dos repetidores e dos terminais de linha, através da medida da taxa de erros de linha. Neste aspecto, um código será tanto melhor quanto maior for a sua capacidade de detecção de erros de linha.

4. Possibilidade de Obtenção de Canais de Serviço:

Em certos tipos de códigos de bloco é possível a obtenção de canais de serviços de baixa capacidade através da própria redundância inerente ao código. A existência desses canais adicionais facilita a monitoração, a operação e a manutenção do sistema como um todo. Em geral, a obtenção desses canais de serviços se faz em detrimento da capacidade de detecção de erros do código ou de sua capacidade de auto-sincronismo.

5. Capacidade de Auto-Sincronismo:

A utilização de códigos de bloco exige que o decodificador esteja alinhado ou sincronizado com o codificador, a fim de que a decodificação se processe corretamente. Esta capacidade de alinhamento de bloco deve ser automática e bastante confiável, pois qualquer desalinhamento ou perda de sincronismo acarreta um surto de erros no sinal decodificado.

6. Alta Eficiência:

A utilização de códigos de bloco binários com modulação PAM acarreta uma elevação da taxa de símbolos transmitida. Como esta elevação de taxa deteriora a margem de ruído e exige uma maior banda-passante, é necessário que este acréscimo de taxa seja o menor possível, porém sempre compatível com as outras necessidades do sistema.

7. Complexidade de Implementação:

Além das propriedades mencionadas acima, o código de linha a ser escolhido deve apresentar ainda uma complexidade de implementação relativamente baixa quando comparada com a complexidade total do sistema. Note-se, todavia, que a complexida

de adicional introduzida pela utilização do código se restringe apenas aos terminais transmissor e receptor, não afetando os repetidores intermediários quando estes existirem.

Pelo exposto até agora, é evidente que a utilização de códigos de linha é vantajosa não só quanto ao aspecto de facilitação do projeto dos regeneradores, mas também quanto ao aspecto da monitoração e da supervisão do sistema. Obviamente, a escolha do código de linha a ser utilizado em um dado sistema óptico deve recair sobre aquele que satisfizer da melhor forma possível todos os sete fatores mencionados acima.

Infelizmente, a maioria desses sete itens a que o código deve satisfazer são, em geral, mutuamente conflitantes e uma solução de compromisso é inevitável. Naturalmente, a escolha de um determinado código vai depender de vários fatores, tais como a banda-passante da fibra, o tipo de foto-diodo emissor de luz, a tecnologia dos circuitos integrados, etc.

I.2 - ALGUNS CÓDIGOS DE LINHA PARA COMUNICAÇÕES ÓPTICAS

Pelos motivos expostos anteriormente, vamos nos restringir aqui apenas aos códigos binários, onde apenas dois níveis são usados na transmissão.

A classe dos códigos binários é composta basicamente de três tipos de códigos: os códigos de bloco, os códigos com bits de paridade e os códigos com estrutura de quadro onde palavras de sincronismo são inseridos periodicamente no trem de pulsos.

I.2.1 - Códigos com Bits de Paridade

Neste tipo de código, a cada m bits de informação são inseridos n bits de cheque de paridade. Na realidade, este tipo de código é análogo aos códigos de bloco sistemáticos, utilizados para correção e/ou detecção de erros. Neste caso, os n bits de cheque de paridade são combinações lineares dos m bits de informação, sendo que as operações algébricas são sempre módulo 2.

Embora seja possível se conseguir uma boa monitoração

da taxa de erros com este tipo de código, isto só é possível quando a redundância for relativamente alta. Além disso, em geral não se consegue uma conformação adequada do espectro de potência de baixa frequência. Por estas razões, os códigos de paridade são pouco utilizadas na prática.

I.2.2 - Códigos com Estrutura de Quadro

Nos códigos ou sistemas com estrutura de quadro, as diversas funções de controle de linha são em geral colocadas em posições fixas do quadro. Essas funções de controle englobam os bits de cheque de paridade ou de violação, os canais de serviços, os alarmes remotos, os comandos para comutação automática de equipamentos terminais, além de outras funções suplementares.

Embora os códigos com estrutura de quadro permitam a utilização de vários canais de serviços, eles não se prestam à conformação espectral de baixa frequência, apresentando portanto uma flutuação do nível DC. Além disso, a sincronização desses códigos é problemática quando se utiliza um grande comprimento de quadro.

A utilização eficiente de canais de serviços ou alarmes remotos de baixa capacidade, em geral exige um comprimento de quadro excessivamente grande, o que dificulta o problema da sincronização. Uma solução eficiente é elegante para se resolver este problema foi apresentada por Denis [2], onde um sistema com partilha estatística acomoda de forma eficiente vários canais de serviços de diferentes capacidades. Este sistema, no entanto, não soluciona o problema da flutuação do nível DC dos códigos com estrutura de quadro.

I.2.3 - Códigos de Bloco

Os códigos de bloco binários são códigos do tipo $mB-nB$, onde blocos de m bits adjacentes dos dados binários são codificados em blocos de n bits adjacentes denominados palavras - código, sendo $n > m$ [1].

A grande vantagem dos códigos de bloco é a sua capacidade de perfeito balanceamento do nível DC de suas palavras-código, o que reduz significativamente as flutuações do nível médio do sinal codificado a ser transmitido. Por esta razão, os códigos de

bloco são denominados de códigos balanceados, sendo frequentemente não-lineares.

Em um código de bloco $mB-nB$ existem 2^m possíveis palavras binárias de comprimento m de entrada, as quais se associam a palavras-código de comprimento n . Essa associação de palavras binárias de entrada com palavras-código de saída, é ditada pela lei de codificação utilizada, a qual deve ser escolhida de forma a satisfazer os requisitos enumerados no início do capítulo.

Em geral, a lei de codificação para os códigos de bloco consiste na comutação de alfabetos de palavras-código, de forma a se obter as propriedades desejadas. Portanto, como primeira regra para a escolha desses alfabetos, devemos eliminar as palavras onde todos os bits são iguais a zero ou iguais a um. Esta restrição, por si só, garante uma densidade mínima de transições de pulsos para efeito de facilitação da extração de relógio. O balanceamento do código, por outro lado, é obtido pela comutação dos alfabetos.

Seja $\underline{a}_i = (a_{i1}, a_{i2}, \dots, a_{in})$ a i -ésima palavra-código emitida pelo codificador, onde $a_{ij} \in \{0,1\}$. A disparidade $D(i)$ associada à palavra \underline{a}_i é definida por:

$$D(i) = \sum_{j=1}^n (2a_{ij} - 1) \quad (1)$$

onde as operações algébricas são as usuais.

A Soma Digital Corrida (SDC) terminal ou disparidade acumulada até a k -ésima palavra-código é definida por:

$$T(k) = T(0) + \sum_{i=1}^k D(i) \quad (2)$$

onde $T(0)$ é uma constante arbitrária.

A Soma Digital Corrida até o $[n(k-1)+\ell]$ -ésimo bit transmitido é definida por:

$$SDC = T(k-1) + \sum_{j=1}^{\ell} a_{kj} \quad (3)$$

onde $1 \leq \ell \leq n$.

Nos códigos balanceados, a SDC estará confinada entre dois limites finitos, sendo esta uma condição suficiente para a eliminação do conteúdo espectral em torno de $f=0$. Qualitativamente, podemos dizer que quanto mais confinada estiver a SDC, menor será o conteúdo espectral de baixa frequência e, portanto, menores as flutuações do nível médio do sinal codificado.

Em certos casos, dependendo dos valores relativos de m e n , é possível o confinamento da SDC com a utilização de apenas um alfabeto de codificação, o que em princípio deve facilitar a implementação do CODEC. Todavia, a utilização de apenas um alfabeto só é possível se existirem pelo menos 2^m padrões binários de tamanho n com a mesma disparidade. Neste caso, haverá uma correspondência biunívoca entre as palavras de entrada de tamanho m e as palavras-código de tamanho n .

A fim de ilustrar o processo de codificação de um código de bloco balanceado, tomemos o código 1B-2B da tabela I.1 [1]:

1B-2B		
Palavra de entrada	Palavra-código (alfabeto S1)	Palavra-código (alfabeto S2)
0	1 0	0 0
1	1 1	0 1

Tabela I.1

Neste código são utilizados dois alfabetos, S1 e S2, que se comutam de acordo com a disparidade $D(i)$ da última palavra-código emitida. A lei de codificação para este código é dada pelo diagrama de estados da Fig. I.1

Portanto, só haverá mudança de alfabeto quando a disparidade da última palavra-código for igual a 2 ou -2.

O espectro de potência contínuo normalizado para este código é apresentado na Fig. I.2, onde se nota a ausência de conteúdo espectral de baixa frequência.

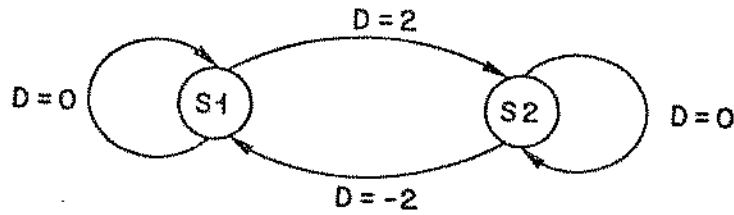


Fig. I.1

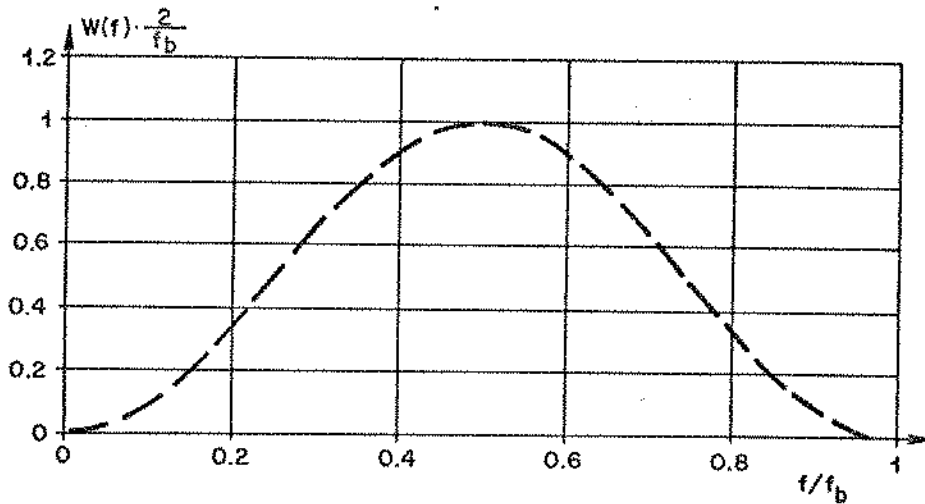


Fig. I.2

Pela definição da SDC, eq.(3), pode-se observar que ela estará sempre confinada entre os limites $T(0)$ e $T(0)+2$, podendo assumir portanto apenas três valores distintos.

Além da eliminação do conteúdo espectral de baixa frequência, o confinamento da SDC também permite que se monitore os erros de linha nos regeneradores ou nos terminais receptores [1]. Pode-se observar que sempre que houver um erro de bit isolado, este provocará uma violação do limite inferior ou do limite superior do confinamento da SDC. Alguns padrões de erros não isolados, todavia, podem não ocasionar uma violação dos limites de confinamento da SDC. De qualquer forma, entretanto, esta é uma técnica bas

tante simples e muito usada na prática para a monitoração de erros nos regeneradores. A implementação prática desses monitores de erros pode ser feita utilizando-se contadores UP-DOWN ativados pela sequência de bits regenerada [1].

Quanto ao problema da decodificação dos códigos de bloco, é evidente que haverá necessidade do decodificador estar alinhado ou sincronizado ao codificador, a fim de que os blocos de n bits adjacentes que o decodificador observa a cada instante, sejam palavras-código legítimas e não composição de fragmentos destas. Portanto, um aspecto importante na escolha de um código de bloco é a sua capacidade intrínseca de auto-alinhamento. O alinhador ou sincronizador de blocos propriamente dito, deverá operar segundo alguma estratégia ou algoritmo de alinhamento adequado.

Normalmente, quando o alinhador de bloco observa fora da fase correta uma sequência codificada, verifica-se que a lei de codificação é violada a quase todo instante. Além disso, estando fora de fase o alinhador poderá observar palavras proibidas, isto é, palavras que não pertencem aos alfabetos do código, com uma certa frequência acima daquela que poderia ser produzida por erros de linha em um alinhador operando com a fase correta. São esses dois indicadores de violações que permitem o alinhamento automático do decodificador.

Para a correta operação do alinhador de bloco, em geral é necessário que os bits de informação a serem codificados sejam bastante aleatórios e suficientemente descorrelacionados. Na prática, isto é garantido utilizando-se embaralhadores e desembaralhadores autosincronizáveis, implementados com registradores de deslocamento realimentados.

A fim de facilitar a comparação entre os vários códigos de bloco, é conveniente definirmos os seguintes parâmetros:

$f_b/f_0 = n/m$: Razão entre a taxa de bits de linha e a taxa de bits do sinal de dados a ser codificado.

$\langle a_{ij} \rangle$: Valor médio dos símbolos do sinal de linha, o qual deve ser o menor possível de forma a minimizar a potência óptica média a ser transmitida (maior tempo de vida das fontes ópticas) e minimizar o ruído shot do receptor.

S_{cod} : Número de estados do codificador ou número de alfabetos do código. Este parâmetro em princípio indica o grau de complexidade do codificador.

S_{mon} : Número de valores que a SDC pode assumir em cada intervalo de bit. Este parâmetro indica o grau de complexidade do circuito de monitoração de erros utilizados nos regeneradores.

N_{0MAX}, N_{1MAX} : Número máximo de zeros e uns consecutivos, respectivamente, que podem ocorrer no sinal codificado. Em geral, quanto menor estes valores mais fácil será a extração do relógio de bits.

Além desses parâmetros, poderíamos considerar também o fator de esbeltez da densidade espectral de potência do código (β), porém este parâmetro não será considerado neste trabalho [1].

A seguir, apresentamos nas tabelas I.2, I.3, I.4, I.5, I.6 e I.7 as tabelas de codificação para os códigos 1B-2B, CMI-Coded-Mark-Inversion, 2B-3B, 3B-4B, 5B-6B e 5B-7B, respectivamente. É importante observar que estes códigos não são necessariamente os códigos ótimos de cada classe em questão. Por exemplo, o código 3B-4B da Tabela I.5 é apenas um exemplar da família de códigos 3B-4B.

1B-2B				
Palavra de entrada	Palavra-código (alfabeto S1)	Disparidade D	Palavra-código (alfabeto S2)	Disparidade D
0	1 0	0	0 0	-2
1	1 1	+2	0 1	0

Tabela I.2

CMI				
Palavra de entrada	Palavra-código (alfabeto S1)	Disparidade D	Palavra-código (alfabeto S2)	Disparidade D
0	0 1	0	0 1	0
1	1 1	+2	0 0	-2

Tabela I.3

2B-3B				
Palavra de entrada	Palavra-código (alfabeto S1)	Disparidade D	Palavra-código (alfabeto S2)	Disparidade D
0 0	0 0 1	-1	0 0 1	-1
0 1	0 1 0	-1	0 1 0	-1
1 0	1 1 0	+1	0 0 0	-3
1 1	1 0 0	-1	1 0 0	-1

Tabela I.4

3B-4B				
Palavra de entrada	Palavra-código (alfabeto S1)	Disparidade D	Palavra-código (alfabeto S2)	Disparidade D
0 0 0	0 1 0 1	0	0 1 0 1	0
0 0 1	1 0 0 1	0	1 0 0 1	0
0 1 0	1 1 1 0	+2	0 1 0 0	-2
0 1 1	1 1 0 1	+2	1 0 0 0	-2
1 0 0	0 1 1 1	+2	0 0 1 0	-2
1 0 1	1 0 1 1	+2	0 0 0 1	-2
1 1 0	0 1 1 0	0	0 1 1 0	0
1 1 1	1 0 1 0	0	1 0 1 0	0

Tabela I.5

5B-6B				
Palavra de entrada	Palavra-código (alfabeto S1)	Disparidade D	Palavra-código (alfabeto S2)	Disparidade D
0 0 0 0 0	0 0 0 1 1 1	0	0 0 0 1 1 1	0
0 0 0 0 1	0 1 1 1 0 0	0	0 1 1 1 0 0	0
0 0 0 1 0	1 1 0 0 0 1	0	1 1 0 0 0 1	0
0 0 0 1 1	1 0 1 0 0 1	0	1 0 1 0 0 1	0
0 0 1 0 0	0 1 1 0 1 0	0	0 1 1 0 1 0	0
0 0 1 0 1	0 1 0 0 1 1	0	0 1 0 0 1 1	0
0 0 1 1 0	1 0 1 1 0 0	0	1 0 1 1 0 0	0
0 0 1 1 1	1 1 1 0 0 1	+2	0 0 0 1 1 0	-2
0 1 0 0 0	1 0 0 1 1 0	0	1 0 0 1 1 0	0
0 1 0 0 1	0 1 0 1 0 1	0	0 1 0 1 0 1	0
0 1 0 1 0	0 1 0 1 1 1	+2	1 0 1 0 0 0	-2
0 1 0 1 1	1 0 0 1 1 1	+2	0 1 1 0 0 0	-2
0 1 1 0 0	1 0 1 0 1 1	+2	0 1 0 1 0 0	-2
0 1 1 0 1	0 1 1 1 1 0	+2	1 0 0 0 0 1	-2
0 1 1 1 0	1 0 1 1 1 0	+2	0 1 0 0 0 1	-2
0 1 1 1 1	1 1 0 1 0 0	0	1 1 0 1 0 0	0
1 0 0 0 0	0 0 1 0 1 1	0	0 0 1 0 1 1	0
1 0 0 0 1	0 1 1 1 0 1	+2	1 0 0 0 1 0	-2
1 0 0 1 0	0 1 1 0 1 1	+2	1 0 0 1 0 0	-2
1 0 0 1 1	1 1 0 1 0 1	+2	0 0 1 0 1 0	-2
1 0 1 0 0	1 1 0 1 1 0	+2	0 0 1 0 0 1	-2
1 0 1 0 1	1 1 1 0 1 0	+2	0 0 0 1 0 1	-2
1 0 1 1 0	1 0 1 0 1 0	0	1 0 1 0 1 0	0
1 0 1 1 1	0 1 1 0 0 1	0	0 1 1 0 0 1	0
1 1 0 0 0	1 0 1 1 0 1	+2	0 1 0 0 1 0	-2
1 1 0 0 1	0 0 1 1 0 1	0	0 0 1 1 0 1	0
1 1 0 1 0	1 1 0 0 1 0	0	1 1 0 0 1 0	0
1 1 0 1 1	0 1 0 1 1 0	0	0 1 0 1 1 0	0
1 1 1 0 0	1 0 0 1 0 1	0	1 0 0 1 0 1	0
1 1 1 0 1	1 0 0 0 1 1	0	1 0 0 0 1 1	0
1 1 1 1 0	0 0 1 1 1 0	0	0 0 1 1 1 0	0
1 1 1 1 1	1 1 1 0 0 0	0	1 1 1 0 0 0	0

Tabela I.6

5B-7B	
Palavra de entrada	Palavra-código (alfabeto S1)
0 0 0 0 0	1 0 1 0 1 0 0
0 0 0 0 1	0 1 0 0 1 1 0
0 0 0 1 0	0 1 0 1 0 0 1
0 0 0 1 1	1 0 1 1 0 0 0
0 0 1 0 0	1 0 1 0 0 1 0
0 0 1 0 1	0 0 1 1 0 1 0
0 0 1 1 0	0 0 0 1 0 1 1
0 0 1 1 1	0 1 0 0 0 1 1
0 1 0 0 0	0 0 1 1 0 0 1
0 1 0 0 1	0 1 1 0 0 0 1
0 1 0 1 0	0 0 0 1 1 1 0
0 1 0 1 1	1 1 1 0 0 0 0
0 1 1 0 0	1 1 0 0 1 0 0
0 1 1 0 1	0 0 1 0 1 1 0
0 1 1 1 0	1 0 0 0 0 1 1
0 1 1 1 1	1 0 1 0 0 0 1
1 0 0 0 0	1 0 0 0 1 0 1
1 0 0 0 1	1 1 0 0 0 0 1
1 0 0 1 0	0 1 1 0 1 0 0
1 0 0 1 1	0 0 1 0 0 1 1
1 0 1 0 0	0 0 0 0 1 1 1
1 0 1 0 1	0 1 1 1 0 0 0
1 0 1 1 0	1 0 0 0 1 1 0
1 0 1 1 1	1 0 0 1 1 0 0
1 1 0 0 0	1 1 0 0 0 1 0
1 1 0 0 1	1 1 0 1 0 0 0
1 1 0 1 0	0 1 0 1 1 0 0
1 1 0 1 1	0 1 0 0 1 0 1
1 1 1 0 0	0 0 0 1 1 0 1
1 1 1 0 1	1 0 0 1 0 1 0
1 1 1 1 0	0 1 1 0 0 1 0
1 1 1 1 1	0 0 1 0 1 0 1

Tabela I.7

Na Tabela I.8 apresentamos os valores dos parâmetros n/m , S_{cod} , S_{mon} , N_{OMAX} , N_{1MAX} e $\langle a_{ij} \rangle$ para os códigos mencionados anteriormente. Deve-se observar que na escolha do código mais apropriado para um dado sistema, haverá sempre uma solução de compromisso. Por exemplo, à medida que n/m decresce, os valores de S_{mon} , N_{OMAX} e N_{1MAX} em geral crescem. Obviamente, a escolha do código mais adequado vai depender de vários fatores, como a banda passante da fibra, a existência de repetidores intermediários, o grau de complexidade admissível nos terminais, a qualidade do circuito de extração de relógio, entre outros.

Código	n/m	S_{cod}	S_{mon}	N_{OMAX}	N_{1MAX}	$\langle a_{ij} \rangle$
1B-2B	2	2	3	2	2	0,5
CMI	2	2	4	3	3	0,5
3B-4B	1,33	2	5	4	4	0,5
5B-5B	1,2	2	9	6	6	0,5
2B-3B	1,5	2	8	7	3	0,33
5B-7B	1,4	1	17	6	4	0,42

Tabela I.8

Pelo exposto até agora, podemos tecer os seguintes comentários a respeito dos códigos mencionados acima:

1B-2B: É um código de fácil implementação, porém com uma elevada taxa de símbolos de linha. Parece ser um código apropriado para sistemas de baixa capacidade onde a banda-passante da fibra não é um fator limitante. Comparado com o CMI, ele apresenta um menor conteúdo espectral de baixa frequência, pois o seu valor de S_{mon} é menor que o do CMI. Além disso, o 1B-2B apresenta sequências menores de zeros e uns consecutivos.

CMI: É um código da família do 1B-2B e internacionalmente usado em interfaces digitais para transmissão em 140

Mbits/seg. Apresenta a mesma desvantagem do 1B-2B anterior no que se refere à taxa de símbolos. Tanto a taxa de erros quanto a perda de sincronismo podem ser obtidas para o CMI através da detecção da palavra proibida 10.

2B-3B: Este também não é um código que apresenta grandes atrativos para sistemas de alta capacidade, pois o acréscimo na taxa de símbolos é de 50% e os valores S_{mon} e N_{OMAX} são relativamente elevados.

3B-4B: É um código onde o acréscimo da taxa de símbolos não é excessiva e os valores de S_{mon} , N_{OMAX} e N_{IMAX} são razoáveis. Além de apresentar um espectro de potência favorável [4],[1], a complexidade de implementação deste código é relativamente baixa.

5B-6B: Dentre todos os códigos enumerados, este é o que apresenta o menor acréscimo da taxa de símbolos. Por outro lado, é o que apresenta a maior complexidade de implementação e os seus valores de S_{mon} , N_{OMAX} e N_{IMAX} são relativamente altos.

5B-7B: Este código apresenta a característica peculiar de possuir apenas um alfabeto de codificação. Porém, o seu valor de $S_{mon}=17$ é excessivamente elevado para aplicações em sistemas com repetidores regenerativos intermediários.

Os códigos que receberam a maior atenção no desenvolvimento do ELO-34 foram o 5B-6B, o 3B-4B e o código com estrutura de quadro proposto por Denis [2].

Embora o código 3B-4B tenha sido escolhido para alguns sistemas europeus [3] em 34 Mbits/seg, utilizando LED como fonte óptica, o código 3B-4B nos pareceu muito mais apropriado para o ELO-34, pois este sistema utiliza um laser semiconductor como fonte óptica e não apresenta grandes problemas com a banda-passante da fibra. Além disso, a obtenção de canais de serviços com o código 5B-6B não é tão simples quanto o código 3B-4B.

I.3 - O CÓDIGO 3B-4B ESCOLHIDO

O código 3B-4B mapeia blocos de 3 bits de informação em blocos de 4 bits de sinal de linha, elevando a taxa de 34 Mbits/s para 45 Mbits/s. Se eliminarmos as palavras 0 0 0 0 e 1 1 1 1 dos alfabetos do código 3B-4B, a disparidade $D(i)$ de qualquer palavra-código tomará sempre os valores 0, +2 e -2, dependendo do peso de Hamming da palavra ser igual a 2, 3 ou 1 respectivamente. Assim sendo, é sempre possível escolhermos os alfabetos e a lei de codificação de tal forma a manter SDC terminal $T(k)$ sempre confinada entre os valores $T(0)$ e $T(0)+2$.

O código 3B-4B escolhido para o primeiro protótipo do ELO-34 consiste de dois alfabetos, S1 e S2, selecionados de forma a produzirem um bom balanceamento do código e facilitarem a implementação do sistema. Os alfabetos e a lei de codificação são mostrados na Tabela I.9 e na Fig. I.3, respectivamente.

Bloco de entrada	Alfabeto S1	$D(i)$	Alfabeto S2	$D(i)$
0 0 0	1 0 0 1	0	1 0 0 1	0
0 0 1	0 1 0 1	0	1 0 1 0	0
0 1 0	0 1 0 0	-2	1 1 0 1	+2
0 1 1	0 1 1 0	0	0 1 1 0	0
1 0 0	1 1 0 0	0	1 1 0 0	0
1 0 1	0 0 1 1	0	0 0 1 1	0
1 1 0	0 1 0 1	0	0 1 0 1	0
1 1 1	0 0 0 1	-2	1 1 1 0	+2

Tabela I.9

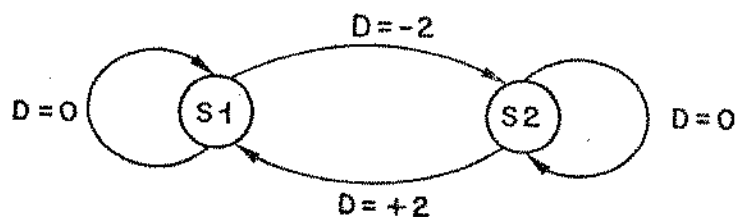


Fig. I.3

No próximo capítulo mostraremos que a introdução de novos alfabetos ao código da Tabela I.9, nos permitirá a obtenção de dois canais de serviços "estatísticos", para fins de supervisão e operação do sistema. A introdução desses novos alfabetos, todavia, irá provocar uma pequena degradação do sistema no que se refere ao sincronismo de bloco e à medida da taxa de erros.

As palavras proibidas do código 3B-4B, incluídos os novos alfabetos, são 0 0 0 0, 0 0 1 0, 1 0 0 0 e 1 1 1 1. Definiremos por $P_V(S=i)$ a probabilidade do decodificador receber uma dessas palavras proibidas, estando o alinhador de blocos defasado de i bits da posição correta, onde $0 \leq i \leq 3$. Obviamente, quando a probabilidade de erros de linha, P_e , for igual a zero, então $P_V(S=0) = 0$. Pode-se mostrar [2] que

$$P_V(S=0) \approx P_e/2 \quad (4)$$

desde que $P_e < 10^{-3}$.

É fácil ver pela Tabela I.9 que para este código $P_V(S \neq 0)$ será muito maior que $P_V(S=0)$ se $P_e < 10^{-3}$. Portanto, a probabilidade de violações do código fornece uma boa indicação sobre a fase correta do alinhador de bloco. O valor estimado de $P_V(S=i)$ poderá então ser utilizado como indicador do "estado" do alinhador pelo algoritmo de sincronização de bloco.

Um indicador adicional para efeito de alinhamento de bloco pode ser obtido a partir da lei de codificação do código 3B-4B em questão. Para isso, observe-se que na fase correta ($S=0$) e para $P_e=0$, os valores +2 e -2 das disparidades das palavras-côdigo recebidas estarão sempre se alternando ao longo da sequência de blocos do código. Para uma fase incorreta ($S \neq 0$) esta alternância será violada com alta probabilidade. A monitoração da disparidade das palavras recebidas poderá então servir como indicador adicional para a detecção do desalinhamento. Uma forma simples de implementar esta monitoração de violação da lei de codificação é mostrada na Fig. I.4 [1], onde S^* é um estado intermediário.

Na realidade, a monitoração das palavras proibidas simultaneamente com as violações de disparidade, pode ser utilizada

não só para o alinhamento de bloco, mas também para a medida da taxa de erros de linha no terminal receptor.

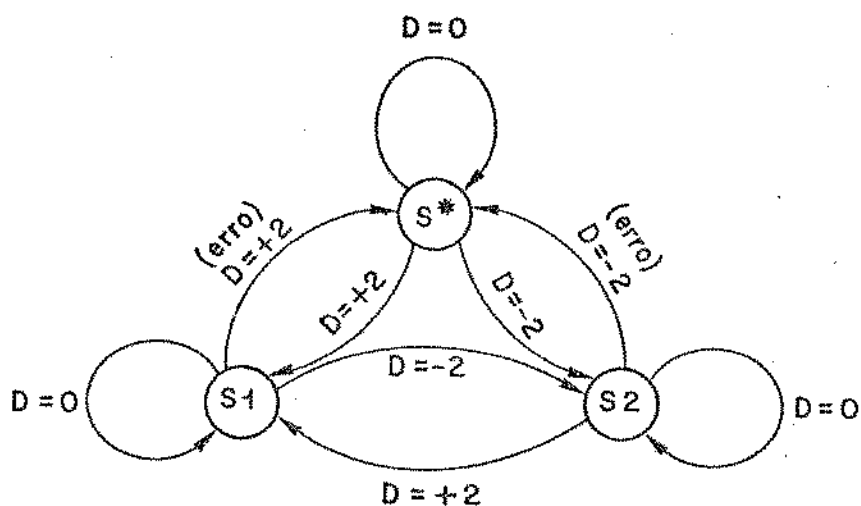


Fig. I.4

I.4 - ESTRATÉGIAS DE ALINHAMENTO DE BLOCO

O alinhamento de bloco pode ser feito através de um algoritmo ou estratégia de sincronismo, cujo objetivo é encontrar a fase correta do decodificador no menor tempo possível e mantê-la durante o maior tempo possível.

A primeira estratégia estudada e implementada para o ELO-34 [2], consistia de uma cadeia de estados onde a evolução era ditada apenas pela ocorrência de palavras proibidas. Esta estratégia, apresentada na Fig. I.5, não é a mais adequada para este caso, onde apenas as palavras proibidas são utilizadas. Isto porque, para os códigos de maior interesse prático, o número de palavras proibidas consecutivas que se pode observar para uma dada fase

$S \neq 0$ e $P_e = 0$, pode ser limitado em um número muito baixo. Isto exigiria que se utilizasse um número também muito baixo de estados de pré-alarme (α) e de estados confirmatórios (δ). Porém, números baixos para α e δ nessa estratégia, em geral não garantem um desempenho satisfatório para os tempos médios de recuperação de alinhamento, $\langle t_s \rangle$, e de retenção de alinhamento $\langle t_r \rangle$.

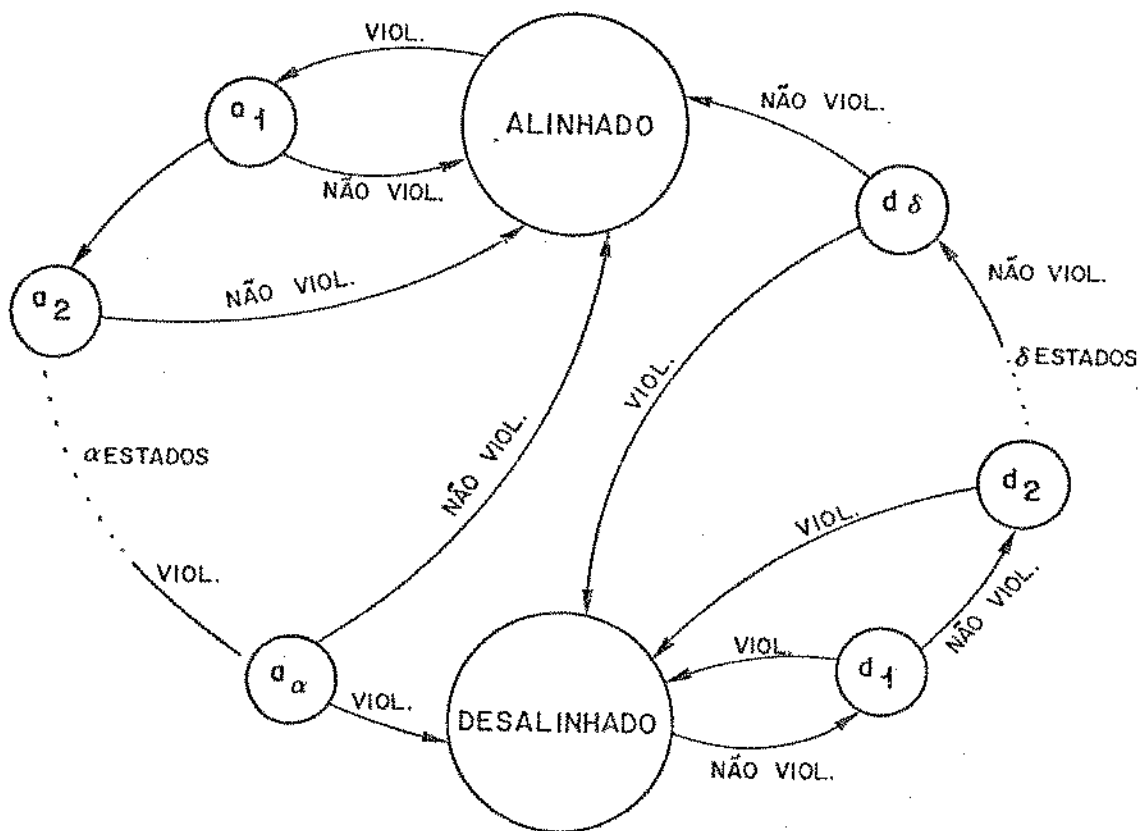


Fig. I.5

Optou-se então por uma estratégia diferente que não exige a ocorrência de palavras proibidas consecutivas. Esta estratégia se baseia na contagem de violações de código (palavras proibidas e/ou alternância de disparidades +2 e -2) durante um certo intervalo de tempo suficientemente grande para a convergência estatística da probabilidade empírica dessas violações.

Esta estratégia é implementada de forma simples com o uso de apenas dois contadores, um para o registro das violações ocorridas em um certo intervalo de tempo e outro para a formação dessa base de tempo.

Seja M o número de violações contadas pelo primeiro contador no intervalo de tempo T e N o número de blocos de quatro bits (palavra-código) contados pelo segundo contador no mesmo intervalo de tempo T . Assim, para M e N grandes a relação M/N é uma boa estimativa de probabilidade de violações P_V .

Consideraremos aqui apenas a monitoração de palavras proibidas. Assim sendo, já vimos que $P_V(S=0) = 0$ para $P_e=0$. Pode-se mostrar [2] que para este código em questão,

$$P_V(S \neq 0) \approx 1/4 \quad (5)$$

Sabemos também que para $P_e < 10^{-3}$,

$$P_V(S=0) = P_e/2$$

Devido à grande diferença entre $P_V(S \neq 0)$ e $P_V(S=0)$, usaremos apenas esta probabilidade para a indicação de violações.

Através do cálculo dos tempos médios $\langle t_s \rangle$ e $\langle t_r \rangle$ [2], pode-se calcular o valor mais adequado para o limiar γ , tal que $M/N \geq \gamma$ corresponda a uma decisão de perda de alinhamento e $M/N < \gamma$ corresponda a uma confirmação de alinhamento.

A estratégia utilizada consiste em monitorar a saída do contador de violações, o qual é "resetado" pelo segundo contador a cada N blocos do código. Sempre que M for superior a $N\gamma$, uma ordem de deslocamento de um bit é enviada ao decodificador. Note-se que esta ordem de deslocamento é enviada assim que M ultrapassar $N\gamma$ e não necessariamente ao término da contagem de N blocos.

A estratégia implementada para o ELO-34 utiliza o valor $N=512=2^9$ e $\gamma=2^{-5}$, o que corresponde a $N\gamma=16$. Com estes valores, obtem-se para o tempo de retenção,

$$\langle t_r \rangle \approx 800 \text{ anos}$$

para $P_e = 10^{-3}$ e para o tempo de recuperação de alinhamento,

$$\langle t_s \rangle \approx 1400 T_0 \text{ segundos}$$

onde T_0 é o período de 34 Mbits/seg.

Estes tempos foram obtidos com a utilização apenas das palavras proibidas, porém outras informações adicionais, como as violações de disparidade, podem ser utilizadas talvez melhorando o desempenho do alinhador.

CAPÍTULO II

CANAIS DE SERVIÇOS E ALARMES

Conforme já mencionamos, a operação e manutenção de um sistema de comunicações, é bastante facilitada pela disponibilidade de canais de serviços e alarmes remotos. No nosso caso, a utilização de códigos de bloco possibilita a obtenção desses canais de serviços de forma simples e econômica.

Neste capítulo descrevemos uma técnica para a obtenção de canais de serviços de baixa capacidade, através do próprio código de linha balanceado.

II.1 - A NECESSIDADE DE CANAIS DE SERVIÇOS

A informação de canal de serviço, em geral consiste de um sinal de voz codificado digitalmente, quer através de uma modulação Delta ou até mesmo MCP. Portanto, será suposto neste trabalho que o sinal de Canal de Serviço (CS) é uma sequência binária (RZ ou NRZ) com até 64 Kbits/s.

Por outro lado, a informação de Alarme Remoto (ALR) pode ser do tipo "ativo" ou "não ativo", sendo portanto um sinal de baixa quantidade de informação. No caso mais geral, pode haver a necessidade de se transmitir o alarme remoto simultaneamente com o sinal de serviço, daí a necessidade da existência de dois canais independentes para a transmissão de ALR e CS ou de um multiplexador de ALR com CS, caso haja apenas um canal disponível. Neste trabalho trataremos apenas do caso onde o ALR e CS são transmitidos por canais independentes.

II.2 - OBTENÇÃO DE CANAIS DIGITAIS DE SERVIÇO

A técnica utilizada neste trabalho, para a obtenção de canais de serviços, faz uso da própria redundância dos códigos de bloco balanceados. Por conveniência, trataremos aqui apenas do código 3B-4B, embora a técnica possa ser aplicada a outros códigos diferentes.

No caso do 3B-4B, já vimos que para a taxa de entrada de 34 Mbits/s, a taxa de saída será de ≈ 45 Mbits/s. Já vimos também que esse código consiste de dois alfabetos, S1 e S2, escolhi

dos de forma a produzirem o balanceamento desejado, conforme o fluxograma da Fig. II.1:

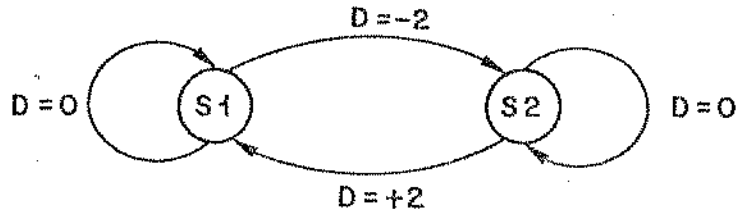


Fig. II.1

Com a introdução de um novo alfabeto S3, é possível a obtenção de um canal de serviço (CS) conforme mostra o fluxograma da Fig. II.2:

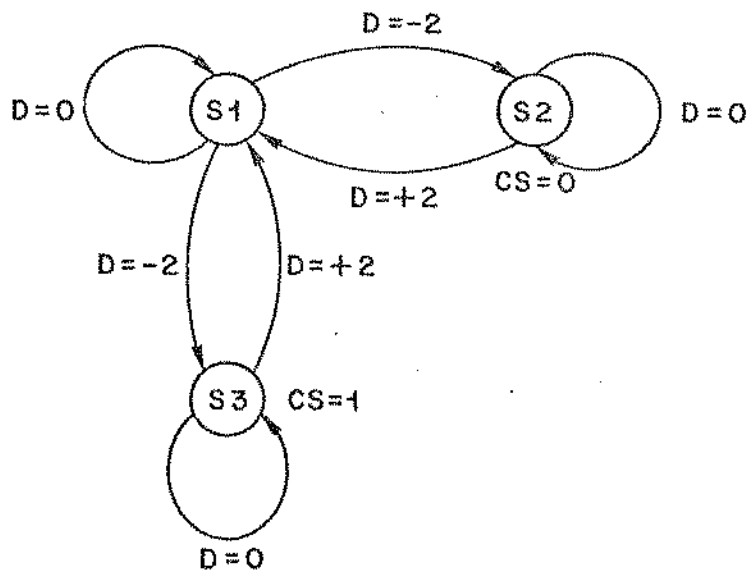


Fig. II.2

A tabela de codificação correspondente é mostrada na Tab. II.1.

Palavra de Entrada	CS = "1"					
	CS = "0"			CS = "1"		
	Palavra-código (Alfabeto S1)	D	Palavra-código (Alfabeto S2)	D	Palavra-código (Alfabeto S3)	D
0 0 0	1 0 0 1	0	1 0 0 1	0	1 0 0 1	0
0 0 1	1 0 1 0	0	1 0 1 0	0	1 0 1 0	0
* 0 1 0	0 1 0 0	-2	1 1 0 1	+2	1 0 1 1	+2
0 1 1	0 1 1 0	0	0 1 1 0	0	0 1 1 0	0
1 0 0	1 1 0 0	0	1 1 0 0	0	1 1 0 0	0
1 0 1	0 0 1 1	0	0 0 1 1	0	0 0 1 1	0
1 1 0	0 1 0 1	0	0 1 0 1	0	0 1 0 1	0
* 1 1 1	0 0 0 1	-2	1 1 1 0	+2	0 1 1 1	+2

Tab. II.1

Deve-se notar na Tab. II.1, que a informação CS=0 é de codificada no terminal receptor pela detecção de qualquer um dos padrões 1 1 0 1 ou 1 1 1 0, ao passo que a informação CS=1 pela detecção de 1 0 1 1 ou 0 1 1 1. Portanto, a demodulação ou extração do sinal CS no receptor é extremamente simples.

Deve-se notar também que o canal obtido dessa forma é intrinsecamente "estatístico", pois a transmissão da informação CS=0 ou CS=1 só será concretizada se o codificador estiver no estado S2 ou S3, respectivamente, e a próxima palavra-código possuir disparidade +2, evento este que ocorre com probabilidade 1/8 quando os símbolos de entrada forem equiprováveis.

Com relação ao balanceamento do código, pode-se notar pela Tab. II.1 que os alfabetos S2 e S3 são perfeitamente equivalentes no que se refere à disparidade de suas palavras-código. Portanto, o balanceamento do código não será alterado com a introdução do alfabeto S3.

É fácil ver pela Tab. II.1 que a informação de canal de

serviço pode ser transmitida quando as palavras de entrada forem 1 1 1 ou 0 1 0. Para a taxa de 34 Mbits/s, a utilização de duas palavras de entrada para a transmissão de um canal de serviço de voz de 32 Kbits/s ou mesmo de 64 Kbits/s é desnecessária. Mostramos mais tarde que a utilização de apenas uma palavra é suficiente para se obter uma boa qualidade de sinal de voz. Neste caso, a palavra não utilizada para o canal de serviço pode ser utilizada para a obtenção de um outro canal independente, para a transmissão de alarme remoto. Dessa forma, a palavra 1 1 1 será escolhida para o canal de serviço e a palavra 0 1 0 para o alarme remoto.

Este esquema implica na introdução de dois novos alfabetos $S2'$ e $S3'$, conforme mostrado no diagrama de estados da Fig. II.3.

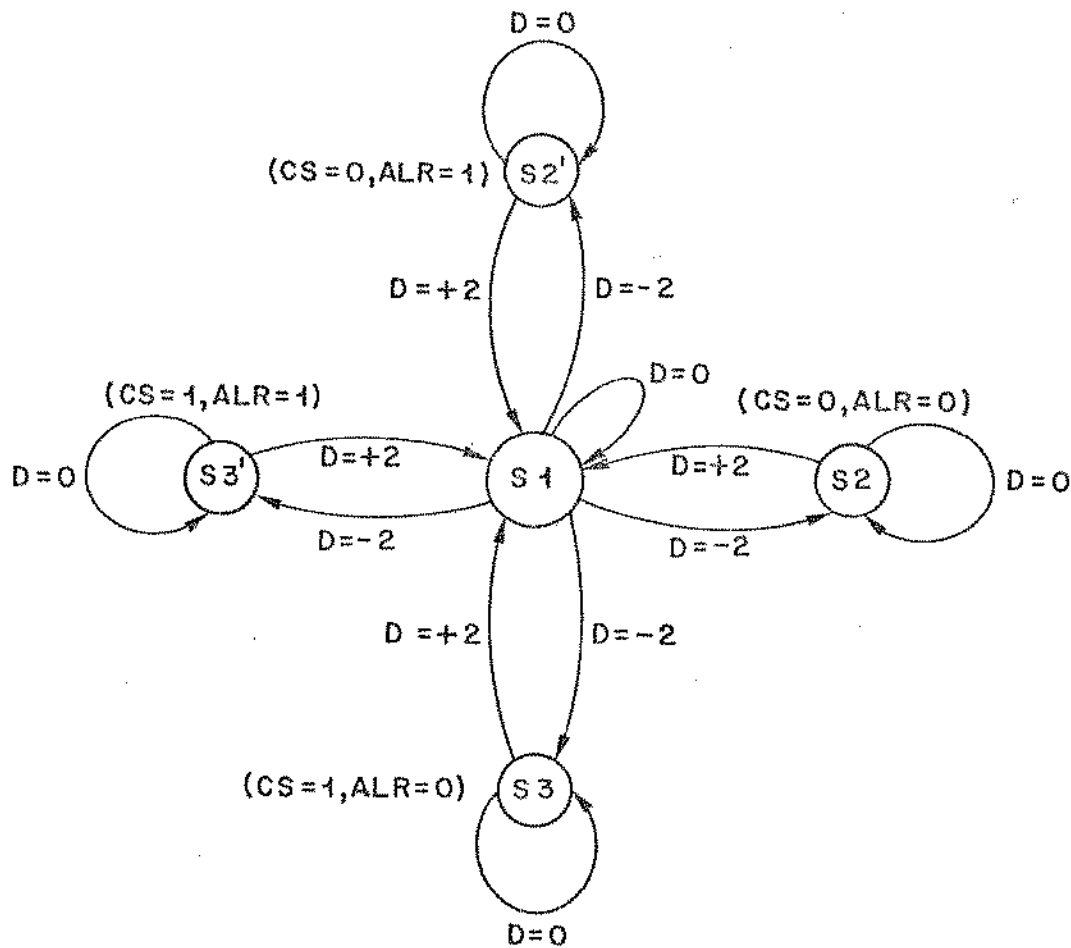


Fig. II.3

A tabela de codificação para este esquema com os cinco alfabetos S1, S2, S3, S2' e S3', é mostrada na Tab. II.2. Naturalmente este esquema com cinco alfabetos proporciona dois canais "estatísticos" com a mesma capacidade média, pois estamos supondo que as palavras de entrada são equiprováveis.

II.3 - A CAPACIDADE DO CANAL ESTATÍSTICO

A característica peculiar do canal estatístico obtido conforme descrito na seção anterior, é o atraso aleatório com que esse canal transmite uma transição do sinal à sua entrada. Obviamente, a capacidade desse tipo de canal está intimamente relacionada à estatística desse atraso aleatório. Por outro lado, a própria definição da capacidade de um canal desse tipo merece uma atenção especial. Antes de analisarmos a questão da definição da capacidade, é importante o cálculo e a caracterização da estatística do atraso aleatório propriamente dito.

Pela própria natureza do canal estatístico, o atraso aleatório em questão é uma variável aleatória positiva que assume valores inteiros, múltiplos de um período de bloco. Portanto, vamos nos preocupar inicialmente com o cálculo da distribuição de probabilidade dessa variável aleatória.

Para melhor definirmos essa distribuição de probabilidade, vamos supor inicialmente a existência de apenas um canal de serviço, conforme descrito na seção anterior (Tab. II.1). Sem perda de generalidade, vamos supor que para $t \leq 0$ o sinal à entrada do canal de serviço (CS) esteja fixado no nível baixo, isto é, $CS=0$. Neste caso, para $t=0$ os estados S1 e S2 do código são equiprováveis, isto é, $\text{Prob}[S1] = \text{Prob}[S2] = 1/2$.

No instante $t=0^+$, o sinal CS é chaveado de $CS=0$ para $CS=1$, transição esta que será detectada pelo decodificador somente após o atraso de tempo aleatório. Seja $p(n)$ a probabilidade desse atraso ser igual a n . Assim,

$$p(n) = \frac{1}{2} p_1(n) + \frac{1}{2} p_2(n) \quad (6)$$

onde $p_i(n)$ é probabilidade do atraso ser igual a n dado que em $t=0$

Bloco de Entrada	ALR = "0"						ALR = "1"						
	CS = "1"			CS = "0"			CS = "1"			CS = "0"			
	Alfabeto S1	Alfabeto S2	D	Alfabeto S3	D	Alfabeto S1'	Alfabeto S2'	D	Alfabeto S3'	D	Alfabeto S3'	D	
0 0 0	1 0 0 1	0 1 0 0 1	0	1 0 0 1	0	1 0 0 1	0	1 0 0 1	0	1 0 0 1	0	1 0 0 1	0
0 0 1	1 0 1 0	1 0 1 0	0	1 0 1 0	0	1 0 1 0	0	1 0 1 0	0	1 0 1 0	0	1 0 1 0	0
0 1 0	0 1 0 0	1 1 0 1	+2	1 1 0 1	+2	0 1 0 0	-2	1 0 1 1	+2	1 0 1 1	+2	1 0 1 1	+2
0 1 1	0 1 1 0	0 1 1 0	0	0 1 1 0	0	0 1 1 0	0	0 1 1 0	0	0 1 1 0	0	0 1 1 0	0
1 0 0	1 1 0 0	1 1 0 0	0	1 1 0 0	0	1 1 0 0	0	1 1 0 0	0	1 1 0 0	0	1 1 0 0	0
1 0 1	0 0 1 1	0 0 1 1	0	0 0 1 1	0	0 0 1 1	0	0 0 1 1	0	0 0 1 1	0	0 0 1 1	0
1 1 0	0 1 0 1	0 1 0 1	0	0 1 0 1	0	0 1 0 1	0	0 1 0 1	0	0 1 0 1	0	0 1 0 1	0
1 1 1	0 0 0 1	1 1 1 0	-2	0 1 1 1	+2	0 0 0 1	-2	1 1 1 0	+2	1 1 1 0	+2	0 1 1 1	+2

Tab. II.2

o sistema se encontrava no estado S_i ($i=1,2$).

II.3.1 - Cálculo de $p_1(n)$

O cálculo de $p_1(n)$ pode ser feito usando-se as técnicas de fluxogramas [5], aplicadas sob a hipótese do sistema iniciar em S_1 em $t=0$ e para $t > 0$ $CS=1$, conforme o diagrama de estados da Fig. II.4,

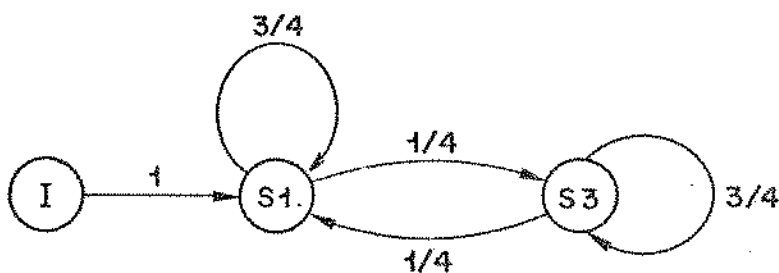


Fig. II.4

onde o estado I representa o início do processo em $t=0$.

É fácil ver pela Tab. II.1 que a transição $CS=0$ para $CS=1$ só será detectada pelo decodificador quando ocorrer a transição $S_3 \rightarrow S_1$ pela primeira vez. Assim sendo, para efeito do cálculo de $p_1(n)$ podemos utilizar o fluxograma equivalente da Fig. II.5:

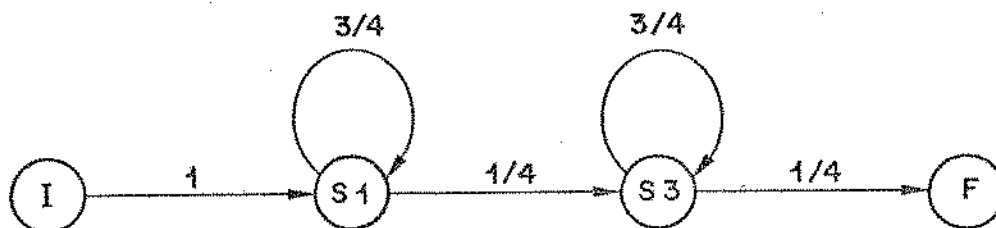


Fig. II.5

onde o estado F representa o fim do processo de transmissão da informação $CS=0 \rightarrow CS=1$.

Como o diagrama de estados da Fig. II.5 é uma cadeia de Markov, isto é, as probabilidades das transições não dependem do tempo, podemos utilizar o fluxograma correspondente mostrado na Fig. II.6.

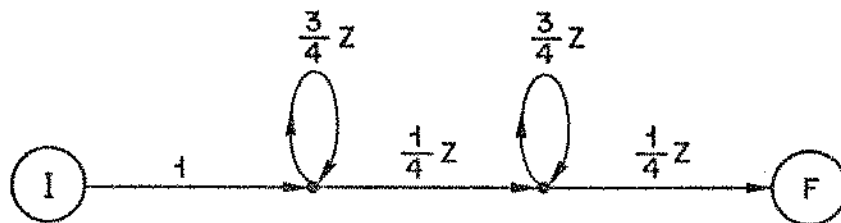


Fig. II.6

onde Z é o operador atraso equivalente ao período de uma palavra-código.

Podê-se mostrar que a função de transferência $H_{IF}^1(Z)$ entre os estados I e F da Fig. II.6 é dada por:

$$H_{IF}^1(Z) = \frac{Z^2}{(4-3Z)^2} \quad (7)$$

Tendo em vista que:

$$H_{IF}^1(Z) = \sum_{n=0}^{\infty} p_1(n) Z^n \quad (8)$$

então o cálculo de $p_1(n)$ se resume em expandir $H_{IF}^1(Z)$ em série de potência de Z .

II.3.2 - Cálculo de $p_2(n)$

O cálculo de $p_2(n)$ pode ser feito de forma análoga ao de $p_1(n)$, porém considerando agora que o processo se inicia no estado S2 em $t=0$, conforme o diagrama da Fig. II.7:

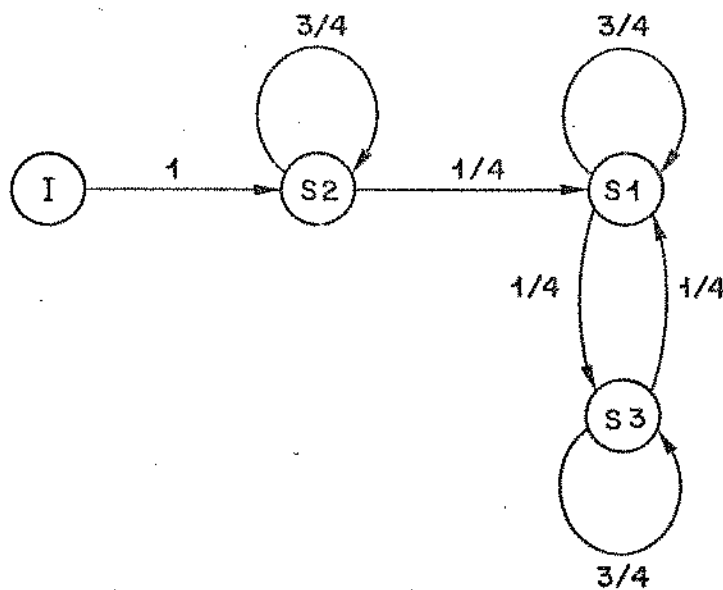


Fig. II.7

Da mesma forma que no caso anterior, a transição CS=0 → CS=1 sô será detectada pelo decodificador quando ocorrer a transi_{ção} S3 → S1 pela primeira vez. Assim, para efeito de cálculo de $p_2(n)$ podemos utilizar o fluxograma da Fig. II.8:

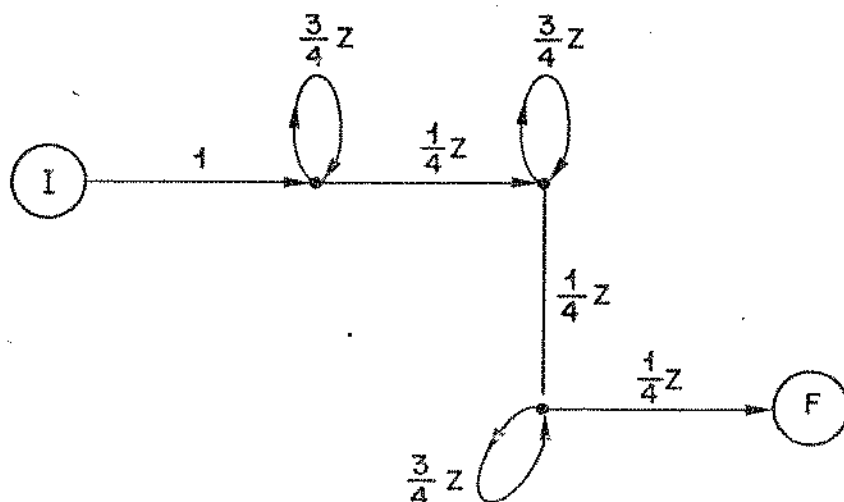


Fig. II.8

Neste caso, é fácil ver que a função de transferência $H_{IF}^2(Z)$ será dada por:

$$H_{IF}^2(Z) = H_{IF}^1(Z) \left(\frac{1}{1 - \frac{3}{4}Z} \right) \left(\frac{1}{4}Z \right) \quad (9)$$

ou

$$H_{IF}^2(Z) = \frac{Z^3}{(4 - 3Z)^3} \quad (10)$$

A distribuição $p_2(n)$ pode então ser calculada a partir da expansão de $H_{IF}^2(Z)$ em potência de Z, pois

$$H_{IF}^2(Z) = \sum_{n=0}^{\infty} p_2(n) \cdot Z^n \quad (11)$$

II.3.3 - Cálculo de $p(n)$ e dos parâmetros estatísticos do atraso

Já vimos que

$$p(n) = \frac{1}{2} p_1(n) + \frac{1}{2} p_2(n)$$

Porém, ao invés de calcularmos $p_1(n)$ e $p_2(n)$ isoladamente, podemos calcular $p(n)$ diretamente a partir da função de transferência total, dada por:

$$H_{IF}^T(Z) = \frac{1}{2} H_{IF}^1(Z) + \frac{1}{2} H_{IF}^2(Z) \quad (12)$$

onde

$$H_{IF}^T(Z) = \sum_{n=0}^{\infty} p(n) Z^n \quad (13)$$

Das eqs. (9) e (12), obtemos

$$H_{IF}^T(Z) = \frac{1}{2} H_{IF}^1(Z) \left[1 + \frac{Z}{4 - 3Z} \right] \quad (14)$$

Substituindo $H_{IF}^1(Z)$ pelo seu valor dado pela eq. (7). temos:

$$H_{IF}^T(Z) = \frac{2Z^2 - Z^3}{(4 - 3Z)^3} \quad (15)$$

ou

$$H_{IF}^T(Z) = \frac{\frac{1}{32} Z^2 - \frac{1}{64} Z^3}{1 - \frac{9}{4} Z + \frac{27}{16} Z^2 - \frac{27}{64} Z^3} \quad (16)$$

Para calcularmos $p(n)$, façamos $b_n = p(n)$, então:

$$H_{IF}^T(Z) = \frac{C_2 Z^2 + C_3 Z^3}{1 + a_1 Z + a_2 Z^2 + a_3 Z^3} = (b_0 + b_1 Z + b_2 Z^2 + \dots)$$

Assim,

$$C_2 Z^2 + C_3 Z^3 = (1 + a_1 Z + a_2 Z^2 + a_3 Z^3) (b_0 + b_1 Z + b_2 Z^2 + \dots)$$

Portanto,

$$\begin{aligned}
 b_0 &= 0 \\
 b_1 &= 0 \\
 b_2 &= C_2 = \frac{1}{32} \\
 b_3 &= C_3 - a_1 b_2 = 7/128 \\
 b_4 &= -a_1 b_3 - a_2 b_2 = 9/128 \\
 b_5 &= -(a_1 b_4 + a_2 b_3 + a_3 b_2) = \frac{81}{1024} \\
 &\vdots \\
 b_n &= - \sum_{i=1}^{n-2} a_i b_{n-i} \quad (\text{para } n \geq 4)
 \end{aligned}$$

Embora a distribuição $p(n) = b_n$ seja discreta, a representação gráfica de $p(n)$ em função de n nos dá uma boa idéia do comportamento estatístico do atraso. Na Fig. II.9 apresentamos o gráfico de $p(n) \times n$ e na Fig. II.10 apresentamos o mesmo gráfico em escala expandida.

O valor médio e a variância do atraso podem ser obtidos através das derivadas de

$$H_{IF}^T(Z) = \sum_{n=0}^{\infty} p(n) Z^n$$

É fácil ver que

$$E[n] = \bar{n} = \left. \frac{\partial H_{IF}^T(Z)}{\partial Z} \right|_{Z=1} = \sum_{n=0}^{\infty} n p(n) \tag{17}$$

e

$$\text{Var}[n] = \overline{n^2} - \bar{n}^2 = \left. \frac{\partial^2 H_{IF}^T(Z)}{\partial Z^2} \right|_{Z=1} + \bar{n} - \bar{n}^2 \tag{18}$$

Pode-se mostrar que

$$\frac{\partial H_{IF}^T(Z)}{\partial Z} = \frac{\left(2Z - \frac{3}{2} Z^2\right) \left(1 - \frac{3}{4} Z\right) - \left(Z^2 - \frac{1}{2} Z^3\right) (3) (-3/4)}{32 \left(1 - \frac{3}{4} Z\right)^4} \tag{19}$$

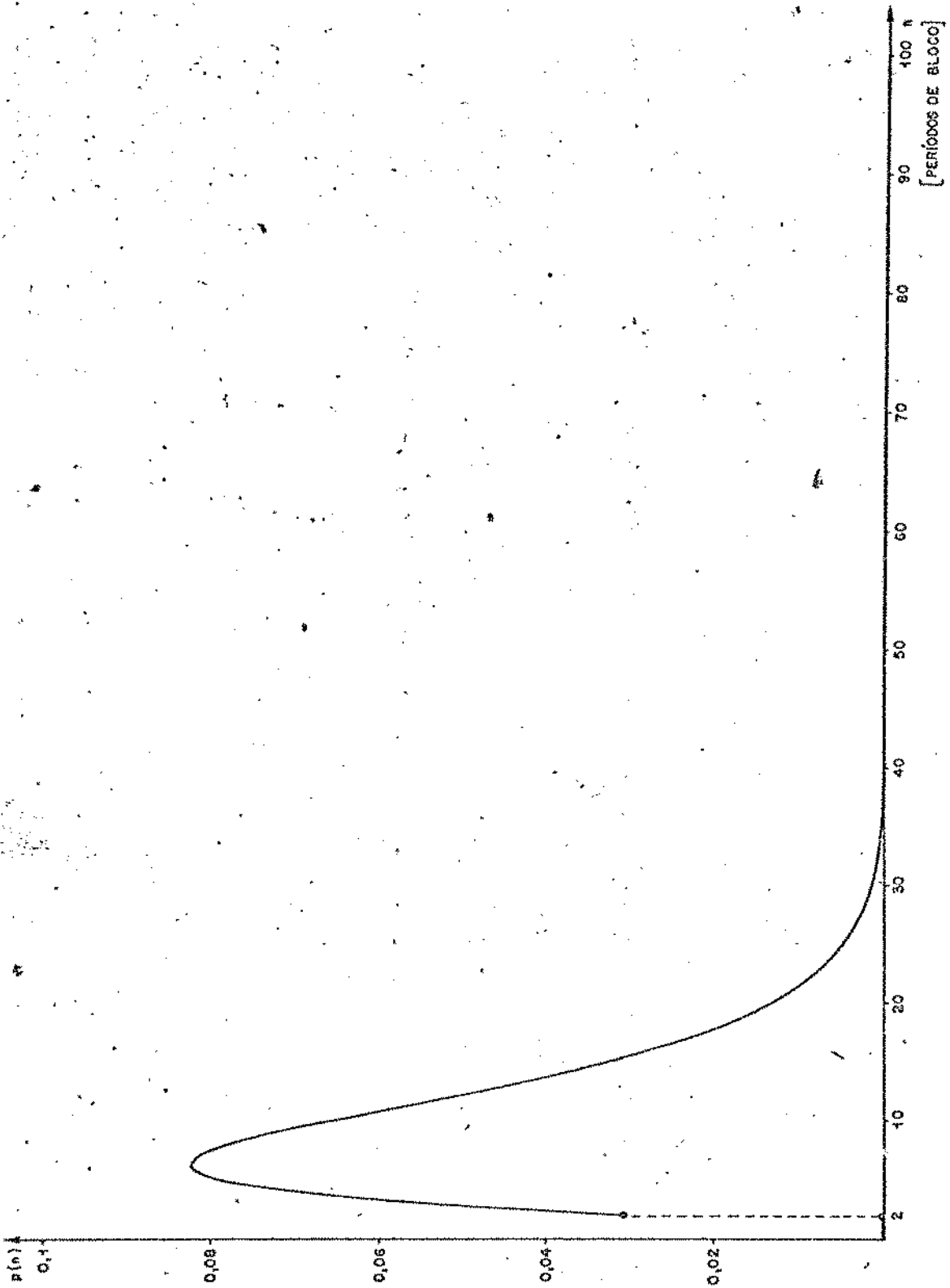


Fig. II.9

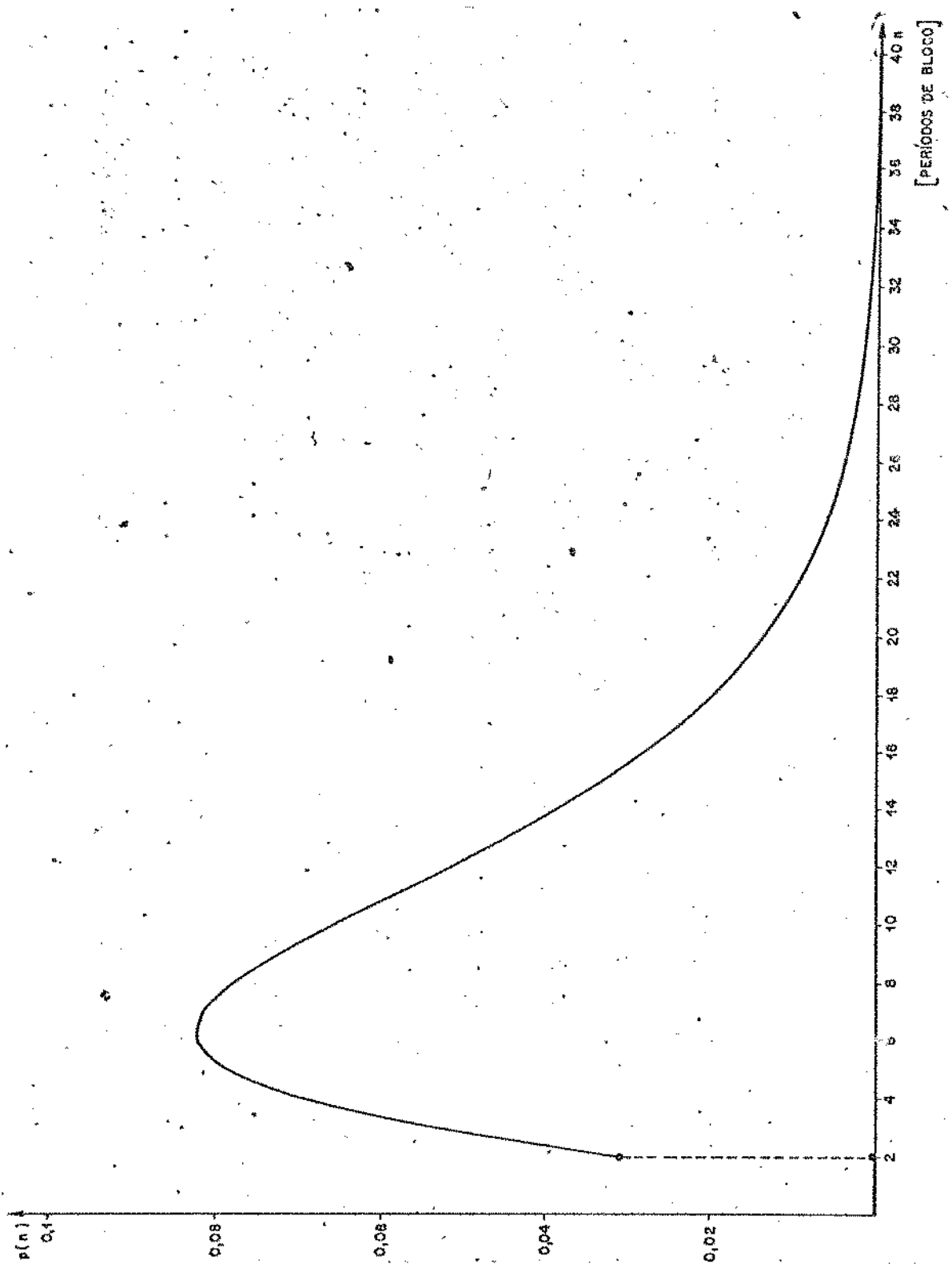


Fig. II.10

$$e \quad \frac{\partial^2 H_{IF}^T(Z)}{\partial Z^2} = \frac{A(Z) - B(Z)}{32(1 - \frac{3}{4}Z)^5} \quad (20)$$

onde

$$A(Z) = \left[(2-3Z) \left(1 - \frac{3}{4}Z \right) + \left(2Z - \frac{3}{2}Z^2 \right) \left(\frac{-3}{4} \right) + \frac{9}{4} \left(2Z - \frac{3}{2}Z^2 \right) \right] \left(1 - \frac{3}{4}Z \right)$$

e

$$B(Z) = -3 \left(2Z - \frac{3}{2}Z^2 \right) \left(1 - \frac{3}{4}Z \right) - \frac{27}{4} \left(Z^2 - \frac{1}{2}Z^3 \right)$$

Assim, das eqs. (17) e (18), temos

$$\bar{n} = 10 \text{ [período de bloco]}$$

$$\text{Var}(n) = 34 \text{ [período de bloco]}^2$$

O valor médio e a variância do atraso já são suficientes para nos dar uma idéia quantitativa da capacidade do canal. Porém, podemos definir de forma mais rigorosa essa capacidade se utilizarmos o conceito de probabilidade de erro de omissão P_{eo} .

Se T_S for o período de bit do sinal de canal de serviço, podemos definir P_{eo} como sendo a probabilidade do atraso n ser maior que T_S , isto é,

$$P_{eo} \triangleq \text{Prob}\{n > T_S\} \quad (21)$$

Obviamente, a probabilidade P_{eo} não coincide exatamente com a probabilidade de erro de bit do canal de serviço, pois esta última vai depender de outros fatores, como por exemplo, do tipo de demodulação utilizada no decodificador para a extração do sinal do canal de serviço. Não obstante, a utilização de P_{eo} fornece resultados simples e independentes do tipo de demodulação, para a quantificação da capacidade do canal.

Portanto, definiremos a capacidade do canal de serviço como sendo igual a $1/T_S$ bit/seg. para uma probabilidade de erro

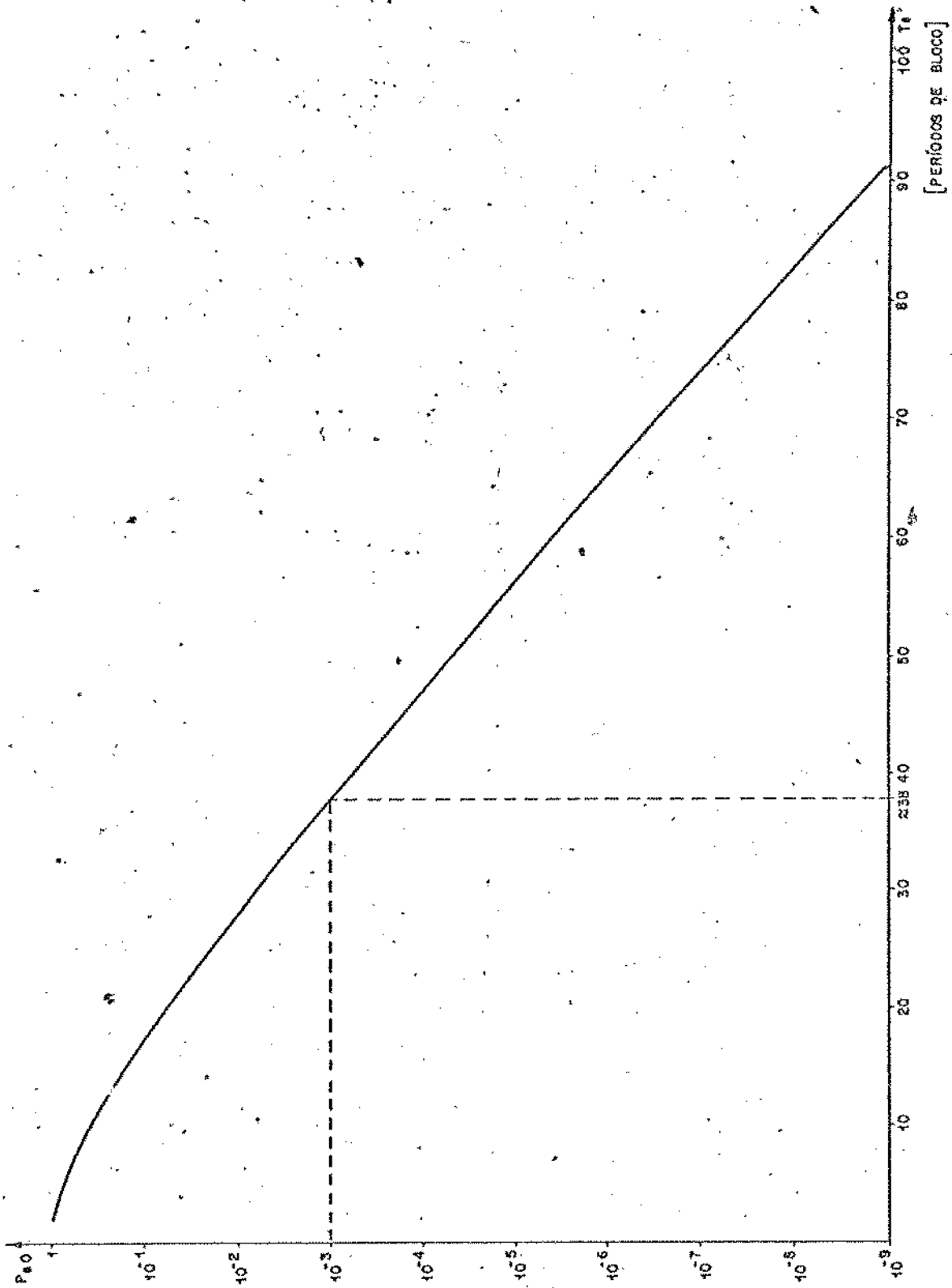


Fig. II.11

de omissão igual a $P_{eo} = \text{Prob}[n > T_S]$. Obviamente, a capacidade de finida dessa forma depende de P_{eo} .

Na Fig. II.11 apresentamos a curva de P_{eo} em função de T_S , obtida da distribuição $p(n)$ anterior. Dessa figura, vemos que para $P_{eo} = 10^{-3}$, por exemplo, o período de bit do canal de serviço deve ser igual a $38T$, onde T é o período de bloco do código 3B-4B ($T \approx 90$ nseg). Este valor $T_S = 38T$ corresponde assim a uma capacidade de aproximadamente 300 Kbits/seg, mais que suficiente para a transmissão de um sinal de voz digital.

Tendo em vista que a utilização de duas palavras (111 e 010) para a transmissão do sinal de voz, conforme mostrado na Tabla II.1, equivale a uma cápacidade de 300 Kbits/seg, vamos analisar agora o comportamento estatístico do canal de serviço utilizando uma dessas palavras. Neste caso, obteremos dois canais de mesma capacidade, conforme mostrado na Tab. II.2, onde um deles enviará CS e o outro o ALR.

Para efeito do cálculo da capacidade do canal CS com a penas uma palavra, vamos supor que o canal ALR esteja inativo, isto é, $ALR=0$. Assim, o diagrama de estados com as respectivas probabilidades de transição está apresentado na Fig. II.12.

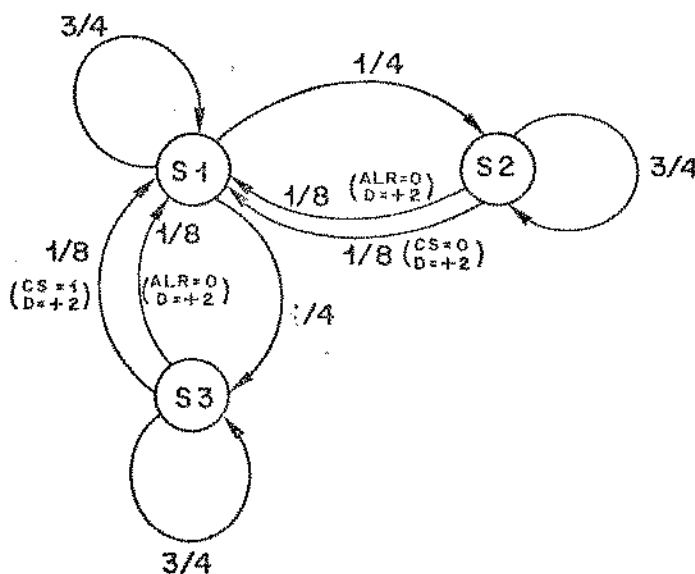


Fig. II.12

O cálculo da distribuição $p(n)$, neste caso, pode ser feito de forma análoga ao anterior. Por exemplo, para o cálculo de $p_1(n)$ utilizamos o diagrama da Fig. II.13, ou o da Fig. II.14.

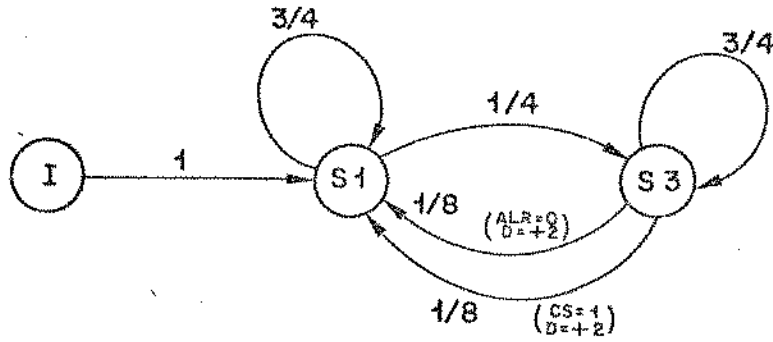


Fig. II.13

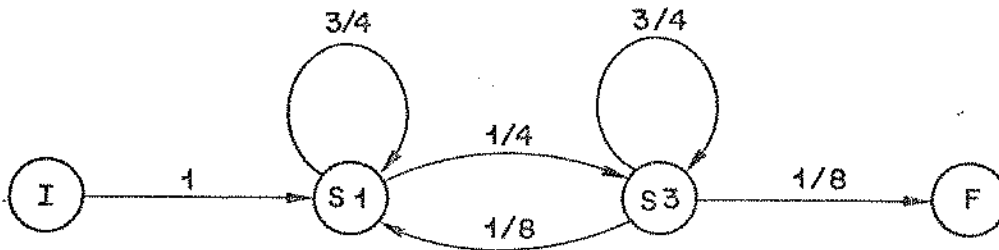


Fig. II.14

que equivale ao fluxograma da Fig. II.15:

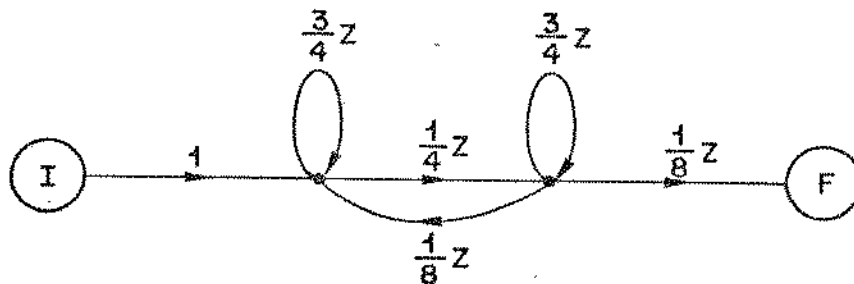


Fig. II.15

Usando as técnicas de redução de fluxograma [6],pode-se mostrar que:

$$H_{IF}^1(Z) = \frac{\frac{1}{32} Z^2}{1 - \frac{3}{2} Z + \frac{17}{32} Z^2} \quad (22)$$

Para o cálculo de $p_2(n)$ usamos o diagrama da Fig.II.16.

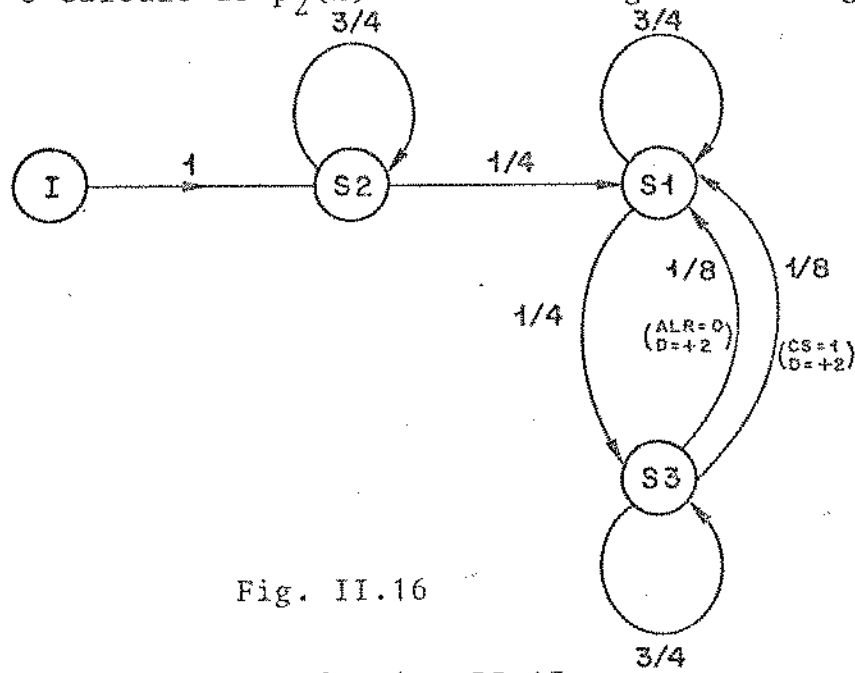


Fig. II.16

que corresponde ao fluxograma da Fig. II.17:

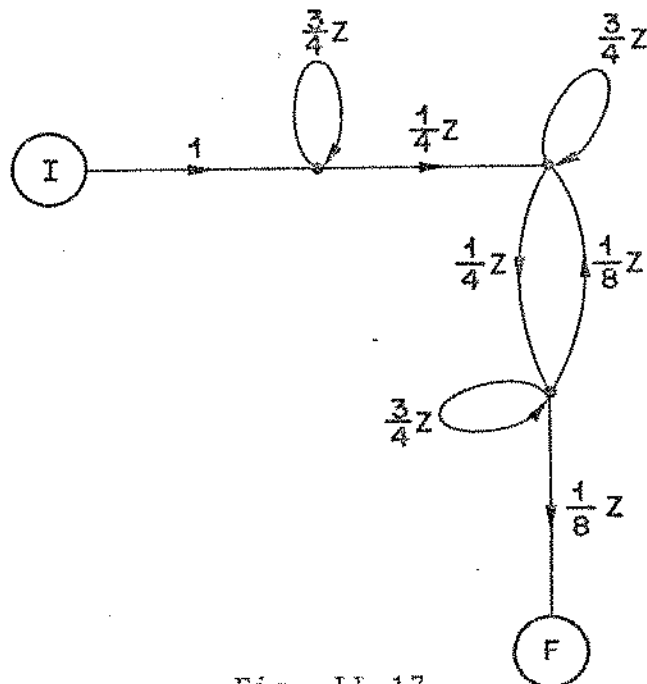


Fig. II.17

Pode-se mostrar que, para este caso,

$$H_{IF}^2(Z) = H_{IF}^1(Z) \left(\frac{1 - \frac{1}{4}Z}{1 - \frac{3}{4}Z} \right) \quad (23)$$

Assim,

$$H_{IF}^T(Z) = \frac{1}{2} H_{IF}^1(Z) + \frac{1}{2} H_{IF}^2(Z)$$

$$H_{IF}^T(Z) = \frac{1}{2} H_{IF}^1(Z) \left[1 + \frac{1 - \frac{1}{4}Z}{1 - \frac{3}{4}Z} \right]$$

$$H_{IF}^T(Z) = \frac{\frac{1}{64}Z^2 - \frac{1}{128}Z^3}{1 - \frac{9}{4}Z + \frac{53}{32}Z^2 - \frac{51}{128}Z^3} \quad (24)$$

Procedendo como no caso anterior, temos

$$H_{IF}^T(Z) = \frac{c_2 Z^2 + c_3 Z^3}{1 + a_1 Z + a_2 Z^2 + a_3 Z^3} = b_0 + b_1 Z + b_2 Z^2 + \dots$$

cuja solução é:

$$b_0 = 0$$

$$b_1 = 0$$

$$b_2 = c_2 = \frac{1}{64}$$

$$b_3 = c_3 - a_1 c_2 = \frac{7}{256}$$

$$b_4 = -a_1 b_3 - a_2 b_2 = \frac{73}{8 \times 256}$$

⋮

$$b_n = - \sum_{i=0}^{n-2} a_i b_{n-i} \quad (\text{para } n \geq 4)$$

As Figs. II.18 e II.19 mostram a variação de $p(n)$ em função de n para este caso, juntamente com a distribuição $p(n)$ para o caso anterior de duas palavras. Por conveniência, utilizamos a notação $p^1(n)$ e $p^2(n)$ para diferenciar a distribuição do atraso para o canal com uma palavra e com duas palavras, respectivamente. Vê-se claramente nessas figuras que a variância do atraso para o canal com apenas uma palavra é significativamente superior ao de duas palavras.

Para o cálculo da média e da variância associadas a $p^1(n)$, pode-se mostrar que

$$\frac{\partial H_{IF}^T(Z)}{\partial Z} = \left[\left(\frac{1}{32} Z - \frac{3}{128} Z^2 \right) \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right) - \left(\frac{1}{64} Z^2 - \frac{1}{128} Z^3 \right) \left(\frac{-9}{4} + \frac{53}{16} Z - \frac{3 \cdot 51}{128} Z^2 \right) \right] / \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right)^2 \quad (25)$$

e

$$\frac{\partial^2 H_{IF}^T(Z)}{\partial Z^2} = \left\{ \left[\left(\frac{1}{32} - \frac{3}{64} Z \right) \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right) + \left(\frac{1}{32} Z - \frac{3}{128} Z^2 \right) \left(\frac{-9}{4} + \frac{53}{16} Z - \frac{3 \cdot 51}{128} Z^2 \right) - \left[\left(\frac{1}{32} Z - \frac{3}{128} Z^3 \right) \left(\frac{-9}{4} + \frac{53}{16} Z - \frac{3 \cdot 51}{128} Z^2 \right) + \left(\frac{1}{64} Z^2 - \frac{1}{128} Z^3 \right) \left(\frac{53}{16} - \frac{3 \cdot 51}{64} Z \right) \right] \right] \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right) - \left[\left(\frac{1}{32} Z - \frac{3}{128} Z^2 \right) \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right) - \left(\frac{1}{64} Z^2 - \frac{1}{128} Z^3 \right) \left(1 - \frac{9}{4} Z + \frac{53}{32} Z^2 - \frac{51}{128} Z^3 \right) \right] \right\}$$

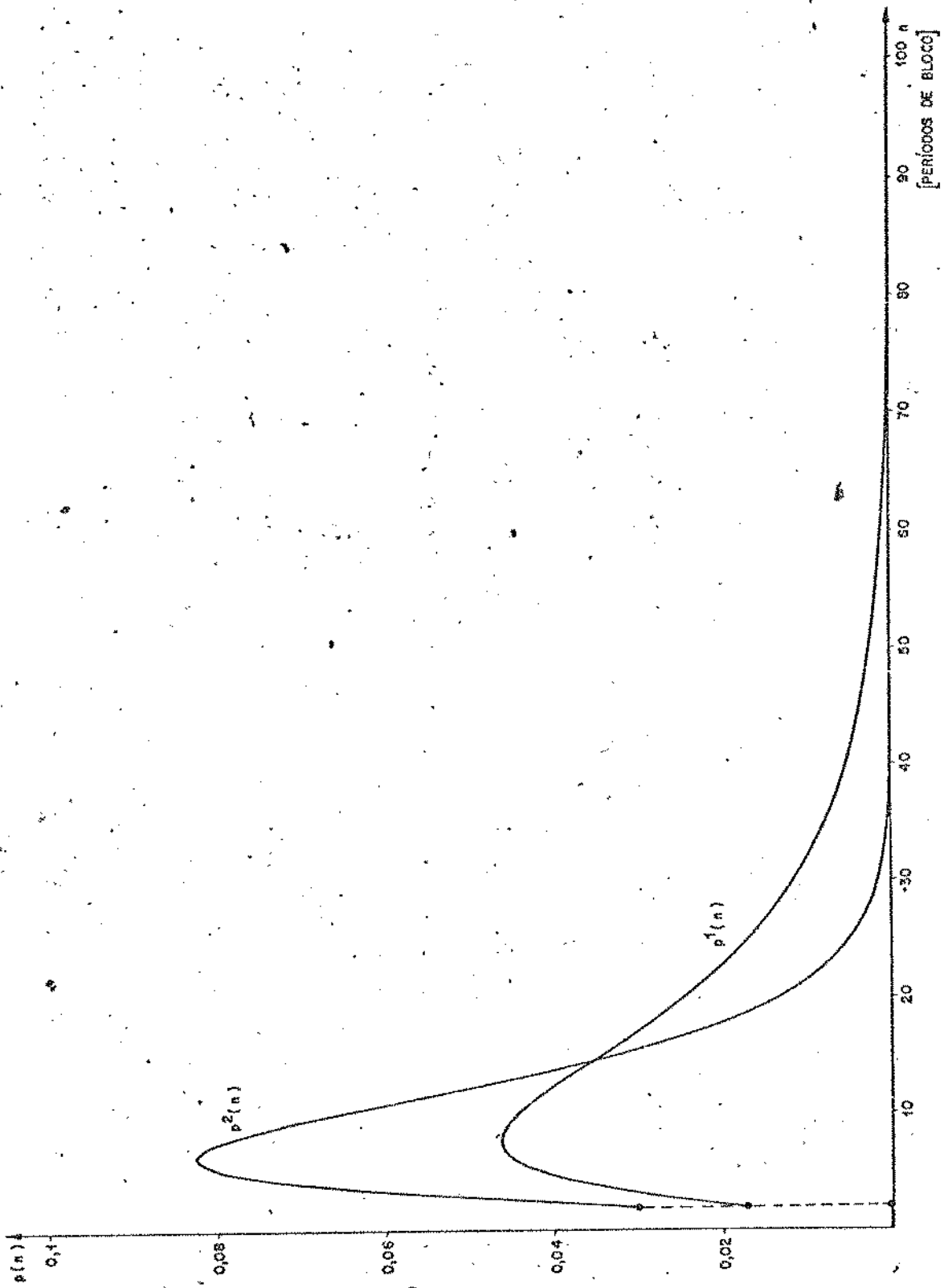


Fig. II.18

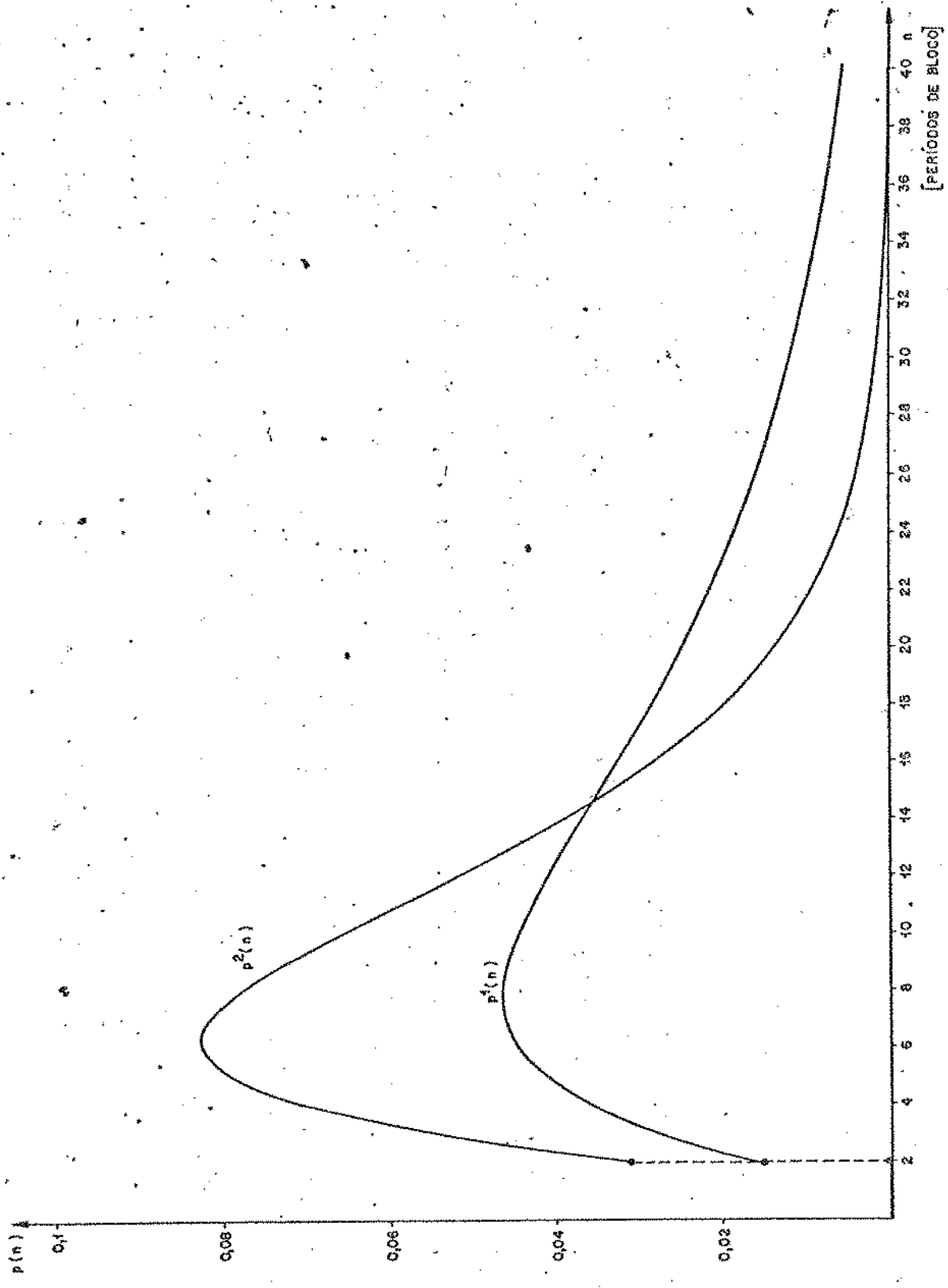


Fig. II.19

$$\left(\frac{-9}{4} + \frac{53}{16} z - \frac{3.51}{128} z^2 \right) \Bigg] 2 \times$$

$$\left(1 - \frac{9}{4} z + \frac{53}{32} z^2 - \frac{51}{128} z^3 \right) \left(\frac{-9}{4} + \frac{53}{16} z - \frac{3.51}{128} z^2 \right) \Bigg] \Bigg/ \left(1 - \frac{9}{4} z + \frac{53}{32} z^2 - \frac{51}{128} z^3 \right)^4$$

(26)

Portanto, para este caso,

$$\bar{n} = 18 \quad [\text{período de bloco}]$$

e

$$\text{Var}(n) = 186 \quad [\text{período de bloco}]^2$$

Para calcularmos a capacidade do canal com uma palavra, utilizamos o mesmo critério anterior baseado na probabilidade P_{eo} . A Fig. II.20 mostra a variação de P_{eo} em função do período T_S do sinal de serviço, juntamente com a curva $P_{eo} \times T_S$ do caso anterior.

Da Fig. II.20, vê-se que para $P_{eo} = 10^{-3}$ o período T_S neste caso deve ser $\approx 95T$, onde $T \approx 90$ nseg, o que corresponde a uma capacidade de aproximadamente 120 Kbits/seg. Portanto, a capacidade do canal com apenas uma palavra é quase três vezes menor que a capacidade de canal com duas palavras, resultado este que não era possível de se prever sem um cálculo mais rigoroso.

Da Fig. II.20, podemos ver que para uma capacidade de 64 Kbits/seg a probabilidade de erro de omissão será de apenas $2 \cdot 10^{-6}$, para o canal com uma palavra e praticamente desprezível para o canal com duas palavras. Por outro lado, mesmo para $P_{eo} = 2 \cdot 10^{-6}$ existirá um "jitter" intrínseco ao canal de serviço devido ao atraso aleatório. Naturalmente, o valor RMS desse "jitter" será igual ao desvio padrão do atraso do canal.

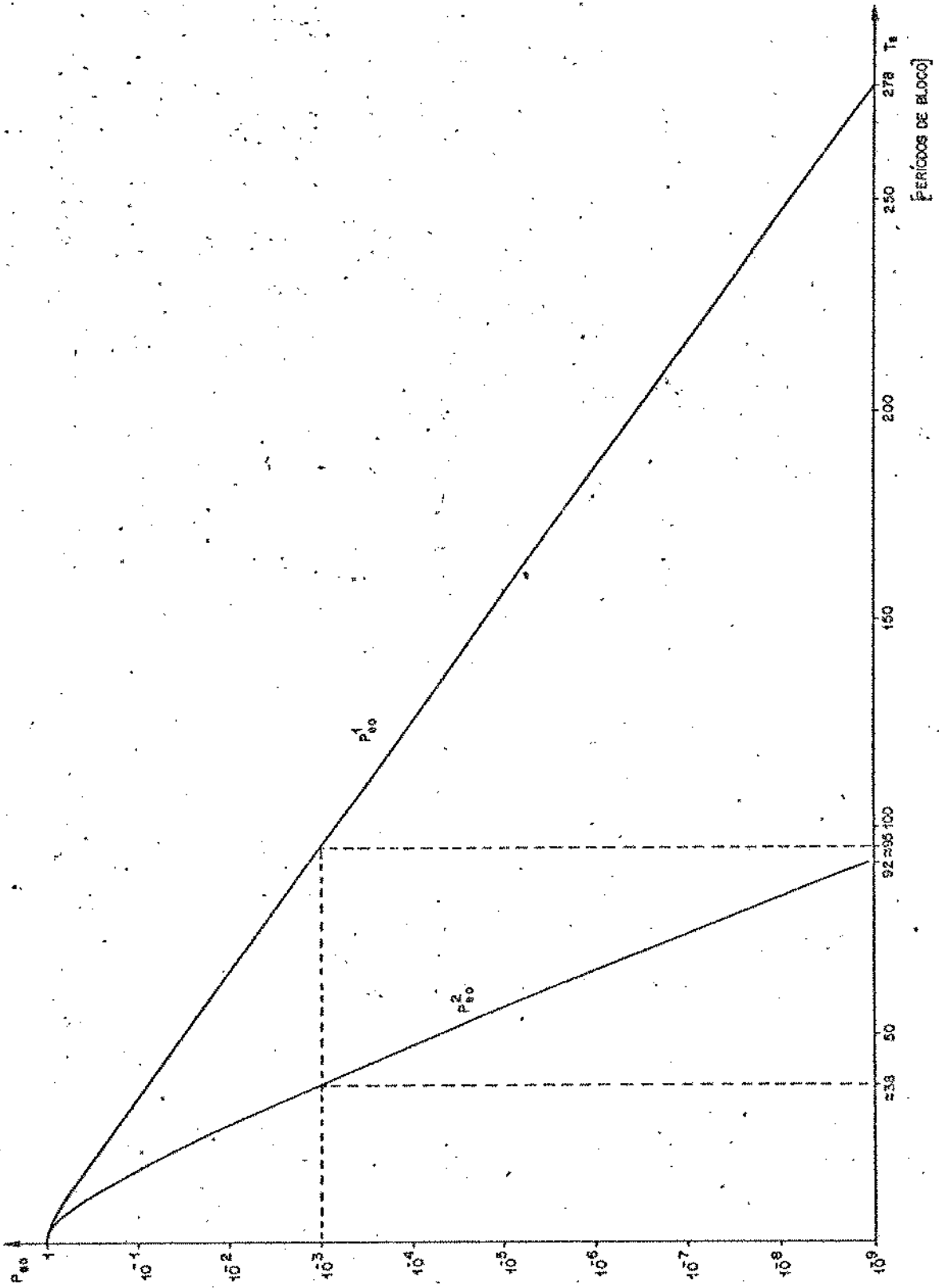


Fig. II.20

II.4 - O PROBLEMA DA MODULAÇÃO E DEMODULAÇÃO DO CANAL DE SERVIÇO

Tendo em vista os resultados obtidos nas seções anteriores, vamos nos ater daqui em diante apenas ao caso onde o canal de serviço (CS) utiliza somente uma palavra de entrada para o envio de informação. Portanto, conforme já vimos, a informação do canal de serviço é recuperada no receptor detectando-se as palavras com disparidade +2 que identificam os alfabetos associados a CS, isto é, se a palavra recebida for 1110, então CS=0 e se for 0111, então CS=1.

Já vimos também que o sinal CS recuperado dessa forma, apresenta um tremor de tempo de espera com um desvio padrão da ordem de 10% do período de informação, pois o desvio padrão do tremor é $\approx 14T = 1,2 \mu\text{seg}$ ($T \approx 90 \text{ ns}$) e o período da informação do canal de serviço de 64 Kbits/s é $1/64 \cdot 10^3 = 15,6 \mu\text{seg}$. Veremos mais adiante que esse tremor de fase pode afetar a qualidade do sinal de voz se não se tomar as devidas precauções.

Naturalmente, esse tremor de fase ocorre tanto na borda de subida quanto na borda de descida de cada pulso isoladamente, o que obviamente acarreta uma modulação de largura de pulso no sinal CS. Uma forma simples de se eliminar o tremor de fase e a modulação de largura de pulso é efetuar uma detecção coerente dos pulsos de CS. Isto poderia ser implementado utilizando-se um "phase-locked loop" para extrair o sinal de relógio de 64 Kbits/seg, o qual seria utilizado para amostrar o sinal CS nos instantes de mínima probabilidade de erro de bit. Provavelmente, um PLL integrado do tipo AN535 poderá ser uma solução simples e econômica para esta aplicação.

No nosso caso, o canal de serviço possui capacidade de $\approx 120 \text{ Kbits/seg}$, o que tornará desnecessária a utilização de detecção coerente se utilizarmos um Modulador Delta com amostragem sincronizada ao processo de codificação do código 3B-4B [2]. Mostraremos que esta é uma solução simples, eficiente e econômica.

II.4.1 - Modulação Delta para o Canal de Voz

O desempenho dos sistemas de transmissão por Modulação Delta, através de canais digitais convencionais, já foi estudado

por vários autores [7], [8], [9]. Por outro lado, o desempenho da Modulação Delta para canais "estatísticos" do tipo descrito nas seções anteriores, parece não ter sido ainda analisado na literatura. Nesta seção faremos uma análise simplificada, a fim de obtermos uma estimativa da degradação da relação S/R (sinal ruído) para sistemas de Modulação Delta em canais "estatísticos".

Para facilitar o tratamento analítico, vamos assumir várias hipóteses simplificadoras. Por exemplo, a probabilidade de erro de omissão P_{eo} será suposta igual a zero, ou seja, o atraso máximo será suposto menor que o período T_S do sinal de serviço. Dessa forma, os atrasos serão independentes, pois a sequência de dados é suposta aleatória.

O diagrama básico de um Modulador Delta convencional está mostrado na Fig. II.21, ao passo que a Fig. II.22 mostra o diagrama do Demodulador Delta correspondente [7]. O sinal $m(t)$ é o sinal analógico a ser codificado (voz) e $p(t)$ é o sinal digital correspondente. Neste caso, a frequência de amostragem f_a é fixa e independente do processo de codificação 3B-4B.

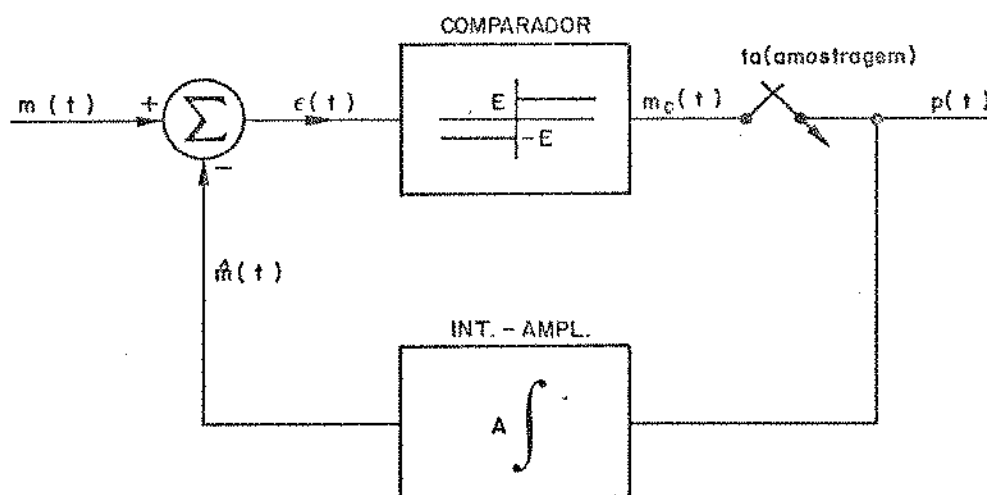


Fig. II.21

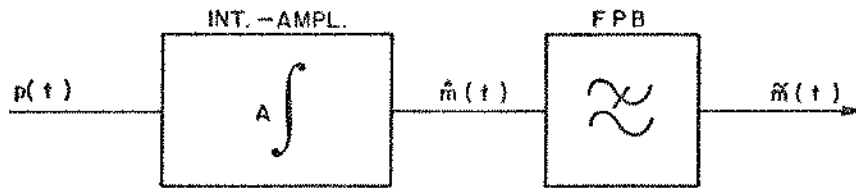


Fig. II.22

Da Fig. II.21 temos que:

$$m_c(t) = E \operatorname{sgn}[\varepsilon(t)] \quad (27)$$

onde $\varepsilon(t) = m(t) - \hat{m}(t) \quad (28)$

é o sinal de erro e

$$\hat{m}(t) = A \int p(t) dt \quad (29)$$

é o sinal estimado a partir de $p(t)$.

Para calcularmos a degradação da relação S/R devido ao atraso estatístico, vamos considerar os dois modelos da Fig. II.23. No primeiro modelo, caso A, temos a situação normal de transmissão delta através de um canal digital normal. A componente de ruído, neste caso, é dada pelo ruído de quantização e pelo ruído de sobrecarga da derivada. No segundo modelo, caso B, temos a situação de transmissão delta através de um canal digital estatístico, onde a contribuição do atraso estatístico é representada pela componente de ruído $n_1(t)$. Obviamente, no caso B o ruído total será a soma do ruído $n_1(t)$ com o ruído normal do caso A.

Se $p(t)$ for o sinal digital codificado (NRZ) à taxa de f_a bits/seg, então o sinal detectado no receptor, $p'(t)$, estará relacionado ao ruído $n_1(t)$ conforme mostra a Fig. II.24, onde $A(k)$ é o atraso estatístico do k -ésimo bit do sinal delta. Observe que, por hipótese, os atrasos $A(k)$ são independentes e os pulsos nega

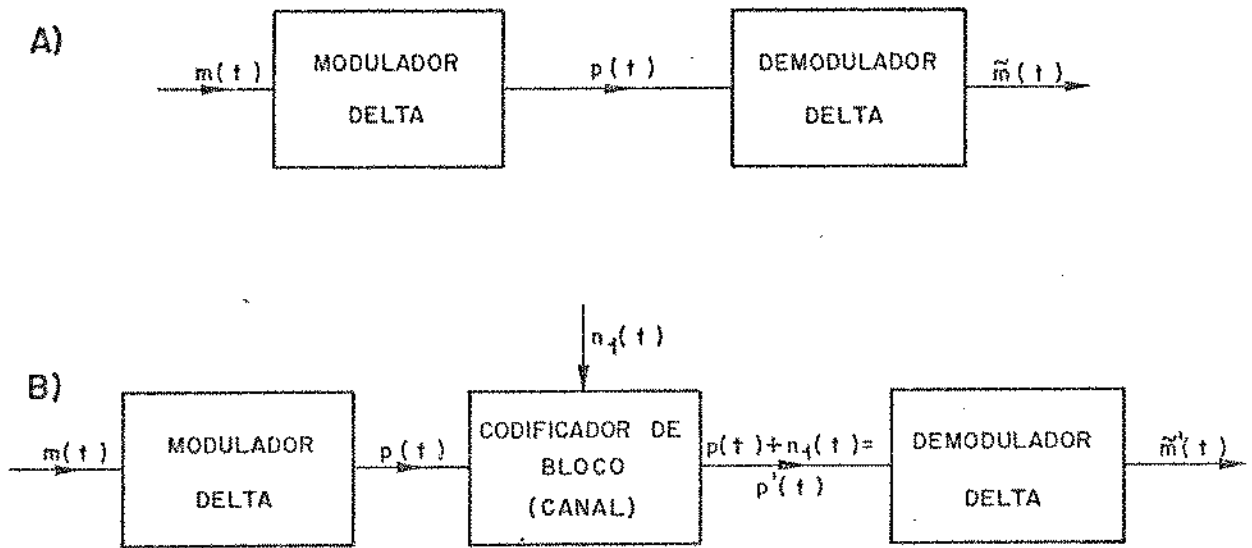


Fig. II . 23

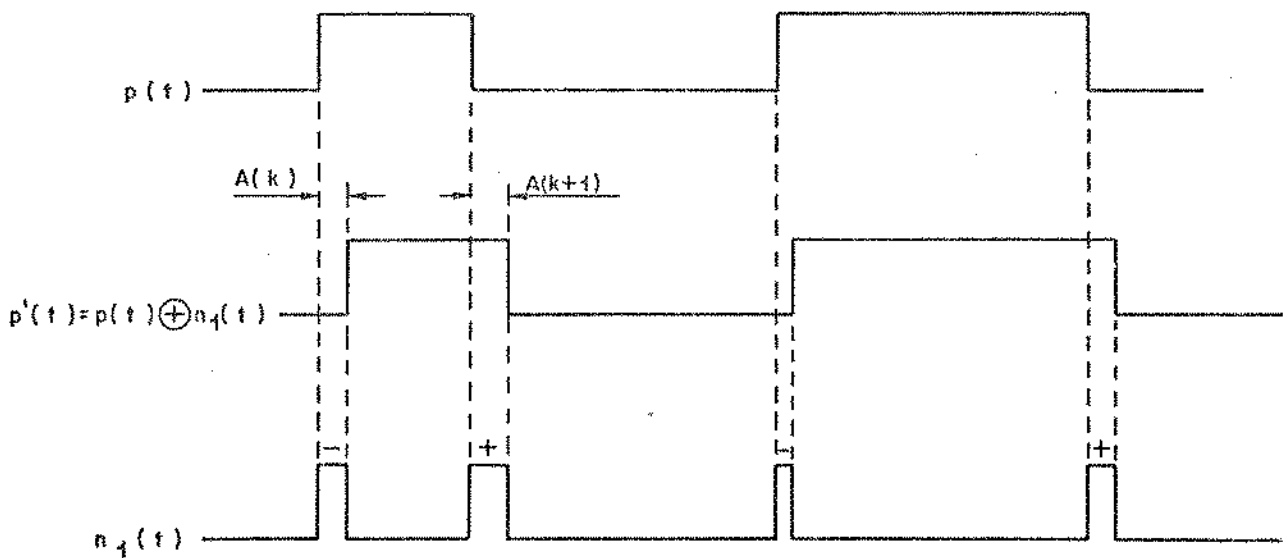


Fig. II . 24

tivos e positivos de $n_1(t)$ ocorrem com probabilidade 1/2, pois o sinal $p(t)$ é suposto puramente aleatório com probabilidade 1/2 de ocorrência dos pulsos.

Para efeito de cálculo da degradação da relação S/R, o valor médio de $n_1(t)$ pode ser desprezado, interessando-nos apenas o valor RMS da componente ac. Este valor RMS pode ser calculado a partir da variância do atraso, já calculada anteriormente.

Suponhamos que a relação S/R do sinal $\tilde{m}(t)$, no caso A, seja α dB. Se P for a potência do sinal $\tilde{m}(t)$, então é fácil ver que a potência P' do sinal $\tilde{m}'(t)$ será igual a P. É razoável supor que a potência de ruído de $\tilde{m}'(t)$ é igual à potência de ruído de $\tilde{m}(t)$, N_0 , acrescida da potência N_1 da componente ac de $n_1(t)$. Portanto, como o período de $p(t)$ é $T_S = 1/(64 \times 10^3)$ seg., para o sinal de 64 Kbits/s, e o desvio padrão do atraso é $\approx 1,2$ μ seg., então

$$N_1 = \frac{1,2}{15,62} \times P \approx 0,076 P \quad (30)$$

pois a probabilidade de ocorrência dos pulsos de $n_1(t)$ é 1/2.

Consequentemente, a relação \tilde{S}/R de $\tilde{m}'(t)$ será:

$$\frac{\tilde{S}}{R} = 10 \log \frac{P}{N_0 + N_1} \quad (31)$$

ou

$$\frac{\tilde{S}}{R} = 10 \log \frac{P}{N_0 + 0,076P} \quad (32)$$

Porém, como a relação S/R de $\tilde{m}(t)$ é $10 \log(P/N_0) = \alpha$ dB, teremos:

$$\frac{\tilde{S}}{R} = 10 \log \frac{10^{\alpha/10}}{1 + 0,076 \cdot 10^{\alpha/10}} \quad (33)$$

Assim, a degradação devida ao atraso será:

$$D = 10 \log (1 + 0,076 \cdot 10^{\alpha/10}) \quad (34)$$

Em um sistema típico $\alpha \approx 30$ dB, portanto

$$D \approx 18,8 \text{ dB}$$

o que acarreta

$$\frac{\tilde{S}}{R} \approx 11,13 \text{ dB}$$

É fácil ver da eq.(33) que \tilde{S}/R cresce monotonicamente com α , porém saturando rapidamente em $\approx 11,2$ dB para $\alpha > 25$ dB. Isto mostra que a qualidade do sinal transmitido através do canal estatístico, é praticamente ditada pelo atraso estatístico e quase nada se ganha com a melhoria ou sofisticação do Modulador Delta. No entanto, uma pequena alteração no processo de amostragem do Modulador Delta pode eliminar a degradação devida ao atraso [2].

A causa fundamental da degradação da relação S/R devido ao atraso estatístico, é a taxa de amostragem fixa utilizada no Modulador Delta. Pode-se ver da Fig. II.21 que, pela própria natureza da Modulação Delta, nada se ganha ao se fazer a amostragem do sinal de erro quantizado, $m_c(t)$, se o valor dessa amostragem não puder ser transmitido ao terminal receptor. Melhor seria se esperássemos o instante em que o canal estivesse disponível, para então amostrarmos o sinal $m_c(t)$, enviando assim o sinal de erro mais atualizado possível.

Assim sendo, na Fig. II.25 apresentamos o esquema de um Modulador Delta com amostragem "estatística", porém sincronizada com os instantes de disponibilidade do canal. Pela Tab. II.2, vemos que os instantes de amostragem neste caso são ditados pela ocorrência das palavras 1110 ou 0111, indistintamente. É importante observar que, dessa forma, a taxa de amostragem utilizada corresponde à máxima capacidade instantânea do canal.

Na Fig. II.26 apresentamos uma amostra típica de um sinal de voz $m(t)$ e os respectivos sinais $\hat{m}(t)$ e $p(t)$ para os casos de amostragem fixa e amostragem estatística. Mesmo para este exemplo simples, vê-se claramente o efeito da amostragem sobre a fidelidade da codificação, não só pela forma de onda $\hat{m}(t)$ mas principalmente pelo sinal digital $p(t)$.

Podemos observar na prática que a degradação do desempenho da Modulação Delta com amostragem estatística é desprezível se compararmos com o sistema de amostragem fixa, operando à mesma taxa média sobre um canal "não estatístico". O tratamento analíti

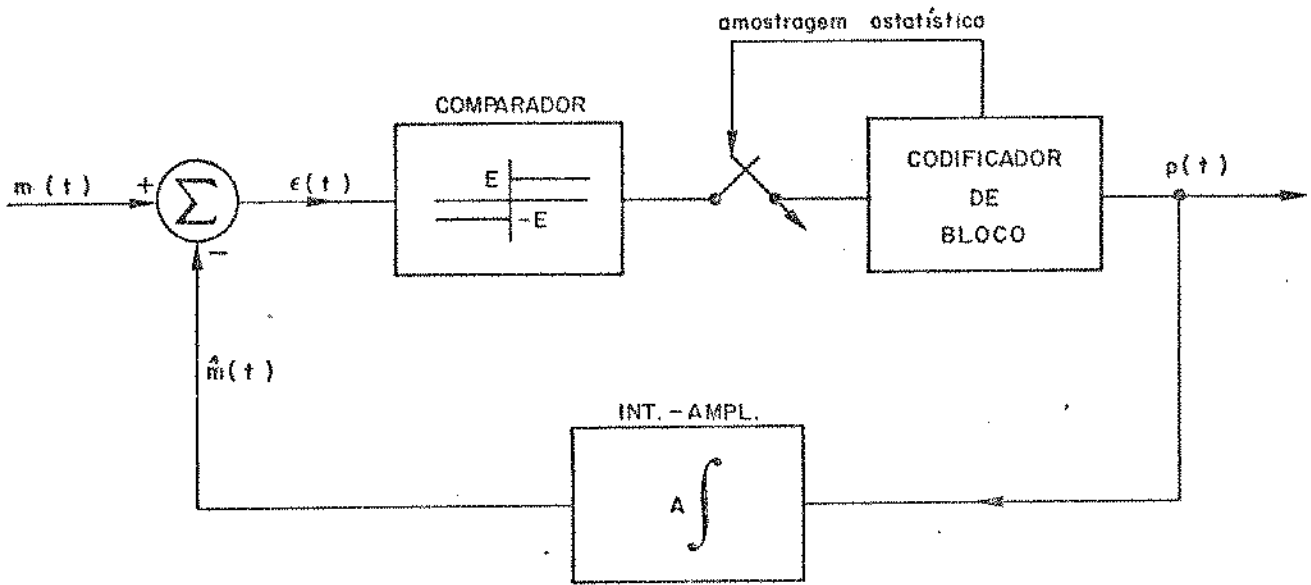


Fig. II.25

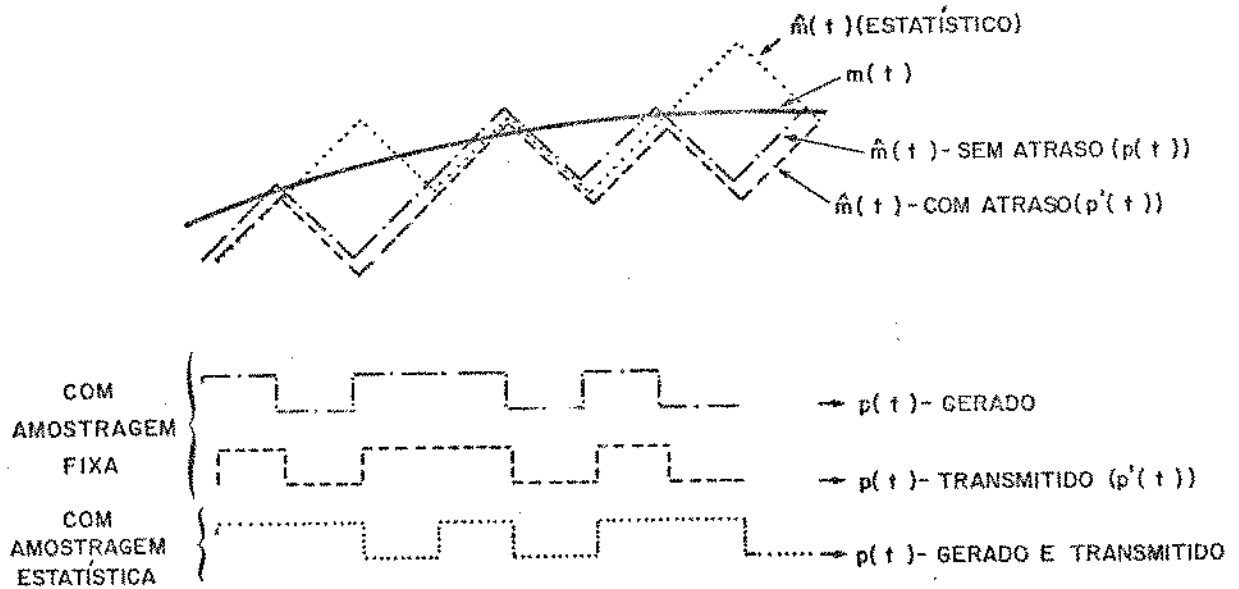


Fig. II.26

co dessa degradação, todavia, não nos parece tarefa muito simples e por isso não será apresentada neste trabalho.

II.5 - A TRANSMISSÃO DO SINAL SIA E DO ALARME REMOTO

Para o sistema ELO-34, a informação de alarme remoto (ALR) é transmitida através de um outro canal estatístico com a mesma capacidade do canal de serviço de voz, conforme mostrado na Tab. II.2. A diferença única entre estes dois canais é a palavra de entrada escolhida para definir o canal, sendo 010 para o alarme remoto e 111 para o canal de serviço. Esta diferença não é perceptível em operação normal; pois as palavras de entrada são supostas equiprováveis.

Para o ELO-34, no entanto, a ocorrência de determinadas falhas de operação do sistema, acarretam a interrupção da transmissão de informação e o envio do sinal SIA (Sinal de Indicação de Alarme). Para a transmissão do SIA, os dados de entrada do codificador 3B-4B são grampeados no nível "1". Nessa situação apenas o canal de serviço estará disponível, pois a palavra 010 associada ao canal de ALR não pode ocorrer. Portanto, o sinal ALR não pode ser transmitido simultaneamente ao sinal SIA. Isto não prejudica a operação e manutenção do sistema, pois o sinal SIA é hierarquicamente superior ao ALR.

Quanto à transmissão do sinal ALR em condições normais, devemos salientar que o atraso estatístico neste caso não é crítico, pois o sinal ALR é do tipo "ON-OFF" de longa duração.

Pelo exposto até aqui, é evidente que a utilização de dois canais de mesma capacidade (120 Kbits/seg) para o sinal CS e para o ALR, não é a forma mais eficiente de utilização da redundância do código de bloco. É bastante provável que a utilização de apenas um desses canais deva ser suficiente para se transmitir os sinais CS e ALR simultaneamente. Se isto for possível, poder-se-á utilizar um código de bloco com apenas três alfabetos, conforme discutido anteriormente. Obviamente, o desempenho do alinhador de bloco e do monitor de taxa de erro, neste caso apresentarão um melhor desempenho. Esta solução, todavia vai exigir uma forma

de multiplexação dos sinais CS e ALR, visto que apenas um canal deve ser utilizado para ambos.

CAPÍTULO III

PROJETO DO CODIFICADOR E DO DECODIFICADOR

O objetivo deste capítulo é descrever, em diagrama de blocos, a implementação do sistema de codificação e decodificação para o código 3B-4B escolhido para o ELO-34.

O codificador tem a função básica de mapear cada bloco de três bits consecutivos do sinal de dados NRZ embaralhado (SET), em outro bloco de quatro bits consecutivos. Assim sendo, teremos um sinal codificado (SCT), à taxa de 4/3 da taxa de bit do sinal de entrada.

Além disso, são transmitidos através da redundância do código, informação do canal de serviço (CS), informação de alarme remoto (ALR) e informação de SIA, conforme já discutido no Capítulo II.

O decodificador, por sua vez, executa a função inversa do codificador. Porém para a decodificação correta do SET e consequentemente para a recuperação correta da informação do CS, do ALR e do SIA, o decodificador necessita de um alinhador de bloco conforme descrito no Capítulo I.

O CODEC implementado para o ELO-34, está representado esquematicamente nas Figs. III.1 e III.2.

Esses diagramas de blocos (Fig. III.1 e Fig. III.2) são de grande importância, pois fornecem uma visão geral da constituição do CODEC. Além disso, eles mostram as funções realizadas por cada bloco e os tipos de sinais de entrada e saída do CODEC.

Para uma melhor compreensão do funcionamento do CODEC, descreveremos a seguir cada um de seus blocos.

O codificador consiste basicamente de 6 blocos que serão descritos na seguinte ordem:

1. Conversor Série/Paralelo
2. Conversor Paralelo/Paralelo
3. Codificador
4. Conversor Paralelo/Série
5. Sintetizador
6. Modulador Delta

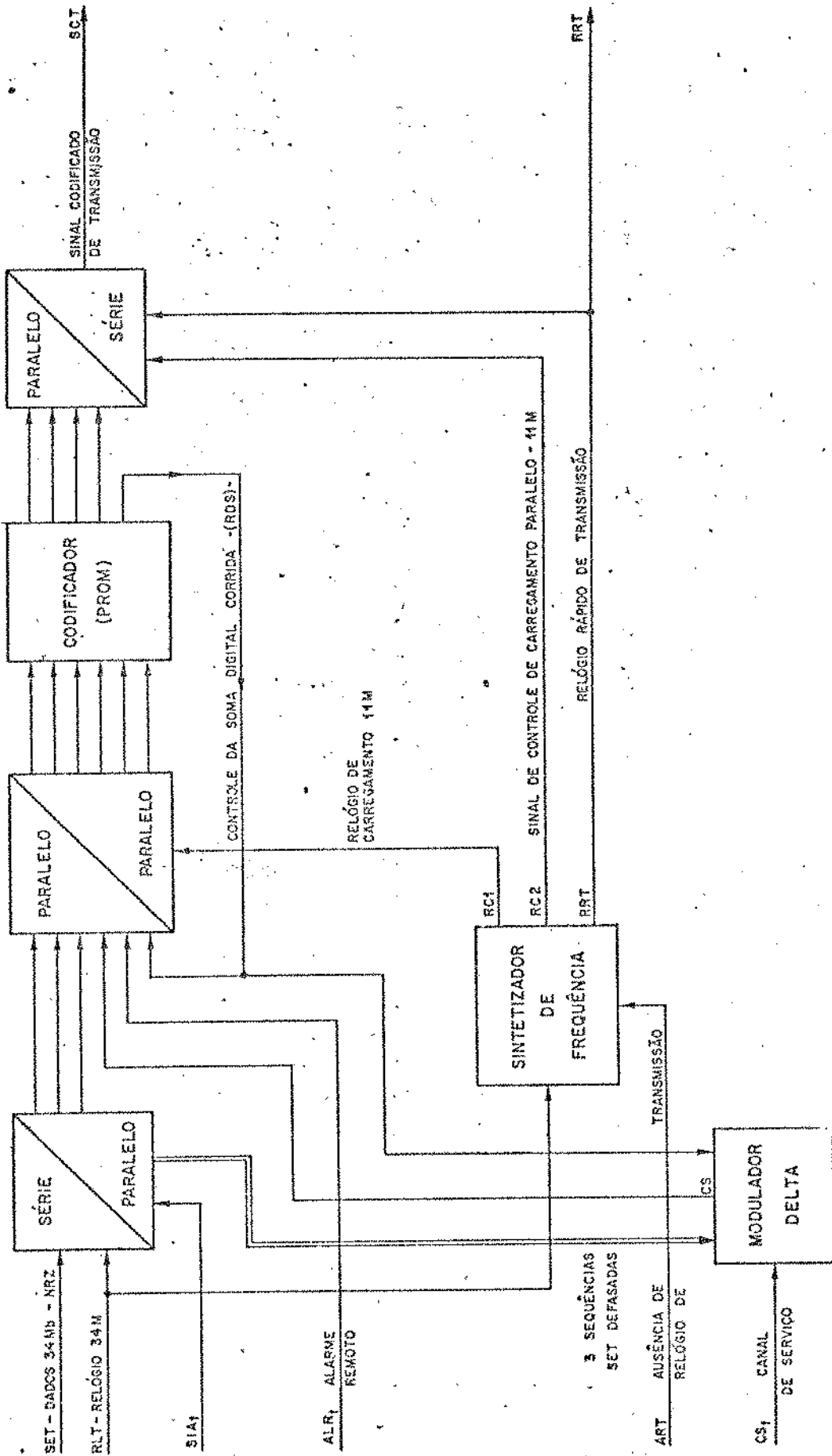


Fig. III.1 - Diagrama em blocos do codificador 3B-4B

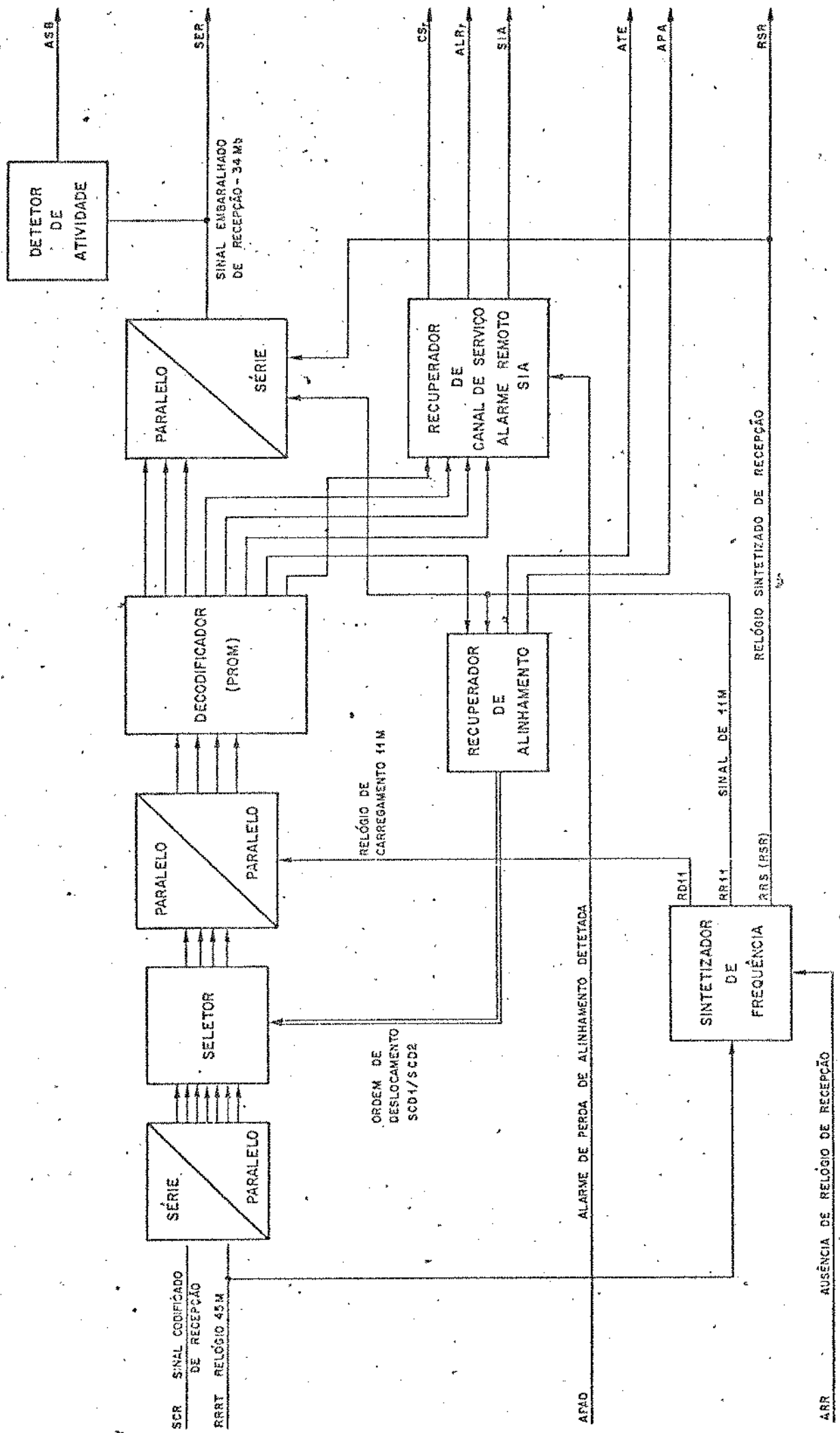


Fig. III.2 - Diagrama em blocos do decodificador 3B-4B

1. Conversor Série/Paralelo:

Este conversor tem como dados de entrada o sinal embaralhado (SET) de 34 Mbits/s e um relógio de 34 MHz (RLT). A sua função é fornecer três sequências SET defasadas uma em relação a outra de um período T ($T = 1/34 \mu s$). Além disso, ele deve ser capaz de grampear as sequências de saída no nível "1", a fim de transmitir a informação de SIA quando ativo (ativo baixo).

2. Conversor Paralelo/Paralelo:

Este conversor deve manter as três sequências SET defasadas de 34 Mbits/s, o sinal delta (CS) de canal de serviço, a informação de alarme remoto (ALR) e o sinal de controle da soma digital corrida (RDS) durante uma janela temporal de três períodos do sinal SET ($3/34 \mu s$). Para isto, é feito um carregamento paralelo com um relógio de 34/3 MHz (RC1), obtendo-se dessa forma os três bits do SET (bloco de entrada) e os três bits das informações adicionais, utilizadas como controle, na fase correta para o acionamento do estágio posterior (codificador).

3. Codificador:

O bloco codificador faz a conversão de cada bloco de entrada (três bits do SET) em quatro bits de dados paralelos (palavra-código) através de três bits de controle: o controle da RDS, o sinal delta CS e o alarme remoto. À sua saída, além dos quatro bits de dados codificados, temos a informação da RDS terminal. Essa informação é realimentada à entrada para atuar na decisão do alfabeto a que pertence a próxima palavra-código (vide o diagrama da Fig. II.3). Os bits do sinal delta do canal de serviço e do alarme remoto também atuam na decisão do alfabeto a que pertence a palavra-código (vide Tab. II.2 de codificação).

4. Conversor Paralelo/Série:

Este conversor transfere sequencialmente à saída os quatro bits de dados codificados da entrada paralela.

Este carregamento paralelo de entrada é feito pelo sinal de controle RC2 (45/4 MHz) síncrono com o relógio de transferência série (RRT) de 45 MHz. Dessa forma, obtemos à saída do conversor o sinal codificado (SCT) de 45 Mbits/s.

5. Sintetizador:

Quando se utiliza algum processo de codificação binária, geralmente a taxa de dados de saída do codificador é maior do que a taxa dos dados de entrada, ocorrendo o inverso na decodificação. Devido à esse fato, utiliza-se um sintetizador de frequência para gerar o relógio de leitura dos dados de saída (RRT) a partir do relógio de entrada (RLT) de 34 MHz.

O sintetizador fornece ainda o relógio de carregamento paralelo de entrada (RC1) de 11 MHz e o sinal de controle de carregamento paralelo (RC2) do conversor paralelo/série, também de 11 MHz.

Na Fig. III.1 apresentamos o diagrama simplificado do sintetizador implementado. Nota-se que o elemento utilizado é basicamente uma malha de fase amarrada (PLL).

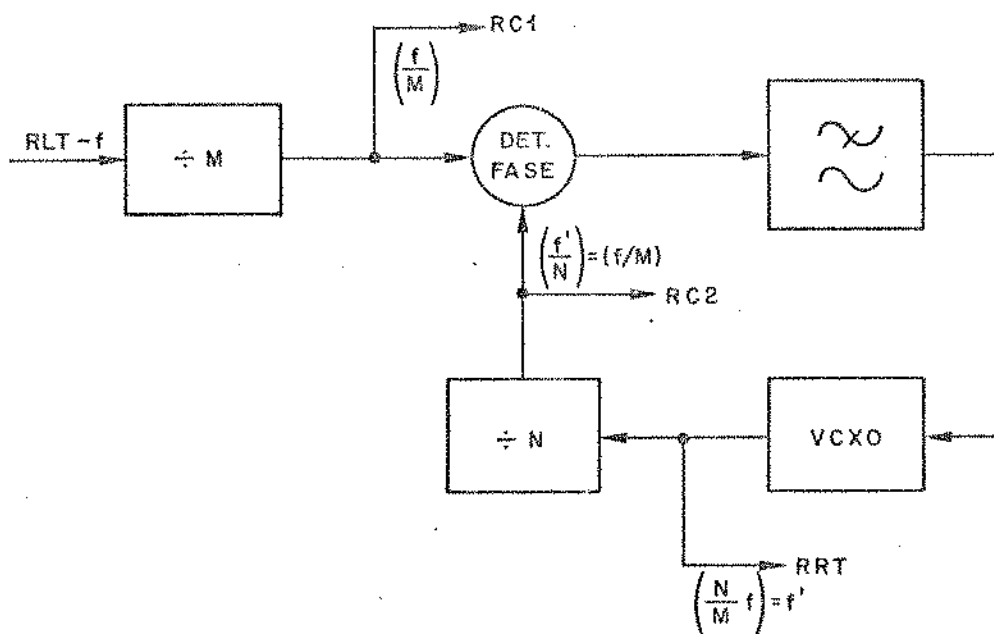


Fig. III.3

A seguir descreveremos sucintamente cada um desses blocos que compõem a malha:

- O detetor de fase gera à sua saída uma forma de onda que é função da diferença de fase entre os dois sinais digitais de entrada (RC1 e RC2).
- O filtro passa-baixas na malha do PLL é utilizado para eliminar ruídos e componentes de alta frequência do sinal de saída do detetor de fase, além de determinar o desempenho dinâmico da malha.
- O VCXO é basicamente um oscilador a cristal cuja frequência de saída é diretamente proporcional à tensão de controle proveniente da saída do filtro.
- Os dois blocos divisores geram sinais compatíveis para o detetor de fase e, além disso, determinam a relação N/M da frequência de saída do sintetizador ($RRT = N/M \times$ frequência de entrada). A descrição detalhada do sintetizador será apresentada no Apêndice B.

6. Modulador Delta:

O bloco modulador é basicamente um conversor Analógico/Digital utilizado para digitalizar a informação de canal de serviço (sinal de voz).

O conversor utilizado é um modulador delta com predição, sendo compensado quanto aos possíveis atrasos de transmissão, utilizando como sinal de amostragem um relógio estatístico (discutido no Capítulo II).

À saída do modulador temos o sinal delta CS que é carregado paralelamente no conversor paralelo/paralelo para atuar na codificação (vide o diagrama de lei de codificação da Fig. II.3).

O decodificador, por sua vez, consiste de nove blocos, como mostra a Fig. III.2, que serão descritos na seguinte ordem:

1. Conversor Série/Paralelo
2. Seletor

3. Conversor Paralelo/Paralelo
4. Decodificador
5. Conversor Paralelo/Série
6. Recuperador de Alinhamento
7. Recuperador de Canal de Serviço, Alarme Remoto e SIA
8. Detetor de atividades
9. Sintetizador

1. Conversor Série/Paralelo:

Este conversor tem como sinais de entrada os dados codificados recebidos, SCR e o relógio RRRT de 45 MHz. A sua função é fornecer sete sequências SCR defasadas uma em relação à outra de um período T_{45} ($T_{45} = 1/45 \mu s$), isto é, converter sete bits adjacentes da forma seriada para a forma paralela. Com isso, a partir desses sete bits em paralelo, é sempre possível se encontrar uma palavra-código de quatro bits legítima.

2. Seletor:

O bloco seletor seleciona quatro bits adjacentes dentre os sete bits SCR na forma paralela. Esta seleção é feita através de dois sinais de controle de alinhamento, SCD1 e SCD2, que a partir do alinhador, selecionam a fase correta.

3. Conversor Paralelo/Paralelo:

A sua função é armazenar os quatro bits paralelos selecionados durante uma janela temporal de quatro períodos do sinal SCR ($4/45 \mu s$). Portanto, é feito um carregamento paralelo dos quatro bits através de um relógio de 45/4 MHz (RD11), obtendo-se assim os quatro bits da palavra-código.

4. Decodificador:

O bloco decodificador gera a partir de cada palavra - código

digo recebida, oito bits paralelos na saída, sendo: três bits (palavra decodificada) do sinal embaralhado; três bits com informação de canal de serviço e alarme remoto; um bit com informação de SIA e um bit com informação de violações (palavras proibidas).

Dessa forma, obtém-se todas as informações necessárias para a decodificação correta e para a recuperação do sinal de voz, de alarme remoto e de SIA.

5. Conversor Paralelo/Série:

Este conversor transfere sequencialmente à saída os três bits de dados decodificados de entrada paralela. O carregamento paralelo de entrada é feito pelo sinal de controle RR11 (34/3 MHz) síncrono com o relógio de transferência série (RSR) de 34 MHz. Assim sendo, à sua saída temos o sinal embaralhado de recepção (SER) de 34 Mbits/s.

6. Recuperador de Alinhamento:

O recuperador de alinhamento é o bloco responsável pelo alinhamento do sistema. A estratégia adotada utiliza a informação da taxa de violações da palavra-código para indicar o estado de alinhamento do sistema (discutido no Capítulo I). Portanto, à sua saída temos dois sinais SCD1 e SCD2, denominados "ordem de deslocamento", que atuam na fase da janela de observação da palavra-código.

7. Recuperador de Canal de Serviço, Alarme Remoto e SIA:

A função deste bloco é recuperar a informação de SIA, Alarme Remoto e sinal delta (CS) de canal de serviço, através de quatro bits provenientes do bloco decodificador.

A recuperação da informação de SIA é feita detetando-se a ocorrência de três padrões de acordo com a transmissão (no caso os padrões adotados foram as palavras 0001, 0111 e 1110).

A recuperação da informação de canal de serviço e alarme remoto são feitas detetando-se a ocorrência dos padrões favorá

veis (palavras 1110 e 0111).

O sinal de alarme de perda de alinhamento detetado (APAD) tem a função de inibir o sinal delta CS quando o sistema se encontra desalinhado.

8. Detetor de Atividades:

O bloco detetor de atividades deteta a ausência do sinal SER. Sendo assim, a saída do detetor temos a informação da sua atividade (ASB - Ausência do Sinal Binário) que é bastante importante para a manutenção corretiva do cartão.

8. Sintetizador:

O sintetizador do decodificador (recepção) é semelhante ao da transmissão, como mostra a Fig. III.4.

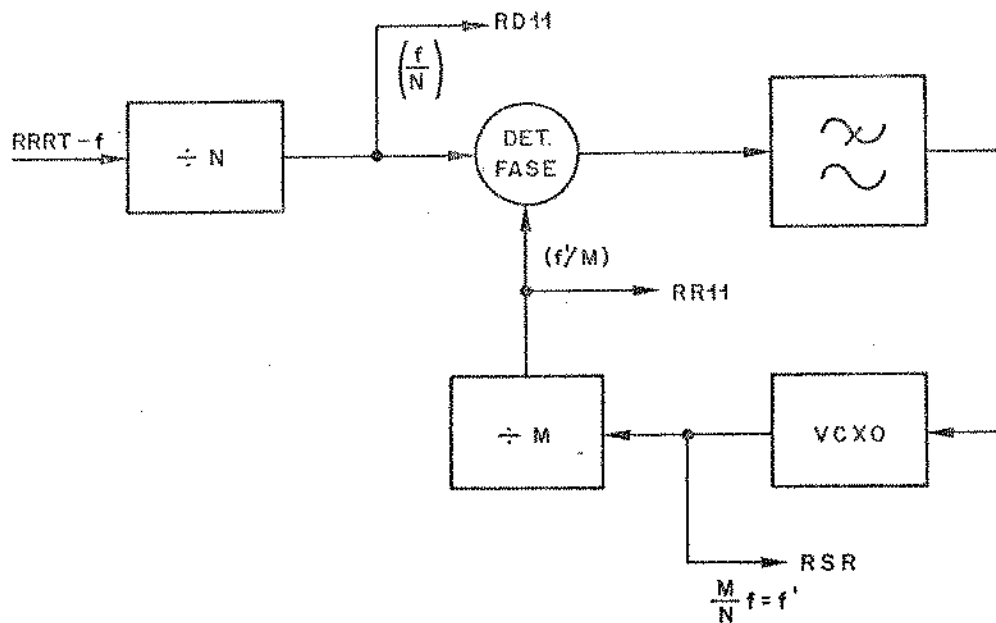


Fig. III.4

O sintetizador gera a partir do relógio de entrada (RRRT) de 45 MHz, o relógio (RSR) de transferência série dos dados de saída (34 MHz). Fornece também o relógio de carregamento paralelo de entrada (RD11) de 11 MHz e o sinal de controle de carregamento paralelo (RR11) do conversor paralelo/série também de 11 MHz.

A descrição detalhada do sintetizador de recepção é dada, juntamente com o da transmissão, no Apêndice B.

APÉNDICES

APÊNDICE A

PROJETO DETALHADO DO CODEC 3B-4B

Neste apêndice são apresentados os circuitos elétricos de cada bloco do CODEC que realizam as funções descritas no Capítulo III.

São apresentados, ainda, os diagramas em blocos e os respectivos esquemas elétricos e diagramas temporais dos cartões do codificador e do decodificador que foram desmembrados devido à limitação de consumo de potência por cartão.

O projeto dos sintetizadores de transmissão e de recepção é apresentado no Apêndice B. Portanto, neste apêndice os sintetizadores serão considerados como fontes externas, fornecendo todos os relógios e sinais de controle necessários com as fases adequadas.

A.1 - CODIFICADOR 3B-4B

Devido à frequência de operação foi utilizada basicamente a tecnologia TTL-SCHOTTKY para o projeto do codificador 3B-4B. Conseqüentemente, o alto consumo de potência verificado, $\approx 2,6 \omega$, tornou necessário o seu desmembramento em dois cartões de circuito impresso. Esse desmembramento foi feito de forma a colocar o sintetizador de transmissão, denominado CD1, em um cartão e o codificador propriamente dito, denominado CD2, em outro cartão.

O codificador propriamente dito (CD2) está representado esquematicamente na Fig. A.1.

A seguir descreveremos em termos de circuitos elétricos cada um desses blocos que compõem o codificador.

1. Conversor Série/Paralelo:

Um circuito que permite a conversão de um sinal série de entrada em três seqüências paralelas é um registro de deslocamento.

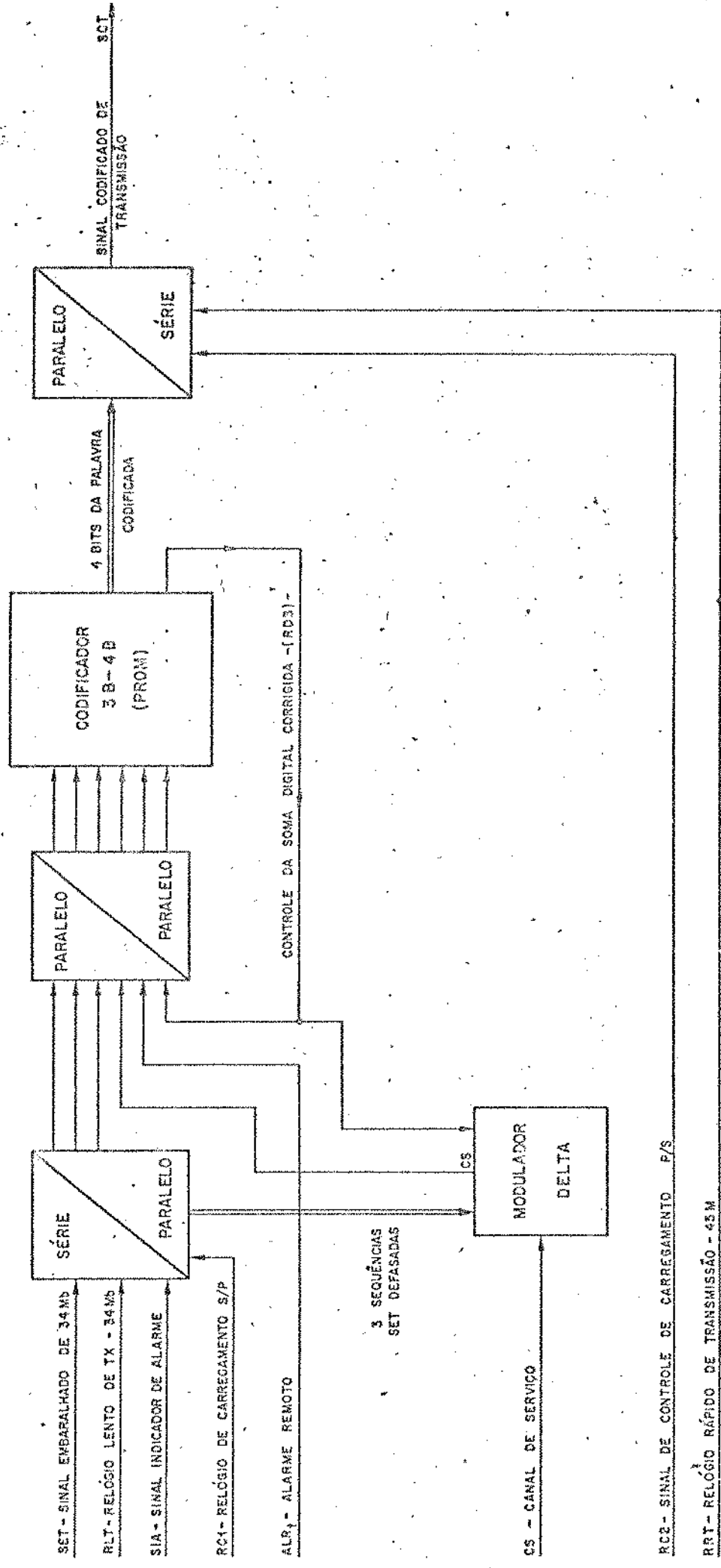


Fig. A.1 - Diagrama em blocos do CD2

mento de 3 estágios. Para implementar esse registro de deslocamento são utilizados três flip-flops tipo D (74S175), cuja tabela verdade (para cada F.F.) é apresentada na Tabela A.1.

ENTRADAS			SAÍDAS	
CL	CK	D	Q	\bar{Q}
H	↑	a	a	\bar{a}

a = nível lógico estável
(alto ou baixo) de entrada

Tab. A.1 - Tabela verdade do 74S175

O registro de deslocamento com a configuração para transmitir a informação de SIA está apresentada na Fig. A.2.

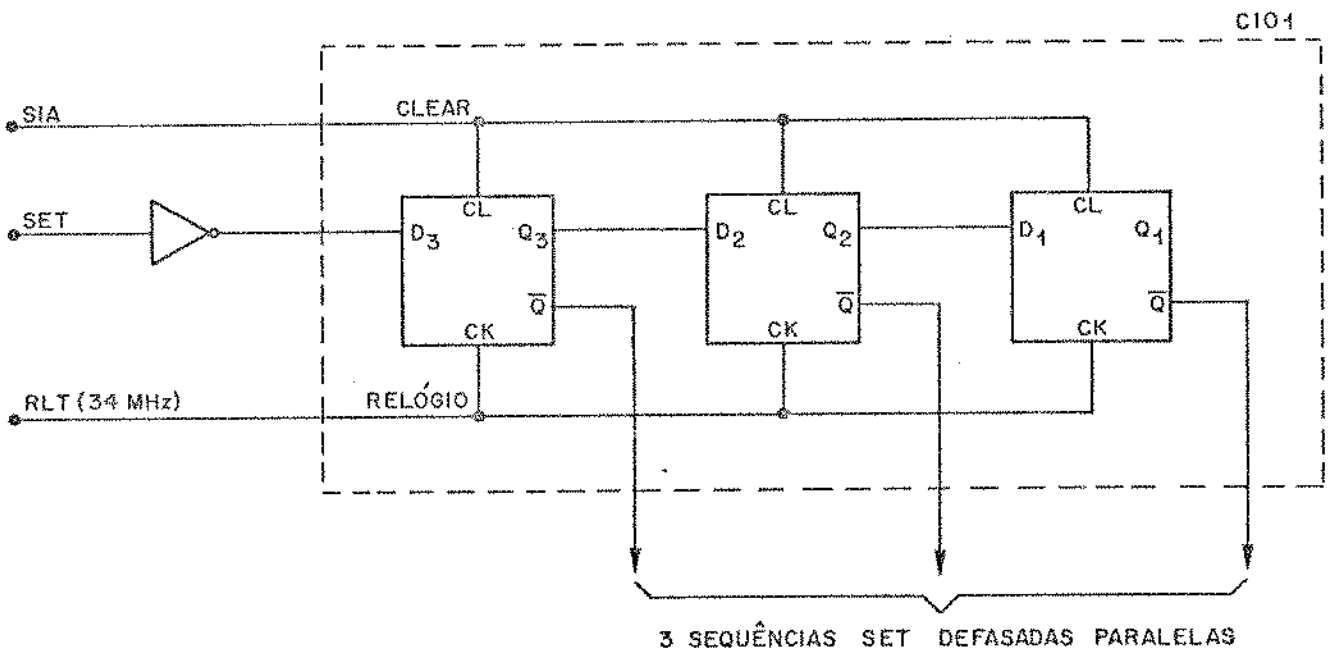


Fig. A.2 - Conversor Série/Paralelo

Note que todos os sinais de entrada são amostrados com o relógio RC1 (34/3 MHz). Assim sendo, à saída temos os três bits paralelos do bloco de entrada e os três bits paralelos de controle (sinal delta CS, RDS, ALR_t) que são renovados a cada período de RC1 (3/34 μs).

3. Codificador:

O bloco codificador mapeia cada bloco de entrada (três bits) em um bloco de quatro bits paralelos (palavra-código) através de 3 bits de controle: o controle da RDS terminal, o sinal delta de canal de serviço e o alarme remoto. Além disso, deve fornecer o estado da RDS terminal para atuar na decisão do alfabeto da próxima palavra-código.

O mapeamento pode ser feito utilizando-se uma matriz de diodos e um circuito seletor de alfabetos controlado por três sinais. Deve conter ainda um circuito que detete a RDS terminal, como mostra a Fig. A.4.

De acordo com a lei de codificação (Capítulo I) sabemos que a RDS terminal assume dois valores "0" ou +2. Portanto, o circuito que deteta a RDS terminal baseia-se no seguinte: o bit de controle de RDS será nível lógico "1" se a disparidade da palavra-código for +2 ou -2 e será nível lógico "0" se a disparidade da palavra-código for 0.

Definindo assim dois estados para a RDS terminal,

"1" ⇒ muda de alfabeto de acordo com os bits de controle restantes (CS e ALR)

"0" ⇒ indiferente (permanece no mesmo alfabeto)

Note que a solução utilizando uma matriz de diodos não é a mais adequada, pois à medida que cresce o número de estados do codificador a solução se torna impraticável.

O circuito da Fig. A.4 pode ser substituído por memórias programáveis (PROM) desde que sejam convenientemente programadas utilizando-se os três bits de controle.

O bit de controle da RDS (saída do PROM) pode ser pro

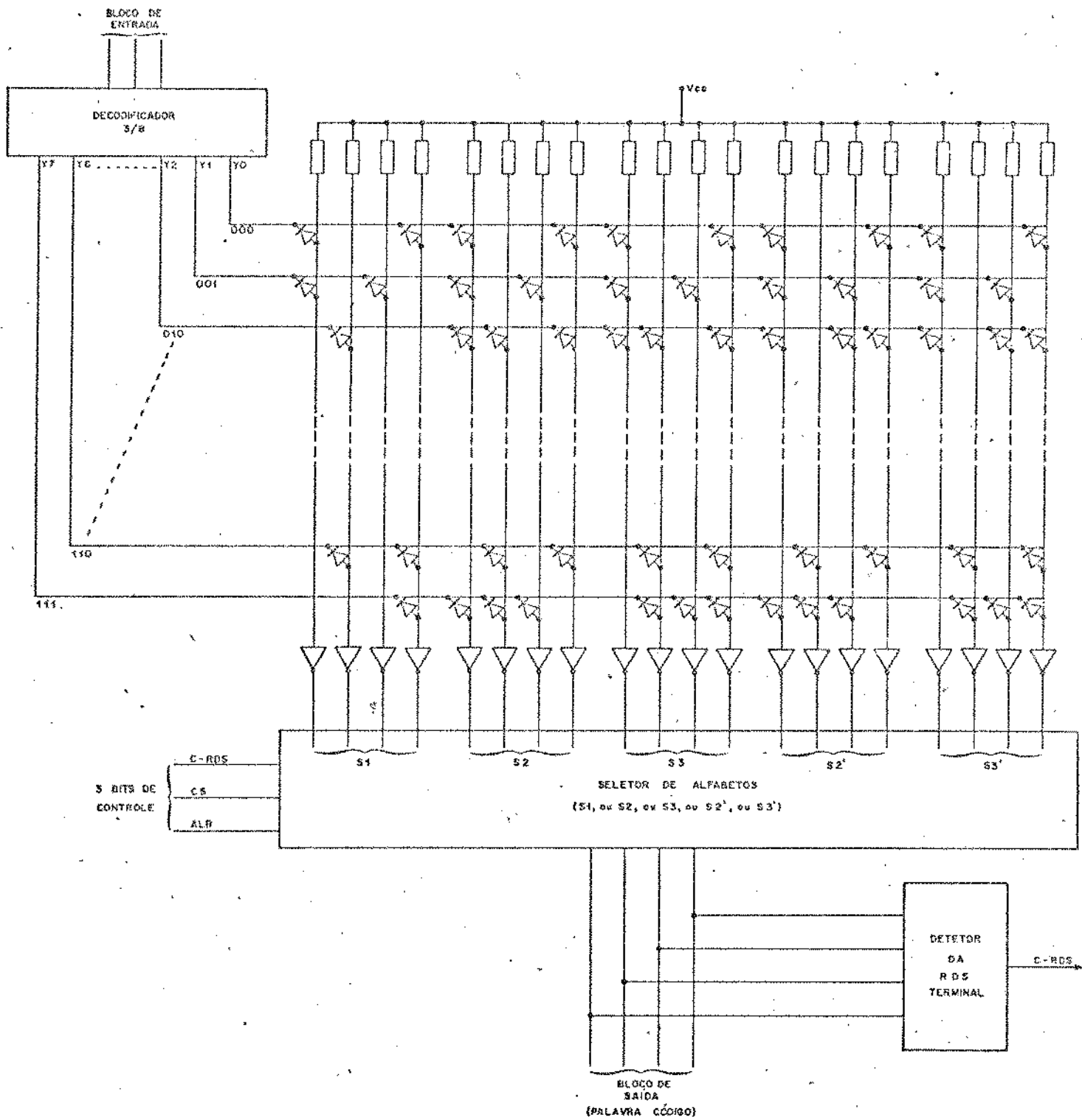


Fig. A.4 - Codificador 3B-4B utilizando matriz de diodos

gramado de acordo com o bloco de entrada, como mostra a Tab. A.2a e A.2b de programação da PROM.

O circuito da Fig. A.4 é bastante simplificado com a utilização da PROM, como mostra a Fig. A.5.

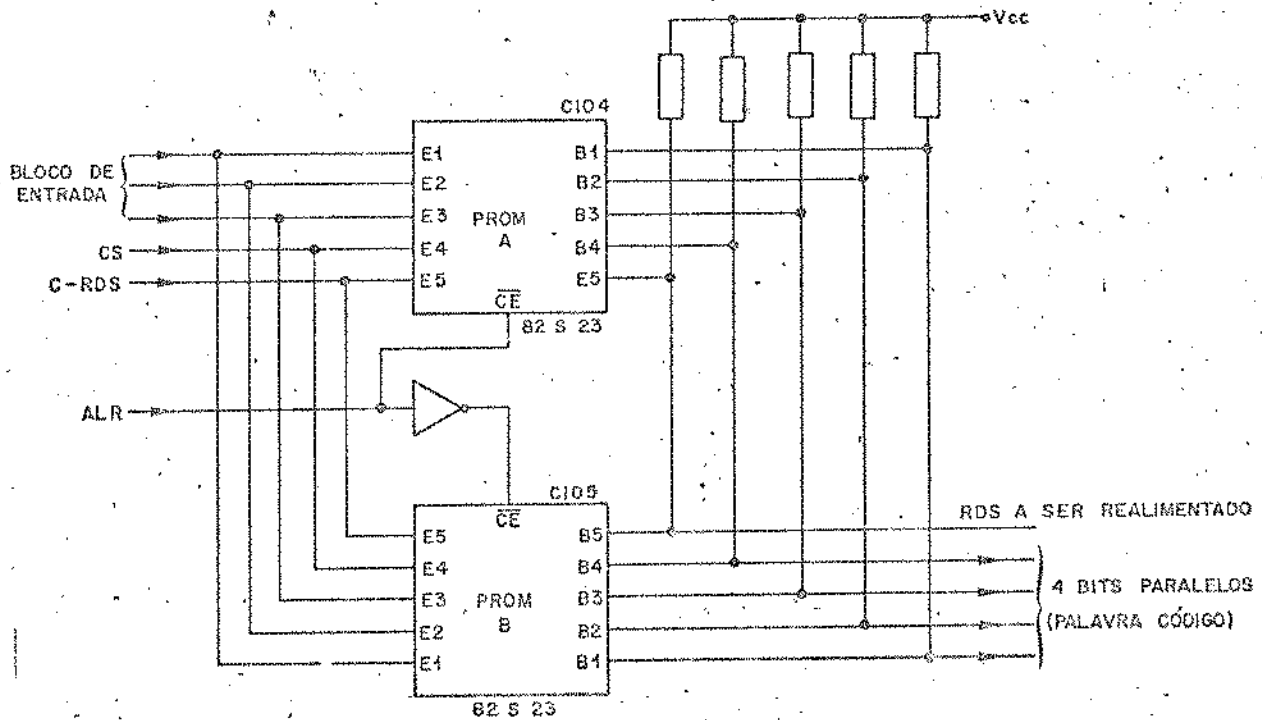


Fig. A.5 - Codificador 5B-4B utilizando memórias (PROM's)

Note que foi realizada uma expansão de memória utilizando duas memórias de cinco bits de endereçamento e 8 saídas (32x8), para se obter uma de 6 bits (64x8). Isto se deve ao fato da dificuldade encontrada para se adquirir no mercado uma memória TTL de capacidade e velocidade compatíveis.

Hoje essas memórias podem ser facilmente substituídas por uma única memória, simplificando ainda mais o bloco codificador.

A expansão de memória é obtida utilizando a entrada de inibição (\overline{CE}):

$\overline{CE} = "0"$ \Rightarrow PROM ativado

$\overline{CE} = "1"$ \Rightarrow PROM desativado (todas as saídas estarão no nível alto ("1")).

	CE		ENDEREÇO				SAÍDA					
	ALR	CONT. RDS	CS	DADOS			CONT. RDS	DADOS				
	6º	5º	4º	3º	2º	1º	5º	4º	3º	2º	1º	
S1	0	0	0	0	0	0		0	1	0	0	1
	0	0	0	0	0	1		0	1	0	1	0
	0	0	0	0	1	0		1	0	1	0	0
	0	0	0	0	1	1		0	0	1	1	0
	0	0	0	1	0	0		0	1	1	0	0
	0	0	0	1	0	1		0	0	0	1	1
	0	0	0	1	1	0		0	0	1	0	1
	0	0	0	1	1	1		1	0	0	0	1
S2	0	1	0	0	0	0		1	1	0	0	1
	0	1	0	0	0	1		1	1	0	1	0
	0	1	0	0	1	0		0	1	1	0	1
	0	1	0	0	1	1		1	0	1	1	0
	0	1	0	1	0	0		1	1	1	0	0
	0	1	0	1	0	1		1	0	0	1	1
	0	1	0	1	1	0		1	0	1	0	1
	0	1	0	1	1	1		0	1	1	1	0
S3	0	1	1	0	0	0		1	1	0	0	1
	0	1	1	0	0	1		1	1	0	1	0
	0	1	1	0	1	0		0	1	1	0	1
	0	1	1	0	1	1		1	0	1	1	0
	0	1	1	1	0	0		1	1	1	0	0
	0	1	1	1	0	1		1	0	0	1	1
	0	1	1	1	1	0		1	0	1	0	1
	0	1	1	1	1	1		0	0	1	1	1
S1	0	0	1	0	0	0		0	1	0	0	1
	0	0	1	0	0	1		0	1	0	1	0
	0	0	1	0	1	0		1	0	1	0	0
	0	0	1	0	1	1		0	0	1	1	0
	0	0	1	1	0	0		0	1	1	0	0
	0	0	1	1	0	1		0	0	0	1	1
	0	0	1	1	1	0		0	0	1	0	1
	0	0	1	1	1	1		1	0	0	0	1

Tab. A.2a - Tabela de Programação da PROM - A

	CE		ENDEREÇO				SAÍDA				
	ALR	CONT. RDS	CS	DADOS			CONT. RDS	DADOS			
	6º	5º		4º	3º	2º		1º	5º	4º	3º
S1	1	0	0	0	0	0	0	1	0	0	1
	1	0	0	0	0	1	0	1	0	1	0
	1	0	0	0	1	0	1	0	1	0	0
	1	0	0	0	1	1	0	0	1	1	0
	1	0	0	1	0	0	0	1	1	0	0
	1	0	0	1	0	1	0	0	0	1	1
	1	0	0	1	1	0	0	0	1	0	1
	1	0	0	1	1	1	1	0	0	0	1
S2	1	1	0	0	0	0	1	1	0	0	1
	1	1	0	0	0	1	1	1	0	1	0
	1	1	0	0	1	0	0	1	0	1	1
	1	1	0	0	1	1	1	0	1	1	0
	1	1	0	1	0	0	1	1	1	0	0
	1	1	0	1	0	1	1	0	0	1	1
	1	1	0	1	1	0	1	0	1	0	1
	1	1	0	1	1	1	0	1	1	1	0
S3	1	1	1	0	0	0	1	1	0	0	1
	1	1	1	0	0	1	1	1	0	1	0
	1	1	1	0	1	0	0	1	0	1	1
	1	1	1	0	1	1	1	0	1	1	0
	1	1	1	1	0	0	1	1	1	0	0
	1	1	1	1	0	1	1	0	0	1	1
	1	1	1	1	1	0	1	0	1	0	1
	1	1	1	1	1	1	0	0	1	1	1
S1	1	0	1	0	0	0	0	1	0	0	1
	1	0	1	0	0	1	0	1	0	1	0
	1	0	1	0	1	0	1	0	1	0	0
	1	0	1	0	1	1	0	0	1	1	0
	1	0	1	1	0	0	0	1	1	0	0
	1	0	1	1	0	1	0	0	0	1	1
	1	0	1	1	1	0	0	0	1	0	1
	1	0	1	1	1	1	1	0	0	0	1

Tab. A.2a - Tabela de Programação da PROM - B

4. Conversor Paralelo/Série:

O circuito que transfere sequencialmente à saída os quatro bits da palavra código, de entrada paralela, é o registro de deslocamento com carregamento paralelo. Este conversor consiste de um único circuito integrado (74S195) que utiliza um sinal de controle de carregamento paralelo (RC2) síncrono com o relógio de transferência série (RRT).

A tabela verdade do 74S195 é apresentada na Tab. A.3.

A configuração desse circuito é apresentada na Fig. A.6.

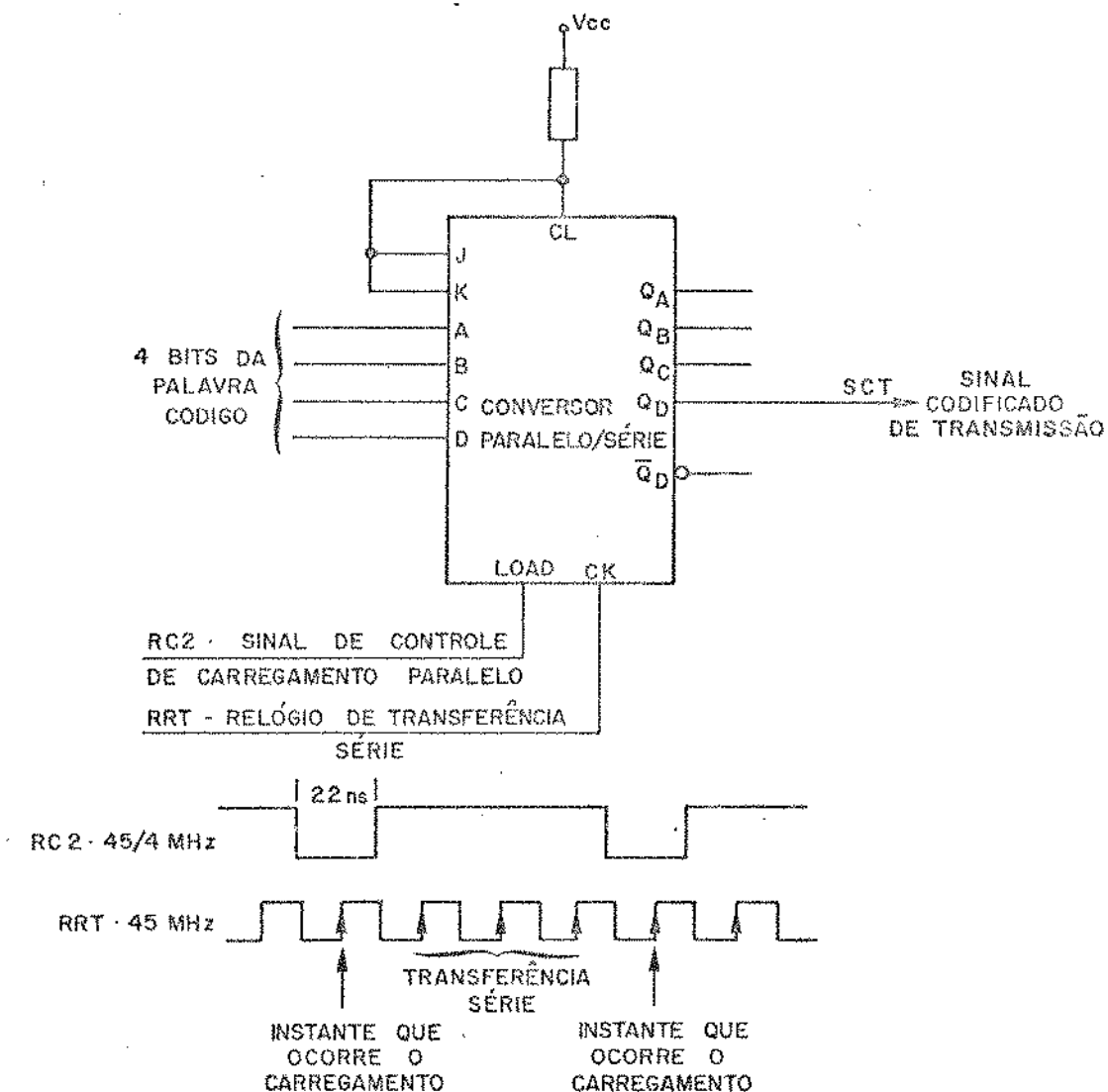


Fig. A.6 - Conversor Paralelo/Série

ENTRADAS										SAÍDAS					
CLEAR	LOAD	CK	SÉRIE				PARALELA				Q _A	Q _B	Q _C	Q _D	Q̄ _D
			J	K	A	B	C	D							
L	X	X	X	X	X	X	X	X	X	L	L	L	L	H	H
H	L	↑	X	X	a	b	c	d	d	a	b	c	d	ā	ā
H	H	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	Q̄ _{D0}	
H	H	↑	L	H	X	X	X	X	X	Q _{A0}	Q _{A0}	Q _{Bn}	Q _{Cn}	Q̄ _{Cn}	
H	H	↑	L	L	X	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}	Q̄ _{Cn}	
H	H	↑	H	H	X	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}	Q̄ _{Cn}	
H	H	↑	H	L	X	X	X	X	X	Q̄ _{An}	Q _{An}	Q _{Bn}	Q _{Cn}	Q̄ _{Cn}	

condição de transferência série
 ↓
 condição de carregamento

onde Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} são os níveis das saídas, respectivamente, antes da condição estável de entrada

e Q_{An}, Q_{Bn}, Q_{Cn} são as saídas da última transição de relógio

Tab. A.3 - Tabela verdade do 74S195

5. Modulador Delta: [7]

O circuito utilizado para digitalizar a informação (voz) de canal de serviço é um modulador delta com integrador duplo com predição.

Na Fig. A.7 apresentamos o circuito do integrador duplo com predição utilizado na malha de realimentação principal.

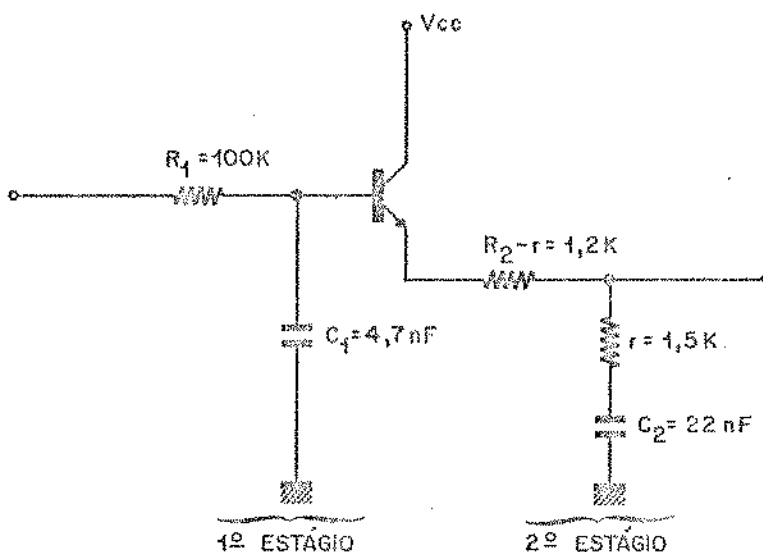


Fig. A.7 - Integrador duplo com predição

As constantes de tempo devem ser tais que a resposta em frequência $H(f)$ da malha de realimentação deve ser o mais próximo do espectro de frequência de voz [7]

$$\left(f_1 = \frac{1}{2\pi R_1 C_1} \cong 300 \text{ Hz} , f_2 = \frac{1}{2\pi R_2 C_2} \cong 2600 \text{ Hz} \text{ e } f_3 = \frac{1}{2\pi r C_2} \cong 4,8 \text{ Hz} \right) .$$

A finalidade do seguidor do emissor é isolar o primeiro estágio do segundo.

Na entrada do sinal de voz é providenciado um filtro passa-baixas (Fig. A.8) para conformação do sinal de entrada.

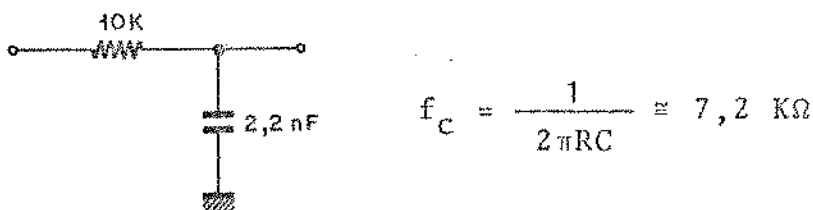


Fig. A.8 - Filtro passa-baixas

No modulador é providenciado ainda um relógio estatístico para a amostragem a fim de compensar os atrasos de transmissão (Capítulo II). O pulso de relógio é então gerado apenas na ocorrência do padrão favorável (111) e com o bit de controle da RDS no nível lógico "1", indicando as transições de S2 para S1 ou S3 para S1 ou S2' para S1 ou S3' para S1 (vide Tab. II.2 e diagrama de lei de codificação da Fig. II.3).

O circuito utilizado para a obtenção do pulso de relógio, bem como para a amostragem do sinal delta CS, está apresentado na Fig. A.9.

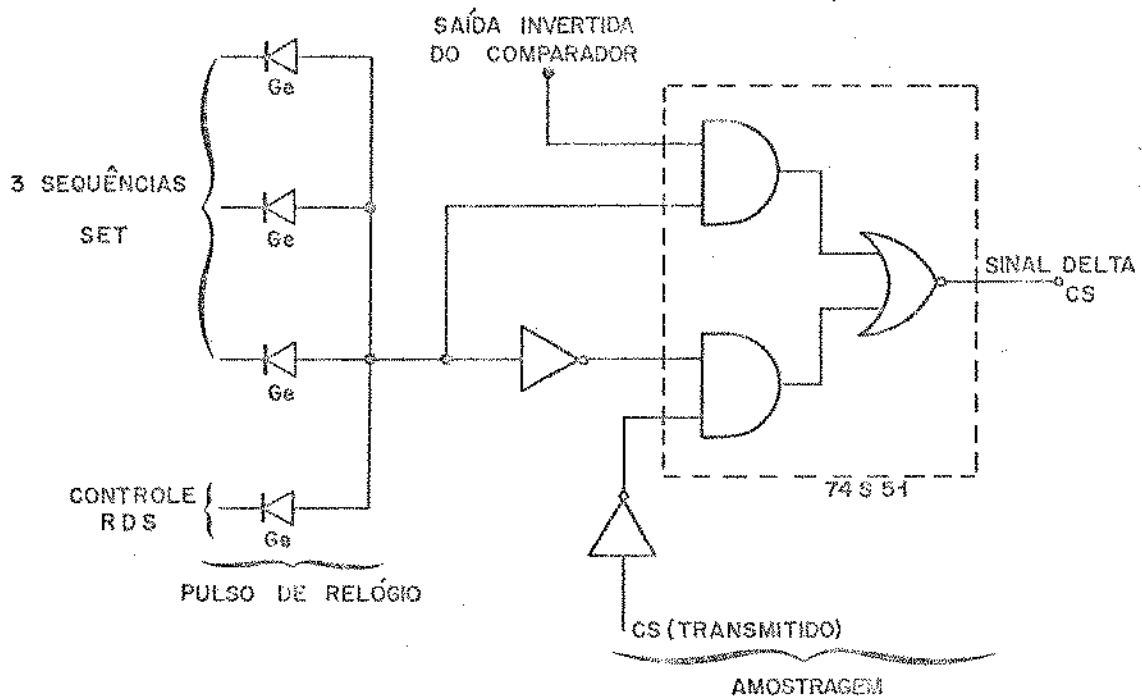


Fig. A.9 - Gerador do pulso de relógio e amostragem do sinal delta

O modulador possui ainda mais duas malhas de realimentação: o sinal da primeira malha é somado ao sinal de voz, forçando o modulador a chavear na ausência ou nível baixo do sinal de entrada, evitando dessa forma o aparecimento de componentes na faixa de áudio (compressão); a outra realimentação atua sobre o sinal estimado de voz, permitindo um melhor acompanhamento do sinal

de entrada (compansão).

Essas duas malhas de realimentação são praticamente desnecessárias quando se utiliza amostragem fixa e de alta taxa. No nosso caso, verificamos que essas realimentações são desnecessárias. Todavia, elas foram mantidas no sistema, pela sua simplicidade. O modulador delta implementado está apresentado na Fig.A.10, com as respectivas malhas de realimentação.

Terminada a descrição, apresentamos na Fig. A.11 e A.12 o esquema elétrico e diagrama temporal, respectivamente, do codificador 3B-4B, tal como a listagem de componentes. Note que o codificador torna-se bastante simples quando se usa memórias programáveis (PROM's). A única dificuldade é a programação das PROM's para a realização de todas as funções desejadas.

O consumo do circuito apresentado na Fig. A.11 é de aproximadamente 1,6 watts.

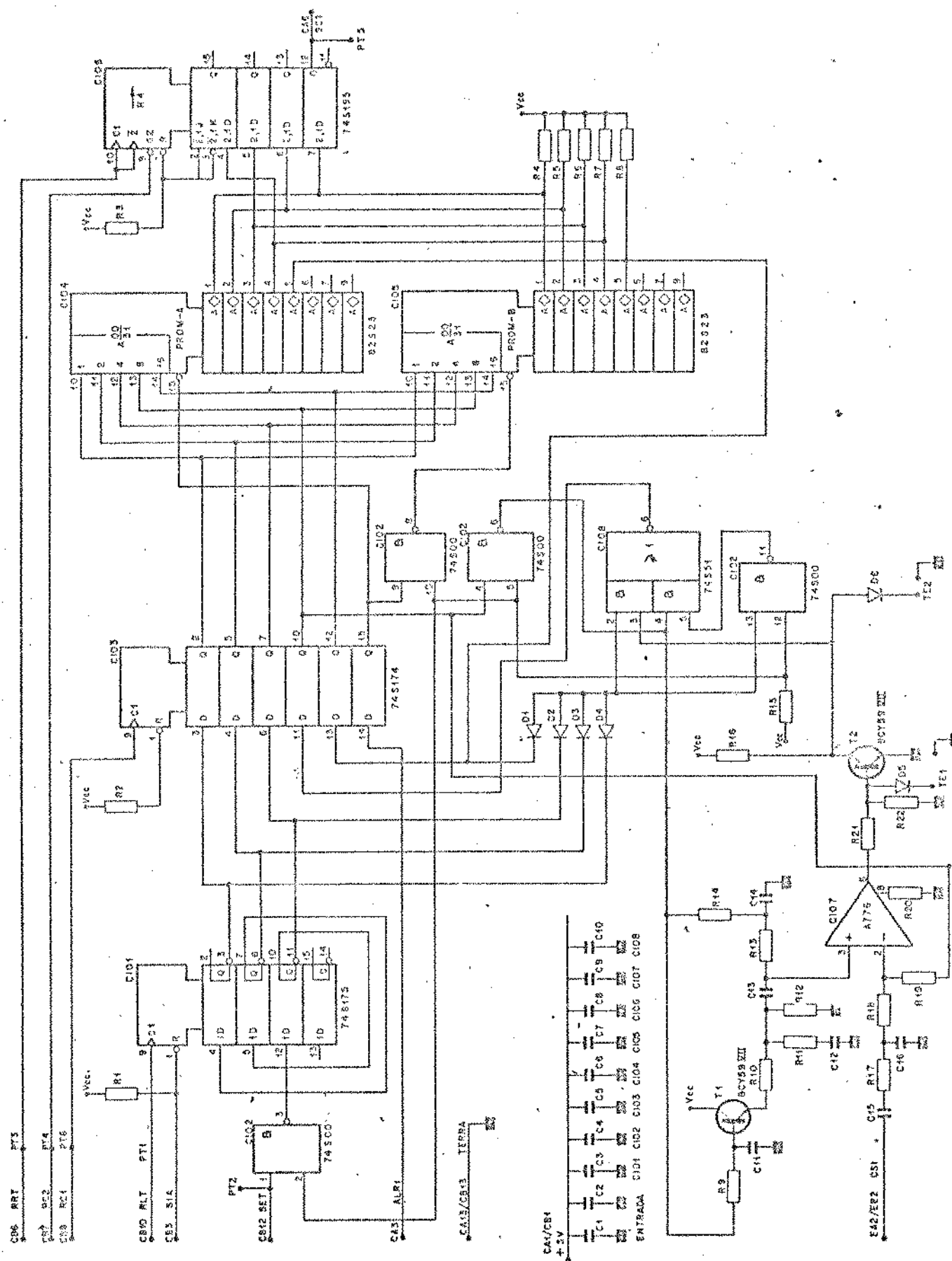
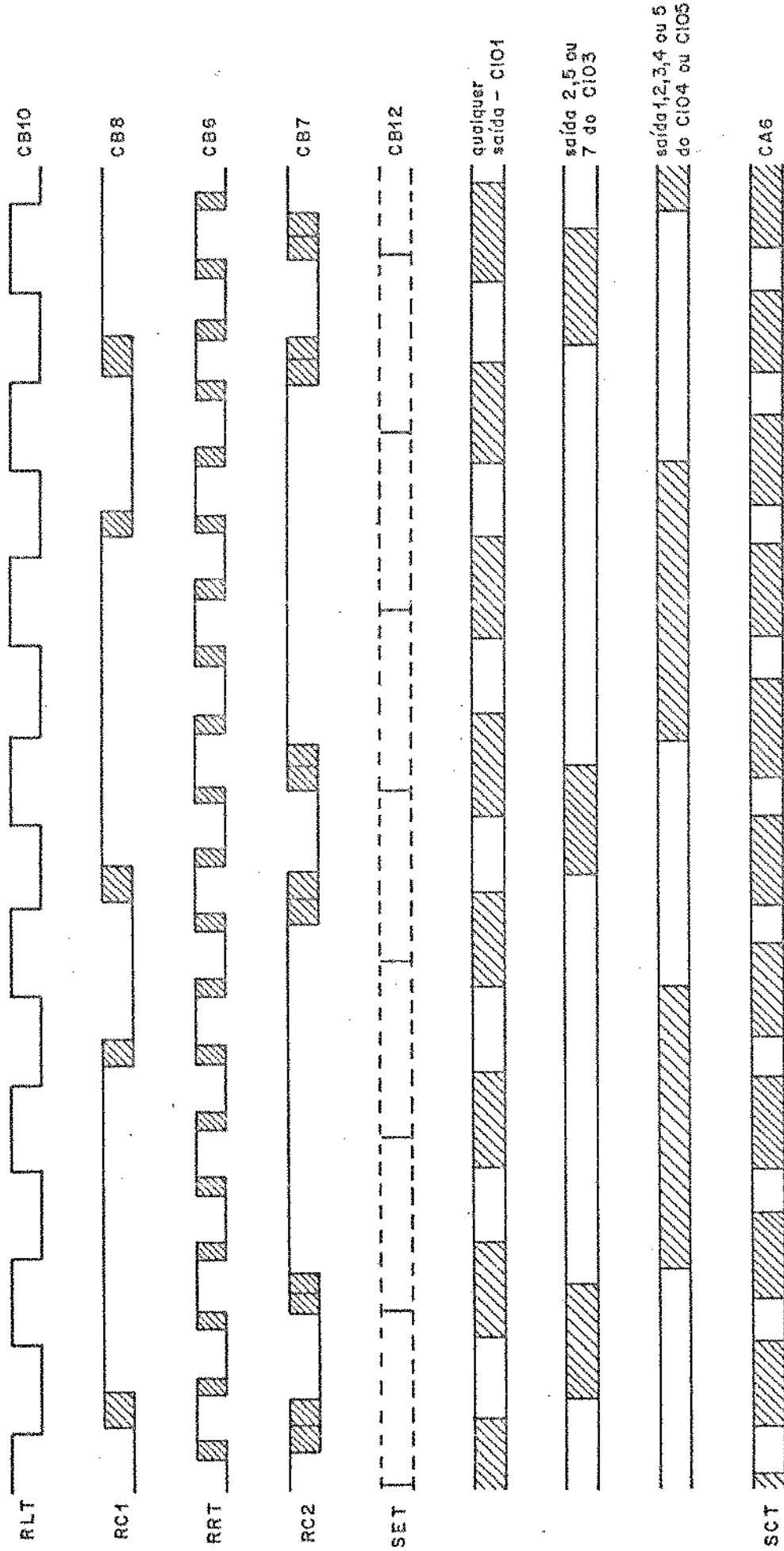


Fig. A.11 - Esquema elétrico - CDZ



Escala: 1cm:10ns

Fig. A.12 - Diagrama temporal - CD2

LISTA DE COMPONENTES DO CD2

COMPONENTES	OBSERVAÇÃO
CI01 = 74S175	TTL - F.F
CI02 = 74S00	TTL - NAND
CI03 = 74S174	TTL - F.F
CI04 = CI05 = 82S23	PROM
CI06 = 74S195	Conv.Paral./Série
CI07 = A776	OP-AMP - Comp.
CI08 = 74S51	TTL AND-OR-INVERT
R1 = R2 = R3 = R15 = 1KΩ ±5% 0,33ω	
R4 = R5 = R6 = R7 =	
R8 = 510Ω	" "
R9 = 100KΩ	" "
R10 = 1,2KΩ	" "
R11 = 1,5KΩ	" "
R12=R14=R17=R18=R22=10KΩ	" "
R13 = R19 = 470KΩ	" "
R16 = 4,7KΩ	" "
R20 = 220KΩ	" "
R21 = 12KΩ	" "
C1 = 10μF ±10% 40V	Eletrolítico
C2 = C3 = C4 = C5 = C6 = C7 = C8 =	
C9 = C10 = 0,1μF ±10% 16V	Disco
C11 = 4,7nF ±10% 100V	Plate
C12 = 22nF 100V	"
C13 = 100nF ±10% 16V	Disco
C14 = 10nF " "	"
C15 = C16 = 2,2nF 100V	Plate
T1 = T2 = BCY59 VIII NPN	
C1 = D2 = D3 = D4 = D5 = D6 = AAZ15	Germânio

A.2 - DECODIFICADOR 3B-4B

O decodificador 3B-4B descrito no Capítulo III pode ser implementado da seguinte maneira:

1. Conversor Série/Paralelo:

Analogamente ao caso anterior, um circuito que permite a observação de uma janela de quatro bits de um sinal série é um registro de deslocamento de quatro estágios.

O registro de deslocamento implementado, todavia (Fig. A.13), possui um número maior de estágios (sete). Isto é feito para permitir que a busca de alinhamento seja feita deslocando a janela de observação.

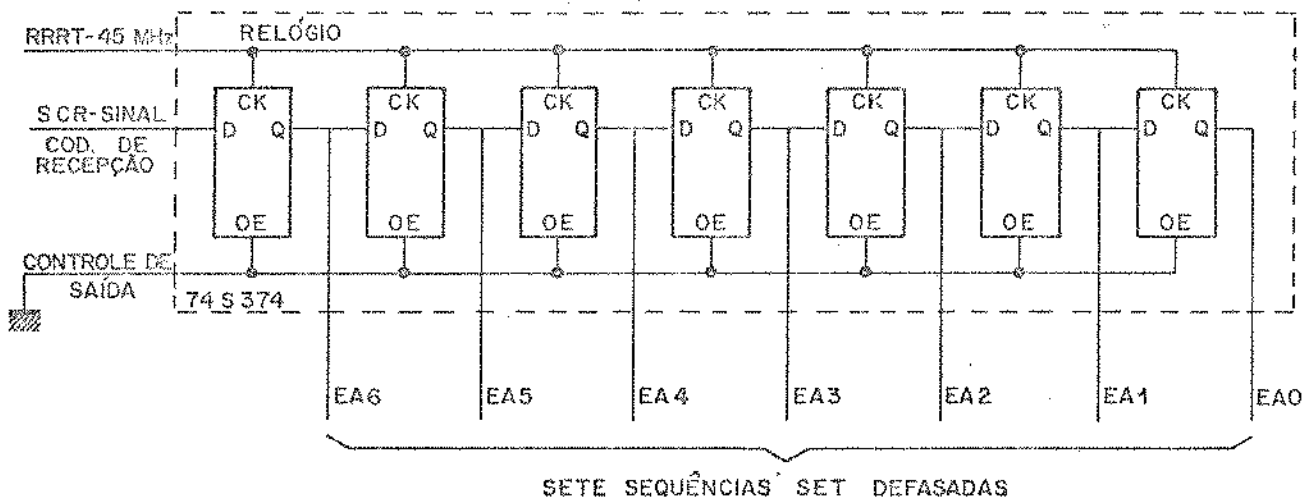


Fig. A.13 - Registro de deslocamento de sete estágios

O registro de deslocamento implementado utiliza sete flip-flops tipo D (74S374), de acordo com a tabela verdade, dada na Tab. A.4.

Controle de saída	CK (Relógio)	D	Saída
L	↑	H	H
L	↑	L	L

L = nível lógico "0"

H = nível lógico "1"

Tab. A.4 - Tabela verdade do 74S374

2. Seletor:

Para realizar a seleção das quatro sequências consecutivas com as fases adequadas, utilizamos quatro seletores de dados de 4 para 1 (2 x 74S153), conforme a tabela verdade dada na Tab. A.5.

Seletores de entrada	Entrada				Inibição	Saída
B A	C ₀	C ₁	C ₂	C ₃	G	Y
L L	a	x	x	x	L	a
L H	x	b	x	x	L	b
H L	x	x	c	x	L	c
H H	x	x	x	d	L	d

x = irrelevante

H = nível alto "1"

L = nível baixo "0"

Tab. A.5 - Tabela verdade do 74S153

A seleção das sequências pode ser obtida através dos

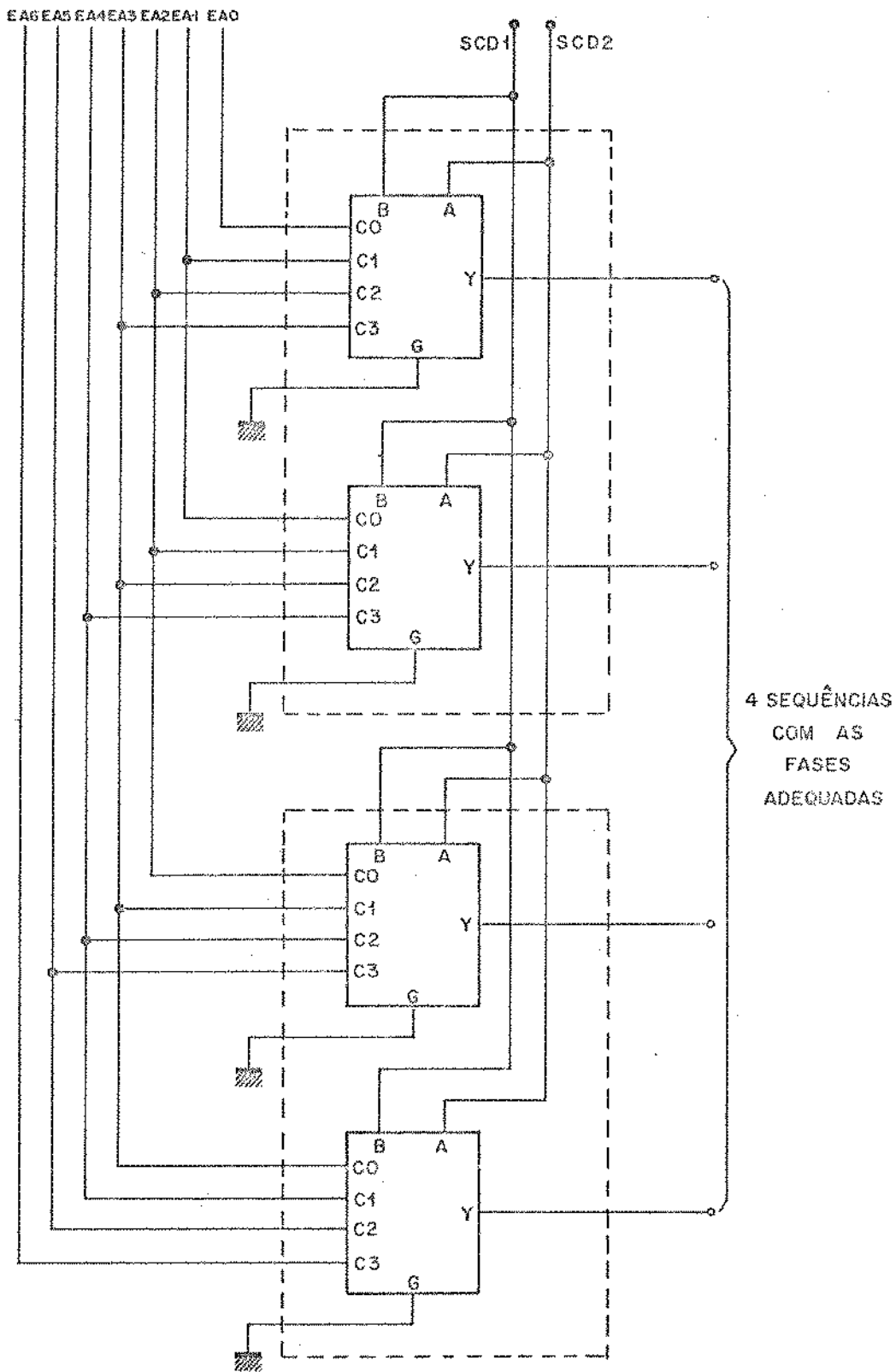


Fig. A.14 - Seletor de quatro seqüências, com fases adequadas

sinais de controle SCD1 SCD2, como mostra a Fig. A.14. Note que a janela de observação é de quatro bits, pois existem apenas quatro fases possíveis de observação da palavra-código. Conseqüentemente a cada instante existe uma fase correta (sistema alinhado) e três fases incorretas (sistema desalinhado).

3. Conversor Paralelo/Paralelo:

Esta conversão de dados paralelo/paralelo é feita através de flip-flops amostrados por um relógio conveniente. Para tal operação, são utilizados quatro flip-flops tipo D (74S175), conforme a tabela verdade dada na Tab. A.1.

O circuito implementado está representado na Fig. A.15.

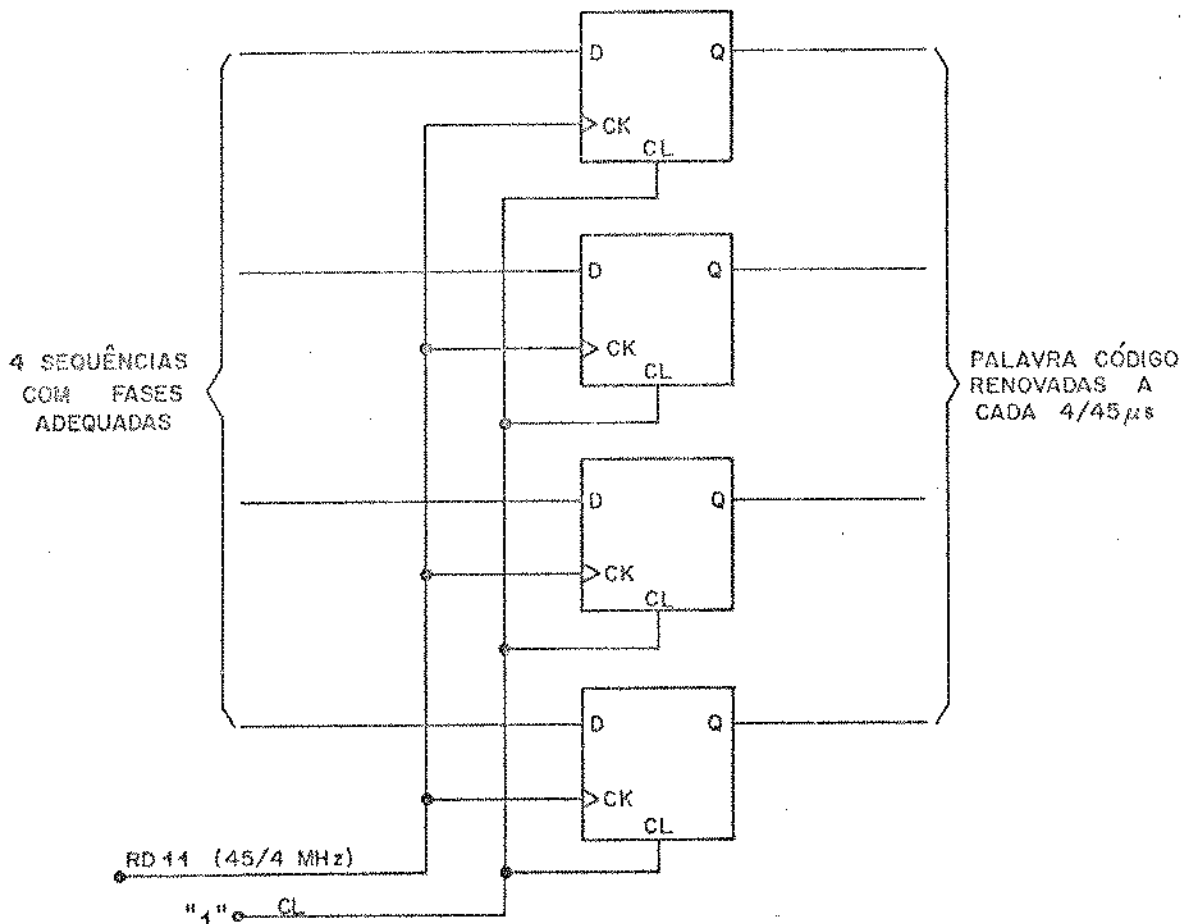


Fig. A.15 - Conversor paralelo/paralelo

Note que, com a utilização do relógio RD11 (45/4 MHz), a saída temos os quatro bits da palavra-código temporizados, prontos para o estágio posterior.

4. Decodificador:

A utilização de memória programável como no codificador é praticamente inevitável, visto que esta realiza todas as funções de forma bastante simples e eficiente. A única dificuldade que pode ser encontrada, já mencionada anteriormente, é a construção da tabela de programação de memória.

Na Tab. A.6 temos a tabela de programação da memória do decodificador. Observe que a PROM (memória programável), além da função inversa do codificador, fornece todas as outras informações necessárias para a recuperação do canal de serviço, alarme remoto, SIA, além da informação de violação da palavra-código.

Na Fig. A.16 apresentamos a configuração da memória implementada.

	ENDEREÇO					SAÍDA							
	DADOS					SIA	VIOL.	CS/ALR			DADOS		
	4º	3º	2º	1º		8º	7º	6º	5º	4º	3º	2º	1º
* Viol.	0	0	0	0		1	1	0	0	0	0	1	0
	0	0	0	1		0	0	0	0	0	1	1	1
* Viol.	0	0	1	0		1	1	0	0	0	0	0	1
	0	0	1	1		1	0	0	0	0	1	0	1
	0	1	0	0		1	0	0	0	0	0	1	0
	0	1	0	1		1	0	0	0	0	1	1	0
S3 (CS)	0	1	1	1		0	0	0	1	0	1	1	1
* Viol.	1	0	0	0		1	1	0	0	0	0	0	0
	1	0	0	1		1	0	0	0	0	0	0	0
	1	0	1	0		1	0	0	0	0	0	0	1
S3' (ALR)	1	0	1	1		1	0	0	0	1	0	1	0
	1	1	0	0		1	0	0	0	0	1	0	0
S2' (ALR)	1	1	0	1		1	0	1	0	0	0	1	0
S2 (CS)	1	1	1	0		0	0	0	1	1	1	1	1
* Viol.	1	1	1	1		1	1	0	0	0	1	1	1

Tab. A.6 - Tabela de programação da PROM

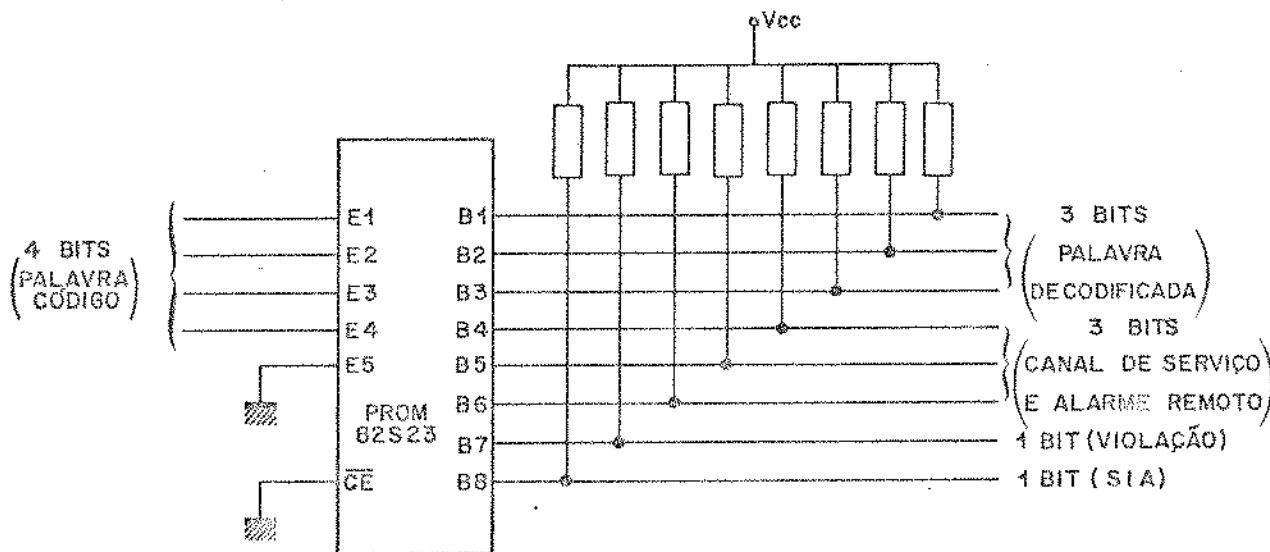


Fig. A.16 - Decodificador 3B-4B utilizando memória (PROM)

Os quatro bits da palavra-código definem o endereço, isto é, a posição da memória que deve ser acessada (Tab. A.6). As saídas B_i , $i=1,2,\dots,8$ fornecem os bits armazenados ou programados de acordo com o endereçamento (Tab. A.6). A memória possui ainda uma entrada (\overline{CE}) de inibição (ativo alto) para permitir a expansão de memória, a qual em operação normal deve estar sempre aterrada.

Com a configuração da Fig. A.16 e com a programação da Tab. A.6, temos nas 8 saídas todas as informações necessárias para uma decodificação correta e recuperação das informações adicionais transmitidas.

5. Conversor Paralelo/Série:

O conversor utilizado para transferir sequencialmente os 3 bits do sinal embaralhado à saída é o mesmo da transmissão, registro de deslocamento com carregamento paralelo (74S195). A tabela verdade deste conversor está apresentada na Tab. A.3.

O carregamento paralelo é feito com o sinal de controle RR11 que deve ser síncrono com o relógio RSR de 34 MHz, como mostra a Fig. A.17.

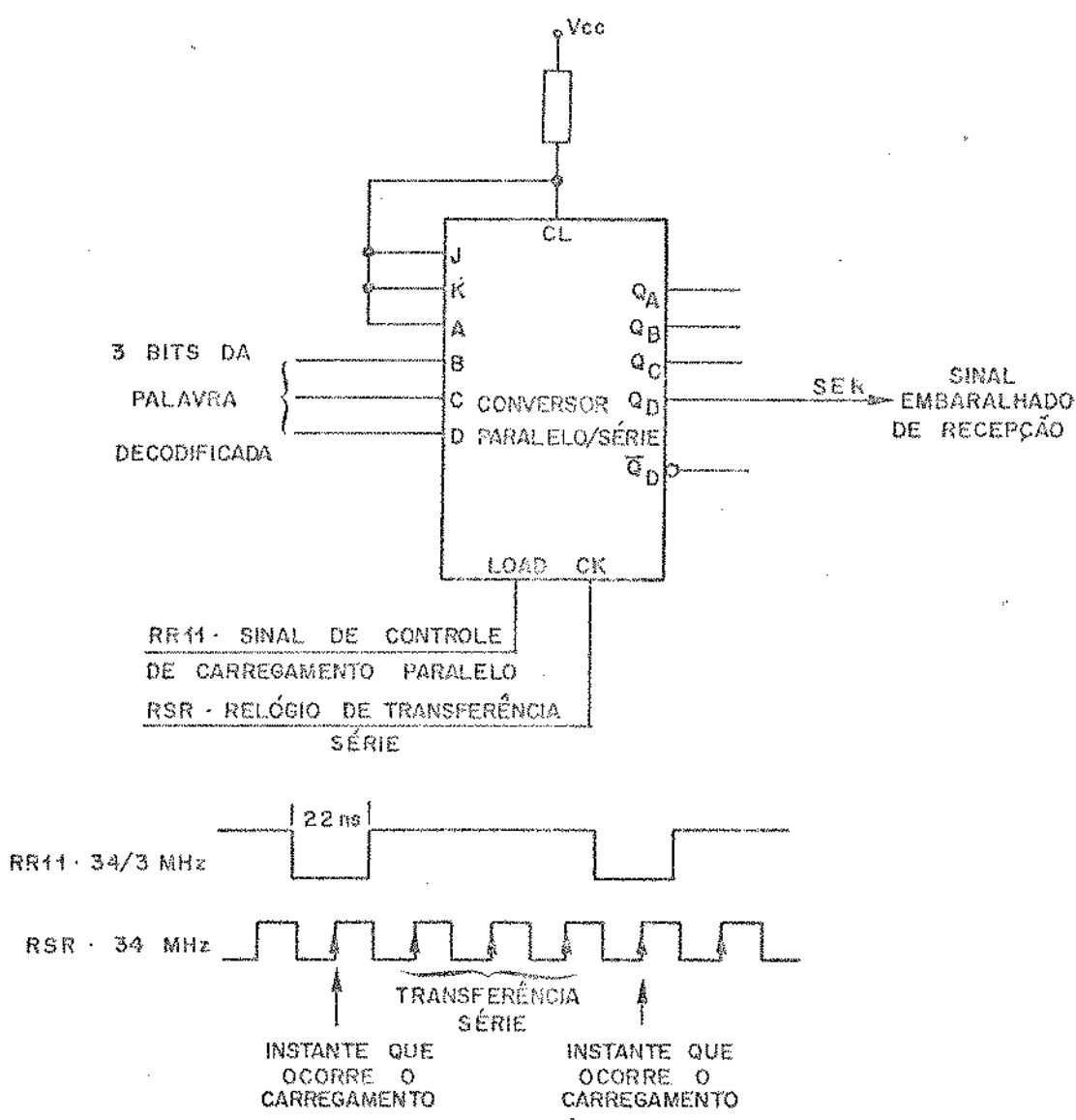


Fig. A.17 - Conversor paralelo/série

À saída Q_D , temos o sinal série decodificado de 34 MHz, que é o sinal embaralhado de recepção.

6. Recuperador de Alinhamento:

Na Fig. A.18 está apresentado o diagrama em blocos do recuperador de alinhamento do sistema, cuja estratégia utilizada já foi discutida no Capítulo I.

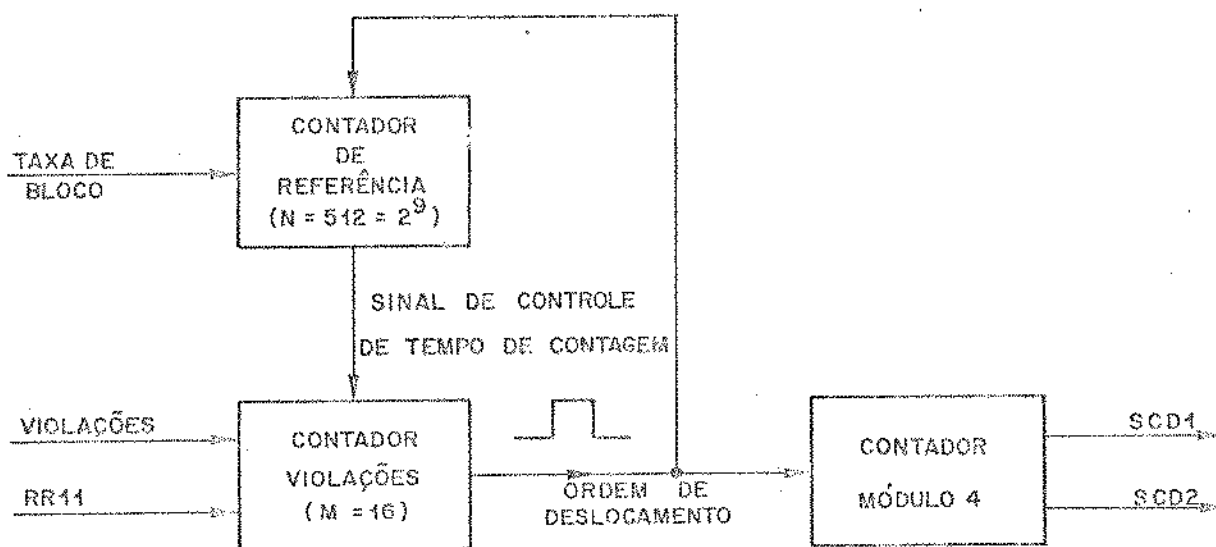


Fig. A.18 - Diagrama em blocos do alinhador

Na Fig. A.19 apresentamos o circuito implementado, onde a contagem dos pulsos da informação de violação da palavra-código é feita por um contador (74LS161) módulo 16 ($M=16$).

A informação de violação dada pela PROM é convertida em um sinal do tipo RZ através do sinal RR11, utilizando um inversor e uma porta NÃO OU. Esta conversão é feita para que as violações sucessivas sejam detetadas.

A contagem das palavras-código recebidas é feita utilizando um flip-flop tipo D (74S74) na configuração de um divisor por 2, e mais dois contadores (74LS161) interligados conveniente

mente para obter no global um contador de $N=2^9=512$ blocos. Esse contador é utilizado como referência para o contador de violações.

Em operação normal (sistema alinhado e sem surtos de erros na linha) o contador de violações é zerado a cada 512 blocos através da saída "indicador do estado" (RIPPLE CARRY) do contador de referência. Essa saída é filtrada (capacitor) e invertida (74S 04) para fornecer um sinal adequado de "CLEAR" (CL) do contador (pulso negativo). A filtragem é necessária, pois na configuração de contadores em cascata, as saídas (a partir do segundo) apresentam um pulso espúrio (spike) antes do pulso propriamente dito, a um ciclo do contador anterior.

O contador acusando a ocorrência de 16 violações no período de 512 blocos, gera na saída do indicador de estado do contador (RIPPLE CARRY) um pulso positivo que indica o desalinhamento. Esse pulso é aplicado na entrada de relógio (CK) do contador módulo 4 que envia a ordem de deslocamento de um bit através das saídas SCD1 e SCD2.

As saídas do contador módulo 4 determinam todos os quatro estados [(0,0)(0,1)(1,0)(1,1)] que atuam na fase da janela de observação da palavra-código.

O pulso positivo do contador de violações é aplicado ainda na entrada de "CLEAR" (CL) do contador de referência (N=512). Isto é feito para sincronizar o início da contagem das violações com a contagem dos blocos recebidos (contador de referência). Note que a ordem de deslocamento pode ser enviada a qualquer momento e não necessariamente ao término da contagem de 512 blocos. Assim sendo, não há nenhuma espera e nem perda de contagem de violações.

O pulso de saída do contador de violações, além de possuir uma largura variável, possui uma duração de vários períodos de bloco. Portanto, este pulso é passado por um diferenciador e por um inversor TTL, a fim de se obter um pulso negativo e estreito, cuja duração seja menor que um período de bloco.

BC/4850

7. Recuperador de Canal de Serviço, Alarme Remoto e SIA

Os três bits paralelos de carregamento de 45/4 MHz, com informação de alarme remoto e canal de serviço são recuperados, como mostra a Fig. A.20.

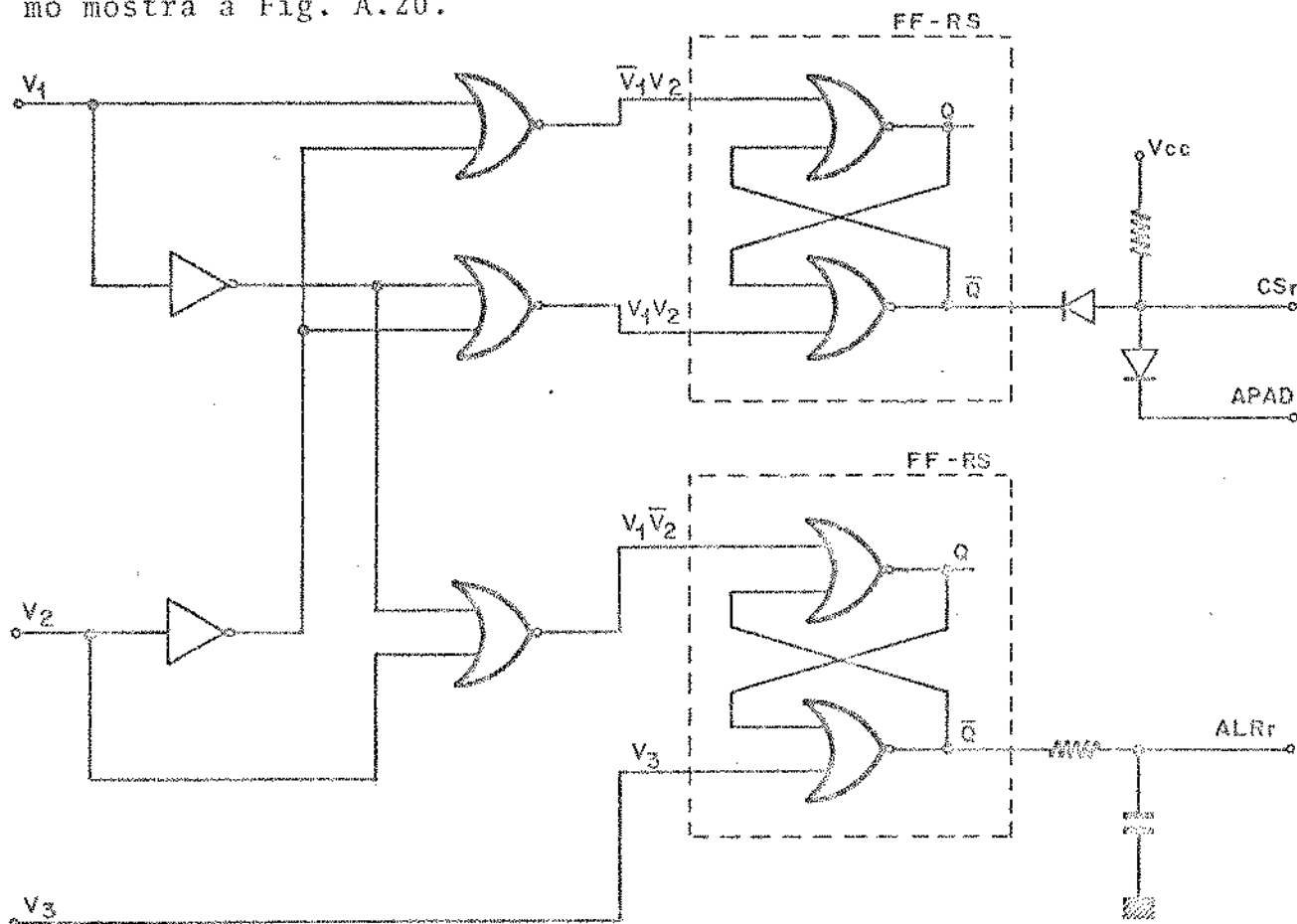


Fig. A.20

Os três bits de entrada V_1 , V_2 e V_3 são convertidos a través de dois inversores e três portas NÃO OU, em quatro bits \bar{V}_1V_2 , V_1V_2 , $V_1\bar{V}_2$ e V_3 , sendo \bar{V}_1V_2 e V_1V_2 com informação de canal de serviço e $V_1\bar{V}_2$ e V_3 com informação de alarme remoto.

Esses dois bits \bar{V}_1V_2 e V_1V_2 são aplicados à entrada R e S, respectivamente, de um flip-flop RS e, à saída invertida (\bar{Q}), temos o sinal delta do canal de serviço. À saída do canal de serviço é conectado um dispositivo que inibe o canal de serviço quando a perda de alinhamento é detetada (APAD - ativo baixo).

Da mesma forma, $V_1\bar{V}_2$ e V_3 são aplicados à entrada R e S, respectivamente, do flip-flop RS e à saída invertida temos o alar

me remoto de recepção (ALR₁). Esse sinal é ainda passado por um filtro passa-baixas a fim de eliminar os pulsos espúrios gerados por eventuais surtos de erros de linha.

Essa conversão de 3 bits para 4 bits se fez necessária devido a não existência de mais uma saída da memória programável (PROM).

O bit com a informação de SIA é passado simplesmente por um filtro passa-baixas, como mostra a Fig. A.21. Isto é feito para eliminar os pulsos espúrios gerados por eventuais surtos de erros, evitando assim problemas na unidade de alarme.

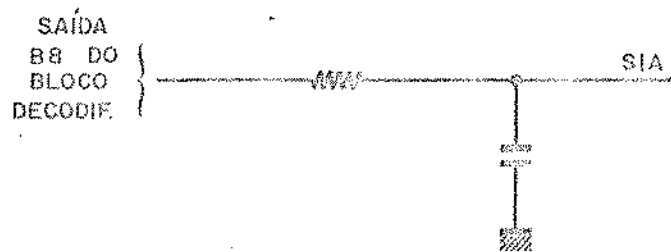


Fig. A.21 - Filtro passa-baixas do SIA

8. Detetor de Atividades:

O circuito utilizado para detetar a ausência do sinal embaralhado de recepção (SER) é apresentado na Fig. A.22.

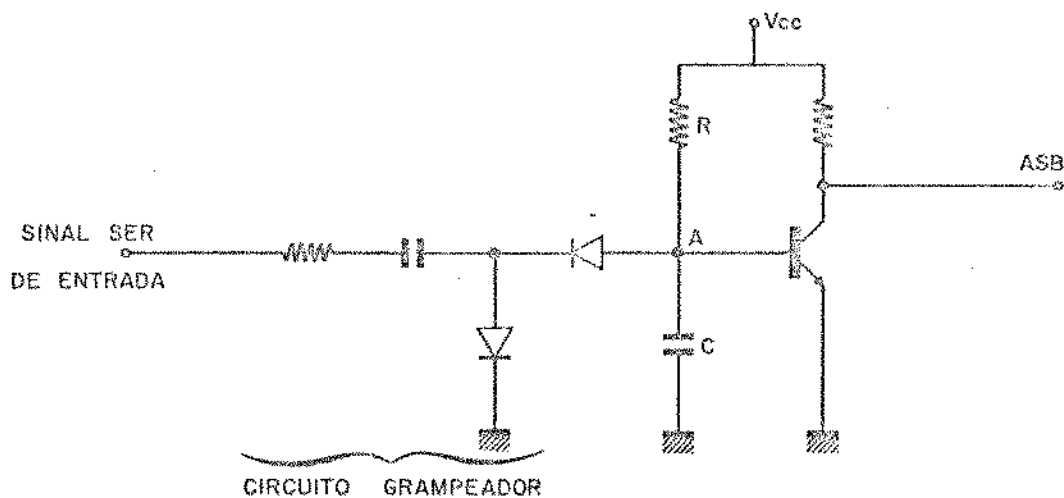


Fig. A.22 - Detetor de atividades

Observe que na entrada contém um circuito grampeador que força o ponto A a ficar polarizado negativamente na presença do sinal SER. Caso contrário, esse ponto tende a alcançar a tensão V_{CC} com uma constante de tempo dado pelos valores de R e C.

O ponto A atingindo uma certa tensão ($\sim 0,7$ Volts) faz com que o transistor sature, ativando dessa forma o sinal de ausência do sinal binário (ASB).

O sinal SER, sendo uma sequência pseudo-aleatória pode conter vários zeros e uns consecutivos. Portanto, a constante de tempo RC deve ser calculada de tal maneira que não haja detecções falsas da ausência do sinal binário (ASB).

Terminada a descrição, são apresentados a seguir os diagramas em blocos de cada cartão desmembrado do decodificador 3B-4B, devido ao consumo de potência, e os receptivos esquemas elétricos, diagramas temporais e listagens de componentes, desmembramento este que foi realizado da seguinte maneira:

1. O cartão denominado DC2 contém o estágio de entrada do decodificador (conversor série/paralelo, seletor e conversor paralelo/paralelo), como mostra o diagrama em blocos da Fig. A.23. O esquema elétrico e o diagrama temporal são apresentados nas Figs. A.25 e A.27, respectivamente.
2. O cartão DC3 contém todas as outras funções descritas na Fig. III.2, exceto o sintetizador de recepção denominado DC1, descrito no Apêndice B. O diagrama em blocos, o esquema elétrico e o diagrama temporal são apresentados nas Figs. A.24, A.26 e A.28, respectivamente.

O consumo de potência do DC2 é de aproximadamente 1,1 Watts e o de DC3 é da ordem de 1,5 Watts.

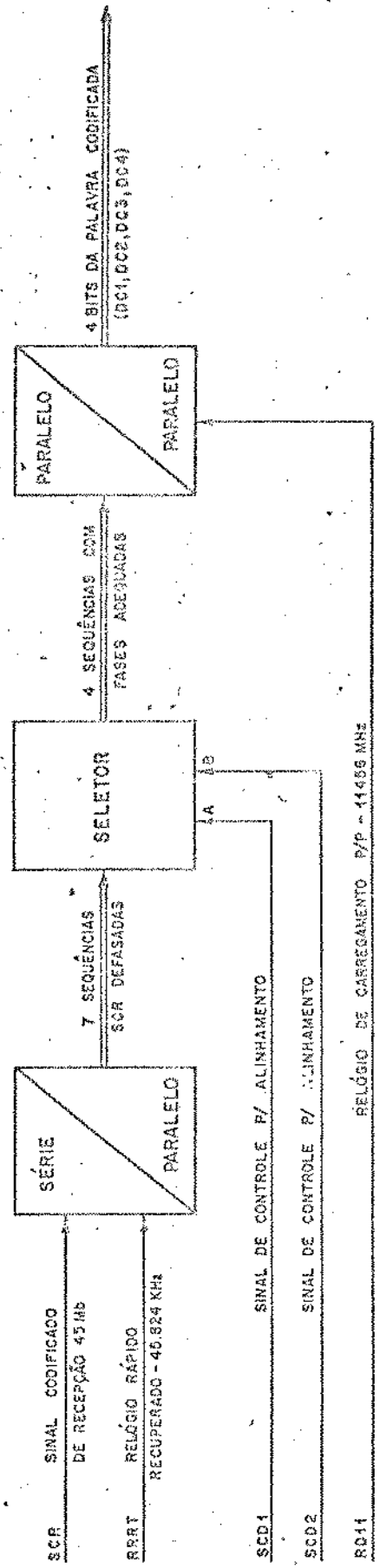


Fig. A.23 - Diagrama em blocos do DC2

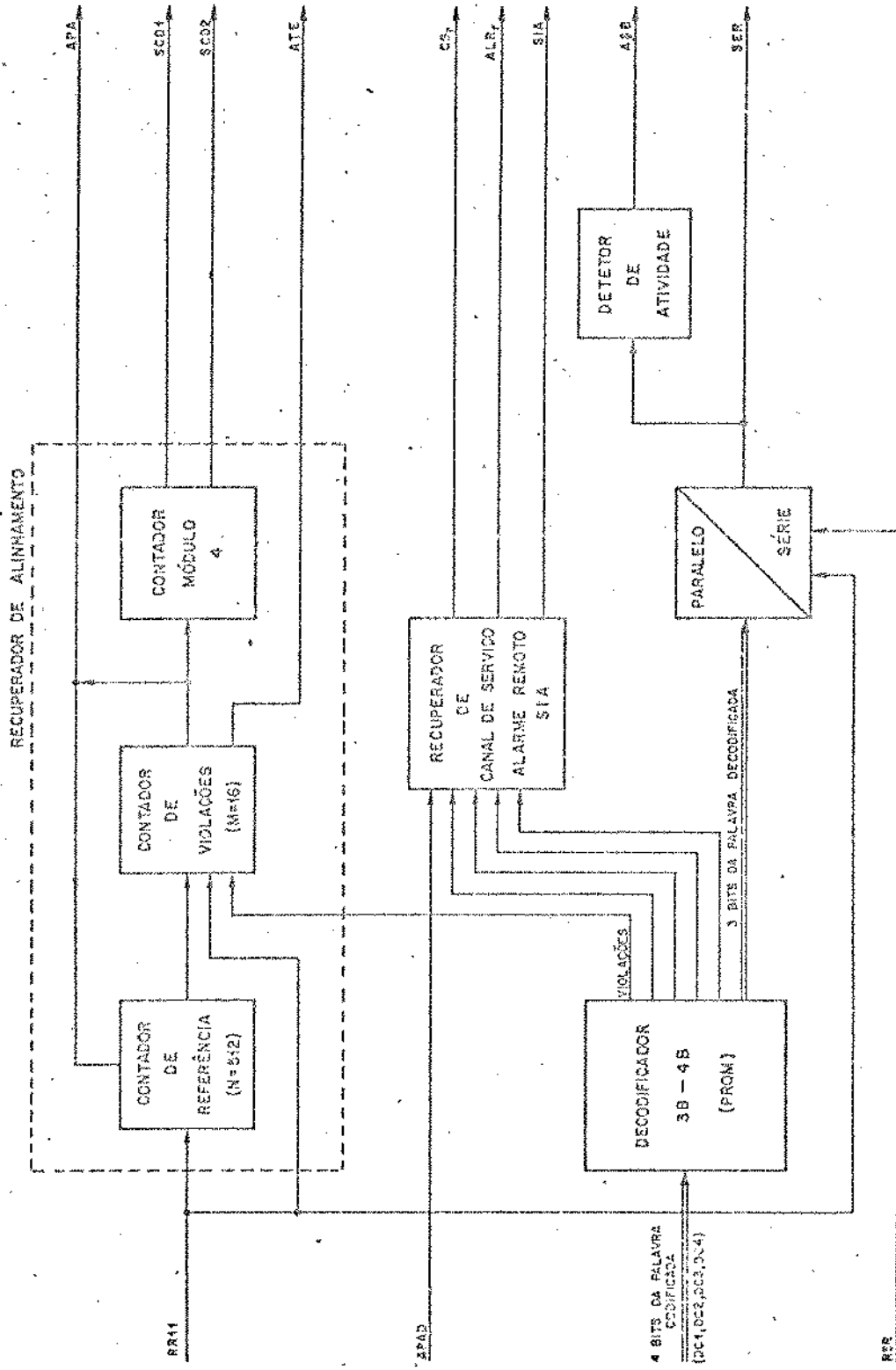


Fig. A.24 - Diagrama em blocos do DC3

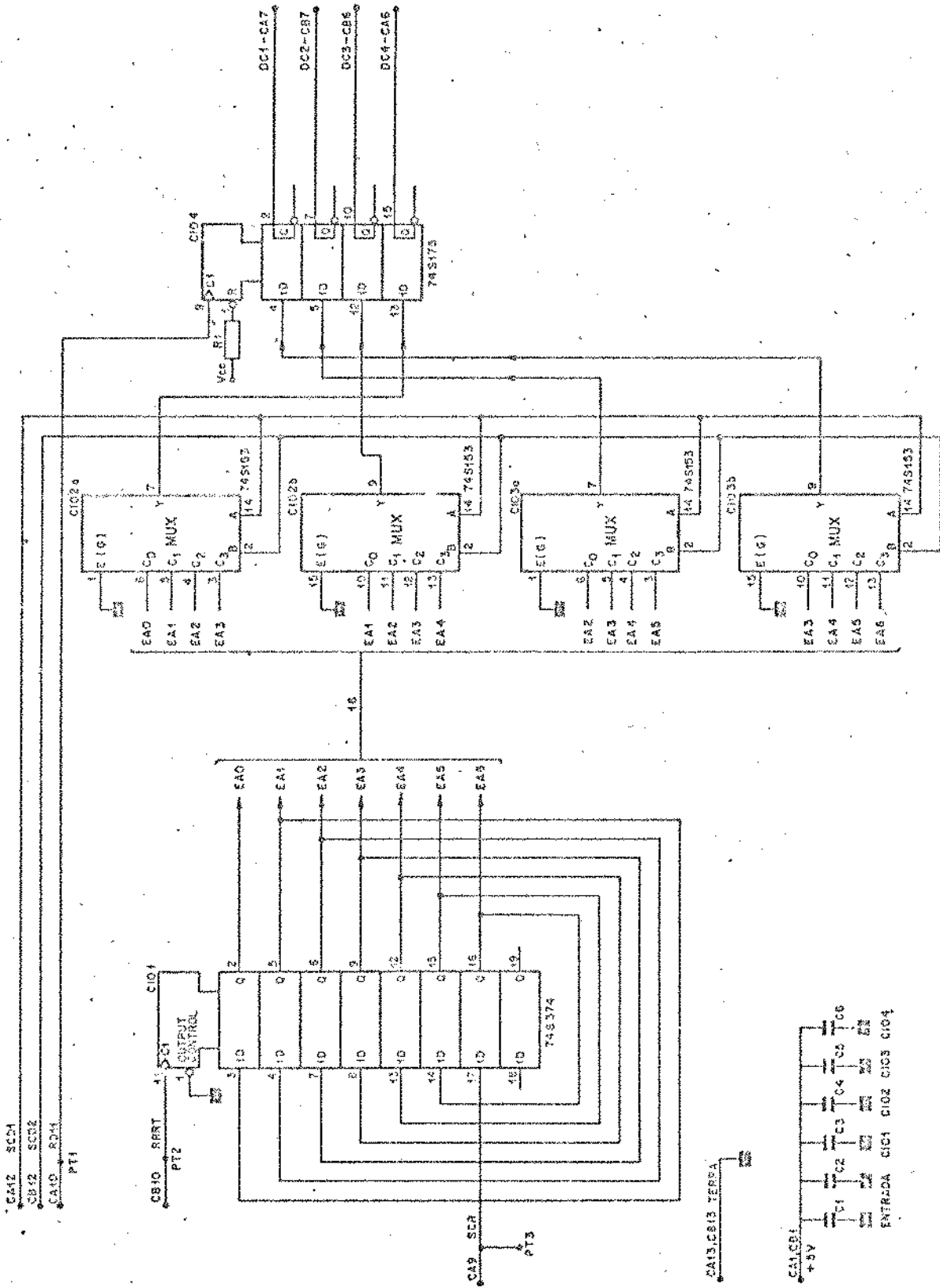


Fig. A.25 - Esquema elétrico do DC2

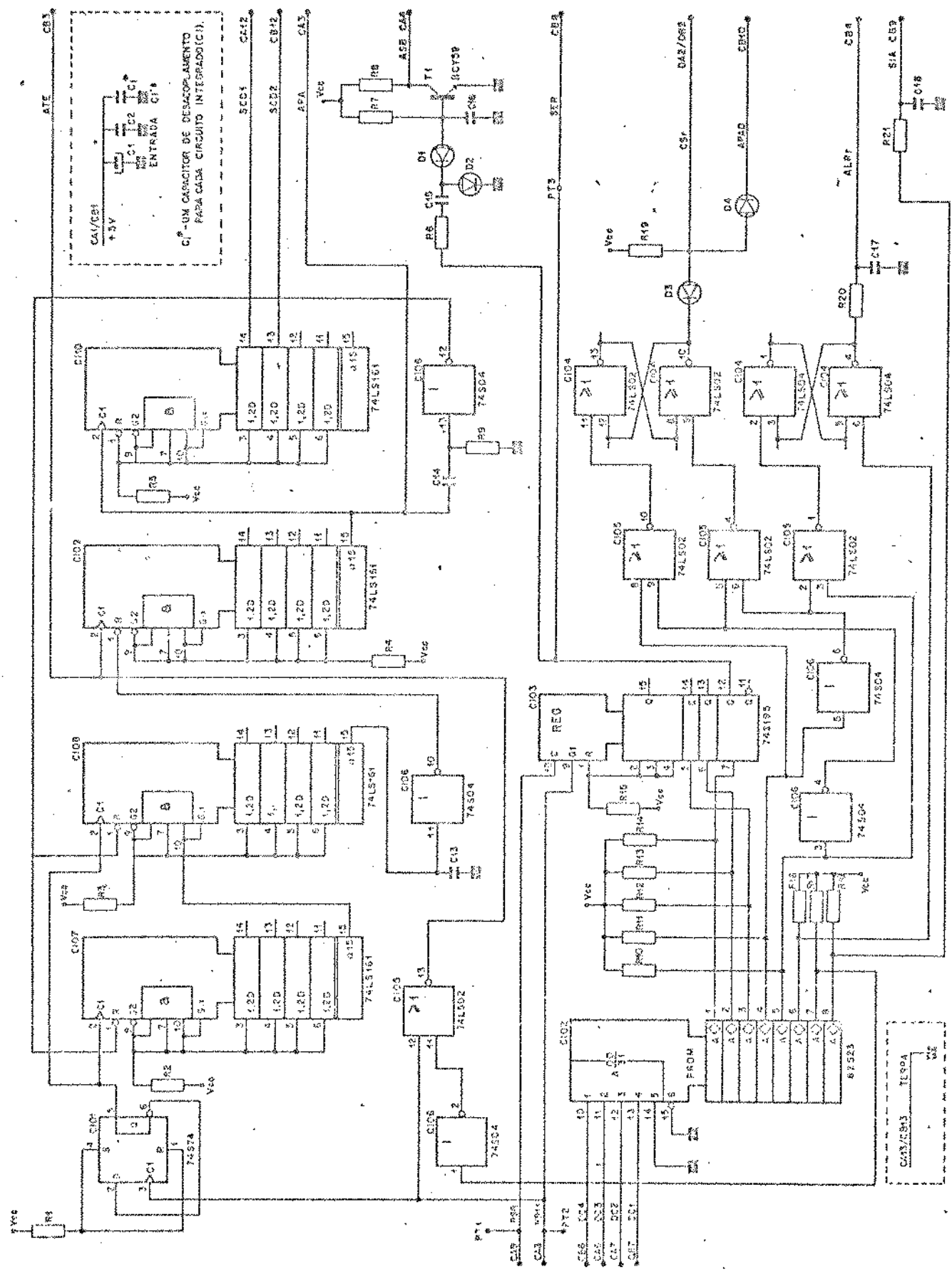


Fig. A.26 - Esquema elétrico do DC3

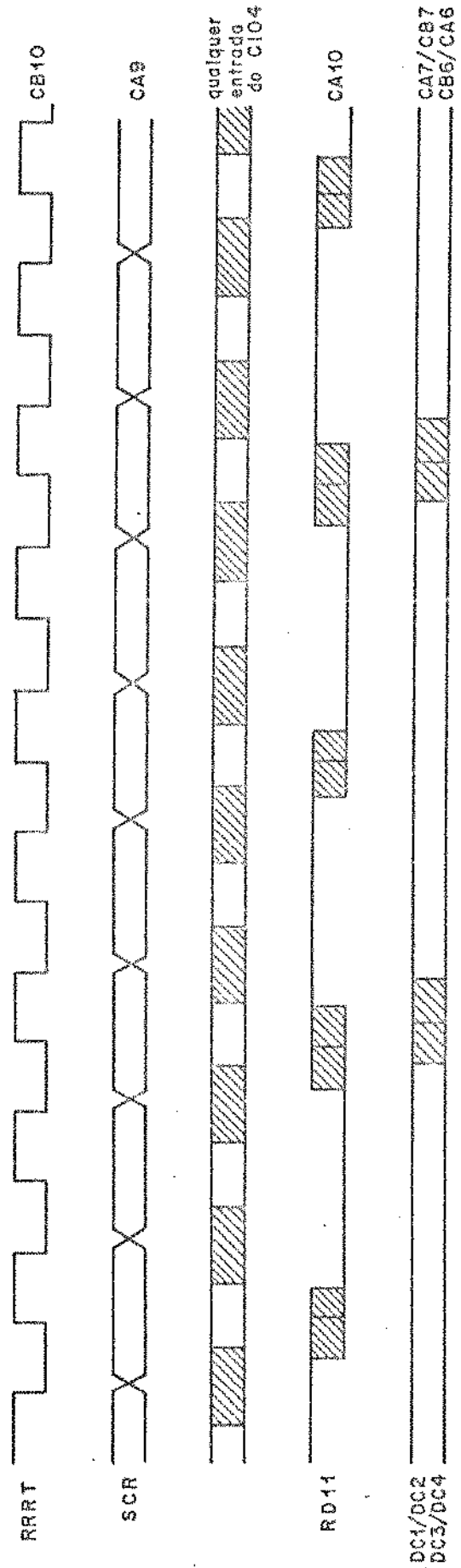


Fig. A.27 - Diagrama de sinais no tempo - DC2

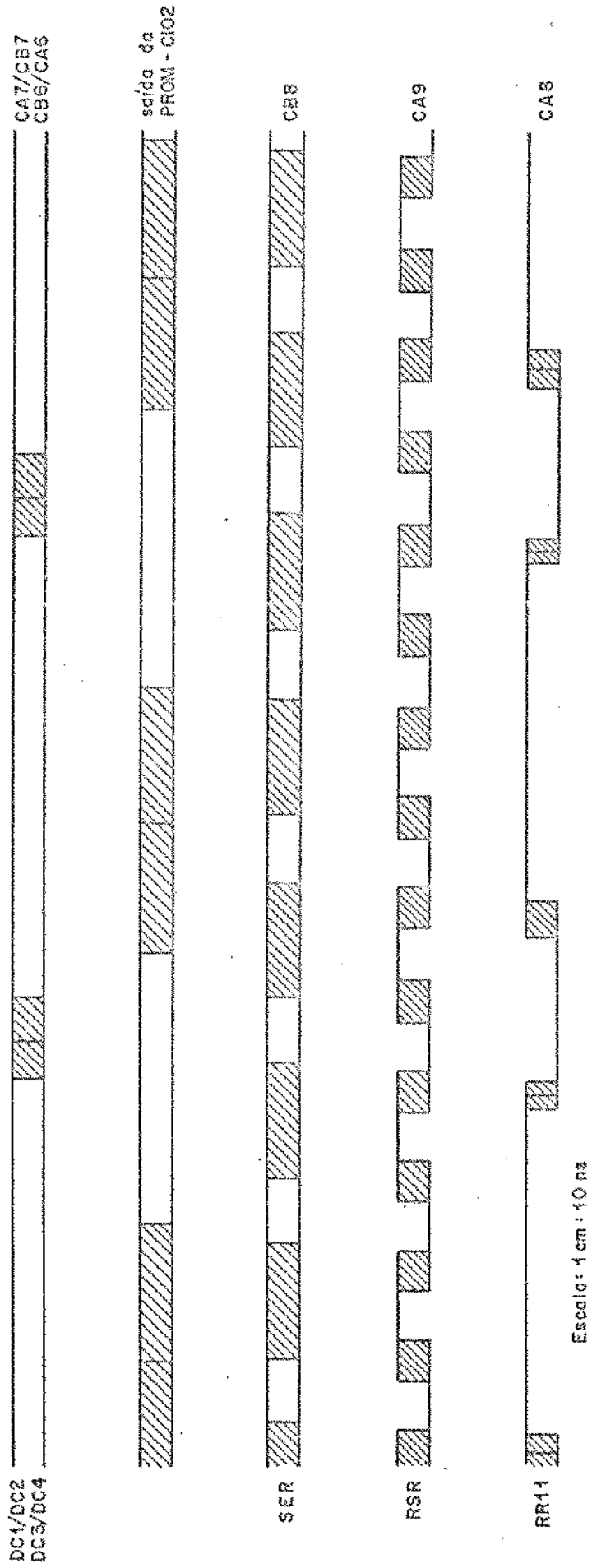


Fig. A.28 - Diagrama temporal - DC3

LISTA DE COMPONENTES DO DC2

COMPONENTES	OBSERVAÇÕES
CI01 = 74S374	TTL - F.F
CI02 = CI03 = 74S153	TTL - MUX
CI04 = 74S175	TTL - F.F
R1 = 1K Ω \pm 5% 0,33 ω	
C1 = 10 μ F \pm 10% 40V	Eletrolítico
C2 = C3 = C4 = C5 = C6 = = 0,1 μ F -20+80% 16V	Disco

LISTA DE COMPONENTES DO DC3

COMPONENTES	OBSERVAÇÕES
CI01 = 74S74	TTL F.F
CI02 = 82S23	PROM
CI03 = 74S195	Conv.Paral/Série
CI04 = CI05 = 74LS02	TTL NOR
CI06 = 74S04	TTL INVERT
CI07 = CI08 = CI09 = CI10 = 74LS161	TTL COUNTER
T1 = BCY59 VIII NPN	
D1 = D2 = BAX13	Silício
D3 = D4 = AAZ15	Germânio
R1 = R2 = R3 = R4 = R5 = R15 =	
R19 = 1K Ω \pm 5% 0,33 ω	
R6 = 100 Ω " "	
R7 = 10K Ω " "	
R8 = 560 Ω " "	
R9=R20=R21 = 330 Ω " "	
R10 = R11 = R12 = R13 = R14 =	
R16 = R17 = R18 = 510 Ω \pm 5% 0,33 ω	
C1 = 10 μ F \pm 10% 40V	Eletrolítico
C2 = C3 = C4 = C5 = C6 = C7 = C8 =	
C9 = C10 = C11 = C12 = C17 = C18 =	
= 0,1 μ F \pm 10% 16V	Disco
C13 = 1nF "	Plate
C14 = 180pF	Disco
C15 = 470pF "	Plate
C16 = 2,2nF "	"

APÊNDICE B

PROJETO DETALHADO DOS SINTETIZADORES

Neste apêndice são apresentados os circuitos utilizados e os cálculos dos parâmetros das malhas dos sintetizadores.

São apresentados ainda os diagramas em blocos dos sintetizadores de transmissão e recepção implementados e os respectivos esquemas elétricos, diagramas temporais, bem como as listas de componentes.

- Projeto:

Os sintetizadores, tanto da transmissão como da recepção, utilizam uma malha de fase amarrada (PLL) de 2ª ordem [10]. Os diagramas em blocos estão representados esquematicamente nas Figs. III.3 e III.4.

A seguir apresentaremos os circuitos implementados e os respectivos parâmetros de cada um desses blocos:

1. Detetor de Fase:

O detetor de fase é um circuito que gera na saída uma tensão média que é proporcional à diferença de fase entre os dois sinais digitais de entrada.

O fator de conversão de diferença de fase em tensão é chamado de ganho do detetor de fase (K_d).

Portanto,

$$V_0 = K_d \cdot \Delta\phi$$

onde V_0 é a tensão de saída e $\Delta\phi$ é a diferença de fase em radianos entre os sinais de entrada.

O detetor de fase implementado utiliza uma porta OU - EXCLUSIVO (74S86) cuja tabela está apresentada na Tab. B.1.

Para o melhor desempenho, o detetor de fase OU-EXCLUSIVO requer como entradas, sinais com 50% de fator de ocupação, como mostra a Fig. B.1.

ENTRADA		SAÍDA
A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Tab. B.1 - Tabela verdade da porta OU-EXCLUSIVO

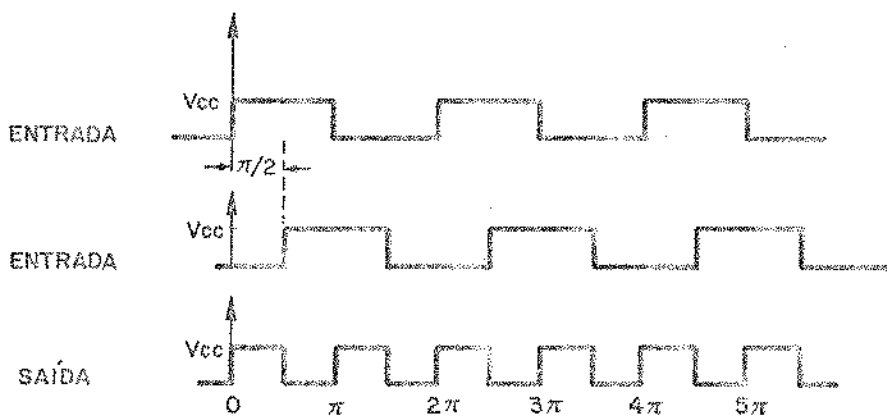


Fig. B.1 - Representação dos sinais do detetor de fase

É fácil ver que a característica de entrada e saída do detector é dada pela curva da Fig. B.2,

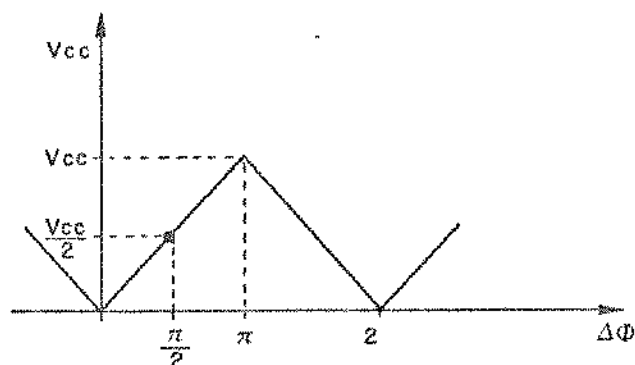


Fig. B.2 - Característica de entrada/saída do detetor de fase

onde o ponto de operação mais favorável é $\Delta\phi = \pi/2$.

Portanto, o ganho de conversão do detetor é dado por

$$K_d = \frac{V_{CC}}{\pi} \left[\frac{\text{Volts}}{\text{radiano}} \right] \quad (\text{B.1})$$

Para o detetor de fase implementado (Fig. B.3), além da saída normal temos a sua complementar a fim de facilitar a implementação do filtro da malha.

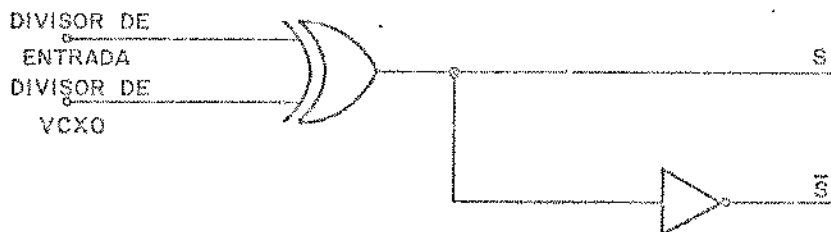


Fig. B.3 - Detetor de fase

2. VCX0:

O VCX0 é um oscilador a cristal cuja frequência de saída é diretamente proporcional à tensão de controle, proveniente do filtro ativo. Esta conversão é dada por $\omega_0 = K_0 v$, onde ω_0 é a frequência de saída do VCX0 [rad/s], K_0 é o ganho do VCX0 [rad/s.Volts] e v é a tensão de controle proveniente da saída do filtro da malha.

Uma provável configuração para o VCX0 é obtida com a inserção de um varicap na malha de realimentação de um oscilador a cristal de base aterrada [11].

O varicap é um diodo que apresenta uma capacitância proporcional à tensão de polarização reversa.

A característica do varicap utilizado (MV1404) é apresentada na Fig. B.4.

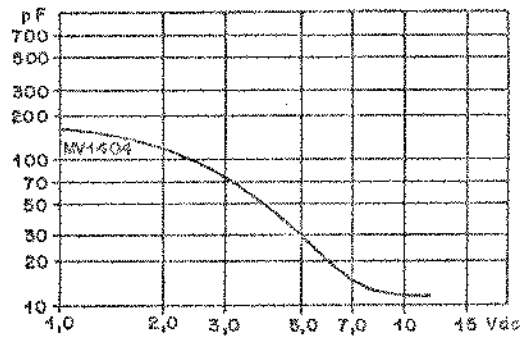


Fig. B.4 - Característica do Varicap MV1404

O VCX0 implementado para o ELO-34 é apresentado na Fig. B.5.

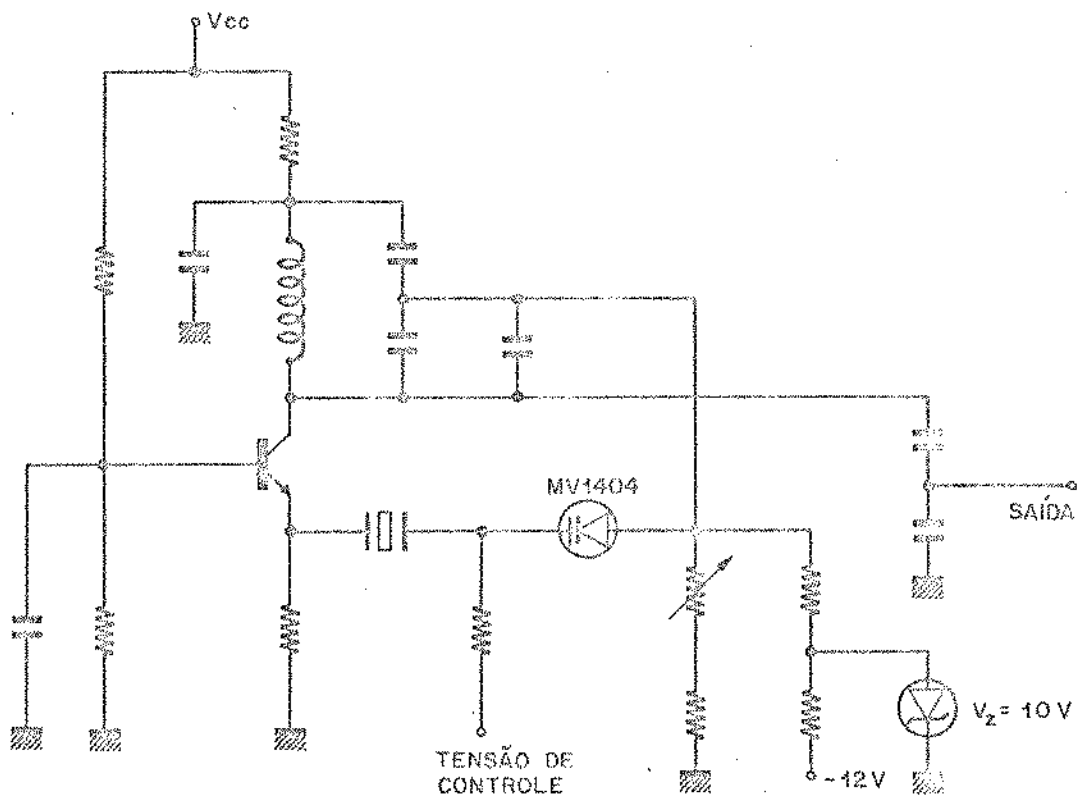


Fig. B.5 - VCX0 - Oscilador a cristal controlado por tensão

Na Fig. B.5 o divisor capacitivo de saída foi introduzido para minimizar o carregamento do oscilador (VCX0) pelo estágio posterior.

A frequência de saída do VCX0 é de 15.274,66 KHz (45.824KHz/3) para o de transmissão e 11.456 KHz (34.368 KHz/3) para o de recepção, ainda que para ambos o ganho K_0' é da ordem de 4000 rad/seg. Volts.

O sinal de saída do VCX0 é aplicado à entrada do amplificador classe C, sintonizado na 3ª harmônica das respectivas frequências, onde o amplificador sintonizado implementado é apresentado na Fig. B.6.

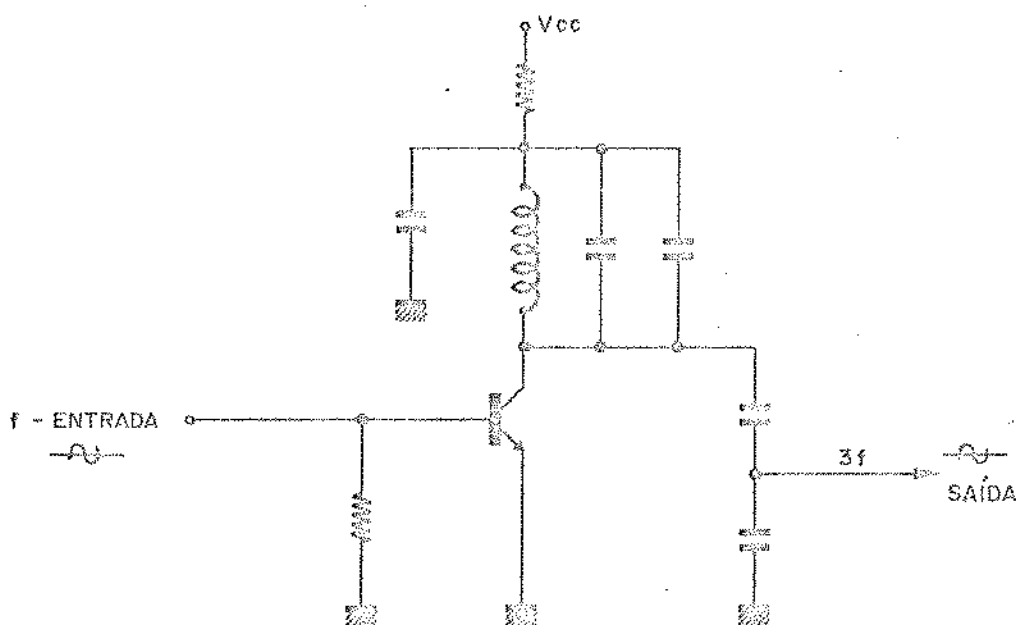


Fig. B.6 - Amplificador sintonizado classe C

À saída do amplificador sintonizado, temos uma onda senoidal de três vezes a frequência de entrada. Esse sinal é passado por um circuito quadrador, conforme apresentado na Fig. B.7.

Nesta configuração o inversor TTL opera como um amplificador de alto ganho, sendo que os resistores R1 e R2 determinam o ponto de polarização de tal forma a se obter uma forma de onda com fator de ocupação de aproximadamente 50%. O segundo inversor é inserido para garantir o quadramento.

Para evitar o carregamento do amplificador sintonizado pelo circuito quadrador é inserido um circuito seguidor de emissor, apresentado na Fig. B.8.

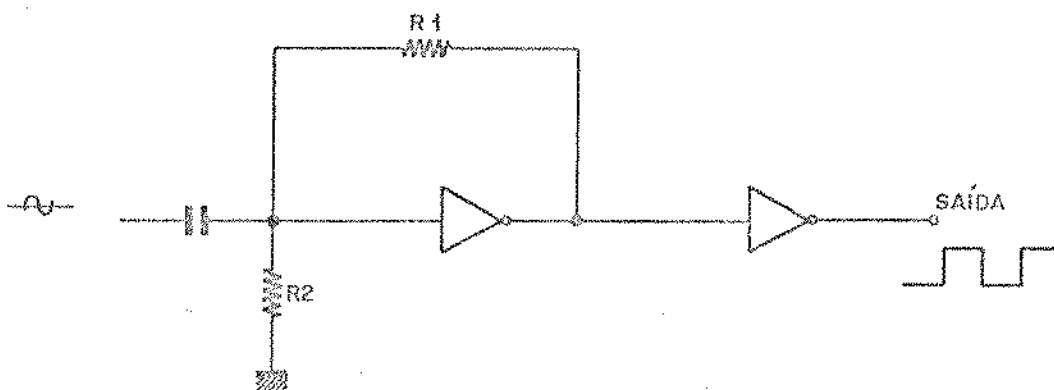


Fig. B.7 - Circuito quadrador

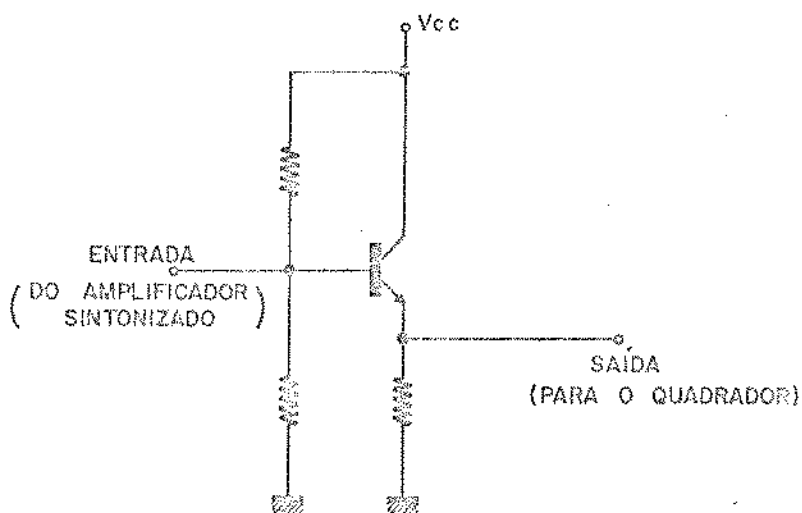


Fig. B.8 - Circuito seguidor de emissor

Os capacitores do divisor capacitivo da saída do amplificador sintonizado, devem ser escolhidos de forma a diminuir a impedância de saída e fornecer um sinal de aproximadamente 1 Volt de pico para o bom desempenho do circuito quadrador.

Esta solução para o projeto do VCX0 de 45.824 KHz de transmissão e de 34.368 KHz de recepção, foi adotada principalmente para aumentar a faixa de excursão do sintetizador (pelo menos ± 100 ppm), pois os cristais operando na fundamental permitem uma maior variação ($> \pm 100$ ppm), enquanto que os cristais que operam no 3º sobre-tom (34 MHz e 45 MHz) permitem apenas uma variação de

aproximadamente ± 30 ppm. A faixa de ± 30 ppm é insuficiente devido as tolerâncias de frequência de ajuste com a temperatura do cristal (± 30 ppm) e do relógio de entrada (± 20 ppm) totalizando uma variação de tolerância de aproximadamente ± 50 ppm.

3. Blocos divisores (M e N):

Os divisores de frequência de entrada e do VCX0 utilizam respectivamente dois flip-flops JK (74S112), cuja tabela verdade é apresentada na Tab. B.2.

ENTRADAS					SAÍDAS	
PR	CLR	CK	J	K	Q	\bar{Q}
H	H		L	L	Q_0	\bar{Q}_0
H	H		H	L	H	L
H	H		L	H	L	H
H	H		H	H		

Tab. B.2 - Tabela verdade do 74S112

A configuração utilizada do divisor por M=3 é apresentada na Fig. B.9 e o divisor por N=4 é apresentado na Fig. B.10.

O sinal de saída do divisor por M=3 é ainda dividido por 2, a fim de obter uma forma de onda com 50% de fator ocupação para o detetor de fase. Conseqüentemente, a saída do divisor por N=4 sofre também uma divisão por 2, a fim de compatibilizar as frequências de entrada do detetor de fase. A configuração do divisor por 2 utilizada para ambas as saídas é apresentada na Fig. B.11.

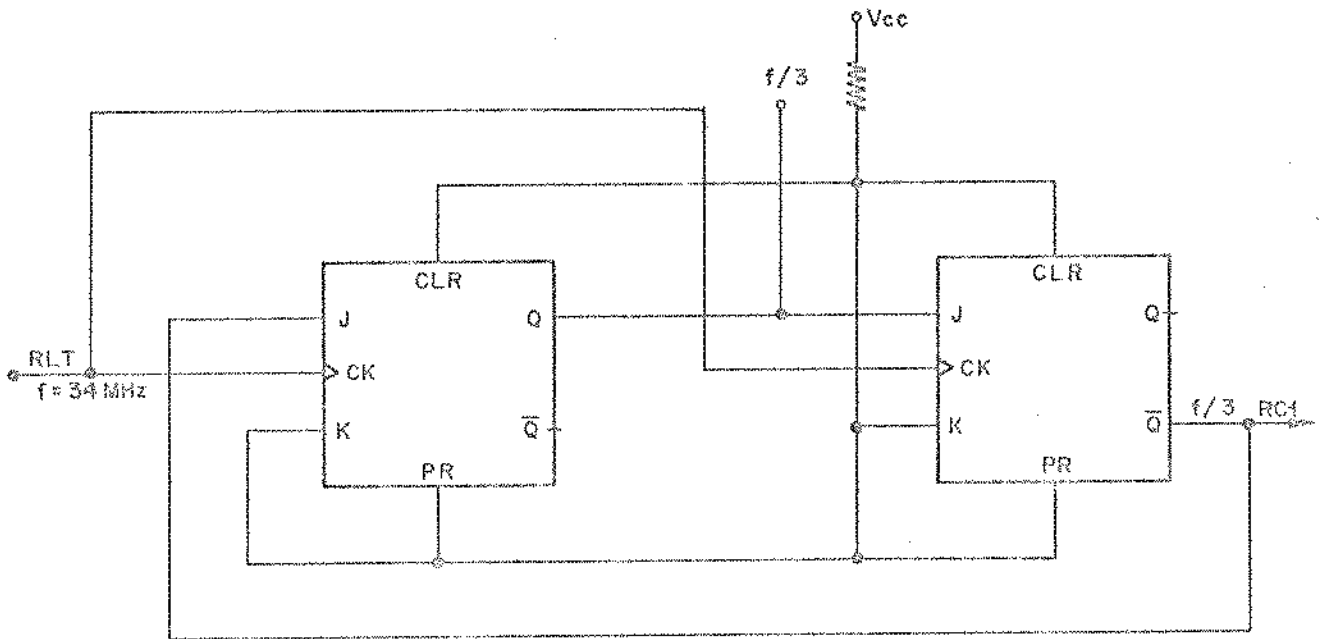


Fig. B.9 - Divisor por M=3

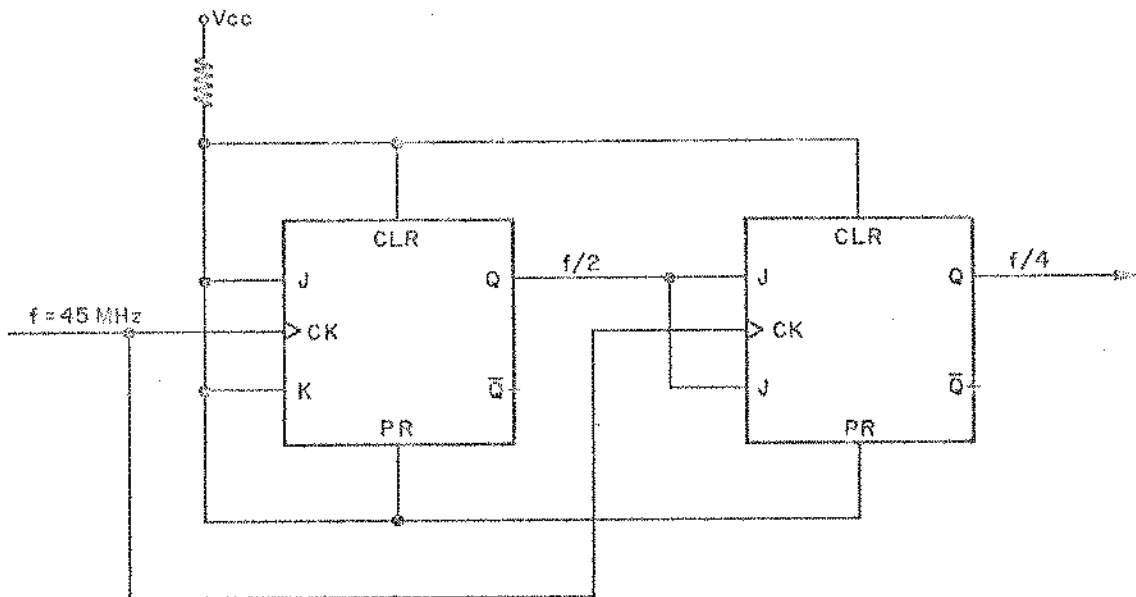


Fig. B.10 - Divisor por N=4

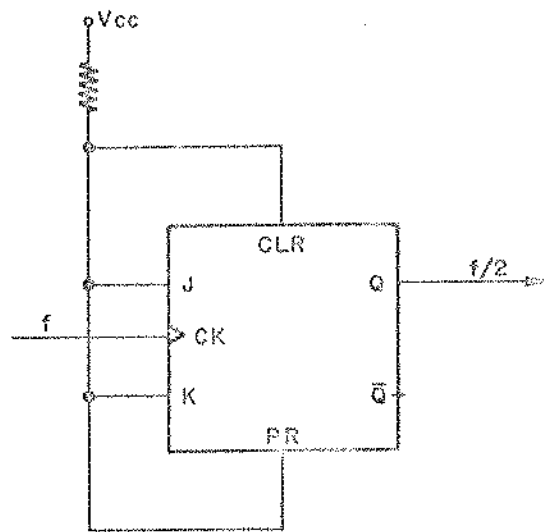


Fig. B.11 - Divisor por 2

4. Filtro:

O filtro da malha é parte importante do PLL, pois controla vários parâmetros que determinam o desempenho dinâmico da malha fechada. Esses parâmetros devem ser calculados conforme a malha descrita na Fig. B.12.

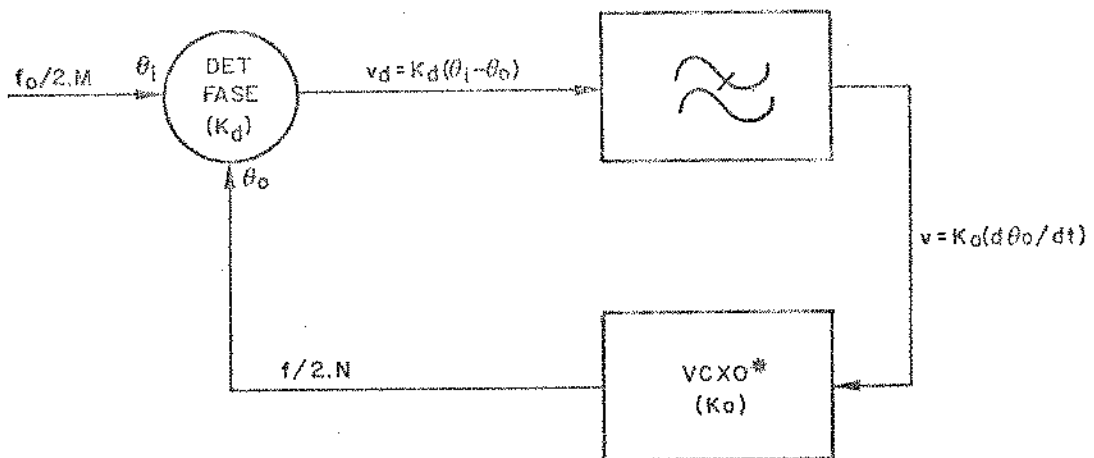


Fig. B.12 - Malha simplificada do sintetizador

O ganho do detetor de fase é

$$K_d = \frac{V_{CC}}{\pi} \left[\frac{\text{Volts}}{\text{rad}} \right]$$

e o ganho do VCX0* é

$$K_0 = \frac{K'_0}{2} \approx 2000 \frac{\text{rad}}{\text{seg.Volt}}$$

Para o filtro da malha foi utilizado um filtro ativo devido ao seu alto ganho em DC, o qual minimiza os problemas decorrentes das variações do erro estático de fase, pois

$$\Delta\theta = \frac{\Delta\omega}{A \cdot K_0 K_d} \tag{B.2}$$

onde A é o ganho DC do filtro.

O filtro implementado está apresentado na Fig. B.13.

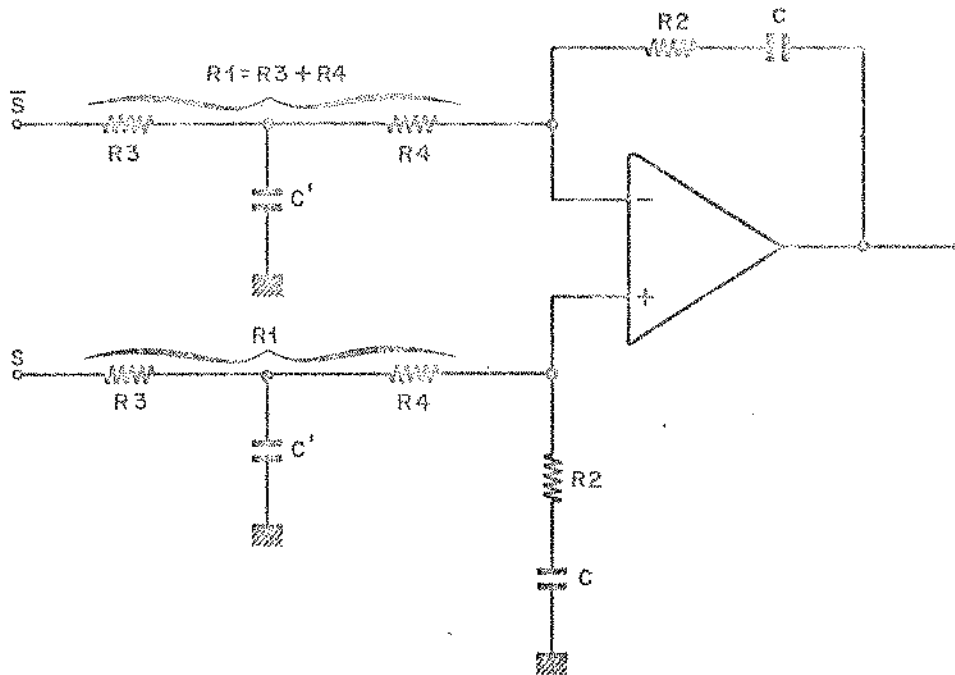


Fig. B.13 - Filtro da malha

Os pré-filtros de entrada são colocados apenas para garantir a operação na região linear do amplificador operacional. Logo, a frequência de corte do pré-filtro deve ser bem maior que a frequência de corte do filtro ativo.

A utilização das duas entradas, com o sinal S e o seu complementar \bar{S} , faz com que o filtro não dependa do nível médio das saídas do detetor de fase, e sim apenas da diferença. Além disso, isto facilita o projeto do filtro, pois não é necessário nenhum ajuste de tensão de referência para se obter a fase desejada.

A frequência de corte do filtro implementado da Fig. B. 13 é escrito como

$$\omega_c = \frac{1}{R_1 C} \quad [\text{rad/s}] \quad (\text{B.3})$$

enquanto que a frequência natural (ω_n) e o fator de amortecimento da resposta em frequência da malha (2ª ordem) são dados por:

$$\omega_n = \left(\frac{K_0 K_d}{R_1 C} \right)^{1/2} \quad [\text{rad/s}] \quad (\text{B.4})$$

$$\xi = \left(\frac{R_2 C}{2} \right) \omega_n \quad (\text{B.5})$$

e a largura de banda do sistema de 2ª ordem (frequência onde a resposta é 3 dB abaixo da amplitude máxima) é definido por:

$$W_{3\text{dB}} = \omega_n \left[2 \xi^2 + 1 + \sqrt{(2\xi^2 + 1)^2 + 1} \right]^{1/2} \quad (\text{B.6})$$

A seguir, definiremos os parâmetros importantes para o cálculo do filtro:

- A região de retenção ("lock") de um PLL é a faixa de frequência para a qual a saída acompanha a variação de frequência de entrada, estando o PLL inicialmente sincronizado. Vários autores utilizam os termos "tracking range" e "hold-in range", onde "hold-

in range" é a metade da região de retenção ou "tracking range", supondo que a região de retenção é simétrica em relação à frequência de interesse (45 MHz para o sintetizador de transmissão e 34 MHz para o de recepção).

- A região de captura é a região de frequências para as quais a malha consegue amarrar a fase espontaneamente. Vários autores fazem uso do termo "lock-in range", que é igual à metade da região de captura, supondo que a região de captura é simétrica como no caso anterior.
- A largura de banda de ruído B_L (unilateral) de um sistema de 2ª ordem é definido como [10]:

$$B_L = \int_0^{\infty} |H(j\omega)|^2 df \quad [\text{Hz}] \quad (\text{B.7})$$

onde $H(j\omega)$ é a função de transferência de malha fechada. Esta largura de banda de ruído determina a rejeição de tremor de entrada.

Em termos dos parâmetros da malha, a região de retenção denominado "hold-in range" é igual ao ganho DC da malha, isto é:

$$\text{hold-in range} = A K_0 K_d \quad [\text{rad/s}] \quad (\text{B.8})$$

onde A é o ganho DC do amplificador operacional. Embora o ganho A seja bastante elevado ($A \rightarrow \infty$), a região de retenção é limitada pelos intervalos de variação da frequência do VCXO e do sinal de controle.

A expressão para "lock-in range" ($\Delta\omega_L$) é igual ao ganho de alta frequência da malha (ganho AC) [10] e é dado por:

$$\Delta\omega_L = K_0 \cdot K_d \cdot \frac{R_2}{R_1} \quad (\text{B.9})$$

e fazendo uso das eqs. (B.4) e (B.5), resulta:

$$\Delta\omega_L = 2 \xi \omega_n \quad (\text{B.10})$$

A largura de banda de ruído B_L , também pode ser escrita em termos de ω_n e ξ , e é dada por

$$B_L = \frac{\omega_n}{2} \left(\xi + \frac{1}{4\xi} \right) \quad [\text{Hz}] \quad (\text{B.11})$$

Os parâmetros $\Delta\omega_L$ e B_L são conflitantes, pois para se ter uma região de captura grande, ω_n deve ser o maior possível, mas por outro lado deve ser o menor possível para se ter a máxima rejeição de tremor de entrada.

Os parâmetros dos filtros implementados assumem os seguintes valores:

- Filtro do sintetizador de transmissão:

$$R_1 = R_3 + R_4 = 14,3 \text{ K}\Omega$$

$$R_2 = 33\text{K}\Omega$$

$$R_3 = 4,3\text{K}\Omega$$

$$R_4 = 10\text{K}\Omega$$

$$C = 0,22\mu\text{F}$$

$$C' = 15 \text{ nF}$$

$$K_0 = 2000 \text{ rad/s.V}$$

$$K_d = 5/\pi \text{ Volts/rad}$$

$$\omega_n = 1 \text{ Krad/S}$$

$$\xi = 3,6$$

$$\Delta\omega_L = 7,2 \text{ Krad/s}$$

A faixa de captura é da ordem de $\pm 200\text{ppm}$, que é igual a faixa de lock.

$$B_L = 1,8 \text{ KHz}$$

e
$$\omega_{3\text{dB}} = 7,3 \frac{\text{Krad}}{\text{S}} \quad \text{ou} \quad f_{3\text{dB}} = 1,1 \text{ KHz}$$

A frequência de corte do filtro é:

$$\omega_c \approx 317 \frac{\text{rad}}{\text{S}} \quad f_c \approx 50 \text{ Hz}$$

e a frequência de corte do pré-filtro é:

$$\omega_{c_{\text{pré}}} \approx 15 \cdot \frac{\text{Krad}}{\text{S}} \Rightarrow f_{c_{\text{pré}}} \approx 2,4 \text{ KHz}$$

- Filtro do sintetizador de recepção:

$$R_1 = R_3 + R_4 = 13,9 \text{ K}\Omega$$

$$R_2 = 33 \text{ K}\Omega$$

$$R_3 = 3,9 \text{ K}\Omega$$

$$R_4 = 10 \text{ K}\Omega$$

$$C = 0,22 \mu\text{F}$$

$$C' = 10 \text{ nF}$$

$$K_0 = 2000 \text{ rad/S.Volt}$$

$$K_d = 5/\pi \cdot \text{Volts/rad}$$

$$\omega_n = 1 \text{ Krad/S}$$

$$\xi = 3,7$$

$$\Delta\omega_L = 7,4 \text{ Krad/S}$$

A faixa de captura é da ordem de $\pm 200 \text{ ppm}$, que é igual a faixa de lock.

$$B_L = 1,8 \text{ KHz}$$

$$\omega_{3\text{dB}} = 7,3 \text{ Krad/S} \quad \text{ou} \quad f_{3\text{dB}} = 1,1 \text{ KHz}$$

As frequências de corte do filtro ativo e do pré-filtro são:

$$\omega_c = 327 \frac{\text{rad}}{\text{S}} \quad \text{ou} \quad f_{3\text{dB}} = 52 \text{ Hz}$$

$$\omega_{c_{\text{pré}}} = 25 \text{ Krad/S} \quad \text{ou} \quad f_{c_{\text{pré}}} = 4 \text{ KHz}$$

A seguir, são apresentados os diagramas em blocos (Figs. B.14 e B.15), os esquemas elétricos (Figs. B.16 e B.17), os diagramas temporais (Figs. B.18 e B.19) e as listagens de componentes dos sintetizadores de transmissão (CD1) e de recepção (DC1), respectivamente.

Note que existe um dispositivo conectado à saída do filtro ativo controlado pelo sinal de alarme, ART (ausência do relógio de transmissão) ou ARR (ausência do relógio de recepção). Este dispositivo fornece para o sinal de controle do VCX0 um nível de aproximadamente zero volts quando o sinal de alarme (ART ou ARR) é ativado (ativo baixo). Isto é feito para que os sintetizadores forneçam um relógio de saída dentro dos ± 20 ppm na ausência do relógio de entrada.

No sintetizador de transmissão, as duas portas NÃO E são inseridas na entrada do relógio RLT, para dar o atraso. Isto é feito para melhorar o posicionamento da transição de subida do RC1 em relação aos dados SET amostrados (Fig. A.12 - qualquer saída do CI01).

No sintetizador de recepção é colocado um atraso de duas portas NÃO E no relógio RD11 para melhorar o instante de carregamento paralelo (Fig. A.27).

O consumo para ambos os sintetizadores é da ordem de 1,1 Watts.

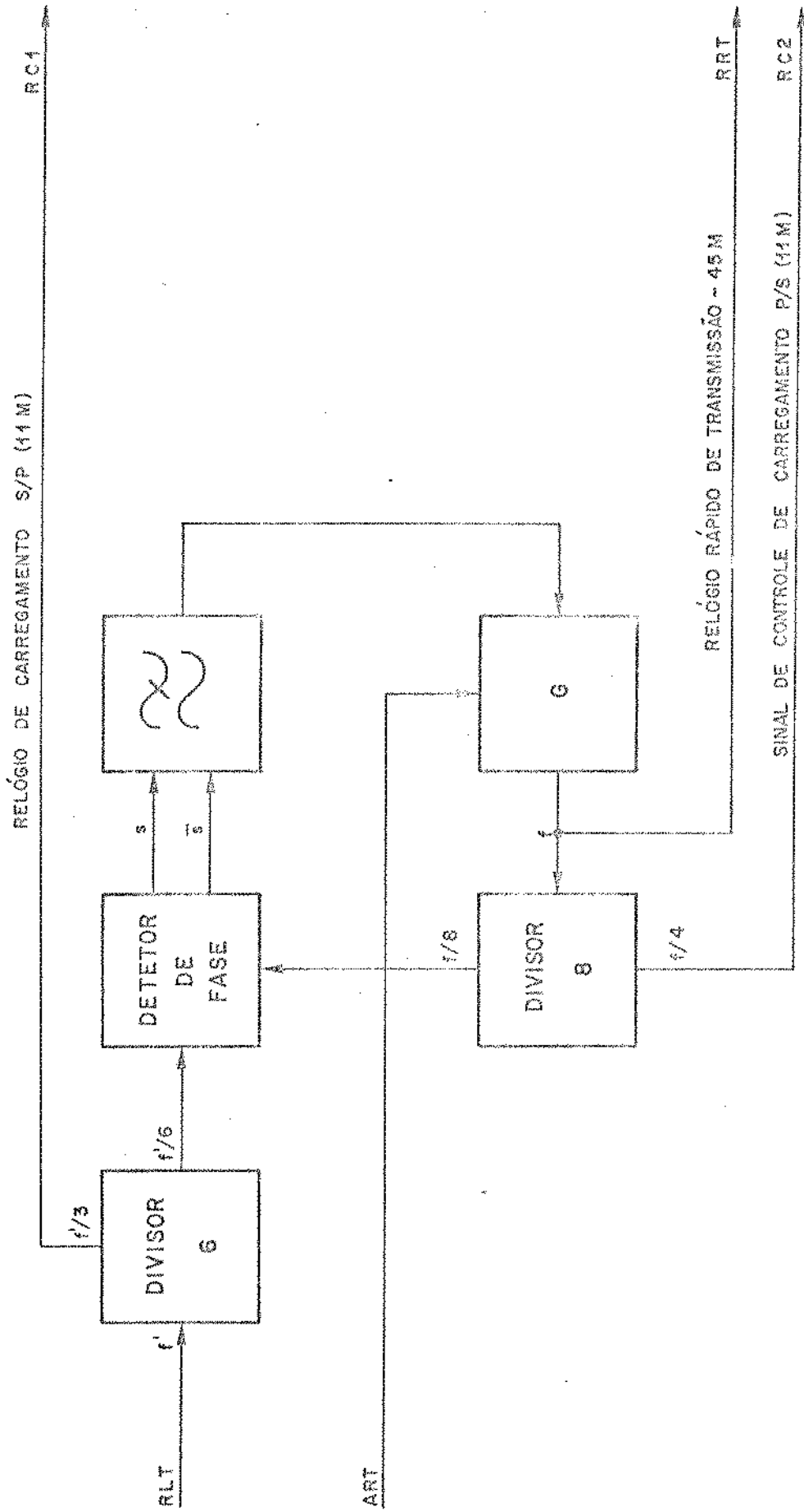


Fig. B.14 - Diagrama em blocos do CD1 - Sintetizador de Transmissão

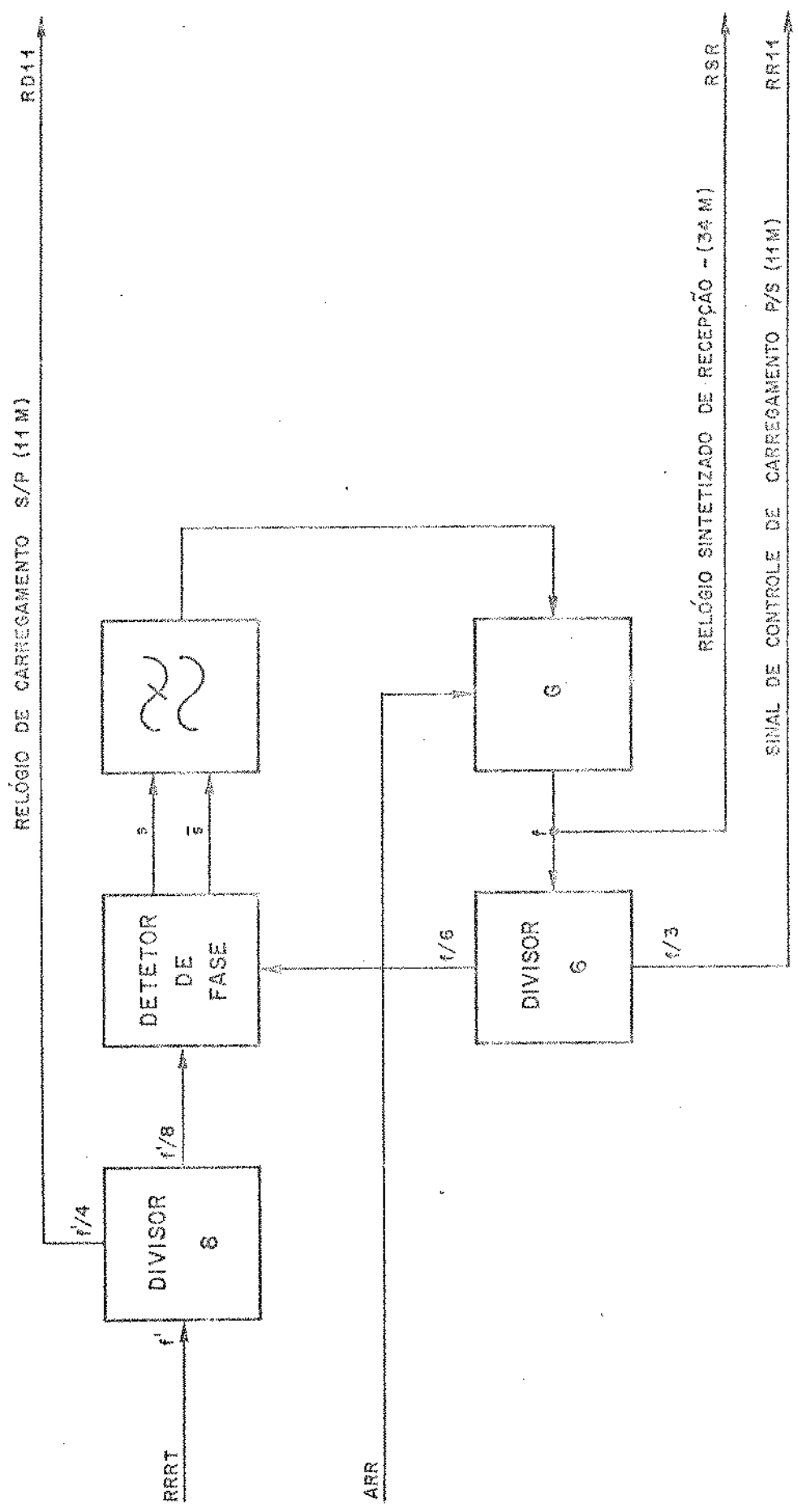


Fig. B.15 - Diagrama em blocos do DC1 - Sintetizador de Recepção

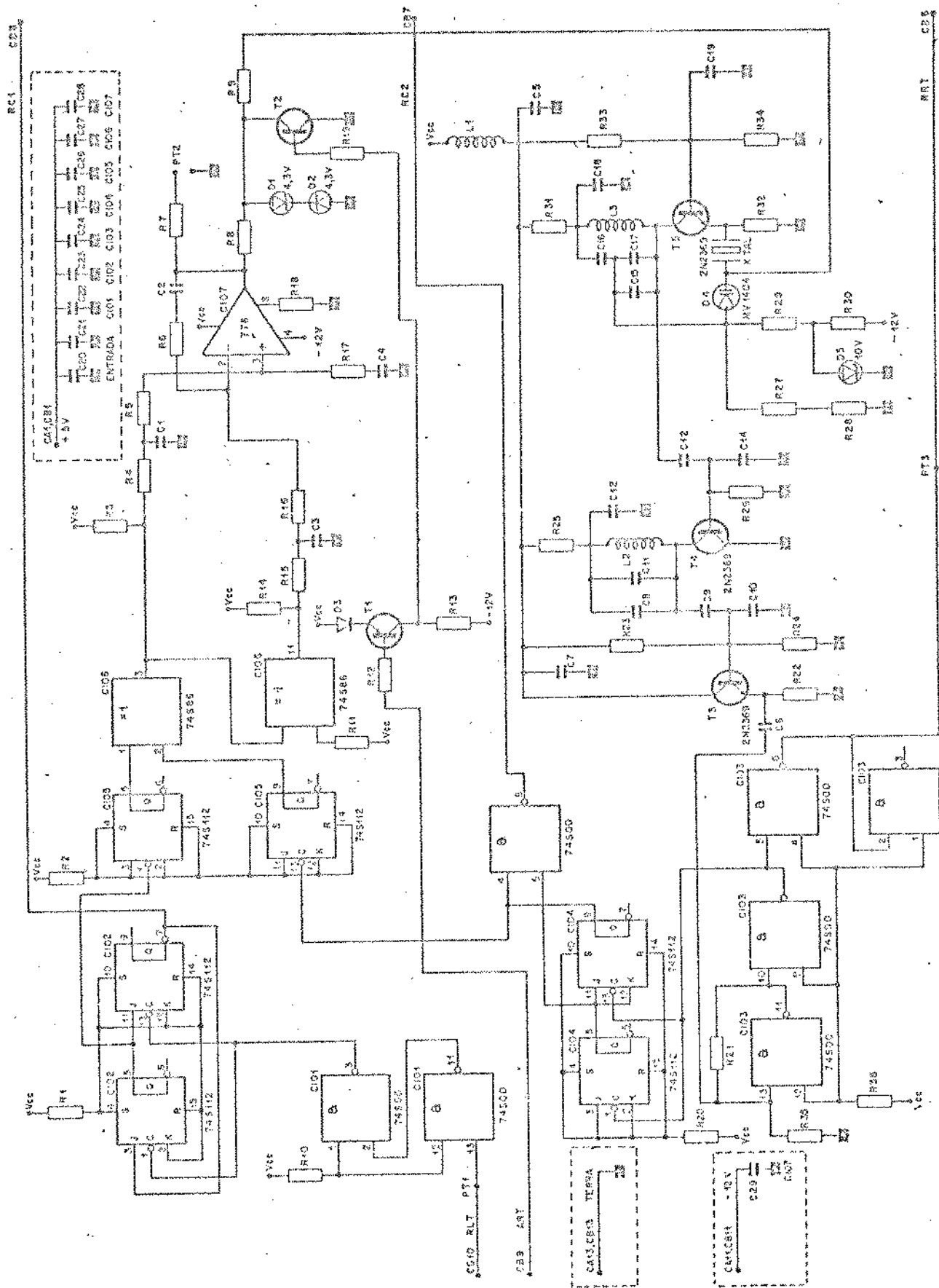


Fig. B.16 - Esquema elétrico - CDI

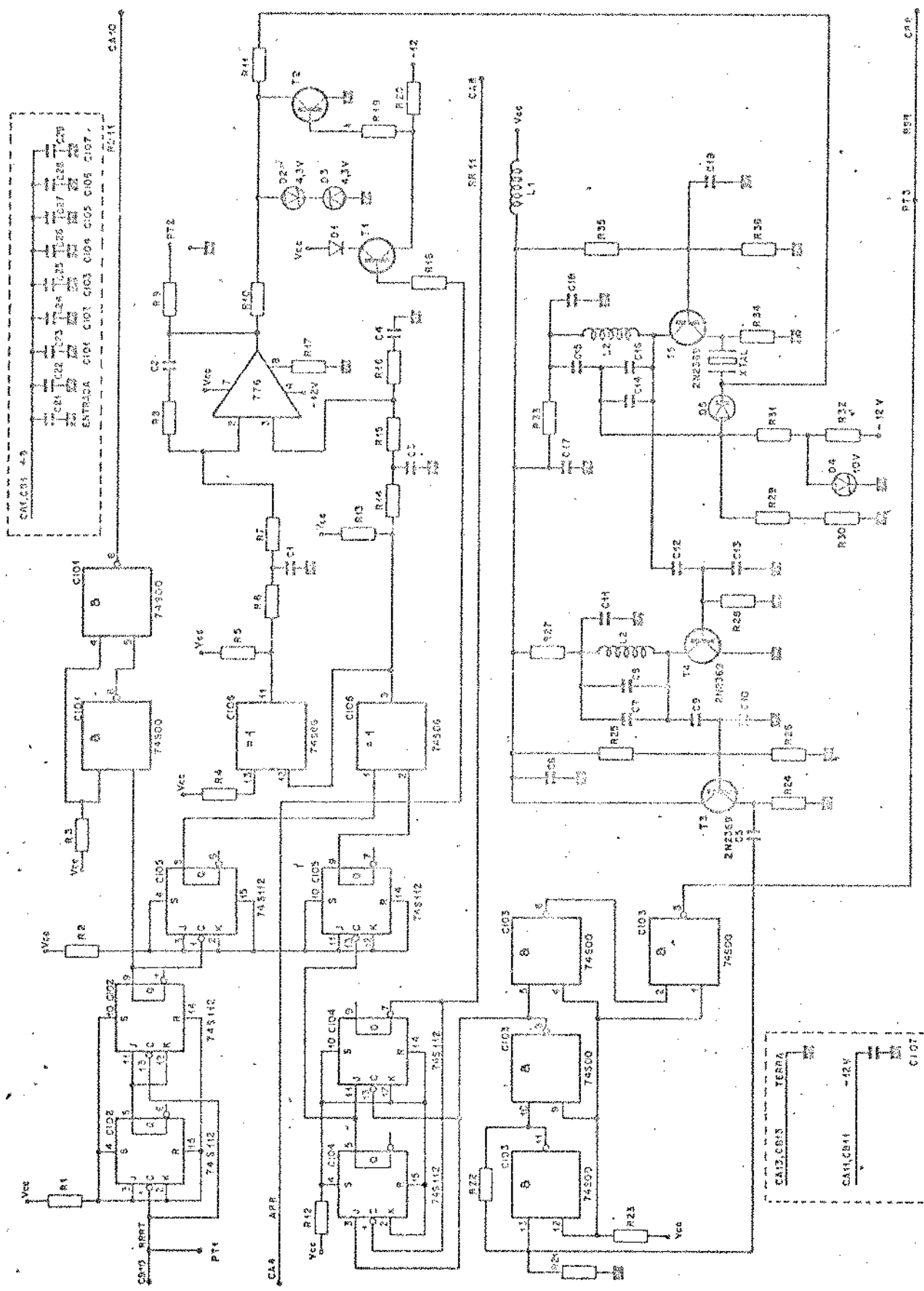
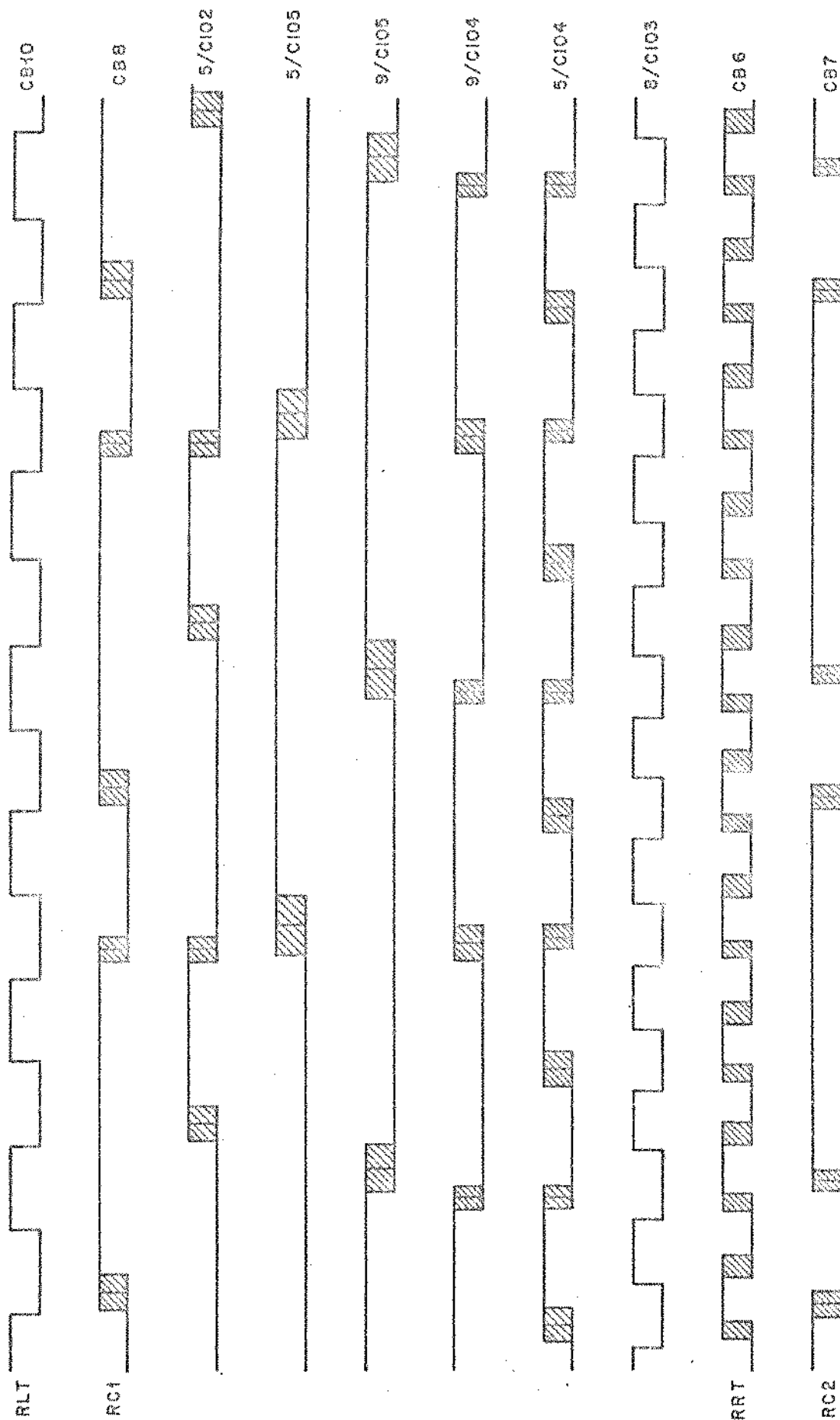


Fig. B.17 - Esquema elétrico - DCI



Escala: 1cm:10ns

Fig. B.18 - Diagrama Temporal - CD1

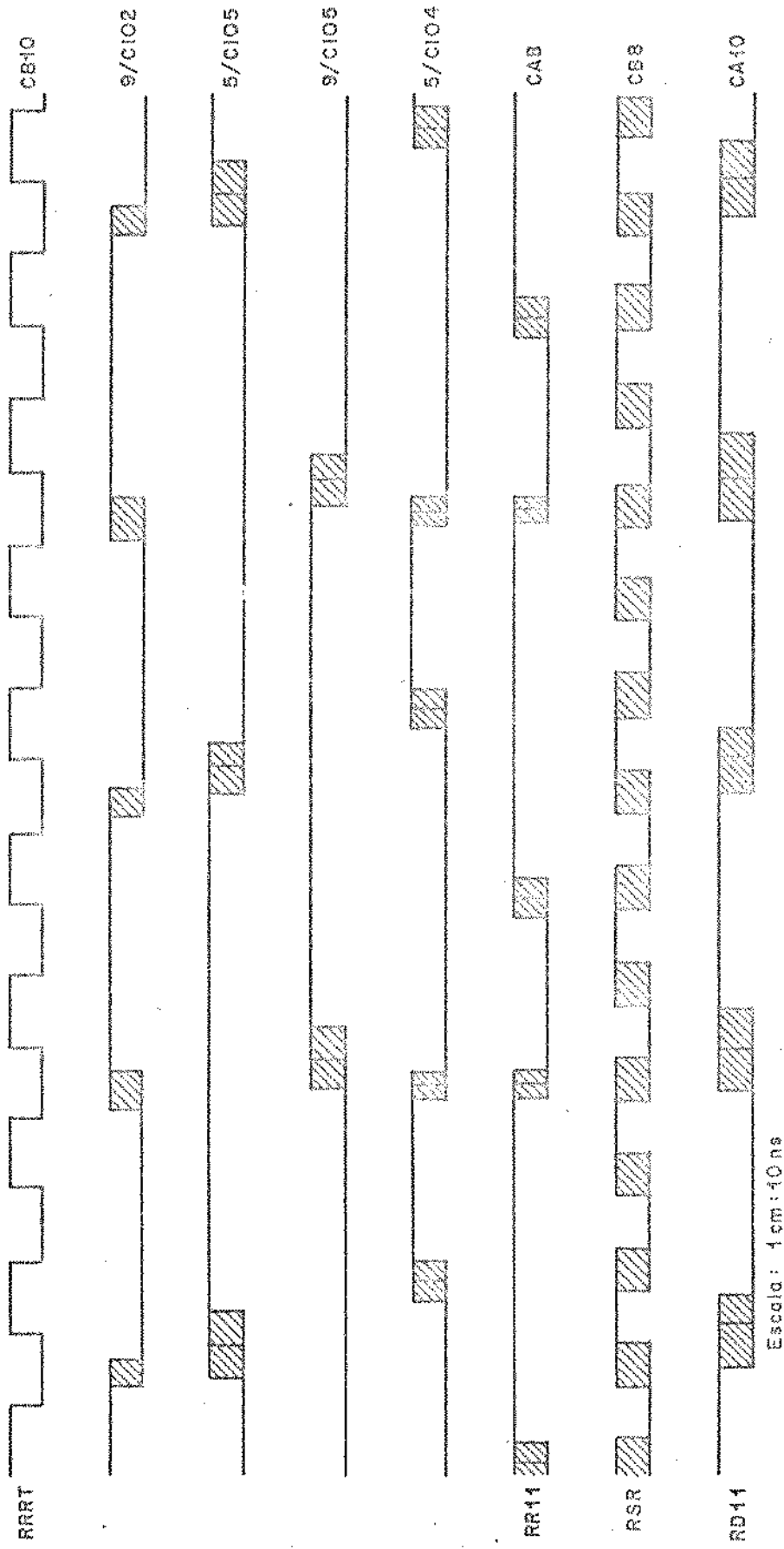


Fig. B.19 - Diagrama Temporal - DC1

LISTA DE COMPONENTES DO CD1

COMPONENTES	OBSERVAÇÕES
CI01 = 74S00	TTL - NAND
CI02 = 74S112	TTL - F.F
CI03 = 74S00	TTL - NAND
CI04 = 74S112	TTL - F.F
CI05 = 74S112	TTL - F.F
CI06 = 74S86	TTL - EX-OR
CI07 = μ A776	OP-AMP
T1 = BCY79 VIII PNP	
T2 = BCY59 VIII NPN	
T3 = T4 = T5 = 2N2369 NPN	
D1 = D2 = Zener de 4,3V	
D3 = BAX13 - Silício	
D4 = MV1404	Varicap
D5 = Zener de 10V	
R1 = R2 = R3 = $1K\Omega \pm 5\% - 0,33\omega$	
R4 = 4,3 $K\Omega$ " "	
R5 = R7 = $10K\Omega$ " "	
R6 = $33K\Omega$ " "	
R8 = $2K\Omega$ " "	
R9 = $100K\Omega$ " "	
R10 = R11 = R14 = R20 = R36 = = $1K\Omega \pm 5\% - 0,33$	
R12 = $3,9K\Omega$ " "	
R13 = $4,7K\Omega$ " "	
R15 = $4,3K\Omega$ " "	
R16 = $10K\Omega$ " "	
R17 = $33K\Omega$ " "	
R18 = $330K\Omega$ " "	
R19 = $3,9K\Omega$ " "	
R21 = 820Ω " "	
R22 = 390Ω " "	

CD1 (Cont.)

COMPONENTES	OBSERVAÇÕES
R23 = 6,8KΩ ±5% 0,33ω	
R24 = 10KΩ " "	
R25 = 510Ω " "	
R26 = 30KΩ " "	
R27 = ajuste	
R28 = ajuste	
R29 = 62KΩ " "	
R30 = 2KΩ " "	
R31 = 510Ω " "	
R32 = 680Ω " "	
R33 = 12KΩ " "	
R34 = 6,8KΩ " "	
R35 = 910Ω " "	
C1 = C3 = 15 nF - ±10% - 250V	Poliester
C2 = C4 = .22μF	
C5 = C6 = C7 = 16V	Disco
C8 = ajuste	
C9 = 15pF	Mica
C10 = C13 = 56pF	"
C11 = C14 = C17 = 22pF	"
C12 = C18 = C21 = C22 = C23 =	
C24 = C25 = C26 = C27 = C28 =	
C29 = 0,1μF -20+80% 16V	Disco
C15 = ajuste	
C16 = 100pF	Mica
C19 = 10nF -20+80%	Disco
C20 = 10μF 10% 40V	Eletrolítico
L1 = 47μH	μchoke
L2 = .22μH	
L3 = 2,2μH	μchoke

LISTA DE COMPONENTES DO DC1

COMPONENTES	OBSERVAÇÕES
CI01 = CI03 = 74S00	TTL - NAND
CI02 = CI04 = CI05 = 74S112	TTL - F.F
CI06 = 74S86	TTL - EX-OR
CI07 = μ A776	OP-AMP
T1 = BCY79 VIII PNP	
T2 = BCY59 VIII NPN	
T3 = T4 = T5 = 2N2369 NPN	
D1 = BAX13	Silício
D2 = D3 = Zener 4,3V	
D4 = Zener de 10V	
D5 = MV1404	Varicap
R1 = R2 = R3 = R4 = R5 = R12 =	
R13 = R21 = R22 = R23 = $1K\Omega \pm 5\%$ 0,33 Ω	
R6 = R14 = R18 = R19 = 3,9K Ω " "	
R7 = R9 = R15 = R25 =	
R35 = R36 = 10K Ω " "	
R8 = R16 = 33K Ω " "	
R10 = 2K Ω " "	
R11 = 100K Ω " "	
R17 = 330K Ω " "	
R20 = 4,7K Ω " "	
R24 = 390 Ω " "	
R26 = 13K Ω " "	
R27 = R33 = 510 Ω " "	
R28 = 30K Ω " "	
R29 = ajuste	
R30 = ajuste	
R31 = 56K Ω " "	
R32 = 2K Ω " "	
R24 = 680 Ω " "	

DC1 (Cont.)

COMPONENTES	OBSERVAÇÕES
C1 = C3 = 10nF	Poliester
C2 = C4 = 0,22µF	
C5 = C6 = C11 = C17 =	
C18 = C20 = C22 = C23 =	
C24 = C25 = C26 = C27 =	
C28 = C29 = 0,1µF -20+80% 16V	Disco
C7 = ajuste	
C8 = 18pF	Mica
C9 = 27pF	"
C10 = 68pF	"
C12 = 100pF	"
C13 = 82pF	"
C14 = 5pF (ajuste)	"
C15 = 150pF	"
C16 = 47pF	"
C19 = 10nF -20+80% 16V	Disco
C21 = 10µF -20+80% 40V	Eletrolítico
L1 = 56µH	µchoke
L2 = 0,47µH	
L3 = 2,2µH	"