

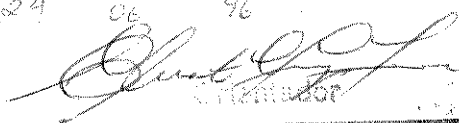
UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

**PROJETO DE UM CONVERSOR ANALÓGICO/DIGITAL
ULTRA-RÁPIDO BIPOLAR TIPO FOLDING COM UMA
NOVA TÉCNICA DE INTERPOLAÇÃO**

EVANDRO MAZINA MARTINS

Este exemplar é a seleção final da tese
defendida por Evandro Mazina Martins
na Comissão

Julgadora em 24 06 96


Orientador

Dissertação apresentada à
Faculdade de Engenharia
Elétrica e de Computação da
Universidade Estadual de
Campinas, como requisito
parcial para obtenção do
título de Mestre em
Engenharia Elétrica.

Orientador: Prof. Dr. Elnatan Chagas Ferreira

7/10/96
M366p
V. Ex.
TIMBO BC/ 28.458
PREC. 667/96
C ☐ D ☒
PREC. 788.11.00
DATA 04/09/96
N.º CPD 0.11.0009.1585.6

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

M366p Martins, Evandro Mazina
Projeto de um conversor analógico/digital ultra-rápido bipolar tipo folding com uma nova técnica de interpolação / Evandro Mazina Martins.--Campinas, SP: [s.n.], 1996.

Orientador: Elnatan Chagas Ferreira.
Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Conversores analógicos-digitais 2. Interpolação. I. Ferreira, Elnatan Chagas. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

*Aos meus pais José Leandro e Maria Terezinha e a minha esposa
Míriam, pelo constante incentivo.*

AGRADECIMENTOS

A realização deste trabalho foi possível em função da colaboração direta ou indireta de muitas pessoas. Manifesto minha gratidão a todas elas e de forma especial:

Ao Prof. Dr. Elnatan Chagas Ferreira pela orientação, paciência e incentivo;

Aos Profs. Drs. Alberto Martins Jorge, Carlos Alberto do Reis Filho e José Antônio Siqueira Dias pelas disciplinas cursadas;

À Ademilde Felix pela colaboração e revisão no texto;

Ao Departamento de Engenharia Elétrica da Universidade Federal de Mato Grosso do Sul pela confiança em mim depositada;

À CAPES, através do PICD, pelo apoio financeiro;

Às demais pessoas que direta ou indiretamente contribuíram para a realização deste trabalho.

“A história da ciência está cheia de casos em que hipótese e teorias previamente aceitas foram derrubadas, para serem substituídas por novas idéias que ofereciam melhor explicação para os fatos. Conquanto exista uma compreensível inércia psicológica - a qual em geral dura cerca de uma geração - tais revoluções no pensamento científico são quase sempre aceitas como elemento necessário e desejável para o progresso científico. Na verdade, a crítica fundamentada de uma opinião corrente constitui um serviço aos proponentes dessa opinião; se eles forem incapazes de defendê-la, é melhor que a abandonem. Isto de questionar-se e corrigir-se a si mesmo, constitui a mais admirável característica do método científico, que o diferencia de muitas outras áreas do esforço humano, onde a credulidade é a regra”

CARL SAGAN
em “O Romance da Ciência”

SUMÁRIO

LISTA DE FIGURAS.....	VI
LISTA DE TABELAS	IX
LISTA DE ABREVIATURAS	X
RESUMO	XI
ABSTRACT.....	XII
INTRODUÇÃO	1
CAPÍTULO 1 - CONVERSORES ANALÓGICOS/DIGITAIS RÁPIDOS.....	3
1.1 - CARACTERÍSTICAS.....	3
1.2 - TIPOS DE CONVERSORES	4
1.2.1 - TIPO CONTADOR.....	5
1.2.2 - TIPO APROXIMAÇÃO SUCESSIVA	7
1.2.3 - TIPO INTEGRADOR	8
1.2.4 - TIPO “MULTISTEP PIPELINE”	9
1.2.5 - TIPO MULTISTEP “SUBRANGING”	11
1.2.6 - TIPO MULTISTEP “SUBRANGING TWO-STEP”.....	13
1.2.7 - TIPO PARALELO (“FLASH”)	15
1.2.8 - TIPO “FOLDING”	18
CAPÍTULO 2 - CONVERSOR ANALÓGICO/DIGITAL - TÉCNICA PROPOSTA	34
2.1 - CARACTERÍSTICAS.....	34
2.2 - DESCRIÇÃO GERAL.....	34
2.3 - INTERPOLAÇÃO	43
2.3.1 - INTERPOLAÇÃO SIMPLES.....	44
2.3.2 - INTERPOLAÇÃO DUPLA.....	47
CAPÍTULO 3 - CONVERSOR ANALÓGICO/DIGITAL - PROJETO	55
3.1 - GERAÇÃO DE SINAIS.....	55
3.2 - PROCESSAMENTO DOS SINAIS	70
CAPÍTULO 4 - RESULTADOS E CONCLUSÃO.....	82
4.1 - SIMULAÇÃO.....	82
4.2 - RESULTADOS ESTÁTICOS	83
4.2.1 - ERRO DE NÃO LINEARIDADE DIFERENCIAL.....	83
4.2.2 - ERRO DE NÃO LINEARIDADE INTEGRAL.....	85
4.3 - RESULTADOS DINÂMICOS	87
4.3.1 - NÚMERO EFETIVO DE BITS	87
4.3.2 - TESTE DA FREQUÊNCIA DE BATIMENTO.....	92
4.3.3 - TEMPO DE CONVERSÃO	94
4.4 - MONTE CARLO.....	96
4.5 - ESPECIFICAÇÕES GERAIS DO CONVERSOR A/D PROJETADO	98
4.6 - ANÁLISE DOS RESULTADOS.....	98
4.7 - “LAYOUT”	100
4.8 - CONCLUSÃO	100
ANEXOS	105
REFERÊNCIA BIBLIOGRÁFICA	114
BIBLIOGRAFIA CONSULTADA.....	116

LISTA DE FIGURAS

FIGURA 1.1 - CONVERSOR A/D TIPO CONTADOR.....	6
FIGURA 1.2 - CONVERSOR A/D TIPO APROXIMAÇÃO SUCESSIVA.....	7
FIGURA 1.3 - CONVERSOR A/D TIPO INTEGRADOR (BÁSICO).....	8
FIGURA 1.4 - CONVERSOR A/D TIPO “MULTISTEP PIPELINED”.....	10
FIGURA 1.5 - CONVERSOR A/D TIPO “MULTISTEP SUBRANGING”.....	12
FIGURA 1.6 - CONVERSOR A/D TIPO “MULTISTEP SUBRANGING TWO-STEP” (V. 1).....	13
FIGURA 1.7 - CONVERSOR A/D “MULTISTEP SUBRANGING TWO-STEP” (V. 2).....	14
FIGURA 1.8 - CONVERSOR A/D TIPO PARALELO (“FLASH”).....	15
FIGURA 1.9 - COMPARADOR E A CURVA DE TRANSFERÊNCIA DO PRÉ-AMPLIFICADOR... 16	
FIGURA 1.10 - CURVA DE TRANSFERÊNCIA DOS PRÉ-AMPLIFICADORES.....	17
FIGURA 1.11 - TÉCNICA “FOLDING” COM INTERPOLAÇÃO.....	19
FIGURA 1.12 - PAR DIFERENCIAL ACOPLADO - PDA E SUA CURVA DE TRANSFERÊNCIA 19	
FIGURA 1.13 - EXEMPLO DE CIRCUITO DO AMPLIFICADOR “FOLDING”.....	20
FIGURA 1.14 - AMPLIFICADOR “FOLDING” NA FORMA DE BLOCOS.....	20
FIGURA 1.15- CONVERSOR A/D TIPO “FOLDING” (2 BITS).....	21
FIGURA 1.16 - SINAIS NAS SAÍDAS DO AMPL. “FOLDING” E “FOLDING ENCODER” (2B). 21	
FIGURA 1.17 - FORMA DE ONDA NA SAÍDA DOS “LATCHES” (2 BITS).....	22
FIGURA 1.18 - CONVERSOR A/D TIPO “FOLDING” (3 BITS).....	23
FIGURA 1.19 - SINAIS NAS SAÍDAS DO AMPL. “FOLDING” E “FOLDING ENCODER” (3B). 23	
FIGURA 1.20 - FORMA DE ONDA NA SAÍDA DOS “LATCHES” (3 BITS).....	24
FIGURA 1.21 - CONVERSOR A/D TIPO “FOLDING” (8 BITS).....	25
FIGURA 1.22 - CONVERSOR A/D TIPO “FOLDING” (4 BITS).....	27
FIGURA 1.23 - AMPLIFICADORES “FOLDING” EM PARALELO.....	27
FIGURA 1.24 - INTERPOLAÇÃO RESISTIVA (2 R).....	28
FIGURA 1.25 - INTERPOLAÇÃO (4 R).....	28
FIGURA 1.26 - FORMAS DE ONDA NA INTERPOLAÇÃO (4 R).....	29
FIGURA 1.27 - FORMAS DE ONDA NA INTERPOLAÇÃO APÓS OS “LATCHES” (4 R).....	30
FIGURA 1.28 - INTERPOLAÇÃO COM SINAL DIFERENCIAL.....	30
FIGURA 1.29 - COVERSORES DE 5 BITS.....	31
FIGURA 1.30 - FORMAS DE ONDAS.....	32
FIGURA 1.31 - SINAIS OBTIDOS.....	32
FIGURA 2.1 - DIAGRAMA DE BLOCOS DO CONVERSOR.....	35
FIGURA 2.2 - SINAIS DE SAÍDA DOS AMPLIFICADORES FOLDING.....	36
FIGURA 2.3 - SINAIS DO MSB E 2-SB.....	37
FIGURA 2.4 - SINAIS DO 3-SB E A-4.....	38
FIGURA 2.5 - SINAIS DO CONVERSOR A/D DE 6 BITS.....	39
FIGURA 2.6 - SINAIS DO MSB, 2-SB E 3-SB.....	40
FIGURA 2.7 - SINAIS FORMADORES E CIRCUITO LÓGICO DO 4-SB.....	40
FIGURA 2.8 - SINAIS FORMADORES E CIRCUITO LÓGICO DO 5-SB.....	41
FIGURA 2.9A - SINAIS FORMADORES DO LSB.....	42
FIGURA 2.9B - CIRCUITO LÓGICO DO LSB.....	43
FIGURA 2.10 - INTERPOLAÇÃO SIMPLES.....	44
FIGURA 2.11 - SINAIS NA INTERPOLAÇÃO SIMPLES.....	44
FIGURA 2.12 - FORMA DOS SINAIS NA INTERPOLAÇÃO SIMPLES.....	45

FIGURA 2.13 - VETORES NA INTERPOLAÇÃO SIMPLES.....	46
FIGURA 2.14 - INFLUÊNCIA DA VARIAÇÃO DA TEMPERATURA NA INTERP. SIMPLES.....	46
FIGURA 2.15 - VETORES NA INTERPOLAÇÃO SIMPLES E DUPLA.....	48
FIGURA 2.16 - PRÉ-AMPLIFICADORES DUPLOS.....	49
FIGURA 2.17 - INTERPOLAÇÃO DUPLA.....	50
FIGURA 2.18 - VETORES PARA UM CONVERSOR A/D DE 7 BITS.....	50
FIGURA 2.19 - INTERPOLAÇÕES PARA O CONVERSOR A/D DE 6 BITS.....	51
FIGURA 2.20 - DEFORMAÇÃO.....	52
FIGURA 2.21 - DISTORÇÃO EM FUNÇÃO DA AMPLITUDE.....	53
FIGURA 2.22 - ERRO EM FUNÇÃO DA TEMPERATURA.....	54
FIGURA 3.1 - SINAL DE ENTRADA.....	55
FIGURA 3.2 - AMPL. “FOLDING”+“BUFFER”+“FOLDING ENCODER”+REF. DE VOLT.....	56
FIGURA 3.3 - DESCRIÇÃO DAS FUNÇÕES.....	57
FIGURA 3.4 - PAR DIFERENCIAL ACOPLADO (PDA).....	58
FIGURA 3.5 - VREF.....	59
FIGURA 3.6 - SAÍDAS DOS AMPLIFICADORES “FOLDING”.....	60
FIGURA 3.7 - MSB.....	62
FIGURA 3.8 - 2-SB.....	62
FIGURA 3.9 - 3-SB.....	63
FIGURA 3.10 - A-4.....	63
FIGURA 3.11 - DISTORÇÃO.....	64
FIGURA 3.12 - FONTE DE “BIAS” PTAT.....	65
FIGURA 3.13 - DESEMPENHO DA FONTE DE “BIAS” PTAT.....	65
FIGURA 3.14 - SAÍDA DIFERENCIAL PARA O 3-SB.....	66
FIGURA 3.15 - “LATCHES” MESTRES + “CLOCK” + CIRCUITO LÓGICO.....	67
FIGURA 3.16 - CIRCUITO DE “CLOCK” + “LATCHES” E PORTAS LÓG. DO MSB E 2-SB.....	68
FIGURA 3.17 - “LATCHES” E PORTAS LÓGICAS DO 3-SB, 4-SB, 5-SB E LSB.....	69
FIGURA 3.18 - CIRCUITO DE ENTRADA DO SINAL DO “CLOCK”.....	70
FIGURA 3.19 - CIRCUITO DE “LATCH”.....	71
FIGURA 3.20 - CIRCUITO DE “LATCH” DUPLO.....	72
FIGURA 3.21 - SAÍDA DOS “LATCHES” MESTRES DO MSB E 2-SB.....	74
FIGURA 3.22 - SAÍDA DOS “LAT.” MEST. A-1, A-2, A-3, A-4, A-5, A-6, A-7 E 3-SB.....	75
FIGURA 3.23 - SAÍDA COMPL. DOS “LATCHES” MESTRES ($\overline{3-SB}$ E $\overline{A-1}$ ATÉ $\overline{A-7}$).....	76
FIGURA 3.24 - PORTA LÓGICA COM “LATCH”.....	77
FIGURA 3.25 - PORTA LÓGICA DE SAÍDA.....	78
FIGURA 3.26 - SAÍDAS DAS PORTAS LÓGICAS COM “LATCH” (L01 A L09).....	79
FIGURA 3.27 - SAÍDAS DAS PORTAS LÓGICAS COM “LATCH” (L10 A L17).....	80
FIGURA 3.28 - SINAIS DE SAÍDA DO CONVERSOR A/D EM CÓDIGO BINÁRIO.....	81
FIGURA 4.1 - CONVERSOR A/D E D/A INTERLIGADOS.....	83
FIGURA 4.2 - CURVA DE TRANSFERÊNCIA DO CONVERSOR A/D.....	83
FIGURA 4.3 - ERRO DE NÃO LINEARIDADE DIFERENCIAL - DNL.....	84
FIGURA 4.4 - CURVA DO DNL DO CONVERSOR A/D DE 6 BITS.....	84
FIGURA 4.5 - ERRO DE NÃO LINEARIDADE INTEGRAL - INL.....	85
FIGURA 4.6 - ERRO DE QUANTIZAÇÃO.....	85
FIGURA 4.7 - CURVA DO INL DO CONVERSOR A/D DE 6 BITS.....	86
FIGURA 4.8 - SINAL SENOIDAL NA SAÍDA DO CONVERSOR D/A (5 MHz).....	87
FIGURA 4.9 - CÁLCULO DE VRMS.....	88
FIGURA 4.10 - CURVA DO NÚMERO EFETIVO DE BITS X FREQUÊNCIA DE AMOSTRAGEM.....	89

FIGURA 4.11 - CURVA DO NÚMERO EFETIVO DE BITS X FREQ. DO SINAL DE ENTRADA..	89
FIGURA 4.12 - SINAIS NOS AMPLIFICADORES “FOLDING”	90
FIGURA 4.13 - SINAL DO 3-SB NA SAÍDA DO “FOLDING ENCODER”	90
FIGURA 4.14 - SINAL SENOIDAL DE 25 MHz NA SAÍDA DO CONVERSOR D/A.....	91
FIGURA 4.15 - TESTE DA FREQUÊNCIA DE BATIMENTO.....	92
FIGURA 4.16 - RESULTADO DO TESTE DA FREQUÊNCIA DE BATIMENTO.....	92
FIGURA 4.17 - CRUZAMENTO DE ZERO DIFERENCIAL DO MSB, 2-SB E 3-SB	93
FIGURA 4.18 - TEMPO DE CONVERSÃO.....	94
FIGURA 4.19 - CURVA DE TRANSFERÊNCIA EM ALTA FREQUÊNCIA	95
FIGURA 4.20 - CÓDIGO DE SAÍDA EM ALTA FREQUÊNCIA	95
FIGURA 4.21 - CURVA DE TRANSFERÊNCIA DA SIMULAÇÃO MONTE CARLO	96
FIGURA 4.22 - CÓDIGO DE SAÍDA DA SIMULAÇÃO MONTE CARLO	97
FIGURA 4.23 - DIAGRAMA VETORIAL EM FUNÇÃO DA TEMPERATURA.....	99
FIGURA 4.24 - “LAYOUT” DO CIRCUITO DO CONVERSOR A/D DE 6 BITS	101

LISTA DE TABELAS

TABELA 1.1 - RESOLUÇÃO.....	3
TABELA 1.2 - TAXA DE CONVERSÃO.....	4
TABELA 1.3 - DESEMPENHO DE CONVERSORES A/D RÁPIDOS.....	5
TABELA 1.4 - CÓDIGO.....	17
TABELA 1.5 - RELAÇÃO ENTRE PDA'S E RESOLUÇÃO.....	24
TABELA 1.6 - INTERPOLAÇÃO.....	33
TABELA 2.1 - 4-SB.....	40
TABELA 2.2 - 5-SB.....	41
TABELA 2.3 - LSB.....	42
TABELA 4.1 - RESUMO DOS RESULTADOS DO CONVERSOR A/D DE 6 BITS.....	96
TABELA 4.2 - RESULTADOS DA SIMULAÇÃO "MONTE CARLO".....	98
TABELA 4.3 - ESPECIFICAÇÕES DO CONVERSOR.....	98
TABELA 4.4 - ANÁLISE COMPARATIVA DE CONVERSORES DE 8 BITS.....	100

LISTA DE ABREVIATURAS

A/D = analógico-digital
ADC = conversor analógico-digital
A-n = sinal gerado no “folding encoder” ou por interpolação
 $\overline{A-n}$ = sinal complementar ao A-n gerado no “folding encoder” ou por interpolação
D/A = digital-analógico
DAC = conversor digital-analógico
DNL = não linearidade diferencial (“differential linearity”)
ECL = lógica acoplada por emissor (“emitter coupled logic”)
 f_T = frequência de transição
I = corrente analógica genérica
 I_C = corrente do coletor de um transistor bipolar
 I_B = corrente da base de um transistor bipolar
 I_E = corrente do emissor de um transistor bipolar
INL = não linearidade integral (“integral linearity”)
IS = corrente de saturação, como parâmetro do modelo de transistor bipolar
LSB = bit menos significativo
MSB = bits mais significativo
N = número de bits de um conversor analógico-digital
N' = número efetivo de bits de um conversor analógico-digital
Q = referência a transistor bipolar
 R_C = resistência de coletor do transistor bipolar
 R_B = resistência de base do transistor bipolar
 R_E = resistência de emissor do transistor bipolar
 R_L = resistência de coletor do transistor bipolar
 V_{BE} = voltagem base-emissor de um transistor bipolar
 V_{in} = sinal (em voltagem) de entrada
 V_r = sinal (em voltagem) reconstruído na saída de um conversor digital-analógico
 V_{rms} = Voltagem quadrática média (“root mean square”)
 V_T = tensão termodinâmica ($k.T/q$)

RESUMO

Em um conversor analógico/digital com arquitetura “folding” e interpolação, os bits mais significativos são obtidos pela quantização do sinal de entrada usando um circuito “folding”, enquanto os bits menos significativos são obtidos pela técnica de interpolação. A interpolação reduz a complexidade do circuito sem aumentar a razão de “folding” do sistema. Todas as soluções empregadas para implementar a técnica de interpolação utilizam uma interpolação resistiva. Este tipo de interpolação tem alguns aspectos indesejáveis para a performance do sistema, tais como: maior complexidade do circuito (rede resistiva), “delay” na propagação do sinal e capacitâncias parasitas. Alternativamente, nós propomos realizar a interpolação nos “latches” mestre do conversor analógico/digital. Nós consideramos a nova técnica de interpolação em duas formas diferentes: interpolação simples e interpolação dupla. Para exemplificar, foi projetado e simulado um conversor analógico/digital de 6 bits usando a técnica “folding” e a nova técnica de interpolação. No conversor analógico/digital, os 3 bits mais significativos são determinados pelos circuitos “folding” e os 3 bits menos significativos são determinados pela nova técnica de interpolação. Os resultados obtidos mostram que a nova técnica de interpolação possibilita um conversor analógico/digital de alta performance com resolução de até 8 bits e, ao mesmo tempo, uma grande largura de banda, uma baixa dissipação de potência e pequena complexidade.

Palavras-chave: Conversor Analógico/Digital; “Folding”; Interpolação.

ABSTRACT

In an analog/digital converter with folding architecture and interpolation, the most significant bits are determined by a quantization of the input signal using a folding circuit, while the least significant bits are obtained by interpolation technique. The interpolation reduces the complexity of the circuits without increasing the folding rate of the system. All solutions employed to implement an interpolation technique use a resistive interpolation. It has some undesirable feature for the system performance, such as: higher complexity of the circuits (resistive network), delay in the signal propagation and parasitic capacitance. Alternatively, we propose to make the interpolation in the master latches of the analog/digital converter. We considered the new interpolation technique in two different shapes: simple interpolation and double interpolation. For example, a 6 bit analog/digital converter using a folding and the new interpolation technique was designed and simulated. In the analog/digital converter, the 3 most significant bits are determined by folding circuits and the 3 least significant bits are determined by the new interpolation technique. The obtained results showed that the new interpolation technique makes possible a high performance A/D converter with resolution up to 8 bits, at the same time, a large analog bandwidth, a low power dissipation and small complexity.

Keywords: Analog/Digital Converter; Folding; Interpolation.

INTRODUÇÃO

A maioria dos sinais gerados são analógicos (voltagens e correntes) que variam continuamente com o tempo. Normalmente a obtenção de dados e informações através de transdutores gera um sinal do tipo analógico. Devido aos recursos atuais da tecnologia digital é vantagem transformar este sinal analógico em digital, processá-lo e, posteriormente, se necessário, transformá-lo novamente em sinal analógico. O circuito que realiza esta primeira função é chamado Conversor Analógico/Digital - ADC. É importante salientar que este processamento no sinal poderia ser feito por circuitos analógicos. É possível o projeto de circuitos analógicos que elaborem qualquer função com rapidez e baixo custo. Contudo, os circuitos digitais também têm circuitos rápidos, de baixo custo e apresentam a vantagem da facilidade de projeto através da aplicação de técnicas (automatizadas que não superam a criatividade do projetista analógico) que facilitam o desenvolvimento de sistemas e, principalmente, criam circuitos que evitam (ou superam) os problemas inerentes à eletrônica analógica. Atualmente com o avanço da tecnologia digital e o conseqüente aumento do tráfego e fluxo das informações transmitidas por meios de comunicações digitais, a importância dos conversores A/D tem aumentado de sobremaneira. Existem projetos em andamento que prevêm uma grande rede mundial de comunicação “on-line”, a chamada superestrada da informação (“information highway”) onde o volume de bytes a serem transmitidos é incomensurável para permitir o envio e recebimento de mensagens eletrônicas e a transmissão de imagens de televisão em alta definição (HDTV) e áudio de forma praticamente imediata. Dentro deste contexto a participação dos conversores A/D e D/A rápidos é fundamental para acompanhar a velocidade que o fluxo de informações requer. Isto vai exigir conversores com alta taxa de conversão e resolução, com pequena área de silício e

baixo consumo. Tudo isto, não como um circuito integrado mas como parte de um circuito integrado, cuja função sistêmica será muito mais ampla. É dentro deste espaço que este trabalho se enquadra, propondo um conversor A/D ultra rápido, utilizando as técnicas “folding” e interpolação. Este tipo de conversor possui vantagens significativas para competir com sucesso no grupo de conversores A/D rápidos e isto será demonstrado e percebido a seguir e na proposta apresentada.

O capítulo 1 faz uma revisão geral dos conversores A/D, detendo-se mais especificamente nos conversores A/D tipo “flash” e tipo “folding”. O capítulo 2 explica a técnica proposta e a nova técnica de interpolação. O capítulo 3 mostra o projeto do conversor e o capítulo 4, os resultados obtidos e a conclusão.

Capítulo 1

Conversores Analógicos/Digitais Rápidos

1.1 - Características:

As duas características mais importantes dos conversores A/D são o tempo de conversão e a taxa de conversão [01], que indicam quantas vezes o sinal analógico de entrada é amostrado e quantificado por segundo. O tempo total necessário desde a obtenção do valor do sinal analógico até a sua quantificação final é chamado tempo de conversão. Isto é, depois de aplicar um sinal analógico na entrada do conversor A/D, levará um tempo (de nanossegundos até microssegundos) para se obter na saída o código digital correspondente e estabilizado em seu valor final. Para a maioria dos conversores que não tenham nenhum atraso (“delay”) adicional, o tempo de conversão é essencialmente idêntico ao inverso da taxa de conversão. Entretanto, isto não é válido para os conversores do tipo “pipelining”, onde novas conversões são iniciadas antes da conversão precedente ter sido concluída. Temos ainda a considerar a resolução de um conversor, que é função do número de bits do código digital de saída. Um conversor de N-bits permite distinguir 2^N níveis diferentes de valores para a voltagem analógica de entrada. O conversor que satisfaz este critério é considerado com resolução de N-bits. Quanto maior o número de bits de um conversor A/D menor será o erro de quantização, que é a diferença entre o equivalente da voltagem analógica do código de

Tabela 1.1 - Resolução

Aplicações	Necessidades de Resolução
NTSC	8 bits
HDTV	10 bits

Tabela 1.2 - Taxa de Conversão

Aplicações	Necessidades de Taxa de Conversão
TV, VCR	20 MHz
HDTV Encoder	50 MHz
HDTV Standard	75 MHz

saída digital e o valor real da voltagem analógica de entrada. As principais características comparativas dos conversores A/D são a taxa de conversão e a resolução.

1.2 - Tipos de Conversores:

De modo geral os conversores analógico/digital podem ser divididos em seis tipos [01] e [02], conforme as suas características fundamentais de conversão:

- 1 - Tipo Contador;
- 2 - Tipo Aproximação Sucessiva;
- 3 - Tipo Integrador (“single-, dual-, & quad-Slope”, V/F e Sigma-Delta);
- 4 - Tipo “Multistep” (“Pipeline”, “Subranging” e “Subranging Two-Step”);
- 5 - Tipo Paralelo (“flash”);
- 6 - Tipo “Folding”.

Considerando uma comparação de tipos de conversão em apenas um circuito integrado com todas as funções do conversor (e não um sistema) é legítimo adotar o seguinte critério: Os três primeiros tipos são considerados conversores lentos e os três últimos são considerados conversores rápidos (também chamados de conversores para frequência de sinal de vídeo). Para efeito de ilustração, colocamos duas tabelas (1.1 e 1.2) com a relação de resolução e taxa de conversão, respectivamente, baseadas em tabela publicada em [03] para critério de avaliação de conversores de vídeo, que são considerados conversores rápidos. De modo geral os conversores que atendem estas condições de taxa de conversão podem ser considerados rápidos.

Tabela 1.3 - Desempenho de Conversores A/D Rápidos

Melhor → Tipo de Conversor	Resolução Bits/Freq. Am.	Taxa de Conversão Bits/Freq. Am.
Paralelo ("Flash")	8/20 MHz	6/1 GHz
"Folding"	10/300 MHz	8/650 MHz
"Pipeline"	15/1 MHz	10/100 MHz
"Subranging"	12/1 MHz	10/50 MHz
"Two-Step"	12/1 MHz	10/20 MHz

Com o objetivo de ilustrar o estado da arte dos conversores A/D rápidos, colocamos, na tabela 1.3, uma relação com alguns dos melhores desempenhos em termos de resoluções e taxas de conversão citadas em publicações a partir de 1977. É importante salientar que a utilidade desta tabela é apenas ilustrativa porque as tecnologias utilizadas não são as mesmas e, portanto, não é correto fazer uma comparação direta (desempenho, complexidade e consumo) entre os resultados. Na primeira coluna está colocado o tipo de conversor A/D, na segunda coluna o melhor desempenho encontrado em função da resolução (número de bits) e na terceira coluna o melhor desempenho em função da taxa de conversão. Verifica-se que, com a melhora da resolução, diminui a taxa de conversão e vice-versa.

A seguir daremos uma descrição dos tipos de conversores. Como este trabalho é dirigido para os conversores A/D rápidos (dentro do critério anteriormente colocado) procuraremos ser sintéticos na descrição dos conversores considerados lentos e mais detalhados nos conversores rápidos.

1.2.1 - Tipo Contador:

Este tipo de conversor A/D - também chamado de conversor "staircase" [04] - é bastante simples, veja a figura 1.1. A saída de um contador binário de N-bits (paralelos) alimenta um conversor digital/analógico, cuja saída é incrementada e dirigida para a entrada de um comparador juntamente com o sinal analógico de entrada a ser digitalizado. Quando os

dois sinais (saída do conversor D/A e sinal analógico) ficarem iguais, o sinal de saída do comparador pára o contador binário, cujo valor neste instante é colocado na saída do conversor A/D e corresponde ao valor digital equivalente ao nível de voltagem do sinal analógico e novamente o ciclo se repete. Este tipo de conversor é considerado lento porque a cada ciclo de conversão a contagem deve ser repetida até alcançar o valor digital equivalente ao sinal de entrada, o que pode demorar vários ciclos de “clock”.

Uma variação deste tipo de conversor utiliza um contador do tipo “up-down” - neste caso também chamado de conversor “tracking” ou conversor tipo servo [04] - o que diminui o tempo de conversão pela possibilidade do contador alcançar mais rapidamente o valor digital correto. Os pontos críticos de precisão deste tipo de conversor são o comparador e o conversor D/A. O sinal analógico deve ser mantido constante durante o tempo de conversão e, portanto, deve ser colocado um circuito S/H (“sample and hold”) na entrada do conversor. É possível obter alta resolução neste tipo de conversor. Este conversor é utilizado em aplicações onde é necessário uma boa resolução a uma taxa de conversão não muito alta. Por exemplo, um conversor com resolução de 14 bits e taxa de amostragem de 610 Hz, comentado em [05].

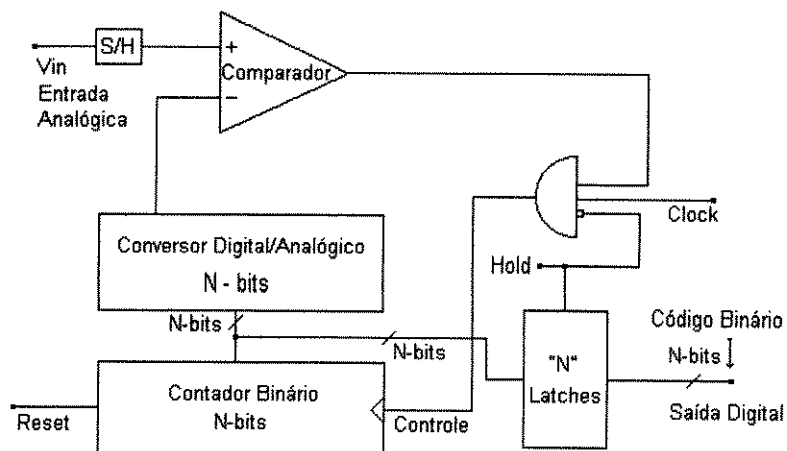


Figura 1.1 - Conversor A/D Tipo Contador

1.2.2 - Tipo Aproximação Sucessiva:

Conforme pode ser visto na figura 1.2, este tipo de conversor utiliza uma técnica de realimentação para relacionar uma voltagem analógica de entrada com um código digital correspondente (conforme os N-bits de resolução do conversor) [04]. No início do processo de conversão o “shift register” e o “holding register” são zerados. Na primeira etapa de conversão o MSB do “holding register” é colocado em nível “1” e os demais mantidos em nível “0”. É, então, realizada uma comparação entre o resultado de saída do conversor D/A (V_o) e o sinal de entrada (V_{in}). Se $V_o < V_{in}$, o nível “1” é mantido para o MSB, caso contrário é substituído por “0”. A etapa seguinte repete o mesmo processo para o 2-SB. Isto continua até que todos os N bits tenham sido verificados. A decisão de manter o nível lógico “1” ou substituir por “0” é realizada pelo comparador e pelo registrador de aproximação sucessiva. O controle lógico controla o início e o fim de cada etapa de aproximação e o resultado destas etapas são retidos no “holding register”. O sinal de saída é válido apenas quando todo o processo for concluído e isto é sinalizado pelo sinal de “status” do controle lógico.

Da mesma forma que o conversor A/D anteriormente descrito, este tipo de conversor permite alta resolução e os seus pontos críticos de precisão são o comparador e o conversor D/A e, também, o sinal analógico deve ser mantido constante durante o tempo de conversão e, portanto, deve ser colocado um circuito S/H na entrada do conversor. O ciclo completo de conversão é de (N+2) ciclos de “clock” [05].

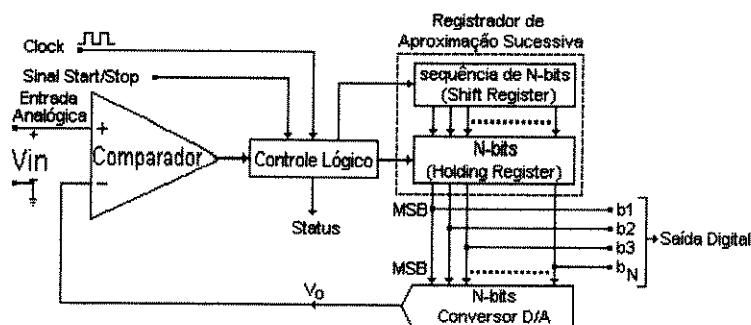


Figura 1.2 - Conversor A/D Tipo Aproximação Sucessiva

1.2.3 - Tipo Integrador:

Este tipo de conversor apresenta bastantes variações em seu modo de implementação, contudo, o princípio básico (veja a figura 1.3) é integrar a voltagem de entrada analógica ou a referência de voltagem ou, ainda, ambas e o resultado obtido é utilizado para controle do número de ciclos de “clock” na entrada de um contador binário para obter uma saída digital que represente a voltagem analógica de entrada [05]. Em função do modo de operação, estes conversores A/D são freqüentemente chamados de conversores indiretos ou por modulação de largura de pulso [04].

Normalmente estes tipos de conversores não são igualmente rápidos como os tipos que serão descritos a seguir, porém, permitem uma alta resolução a um baixo custo e possuem alta rejeição a ruído [01]. A conversão, de modo geral, necessita de vários ciclos de “clock”.

Um circuito básico como o apresentado na figura 1.3 possui uma imprecisão associada ao ponto de início da rampa de integração. Algumas outras técnicas de circuitos são utilizadas para superar esta limitação.

Destas técnicas as mais utilizadas são: conversor A/D “single-slope” e conversor A/D “dual-slope”. O conversor A/D “single-slope” utiliza um pequeno deslocamento inicial na rampa de voltagem na integração para melhorar a precisão do resultado.

O conversor A/D “dual-slope” é bastante popular e elimina a maioria das fontes de

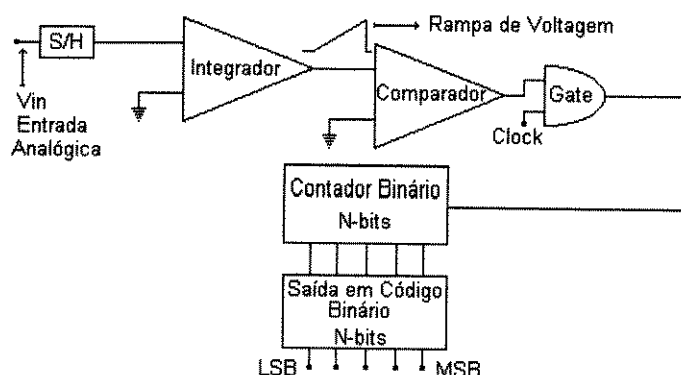


Figura 1.3 - Conversor A/D Tipo Integrador (básico)

erros e tolerância de componentes inerentes aos circuitos do tipo “single-slope”. O nome “dual-slope” advém do fato do conversor fazer duas rampas de voltagem na integração para obter o valor digital final. Uma integração é da voltagem desconhecida a ser digitalizada e a outra é de uma voltagem conhecida de referência. O resultado é obtido pela relação dos respectivos períodos de integração.

Existe ainda um outro tipo de conversor tipo integrador conhecido por conversor A/D tipo V/F (também é conhecido por conversor de balanceamento de cargas) [01] e [04]. Este conversor gera um determinado número de pulsos por intervalo de tempo que são contados por um contador digital para formar o resultado de saída.

As variantes dos conversores A/D tipo integrador são bastante diversas e incluem ainda o conversor A/D sigma-delta ($\Sigma\Delta$), que tem recebido recentemente muita atenção. A sua aplicação tem sido na área de códigos na faixa de áudio, tais como: interface de “tranceivers”, “modems”, áudio “tape” digital, “compact disc” e processamento de sinal de sonar. A taxa de conversão deste tipo de conversor tem aumentado significativamente nos últimos anos. Este tipo de conversor é constituído basicamente de dois blocos: um modulador analógico e um filtro digital. O sinal a ser digitalizado entra no modulador analógico onde é amostrado a uma razão muito alta (é chamado modulador porque o sinal de entrada é modulado por densidade de pulso). Os pulsos de saída do modulador são digitalmente filtrados para eliminar os ruídos de quantização produzidos pelo modulador. O filtro digital pode ser visto como um conversor de modulação por densidade de pulso para modulação por código de pulso, que é a saída deste tipo de conversor (em palavras de N-bits) [06].

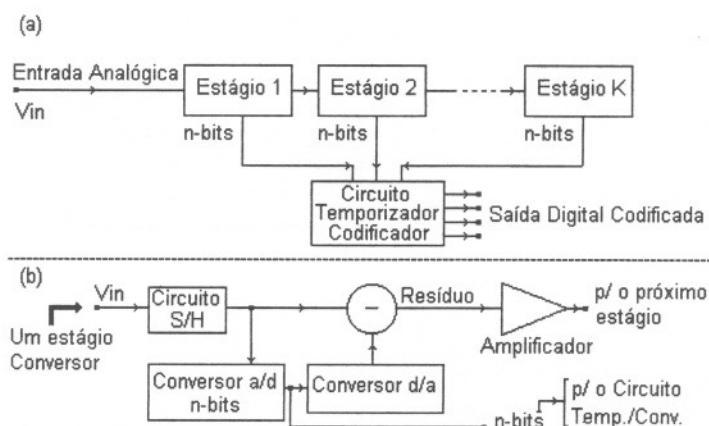
1.2.4 - Tipo “Multistep Pipeline”:

Na figura 1.4(a), pode-se ver que um conversor A/D “pipelined” consiste de dois ou mais estágios consecutivos que realizam uma conversão analógica/digital de n-bits (cada um)

e passam a voltagem residual para o próximo estágio fazer a conversão seguinte [02] e [07]. Na figura 1.49(b), observa-se que cada estágio do conversor contém um circuito S/H (“sample and hold”), um subconversor A/D de n-bits (tipo paralelo), um conversor D/A de baixa resolução e um amplificador. O princípio de operação é bastante simples.

O primeiro estágio amostra e retém o sinal analógico de entrada, em seguida faz uma conversão A/D de baixa resolução (apenas n-bits). O resultado desta conversão é dirigido para o circuito codificador de saída e, também, é novamente convertido para a forma analógica por meio de um conversor D/A, este sinal reconvertido é subtraído do sinal analógico de entrada e o resíduo é amplificado e enviado ao próximo estágio conversor que recebe o sinal analógico e faz as mesmas operações descritas anteriormente no primeiro estágio e envia o novo resíduo para o estágio seguinte e assim sucessivamente durante os “N” estágios do conversor.

Um circuito temporizador e codificador recebe o resultado da conversão analógica/digital de cada um dos estágios, corrige os tempos e codifica no código digital de saída. A resolução final do conversor é: $N\text{-bits} = (n\text{-bits}) \times \text{número de estágios (N)}$. É importante verificar que cada estágio fornece o seu resultado em instantes não coincidentes, o que ocasiona problemas de atrasos (“delay”) diferentes entre os resultados da conversão.



*Figura 1.4 - Conversor A/D Tipo “Multistep Pipelined”
(a) Circuito em Blocos.
(b) Descrição de um Bloco de Estágio “Pipelined”.*

O conversor A/D “pipelined” apesar de precisar realizar uma série de operações em cada conversão (S/H, converter A/D, converter D/A, subtrair e amplificar o resíduo), consegue ser rápido porque enquanto o estágio subsequente está convertendo a voltagem analógica (v_1), o estágio precedente já está processando a próxima voltagem analógica (v_2) a ser digitalizada. Isto incrementa muito a velocidade de conversão. Desta forma, o conversor A/D “pipelined” consegue realizar uma conversão em poucos ciclos de “clock” [02]. Não obstante ser mais lento do que o conversor A/D paralelo (“flash”), o conversor A/D “pipelined” tem a vantagem de ter incrementada a sua resolução com apenas o acréscimo de mais estágios e com isto obter uma excelente relação entre área/consumo com alta resolução, o que é muito difícil ser obtido com o conversor A/D tipo paralelo (“flash”). As maiores dificuldades encontradas nos conversores A/D “pipelined” são as exigências de qualidade dos circuitos S/H (“sample and hold”), subtrator e amplificador [02]. Esta exigência de qualidade fica menos crítica à medida que se seguem os estágios subsequentes. Em função disto, alguns conversores A/D “pipelined” têm no circuito temporizador e codificador de saída alguma forma de correção digital a ser aplicada nos valores obtidos.

1.2.5 - Tipo Multistep “Subranging”:

Conforme a descrição encontrada em [02], podemos dizer que a estrutura “subranging” segue a clássica configuração dos conversores “multisteps”. Isto é, tem dois ou mais estágios conversores A/D de baixa resolução que combinados obtêm uma resolução muito maior. O primeiro estágio faz uma primeira conversão e os estágios precedentes realizam outras conversões de forma a incrementar a resolução final do resultado. A principal diferença do conversor A/D “subranging” para outros tipos de conversores “multisteps” é que os estágios posteriores podem partilhar partes ou componentes dos estágios antecedentes, isto otimiza a utilização de área e o ajuste de componentes de precisão (por exemplo o

“trimming” de resistores) que podem ser utilizados repetidamente.

A estrutura do conversor A/D “subranging” corresponde, de forma geral, à figura 1.5, conforme descrito em [02]. A estrutura consiste em 2^N resistores e $(2^{N/2} - 1)$ comparadores, algumas chaves e um circuito S/H (“sample and hold”). Embora a figura 1.5 mostre dois grupos de comparadores, “latches” e circuitos decodificadores/codificadores, de fato apenas um grupo é necessário. Contudo, para a descrição geral do funcionamento do conversor, tomaremos como base o circuito da figura 1.5. Na primeira etapa de conversão os $(2^{N/2} - 1)$ comparadores são chaveados para os pontos da rede de resistores com 2^N pontos separados e os MSB são obtidos. No instante seguinte, quando o intervalo de resistores aonde a posição da voltagem de entrada é conhecida, os outros $(2^{N/2} - 1)$ comparadores são chaveados para estas posições de forma a se obter os LSB da conversão. Em resumo, podemos dizer que os comparadores dos MSB determinam o seguimento da posição de entrada que fica ativa e as chaves conectam os comparadores dos LSB para os resistores deste segmento e os LSB são determinados. Um conversor A/D “subranging” com N-bits pode utilizar $(2^{N/2} - 1)$ comparadores [o conversor A/D paralelo (“flash”) precisa de $(2^N - 1)$ comparadores], o que significa uma grande economia de área de silício e potência dissipada. Entretanto, o uso deste

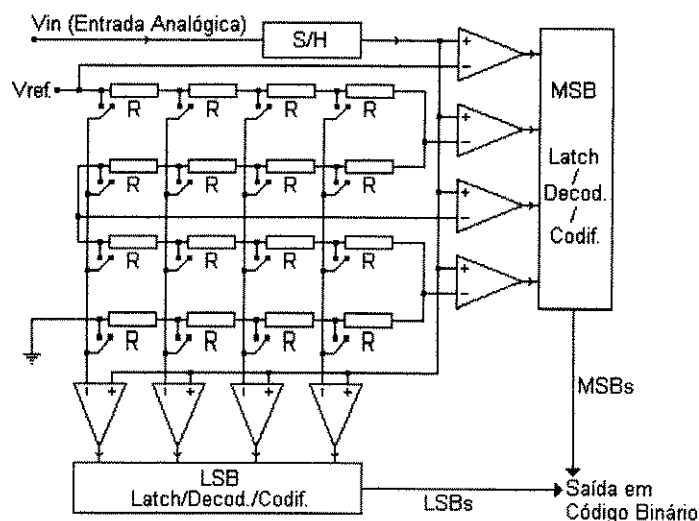


Figura 1.5 - Conversor A/D Tipo “Multistep Subranging”

tipo de conversor para valores de resolução maiores do que 10 bits torna-se limitado pelo aumento do número de componentes, principalmente de resistores (32 comparadores e 1024 resistores), o que provoca o aumento de área de silício e consumo de potência e, como alternativa, outros tipos de conversores podem tornar-se mais interessantes. Isto apesar de algumas aplicações desta técnica, com resoluções de 12 e 16 bits respectivamente, terem sido reportadas em [07] e [08], e apesar de esta última não ser um circuito integrado e sim um sistema mais complexo.

1.2.6 - Tipo Multistep “Subranging Two-Step”:

O conversor A/D “two-step” também é um conversor “subranging”, contudo o seu princípio de funcionamento é um pouco diferente do conversor A/D “subranging” clássico. Existem, ainda, duas variações utilizadas. Inicialmente iremos analisar a versão mais simplificada, que é mostrada na figura 1.6. Neste conversor A/D o sinal analógico deve ser mantido na entrada por um circuito S/H (“sample and hold”) para garantir que o sinal não tenha nenhuma variação até que a conversão esteja completamente terminada. Após o circuito S/H o sinal passa pelo primeiro conversor A/D (tipo paralelo) onde são obtidos os primeiros N1-MSB bits do código digital. Este resultado, também, é aplicado em um conversor D/A para reproduzir a voltagem analógica correspondente aos N1-MSB bits. A

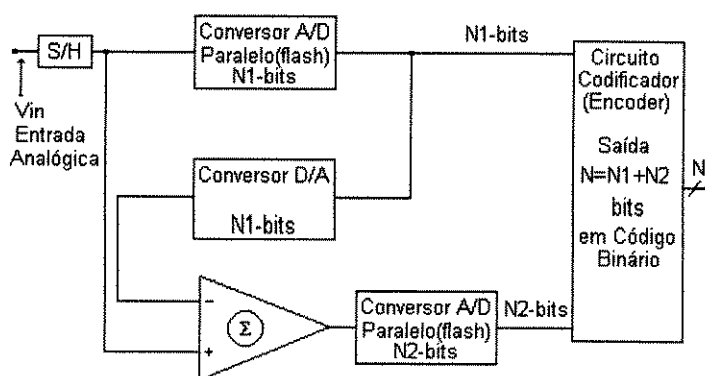


Figura 1.6 - Conversor A/D Tipo “Multistep Subranging Two-Step” (v. 1)

voltagem analógica obtida é, então, subtraída da voltagem analógica do sinal de entrada, produzindo uma diferença (também chamada voltagem de erro) que vai para um segundo conversor A/D (tipo paralelo) que produzirá os N_2 -LSB bits do código digital. Posteriormente, as duas partes do código digital são somadas e codificadas no circuito codificador de saída [05]. A grande vantagem deste tipo de circuito conversor é que pode-se utilizar internamente dois conversores independentes.

Por exemplo, para fazer a conversão de um sinal analógico com oito bits, pode-se utilizar dois conversores de 4 bits (o que equivale a dois conversores de 15 comparadores, obtendo um total de 30 comparadores). Para fazer a mesma conversão com um conversor paralelo (“flash”) seriam necessários 255 comparadores.

As desvantagens são o aumento do tempo de conversão, uma vez que a conversão é feita em duas etapas (dois ciclos de “clock”), a necessidade de ajustar as duas conversões realizadas por conversores distintos e, ainda, a utilização de um circuito S/H na entrada.

A figura 1.7 mostra uma configuração mais elaborada deste mesmo princípio de conversão, onde a segunda conversão A/D passa a ser feita não mais com N_2 -LSB bits mas com (N_2+M) -LSB bits. Os N_2 -LSB bits do segundo conversor são dirigidos para o circuito codificador de saída e os M -LSB bits são somados digitalmente com os N_1 -MSB bits gerados

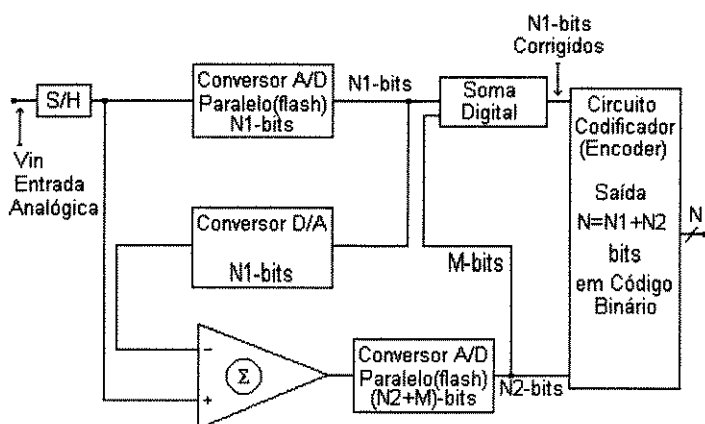


Figura 1.7 - Conversor A/D “Multistep Subranging Two-Step” (v. 2)

pelo primeiro conversor A/D produzindo outros N1-MSB corrigidos. E, da mesma forma, as duas partes do código digital são somadas e codificadas no circuito codificador de saída. Os M-LSB bits gerados a mais servem para corrigir qualquer erro de diferença de conversão dos dois conversores A/D [05]. As desvantagens são as mesmas do modelo anterior, exceto pelo melhor ajuste das duas conversões realizadas por conversores distintos.

1.2.7 - Tipo Paralelo (“flash”):

O conversor A/D paralelo é, também, conhecido como “flash” ou simultâneo. Na figura 1.8, podemos observar um exemplo de um conversor A/D paralelo de 3 bits, sendo que a voltagem analógica de entrada é comparada às voltagens fixas de referências para cada nível do código digital, do início até o fim da escala. Para uma resolução de N-bits são necessários $(2^N - 1)$ comparadores e igual quantidade de níveis de referência. A grande vantagem do conversor A/D paralelo é a grande rapidez na conversão, porque o sinal analógico de entrada é comparado diretamente e simultaneamente com cada nível de voltagem de referência em comparadores distintos.

Os conversores paralelos têm como circuito básico de entrada um pré-amplificador e um “latch”, que atuam juntos em uma configuração de circuito comparador (veja a figura 1.9). Na saída dos comparadores é necessário a colocação de um circuito de codificação que irá receber o sinal dos comparadores e codificar o sinal de saída em código digital (binário ou

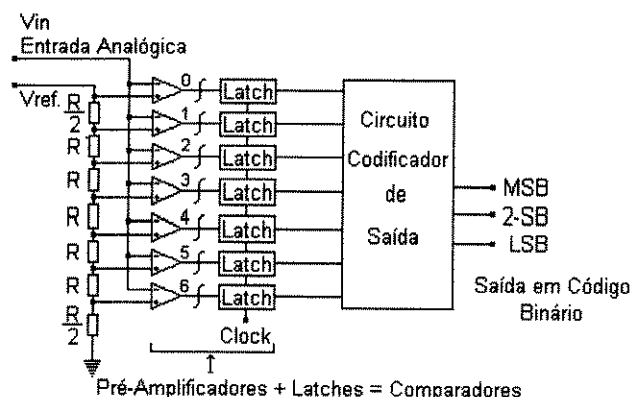


Figura 1.8 - Conversor A/D Tipo Paralelo (“Flash”)

gray). A maioria das aplicações dos conversores A/D paralelo são no processamento de sinais de vídeo, que necessitam de alta taxa de conversão, de 5 a 50 MHz conforme [04].

No exemplo da figura 1.8, são necessários $(2^3 - 1) = 7$ comparadores com 7 níveis de referência de voltagem. Todas as entradas dos comparadores são conectadas entre si e recebem a voltagem analógica de entrada (V_{in}) simultaneamente. Para um determinado valor de V_{in} , todos os comparadores cuja voltagem de referência estiver abaixo do valor de V_{in} irão para o nível alto na saída ($V_{out} = "1"$ digital) e os demais comparadores cuja voltagem de referência estiver acima do valor de V_{in} irão para o nível baixo na saída ($V_{out} = "0"$ digital). O circuito fundamental no entendimento do funcionamento do conversor A/D paralelo é o comparador. Na figura 1.9 podemos ver um circuito típico de um estágio comparador e a curva de transferência do pré-amplificador. O comparador é constituído de um pré-amplificador na entrada, onde o transistor T_1 recebe a voltagem do sinal de entrada e o transistor T_2 a voltagem de referência. À medida que a voltagem de entrada aumenta, a voltagem diferencial de saída do pré-amplificador (V_{out}) varia entre $-V_{out}$ até $+V_{out}$ (curva de tangente hiperbólica). Esta voltagem diferencial será detectada pelo "latch", que ao receber o sinal do "clock" reterá na sua saída o nível alto ($0 < V_{out} < +V_{out}$) ou baixo ($V_{out} < V_{out} < 0$).

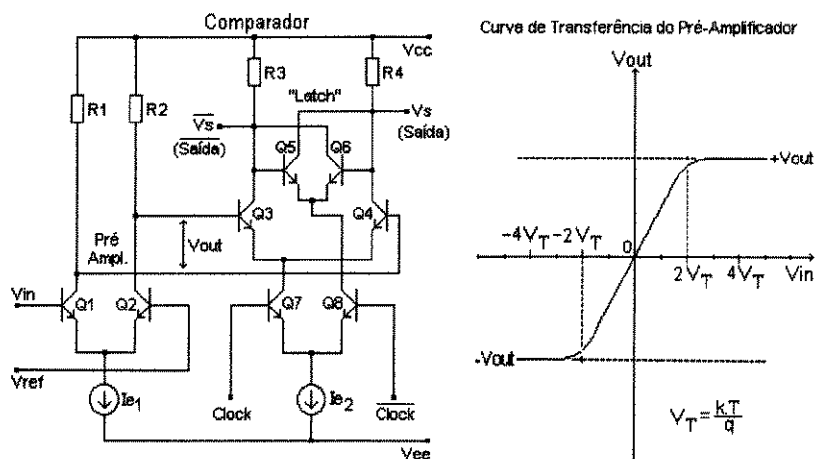


Figura 1.9 - Comparador e a Curva de Transferência do Pré-Amplificador

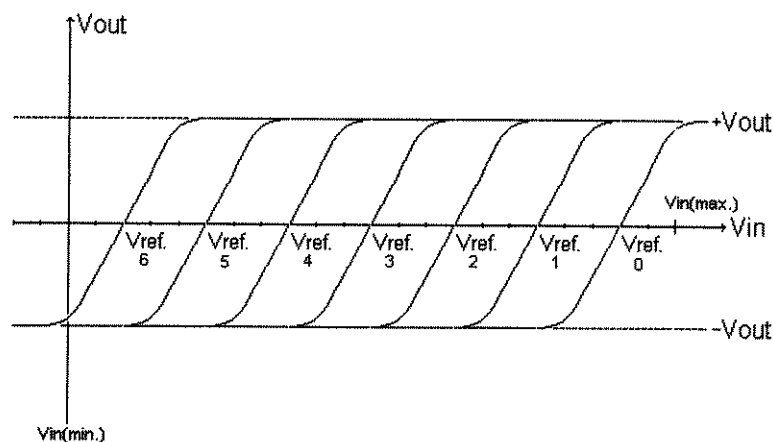


Figura 1.10 - Curva de Transferência dos Pré-Amplificadores

Portanto, na forma digital, temos: $+V_{out} \rightarrow "1"$ e $-V_{out} \rightarrow "0"$. Na figura 1.10 podemos observar a curva resultante da composição do efeito de todos os pré-amplificadores de entrada do conversor, em função da voltagem do sinal de entrada.

Verifica-se que conforme V_{in} varia, os comparadores com voltagem de referência abaixo de V_{in} terão a saída em nível alto e o seu respectivo "latch" detectará o valor ($+V_{out} \rightarrow "1"$ digital) e todos os comparadores com a voltagem de referência acima de V_{in} terão a saída em nível baixo e o seu respectivo "latch" detectará o valor ($-V_{out} \rightarrow "0"$ digital). É interessante acompanhar nas curvas os níveis dos diversos comparadores. Nas saídas dos comparadores, temos o chamado código termômetro [09]. Veja a tabela 1.4, onde foi feito um código de representação para 7 níveis de comparação. Relacionando a figura 1.10 e a tabela

Tabela 1.4 - Código

Nível	Código Termômetro
0	0 0 0 0 0 0 0
1	1 0 0 0 0 0 0
2	1 1 0 0 0 0 0
3	1 1 1 0 0 0 0
4	1 1 1 1 0 0 0
5	1 1 1 1 1 0 0
6	1 1 1 1 1 1 0
7	1 1 1 1 1 1 1

1.4, podemos facilmente perceber o comportamento dos comparadores. Quando V_{in} é igual a zero, a saída de todos os comparadores será igual a zero. A medida que V_{in} vai aumentando e ultrapassa a V_{ref} do primeiro comparador, este muda para o nível alto ("1") na sua saída e assim sucessivamente com os demais

comparadores até que V_{in} alcance o seu valor máximo e seja maior do que todas as V_{ref} . Neste instante a saída de todos os comparadores estará em nível alto (“1”).

Na comparação, o nível da voltagem de saída de cada pré-amplificador é detectado e mantido pelo “latch” correspondente (ao receber o sinal de “clock”). As saídas dos “latches” são codificadas através de um circuito lógico que formará o código digital de saída (binário ou gray), no caso do exemplo é um código de 3 bits. Teoricamente a conversão A/D total pode ser feita em apenas um ciclo de “clock”, embora, na prática utilize-se normalmente 2 ciclos de “clock” [04], um para amostrar, comparar e reter o sinal e outro para completar a operação de codificação. A grande dificuldade dos conversores A/D paralelo é o aumento do número de comparadores e resistores de referência à medida que se aumenta a resolução (o circuito torna-se muito complexo para resolução maior que 6 bits), isto ocasiona um enorme aumento de área de silício e consumo de potência, devido ao grande número de componentes. O aumento do número de comparadores também aumenta os problemas de atraso (“delay”) e ocasiona erros de temporização e ainda, incrementa a capacitância de entrada do circuito conversor (cuidados especiais devem ser tomados para aplicar o sinal de entrada nos comparadores). Em [02] verifica-se que um conversor de 10 bits (1023 comparadores) consome de 2 a 3,7 W, com uma capacitância de entrada entre 200 e 300 pF, cerca de 40000 a 70000 transistores e área de 49 mm² a 90 mm². Existe alguma melhora nestes parâmetros quando se utiliza a tecnologia CMOS ou tecnologia SICOS (“Sidewall Base Contact Structure”) com f_T de 8,4 GHz conforme descrito em [10]. O conversor A/D paralelo (“flash”) é o mais rápido dentre todos os tipos de conversores e normalmente é construído utilizando-se a versão mais rápida de uma determinada tecnologia.

1.2.8 - Tipo “Folding”:

A técnica “folding”, bastante recente [11, 12, 13 e 14], trabalha basicamente com a

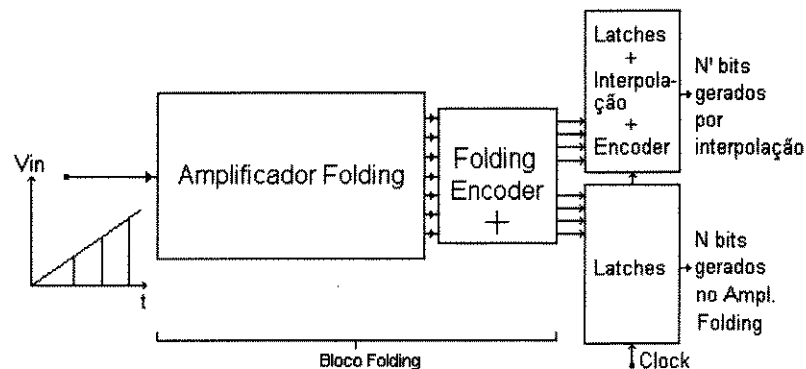


Figura 1.11 - Técnica "Folding" com Interpolação

geração de alguns bits do código digital de saída de forma direta no amplificador "folding" e outros bits através da técnica de interpolação.

Na figura 1.11, observamos que a tensão analógica de entrada é recebida e aplicada na entrada de um circuito chamado amplificador "folding". O amplificador "folding" é constituído de diversos estágios pré-amplificadores acoplados. Os bits são gerados através de uma composição no "folding encoder" das saídas dos pré-amplificadores do amplificador "folding". Estas composições (uma para cada bit) são dirigidas para as entradas dos "latches" que vão gerar os níveis digitais e ao mesmo tempo armazenar o valor na saída até ocorrer a próxima mudança de estado dos sinais nas suas entradas (sincronizados pelo sinal do "clock"). Os bits obtidos por meio da técnica de interpolação necessitam, ainda, para serem compostos, de um circuito de codificação.

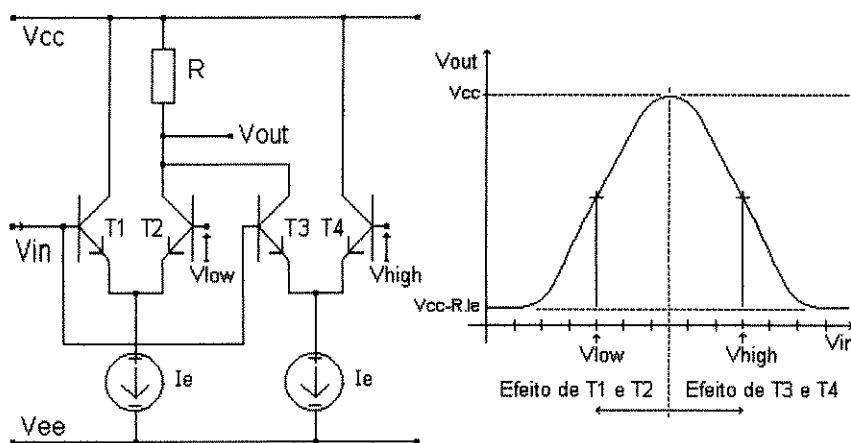


Figura 1.12 - Par Diferencial Acoplado - PDA e sua Curva de Transferência

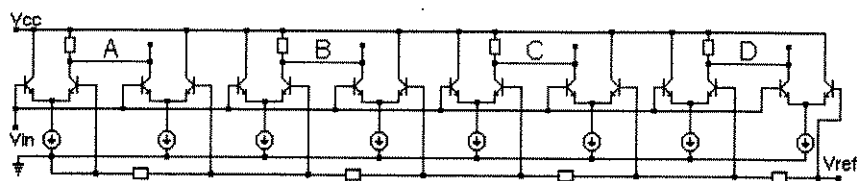


Figura 1.13 - Exemplo de Circuito do Amplificador "Folding"

A compreensão da técnica "folding" está no entendimento do funcionamento dos pré-amplificadores que formam o amplificador "folding". Para tanto, utilizaremos um circuito com pré-amplificadores proposto em [12] que é o par diferencial acoplado (PDA - em inglês conhecido por "Coupled Differential Pair" - CDP), veja a figura 1.12. A curva de transferência do PDA pode ser vista na mesma figura. O primeiro par diferencial se referencia em V_{low} e quando V_{in} fica maior do que V_{low} a saída do PDA vai para o nível alto. O segundo par diferencial se referencia de modo complementar em V_{high} e quando V_{in} fica maior do que V_{high} a saída do PDA vai para o nível baixo. A diferença entre as duas voltagens V_{high} e V_{low} ($\Delta V = V_{high} - V_{low}$) indica em que faixa de voltagem a saída do PDA ficará em nível alto ou baixo.

O agrupamento adequado e com eliminação das redundâncias dos pares diferenciais acoplados forma o amplificador "folding" (veja a figura 1.13). Com o intuito de simplificar,

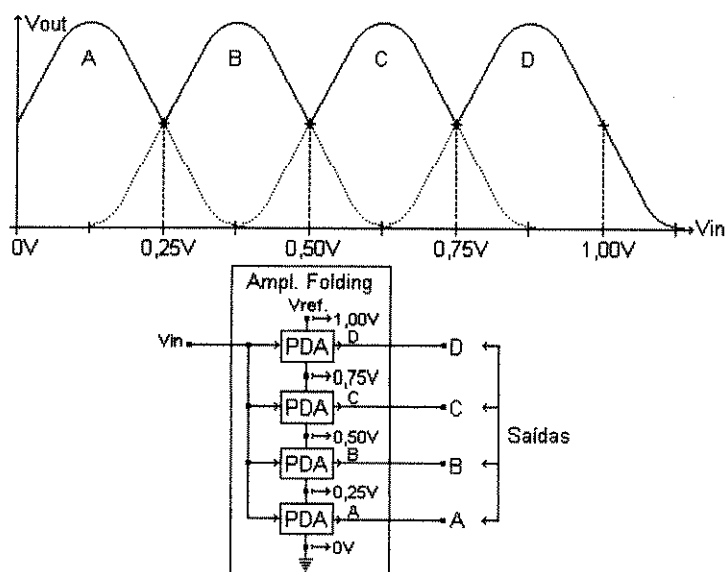


Figura 1.14 - Amplificador "Folding" na Forma de Blocos

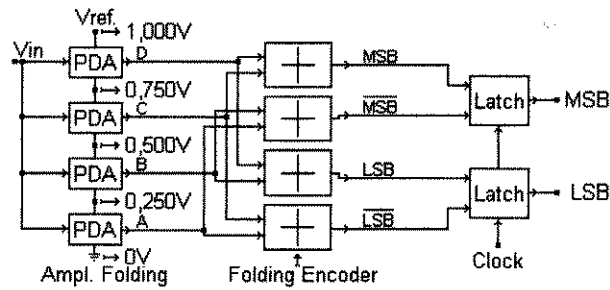


Figura 1.15- Conversor A/D Tipo "Folding" (2 bits)

foi colocado na figura 1.14 o mesmo amplificador "folding", na forma de blocos, com 4 PDA's e a forma de onda combinando os seus respectivos efeitos.

O PDA (A) fica em nível alto no intervalo de 0V a 0,25V, o (B) no intervalo de 0,25V a 0,50V, o (C) no intervalo de 0,50V a 0,75V e o (D) no intervalo de 0,75V a 1,00V. A combinação destes sinais, através do "folding encoder" (um circuito que soma os sinais), permitirá determinar e obter um determinado bit do código digital de saída. O conjunto formado pelo amplificador "folding" mais o "folding encoder" é chamado de bloco "folding" em [12]. Na figura 1.15, vemos o exemplo de um conversor A/D tipo "folding" de 2 bits e nas figuras 1.16 e 1.17, as suas formas de ondas, antes e depois dos "latches", respectivamente. Na figura 1.15, podemos observar que o amplificador "folding" é semelhante ao da figura 1.14 e formado por 4 PDA's (A, B, C e D).

A combinação das saídas dos PDA's são feitas no "folding encoder". As saídas C e D

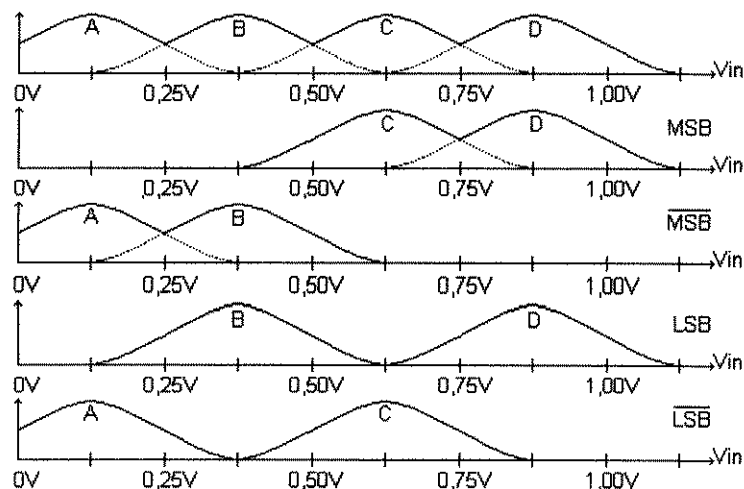


Figura 1.16 - Sinais nas Saídas do Ampl. "Folding" e "Folding Encoder" (2 bits)

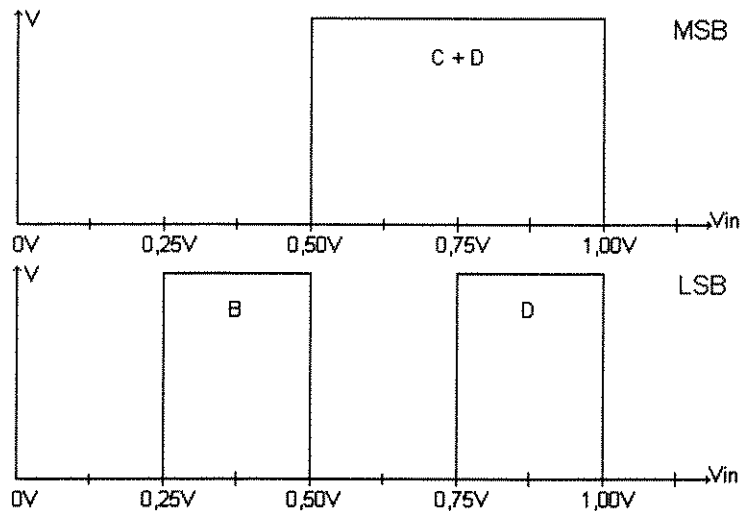


Figura 1.17 - Forma de Onda na Saída dos “Latches” (2 bits)

formam o MSB e as saídas A e B formam o $\overline{\text{MSB}}$. As saídas B e D formam o LSB e as saídas A e C formam o $\overline{\text{LSB}}$. É sempre necessário gerar os sinais complementares porque as entradas dos “latches” são diferenciais. A figura 1.16 permite verificar como estas combinações geram os respectivos bits. Na figura 1.17, vemos as saídas dos “latches”, que geram os níveis digitais e armazenam os resultados até a próxima mudança dos sinais em suas entradas (controlados pelo sinal do “clock”). É importante atentar que cada PDA cria uma forma de onda semelhante à da figura 1.12, em função das suas referências (V_{low} e V_{high}) e a combinação destas formas de onda (no “folding encoder” e nos “latches”) é que produzem o código digital. O código obtido na saída deste conversor A/D de 2 bits é binário.

Outro exemplo de um conversor A/D tipo “folding”, agora de 3 bits, é apresentado na figura 1.18 e as figuras 1.19 e 1.20 mostram as formas de ondas, antes e depois dos “latches”. Na figura 1.18, podemos observar que a combinação das saídas envolvem 4 PDA’s (no conversor de 2 bits envolviam 2 PDA’s) e, também, são feitas no “folding encoder”. As saídas E, F, G e H formam o MSB e as saídas A, B, C e D formam o $\overline{\text{MSB}}$. As saídas C, D, G e H formam o 2-SB e as saídas A, B, E e F formam o $\overline{2\text{-SB}}$. As saídas B, D, F e H formam o LSB e as saídas A, C, E e G formam o $\overline{\text{LSB}}$. Os sinais gerados são complementares porque as

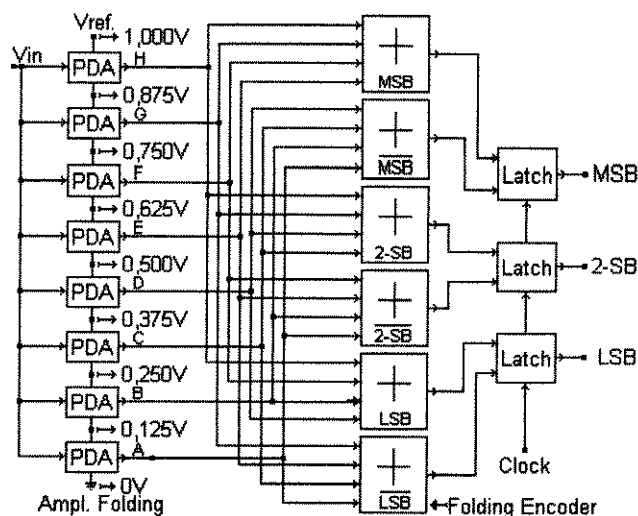


Figura 1.18 - Conversor A/D Tipo "Folding" (3 bits)

entradas dos "latches" são diferenciais. Cada PDA cria uma forma de onda semelhante à da figura 1.12, em função das suas referências (V_{low} e V_{high}) e estas formas de onda combinadas resultam nas formas de onda da figura 1.19 e, após passarem pelos "latches", tomam a forma da figura 1.20. A vantagem é que todos os sinais são gerados a partir dos mesmos PDA's.

No conversor A/D tipo paralelo ("flash") de 3 bits tomado como exemplo no item 1.2.7 foram necessários 7 "latches" e no exemplo do conversor A/D tipo "folding" de 3 bits foram utilizados apenas 3 "latches" e como a saída já está no código binário, foi dispensável o circuito de codificação (indispensável na técnica de conversão paralela).

A vantagem da técnica "folding" está em diminuir o número de "latches". Inclusive, conforme [11], o nome "folding" vem do inglês "folds", que seria dobrar/juntar as saídas de

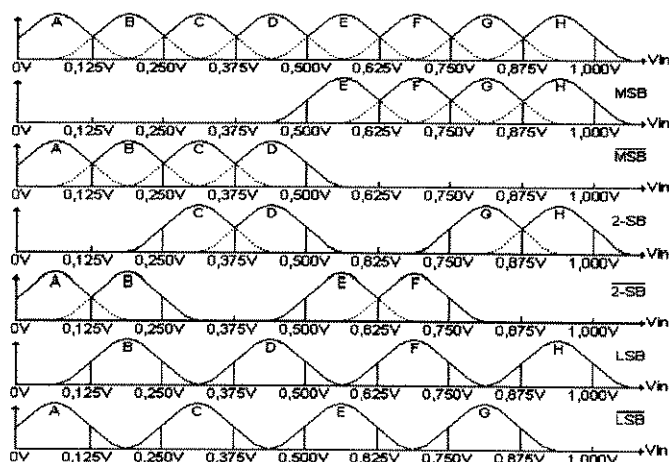


Figura 1.19 - Sinais nas Saídas do Amplf. "Folding" e "Folding Encoder" (3 bits)

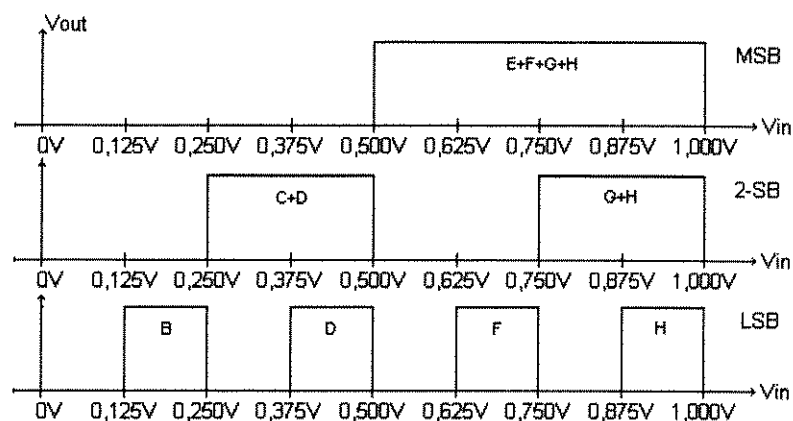


Figura 1.20 - Forma de Onda na Saída dos “Latches” (3 bits)

vários pré-amplificadores em um único “latch” e, desta forma, reduzir a redundância dos sinais que existem na conversão paralela (“flash”).

Observando os dois exemplos (conversores A/D de 2 e 3 bits), notamos, por inspeção, que para aumentar o número de bits na conversão A/D bastaria acrescentar mais PDA’s e alterar as suas referências (V_{low} e V_{high}), formando outros amplificadores “folding”.

Exemplificando, para ter 2 bits seria feita uma combinação de 4 PDA’s com a voltagem de referência dividida em 1/4, para ter 3 bits seria feita uma combinação de 8 PDA’s com a voltagem de referência dividida em 1/8, para ter 4 bits seria feita uma combinação de 16 PDA’s com a voltagem de referência dividida em 1/16 e para ter 5 bits seria feita uma combinação de 32 PDA’s com a voltagem de referência dividida em 1/32 e assim sucessivamente. Portanto, a cada aumento da resolução em 1 bit, o número de PDA’s dobra (veja a tabela 1.5). Entretanto, existe um limite prático para uso desta técnica por causa do aumento da frequência do sinal no amplificador “folding”. No exemplo do conversor A/D

Tabela 1.5 - Relação entre PDA’s e Resolução

Resolução (bits)	Número de PDA’s	Intervalo de Vref.	Razão de “Folding”
2	4	1/4	4
3	8	1/8	8
4	16	1/16	16
5	32	1/32	32
8	256	1/256	256

“folding” de 2 bits (veja a figura 1.15), para a geração do bit menos significativo (LSB) foi necessário utilizar tensões de referências divididas em 1/4, o que origina frequências da ordem de 4 vezes a frequências do sinal V_{in} de entrada no amplificador “folding” (veja a figura 1.16). Este fator que no exemplo é 4, chama-se razão de “folding” do conversor [12].

No exemplo do conversor A/D de 3 bits (veja a figura 1.18), para a geração do bit menos significativo (LSB) foi necessário utilizar tensões de referências divididas em 1/8, o que origina frequências da ordem de 8 vezes a frequências do sinal V_{in} de entrada no amplificador “folding” (veja a figura 1.19). A razão de “folding” deste conversor é 8. Se no exemplo dado (3 bits), V_{in} tivesse uma frequência de 100 MHz, a frequência interna no amplificador “folding” chegaria a 800 MHz. Através da razão de “folding”, podemos fixar o número aproximado de bits que podem ser facilmente (ou diretamente) derivados do sistema utilizando-se combinações das saídas dos PDA’s do amplificador “folding”, conforme [12]. Este número é dado pela seguinte relação: $\log_2(\text{razão de “folding”})$. Se, por exemplo a razão de “folding” for fixada em 8, teríamos: $\log_2(8) = 3$. O valor obtido seria o número de bits (3) que poderiam ser facilmente (ou diretamente) gerados, combinando-se as saídas dos PDA’s no “folding encoder” e mantendo-se a razão de “folding” constante em oito (8). Teoricamente, seria possível realizar toda a conversão A/D através das combinação das curvas de transferência dos PDA’s. Todavia, o intervalo da tensão de referência acompanha o número de bits do código digital, isto é, o intervalo corresponde a $[1/(2^N)]$ da tensão de referência.

No exemplo do conversor “folding” de 3 bits, foram utilizados intervalos de $[1/(2^3)] =$

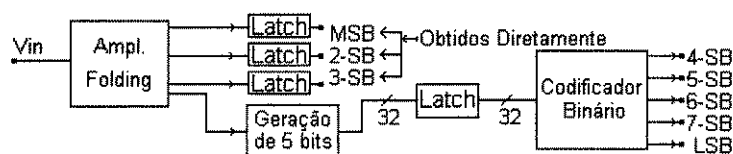


Figura 1.21 - Conversor A/D Tipo “Folding” (8 bits)

1/8 da tensão de referência (veja a figura 1.18), isto corresponde a 8 PDA's e uma razão de "folding" igual a 8. Se o conversor A/D fosse de 8 bits, seriam necessários intervalos de $[1/(2^8)] = 1/256$ da tensão de referência, o que resultaria em 256 PDA's e um alto valor da razão de "folding" (256). E conseqüentemente a complexidade deste sistema seria semelhante a um conversor A/D paralelo de 8 bits, o que não é desejável. Em função deste aumento de complexidade é aconselhável gerar alguns bits através do amplificador "folding" (combinações dos seus PDA's no "folding encoder") e para os bits restantes deve-se utilizar outras duas formas que incrementam a resolução do conversor sem aumentar a razão de "folding". Isto é possível através do uso de amplificadores "folding" em paralelo (com alguma redundância) e/ou a interpolação resistiva (descritas mais adiante).

Por exemplo, para um conversor A/D de 8 bits (veja a figura 1.21), seria razoável utilizar uma razão de "folding" igual a 8, o que permitiria obter diretamente 3 bits através de combinações dos PDA's do amplificador "folding" no "folding encoder". Os outros 5 bits poderiam ser obtidos pela colocação de amplificadores "folding" em paralelo e/ou a interpolação resistiva.

Vamos verificar como a colocação de amplificadores "folding" em paralelo incrementa a resolução sem aumentar a razão de "folding". Analisando o exemplo da figura 1.18 (conversor A/D tipo "folding" de 3 bits), recordamos que o intervalo da tensão de referência é de 1/8 para obter os 3 bits e deveriam ser de 1/16 para se obter 4 bits. Entretanto, se for feito no conversor A/D um amplificador "folding" semelhante ao amplificador "folding" (do exemplo da figura 1.18), mas com a sua voltagem de referência tendo um "offset" de 1/16V em relação à voltagem de referência do amplificador "folding" anterior (do exemplo da figura 1.18), é possível através da combinação de 2 sinais gerados pelos 2 amplificadores "folding", gerar o quarto bit (ver a figuras 1.22), que seria o LSB do conversor

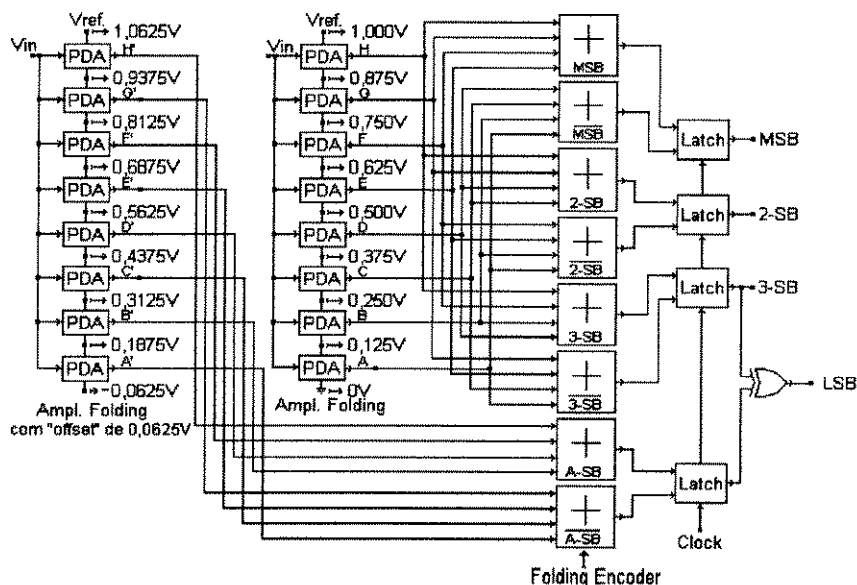


Figura 1.22 - Conversor A/D Tipo "Folding" (4 bits)

A/D de 4 bits.

Na figura 1.22 as saídas dos amplificadores "folding" (3-SB e A-SB) são semelhantes a menos do "offset" de 1/16V. Na figura 1.23, podemos ver o resultado da combinação das duas saídas. A colocação de amplificadores "folding" em paralelo aumenta a complexidade do circuito, entretanto, mantém a razão de "folding" e aumenta a resolução em $\log_2(\text{número de amplificadores "folding" em paralelo})$ [12]. No exemplo, colocamos 2 amplificadores "folding" em paralelo e aumentamos a resolução em $\log_2(2) = 1$ bit, mantendo a razão de "folding" em oito.

Contudo, dependendo do número de bits do código digital de saída a quantidade

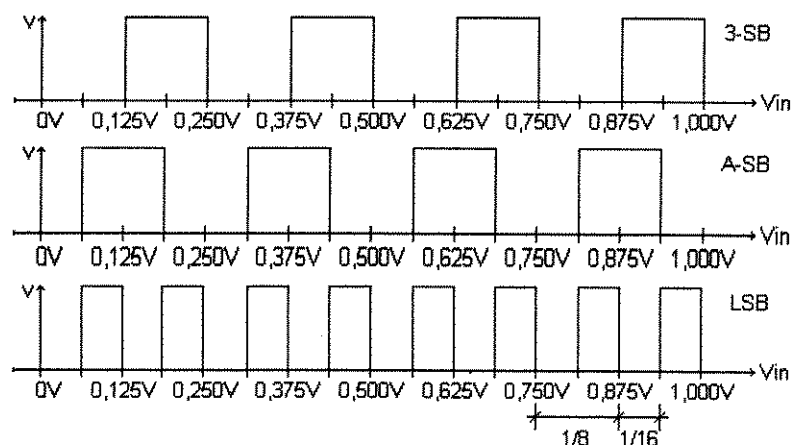


Figura 1.23 - Amplificadores "Folding" em Paralelo

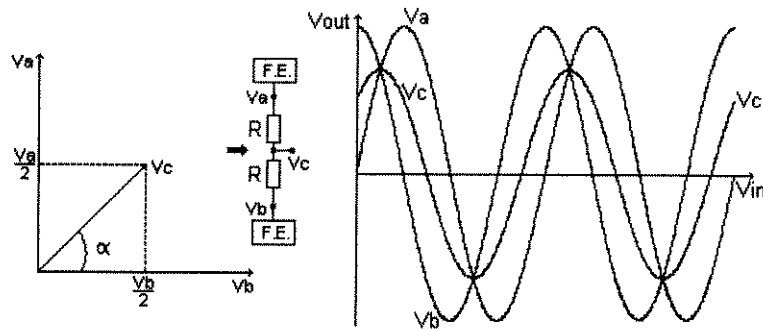


Figura 1.24 - Interpolação Resistiva (2 R)

necessária de amplificadores “folding” pode ser, ainda, muito grande. É neste instante que se utiliza o recurso da interpolação resistiva. O que permite reduzir a quantidade de amplificadores “folding”. O princípio da interpolação resistiva é simples e pode ser visto na figura 1.24. Como os sinais são quase senoidais e têm a mesma frequência, podemos considerá-los como vetores. Teoricamente, a interpolação resistiva pode ser definida como a soma vetorial das saídas (V_a e V_b - sinais na saída do “folding encoder”), onde se considera a amplitude e a fase dos vetores a serem somados e se obtém igualmente um vetor resultante (V_c) com a sua própria amplitude e fase, conforme pode ser observado na figura 1.24. Como V_a e V_b sofrem o efeito da divisão de tensão $[R/(R+R)= 1/2]$ as parcelas que realmente participam da soma são $V_a/2$ e $V_b/2$.

É justamente no ajuste da relação da amplitude e fase dos vetores a serem somados que se obtém o vetor resultante na posição exata (ângulo) da interpolação desejada e isto pode ser feito com a combinação dos valores dos resistores.

Na realidade a interpolação resistiva equivale à colocação de amplificadores “folding” em paralelo com o seu sinal de saída defasados de algumas frações da tensão de referência. E na prática a interpolação é realizada com uma rede de resistores conforme é apresentado na figura 1.25 e referenciado em [11], [12],

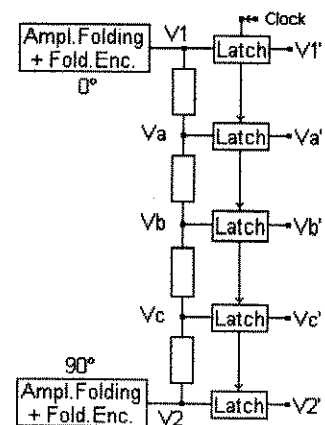


Figura 1.25 - Interpolação (4 R)

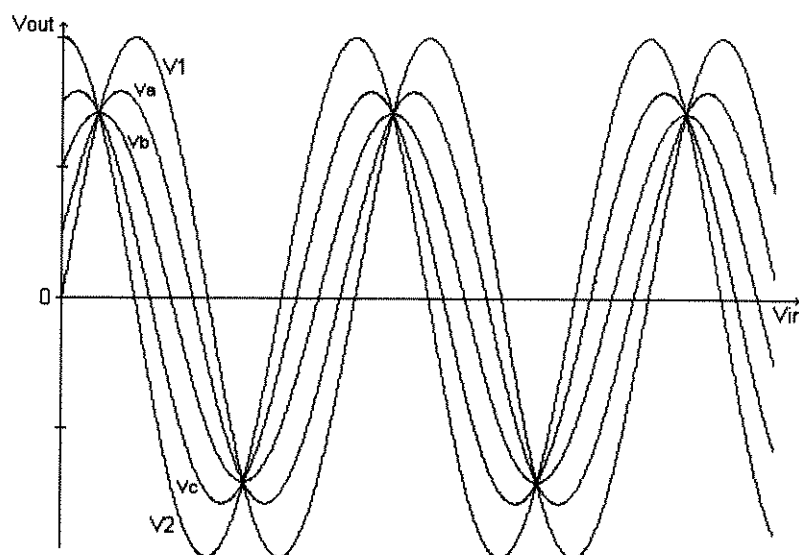


Figura 1.26 - Formas de Onda na Interpolação (4 R)

[13] e [14].

Contudo, este tipo de interpolação tem uma série de problemas inerentes a uma rede de resistores, tais como: aumento do atraso (“delay”) na propagação do sinal, capacitâncias parasitas e imprecisão na própria construção do resistor em função da tecnologia utilizada. Na interpolação resistiva, o número de resistores utilizados é chamado de razão de interpolação. A resolução é aumentada em $\log_2(\text{razão de interpolação})$ [12]. A figura 1.24 é um exemplo de interpolação com 2 resistores e a resolução seria aumentada em $\log_2(2) = 1$ bit. Na figura 1.25, o exemplo é de interpolação resistiva utilizando-se 4 resistores, o que aumentaria a resolução em $\log_2(4) = 2$ bits. Este aumento da resolução seria conseguido com a combinação lógica das saídas dos “latches” (exemplo nas figuras 1.30 e 1.31).

Na figura 1.26, podemos observar os sinais obtidos na interpolação da figura 1.25 (V_1 , V_2 , V_a , V_b e V_c). Verifica-se que as formas de ondas interpoladas posicionam-se entre as formas de ondas geradoras conforme a relação dos resistores (no exemplo são resistores iguais) e as suas amplitudes serão sempre menor do que as das formas de ondas geradoras. A cada ponto de interpolação é colocado um “latch” (com “clock”) que vai gerar o nível digital e armazenar o resultado até ocorrer a próxima mudança de estado do sinal na sua entrada.

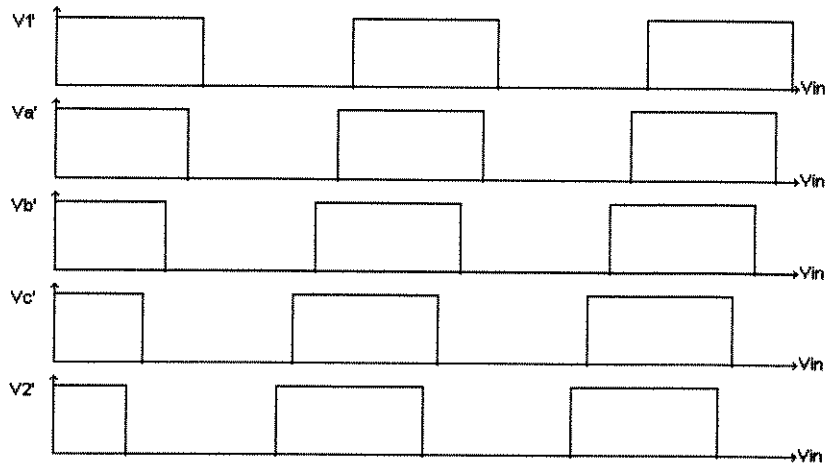


Figura 1.27 - Formas de Onda na Interpolação após os “Latches” (4 R)

Na figura 1.27, podemos notar os sinais obtidos (V_1' , V_2' , V_a' , V_b' e V_c'), da interpolação, após passarem pelos “latches”, já na sua forma digital.

Na prática a implementação da interpolação é mais aprimorada, sendo realizada de forma diferencial. Vendo a figura 1.28, observamos que as voltagens de saída (V_1 , V_2 , V_a , V_b e V_c) são obtidas entre pontos diferenciais e o instante do cruzamento por zero é detectado pelo “latch” (com entrada diferencial) quando as voltagens recíprocas (V_a e $\bar{V}_a$ por exemplo) são iguais. Na figura 1.28 é possível ver os pontos pretos marcados quando as voltagens recíprocas tornam-se iguais entre os pontos correspondentes (“1”, “a”, “b”, “c” e “2”). Inclusive pode-se perceber que existem outros pontos marcados que também permitiriam identificar o mesmo instante. Por exemplo, o cruzamento de V_b e $\bar{V}_1$ (o momento em que são iguais) também indica o instante em que V_a cruza o zero (ponto “a”). Isto é muito útil porque

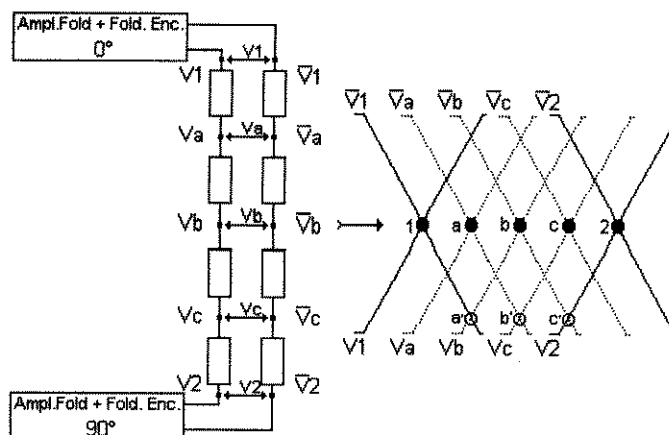


Figura 1.28 - Interpolação com Sinal Diferencial

permite simplificar e melhorar o circuito de interpolação, que não precisa trabalhar com sinais de referência fixa e sim com sinais diferenciais.

Conforme foi visto, o uso do conversor A/D “folding” com paralelismo de amplificadores “folding” ou interpolação resistiva permite a realização de conversores A/D rápidos, mantendo a razão de “folding”. Na figura 1.29, colocamos um exemplo para fazer uma comparação entre as opções para projeto de um conversor A/D tipo “folding” de 5 bits e saída em código binário. Se fosse adotado o “folding” simples (gerando 5 bits diretos) o número de amplificador “folding” (com 32 PDA’s) necessário seria igual a 1, porém, a razão de “folding” seria de 32 (valor muito alto). Se a opção fosse gerar 3 bits diretos e 2 por paralelismo de amplificadores “folding”, seriam preciso 4 amplificadores “folding” (com 8 PDA’s) e a razão de “folding” ficaria em 8. A terceira opção é gerar 3 bits diretos e 2 por interpolação resistiva, neste caso, seriam utilizados 2 amplificadores “folding” (com 8 PDA’s) e a razão de “folding”, também, ficaria em 8. Na figura 1.30 temos as formas de ondas propostas para o conversor A/D de 5 bits. Adotando o “folding” simples, apenas as 5 primeiras formas de ondas seriam necessárias (MSB, 2-SB, 3-SB, 4-SB e LSB), isto é, os 5 bits seriam gerados diretamente do amplificador “folding”.

Se fosse adotado o paralelismo de amplificadores “folding”, os sinais MSB, 2-SB, 3-SB seriam gerados diretamente através de um amplificador “folding” (mais o respectivo “folding encoder”). Haveria outros 3 amplificadores “folding” (mais os respectivos “folding

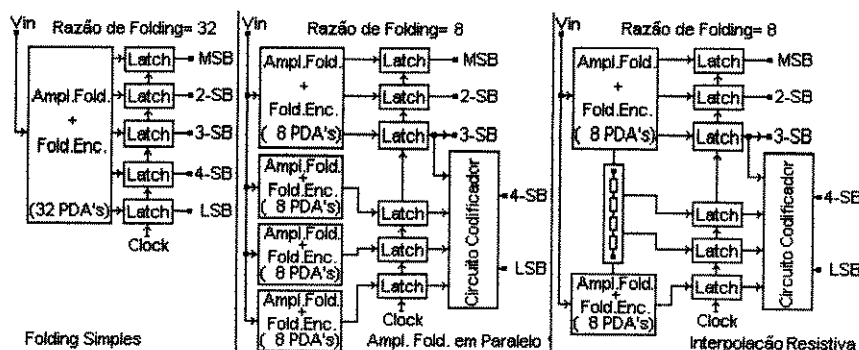


Figura 1.29 - Conversores de 5 bits

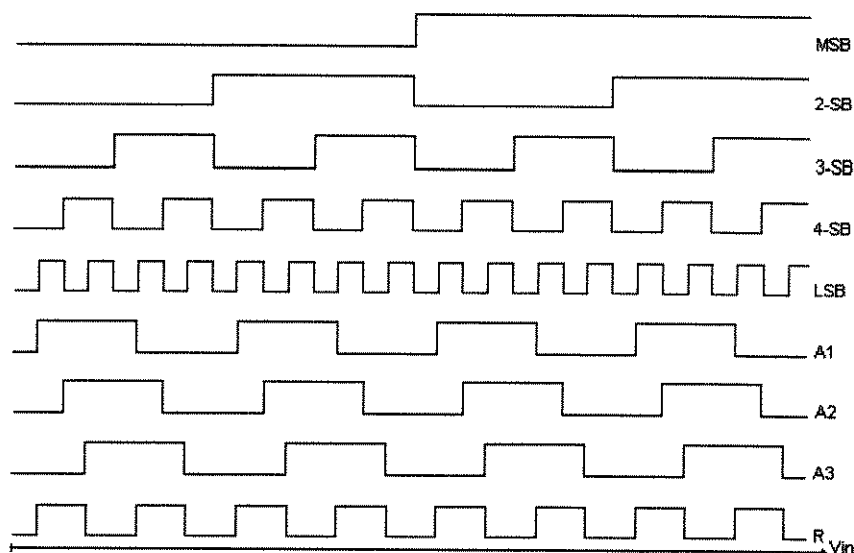


Figura 1.30 - Formas de Ondas

encoder”) que gerariam 3 sinais auxiliares (A1, A2 e A3).

Na figura 1.31, verificamos, por inspeção, que a combinação entre os sinais 3-SB e A2 gera o 4-SB. A combinação entre A1 e A3 gera um sinal R (auxiliar) que combinado com o sinal do 4-SB gera o LSB. Se fosse escolhida a interpolação resistiva, os sinais MSB, 2-SB, 3-SB seriam gerados diretamente através de um amplificador “folding”. Existiria um segundo amplificador “folding” que geraria A1. A interpolação resistiva seria feita entre o 3-SB e A1, obtendo os sinais A2 e A3. A combinação dos sinais para obter o 4-SB e o LSB seria a mesma descrita anteriormente por meio da figura 1.31. No exemplo considerado (conversor A/D de 5 bits), verificamos que no processo de interpolação são utilizados 4 sinais [2 gerados diretamente (A1 e 3-SB) e 2 obtidos pela interpolação (A2 e A3)]. O valor igual a 4 é idêntico ao número possível de estados do código de 2 bits que foi gerado (00, 01, 10, 11) na inter-

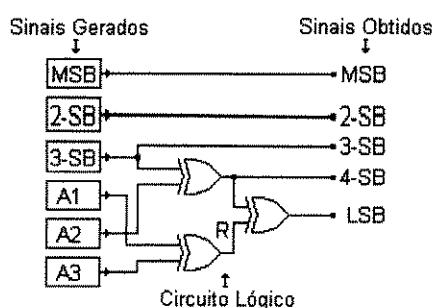


Figura 1.31 - Sinais Obtidos

polação. Sendo “N” o número de bits a ser gerado por interpolação, constata-se que após a interpolação, tem-se 2^N sinais e serão necessários 2^N “latches” para estes sinais. No caso, temos $N = 2$ e, portanto, $2^N = 2^2 = 4$. Se fossem 5 bits, seriam necessários $2^N = 2^5 = 32$ “latches”.

Observando a tabela 1.6 (elaborada a partir da figura 1.30), notamos que a saída dos 4 “latches” (A1, A2, A3 e 3-SB) é repetida a cada 8 níveis de quantização durante a interpolação. A cada palavra do código de saída (4-SB e LSB), existem duas combinações possíveis na entrada. Observando os 4 sinais formadores dos 2 bits menos significativos, verificamos que inicialmente os “latches” vão progressivamente indicando o nível lógico alto (“1”) como função do crescimento do sinal de entrada. Após todos os “latches” terem alcançado o nível lógico alto (“1”), o primeiro “latch” (A1) retorna ao nível lógico baixo (“0”) e gradualmente todos os demais “latches” farão o mesmo. Posteriormente o ciclo se repete (no código existem 4 ciclos completos) que podem ser percebidos (compare com a figura 1.30). A aparente redundância apresentada é inerente à geração do código de saída e resultado da existência e da forma dos 2^N sinais.

Fazendo-se uma relação entre o número de “latches” necessários em um conversor A/D paralelo de 5 bits (que é de $2^5 - 1 = 2^5 - 1 = 31$) e o número utilizado neste conversor (do exemplo da figura 1.29) que é de 4 “latches” (considerando apenas a parte da interpolação), teríamos $31/4 = 7,75 \cong 8$, que é um valor semelhante à razão de “folding” adotada (8). Podemos, então, dizer (por comparação) que a razão de redução do número de “latches”, pela interpolação, é aproximadamente igual à razão de “folding” [12]. O conversor A/D tipo “folding” normalmente não precisa de um circuito S/H (“sample and hold”) ou T/H (“track

and hold”) na entrada.

Tabela 1.6 - Interpolação

A1	A2	A3	3-SB	Saída
0	0	0	0	00
1	0	0	0	01
1	1	0	0	10
1	1	1	0	11
1	1	1	1	00
0	1	1	1	01
0	0	1	1	10
0	0	0	1	11

No próximo capítulo, apresentaremos um conversor A/D de 6 bits, utilizando a técnica “folding” e com uma nova proposta para a técnica de interpolação.

Capítulo 2

Conversor Analógico/Digital - Técnica Proposta

2.1 - Características:

Foi projetado um conversor A/D utilizando as técnicas folding e interpolação. Em função da complexidade do circuito, foi adotada uma resolução de 6 bits. Esta resolução permite demonstrar perfeitamente a técnica “folding” e uma nova técnica inédita de interpolação que é proposta neste conversor A/D. Outra característica inovadora aplicada neste conversor foi o aproveitamento das características das portas lógicas ECL e sua utilização como “latches” escravos no primeiro nível lógico do circuito codificador de saída. Sendo que os 3 primeiros bits (MSB, 2-SB e 3-SB) são gerados diretamente pelo amplificador “folding” e “folding encoder” e os 3 últimos bits (4-SB, 5-SB e LSB) são obtidos por meio de interpolação. Desta forma, manteve-se a razão de folding em 8. A alimentação é de -5V , o sinal de entrada é de 1V (variando de -1,0625V a -0,0625 V) e o sinal de saída é em código binário com níveis ECL 10 000.

2.2 - Descrição Geral:

O diagrama de blocos do conversor A/D pode ser visto na figura 2.1. Verificando o diagrama, podemos perceber que o sinal de entrada V_{in} é dirigido aos dois amplificadores “folding”. O primeiro amplificador “folding” possui 8 estágios pré-amplificadores combinados e o segundo amplificador “folding”, para a correta elaboração da sua curva de saída, possui 9 estágios pré-amplificadores combinados. Estes amplificadores “folding”

geram duas formas de ondas semelhantes, porém, defasadas de 90° e que são função do nível do sinal de entrada e das voltagens de referência (veja a figura 2.2). As saídas dos amplificadores “folding” são “bufferizadas” e dirigidas ao circuito do “folding encoder”, que combina os sinais recebidos e gera uma saída diferencial com os seguintes sinais: MSB, $\overline{\text{MSB}}$, 2-SB, $\overline{2\text{-SB}}$, 3-SB, $\overline{3\text{-SB}}$, A-4 e $\overline{A-4}$ (veja as figuras 2.3 e 2.4). Estes sinais são dirigidos a 3 tipos de “latches” mestres utilizados no conversor que são, respectivamente: “latch” mestre simples (sem interpolação), “latch” mestre com interpolação simples e “latch” mestre com interpolação dupla.

Observando as figuras 2.1 e 2.5, podemos entender como são os sinais do conversor. Existem 4 “latches” mestres simples com entrada diferencial que recebem os sinais do

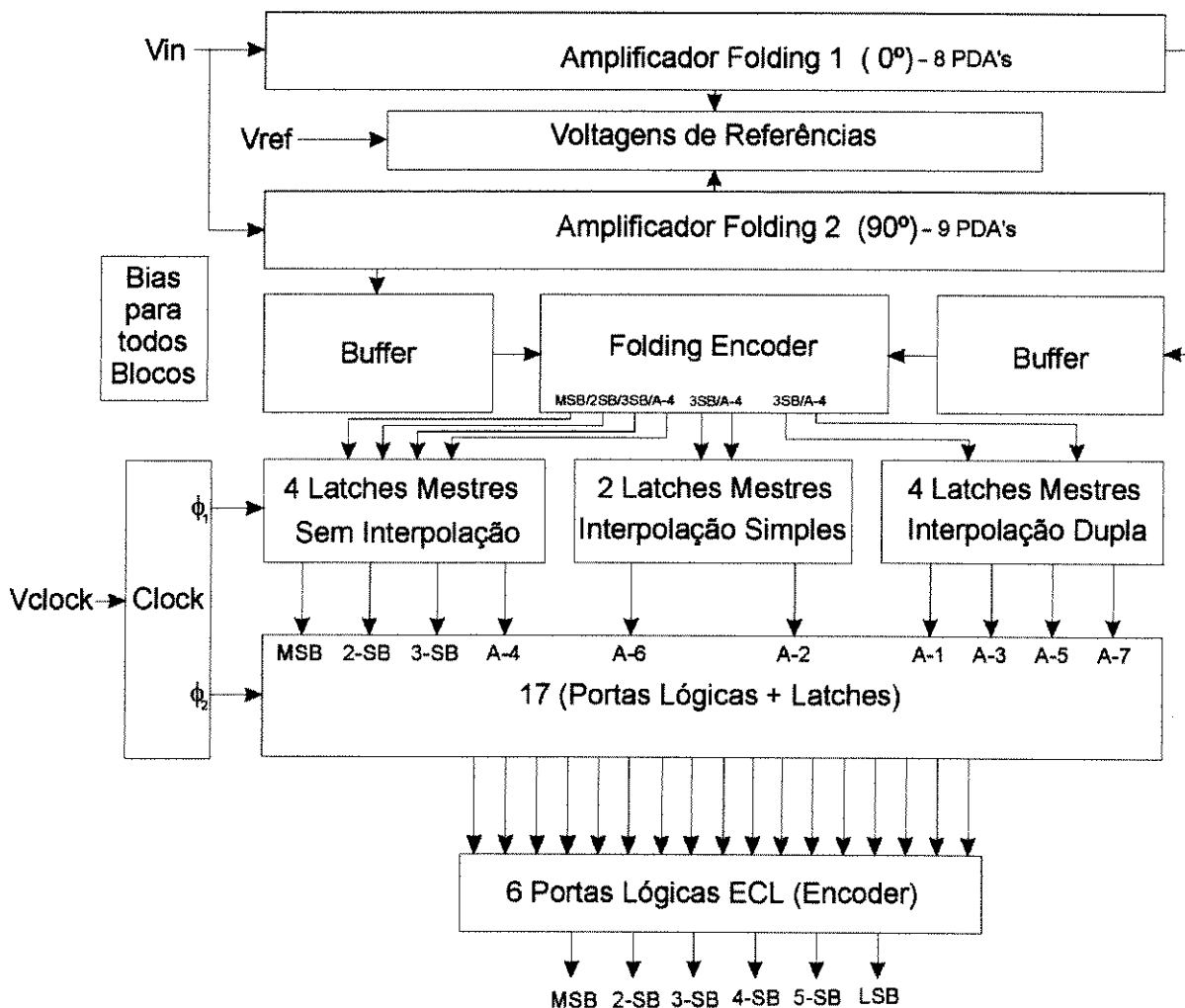


Figura 2.1 - Diagrama de Blocos do Conversor

“folding encoder” referentes ao $\overline{\text{MSB/MSB}}$, $\overline{2\text{-SB/2-SB}}$, $\overline{3\text{-SB/3-SB}}$ e $\overline{A-4/A-4}$ e geram diretamente os sinais: MSB, 2-SB e 3-SB e o sinal auxiliar A-4. Para obter os demais sinais (4-SB, 5-SB e LSB) é necessário aplicarmos a técnica de interpolação. Dos sinais gerados diretamente, serão utilizados o 3-SB e o A-4 para a elaboração da interpolação. A técnica de interpolação consiste em tendo-se dois sinais (3-SB e o A-4), obter-se outros sinais correlatos a estes, ou seja, iremos determinar o valor de uma série de outros sinais, de um determinado intervalo, a partir dos valores dos sinais já conhecidos. Como os 2 sinais conhecidos são quase senoidais (veja a figura 2.4) e têm a mesma frequência, o objetivo é obter outros sinais (todos com a mesma frequência), porém com diferentes ângulos de fase.

Na figura 2.5 podemos ver os chamados sinais auxiliares (que irão auxiliar na obtenção do 4-SB, 5-SB e LSB), entre os quais estão os sinais gerados 3-SB e A-4. Os outros sinais auxiliares ($\overline{A-1/A-1}$, $\overline{A-2/A-2}$, $\overline{A-3/A-3}$, $\overline{A-5/A-5}$, $\overline{A-6/A-6}$, $\overline{A-7/A-7}$) são obtidos por meio da interpolação. Todos estes sinais auxiliares (quase senoidais e com a mesma frequência) podem ser vistos como vetores com a mesma amplitude e diferentes ângulos de fase, conforme o gráfico vetorial na parte inferior da figura 2.5. A análise de como é feita a interpolação está no item 2.3 deste capítulo.

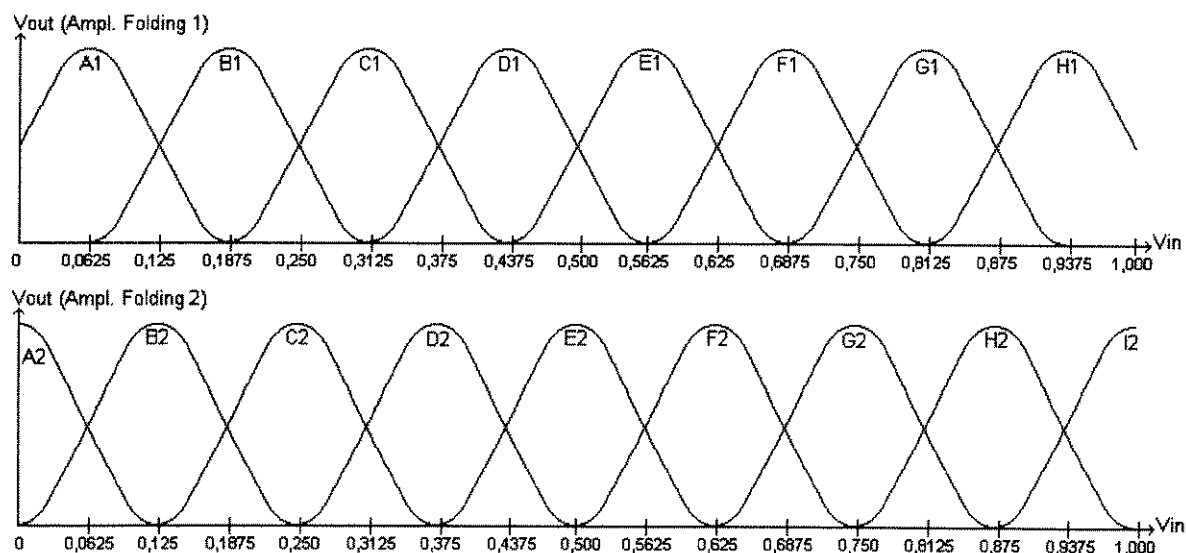


Figura 2.2 - Sinais de Saída dos Amplificadores Folding

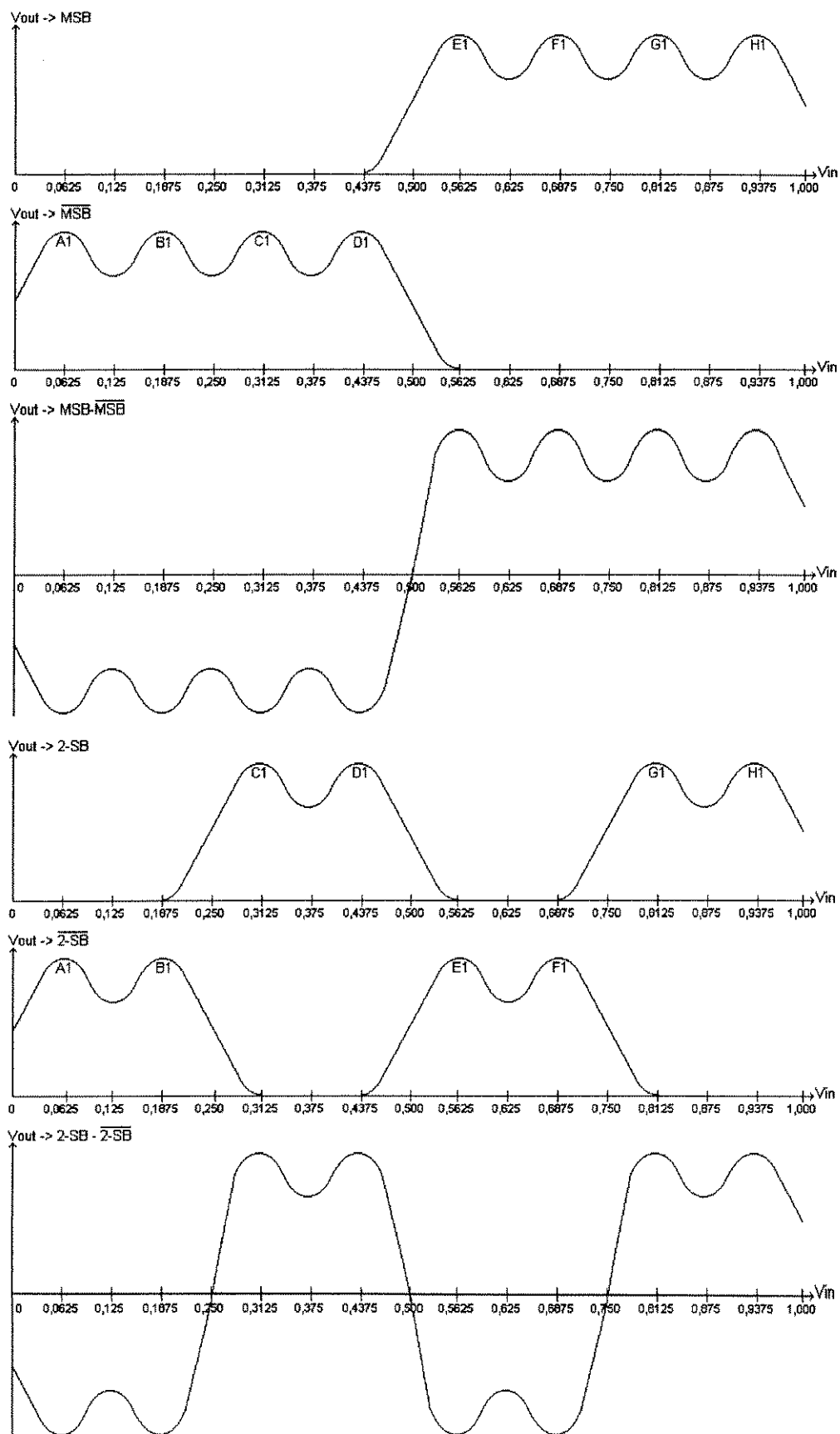


Figura 2.3 - Sinais do MSB e 2-SB

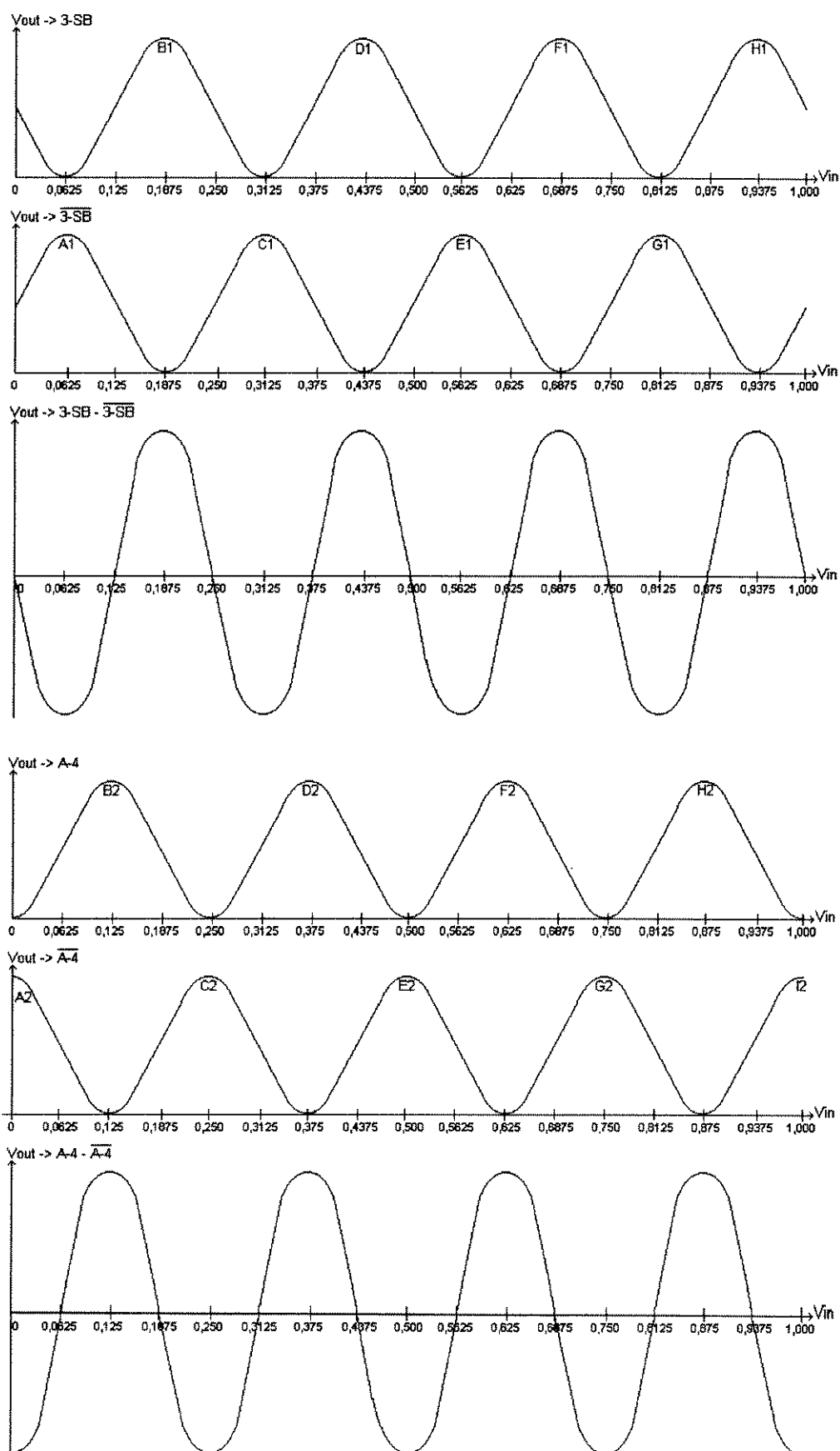


Figura 2.4 - Sinais do 3-SB e A-4

Saída do Conversor A/D de 6 Bits em Código Binário

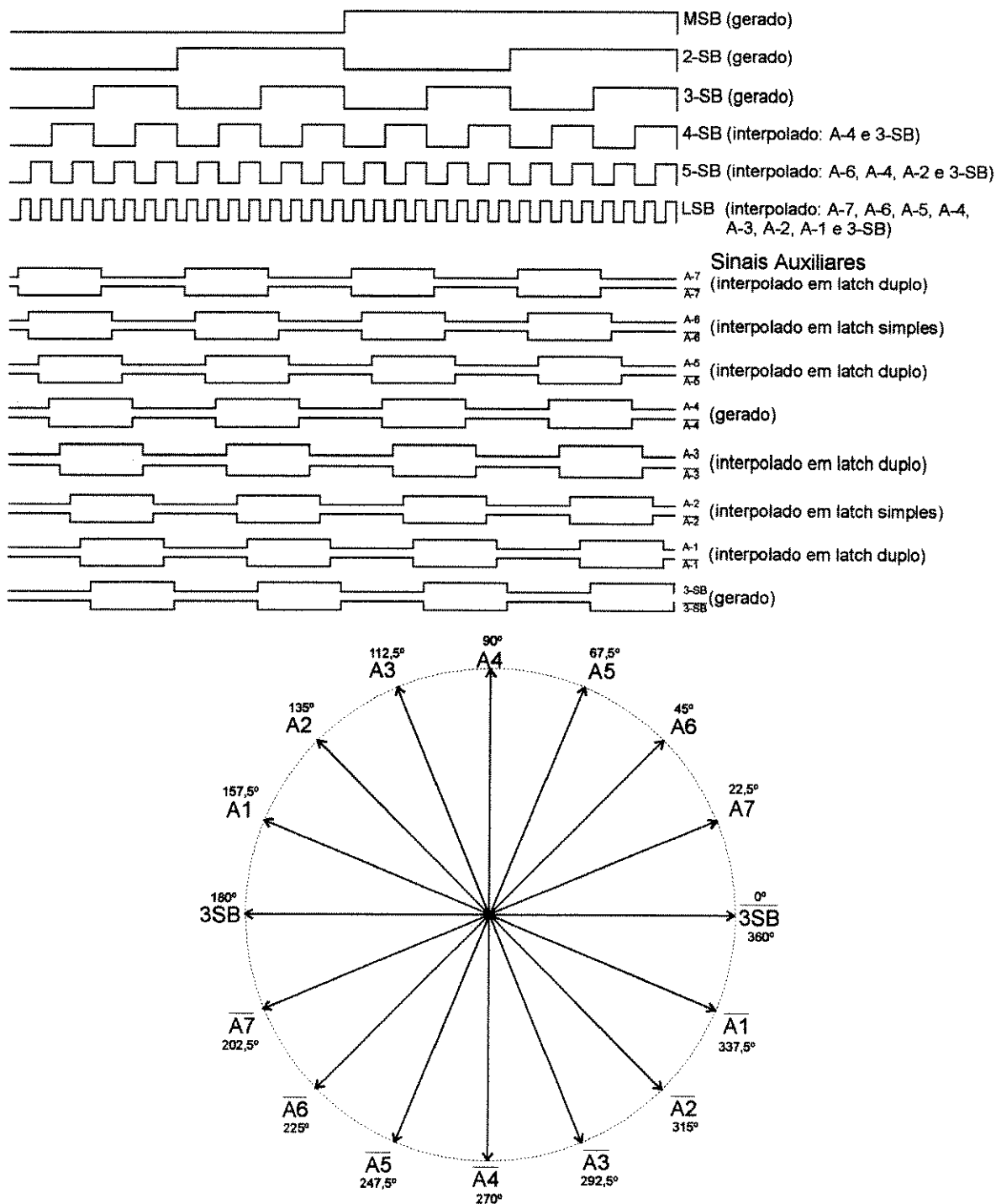


Figura 2.5 - Sinais do Conversor A/D de 6 Bits

Nas saídas dos “latches” mestres temos os seguintes sinais $\overline{\text{MSB}}/\overline{\text{MSB}}$, $\overline{2\text{-SB}}/\overline{2\text{-SB}}$, $\overline{3\text{-SB}}/\overline{3\text{-SB}}$ e $\overline{A-4}/\overline{A-4}$ que foram gerados diretamente e os sinais resultantes da interpolação $\overline{A-1}/\overline{A-1}$, $\overline{A-2}/\overline{A-2}$, $\overline{A-3}/\overline{A-3}$, $\overline{A-5}/\overline{A-5}$, $\overline{A-6}/\overline{A-6}$, $\overline{A-7}/\overline{A-7}$ (veja a figura 2.5). Todos

estes sinais irão para um circuito lógico (“encoder”) composto de 2 níveis de portas lógicas.

Os sinais nas saídas dos “latches” mestres têm 300 mV de amplitude e são dirigidos ao primeiro nível de portas que atua, também, como

“latch” escravo. O segundo nível de portas lógicas tem por função completar a operação lógica e ajustar os níveis de saída do conversor A/D para serem compatíveis com o padrão ECL e “bufferizar” a saída.

Esta configuração foi a que melhor resultado apresentou na simulação em termos de “delay” entre os sinais de saída. Os sinais que são gerados diretamente (MSB, 2-SB, 3-SB) têm a mesma sequência de portas por razão de sincronismo (“delay”) entre os sinais na saída (veja a figura 2.6). Os sinais auxiliares ($3\text{-SB}/\overline{3\text{-SB}}$, $A\text{-}1/\overline{A\text{-}1}$, $A\text{-}2/\overline{A\text{-}2}$, $A\text{-}3/\overline{A\text{-}3}$, $A\text{-}4/\overline{A\text{-}4}$, $A\text{-}5/\overline{A\text{-}5}$, $A\text{-}6/\overline{A\text{-}6}$, $A\text{-}7/\overline{A\text{-}7}$) passam pela sequência de portas por razões de sincronismo (“delay”) e para executar a operação lógica que comporá os 3 últimos dígitos binários de saída (4-SB, 5-SB e LSB).

A obtenção do 4-SB pode ser entendida através da tabela 2.1 e da figura 2.7. O 4-SB pode ser obtido com uma operação lógica entre os sinais do $3\text{-SB}/\overline{3\text{-SB}}$ e do $A\text{-}4/\overline{A\text{-}4}$. A

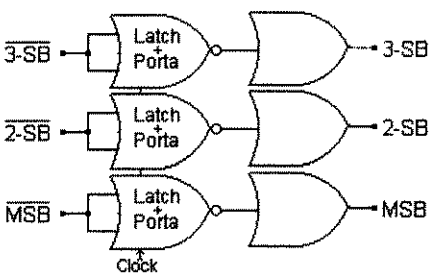


Figura 2.6 - Sinais do MSB, 2-SB e 3-SB

Tabela 2.1 - 4-SB

3-SB	A-4	4-SB
0	0	0
0	1	1
1	0	1
1	1	0

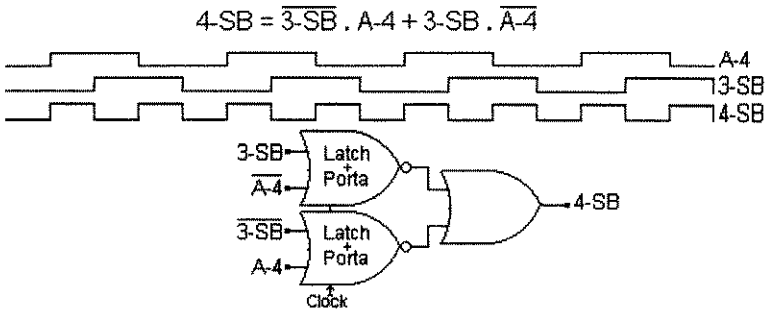


Figura 2.7 - Sinais Formadores e Circuito Lógico do 4-SB

operação lógica corresponde a uma função “EXOR” (Ou-Exclusivo) entre os sinais auxiliares ($3\text{-SB} \oplus A-4$).

A obtenção do 5-SB pode ser entendida através da tabela 2.2 e da figura 2.8. O 5-SB pode ser obtido com uma operação lógica entre os sinais do $3\text{-SB}/\overline{3\text{-SB}}$, $A-2/\overline{A-2}$, $A-4/\overline{A-4}$ e

Tabela 2.2 - 5-SB

A-6	A-4	A-2	3-SB	5-SB
0	0	0	0	0
1	0	0	0	1
1	1	0	0	0
1	1	1	0	1
1	1	1	1	0
0	1	1	1	1
0	0	1	1	0
0	0	0	1	1

$A-6/\overline{A-6}$. Esta operação lógica corresponde a um “OR” de 2 funções “EXOR” (Ou-Exclusivo) entre os sinais auxiliares $[(A-6 \oplus A-4) + (A-2 \oplus 3\text{-SB})]$.

A obtenção do LSB pode ser entendida através da tabela 2.3 e figuras 2.9A e 2.9B. O LSB pode ser obtido com uma operação lógica entre os sinais $3\text{-SB}/\overline{3\text{-SB}}$, $A-1/\overline{A-1}$, $A-2/\overline{A-2}$, $A-3/\overline{A-3}$, $A-4/\overline{A-4}$, $A-5/\overline{A-5}$, $A-6/\overline{A-6}$, $A-7/\overline{A-7}$. Esta operação lógica corresponde a um “OR” de 4 funções “EXOR” (Ou-Exclusivo) entre os sinais auxiliares $[(A-7 \oplus A-6) + (A-5 \oplus A-4) + (A-3 \oplus A-2) + (A-1 \oplus 3\text{-SB})]$.

Sendo o código de saída binário, a frequência do LSB é de 32 (2^5) vezes a frequência

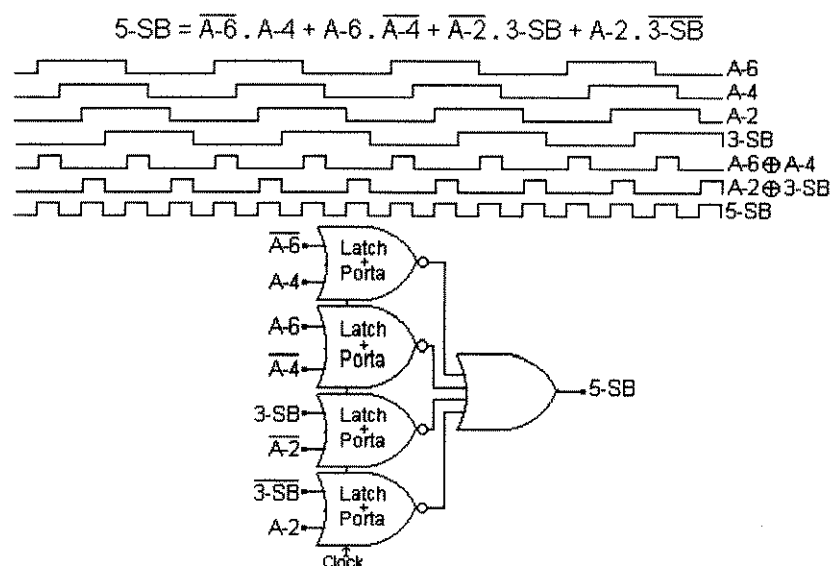


Figura 2.8 - Sinais Formadores e Circuito Lógico do 5-SB

Tabela 2.3 - LSB

A-7	A-6	A-5	A-4	A-3	A-2	A-1	3-SB	LSB
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	1
1	1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	0	1
1	1	1	1	1	1	0	0	0
1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	0
0	0	0	1	1	1	1	1	1
0	0	0	0	1	1	1	1	0
0	0	0	0	0	1	1	1	1
0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	1

do sinal de entrada. Porém, os 3 últimos dígitos do código binário (4-SB, 5-SB e LSB) são obtidos através de operações lógicas entre os sinais auxiliares, que possuem todos a frequência do sinal do 3-SB (apenas com ângulos de fase diferentes). Esta frequência que é de $4 (2^2)$ vezes a frequência do sinal de entrada (V_{in}), corresponde, portanto, à frequência interna dos sinais nos circuitos de “latches” e portas lógicas.

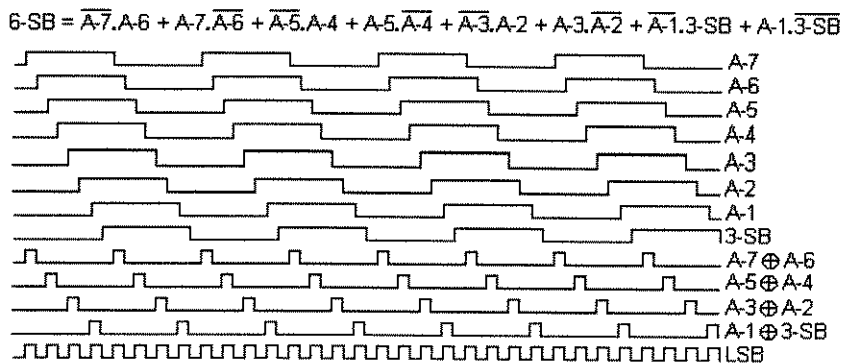


Figura 2.9A - Sinais Formadores do LSB

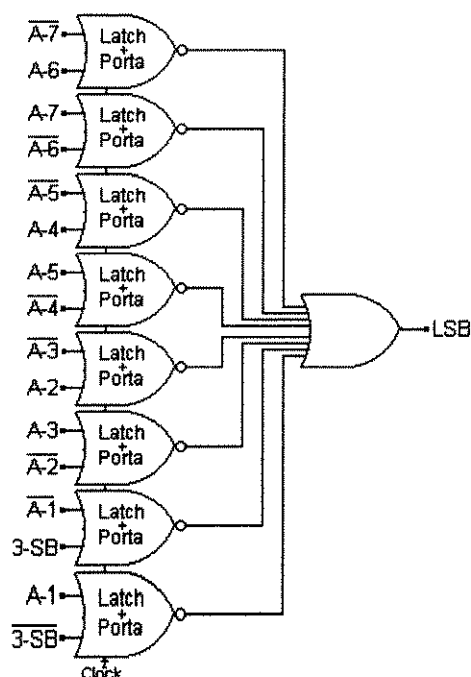


Figura 2.9B - Circuito Lógico do LSB

2.3 - Interpolação (Nova Proposta):

A grande vantagem da interpolação é a redução na complexidade dos circuitos (mantendo a razão de “folding” em 8). Se não fosse utilizada a técnica da interpolação, cada sinal obtido por seu intermédio ($A-1/\overline{A-1}$, $A-2/\overline{A-2}$, $A-3/\overline{A-3}$, $A-5/\overline{A-5}$, $A-6/\overline{A-6}$, $A-7/\overline{A-7}$) deveria ser gerado por circuitos específicos (amplificador “folding” + “buffer” + “folding encoder”). O circuito total seria muito maior do que o da figura 2.1, porque seriam necessários mais 6 amplificadores “folding” (para manter a mesma razão de “folding”).

No capítulo anterior (1) verificamos que todas as propostas para a elaboração da interpolação utilizam uma rede de resistores (por exemplo as referências [11], [12], [13], [14], [09]). A rede de resistores possui algumas características indesejáveis para a performance do sistema, conforme já foi citado anteriormente (capítulo 1). Como alternativa, é proposto neste conversor A/D a elaboração da interpolação no próprio “latch” mestre. A vantagem desta proposta fica evidente quando se verifica que as limitações inerentes a uma rede de resistores ficam superadas e o desempenho do conversor A/D melhora.

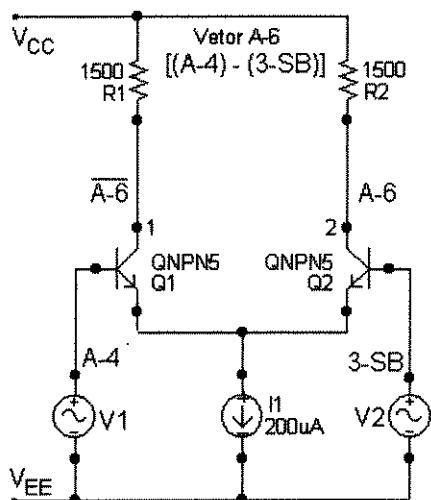


Figura 2.10 - Interpolação Simples

A princípio, podemos considerar a interpolação nos “latches” mestres em duas formas que chamaremos de interpolação simples e interpolação dupla. Esta divisão implica diretamente na quantidade de sinais gerados que participam da interpolação. Na interpolação simples participam apenas 2 sinais e na interpolação dupla participam 3 sinais, sendo que

os sinais disponíveis são: $3-SB/\overline{3-SB}$ e $A-4/\overline{A-4}$. Considerando os sinais senoidais, com a mesma frequência e diferentes ângulos de fase, podemos, para facilitar o entendimento, analisá-los como vetores.

2.3.1 - Interpolação Simples:

A interpolação simples é feita de uma maneira bastante evidente. Na figura 2.10, temos um circuito pré-amplificador de um “latch” (admitindo o ganho unitário e as saídas lineares nos “nós” 1 e 2) e os vetores de entrada são A-4 e 3-SB (sinais da saída do “folder encoder” - ver a figura 2.4). Na saída do “nó” 2, temos um vetor diferença entre $[(A-4)-(3-SB)]$ que é igual a soma entre $[(A-4)+\overline{(3-SB)}]$. Observando a figura 2.11, verificamos que o vetor resultante, independente da amplitude, apresenta uma fase de 45° .

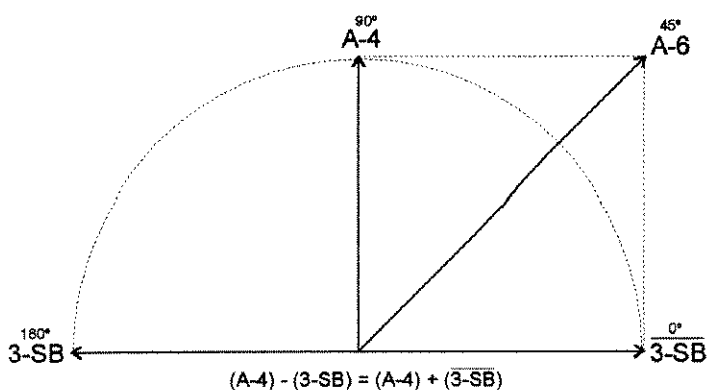


Figura 2.11 - Sinais na Interpolação Simples

Agora, examinando a figura 2.5, vemos que o vetor A-6 tem uma fase de 45° . Então, concluímos que o vetor resultante possui exatamente os 45° desejados e corresponde ao vetor A-6 (como

resultado da interpolação entre os vetores 3-SB e A-4) e como a saída do circuito é diferencial, também temos o vetor $\overline{A-6}$ (“nó” 1).

A diferença de amplitude dos vetores A-4, 3-SB, $\overline{3-SB}$ e o vetor resultante A-6 não tem importância porque, observando a figura 2.1, percebemos que existem 4 “latches” mestres simples que recebem os sinais MSB, 2-SB, 3-SB e A-4. Isto é, existe um “latch” mestre para o 3-SB e outro para o A-4 e na saída destes “latches” os sinais 3-SB e A-4 têm a mesma amplitude de A-6. Com isto temos igualadas as amplitudes de todos os sinais que irão para o circuito de codificação binária de saída do conversor A/D e resolvido o problema de “delay” entre estes sinais.

Na figura 2.12 é mostrado como são os sinais nas saídas do circuito pré-amplificador da figura 2.10. Na realidade, o importante (e que identifica o ângulo) é o instante em que os sinais diferenciais (3-SB/ $\overline{3-SB}$, por exemplo) se cruzam, o que indica o nível de zero (volts) diferencial. Neste momento o “latch” faz a sua mudança de estado.

A figura 2.13 mostra a situação dos vetores gerados diretamente (3-SB/ $\overline{3-SB}$ e A-4/ $\overline{A-4}$) e dos possíveis de serem obtidos através da interpolação simples (A-2/ $\overline{A-2}$ e A-6/ $\overline{A-6}$). Os vetores A-2 e $\overline{A-2}$ seriam obtidos com a interpolação entre A-4 e 3-SB, ou

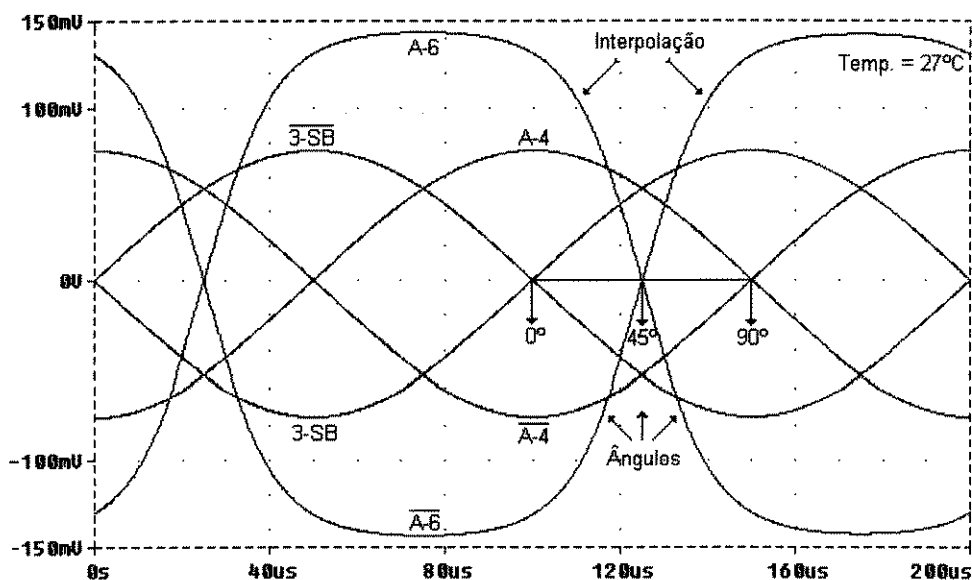


Figura 2.12 - Forma dos Sinais na Interpolação Simples

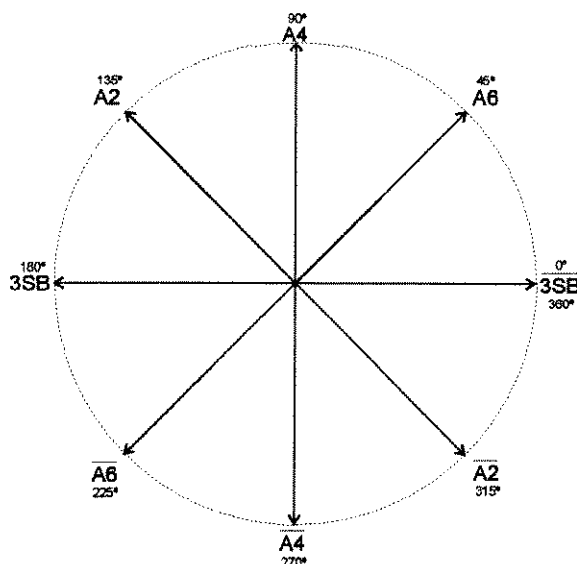


Figura 2.13 - Vetores na Interpolação Simples

seja, fazendo a operação $[(A-4) - (3-SB)]$ que é igual à soma entre $[(A-4) + (3-SB)]$.

A interpolação simples nos “latches” mestre tem uma característica insensível de temperatura. A figura 2.14 permite visualizar que o ângulo de interpolação não varia com a temperatura e mantém-se constante em 45°. Apenas a amplitude sofre uma pequena alteração que afetaria igualmente todos os “latches” mestre (inclusive aqueles que não estão fazendo interpolação) e não influencia o resultado do circuito de codificação binária de saída. Considerando sinais senoidais perfeitos de entrada, a precisão da interpolação simples realizada em simulação é exata.

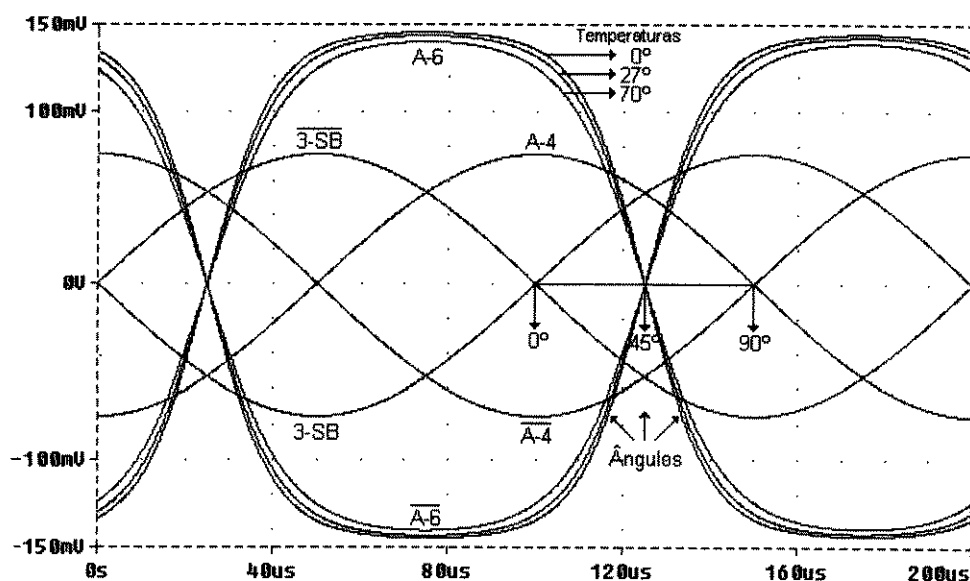


Figura 2.14 - Influência da Variação da Temperatura na Interpolação Simples

Matematicamente a interpolação pode ser demonstrada para sinais senoidais nos “nós” 2 e 1, respectivamente, do circuito da figura 2.10, onde teríamos:

Sendo: $3-SB = \text{sen}(\theta + 180^\circ)$ e $A-4 = \text{sen}(\theta + 90^\circ)$

“Nó” 2 $\Rightarrow \text{sen}(\theta + 90^\circ) - \text{sen}(\theta + 180^\circ) = 2 \times \cos[(\theta + 90^\circ + \theta + 180^\circ)/2] \times \text{sen}[(\theta + 90^\circ - \theta - 180^\circ)/2]$

$$= -2 \times \frac{\sqrt{2}}{2} \times \cos(\theta + 135^\circ) \Rightarrow \text{Sendo: } \cos \theta = -\text{sen}(\theta + 45^\circ)$$

$$\text{temos: } -2 \times \frac{\sqrt{2}}{2} \times \cos(\theta + 135^\circ) = -2 \times \frac{\sqrt{2}}{2} \times [-\text{sen}(\theta + 45^\circ)] = \sqrt{2} \times \text{sen}(\theta + 45^\circ) \Rightarrow \text{“Nó” 2}$$

“Nó” 1 $\Rightarrow \text{sen}(\theta + 180^\circ) - \text{sen}(\theta + 90^\circ) = 2 \times \cos[(\theta + 180^\circ + \theta + 90^\circ)/2] \times \text{sen}[(\theta + 180^\circ - \theta - 90^\circ)/2]$

$$= 2 \times \frac{\sqrt{2}}{2} \times \cos(\theta + 135^\circ) \Rightarrow \text{Sendo: } \cos \theta = -\text{sen}(\theta + 45^\circ)$$

$$\text{temos: } 2 \times \frac{\sqrt{2}}{2} \times \cos(\theta + 135^\circ) = 2 \times \frac{\sqrt{2}}{2} \times [-\text{sen}(\theta + 45^\circ)] = -\sqrt{2} \times \text{sen}(\theta + 45^\circ) = \sqrt{2} \times [-\text{sen}(\theta + 45^\circ)]$$

Sendo: $-\text{sen} \theta = \text{sen}(\theta + 225^\circ)$

$$\text{portanto: } \sqrt{2} \times [-\text{sen}(\theta + 45^\circ)] = \sqrt{2} \times \text{sen}(\theta + 225^\circ) \Rightarrow \text{“Nó” 1}$$

Sendo $[A-6 = \sqrt{2} \times \text{sen}(\theta + 45^\circ)]$ e $[\overline{A-6} = \sqrt{2} \times \text{sen}(\theta + 225^\circ)]$, o resultado obtido são os vetores interpolados com uma amplitude de $\sqrt{2}$ vezes maior do que os vetores interpoladores. De fato, a amplitude do sinal resultante é influenciada, também, pelas características da curva de transferência do pré-amplificador (tangente hiperbólica) e fica deformada. Conforme, já explicado, a amplitude é facilmente normalizada para todos os vetores e é o ângulo que tem a informação fundamental para o vetor.

2.3.2 - Interpolação Dupla:

Para um conversor de 6 bits são necessários mais sinais gerados por interpolação e no diagrama de vetores eles se colocariam entre os vetores já obtidos (veja a figura 2.15). É, portanto, necessário obter os vetores $A-1/\overline{A-1}$, $A-3/\overline{A-3}$, $A-5/\overline{A-5}$ e $A-7/\overline{A-7}$. A figura 2.16 mostra 2 tipos de circuitos equivalentes que permitem realizar a interpolação dupla e que

chamaremos de pré-amplificadores duplos (no caso do conversor A/D, fariam parte de um “latch” duplo). É importante realçar que os 2 circuitos propostos apresentam o mesmo consumo de corrente, e este é igual ao consumo de um “latch” simples.

Para entender a interpolação dupla devemos observar as figuras 2.16 e 2.17 e o princípio é válido para os 2 circuitos propostos para interpolação (1 e 2 - admitindo o ganho unitário e as saídas lineares nos “nós” 1 e 2). No pré-amplificador A, é feita uma interpolação simples entre A-4 e 3-SB, ou seja, é realizada a operação $[(A-4)-(3-SB)]$, que conforme já foi visto, resulta em um vetor com fase de 45° e com uma amplitude de $\sqrt{2}$ vezes a amplitude dos vetores interpoladores. No pré-amplificador B é feita uma operação simples entre $\overline{3-SB}$ e 3-SB, ou seja, fazendo a operação $[(\overline{3-SB})-(3-SB)]$, neste caso os vetores são diferenciais e o vetor resultante mantém a mesma fase (no caso 0°) e com uma amplitude de 2 vezes a amplitude dos vetores interpoladores. Como os 2 circuitos de pré-amplificador estão ligados pelo coletor dos transistores é realizada uma soma dos sinais dos pré-amplificadores. O que corresponde a uma soma vetorial dos 2 sinais. Entretanto, o vetor resultante sofreria a influência da diferença de amplitude entre os 2 vetores (um tem amplitude multiplicada por $\sqrt{2}$ e o outro por 2) e não teria o ângulo desejado de $22,5^\circ$, o que torna necessário ajustar a

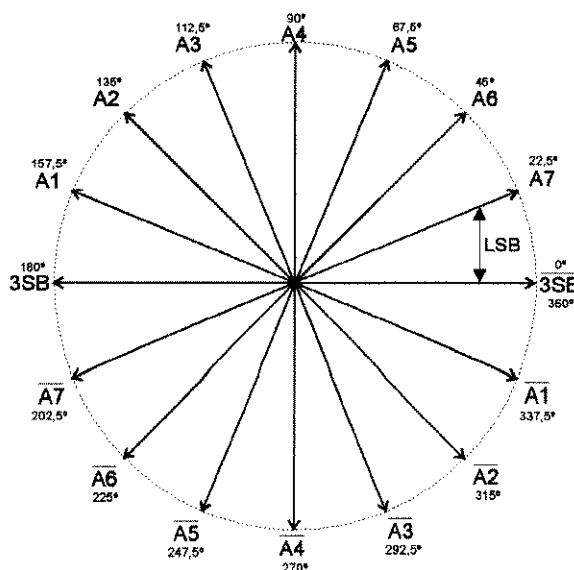


Figura 2.15 - Vetores na Interpolação Simples e Dupla

amplitude do vetor do pré-amplificador B, de forma que os 2 vetores tenham a mesma amplitude e o vetor resultante tenha exatamente os 22,5° desejados. Isto é feito alterando-se a relação entre as correntes dos pré-amplificadores A e B, o que permite controlar a influência de cada vetor na soma. As correntes de cada pré-amplificador são os parâmetros com que se controla a influência de cada vetor na soma resultante.

No circuito 1 da figura 2.16, as correntes de cada pré-amplificador são determinadas pelas próprias fontes de correntes (I1 e I2). No circuito 2, existe uma única fonte de corrente (I1) e a distribuição desta corrente entre os 2 pré-amplificadores é feita através da relação entre as áreas dos transistores Q5 e Q6.

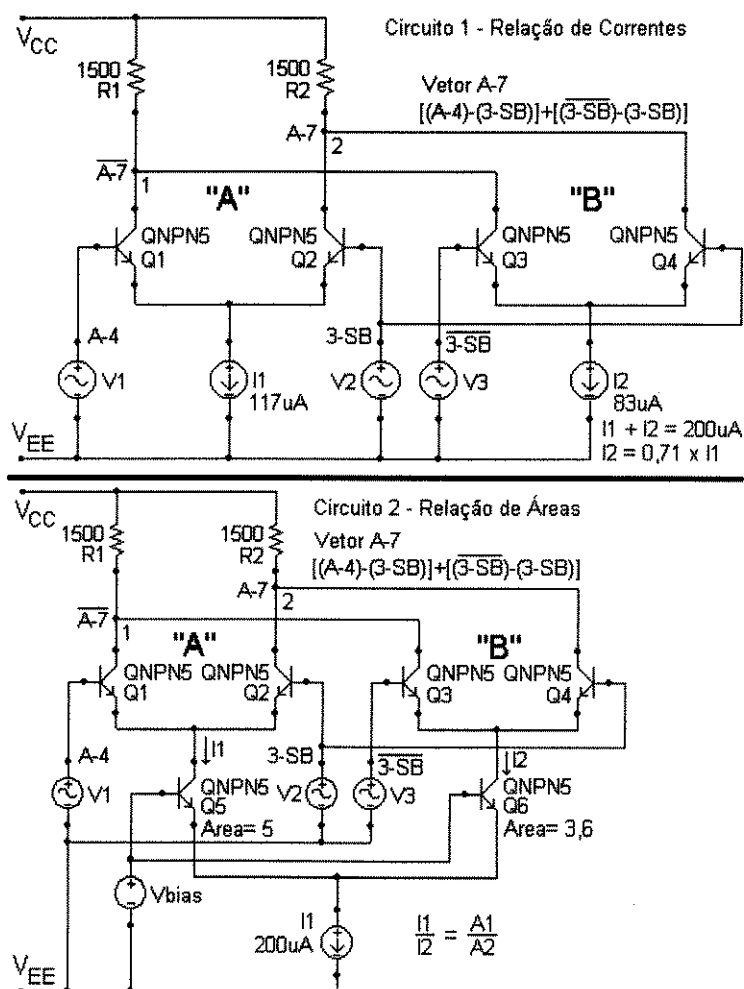


Figura 2.16 - Pré-amplificadores Duplos

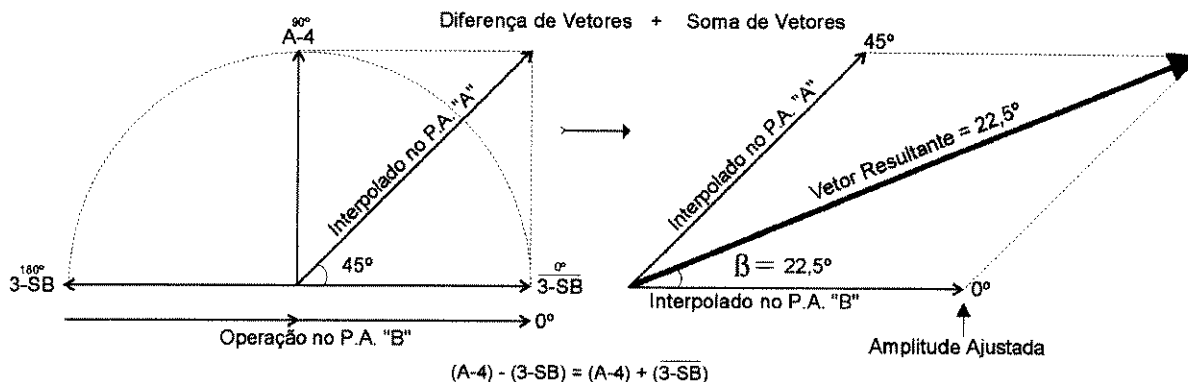


Figura 2.17 - Interpolação Dupla

A possibilidade de se controlar a influência de cada vetor na soma e conseqüentemente o ângulo do vetor resultante, torna este tipo de interpolação extremamente útil. No caso do conversor A/D de 6 bits, é necessário obter um vetor resultante com 22,5° (chamado de A-7 - ver a figura 2.15). Como as amplitudes são determinadas pela relação RxI nos coletores, a relação entre as correntes deve ser de $1/\sqrt{2}$ ou seja: $I_2 = I_1/\sqrt{2}$ (para o circuito 1) ou $A(Q6) = A(Q5)/\sqrt{2}$ (para o circuito 2). Desta forma, as amplitudes dos vetores a serem somados saem iguais e o vetor resultante tem 22,5°.

Se o objetivo fosse projetar um conversor A/D de 7 bits, seriam necessários, além dos vetores da figura 2.15, mais vetores (veja a figura 2.18). Isto exigiria vetores com ângulos de interpolação com intervalos de 11,25° que seriam facilmente factíveis com estes circuitos de

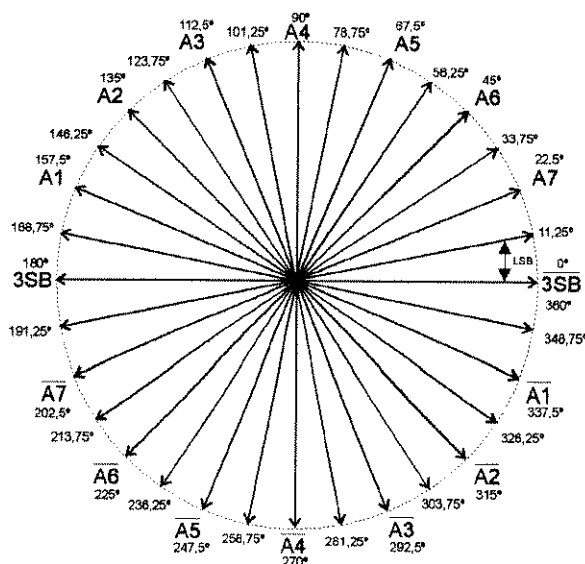


Figura 2.18 - Vetores para um Conversor A/D de 7 bits

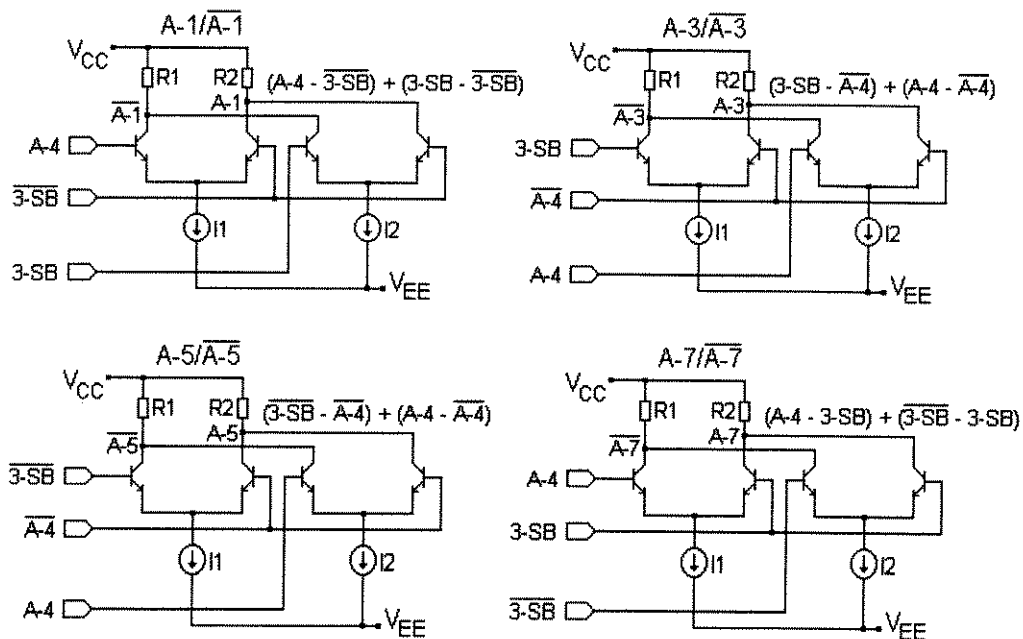


Figura 2.19 - Interpolações para o Conversor A/D de 6 Bits

interpolação dupla, bastando, para isto, relacionar corretamente as correntes e o ângulo desejado seria obtido.

No conversor A/D de 6 bits é necessário obter os vetores $A-1/\overline{A-1}$, $A-3/\overline{A-3}$, $A-5/\overline{A-5}$ e $A-7/\overline{A-7}$ através da interpolação dupla (o exemplo mostrado é do vetor $A-7$). De forma semelhante a interpolação simples, como a saída dos pré-amplificadores de interpolação dupla é diferencial, também, temos uma saída com o vetor $\overline{A-7}$. A cada interpolação é obtido o vetor desejado e o seu complementar (veja a figura 2.15).

A figura 2.19 mostra todas as interpolações realizadas no conversor para se obter os vetores desejados ($A-1/\overline{A-1}$, $A-3/\overline{A-3}$, $A-5/\overline{A-5}$ e $A-7/\overline{A-7}$).

Matematicamente a interpolação dupla pode ser demonstrada para sinais senoidais nos “nós” 2 e 1, respectivamente, dos circuitos da figura 2.16 (supondo a correção de amplitude no pré-amplificador B), onde teríamos:

Sendo: Pré-amplificador “A” = $\sqrt{2} \times \sin(\theta + 45^\circ)$ e Pré-amplificador “B” = $\sqrt{2} \times \sin(\theta + 0^\circ)$

“Nó” 2 $\Rightarrow \sqrt{2} \times \sin(\theta + 45^\circ) + \sqrt{2} \times \sin(\theta + 0^\circ) = \sqrt{2} \times [\sin(\theta + 45^\circ) + \sin(\theta + 0^\circ)]$

$$= \sqrt{2} \times 2 \times \sin[(2 \times \theta + 45^\circ)/2] \times \cos[(45^\circ)/2] = \sqrt{2} \times 2 \times \frac{\sqrt{2+\sqrt{2}}}{2} \times \sin(\theta + 22,5^\circ)$$

$$= \sqrt{2} \times \sqrt{2+\sqrt{2}} \times \sin(\theta + 22,5^\circ) \Rightarrow \text{"Nó" } 2$$

$$\text{"Nó" } 1 \Rightarrow \sqrt{2} \times \sin(\theta + 225^\circ) + \sqrt{2} \times \sin(\theta + 180^\circ) = \sqrt{2} \times [\sin(\theta + 225^\circ) + \sin(\theta + 180^\circ)]$$

$$= \sqrt{2} \times 2 \times \sin(\theta + 202,5^\circ) \times \cos(22,5^\circ) = \sqrt{2} \times 2 \times \frac{\sqrt{2+\sqrt{2}}}{2} \times \sin(\theta + 202,5^\circ)$$

$$= \sqrt{2} \times \sqrt{2+\sqrt{2}} \times \sin(\theta + 202,5^\circ) \Rightarrow \text{"Nó" } 1$$

Na figura 2.17, podemos considerar a soma dos vetores diretamente (sem correção de amplitude) e teremos " β " como o ângulo do vetor resultante.

$$\beta = \text{Arctag}[(G_A \times \sqrt{2} \times \sin 45^\circ + G_B \times 2 \times \sin 0^\circ) / (G_A \times \sqrt{2} \times \cos 45^\circ + G_B \times 2 \times \cos 0^\circ)]$$

$$= \text{Arctag}[G_A / (G_A + 2 \times G_B)] = \text{Arctag}[g_{m_A} / (g_{m_A} + 2 \times g_{m_B})] = \text{Arctag}[I_1 / (I_1 + 2 \times I_2)]$$

Portanto: $\beta = \text{Arctag} \{1/[1+2 \times (I_2/I_1)]\} \Rightarrow$ para o circuito 1 da figura 2.16.

$$\text{Sendo: } \frac{I_1}{I_2} = \frac{A_1}{A_2} \Rightarrow \beta = \text{Arctag} \{1/[1+2 \times (A_2/A_1)]\} \Rightarrow$$
 para o circuito 2 da figura 2.16.

Esta equação nos permite, através da relação de correntes (ou áreas), determinar o ângulo do vetor resultante ou, o contrário, especificar um ângulo desejado para o vetor resultante e saber qual deve ser a relação das correntes no pré-amplificador de interpolação dupla.

De fato o pré-amplificador não é linear e o resultado deste tipo de interpolação sofre influência dos níveis dos sinais de entrada. Os 2 pré-amplificadores de interpolação dupla estão acoplados pelo coletor dos transistores. A região de linearidade é para um sinal de

entrada ($V_{in} \Rightarrow$ diferencial) de aproximadamente $2V_T$.

Quando o sinal de entrada está próximo deste valor, não ocorre distorção e o sinal de saída (V_{out}) é exatamente o sinal interpolado desejado. À medida que se aumenta o

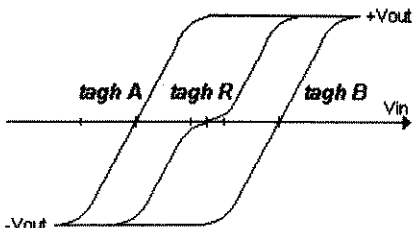
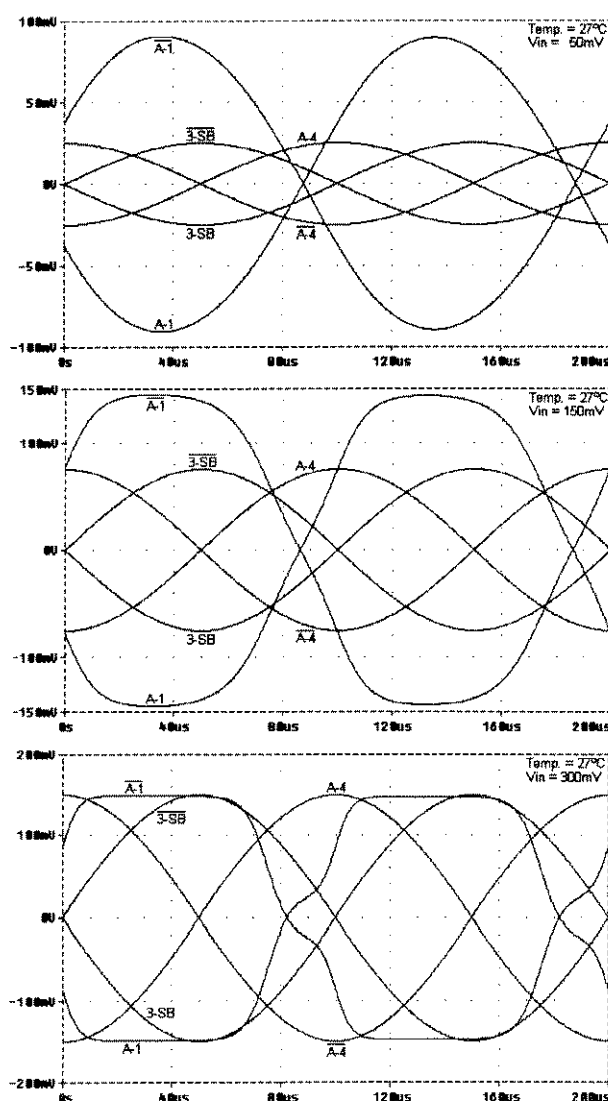


Figura 2.20 - Deformação

sinal de entrada, começa a ocorrer a deformação do sinal de saída. Esta deformação não ocasiona nenhum problema porque (conforme já foi explicado) a informação importante é o cruzamento do zero diferencial, que continua bem definido.

Contudo, se o sinal de entrada continua a aumentar, o primeiro pré-amplificador começa a sair de sua região linear antes que o outro comece a entrar (na região linear) e o resultado é que o sinal resultante torna-se cada vez mais indefinido (veja a figura 2.20). Como a amplitude do sinal de entrada é diferencial, isto implica que o seu aumento pode ser função de 2 fatores. O primeiro é o aumento absoluto do seu valor e o segundo é o aumento em função da diferença de fase entre os sinais que se deseja interpolar e tem uma consequência



importante. Quando os sinais a serem interpolados têm ângulos de fase muito distantes entre si, a amplitude do sinal de entrada (diferencial) aumenta e pode ocorrer deformação no sinal interpolado.

Na prática, para níveis de sinais de entrada acima de 50 mV, a interpolação deve-se restringir a sinais que não tenham o ângulo de fase muito distantes (vetores próximos $\Rightarrow$ diferença de fase $\leq 90^\circ$). Na

figura 2.21 podemos observar 3 formas de um sinal interpolado em função do nível dos sinais de entrada. Fica evidente que com sinal de entrada de 50 mV (tomado de forma simples e não

Figura 2.21 - Distorção em Função da Amplitude

diferencial), o sinal interpolado (A-1) não possui deformação. Para um sinal de entrada de 150 mV (simples), utilizado neste conversor, ocorre uma deformação que não interfere na informação do sinal. Se o sinal de entrada for de 300 mV (simples), no ponto de detecção do cruzamento pelo zero (diferencial) o sinal tem uma forma que pode perturbar a interpretação correta do “latch”. O melhor é sempre procurar um nível de sinal que não seja muito baixo para não ser perturbado por ruídos e descasamentos de V_{BE} e nem muito alto que ocasione grandes deformações.

A interpolação dupla sofre alguma influência da variação de temperatura. A figura 2.22 mostra o comportamento do circuito 1 (relação de correntes) e do circuito 2 (relação de áreas), ambos da figura 2.16 em função da variação de temperatura de 0°C até 70°C, tomando como referência a interpolação em 27°C. As conclusões percebidas pelos resultado são que os erros são pequenos neste intervalo de temperatura. Isto torna possível aplicar esta técnica de

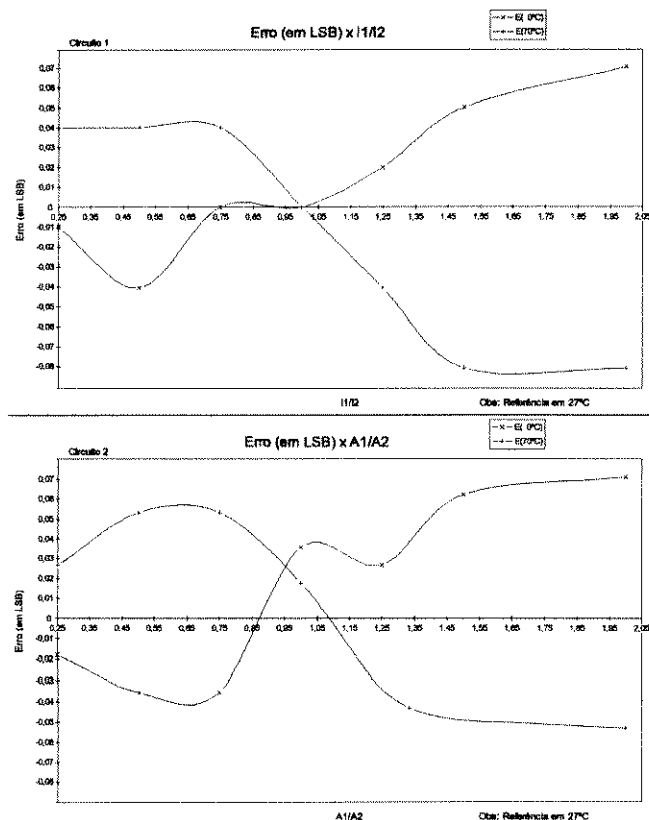


Figura 2.22 - Erro em Função da Variação de Temperatura

interpolação em conversores com maior resolução. O circuito 1 (na figura 2.16) que utiliza relação de correntes, possui um comportamento semelhante ao circuito 2, que utiliza relação de áreas. A diferença de desempenho é muito pequena e a nível de um conversor A/D de 6 bits é desprezível. Neste conversor de 6 bits foi utilizado o circuito 2 (relação de áreas), porque reduz um pouco a complexidade do circuito. No próximo capítulo veremos o projeto do conversor.

Capítulo 3

Conversor Analógico/Digital - Projeto

3.1 - Geração de Sinais:

A alimentação do conversor é de -5 V e para estudo do seu comportamento foi realizada uma simulação com análise de transiente para um sinal de entrada (V_{in}) de 5 KHz (baixa frequência $\Rightarrow$ período de 200 μ s), que varia de -1,0625 V a -0,0625 V e pode ser visto na figura 3.1. Foi adotada esta faixa de variação, para possibilitar o uso de uma fonte de referência simples de voltagem (V_{ref}) de -1,125 V para os amplificadores “folding”. Todas as representações gráficas dos resultados da análise de transiente foram obtidas diretamente do programa utilizado na simulação (Pspice).

A primeira parte do conversor A/D projetado (veja o diagrama de blocos na figura 2.1 do capítulo 2), é constituída por 2 amplificadores “folding”, 2 “buffers”, 2 fontes de “bias”, um “folding encoder” e uma referência de voltagem. Estes circuitos, que podem ser vistos na figura 3.2, geram os seguintes sinais: MSB, $\overline{\text{MSB}}$, 2-SB, $\overline{2\text{-SB}}$, 3-SB, $\overline{3\text{-SB}}$, A-4 e $\overline{A-4}$. A figura 3.3 permite visualizar os mesmos circuitos com destaque e localização das suas respectivas funções.

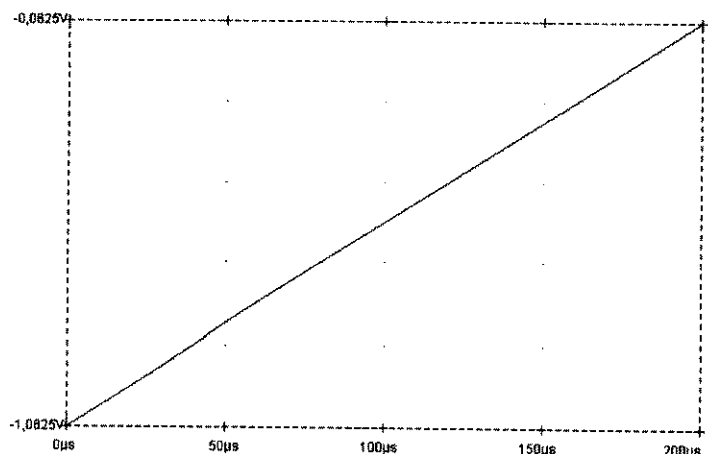


Figura 3.1 - Sinal de Entrada

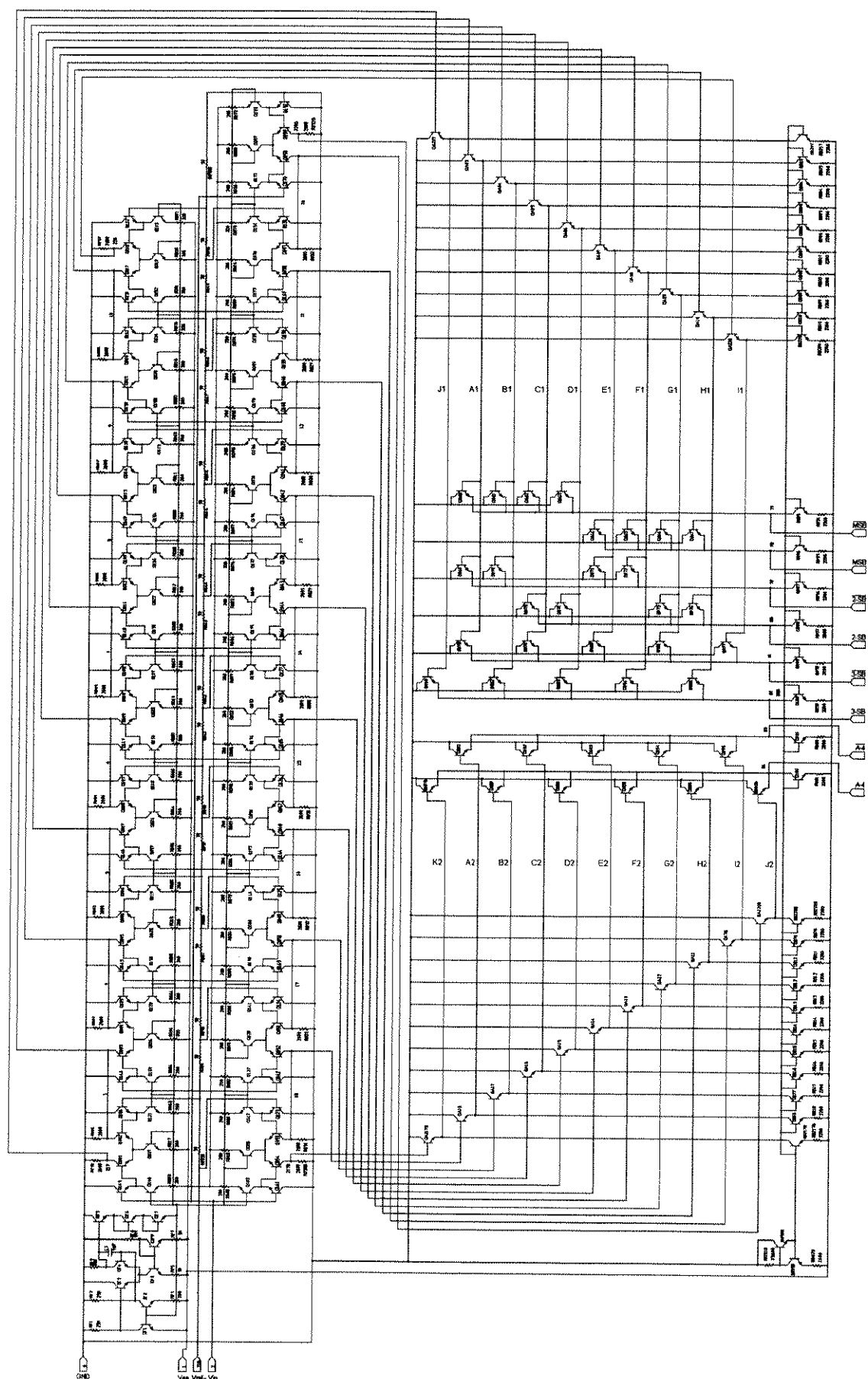


Figura 3.2 - Ampl. "Folding" + "Buffer" + "Folding Encoder" + Ref. de Voltagens

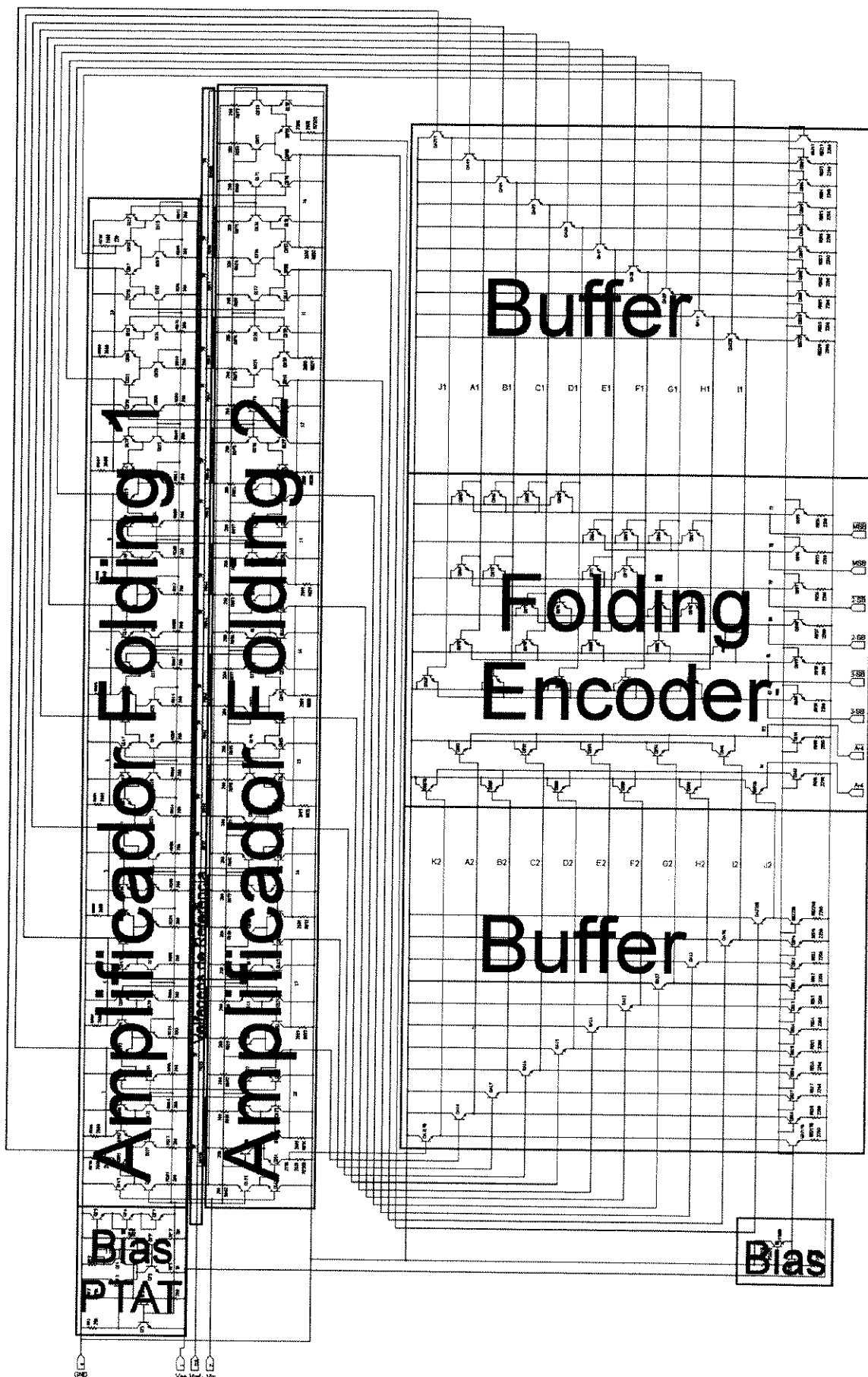


Figura 3.3 - Descrição das Funções

O sinal de entrada (V_{in}) é dirigido aos 2 amplificadores “folding”, que geram sinais defasados de 90°. O amplificador “folding” 1 é constituído de 8 pares diferenciais acoplados (PDA's) e o amplificador “folding” 2 de 9 PDA's. A figura 3.4 mostra um PDA, que é o circuito básico do amplificador “folding”.

Cada PDA tem 2 transistores ligados ao sinal de entrada (V_{in}) e outros 2 a duas voltagens de referência. Como o sinal de entrada tem que ser ligado a 17 PDA's (8 + 9), a sua entrada é “bufferizada” e a tensão de referência, para se manter estável, também é “bufferizada”. Quando V_{in} começa a aumentar (veja a figura 3.1), o transistor Q2 (veja a figura 3.4) está cortado e o transistor Q3 está conduzindo, a voltagem de saída (V_{out}) está em nível baixo. À medida que V_{in} vai aumentando, Q2 passa a conduzir e Q3 fica cortado e V_{out} vai a nível alto. Até este momento, o efeito foi causado pelo primeiro par diferencial, a partir deste instante, o efeito passa a ser causado pelo segundo par diferencial. O sinal V_{in} continua a aumentar e o transistor Q9 que estava cortado passa a conduzir e a voltagem de saída (V_{out}) torna a descer ao nível baixo. No intervalo definido por V_{ref1} e V_{ref2} (sendo: $V_{ref1} < V_{ref2}$) o

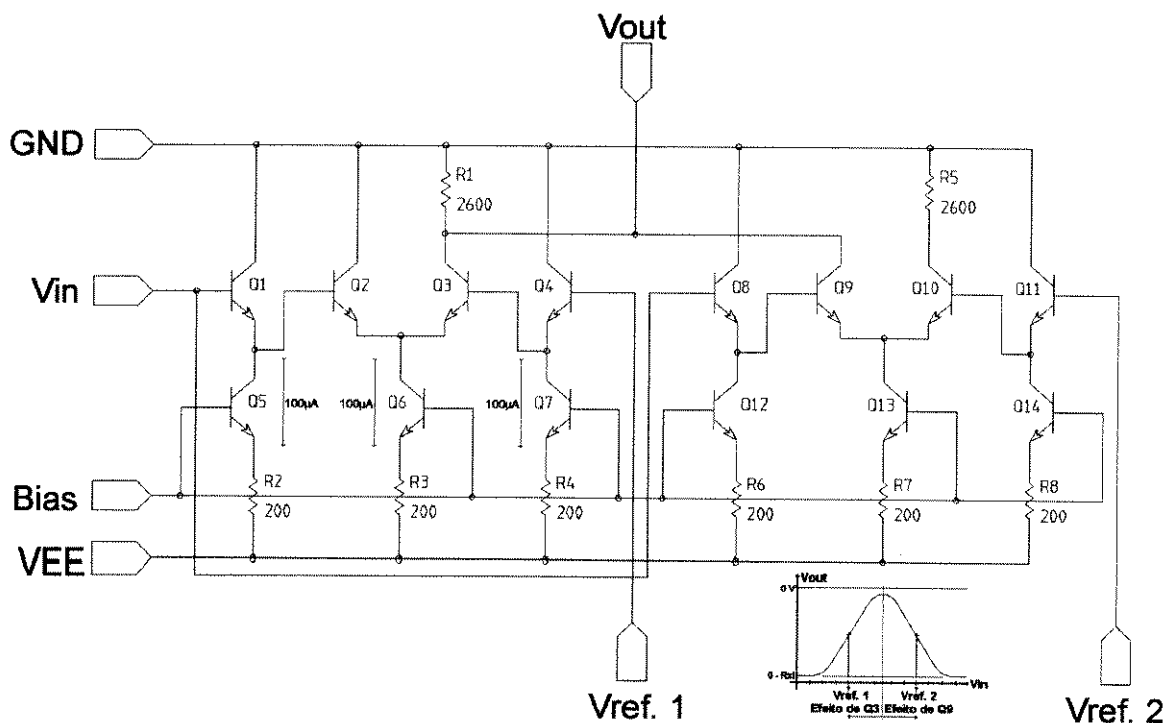


Figura 3.4 - Par Diferencial Acoplado (PDA)

signal de saída V_{out} fica em nível alto, nos demais intervalos V_{out} fica em nível baixo. Como cada PDA é relacionado a duas voltagens de referência, a soma dos efeitos de todos os PDA's reproduz as formas de onda de saída dos amplificadores “folding” 1 e 2.

A figura 3.5 mostra como é a rede resistiva que produz as diversas voltagens de referência para todos os PDA's (são 18 resistores de $50\ \Omega$). A fonte de referência é externa ao conversor. Para os amplificadores “folding” terem uma defasagem de 90° entre os seus sinais foi feita uma diferença de $0,0625\ V$ entre as suas voltagens de referência. Isto foi realizado intercalando-se as voltagens de referência no divisor resistivo. Na figura 3.5 os pontos marcados por F1 indicam os lugares onde os PDA's do amplificador “folding” 1 tomam as suas voltagens de referência e os marcados por F2 são as referências dos PDA's do amplificador “folding” 2 (veja as figuras 3.2 e 3.3). Reiterando, cada PDA tem duas voltagens de referência, o que identifica um intervalo de voltagem, onde o seu nível de voltagem na saída é alto.

A figura 3.6 mostra as formas de onda de saída dos amplificadores “folding” 1 e 2 respectivamente. Pode-se perceber que os níveis de voltagens são negativos e as duas formas de ondas estão defasadas de $12,5\ \mu s$ (função da diferença de $0,0625\ V$), que corresponde ao ângulo de 90° no diagrama vetorial. Cada um dos sinais (identificado nas figuras 3.2 e 3.6) corresponde ao efeito de um PDA e tem amplitude de $210\ mV$ ($27^\circ C$).

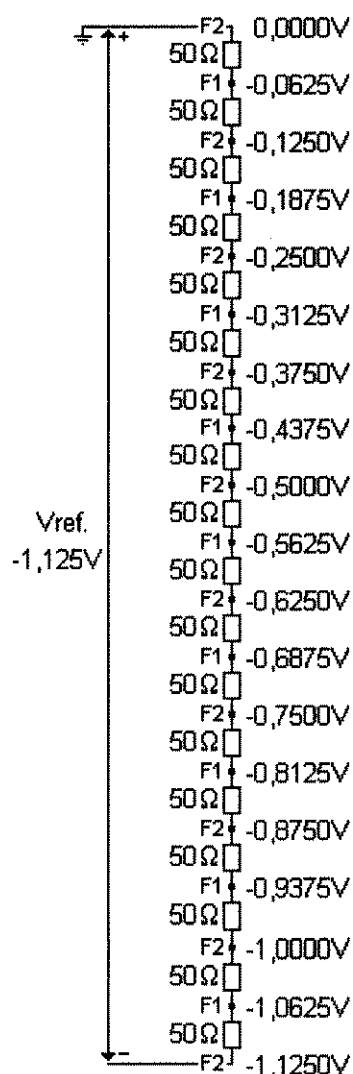


Figura 3.5 - Vref.

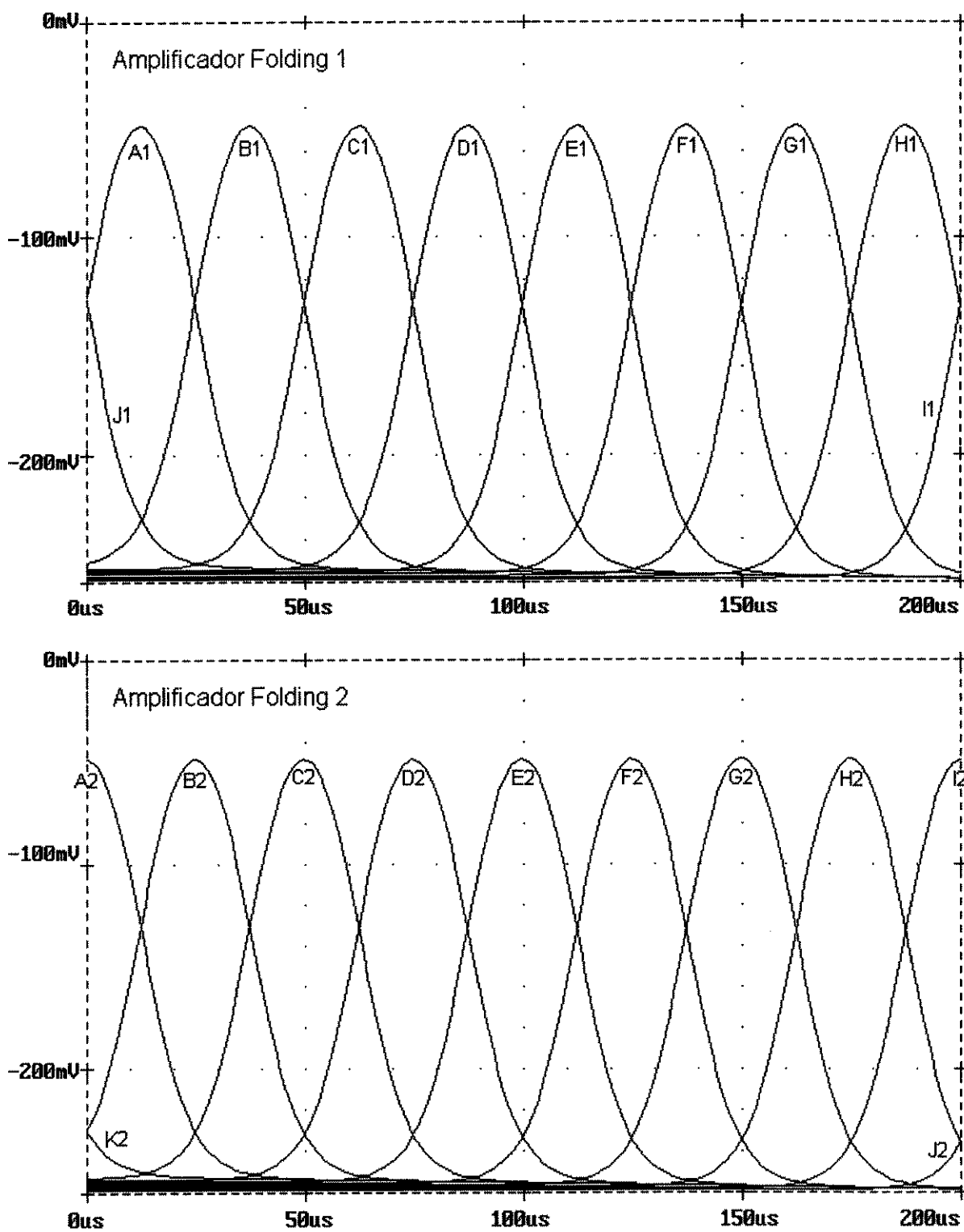


Figura 3.6 - Saídas dos Amplificadores "Folding"

A obtenção dos sinais $\overline{\text{MSB}}/\overline{\text{MSB}}$, $\overline{2\text{-SB}}/\overline{2\text{-SB}}$ e $\overline{3\text{-SB}}/\overline{3\text{-SB}}$ é feita por combinações (no “folding encoder”) dos sinais gerados pelo amplificador “folding” 1 e o sinal do $\overline{A-4}/\overline{A-4}$ é obtido através de combinações (no “folding encoder”) dos sinais gerados pelo amplificador “folding” 2. As saídas dos amplificadores “folding” são “bufferizadas” antes de serem dirigidas ao “folding encoder”. Abaixo relacionamos todas as combinações realizadas no “folding encoder” para composição dos respectivos sinais.

$$\begin{aligned}\overline{\text{MSB}} &\Rightarrow E1 + F1 + G1 + H1 \\ \overline{\text{MSB}} &\Rightarrow A1 + B1 + C1 + D1 \\ \overline{2\text{-SB}} &\Rightarrow C1 + D1 + G1 + H1 \\ \overline{2\text{-SB}} &\Rightarrow A1 + B1 + E1 + F1 \\ \overline{3\text{-SB}} &\Rightarrow J1 + B1 + D1 + F1 + H1 \\ \overline{3\text{-SB}} &\Rightarrow A1 + C1 + E1 + G1 + I1 \\ \overline{A-4} &\Rightarrow K2 + B2 + D2 + F2 + H2 + J2 \\ \overline{A-4} &\Rightarrow A2 + C2 + E2 + G2 + I2\end{aligned}$$

As figuras 3.7, 3.8, 3.9 e 3.10 mostram estes sinais nas saídas do “folding encoder”. O “ripple” observado sobre o sinal é inerente a sua formação, ou seja, é resultado da própria soma das saídas dos PDA’s do amplificador “folding” 1 e não acarreta nenhum problema. Os sinais podem ser utilizados de forma simples (por exemplo: $\overline{\text{MSB}}$) ou diferencial (por exemplo: $\overline{\text{MSB}}/\overline{\text{MSB}}$). Todos os sinais gerados têm uma amplitude de 150 mV (27°C) quando considerados de forma simples ou 300 mV (27°C), quando de forma diferencial. Os “latches” mestres referentes ao $\overline{\text{MSB}}$, $\overline{2\text{-SB}}$ e $\overline{3\text{-SB}}$ utilizam na entrada sinal na forma diferencial, os “latches” mestres que fazem a interpolação simples utilizam na entrada sinais na forma simples e os “latches” mestres que fazem a interpolação dupla utilizam nas entradas sinais nas formas simples e diferencial. É importante analisar a forma de utilização do sinal porque, quando tomado de forma simples, existe uma pequena distorção, que não se apresenta quando o sinal é tomado de forma diferencial. A interpolação utiliza sinais ($\overline{3\text{-SB}}/\overline{3\text{-SB}}$ e $\overline{A-4}/\overline{A-4}$) na forma simples. A observação das figuras 3.9, 3.10 e 3.11 permite verificar a distorção do sinal quando utilizado na forma simples em comparação com o sinal na forma diferencial.

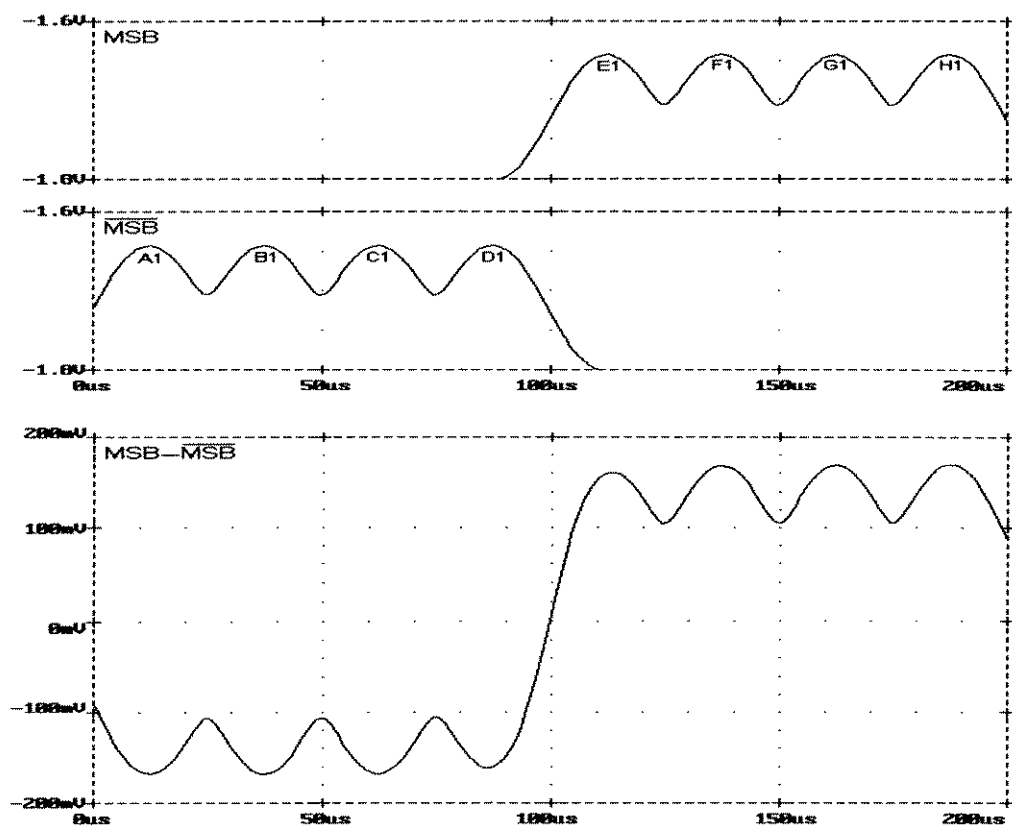


Figura 3.7 - MSB

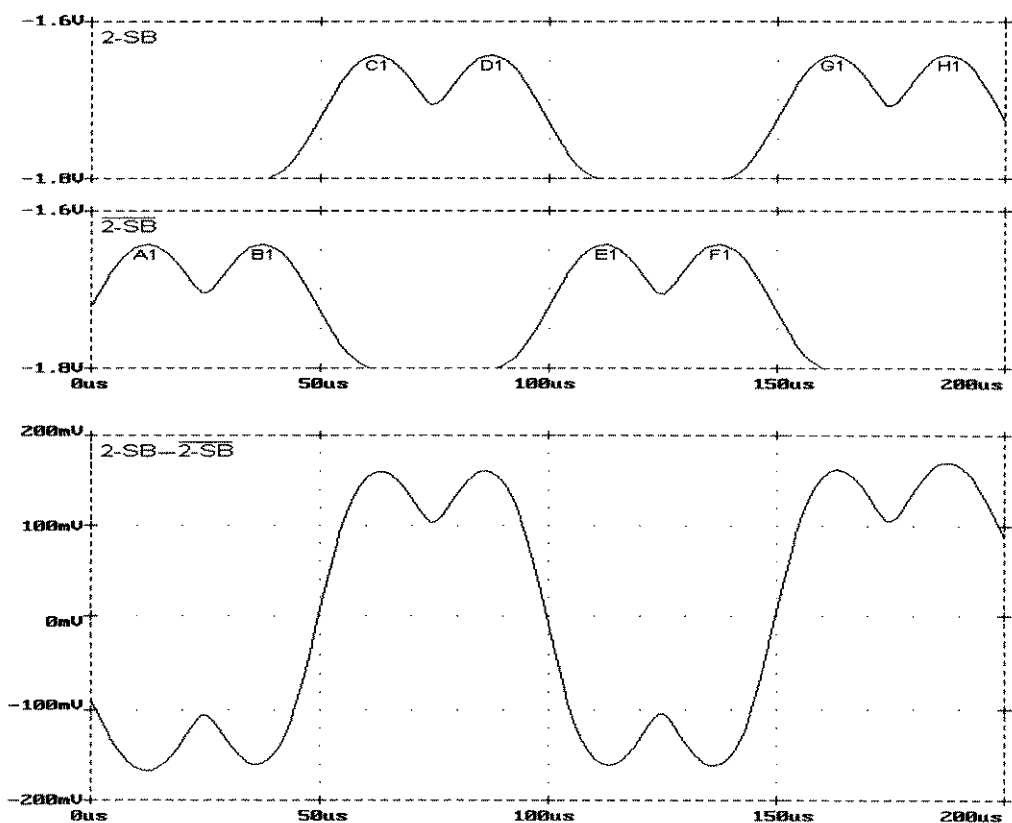


Figura 3.8 - 2-SB

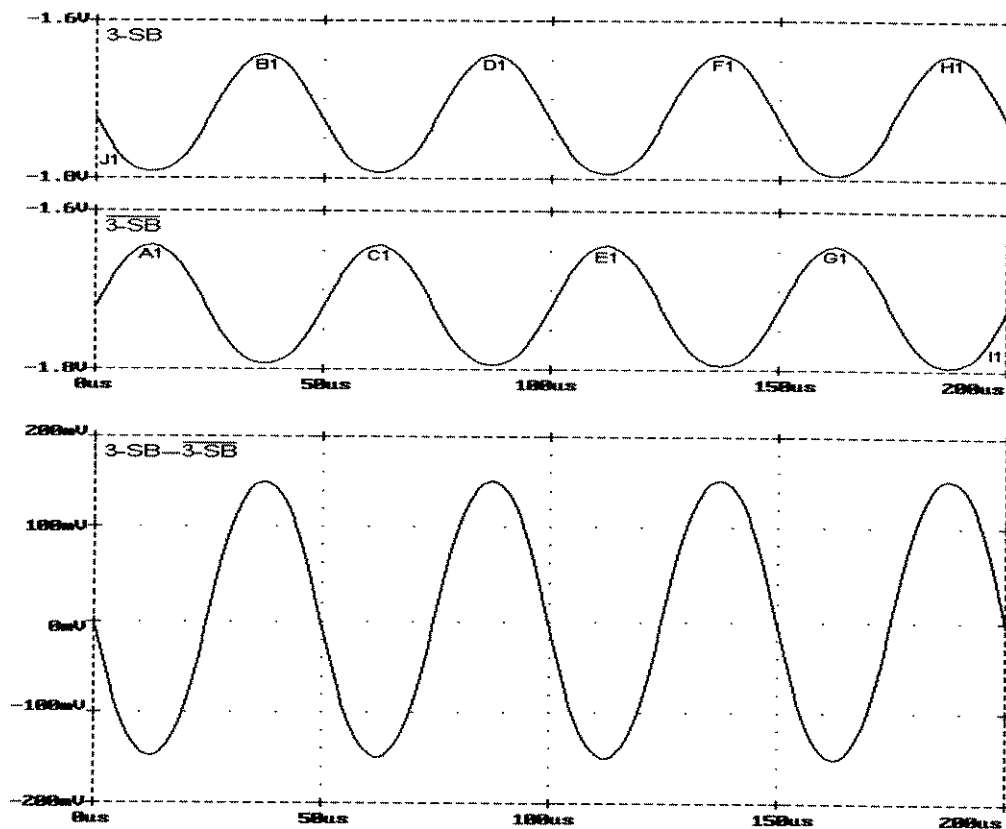


Figura 3.9 - 3-SB

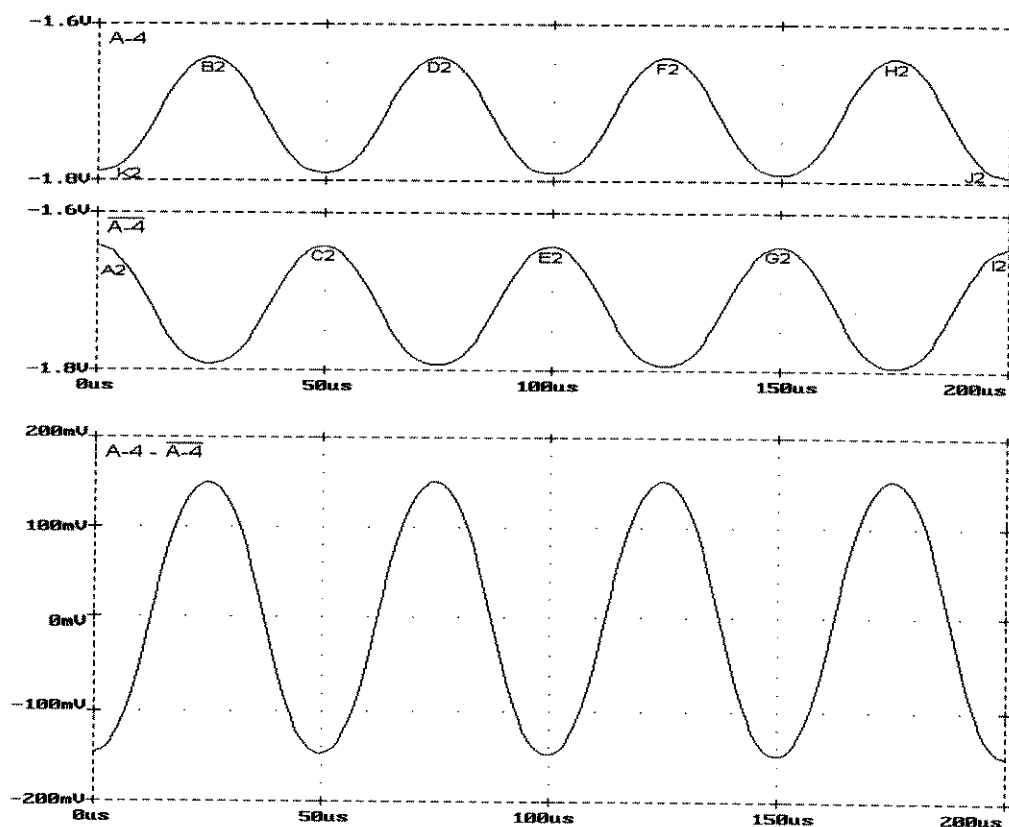


Figura 3.10 - A-4

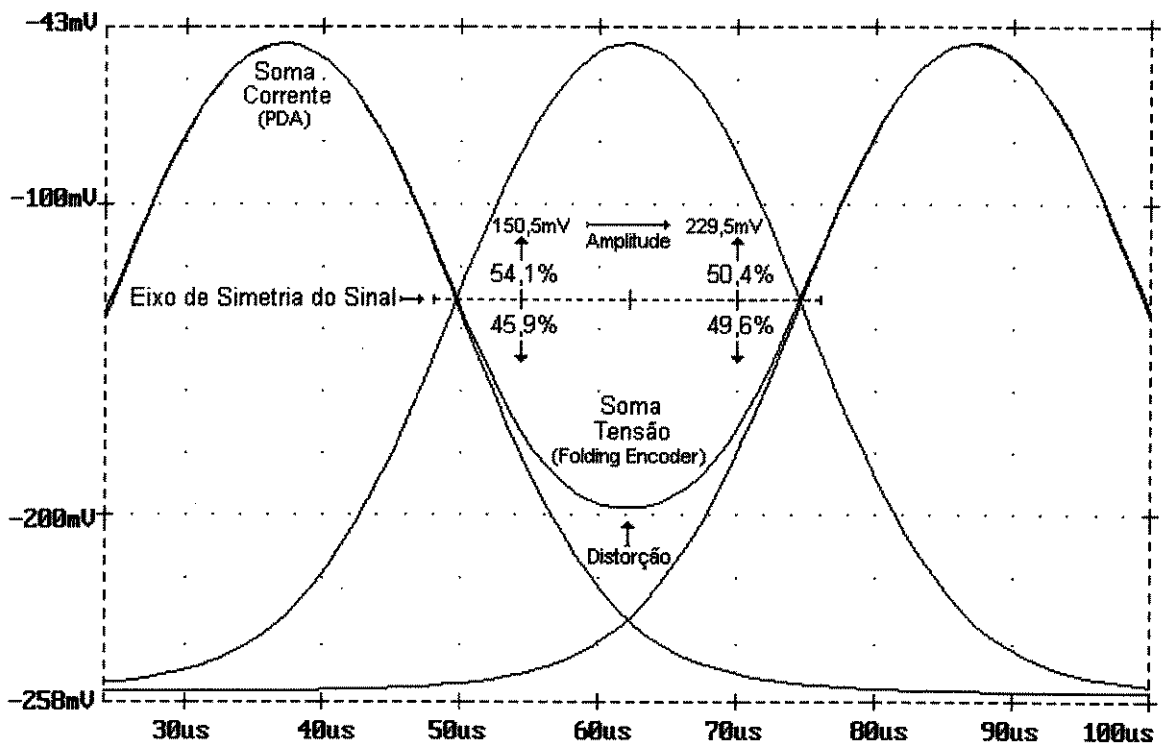


Figura 3.11 - Distorção

Quando os sinais senoidais ($\overline{3-SB/3-SB}$ e $\overline{A-4/A-4}$) são formados, eles são consequência de uma soma de sinais dos PDA's (veja as figuras 3.6 e 3.11). A parte superior do sinal já está pronta e é resultado de uma soma de correntes no próprio PDA. A parte inferior do sinal (onde se apresenta a pequena distorção) é resultado de uma soma de voltagens (das saídas de cada PDA) e é realizada no "folding encoder". A distorção é diminuta, porém, introduz um pequeno erro na interpolação dupla. Contudo, isto é facilmente corrigido nos "latches" que realizam a interpolação dupla, através do ajuste das correntes que dão o peso relativo de cada vetor na interpolação.

A distorção é proporcional à amplitude do sinal (veja o eixo de simetria na figura 3.11). À medida que a amplitude do sinal aumenta a distorção tende a diminuir e fica próxima de zero para um sinal com amplitude aproximada de 230 mV (de forma simples). Todavia, o aumento da amplitude prejudica a interpolação, porque distorce o sinal interpolado (veja sobre a influência da amplitude do sinal na interpolação no capítulo 2).

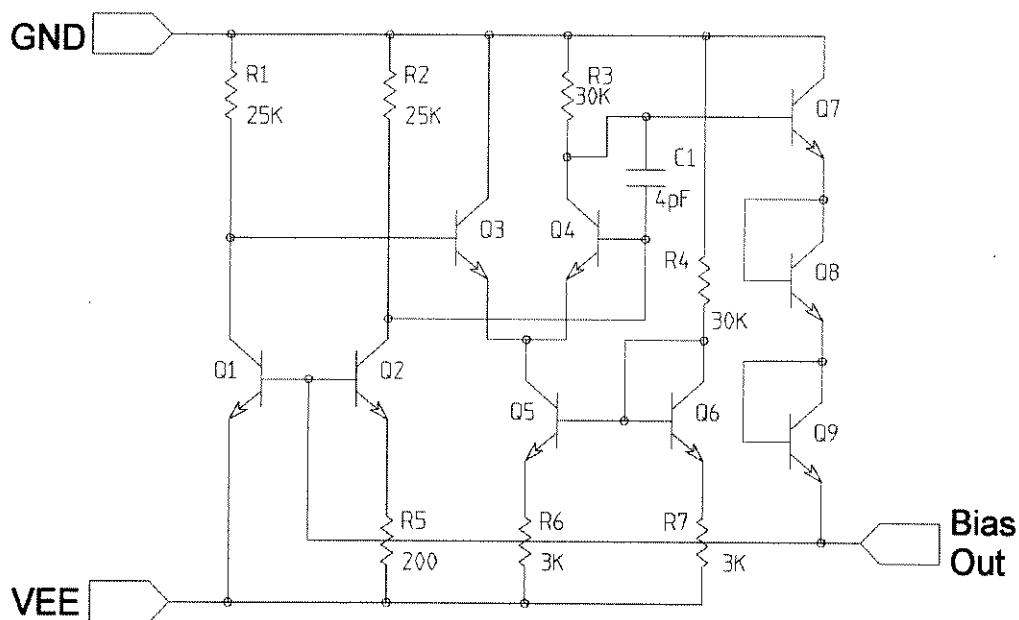


Figura 3.12 - Fonte de "Bias" PTAT

Para compensar o efeito da variação de temperatura, foi utilizado para os amplificadores "folding" uma fonte de "bias" do tipo PTAT (veja as figuras 3.12 e 3.13). Isto permite compensar as variações de V_{BE} dos transistores do amplificador "folding" e mantém a amplitude do sinal aproximadamente constante na faixa de temperatura de 0° a 70°C (veja e compare os gráficos da figura 3.14).

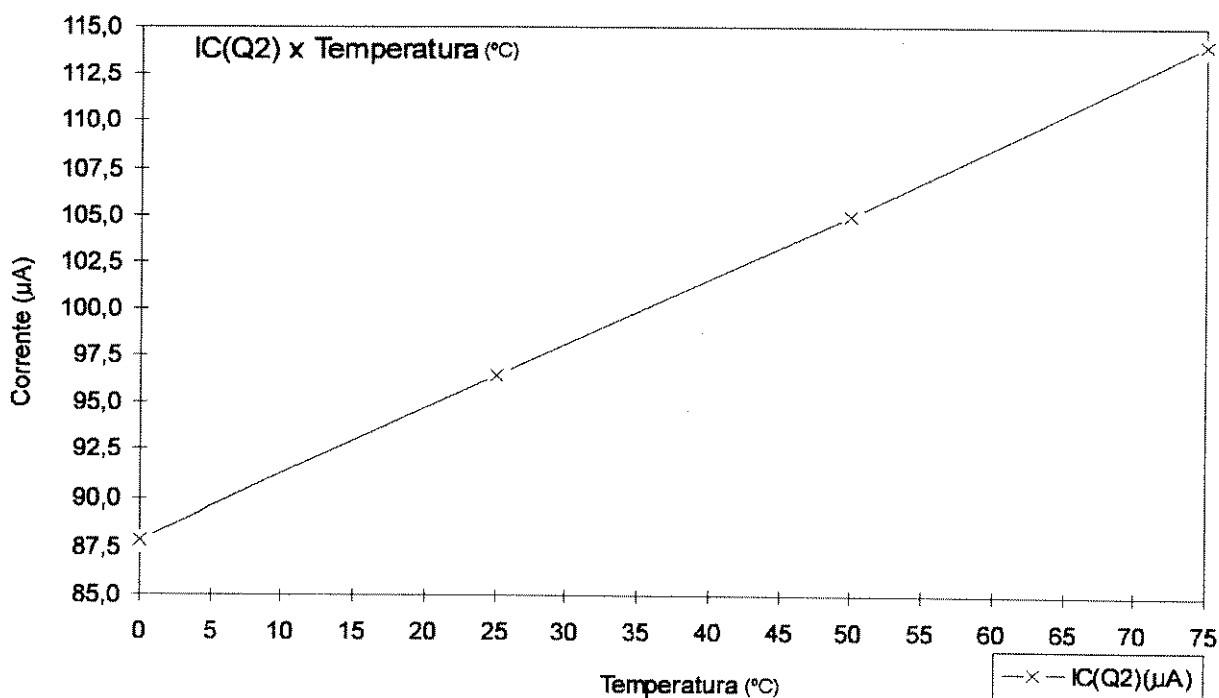


Figura 3.13 - Desempenho da Fonte de "Bias" PTAT

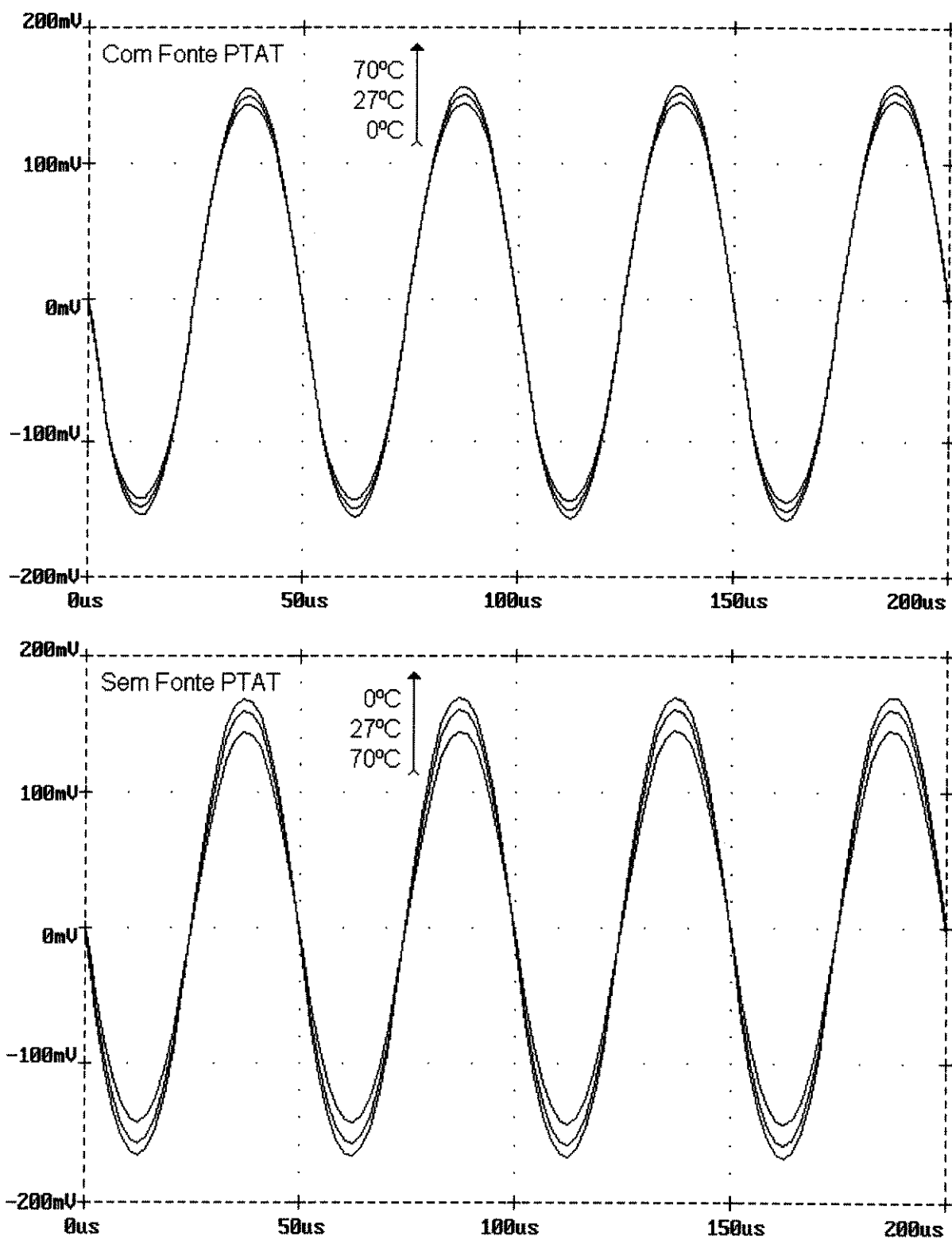


Figura 3.14 - Saída Diferencial para o 3-SB

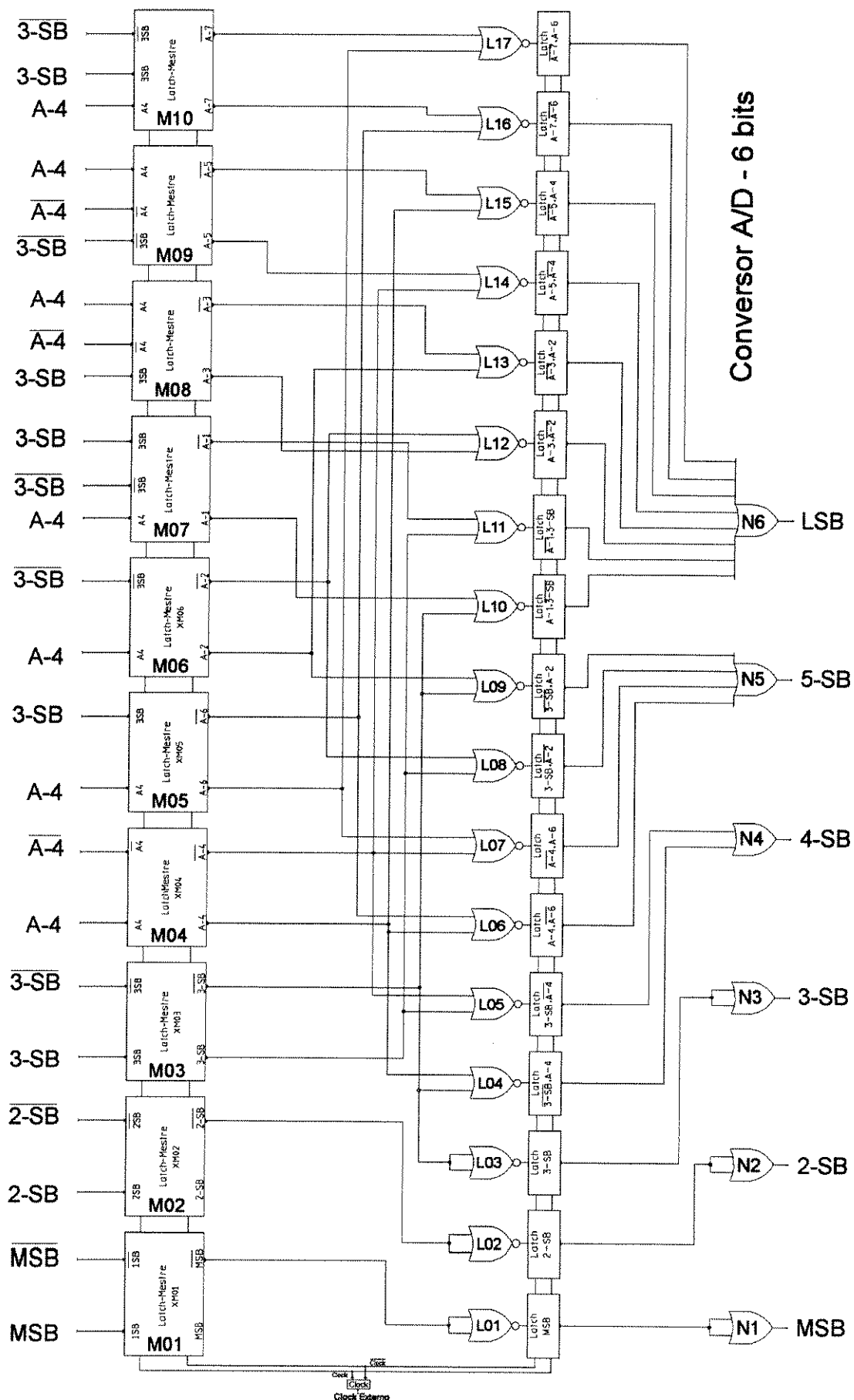


Figura 3.15 - "Latches" Mestres + "Clock" + Circuito Lógico

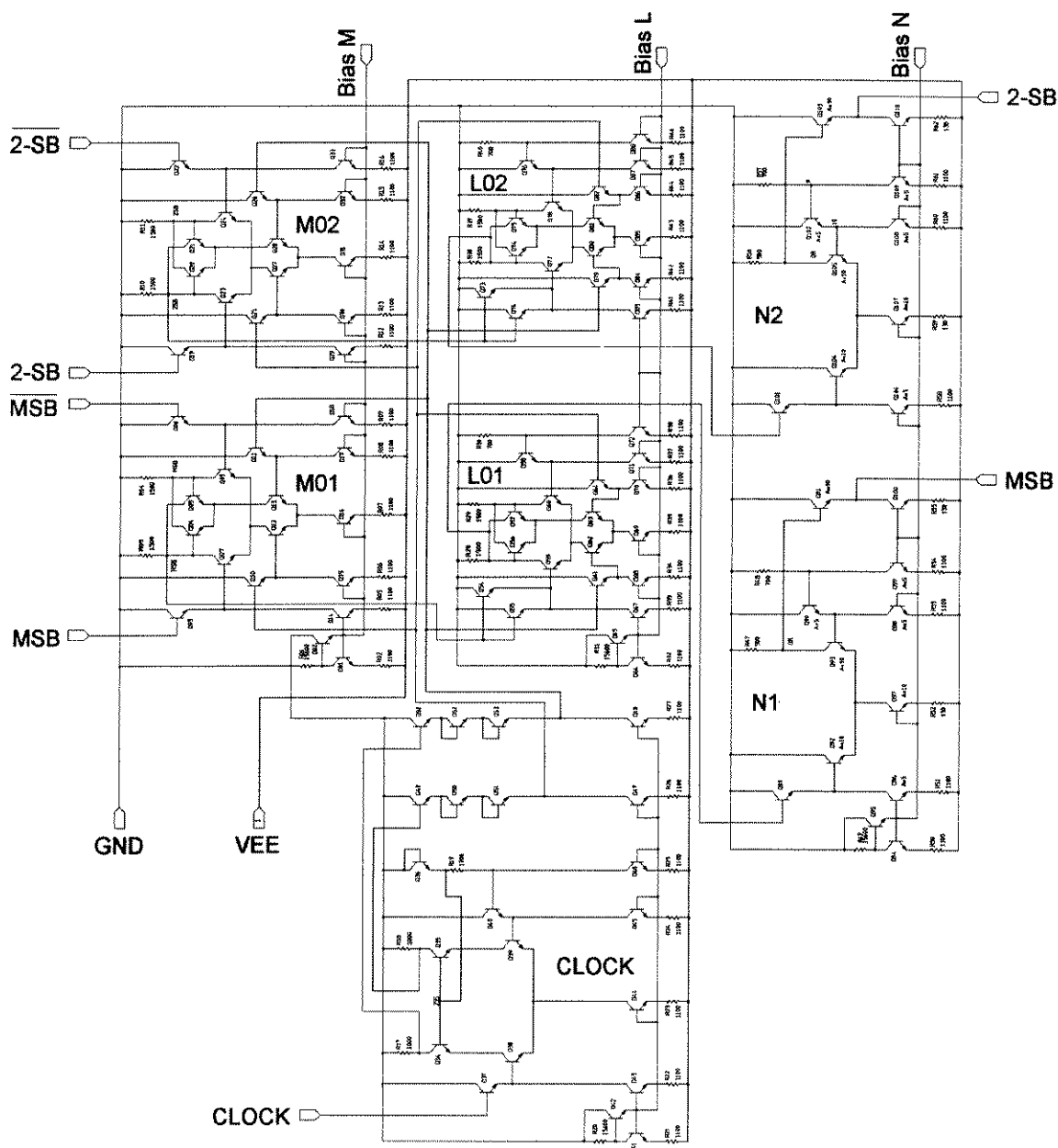


Figura 3.16 - Circuito de "Clock" + "Latches" e Portas Lógicas do MSB e 2-SB

A segunda parte do circuito do conversor A/D pode ser vista, em diagrama de blocos, na figura 3.15. O desenho dos circuitos em função da complexidade e tamanho foi dividido em duas figuras.

A figura 3.16 mostra o circuito do "clock", "latches" e portas lógicas do MSB e do 2-SB e a figura 3.17 mostra os mesmos circuitos (com exceção do circuito de "clock") para o 3-SB, 4-SB, 5-SB e LSB.

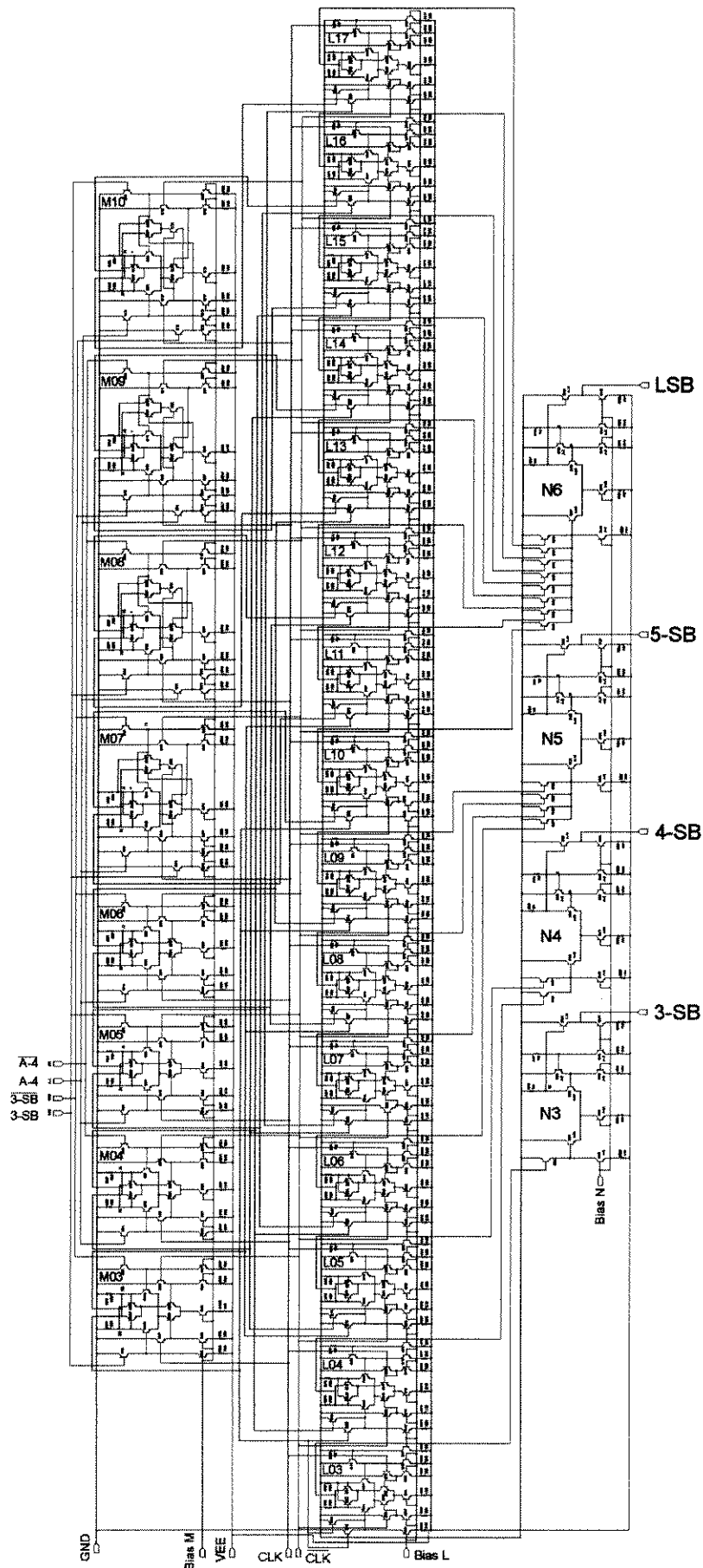


Figura 3.17 - "Latches" e Portas Lógicas do 3-SB, 4-SB, 5-SB e LSB

3.2 - Processamento dos Sinais:

O sinal do “clock” é externo ao conversor e possui os níveis ECL. Existe um circuito de entrada do sinal externo do “clock” que o “bufferiza”, gera o $\overline{\text{clock}}$ e converte do nível ECL para os níveis de voltagem utilizados internamente no conversor. O circuito utilizado para o “clock” pode ser observado na figura 3.18.

Existem 10 “latches” mestres (de M01 a M10 - veja na figura 3.15). Os quatro primeiros (M01, M02, M03 e M04), que podem ser vistos na figura 3.16 e 3.17, são os “latches” mestres do MSB, 2-SB, 3-SB e A-4. Os sinais de saída do “folding encoder” correspondentes ao $\text{MSB}/\overline{\text{MSB}}$, $2\text{-SB}/\overline{2\text{-SB}}$, $3\text{-SB}/\overline{3\text{-SB}}$ e $A\text{-4}/\overline{A\text{-4}}$ (na forma diferencial) vão para as entradas dos respectivos “latches”. Nas saídas destes “latches” temos os quatro sinais já compostos na forma binária ($\text{MSB}/\overline{\text{MSB}}$, $2\text{-SB}/\overline{2\text{-SB}}$, $3\text{-SB}/\overline{3\text{-SB}}$ e $A\text{-4}/\overline{A\text{-4}}$), com amplitude de 300 mV. O circuito destes “latches” pode ser visto na figura 3.19.

Os dois próximos “latches” (M05 e M06 - veja a figura 3.17) têm o mesmos circuitos, mas os sinais de entrada são respectivamente $A\text{-4}/3\text{-SB}$ e $A\text{-4}/\overline{3\text{-SB}}$, que não são sinais

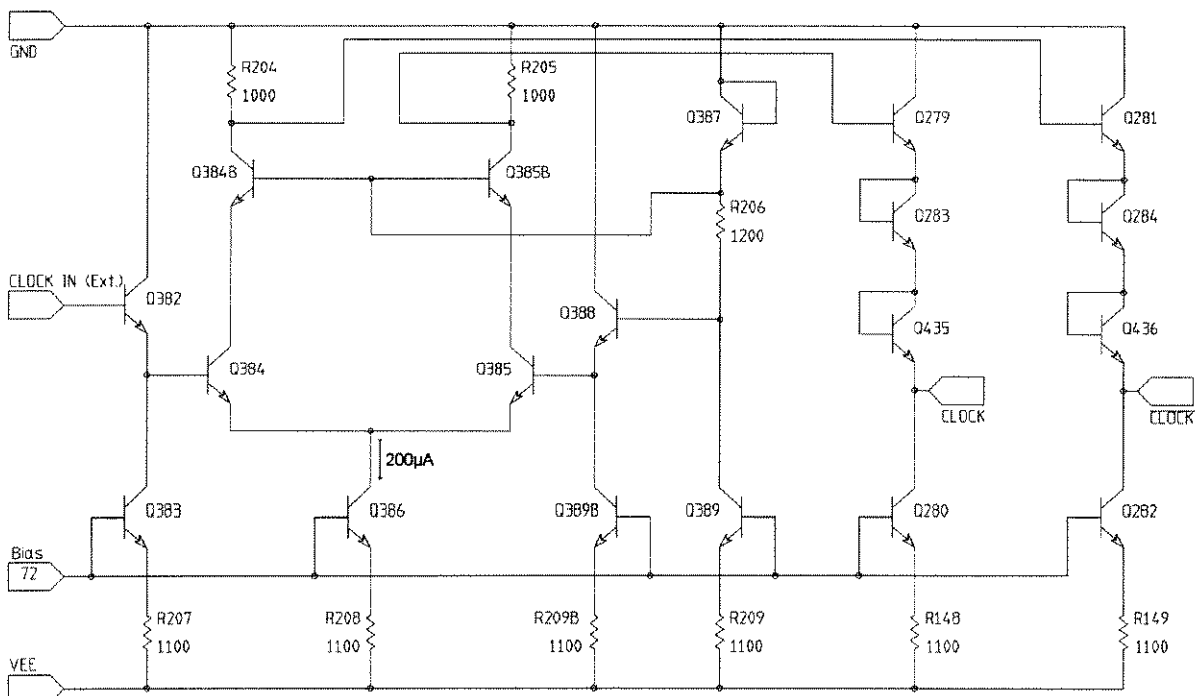


Figura 3.18 - Circuito de Entrada do Sinal de “Clock”

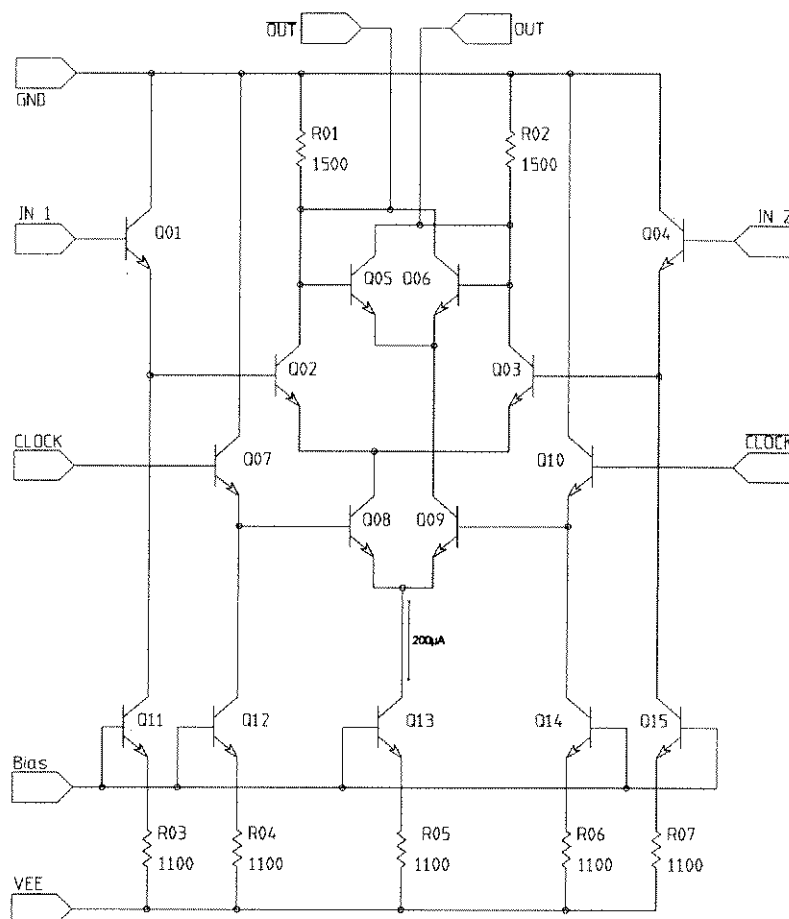


Figura 3.19 - Circuito de "Latch"

diferenciais. Nestes "latches" são realizadas duas interpolações simples, formando na saída os sinais $A-2/\overline{A-2}$ e $A-6/\overline{A-6}$, ambos com amplitude de 300 mV.

Os quatro últimos "latches" são especiais (M07 a M10 - veja na figura 3.17). Neles é realizada a interpolação dupla. Este tipo de "latch", que podemos chamar de "latch" duplo, utiliza no primeiro pré-amplificador um sinal de entrada que não é diferencial e no segundo pré-amplificador um sinal diferencial (veja a figura 2.19 no capítulo anterior). O circuito utilizado para este tipo de "latch" pode ser visto na figura 3.20, onde a relação das correntes dos dois pré-amplificadores (que indica o peso relativo de cada vetor na soma final) é determinada pela relação de áreas entre os transistores Q08 e Q18. O valor teórico desta relação para igualar os sinais a serem somados é de 1,25 ($A08=1,25 \times A18$). Contudo, na prática a relação das áreas teve que ser ajustada para compensar a distorção do sinal, quando

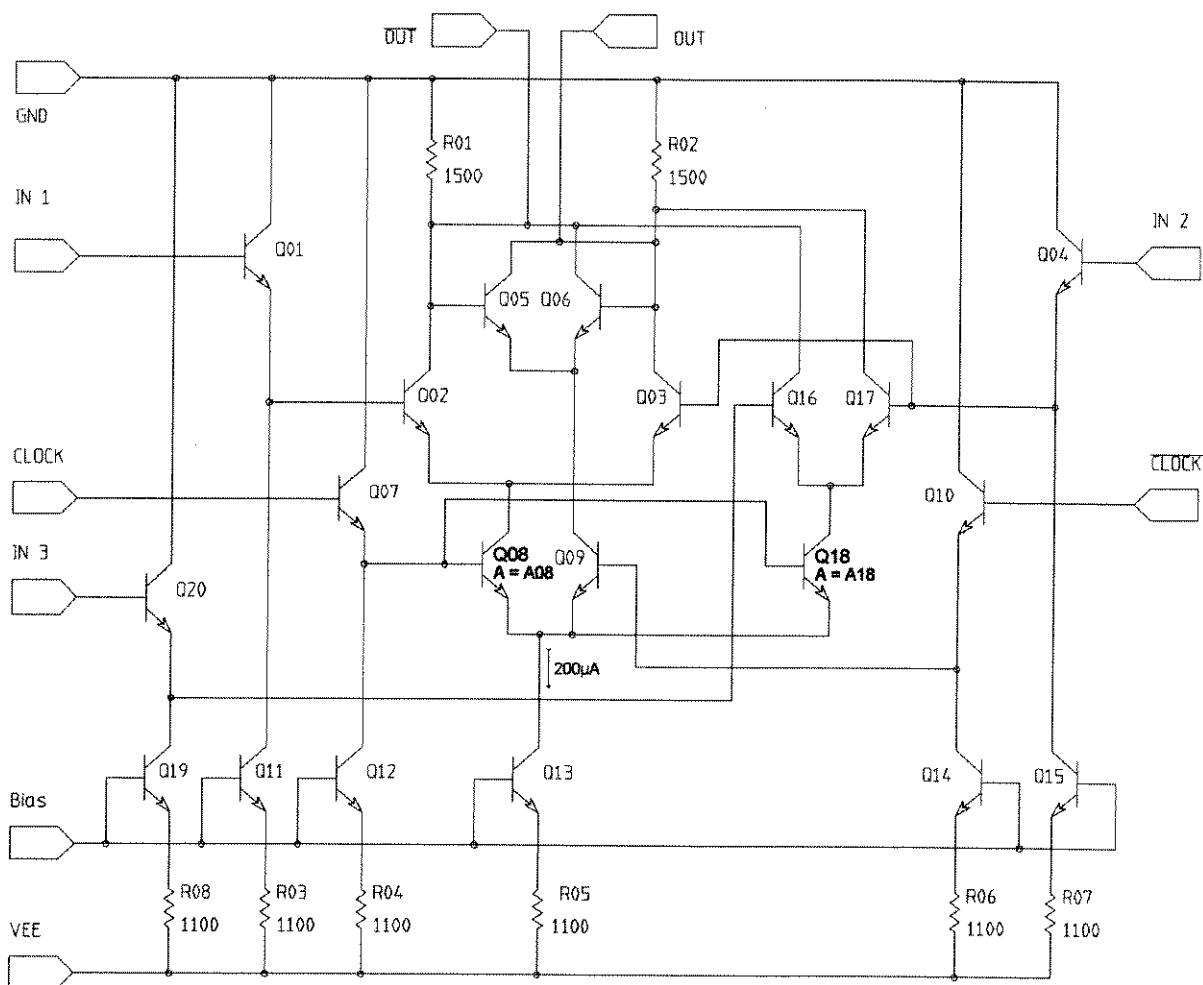


Figura 3.20 - Circuito de "Latch" Duplo

utilizado na sua forma simples (não diferencial). Como os vetores utilizados nas interpolações são distintos, os ajustes nas áreas não foram todos iguais. Os "latches" responsáveis pela interpolação dos vetores $A-1/\overline{A-1}$ e $A-5/\overline{A-5}$ tiveram que ter uma relação de áreas de 1,11 ($A08=1,11 \times A18$) e os "latches" responsáveis pela interpolação dos vetores $A-3/\overline{A-3}$ e $A-7/\overline{A-7}$ tiveram que ter uma relação de áreas de 1,56 ($A08 = 1,56 \times A18$).

O ajuste nas áreas permite diminuir o erro de interpolação. A sua elaboração foi através da análise do resultado da simulação e, tomando como referência a temperatura de 27°C. É importante ressaltar que este ajuste tem por objetivo corrigir o erro resultante da distorção do sinal oriundo do "folding encoder". O pequeno erro relativo da variação de temperatura no processo de interpolação (analisado no capítulo 2) continua existindo.

A figura 3.21 mostra a saída do “latch” mestre referente ao MSB (M01) e a saída referente ao 2-SB (M02). Pode-se perceber que as saídas são complementares e o ruído existente é causado pelo chaveamento no “latch” pelo sinal do “clock”.

A figura 3.22 tem as saídas dos demais “latches” (M03 a M10) e a figura 3.23 as saídas complementares dos mesmos “latches”. Destacando que os “latches” do 3-SB (M03) e A-4 (M04) não fazem interpolação, os “latches” do A-6 (M05) e A-2 (M06) fazem uma interpolação simples e os “latches” do A-1 (M07), A-3 (M08), A-5 (M09) e A-6 (M10) fazem uma interpolação dupla. Comparando os sinais da figura 3.22 com a figura 2.5 (no capítulo anterior) é facilmente identificável a relação do chamados sinais auxiliares com os sinais das saídas dos “latches” (M03 a M10). São todos sinais com a frequência do 3-SB e defasados de um ciclo do sinal de “clock”, ou seja $3,125\mu s$ (o sinal do “clock” tem 320KHz), que no diagrama vetorial corresponde a um ângulo de $22,5^\circ$. De forma semelhante aos sinais do MSB e 2-SB, existe um ruído sobreposto ao sinal que é causado pelo chaveamento no “latch” pelo sinal do “clock”.

A partir deste ponto (veja a figura 3.15) os sinais do MSB, 2-SB e 3-SB vão para suas portas lógicas (“NOR”) com “latch” que atuam como “latch” escravo e permite mantê-los sincronizados com os demais sinais que irão receber uma combinação lógica. Como as portas (“NOR”) são utilizadas com as entradas ligadas ao mesmo ponto (comum), de fato elas atuam como inversores e, por causa disto, apenas os sinais complementares de saída do “latches” são utilizados ($\overline{\text{MSB}}$, $\overline{2\text{-SB}}$, $\overline{3\text{-SB}}$) para se obter os respectivos bits de saída. Os demais sinais ($\overline{A-1/A-1}$, $\overline{A-2/A-2}$, $\overline{A-3/A-3}$, $\overline{A-4/A-4}$, $\overline{A-5/A-5}$, $\overline{A-6/A-6}$, $\overline{A-7/A-7}$ e $\overline{3\text{-SB}/3\text{-SB}}$) vão, através de diversas combinações, para as portas lógicas (“NOR”) com “latch” que atuam como “latch” escravo e simultaneamente, executam a primeira operação lógica para obtenção do 4-SB, 5-SB e LSB. O circuito das portas lógicas com “latch” pode ser visto na figura 3.24.

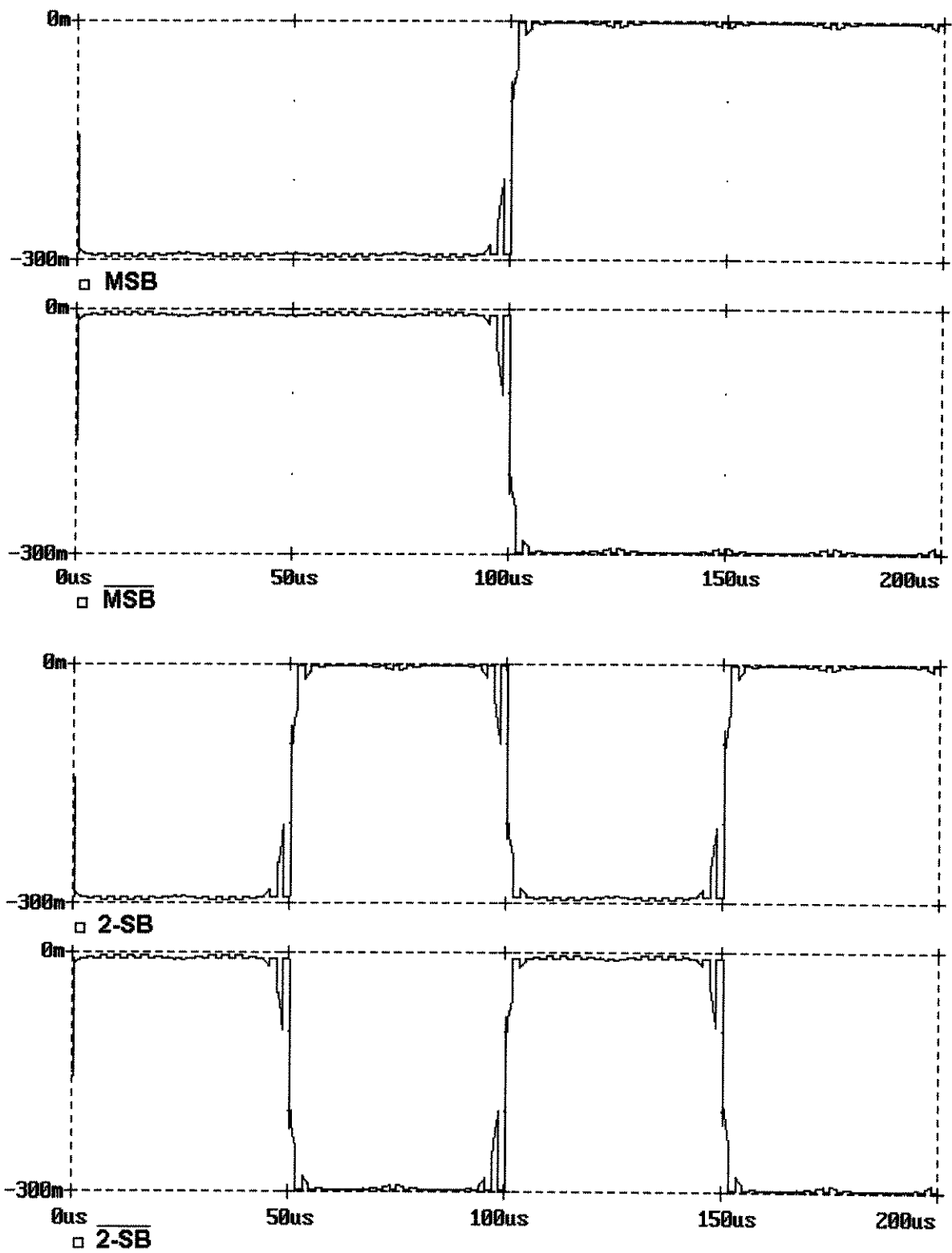


Figura 3.21 - Saída dos "Latches" Mestres do MSB e 2-SB

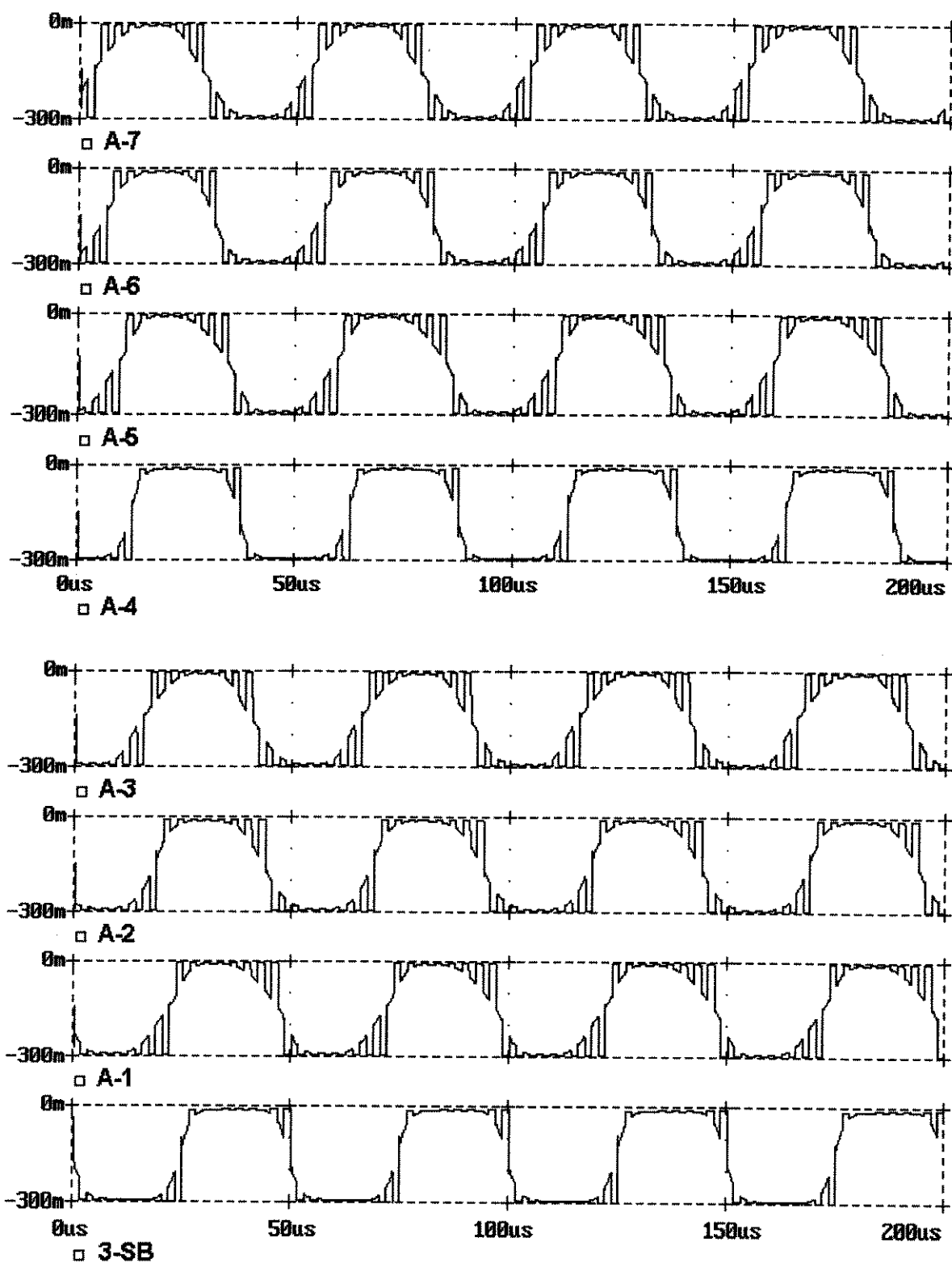


Figura 3.22 - Saída dos “Latches” Mestres do A-1, A-2, A-3, A-4, A-5, A-6, A-7 e 3-SB

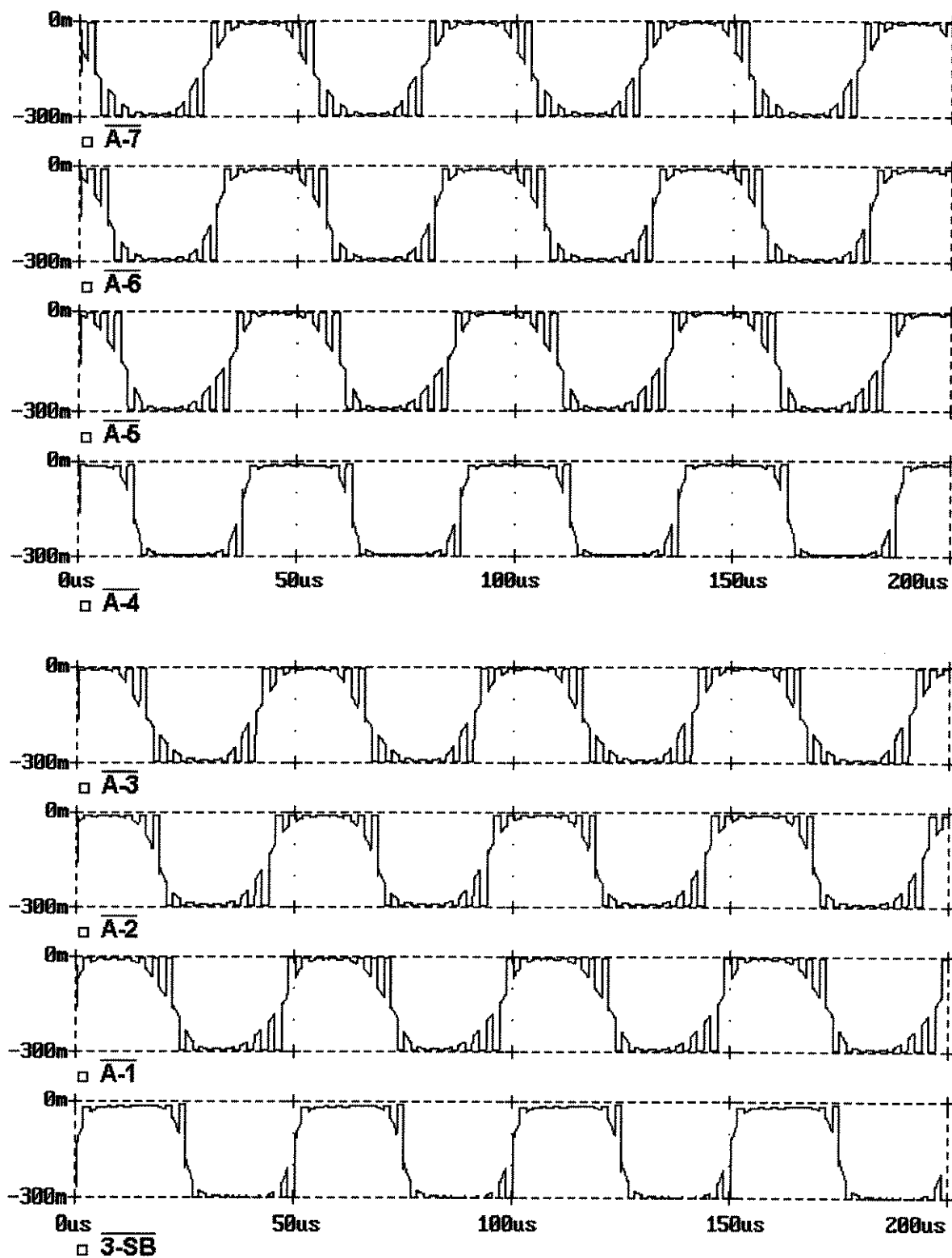


Figura 3.23 - Saída Complementar dos "Latches" Mestres ($\overline{3-SB}$ e $\overline{A-1}$ até $\overline{A-7}$)

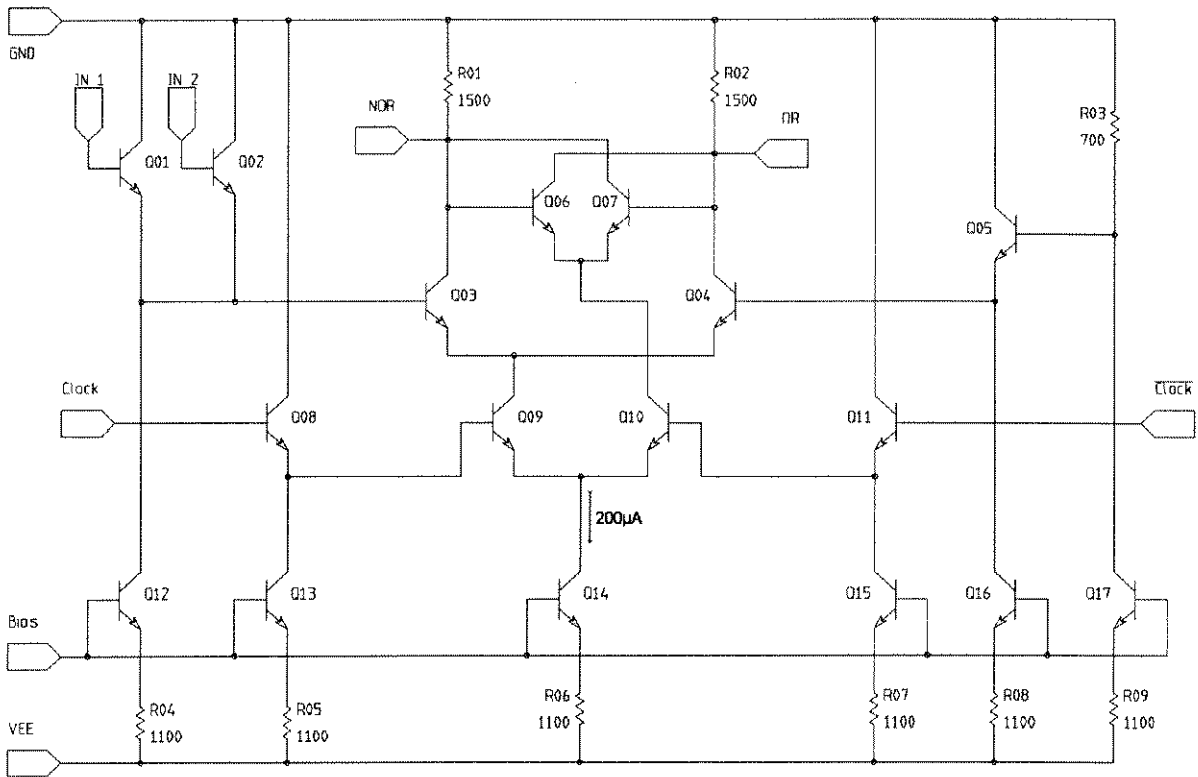


Figura 3.24 - Porta Lógica com "Latch"

A fase do sinal do "clock" é complementar para os "latches" mestres e para as portas lógicas ("NOR") com "latch". Isto é, quando o "latch" mestre está na situação de "sample" as portas lógicas com "latch" estão em "hold" e vice-versa.

Após as portas lógicas com "latch" os sinais do MSB, 2-SB e 3-SB dirigem-se para 3 portas ("OR") (veja a figura 3.15), que têm por função adequar os sinais aos níveis ECL, "bufferizar" e diminuir o "delay" em relação aos sinais 4-SB, 5-SB e 6-SB, que, ainda, irão completar a sua codificação nas portas lógicas ("OR") de saída. Estas portas lógicas, também, ajustam os sinais 4-SB, 5-SB e 6-SB aos níveis ECL, "bufferizam" e diminuem o "delay". Abaixo, relacionamos as formas de obtenção de cada bit do código binário de saída.

MSB $\Rightarrow$ Geração Direta

2-SB $\Rightarrow$ Geração Direta

3-SB $\Rightarrow$ Geração Direta

$$4-SB \Rightarrow \overline{3-SB} \cdot A-4 + 3-SB \cdot \overline{A-4}$$

$$5-SB \Rightarrow \overline{A-6} \cdot A-4 + A-6 \cdot \overline{A-4} + \overline{A-2} \cdot 3-SB + A-2 \cdot 3-SB$$

$$LSB \Rightarrow \overline{A-7} \cdot A-6 + A-7 \cdot \overline{A-6} + \overline{A-5} \cdot A-4 + A-5 \cdot \overline{A-4} + \overline{A-3} \cdot A-2 + A-3 \cdot \overline{A-2} + \overline{A-1} \cdot 3-SB + A-1 \cdot 3-SB$$

Todas as funções Lógicas foram implementadas com portas (“NOR”) e (“OR”), porque a lógica utilizada foi a ECL. A figura 3.25 mostra a porta (“OR”) utilizada na saída do conversor. Na figura vemos o(s) transistor (es) Q(e) de entrada. Nas portas (“OR”) referentes ao MSB, 2-SB e 3-SB, de fato é apenas um transistor, porque o sinal recebido vem de apenas uma porta lógica com “latch”. Para o 4-SB, existem 2 transistores na entrada do circuito, porque os sinais recebidos vêm de 2 portas lógicas com “latch” e soma deles é realizada no local da figura identificado pela palavra “soma” (entrada da base de Q01). De forma semelhante, para o 5-SB, existem 4 transistores na entrada do circuito e para o LSB, existem 8 transistores na entrada do circuito (veja as figuras 3.16 e 3.17). Estas combinações podem ser vistas nas figuras 3.26 e 3.27 que mostram os sinais de saída das portas lógicas com “latch”.

Na figura 3.26, podem ser vistos os sinais do L01 (MSB), L02 (2-SB), L03 (3-SB), L05 e L04, sendo que a soma destes últimos obtém o 4-SB. A soma dos sinais L06, L08, L07 e L09 resulta no 5-SB (veja a figura 3.28).

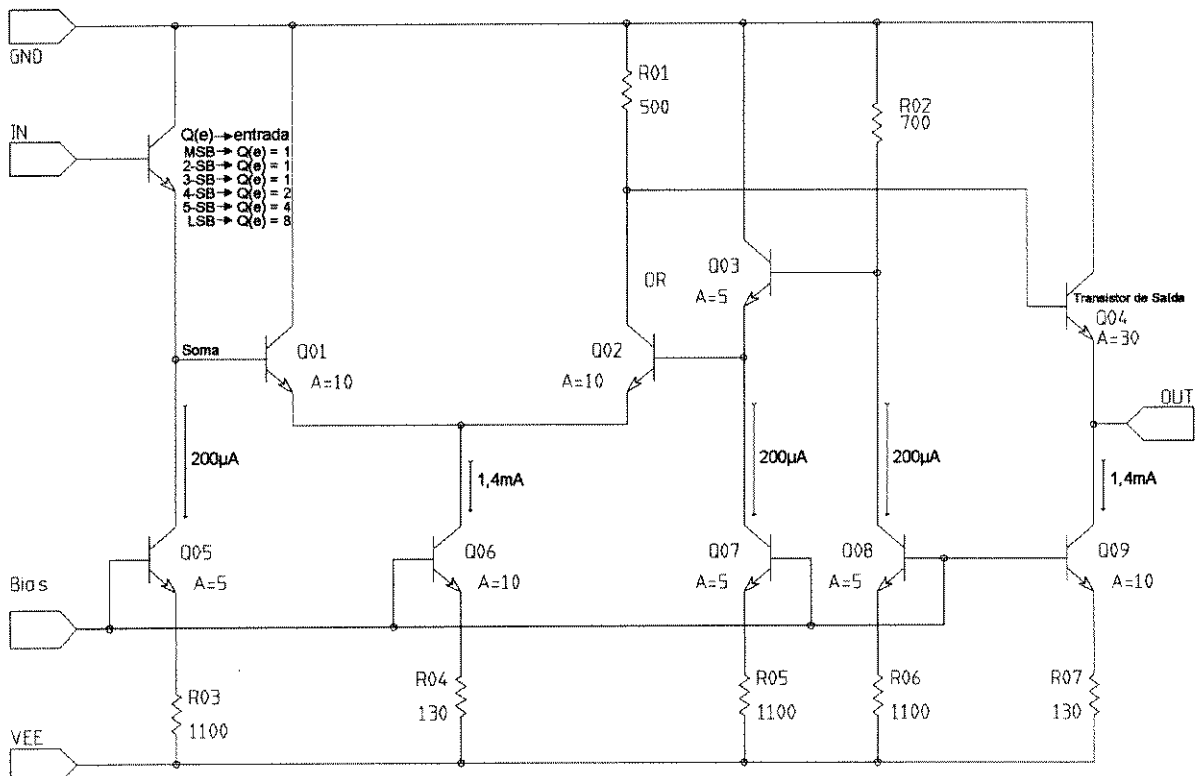


Figura 3.25 - Porta Lógica de Saída

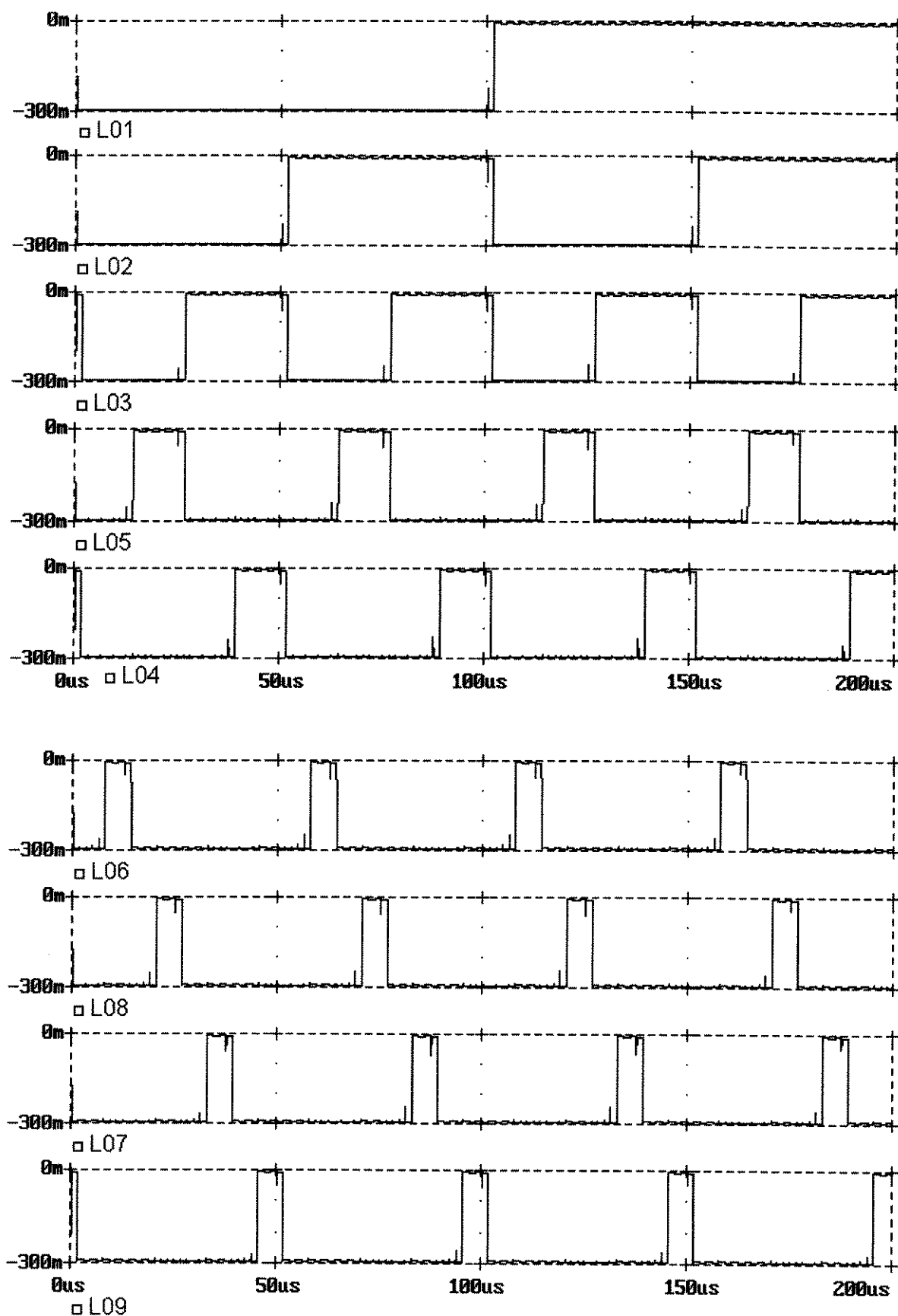


Figura 3.26 - Saídas das Portas Lógicas com "Latch" (L01 a L09)

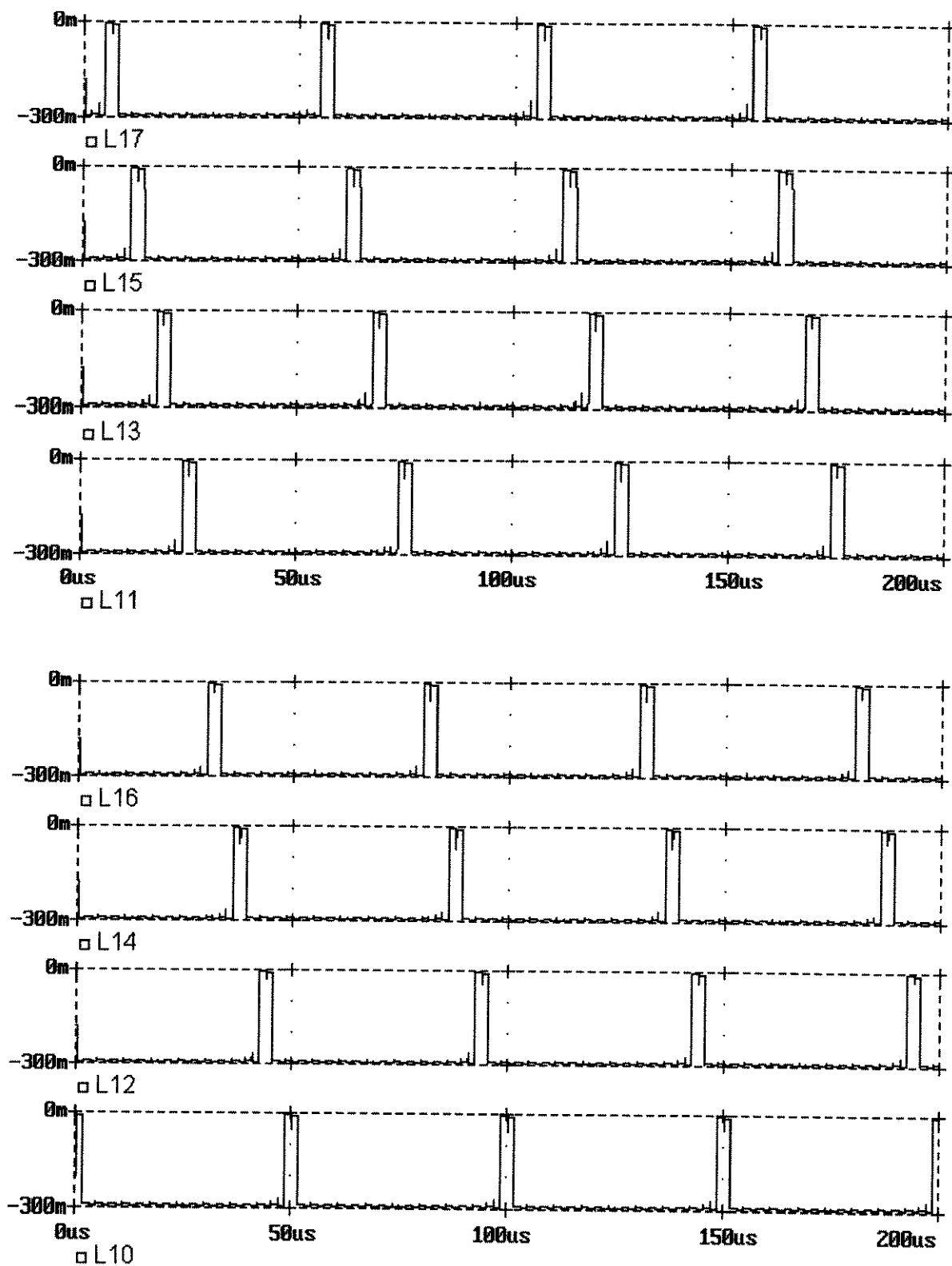


Figura 3.27 - Saídas das Portas Lógicas com "Latch" (L10 a L17)

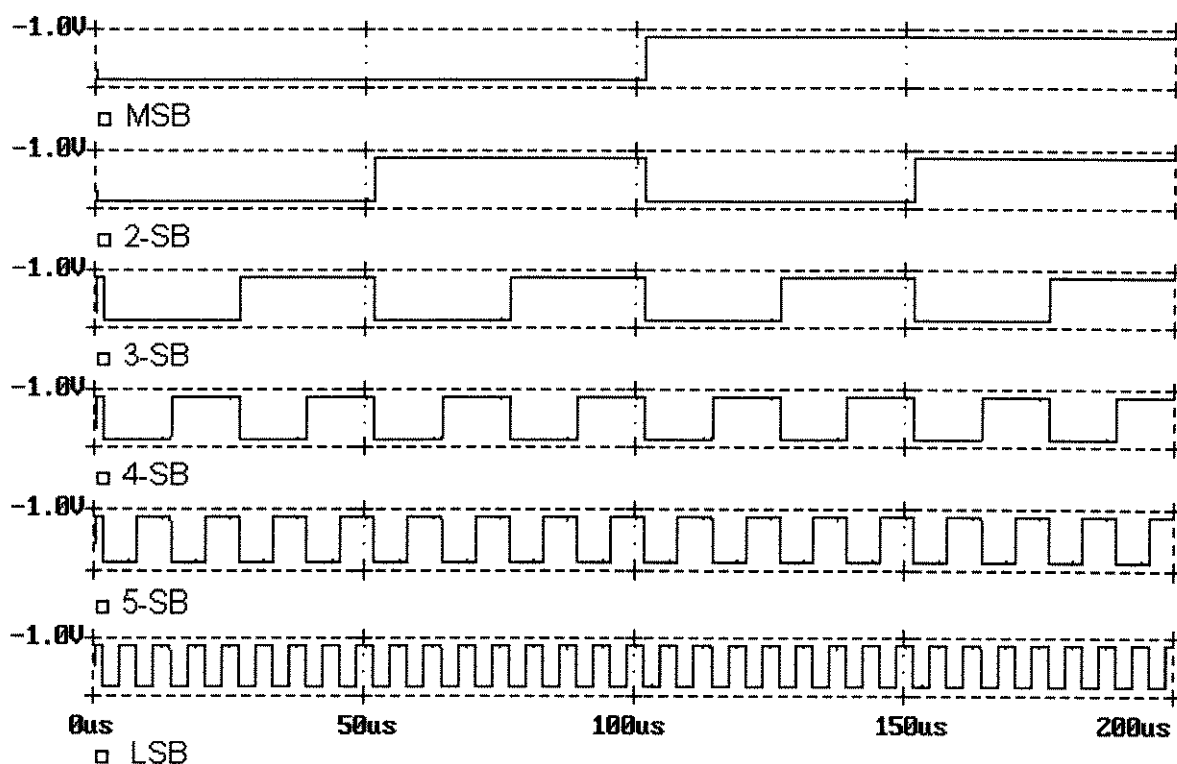


Figura 3.28 - Sinais de Saída do Conversor A/D em Código Binário

Na figura 3.27, temos as saídas das portas lógicas com “latch” L17, L15, L13, L11, L16, L14, L12 e L10. A soma de todos estes sinais resulta no LSB (confira com a figura 3.28). Compare os resultados com as figuras 2.6, 2.7, 2.8, 2.9A e 2.9B do capítulo 2.

Todas as saídas das portas lógicas com “latch” possuem uma amplitude de 300 mV e a saída das portas (“OR”) tem uma amplitude em níveis ECL 10 000 em código binário. Esta simulação foi realizada considerando uma carga na saída do conversor A/D de 50 Ω (em relação a -2 V) e os sinais nas saídas têm uma amplitude de 520 mV (variando de -1,09 V para o nível alto até -1,61 V para o nível baixo). O consumo total do circuito é de 467 mW. Existem 1209 componentes, sendo 788 transistores bipolares, 420 resistores e 1 capacitor. O tempo de simulação foi de 2:51' hs (Pentium 100 MHz). A avaliação do desempenho do conversor A/D será demonstrada no próximo capítulo.

Capítulo 4

Resultados e Conclusão

4.1 - Simulação:

No capítulo anterior (3) pôde ser visto o resultado da simulação das saídas dos diversos blocos que compõem o conversor A/D e o resultado final da conversão (em código binário) realizada com o programa Pspice (ver. 4.05). A tecnologia utilizada foi de 1,2 μm BiCMOS da Austria Mikro Systeme International (AMS), com f_T de cerca de 7 GHz e cujos parâmetros de processo para simulação dos modelos de transistores bipolares são:

```
.MODEL NPN1B [AREA] NPN (IS=2,210E-18 BF=127 NF=1 VAF=29,2 IKF=1,140E-3  
+ ISE=0,501E-18 NE=1,38 BR=1 NR=1,03 VAR=2,9 IKR=5E-6 ISC=1E-15 NC=1,6  
+ IRB=10E-6 RBM=750 RB=3E+3 RE=30 RC=300 TR=1E-9 TF=18,38E-12 XTF=3,752  
+ ITF=2,336E-3 VTF=2,072 XTI=5,5 XTB=1,6 CJE=(4.340E-15+1.390E-15/AREA)  
+ VJE=1,04 MJE=0,39 CJC=(2.330E-15+13.90E-15/AREA) VJC=0,66 MJC=0,42  
+ CJS=(2.010E-15+47.80E-15/AREA) VJS=0,55 MJS=0.38)
```

O consumo total do circuito, sem carga, com sinal de entrada (V_{in} de -1,0625 V a -0,0625 V - 5 KHz - 27° C) foi de 323 mW e com carga de 50 ohms (com relação a -2 V), nas mesmas condições, foi de 467 mW. Neste capítulo será feita a análise dos resultados obtidos com o conversor A/D. Para tanto, foi aplicado um conversor digital/analógico (D/A - tipo R-2R - veja a figura 4.1) na saída do conversor A/D para obter a sua curva de transferência estática (veja a figura 4.2), que foi utilizada para obtenção dos dados das análises. O pequeno

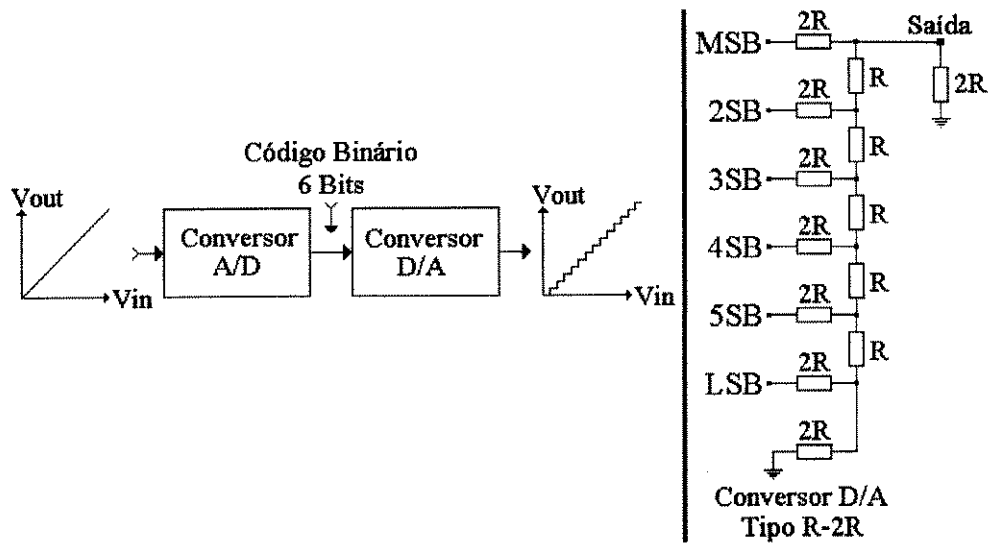


Figura 4.1 - Conversores A/D e D/A Interligados

transiente inicial na curva de transferência, reproduz os estado inicial do conversor A/D.

4.2 - Resultados Estáticos:

4.2.1 - Erro de Não Linearidade Diferencial:

A figura 4.3 mostra a curva de transferência de um conversor A/D ideal (linha contínua) e de um conversor A/D real (linha tracejada). Diferente de um conversor A/D ideal, os códigos (degraus) de transições do conversor A/D real podem ter larguras diferentes,

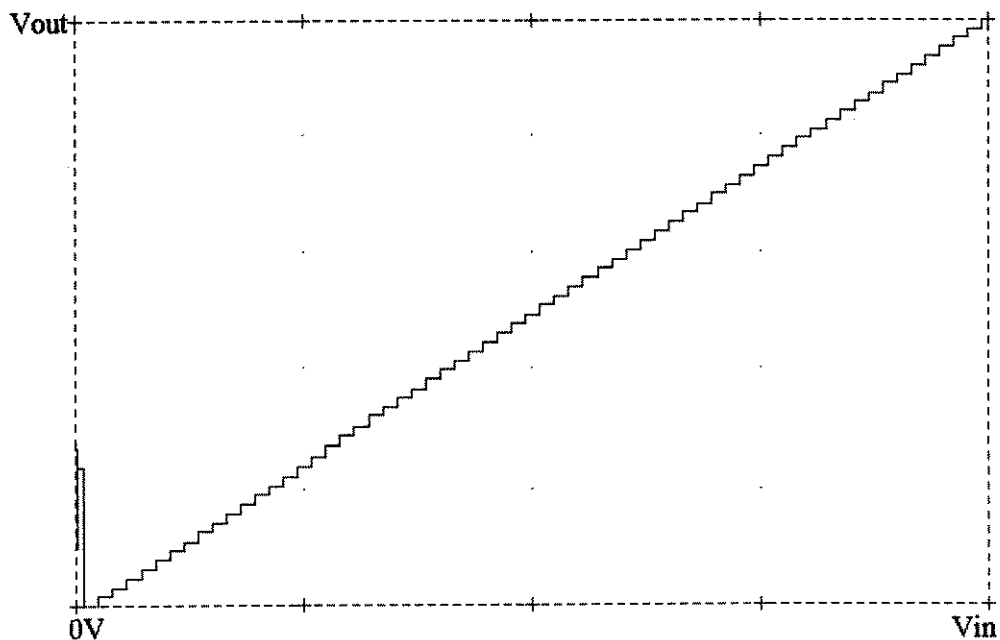


Figura 4.2 - Curva de Transferência do Conversor A/D

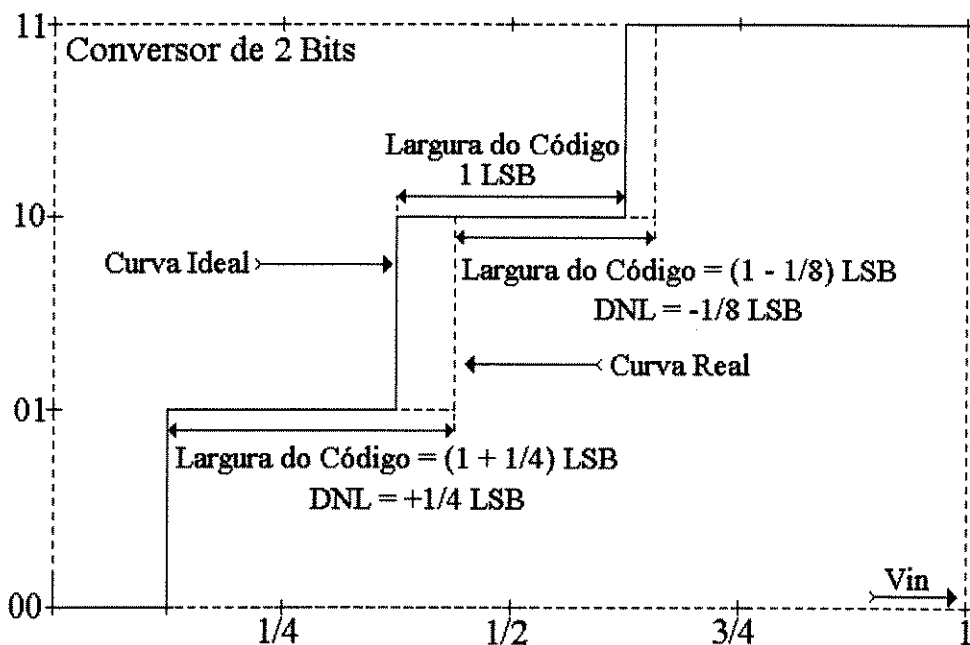


Figura 4.3 - Erro de Não Linearidade Diferencial - DNL

porque as transições não ocorrem em intervalos regulares. A maior diferença entre um código (degrau) de uma curva real e o código (degrau) da curva ideal é a medida do chamado erro de não linearidade diferencial (DNL).

Cada código (degrau) pode ter um DNL e o maior deles é o do conversor A/D como um todo [01] e [15]. Se o código (degrau) da curva real for maior que o código (degrau) da curva ideal, o DNL tem um sinal positivo, caso contrário o sinal é negativo. Erros maiores do

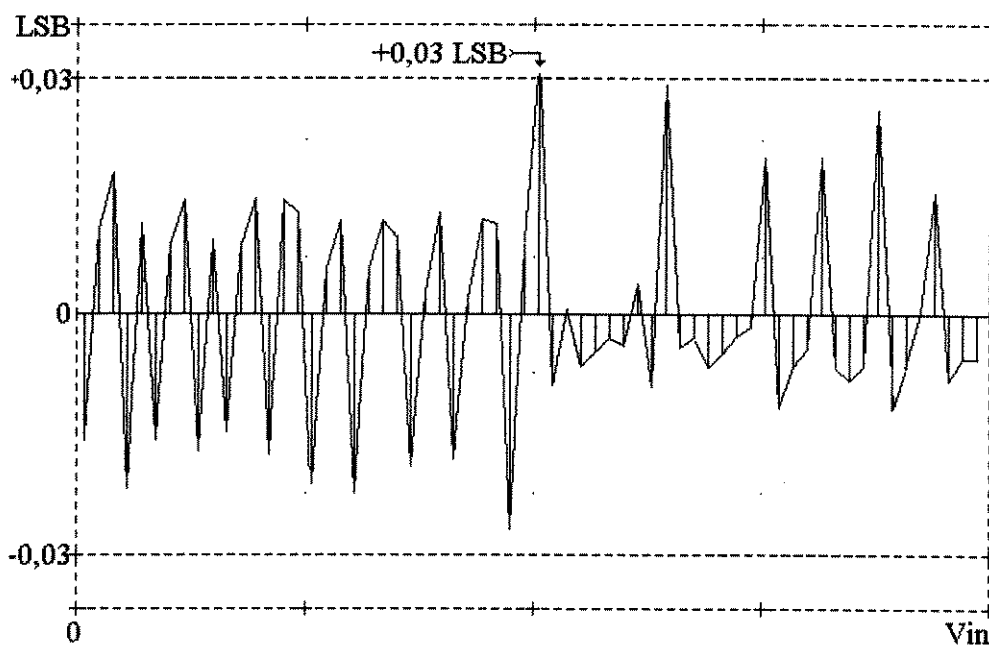


Figura 4.4 - Curva do DNL do Conversor A/D de 6 Bits

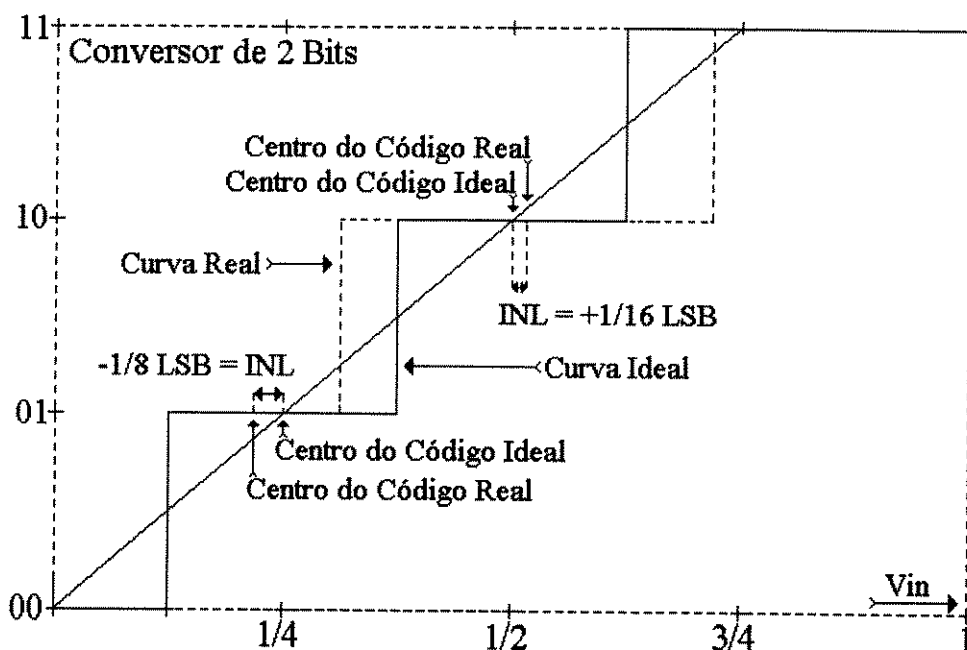


Figura 4.5 - Erro de Não Linearidade Integral - INL

que $\pm 1 \text{ LSB}$ ocasionam perdas de códigos. A figura 4.4 mostra a curva do DNL e identifica o seu maior valor. Para este conversor A/D de 6 bits, tem-se: $\text{DNL} < 0,03 \text{ LSB}$

4.2.2 - Erro de Não Linearidade Integral:

A figura 4.5 mostra a curva de transferência de um conversor A/D ideal (linha contínua) e de um conversor A/D real (linha tracejada). O desvio do ponto médio de cada código (degrau) da curva de transferência real em relação à linha reta que une o ponto médio

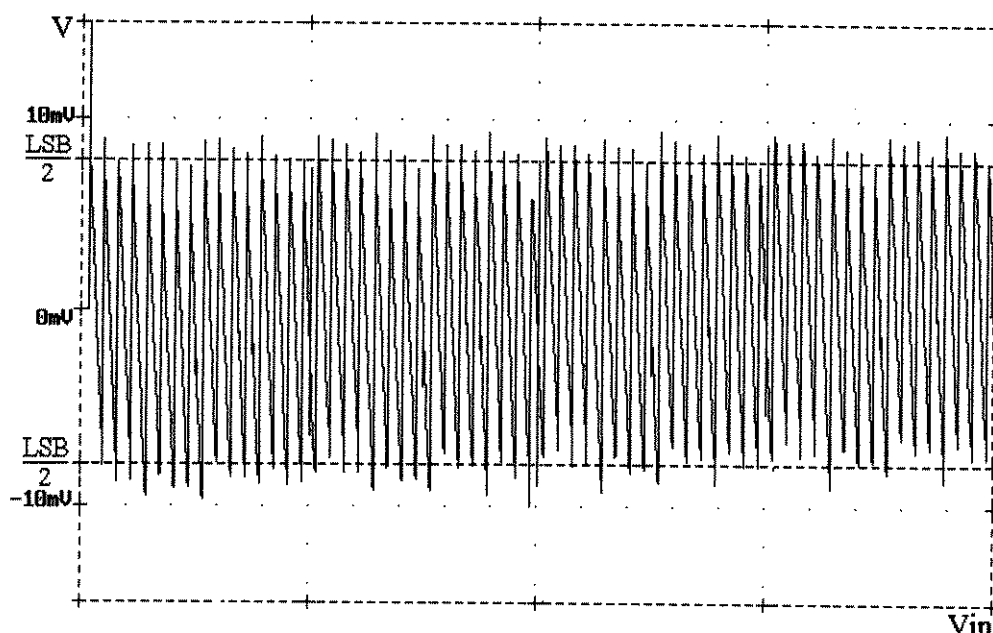


Figura 4.6 - Erro de Quantização

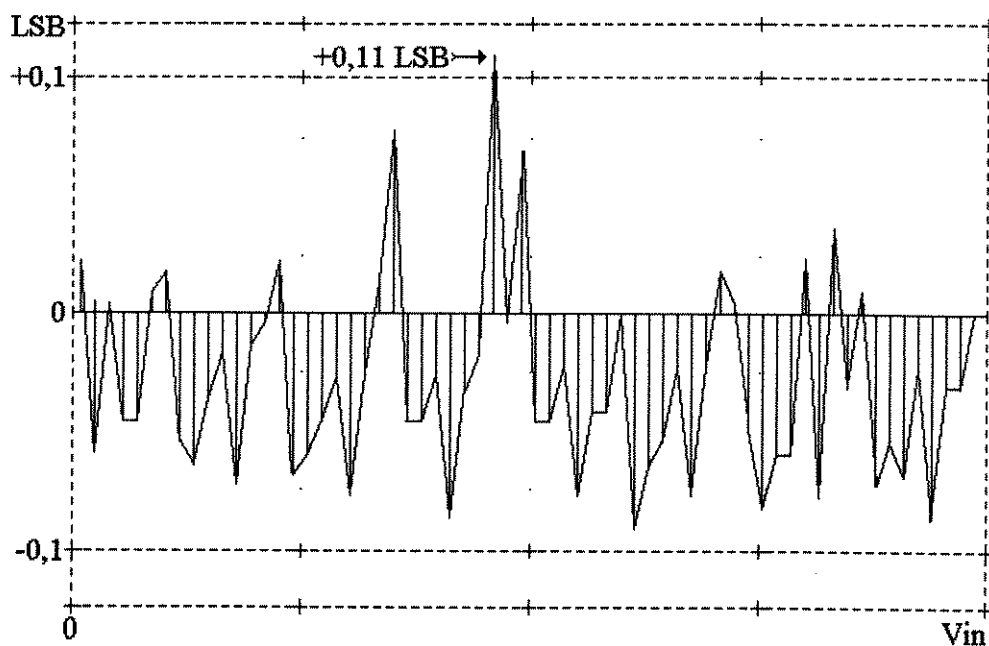


Figura 4.7 - Curva do INL do Conversor A/D de 6 Bits

de cada código (degrau) da curva de transferência ideal é a medida do chamado erro de não linearidade integral (NLI). Se o desvio estiver a direita da reta, o NLI tem um sinal positivo e a esquerda o sinal é negativo.

A forma prática de avaliar o valor do NLI é através da curva da diferença entre o sinal reconstruído e o sinal de entrada (V_{in}) (seria a operação: $|V_r - V_{in}|$), que resulta na curva mostrada na figura 4.6 e indica o erro de quantização do conversor A/D. Em um conversor A/D ideal a curva se restringe aos limites de $\pm \text{LSB}/2$. Para um conversor A/D real estes limites não são normalmente observados e a máxima diferença entre $|V_r - V_{in}|$ em relação ao $\pm \text{LSB}/2$ é a própria medida do NLI do conversor A/D [01] e [15]. Existe um erro de não linearidade integral para cada código (degrau) da curva de transferência e o maior valor é a medida do NLI do conversor A/D. A figura 4.7 mostra a curva do INL e identifica o seu maior valor. Para este conversor A/D de 6 bits, tem-se: $\text{INL} < 0,11 \text{ LSB}$

O INL e o DNL estão relacionados. De fato, o DNL é a primeira diferença do INL [16]. As duas medidas qualitativas da performance do conversor A/D relacionadas com o INL e o DNL são a perda de código e a monotonicidade. A monotonicidade refere-se ao conversor

cujos códigos de saída incrementam (ou decrementam) quando o sinal de entrada é continuamente incrementado (ou decrementado).

4.3 - Resultados Dinâmicos:

4.3.1 - Número Efetivo de Bits:

O número efetivo de bits representa a resolução de um conversor A/D ideal (livre de erros) com ruído de quantização igual aos erros totais do conversor sob teste [16]. O número efetivo de bits procura agregar a distorção e ruído do conversor em um único valor numérico. O número efetivo de bits é medido aplicando-se uma sinal senoidal (V_{in}) na entrada do conversor A/D. Calcula-se, então, o sinal senoidal que melhor se ajusta ao sinal real de saída do conversor D/A. A seguir é feita a diferença entre o sinal real (veja a figura 4.8) e o sinal senoidal calculado, deixando um sinal de erro, que inclui o ruído de quantização e todas as outras imperfeições do conversor A/D. Deste sinal de erro é calculado o valor quadrático médio, que será o $V_{rms}(\text{erro-real})$. Esta diferença entre os dois sinais é equivalente a remover a fundamental da transformada de Fourier do sinal de saída do conversor D/A [16].

O cálculo do V_{rms} (erro-ideal) é feito aplicando-se uma rampa linear (V_{in}) na entrada

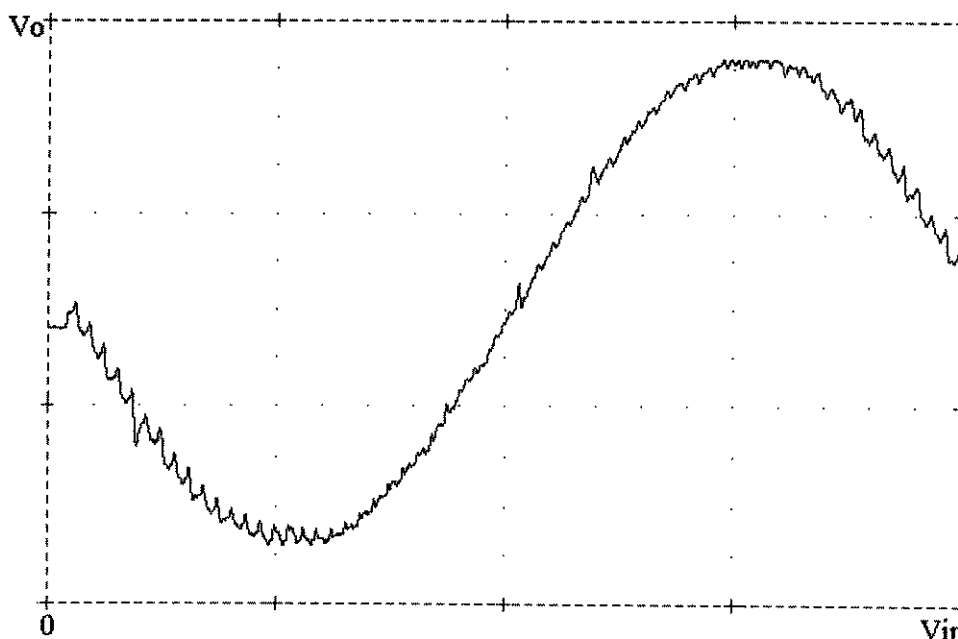


Figura 4.8 - Sinal Senoidal na Saída do Conversor D/A (5 MHz)

do conversor A/D. Como a curva de transferência de um conversor A/D ideal tem todos os códigos (degraus) exatamente iguais, o valor de V_{rms} (erro-ideal) é calculado para o primeiro código (degrau) da curva e o seu valor é extensivo para toda a curva. Na figura 4.9, a

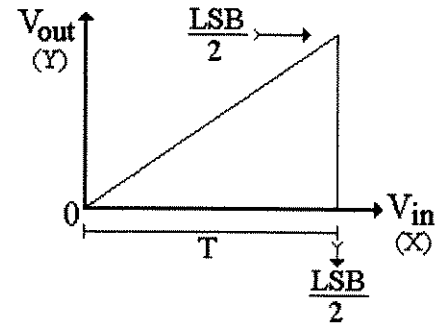


Figura 4.9 - Cálculo de V_{rms}

equação da reta é: $Y = a \cdot X + b$. De fato, o V_{rms} (erro-ideal) é a medida do valor quadrático médio do erro de quantização. O valor de V_{rms} (erro-ideal) é calculado pela equação abaixo:

$$V_{rms}(\text{erro-ideal}) = \sqrt{\frac{1}{T} \int_0^T (a \cdot x)^2 dx} = \left[\sqrt{\frac{a^2}{T} \frac{x^3}{3}} \right]_0^T = \frac{LSB}{2\sqrt{3}} = \frac{1}{2^{(N+1)}\sqrt{3}} = 0,004510549$$

$$\text{Sendo: } a = 1, b = 0 \text{ e } T = LSB/2 = 1/(2^N \cdot 2) = 1/2^{(N+1)}$$

E o valor do número efetivos de bits N' é obtido pela equação abaixo [16], onde N é o número real de bits do conversor A/D.

$$N' = N - \log_2[V_{rms}(\text{erro-real}) / V_{rms}(\text{erro-ideal})]$$

Para este conversor A/D, $V_{rms}(\text{erro-real}) = 0,00488783$ e o número efetivo de bits é calculado abaixo:

$$N' = 6 - \log_2[0,00488783/0,004510549] = 5,9$$

O número efetivo de bits tem influência da frequência do sinal de entrada e da frequência de amostragem (sinal do “clock”). Na figura 4.10, pode-se ver que para uma determinada frequência do sinal de entrada ($V_{in} \Rightarrow 1$ MHz), o número efetivo de bits permanece constante até uma frequência de amostragem de 320 MHz..

Na figura 4.11, observa-se que com o aumento da frequência do sinal de entrada (V_{in}) o número efetivo de bits diminui. Nesta figura, o valor do número efetivo de bits do ponto de 5 MHz foi obtido com uma frequência de amostragem de 320 MHz e um sinal de entrada (V_{in}) de 5 MHz. O ponto de 25 MHz foi estimado por meio do teste da frequência de

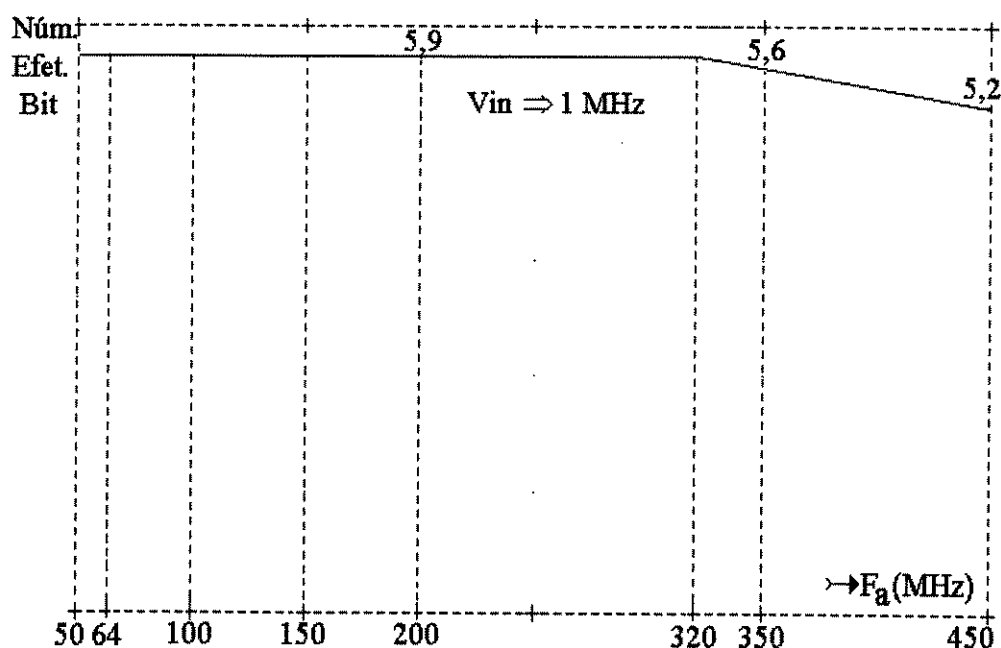


Figura 4.10 - Curva do Número Efetivo de Bits x Frequência de Amostragem batimento (explicado no próximo item), com uma frequência de amostragem de 25 MHz e um sinal de entrada (V_{in}) de 25,25 MHz.

A figura 4.12 é comparativa dos sinais no amplificador “folding”. Sendo perceptível que, com o aumento da frequência do sinal de entrada (V_{in}), ocorreu a diminuição da amplitude e uma pequena distorção do sinal no amplificador “folding”, porém, a figura 4.13 mostra o efeito no sinal diferencial do 3-SB, onde se pode observar que não houve alteração

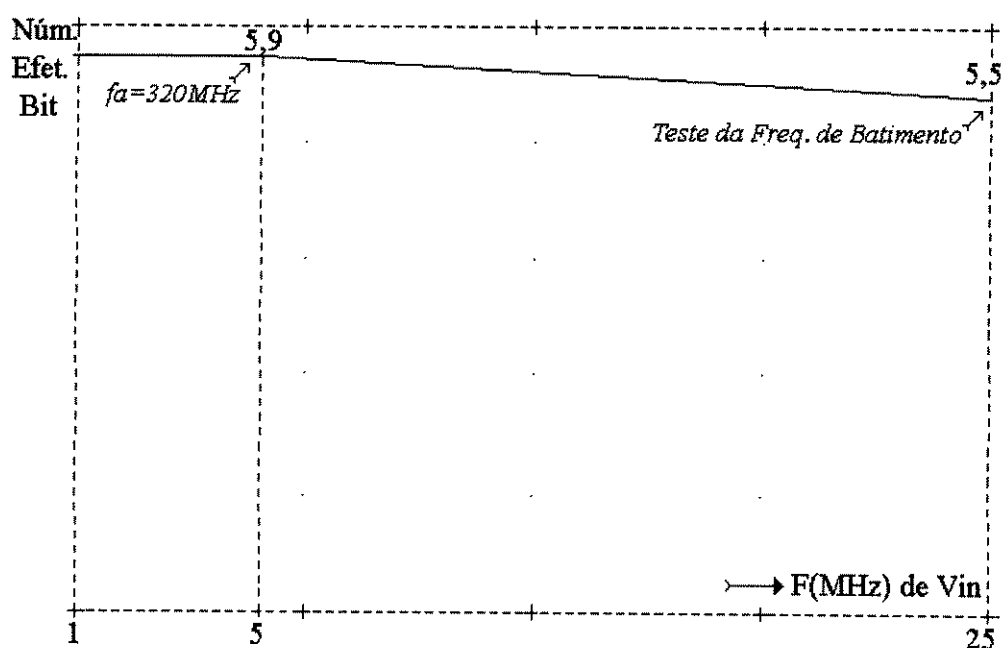


Figura 4.11 - Curva do Número Efet. de Bits x Freq. do Sinal de Entrada

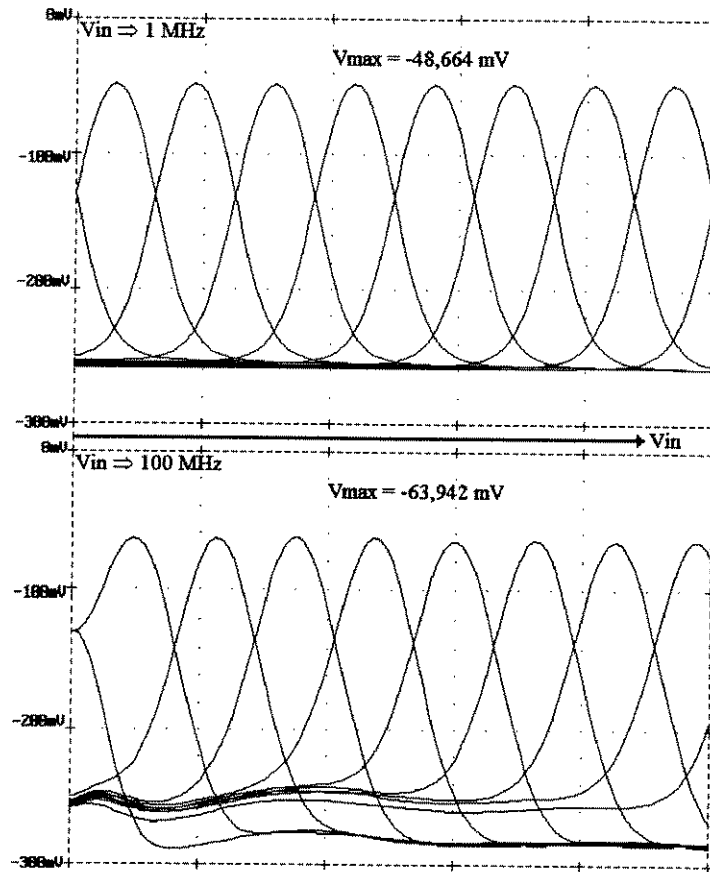


Figura 4.12 - Sinais nos Amplificadores "Folding"

no ponto de zero diferencial. O que significa que a informação do sinal se manteve e, portanto, a diminuição do número efetivo de bits não é causada pelo amplificador "folding".

Em [11] temos a introdução de uma figura de mérito extra, que seria a largura de

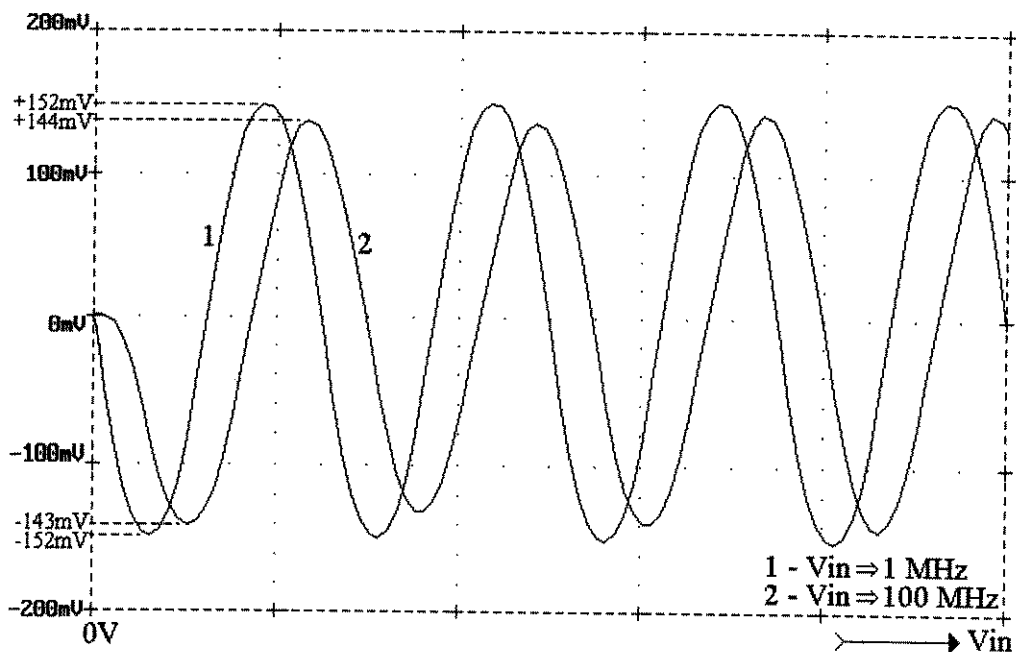


Figura 4.13 - Sinal do 3-SB na Saída do "Folding Encoder"

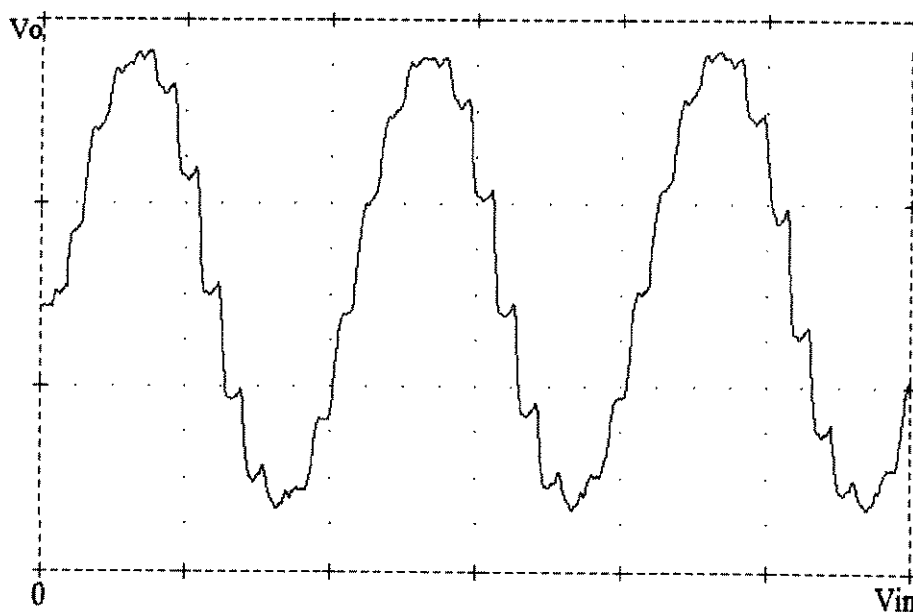


Figura 4.14 - Sinal Senoidal de 25 MHz na Saída do Conversor D/A

banda com resolução de N-bit, que é definida como a frequência do sinal de entrada (V_{in}) na qual o número efetivo de bits tem um decréscimo de ($N - 0,5$). Até esta frequência seria razoável considerar o conversor como tendo uma resolução de N-bits. A figura 4.14 mostra um sinal de 25 MHz (V_{in}) com frequência de amostragem de 320 MHz, reconstituído na saída do conversor D/A. Este sinal exprime a largura de banda máxima deste conversor A/D.

Para sinais de entrada (V_{in}) com fundo de escala, temos a relação entre o número de bits efetivo e a relação sinal ruído e distorção (SNDR), conforme [01] e [16]:

O valor rms de uma onda senoidal é: $V_{rms}(\text{senóide-ideal}) = \frac{V_p}{\sqrt{2}} = \frac{V_{pp}}{2\sqrt{2}}$

No conversor de N-bits o valor é: $V_{rms}(\text{senóide-real}) = \frac{V_{pp}}{2\sqrt{2}} = \frac{2^N}{2} \frac{LSB}{\sqrt{2}} = \frac{2^{(N-1)}}{\sqrt{2}} \frac{LSB}{\sqrt{2}}$

O erro de quantização é: $V_{rms}(\text{erro de quantização}) = V_{rms}(\text{erro-ideal}) = \frac{LSB}{2\sqrt{3}}$

A relação sinal/(ruído e distorção) é dada por:

$$SNDR = V_{rms}(\text{senóide-real})/V_{rms}(\text{erro-ideal}) = \frac{2^{(N-1)} \frac{LSB}{\sqrt{2}}}{\frac{LSB}{2\sqrt{3}}} = \frac{2^N \sqrt{3}}{\sqrt{2}}$$

Expresso em dB, temos: $SNDR \text{ (dB)} = 20 \cdot [\log(\frac{\sqrt{3}}{\sqrt{2}}) + N \cdot \log 2] = 1,76 + 6,02 \cdot N$

Conforme [16], temos para fundo de escala: $SNDR \text{ (dB)} = 1,76 + 6,02 \cdot N'$

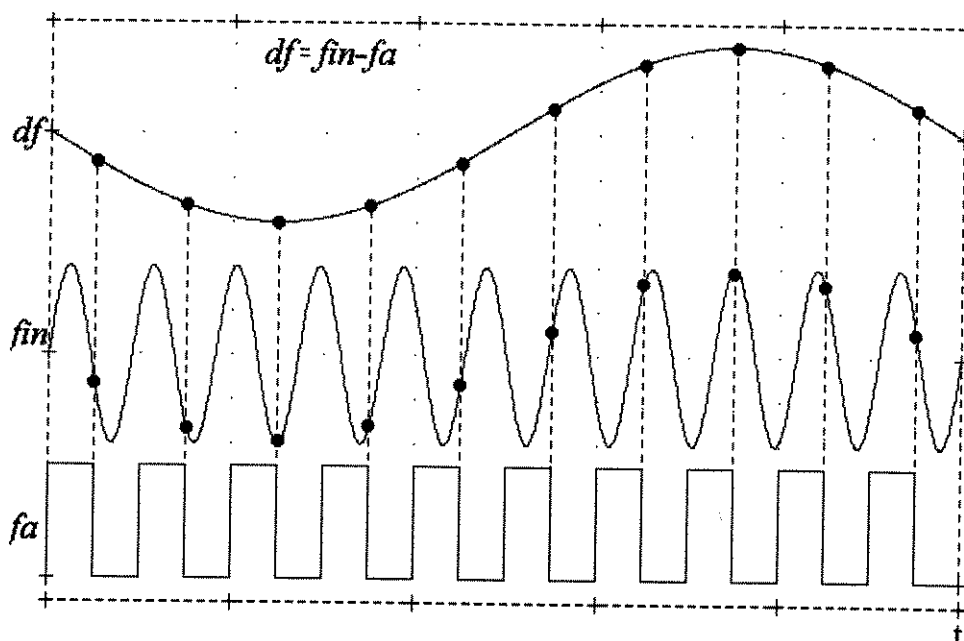


Figura 4.15- Teste da Frequência de Batimento

4.3.2 - Teste da Frequência de Batimento:

O teste da frequência de batimento (“beat frequency test”) [16] é realizado colocando-se o valor da frequência do sinal de entrada (senoidal) um pouco diferente da frequência de amostragem (veja a figura 4.15). Maior, por exemplo, por uma diferença df , sendo $df \ll f_{in}$. Isto significa que o conversor A/D fará uma amostragem por período do sinal de entrada. Como a frequência do sinal de entrada é um pouco maior do que a frequência de amostragem,

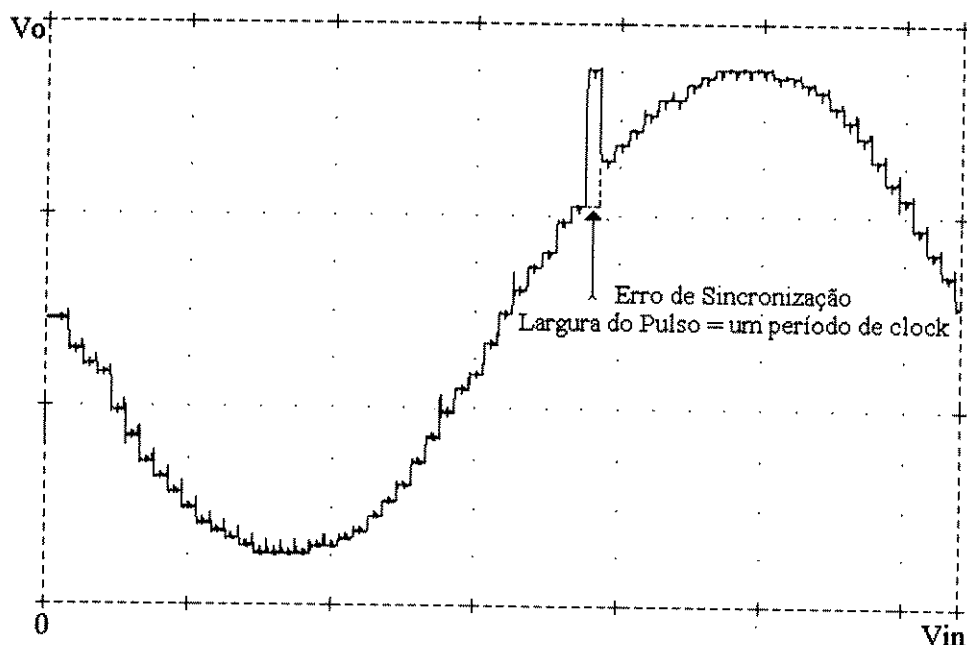


Figura 4.16 - Resultado do Teste da Frequência de Batimento

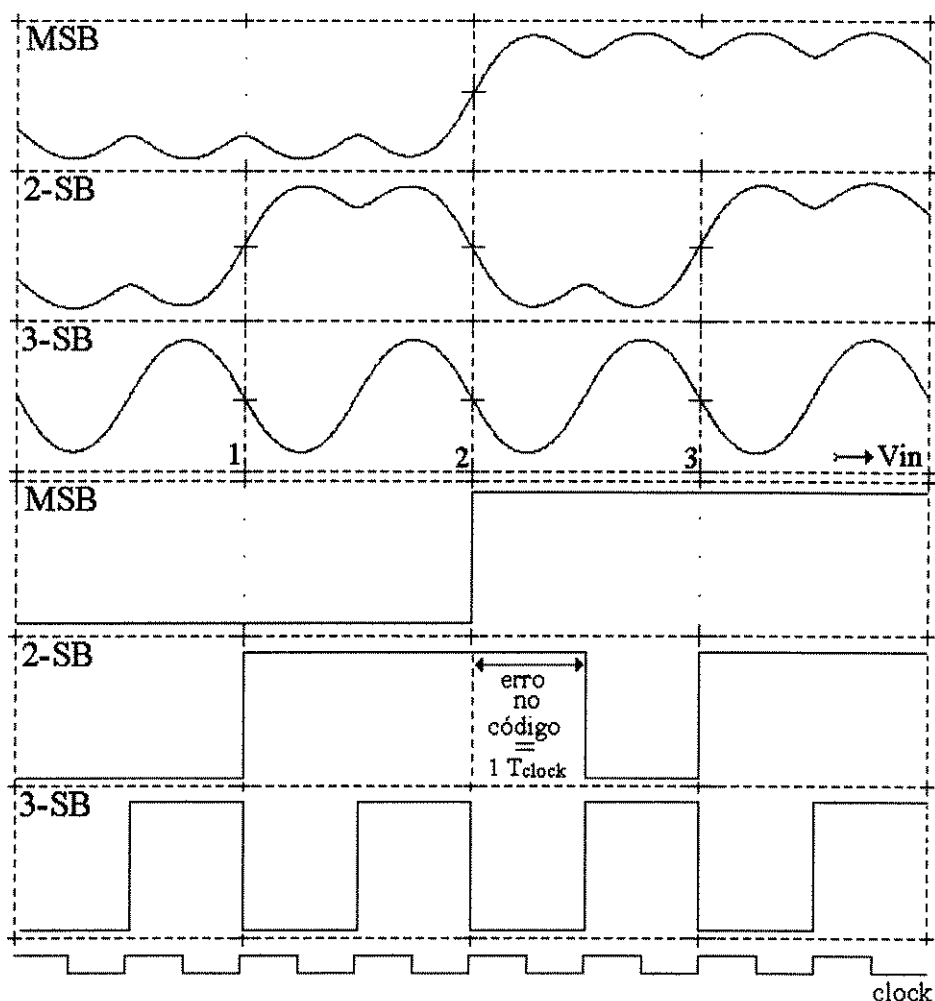


Figura 4.17 - Cruzamentos de Zero Diferencial do MSB, 2-SB e 3-SB

o instante amostrado irá avançar um pouco a cada amostragem. O resultado é que o sinal de saída reconstruído é senoidal com a frequência de df (chamada de “beat frequency”). Este sinal senoidal com as suas imperfeições permite analisar qualitativamente o comportamento do conversor A/D.

A figura 4.16 mostra o resultado deste teste no conversor A/D de 6 bits ($f_a = 50$ MHz, $f_{in} = 50781250$ Hz e $df = 781250$ Hz). Sendo perceptível que em um determinado instante ocorreu um erro de código de saída, causado pelo 2-SB. Este erro, que não se apresentou nos testes anteriores, demonstra a necessidade da sincronização dos 3 bits mais significativos do código binário de saída, como veremos a seguir.

A técnica “folding” permite eliminar a redundância dos “latches” que existe na

técnica “flash”. Contudo, cria uma redundância de cruzamentos de zeros (nos bits gerados diretamente pelo amplificador “folding”) que não existe na técnica “flash” (veja a figura 1.10 no capítulo 1). A figura 4.17 possibilita entender esta redundância. Os pontos 1, 2 e 3 mostram os instantes em que os sinais MSB, 2-SB e 3-SB passam pelo zero diferencial.

Embora os diferentes cruzamentos de zero diferencial ocorram exatamente nos mesmos instantes, eles são interpretados por “latches” distintos que podem assumir um nível alto ou baixo, o que eventualmente pode ocasionar um erro no código binário de saída.

4.3.3 - Tempo de Conversão:

Para este conversor A/D o tempo de conversão corresponde a um ciclo do sinal do “clock”. A verificação pode ser feita com um teste proposto em [15]. Neste teste, o sinal de entrada (V_{in}) do conversor A/D sofre uma variação de maneira que o sinal binário de saída varie de 011111 para 100000 e retorne para 011111. O sinal de entrada (V_{in}) é mantido na entrada em cada um dos estados por um período de tempo de 125 ns, que simula uma amostragem do sinal para conversão. A figura 4.18 mostra o resultado deste teste, onde é possível verificar que o tempo de transição entre os estados (011111 para 100000) foi de 3,125 ns, que corresponde ao período do sinal do “clock”

As figuras 4.19 e 4.20 mostram a curva de transferência dinâmica e o código binário

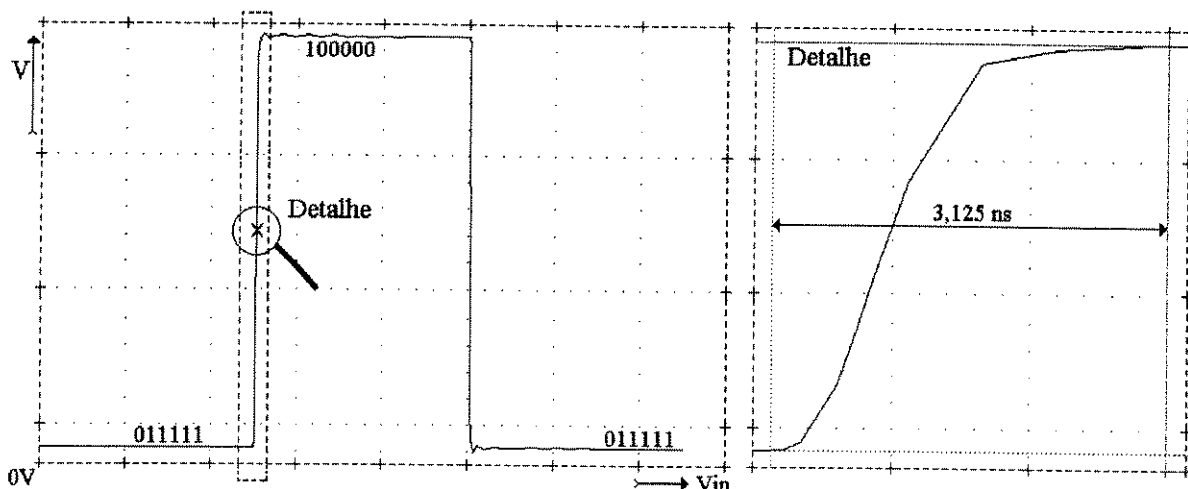


Figura 4.18 - Tempo de Conversão

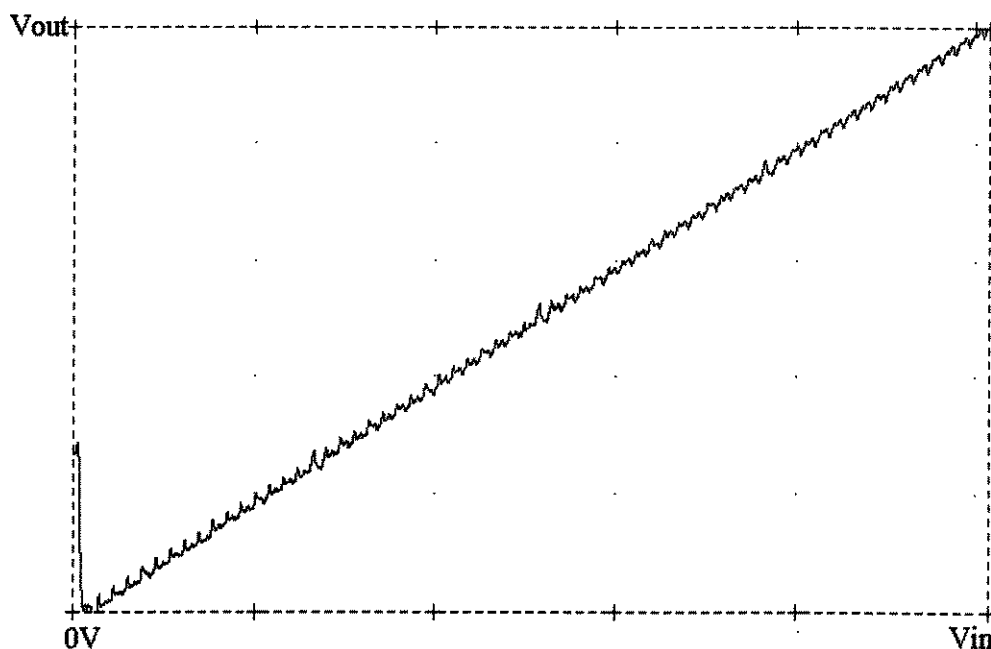


Figura 4.19 - Curva de Transferência em Alta Frequência

de saída para o conversor A/D operando com um sinal de entrada (V_{in}) de 5 MHz e sinal do “clock” de 320 MHz (a 27°C).

Na curva de transferência dinâmica aparecem alguns transientes (“glitch”) associados à troca de código em alta frequência e ao ruído do chaveamento do sinal do “clock” (320 MHz). O “delay” entre os bits do código de saída é reduzido pela sequência utilizada nas portas lógicas do circuito codificador do conversor.

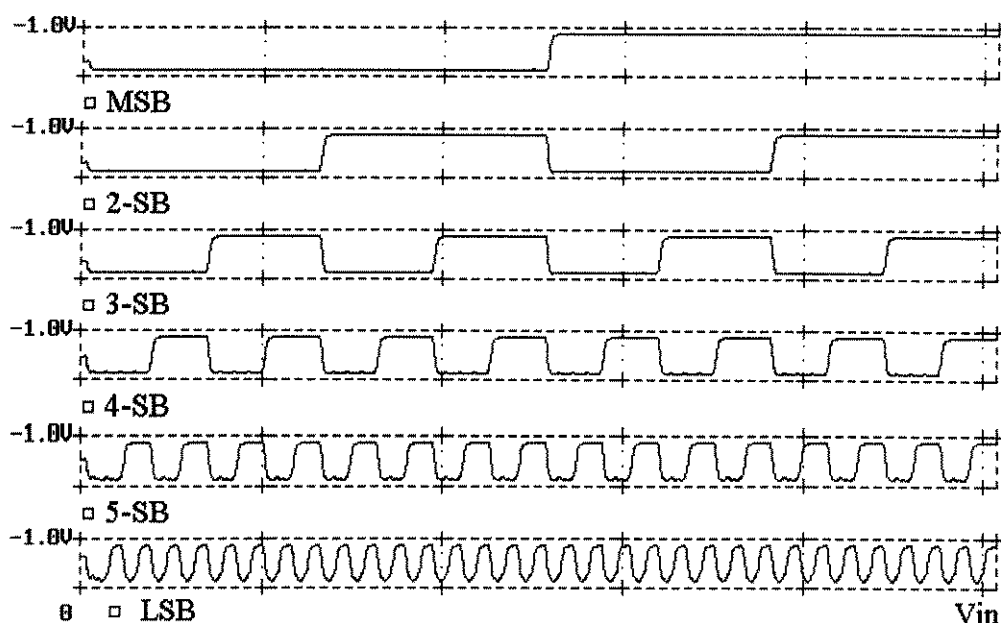


Figura 4.20 - Código de Saída em Alta Frequência

4.3.4 - Resumo dos Resultados:

A tabela 4.1 mostra um resumo comparativo dos resultados obtidos com o conversor A/D de 6 bits nas temperatura de 0°, 27° e 70°C.

Tabela 4.1 - Resumo dos Resultados do Conversor A/D de 6 Bits

Medidas/Temperatura	0°C	27°C	70°C
Número de Bits (Resolução)	6	6	6
Número Efetivo de Bits	5,9	5,9	5,9
DNL	<0,02 LSB	<0,03 LSB	<0,02 LSB
INL	<0,13 LSB	<0,11 LSB	<0,20 LSB

4.4 - Monte Carlo:

O programa utilizado para simulação deste conversor A/D apresenta um recurso chamado de “Monte Carlo”, que permite fazer uma análise estatística no circuito simulado. Isto é, pode-se dar tolerâncias (%) aos parâmetros do modelo e o programa simulador faz múltiplas simulações utilizando-se desta tolerâncias. Um fator importante é que estas tolerâncias são aplicadas independentemente aos componentes que utilizam o mesmo modelo. Por exemplo, se no circuito existem 2 resistores iguais a 1 K Ω e com o mesmo modelo, o programa aplica a tolerância determinada para o parâmetro especificado (no caso o

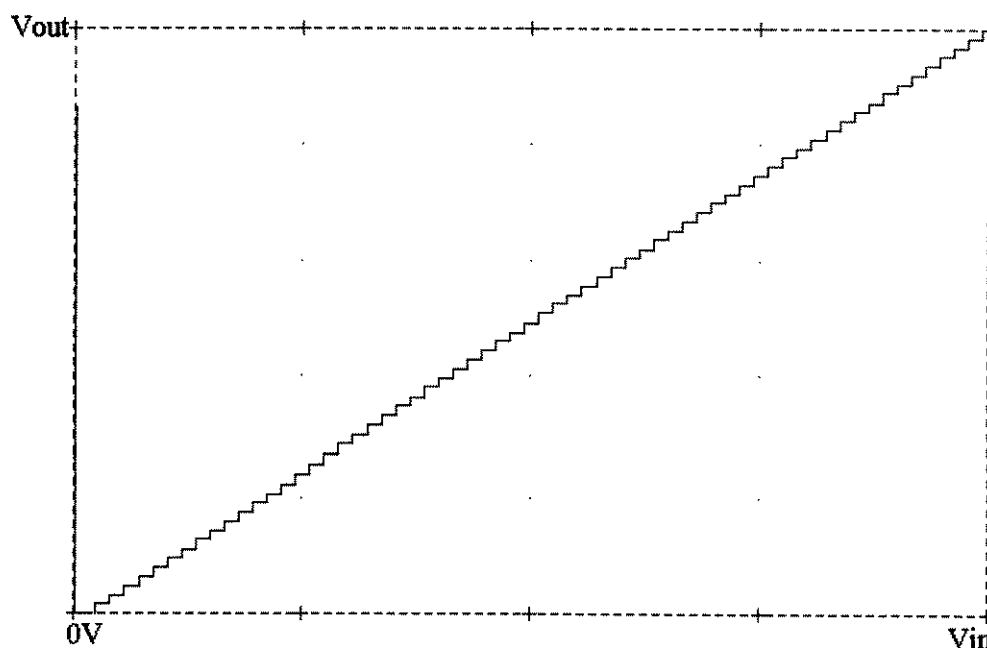


Figura 4.21 - Curva de Transferência da Simulação Monte Carlo

valor do resistor) de forma que durante a simulação um resistor terá o valor de 950 Ω e o outro terá 1050 Ω .

Como o recurso requer múltiplas simulações é aplicada uma distribuição estatística dos valores para cada simulação. Este recurso permite avaliar de forma mais real o comportamento do circuito, porque na prática os componentes apresentam pequenas variações em função da própria construção do circuito integrado.

Na aplicação deste recurso para análise deste conversor A/D (que requer longo tempo de simulação), foi considerado principalmente as variações que possam ocorrer entre os V_{BE} dos transistores. Para tanto, utilizou-se a variação do parâmetro “IS” do modelo de transistores, de forma que refletisse um provável descasamento de 1 mV entre os V_{BE} . Para transistores que tenham as mesmas correntes, temos: $\Delta V_{BE} = V_T \cdot \ln(I_{S2}/I_{S1})$. Dentro da forma geral do recurso, foram realizadas 2 simulações, onde a primeira utiliza os valores nominais dos parâmetros dos modelos e a subsequente faz a variação estatística destes parâmetros. As figuras 4.21 e 4.22 mostram o resultado da simulação com a variação estatística e a tabela 4.2 os resultados comparativos.

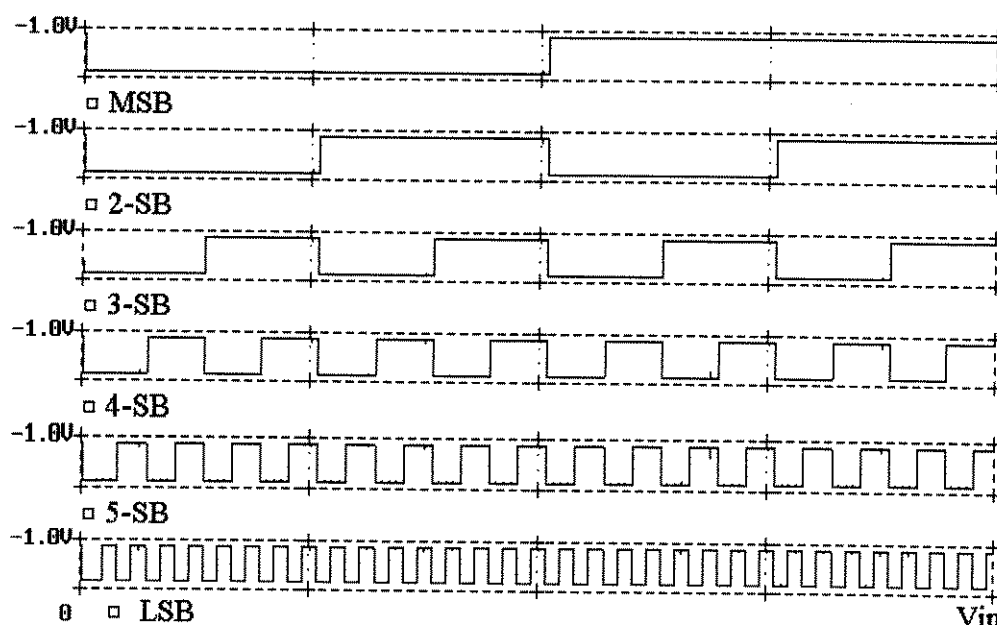


Figura 4.22 - Código de Saída da Simulação Monte Carlo

Tabela 4.2 - Resultados da Simulação “Monte Carlo”

Medidas - 27°C	1ª Simulação Nominal	2ª Simulação Estatística
Número Efetivo de Bits	5,9	5,9
DNL	<0,03 LSB	<0,03 LSB
INL	<0,11 LSB	<0,15 LSB

4.5 - Especificações Gerais do Conversor A/D Projetado:

Tabela 4.3 - Especificações do Conversor

Resolução	6 bits
Número Efetivo de Bits	5,9 bits
Largura de Banda de V_{in}	25 MHz
Frequência de Amostragem	320 MHz
Tempo de Conversão	1 T_{clock}
Voltagem de Alimentação	-5 V
Corrente de Alimentação	65 mA
Voltagem de V_{in}	-1,0625 a -0,0625
DNL	<0,03 LSB
INL	<0,11 LSB
Código de Saída Digital	Binário - ECL 10 000
Número de Elementos	1209

4.6 -Análise dos Resultados:

Os valores de DNL e INL observados em diversos artigos publicados são menores ou iguais a 0,5 LSB. Dentro deste critério estes resultados do conversor A/D podem ser considerados bons. Conforme [13] a técnica “folding” com interpolação melhora o DNL porque diminui a necessidade dos ajustes entre os V_{BE} . Inclusive, com simulação Monte Carlo (que pressupôs a variação dos V_{BE}) não houve variação no valor do DNL. Esta qualidade da técnica “folding” com interpolação também é citada em [14], que acrescenta, porém, que o desequilíbrio entre os transistores pode limitar a linearidade total para uma resolução de cerca de 8 bits com 1 V de fundo de escala.

Conforme a definição de largura de banda com resolução de N-bit [11] e o valor

obtido do número efetivo de bits, conclui-se que a largura de banda deste conversor é cerca de 25 MHz. Este valor tornaria possível o conversor A/D trabalhar na faixa de frequência de sinal de vídeo. A variação dos V_{BE} dos transistores (simulação Monte Carlo) não alterou o número efetivo de bits.

Os resultados obtidos permitem concluir que, utilizando-se a mesma arquitetura “folding” com interpolação e a mesma tecnologia, seria possível um conversor A/D com uma resolução de 8 bits. A complexidade de um conversor A/D de 8 bits é cerca de 4 vezes maior em relação do conversor A/D de 6 bits. O valor do DNL e INL poderiam piorar em 4 vezes (passariam a $DNL = 0,12$ e $INL = 0,44$) e teriam valores ainda menores do que 0,5 LSB. O número efetivo de bits e a largura de banda devem manter os mesmos valores.

Na figura 4.23 é mostrado o diagrama vetorial dos sinais do conversor A/D, com a respectiva diferença angular em função da variação de temperatura. Relembrando, os sinais 3-SB, $\overline{3-SB}$, A-4 e $\overline{A-4}$ são gerados no amplificador “folding”. Os sinais A-2, $\overline{A-2}$, A-6 e $\overline{A-6}$ são gerados por interpolação simples e não têm influência de variação de temperatura. Os sinais A-1, $\overline{A-1}$, A-3, $\overline{A-3}$, A-5, $\overline{A-5}$, A-7, $\overline{A-7}$ são gerados por interpolação dupla e

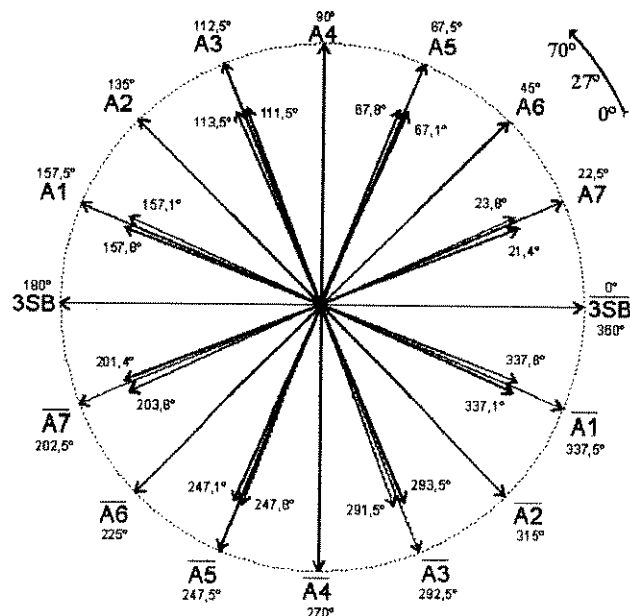


Figura 4.23 - Diagrama Vetorial em Função da Temperatura

têm influência da variação de temperatura.

O intervalo de temperatura considerado é de 0° , 27° e 70° . Os vetores originários da interpolação dupla têm uma variação angular máxima de $2,4^\circ$ (nos vetores A-7, $\overline{A-7}$). Como um LSB equivale a $22,5^\circ$, a variação medida corresponde a 0,11 LSB.

No conversor A/D de 8 bits, o LSB equivale a $5,625^\circ$ (na análise vetorial dos sinais) e como a variação angular máxima é de $2,4^\circ$, teria-se uma variação medida correspondente a 0,42 LSB. Todos estes valores permitem concluir que o conversor A/D de 8 bits é factível. A seguir, tem-se uma tabela comparativa deste conversor proposto de 8 bits (valores estimados) com outros conversores de resolução semelhante descritos em artigos publicados.

Tabela 4.4 -Análise Comparativa de Conversores de 8 Bits

Conversor/Referência	F_a	$F(V_{in})$	Complex.	Consumo
“Folding” e Interp. (proposto)- ($f_T = 7$ GHz)	320 MHz	25 MHz	3209	783 mW
“Folding” e Interpolação [11] - ($f_T = 7,5$ GHz)	55 MHz	8 MHz	não disp.	300 mW
“Folding” e Interpolação [12] - ($f_T = 13$ GHz)	650 MHz	150 MHz	2500	850 mW
“Folding” e Interpolação [09] - ($f_T = 9$ GHz)	100 MHz	40 MHz	não disp.	800 mW

4.7 - “Layout”:

A figura 4.24 mostra uma primeira proposta de “layout” do conversor A/D de 6 bits, elaborada no editor “L-Edit” (da Tanner Research), com o objetivo de sentir as dificuldades no roteamento e no “placement” do circuito para redução da área total do “layout”, que ficou em $1,88 \times 1,15 \text{ mm}^2$.

4.8 - Conclusão:

Entre os conversores rápidos, a conversão A/D tipo “folding” aparece como alternativa ao conversor A/D tipo “flash”. Contudo, a vantagem da técnica “folding” somente se torna evidente quando associada à técnica de interpolação, o que permite a redução

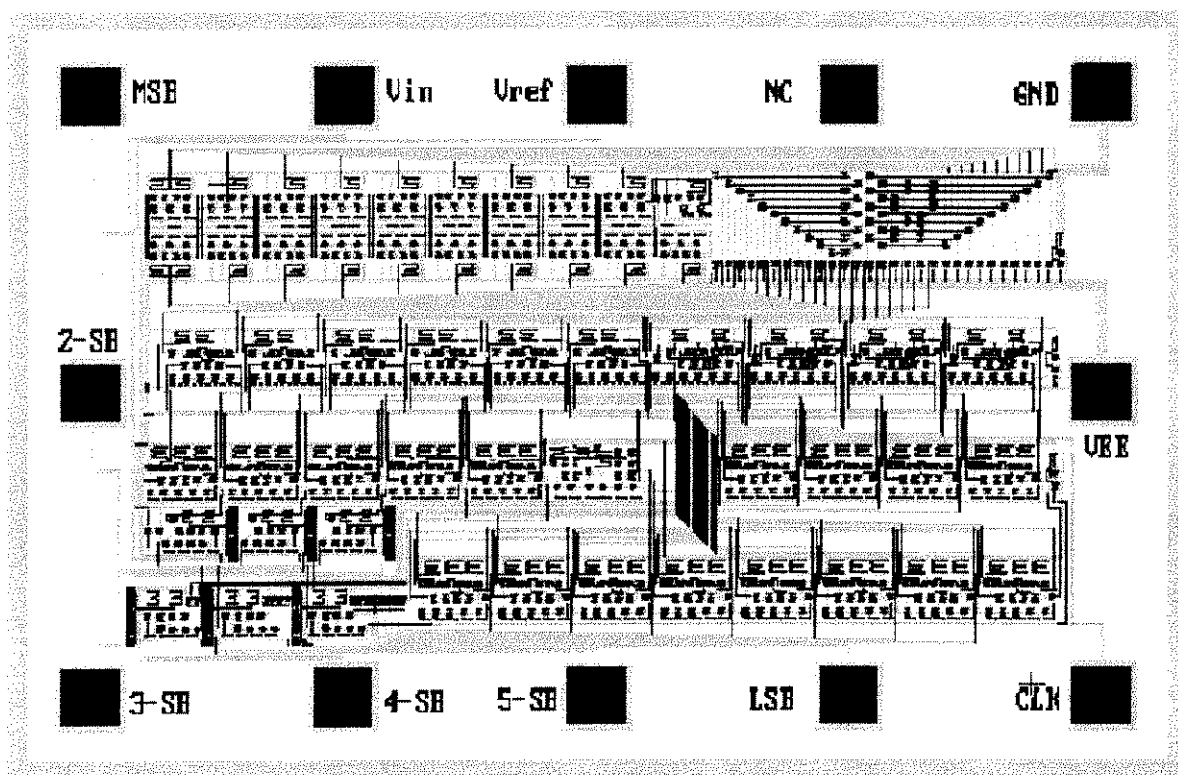


Figura 4.24 - "Layout" do Circuito do Conversor A/D de 6 Bits

significativa da complexidade do circuito, com as suas subseqüentes conseqüências, tais como: menor número de componentes e menor consumo de potência.

A maioria das propostas de conversores A/D utilizando a técnica "folding" seguem esta linha de raciocínio e incluem a técnica de interpolação. Porém, a técnica de interpolação utilizada é realizada com uma rede de resistores que, também, possui algumas características indesejáveis para a performance do conversor, dentre as quais pode-se destacar: pequeno aumento na complexidade do circuito pela inclusão da rede resistiva, aumento do "delay" na propagação do sinal e capacitâncias parasitas.

Como alternativa, este trabalho propôs aproveitar melhor a arquitetura básica dos conversores A/D e realizar a interpolação nos próprios "latches" mestres do conversor. Foi demonstrado que isto é perfeitamente factível e com excelentes resultados. Esta proposta inédita de interpolação foi apresentada subdividida em duas formas. A primeira que chamou-se de interpolação simples permite obter, no pré-amplificador do "latch" mestre, sinais

interpolados com o ângulo médio entre os dois sinais interpoladores. A segunda foi chamada de interpolação dupla e permite obter, no pré-amplificador do “latch” mestre duplo, sinais interpolados com ângulos variáveis entre os três sinais interpoladores. Para ambas as formas de interpolação foram apresentados os circuitos (inclusive para a interpolação dupla existem dois circuitos equivalentes) e mostrado como a interpolação é realizada.

A nova proposta de interpolação elimina a necessidade da rede resistiva e (para um dos circuitos propostos) adiciona apenas mais três transistores nos chamados “latches” mestres duplos, que fazem a interpolação dupla. A precaução que existe na nova forma de interpolação é na amplitude dos sinais a serem interpolados. Níveis de sinais muito baixo podem receber influência de ruídos e descasamentos de V_{BE} e níveis muito alto sofrem distorção. Isto determina, também, que os sinais interpolados não podem ter o ângulo de fase muito distantes (por causa da amplitude diferencial), devendo ser menor ou igual a 90° . Contudo, existe uma ampla faixa de níveis e fases que podem ser utilizados e esta técnica de interpolação possibilita a obtenção de todos os ângulos necessários.

Para melhor demonstrar a nova técnica de interpolação, foi projetado um conversor A/D tipo “folding” de 6 bits utilizando a interpolação nos “latches” mestres. Foi adotada a resolução de 6 bits por ser a que permite demonstrar as formas de interpolação simples e dupla com uma menor complexidade de circuito. Um conversor A/D de 5 bits utilizaria apenas a interpolação simples e não teria necessidade da interpolação dupla.

De fato, o conversor A/D projetado apresenta além da nova técnica de interpolação, uma outra característica inovadora, que é utilizar os “latches” escravos como parte do circuito codificador de saída. Desta forma, os “latches” escravos foram feitos como portas “NOR” e constituem o primeiro nível lógico do circuito codificador de saída. Isto foi possível em função do aproveitamento das características das portas ECL utilizadas no circuito

codificador e permitiu diminuir o número total de portas lógicas.

O número efetivo de bits foi de 1,7% inferior ao número de bits do conversor (6) e os erros de linearidade ficaram menor do que 0,5 LSB, que são resultados normalmente aceitos (pela referência bibliográfica) como dentro dos padrões dos conversores rápidos. O tempo de conversão foi resultado da tecnologia utilizada e permitiria a utilização deste conversor em sinais de vídeo (evidente que com resolução maior do que 6 bits). A simulação com o recurso estatístico chamado de “Monte Carlo” permitiu verificar que o conversor funciona bem mesmo considerando-se as prováveis variações de V_{BE} entre os transistores, o que ocorreria com certeza na fabricação do circuito integrado. O erro de sincronismo dos 3 bits mais significativos, que limitou a largura de banda do conversor, não foi causado pelo amplificador “folding” e sim por alguma limitação do “latches”. Apesar dos bons resultados obtidos, nenhuma otimização especial foi aplicada ao circuito.

O projeto e avaliação do conversor foram realizados com o uso intensivo do recurso de simulação (veja o anexo 02). O circuito nunca apresentou problema de convergência. Apenas para se ter uma idéia do tempo despendido em simulações, a obtenção do gráfico da figura 4.10 exigiu 55 horas de simulações. A aplicação do recurso estatístico (“Monte Carlo”) utilizou 7 horas e cada simulação simples do circuito completo do conversor utilizava cerca de 3 horas. Isto em um microcomputador Pentium - 100MHz.

Diante dos resultados obtidos, conclui-se que a nova técnica apresentada possibilita a construção de conversores A/D com resolução de até 8 bits (veja o anexo 01) e, com desempenho similar e número de componentes inferior ao de um conversor A/D tipo “flash” com resolução semelhante. Entretanto, existem alguns aspectos que poderiam ser melhorados no circuito, dos quais deve-se destacar:

- Incluir um circuito deslocador de nível na entrada do conversor, de forma que o sinal

de entrada (V_{in}) varie de -1 a 0 V;

- Incluir um circuito para corrigir o sincronismo dos 3 bits mais significativos;
- A fonte de referência e o gerador do sinal de “clock” que são externos, podem ser incluídos no circuito do conversor;
- Colocar indicadores de “overflow” na saída do circuito;
- Colocar um sincronismo nas portas de saída para permitir a transferência sincronizada do sinal para o próximo circuito;
- Otimizar o número de elementos (complexidade do circuito);
- Diminuir o consumo.

O aperfeiçoamento deste conversor e o respectivo aumento da sua resolução para 8 bits são propostas para continuidade no curso de doutorado em andamento.

ANEXOS

Ítem	Circuitos do Conversor A/D	6 Bits			7 Bits			8 Bits		
		Trans.	Resist.	Cap.	Trans.	Resist.	Cap.	Trans.	Resist.	Cap.
1	Fonte de Corrente do Amplificador "Folding"	9	7	1	9	7	1	9	7	1
2	Amplificador "Folding"	133	78		133	78		133	78	
3	Referência	0	18		0	18		0	18	
4	"Buffer" do "Folding Encoder"	42	21		42	21		42	21	
5	Fonte de Corrente do "Folding Encoder"	2	2		2	2		2	2	
6	"Folding Encoder"	45	8		45	8		45	8	
7	Fonte de Corrente do Circuito de "Clock"	2	2		2	2		2	2	
8	Circuito de "Clock"	19	9		19	9		19	9	
9	Fonte de Corrente dos "Latches" Mestre	2	2		2	2		2	2	
10	"Latches" Mestre	170	74		330	138		650	266	
11	Fonte de Corrente dos "Latches" Escravos + Portas Lógicas	2	2		2	2		2	2	
12	"Latches" Escravos + Portas Lógicas	289	153		561	297		1105	585	
13	Fonte de Corrente das Portas OR de Saída	2	2		2	2		2	2	
14	Portas OR de Saída	71	42		96	48		137	56	
Total Parcial de Elementos		788	420	1	1245	634	1	2150	1058	1
Total Geral de Elementos		1209			1880			3209		
Consumo Sem Carga		317 mW			478 mW			783 mW		
Consumo Com Carga (50 Ω para -2 V)		467 mW			646 mW			975 mW		

Tabela Comparativa de Complexidade de Circuitos

ANEXO 02

ADC6B.CIR

.OPTIONS NOPAGE NOECHO LIMPTS=0

ITL5=0 ACCT

* Analises

.TRAN 2E-6 200E-6

.OP

* Fontes de Tensao

* V1 (VEE)

V1 0 1 DC 5 AC 0

* V2 (Vin=5KHz)

V2 2 0 DC 0 AC 0 PULSE(-1.0625 -
0.0625 0 0.2E-3 0.2E-3 0.2E-3 0.8E-
3)

* V3 (Vref=-1.125V)

V3 0 71B DC 1.125 AC 0

* V4 (Clock= 320KHz)

V4 250 0 DC 0 AC 0 PULSE(-1.4 -0.7
0 0.50E-6 0.50E-6 1.0625E-6 3.125E-
6)

*

* Bias (Ampl. Folding)

	C	B	E	S	
QF1	1F	72A	1	1	QNPN3 3
QF2	2F	72A	3F	1	QNPN6 6
QF3	0	1F	5F	1	QNPN3 3
QF4	4F	2F	5F	1	QNPN3 3
QF5	0	4F	6F	1	QNPN3 3
QF6	6F	6F	7F	1	QNPN3 3
QF7	7F	7F	72A	1	QNPN3 3
QF8	5F	9F	8F	1	QNPN3 3
QF9	9F	9F	10F	1	QNPN3 3

RF1 0 1F RP 25K

RF2 0 2F RP 25K

RF3 0 4F RP 30K

RF4 3F 1 RP 200

RF5 8F 1 RP 3K

RF7 0 9F RP 30K

RF8 10F 1 RP 3K

C1 2F 4F 4pF

* Bias (Buffer + Folding Encoder)

Q055B 73B 72B 133B 1 QNPN5 5

Q056B 0 73B 72B 1 QNPN3 3

R051B 0 73B RP 15600

R082B 133B 1 RP 1100

* Bias (Clock)

Q055C 73C 72C 133C 1 QNPN5 5

Q056C 0 73C 72C 1 QNPN3 3

R051C 0 73C RP 15600

R082C 133C 1 RP 1100

* Bias (Latch Mestre)

Q055D 73D 72D 133D 1 QNPN5 5

Q056D 0 73D 72D 1 QNPN3 3

R051D 0 73D RP 15600

R082D 133D 1 RP 1100

* Bias (Porta NOR + Latch)

Q055E 73E 72E 133E 1 QNPN5 5

Q056E 0 73E 72E 1 QNPN5 5

R051E 0 73E RP 15600

R082E 133E 1 RP 1100

* Bias (Porta OR Saida)

Q055F 73F 72F 133F 1 QNPN5 5

Q056F 0 73F 72F 1 QNPN5 5

R051F 0 73F RP 15600

R082F 133F 1 RP 1100

*

* Amplificador Folding 1 (180 G)

* Transistores - PDA's

	C	B	E	S	
Q001	217	134	19	1	QNPN6 6
Q002	3	93	19	1	QNPN6 6
Q003	3	135	20	1	QNPN6 6
Q004	4	94	20	1	QNPN6 6
Q005	4	136	21	1	QNPN6 6
Q006	5	95	21	1	QNPN6 6
Q007	5	137	22	1	QNPN6 6
Q008	6	96	22	1	QNPN6 6
Q009	6	138	23	1	QNPN6 6
Q010	7	97	23	1	QNPN6 6
Q011	7	139	24	1	QNPN6 6
Q012	8	98	24	1	QNPN6 6
Q013	8	140	25	1	QNPN6 6
Q014	9	99	25	1	QNPN6 6
Q015	9	141	26	1	QNPN6 6
Q016	10	100	26	1	QNPN6 6
Q017	10	142	27	1	QNPN6 6
Q018	220	101	27	1	QNPN6 6

* Transistores - Bias

	C	B	E	S	
Q019	27	72A	28	1	QNPN6 6
Q020	26	72A	29	1	QNPN6 6
Q021	25	72A	30	1	QNPN6 6
Q022	24	72A	31	1	QNPN6 6
Q023	23	72A	32	1	QNPN6 6
Q024	22	72A	33	1	QNPN6 6
Q025	21	72A	34	1	QNPN6 6
Q026	20	72A	35	1	QNPN6 6
Q027	19	72A	36	1	QNPN6 6

* Resistores de Coletor

R230	0	217	RP	2600
R001	0	3	RP	2600
R002	0	4	RP	2600
R003	0	5	RP	2600
R004	0	6	RP	2600
R005	0	7	RP	2600
R006	0	8	RP	2600
R007	0	9	RP	2600
R008	0	10	RP	2600
R232	0	220	RP	2600

* Resistores de Bias

R009	28	1	RP	200
R010	29	1	RP	200
R011	30	1	RP	200
R012	31	1	RP	200
R013	32	1	RP	200
R014	33	1	RP	200
R015	34	1	RP	200
R016	35	1	RP	200
R017	36	1	RP	200

* Buffer de Vref

* Transistores

	C	B	E	S	
Q104	0	71	93	1	QNPN6 6
Q105	0	56	94	1	QNPN6 6
Q106	0	58	95	1	QNPN6 6
Q107	0	60	96	1	QNPN6 6
Q108	0	62	97	1	QNPN6 6
Q109	0	64	98	1	QNPN6 6
Q110	0	66	99	1	QNPN6 6
Q111	0	68	100	1	QNPN6 6
Q112	0	71C	101	1	QNPN6 6

* Transistores de Bias do Buffer

Q113	101	72A	102	1	QNPN6 6
------	-----	-----	-----	---	---------

Q114	100	72A	103	1	QNP6	6
Q115	99	72A	104	1	QNP6	6
Q116	98	72A	105	1	QNP6	6
Q117	97	72A	106	1	QNP6	6
Q118	96	72A	107	1	QNP6	6
Q119	95	72A	108	1	QNP6	6
Q120	94	72A	109	1	QNP6	6
Q121	93	72A	110	1	QNP6	6

* Resistores de Bias do Buffer

R063	110	1	RP	200
R064	109	1	RP	200
R065	108	1	RP	200
R066	107	1	RP	200
R067	106	1	RP	200
R068	105	1	RP	200
R069	104	1	RP	200
R070	103	1	RP	200
R071	102	1	RP	200

* Buffer de Vin

* Transistores

*	C	B	E	S		
Q143	0	2	134	1	QNP6	6
Q144	0	2	135	1	QNP6	6
Q145	0	2	136	1	QNP6	6
Q146	0	2	137	1	QNP6	6
Q147	0	2	138	1	QNP6	6
Q148	0	2	139	1	QNP6	6
Q149	0	2	140	1	QNP6	6
Q150	0	2	141	1	QNP6	6
Q151	0	2	142	1	QNP6	6

* Transistores de Bias do Vin

Q152	142	72A	143	1	QNP6	6
Q153	141	72A	144	1	QNP6	6
Q154	140	72A	145	1	QNP6	6
Q155	139	72A	146	1	QNP6	6
Q156	138	72A	147	1	QNP6	6
Q157	137	72A	148	1	QNP6	6
Q158	136	72A	149	1	QNP6	6
Q159	135	72A	150	1	QNP6	6
Q160	134	72A	151	1	QNP6	6

* Resistores de Bias do Vin

R083	151	1	RP	200
R084	150	1	RP	200
R085	149	1	RP	200
R086	148	1	RP	200
R087	147	1	RP	200
R088	146	1	RP	200
R089	145	1	RP	200
R090	144	1	RP	200
R091	143	1	RP	200

*

* Amplificador Folding 2 (90 G)

* Transistores - PDA's

*	C	B	E	S		
Q054	217B	131	37	1	QNP6	6
Q053	18	111	37	1	QNP6	6
Q052	18	132	38	1	QNP6	6
Q051	17	112	38	1	QNP6	6
Q050	17	152	39	1	QNP6	6
Q049	16	113	39	1	QNP6	6
Q048	16	153	40	1	QNP6	6
Q047	15	114	40	1	QNP6	6
Q046	15	154	41	1	QNP6	6
Q045	14	115	41	1	QNP6	6
Q044	14	155	42	1	QNP6	6
Q043	13	116	42	1	QNP6	6

Q042	13	156	43	1	QNP6	6
Q041	12	117	43	1	QNP6	6
Q040	12	157	44	1	QNP6	6
Q039	11	118	44	1	QNP6	6
Q038	11	158	45	1	QNP6	6
Q037	76	119	45	1	QNP6	6
Q058	76	159	75	1	QNP6	6
Q059	220B	120	75	1	QNP6	6

* Transistores - Bias

*	C	B	E	S		
Q057	75	72A	74	1	QNP6	6
Q036	45	72A	46	1	QNP6	6
Q035	44	72A	47	1	QNP6	6
Q034	43	72A	48	1	QNP6	6
Q033	42	72A	49	1	QNP6	6
Q032	41	72A	50	1	QNP6	6
Q031	40	72A	51	1	QNP6	6
Q030	39	72A	52	1	QNP6	6
Q029	38	72A	53	1	QNP6	6
Q028	37	72A	54	1	QNP6	6

* Resistores de Coletor

R230B	0	217B	RP	2600
R034	0	18	RP	2600
R033	0	17	RP	2600
R032	0	16	RP	2600
R031	0	15	RP	2600
R030	0	14	RP	2600
R029	0	13	RP	2600
R028	0	12	RP	2600
R027	0	11	RP	2600
R052	0	76	RP	2600
R232B	0	220B	RP	2600

* Resistores de Bias

R053	74	1	RP	200
R026	46	1	RP	200
R025	47	1	RP	200
R024	48	1	RP	200
R023	49	1	RP	200
R022	50	1	RP	200
R021	51	1	RP	200
R020	52	1	RP	200
R019	53	1	RP	200
R018	54	1	RP	200

* Buffer de Vref

* Transistores

*	C	B	E	S		
Q123	0	71B	111	1	QNP6	6
Q124	0	55	112	1	QNP6	6
Q125	0	57	113	1	QNP6	6
Q126	0	59	114	1	QNP6	6
Q127	0	61	115	1	QNP6	6
Q128	0	63	116	1	QNP6	6
Q129	0	65	117	1	QNP6	6
Q130	0	67	118	1	QNP6	6
Q131	0	69	119	1	QNP6	6
Q132	0	0	120	1	QNP6	6

* Transistores de Bias do Buffer

Q133	120	72A	121	1	QNP6	6
Q134	119	72A	122	1	QNP6	6
Q135	118	72A	123	1	QNP6	6
Q136	117	72A	124	1	QNP6	6
Q137	116	72A	125	1	QNP6	6
Q138	115	72A	126	1	QNP6	6
Q139	114	72A	127	1	QNP6	6
Q140	113	72A	128	1	QNP6	6
Q141	112	72A	129	1	QNP6	6

Q142 111 72A 130 1 QNPN6 6
* Resistores de Bias do Buffer

R072 121 1 RP 200
R073 122 1 RP 200
R074 123 1 RP 200
R075 124 1 RP 200
R076 125 1 RP 200
R077 126 1 RP 200
R078 127 1 RP 200
R079 128 1 RP 200
R080 129 1 RP 200
R081 130 1 RP 200

* Buffer de Vin

* Transistores

*	C	B	E	S	
Q161	0	2	131	1	QNPN6 6
Q162	0	2	132	1	QNPN6 6
Q163	0	2	152	1	QNPN6 6
Q164	0	2	153	1	QNPN6 6
Q165	0	2	154	1	QNPN6 6
Q166	0	2	155	1	QNPN6 6
Q167	0	2	156	1	QNPN6 6
Q168	0	2	157	1	QNPN6 6
Q169	0	2	158	1	QNPN6 6
Q170	0	2	159	1	QNPN6 6

* Transistores de Bias do Vin

Q171	159	72A	160	1	QNPN6 6
Q172	158	72A	161	1	QNPN6 6
Q173	157	72A	162	1	QNPN6 6
Q174	156	72A	163	1	QNPN6 6
Q175	155	72A	164	1	QNPN6 6
Q176	154	72A	165	1	QNPN6 6
Q177	153	72A	166	1	QNPN6 6
Q178	152	72A	167	1	QNPN6 6
Q122	132	72A	168	1	QNPN6 6
Q103	131	72A	169	1	QNPN6 6

* Resistores de Bias do Vin

R062 169 1 RP 200
R092 168 1 RP 200
R093 167 1 RP 200
R094 166 1 RP 200
R095 165 1 RP 200
R096 164 1 RP 200
R097 163 1 RP 200
R098 162 1 RP 200
R099 161 1 RP 200
R100 160 1 RP 200

*

* Resistores de Referencia

R035B 71B 71 RP 50
R035 71 55 RP 50
R036 55 56 RP 50
R037 56 57 RP 50
R038 57 58 RP 50
R039 58 59 RP 50
R040 59 60 RP 50
R041 60 61 RP 50
R042 61 62 RP 50
R043 62 63 RP 50
R044 63 64 RP 50
R045 64 65 RP 50
R046 65 66 RP 50
R047 66 67 RP 50
R048 67 68 RP 50
R049 68 69 RP 50
R050 69 71C RP 50

R050B 71C 0 RP 50

*

* Folding Encoder

* Circuito Folding Encoder

*	C	B	E	S
---	---	---	---	---

* NOT MSB

Q060	0	202	77	1	QNPN3 3
Q061	0	203	77	1	QNPN3 3
Q062	0	204	77	1	QNPN3 3
Q063	0	205	77	1	QNPN3 3

* MSB

Q064	0	206	78	1	QNPN3 3
Q065	0	207	78	1	QNPN3 3
Q066	0	208	78	1	QNPN3 3
Q067	0	209	78	1	QNPN3 3

* NOT 2-SB

Q069	0	202	79	1	QNPN3 3
Q070	0	203	79	1	QNPN3 3
Q071	0	206	79	1	QNPN3 3
Q072	0	207	79	1	QNPN3 3

* 2-SB

Q073	0	204	80	1	QNPN3 3
Q074	0	205	80	1	QNPN3 3
Q075	0	208	80	1	QNPN3 3
Q076	0	209	80	1	QNPN3 3

* NOT 3-SB

Q078	0	202	81	1	QNPN3 3
Q079	0	204	81	1	QNPN3 3
Q080	0	206	81	1	QNPN3 3
Q081	0	208	81	1	QNPN3 3
Q077	0	221	81	1	QNPN3 3

* 3-SB

Q068	0	218	82	1	QNPN3 3
Q082	0	203	82	1	QNPN3 3
Q083	0	205	82	1	QNPN3 3
Q084	0	207	82	1	QNPN3 3
Q085	0	209	82	1	QNPN3 3

* A4

Q087B	0	193B	84	1	QNPN3 3
Q087	0	194	84	1	QNPN3 3
Q088	0	196	84	1	QNPN3 3
Q089	0	198	84	1	QNPN3 3
Q090	0	200	84	1	QNPN3 3
Q090B	0	201B	84	1	QNPN3 3

* NOT A4

Q091	0	193	83	1	QNPN3 3
Q092	0	195	83	1	QNPN3 3
Q093	0	197	83	1	QNPN3 3
Q094	0	199	83	1	QNPN3 3
Q086	0	201	83	1	QNPN3 3

* Transistores - Bias

*	C	B	E	S
---	---	---	---	---

Q095	77	72B	85	1	QNPN3 3
Q096	78	72B	86	1	QNPN3 3
Q097	79	72B	87	1	QNPN3 3
Q098	80	72B	88	1	QNPN3 3
Q099	81	72B	89	1	QNPN3 3
Q100	82	72B	90	1	QNPN3 3
Q101	83	72B	91	1	QNPN3 3
Q102	84	72B	92	1	QNPN3 3

* Resistores de Bias

R054 85 1 RP 2200
R055 86 1 RP 2200
R056 87 1 RP 2200
R057 88 1 RP 2200
R058 89 1 RP 2200

R059 90 1 RP 2200
 R060 91 1 RP 2200
 R061 92 1 RP 2200

*
 * Buffer do Folding Encoder
 * GND -5V IN OUT BIAS

* Folding 2
 XB1M 0 1 217B 193B 72B BUFFER
 XB18 0 1 18 193 72B BUFFER
 XB17 0 1 17 194 72B BUFFER
 XB16 0 1 16 195 72B BUFFER
 XB15 0 1 15 196 72B BUFFER
 XB14 0 1 14 197 72B BUFFER
 XB13 0 1 13 198 72B BUFFER
 XB12 0 1 12 199 72B BUFFER
 XB11 0 1 11 200 72B BUFFER
 XB76 0 1 76 201 72B BUFFER
 XB7M 0 1 220B 201B 72B BUFFER

* Folding 1
 XBM3 0 1 217 218 72B BUFFER
 XB03 0 1 3 202 72B BUFFER
 XB04 0 1 4 203 72B BUFFER
 XB05 0 1 5 204 72B BUFFER
 XB06 0 1 6 205 72B BUFFER
 XB07 0 1 7 206 72B BUFFER
 XB08 0 1 8 207 72B BUFFER
 XB09 0 1 9 208 72B BUFFER
 XB10 0 1 10 209 72B BUFFER
 XBM1 0 1 220 221 72B BUFFER

* Clock

	C	B	E	S
Q382	0	250	251	1 QNPN5 5
Q383	251	72C	252	1 QNPN5 5
Q384	173B	251	253	1 QNPN5 5
Q384B	173	255	173B	1 QNPN5 5
Q385	172B	257	253	1 QNPN5 5
Q385B	172	255	172B	1 QNPN5 5
Q386	253	72C	254	1 QNPN5 5
Q387	0	0	255	1 QNPN5 5
Q388	0	256	257	1 QNPN5 5
Q389	256	72C	258	1 QNPN5 5
Q389B	257	72C	258B	1 QNPN5 5
R204	0	173	RP 1000	
R205	0	172	RP 1000	
R206	255	256	RP 1200	
R207	252	1	RP 1100	
R208	254	1	RP 1100	
R209B	258B	1	RP 1100	
R209	258	1	RP 1100	

* Buffer do Clock

	C	B	E	S
Q279	0	172	210	1 QNPN5 5
Q283	210	210	170	1 QNPN5 5
Q435	170	170	223	1 QNPN5 5
Q280	223	72C	174	1 QNPN5 5
R148	174	1	1100	

* Not Clock

Q281	0	173	211	1 QNPN5 5
Q284	211	211	171	1 QNPN5 5
Q436	171	171	224	1 QNPN5 5
Q282	224	72C	175	1 QNPN5 5
R149	175	1	1100	

*
 .SUBCKT BUFFER 1 2 3 4 5

	C	B	E	S
Q01	1	3	4	2 QNPN3 3
Q02	4	5	7	2 QNPN3 3
R01	7	2	RP 2200	

.ENDS BUFFER

*
 .SUBCKT LATCHM1 1 2 3 4 5 6 11 12

	C	B	E	S
Q01	1	3	14	2 QNPN5 5
Q02	6	14	9	2 QNPN5 5
Q03	7	13	9	2 QNPN5 5
Q04	1	4	13	2 QNPN5 5
Q05	7	6	8	2 QNPN5 5
Q06	6	7	8	2 QNPN5 5
Q07	1	11	15	2 QNPN5 5
Q08	9	15	10	2 QNPN5 5
Q09	8	16	10	2 QNPN5 5
Q10	1	12	16	2 QNPN5 5
Q11	14	5	17	2 QNPN5 5
Q12	15	5	18	2 QNPN5 5
Q13	10	5	19	2 QNPN5 5
Q14	16	5	20	2 QNPN5 5
Q15	13	5	21	2 QNPN5 5

R01 1 6 RP 1500

R02 1 7 RP 1500

R03 17 2 RP 1100

R04 18 2 RP 1100

R05 19 2 RP 1100

R06 20 2 RP 1100

R07 21 2 RP 1100

.ENDS LATCHM1

*
 .SUBCKT LATCHM2 1 2 3 4 5 6 7 11 12

	C	B	E	S
Q01	1	3	14	2 QNPN5 5
Q02	6	14	9	2 QNPN5 5
Q03	7	13	9	2 QNPN5 5
Q04	1	4	13	2 QNPN5 5
Q05	7	6	8	2 QNPN5 5
Q06	6	7	8	2 QNPN5 5
Q07	1	11	15	2 QNPN5 5
Q08	9	15	10	2 QNPN5 5
Q09	8	16	10	2 QNPN5 5
Q10	1	12	16	2 QNPN5 5
Q11	14	5	17	2 QNPN5 5
Q12	15	5	18	2 QNPN5 5
Q13	10	5	19	2 QNPN5 5
Q14	16	5	20	2 QNPN5 5
Q15	13	5	21	2 QNPN5 5

R01 1 6 RP 1500

R02 1 7 RP 1500

R03 17 2 RP 1100

R04 18 2 RP 1100

R05 19 2 RP 1100

R06 20 2 RP 1100

R07 21 2 RP 1100

.ENDS LATCHM2

*
 .SUBCKT LATCHM3 1 2 3 4 22 5 6 7 11 12

	C	B	E	S
Q01	1	3	14	2 QNPN5 5
Q02	6	14	9	2 QNPN5 5
Q03	7	13	9	2 QNPN5 5
Q04	1	4	13	2 QNPN5 5
Q05	7	6	8	2 QNPN5 5

```

Q06      6      7      8      2 QNPN5 5
Q07      1     11     15     2 QNPN5 5
Q08      9     15     10     2 QNPN5 5
Q09      8     16     10     2 QNPN5 5
Q10      1     12     16     2 QNPN5 5
Q11     14      5     17     2 QNPN5 5
Q12     15      5     18     2 QNPN5 5
Q13     10      5     19     2 QNPN5 5
Q14     16      5     20     2 QNPN5 5
Q15     13      5     21     2 QNPN5 5
Q16      6     24     23     2 QNPN5 5
Q17      7     13     23     2 QNPN5 5
Q18     23     15     10     2 QNPN4P5 4.5
Q19     24      5     25     2 QNPN5 5
Q20      1     22     24     2 QNPN5 5
R01      1      6 RP 1500
R02      1      7 RP 1500
R03     17      2 RP 1100
R04     18      2 RP 1100
R05     19      2 RP 1100
R06     20      2 RP 1100
R07     21      2 RP 1100
R08     25      2 RP 1100
.ENDS LATCHM3
*
.SUBCKT LATCHM4 1 2 3 4 22 5 6 7 11
12
*      C      B      E      S
Q01      1      3     14     2 QNPN5 5
Q02      6     14      9     2 QNPN5 5
Q03      7     13      9     2 QNPN5 5
Q04      1      4     13     2 QNPN5 5
Q05      7      6      8     2 QNPN5 5
Q06      6      7      8     2 QNPN5 5
Q07      1     11     15     2 QNPN5 5
Q08      9     15     10     2 QNPN5 5
Q09      8     16     10     2 QNPN5 5
Q10      1     12     16     2 QNPN5 5
Q11     14      5     17     2 QNPN5 5
Q12     15      5     18     2 QNPN5 5
Q13     10      5     19     2 QNPN5 5
Q14     16      5     20     2 QNPN5 5
Q15     13      5     21     2 QNPN5 5
Q16      6     24     23     2 QNPN5 5
Q17      7     13     23     2 QNPN5 5
Q18     23     15     10     2 QNPN3P2 3.2
Q19     24      5     25     2 QNPN5 5
Q20      1     22     24     2 QNPN5 5
R01      1      6 RP 1500
R02      1      7 RP 1500
R03     17      2 RP 1100
R04     18      2 RP 1100
R05     19      2 RP 1100
R06     20      2 RP 1100
R07     21      2 RP 1100
R08     25      2 RP 1100
.ENDS LATCHM4
*
.SUBCKT NOR2E 3 1 4 5 2 8 6 7
*      C      B      E      S
Q01      3      4     10     1 QNPN5 5
Q02      3      5     10     1 QNPN5 5
Q03      8     10     11     1 QNPN5 5
Q04      9     13     11     1 QNPN5 5
Q05      3     23     13     1 QNPN5 5
Q06      9      8     12     1 QNPN5 5

```

```

Q07      8      9     12     1 QNPN5 5
Q08      3      6     14     1 QNPN5 5
Q09     11     14     15     1 QNPN5 5
Q10     12     16     15     1 QNPN5 5
Q11      3      7     16     1 QNPN5 5
Q12     10      2     17     1 QNPN5 5
Q13     14      2     18     1 QNPN5 5
Q14     15      2     19     1 QNPN5 5
Q15     16      2     20     1 QNPN5 5
Q16     13      2     21     1 QNPN5 5
Q17     23      2     22     1 QNPN5 5
R01      3      8 RP 1500
R02      3      9 RP 1500
R03      3     23 RP 700
R04     17      1 RP 1100
R05     18      1 RP 1100
R06     19      1 RP 1100
R07     20      1 RP 1100
R08     21      1 RP 1100
R09     22      1 RP 1100
.ENDS NOR2E
*
.SUBCKT OR1E 1 2 3 4 5 6
* Transistores
*      C      B      E      S
Q01      1      3      7     2 QNPN10 10
Q02      8     10      7     2 QNPN10 10
Q03      1      9     10     2 QNPN5 5
Q04      1      8      5     2 QNPN30 30
Q05      3      4     11     2 QNPN5 5
Q06      7      4     12     2 QNPN10 10
Q07     10      4     13     2 QNPN5 5
Q08      9      4     14     2 QNPN5 5
Q09      5      4     15     2 QNPN10 10
R01      1      8 RP 500
R02      1      9 RP 700
R03     11      2 RP 1100
R04     12      2 RP 130
R05     13      2 RP 1100
R06     14      2 RP 1100
R07     15      2 RP 130
R08      5      6 RP 50
C01      5      6      2pF
.ENDS OR1E
*
* Latches Mestre
*      GND -5V   IN   IN   BIAS OUT
OUT  CL  NCL
*      1      2      1      2
XM01 0      1      78    77  72D  81S
223  224    LATCHM1
XM02 0      1      80    79  72D  82S
223  224    LATCHM1
XM03 0      1      82    81  72D  83S
93S  223    224    LATCHM2
XM04 0      1      84    83  72D  8A4
9A4  223    224    LATCHM2
XM05 0      1      84    82  72D  8A6
9A6  223    224    LATCHM2
XM06 0      1      84    81  72D  8A2
9A2  223    224    LATCHM2
*
* Latches Mestre Duplo
*      GND -5V   IN   IN   IN   BIAS
OUT  OUT  CL  NCL

```

```

*
2
1      2      3
XM07 0      1      84      81      82      72D
8A1  9A1  223      224      LATCHM3
XM08 0      1      82      83      84      72D
8A3  9A3  223      224      LATCHM4
XM09 0      1      81      83      84      72D
8A5  9A5  223      224      LATCHM3
XM10 0      1      84      82      81      72D
8A7  9A7  223      224      LATCHM4
*
* Latches + Portas NOR ECL (2 In)
*      GND -5V      IN      IN      BIAS      OUT
CL      NCL
*
*      1      2      NOR
XP01 0      1      81S      81S      72E      9S01
224      223      NOR2E
XP02 0      1      82S      82S      72E      9S02
224      223      NOR2E
XP03 0      1      83S      83S      72E      9S03
224      223      NOR2E
XP04 0      1      9A4      83S      72E      9S04
224      223      NOR2E
XP05 0      1      93S      8A4      72E      9S05
224      223      NOR2E
XP06 0      1      9A4      8A6      72E      9S06
224      223      NOR2E
XP07 0      1      9A6      8A4      72E      9S07
224      223      NOR2E
XP08 0      1      93S      8A2      72E      9S08
224      223      NOR2E
XP09 0      1      9A2      83S      72E      9S09
224      223      NOR2E
XP10 0      1      9A1      83S      72E      9S10
224      223      NOR2E
XP11 0      1      93S      8A1      72E      9S11
224      223      NOR2E
XP12 0      1      9A3      8A2      72E      9S12
224      223      NOR2E
XP13 0      1      9A2      8A3      72E      9S13
224      223      NOR2E
XP14 0      1      9A5      8A4      72E      9S14
224      223      NOR2E
XP15 0      1      9A4      8A5      72E      9S15
224      223      NOR2E
XP16 0      1      9A7      8A6      72E      9S16
224      223      NOR2E
XP17 0      1      9A6      8A7      72E      9S17
224      223      NOR2E
*
* Entradas das Portas OR
*      C      B      E      S
* MSB
QS1A 0      9S01      1B      1      QNPN5 5
* 2-SB
QS2A 0      9S02      2B      1      QNPN5 5
* 3-SB
QS3A 0      9S03      3B      1      QNPN5 5
* 4-SB
QS4A 0      9S04      4B      1      QNPN5 5
QS4B 0      9S05      4B      1      QNPN5 5
* 5-SB
QS5A 0      9S06      5B      1      QNPN5 5
QS5B 0      9S07      5B      1      QNPN5 5
QS5C 0      9S08      5B      1      QNPN5 5
QS5D 0      9S09      5B      1      QNPN5 5

```

```

1
* 6-SB
QS6A 0      9S10      6B      1      QNPN5 5
QS6B 0      9S11      6B      1      QNPN5 5
QS6C 0      9S12      6B      1      QNPN5 5
QS6D 0      9S13      6B      1      QNPN5 5
QS6E 0      9S14      6B      1      QNPN5 5
QS6F 0      9S15      6B      1      QNPN5 5
QS6G 0      9S16      6B      1      QNPN5 5
QS6H 0      9S17      6B      1      QNPN5 5
*
* Portas OR ECL
*      GND -5V      IN      BIAS      OUT      VREF
*      1      OR      LOAD
XS01 0      1      1B      72F      1SB      2VN
OR1E
XS02 0      1      2B      72F      2SB      2VN
OR1E
XS03 0      1      3B      72F      3SB      2VN
OR1E
XS04 0      1      4B      72F      4SB      2VN
OR1E
XS05 0      1      5B      72F      5SB      2VN
OR1E
XS06 0      1      6B      72F      6SB      2VN
OR1E
*
* Fonte de -2 V para a Carga
V5      0      2VN      DC 2 AC 0
*
* Modelo Resistor
.model RP res(r=1 tc1=0.0008 tc2=0
tce=0)
*
* Modelo Transistor NPN
.model QNPN3 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+      ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+      isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+      rc=300 cje=4.8033f vje=1.04
mje=.39 cjc=6.9633f vjc=.66
+      mjc=.42 cjs=17.9433f vjs=.55
mjs=.38 tf=18.380p xtf=3.752
+      vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN3P2 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+      ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+      isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+      rc=300 cje=4.7744f vje=1.04
mje=.39 cjc=6.6738f vjc=.66
+      mjc=.42 cjs=16.9475f vjs=.55
mjs=.38 tf=18.380p xtf=3.752
+      vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN4 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+      ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u

```

```

+   isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+   rc=300 cje=4.688f vje=1.04
mje=0.39 cjc=5.805f vjc=0.66
+   mjc=0.42 cjs=13.960f vjs=0.55
mjs=0.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN4P5 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+   ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+   isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+   rc=300 cje=4.6489f vje=1.04
mje=.39 cjc=5.4189f vjc=.66
+   mjc=.42 cjs=12.6322f vjs=.55
mjs=.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN5 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+   ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+   isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+   rc=300 cje=4.618f vje=1.04
mje=0.39 cjc=5.110f vjc=0.66
+   mjc=0.42 cjs=11.5700f vjs=0.55
mjs=0.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN6 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+   ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+   isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+   rc=300 cje=4.5717f vje=1.04
mje=0.39 cjc=4.6467f vjc=0.66
+   mjc=0.42 cjs=9.9767f vjs=0.55
mjs=0.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN10 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+   ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u
+   isc=1.000f nc=1.6 rb=3.000k
rbm=750 irb=10.000u re=30
+   rc=300 cje=4.4790f vje=1.04
mje=.39 cjc=3.7200f vjc=.66
+   mjc=.42 cjs=6.7900f vjs=.55
mjs=.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
.model QNPN30 npn (is=2.210E-18
bf=127 nf=1 vaf=29.2
+   ikf=1.140m ise=0.501E-18
ne=1.38 br=1 nr=1.03 var=2.9
ikr=5.000u

```

```

+   isc=1.000f nc=1.6 rb=100
rbm=100 irb=10.000u re=1
+   rc=300 cje=4.3863f vje=1.04
mje=.39 cjc=2.7933f vjc=.66
+   mjc=.42 cjs=3.6033f vjs=.55
mjs=.38 tf=18.380p xtf=3.752
+   vtf=2.072 itf=2.336m tr=1.000n
xtb=1.6 xti=5.5 )
*
.PROBE V(77) V(78) V(79) V(80) V(81)
V(82) V(83) V(84)
+ V(81S) V(82S) V(93S) V(83S) V(9A4)
V(8A4) V(9A6) V(8A6) V(9A2) V(8A2)
+ V(9A1) V(8A1) V(9A3) V(8A3) V(9A5)
V(8A5) V(9A7) V(8A7)
+ V(9S01) V(9S02) V(9S03) V(9S04)
V(9S05) V(9S06) V(9S07) V(9S08)
V(9S09)
+ V(9S10) V(9S11) V(9S12) V(9S13)
V(9S14) V(9S15) V(9S16) V(9S17)
+ V(1B) V(2B) V(3B) V(4B) V(5B)
V(6B)
+ V(6DAC) V(1SB) V(2SB) V(3SB)
V(4SB) V(5SB) V(6SB)
+ V(250) V(170) V(171) V(172) V(173)
V(223) V(224) V(71B) V(71C) V(2)
+ V(XP01.10) V(XP01.13) V(XP02.10)
V(XP02.13) V(XP03.10) V(XP03.13)
+ V(XP04.10) V(XP04.13) V(XP05.10)
V(XP05.13) V(XP06.10) V(XP06.13)
+ V(XP07.10) V(XP07.13) V(XP08.10)
V(XP08.13) V(XP09.10) V(XP09.13)
+ V(XP10.10) V(XP10.13) V(XP11.10)
V(XP11.13) V(XP12.10) V(XP12.13)
+ V(XP13.10) V(XP13.13) V(XP14.10)
V(XP14.13) V(XP15.10) V(XP15.13)
+ V(XP16.10) V(XP16.13) V(XP17.10)
V(XP17.13)
+ V(XS01.10) V(XS02.10) V(XS03.10)
V(XS04.10) V(XS05.10) V(XS06.10)
+ IC(QF1) IC(QF2) V(72A) V(3F)
+ IC(Q055B) IC(Q056B) V(72B) V(73B)
V(133B)
+ IC(Q055C) IC(Q056C) V(72C) V(73C)
V(133C)
+ IC(Q055D) IC(Q056D) V(72D) V(73D)
V(133D)
+ IC(Q055E) IC(Q056E) V(72E) V(73E)
V(133E)
+ IC(Q055F) IC(Q056F) V(72F) V(73F)
V(133F)
.END

```

REFERÊNCIA BIBLIOGRÁFICA

- [01]-*Analog Devices* - "Analog-Digital Conversion Handbook", 3ª ed., New Jersey - USA, PTR Prentice Hall, 1969, 672 pgs. - (livro).
- [02]-*Doernberg, Joey; Gray, Paul R.; Hodges, David A.* - "A 10 bit 5 Msample/s CMOS Two-Step Flash ADC" - IEEE Journal of Solid-State Circuits, Vol. 24, No 2, April 1989, pgs. 241 a 249 - (artigo de periódico).
- [03]-*Yotsuyanagi, Michio; Etoh, Toshiyuki; Hirata, Kazumi* - "A 10 bit 50 Mhz Pipelined CMOS A/D Converter with S/H" - IEEE Journal of Solid-State Circuits, Vol. 28, No 3, March 1993, pgs. 292 a 300 - (artigo de periódico).
- [04]-*Grebene, Alan B.* - "Bipolar and MOS Analog Integrated Circuit Design", 1ª ed., USA, John Wiley & Sons, Inc., 1984, 894 pgs. - (livro).
- [05]-*Soclof, Sidney* - "Design and Applications of Analog Integrated Circuits" - 1ª ed., USA, Prentice Hall, 1991, 820 pgs. - (livro).
- [06]-*Nosworthy, Steven R.; Post, Irving G.; Fetterman, H. Scott* - "A 14-bit 80khz Sigma-Delta A/D Converter: Modeling, Design, and Performance Evaluation" - IEEE Journal of Solid-State Circuits, Vol. 24, No 2, April 1989, pgs. 256 a 266 - (artigo de periódico).
- [07]-*Kolluri, Madhav P. V.* - "A 12-bit 500-ns Subranging ADC" - IEEE Journal of Solid-State Circuits, Vol. 24, No 6, December 1989, pgs. 1498 a 1506 - (artigo de periódico).
- [08]-*Imamura, Makoto* - "A 1-Ms/s 16-bit Analog-to-Digital Converter" - IEEE Transactions on Instrumentations and Measurement, Vol. 39, No 1, February 1990, pgs. 66 a 70 - (artigo de periódico).
- [09]-*Van de Plassche, Rudy J.; Baltus, Peter* - "An 8-bit 100mhz Full-Nyquist Analog-to-Digital Converter" - IEEE Journal of Solid-State Circuits, Vol. 23, No 6, December 1988, pgs. 1334 a 1344 - (artigo de periódico).
- [10]-*Hotta, Masao; Shimizu, Toshihiro; Maio, Kenji; Nakazato, Kazuo; Ueda, Shiichi* - "A 12 mW 6 bit Video Frequency A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. SC-22, No 6, December 1987, pgs. 939 a 943 - (artigo de periódico).
- [11]-*Van de Grift, Rob E. J.; Rutten, Ivo W. J. M.; Van der Veen, Martien* - "An 8 bit Video ADC Incorporating Folding and Interpolation Techniques" - IEEE Journal of Solid-State Circuits, Vol. SC-22, No 6, December 1987, pgs. 944 a 953 - (artigo de periódico).
- [12]-*Van Valburg, Johan; Van de Plassche, Rudy J.* - "An 8 b 650 Mhz Folding ADC" - IEEE Journal of Solid-State Circuits, Vol. 27, No 12, December 1992, pgs. 1662 a 1666 - (artigo de periódico).
- [13]-*Kimura, Hiroshi; Matsuzawa, Akira; Nakamura, Takashi; Sawada, Shigeaki* - "A 10 b 300 Mhz Interpolated - Parallel A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. 28, No 4, April 1993, pgs. 438 a 446 - (artigo de periódico).

- [14]-*Colleran, William T.; Abidi, A. A.* - "A 10 b 75 Mhz Two Stage Pipelined Bipolar A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. 28, No 12, December 1993, pgs. 1187 a 1199 - (artigo de periódico).
- [15]-*Menezes, Antônio Sérgio Cavalcanti de* - "Conversão Analógica-Digital Ultra-Rápida em Corrente em Tecnologia Bipolar - Nova Proposta" - Tese de Doutorado, UNICAMP, 1990, 109 pgs. - (tese).
- [16]-*Coombs Jr, Clyde F.* - "Electronic Instruments Handbook", 2ª ed., USA, McGraw-Hill, Inc., 1995 - (livro).

BIBLIOGRAFIA CONSULTADA

- *Analog Devices* - "Analog-Digital Conversion Handbook", 3ª ed., New Jersey - USA, PTR Prentice Hall, 1969, 672 pgs. - (livro).
- *Cattermole, K. L.* - "Principles of Pulso Code Modulation", 1ª ed., Londres, Iliffe Books Ltd, 1969, 447 pgs. - (livro).
- *Colleran, William T.; Abidi, A. A.* - "A 10 b 75 Mhz Two Stage Pipelined Bipolar A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. 28, No 12, December 1993, pgs. 1187 a 1199 - (artigo de periódico).
- *Coombs Jr, Clyde F.* - "Electronic Instruments Handbook", 2ª ed., USA, McGraw-Hill, Inc., 1995 - (livro).
- *Doernberg, Joey; Gray, Paul R.; Hodges, David A.* - "A 10 bit 5 Msample/s CMOS Two-Step Flash ADC" - IEEE Journal of Solid-State Circuits, Vol. 24, No 2, April 1989, pgs. 241 a 249 - (artigo de periódico).
- *Gray, Paul R.; Meyer, Robert G.* - "Analysis and Design of Analog Integrated Circuits", 3ª ed., USA, John Wiley & Sons, Inc., 1993, 792 pgs. - (livro).
- *Grebene, Alan B.* - "Bipolar and MOS Analog Integrated Circuit Design", 1ª ed., USA, John Wiley & Sons, Inc., 1984, 894 pgs. - (livro).
- *Hoeschele Jr., David F.* - "Analog-to-Digital/Digital-to-Analog Conversion Techniques", 1ª ed., USA, John Wiley & Sons, Inc, 1968, 455 pgs. - (livro).
- *Hotta, Masao; Shimizu, Toshihiro; Maio, Kenji; Nakazato, Kazuo; Ueda, Shiichi* - "A 12 mW 6 bit Video Frequency A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. SC-22, No 6, December 1987, pgs. 939 a 943 - (artigo de periódico).
- *Imamura, Makoto* - "A 1-Ms/s 16-bit Analog-to-Digital Converter" - IEEE Transactions on Instrumentations and Measurement, Vol. 39, No 1, February 1990, pgs. 66 a 70 - (artigo de periódico).
- *Kimura, Hiroshi; Matsuzawa, Akira; Nakamura, Takashi; Sawada, Shigeaki* - "A 10 b 300 Mhz Interpolated - Parallel A/D Converter" - IEEE Journal of Solid-State Circuits, Vol. 28, No 4, April 1993, pgs. 438 a 446 - (artigo de periódico).
- *Kolluri, Madhav P. V.* - "A 12-bit 500-ns Subranging ADC" - IEEE Journal of Solid-State Circuits, Vol. 24, No 6, December 1989, pgs. 1498 a 1506 - (artigo de periódico).
- *Lewis, Stephen; Gray, Paul* - "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter" - IEEE Journal of Solid-State Circuits, Vol. SC-22, No 6, December 1987, pgs. 954 a 961 - (artigo de periódico).
- *Menezes, Antônio Sérgio Cavalcanti de* - "Conversão Analógica-Digital Ultra-Rápida em Corrente em Tecnologia Bipolar - Nova Proposta" - Tese de Doutorado, UNICAMP, 1990, 109 pgs. - (tese).

- *Nosworthy, Steven R.; Post, Irving G.; Fetterman, H. Scott* - "A 14-bit 80khz Sigma-Delta A/D Converter: Modeling, Design, and Performance Evaluation" - IEEE Journal of Solid-State Circuits, Vol. 24, No 2, April 1989, pgs. 256 a 266 - (artigo de periódico).
- *Schmid, Hermann* - "Electronic Analog/Digital Conversions", 1ª ed., USA, Van Nostrand Reinhold Company, 1970, 527 pgs. - (livro).
- *Soclof, Sidney* - "Design and Applications of Analog Integrated Circuits" - 1ª ed., USA, Prentice Hall, 1991, 820 pgs. - (livro).
- *Van de Grift, Rob E. J.; Rutten, Ivo W. J. M.; Van der Veen, Martien* - "An 8 bit Video ADC Incorporating Folding and Interpolation Techniques" - IEEE Journal of Solid-State Circuits, Vol. SC-22, No 6, December 1987, pgs. 944 a 953 - (artigo de periódico).
- *Van de Plassche, Rudy J.; Baltus, Peter* - "An 8-bit 100mhz Full-Nyquist Analog-to-Digital Converter" - IEEE Journal of Solid-State Circuits, Vol. 23, No 6, December 1988, pgs. 1334 a 1344 - (artigo de periódico).
- *Van Valburg, Johan; Van de Plassche, Rudy J.* - "An 8 b 650 Mhz Folding ADC" - IEEE Journal of Solid-State Circuits, Vol. 27, No 12, December 1992, pgs. 1662 a 1666 - (artigo de periódico).
- *Yotsuyanagi, Michio; Etoh, Toshiyuki; Hirata, Kazumi* - "A 10 bit 50 Mhz Pipelined CMOS A/D Converter with S/H" - IEEE Journal of Solid-State Circuits, Vol. 28, No 3, March 1993, pgs. 292 a 300 - (artigo de periódico).