

### **CLEBER BIASOTTO**

# "PROCESSOS ALTERNATIVOS PARA MICRO E NANOTECNOLOGIA"

CAMPINAS 2012



# UNIVERSIDADE ESTADUAL DE CAMPINAS FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO

**CLEBER BIASOTTO** 

# "PROCESSOS ALTERNATIVOS PARA MICRO E NANOTECNOLOGIA"

Tese de Doutorado apresentada à Faculdade de Engenharia Elétrica e Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica, na área de Eletrônica, Microeletrônica e Optoeletrônica.

**Orientador: Prof. Dr. José Alexandre Diniz** 

ESTE EXEMPLAR CORRESPONDE Á VERSÃO FINAL DA TESE DEFENDIDA PELO ALUNO CLEBER BIASOTTO, E ORIENTADA PELO PROF. DR. JOSÉ ALEXANDRE DINIZ.

CAMPINAS 2012

#### FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

٦

B47p	Biasotto, Cleber Processos alternativos para micro e nanotecnologia / Cleber BiasottoCampinas, SP: [s.n.], 2012.
	Orientador: José Alexandre Diniz. Tese de Doutorado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.
	<ol> <li>Microeletrônica. 2. Baixas temperaturas. 3. Laser.</li> <li>Nanotecnologia. 5. Junções rasas. I. Diniz, José Alexandre, 1964 II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.</li> </ol>

Título em Inglês: Alternative processes for micro and nanotechnology Palavras-chave em Inglês: Microelectronics, Low temperatures, Laser, Nanotechnology, Shallow Junctions Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica Titulação: Doutor em Engenharia Elétrica Banca examinadora: José Alexandre Diniz, Leonardo Breseghello Zoccal, Henri Ivanov Boudinov, Ioshiaki Doi, Peter Jürgen Tatsch Data da defesa: 22-11-2012 Programa de Pós Graduação: Engenharia Elétrica

#### COMISSÃO JULGADORA - TESE DE DOUTORADO

Candidato: Cleber Biasotto

Data da Defesa: 22 de novembro de 2012

Titulo da Tese: "Processos Alternativos para Micro e Nanotecnologia"

Prof. Dr. José Alexandre Diniz (Pre	esidente): for the thing
Prof. Dr. Leonardo Breseghelio Zoo	occa:
Prof. Dr. Henri Ivanov Boudinov:	- Althe
Prof. Dr. Ioshiaki Dol	Instruction dar ?
Prof. Dr. Peter Jürgen Tatsch:	This fairs in Poter

É com grande amor e gratidão que dedico este trabalho a minha filha Stephanie.

Dedico também a todos os alunos de mestrado e doutorado que trabalham fortemente no desenvolvimento científico e tecnológico deste país.

Este trabalho foi realizado com o apoio das seguintes entidades:

- Conselho Nacional de Desenvolvimento Científico e Tecnológico CNPq
- Faculdade de Engenharia Elétrica e de Computação FEEC/UNICAMP
- Departamento de Semicondutores, Instrumentos e Fotônica DSIF/UNICAMP
- Centro de Componentes Semicondutores CCS/UNICAMP
- Instituto de Física "Gleb Wataghin"- IFGW/UNICAMP
- Delft University of Technology TUDelft
- Delft Institute of Microsystems and Nanoelectronics Dimes
- Comunidade Européia (Sixth Framework FP6 project): "Disposable Dot Field Effect Transistor for High Speed Si Integrated Circuits"

#### **AGRADECIMENTOS**

- Primeiramente eu gostaria de expressar a minha gratidão a todos os que me deram a possibilidade de completar estes anos de pesquisa de Doutorado;
- Obrigado muito especial à minha filha Stephanie e Andrea. Elas sacrificaram parte de sua vida para me acompanhar, e eu não teria terminado este trabalho sem elas. Muito obrigado por todo o apoio, inspiração e compreensão que me manteve concentrado e motivado durante este tempo;
- Ao meu orientador, Prof. Dr. José Alexandre Diniz, pela oportunidade, confiança e amizade durante a realização deste trabalho;
- Ao Prof. Dr. Jacobus W. Swart pela colaboração acadêmica;
- Ao Prof. Dr. Stanislav Moshkalyov e André Daltrini pelas análises de plasma;
- Ao Antonio Celso Saragossa Ramos pela colaboração técnica prestada;
- A toda a parte técnica do Centro de Componentes Semicondutores (CCS), em especial ao Godoy, Regina e Eduardo;
- A Faculdade de Engenharia Elétrica e de Computação (FEEC/UNICAMP), Departamento de Semicondutores, Instrumentos e Fotônica (DSIF/UNICAMP), Centro de Componentes Semicondutores (CCS/ UNICAMP), Instituto de Física "Gleb Wataghin" (IFGW/UNICAMP), Laboratório de Pesquisa em Dispositivos (LPD/UNICAMP);
- A Delft University of Technology (TUDelft), Laboratory of Electronic Components Technology and Materials (ECTM) e Delft Institute of Microsystems and Nanoelectronics (Dimes);

- A comunidade européia por participar do projeto "Disposable Dot Field Effect Transistor for High Speed Si Integrated Circuits" (projeto D-DotFET), Sixth Framework Programme;
- A minha supervisora Profa. Dra. Lis Nanver por me dar a oportunidade de trabalhar na TUDelft no grupo de integração de dispositivos de silício, pelas críticas construtivas durante e incentivo durante todo o projeto, avaliação, pela supervisão diária e pelas várias discussões proveitosas;
- Gostaria de agradecer a Profa. Dra. Lina Sarro e Dr. Kees Beenakker por seu esforço na gestão de um excelente ambiente no Dimes;
- Agradeço a toda equipe técnica e administrativa do Dimes. Para Silvana Milosavljevic e Tom Scholtes meus especiais agradecimentos;
- Gostaria de agradecer a tosos meus amigos e colegas da TUDelft. Principalmente para Dr.
   Vladimir Jovanovic, por sua ajuda e discussões durante o desenvolvimento do projeto;
- A todas Universidades envolvidas no projeto D-DotFET: Forschungszentrum Jülich (FZ Jülich
   Alemanha), Leibniz Institute for Solid State and Materials Research (IFW Dresden Alemanha), Johannes Kepler University (Linz Áustria), University of Milano (Bicocca- Itália), Technical University Wien (Áustria);
- A empresa STMicroelectronics (Grenoble França);
- Sou grato a meu amigo Fábio Cavarsan pelo apoio e amizade durante toda a pesquisa;
- Ao CNPq pelo apoio financeiro;
- Finalmente, gostaria de agradecer as inúmeras pessoas que de alguma forma contribuíram para que este trabalho pudesse ser realizado.

### RESUMO

Atualmente para atender à necessidade de fabricação dos sensores, dispositivos eletrônicos e circuitos integrados com dimensões micro e nanométricas, novos processo de custos e de thermal budgets reduzidos são necessários. Este trabalho apresenta o desenvolvimento de alguns destes novos processos alternativos para aplicação nesta fabricação. O trabalho está dividido em quatro partes: a primeira parte apresenta a obtenção e a caracterização de filmes isolantes de nitreto de silício para aplicação em microsensores, tais como o sensor de pressão. Estes filmes foram obtidos sobre substratos de Si em baixa temperatura (20°C) utilizando-se um reator de plasma do tipo ECR-CVD (Electron Cyclotron Resonance - Chemical Vapor Deposition). Normalmente reatores do tipo Low Pressure Chemical Vapor Deposition (LPCVD) ou Plasma Enhanced - CVD (PECVD) em temperaturas maiores que 600°C e 250°C, respectivamente, são utilizados para essa aplicação. A caracterização dos plasmas ECR, que foram usados para as deposições dos nitretos, e a fabricação de membranas suspensas com estes filmes são apresentadas. A segunda parte apresenta a fabricação e a caracterização de diodos p+-n fabricados em camada de SiGe crescida por LPCVD sobre substrato de Si. Processo este alternativo em substituição aos executados em reatores epitaxiais de alto custo. Na terceira parte deste trabalho, é apresentado o desenvolvimento de processos em baixa temperatura para aplicação em diodos e tecnologia MOS (Metal-Oxide-Semiconductor). São apresentadas a fabricação e a caracterização elétrica dos capacitores MOS, utilizando as tecnologias ALD (Atomic Layer Deposition) e ICP (Inductively Coupled Plasma) para a obtenção em baixa temperatura dos dielétricos high-k de Al<sub>2</sub>O<sub>3</sub> e SiON de porta MOS, respectivamente. Na quarta parte, são apresentadas também, a fabricação e a caracterização elétrica de diodos n<sup>+</sup>p utilizando a tecnologia de recozimento a laser. O desenvolvimento de capacitores MOS e diodos possibilitou a fabricação (usando processos em baixa temperatura (≤400°C)) de n- e p-MISFETs (Metal-Insulator-Semiconductor Field Effect Transistors), como também a fabricação de um protótipo de transistor MOS de alta velocidade baseado em silício germânio chamado D-DotFET (Disposable Dot Field Effect Transistor). Os processos alternativos desenvolvidos nesta tese apresentam um enorme potencial para aplicação nas próximas gerações de dispositivos CMOS (Complementary Metal Oxide Semiconductor) de dimensões sub-22 nm.

Palavras-chave: Microeletrônica, Baixas temperaturas, Laser, Nanotecnologia, Junções rasas.

### ABSTRACT

Nowadays, to attend the needs of the fabrication of sensors, electronic devices and integrated circuits with dimensions of micro and nanometrics, new processes of reduced costs and thermal budgets are needed. This work presents the development of some of these alternative processes for this fabrication. This work is divided in four parts: the first part presents the synthesis and characterization of insulating films of silicon nitride for application in microsensors, such as pressure sensors. These films were deposited on Si substrates at low temperature (20°C) using an ECR-CVD (Electron Cyclotron Resonance - Chemical Vapor Deposition) plasma reactor. Normally, Low Pressure Chemical Vapor Deposition (LPCVD) or Plasma Enhanced CVD - (PECVD) reactors are used for this application with high temperature process higher than 600°C and 250°C, respectively. The characterization of ECR plasmas, which were used to get the silicon nitrides, and the fabrication of suspended membranes based on these nitrides are presented. The second part presents the fabrication and the characterization of p+-n silicon germanium (SiGe) diodes fabricated on SiGe layers, which were grown by LPCVD on Si substrate. The grown of SiGe layers by LPCVD is an alternative process to replace the high cost of epitaxial reactors. In the third part of this work is presented the development of low-temperature processes for application in diodes and MOS (Metal-Oxide-Semiconductor) technology. The fabrication at low temperature and electrical characterization of MOS capacitors, using technologies as: ALD (Atomic Layer Deposition) and ICP (Inductively Coupled Plasma) to get the Al<sub>2</sub>O<sub>3</sub> and SiON high-k gate dielectrics of MOS capacitors are presented, respectively. In the four part, the fabrication and electrical characterization of n+-p diodes using the process of laser annealing are presented as well. The development of MOS capacitors and diodes have become feasible the fabrication (using processes at low temperature ( $\leq 400^{\circ}$ C)) of n- and p-MISFETs (Metal- Insulator -Semiconductor Field Effect Transistors) and also the fabrication of a high speed MOS transistor prototype based on silicon germanium named D-DotFET (Disposable Dot Field Effect Transistor). In conclusion, the alternative processes developed in this thesis have shown to be a huge potential for application in next generations of CMOS (Complementary Metal Oxide Semiconductor) devices with sub- 22 nm dimensions.

Keywords: Microelectronics, Low temperatures, Laser, Nanotechnology, Shallow Junctions.

# SUMÁRIO

CAPÍTULO 1- INTRODUÇÃO	1
1.1- Objetivo da Tese	1
1.2 –Motivação para estudar os processos alternativos	4
1.3- Composição da Tese	6

CAPÍTULO 2 - PROCESSOS ALTERNATIVOS PARA MICRO E	
NANOTECNOLOGIA	9
2.1- O processo de deposição por ECR-CVD de SiN <sub>x</sub> para aplicação em sistemas	
microeletromecânicos	9
2.1.1 - Sistemas microeletromecânicos	9
2.1.2- Nitreto de silício	11
2.1.3- ECR-CVD	13
2.2- Os processos alternativos para a obtenção de dielétricos <i>high-k</i> de Al <sub>2</sub> O <sub>3</sub> e SiON e	
de junçãos rasas para o desenvolvimento da tecnologia CMOS	14
2.2.1 – O escalamento da tecnologia CMOS e a necessidade de novos materiais e	
de processos de fabricação	15
2.2.2- Materiais dielétricos <i>High-k</i> utilizados neste trabalho	20
2.2.2.1- Oxinitreto de silício	20
2.2.2.2- Óxido de alumínio	21
2.2.3- Métodos alternativos (ALD e ICP) para obtenção de dielétricos High-k	
utilizados neste trabalho	21
2.2.3.1- Deposição filmes por camada atômica	22
2.2.3.2- Plasma com acoplamento indutivo	26
2.2.4- Necessidade de junções rasas na região de fonte e dreno em transistores	
MOS	27

2.2.5- Processo alternativo de recozimento a laser para obtenção de junções	
rasas	29
2.3- O processo alternativo (LPCVD-vertical) de obtenção de camadas de SiGe para a	
tecnologia de dispositivos de silício germânio	31
2.3.1- Germânio	31
2.3.2- Algumas aplicações dos filmes de SiGe	32
2.3.3- Crescimento epitaxial	36
2.3.4- LPCVD-vertical para obtenção de camadas de SiGe	39
2.3.4.1- Obtenção das camadas de SiGe pelo sistema LPCVD-	
vertical	41

CAPÍTULO 3- PROCEDIMENTO EXPERIMENTAL	43
3.1- Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de $Si_3N_4$	
para aplicação em tecnologia MEMS	43
3.2 – Deposição de filmes de SiGe em sistema LPCVD-vertical	45
3.2.1- Reator LPCVD-vertical	45
3.2.1.1- Limpeza da câmara LPCVD	46
3.2.2- Obtenção das camadas de SiGe	47
3.3 - Deposição de filmes de Al <sub>2</sub> O <sub>3</sub> por camada atômica (ALD) e oxinitretação do Si	
por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de	
dispositivos MOS	48
3.3.1 – Fabricação de Capacitores Metal-Insulator-Semiconductor (MIS), tendo	
como dielétricos de porta os filmes de SiON e de Al <sub>2</sub> O <sub>3</sub>	48
3.3.1.1 - Processo de fabricação dos capacitores MIS	48
3.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores	
MOS	51
3.4.1 - Sistema de recozimento a laser	51
3.4.1.1 - Camada refletiva para recozimento a laser	51
3.4.2 - Transistores MIS com fonte e dreno recozidos a laser	52
3.4.2.1 - Processo de fabricação dos MISFETs	52

CAPÍTULO 4- RESULTADOS EXPERIMENTAIS E DISCUSSÕES	59
4.1- Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de	
Si <sub>3</sub> N <sub>4</sub> para aplicação em tecnologia MEMS	59
4.1.1- Análise de plasma	59
4.1.2- Análise dos filmes e fabricação de estruturas suspensas	61
4.2- Deposição de filmes de SiGe em sistema LPCVD-vertical	66
4.2.1 - Caracterização física dos filmes de SiGe	66
4.2.2 - Fabricação e caracterização elétrica dos diodos	67
4.2.3 - Crescimento de SiGe com outros parâmetros	72
4.3- Deposição de filmes de Al <sub>2</sub> O <sub>3</sub> por camada atômica (ALD) e oxinitretação do Si	
por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de	
dispositivos MOS	75
4.3.1- Caracterização elétrica dos capacitores MIS	75
4.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores	
MOS	78
4.4.1- Integridade das máscaras refletivas de alumínio	78
4.4.2- Fabricações de junções n⁺p auto-alinhadas	80
4.4.3 - Caracterização dos transistores MIS	87
4.3.4- Caracterização elétrica dos transistores MIS	87
4.3.5- Caracterização física dos transistores MIS	95

CAPÍTULO 5- CONCLUSÕES E PERSPECTIVAS FUTURAS	101
5.1 - Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de	
Si <sub>3</sub> N <sub>4</sub> para aplicação em tecnologia MEMS	101
5.2 - Deposição de filmes de SiGe em sistema LPCVD-vertical	102
5.3 - Deposição de filmes de Al <sub>2</sub> O <sub>3</sub> por camada atômica (ALD) e oxinitretação do Si	
por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de	
dispositivos MOS	103
5.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores	
MOS	103

5.5 – Perspectivas futuras	107
Anexo A - FABRICAÇÃO DE MÁSCARAS	111
Anexo B – LISTA DE PUBLICAÇÔES	112

REFERÊNCIAS BIBLIOGRÁFICAS	115
Referências bibliográficas do Capítulo 1	115
Referências bibliográficas do Capítulo 2	116
Referências bibliográficas do Capítulo 3	127
Referências bibliográficas do Capítulo 4	131
Referências bibliográficas do Capítulo 5	134

### LISTA DE FIGURAS

- Figura 1.1: Seção transversal do transistor D-DotFET com dot de SiGe utilizando "buraco semente" em substrato de silício. A região de porta é localizada sobre o dot de SiGe onde a tensão do filme de silício é alta. O *dot* pode ser removido em algum estágio do processamento.
- Figura 2.1: Diagrama esquemático do sistema ECR.
- Figure 2.2: Seção transversal de um dispositivo (a) n-MOSFET e (a) p-MOSFET.
- Figure 2.3: Seção transversal de um dispositivo utilizando tecnologia CMOS onde MOS de canal p e canal n são fabricados em um mesmo substrato. Técnica de *Shallow Trench Insulation* é utilizada em atuais processos CMOS, isolando os dispositivos.
- Figura 2.4: A evolução dos processadores Intel<sup>®</sup> e a tecnologia associada exemplificando a lei de Moore [21].
- Figura 2.5: Desafios para tecnologia planar de dispositivos MOSFET [24].
- Figura 2.6: Diagrama esquemático do sistema ALD.
- Figura 2.7: Esquemático de um ciclo de deposição.
- Figura 2.8: Reações químicas (das letras a até g) durante o processo de deposição de Al<sub>2</sub>O<sub>3</sub> por ALD em substrato de Si. Adaptado de [54].
- Figura 2.9: Esquemático de um reator ICP.
- Figura 2.10: Regiões de depleção de fonte e de dreno de um transistor n-MOS [59].
- Figura 2.11: Aumento da região de depleção de dreno devido ao aumento do potencial aplicado no dreno [59].
- Figura 2.12: Esquemático do sistema de laser Exitech M8000V, onde M1-M12 são espelhos e LS1-LS2 são lentes [72].
- Figura 2.13: Estrutura do Si, do Ge e da estrutura de SiGe epitaxial crescida sobre o substrato de Si [80].
- Figura 2.14: Discordância tipo *misfit* na interface Si/ SiGe [80].
- Figura 2.15: Discordância tipo *threading* na camada de SiGe [80].
- Figura 2.16: Camada de Si tensionada sobre SiGe relaxado [80].
- Figura 2.17: Imagem TEM de dispositivo MOS utilizando Si/SiGe [80].

- Figura 2.18: Estrutura de um dispositivo CMOS onde é utilizado o Si tensionado na região de canal [88].
- Figura 2.19: Estrutura de dispositivo CMOS utilizando SiGe epitaxial na fonte e dreno de transistor p-MOS [89].
- Figura 2.20: Imagem SEM de um transistor p-MOS com SiGe na região de fonte e dreno crescido por epitaxia. O SiGe utilizado na região de fonte e dreno provoca um estresse compressivo no canal do transistor que melhora a mobilidade do portador (a) [89] e (b) [88].
- Figura 2.21: Câmara do reator Epitaxial Vertical (a) Foto do Reator em funcionamento (b) Esquema interno da câmara de reação [97].
- Figura 2.22: Sistema de fluxo de gases na câmara do reator [98].
- Figura 3.1: Amostra com SiGe-epi por LPCVD vertical.
- Figura 3.2: Fluxograma básico do processo de fabricação dos capacitores.
- Figura 3.3: *Layout* do transistor MIS a ser fabricado.
- Figura 3.4: Configuração de energia da radiação de laser aplicada no recozimento de fonte e dreno dos dispositivos MISFETs.
- Figura 3.5: Principais etapas do processo de fabricação dos dispositivos n-MISFETs.
- Figura 4.1: Intensidade de espectros normalizados para espécies Si, H, NH e N<sub>2</sub> a diferentes pressões.
- Figura 4.2: Espectro FTIR dos filmes de nitreto de silício para diferentes fluxos de N<sub>2</sub>.
- Figura 4.3: Fluxograma para fabricação das membranas suspensas. (1) limpeza do substrato de Si pelo processo RCA, (2) deposição dos filmes de SiN por ECR-CVD, (3) aplicação de fotorresiste, (4) litografia, (5) corrosão do SiN por RIE, (6) remoção do fotorresiste, (7) corrosão do Si em solução de KOH.
- Figura 4.4: Imagens SEM das membranas suspensas com filmes de nitreto de silício fabricadas em substratos de Si utilizando 0,67 Pa, 5W RF, e 5 sccm de N<sub>2</sub>.
- Figura 4.5: Estrutura Poli-Cristalina No eixo 2θ, os ângulos 28°, 47° e 57° são correspondentes às orientações (111), (220) e (311), respectivamente.
- Figura 4.6: Processo de fabricação dos diodos. (a) crescimento da camada de SiGe, implantação de boro, recozimento por RTA, (b) deposição de Al, litografia, corrosão por RIE, (c) deposição de Al na parte inferior da lâmina de Si.

- Figura 4.7: (a) Diodos de SiGe fabricados, (b) diodo escolhido para análise e corrosão realizada por FIB, (c) análise de espessura das camadas: 792,99nm de SiGe e 674,04nm de Al.
- Figura 4.8: Curva I-V dos diodos fabricados com camada de SiGe crescida a (a) 800oC, (b) 900°C e (c) 1000°C.
- Figura 4.9: Gráficos I-V dos diodos fabricados com camada de SiGe crescida a (a) 800oC,
  (b) 900°C e (c) 1000°C.
- Figura 4.10: Imagem FIB das amostras de SiGe conforme processos da (a) Tabela 4.2 e (b) Tabela 4.3.
- Figura 4.11: Característica C-V do capacitor com dielétrico de Al2O3 depositado por ALD a 300oC. Capacitores de 200 μm × 200 μm de área.
- Figure 4.12: Característica C-V de capacitor com dielétrico de SiON crescidos por ICP a 250oC. Capacitores de 800 μm × 800 μm de área.
- Figure 4.13: Característica C-V do capacitor com dielétricos SiON crescidos por ICP a 250°C e ALD Al<sub>2</sub>O<sub>3</sub> depositado a 300°C. Capacitores de 200 μm × 200 μm de área.
- Figura 4.14: Estruturas fabricadas para teste de Al como máscara refletiva. Estrutura (a) 100nm Al / 300 nm SiO<sub>2</sub> LPCVD / 30 nm SiO<sub>2</sub> térmico e estrutura (b) 150 nm Al / 15 nm SiO<sub>2</sub> térmico.
- Figura 4.15: Imagens da camada refletiva de Al sob várias energias de laser. Evaporação de Al ocorre nas bordas das estruturas devido ao óxido espesso. Evaporação de borda é aumentada conforme a energia do laser aumenta (a) [17]. Imagem SEM de linhas de Al 150nm sobre 15nm de óxido térmico após o recozimento. Nenhuma evaporação de Al é observada (b) [18].
- Figura 4.16: Processo de fabricação de diodos p<sup>+</sup>n e n<sup>+</sup>p.
- Figura 4.17: Processo de corrosão da janela de contato (canto direito) durante o processo de fabricação. (a) janela de contato após a corrosão seca (alta seletividade com Si), (b) corrosão em BHF (1:7), implantação e recozimento a laser. Primeiro alargamento da janela de contato na direção lateral, (c) imersão em HF (0,55%) e metalização. Segundo o alargamento da janela de contato na direção lateral.
- Figura 4.18: Imagem TEM do lado direito da janela de contato dos diodos fabricados.

- Figura 4.19: Perfil SIMS das regiões implantadas e recozidas a 100mJ/cm<sup>2</sup> em três ângulos diferentes: 7°, 30° e 45°. Maior inclinação ângulos reduz a profundidade da junção, a um custo de perda de dose de implantação (devido a uma maior refexão na superfície).
- Figura 4.20: Média da resistência de folha de uma amostra recozida a laser e implantadas a 5keV, 10<sup>15</sup> cm<sup>-2</sup>, ângulos de implantação: 7º, 30º e 45º versus a densidade de energia do laser.
- Figura 4.21: Imagem TEM de uma junção n<sup>+</sup>p recozida a laser a uma energia de 1000mJ/cm<sup>2</sup> e implantação de As a um ângulo de 45°. Profundidade de junção de 13nm pode ser observada.
- Figura 4.22: Características I-V de diodos n<sup>+</sup>p auto-alinhados e recozidos a lazer a 900mJ/cm<sup>2</sup>.
- Figura 4.23: (a) Características I-V dos diodos p<sup>+</sup>n auto-alinhados (40 x 40μm<sup>2</sup>) recozidos a laser em diferentes energias. (b) Inclinação das curvas em polarização direta versus energia do laser [21].
- Figure 4.24: Curvas da característica de saída  $I_D$  versus  $V_{DS}$  dos dispositivos n and p-MISFETs com comprimento de porta de 6µm com fonte e dreno recozidos a laser a 1050mJ/cm<sup>2</sup> e implantados a (a) 7°, (b) 30° e (c) 45°. A largura de porta foi fixada em 20µm.
- Figura 4.25:  $I_D$  versus o comprimento de canal para transistores n-MISFETs com implantação de 30° e recozimento a laser variando entre 750 mJ/cm<sup>2</sup> e 1050 mJ/cm<sup>2</sup>.
- Figure 4.26: Curva  $I_D$  versus densidade de energia do laser para dispositivos n-MISFETs com valor fixos de  $V_G$ = 5V e  $V_{DS}$ = 8V implantados a (a)7°, (b) 30° e (c) 45°.
- Figure 4.27: Curva ID versus densidade de energia do laser para dispositivos p-MISFETs com valor fixos de  $V_G$ = -5V e  $V_{DS}$ = -8V implantados a (a) 7°, (b) 30° e (c) 45°.
- Figure 4.28:  $I_D$  versus  $V_{GS}$  e log  $I_D$  versus  $V_{GS}$  de n e p-MISFETs com comprimento de porta de 6µm, com fonte e dreno recozidos a laser a 1050mJ/cm<sup>2</sup> implantados a 7°, 30° and 45°. A largura de porta foi fixada em 20µm.
- Figura 4.29: Imagem TEM do empilhamento de porta com dielétrico de porta de 12nm ICP-SiON.
- Figura 4.30: Imagem TEM da região de junção de fonte e dreno (*Xj*).

- Figura 4.31: Seção transversal dos dispositivos (a) n-MISFET e (b) p-MISFET, L= 3μm e W= 20μm. Região de fonte e dreno foram recozidos a laser em uma densidade de energia de 1000mJ/cm<sup>2</sup>.
- Figura 4.32: Imagens TEM dos dispositivos n e p-MISFETs (L= 3μm) recozidos em densidade de energia de laser de 1000 mJ/cm<sup>2</sup>. Al (metal de porta) continua presente e sem danos após o recozimento a laser. Uma incompleta recristalização pode ser verificada próxima ao empilhamento de porta (regiões marcadas).
- Figura A1: Layout das máscaras projetadas para a fabricação dos dispositivos.

### LISTA DE TABELAS

- Tabela 2.1: Parâmetros dos dispositivos CMOS citados no *International Technology Roadmap for Semiconductors* 2009 [22].
- Tabela 2.2: Propriedades de possíveis dielétricos de porta com alta constante dielétrica em substituição ao SiO<sub>2</sub> [29].
- Tabela 2.3: Vantagens e desvantagens dos reatores VPE, LPE, MBE e MOVPE.
- Tabela 3.1: Parâmetros e valores na deposição dos filmes de nitreto de silício.
- Tabela 3.2: Processo de limpeza da câmara do Reator e preparação da lâmina de Si.
- Tabela 3.3: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD. [15].
- Tabela 3.4: Fluxo de processo detalhado para fabricação de n e p-MISFETs.
- Tabela 4.1: Medidas elipsométricas dos filmes de nitreto de silício depositados a diferentes parâmetros de processo.
- Tabela 4.2: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD com pressão do processo de 5 Torr, fluxo de GeH<sub>4</sub> de 4 sccm e SiH<sub>4</sub> 20 sccm.
- Tabela 4.3: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD com pressão do processo de 10 Torr, fluxo de GeH<sub>4</sub> de 8 sccm e SiH<sub>4</sub> 40 sccm.
- Tabela 4.4: Parâmetros extraídos pelas medidas C-V e I-V.
- Tabela 4.5: Resumo das implantações de arsênico em baixa energia. A média dos resultados de resistência de folha é apresentada.
- Tabela 4.6: Resumo das medidas e cálculos realizados em dispositivos MISFETs (média).

# LISTA DE SÍMBOLOS, SIGLAS E ABREVIATURAS

Al - Alumínio

Al<sub>2</sub>O<sub>3</sub> - Alumina ALD - Atomic Layer Deposition ALE - Atomic Layer Epitaxy AlN - Nitreto de Alumínio Ar - Argônio BF<sub>2</sub> - Diflureto de Boro BHF - Ácido Fluorídrico Tamponado **CI's - Circuitos Integrados CMOS** - Complementary Metal-Oxide-Semiconductor C-V - Corrente versus Tensão **CVD** - Chemical Vapor Deposition **DIBL - Drain Induced Barrier Lowering Dimes - Delft Institute of Microsystems and Nanoelectronics** Dit - Interface Trap Level Density ECR- CVD – Electron Cyclotron Resonance – Chemical Vapor Deposition ELA – Excimer Laser Annealing **EOT - Equivalent Oxide Thickness** FIB - Focused Ion Beam FTIR - Fourier Transform Infrared FWHM - Full Width at Half Maximum GaAs - Arseneto de Gálio Ge - Germânio GeH<sub>4</sub>- Germana gm - Transcondutância H - Hidrogênio HBT - Heterojunction Bipolar Transistor HCl - Ácido Clorídrico HF - Ácido Fluorídrico

HfO<sub>2</sub> - Dióxido de Háfnio **ICP** - Inductively Coupled Plasma I<sub>D</sub> - Corrente de Dreno InGaAs – Arseneto de Gálio e Índio Ion/Ioff - Taxa de Corrente **ITRS - International Technology Roadmap for Semiconductors** I-V - Corrente versus Tensão KOH - Hidróxido de Potássio L - Comprimento de Canal LOCOS - Local Oxidation of Silicon LPCVD - Low Pressure Chemical Vapor Deposition LPE - Liquid Phase Epitaxy **MBE -** Molecular Beam Epitaxy **MEMS** – Micro Electro Mechanical Systems **MIS - Metal-Insulator-Semiconductor MOCVD** - Metal Organic Chemical Vapor Deposition **MOS** - Metal - Oxide - Semiconductor **MOSFETs - Metal-Oxide Semiconductor Field Effect Transistors MOVPE - Metal Organic Vapour Phase Epitaxy NEMS -** Nano Electro mechanical Systems NF<sub>3</sub> - Trifluoreto de Nitrogênio NH<sub>3</sub> - Amônia N<sub>2</sub> - Nitrogênio **OES - Optical Emission Spectroscopy PECVD - Plasma Enhancement Chemical Vapor Deposition RF - Rádio Frequência RIE - Reactive Ion Etching** RLC – Resistivo-Indutivo-Capacitivo Rs - Resistência de Folha **RTA - Rapid Thermal Annealing** S - Inclinação da Curva do Transistor na Região Sublimiar

- SEM Scanning Electron Microscopy
- SF<sub>6</sub> Hexafluoreto de Enxofre

Si - Silício

- Si<sub>3</sub>N<sub>4</sub> Nitreto de Silício
- SiCl<sub>2</sub>H<sub>2</sub> Dicloro Silana
- SiGe Silício Germânio
- SiH<sub>4</sub> Silana
- SIMS Secondary Ion Mass Spectrometry
- SiO<sub>2</sub> Dióxido de Silício
- SiON Oxinitreto de Silício
- **SON** Silicon on Nothing
- Si-Poli Silício Policristalino
- **STI Shallow Tranch Insulator**
- **TEM Transmission Electron Microscopy**
- TaN Nitreto de Tântalo
- TiN Nitreto de Titânio
- TiO<sub>2</sub> Dióxido de Titânio
- TMA -Trimetilalumínio
- **TUDelft Delft University of Technology**
- UHV Ultra-High-Vacuum
- **USJ Ultra Shallow Junction**
- V<sub>DS</sub> Tensão Dreno/Fonte
- V<sub>G</sub> Tensão de Porta
- V<sub>GS</sub> Tensão Porta/Fonte
- VPE Vapor-Phase Epitaxy
- Vt Tensão de Limiar
- W Largura de Canal
- Xj Profundidade de Junção
- XRD X-Ray Diffraction
- η Índice de Refração
- $\lambda$  Comprimento de Onda

### **CAPÍTULO 1**

### INTRODUÇÃO

#### 1.1- Objetivos da tese

Os objetivos desta tese são desenvolver processos alternativos executados em sistemas de mais baixo custo (tais como, o custo de reatores *Low Pressure - Chemical Vapor Deposition* (LPCVD) quando comparado com o alto custo de reatores epitaxiais) ou em sistemas com *thermal budget* reduzidos para aplicação em micro e nanotecnologia sobre substratos de Si. São considerados processos com pacotes térmicos reduzidos aqueles que são executados em baixas temperaturas, menores que 400°C, ou em altas temperaturas, mas com tempo reduzido (menor que 1 minuto). Vale salientar que processos executados com pacotes térmicos reduzidos são primordiais para a continuação do escalamento da tecnologia *Complementary Metal-Oxide-Semiconductor* (CMOS) para atingir nós tecnológicos com dimensões sub-22 nm e para tornar a tecnologia *Micro Electrical-Mechanical System* (MEMS) em *Nano Electrical-Mechanical System* (NEMS). Estes processos são:

### 1) <u>Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de $Si_3N_4$ </u> para aplicação em tecnologia MEMS.

Filmes de nitreto de silício (Si<sub>3</sub>N<sub>4</sub>) para aplicação em sistemas microeletromecânicos são normalmente depositados por LPCVD ou *Plasma Enhanced - CVD* (PECVD) em temperaturas maiores que 600°C e 250°C, respectivamente [1-3]. Para essa aplicação, esta tese apresenta a obtenção de filmes de nitreto de silicio em baixa temperatura, de 20°C, utilizando um reator de plasma do tipo *Electron Cyclotron Resonance – CVD* (ECR-CVD). As composições dos plasmas utilizados nas deposições dos filmes de Si<sub>3</sub>N<sub>4</sub> foram obtidas utilizando-se a espectroscopia por emissão óptica (*Optical Emission Spectroscopy* (OES)). A caracterização dos filmes de Si<sub>3</sub>N<sub>4</sub> foi obtida utilizando-se as seguintes técnicas: a elipsometria, que determina a espessura, a uniformidade, a taxa de deposição/corrosão e o índice de refração dos filmes; a perfilometria, que determina a espessura, a uniformidade, a taxa de deposição e as taxas de corrosão em soluções de hidróxido de potássio (KOH) e de ácido fluorídrico (*buffered* HF (BHF)); e a espectroscopia no infravermelho por transformada de Fourier (*Fourier Transform Infrared* (FTIR)), que analisa as ligações químicas e a incorporação de hidrogênio. Para estudar a viabilidade destes filmes em tecnologia MEMS foram fabricadas estruturas suspensas de Si<sub>3</sub>N<sub>4</sub>, que foram analisadas pela técnica de microscopia eletrônica de varredura (*Scanning Electron Microscopy* (SEM)). Os resultados sobre as composições dos plasmas, as características físicas dos filmes e as estruturas suspensas fabricadas foram relacionados e permitem entender a dinâmica do processo de deposição ECR-CVD em temperatura de 20°C.

#### 2) Deposição de filmes de SiGe em sistema LPCVD vertical.

Normalmente, para o crescimento de filmes de silício germânio (SiGe) sobre substrato de Si utilizam-se reatores epitaxiais de alto custo e baixa produtividade. A proposta é desenvolver um processo simples de obtenção de camadas de SiGe em reator do tipo LPCVD vertical de baixo custo e de maior produtividade do que os reatores epitaxiais. Os filmes de SiGe obtidos foram caracterizados por difração de raio-x (X-Ray Diffraction (XRD)), que é uma técnica para a análise qualitativa e quantitativa dos materiais cristalinos. Estruturas formadas por SiGe/Si foram introduzidas em um sistema de feixes de elétrons, usado para microscopia SEM, e de íons de gálio focalizados (Focused Ion Beam (FIB)), usado para remover a camada de SiGe até alcançar o substrato de Si. Com a análise SEM, nesta região de camada removida, foi possível visualizar a interface entre o filme de SiGe e o substrato de Si, a espessura e a superfície do filme de SiGe. Para verificar a viabilidade destes filmes para aplicações em células solares e em regiões de fonte/dreno de transistores *Metal-Oxide-Semiconductor* (MOS), foram fabricados diodos de junções p<sup>+</sup> (de SiGe)/n (substrato de Si). Todos os diodos foram caracterizados eletricamente por medidas de corrente-tensão (I-V). Os resultados provenientes das análises de XRD, SEM e I-V foram relacionados para verificar a viabilidade do uso deste processo em tecnologia CMOS e de célula solar.

### <u>Deposição de filmes de Al<sub>2</sub>O<sub>3</sub> por camada atômica (ALD) e oxinitretação do Si por</u> plasma ICP em baixa temperatura para aplicação como dielétrico de porta de <u>dispositivos MOS.</u>

A deposição por camada atômica (*Atomic Layer Deposition* (ALD)) vem sendo empregada para obtenção de filmes de óxido de alumínio (Al<sub>2</sub>O<sub>3</sub>) para aplicação como dielétrico de porta em tecnologia CMOS baseada em Si ou em dispositivos n-MOS baseada em arseneto de gálio e índio (InGaAs) [4-6]. A oxinitretação do Si por plasma *Inductive Coupled Plasma* (ICP), executada em baixa temperatura ( $250^{\circ}$ C), para obtenção de filmes de oxinitreto de silício (SiON) para aplicação como dielétrico de porta de dispositivos MOS é um processo pouco estudado [7,8]. Neste contexto, esta tese apresenta um processo de deposição de filmes de Al<sub>2</sub>O<sub>3</sub> por ALD em temperatura  $\leq 400^{\circ}$ C e oxinitretação de Si por ICP que serão utilizados como dielétricos na fabricação de capacitores MOS. Os Capacitores fabricados foram caracterizados por medidas de capacitância-tensão (C-V), sendo extraídas as densidades de carga efetiva e de interface, a constante dielétrica, a espessura dos filmes e, por medidas de I-V, sendo extraída a corrente de fuga pelo dielétrico. A tensão de ruptura não foi analisada. Os resultados provenientes das análises C-V e I-V foram relacionados para verificar a viabilidade do uso deste processo em tecnologia CMOS.

#### 4) <u>Recozimento a laser para obtenção de junções rasas em diodos e transistores MOS.</u>

Nos últimos anos, processos a laser estão sendo muito utilizados para a obtenção de junções ultra-rasas para tecnologias sub-45 nm CMOS e é uma técnica promissora na fabricação de dispositivos nanoeletrônicos em substituição aos atuais processos térmicos rápidos [9]. As junções obtidas com o recozimento a laser (*Excimer Laser Annealing* (ELA)) foram caracterizadas fisicamente utilizando *Secondary Ion Mass Spectrometry* (SIMS), para verificar a profundidade de junção e concentração de dopantes, e as imagens de *Scanning* (SEM) e *Transmission* (TEM) *Electron Microscopy*, para verificar a superfície e a estrutura cristalina das junções, respectivamente. Medidas I-V em diodos e transistores fabricados com estas junções foram extraídas, obtendo-se alguns importantes parâmetros elétricos, tais

como corrente de fuga e fator de idealidade. Os resultados provenientes das análises SIMS, SEM, TEM, C-V e I-V foram relacionados para verificar a viabilidade do uso deste processo em tecnologia CMOS.

#### 1.2 – Motivação para estudar os processos alternativos

Esta tese de doutorado teve início em 2005 com a continuação dos trabalhos desenvolvidos durante o Mestrado (Dissertação de Título "Obtenção e Caracterização de Filmes Finos de Óxido, Nitreto e Oxinitreto de Silício por Deposição ECR-CVD") na obtenção e caracterização de filmes de nitreto de silício utilizando reator ECR-CVD para aplicação em MEMS em substituição aos reatores normalmente utilizados para este tipo de aplicação como reatores do tipo LPCVD ou PECVD que utilizam temperaturas maiores que 600°C e 250°C. respectivamente. Além de filmes de nitreto de silício depositados por ECR-CVD, iniciou-se também a obtenção de filmes de silício germânio para fabricação de dispositivos microeletrônicos por LPCVD do tipo vertical. Normalmente, filmes de SiGe são crescidos por reatores epitaxiais de alto custo. No ano de 2007 os trabalhos foram continuados na Delft University of Technology (TUDelft) participando de um projeto da Comunidade Européia de nome "Disposable Dot Field Effect Transistor for High Speed Si Integrated Circuits", referido como o projeto D-DotFET. A participação neste projeto teve como objetivo desenvolver processos alternativos em baixa temperatura ( $\leq 400^{\circ}$ C) na solicitação de aumentar a mobilidade de portadores no canal de transistores MOS utilizando silício tensionado por dots de silício germânio localizados logo abaixo da região do canal (Figura 1.1). O enorme sucesso dos dispositivos MOS utilizando silício tensionado e o grande interesse das indústrias em novas tecnologias realçam o desenvolvimento destes dispositivos em escala industrial. Assim, no primeiro ano do projeto D-DotFET em Delft, o trabalho foi concentrado no estabelecimento de um fluxograma compatível com a indústria microeletrônica. Este trabalho também recebeu o apoio da STMicroelectronics-França, colaborador ativo do projeto, onde o processo Silicon-on-Nothing (SON) foi inventado e continua em desenvolvimento, e de outras universidades da Comunidade Européia. O fluxograma do processo de fabricação do D-DotFET estão muito relacionados com os dipositivos SON fabricados na indústria. Este projeto necessitou o
desenvolvimento de técnicas de processamento de circuitos integrados compatíveis com o projeto solicitado.

Como o desenvolvimento do projeto D-DotFET envolveu muitas etapas de fabricação e muitos equipamentos, neste caso muitas universidades foram envolvidas. Globalmente o trabalho foi dividido da seguinte forma:

- Forschungszentrum (FZ Jülich Alemanha): crescimento epitaxial dos *dots* de SiGe e silício (Si) tensionado por *Molecular Beam Epitaxy* (MBE) e *CVD*, e litografia por feixe de elétrons,
- Leibniz Institute for Solid State and Materials Research (IFW Dresden Alemanha): crescimento epitaxial dos *dots* de SiGe e Si tensionado por MBE e CVD,
- Johannes Kepler University (Linz Austria): crescimento epitaxial dos *dots* de SiGe e Si tensionado por MBE e CVD, e análise dos *dots* de SiGe,
- University of Milano (Bicocca Italia): modelamento teórico dos *dots* de SiGe e Si tensionado,
- Technical University Wien (Austria): Simulações do dispositivo,
- STMicroelectronics (Grenoble França): consultor tecnológico, experts em tecnologia SON,
- Delft University of Technology (Delft Institute of Microsystems and Nanoelectronics Dimes / Holanda): desenvolver fluxograma de processo, fabricação de máscaras (ver Anexo A), fabricação do dispositivo, caracterização física dos materiais envolvidos no processo e caracterização elétrica dos dispositivos fabricados.

Nesta tese serão apresentados os processos de fabricação MOS em baixa temperatura que levaram ao sucesso do desenvolvimento de transistors DotFETs. No desenvolvimento destes transistores, foram utilizados *dots* de silício germânio juntamente com silício tensionado (*strained silicon*) para se aumentar a mobilidade de portadores na região de canal. O *dot* pode ser removido em algum estágio do processamento para melhorar a dissipação térmica do dispositivo. O processo de fabricação, caracterização física e elétrica do dispositivo DotFET está publicado no livro " *DotFETs: MOSFETs Strained by a Single SiGe Dot in a Low-Temperature ELA* 

*Technology*" – tese de doutorado apresentada na TUDelft-Holanda em Outubro de 2011. Uma lista de publicações esta apresentada no Anexo B.



Figura 1.1: Seção transversal do transistor D-DotFET com *dot* de SiGe utilizando "buraco semente" em substrato de silício. A região de porta é localizada sobre o *dot* de SiGe onde a tensão do filme de silício é alta. O *dot* pode ser removido em algum estágio do processamento.

### 1.3- Composição da Tese

Esta tese de doutorado foi dividida em cinco capítulos. A seguir apresenta-se uma descrição sumária dos capítulos que a compõe.

**O CAPÍTULO 1 - INTRODUÇÃO** apresenta os objetivos do trabalho e a motivação para o desenvolvimento de processos alternativos (ECR-CVD, LPCVD-vertical, ALD, oxinitretação do Si por plasma ICP e recozimento por ELA);

CAPÍTULO 0 2 -PROCESSOS **ALTERNATIVOS** PARA **MICRO** e NANOTECNOLOGIA apresenta brevemente os sistemas microeletromecânicos, a utilização de filmes de nitreto de silício nestes sistemas depositados por plasma ECR-CVD em temperatura ambiente, necessidades futuras para o escalamento dos dispositivos CMOS e desempenho, dispositivos de silício-germânio para tecnologias futuras e método alternativo para obtenção de filmes de SiGe, materiais dielétricos de alta constante dielétrica (high-k), processos alternativos para obtenção de materiais dielétricos de high-k, métodos alternativos para obtenção de junções rasas, necessidade de junções rasas na região de fonte e dreno em transistores MOS;

**O CAPÍTULO 3 - PROCEDIMENTO EXPERIMENTAL** apresenta as condições de preparação da amostra e os parâmetros de processo para a obtenção dos filmes de nitreto de silício por ECR-CVD e silício-germânio por LPCVD, processo de fabricação de capacitores *Metal-Insulator-Semiconductor* (MIS) utilizando *Atomic Layer Deposition* e/ou *Inductively Coupled Plasma*, fabricação de diodos utilizando as técnicas de implantação iônica em baixa energia e recozimento a laser, caracterização física e elétrica, fabricação de transistores n-MOS e p-MOS utilizando processos em baixa temperatura ( $\leq 400^{\circ}$ C). Na fabricação dos transistores MOS filmes de SiON crescidos por ICP foram utilizados como dielétricos de porta. Recozimento a laser foi utilizado para ativação de dopantes na região de fonte e dreno e obtenção junções rasas. Caracterizações físicas e elétricas foram realizadas;

**O CAPÍTULO 4 - RESULTADOS EXPERIMENTAIS E DISCUSSÕES** apresenta os resultados e discussões da caracterização dos filmes de nitreto e de silício-germânio. A caracterização de diodos, capacitores e transistores MIS utilizando os processos alternativos;

O CAPÍTULO 5 - CONCLUSÕES E PERSPECTIVAS FUTURAS apresenta as conclusões dos resultados de caracterização dos filmes e dispositivos fabricados por processos alternativos e as perspectivas futuras.

# **CAPÍTULO 2**

# PROCESSOS ALTERNATIVOS EM MICRO E NANOTECNOLOGIA

Neste capítulo serão apresentadas as tecnologias baseadas em micro e nanofabricação de sistemas microeletromecânicos, estruturas CMOS, dispositivos de SiGe, e os processos alternativos (ECR-CVD para deposição de  $SiN_x$ , oxinitretação do Si por plasma ICP para obtenção do SiON, ALD para deposição de  $Al_2O_3$ , recozimento a laser para formação de junções rasas e LPCVD-vertical para obtenção de camadas de SiGe) empregados neste trabalho para o desenvolvimento destas tecnologias.

# 2.1- O processo de deposição por ECR-CVD de $SiN_x$ para aplicação em sistemas microeletromecânicos

Esta parte da tese trata do processo alternativo ECR-CVD para a obtenção de nitreto de silício, que será usado para a fabricação de microestruturas suspensas, que são à base da tecnologia de MEMS. Assim, nos três próximos sub-itens serão introduzidos os temas sobre os sistemas microeletromecânicos, os filmes de  $SiN_x$  e o sistema ECR-CVD.

## 2.1.1 - Sistemas microeletromecânicos [1,2-4]

O crescente interesse de pesquisadores e indústrias sobre os microsistemas integrados, nesses últimos anos, tem sido justificado pelos inúmeros dispositivos e aplicações potenciais nas mais diversas áreas emergentes das telecomunicações, automobilística, médica, biomédica, entre outras. O desenvolvimento de técnicas de fabricação de microestruturas suspensas tem motivado a construção de novos sensores e atuadores miniaturizados, fabricados sobre lâminas de Si. O avanço nos processos de fabricação de CI's permite hoje a construção de microestruturas mecânicas (suspensas), móveis ou não, que podem ser exploradas como sensores e/ou atuadores em sistemas miniaturizados. Certamente inúmeras são as áreas de interesse e aplicações

potenciais para estas microestruturas, então, o principal esforço mundial hoje está na miniaturização e na integração dos sensores e atuadores, uma vez que o desenvolvimento dos circuitos eletrônicos, tanto digitais quanto analógicos, apresenta-se bastante avançados.

O microsistema final pode ser implementado de forma híbrida ou monolítica. Híbrida quando este é composto por mais de um chip, geralmente quando a eletrônica é separada das estruturas microusinadas (mecânicas). Monolítica no caso da integração do sistema completo dentro de um único chip. É geralmente preferencial a implementação de forma monolítica devido à redução dos problemas de interface entre os chips (confiabilidade e desempenho) e aumento do rendimento de fabricação em grande escala de produção. Podemos definir essas microestruturas como sendo sistemas microeletromecânicos.

Assim como ocorre nos Circuitos Integrados (CI's), o silício é o material mais usado para a construção dos microsistemas integrados principalmente pelo seu custo e pelo avançado estado de desenvolvimento das tecnologias disponíveis. O grande desafio consiste em fabricar microsensores e microatuadores sobre um substrato antes utilizado apenas para a construção de componentes eletrônicos (transistores, diodos, resistores, capacitores). Estes dispositivos têm sido construídos principalmente através do uso de microestruturas suspensas ou microusinadas. As estruturas comumente encontradas são pontes, vigas e membranas, embora outras geometrias podem também ser realizadas para as mais diversas aplicações.

Podemos dividir as técnicas de fabricação de microestruturas em dois grandes grupos: processos específicos para microsistemas e processos compatíveis com a microeletrônica. Os processos específicos para a construção de microsistemas geralmente comprometem a integração da eletrônica e, por consequência, apenas microssistemas híbridos podem ser realizadas. As técnicas compatíveis com os processos de fabricação de circuitos integrados (microeletrônica), por sua vez, poderiam ainda ser classificadas segundo as regiões ou camadas que são removidas (corroídas) para a liberação das estruturas suspensas:

- remoção do substrato pela face inferir ou posterior (back-side bulk micromachining);

- remoção do substrato pela face superir ou anterior (front-side bulk micromachining);
- remoção de camadas sacrificiais da superfície do substrato (surface micromachining).

A construção de tais estruturas é geralmente feita após a fabricação dos circuitos eletrônicos devido à complexidade dos processos de microeletrônica, enquanto que muitas vezes uma simples etapa de corrosão é suficiente para a liberação das estruturas suspensas.

Microestruturas suspensas são facilmente construídas a partir da corrosão da face anterior e/ou posterior do substrato (micro-usinagem em volume), *front e back-side etching*, respectivamente. As diferenças entre essas duas técnicas de micro-usinagem são bastante acentuadas tanto no processo de fabricação quanto no tipo de estrutura desejada. No caso da usinagem pela face anterior, a suspensão da estrutura deve-se principalmente ao processo de corrosão lateral (*under-etching*). A usinagem pela face posterior do substrato, por sua vez, é bastante utilizada para a realização de membranas. O objetivo principal é a realização de uma corrosão profunda e praticamente sem corrosão lateral significativa. A usinagem de superfície refere-se exatamente aos processos de construção de microestruturas suspensas a partir da remoção ou corrosão de camadas presentes na superfície do substrato.

As soluções químicas utilizadas na corrosão do substrato podem ser tanto úmidas (líquidas) quanto secas (gases, plasma). As soluções úmidas têm sido preferidas por sua simplicidade e facilidade de aplicação. Características importantes da corrosão úmida são a sua anisotropia, quando às direções de ataque do material são preferenciais segundo a disposição de seus planos cristalográficos, e a seletividade do ataque entre diferentes materiais. Os três tipos de técnicas apresentadas (*back-side bulk micromachining, front-side bulk micromachining e surface micromachining*), são compatíveis com os processos de fabricação de circuitos integrados.

#### 2.1.2- Nitreto de silício

O nitreto de silício é geralmente usado na fabricação de microcircuitos e de microsensores. Este material passiva circuitos eletrônicos CMOS, pois funciona como barreira de difusão de íons móveis, particularmente de Na<sup>+</sup> (íons de sódio). Possui alta seletividade (maior que 2) em relação ao Si e ao dióxido de silício (SiO<sub>2</sub>), funcionando como camada protetora (máscara) em processos de corrosão úmida. Nos processos de oxidação local (*Local Oxidation of Silicon* (LOCOS), barra a oxidação do Si sobre regiões ativas durante a fabricação dos dispositivos MOS, pois é um material que não oxida. Outras aplicações do nitreto de silício são: guias de onda óptica, isolante de porta MOS, máscara em processos de implantação de íons e

barreira contra a perda do arsênio de substratos de arseneto de gálio (GaAs) durante etapas de recozimento [5,6].

Podem-se obter filmes de  $Si_3N_4$  por técnicas de deposição química a partir da fase vapor, que é um processo pelo qual os gases ou vapores reagem quimicamente, levando à formação de uma camada sólida sobre o substrato. Normalmente, na formação do  $Si_3N_4$ , utilizam-se as seguintes misturas gasosas com as suas respectivas reações químicas [5,7]:

Diclorosilana + Amônia =  $3SiCl_2H_2 + 4NH_3 \rightarrow SiN_x + 6HCl + 6H_2$ Silana + Amônia =  $SiH_4 + 4NH_3 \rightarrow SiN_x + 12H_2$  ou  $Si_x N_y H_z + H_2$ 

Esta técnica incorpora hidrogênio (H) nos filmes depositados. Quanto maior a concentração de H, menor a densidade. Menor densidade, maior porosidade, maiores taxas de corrosão em soluções de hidróxido de potássio e de ácido fluorídrico (HF). Esta incorporação é proveniente dos gases amônia (NH<sub>3</sub>), silana (SiH<sub>4</sub>) e diclorosilana (SiCl<sub>2</sub>H<sub>2</sub>). Para reduzir essa quantidade de hidrogênio incorporado utiliza-se nitrogênio em substituição da amônia, em processos auxiliados por plasmas de alta densidade [8]. O nitreto nestas condições é formado pela reação química abaixo [1]:

Silana + Nitrogênio = SiH<sub>4</sub> + 2N<sub>2</sub>  $\rightarrow$  SiN<sub>x</sub> + 6H<sub>2</sub>

A composição do filme de nitreto pode ser controlada variando-se alguns parâmetros de deposição, tais como os fluxos de gases, pressão e temperatura. O índice de refração e a constante dielétrica relativa dos filmes podem variar entre 1,8 e 2,5 e de 6 a 9, respectivamente, dependendo da sua composição. Obtêm-se densidades entre 2,4 e 3,2 g/cm<sup>3</sup> [5,7]. A taxa de corrosão dos filmes de SiN<sub>x</sub> depositados por processo LPCVD está entre 0,5 e 1nm/minuto A taxa de corrosão para esses filmes em solução de KOH é muito baixa, menor que 0,5 nm/minuto [9,10].

## 2.1.3- ECR-CVD [1,11,12,13-19]

Um importante desenvolvimento em processamentos por plasma de alta densidade e de baixa pressão é a descarga de ressonância ciclotrônica de elétrons. Este tipo de plasma é produzido através de uma excitação por microondas (2,54 GHz) gerada por um mágnetron e injetada na câmara do ECR através de um guia de onda (ver Figura 2.1), e um campo magnético aplicado através de bobinas magnéticas (875 Gauss). Os elétrons do plasma giram em volta de linhas de campo magnético em trajetórias helicoidais e com frequência que depende da velocidade do campo. Em condições de ressonância entre a frequência de giro e a frequência de microondas incidente, os elétrons absorvem energia criando um plasma de alta densidade. Fora da zona de campo magnético uniforme, a interação da microonda com o plasma é relativamente fraca. Os elétrons produzidos na zona de plasma denso se difundem ao longo das linhas de campo magnético (indo para a área inferior onde se localiza a câmara de processo) mais rápido que os íons, criando um campo elétrico que promove sua extração. A condição de ressonância resulta em um plasma intenso de alta densidade, que pode ser mantido em baixa pressão geralmente entre  $10^{-5}$  e  $10^{-2}$  Torr.

O sistema ECR com plasma remoto reduz o bombardeamento da amostra por íons com alta energia (os íons são extraídos da região de plasma por um campo levemente divergente e difundem até a amostra), minimizando a quantidade de defeitos produzidos nas superfícies do substrato semicondutor por radiação, produz alta densidade de espécies reativas, permite taxas de deposição maiores que 10 nm/minuto e possibilita a deposição de filmes até em temperatura ambiente. Além disso, se o sistema ECR estiver equipado com uma fonte de rádio frequência (RF) (frequência de 13,56 MHz) acoplada ao porta-amostra, onde se localiza o substrato, pode-se controlar a energia de bombardeamento da amostra por íons provenientes da região do plasma. A potência de RF é diretamente proporcional ao bombardeamento iônico.

O equipamento ECR permite combinar processos de deposição ou corrosão, e permite também operar com pressões mais baixas do que as utilizadas em processos de plasma convencionais. Os parâmetros de processo que influenciam nas propriedades físicas e na composição química dos filmes são os gases reagentes, a temperatura do substrato, a pressão e os fluxos dos gases, as potências de microondas e de RF, o tempo de deposição, e outros fatores como a limpeza das paredes da câmara, que podem gerar impurezas que se incorporam na

estrutura do filme, degradando a sua qualidade. Normalmente, antes das deposições, executam-se etapas sequenciais de limpeza in-situ com plasmas de gases reativos, como o hexafluoreto de enxofre (SF<sub>6</sub>), trifluoreto de nitrogênio (NF<sub>3</sub>) e o hidrogênio, que remove as camadas depositadas nas paredes das câmaras, e de argônio (Ar), que remove o resíduo. Este sistema foi utilizado para obtenção de filmes de SiN<sub>x</sub> em temperatura ambiente para aplicação em dispositivos MEMS.

#### SISTEMA ECR



Figura 2.1: Diagrama esquemático do sistema ECR.

## 2.2- Os processos alternativos para a obtenção de dielétricos *high-k* de Al<sub>2</sub>O<sub>3</sub> e SiON e de junçãos rasas para o desenvolvimento da tecnologia CMOS

Esta parte da tese trata dos processos alternativos (ALD, ICP e ELA, respectivamente) para a obtenção de dielétricos *high-k* de  $Al_2O_3$  e SiON e de junçãos rasas para o desenvolvimento da tecnologia CMOS. Assim, nos próximos sub-itens serão introduzidos os temas sobre a tecnologia CMOS, dielétricos *high-k*, filmes *high-k* de SiON e de  $Al_2O_3$ , processos alternativos

(ICP e ALD) para obtenção de SiON e de Al<sub>2</sub>O<sub>3</sub>, a necessidade das junções rasas e o recozimento a laser para obtenção destas junções.

## 2.2.1 – O escalamento da tecnologia CMOS e a necessidade de novos materiais e de processos de fabricação

A estrutura básica dos tradicionais disposivos *Metal-Oxide-Semiconductor Field Effect Transistor* (MOSFETs): n-MOSFET e p-MOSFET é dada na Figura 2.2. Em ambos, p- e n-MOSFETs em um circuito complementar é demontrado na Figura 2.3 [20]. A tecnologia CMOS é uma tecnologia usada para uma ampla variedade de circuitos analógicos e digitais. *Shallow Trench Isolation* (STI) é geralmente utilizado em uma nova tecnologia CMOS de processamento para isolar os dispositivos em substituição à oxidação local. A Figura 2.3 apresenta a seção transversal da tecnologia CMOS em que os dispositivos p- e n-MOS são fabricados sobre o mesmo substrato.



Figure 2.2: Seção transversal de um dispositivo (a) n-MOSFET e (a) p-MOSFET.



Figure 2.3: Seção transversal de um dispositivo utilizando tecnologia CMOS onde MOS de canal p e canal n são fabricados em um mesmo substrato. Técnica de *Shallow Trench Insulation* é utilizada em atuais processos CMOS, isolando os dispositivos.



Figura 2.4: A evolução dos processadores Intel<sup>®</sup> e a tecnologia associada exemplificando a lei de Moore [21].

Ano de Produção	2009	2010	2011	2012	2013	2014	2015
Comprimento de porta físico (nm)	27	24	22	20	18	17	15
Equivalent Oxide Thickness	1	0.95	0.88	0.75	0.65	0.55	0.53
(EOT) físico (nm)							
Junção de contato - Xj (nm)	35.2	32	29	26.7	24.7	22	19.8
Extensão de dreno - Xj (nm)	13	12	10.5	10	9.5	8.7	8

Tabela 2.1: Parâmetros dos dispositivos CMOS citados no *International Technology Roadmap for Semiconductors* 2009 [22].

O International Technology Roadmap for Semiconductors (ITRS), desenvolvido pela indústria de semicondutores, reflete claramente o forte desejo de que a indústria continue o escalamento dos dispositivos CMOS no futuro de acordo com a Lei de Moore, que em 1965 previu que o número de transistores em um chip dobraria a cada dois anos [23]. Esta tendência é vista na Figura 2.4, que exibe a evolução para os processadores Intel® e a tecnologia associada.

Até hoje, o escalamento dos dispositivos ainda é a forma mais importante para atingir um melhor desempenho, devido as dificuldades tecnológicas está se tornando extremamente desafiador. Por exemplo, a ITRS de 2009 previa um comprimento de canal de 15 nm em 2015 e profundidade de junção (*Xj*) de 19,8 nm, conforme demonstrado na Tabela 2.1. No entanto, para satisfazer as especificações do ITRS e continuar o escalamento dos dispositivos CMOS, fica evidente que novos materiais e novas tecnologias devem ser introduzidas, como mostra a Figura 2.5 [24]. Para o escalamento dos dispositivos MOSFET em dimensões nanométrica (sub-45 nm), novos conceitos e novos materiais precisam ser considerados:

- o dióxido de silício tem sido utilizado há décadas como dielétrico de porta, mas para dielétricos finos de SiO<sub>2</sub> (< 2 nm) a corrente de tunelamento se torna excessiva (> 1 mA). Neste caso, novos materiais precisam ser estudados com as seguintes características: alta constante dielétrica, interfaces de boa qualidade com o Si, alta estabilidade térmica e química, a fim de manter o escalamento e evitar o efeito de tunelamento. Oxinitreto de silício demonstrou que consegue a redução da corrente de fuga, e supressão de segregação de boro [25-28], e foi usado nos nós tecnológicos de 90 nm e 65 nm. Um dielétrico de porta com maior constante dielétrica (superior ao valor de 3,9 do SiO<sub>2</sub>), tais como o dióxido de háfnio (HfO<sub>2</sub>) que tem uma constante dielétrica

de 25 (Tabela 2.2), pode com esta característica reduzir o efeito da corrente de fuga por tunelamento em até quatro ordens de grandeza. A Tabela 2.2 fornece uma lista de dielétricos de porta em substituição ao  $SiO_2$  e suas propriedades relevantes. Os nós tecnológicos atuais de 32 nm e 45 nm e o futuro 22 nm usam como dielétrico de porta o óxido de háfnio. Nesta tese, as técnicas alternativas ALD e ICP de obtenção de dielétricos de porta de  $Al_2O_3$  e de SiON, respectivamente, foram usadas neste trabalho.

- junções rasas são obrigatórias para as extensões de fonte e dreno, a fim de suprimir efeitos de canal curto. Neste trabalho, a técnica de recozimento a laser dos íons implantados é empregada e estudada para a formação de junções ultra rasas (*Ultra-Shallow Junctions* (USJ));

- redução de dissipação de potência;

- desenvolvimento do processo de litografia.

Material	Constante Dielétrica (k)	Band gap E <sub>G</sub> (eV)	Banda de Condução
			offset ( $\Delta Ec$ ) (eV)
SiO <sub>2</sub>	3.9	8.9	3.2
SiNx	7.0	5.1	2
$Al_2O_3$	9.0	8.7	2.8
HfO <sub>2</sub>	25	5.7	1.5
ZrO <sub>2</sub>	25	7.8	1.4
La <sub>2</sub> O <sub>3</sub>	30	4.3	2.3
Ta <sub>2</sub> O <sub>5</sub>	26	4.5	1-1.5

Tabela 2.2: Propriedades de possíveis dielétricos de porta com alta constante dielétrica em substituição ao SiO<sub>2</sub> [29].

Onde:  $E_G$  é a variação de energia entre os níveis de energia dos extremos mínimo da banda de condução e máximo da banda de valência (denominado band gap) e  $\Delta Ec$  é a variação de energia entre os níveis de energia dos extremos mínimos das bandas de condução do dielétrico e do semicondutor (denominado de *offset conduction bands*).

Como mostra a Figura 2.5, novos materiais e tecnologias de processamento de circuitos integrados estão sendo cada vez mais estudadas no intuito de continuar o escalamento e aumento

de desempenho dos dispositivos MOSFET. Novos materiais como dielétricos de porta MOS com alta constante dielétrica (Tabela 2.2), eletrodos metálicos de nitreto de tântalo (TaN) ou de nitreto de titânio (TiN) de porta MOS, dielétricos entre níveis metálicos com baixa constante dielétrica (filmes de SiO<sub>2</sub> com incorporação de fluor e/ou carbono) [30] e também novos substratos têm sido utilizados, a fim de melhorar o desempenho dos circuitos. Durante os últimos anos, para aumentar a mobilidade de portadores (elétrons ou lacunas) nos transistores MOS, vem sendo usado o silício tensionado na região do canal. Atualmente estão sendo estudados também substratos semicondutores alternativose, tais como Ge e InGaAs, em substituição aos de Si, por apresentarem mais altas mobilidades de lacunas e elétrons.



Figura 2.5: Desafios para tecnologia planar de dispositivos MOSFET [24].

#### 2.2.2- Materiais dielétricos High-k utilizados neste trabalho

### 2.2.2.1- Oxinitreto de silício [31-34]

O melhor isolante para a microeletrônica que se pode obter é o díóxido de silício por ser composto natural do silício, por ser um ótimo dielétrico de porta em transistores MOS, por ser uma eficiente barreira de difusão de impurezas e por apresentar excelentes características de interface, o que permitiu o desenvolvimento da tecnologia planar e o rápido aumento da escala de integração. Os filmes de oxinitreto de silício são filmes que podem ser obtidos com características entre nitreto e dióxido de silício, dependendo da concentração de nitrogênio e oxigênio no filme. Podem-se obter diferentes composições de SiON. As mesmas técnicas de obtenção do dióxido e nitreto de silicio são usadas para o oxinitreto. Portanto, é um material compatível com os processos de micro e nanofabricação. A variação química durante o processo de obtenção dos filmes de SiON produz mudanças em suas propriedades elétricas (constante e ruptura dielétricas), mecânicas (estresse e porosidade) e ópticas (indice de refração - ŋ). Por exemplo, controlando-se a concentração de nitrogênio e oxigênio nos filmes de SiON, pode-se obter um índice de refração variável, entre 1,46 (índice de refração dos filmes de SiO<sub>2</sub>) e 2,0 (índice de refração dos filmes de nitreto de silício e constantes dielétricas variando entre 3,9 e 7, aproximadamente, o dobro da constante elétrica do SiO2. Por esses motivos os filmes de SiON substituiram os filmes de SiO<sub>2</sub> como dielétrico de porta nos recentes nós tecnológicos de 65 nm e 90 nm [35,36]. Atualmente, o dióxido de háfnio vem sendo usado como material de alta constante dielétrica em substituição dos filmes de SiO<sub>2</sub>. Entretanto, os filmes de SiON vêm sendo usados como camada interfacial entre o dielétrico de HfO<sub>2</sub> e o semicondutor de Si nas portas de MOSFETs, pois apresentam menos defeitos do que os filmes de HfO<sub>2</sub> diretamente depositados sobre Si. E nesta tese, os filmes de SiON, usados como dielétricos de porta, foram obtidos pela técnica alternativa de oxinitretação do Si por plasma ICP.

## 2.2.2- Óxido de alumínio

Muitas pesquisas vêm sendo realizadas tanto na indústria de semicondutores como na área acadêmica para encontrar materiais com alta constante dielétrica e que sejam compatíveis com os processos de micro e nanofabricação para substituir os filmes de SiO<sub>2</sub> [37-42]. O Al<sub>2</sub>O<sub>3</sub>, também chamado de alumina, vem sendo estudado [43,44] para esta aplicação devido a sua alta constante dielétrica (Tabela 2.2) e outras propriedades, tais como a baixa permeabilidade de íons alcalinos e outras impurezas, resistência às altas intensidades de radiações ionizantes e alta condutividade térmica. O óxido de alumínio possui (veja a Tabela 2.2): valor de *bang gap* (E<sub>G</sub>) similar ao do óxido de silício e constante dielétrica com valor maior que duas vezes a do SiO<sub>2</sub>. Como descrito anteriormente, outros materias como o HfO<sub>2</sub> também esta sendo muito pesquisado como material de alta constante dielétrica em substituição dos filmes de SiO<sub>2</sub> [45-47]. Vale salientar que estes dispositivos são fabricados em substratos de Si. Para dispositivos MOSFETs fabricados em substratos semicondutores de mais altas mobilidades de lacunas e elétrons, como os de Ge e de InGaAs, respectivamente, que substituirão o Si nas próximas tecnologias sub-22 nm, o Al<sub>2</sub>O<sub>3</sub> vem sendo o dielétrico mais compatível, com menos defeitos de interface do que o HfO<sub>2</sub>. Neste trabalho o Al<sub>2</sub>O<sub>3</sub> é obtido por processo ALD, como será visto posteriormente.

# 2.2.3- Métodos alternativos (ALD e ICP) para obtenção de dielétricos *High-k* utilizados neste trabalho

Com a necessidade de substituição de  $SiO_2$  por outros dielétricos, como o  $Al_2O_3$  e o SiON, nas gerações futuras dos dispositivos CMOS, também serão necessários novos métodos, tais como o ALD e a oxinitretação por plasma ICP, respectivamente, para a deposição ou crescimento desses filmes. Métodos similares a estes são usados, tais como:

 Excelente qualidade de filmes de SiON crescidos por oxinitretação por plasma ECR em baixa temperatura (20°C) vêm sendo usados como dielétricos de porta em capacitores MOS [35,36];

-Para os filmes de Al<sub>2</sub>O<sub>3</sub> diferentes métodos têm sido utilizados para o crescimento, dentre eles podemos citar o MBE, CVD, deposição química a vapor a partir de metal-orgânico (*Metal Organic Chemical Vapor Deposition* (MOCVD)) e principalmente a técnica de ALD ou também chamada de epitaxia de camada atômica (*Atomic Layer Epitaxy* (ALE)) [48].

Nos próximos sub-itens serão apresentados os métodos ALD e ICP usados neste trabalho.

### 2.2.3.1- Deposição filmes por camada atômica

Esse método de deposição de filmes finos foi criado por Tuomo Suntola em 1974 na Finlândia [49]. A vantagem de utilizar a técnica ALD sobre as outras técnicas de deposição de filmes finos são [50-53]:

- filmes livres de *pin-holes* (pequenos buracos);
- excelente uniformidade e conformação;
- excelente repetibilidade;
- exelente cobertura de degrau;
- possível deposição em baixa temperatura (<300°C);
- controle da composição e estequiometria dos filmes depositados.

Nessa técnica as reações químicas acontecem na superfície do substrato, utilizando precursores na fase gasosa, e depositando filmes ultra-finos. Esses precursores reagem com a superfície da lâmina, um de cada vez, sequencialmente. Como exemplo, vamos explicar a deposição de Al<sub>2</sub>O<sub>3</sub> em lâminas de silício. Para esse tipo de filme que queremos obter, precisamos de gases precursores de alumínio (Al) e de oxigênio. O precursor fonte de alumínio é o trimetilalumínio (TMA) e a fonte de oxigênio é o vapor de água. O esquemático do reator ALD utilizado nesse trabalho pode ser visto na Figura 2.6.



Figura 2.6: Diagrama esquemático do sistema ALD.

As reações, nesse tipo de equipamento, ocorrem de forma cíclica em que se pode considerar um único ciclo sendo:

- a- exposição do substrato ao primeiro precursor;
- b- purga com nitrogênio;
- c- exposição do substrato ao segundo precursor;
- d- purga com nitrogênio.

A Figura 2.7 apresenta um ciclo de deposição.



Figura 2.7: Esquemático de um ciclo de deposição.

Após completar este ciclo de quatro passos um novo cíclo é iniciado. A espessura do filme depositado depende da quantidade de ciclos utilizada. Dependendo dos parâmetros utilizados durante o crescimento das camadas atômicas é possível obter filmes de espessura menores de 0,9nm. A Figura 2.8 apresenta as reações químicas envolvidas em um ciclo de deposição de filme de óxido de alumínio em substrato de silício.



 $Al(CH_3)_{3(g)} + :Si-O-H_{(s)} \rightarrow :Si-O-Al(CH_3)_{2(s)} + CH_4$ 

- (a) Adsorção de vapor de água na superfície da (b) TMA reage com OH produzindo CH<sub>4</sub>. lâmina de Si e primeiro pulso do primeiro precursor (TMA) na câmara de reação.



(c) TMA não reage com ela mesma apenas com (d) Primeiro pulso do segundo precursor (H<sub>2</sub>O). as ligações OH, TMA em excesso e CH4 são bombeados para fora da câmara de reação.



(e) H<sub>2</sub>O reage com TMA formando ligações Al-O e também formando novas ligações O-H.

(f)  $CH_4$  é bombeado para fora da câmara e o excesso de  $H_2O$  não reage com ligações O-H na superfície (fim do primeiro ciclo).



(g) Amostra após dois ciclos.

Figura 2.8: Reações químicas (das letras a até g) durante o processo de deposição de Al<sub>2</sub>O<sub>3</sub> por ALD em substrato de Si. Adaptado de [54].

Além dos filmes de  $Al_2O_3$  podemos obter outros filmes por esse método, como por exemplo filmes de  $HfO_2$ , dióxido de titânio (TiO<sub>2</sub>), nitreto de alumínio (AlN), SiN<sub>x</sub>, etc. Neste trabalho os filmes de  $Al_2O_3$  foram depositados utilizando a técnica de deposição de camada atômica e utilizados como dielétrico em dispositivos MOS por apresentar alta constante dielétrica.

## 2.2.3.2- Plasma com acoplamento indutivo [55-57]

O reator do tipo ICP é um dos equipamentos mais utilizados atualmente devido a sua simplicidade. Nesse reator, um sinal de RF, frequência de 13,56MHz, é aplicado a uma bobina que se localiza na parte superior da câmara, separada por uma janela de quartzo. Essa bobina é responsável pela geração de um plasma de alta densidade. Se o sistema ICP estiver equipado com outra fonte de RF no porta-amostra, onde se localiza o substrato, pode-se controlar a energia de bombeamento da amostra por íons provenientes da região de plasma. A potência de RF é diretamente proporcional ao bombardeamento iônico. O equipamento ICP pode combinar processos de deposição e corrosão e também permite operar em pressões mais baixas que os processos convencionais.

Os parâmetros de processo que influenciam nas propriedades físicas e na composição química dos filmes são os reagentes, a temperatura do substrato, a pressão, os fluxos dos gases, a potência de RF e o tempo de deposição. Na Figura 2.9 está apresentado o esquemático de um reator ICP. Este reator foi utilizado para crescimento de filmes de SiON para aplicação como dielétrico de porta em dispositivos MOSFET.



Figura 2.9: Esquemático de um reator ICP.

## 2.2.4- Necessidade de junções rasas na região de fonte e dreno em transistores MOS

No escalamento para dimensões nanométricas, a redução das dimensões horizontais depende principalmente do avanço tecnológico dos processos de litografía e de corrosão e as dimensões verticais exigem perfís de dopagem cada vez mais rasos na região de fonte e dreno. Junções rasas na região de fonte e dreno são necessárias para o contínuo escalamento dos dispositivos MOS, evitando efeitos indesejáveis como o efeito de canal curto/*Drain Induced Barrier Lowering* (DIBL) e de perfuração MOS. O ITRS coloca como desafio a obtenção de junções de 10 nm para 2012 [58]. O efeito de canal curto se dá quando a região de depleção de fonte e dreno se estende abaixo do canal (Figura 2.10). Caso a região de deplação se estender até regiões muito próximas uma da outra, a carga necessária para a formação do canal será menor. Isso significa que o potencial aplicado na porta para que o canal seja formado (tensão de limiar -  $V_t$ ) é reduzido.



Figura 2.10: Regiões de depleção de fonte e de dreno de um transistor n-MOS [59].

Se aplicarmos um potencial no dreno do transistor isso faz com que a região de depleção aumente ainda mais, reduzindo mais ainda o valor de  $V_t$  (Figura 2.11).



Figura 2.11: Aumento da região de depleção de dreno devido ao aumento do potencial aplicado no dreno [59].

O efeito de *punchtrough* (perfuração MOS) ocorre quando as regiões de depleção de fonte e dreno de um transistor MOS se estende até se unirem, neste caso aparece uma corrente fluindo pelo "corpo" do transistor e não mais pela região de canal.

A técnica de implantação iônica é o método utilizado para se obter junções. Com implantação iônica se pode controlar precisamente a dose e a posição dos dopantes implantados dentro do substrato, independentemente. Pode-se controlar a profundidade dos dopantes, antes da realização do tratamento térmico, pela energia de implantação, e a dose é ajustada pela corrente do feixe e pelo tempo de implantação. O controle do perfil de dopagem é extremamente importante em junções rasas. Além de regiões implantadas rasas, precisamos de regiões altamente dopadas, altamente ativadas e com baixa resistência de folha (*Rs*). Durante o processo de implantação, deve-se evitar o efeito de canalização. Esse efeito se dá quando temos um alvo cristalino, onde o feixe de íons do implantador se alinha com a estrutura cristalina do material. Neste caso o freamento ou a perda de energia é do tipo eletrônico e o perfil a ser implantado é maior que o esperado formando caudas. Esse efeito normalmente ocorre quando temos um feixe formado por átomos leves que penetram mais facilmente nesses canais. Átomos mais pesados tentem a criar mais danos na estrutura evitando esse efeito de canalização [60]. Com a rotação e inclinação da lâmina de silício pode-se reduzir este efeito.

Além da implantação iônica, precisamos ativar os dopantes implantados (colocá-los em posições substitucionais na rede cristalina) e recuperar a camada amorfa ocasionada durante a

implantação. Para isso processos de recozimento pós-implantação normalmente são realizados em fornos convencionais e de processos rápidos como o de *Rapid Thermal Annealing* (RTA). Normalmente são utilizadas temperaturas de aproximadamente 1000°C. Quando se trabalha com fornos convencionais, ocorre uma maior difusão de dopantes devido ao tempo de recozimento. Já nos fornos rápidos do tipo RTA, esse tempo é reduzido podendo assim obter junções rasas. Atualmente, processos de recozimento a laser são muito empregados na obtenção de junções rasas.

# 2.2.5- Processo alternativo de recozimento a laser para obtenção de junções rasas

Em dispositivos baseados em silício, a necessidade de junções ultra-rasas para tecnologias sub-45 nm CMOS vem sendo uma grande dificuldade [61]. Uma alternativa para a obtenção dessas junções rasas são os processos de recozimento rápidos RTA em alta temperatura (normalmente 1000°C), em que é possível ativar os dopantes implantados por implantação iônica em alguns segundos [62]. Nos processos térmicos rápidos, efeitos indesejáveis de difusão térmica e baixa ativação de dopantes devido à limitação pela solubilidade sólida estão presentes. Para evitar esses efeitos, novas tecnologias precisam ser exploradas e desenvolvidas.

Nos últimos anos, processos a laser estão sendo muito utilizados e é uma técnica promissora na fabricação de dispositivos microeletrônicos em substituição aos processos térmicos rápidos [63-68]. Dentre suas vantagens têm-se [69]:

- reduzido aquecimento da amostra devido aos pulsos de laser ser em poucos nanosegundos;

- difusão térmica insignificante;
- permite ativar dopantes em concentrações maiores que  $10^{21}$  cm<sup>-3</sup>;
- aquecimento localizado, apenas nas regiões a serem recozidas.

Nesse trabalho, para a ativação de dopantes na região de fonte e de dreno, foi utilizado um equipamento de *excimer laser*. Este equipamento chamado Exitech M8000V e que está instalado nos laboratórios do Dimes/TUDelft, utiliza duas fontes de laser excimer Lambda Physik LPX 210 XeCl com um comprimento de onda ( $\lambda$ ) de 308 nm. Uma largura a meia altura (*Full Width at* 

*Half Maximum* (FWHM)) de 25ns é emitido, o qual é ativada por um gerador de pulsos [70-72]. O esquemático do sistema a laser Exitech M 8000V é mostrado na Figura 2.12. O sistema possui duas fontes de laser. Os feixes de saída passam por um sistema de espelhos e atenuadores onde são combinados. A densidade de energia é ajustada nos atenuadores, logo após, os feixes de laser são combinados. Um conjunto de lentes e espelhos guia o feixe passando por homogenizadores que são usados para produzir um perfil de densidade de energia com 7% de variação sobre uma área de 10mm<sup>2</sup>. O feixe de laser saindo dos homogenizadores passa por outro conjunto de espelhos e lentes que o guia para a amostra. Pulsos mais longos podem ser realizados com o próprio atraso entre os dois feixes de laser ou utilizando um extensor de duração de pulso. Os pulsos podem ser extendidos para 300ns. A amostra permace dentro de uma câmara de vácuo. A posição da amostra pode ser controlada com precisão de µm, o porta-amostra pode ser aquecido até 450°C, e a densidade de energia é controlada por um medidor de energia próximo a amostra [70-72]. Neste trabalho, o homogenizador é usado para produzir um perfil com intensidade uniforme em uma área de 1,75 mm x 2,5 mm.



Figura 2.12: Esquemático do sistema de laser Exitech M8000V, onde M1-M12 são espelhos e LS1-LS2 são lentes [72].

# 2.3- O processo alternativo (LPCVD-vertical) de obtenção de camadas de SiGe para a tecnologia de dispositivos de silício germânio

Esta parte da tese trata do processo alternativo (LPCVD-vertical) para a obtenção de camadas de SiGe para o desenvolvimento da tecnologia de dispositivos baseados em SiGe. Assim, nos próximos sub-itens serão introduzidos os temas sobre o semicondutor germânio, algumas aplicações dos filmes de SiGe, o crescimento epitaxial, que é o método tradicional de obtenção de SiGe e o processo alternativo (LPCVD-vertical) usado neste trabalho.

#### 2.3.1- Germânio

O germânio (Ge) é um dos mais importantes elementos semicondutores [73]. É amplamente empregado na produção de transistores e outros componentes de estado sólido na indústria eletrônica. Geralmente o semicondutor escolhido é o silício, mas alguns fabricantes, principalmente a IBM, começaram a usar uma mistura de silício e germânio nos canais dos MOSFETs e nas bases de transistores bipolares (*Heterojunction Bipolar Transistor* (HBT)) [74]. Quando combinamos o silício e o germânio, o transistor pode funcionar mais rapidamente, podendo assim, criar circuitos de alta frequência [75-79]. Atualmente os filmes de silício germânio obtidos por epitaxia estão sendo altamente empregados como camadas relaxadas sobre substratos de silício em dispositivos MOS, na região de fonte e dreno e também em transistores bipolares. Nesta pesquisa vem sendo utilizado, para o crescimento epitaxial dos filmes de SiGe, um sistema LPCVD do tipo vertical do laboratório do Centro de Componentes Semicondutores.

A novidade deste tema é a obtenção destas ligas de SiGe monocristalinas em um reator vertical de baixa pressão ( $\sim 10^{-3}$  Torr), pois normalmente estes processos são executados em sistemas de *Ultra-High-Vacuum* (UHV), como o MBE.

### 2.3.2- Algumas aplicações dos filmes de SiGe [80]

Uma das grandes aplicações de camadas de SiGe é a obtenção de transistores MOS juntamente com a utilização de silício tensionado (*strained silicon*) [81-86]. O silício tensionado é um tipo de material que possui uma tensão física entre os átomos de silício e é de grande interesse na área da micro e nanoeletrônica podendo proporcionar um maior desempenho nos dispositivos como o aumento da mobilidade tanto para elétrons quanto para lacunas, e baixo consumo de energia. Para a obtenção desse filme é preciso crescer um filme de SiGe relaxado sobre o substrato de silício e logo após o silício tensionado pode ser obtido através de crescimento epitaxial sobre esse substrato que possui a mesma estrutura cristalina, mas com diferença em seu parâmetro de rede. Na Figura 2.13 pode-se verificar a estrutura de SiGe, Si e camada de SiGe crescida em Si. O parâmetro de rede *a//* será o mesmo do Si e a componente  $a\perp$  será diferente. Como o silício tensionado é crescido sobre o substrato de SiGe podemos chamar esse filme de "substrato virtual", que por sua vez é crescido sobre o substrato de Si. Para obtermos as camadas de silício tensionado, precisamos que a camada de SiGe (substrato virtual) seja relaxada. Esse relaxamento aparece através da formação de discordâncias de *misfit* na interface e *threading* na camada de SiGe /Si Figura 2.14 e 2.15.



Figura 2.13: Estrutura do Si, do Ge e da estrutura de SiGe epitaxial crescida sobre o substrato de Si [80].



Figura 2.14: Discordância tipo misfit na interface Si/ SiGe [80].



Figura 2.15: Discordância tipo threading na camada de SiGe [80].

A estrutura do filme de SiGe relaxado pode ser alterada modificando a concentração de Ge e a espessura da camada crescida. Vale salientar que a espessura também é de grande importância nos filmes de SiGe relaxado, pois quanto maior for a sua espessura, maior será a rugosidade de superfície. Com maior rugosidade, se faz necessário o uso de polimentos para obter a planaridade desta superfície. Para fabricação de dispositivos, os filmes de SiGe devem apresentar um alto grau de relaxação e com densidade de *threadings* <10<sup>7</sup> cm<sup>-2</sup>.

Para a obtenção de uma camada de Si tensionado (*strained silicon*), utiliza-se o crescimento epitaxial de Si sobre a superfície de SiGe relaxado, pois o parâmetro de rede do Si é menor do que do SiGe [80-86]. Na Figura 2.16 verifica-se uma camada de Si tensionado sobre SiGe. Na Figura 2.17 tem-se uma imagem de Microscopia Eletrônica de Transmissão de uma estrutura MOS utilizando SiGe relaxado como "substrato virtual" [87] e na Figura 2.18 de um dispositivo CMOS onde é utilizado o Si tensionado na região de canal.



Figura 2.16: Camada de Si tensionada sobre SiGe relaxado [80].



Figura 2.17: Imagem TEM de dispositivo MOS utilizando Si/SiGe [80].



Figura 2.18: Estrutura de um dispositivo CMOS onde é utilizado o Si tensionado na região de canal [88].

Pode-se verificar na Figura 2.18 que se utiliza uma camada de SiGe *buffer* gradual entre o substrato e a camada de SiGe relaxada. Essa camada é crescida por epitaxia em que, durante o processo, aumenta-se a concentração de Ge até a quantidade necessária para o crescimento da camada de SiGe relaxada. Essa camada é utilizada para reduzir discordâncias do tipo *threading* citados anteriormente [90].

Os filmes de SiGe crescidos epitaxialmente são usados nas regiões de fonte e dreno [89,91]. O SiGe aplicado nestas regiões induz uma deformação (*strain*) compressiva no canal dos transistores MOS, aumentando a mobilidade dos portadores no canal. Na Figura 2.19 pode-se verificar uma estrutura de dispositivo CMOS utilizando SiGe epitaxial na fonte e dreno de transistor p-MOS. Na Figura 2.20 verifica-se uma imagem de Microscopia Eletrônica de Varredura de um transistor p-MOS com SiGe na região de fonte e dreno crescido por epitaxia para causar a deformação no canal e aumentar a mobilidade da lacuna pelo canal do transistor.



Figura 2.19: Estrutura de dispositivo CMOS utilizando SiGe epitaxial na fonte e dreno de transistor p-MOS [89].



Figura 2.20: Imagem SEM de um transistor p-MOS com SiGe na região de fonte e dreno crescido por epitaxia. O SiGe utilizado na região de fonte e dreno provoca um estresse compressivo no canal do transistor que melhora a mobilidade do portador (a) [89] e (b) [88].

Outra aplicação de filmes de SiGe é na fabricação de transistores HBT. Nestes últimos anos HBTs baseados em SiGe estão competindo com os dispositivos fabricados em semicondutores de compostos III-V que trabalham em alta frequência. Para aplicações em que é necessária uma escala de alta frequência (maior que 100 GHz) as tecnologias utilizando materiais III-V se adaptam melhor comparando com tecnologias de SiGe. Por outro lado, a grande vantagem oferecida pela tecnologia utilizando SiGe é a sua compatibilidade com a tecnologia CMOS baseada em Si. Isso nos leva a introduzir o conceito de fabricação de HBT na tecnologia padrão utilizando silício e isso justifica a grande expansão dessa tecnologia nestes últimos anos [92].

## 2.3.3- Crescimento epitaxial [93]

Epitaxia é o crescimento orientado de um cristal sobre outro pré-existente. O processo de epitaxia surgiu na década de 1950, logo após o desenvolvimento do transistor de germânio. No crescimento epitaxial, o substrato funciona como "semente" para determinação da estrutura cristalina da camada crescida. O crescimento se dá em temperaturas abaixo do ponto de fusão do substrato. Os processos típicos de crescimento envolvem um preparo da superfície do substrato no qual será feito o crescimento. Um desses preparos é a remoção do óxido nativo e de eventuais

contaminantes, o que pode ser feito com a introdução de ácido clorídrico (HCl) ou hidrogênio em altas temperaturas (entre 1000°C e 1200°C) [94].

Existem vários métodos e reatores para crescimento epitaxial. Um método especial em CVD, chamado de *Epitaxial Layer Deposition* ou *Vapor-Phase Epitaxy* (VPE). No processo de CVD, primeiramente, os materiais que irão formar o filme são introduzidos numa câmara de reação. Estes materiais estão em fase gasosa ou de vapor e reagem sobre ou perto da superfície dos substratos, os quais estão em temperatura elevada. Isto produz uma reação química formando átomos ou moléculas, que irão ser depositados na superfície do substrato. O método de crescimento epitaxial denominado que utiliza um reator do tipo *Liquid Phase Epitaxy* (LPE) predominou até o final da década de 60. Para o crescimento neste tipo de reator deve ocorrer a precipitação de uma solução sobre o substrato. Como exemplo, pode-se citar a homoepitaxia de GaAs, em que, em uma solução, o solvente é o gálio e o soluto é o arsênico e o substrato utilizado é o GaAs. O substrato é imerso em várias soluções com os materiais (gálio e arsênico) fundidos e a espessura do filme fino epitaxial resultante dependerá do tempo em que o substrato irá permanecer imerso na solução.

No final dos anos de 60, outra técnica de epitaxia, denominada de MBE, foi desenvolvida por Cho [95], que trabalhava na Bell Labs. Trata-se do método mais sofisticado de crescimento epitaxial. O princípio deste crescimento consiste na evaporação de fontes sólidas altamente purificadas em alto vácuo (10<sup>-9</sup> a 10<sup>-6</sup> Torr durante o crescimento), produzindo feixes moleculares direcionados sobre a superfície aquecida do substrato.

Outra técnica para o crescimento chama-se CVD. Uma variante desta técnica é a epitaxia por fase gasosa de organo-metálicos (*Metal Organic Vapour Phase Epitaxy* (MOVPE), ou MOCVD). A utililização deste método apareceu pouco depois da utilização do processo em MBE [96]. O princípio de crescimento, com o auxilio de reatores do tipo MOVPE, baseia-se em um fluxo laminar sobre o substrato aquecido por rádio frequência ou por lâmpadas infra-vermelhas. Embora reatores MOVPE tenham sido desenvolvidos no final dos anos 60, o processo só apareceu como alternativa a partir do começo da década de 80. Nesta última década houve o desenvolvimento e a purificação das fontes organometálicas para o uso no processo MOVPE. Embora o reator MOVPE tenha um risco de segurança causado por gases altamente tóxicos, ela é mais flexível, possibilitando maior variedade de ligas semicondutoras por um custo inferior ao MBE.

As vantagens e desvantagens no uso de reatores epitaxiais descritos estão citados na Tabela 2.3.

Reatores	Vantagens	Desvantagens		
VPE	Alta pureza	• Segurança		
	• Processo em baixa temperatura	• Alto custo		
	• Controle de espessura dos			
	filmes			
	• Alta produtividade			
LPE	Simples	Baixa produtividade		
	• Barato	• Baixa pureza		
	• Alta taxa de crescimento	• Não pode crescer poços		
	• Seguro	quânticos		
	• Baixa manutenção	• Filme não uniforme		
		• Interfaces não abruptas		
MBE	• Simples	Alto custo		
	• Uniforme	• Alta manutenção		
	• Excelente morfologia	• Defeitos ovais		
	• Interface abrupta			
	• Controle in-situ			
	• Alta pureza			
MOVPE	• Flexível	• Segurança		
	• Interface abrupta	• Fontes caras		
	• Excelente morfologia	Crescimento complicado		
	• Alta pureza			

Tabela 2.3: Vantagens e desvantagens dos reatores VPE, LPE, MBE e MOVPE.

A qualidade cristalina das camadas crescidas não é superior à do substrato devido aos vários defeitos que aparecem durante o crescimento como as falhas de empilhamento, também chamadas de "*stacking faults*" observa-se também algumas discordâncias de planos cristalinos

(planos cristalinos discordantes na rede devido a esforços mecânicos e térmicos) e precipitados de dopantes e contaminantes. O filme crescido também pode ser dopado durante o crescimento inserindo gases dopantes durante o processo.

#### 2.3.4- LPCVD-vertical para obtenção de camadas de SiGe

O equipamento utilizado para o desenvolvimento de obtenção de camadas de SiGe é um reator do tipo CVD vertical PMC 200 da Phoenix Materials Corporation (Reator Epitaxial Vertical), projetado para obtenção de silício epitaxial (Si-epi) em pressão reduzida. É constituído por três módulos principais: câmara de reação, que é o reator propriamente dito, console de controle, onde se encontram os sistemas de ajuste de temperatura, pressão e fluxo de gases, e o sistema de aquecimento, que fornece a energia necessária para o aquecimento do processo CVD. Externamente ao reator, encontram-se os sistemas auxiliares como cabines de armazenamento de gases, um lavador de gases (*scrubber*) para neutralização e evacuação de gases residuais do processo para a atmosfera e sistema de vácuo. A Figura 2.21 mostra a parte principal (câmara de reação) e a Figura 2.22 o fluxo de gases no reator. O sistema de aquecimento do susceptor de grafite é feito por meio de acoplamento de RF e também está acoplado a um mecanismo de rotação, para auxiliar na distribuição uniforme dos gases e temperatura por todo o susceptor.



Figura 2.21: Câmara do reator Epitaxial Vertical (a) Foto do Reator em funcionamento (b) Esquema interno da câmara de reação [97].

Para realizar o crescimento epitaxial por processo CVD precisamos de gases ou componentes que irão fornecer os elementos para o crescimento. Para o caso do silício, a silana (SiH<sub>4</sub>) é utilizada na maioria dos casos. A reação geral para deposição de silício a partir de SiH<sub>4</sub> é bastante simples:

SiH4 + Gás de arraste  $\Rightarrow$  Si(s) + 2H<sub>2</sub> + Gás arraste

A temperatura do processo é responsável pela liberação do hidrogênio resultante da reação devolvendo-o à fase gasosa, e/ou pela adsorção do mesmo na superfície.

O processo de crescimento epitaxial por CVD pode ser realizado em atmosfera de 100% de silana (sem a utilização de gás de arraste). Mas tendo em vista o seu alto risco devido à silana ser um gás tóxico, corrosivo, auto-inflamável e explosivo se exposto ao ambiente a baixas concentrações, é comum utilizar-se a silana diluída em H<sub>2</sub>, ou gases inertes como o N<sub>2</sub>, Ar e He (em casos mais raros).



Figura 2.22: Sistema de fluxo de gases na câmara do reator [98].
## 2.3.4.1- Obtenção das camadas de SiGe pelo sistema LPCVD-vertical

O crescimento de filmes de SiGe foram executados no Reator Epitaxial CVD, utilizando parâmetros já existentes na deposição de Si policristalino [3] acrescentando uma pequena porcentagem de SiGe. Utilizaram-se como gases a silana, a germana (GeH<sub>4</sub>) e o hidrogênio como gás de arraste. A energia de aquecimento para o Reator Vertical provém de um motor gerador juntamente com um circuito. O gerador fornece uma carga de 30 kVA, 220 V a 10 kHz para um circuito RLC, com correntes de até 136 A. Os componentes de resistência e indutância do circuito RLC estão na bobina de indução acoplada ao susceptor, onde são colocadas as lâminas para o CVD. O banco de capacitores pode ter a sua carga alterada para mais ou para menos, a fim de ajustar o valor do fator de potência dentro dos limites de operação. Este ajuste permite que o susceptor de grafite atinja temperaturas superiores à 1500°C [3].

O Reator Epitaxial Vertical é equipado com controle automático de quase todo o sistema. Em todas as linhas de gás existem eletroválvulas para admissão e corte do gás durante o processo e de rotâmetros configuráveis conforme as necessidades. A pressão interna da câmara de reação é medida através de um manômetro, operando na faixa de 0 a 10.000 mTorr, interligado ao controlador da válvula borboleta, que ajusta o bombeamento da bomba de vácuo. A pressão é configurada manualmente no início do processo e o controlador da válvula borboleta se encarrega de mantê-la no valor estabelecido conforme os gases vão sendo injetados na câmara. A bomba de vácuo utilizado no Reator Vertical é de paletas rotatórias, de dois estágios, com capacidade de 28 m<sup>3</sup>/h, suficiente para que a câmara de reação atinja a pressão desejada em poucos minutos. O ajuste de temperatura do susceptor de grafite não é automático. Utiliza-se um variac que atua sobre o motor gerador e controla a potência do sinal de saída e, assim, a potência aplicada ao susceptor de grafite. A verificação da temperatura sobre o susceptor de grafite e sobre as lâminas de silício é feita utilizando um pirômetro de infravermelho.

Os filmes obtidos de SiGe são posteriormente dopados através da implantação de íons de Boro. Os dopantes são ativados por processo rápido RTA, criando-se junções p-n. Com estas junções são fabricados diodos.

# **CAPÍTULO 3**

# **PROCEDIMENTO EXPERIMENTAL**

# 3.1- Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de Si<sub>3</sub>N<sub>4</sub> para aplicação em tecnologia MEMS

Filme de nitreto de silício tem sido utilizado em diversas aplicações em silício, eletrônica III-V e opto eletrônica [1]. O uso destes filmes em microfabricação está bem estabelecido devido as suas atrativas propriedades químicas, elétricas, ópticas e mecânicas [1-3]. Na fabricação de estruturas *bulk silicon micromachining*, soluções baseadas em KOH são frequentemente utilizadas. A solução de KOH possibilita corrosões anisotrópicas em monocristais de silício e a taxa de corrosão depende fortemente da orientação cristalina [2,4,5]. Sendo os filmes de nitreto de silício resistentes à corrosão em KOH, pode-se obter uma seletividade elevada na ordem de 10<sup>4</sup> na corrosão Si/Si<sub>3</sub>N<sub>4</sub>. Filmes de nitreto de silício de baixo estresse depositados em substratos de Si são utilizados na obtenção de membranas suspensas em processo *bulk silicon micromachining* [2]. Os parâmetros de estresse e a concentração de hidrogênio nos filmes (normalmente, hidrogênio em ligações Si-H) estão relacionados [2]. Com estas afirmações, um controle preciso de baixos níveis na concentração de hidrogênio no filme é fundamental para a fabricação de membranas de nitreto de silício de alta qualidade [2]. Além disso, alguma porosidade do filme pode melhorar a estabilidade mecânica e a qualidade na interface substrato/filme.

Normalmente, os filmes de nitreto de silício são depositados por LPCVD [6,7] ou PECVD [8,9] em altas temperaturas [2,9]. No entanto, o processamento em alta temperatura pode ser incompatível com alguns processos de fabricação. Neste capítulo, o sistema ECR-CVD com fonte de plasma de alta densidade é utilizado para obter filmes de nitreto de silício em temperatura ambiente de alta qualidade [10-14] para ser empregados em dispositivos MEMS juntamente com o uso de soluções de KOH. Caracterização por FTIR e elipsometria foi utilizada para obter as características físicas dos filmes de nitreto de silício como ligações químicas, índice de refração e espessura. Taxa de corrosão em soluções BHF e KOH também foram analisadas. A

caracterização do plasma foi realizada por OES e membranas suspensas em substrato de Si foram fabricadas.

Como mencionado anteriormente, o sistema ECR-CVD é um reator de plasma que pode operar em baixas pressões (0,13 - 6,67 Pa). No reator utilizado, uma fonte de microondas de 2,45GHz gera o plasma em altas potências (até 1000 W), e uma fonte de RF de 13,56MHz é conectada separadamente no porta-amostra. Então, um controle separado da energia do íon e do fluxo do íon pode ser ajustado neste sistema permitindo o processamento em baixa temperatura, baixa pressão e baixa deterioração durante a deposição dos filmes. Para otimizar a composição e a microestrutura do filme depositado, a incorporação de H deve ser mantida a baixos níveis. Na deposição dos filmes de nitreto de silício, uma mistura de gases de Ar e nitrogênio (N<sub>2</sub>) são injetados na câmara de plasma (parte superior do reator) onde o plasma de alta densidade é produzido, e silana (diluída em 98% de argônio) é injetada na câmara de reação (parte inferior do reator). Esta configuração de injeção de gases evita a excessiva dissociação de silana e deposição de produtos nas paredes da câmara de plasma.

Para a caracterização do plasma foi realizada na parte inferior do reator a análise OES na faixa de 200-900nm. Várias espécies como Si, Ar, H, N, N<sub>2</sub> e NH foram identificadas. Uma sonda eletrostática de Langmuir foi empregada para determinar a densidade de elétrons e temperatura em diferentes condições de plasma, na mesma região de plasma.

As camadas de nitreto de silício foram depositadas em lâminas de Si tipo n (100). Antes da deposição as amostras foram limpas pelo método RCA. Os processos de deposição foram realizados em diferentes pressões (0,67, 1,00, 1,33 e 2,67 Pa), fluxo de N<sub>2</sub> (2,5, 5, 10 e 20sccm) e potência de RF de 13,56MHz (ver Tabela 3.1). A temperatura do substrato, fluxo de SiH<sub>4</sub>, Ar e potência ECR a 2,45GHz foram fixadas em 20°C, 200sccm (diluída em 98% de Ar) , 20sccm e 1000W, respectivamente. A espessura dos filmes depositados foi de 300nm, apesar deste processo permitir deposição de filmes mais finos. Os parâmetros de deposição dos filmes de nitreto de silício foram baseados na dissertação de mestrado defendida em 2005 na FEEC – Unicamp, entitulada "Obtenção e Caracterização de Filmes Finos de Óxido, Nitreto e Óxinitreto de Silício por Deposição ECR-CVD" (Autor: Cleber Biasotto). Na literatura, diferentes processos foram mencionados produzindo filmes dentro de um intervalo de espessura (~100-2000nm), no entanto a estabilidade mecânica dos filmes de nitreto de silício é ainda um desafio [6-8].

Para caracterizar as ligações químicas dos filmes de nitreto de silício, medidas FTIR foram empregadas. Foram medidos o índice de refração e espessura por elipsometria. Um comprimento de onda fixo de 632,8nm e ângulo de incidência de 70° foram aplicados. A partir das medidas de espessura realizadas, a taxa de deposição, assim como a taxa de corrosão em BHF e KOH foram avaliadas. Solução de KOH (10M a 70°C) foi utilizada para corrosão. O tempo de corrosão foi fixado em 30minutos Com essa solução de KOH, excelente anisotropia e taxas de corrosão de até 1µm/minuto podem ser obtidos [5]. Finalmente, os filmes de nitreto de silício que apresentaram alta resistência à corrosão de ambos, BHF e KOH, foram utilizados para fabricar membranas suspensas em substrato de Si. Imagens SEM foram realizadas para analisar as estruturas obtidas.

Parâmetros do processo	Grupo de experimentos			
	1. Variando	2. Variando fluxo	3. Variando	
	pressão	de N <sub>2</sub>	potência de RF	
Pressão (Pa)	0,67/1,00/1,33/2,67	0,67	0,67	
Fluxo de N <sub>2</sub> (sccm)	5	2,5/5/10/20	5	
Pot6encia de RF (W)	5	5	0/1/3/5/10	

Tabela 3.1: Parâmetros e valores na deposição dos filmes de nitreto de silício.

# 3.2 – Deposição de filmes de SiGe em sistema LPCVD-vertical

## 3.2.1- Reator LPCVD-vertical [15-16]

O equipamento utilizado para a obtenção de filmes de SiGe é um reator do tipo CVD vertical PMC 200 da Phoenix Materials Corporation (Reator Epitaxial Vertical). Esse reator foi descrito no Capítulo 2. Antes de iniciar as deposições dos filmes de SiGe, se faz necessária a etapa de limpeza da câmara LPCVD, como será apresentada no próximo item.

# 3.2.1.1- Limpeza da câmara LPCVD

Antes de iniciar o processo de crescimento foi desenvolvido um processo de limpeza inicial da câmara e das lâminas de Si *in situ*. Primeiramente as linhas de gases foram limpas por uma evacuação completa do sistema durante 10 minutos seguidos por um fluxo contínuo de nitrogênio, e nova etapa de vácuo durante 20 minutos cada um. Posteriormente realizamos 2 ciclos de circulação de nitrogênio por 3 minutos intercalados por períodos de 5 minutos em vácuo. Na Tabela 3.2 estão descritos detalhadamente os passos de limpeza antes de realizar o crescimento.

Passo	Descrição	Duração (min.)
0	Abrir válvulas de todas as linhas de gás	
1	Purga inicial do sistema	10
2	Abrir os cilindros (controlar abertura de gases)	
3	Admissão de N <sub>2</sub>	20
4	Vácuo	20
5	Admissão de N <sub>2</sub>	3
6	Vácuo	5
7	Admissão de N <sub>2</sub>	3
8	Vácuo	5
9	Ativar controle automático da válvula	
10	Admissão de N <sub>2</sub>	3
11	Admissão de H <sub>2</sub>	5
12	Ajustar potência do motor gerador para aquecimento	
13	Aquecimento em atmosfera de H <sub>2</sub> (1000°C)	20
14	Remoção de óxido nativo na superfície da lâmina	15

Tabela 3.2: Processo de limpeza da câmara do Reator e preparação da lâmina de Si.

Esta limpeza na câmara é executada para garantir uma deposição livre de impurezas. Após esta limpeza realizamos o aquecimento do susceptor, consequentemente das amostras, em ambiente de hidrogênio até uma temperatura de 1000°C, deixamos a temperatura estabilizar por

20 minutos e após deixamos por mais 15 minutos em ambiente de  $H_2$  para que qualquer óxido nativo que se encontra na superfície da lâmina de Si seja removido [15].

#### 3.2.2 - Obtenção das camadas de SiGe

Os crescimentos de filmes de SiGe foram executados no Reator Epitaxial CVD, utilizando parâmetros já existente na deposição de Si policristalino (Si-poli) [15] acrescentando uma pequena porcentagem de SiGe. O trabalho da referência 15 indica filmes de silício policristalino de excelente qualidade para aplicação em dispositivos microeletrônicos utilizando este mesmo reator e sugerindo como trabalho futuro à obtenção de crescimento de filmes de SiGe por epitaxia. Diante desta proposta procurou-se acrescentar então uma pequena quantidade de gás contendo germânio e obter o crescimento. Foi utilizado como gases a silana, a germana e o hidrogênio como gás de arraste, a energia de aquecimento para o reator vertical provém de um motor gerador juntamente com um circuito. O gerador fornece uma carga de 30 KVA, 220 V a 10 kHz para um circuito RLC (resistivo-indutivo-capacitivo), com correntes de até 136 A. Os componentes de resistência e indutância do circuito RLC estão na bobina de indução acoplada ao susceptor, onde são colocadas as lâminas para o CVD. O banco de capacitores pode ter a sua carga alterada para mais ou para menos, a fim de ajustar o valor do fator de potência dentro dos limites de operação. Este ajuste permite que o susceptor de grafite atinja temperaturas superiores à 1500°C [3].

Os filmes de SiGe foram crescidos em lâminas de silício do tipo-n <100> após limpeza RCA [17,18]. Para o crescimento dos filmes, utilizou-se os parâmetros da Tabela 3.3.

Gáses	SiH <sub>4</sub> / GeH <sub>4</sub>
Fluxos (sccm)	40 / 4
Gás de arraste	H <sub>2</sub>
Fluxo gás de arraste (sccm)	4800
Pressão	5 Torr
Тетро	5 minutos
Temperatura	800°C / 900°C / 1000°C

Tabela 3.3: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD [15].

Na Figura 3.1 é apresentada a amostra obtida de SiGe em substrato de Si. A pressão de base do processo para o crescimento é de  $1 \times 10^{-3}$  Torr.



Figura 3.1: Amostra com SiGe-epi por LPCVD vertical.

3.3 - Deposição de filmes de Al<sub>2</sub>O<sub>3</sub> por camada atômica (ALD) e oxinitretação do Si por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de dispositivos MOS

3.3.1 – Fabricação de Capacitores *Metal-Insulator-Semiconductor* (MIS), tendo como dielétricos de porta os filmes de SiON e de Al<sub>2</sub>O<sub>3</sub>

# 3.3.1.1 - Processo de fabricação dos capacitores MIS

Dois tipos de dielétricos para dispositivos MOS foram estudados nesta tese (1) oxinitreto de silício [19-24] crescidos por *Inductively Coupled Plasma* e (2) óxido de alumínio [25-28] crescidos por *Atomic Layer Deposition* [29-31]. Todo o processo de fabricação de capacitores foi mantido a baixa temperatura ( $\leq 400^{\circ}$ C).

O reator ICP dos laboratórios do Dimes - TUDelft foi utilizado na obtenção de filmes de SiON. Neste reator, uma fonte RF de 13,56 MHz gera o plasma em altas potências (até 1000 W). Para o crescimento de SiON (sem a utilização de silana na mistura de gás), utilizou-se gás hélio, para manter o plasma mais reativo, oxigênio (O<sub>2</sub>) e nitrogênio. O oxigênio e nitrogênio irão reagir com a superfície de Si para formar SiON a baixas temperaturas. As interfaces de Si/dielétrico foram caracterizadas para mostrar a viabilidade de aplicação para dispositivos MISFET. Os

processos de crescimento foram realizados a uma pressão de 2,5 Pa, e com fluxos de  $O_2$  e  $N_2$  fixados em 7,5 sccm, He 30 sccm e potência de RF 500 W - 13,56MHz. A temperatura do substrato, foi fixada em 250°C. Os filmes de SiON crescidos apresentaram uma espessura de oximadamente 18 nm, correspondendo a uma taxa de crescimento de 3,6 nm/minuto, e eles foram utilizados para fabricar capacitores Al/SiON/Si de acordo com o fluxograma apresentado na Figura 3.2.

O reator ALD ASM F120, também instalado nos laboratórios do Dimes, foi utilizado para deposição de Al<sub>2</sub>O<sub>3</sub>, mantendo a temperatura do substrato 300°C aplicando pulsos de TMA e água como precursores de Al e O, respectivamente. Cada ciclo do processo de deposição das camadas de Al<sub>2</sub>O<sub>3</sub>, como mencionado anteriormente, é dado como:

- um pulso do metal precursor;

- remoção da atmosfera reativa na câmara;
- um pulso de água;
- remoção da atmosfera reativa na câmara.

As camadas de Al<sub>2</sub>O<sub>3</sub> foram depositados sob pressões de 133 Pa, temperatura do substrato fixada em 300°C. Após 70 ciclos, a espessura de Al<sub>2</sub>O<sub>3</sub> foi aproximadamente 7-8nm, com uma taxa de deposição de 1-1.1nm/ciclo. Capacitores Al/Al<sub>2</sub>O<sub>3</sub>/Si e Al/Al<sub>2</sub>O<sub>3</sub>-SiON/Si foram fabricados em substratos de silício. Um filme de Al com 375nm foi utilizado como eletrodo. As amostras foram sinterizadas em um forno convencional a 400°C por 20minutos O fluxograma segue o mesmo processo de fabricação apresentado na Figura 3.2. Primeiramente a limpeza da lâmina de silício é realizada seguido de um mergulho em solução de HF (0,55%) imediatamente antes da deposição/crescimento do filme dielétrico para remoção da camada de SiO<sub>2</sub> criada durante a limpeza. O dielétrico é depositado ou crescido na lâmina de silício e um filme de Al (1%Si) é depositado na parte superior e inferior da lâmina. As amostras foram encaminhadas ao processo de litografia para a gravação de padrões, a camada de Al da face superior e o dielétrico são corroídos por plasma *Reactive Ion Etching* (RIE) com grande seletividade ao substrato de Si. O fotoresiste é então removido por plasma de O<sub>2</sub>, outra limpeza da amostra é realizada e uma camada de SiO<sub>2</sub> é depositada por PECVD. A segunda litografia para definição de contatos

juntamente com a corrosão da camada do SiO<sub>2</sub> seletivo com a camada de Al é completada. O último passo do processo é a sinterização dos contatos de Al.



Figura 3.2: Fluxograma básico do processo de fabricação dos capacitores.

Toda a limpeza realizada nos laboratórios do Dimes foram da seguinte maneira:

#### Para lâminas que possuem metal:

- 10 minutos ácido nítrico (HNO<sub>3</sub>) 99% (temperatura ambiente);
- água deionizada (água DI) até a resistividade atingir 5MΩ.

#### Para lâminas que não possuem metal:

- 10 minutos ácido nítrico 99% (temperatura ambiente);
- água DI até a resistividade atingir 5MΩ;
- 10 minutos ácido nítrico 69.5% (temperatura 110°C);
- água DI até a resistividade atingir  $5M\Omega$ .

# 3.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores MOS

#### 3.4.1 - Sistema de recozimento a laser

O sistema de recozimento a laser presente nos laboratórios do Dimes é um Exitech M8000V de laser duplo. O M8000V utiliza duas fontes de laser Lambda Physik LPX 210 de XeCl (comprimento de onda de 308nm) com uma duração de pulso de 25ns FWHM. Com este sistema a camada de silício amorfo é rapidamente aquecida e recristalizada. Este sistema já foi descrito no Capítulo 2.

#### 3.4.1.1 - Camada refletiva para recozimento a laser

Para se obter uma ativação seletiva de dopantes sem danificar outras regiões da amostra, uma camada refletiva é necessária. Normalmente, um filme de aluminio é utilizado como uma máscara refletiva para a luz do laser [32]. Com a deposição de filmes de Al a 350°C por processo de *sputtering* é possível obter uma excelente cobertura de degrau, mas por outro lado, permitem a formação de grãos maiores comparado a filmes de Al depositados a 50°C, o que resulta em grãos menores [33]. Com grãos menores os filmes de Al apresentam maior brilho ao final da deposição fazendo com que reflita muito mais a luz do laser. O tamanho de grão também é importante durante as etapas de litografia. Com grãos maiores de Al, uma corrosão não uniforme pode ser observada. Para a fabricação de diodos, filmes de Al depositados a 50°C foram utilizados.

#### 3.4.2 - Transistores MIS com fonte e dreno recozidos a laser

Após o desenvolvimento de processos de fabricação em baixa temperatura ( $\leq 400^{\circ}$ C) de capacitores MIS e a técnica de recozimento a laser, pode-se integrar estas duas tecnologias de processamento na fabricação de transistores n-e p-MISFETs.

Neste Capítulo é apresentado o processo de fabricação de transistores MIS reunindo as técnicas de processamento desenvolvidas na fabricação de capacitores e diodos apresentados anteriormente.

#### 3.4.2.1 - Processo de fabricação dos MISFETs

Transistores com comprimento de canal (*L*) de 3,0, 4,0, 6,0 e 10.0  $\mu$ m e largura de porta (*W*) fixado em 20 $\mu$ m foram projetados. A Figura 3.3 mostra o *layout* do transistor MIS a ser fabricado.



Figura 3.3: Layout do transistor MIS a ser fabricado.

Para a fabricação dos transistores n- e p-MISFETs, inicialmente é crescida uma camada de dióxido de silício de aproximadamente 20 nm por oxidação térmica sobre a superfície de silício. Anteriormente a oxidação térmica, um imersão em HF é realizado imediatamente antes da oxidação a fim de remover o óxido nativo sobre a superfície de silício. Após a oxidação, a implantação da lâmina de silício é realizada através da camada de SiO<sub>2</sub> crescida. A implantação de corpo é formada por boro (B<sup>+</sup>), energia de 50keV, dose de  $1 \times 10^{12}$  cm<sup>-2</sup> e implantação de fósforo (P<sup>+</sup>), energia de 100keV, dose de  $1 \times 10^{12}$  cm<sup>-2</sup> para lâminas tipo p e tipo n, respectivamente. Uma implantação em alta dose também é realizada na parte posterior das lâminas com seus respectivos dopantes para um melhor contato. Em seguida, o SiO<sub>2</sub> térmico é removido em solução de BHF (1:7) e o recozimento da camada implantada em forno a 1000°C, 30 minutos em fluxo de N<sub>2</sub>. Um óxido de 400nm de espessura foi depositado por PECVD a 400°C seguido da primeira litografia definindo a região ativa do dispositivo. Sendo assim, o fotoresiste é depositado sobre a camada de SiO<sub>2</sub>, e a região ativa definida por waferstepper ASML i-line PAS5500/80. Duas etapas foram realizadas para a definição da área ativa e obter uma seletividade com a superfície do silício. Na primeira etapa, o SiO<sub>2</sub> é corroido por RIE (onde uma espessura de 20nm de SiO<sub>2</sub> deve permanecer) seguido por uma corrosão úmida (segunda etapa) até a superfície do silício. O fotorresiste é removido por plasma de O2, e imediatamente antes do crescimento do dielétrico de porta, a lâmina de Si é exposta a 4 minutos em solução HF (0,55%). Neste processo decidiu-se utilizar o oxinitreto de silício como dielétrico de porta devido

a maior facilidade de processamento. Uma camada de 12nm é crescida por ICP-PECVD a 250°C para se conseguir uma melhor interface com o substrato de silício. O próximo passo é a deposição de Al com 1% de silício com espessura de 375 nm a temperatura de 50°C (para manter o tamanho de grão pequeno e consequentemente uma superfície "brilhante"). O empilhamento de porta é gravado definindo as regiões de fonte e dreno do dispositivo. A corrosão das regiões de fonte e dreno expostas foram corroidas por RIE em dois passos, uma em alta potência de RF e outra em baixa potência de RF com grande seletividade ao Si para evitar danos na superfície da amostra. Implantação de Arsênio As<sup>+</sup> a 5 keV com uma dose de  $10^{15}$  ions/cm<sup>2</sup> e diflureto de boro - BF<sub>2</sub><sup>+</sup> em 5 keV com uma dose de  $10^{15}$  ions/cm<sup>2</sup> em ângulos de 7°, 30°, 45° de inclinação foi realizado sobre as amostras tipo p e tipo n, respectivamente. Uma imersão em solução de BHF (1:7) por 15 segundos é realizada imediatamente antes do implante de baixa energia. Esta imersão em BHF irá corroer lateralmente (aproximadamente 50nm) a camada de Al. Por ser uma corrosão isotrópica. Como está-se trabalhando com comprimentos de porta na ordem de micrometros não haverá problemas, mas para dimensões de porta submicrométricas este passo de processamento deve ser considerado.

A fonte e dreno das regiões implantadas foram recozidas a laser. A densidade de energia de laser foi variada em colunas entre 750 a 1050 mJ/cm<sup>2</sup> com passos de 50 mJ/cm<sup>2</sup> e 66% de sobreposição (ver Figura 3.4). Após o recozimento de fonte e dreno, foi depositada uma camada de 800nm de SiO<sub>2</sub> por PECVD a 400°C. A litografía de contato de fonte e dreno é realizada e logo após, a corrosão de SiO<sub>2</sub> é feita por plasma RIE. Este processo de corrosão precisa ser muito bem realizado, pois como temos junções ultra-rasas podemos atingir a região implantada danificando o dispositivo. Sendo assim, para evitar danos à superfície de silício, dois passos de corrosão são realizados, sendo o primeiro passo uma corrosão seca, deixando uma fina camada de óxido sobre o silício (de aproximadamente 20nm), e o segundo passo, uma corrosão úmida obtendo-se uma boa seletividade com o silício.

Uma camada de Al (1% Si) com uma espessura de 905 nm foi evaporada a 350°C para contato de fonte, dreno e parte posterior seguido da gravação de contatos. Antes da evaporação de Al, as amostras são colocadas 4 minutos em solução de HF (0,55%) para remover o óxido nativo da superfície exposta. A litografia da janela de contato da porta é realizada juntamente com a corrosão do óxido até contato com metal de porta. Uma camada de Al (1% Si) de 1,4µm de espessura é evaporada a 350°C. Finalmente, as interconexões de porta, fonte e dreno são

definidas, seguido da sinterização de contatos realizada em forno com gás verde a 400 ° C por 20 minutos. Durante as etapas de litografia a energia de exposição correta e foco são ajustados para uma melhor transferência de padrões. A Figura 3.5 mostra as etapas básicas do processo de fabricação de dispositivos n e p-MISFETs e a Tabela 3.4 mostra o fluxo de processo de execução.



Figura 3.4: Configuração de energia da radiação de laser aplicada no recozimento de fonte e dreno dos dispositivos MISFETs.



Figura 3.5: Principais etapas do processo de fabricação dos dispositivos n-MISFETs.

n-MISFET	p-MISFET		
Lâmina de Si tipo p (100)	Lâmina de Si tipo n (100)		
Limpeza (	não metal)		
HF (0.55%	), 4 minutos		
Crescimento 20	nm SiO <sub>2</sub> Térmico		
Implantação da lâmina	Implantação da lâmina		
50keV, 1x10 <sup>12</sup> cm <sup>-2</sup> , Boro	100keV, 1x10 <sup>12</sup> cm <sup>-2</sup> , Fósforo		
Remoção de SiO <sub>2</sub> Térmi	ico em solução BHF (1:7)		
Limpeza (	não metal)		
Recozimento- Forno a 100	0°C, 30 minutos com gás N <sub>2</sub>		
Limpeza (	não metal)		
Deposição de SiO <sub>2</sub> PE	CVD – 400nm a 400°C		
Litografia o	le área ativa		
Corrosão de SiO <sub>2</sub> PECVD – RI	E + corrosão úmida (BHF (1:7))		
Remoção de fotore	siste – Plasma de O <sub>2</sub>		
Limpeza (	ínão metal)		
HF (0.55%	), 4 minutos		
Crescimento de dielétrico de	porta (SiON) por ICP – 12nm		
Evaporação de 37	′5 nm de Al a 50°C		
Al(1%Si) – metal de porta e masca	ra refletiva para recozimento a laser		
Litografia de porta – Abertu	ra das áreas de fonte e dreno		
RIE – Al(1%Si) de 375n	m - Al evaporado a 50°C		
Corrosão de SiON (dielétrico de p	orta) – corrosão úmida (BHF (1:7))		
Remoção de fotore	siste – Plasma de O <sub>2</sub>		
Limpez	a (metal)		
BHF (1:7),	15 seconds		
Implantação de fonte e dreno	Implantação de fonte e dreno		
$As^+$ , 5 keV, 10 <sup>15</sup> ions/cm <sup>2</sup> ,	$BF_2^+$ , 5 keV, 10 <sup>15</sup> ions/cm <sup>2</sup> ,		
7°, 30°, 45° ângulos	7°, 30°, 45° ângulos		
Limpeza (metal)			
Recozimento de fonte e d	lreno a laser (em colunas)		
0-750-800-850-900-950-1000-1050mJ/cm <sup>2</sup> (sobreposição de 66%)			
Limpez	a (metal)		
Deposição de SiO <sub>2</sub> PECVD – 800nm a 400°C			
Litografia de contatos de fonte e dreno			
Corrosão de SiO <sub>2</sub> PECVD – RIE + corrosão úmida (BHF (1:7))			
Limpeza (metal)			
4 minutos, HF (0.55%)			
905 nm Al(1%Si) evaporado a 350°C (face anterior e posterior da amostra)			
Litografia de contato de porta			
RIE- Al(1%Si) e corrosão de SiO <sub>2</sub> PECVD			
Remoção de fotoresiste – Plasma de O <sub>2</sub>			
Limpeza (metal)			
Metalização de contato de porta - Al(1%Si) 1.4 μm			
Litografia de interconexões de fonte, dreno e porta			
RIE – metal de interconexões			
Remoção de fotoresiste – Plasma de O <sub>2</sub>			
Limpeza (metal)			
Sinterização em forno com g	Sinterização em forno com gás verde, 400°C – 20 minutos		

Tabela 3.4: Fluxo de processo detalhado para fabricação de n e p-MISFETs.

# **CAPÍTULO 4**

# **RESULTADOS EXPERIMENTAIS E DISCUSSÕES**

# 4.1 - Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de Si<sub>3</sub>N<sub>4</sub> para aplicação em tecnologia MEMS

# 4.1.1 - Análises de plasma

As medidas OES dos plasmas ECR utilizados nas deposições dos filmes de nitreto de silício em diferentes pressões de processo foram verificadas. As medidas identificaram linhas de emissão de Si (288 nm), H<sub> $\beta$ </sub> (484 nm), N<sub>2</sub> (358 nm) e NH (336 nm) que foram normalizadas com a linha de emissão de Ar (750 nm). Estes valores de linha de emissão foram obtidos para uma faixa espectral entre 200nm e 900nm. A Figura 4.1 apresenta as razões de Si (288 nm) / Ar (750 nm), H<sub> $\beta$ </sub> (484 nm) / Ar (750 nm), N<sub>2</sub> (358 nm) / Ar (750 nm) e NH (336 nm) / Ar (750 nm) e NH 336nm / Ar 750 nm nos plasmas ECR utilizados para diferentes pressões de processo. Através dos resultados das medidas OES podemos observar:

- as emissões de Si aumentam levemente com o aumento da pressão;
- as emissões de N2 diminuem com o aumento de pressão;
- as emissões de  $H_{\beta}$  aumentam levemente com o aumento da pressão;
- as emissões de NH aumentam fortemente com o aumento da pressão.



Figura 4.1: Intensidade de espectros normalizados para espécies Si, H, NH e N<sub>2</sub> a diferentes pressões.

A formação da molécula NH e o aumento das emissões de Si e H<sub> $\beta$ </sub> nos plasmas podem ser atribuídos ao alto grau de dissociação das moléculas de silana sob as condições da alta descarga de potência nos plasmas do tipo ECR, que permite, principalmente, a interação das espécies N e H na fase gasosa [1,2]. Esses radicais de NH podem contribuir para a formação de filmes de nitreto de silício porosos e isso não é desejável para a aplicação requerida. Outro fator que favorece o aumento da densidade de moléculas NH é a maior tendência das espécies N e H se ligarem. Em baixas pressões o livre caminho médio das espécies contidas no plasma é maior, o que minimiza as colisões e aumenta a velocidade da difusão das espécies da região de geração do plasma para a região do porta-amostra (local onde existe a reação do plasma com o substrato de Si). Com isso podemos estimar que a maioria das espécies de nitrogênio geradas pelo plasma remoto, quase não encontra barreira para difusão, e na região do porta-amostra reage com as espécies de Si e H provenientes da dissociação da silana. Pode-se observar na Figura 4.1 que as emissões tanto de Si e de H são menores em mais baixas pressões, resultando em baixa incorporação das ligações N-H e Si-H nos filmes depositados [3].

Com o aumento da pressão, as intensidades das emissões de Si, H e NH aumentam no plasma. Isto pode ser explicado pelo alto grau de dissociação das moléculas de gás de silana sob

as altas condições de descarga de potência em plasmas ECR, já que as espécies de Si e H são provenientes desta fonte gasosa. Mas as emissões de N2 diminuem no plasma com o aumento da pressão. Isto ocorre, pois em mais alta pressão, o livre caminho médio das espécies contidas no plasma é menor, o que maximiza as colisões e aumenta as interações das espécies de N, de Si e de H, reduzindo as de N2, e formando ligações Si-H, N-H, N-H2 e/ou Si-N-H, resultando em mais alta incorporação destas ligações nos filmes depositados [3]. Para baixa pressão, todas as linhas de emissão apresentam baixa intensidade, especialmente, as linhas de emissão de H $\beta$  (484 nm) e NH (336 nm).

#### 4.1.2 - Análises dos filmes e fabricação de estruturas suspensas

A Tabela 4.1 apresenta os valores de taxa de deposição, índice de refração ( $\eta$ ) e taxas de corrosão em BHF e KOH para cada amostra. As amostras P0,67, RF5 a N5 foram depositadas nas mesmas condições (pressão de 0,67 Pa, potência de RF de 5 W, fluxo de N<sub>2</sub> de 5 sccm). Note que os resultados obtidos para estas amostras foram muito próximos, o que identifica uma boa reprodutibilidade do processo. Taxas de deposição entre 13 nm e 18 nm foram obtidas, e essa relativamente pequena variação indica que a taxa de deposição é provavelmente limitada pela fonte de radicais SiHx, o qual não muda sobre as presentes condições (a potência de ECR e fluxo de silana são fixos). A taxa de deposição aumenta 30% com o aumento da pressão de 300% (de 0,67 Pa para 2,67 Pa), sendo que o aumento do fluxo de nitrogênio e potência de RF causam menos impacto na taxa de deposição dos filmes de nitreto. Por outro lado, o índice de refração apresenta grande variação, entre 1,77 e 2,9. Para nitreto de silício estequiométrico, os valores de índice de refração são de aproximadamente n≈ 1,95 [2,4,5]. Observa-se que a maioria dos filmes depositados são ricos em nitrogênio ( $\eta < 1.95$ ) e somente as amostras N2.5 (baixo fluxo de N<sub>2</sub>) e RF10 (alta potência de RF) possuem uma alta concentração de Si. No caso de altas potências de RF, a reduzida quantidade de nitrogênio no filme pode ser explicado pela remoção de átomos de nitrogênio do filme devido ao forte bombardeamento iônico. Verifica-se que aumentando a potência de RF, filmes mais densos (verificado pela baixa taxa de corrosão em BHF [6]) são produzidos, como pode ser visto na Tabela 4.1. A mudança na característica do filme pode ser claramente observada para potências ≥5W, indicando que a baixa potência de RF pode influenciar fortemente na qualidade dos filmes.

A variação na taxa de corrosão em solução de KOH foi significativa. Para amostras ricas em nitrogênio encontramos resultados de 1nm/minuto (neste caso muito difícil de medir). Este tipo de filme pode ser indicado para fabricação de membranas suspensas por corrosão seletiva em KOH. Por outro lado, para os filmes ricos em silício (amostras N2,5 e RF10) alta taxa de corrosão em KOH foi observada (maior que 103 nm/minuto).

Tabela 4.1: Medidas elipsométricas dos filmes de nitreto de silício depositados a diferentes parâmetros de processo.

Amostra	Parâmetro	os variáveis	Taxa de	Índice de	Taxa de	Resistência
			deposição	refração η	corrosão	em
			(nm/min.)		em BHF	corrosão
					(nm/min.)	de KOH
P0,67	Pressão (Pa)	0,67	13	1,93	11	Alta
P1,00		1,00	15	1.90	75	Alta
P1,33		1,33	16	1.90	213	Alta
P2,67		2,67	18	1.89	509	Alta
N2,5		2,50	13	2.9	0,7	Baixa
N5	Fluxo de $N_2$	5,00	13	1.93	11	Alta
N10	(sccm)	10,00	16	1.81	234	Alta
N20		20,00	16	1.77	454	Alta
RF0		0	15	1.95	16	Alta
RF1	Potência de RF (W)	1	15	1.89	17	Alta
RF3		3	15	1.92	20	Alta
RF5		5	13	1.93	12	Alta
RF10		10	13	2.02	7	Baixa

Os valores de taxa de corrosão em BHF também variaram fortemente. Uma variação entre 0,7nm/minuto e 509nm/minuto foi observada. Normalmente altas taxas de corrosão em BHF indicam alta concentração de hidrogênio nos filmes [7,8] e/ou formação de filmes com maior porosidade. Deposição a pressões mais elevadas (P1,33 Pa e P2,67 Pa), ou com alto fluxo de N2 (amostras N10 e N20) levam a filmes de alta porosidade (alta taxa de corrosão em BHF). Entretanto, a análise OES apresentou apenas uma pequena variação na concentração de radicais

de hidrogênio no plasma com a variação de pressão (Figura 4.1). Neste caso, os átomos de H que estão incorporados no filme não podem ser os maiores responsáveis pela porosidade no filme nas presentes condições. Por outro lado, uma forte correlação pode ser verificada entre a concentração de NH no plasma e a taxa de corrosão em BHF. Comparando os dois parâmetros (concentração de NH por OES e taxa de corrosão em BHF) é verificado um aumento considerável de ambos com o aumento do fluxo de N<sub>2</sub> e pressão. Por esta razão, o aumento da porosidade no filme é provavelmente mais devido à alta incorporação de moléculas de NH do que de átomos de H. Sendo que as moléculas de NH podem ser eficientemente produzidas em reações de átomos de H com excitação de moléculas de nitrogênio. Isto pode explicar porque somente um fraco crescimento da densidade de átomos de H no plasma é observado com o aumento de pressão (Figura 4.1).

Medidas FTIR foram realizadas para verificar as ligações químicas dos filmes e estudar a incorporação de hidrogênio. A Figura 4.2 apresenta o espectro FTIR para filmes de nitreto de silício depositados com fluxo de nitrogênio de 2,5, 5, 10 e 20 sccm. Os picos principais de absorção que correm entre 841 e 920 cm<sup>-1</sup> (*stratching mode*) e a 470 cm<sup>-1</sup> (*wagging mode*) são devido a ligações Si-N [2,5], confirmando a formação de filmes de nitreto de silício. A análise revelou também a presença de absorção a 1100-1170cm<sup>-1</sup> e a 3340-3350 cm<sup>-1</sup> devido a ligações N-H e N-H<sub>2</sub> (*bending mode*) e de N-H (*stretching mode*), respectivamente, assim com picos de absorção a 2000-2300 cm<sup>-1</sup> devido a ligações Si-H [9-10,11].

A Figura 4.2 mostra as intensidades dos picos de absorção de N-H se tornam mais fortes com o aumento do fluxo de nitrogênio (filmes N10 e N20) enquanto a intensidade dos picos de Si-H são maiores para baixa concentração de nitrogênio (amostras N5 e N2,5). Estes resultados nos dão o suporte para a hipótese que, com o aumento do fluxo de nitrogênio, mais hidrogênio é incorporado no filme em forma de moléculas de NH produzidas no plasma. Ao mesmo tempo, menor hidrogênio livre está disponível para formas ligações Si-H no filme. Além disso, a correlação existente entre a taxa de corrosão em BHF (indicador da porosidade do filme) e a quantidade de ligações N-H no filme indica que a presença de N-H é essencial para a formação de filmes de nitreto de silício poroso.

A concentração de hidrogênio nos filmes pode ser estimada grosseiramente da análise FTIR utilizando o método desenvolvido por Landford and Rand [8]. A estimativa mostra que a concentração de hidrogênio na amostra N2,5 é de ~1,0 x  $10^{22}$  cm<sup>-3</sup>, enquanto para os filmes N5,

N10 e N20 valores praticamente constantes de [H] foram obtidos variando entre 1,4 e 1,8  $\times 10^{22}$  cm<sup>-3</sup>. A correlação entre a taxa de corrosão em BHF e [H] foi verificada em outros trabalhos [7,8], e taxas de corrosão de 20-70nm foram identificadas para uma concentração de hidrogênio entre 1,5 e 2,1 $\times 10^{22}$  cm<sup>-3</sup>. Desta maneira, o efeito somente da contaminação de hidrogênio não pode explicar as altas taxas de corrosão (200-500nm/minuto) obtidas para amostras ricas em nitrogênio, fortemente indicando a formação de filmes porosos.

Baseados nestes resultados, o processo N5 (0,67 Pa, potência de RF de 5W, fluxo de N<sub>2</sub> de 5sccm), o qual produz filmes próximos dos estequiométricos e com alta resistência à corrosão em soluções de KOH e BHF, foram escolhidos para fabricar membranas suspensas em substrato de Si. Os fluxograma para a fabricação das membranas esta descrito na Figura 4.3 que apresenta (1) limpeza do substrato de Si pelo processo RCA, (2) deposição dos filmes de SiN por ECR-CVD, (3) aplicação de fotorresiste, (4) litografia, (5) corrosão do SiN por RIE (*Reactive Ion Etching*), (6) remoção do fotorresiste, (7) corrosão do Si em solução de KOH. Durante todo o processo foi tomado o cuidado para manter a integridade das estruturas suspensas.

Imagens SEM foram realizadas das estruturas fabricadas e podem ser vistas na Figura 4.4. As imagens mostram uma boa qualidade das membranas suspensas fabricadas de SiN por plasma ECR a temperatura ambiente sobre substrato de Si. Note que uma pequena relaxação da estrutura pode ser verificada devido ao estresse do filme e sua composição. Manter o estresse em baixos níveis é fundamental para a estabilidade mecânica das estruturas suspensas e melhorar a qualidade de interface Si-SiN.

A estabilidade mecânica das membranas suspensas é um fator crítico. Na Figura 4.4 é apresentada uma "ponte" suspensa fabricada com filme fino de nitreto de silício. Estas estruturas suspensas são frequentemente utilizadas em microdispositivos onde a isolação térmica com o substrato é crucial [12,13]. Como mencionado por Song [13], a fabricação de estruturas suspensas de alta qualidade é um desafio, sendo necessário o uso de filmes espessos para melhorar a estabilidade mecânica dos dispositivos.



Figura 4.2: Espectro FTIR dos filmes de nitreto de silício para diferentes fluxos de N<sub>2</sub>.



Figura 4.3: Fluxograma para fabricação das membranas suspensas. (1) limpeza do substrato de Si pelo processo RCA, (2) deposição dos filmes de SiN por ECR-CVD, (3) aplicação de fotorresiste, (4) litografia, (5) corrosão do SiN por RIE, (6) remoção do fotorresiste, (7) corrosão do Si em solução de KOH.



Figura 4.4: Imagens SEM das membranas suspensas com filmes de nitreto de silício fabricadas em substratos de Si utilizando 0,67 Pa, 5W RF, e 5 sccm de N<sub>2</sub>.

# 4.2 - Deposição de filmes de SiGe em sistema LPCVD-vertical

## 4.2.1 - Caracterização física dos filmes de SiGe

Com os dados das análises dos filmes crescidos por epitaxia, será possível otimizar os parâmetros de processo e comparar as qualidades das estruturas formadas pelos crescimentos utilizando o reator LPCVD-vertical para posteriormente fabricar dispositivos e caracterizá-los. Este estudo pretende aproveitar todo o potencial desse tipo de reator CVD para o crescimento de filmes de SiGe em semicondutores e estabelecer um processo reprodutível de obtenção desses filmes e de fabricação de dispositivos. Inicialmente estamos caracterizando as estruturas da Figura 3.3 crescidas em temperaturas de 800°C, 900°C e 1000°C.

Pela caracterização por XRD, cujo resultado é apresentado na Figura 4.5, existe a presença de SiGe-poli, onde aparecem três picos mais intensos indicando três orientações cristalinas diferentes. No eixo 2 $\theta$  encontramos os ângulos 28°, 47° e 57°, correspondente as orientações (111), (220) e (311), respectivamente [14]. Esses testes preliminares mostram que não ocorreu crescimento de filme epitaxial monocristalino como esperávamos. A análise de XRD é apresentada na Figura 4.5.



Figura 4.5: Estrutura Poli-Cristalina - No eixo 2 $\theta$ , os ângulos 28°, 47° e 57° são correspondentes as orientações (111), (220) e (311), respectivamente.

# 4.2.2 - Fabricação e caracterização elétrica dos diodos

Para a fabricação de diodos, após o crescimento do filme de SiGe, fizemos implantação de boro (camada  $p^+$ ) com energia de 50 KeV e dose de 5 x  $10^{15}$  cm<sup>-2</sup> e logo após um tratamento térmico por RTA a 960° por 40 segundos. Este tratamento térmico tem a intenção de fazer a ativação de dopantes e se possível obter a cristalização da camada de SiGe em fase sólida. No passo seguinte foi depositado alumínio (Al) na superfície, gravação e corrosão química do Al, corrosão por RIE do SiGe e Si (parcialmente) para separar as estruturas de diodo. Finalmente foi depositado Al na parte inferior da lâmina para contato. O processo básico de fabricação do diodo está descrito na Figura 4.6.



Figura 4.6: Processo de fabricação dos diodos. (a) crescimento da camada de SiGe, implantação de boro, recozimento por RTA, (b) deposição de Al, litografia, corrosão por RIE, (c) deposição de Al na parte inferior da lâmina de Si.

Além das análises XRD foram feitas também medidas elétricas. Foram fabricados e caracterizados os diodos utilizando filmes de SiGe crescidos a temperaturas de 800°C, 900°C e 1000°C. Na Figura 4.7 verificamos as imagens por FIB dos diodos fabricados e na Figura 4.8 verificamos as curvas dos diodos.



Figura 4.7: (a) Diodos de SiGe fabricados, (b) diodo escolhido para análise e corrosão realizada por FIB, (c) análise de espessura das camadas: 792,99nm de SiGe e 674,04nm de Al.



(a)



(b)



Figura 4.8: Curva I-V dos diodos fabricados com camada de SiGe crescida a (a)  $800^{\circ}$ C, (b)  $900^{\circ}$ C e (c)  $1000^{\circ}$ C.



Figura 4.9: Gráficos I-V dos diodos fabricados com camada de SiGe crescida a (a) 800°C, (b) 900°C e (c) 1000°C.

Através dos gráficos I-V verifica-se que para a amostra de SiGe crescida em 800°C o diodo entrou em condução em um valor de aproximadamente 0,53V, na amostra de 900°C em 0,43V e na amostra de 1000°C em 0,38V. Como diodos de Ge entram em condução em entre 0,2 e 0,3V e os de Si entre 0,6 e 0,7V esperávamos que os diodos de SiGe tivessem uma tensão de condução entre 0,2 e 0,7V, como foi identificado. Verificamos então que existe uma diminuição da tensão de condução do diodo ao aumentarmos a temperatura de crescimento. Isto pode estar relacionado a uma maior concentração de Ge na camada crescida com o aumento da temperatura de processo (800°C-1000°C). Na Figura 4.9 são apresentados os gráficos log I-V dos diodos fabricados.

Verifica-se nas Figuras 4.9(a) e (c) (com camadas de SiGe crescidas a 800°C e 1000°C), que na região reversa temos uma corrente de fuga muito alta de aproximadamente  $1x10^{-3}$  A. Em diodos de junção p<sup>+</sup>-n de Si, ocorrem corrente de fuga menores que  $10^{-6}$  A. Na Figura 4.9(b) (900°C), a corrente reversa foi menor, da ordem de  $1x10^{-5}$  A.

## 4.2.3 - Crescimento de SiGe com outros parâmetros

Foram realizadas 2 (duas) amostras com os parâmetros da Tabela 4.2 e 4.3 mudando para cada amostra a pressão do processo, fluxo de GeH<sub>4</sub> e SiH<sub>4</sub>. Com a variação destes parâmetros, pretende-se verificar a sua influência na espessura dos filmes.

Tabela 4.2: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD com pressão do processo de 5 Torr, fluxo de GeH<sub>4</sub> de 4 sccm e SiH<sub>4</sub> 20 sccm.

Gáses	SiH <sub>4</sub> /GeH <sub>4</sub>
Fluxos (sccm)	20 / 4
Gás de arraste	H <sub>2</sub>
Fluxo gás de arraste (sccm)	4800
Pressão	5 Torr
Tempo	5 minutos
Temperatura	800°C

Tabela 4.3: Parâmetros para crescimento de silício germânio Reator Epitaxial CVD com pressão do processo de 10 Torr, fluxo de GeH<sub>4</sub> de 8 sccm e SiH<sub>4</sub> 40 sccm.

Gáses	SiH <sub>4</sub> / GeH <sub>4</sub>
Fluxos (sccm)	40 / 8
Gás de arraste	H <sub>2</sub>
Fluxo gás de arraste (sccm)	4800
Pressão	10 Torr
Tempo	5 minutos
Temperatura	800°C

Para as amostras depositadas a 5Torr com fluxo de SiH<sub>4</sub> de 4sccm (Figura 4.10(a)) verificamos uma taxa de crescimento de SiGe de aproximadamente 162nm por minuto. Comparando essa taxa de crescimento com as amostras com as quais foram fabricados os diodos, e possui uma taxa de deposição de 159nm por minuto, verificamos que a redução do fluxo de SiH<sub>4</sub> não influiu na espessura final do filme. Para as amostras depositadas com pressão de 10Torr de fluxo de GeH<sub>4</sub> de 8sccm (Figura 4.10(b)) verificamos um aumento na espessura do filme crescido e possui uma taxa de crescimento de 277nm por minuto. A mudança na pressão do processo aumentou para quase o dobro a taxa de crescimento dos filmes. Podemos verificar também pelas imagens, que os filmes possuem uma grande rugosidade de superfície. Na Figuras 4.10(a) e (b) verificamos as imagens realizadas por FIB das amostras de SiGe .





(b)

Figura 4.10: Imagem FIB das amostras de SiGe conforme processos da (a) Tabela 4.2 e (b) Tabela 4.3.

4.3- Deposição de filmes de Al<sub>2</sub>O<sub>3</sub> por camada atômica (ALD) e oxinitretação do Si por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de dispositivos MOS

## 4.3.1 - Caracterização elétrica dos capacitores MIS

Como apresentado, capacitores Al/Al<sub>2</sub>O<sub>3</sub>/Si, Al/SiON/Si e Al/Al<sub>2</sub>O<sub>3</sub>-SiON/Si foram fabricados e eletricamente caracterizados por medidas capacitância-tensão e corrente-tensão, nos equipamentos HP4284 (LCR *meter*) e analisador de parâmetros HP4156B, respectivamente. Os filmes de Al<sub>2</sub>O<sub>3</sub> foram depositados por ALD, 70 pulsos, e possuem uma espessura de ~7nm, e os filmes de SiON, crescidos por ICP, possuem uma espessura de ~16nm, verificados por elipsometria.



Figura 4.11: Característica C-V do capacitor com dielétrico de  $Al_2O_3$  depositado por ALD a 300°C. Capacitores de 200  $\mu$ m × 200  $\mu$ m de área.

A curva características C-V dos capacitores Al/Al<sub>2</sub>O<sub>3</sub>/Si de 200  $\mu$ m x 200  $\mu$ m de área com filmes de Al<sub>2</sub>O<sub>3</sub> depositados por ALD a 300°C é mostrada na Figura 4.11. Os capacitores não

apresentam histerese, exibem um EOT de 6,8 nm e uma constante dielétrica de 4. A baixa constante dielétrica (k=4) encontrada pelos cálculos pode ser atribuída a uma camada interfacial de dióxido de silício nativo formado antes da deposição de camadas atômicas de Al<sub>2</sub>O<sub>3</sub> no substrato de silício [15], como também a formação de um filme não estequiométrico de Al<sub>2</sub>O<sub>3</sub>. A densidade de cargas armadilhadas na interface (*Interface Trap Level Density* - Dit) calculada foi de 4.2x10<sup>11</sup> cm<sup>-2</sup>-eV<sup>-1</sup> [16].



Figura 4.12: Característica C-V de capacitor com dielétrico de SiON crescidos por ICP a  $250^{\circ}$ C. Capacitores de 800  $\mu$ m × 800  $\mu$ m de área.

A curva características dos capacitores com 800  $\mu$ m x 800  $\mu$ m de área, utilizando SiON como dielétrico crescidos por ICP a baixa temperatura (250°C), não apresentaram histerese, exibiram um EOT de 16,9 nm e uma constante dielétrica de aproximadamente 4. Este valor de constante dielétrica é bem próximo aos filmes de SiO<sub>2</sub>, indicando um filme de SiON com baixa concentração de nitrogênio. A densidade de cargas armadilhadas na interface foi calculada apresentando 5,6x10<sup>10</sup> cm<sup>-2</sup>-eV<sup>-1</sup> e densidade efetiva de cargas de 7,6x10<sup>11</sup> cm<sup>-2</sup>-eV<sup>-1</sup> (Figura 4.12).


Figura 4.13: Característica C-V do capacitor com dielétricos SiON crescidos por ICP a 250°C e ALD Al<sub>2</sub>O<sub>3</sub> depositado a 300°C. Capacitores de 200  $\mu$ m × 200  $\mu$ m de área.

Na Tabela 4.4 são apresentados os parâmetros obtidos pela medida C-V e I-V.

Dielétrico de porta	Al <sub>2</sub> O <sub>3</sub>	SiON	$Al_2O_3 + SiON$
Área (μm²)	200 x 200	800 x 800	200 x 200
EOT (nm)	6.8	16.9	9.8
$C_{ac}$ (pF)	203	1300	140
$Q_{ss}/q$ [1/cm <sup>3</sup> ]	$1.9 \text{ x} 10^{12}$	$7.6 \times 10^{11}$	$1.31 \text{ x} 10^{12}$
$D_{it} [cm^2 - eV]^{-1}$	$4.2 \times 10^{11}$	$5.6 \times 10^{10}$	-
Densidade de corrente de	25.5x10 <sup>-8</sup>	25.7x10 <sup>-8</sup>	$40.2 \times 10^{-8}$
fuga			
$(A/cm^2)$ a V <sub>G</sub> = -1V (media.)			

Tabela 4.4: Parâmetros extraídos pelas medidas C-V e I-V.

Pelas características C-V dos capacitores com a combinação de dois dielétricos Al/Al<sub>2</sub>O<sub>3</sub>-SiON/Si (área = 200  $\mu$ m x 200  $\mu$ m) fui possível extrair um EOT de 9,8 nm. A medida C-V em baixa frequência (100Hz) não foi possível ser obtida para esses capacitores, somente em alta frequência (1MHz). Além disso, os capacitores com Al<sub>2</sub>O<sub>3</sub>-SiON apresentaram uma constante dielétrica de aproximadamente 7, o que comprova o efeito da alta constante dielétrica dos filmes de  $Al_2O_3$  (Figura 4.13). A utilização de uma camada de  $SiO_2$  ou SiON antes da deposição dos filmes de  $Al_2O_3$  permite uma melhor interface  $Si-Al_2O_3$ .

# 4.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores MOS

#### 4.4.1 - Integridade das máscaras refletivas de alumínio

Para verificar a integridade das máscaras refletivas de Al, duas estruturas foram fabricadas conforme a Figura 4.14. As estruturas fabricadas para teste de Al como máscara refletiva foram: (a) estrutura com 100nm Al / 300 nm SiO<sub>2</sub> LPCVD / 30 nm SiO<sub>2</sub> térmico e estrutura (b) 150 nm Al / 15 nm SiO<sub>2</sub> térmico.



Figura 4.14: Estruturas fabricadas para teste de Al como máscara refletiva. Estrutura (a) 100nm Al / 300 nm SiO<sub>2</sub> LPCVD / 30 nm SiO<sub>2</sub> térmico e estrutura (b) 150 nm Al / 15 nm SiO<sub>2</sub> térmico.

As amostras foram irradiadas com diferentes energias de laser variando de 700mJ/cm<sup>2</sup> a 1000mJ/cm<sup>2</sup> mantendo a amostra a temperatura ambiente (Figura 4.15).



Figura 4.15: Imagens da camada refletiva de Al sob várias energias de laser. Evaporação de Al ocorre nas bordas das estruturas devido ao óxido espesso. Evaporação de borda é aumentada conforme a energia do laser aumenta (a) [17]. Imagem SEM de linhas de Al 150 nm sobre 15 nm de óxido térmico após o recozimento. Nenhuma evaporação de Al é observada (b) [18].

As estruturas que possuem uma maior camada isolante sob o filme de Al absorvem muito calor durante o processo de recozimento a laser ocasionando a evaporação do aluminio partindo da borda para o centro. Esse efeito não occorre para as amostras com apenas um óxido térmico fino (~15nm) [19]. A evaporação de Al ocorre mais facilmente na estrutura com uma camada isolante mais espessa. Camadas isolantes mais finas possibilitam uma fácil dissipação de calor para o substrato de Si. Neste caso duas alternativas podem evitar o efeito de evaporação de Al durante o recozimento a laser aumentando a condutividade térmica (1) aumentar a espessura do metal (Al) (2) diminuir a espessura do isolante facilitando a transferência de calor para o substrato. No caso de dispositivos MOS, o fino dielétrico de porta possui baixa resistência térmica, o que faz a integração do *laser annealing* possível [18].

## 4.4.2 - Fabricação de junções n<sup>+</sup>p auto-alinhadas

Na fabricação de diodos, a qualidade do processamento e da preparação da superfície do silício antes da implantação de dopantes em baixa energia, são pontos extremamente importantes. A estrutura cristalina será posteriormente recozidas a laser para a obtenção de junções ultra-rasas. Pontos estes que não foram levados em conta durante a fabricação de diodos de SiGe. Uma excessiva corrosão seca até atingir a superfície do silício durante a abertura da janela de contato pode danificar a superfície do substrato de silício aumentando assim a rugosidade superfícial do Si. Além disso, para se obter diodos de alta qualidade, o óxido de silício nativo precisa ser removido imediatamente antes da implantação em baixa energia, caso contrário o óxido poderá bloquear a implantação e também aumentar a não-uniformidade dos perfis implantados. Estas imperfeições, que podem ocorrer durante a implantação sobre o óxido nativo, por sua vez, são transferidas durante o processo de recristalização a laser levando a uma maior corrente de fuga dos diodos [20,21]. Portanto, a corrosão da janela de contato se baseia em dois passos sendo (1) corrosão parcial das camadas por RIE e (2) corrosão úmida altamente seletiva em uma solução de HF ou corrosão por RIE com potência reduzida até a superfície do Si. Imediatamente antes da implantação de dopantes, uma imersão em solução de BHF é realizado para remover o óxido nativo e criar uma passivação de hidrogênio na superfície do silício. No entanto, a etapa de corrosão úmida (corrosão isotrópica) também remove o óxido de isolamento em direção lateral causando o alargamento da janela de contato. Isso pode acarretar um potencial aumento da corrente de fuga no perímetro dos diodos, deixando a junção implantada exposta ou perto demais do perímetro da janela de contato. O processo básico de fabricação dos diodos n<sup>+</sup>p é descrito na Figura 4.16. A fabricação de diodos p+n já foi estudada anteriormente com a implantação de diflureto de boro, e diodos de excelente qualidade foram medidos [21]. Diodos com características próximas ao ideal já foram fabricados utilizando uma camada térmica de dióxido de silício de 300 nm [21], que finalmente 25 nm desta camada isolante é corroída em solução de HF (0,55%) 4 minuto até a superfície do silício. Para diminuir a temperatura de processamento do dispositivo, filmes de SiO<sub>2</sub> depositados por LPCVD a 700°C foram testados como substitutos ao óxido térmico. No entanto, deixando 75 nm para a corrosão úmida provou ser demais para um isolamento seguro do perímetro de junção. Como compromisso, um óxido térmico de 30 nm acrescido de mais 300 nm de óxido por LPCVD foi investigada. A janela de contato é aberta por corrosão seca em plasma RIE em dois passos: (1) em alta potência e (2) em baixa potência (para não danificar a superfície do Si) (Figura 4.17 (a)), uma imersão em solução BHF (1:7) é realizada por 15 segundos para remover o óxido nativo imediatamente antes da implantação iônica. A imersão em BHF (1:7) remove o óxido de isolamento na direção lateral com taxas diferentes para óxido térmico e óxido de LPCVD. Um primeiro alargamento da janela de contato é observado (Figura 4.17 (b)). A região exposta é implantada e recozida a laser. Imediatamente antes da metalização, 4 minuto em solução HF (0,55%) é realizado um segundo alargamento da janela (Figura 4.17 (c)). A Figura 4.18 mostra a estrutura final do diodo juntamente com a imagem TEM da janela de contato (canto direito). Um pequeno alargamento da janela de contato na interface do Si é observado devido à menor taxa de corrosão do óxido térmico em relação ao óxido de LPCVD. As dimensões de contato são preservadas.

Para a fabricação das junções, baixa energia de implantação iônica foi utilizada. Para junções As foi empregado. Três diferentes ângulos de implantação foram utilizados: 7°, 30° e 45°. As amostras implantadas com As foram analisadas por SIMS (Figura 4.19), quatro pontas (Figura 4.20) e TEM (Figura 4.21). Um analisador de parâmetros HP4156B foi utilizado para caracterização elétrica dos diodos fabricados. Pela análise SIMS é possível verificar uma redução das profundidades de junção de 20, 18, 15nm com o aumento do ângulo de implantação de 7°, 30°, 45°, respectivamente. No entanto temos uma redução da dose implantada devido a uma maior quantidade de íons refletindo na superfície com o aumento do ângulo. As medidas de quatro pontas indicam uma resistência de folha de 220, 275 e  $311\Omega/cm^2$  de íons de As implantados e recozidos a uma energia de laser de  $1000mJ/cm^2$  implantados com ângulos de inclinação de 7°,  $30^\circ$ ,  $45^\circ$ , respectivamente. A Tabela 4.5 resume os resultados obtidos por SIMS e quatro pontas.



Figura 4.16: Processo de fabricação de diodos  $p^+n e n^+p$ .



Figura 4.17: Processo de corrosão da janela de contato (canto direito) durante o processo de fabricação. (a) janela de contato após a corrosão seca (alta seletividade com Si), (b) corrosão em BHF (1:7), implantação e recozimento a laser. Primeiro alargamento da janela de contato na direção lateral, (c) imersão em HF (0,55%) e metalização. Segundo o alargamento da janela de contato na direção lateral.



Figura 4.18: Imagem TEM do lado direito da janela de contato dos diodos fabricados.



Figura 4.19: Perfil SIMS das regiões implantadas e recozidas a 100mJ/cm<sup>2</sup> em três ângulos diferentes: 7°, 30° e 45°. Maior inclinação ângulos reduz a profundidade da junção, a um custo de perda de dose de implantação (devido a uma maior refexão na superfície).



Figura 4.20: Média da resistência de folha de uma amostra recozida a laser e implantadas a 5keV,  $10^{15}$  cm<sup>-2</sup>, ângulos de implantação: 7°, 30° e 45° versus a densidade de energia do laser.



Figura 4.21: Imagem TEM de uma junção  $n^+p$  recozida a laser a uma energia de 1000mJ/cm<sup>2</sup> e implantação de As a um ângulo de 45°. Profundidade de junção de 13nm pode ser observada.

Tabela 4.5: Resumo das implantações de arsênico em baixa energia. A média dos resultados de resistência de folha é apresentada.

Densidade de energia do laser (mJ/cm <sup>2</sup> )	Dose nominal (at./cm <sup>2</sup> )	Dose SIMS (at./cm <sup>2</sup> )	Implantação (ângulo)	Profundidade de junção (nm)	Resistência de folha med. (Ω/quadrado)
	1 E15	1.05 E15	7°	20	220
1000	1 E15	7.98 E14	30°	18	275
	1 E15	7.43 E14	45°	15	311

Trabalhos anteriores mostraram excelentes características elétricas de junções  $p^+n$  recozidas a laser [17]. Diodos  $n^+p$  e  $p^+n$  com dimensões de 40µm x 40µm foram fabricados, laser recozido a laser com densidade de energia de 900 mJ/cm<sup>2</sup> e eletricamente caracterizados (características I-V). As medidas I-V das junções  $n^+p$  e  $p^+n$  são apresentadas na Figura 4.22 e 4.23 (a), respectivamente.

Observa-se na Figura 4.22 que a corrente de fuga é baixa e o fator de idealidade é mais próximo do ideal quando o ângulo de implantação iônica é de 30°. A inclinação das curvas características reduz de 82,1 mV / dec. para 72,5 mV / dec.. Em polarização reversa de 1V, uma corrente de fuga de 7,5x10<sup>-13</sup> é observada. A diminuição da corrente de fuga pode ser relacionada a efeitos de borda. Com inclinação de 30° é possível aumentar a junção de sobreposição com a janela de implantação, evitando esses efeitos de borda, obtendo melhores características elétricas. As medições I-V dos diodos p<sup>+</sup>n (Figura 4.23 (a)) apresentaram excelentes características elétricas para diferentes energias de recozimento a laser [17]. A energia de recozimento foi aumentada de 700 mJ/cm<sup>2</sup> para 1150mJ/cm<sup>2</sup>. Com esses resultados, podemos transferir o processo para a fabricação das regiões de fonte e dreno dos transistores MOS.



Figura 4.22: Características I-V de diodos n<sup>+</sup>p auto-alinhados e recozidos a lazer a 900 mJ/cm<sup>2</sup>.



Figura 4.23: (a) Características I-V dos diodos  $p^+n$  auto-alinhados (40 x 40 $\mu$ m<sup>2</sup>) recozidos a laser em diferentes energias. (b) Inclinação das curvas em polarização direta versus energia do laser [21].

### 4.4.3 – Caracterização dos transistores MIS

#### 4.4.3.1 – Caracterização elétrica dos transistores MIS

Esta seção ilustra os resultados das medições elétricas dos dispositivos n-e p-MISFETs e análise dos mesmos. Foram fabricados transistores com comprimentos de porta de 3,0, 4,0, 6,0 e 10µm, e para cada tipo de transistor foram realizadas implantações em ângulos de inclinação de 7°, 30° e 45°. A largura do porta foi fixada em 20µm. As amostras foram caracterizadas utilizando analisador de parâmetros HP-4156C e HP-4284A LCR para as medidas C-V. A Figura 4.24 apresenta as curvas de característica de transferência I<sub>D</sub> versus V<sub>DS</sub> para n e p-MISFETs com as regiões de fonte e o dreno implantados em ângulos de inclinação de 7º, 30º e 45º, recozidas a uma densidade de laser de  $1050 \text{mJ/cm}^2$  e comprimento de porta de  $6,0 \mu \text{m}$ . As curvas de corrente de dreno versus a densidade de energia de laser mostram um aumento gradual da corrente de dreno com o aumento da energia do laser. Este efeito está diretamente relacionado ao aumento da ativação de dopantes implantados na região de fonte e dreno (devido o aumento da densidade de energia do laser), reduzindo assim a resistência entre as duas áreas e aumentando a corrente de dreno. Evidentemente, uma redução da corrente de dreno é verificada quando se aumenta o comprimento de porta motivado pelo aumento da resistência em série entre a fonte e dreno (Figura 4.25). As Figuras 4.26 e 4.27 apresentam a análise estatística da corrente de dreno versus a densidade de energia do laser para ambos dispositivos n e p-MISFETs, respectivamente, com valor de fixo de tensão de porta  $|V_G| = 5V$  e tensão dreno-fonte  $|V_{DS}| = 8V$  implantado em ângulos 7°, 30° e 45° de inclinação e fonte e dreno recozidos a laser entre 0 e 1050mJ/cm<sup>2</sup>. As correntes de dreno dos transistores recozidas em densidades de 1050mJ/cm<sup>2</sup> foram comparados com os transistores sem recozimento, e um aumento significativo da corrente de dreno pode ser observado.











Figure 4.24: Curvas da característica de saída  $I_D$  versus  $V_{DS}$  dos dispositivos n and p-MISFETs com comprimento de porta de 6µm com fonte e dreno recozidos a laser a 1050mJ/cm<sup>2</sup> e implantados a (a) 7°, (b) 30° e (c) 45°. A largura de porta foi fixada em 20µm.



Figura 4.25:  $I_D$  versus o comprimento de canal para transistores n-MISFETs com implantação de 30° e recozimento a laser variando entre 750 e 1050 mJ/cm<sup>2</sup>.

(c)

Para os transistores n-MISFETs a corrente de dreno para diferentes ângulos de implantação não sofrem muita alteração. O mesmo não ocorre para os dispositivos p-MISFETs, pois os dispositivos p-MISFETs com fonte e dreno implantados a 7°, possuem uma menor corrente de dreno comparado aos transistores com fonte e dreno implantados a 30° e 45°. Este efeito ocorreu não somente nos transistores de  $6\mu$ m de comprimento mas sim em todos os p-MISFETs. A reproducibilidade do processamento dos transistores foi verificada com sucesso e o mesmo efeito de redução da corrente de dreno em p-MISFETs implantados a 7° (em fonte e dreno) foi identificado. Nenhuma explicação plausivel para este tipo de efeito foi encontrada.

Medidas  $I_D$  versus  $V_{GS}$  e log  $I_D$  versus  $V_{GS}$  de n e p-MISFETs com comprimento de porta de 6µm, com fonte e dreno recozidos a laser a 1050mJ/cm<sup>2</sup> implantados a 7°, 30° e 45° também foram realizadas (ver Figura 4.28) . Uma menor corrente de dreno pode ser verificada para transistores p-MISFETs implantados a 7°. O mesmo efeito não ocorre para os dispositivos n-MISFETs. Os transistores fabricados apresentaram baixa corrente em  $V_{GS}$  =0V. Um resumo das medidas e os cálculos realizados estão apresentados na Tabela 4.4.

Nas curvas  $I_D$  versus  $V_{GS}$  e log  $I_D$  versus  $V_{GS}$  pode ser observada uma inclinação da curva na região sublimiar (*S*) de 113-191mV/decada para n-MISFETs e 117-162mV/decada para p-MISFETs, uma corrente  $I_{ON}/I_{OFF}$  entre 7.5x10<sup>4</sup> e 1.2x10<sup>8</sup> foi verificado. As transcondutâncias variaram entre 12 mS a 26 mS para n-MOSFET, e entre 2,2 mS e 8,1 mS para p-MOSFET. O efeito DIBL também foi avaliado, e pode ser observado por um deslocamento da tensão de limiar em função da tensão de dreno e com a redução do comprimento do canal o efeito DIBL tende a aumentar. Dependendo da polarização de dreno, o campo elétrico pode penetrar até a região de fonte. A penetração do campo elétrico de dreno na região da fonte faz com que se reduza a barreira de potêncial aumentando a corrente de dreno e consequentemente a injeção de portadores da fonte. Além disso, a tensão de limiar é reduzida. O valor de DIBL de 35 mV/V e 64,2 mV/V foi medido para n-MISFETs e p-MISFET, respectivamente. Medidas C-V em capacitores MIS presentes na mesma amostra de área de 80µm x 80µm também foram realizadas a fim de extrair a espessura do óxido equivalentes dos dispositivos. A EOT foi extraído a partir dos valores de capacitância em alta frequência (1 MHz) na região de acumulação. Uma capacitância de 17,8pF foi medida e um EOT de 12,3nm calculado.







(b)



(c) Figure 4.26: Curva  $I_D$  versus densidade de energia do laser para dispositivos n-MISFETs com valor fixos de  $V_G$ = 5V e  $V_{DS}$ = 8V implantados a (a)7°, (b) 30° e (c) 45°.



(a)



Figure 4.27: Curva I<sub>D</sub> versus densidade de energia do laser para dispositivos p-MISFETs com valor fixos de  $V_G$ = -5V e  $V_{DS}$ = -8V implantados a (a) 7°, (b) 30° e (c) 45°.



Figure 4.28:  $I_D$  versus  $V_{GS}$  e log  $I_D$  versus  $V_{GS}$  de n e p-MISFETs com comprimento de porta de 6µm, com fonte e dreno recozidos a laser a 1050mJ/cm<sup>2</sup> implantados a 7°, 30° and 45°. A largura de porta foi fixada em 20µm.

n-MISFET									
Comprimento	Ângulo de	$V_t(\mathbf{V})$	Ion/Ioff	(Transcondutância)	<i>S</i> (mV/dec.)	DIBL (mV/V)			
de porta (µm)	Implantação			gm <sub>max.</sub> (μS),					
				$V_D = 100 \mathrm{mV}$					
	7°	1,1	9,0E6	23	121	71,4			
3	30°	1,1	1,2E8	33	113	35,7			
	45°	1,1	1,0E5	33	170	42,8			
4	7°	1,1	1,3E7	24	120	50			
	30°	1,1	7,5E7	26	119	36			
	45°	1,1	9,3E4	26	183	64,2			
6	7°	1,1	7,7E6	18	124	42,8			
	30°	1,2	3,9E6	18	128	36,2			
	45°	1,1	7,5E4	17	188	71,4			
10	7°	1,1	2,8E6	12	130	35,7			
	30°	1,2	2,2E7	12	132	35			
	45°	1,2	9,3E4	12	191	85,7			
	p-MISFET								
Comprimento	Ângulo de	$V_t(\mathbf{V})$	$I_{on}/I_{off}(\mathbf{A})$	gm <sub>max.</sub> (μS),	<i>S</i> (mV/dec.)	DIBL (mV/V)			
de porta (µm)	Implantação			$V_D = 100 \mathrm{mV}$					
3	7°	-1,3	2,5E7	3,4	131	136			
	30°	-1,2	1,5E7	8,1	127	64,2			
	45°	-1,2	3,6E7	7,0	117	64,3			
4	7°	-1,3	1,2E7	3,7	142	150			
	30°	-1,2	5,9E6	5,9	147	71,4			
	45°	-1,2	5,4E6	5,7	146	78,5			
6	7°	-1,3	1,1E7	3,1	148	178			
	30°	-1,2	8,1E5	4,6	136	64,3			
	45°	-1,3	1,6E6	4,4	162	92,8			
10	7°	-1,3	9,8E6	2,2	161	107			
	30°	-1,2	4,4E5	3,0	149	65			
	45°	-1,3	1,0E6	2,8	154	10			

Tabela 4.6: Resumo das medidas e cálculos realizados em dispositivos MISFETs (média).

#### 4.4.3.2 - Caracterização física dos transistores MIS

Nesta seção foram realizadas as análises TEM dos dispositivos fabricados. A Figura 4.29 apresenta a imagem TEM da região de porta dos transistores n e p-MISFETs. Um espessura de 10-12nm de SiON pode ser verificada. Na Figura 4.30 a profundidade de junção dos transistores foram verificados e valores de 10nm e 12nm foram encontrados para dispositivos n-MISFETs e p-MISFEts, respectivamente. As imagens TEM da Figura 4.31 apresenta a seção transversal do dispositivo (a) n-MISFET e (b) p-MISFET de comprimento de porta de 3µm e largura de porta de 20 µm, com fonte e dreno recozidos a laser com uma densidade de energia de 1050mJ/cm<sup>2</sup>. Um incompleto crescimento epitaxial pode ser verificado nas regiões próximas ao empilhamento de

porta tanto para n como para p-MISFETs (ver Figura 4.32). Esta incompleta cristalização próxima a porta esta relacionada à absorção térmica da região de porta do empilhamento não permitindo a recristalização. Para que esse efeito seja suprimido poderíamos aumentar a densidade de energia do laser ou diminuir a espessura do dielétrico de porta. Devemos lembrar que aumentando a densidade de energia do laser devemos verificar também a integridade da camada refletiva de Al.



Figura 4.29: Imagem TEM do empilhamento de porta com dielétrico de porta de 12nm ICP-SiON.



Figura 4.30: Imagem TEM da região de junção de fonte e dreno (*Xj*).



(b)

Figura 4.31: Seção transversal dos dispositivos (a) n-MISFET e (b) p-MISFET,  $L= 3\mu m$  e  $W= 20\mu m$ . Região de fonte e dreno foram recozidos a laser em uma densidade de energia de  $1000 \text{mJ/cm}^2$ .



Figura 4.32: Imagens TEM dos dispositivos n e p-MISFETs ( $L=3\mu m$ ) recozidos em densidade de energia de laser de 1000 mJ/cm<sup>2</sup>. Al (metal de porta) continua presente e sem danos após o recozimento a laser. Uma incompleta recristalização pode ser verificada próxima ao empilhamento de porta (regiões marcadas).

# **CAPÍTULO 5**

## **CONCLUSÕES E PERSPECTIVAS FUTURAS**

# 5.1 - Deposição ECR-CVD em temperatura ambiente para obtenção de filmes de Si<sub>3</sub>N<sub>4</sub> para aplicação em tecnologia MEMS

Filmes isolantes de nitreto de silício foram depositados a baixa temperatura (20°C) utilizando um reator do tipo ECR-CVD em substratos de Si. A presença de ligações Si-N, Si-H e NH foram reveladas por análise FTIR. A maioria dos filmes obtidos são ricos em nitrogênio, sendo muito resistentes à corrosão em solução de KOH. Os filmes depositados a altas pressões ou altos fluxos de N<sub>2</sub> apresentaram elavadas taxas de corrosão em BHF, provavelmente devido à porosidade destes filmes. Baseado em análises por FTIR e OES, a porosidade dos filmes de nitreto pode ser atribuída à incorporação direta de moléculas de NH formadas no plasma. Esse resultado indica a possibilidade de controlar a porosidade do filme com a variação da composição da mistura gasosa. Os filmes de nitretos que apresentaram alta resistência à corrosão em BHF e KOH foram utilizados para fabricar membranas produzidas. Incorporação de hidrogênio (em nível relativamente baixo) e porosidade do filme parecem estar relacionados ao estresse mecânico da membrana. A tecnologia de deposição de filmes de nitreto de silício de alta qualidade utilizando baixa temperatura de processamento, diretamente sobre substratos de Si, pode ser usada para fabricar membranas microeletromecânicos.

#### Os resultados desta parte foram publicados em:

✓ <u>C. Biasotto</u>; J.A. Diniz; A. M. Daltrini; S. A. Moshkalyov; M. J. R. Monteiro. "Silicon nitride thin films deposited by electron cyclotron resonance chemical vapour deposition for micromechanical system applications". Thin Solid Films 516, pp. 7777–7782, 2008.

- ✓ M. Daltrini; S. A. Moshkalyov; M. J. R. Monteiro; M. Machida; A. Kostryukov; E. Besseler; <u>C. Biasotto</u>; J.A.Diniz. "*Plasma Diagnostics in High Density Reactors*". XI Latin American Workshop on Plasma Physics, 2005, Mexico City Mexico. Plasma and Fusion Science, v. 875. p. 176-179, 2006.
- Biasotto C.; Neli R.R.; Ramos, A. C. S.; Diniz, J. A.; Moshkalyov, S. A.; Doi, I.; Swart J. W. "Suspended Membranes Made by Silicon Nitride Deposited by ECR-CVD". In: Symposium on Microelectronics Technology and Devices, 2004, Porto de Galinhas-PE. Electrochemical Society Proceedings, v. 2004-3. p. 119-124, 2004.

#### 5.2 - Deposição de filmes de SiGe em sistema LPCVD-vertical

Com os resultados obtidos verifica-se que foi possível a obtenção de camadas de SiGe sobre substrato de Si e a fabricação de diodos utilizando camadas de SiGe crescidas por LPCVD. As características I-V dos diodos fabricados foram medidas e uma alta corrente de fuga  $(10^{-3} - 10^{-5} \text{ A})$  quando polarizado na região reversa foi verificada. O processo de fabricação dos diodos deverá ser modificado na tentativa de melhorar as características elétricas dos dispositivos fabricados. Verificamos também a influência da pressão no processo de crescimento. Com uma maior pressão foi possível verificar uma maior taxa de crescimento, aumentando também a rugosidade superficial do filme. Um processo de fabricação de diodos de alta qualidade foi desenvolvido.

Através da literatura verificamos que para se obter o crescimento de filmes monocristalinos de SiGe para aplicação em dispositivos MOS, precisamos de um reator CVD com a utilização de gases ultra puros [1-3]. Visto que não possuíamos a qualidade necessária de gases para obter o sucesso na obtenção dos filmes monocristalinos de SiGe de qualidade para aplicação em dispositivos MOS, o processamento dos filmes de SiGe no CCS-Unicamp pode ser usado para a obtenção de células solares, pois as camadas de SiGe apresentam um superfície texturizada, que é um importante parâmetro para aumentar a eficiência destes dispositivos [4]. Em busca de novas tecnologias para fabricação de dispositivos como também transistores MOS de SiGe, as atividades da pesquisa de doutorado inicializadas na Unicamp foram transferidas para a Holanda, na Delft University of Technology – Dimes.

# 5.3 - Deposição de filmes de Al<sub>2</sub>O<sub>3</sub> por camada atômica (ALD) e oxinitretação do Si por plasma ICP em baixa temperatura para aplicação como dielétrico de porta de dispositivos MOS

Para a fabricação dos capacitores MOS, utilizamos dois processos em baixa temperatura disponíveis nos laboratórios do Dimes: ALD ( $300^{\circ}$ C) e ICP ( $250^{\circ}$ C) e dois diferentes materiais, Al<sub>2</sub>O<sub>3</sub> e SiON, como também a combinação entre eles. Capacitores de boas características elétricas foram fabricados. Nesta tese não foi estudado a possibilidade de se obter filmes finos de dielétrico ( $\leq 5$ nm) e sim a possibilidade de obter filmes de SiON e Al<sub>2</sub>O<sub>3</sub> em baixa temperatura por ALD e ICP. Capacitores de boa qualidade foram fabricados o que possibilitou a aplicação em transistores MOS como também a aplicação em protótipo dos dispositivos D-DotFET.

# 5.4 - Recozimento a laser para obtenção de junções rasas em diodos e transistores MOS

Foi demonstrada também a fabricação de diodos n<sup>+</sup>p auto-alinhados de alta qualidade. Junções ultra-rasas foram obtidas por recozimento a laser. Corrosão úmida em solução de BHF (1:7) 15 segundos (durante a abertura das janelas de contato, imediatamente antes da implantação em baixa energia) e HF (0,55%) 4 minutos (imediatamente antes da metalização) é extremamente necessária para a excelente qualidade dos diodos fabricados. Foi verificado que a isolação de óxido térmico possui uma menor taxa de corrosão em BHF comparado ao óxido por LPCVD. O óxido térmico empregado na interface com o substrato de Si faz com que a janela de contato permaneça em seu tamanho original, evitando assim correntes de fuga pelo perímetro dos diodos fabricados. Caso o tempo de corrosão úmida for elevado, a janela de contato irá sofrer um aumento e consequentemente fugas de corrente no perímetro irão ser observadas. Um aumento do ângulo de implantação poderá ser usado com vantagem para aumentar a sobreposição da região implantada e o perímetro da janela de contato diminuindo assim as correntes de fuga. Podemos verificar também, que a profundidade de junção pode ser significativamente diminuída quando aumentamos o ângulo de implantação. Mudando o ângulo de 7º para 45º e profundidade de junção muda de 20 nm para 15 nm, enquanto a resistência de folha vai de 220  $\Omega/cm^2$  a 311  $\Omega/cm^2$ . Uma fuga de corrente mínima de 7,5 x 10<sup>-13</sup>A (em polarização reversa de 1V) foi observado para uma inclinação de 30º e densidade de energia de laser de 900 mJ/cm<sup>2</sup>. Estas características fazem da técnica ELA a candidata interessante para a fabricação de dispositivos MOSFETs.

Foi realizado um processo de fabricação de dispositivos n-MISFET e p-MISFET em baixa temperatura (≤400°C). Durante o processo de fabricação, alguns itens importantes foram verificados. Dentre eles podemos destacar:

 - a superfície da lâmina de Si deve ser limpa imediatamente antes do crescimento dos filmes de oxinitreto de silício (crescidos por ICP) juntamente com a corrosão em solução de HF (0,55%) por 4 minutos;

realizar corrosão em solução BHF (1:7) imediatamente antes da implantação de fonte e dreno. A corrosão em BHF permite remover o óxido nativo da superfície do Si e possibilita a implantação iônica em baixas energias;

- durante a definição de área ativa do dispositivo, corrosão por plasma em baixa potência ou corrosão úmida deve ser realizada para previnir danos na superfície do Si;

- durante a abertura de contato, corrosão por plasma em baixa potência ou corrosão úmida também deve ser realizada para previnir danos na superfície do Si;

- corrosão em solução HF (0,55%) por 4 minutos deve ser realizada para remover o óxido nativo da superfície de contato antes da metalização de fonte, dreno e quando necessário de porta com a intenção de melhorar contato.

As características elétricas dos transistores fabricados (n- e p-MISFETs) com a região de fonte e dreno recozidos a laser apresentaram um bom desempenho. Com o aumento da densidade de energia do laser é possível aumentar a ativação de dopantes, reduzir a resistência de fonte e dreno e aumentar a corrente de dreno do dispositivo. Uma recristalização incompleta pode ser verificada nas regiões próximas ao empilhamento de porta devido a absorção térmica. Portanto, para cada tipo de estrutura os parâmetros de recozimento a laser deve ser ajustado. Junções ultrarasas de fonte e dreno recozidas a laser com densidade de energia de 1050mJ/cm<sup>2</sup> e de aproximadamente 10-12 nm de profundidade foram ativadas e confirmadas pelas imagens TEM. Com base nos processos desenvolvidos, dispositivos MISFETs fabricados em baixa temperatura de processamento ( $\leq 400^\circ$ ) adicionado a técnica de recozimento a laser tem um enorme potencial para aplicação nas próximas gerações de dispositivos CMOS e para a fabricação do protótipo do dispositivo D-DotFET do projeto da Comunidade Européia.

#### Os resultados das partes 5.3 e 5.4 foram publicados em:

- ✓ <u>C. Biasotto</u>." DotFETs: MOSFETs Strained by a Single SiGe Dot in a Low-Temperature ELA Technology", Livro publicado em Outubro de 2011 Tese de Doutorado apresentada na TUDelft-Holanda.
- ✓ L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. Moers, D. Grutzmacher, J. Zhang, N. Hrauda, O. G. Schmidt, L. Miglio, H. Kosina, A. Marzegalli, G. Vastola, G. Mussler, J. Stangl, G. Bauer, J. van der Cingel, E. Bonera "*Integration of MOSFETs with SiGe dots as stressor material*", Solid State Electronics. Vol. 60, Issue 1, p. 75–83, June 2011.
- ✓ Hrauda, Nina; Zhang, Jianjun; Wintersberger, Eugen; Etzelstorfer, Tanja; Mandl, Bernhard; Stangl, Julian; Carbone, Dina; Holı, Václav; Jovanović, Vladimir; Biasotto, Cleber; Nanver, Lis; Moers, Juergen; Grützmacher, Detlev; Bauer, Günther. "X-ray nanodiffraction on a single SiGe quantum dot inside a functioning field-effect transistor" Nanoletters, 11, p. 2875-2880, 2011.

- ✓ Hrauda, Nina; Zhang, Jianjun; Wintersberger, Eugen; Etzelstorfer, Tanja; Mandl, Bernhard; Stangl, Julian; Carbone, Dina; Holı, Václav; Jovanović, Vladimir; Biasotto, Cleber; Nanver, Lis; Moers, Juergen; Grützmacher, Detlev; Bauer, Günther. "X-ray nanodiffraction on a single SiGe quantum dot inside a functioning field-effect transistor", NATURE TECHNOLOGY RESEARCH HIGHLIGHTS, Vol. 6, p. 395, July 2011.
- ✓ Cleber Biasotto, Viktor Gonda, Lis K. Nanver, Tom L. M. Scholtes, Johan van der Cingel, Daniel Vidal, Vladimir Javanovic, "Low-Complexity Full-Melt Laser-Anneal Process for Fabrication of Low-Leakage Implanted Ultrashallow Junctions", Journal of Electronic Materials, v. 40, n. 11, p. 2187-2196, 2011.
- ✓ L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. Moers, D. Grutzmacher, J. Zhang, N. Hrauda, O. G. Schmidt, L. Miglio, H. Kosina, A. Marzegalli, G. Vastola, G. Mussler, J. Stangl, G. Bauer, J. van der Cingel, E. Bonera "*Integration of MOSFETs with SiGe dots as stressor material*", 5<sup>th</sup> International SiGe Technology and device Meeting (ISTDM), May 24-26, Stockholm-Sweden, 2010.
- ✓ V. Jovanović, <u>C. Biasotto</u>, L. K. Nanver, J. Moers, D. Grutzmacher, J. Gerharz, G. Mussler, J. van der Cingel, J. Zhang, G. Bauer, O. G. Schmidt, and L. Miglio "*N-Channel MOSFETs fabricated on SiGe dots for Strain-Enhanced Mobility*", IEEE Electron Device Letters, vol. 99, p.1-3, August 2010.
- ✓ <u>Cleber Biasotto</u>, Viktor Gonda, Lis K. Nanver, Johan van der Cingel, Vladimir Jovanovic, "Laser Annealing of self-Aligned As+ Implants in Contact Window for UltraShallow Junction Formation", Symposium on Microelectronics Technology and Devices, 2009, Natal-RN, Brazil. Electrochemical Society Proceedings, pp. 19-27, 2009.
- ✓ <u>Cleber Biasotto</u>, Vladimir Jovanovic, Viktor Gonda, Johan van der Cingel, Silvana Milosavljevic, Lis K. Nanver "Downscaling of Al/Si-gate MOSFETs with self-aligned laser-annealed source/drain junctions", Workshop on Semiconductor Advances for Future Electronics and SENSORS, pp. 189-192, 26-27 November 2009.

- ✓ L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. van der Cingel, S. Milosavljević "Application of Laser Annealing in the EU FP6 Project D-DotFET", 17th IEEE International Conference on Advanced Thermal Processing of Semiconductors, September 29 -October 2, RTP 2009.
- ✓ <u>Cleber Biasotto</u>, Vladimir Jovanovic, Viktor Gonda, Johan van der Cingel, Silvana Milosavljevic, Lis K. Nanver, "Integration of Laser-Annealed Junctions in a Low-Temperature High-k Metal-Gate MISFET", Ultimate Integration on Silicon Conference (ULIS-2009), Aachen – Germany. pp. 181-184, 18-20 March 2009.
- ✓ Miloš Popadic, Lis K. Nanver, <u>Cleber Biasotto</u>, Viktor Gonda, and Johan van der Cingel, "Ultrashallow Doping by Excimer Laser Drive-in of RPCVD Surface Deposited Arsenic Monolayers", 16th IEEE International Conference on Advanced Thermal Processing of Semiconductors RTP 2008, Las Vegas-NV, USA. Proceedings, pp. 141-146, October 2008.

#### 5.5 – Perspectivas futuras

Este trabalho apresentou primeiramente a eficácia na obtenção e caracterização de filmes finos de nitreto de silício depositados por ECR-CVD em substratos de silício a baixa temperatura (20°C), assim como a fabricação de membranas suspensas para aplicação em dispositivos MEMS. O plasma e os filmes foram analisados por OES e FTIR, respectivamente. Além disso, a resistência à corrosão em soluções de BHF e KOH foram verificadas. A maioria dos filmes obtidos são muito resistentes a solução de KOH. Filmes depositados a altas pressões ou altos fluxos de N<sub>2</sub> apresentaram elavadas taxas de corrosão em BHF e a porosidade dos filmes de nitreto pode ser atribuída à incorporação direta de moléculas de NH formados no plasma (pelas medidas OES) possibilitando assim o controle da porosidade do filme com a variação da composição da mistura gasosa.

Como proposta de trabalho futuro para este assunto podemos citar:

- análise de estresse dos filmes depositados. Verificamos nas imagens SEM uma pequena relaxação da estrutura suspensa que está relacionada ao estresse do filme e sua composição. Devemos manter o estresse em baixos níveis para a estabilidade mecânica das estruturas suspensas.

Na segunda parte desta tese foi realizada uma tentativa de se obter camadas epitaxiais de SiGe crescidas em substrato de Si utilizando um reator do tipo LPCVD vertical. Normalmente esses filmes são crescidos utilizando reator do tipo MBE, mas se torna inviável para a produção industrial devido a seu alto custo, neste caso a utilização deste reator (LPCVD) viabilizaria o processamento. Um simples processo foi criado para a fabricação de diodos. Caracterização física foi realizada por FIB e as medidas elétricas apresentaram diodos de baixa qualidade (alta corrente de fuga na região de polarização reversa). Foi verificado também que para obter o crescimento de filmes de SiGe de excelentes qualidade para aplicação em diodos e dispositivos MOS, precisamos de um reator CVD de ultra-alto-vácuo e a utilização de gases ultra puros.

Como proposta de trabalho futuro para este assunto podemos citar:

- passivação dos diodos fabricados;

- aquisição e instalação de gases ultra-puros para o crescimento epitaxial de filmes de SiGe;

- modificação do processo de fabricação de diodos na tentativa de reduzir a corrente de fuga e melhorar o fator de idealidade dos diodos fabricados.

A terceira parte deste trabalho foi realizado totalmente na TUDelft (Holanda) em busca de novas tecnologias de fabricação de dispositivos em Si. Em 2007 iniciou-se um trabalho com a Comunidade Européia de nome "*Disposable Dot Field Effect Transistor for High Speed Si Integrated Circuits*" (*Sixth Framework - FP6 project*), onde processos deviam ser desenvolvidos e adicionados para o sucesso na fabricação do protótipo D-DotFET. Os processos desenvolvidos podem também ser aplicados na fabricação de outras tecnologias MOS. Dentre os processos desenvolvidos nesta tese, e que foram utilizados neste projeto podemos destacar:

- fabricação de capacitores MIS onde dielétricos de  $Al_2O_3$  e SiON crescidos e/ou depositados em baixa temperatura ( $\leq 400^{\circ}$ C) utilizando reatores do tipo ALD e ICP, respectivamente;

- fabricação de diodos n<sup>+</sup>p auto-alinhados de alta qualidade. Junções ultra-rasas foram obtidas por recozimento a laser. A profundidade de junção e resistência de folha pode ser controlada pela energia de implantação e aumentando o ângulo de implantação. Estas características fazem da técnica ELA um candidato interessante para a fabricação de dispositivos MOSFETs;

- os processos desenvolvidos na fabricação de capacitores e diodos foram adicionados na fabricação de transistores n-MOS e p-MOS. As características físicas e elétricas dos transistores fabricados foram analisadas e transistores de alta qualidade foram fabricados e aplicados na fabricação de transistores D-DotFET;

Como proposta de trabalho futuro para este assunto podemos citar:

 para os filmes de Al<sub>2</sub>O<sub>3</sub> depositados por ALD e SiON crescidos ICP devem ser analisados em sua composição como por exemplo utilizando a técnica FTIR;

- estudar a utilização de outros materiais como camada refletiva para o processo de recozimento a laser;

- estudar em mais detalhes a dissipação térmica nas regiões próximas as camadas isolantes impossibilitando a recristalização completa das camadas implantadas;

- para dispositivos com dimensões de comprimento de porta menores (dimensões submicrométricas) o metal de porta deve ser substituído devido a corrosão em BHF, utilizada remover o óxido nativo da superfície do silício antes da implantação em baixa energia;

## ANEXO A

# FABRICAÇÃO DE MÁSCARAS

Para a fabricação dos dispositivos, um novo conjunto de máscaras foi desenvolvido. Neste novo conjunto de máscaras, onde se utilizou o *software* LEDIT, os transistores são todos autoalinhados com uma variedade de tamanhos de comprimento e largura de porta. Para a completa fabricação dos transistores MOS, foram utilizadas 05 máscaras. As máscaras projetadas possuem diversos dispositivos como: diodos, capacitores e transistores MOS. Estruturas teste de Van der Pauw, para medida de resistência de folha, e estruturas Kelvin para resistência de contato, foram adicionadas no projeto. Dispositivos D-dotFETs de diversas dimensões foram também projetadas no mesmo conjunto. A Figura E1 apresenta o *layout* da máscara com todos os níveis.



Figura A1: Layout das máscaras projetadas para a fabricação dos dispositivos.

### **ANEXO B**

## LISTA DE PUBLICAÇÕES

- A. M. Daltrini ; S. A. Moshkalyov ; M. J. R. Monteiro ; M. Machida ; A. Kostryukov ; E. Besseler ; <u>C. Biasotto</u> ; J.A.Diniz. "*Plasma Diagnostics in High Density Reactors*". XI Latin American Workshop on Plasma Physics, 2005, Mexico City - Mexico. Plasma and Fusion Science, v. 875. p. 176-179, 2006.

- Mestanza, S. N. M. ; M.P. Obrador ; Rodriguez, E. ; <u>C. Biasotto</u> ; I. Doi ; J.A.Diniz ; J. W. Swart. "*Characterization and modeling of antireflective coatings of SiO2, Si3N4, and SiOxNy deposited by electron cyclotron resonance enhanced plasma chemical vapor deposition*". Journal of Vacuum Science & Technology. B, Microelectronics and Nanometer Structures Processing, Measurement and Phenomena, v. 24, p. 823-827, 2006.

<u>C. Biasotto</u>; A. M. Daltrini; Teixeira, R. C.; F.A. Boscoli; J.A.Diniz; S. A. Moshkalyov; I. Doi. "*Deposition of sacrificial silicon oxide layers by electron cyclotron resonance plasma*".
Journal of Vacuum Science & Technology. B, Microelectronics and Nanometer Structures Processing, Measurement and Phenomena, v. 25, p. 1166-1170, 2007.

- <u>C. Biasotto</u>; J.A. Diniz; A. M. Daltrini; S. A. Moshkalyov; M. J. R. Monteiro. "Silicon nitride thin films deposited by electron cyclotron resonance chemical vapour deposition for micromechanical system applications". Thin Solid Films 516, pp. 7777–7782, 2008.

- Miloš Popadic, Lis K. Nanver, <u>Cleber Biasotto</u>, Viktor Gonda, and Johan van der Cingel, "*Ultrashallow Doping by Excimer Laser Drive-in of RPCVD Surface Deposited Arsenic Monolayers*", 16th IEEE International Conference on Advanced Thermal Processing of Semiconductors RTP 2008, Las Vegas-NV, USA. Proceedings, pp. 141-146, October 2008.
<u>Cleber Biasotto</u>, Vladimir Jovanovic, Viktor Gonda, Johan van der Cingel, Silvana Milosavljevic, Lis K. Nanver, "*Integration of Laser-Annealed Junctions in a Low-Temperature High-k Metal-Gate MISFET*", Ultimate Integration on Silicon Conference (ULIS-2009), Aachen – Germany. pp. 181-184, 18-20 March 2009.

- <u>Cleber Biasotto</u>, Viktor Gonda, Lis K. Nanver, Johan van der Cingel, Vladimir Jovanovic, *"Laser Annealing of self-Aligned As+ Implants in Contact Window for UltraShallow Junction Formation"*, Symposium on Microelectronics Technology and Devices, 2009, Natal-RN, Brazil. Electrochemical Society Proceedings, pp. 19-27, 2009.

- <u>Cleber Biasotto</u>, Vladimir Jovanovic, Viktor Gonda, Johan van der Cingel, Silvana Milosavljevic, Lis K. Nanver "*Downscaling of Al/Si-gate MOSFETs with self-aligned laser-annealed source/drain junctions*", Workshop on Semiconductor Advances for Future Electronics and SENSORS, pp. 189-192, 26-27 November 2009.

- L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. van der Cingel, S. Milosavljević "Application of Laser Annealing in the EU FP6 Project D-DotFET", 17th IEEE International Conference on Advanced Thermal Processing of Semiconductors, September 29 - October 2, RTP 2009.

- Agata Sakic, Yann Civale, Lis K. Nanver, <u>Cleber Biasotto</u>, Vladimir Jovanovic "Al-mediated Solid-Phase Epitaxy of Silicon-On-Insulator", 2010 MRS Spring Meeting, April 5-9, San Francisco-CA, 2010.

- L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. Moers, D. Grutzmacher, J. Zhang, N. Hrauda, O. G. Schmidt, L. Miglio, H. Kosina, A. Marzegalli, G. Vastola, G. Mussler, J. Stangl, G. Bauer, J. van der Cingel, E. Bonera "*Integration of MOSFETs with SiGe dots as stressor material*", 5<sup>th</sup> International SiGe Technology and device Meeting (ISTDM), May 24-26, Stockholm-Sweden, 2010.

- V. Jovanović, <u>C. Biasotto</u>, L. K. Nanver, J. Moers, D. Grutzmacher, J. Gerharz, G. Mussler, J. van der Cingel, J. Zhang, G. Bauer, O. G. Schmidt, and L. Miglio "*N-Channel MOSFETs fabricated on SiGe dots for Strain-Enhanced Mobility*", IEEE Electron Device Letters, vol. 99, p.1-3, August 2010.

- L. K. Nanver, V. Jovanović, <u>C. Biasotto</u>, J. Moers, D. Grutzmacher, J. Zhang, N. Hrauda, O. G. Schmidt, L. Miglio, H. Kosina, A. Marzegalli, G. Vastola, G. Mussler, J. Stangl, G. Bauer, J. van der Cingel, E. Bonera "*Integration of MOSFETs with SiGe dots as stressor material*", Solid State Electronics. Vol. 60, Issue 1, p. 75–83, June 2011.

-Hrauda, Nina; Zhang, Jianjun; Wintersberger, Eugen; Etzelstorfer, Tanja; Mandl, Bernhard; Stangl, Julian; Carbone, Dina; Holı, Václav; Jovanović, Vladimir; **Biasotto, Cleber**; Nanver, Lis; Moers, Juergen; Grützmacher, Detlev; Bauer, Günther. *"X-ray nanodiffraction on a single SiGe quantum dot inside a functioning field-effect transistor"* Nanoletters, 11, p. 2875-2880, 2011.

-Hrauda, Nina; Zhang, Jianjun; Wintersberger, Eugen; Etzelstorfer, Tanja; Mandl, Bernhard; Stangl, Julian; Carbone, Dina; Holı, Václav; Jovanović, Vladimir; **Biasotto, Cleber**; Nanver, Lis; Moers, Juergen; Grützmacher, Detlev; Bauer, Günther. *"X-ray nanodiffraction on a single SiGe quantum dot inside a functioning field-effect transistor"*, NATURE TECHNOLOGY RESEARCH HIGHLIGHTS, Vol. 6, p. 395, July 2011.

-Cleber Biasotto, Viktor Gonda, Lis K. Nanver, Tom L. M. Scholtes, Johan van der Cingel, Daniel Vidal, Vladimir Javanovic, *"Low-Complexity Full-Melt Laser-Anneal Process for Fabrication of Low-Leakage Implanted Ultrashallow Junctions"*, Journal of Electronic Materials, v. 40, n. 11, p. 2187-2196, 2011.

# **REFERÊNCIAS BIBLIOGRÁFICAS**

#### Referências bibliográficas do Capítulo 1

[1] Pierre Morin, Gaetan Raymond, Daniel Benoit, Patrick Maury, Remi Beneyton, "A comparison of the mechanical stability of silicon nitride films deposited with various techniques", Applied Surface Science, vol. 260, pp. 69-72, 2012.

[2] Hwangbo, Yun; Park, Jung-Min; Brown, Walter L.; Goo, Jun-Hwan; Lee, Hak-Joo; Hyun, Seungmin, "Effect of deposition conditions on thermo-mechanical properties of free standing silicon-rich silicon nitride thin film", Microelectronic Engineering, 95, pp.34-41, Jul 2011.

[3] Cha, Bu-Sang; Lee, Seung-Mok; Kanashima, Takeshi; Okuyama, Masanori; Tanaka, Tsunehisa,"Influences of perforation ratio in characteristics of capacitive micromachined ultrasonic transducers in air" Sensors and Actuators A: Physical, 171 (2), pp.191-198, Nov 2011.

[4] Vladimir Djara, Karim Cherkaoui, Michael Schmidt, Scott Monaghan, Éamon O'Connor, Ian M. Povey, Dan O'Connell, Martyn E. Pemble, and Paul K. Hurley. "Impact of Forming Gas Annealing on the Performance of Surface-Channel In0.53Ga0.47As MOSFETs With an ALD Al2O3 Gate Dielectric", IEEE Transactions on tron Devices, vol. 59, No. 4, Apri 2012.

[5] Volker Naumann, Martin Otto, Ralf B. Wehrspohn, Christian Hagendorf, "Chemical and structural study of electrically passivating Al2O3/Si interfaces prepared by atomic layer deposition" J. Vac. Sci. Technol. A 30(4), Jul/Aug 2012.

[6] J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, and P. D. Ye," First Experimental Demonstration of Gate-all-around III-V MOSFETs by Top-down Approach", IEEE International Electron Devices Meeting, pp. 769-772, December 2011.

[7] Minseok Jo, Chang Young Kang, Jeff Huang, Gennadi Bersuker, Chadwin Young, Paul Kirsch, and Raj Jammy," Improved High-k/Metal Gate Lifetime Via Improved SILC Understanding and Mitigation", IEEE International Electron Devices Meeting, pp. 18.3.1 – 18.3.4, December 2011.

[8] E. Cartier, A. Kerber, T. Ando, M. M. Frank, K. Choi, S. Krishnan, B. Linder, K. Zhao, F. Monsieur, J. Stathis and V. Narayanan," Fundamental Aspects of HfO2-based High-k Metal Gate Stack Reliability and Implications on tinv-Scaling", IEEE International Electron Devices Meeting, pp. 18.4.1 – 18.4.4, December 2011.

[9] L. K. Nanver, V. Jovanović, C. Biasotto, J. van der Cingel, S. Milosavljević "Application of Laser Annealing in the EU FP6 Project D-DotFET", 17th IEEE International Conference on Advanced Thermal Processing of Semiconductors, September 29 - October 2, RTP 2009.

#### Referências bibliográficas do Capítulo 2

[1]- R. R., "Desenvolvimento de micro-estruturas mecânicas sobre o silício através da corrosão do substrato pela superfície", Dissertação de Mestrado, FEEC-UNICAMP, 2002.

[2]- A. Francis, U. Czarnetzki, and H. F. Döbele / N. Sadeghi, "Quenching of the 750.4 nm argon actinometry line by H<sub>2</sub> and several hydrocarbon molecules", Appl. Phys. Lett. 71, pp. 3796, 1997.

[3]- S.M. Sze, "Semiconductor Sensor", John Wiley & Sons, Inc. 1994.

[4]- R.P. Ribas, "Micro-sistemas Integrados", I Escola de Microeletrônica da SBC-Sul, 5-10 julho, 1999. Livro texto, cap. 15, Editores: R. Reis e M. Macarthy. pp.265-284.

[5]- Marc Madou, "Fundamentals of Microfabrication", CRC Press., 1997.

[6]- Y. Manabe and T. Mitsuyu, "Silicon nitride thin films prepared by the electron cyclotron resonance plasma chemical vapor deposition method", J. Appl. Phys. 66 (6), pp. 2475, 1989.

[7]- S. Wolf, and R. N. Tauber, "Silicon Processing for the VLSI Era", Vol.1: Process Technology. Lattice Press., 1986.

[8]- J. R. Flemish and R. L. Pfeffer, "Low hydrogen content silicon nitride films from electron cyclotron resonance plasmas", J. Appl. Phys. 74 (5), pp. 3277, 1993.

[9]- K. R. Williams and R. S. Muller, "Etch Rates for Micromachining Processing", J. Microelectromech. Syst. Vol.5, No 4, pp. 256-269, 1996.

[10]- K. R. Williams, K. Gupta and M. Wasilik, "Etch Rates for Micromachining Processing" Part. II. J. Microelectromech. Syst. Vol.12, No 6, pp.771-778, 2003.

[11]- S.A.Moshkalyov, J. A. Diniz, J. W. Swart, P. J. Tatsch e M. Machida, "Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma enhanced chemical vapor deposition in N2/Ar/SiH4", J. Vac. Sci Technol. B (15) 6, pp. 2682-2687, 1997.

[12]- G. A. Manera, "Dielétricos de porta de oxinitreto de silício obtidos por plasma ECR", Dissertação de Mestrado. FEEC-UNICAMP, 2004.

[13]- J.A.Diniz, A.P.Sotero, G.S. Lujan, P.J. Tatsch, J.W.Swart, "High quality of ultra-thin silicon oxynitride films formed by low-energy nitrogen implantation into silicon with additional plasma or thermal oxidation", Nuclear Instruments and Methods in Physics Research B, 166-167, pp. 64 – 69. 2000.

[14]- J.A.Diniz, A.L.Couto, I.Danilov, P.J. Tatsch, J.W.Swart, "Silicon Oxynitride Deposited by N2/O2/Ar/SiH4 ECR-CVD Plasma or Grown by N2/Os/Ar ECR Plasma Oxidation on Si Substrates for MOS Devices", 14th International Conference on Microelectronics and Packaging, vol.1, pp. 164 – Campinas/SP- Brasil, 1999. [15]- Jes Asmussen, Jr., Timothy A. Grotjohn, PengUn Mak, and Mark A. Perrin, "The Design and Application of Electron Cyclotron Resonance Discharges", IEEE Transactions on Plasma Scienc., Vol. 25. No. 6, pp.1196, 1997.

[16]- K. Suzuki, S. Okudaira, N. Sakudo, and I. Kenomato, "Microwave plasma etching", Jpn. J. Appl. Phys., Vol. 16, no. 11, pp. 1979–1984. 1977.

[17]- L. Bardos, G. Longar, I. Stoll, J. Musil, and F. Zacek, "A method of formation of thin oxide films on silicon in a microwave magnetoactive plasma", J. Phys. D, Appl. Phys., Vol. 8, pp. L195–L197, 1975.

[18]- J.Musil and F.Zacek, "Penetration of a strong electromagnetic wave in an inhomogeneous plasma generated by ECR using a magnetic beach", Plasma Phys., Vol. 13, pp. 471–476, 1971.

[19]- C. R. Betanzo, "Corrosão por plasma para tecnologias CMOS e microssistemas", Tese de Doutorado. FEEC-UNICAMP, 2003.

[20]- F. Wanlass and C. T. Sah, "Nanowatt logic using field-effect metal-oxide-semiconductor triodes", Technical Digest of the Int. Solid-State Circuit Conf., IEEE, pp. 32, 1963.

[21]- Intel website. www.intel.com (Timeline).

[22]- "International Technology Roadmap for Semiconductors (ITRS)", 2008 (Update).

[23]- G. Moore, "Cramming more components onto integrated circuits", Electronics 38(8), pp. 11, 1965.

[24]- "International Technology Roadmap for Semiconductors (ITRS)", 2009.

[25]- Narain Arora, "MOSFET Modeling for VLSI Simulation", Word Scientific, 2007.

[26]- Yannis Tsividis: "Operation and Modeling of the MOS Transistor", WCB/McGraw-Hill, 1999.

[27]- S. Wolf, "Silicon Processing for the VLSI Era", Vol 1, Lattice Press, 1990.

[28]- Peter B. Griffin, James D. Plummer, Michael D. Deal, "Silicon VLSI Technology: Fundamentals, Pratice and Modeling", 1<sup>st</sup>. edition, Prentice Hall Inc., 2000.

[29]- Franco Maloberti, Analog Design for CMOS VLSI Systems, Kluwer Academic Publisher,2001.

[30]- A. B. Bhattacharyya, "Compact MOSFET models for VLSI design", Wiley-IEEE Press., 2009.

[31]- G. D. Wilk, R. M. Wallace, J. M. Anthony, "High-k gate dielectrics: Current status and materials properties considerations", Journal of Applied Physics, Vol. 89, No. 10, p. 5243 2001.

[32]- R. Machorro, E.C. Samano, G. Soto, "Modification of refractive index in silicon oxynitride films during deposition", Material Letters 45, pp. 47-50, 2000.

[33]- M. Modreanu, M. Gartner, N. Tomozeiu, "Invertigation on optical and microestrutural properties of photoluminescent LPCVD SiOxNy thin films", Optical Materials 17, pp. 145, 2001.

[34]- M. Tabib-Azar, G. Beheim, "Modern trends im microestrutures and integrated optics for communication, sensing and actuation", Optical Engeneering, Vol. 36, No. 5, pp. 1307, 1997.

[35]- W. A. Claassen, H. A. J. Th. V.d. Pol, A. H. Goemans, "Characterization of Silicon-Oxynitride Films Deposited by Plasma-Enhanced CVD", J. Electrochem. Soc.: Solid State Science and Technology 133, pp.1458, 1986. [36]- J.A. Diniz, I. Doi, J.W. Swart, "Insulators obtained by electron cyclotron resonance plasmas on Si or GaAs", Materials Characterization 50, pp. 135, 2003.

[37]- M. L. Green, E. P. Gusev, R. Degraeve, E. L. Garfunkel, Applied Physics Reviews, "Ultrathin (<4nm) SiO2 and Si–O–N gate dielectric layers for silicon microelectronics: Understanding the processing, structure, and physical and electrical limits", Journal of Applied Physics, Vol. 90, No. 5, pp. 2057, 2001.

[38]- Jean-Pierre Locquet, Chiara Marchiori, Maryline Sousa, and Jean Fompeyrine, "High-*K* dielectrics for the gate stack", Journal of Applied Physics 100, pp. 051610, 2006.

[39]- John Robertson, "High dielectric constant gate oxides for metal oxide Si Transistors", Reports on Progress in Physics 69, pp. 327, 2006.

[40]- Gleison Allan Manera, "Dielétricos de porta de oxinitreto de silício obtidos por plasma ECR", Dissertação de Mestrado, FEEC- Unicamp, 2004.

[41]- K.F. Albertin, M.A. Valle, and I. Pereira, "Study of MOS capacitors with TiO2 and SiO2/TiO2 gate dielectric", Journal Integred Circuits and Systems, Vol. 2, No. 2, pp. 89, 2007.

[42]- Kensuke Takahashi, Kenzo Manabe, Ayuka Morioka, Taeko Ikarashi, Takuya Yoshihara, Heiji Watanabe and Toru Tatsumi, "High-Mobility Dual Metal Gate MOS Transistors with High-k Gate Dielectrics", The Japan Society of Applied Physics, Vol. 44, No. 4B, pp. 2210, 2005.

[43]- S. Abermann, J.K. Efavi, G. Sjoblom, M.C. Lemme, J. Olsson, E. Bertagnolli, "Processing and evaluation of metal gate/high-k/Si capacitors incorporating Al, Ni, TiN, and Mo as metal gate, and ZrO2 and HfO2 as high-k dielectric", Microelectronic Engineering 84, pp. 1635, 2007.

[44]- Won Suk Yang, Yeong Kwan Kim, Seung-Yeal Yang, Jin Hwak Choi, Heung Soo Park, Sang In Lee and Ji-Beom Yoo, "Effect of SiO<sub>2</sub> intermediate layer on Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/n<sup>+</sup>-poly Si interface deposited using atomic layer deposition (ALD) for deep submicron device applications", Surface and Coatings Technology, Vol. 131, Issues 1-3, pp. 79, 2000.

[45]- L. Manchanda, B. Busch, M.L. Green, M. Morris, "High-k Gate Dielectrics for the Silicon Insustry", Ext. Abst., IWGI, pp. 56, 2001.

[46]- Joongoo Kang, Dae Yeon Kim, and K. J. Chang, "Effect of H and Si impurities on device performance based on HfO<sub>2</sub> gate oxide", AIP Conf. Proc., Physics of semiconductors: 28th International Conference on the Physics of Semiconductors - ICPS 2006, Vol. 893, pp. 263, 2007.

[47]- Ch. Wenger, M. Lukosius, I. Costina, R. Sorge, J. Dabrowski, H.-J. Müssig, S. Pasko, Ch. Loh, "Investigation of atomic vapour deposited TiN/HfO2/SiO2 gate stacks for MOSFET devices", Microelectronic Engineering 85, pp. 1762-1765, 2008.

[48]- Chen, H.W., Chiu, F.C., Liu, C.H., Chen, S.Y., Huang, H.S., Juan, P.C., Hwang, H.L., "Interface characterization and current conduction in HfO<sub>2</sub>-gated MOS capacitors", Applied Surface Science, 254 (19), pp. 6112, 2008.

[49]- Marian A. Herman, Wolfgang Richter, Helmut Sitter, "Epitaxy: Physical Principles and Technical Implementation", Published by Springer, pp. 121, 2004.

[50]- Robert Doering, Yoshio Nishi, Contributor Robert Doering, "Handbook of Semiconductor Manufacturing Technology", Published by CRC Press, pp. 9, 2008.

[51]- Andrew Shaw, Joanna R. Groza, James F. Shackelford, Enrique J. Lavernia, Michael T. Powers, Contributor Joanna R. Groza, James F. Shackelford, "Materials Processing Handbook", Published by CRC Press, p. 8, 2007.

[52]- Michel Houssa, "High-k gate dielectrics", Contributor Michel Houssa, Published by CRC Press, pp. 17, 2003.

[53]- Elisa Bros Oliveira da Rosa, "Filmes Finos Dielétricos para a Tecnologia do Silício: Processamento Térmico e Caracterização", Universidade Federal do Rio Grande do Sul, Instituto de Física, Tese de Doutorado, 2003.

[54]- www.cambridgenanotech.com. Acesso em novembro 2010.

[55]- Shu-Yi Tsai, Yang-Ming Lu, Min-Hsiung Hon, "Study on the low leakage current of an MIS structure fabricated by ICP-CVD", Journal of Physics: Conference Series 100, pp. 042030, 2008.

[56]- X. Li, H. Zhou, J. Abrokwah, P. Zurcher, K. Rajagopalan, W. Liu, R. Gregory, M. Passlack and I.G. Thayne, "Low damage ashing and etching processes for ion implanted resist and Si<sub>3</sub>N<sub>4</sub> removal by ICP and RIE methods", Microelectronic Engineering, 85 (5), pp. 966, 2008.

[57]- Alcinei Moura Nunes, "Corrosão por plasma de filmes de silício policristalino e nitreto de silício para tecnologia MEMS e CMOS", Dissertação de Mestrado, FEEC-Unicamp, 2005.

[58]- http://www.itrs.net/ Acesso novembro 2010.

[59]- Roana Melina de Oliveira, "Dopagen tipo-n em estruturas SIMOX", Universidade Federal do Rio Grande do Sul, Instituto de Física, Dissertação de Mestrado, 2007.

[60]- "Oficina sobre Nano Ciência e Tecnologia, 1.", Resumos da 1ª Oficina sobre Nano Ciência e Tecnologia da UNICAMP, 5 e 6 de junho de 2003. – Campinas-SP : Unicamp/ Pró-Reitoria de Pesquisa, 2003.

[61]- Akio Shima, Hiroshi Ashihara, Atsushi Hiraiwa, Toshiyuki Mine, and Yasushi Goto, "Ultrashallow Junction Formation by Self-Limiting LTP and Its Aplication to sub-65-nm Node MOSFETs", IEEE Transactions on Electron Devices, Vol. 52, No. 6, pp. 1165, 2005.

[62]- Fábio Aparecido Cavarsan, "Processos Térmicos Rápidos RTO/RTA para Fabricação de Dispositivos MOS", Dissertação de Mestrado, FEEC-Unicamp, 2005.

[63]- Cheolmin Park, Seong-Dong Kim, Yun Wang, Somit Talwar, and Jason C. S. Woo, "50nm SOI CMOS Transistors with Ultra Shallow Junction using Laser Annealing and Pre-Amorphization Implantation", Symposium on VLSI Technology Digest of Technical Papers, pp. 69, 2001.

[64]- Bin Yu, Yun Wang, Haihong Wang, Qi Xiang, Concetta Riccobene, Somit Talwar, Ming-Ren Lin, "70nm MOSFET with Ultra Shallow, Abrupt, and Super-Doped S/D Extension Implemented by Laser Thermal Process (LTP)", pp. 20.4.1, IEDM 1999.

[65]- Vittorio Privitera, Antonino La Magna, Corrado Spinella, Guglielmo Fortunato, Luigi Mariucci, M. Cuscunà, Cateno Marco Camalleri, Angelo Magrì, Giovanna La Rosa, Bengt G. Svensson, Eduard V. Monakhov, and Frank Simon, "Integration of Melting Excimer Laser Annealing in Power MOS Technology", IEEE Transactions on Electron Devices, Vol. 54, No. 4, pp. 852, 2007.

[66]- K. Shibahara, K. Kurobe, Y. Ishikawa, K. Kagawa, Y. Niwatsukino, and A. Matsuno, "KRF Excimer Laser Annealing for Ultra Shallow Junction Formation: Approach for Irradiation Energy Density Reduction", 11th IEEE International Conference on Advanced Thermal Processing of Semiconductors – RTP, pp. 13, 2003.

[67]- Y. F. Chong, K. L. Pey, A. T. S. Wee, A. See, L. Chan, Y. F. Lu, W. D. Song, L. H. Chua, "Annealing of ultrashallow p-n junction by 248 nm excimer laser and rapid thermal processing with different preamorphization depths", Applied Physics Letters, Vol. 76, No. 22, pp. 3197, 2000. [68]- Eun Sik 'Jung, Ji Chel Bea, Yong Jae Lee, Pusan, "Ultra Shallow Junction Formation using Excimer Laser Annealing for Ultra Small Devices", KOREA, pp. 586, ISIE 2001.

[69]- Jacques Perriere, Eric Millon, Eric Fogarassy, "Recent advances in laser processing of materials", Colaborador Jacques Perriere, Eric Millon, Eric Fogarassy, Publicado por Elsevier, 2006.

[70]- Ming He, "Crystallographic Orientation- and Location-controlled Si Single Grains on an Amorphous Substrate for Large Area Electronics", Tese de Doutorado, Delft University of Technology, 2007.

[71]- T. Sameshima, S. Usui, and M. Sekiya, "XeCl Excimer Laser Annealing Used in the Fabrication of Poly-Si TFT's", IEEE Electron Device Letters, Vol. EDL-7, No. 5, pp. 276, 1986.

[72]- Viktor Gonda, "Excimer laser annealing for ultrashallow junctions and contacts", Ph.D. Thesis, Delft University of Technology, 2008.

[73]- E.E. Haller, "Germanium: From its discovery to SiGe devices", Materials Science in Semiconductor Processing 9, pp. 408, 2006.

[74]- Tak H. Ning, "History and future perspective of the modern silicon bipolartransistor", IEEE Transactions on Electron Devices, Vol.48, Issue 11, pp. 2485, 2001.

[75]- P.S. Chen, S.W. Lee, K.F. Liao, "Growth of high-quality relaxed SiGe films with an intermediate  $Si_{1-y}C_y$  layer for strained Si n-MOSFETs", Materials Science and Engineering B 130, pp. 194, 2006.

[76]- Jennifer F. Sage, William Barvosa-Carter, and Michael J. Aziz. "Strain-stabilized solid phase epitaxy of Si–Ge on Si", Journal of Applied Physics 99, pp. 113529, 2006.

[77]- Michael A. Todd, Keith D. Weeks, "Low temperature, high growth rate epitaxial silicon and silicon germanium alloy films", Applied Surface Science 224, pp. 41, 2004.

[78]- Tadayoshi Yamashiro, Toshifumi Kikuchi, Makoto Ishii, Fumitaka Honma, Masao Sakuraba, Takashi Matsuura, Junichi Murota, Toshiaki Tsuchiya, "Super self-aligned technology of ultra-shallow junction in MOSFETs using selective  $Si_{1-x}Ge_x$  CVD", Materials Science and Engineering B 89, pp. 120, 2002.

[79]- K. Grimm, L. Vescan, C.C.G. Visser, L.K. Nanver, H. Lu"th., "Annealing experiments on supercritical  $Si_{1-x}Ge_x$  layers grown by RPCVD", Materials Science and Engineering B 69–70, pp. 261, 2000.

[80]- Márcio José Morschbacher, "Relaxação estrutural de camadas pseudomórficas de SiGe/Si (100) induzida pela implantação iônica de He ou Si e tratamento térmico", Tese de Doutorado, UFRGS, 2005.

[81]- C.J. Vineis, M. Erdtmann, C.W. Leitz, "Optimized measurement of strained Si thickness and SiGe virtual substrate composition by spectroscopic ellipsometry", Thin Solid Films 513, pp. 78, 2006.

[82]- Thomas Berer, Dietmar Pachinger, Georg Pillwein, Michael Muhlberger, Herbert Lichtenberger, Gerhard Brunthaler, F. Schaffler, "Single-electron transistor in strained Si/SiGe heterostructures", Physica E 34, pp. 456, 2006.

[83]- Minjoo L. Lee, C. W. Leitz, Z. Cheng, A. J. Pitera, T. Langdo, M. T. Currie, G. Taraschi, and E. A. Fitzgerald, "Strained Ge channel p-type metal–oxide–semiconductor field-effect transistors grown on Si<sub>1-x</sub>Ge<sub>x</sub> /Si virtual substrates", Appl. Phys. Lett., Vol. 79, No. 20, pp. 3344, 2001.

[84]- Xiangdong Xu, Hockleong Kweh, Zhengcao Zhang, Zhihong Liu, Wei Zhou, Wei Zhang, Peixin Qian, "Thin strain-relaxed SiGe grown by ultrahigh vacuum chemical vapor deposition", Applied Surface Science 252, pp. 7594, 2006. [85]- Minjoo L. Lee, Eugene A. Fitzgerald, Mayank T. Bulsara, Matthew T. Currie, and Anthony Lochtefeld, "Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors", Journal of Applied Physics 97, pp. 011101, 2005.

[86]- Tsutomu Tezuka, Shu Nakaharai, Yoshihiko Moriyama, Naoharu Sugiyama, and Shin-ichi Takagi, "High-mobility strained SiGe-on-insulator pMOSFETs with Ge-rich surface channels fabricated by local condensation technique", IEEE Electron Device Letters, Vol. 26, No. 4, pp. 243, 2005.

[87]- Sarah H. Olsen, Matthew Temple, Anthony G. O'Neill, Douglas J. Paul, Sanatan Chattopadhyay, Kelvin S.K. Kwa, Luke S. Driscoll, "High-mobility strained SiGe-on-insulator pMOSFETs with Ge-rich surface channels fabricated by local condensation technique", Thin Solid Films 508, pp. 338, 2006.

[88]- Roger Loo, Peter Verheyen, Geert Eneman, Rita Rooyackers, Frederik Leys, Denis Shamiryan, Kristin De Meyer, Philippe P. Absil, Matty Caymax, "Characteristics of selective epitaxial SiGe deposition processes for recessed source/drain applications", Thin Solid Films 508, pp. 266, 2006.

[89]- X.J. Ning, D. Gao, P. Bonfanti, H. Wu, J. Guo, J. Chen, C.C. Shen, I.C. Chen, G. Cherng, "Selective epitaxial growth of SiGe for strained Si transistors", Materials Science and Engineering B 134, pp. 165, 2006.

[90]- Hans von Kanel, Carsten Rosenbland, Matthias Kummer, Elisabeth Muller, Thomas Graf and Thomas Hackbarth, "Fast Deposition Process for Graded SiGe Buffer Layers", Jpn. J. Appl. Phys. Vol. 39, pp. 2050. The Japan Society of Applied Physics. Pt1, No 4B, 2000.

[91]- A. Lauwers, M.J.H. van Dal, P. Verheyen, O. Chamirian, C. Demeurisse, S. Mertens, C. Vrancken, K. Verheyden, K. Funk, J.A. Kittl, "Study of silicide contacts to SiGe source/drain", Microelectronic Engineering 83, pp. 2268, 2006.

[92]- Borgarino, M. e Plana, R. e Graffeuil, J. e Cattani, L. e Fantini, F., "The Reliability of III-V semiconductor Heterojunction Bipolar Transistors" In: Gallium Arsenide applications symposium, GaAs 2000, 2-6 Paris, 2000.

[93]- http://omnis.if.ufrj.br/~pires/Crescimento.htm. Acesso novembro 2010.

[94]- B. Tillack, B. Heinemann, D. Knoll., "Atomic layer doping of SiGe – fundamentals and device applications", Thin Solid Films 369, pp. 189, 2000.

[95]- Cho, A. Y. e Arthur J. R., "Molecular beam epitaxy", Molecular Beam Epitaxy, Progress in Solid State Chemistry, Vol.10, pp. 157, 1975.

[96]- Manasevit, H., "Single-Crystal Gallium Arsenide on Insulating Substrates", Applied Physics Letters, 12, pp. 156, 1968.

[97]- Ricardo Cotrin Teixeira, "Implementação de um sistema LPCVD vertical para obtenção de filmes finos de silício policristalino", FEEC- Unicamp, Dissertação de Mestrado, 2001.

[98]- Manasevit, H., "Single-Crystal Gallium Arsenide on Insulating Substrates", Applied Physics Letters, 12, pp. 156, 1968.

### Referências bibliográficas do Capítulo 3

[1]- J.A. Diniz, I. Doi, J.W. Swart, "Insulators obtained by electron cyclotron resonance plasmas on Si or GaAs", Mater. Charact. 50, pp.135, 2003.

[2]- M.M. Madou, "Fundamentals of Microfabrication - The Science of Miniaturization", CRC Press, Boca Raton, 2002.

[3]- C.-E. Morosanu, "The preparation, characterization and applications of silicon nitride thin films", Thin Solid Films 65, pp.71, 1980.

[4]- C. Biasotto, "Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silicio por deposição ECR-CVD", Tese de Mestrado, Dissertação de Mestrado, FEEC-UNICAMP, 2005.

[5]- R.R. Neli, "Desenvolvimento de micro-estruturas mecânicas sobre o silício através da corrosão do substrato pela superfície", Dissertação de Mestrado, FEEC-UNICAMP, 2002.

[6]- F. Mailly, A. Giani, R. Bonnot, P. Temple-Boyer, F. Pascal-Delannoy, A. Foucaran, A. Boyer, "Anemometer with hot platinum thin film", Sensors and Actuators A, pp. 32, 2001.

[7]- Q. Song, Z. Cui, S. Xia, Z. Chen, J. Zhang, "Measurement of  $SiN_x$  thin film thermal property with suspended membrane structure", Sensors and Actuators A 112, pp. 122, 2004.

[8]- H. Ni, H.-J. Lee, A.G. Ramirez, "A robust two-step etching process for large-scale microfabricated  $SiO_2$  and  $Si_3N_4$  MEMS membranes", Sensors and Actuators A 119, pp.553, 2005.

[9]- J. Moon, T. Ito, A. Hiraki, "Growth and characterization of thin SiN films grown on Si by electron cyclotron resonance nitrogen plasma treatment", Thin Solid Films 229, pp. 93, 1993.

[10]- Y. Xin, Y. Shi, H. Liu, Z.X. Huang, L. Pu, R. Zhang, Y.D. Zheng, "Effect of NH<sub>3</sub> flow rate on growth, structure and luminescence of amorphous silicon nitride films by electron cyclotron resonance plasma", Thin Solid Films 516, pp. 1130, 2008.

[11]- S. Bae, D.G. Farber, S.J. Fonash, "Characteristics of low-temperature silicon nitride  $(SiN_x:H)$  using electron cyclotron resonance plasma", Solid-State Electronics 44, pp.1355, 2004.

[12]- K.B. Sundaram, R.E. Sah, H. Baumann, K. Balachandran, R.M. Todi, "Wet etching studies of silicon nitride thin films deposited by electron cyclotron resonance (ECR) plasma enhanced chemical vapor deposition", Microelectronic Engineering 70, pp. 109, 2003.

[13]- A.J. Flewitt, A.P. Dyson, J. Robertson, W.I. Milne, "Low temperature growth of silicon nitride by electron cyclotron resonance plasma enhanced chemical vapour deposition", Thin Solid Films 383, pp.172, 2001.

[14]- S.A. Moshkalyov, J.A. Diniz, J.W. Swart, P.J. Tatsch, M. Machida, "Deposition of silicon nitride by low-pressure electron cyclotron resonance plasma enhanced chemical vapor deposition in N<sub>2</sub>/Ar/SiH<sub>4</sub>", J. Vac. Sci. Technol. B 15, pp. 2682, 1997.

[15]- Ricardo Cotrin Teixeira, "Implementação de um sistema LPCVD vertical para obtenção de filmes finos de silício policristalino", FEEC- Unicamp, Dissertação de Mestrado, 2001.

[16]- Manasevit, H., "Single-Crystal Gallium Arsenide on Insulating Substrates", Applied Physics Letters, 12, pp. 156, 1968.

[17]- R.A. Levy, "Microeletronic Materials and Processes", Kluwer Academic Publishers, 1989.

[18]- S.M. Sze. VLSI Technology, Mcgraw-Hill, 2<sup>nd</sup> Ed., 1984.

[19]- Robert Mroczyński, Norbert Kwietniewski, Michał Ćwil, Patrick Hoffmann, Romuald B. Beck and Andrzej Jakubowski, "Improvement of electro-physical properties of ultra-thin PECVD silicon oxynitride layers by high-temperature annealing", Vacuum 82, pp. 1013, 2008.

[20]- E. Halova, S. Alexandrova, A. Szekeres, M. Modreanu, "LPCVD-silicon oxynitride films: interface properties", Microelectronics Reliability 45, pp. 982, 2005.

[21]- Jeng-Hwa Liao, Jung-Yu Hsieh, Hsing-Ju Lin, Wei-Yao Tang, Chun-Ling Chiang, Yun-Shan Lo, Tai-Bor Wu, Ling-Wu Yang, Tahone Yang, Kuang-Chao Chen and Chih-Yuan Lu, "Physical and electrical characteristics of silicon oxynitride films with various refractive indices", Journal Physics D: Appl. Phys. Vol. 42, No 17, pp. 175102, 2009.

[22]- J. Dupuis, E. Fourmond, J.F. Lelièvre, D. Ballutaud, M. Lemiti, "Impact of PECVD SiON stoichiometry and post-annealing on the silicon surface passivation", Thin Solid Films 516, pp. 6954, 2008.

[23]- D. Criado, A. Zúñiga and I. Pereyra, "Structural and morphological studies on SiO<sub>x</sub>N<sub>y</sub> thin films", Journal of Non-Crystalline Solids 354, pp. 2809, 2008.

[24]- Luis da Silva Zambom, Patrick Verdonck, "Deposition of silicon oxynitride at room temperature by Inductively Coupled Plasma-CVD", Thin Solid Films 515, pp. 596, 2006.

[25]- P. Vitanov, A. Harizanova, T. Ivanova and T. Dimitrova, "Chemical deposition of Al<sub>2</sub>O<sub>3</sub> thin films on Si substrates", Thin Solid Films 517, pp. 6327, 2009.

[26]- Ning Li, J.P. Allain, D.N. Ruzic, "Enhancement of aluminum oxide physical vapor deposition with a secondary plasma", Surface and Coatings Technology 149, pp. 161, 2002.

[27]- C. Cibert, H. Hidalgo, C. Champeaux, P. Tristant, C. Tixier, J. Desmaison, A. Catherinot, "Properties of aluminum oxide thin films deposited by pulsed laser deposition and plasma enhanced chemical vapor deposition", Thin Solid Films 516, pp. 1290, 2008.

[28]- C.H. Lin, H.L. Wang, M.H. Hon, "Preparation and characterization of aluminum oxide films by plasma enhanced chemical vapor deposition", Surface and Coatings Technology 90, pp. 102, 1997.

[29]- Won Suk Yang, Yeong Kwan Kim, Seung-Yeal Yang, Jin Hwak Choi, Heung Soo Park, Sang In Lee, Ji-Beom Yoo, "Effect of SiO intermediate layer on Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/n<sup>+</sup>-poly Si interface deposited using atomic layer deposition (ALD) for deep submicron device applications", Surface and Coatings Technology 131, pp. 79, 2000.

[30]- Ofer Sneh, Robert B.Clark-Phelps, Ana R.Londergan, Jereld Winkler, Thomas E.Seidel, "Thin film atomic layer deposition equipment for semiconductor processing", Thin Solid Films 402, pp. 248, 2002.

[31]- Hyoungsub Kim, Paul C. McIntyre, "Atomic Layer Deposition of Ultrathin Metal-Oxide Films for Nano-Scale Device Applications", Journal of the Korean Physical Society, Vol. 48, No. 1, pp. 5, 2006.

[32]- Ming He, "Crystallographic Orientation-and Location-controlled Si Single Grains on an Amorphous Substrate for Large Area electronics", PhD thesis, Delft University of Technology, September 2007.

[32]- Robert K. Willardson, Albert C. Beer, "Semiconductors and Semimetals", Vol. 20, Academic Press, 1984.

[33]- "International Technology Roadmap for Semiconductors (ITRS)", 2008 (Update).

### Referências bibliográficas do Capítulo 4

[1]- C.-E. Morosanu, "The preparation, characterization and applications of silicon nitride thin films", Thin Solid Films 65, pp.71, 1980.

[2]- C. Biasotto, "Obtenção e caracterização de filmes finos de óxido, nitreto e oxinitreto de silicio por deposição ECR-CVD", Tese de Mestrado, Dissertação de Mestrado, FEEC-UNICAMP, 2005.

[3]- Leonardo Breseghello Zoccal, "Desenvolvimento de dispositivos baseados em Substrato de GaAs com Passivação por Plasma ECR", Unicamp, 2007.

[4]- J.A. Diniz, I. Doi, J.W. Swart, "Insulators obtained by electron cyclotron resonance plasmas on Si or GaAs", Mater. Charact. 50, pp.135, 2003.

[5]- R.R. Neli, "Desenvolvimento de micro-estruturas mecânicas sobre o silício através da corrosão do substrato pela superfície", Dissertação de Mestrado, FEEC-UNICAMP, 2002.

[6]- C. Biasotto, A.M. Daltrini, R.C. Teixeira, F.A. Boscoli, J.A. Diniz, S.A. Moshkalev, I. Doi, "Deposition of sacrificial silicon oxide layers by electron cyclotron resonance plasma", J. Vac. Sci. Technol. B 25, pp. 1166, 2007.

[7]- S. Sitbon, M.C. Hugon, B. Agius, F. Abel, J.L. Courant, M. Puech, "Low temperature deposition of silicon nitride films by distributed electron cyclotron resonance plasma-enhanced chemical vapor deposition", J. Vac. Sci. Technol. A13, pp. 2900, 1995.

[8]- W.A. Lanford, M.J. Rand, "The hydrogen content of plasma-deposited silicon nitride", J. Appl. Phys. 49, pp. 2473, 1978.

[9]- E. Bustarret, M. Bensouda, M.C. Habrard, J.C. Bruyere, S. Poulin, S.C. Gujrathi, "Configurational statistics in a-Si<sub>x</sub>N<sub>y</sub>H<sub>z</sub> alloys: A quantitative bonding analysis", Phys. Rev. B 38, pp. 8171, 1988.

[10]- H. Mackel, R. Ludemann, "Detailed study of the composition of hydrogenated  $SiN_x$  layers for high-quality silicon surface passivation", J. Appl. Phys. 92, pp. 2602, 2002.

[11]- D.R. Anderson, In: A. Lee Smith (Ed.), "Analysis of Silicones", John Wiley & Sons, New York, 1974, Chapter 10.

[12]- F. Mailly, A. Giani, R. Bonnot, P. Temple-Boyer, F. Pascal-Delannoy, A. Foucaran, A. Boyer, "Anemometer with hot platinum thin film", Sensors and Actuators A, pp. 32, 2001.

[13]- Q. Song, Z. Cui, S. Xia, Z. Chen, J. Zhang, "Measurement of  $SiN_x$  thin film thermal property with suspended membrane structure", Sensors and Actuators A 112, pp. 122, 2004.

[14]- Emil V. Jelenkovic, K. Y. Tong, and Z. Sun, C. L. Mak, W. Y. Cheung, "Properties of crystallized Si12xGex thin films deposited by sputtering", J. Vac. Sci. Technol. A 15.6, 1997.

[15]- Won Suk Yang, Yeong Kwan Kim, Seung-Yeal Yang, Jin Hwak Choi, Heung Soo Park, Sang In Lee, Ji-Beom Yoo, "Effect of SiO intermediate layer on Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/n<sup>+</sup>-poly Si interface deposited using atomic layer deposition (ALD) for deep submicron device applications", Surface and Coatings Technology 131, pp. 79, 2000.

[16]- Agilent Technologies manual, "Evaluation of Gate Oxides Using a Voltage Step Quasi-Static CV Method", Application Note 4156-10.

[17]- "International Technology Roadmap for Semiconductors (ITRS)", 2008 (Update).

[18]- Cleber Biasotto, Vladimir Jovanović, Viktor Gonda, Johan van de Cingel, Silvana Milosavljević, Lis K. Nanver, "Integration of Laser-Annealed Junctions in a Low-Temperature High-k Metal-Gate MISFET", 10<sup>th</sup> International Conference on Ultimate Integration of Silicon-ULIS, pp. 181, 2009.

[19]- Cleber Biasotto, Vladimir Jovanovic, Viktor Gonda, Johan van der Cingel, Silvana Milosavljevic, Lis K. Nanver "Downscaling of Al/Si-gate MOSFETs with self-aligned laser-annealed source/drain junctions", Workshop on Semiconductor Advances for Future Electronics and Sensors, pp. 189, 2009.

[20]- L.K. Nanver, J. Slabbekoorn, T. Scholtes, R. Surdeanu, C. Ortiz, F. Simon, H.-J. Kalhert and J.W. Slotboom, in Ultra-Shallow Source/Drain Junction by Alternative Doping and Annealing Methods, F. Roozeboom; E. P. Gusev; L. J. Chen; M. C. Ozturk; D. –L. Kwong; P. J. Timans, PV 2003-14, p. 119, The Electrochemical Society Proceedings Series, Paris-France, 2003.

[21]- V. Gonda, "Excimer Laser Annealing for Ultrashallow Junctions and contacts", PhD thesis, Delft University of Technology, 2008.

## Referências bibliográficas do Capítulo 5

[1]- T.O. Sedgwick, M. Berkenblit, and T.S. Kuan, "Low-temperature selective epitaxial growth of silicon at atmospheric pressure", Applied Physics Letters. 54 (26), pp. 2689, 1989.

[2]- H.M. Buschbecka, A. Erharta, Y. Goeggela, C. Rosenblada, S. Wiltschea, J. Ramma, A. Dommannb, M. Kummer, "Production-ready dry cleaning and deposition processes for low-temperature Si and SiGe epitaxy" Applied Surface Science 224, pp. 36, 2004.

[3]- S. Bozzo, J.-L. Lazzari, C. Coudreau, A. Ronda, F. Arnaud d'Avitaya, J. Derrien, S. Mesters,B. Hollaender, P. Gergaud, O. Thomas, "Chemical vapor deposition of silicon-germanium heterostructures", Journal of Crystal Growth 216, pp. 171, 2000.

[4] - Audrey Roberto Silva, "Texturização da Superfície de Silício Monocristalino com NH<sub>4</sub>OH e Camada Antirrefletora para Aplicações em Células Fotovoltaicas compatíveis com tecnologia CMOS", Agosto 2012.