

UNIVERSIDADE ESTADUAL DE CAMPINAS

FACULDADE DE ENGENHARIA ELÉTRICA

TESE DE MESTRADO

Projeto de um Circuito *Sample-and-Hold* Autozero

Autor: **Robson Luiz Moreno**

Orientador: **Prof. Dr. Carlos Alberto dos Reis Filho**

Curso: Engenharia Elétrica

Unidade: Faculdade de Engenharia Elétrica

Este exemplar	definitivo	Robson Luiz Moreno	definição final da tese
			aprovada pela Comissão
		29 03 1996	
			Orientador

Dissertação apresentada à Faculdade de Engenharia Elétrica da UNICAMP como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica

Campinas, março de 1996

S.P. - Brasil

T/UNICAMP	
M815p	
27946	
667/96	
PREÇO R\$ 11,00	
DATA 04/07/96	
N.º CPD	

CM-00089470-0

**FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP**

Moreno, Robson Luiz
M815p **Projeto de um circuito sample-and-hold autozero /**
Robson Luiz Moreno. -- Campinas, SP: [s.n.], 1996.

Orientador: Carlos Alberto dos Reis Filho.
Dissertação (mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica.

1. Microeletrônica. 2. Circuitos integrados. 3.
Circuitos analógicos. 4. Processamento de sinais.
I. Reis Filho, Carlos Alberto dos. II. Universidade
Estadual de Campinas. Faculdade de Engenharia
Elétrica. III. Título.

**UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA**

TESE DE MESTRADO

**Projeto de um Circuito *Sample-and-Hold*
Autozero**

Autor: **Robson Luiz Moreno**

Orientador: **Prof. Dr. Carlos Alberto dos Reis Filho**

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho (orientador) - DEMIC/FEE/UNICAMP

Prof. Dr. Furio Damiani - DSIF/FEE/UNICAMP

Prof. Dr. Tales Cleber Pimenta - DON/EFEI

Campinas, março 1996

Aos meus pais,
Moacir e Vera
minha esposa,
Luiza,
e meus filhos
Rodrigo e Ricardo,
dedico.

AGRADECIMENTOS

Nesta oportunidade ímpar, que registra um marco em nosso desenvolvimento profissional, apraz-nos agradecer ao **Prof. Carlos Alberto dos Reis Filho** que, desde o nosso primeiro contato, premiou-nos com a sua confiança, capacidade, apoio irrestrito e principalmente, com a sua amizade. A nossa mais sincera e justa consideração por viabilizar este trabalho.

Agradeço também aos amigos **Eng. Adriano Marques Pereira** e **Eduardo Ferreira Rodrigues** pelo apoio durante estes últimos anos, sem o qual não poderia conciliar meu tempo entre as atividades profissionais e conclusão deste trabalho e aos Professores **Dr. Laércio Caldeira, Paulo Cesar Crepaldi** e **Dr. Tales Cleber Pimenta** pelos incentivos recebidos.

ÍNDICE

RESUMO	4
INTRODUÇÃO	5
CAPÍTULO 1 - Circuitos de Amostragem e Retenção	
1.1- Introdução	6
1.2- Circuitos <i>Sample-and-Hold</i>	6
CAPÍTULO 2 - Principais Causas da Tensão Residual de Entrada de Amplificadores Operacionais (Tensão de <i>Offset</i>)	
2.1- Introdução	10
2.2- Estudo de <i>Offset</i> em Amplificadores Operacionais	10
2.2.1 - <i>Offset</i> Sistemático	11
2.2.2 - <i>Offset</i> Aleatório	12
2.3. Principais Técnicas para Redução de <i>Offset</i>	17
CAPÍTULO 3 - Macro-Modelo para Injeção de Carga Utilizando o Spice	
3.1- Introdução	25
3.2- Modelamento	25
3.3- Macro-Modelo	28
3.4- Validação do Modelo	32
CAPÍTULO 4 - Circuito <i>Sample-and-Hold</i> Utilizando uma Nova Técnica para Cancelamento da Tensão de <i>Offset</i>	
4.1- Introdução	35
4.2- Princípio de funcionamento do Circuito	35
4.3- Circuito Proposto para o Buffer de Ganho Unitário	37
4.3.1 - Amplificador Operacional Utilizado no Circuito <i>Buffer</i>	39
4.4- Circuito do <i>Sample-and-Hold</i>	46
CONCLUSÃO	51
BIBLIOGRAFIA	52
APÊNDICE A	55
APÊNDICE B	61
APÊNDICE C	71

RESUMO

Este trabalho é composto por dois itens principais. Primeiro, a proposição de uma nova configuração de um circuito “*Sample-and-Hold*”, que tem como principal característica o cancelamento da tensão de *offset* e como segundo item, é apresentado um macromodelo que implementa o cálculo do erro causado pela injeção de carga em chaves NMOS.

O trabalho está organizado da seguinte forma: No capítulo 1 é apresentado uma visão geral das técnicas mais utilizadas para construção de circuitos “*Sample-and-Hold*”. No Capítulo 2, é apresentado um resumo das principais técnicas de cancelamento ou compensação da tensão de *offset* em amplificadores operacionais MOS. No Capítulo 3 é feita a proposição de um Macromodelo que visa o cálculo do erro causado pela injeção de carga que ocorre no momento de desligamento de chaves MOS. O Macromodelo, utiliza comandos SPICE e é implementado em ambiente Mentor Graphics. No Capítulo 4 é feita a apresentação de uma nova configuração de um circuito “*Sample-and-Hold*”. Neste ponto é feita uma descrição funcional do novo circuito, incluindo resultados de simulação SPICE (ACCUSIM) e o *layout* do circuito integrado (CI) que será realizado utilizando o processo 1.2 μ m CMOS da AMS (Austria Micro System).

Além do capítulos mencionados, foram incluídos três Apêndices. O primeiro, Apêndice A, inclui as listagens dos subcircuitos que compoem o macromodelo, o segundo, Apêndice B, corresponde às cópias de dois artigos, resultantes deste trabalho, que foram apresentados em congressos internacionais, e por fim o terceiro Apêndice apresenta a descrição SPICE do circuito obtido após extração do *layout* final.

Introdução

Circuitos que realizam a função de amostragem e retenção (Circuitos *Sample-and-Hold*) de um sinal analógico para um tratamento posterior, tem uma grande importância em muitas aplicações, tais como aquisição de dados em sistemas digitais e conversores Analogo/Digital. Sua função básica é transformar um sinal contínuo no tempo em um sinal discreto [1],[2],[9].

Os fatores que normalmente afetam a precisão deste tipo de circuito são a tensão residual (tensão de *offset*) dos amplificadores operacionais utilizados para construção dos circuitos e o erro de tensão causado pela injeção de carga das chaves de amostragem[1],[2]. Este trabalho apresenta uma nova proposta para construção de circuito *Sample-and-Hold* com baixa tensão de *offset*.

Visando demonstrar a originalidade da técnica apresentada, é apresentado um estudo sobre as principais técnicas utilizadas para a construção de circuitos *Sample-and-Hold*, e um levantamento das técnicas mais utilizadas para efetuar a compensação de *offset* em amplificadores operacionais.

Considerando também que o problema de injeção de carga causado pela abertura das chaves de amostragem deve ser bem estudado neste tipo de circuito, foi desenvolvido um macro-modelo para simulador do tipo SPICE, uma vez que os simuladores disponíveis não modelam corretamente o fenômeno de injeção de carga.

CAPÍTULO 1

Circuitos de Amostragem e Retenção

Sample-and-Hold (S/H)

1.1- Introdução

Os circuitos de amostragem e retenção (S/H) são muito utilizados na implementação de sistemas de aquisição de dados analógicos, fazendo parte do *front end* destes sistemas, juntamente com os circuitos de condicionamento de sinais. Por esta razão podem influir na definição da precisão em que o sistema opera. Neste sentido, devido à existência de muitas fontes de erro em circuitos desta natureza, o projeto de um S/H torna-se uma das mais difíceis tarefas do projetista de circuitos analógicos..

Dentre as fontes de erro em um S/H, destacam-se a tensão de erro residual (tensão de *offset*) dos amplificadores operacionais utilizados e a injeção de cargas [8,9,12] das chaves analógicas utilizadas.

Este capítulo apresenta alguns circuitos utilizados como S/H. Muitos destes circuitos necessitam de tecnologia de capacitor chaveado para viabilizar sua implementação, o que pode ser um fator indesejável quando for necessária sua utilização em conjunto com circuitos digitais.

1.2- Circuitos *Sample-and-Hold*

Apresentamos a seguir as configurações de circuito S/H mais utilizadas, de acordo com o aumento de sua complexidade, a qual resulta da busca de melhores desempenhos

A implementação mais simples de um S/H é um circuito do tipo seguidor de fonte, conforme mostrado na Fig. 1.1 [11]. O circuito é composto por uma chave de amostragem S1, um capacitor de amostragem Ch e um seguidor de tensão formado pelos transistores M1 e M2. Embora seja rápido, ele possui desvantagens quando utilizado em circuitos de alta precisão, pois a chave S1 normalmente implementada utilizando transistor NMOS, tem o tempo de abertura influenciado pela tensão de entrada, devido à variação da tensão mínima para condução (V_{γ}). Além disso, a linearidade do seguidor de fonte não permite que o circuito atinja precisões acima de 7 bits [11].

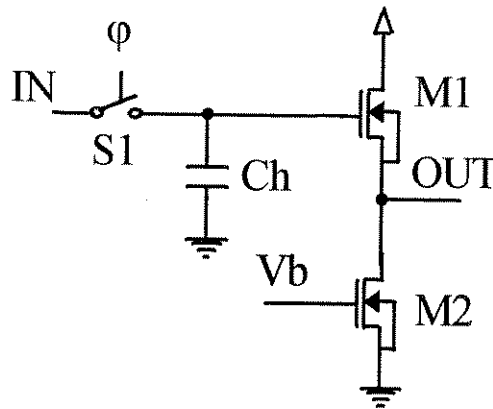


Figura 1.1 - Circuito Sample-and-Hold seguidor de emissor

O circuito da Fig. 1.2 é um integrador, onde a chave de amostragem S1, sempre opera com um terminal virtualmente aterrado (N1), independentemente da tensão de entrada, fazendo com que o tempo de desligamento seja o mesmo para toda a faixa de tensão de entrada. Entretanto devido à característica de passa-baixa, é difícil obter um valor alto para o tempo de estabilização (*settling time*). Este circuito pode ser melhorado se for utilizado um capacitor de compensação em paralelo com R_f e se utilizar-se no lugar da chave S1, uma chave MOS com chave *dummy* (transistor MOS com terminais de dreno e fonte curto-circuitados). Deste modo, pode chegar a taxas de 50 Mhz e 8 Bits [11],[12].

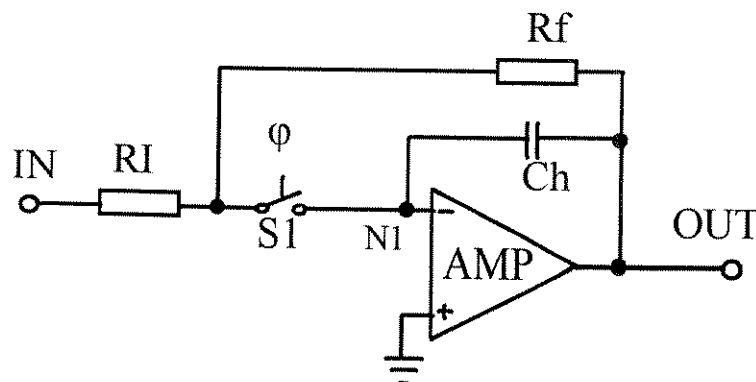


Figura 1.2 - Circuito Sample-and-Hold Integrador

No circuito da Fig. 1.3 [12], pode-se notar a combinação de uma chave S1 com um buffer de ganho unitário de alta impedância (B1). Durante a fase de amostragem, as chave S1 é fechada em conjunto com a chave S2. Com o auxílio da chave S2 e o amplificador operacional A1, tem-se que a capacitância de amostragem é formada pela combinação dos capacitores C1 e C2. Os capacitores C_{1B} e C_{2B} representam as capacitâncias parasitas associadas com C1 e C2.

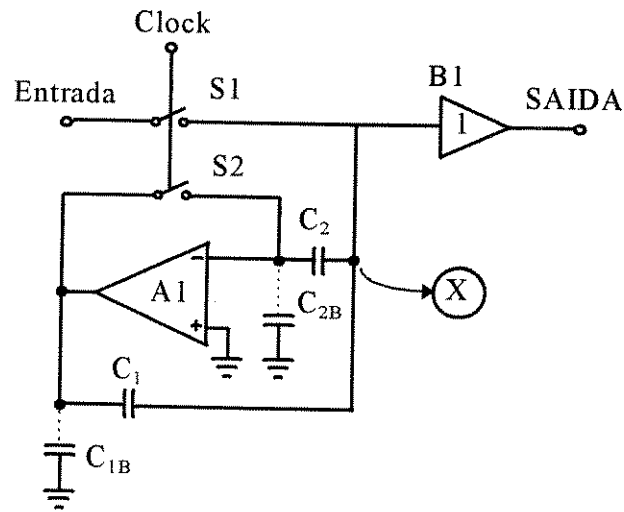


Figura 1.3 - Circuito Sample-and-Hold utilizando buffer de ganho unitário

Quando o circuito da Fig. 1.3 estiver no modo de amostragem, as chaves S1 e S2 estarão conduzindo. A chave S2 conecta a entrada e saída do amplificador A1, e ambos os capacitores C1 e C2 são conectados. Com o fechamento da chave de amostragem S1, a tensão de entrada é amostrada sobre os capacitores C1 e C2 no ponto X. Este circuito pode atingir baixos tempos de amostragem (5 ns), embora ainda com uma precisão de 8 Bits.

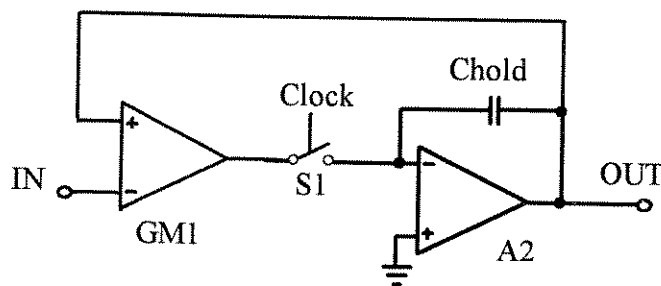


Figura 1.4 - Circuito Sample-and-Hold em malha fechada utilizando dois Amplificadores

O circuito apresentado na Fig.1.4 é composto por um estágio de entrada com transcondutância GM1, uma chave de amostragem S1 e um integrador formado por A2 e Chold. Assim no circuito da Fig. 1.2, neste circuito o erro de injeção de carga também é independente do sinal de entrada. A chave S1 tem um terminal sempre conectado a um terra

virtual durante a fase de amostragem. O capacitor Chold, serve tanto para reter o sinal de entrada, como também serve para compensação de frequência para o amplificador total, quando este está no modo de amostragem (chave S1 conduzindo). Este circuito apresenta limitações quanto a largura de banda, pelo fato de serem utilizados dois amplificadores na malha de realimentação, fazendo que apresente uma baixa frequência de operação, mas pode atingir uma precisão maior que 8 bits.

A Fig. 1.5 apresenta um circuito mais complexo que amostra valores de tensão com precisão de 12 bits [9]. Quando as chaves S1 e S2 são fechadas, o capacitor C1 é carregado com o sinal de entrada, o qual é amostrado quando S1 e S2 são desligadas. No instante seguinte, as chaves S4 e S5 são fechadas e o capacitor Cs é conectado na saída como um capacitor de realimentação e a tensão de saída é atualizada para fornecer um novo valor amostrado.

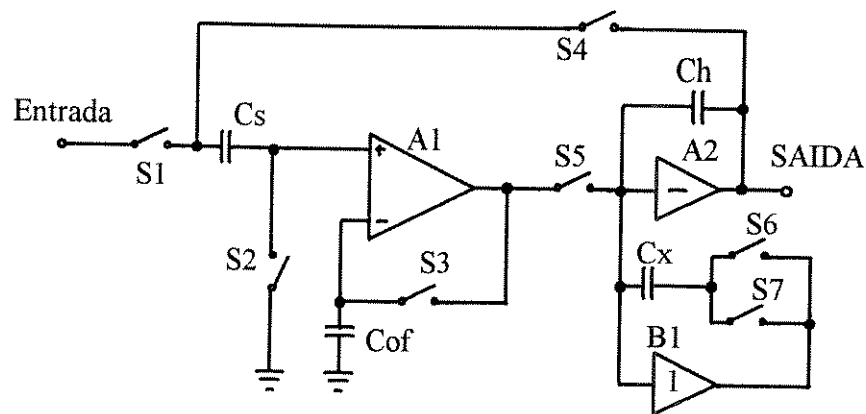


Figura 1.5 - Circuito Sample-and-Hold utilizando circuito para correção para o erro de injeção de carga

Todas as chaves são implementadas utilizando transistores NMOS. As chaves S2 e S3 servem para carregar o capacitor Cof com o valor da tensão de *offset* do amplificador A1, obtendo assim uma compensação simples do erro de *offset*. A contribuição de *offset* do amplificador A2 é desprezível, tendo em vista que é atenuada pelo alto ganho do primeiro estágio.

Uma particularidade do circuito da Fig. 1.5 é a utilização de uma estrutura adicional para tentar compensar o erro de injeção de carga no capacitor de retenção (Ch). O circuito de compensação é composto pelo amplificador de ganho unitário B1, capacitor Cx e chaves S6 e S7. O amplificador B1 força para a chave S6 as mesmas condições de polarização da chave S5. Inicialmente a chave S6 é desligada injetando uma parcela de cargas no capacitor Cx. Após um intervalo de tempo a chave S5 é desligada. Se as chaves S5 e S6 são casadas, após o fechamento da chave S7, ocorre uma compensação do erro de injeção de carga anterior.

CAPÍTULO 2

PRINCIPAIS CAUSAS DA TENSÃO RESIDUAL DE ENTRADA DE AMPLIFICADORES OPERACIONAIS (TENSÃO DE “*OFFSET*”)

2.1- Introdução

Em muitas aplicações de amplificadores operacionais, como por exemplo *Buffers* de ganho unitário e circuitos *Sample-and-Hold* a redução ou o cancelamento de tensões residuais (*offset*) [2] é um fator importante para manter a precisão do sistema. Uma vez que o circuito do *Sample-and-Hold* proposto utiliza um AMPOP, justifica-se o estudo e conhecimento dos fatores que influenciam na geração deste tipo de erro.

Uma vez que a técnica para correção de *offset* utilizada no *Sample-and-Hold* proposto é original, apresenta-se também neste capítulo um resumo das principais técnicas para correção de *offset* em amplificadores operacionais, com o objetivo de fornecer uma visão geral de como o problema é comumente solucionado.

A tensão de *offset* de amplificadores CMOS tipicamente está entre 10mV e 50mV [5]. Caso não sejam tomados cuidados durante o projeto do Amplificador Operacional (AMPOP), estes valores podem até ultrapassar esta faixa. Portanto, justifica-se o estudo dos fatores que possam aumentar ou diminuir o *offset* de um AMPOP.

2.2- Estudo de *Offset* em Amplificadores Operacionais

A tensão de *offset* final de um AMPOP é composta por uma parcela denominada *Offset* Sistemático, causada por dimensões impróprias ou condições incorretas de polarização, e uma outra parcela denominada *Offset* Aleatório devida a erros Aleatórios no processo de fabricação do AMPOP [2],[3].

2.2.1- Offset Sistemático

Para ilustrar a causa do *offset* sistemático, vamos considerar um AMPOP de dois estágios (Fig. 2.1) [1].

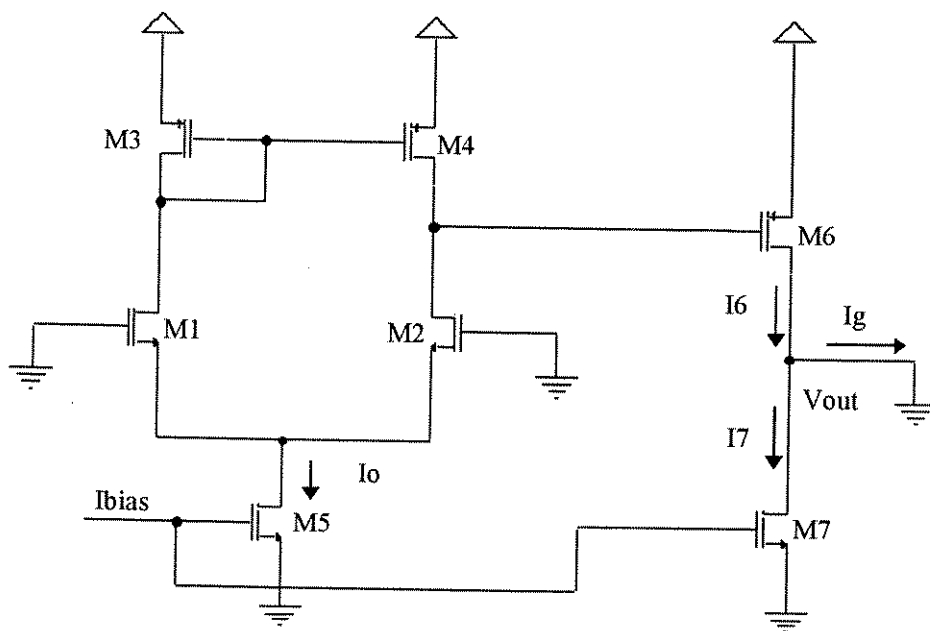


Figura 2.1 - Amplificador Operacional de 2 Estágios

Idealmente, se não existir *offset* sistemático, quando os *gates* de M1 e M2 estiverem aterrados, a saída Vout deverá assumir zero Volts. Nesta situação, tem-se que Ig deve ser igual a zero. Portanto, para não existir *offset* sistemático as correntes I6 e I7 deverão ser iguais [1].

Assumindo que os pares de transistores M1-M2 e M3-M4 são idênticos, suas respectivas correntes e tensões deverão ser iguais, ou seja, V_{ds} de M4 deverá ser igual a V_{ds} de M3 e V_{gs} de M3 igual a V_{gs} de M6. Se o valor de V_{gs} do transistor M6 resultar em uma corrente I6 igual a corrente I7, não existirá *offset* sistemático. Esta condição será satisfeita se a seguinte relação for obedecida[1]:

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} = \frac{I_o}{2I_7}$$

2.2.2- Offset Aleatório

Variações do processo de fabricação de Circuitos Integrados, causam variações nos parâmetros de transistores que idealmente deveriam ser iguais. Existem dois tipos de variações de processo que devem ser consideradas. As variações globais englobam variações do componente em um *wafer* ou um lote. As variações locais (*mismatch*) refletem a variação do valor de um componente com referência a um componente adjacente em um mesmo chip [6]. Como o projeto de circuitos analógicos de precisão é baseado mais propriamente na razão de componentes do que em valores absolutos, é importante estudar o comportamento do descasamento de componentes em um chip. Portanto, serão abordados a seguir alguns dos fatores que afetam o casamento de transistores situados em um mesmo chip.

.Fatores que influenciam na variação do valor de V_t (*mismatch*)

A tensão mínima para que um transistor MOS inicie a condução, ou tensão de limiar (tensão *Threshold* - V_t) de um transistor pode ser expressa como [6]:

$$V_t = \Phi_{MS} + 2\Phi_B + \frac{Q_B}{C} - \frac{Q_F}{C} + \frac{qD_I}{C}$$

onde Φ_{MS} é a diferença da função de trabalho entre o metal da porta e o semiconductor, Φ_B é o potencial de Fermi no substrato, Q_B é a densidade de cargas de depleção, Q_F é a densidade de cargas fixas no dielétrico da porta (óxido de silício), D_I é a dose de implantação para ajuste de V_t e C é a capacitância por unidade de área de dielétrico da porta do transistor (*gate*).

Segundo Lakshmikumar [6], é possível concluir que:

- Em um processo bem controlado a contribuição da variabilidade das cargas fixas no óxido para o *mismatch* na tensão *threshold* pode ser negligenciada.

- A distribuição não uniforme de átomos dopantes no substrato é um fator de grande importância no *mismatch* de V_t .

- Dispositivos que usam ajuste de implante para compensar a tensão threshold, tem maior *mismatch* em V_t devido diferenças de dopagem ocorridas na superfície. Como este ajuste geralmente ocorre em transistores do tipo P, esta é a principal razão para o maior *mismatch* em dispositivos P, se comparados aos do tipo N.

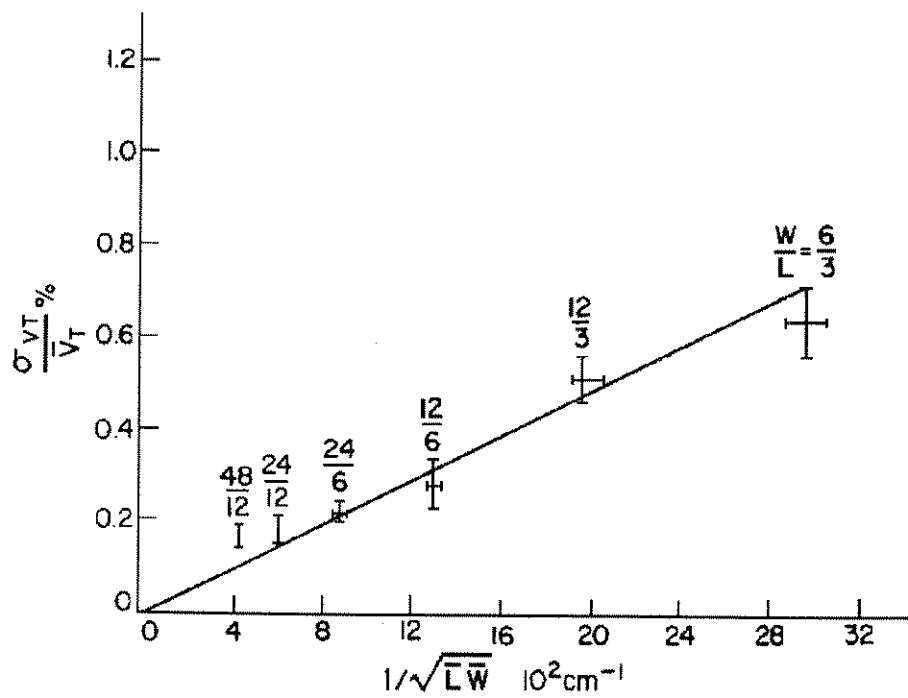


Figura 2.2 - Mismatch em V_T versus W/L para transistores tipo N

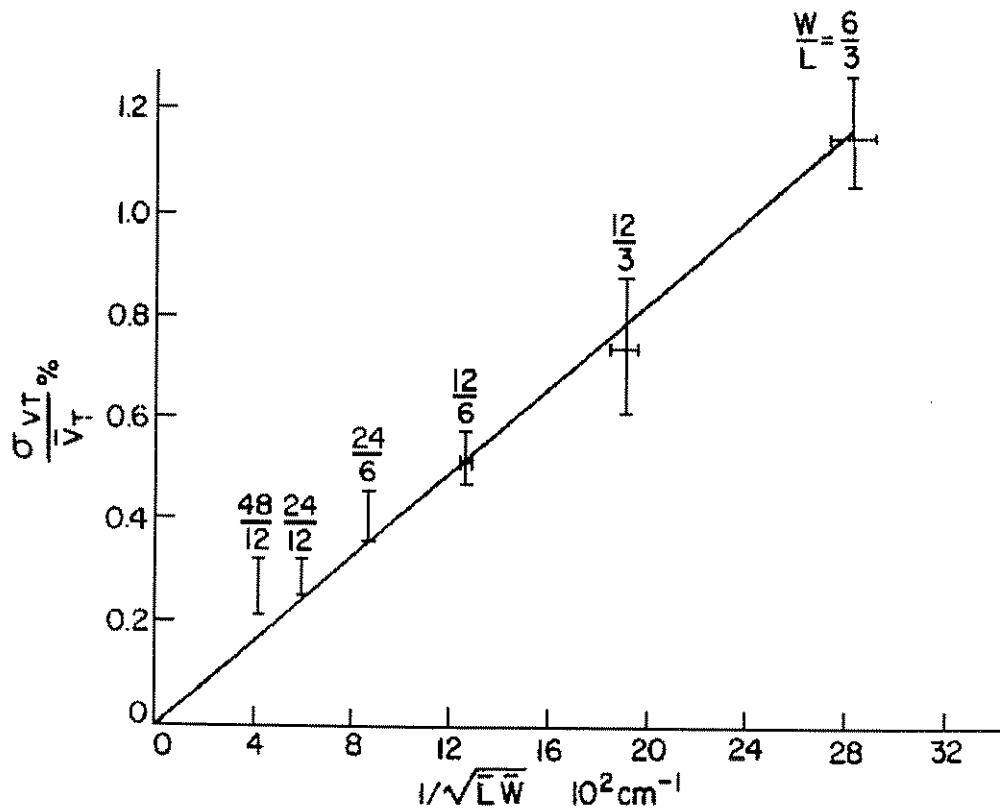


Figura 2.3 - Mismatch em V_T versus W/L para transistores tipo P

- O desvio padrão do *mismatch* é inversamente proporcional à raiz quadrada da área efetiva do canal do transistor.

- Como a capacitância de óxido é uniforme tem pouca influência no *mismatch* de V_t .

Algumas medidas foram realizadas por Lakshmikumar [6] para verificar a dependência de V_t com a relação entre a largura e o comprimento do canal (W/L) de transistores do tipo N e P. As Figs. 2.2 e 2.3 ilustram os resultados obtidos, onde se pode observar que o *mismatch* é bem menor para relações onde tanto W como L , afastam-se dos valores mínimos.

.Fatores que causam variação na Constante de Condutância

A constante de condução é dada por $K = \mu C_{ox} W/L$, onde μ é a mobilidade do canal, C_{ox} é a capacitância do óxido de *gate*.

O comportamento da variação da Constante de Condutância pode ser resumido em [6]:

- O *mismatch* em K devido a variações laterais é proporcional a $(1/L^2 + 1/W^2)^{1/2}$. O desvio padrão do *mismatch* no comprimento e largura do canal está na faixa de 0.01-0.03 μm . Para dispositivos de canal N, este é o fator dominante no *mismatch* de K .

- Se no processo existe o ajuste de implante para dispositivos canal P, a variação na mobilidade tem efeito grande em transistores tipo P, e pequeno efeito em dispositivos do tipo N.

Algumas medidas foram realizadas por Lakshmikumar [6] para verificar a dependência de V_t com a relação a constante de mobilidade de transistores do tipo N e P. As Figs. 2.4 e 2.5 ilustram os resultados obtidos, onde se pode observar que como no caso do *mismatch* em V_t , o *mismatch* de K é bem menor para relações onde tanto W como L , afastam-se dos valores mínimos.

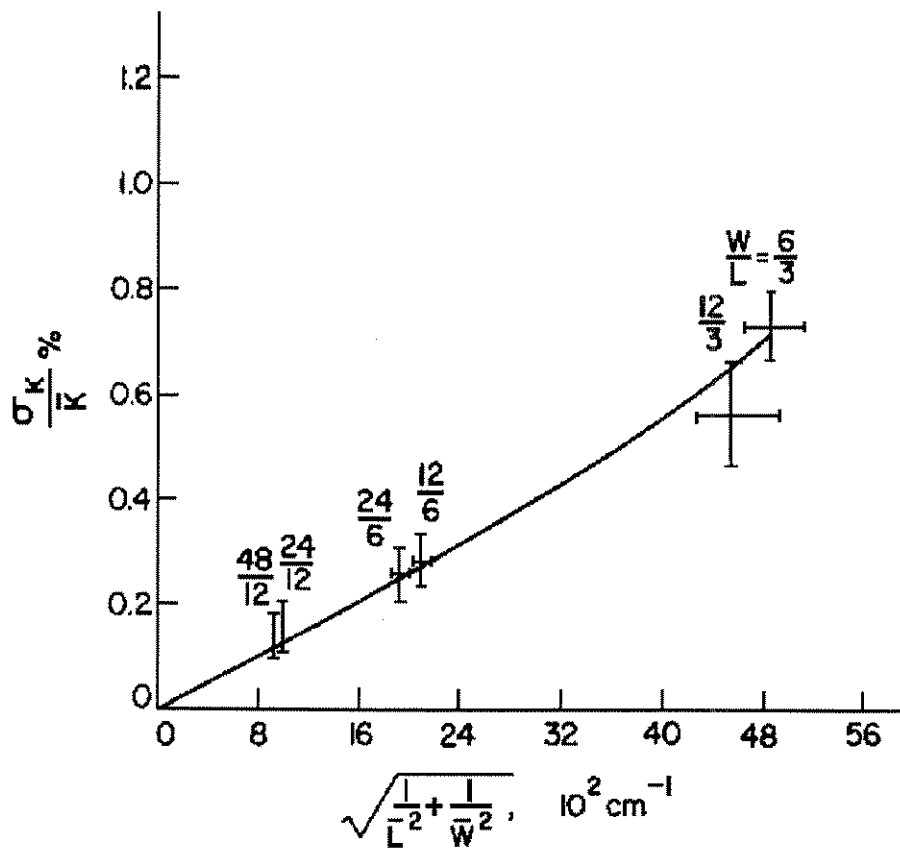


Figura 2.4 - Mismatch no fator K versus dimensões para transistor N

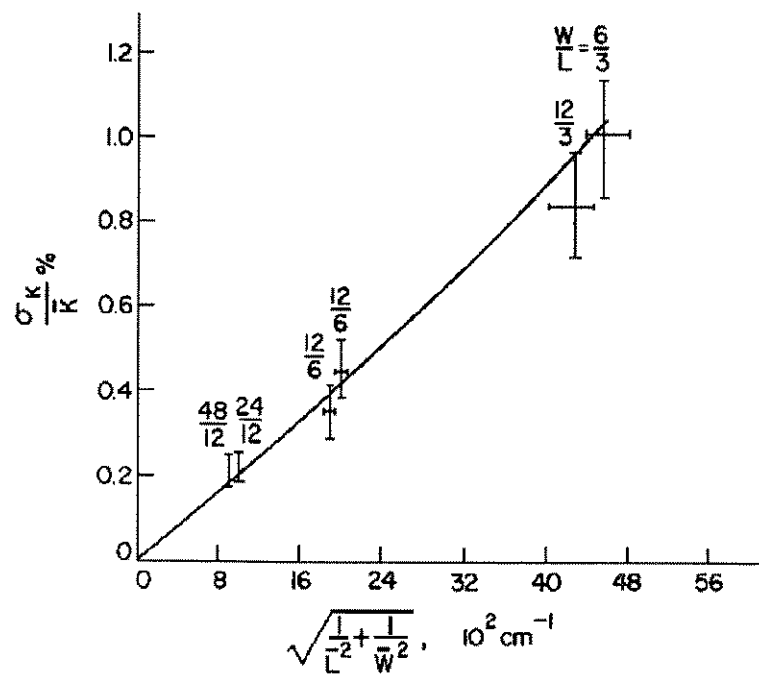


Figura 2.5 - Mismatch no fator K versus dimensões para transistor P

A capacitância de gate é um fator comum nas equações de VT e K, desta forma poderia-se esperar uma correlação entre as variações destes dois fatores. Porém, valores experimentais e teóricos indicam que o *mismatch* de VT é independente do *mismatch* do fator K [6].

.Orientação de um par de transistores

A Fig. 2.6 compara o efeito do *mismatch* no fator K quando dois transistores estão posicionados paralelamente e em uma posição de 90 graus. A variação da mobilidade local, provavelmente é o fator mais importante para a variação causada pela orientação do *layout* dos transistores [7]. Quando se desejar um bom casamento entre os transistores, deve-se tomar as devidas precauções com o posicionamento dos transistores.

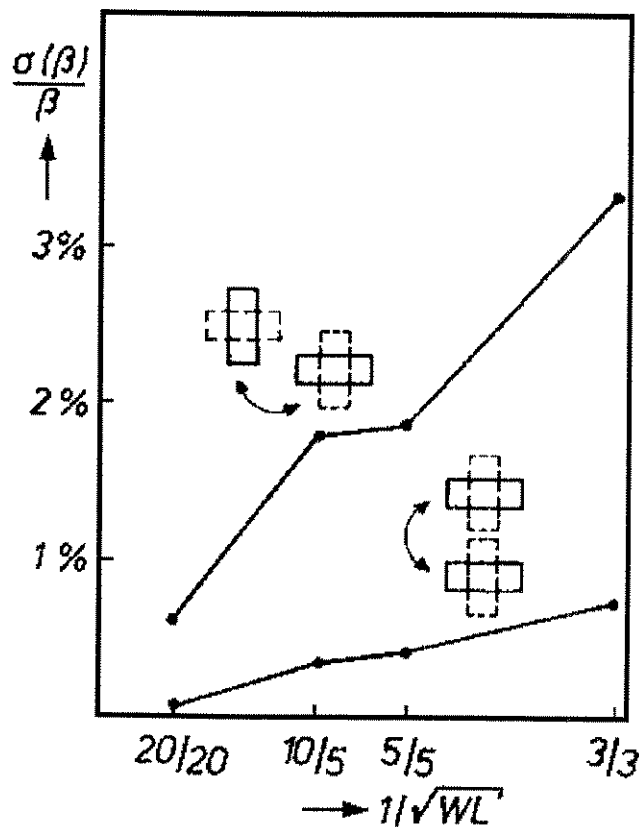


Figura 2.6 - Comparação do desvio de K para posicionamento paralelo e a noventa graus

Portanto segundo todos os dados apresentados até o momento, pode-se concluir que para diminuir o *offset* Aleatório no projeto de amplificadores operacionais, um cuidado muito grande deve ser tomado na elaboração do *layout*. Entende-se que a utilização de transistores posicionados na mesma orientação e a utilização de estruturas centróides pode diminuir o efeito de variações da mobilidade local no comportamento dos transistores. Ainda

com base no exposto anteriormente, conclui-se que a utilização de transistores com W e L com dimensões maiores que o mínimo da tecnologia utilizada, pode contribuir para obtenção de valores pequenos de *offset*.

2.3 - Principais Técnicas para Redução de *Offset*

Uma das técnicas utilizadas para reduzir a tensão de *offset* é ilustrada pela Fig. 2.7, onde é possível perceber como resistores internos ao *chip* podem ser utilizados para ajustar a tensão de *offset* de comparadores e amplificadores bipolares [4]. $R1$ e $R2$ podem ser resistores de filme fino fabricados sobre o *chip* e ajustados em um determinado valor com o auxílio de *laser* e uma ponta de teste. Uma vez que o ajuste é feito somente uma vez, ou seja, durante o tempo de confecção do circuito, este deve ser estável com o tempo e temperatura. Para a área de consumo, este tipo de ajuste pode ainda ser interessante [4].

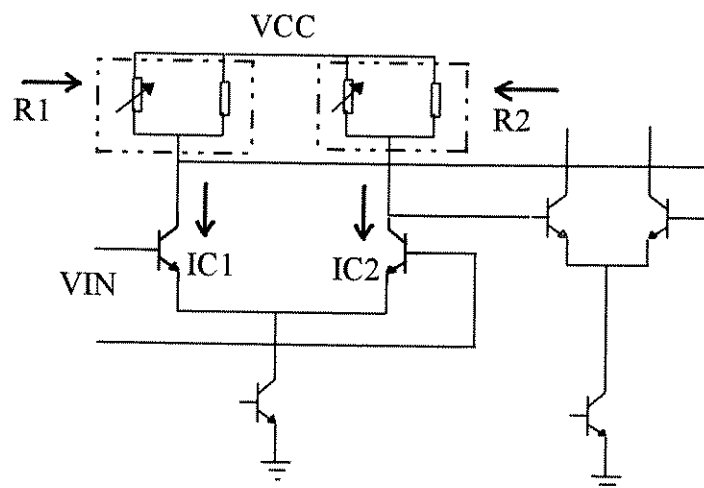


Figura 2.7 - Ajuste de Offset com Resistores

Quando o processo de fabricação não permite a utilização de resistores de filme fino, resistores externos podem ser uma alternativa para a técnica ilustrada pela Fig. 2.7. Neste caso, os resistores fixos são implantados ou difundidos, enquanto que os resistores variáveis, podem ser colocados externos ao *chip*. Um inconveniente deste tipo de solução é o ajuste temporário exigido, pois com o tempo, os potenciômetros necessitam de novo ajuste. Outro problema é a utilização de componentes externos, que deve ser evitado.

Circuitos MOS podem eventualmente se beneficiar da técnica de ajuste da Fig. 2.7, substituindo os resistores de ajuste por transistores MOS operando na região linear e controlando os *gates* de forma adequada, através das tensões V_{CB} e V_C (Fig. 2.8)

pode-se diminuir o *offset* [5]. O princípio desta opção pode ser visualizado através da Fig. 2.8.

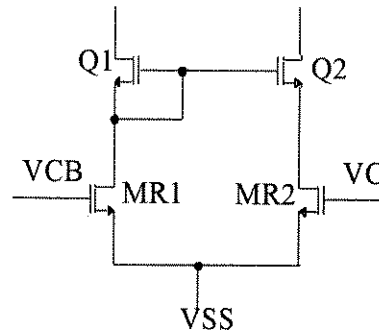


Figura 2.8 - Circuito de Ajuste de Offset Utilizando Resistores MOS

Uma outra alternativa é a utilização de memória não-volátil que pode armazenar valores de *offset* medidos durante o processo de fabricação. A Fig. 2.9 ilustra como esta alternativa pode ser implementada de forma a que o circuito funcione com um ajuste automático de ganho [5].

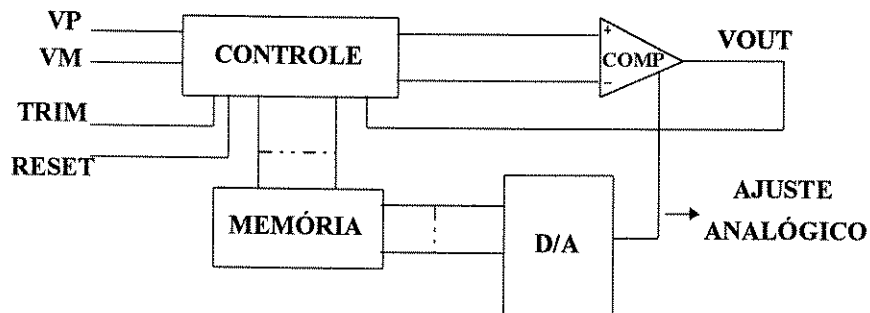


Figura 2.9 - Comparador com Ajuste Automático de Offset

A correção de offset é obtida quando as entradas VP e VM são curto-circuitadas e um ajuste analógico é realizado até que a saída do comparador (VOUT) seja igual a zero. O ajuste pode ser realizado, por exemplo, no momento de inicialização do circuito, através da ativação do sinal de RESET ou utilizando um controle externo através da entrada TRIM.

Esta técnica de melhoria no controle de *offset* necessita de uma área de silício (local a ser ocupado pelo circuito no *chip*) considerável, portanto somente justificável em circuitos que necessitem de vários amplificadores operacionais, onde é possível a existência de somente um controle para todos os amplificadores.

Uma outra possibilidade é a utilização de técnicas de amostragem [13], desta forma é possível medir a tensão de *offset* periodicamente, armazená-la em um capacitor, e então subtrair do sinal de entrada combinado com *offset*. A Fig. 2.10 mostra o diagrama simplificado de autocorreção, a qual é compatível com o projeto de amplificadores CMOS. Quando as chaves S1-S3 e S2-S4 são fechadas, durante um ciclo de inicialização, o amplificador armazena a tensão de *offset* (V_{os}) nos capacitores CS1 e CS2, colocados na saída do circuito. Quando as chaves são abertas, durante o ciclo de amostragem, somente mudanças na entrada são amplificadas efetivamente com zero de *offset*.

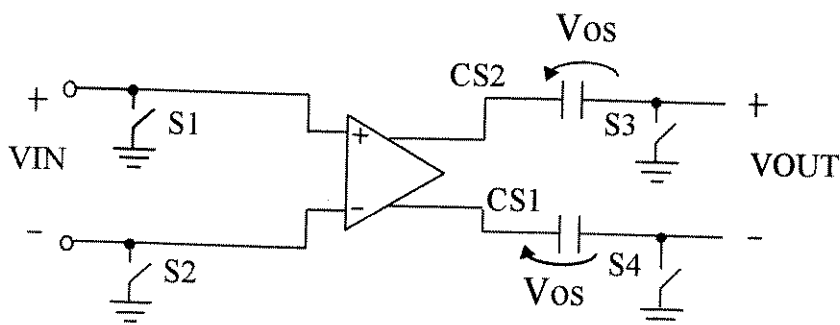


Figura 2.10 - Técnica de Cancelamento de Offset Dinâmico

A Fig. 2.11 apresenta uma técnica para correção de *offset* denominada Autozero Básico Realimentado. A correção da tensão de *offset* se inicia com o fechamento das chaves $\phi 1$. Nesta condição a entrada principal é aterrada e o amplificador A1 amplifica a soma dos sinais: V_{os1} (sua tensão de *offset*) e a tensão sobre o capacitor C2 (V_{s2}). Como esta tensão V_{s2} corresponde ao valor invertido e ampliado da própria soma ($V_{os1} + V_{s2}$), um processo de realimentação negativa ocorre até que a tensão V_{s1} se estabilize, atingindo níveis muito próximos de zero. A correção ideal da tensão de *offset*, exige, portanto, desta estrutura a definição de altos valores para G1 e G2. Após a memorização da tensão de compensação do *offset*, a chave $\phi 2$ fecha e o sinal de entrada pode ser memorizado em C1 com um erro muito pequeno.

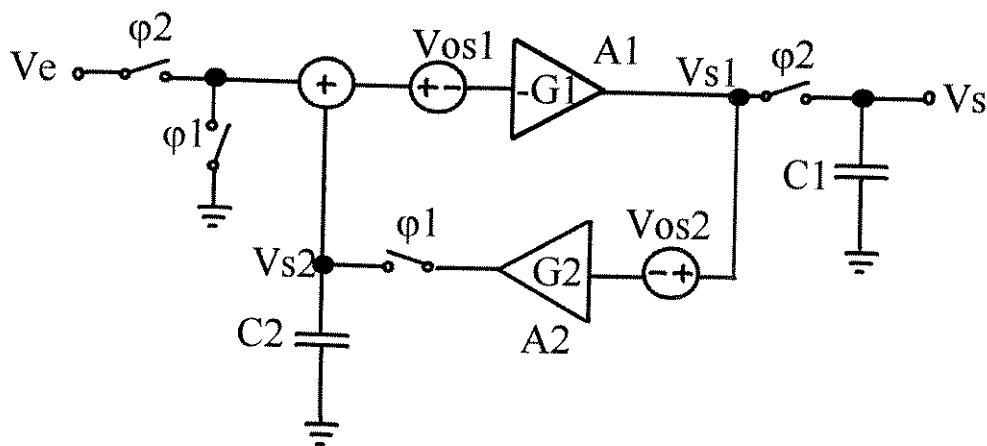


Figura 2.11 - Técnica Autozero Básico Realimentado

A implementação em circuito integrado do circuito da Fig. 2.11 exige cuidados no que se refere às chaves e capacitores. Dependendo do tempo de amostragem do sinal de erro em C2 durante o ciclo de correção, o valor de C2 pode ultrapassar o limite prático de implementação, o mesmo ocorrendo com C1. A utilização de capacitores externos é portanto mais recomendável, mesmo porque dá um grau a mais de liberdade ao usuário.

Outra alternativa para correção de *offset* é apresentada na Fig. 2.12 e recebe a denominação de Autozero Básico sem Realimentação. Esta estrutura exige uma participação significativa de circuitos auxiliares digitais e chaves analógicas. É adequada à implementação em circuitos integrados que utilizam tecnologia MOS e sem a utilização de um *buffer* de saída, o circuito pode ser encarado como um amplificador operacional de baixa tensão residual e baixa deriva térmica.

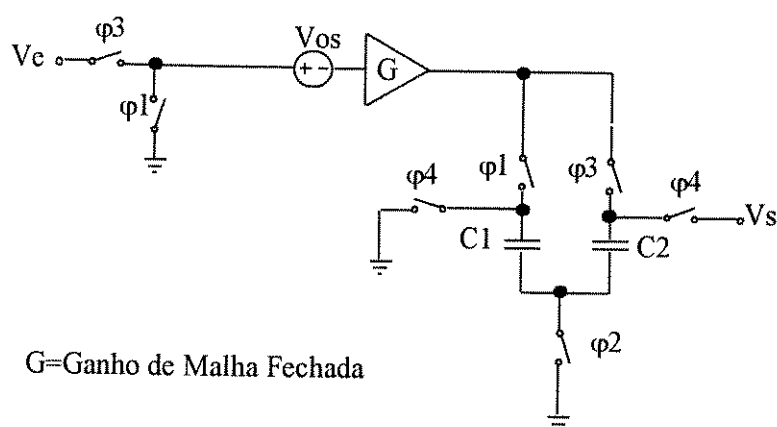


Figura 2.12 - Técnica Autozero Básico sem Realimentação

O cancelamento da tensão de *offset* se processa em três etapas, marcados pelos estados das chaves ϕ_1 , ϕ_2 , ϕ_3 e ϕ_4 . Com as chaves ϕ_1 e ϕ_2 ligadas, a tensão de *offset* V_{os} é amplificada pelo ganho G do amplificador operacional carrega o capacitor C_1 . Na etapa seguinte, com ϕ_2 e ϕ_3 fechadas o sinal de entrada, V_e , e a tensão de *offset*, V_{os} , são amplificadas pelo ganho G , igualmente, e o capacitor C_2 é carregado com a soma das duas parcelas multiplicadas pelo ganho G . A tensão de saída, V_s , é finalmente amostrada com o fechamento das chaves ϕ_4 que conectam os dois capacitores em série e com oposição de polaridade. Consequentemente tem-se:

$$V_s = -V_{c1} + V_{c2} \quad \text{ou seja, } V_s = G V_e$$

Este circuito pode ser encarado como um amplificador de baixa tensão de *offset* e deriva térmica, bem como uma banda de frequência muito reduzida.

A Fig. 2.13 apresenta uma técnica denominada Autozero Comutado (CAZ). Trata-se de uma configuração muito apropriada à implementação em circuitos integrados. Na técnica CAZ dois amplificadores operacionais operam de forma alternada: enquanto um amplificador está processando o sinal de entrada e amostrando a saída (por exemplo A2), o outro (por exemplo A1) atua no sentido de armazenar sua tensão de *offset* em um capacitor, preparando-se para processar o sinal de entrada na próxima fase.

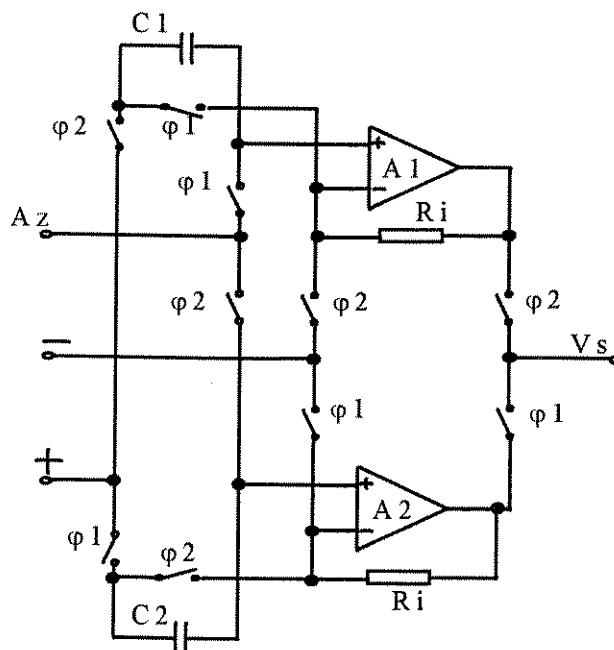


Figura 2.13 - Técnica Autozero Comutado

Com o fechamento das chaves ϕ_1 (ϕ_2 abertas) define-se o estado dos dois amplificadores (Fig. 2.14). Nesta situação o amplificador A2 está amostrando o sinal de entrada, enquanto A1 está na fase de autozero.

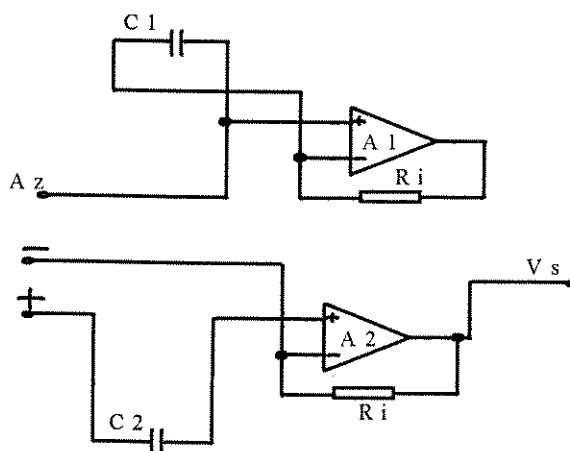


Figura 2.14 - Funcionamento da Técnica Autozero Comutado

O capacitor C1 acumula a tensão de *offset* de entrada do amplificador A1, uma vez que a entrada Az é aterrada e o capacitor C1 fica conectado entre as entradas positiva e negativa do amplificador A1. O capacitor C2, que memorizou a tensão de *offset* do amplificador A2 no ciclo anterior, está ligado em série com a entrada não inversora de A2 de

tal modo que, com a participação de resistores externos para a definição do ganho de malha fechada ao CAZ, o amplificador A2 apresenta a configuração apresentada na Fig. 2.15.

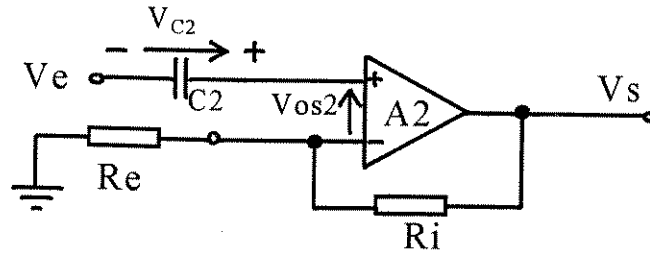


Figura 2.15 - Funcionamento da Técnica Autozero Comutado

Após equacionamento do circuito da Fig. 2.15, tem-se que a tensão de saída (V_s) é dada por:

$$V_s = \left(1 + \frac{R_i}{R_e}\right)(V_e - V_{c2} + V_{os2})$$

Como dito anteriormente, a tensão nos terminais do capacitor C2, corresponde à tensão de *offset* de A2 acumulada durante o ciclo anterior, como sua variação é muito lenta, comparada à frequência de comutação, temos que:

$$|V_{c2}| \approx |V_{os2}|$$

Portanto:

$$V_s \approx \left(1 + \frac{R_i}{R_e}\right)V_e$$

No ciclo seguinte, ocorre a comutação da estrutura, ou seja, o amplificador A1 efetua a aquisição do sinal de entrada, enquanto ocorre o autozero do amplificador A2.

Esta estrutura não evidência a presença de uma tensão de *offset* teórica diferente de zero, sendo portanto superior a apresentada na técnica de Auto-Zero Básico. Mas como em todas as estruturas que envolvem chaveamento de capacitores, a sua implementação em circuito integrado tem como desafio a compensação de injeção de cargas devido ao *clock* nas chaves. É aconselhável que os capacitores C1 e C2 sejam externos. Também como no caso anterior, há uma redução da banda de frequências em que o circuito pode operar.

A técnica CAZ, ao contrário da Auto-Zero Básico, apresenta uma baixa impedância de saída, uma vez que existe sempre um amplificador processando e amostrando

o sinal. Convém ressaltar que a versão comercial do CAZ (ICL 7600) tem como características:

$$V_{os} = 1 \text{ a } 5 \mu\text{V}$$

$$\text{Drift Térmico} = 0.005 \mu\text{V}/^\circ\text{C}$$

$$\text{Drift/tempo} = 0.2 \mu\text{V/ano}$$

$$\text{banda de frequência} = 10 \text{ Hz}$$

A Fig. 2.16 apresenta uma outra alternativa para compensação do offset de amplificadores operacionais denominada de técnica Auto-Zero Dinâmico. Ao contrário das técnicas anteriores apresentadas, onde a tensão de *offset* do amplificador operacional que processa o sinal de entrada é armazenada em um capacitor durante um ciclo e subtraída do sinal de entrada mais a tensão residual no ciclo seguinte, neste amplificador autozero dinâmico dois amplificadores operacionais são utilizados, sendo um amplificador reservado para o ajuste do amplificador principal (Amplificador Az da Fig. 2.16) e outro processando efetivamente o sinal de entrada (V_e).

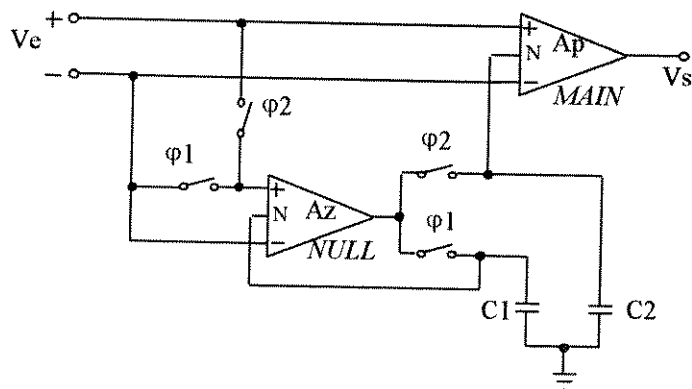


Figura 2.16 - Auto-Zero Dinâmico

O primeiro, Az é um amplificador auxiliar, não processa efetivamente o sinal de entrada e tem a função de ajustar periodicamente a tensão residual de entrada do amplificador operacional principal Ap. Vejamos um ciclo inteiro de operação deste amplificador em suas duas fases:

Com o fechamento de ϕ_1 , os terminais de entrada do amplificador auxiliar, Az, são curto-circuitadas e sua tensão de *offset* ajustada através da realimentação do seu próprio valor amplificado e armazenado em C1. Uma vez estabilizado o amplificador Az apresenta uma tensão residual equivalente de entrada cujo valor é:

$$V_{osn} = \frac{1}{1 + G_z} V_{osN}$$

onde V_{osN} corresponde ao seu valor antes da correção, e G_z o ganho de tensão de A_z .

A seguir as chaves ϕ_2 são fechadas e o amplificador A_z (cuja tensão de *offset* foi minimizada) amplifica a tensão de *offset* de A_p , o amplificador principal, e atuando diretamente no par diferencial de entrada deste, corrige sua tensão de *offset*. A tensão de correção resultante se mantém armazenada em C_2 .

CAPÍTULO 3

MACRO-MODELO PARA INJEÇÃO DE CARGA

EM CHAVE ANALÓGICA MOS

3.1- Introdução

Em circuitos *Sample-And-Hold*, Capacitor Chaveado e Corrente Chaveada é frequente a utilização de transistores operando como chave. Um fenômeno que limita a precisão destes circuitos é o erro acarretado por estas chaves devido à injeção de cargas existentes no canal, no momento de desligamento das mesmas. Este fenômeno, não é adequadamente levado em consideração em simuladores do tipo SPICE [18].

Visando prever de uma maneira mais realista o funcionamento de circuitos *Sample-And-Hold*, foi desenvolvido um Macro-Modelo [18] para prever o comportamento de chaves MOS normais e do tipo *Dummy* (chave NMOS com terminais dreno e fonte em curto).

3.2- Modelamento

A utilização do transistor MOS como chave, exige o estudo do comportamento da quantidade de carga armazenada no canal do transistor durante o chaveamento ao qual este é submetido.

Para efeito de análise, vamos utilizar o circuito apresentado na Fig. 3.1, onde $g[V_g(t)]$ representa a condutância da chave MOS, V_s a tensão aplicada no ponto de entrada da chave, C_s a capacitância no terminal de fonte, C_h a capacitância de carga, V_s e V_h os valores de tensão na entrada e saída da chave, V_g o sinal de *Clock* aplicado ao *gate* do transistor e V_{te} o valor efetivo de desligamento da chave.

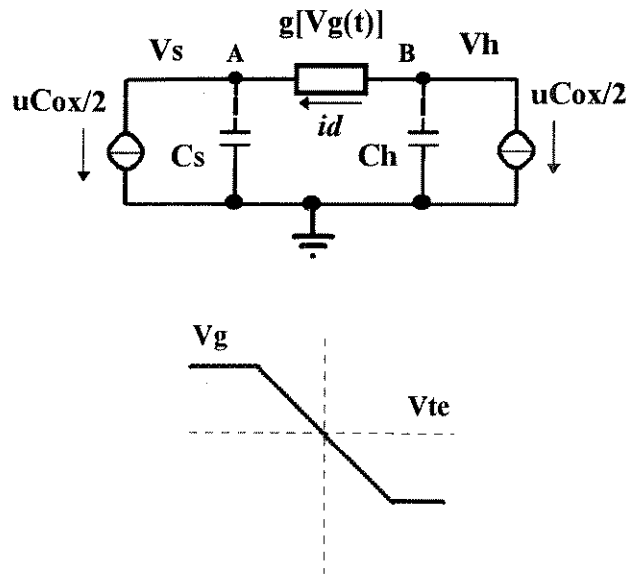


Figura 3.1 - Circuito Sample-and-Hold básico

O equacionamento deste circuito, aplicando a lei dos nós em A e B resulta em [8]:

$$\frac{v_s}{R_s} + C_s \frac{dv_s}{dt} = i_d + \frac{C_g}{2} \frac{d(V_g - v_s)}{dt} \quad [3.1]$$

$$C_h \frac{dV_h}{dt} = -i_d + \frac{C_g}{2} \frac{d(V_g - v_h)}{dt} \quad [3.2]$$

A capacitância de gate (C_g) associada a chave pode ser representada por [17]:

$$C_g = W.L.C_{oxido} + 2.C_{overlap} \quad [3.3]$$

Uma solução para este problema, proposta em [8], é a seguinte:

$$v_h - v_s = - \sqrt{\frac{\pi u C_h}{2\beta(1 + C_h/C_s)}} \left(\frac{C_g [1 - C_h/C_s]}{2C_h} \right) E \quad [3.4]$$

$$E = \operatorname{erf} \left(\sqrt{\frac{\beta(1 + C_h/C_s)}{2u C_h}} V_{HT} \right) \quad [3.5]$$

onde erf representa a função erro.

Esta expressão fornece a variação de tensão nos terminais da chave, devido à carga injetada no canal. Para efeito de implementação de um macro-modelo, necessita-se do valor final de tensão em Ch (Fig. 3.1).

Assumindo que:

$V_{HT} = V_g - V_s - V_{te}$, onde V_{te} é a tensão efetiva para condução da chave, V_g a tensão alta do clock que controla a chave e V_s o valor de tensão na entrada da chave.

Tem-se de [8] que:

$$Q_t = C_g \cdot V_{HT} \text{ e } Q_t = Q_{\Delta L} + Q_{\Delta S},$$

onde $Q_{\Delta L}$ e $Q_{\Delta S}$ representam as parcelas de carga que devem fluir para os terminais fonte e dreno. Após o desligamento da chave, pode-se considerar que:

$$V_A = V_s - \frac{Q_{\Delta A}}{C_s} \quad [3.6]$$

$$V_B = V_s - \frac{Q_{\Delta B}}{C_s} \quad [3.7]$$

Das equações 3.4, 3.5, 3.6 e 3.7 e assumindo $\Delta = V_h - V_s$, vem:

$$\Delta - \frac{Q_T}{C_s} = -Q_{\Delta B} \left(\frac{C_h + C_s}{C_h \cdot C_s} \right) \quad [3.8]$$

Manuseando as expressões de carga, tem-se que o erro de tensão no ponto B é:

$$V_B = \frac{-\left(\Delta - \frac{Q_t}{C_s}\right) C_s}{(C_h + C_s)} \quad [3.9]$$

$$V_B = \frac{\left(\Delta + \frac{Q_t}{C_s}\right)}{\left(1 + \frac{C_h}{C_s}\right)} \quad [3.10]$$

onde Δ é dado pela equação 3.4.

Assim, o valor final de tensão no ponto B é dado por:

$$V_{fB} = V_S - V_B \quad [3.11]$$

O macro-modelo proposto é a implementação das equações anteriores no *software* ACCUSIM da Mentor Graphics, que por sua vez possui código baseado no SPICE de Berkeley.

3.3- Macro-Modelo

Para construção do macro-modelo proposto, utiliza-se largamente o componente do SPICE conhecido como fonte controlada polinomial. Este tipo de fonte, dependendo dos valores fornecidos, pode representar várias funções matemáticas.

O polinômio que rege o funcionamento destas fontes é:

$$V_{\text{fonte}} = p_0 + p_1 f_a + p_2 f_b + p_3 f_c + p_4 f_a^2 + p_5 f_a f_b + p_6 f_a f_c + p_7 f_b^2 + p_8 f_b f_c + p_9 f_a f_b^2 + \dots$$

As funções soma, subtração e multiplicação podem então ser implementadas quando são adotados valores apropriados a P_0 , P_1 , P_2 e assim sucessivamente. A maior dificuldade para a implementação deste modelo é o modelamento da função erro. A solução adotada baseia-se na expansão em série da função erro, podendo assim ser representada com fontes polinomiais.

A série utilizada na implementação e que aproxima a função erro é [19]:

$$\text{erf}(x) \cong \frac{2}{\sqrt{\pi}} \left((-1)^{n+1} \frac{x^{2n-1}}{(n-1)!(2n-1)} \right)$$

O número de termos utilizados na implementação foi limitado pela precisão do simulador utilizado, sendo igual a 46 termos. A série implementada desta forma, representa a função erro no intervalo de 0 a 3. Após este intervalo a função erro tende para 1 e para evitar que valores de entrada superiores a 3 gerassem cálculos errados no modelo, foi utilizado um

diodo que fixa a entrada do subcircuito em 3, gerando desta forma um erro entre a função erro e a implementação efetuada.

A Fig. 3.2 apresenta o comportamento do subcircuito implementado. Com o número de termos limitado e este truncamento, o erro absoluto do cálculo em relação a função erro original, ou seja Valor da Função em um determinado ponto menos Valor obtido pelo modelo, ficou menor que 0.000025, indicando um erro de cálculo na quinta casa decimal. A diferença entre a função erf e o modelo da função erf implementado em SPICE, pode ser visto na conforme Fig. 3.3. Simulações preliminares indicaram que o erro de cálculo à partir da quinta casa decimal não influenciaria significativamente no resultado final.

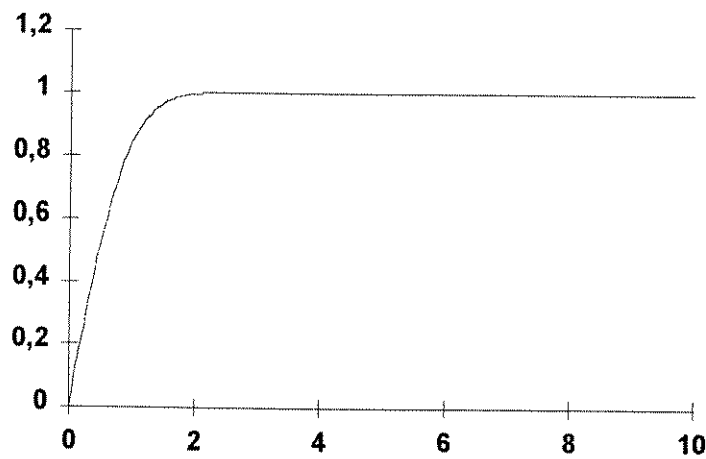


Figura 3.2 - Curva que representa o funcionamento do subcircuito ERF implementado

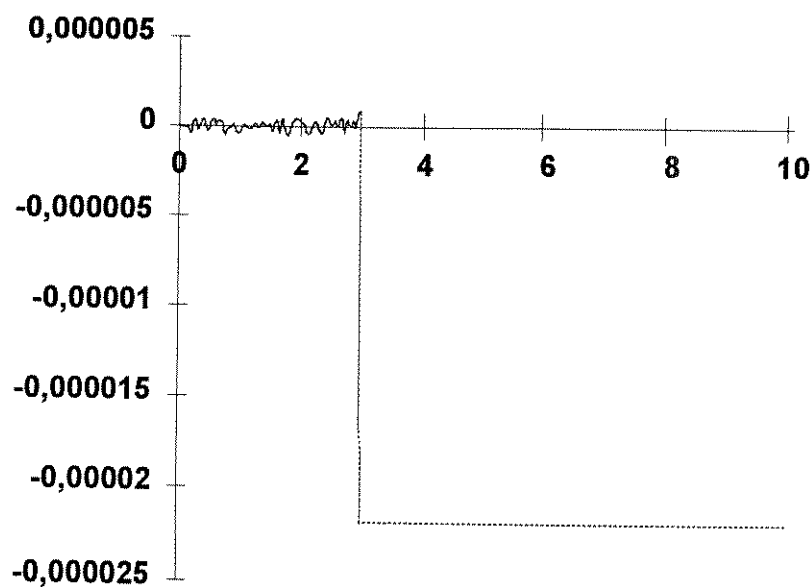


Figura 3.3 - Erro do subcircuito ERF implementado em relação à função ERF

A descrição SPICE para o subcircuito implementado é apresentado na Figura 3.4.

```

SUBCKT ERF 1 4
IIN 1 0 0
EIN 22 0 POLY(1) (1,0) 0.0 1.0
RIN 22 0 100MEG
RX 22 2 1
D1 2 5 DREF
VREF 5 0 3V
* POWER-SERIES APPROXIMATION
EOM 3 0 POLY(1) (2,0) 0.0 1.0 0.0 -0.333333333 0.0 0.1 0.0
+ -0.023809 0.0 4.6292963M 0.0 -0.75757575M 0.0 0.10683376M
+ 0.0 -13.22751323U 0.0 1.4589169U 0.0 -1.4503842E-07
+ 0.0 1.312253296E-08 0.0 -1.089222104E-09 0.0 8.35070279E-11
+ 0.0 -5.947794014E-12 0.0 3.955429516E-13 0.0 -2.46682701E-14
+ 0.0 1.448326464E-15 0.0 -8.032735015E-17 0.0 3.955429516E-13
+ 0.0 -2.46682701E-14 0.0 1.448326464E-15 0.0 -8.032735015E-17
+ 0.0 4.221407289E-18 0.0 -2.107855191E-19 0.0 1.002516494E-20
+ 0.0 -4.55184676E-22 0.0 1.977064754E-23 0.0 -8.230149297E-25
+ 0.0 3.28926035E-26 0.0 -1.264107899E-27 0.0 4.678483515E-29
+ 0.0 -1.669761793E-30 0.0 5.754191645E-32 0.0 -1.916942862E-33
+ 0.0 6.180307588E-35 0.0 -1.930357209E-36 0.0 5.846755008E-38
+ 0.0 -1.718856063E-39 0.0 4.908923965E-41 0.0 -1.363041262E-42
+ 0.0 3.682493516E-44 0.0 -9.687280237E-46 0.0 0.0 2.483069098E-47
+ 0.0 -6.205657921E-49 0.0 1.51310795E-50 0.0 -3.60157931E-52
+ 0.0 8.373419685E-54 0.0 -1.902541227E-55 0.0 4.226789755E-57
+ 0.0 -9.186429501E-59 0.0 1.954102583E-60
IOM 3 0 0
* MULTIPLY BY 2/SORT(PI)
ERF 4 0 POLY(1) (3,0) 0.0 1.128379167
IERF 4 0 0
.MODEL DREF D(VJ=0.2 N=1U)
.ENDS ERF

```

Figura 3.4 - Descrição SPICE do subcircuito ERF utilizado

O simulador utilizado foi o ACCUSIM da Mentor Graphics, que permite a chamada de subcircuitos através de símbolos utilizados em um esquemático de circuito, facultando a utilização de uma *interface* gráfica para a construção do macro-modelo.

O macro-modelo desenvolvido é apresentado na Fig. 3.5. Pode-se perceber que foram utilizadas as funções de soma, multiplicação, divisão, raiz quadrada e ERF através de fontes polinomiais. O Macro-Modelo desenvolvido leva também em consideração o efeito da capacitância de *overlap* da chave real MOS.

Conforme pode ser verificado na Fig. 3.5, quando a chave (Macro-Modelo) está ligada, deve-se ter no terminal de saída a tensão V_s , que neste modelo é gerada por uma condutância controlada por $\beta(V_g(t) - V_s - V_{te})$. Quando a chave inicia o desligamento, uma fonte carrega a saída com o valor de tensão dado pelo equacionamento apresentado. Em seguida, o capacitor de *overlap* domina o modelamento, pois as chaves SW1 e SW3 são desligadas

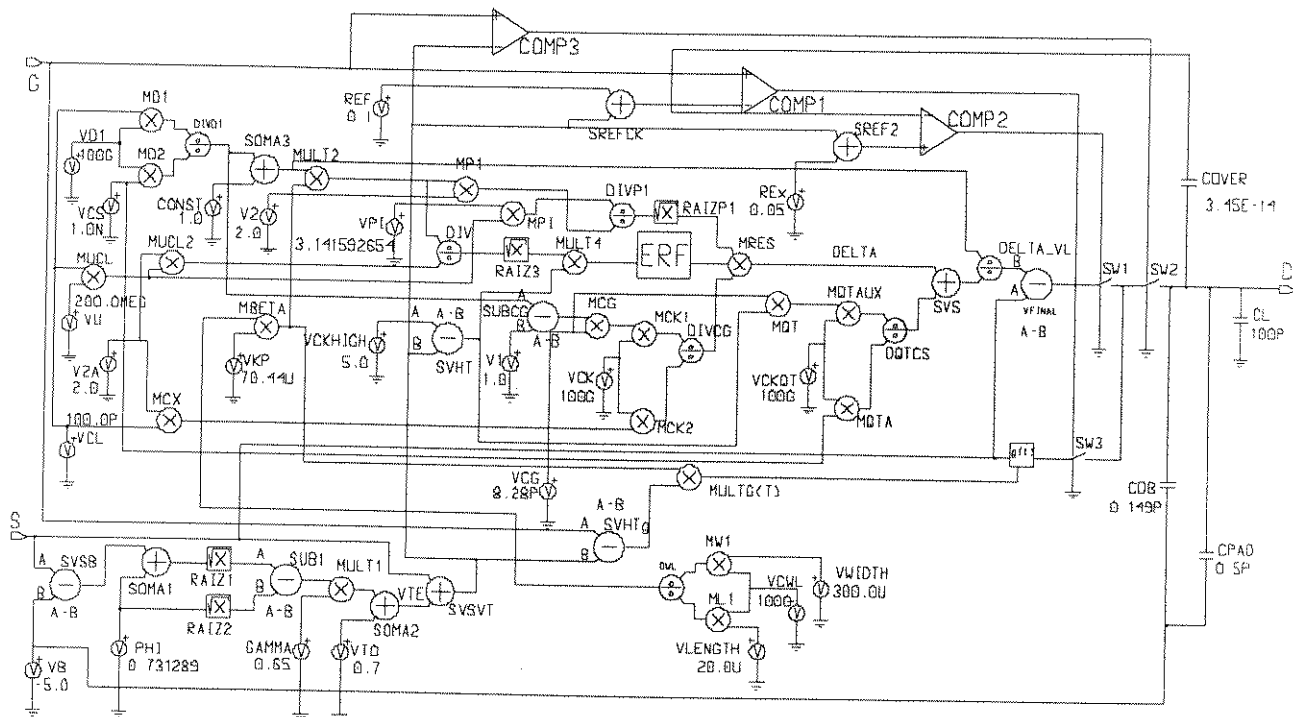


Figura 3.5 - Macro-Modelo implementado para uma Chave NMOS

Em geral, para diminuir o erro causado pela injeção da chave MOS, utiliza-se uma chave dummy [9], que resume-se a um transistor NMOS com os terminais de dreno e fonte curto-circuitados. A função da chave dummy é drenar uma parcela da carga injetada pela chave principal MOS, o que ocorre no início da condução da chave *dummy*. Para permitir uma análise mais realista foi implementado também um Macro-Modelo para a chave dummy. Este modelo calcula apenas a carga existente no canal de um determinado transistor utilizado como chave, através das dimensões fornecidas, e absorve esta quantidade de cargas no momento de atuação do modelo, o que representa o comportamento da chave *dummy*. O circuito implementado é apresentado na Fig. 3.6.

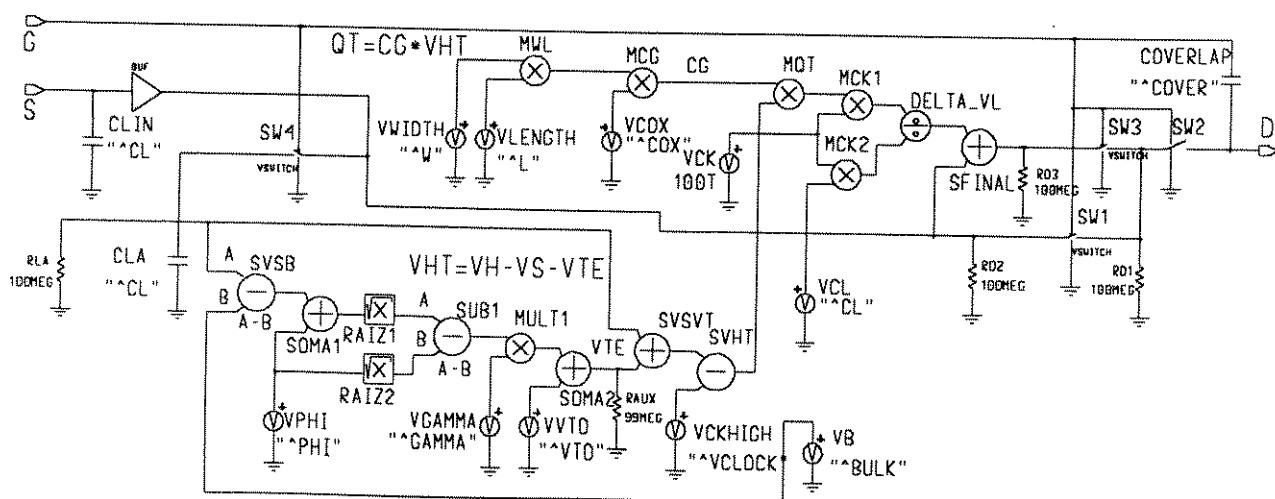


Figura 3.6 - Macro-Modelo para chave dummy

3.4 Validação do Modelo

Para a validação do modelo proposto, inicialmente o circuito foi submetido à vários valores de taxa de descida do *clock*, para um valor de tensão fixo na entrada. O valor de carga injetado na saída foi calculado e foi obtido um conjunto de curvas apresentado na Fig. 3.7. Os resultados obtidos coincidem com os valores apresentados na literatura [8,20], confirmando-se dessa forma a fidelidade do modelo matemático implementado.

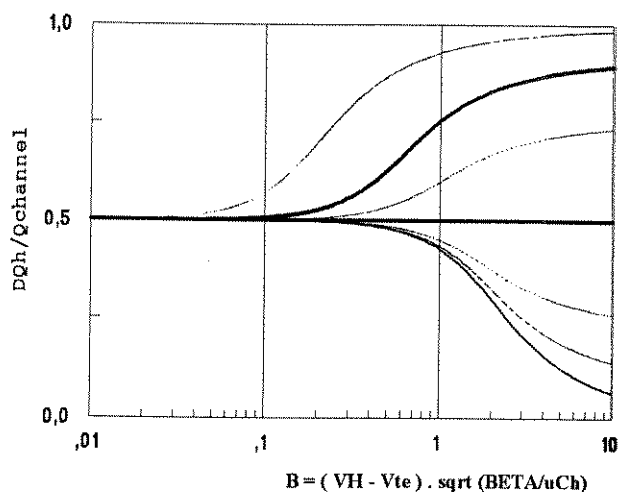


Figura 3.7 - Curvas obtidas à partir do Macro-Modelo desenvolvido

Na Fig. 3.7 $DQh/Q_{channel}$ representa a parcela de carga injetada na saída da chave e B um fator normalizado que representa o tempo de chaveamento [8].

O Macro-Modelo funciona muito bem quando utilizado em análise de transientes. Para uma melhor ilustração, foi implementado um circuito (Fig. 3.8) com um transistor normalmente utilizado pelo ACCUSIM (Transistor M1) e o Macro-Modelo (Chave SW). Pode-se notar que foi desenvolvida uma interface gráfica para chamada do modelo, facilitando assim o uso por projetistas de circuitos integrados. Deve-se notar também que as capacitâncias de entrada e saída da chave são diferentes.

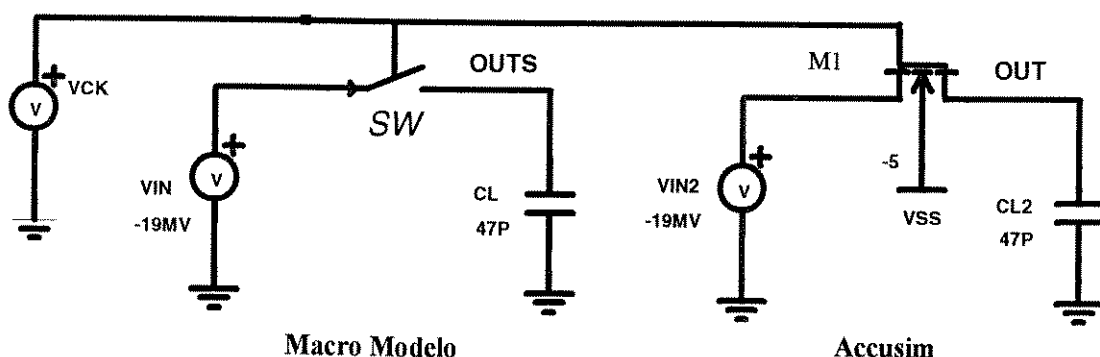


Figura 3.8 - Circuito utilizado para comparação entre Macro-Modelo - Chave SW e modelamento utilizado pelo ACCUSIM (Yang-Chaterjee) - Transistor M1

O modelamento assumido pelo ACCUSIM considera que metade das cargas acumuladas no canal da chave deverão migrar para o dreno e uma quantidade igual para a fonte da chave no momento de desligamento. Observe, entretanto, que isto na realidade só ocorre quando a capacitância de entrada for igual à de saída ou em taxas de *clock* muito altas. O resultado da Fig. 3.9 ilustra o que deve acontecer quando as capacitâncias de entrada e saída da chave são diferentes.

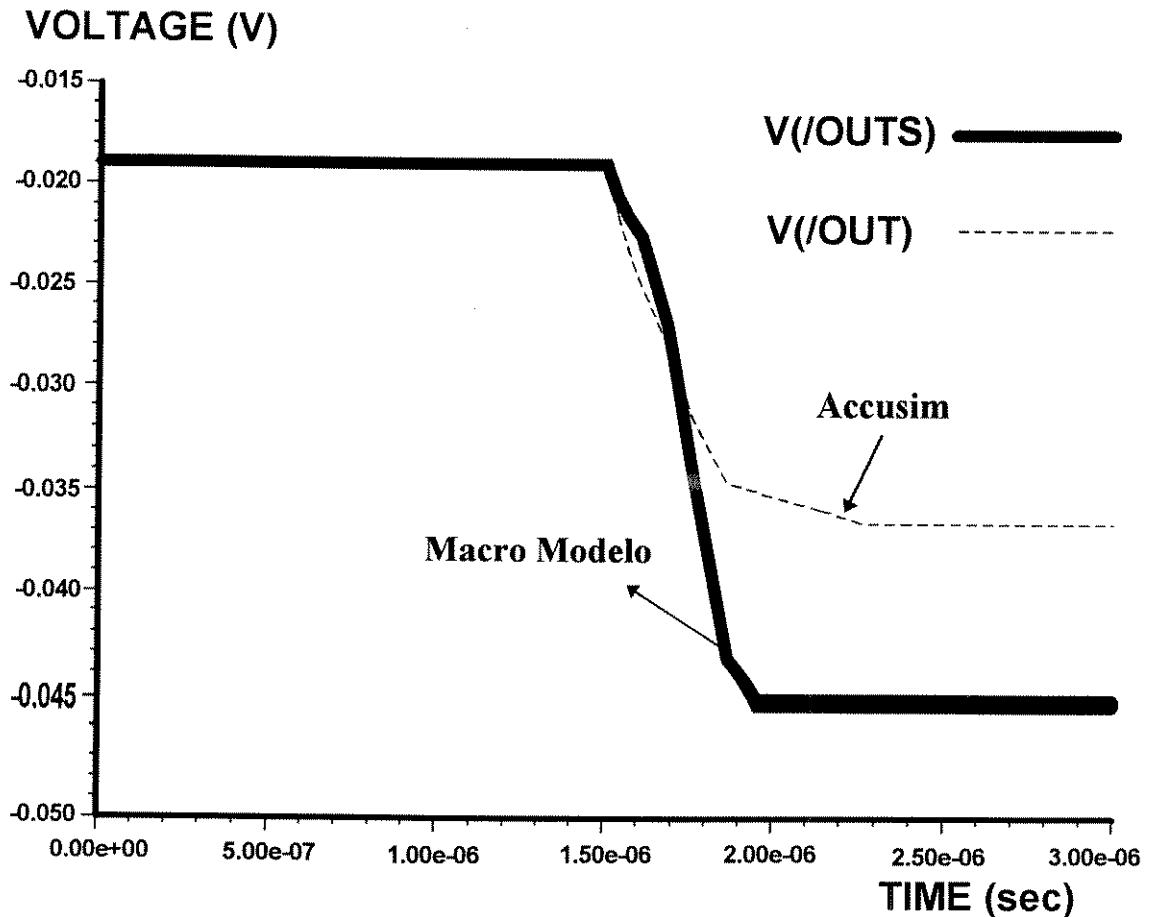


Figura 3.9 - Comparação entre Macro-Modelo e ACCUSIM (Yang-Chaterjee)

A diferença entre o Macro-Modelo e o ACCUSIM, em situações onde a capacitância de entrada é diferente da saída, fica mais evidente quando se utiliza a compensação com chave *dummy*. Nesta situação, a compensação será perfeita somente se a repartição de cargas no momento de desligamento da chave for igual a metade da quantidade de cargas no canal para fonte e dreno da chave. Para ilustrar esta situação foi simulado o circuito da Fig. 3.10 cujos resultados são apresentados na Fig. 3.11.

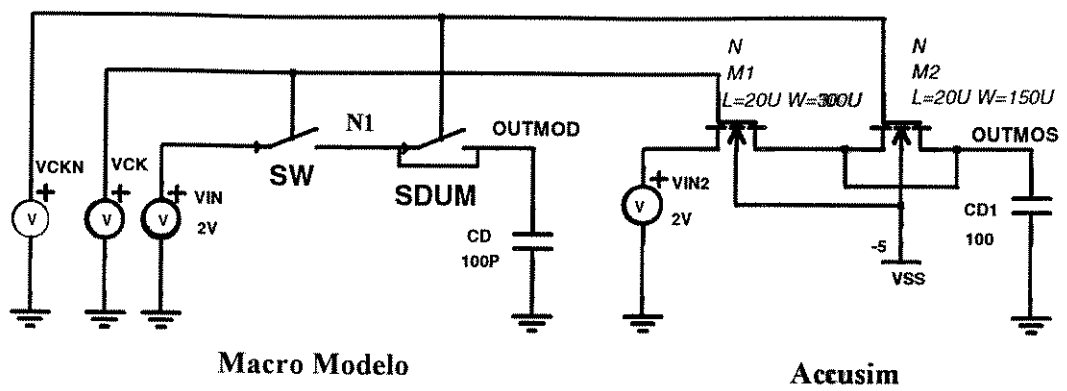


Figura 3.10 - Circuito utilizado para demonstrar a utilização de chave dummy

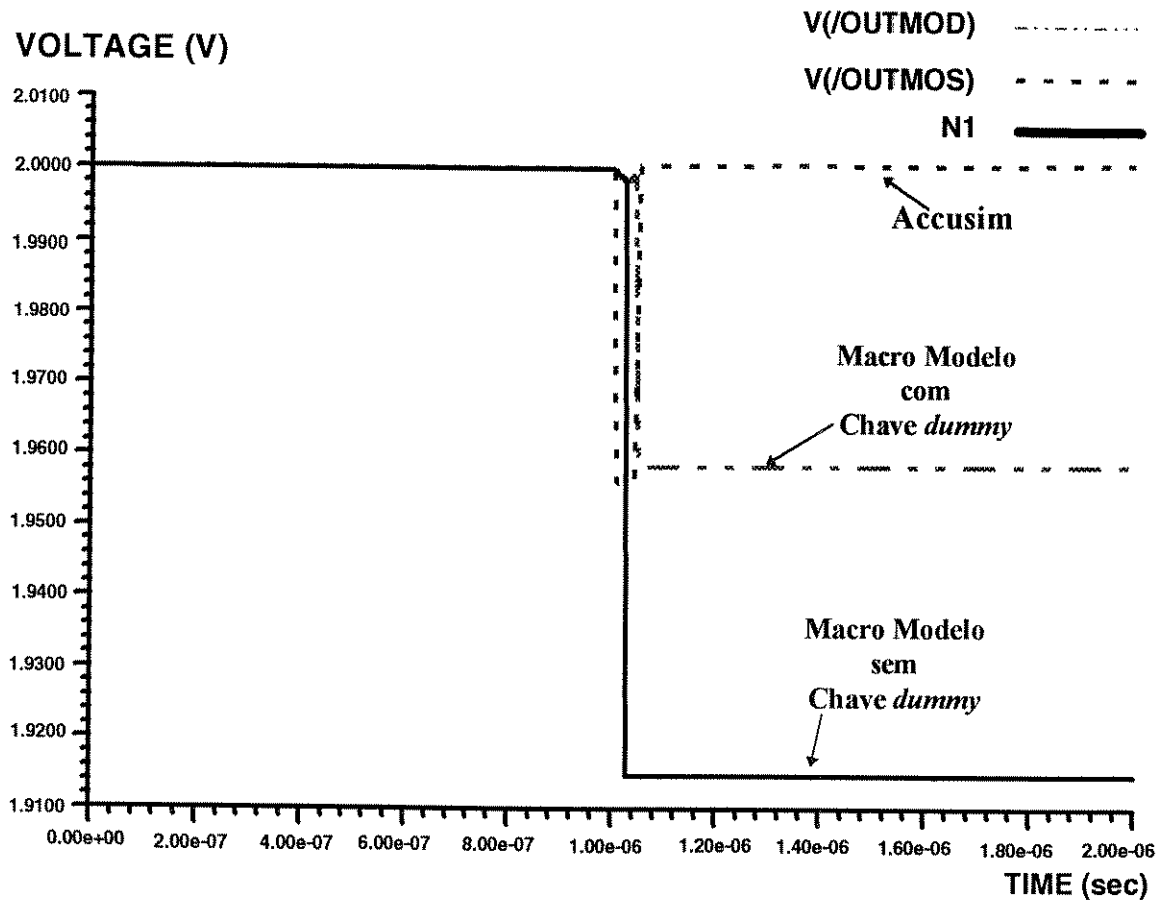


Figura 3.11 - Resultado de simulação comparando Macro-Modêlo com chave dummy e ACCUSIM (Yang-Charterjee)

Na Fig. 3.11, pode-se perceber que o ACCUSIM indica compensação perfeita sempre que for utilizado chave *dummy*, e o Macro-Modêlo apresenta resultado diferente que deverá depender da relação de capacitâncias envolvidas e tempo de descida do sinal de *clock*, conforme é comentado na literatura sobre o assunto [8,20].

CAPÍTULO 4

Circuito *Sample-and-Hold* Utilizando uma Nova Técnica para Cancelamento da Tensão de *Offset*

4.1- Introdução

Este capítulo apresenta um circuito “*Sample-and-Hold*” integrado CMOS que utiliza uma nova técnica de correção da tensão de “*Offset*” causada pelo desbalanceamento do estágio diferencial de entrada do amplificador e de outros erros acumulados ao longo do caminho percorrido pelo sinal. Serão abordados detalhes de projeto do Amplificador Operacional utilizado, bem como uma abordagem detalhada do funcionamento da técnica utilizada.

4.2- Princípio de funcionamento do Circuito

O funcionamento do circuito é dividido em fase de amostragem e fase de retenção e pode ser representado por um diagrama esquemático simplificado (Fig. 4.1). O circuito que atua na primeira fase está destacado por linhas mais grossas, onde pode-se perceber que os transistores estão dispostos na configuração de *buffer* de ganho unitário. Desta forma, tem-se que a saída é igual à entrada acrescida dos erros no caminho do sinal. O principal erro é atribuído ao erro de tensão causado pelo desbalanceamento do par diferencial de entrada (*offset*). A contribuição das chaves analógicas, especialmente aquela que conecta o capacitor *C_I* ao estágio de saída, é minizada pela utilização de um modo de chaveamento que será detalhado mais adiante.

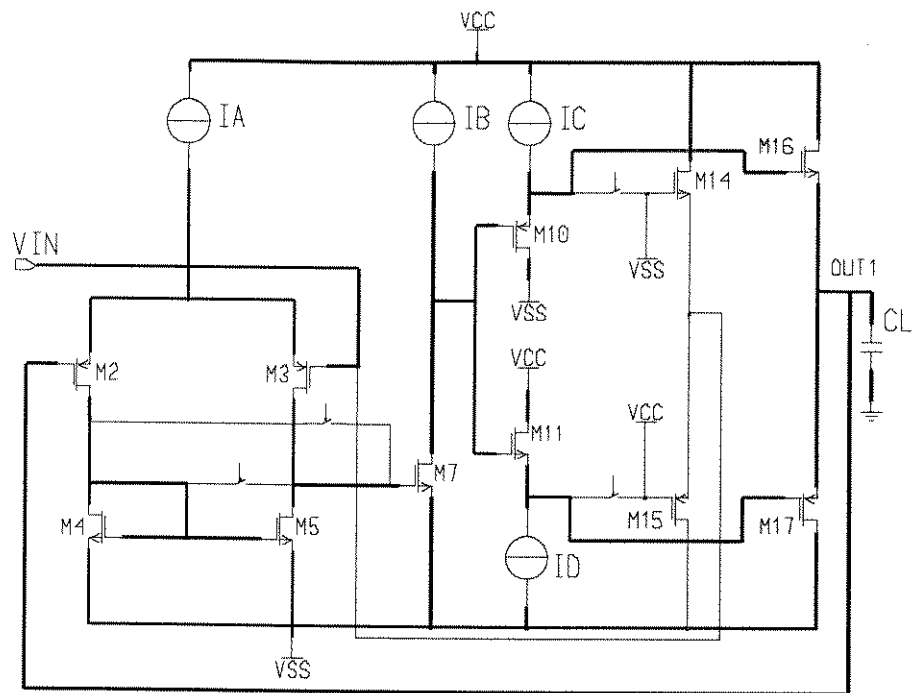


Figura 4.1 - Circuito Básico na Fase de Amostragem

Durante a próxima fase, chamada de fase de retenção, a configuração do circuito é trocada com o auxílio de algumas chaves analógicas, conforme pode ser visto na Fig. 4.2 com o auxílio de linhas mais grossas.

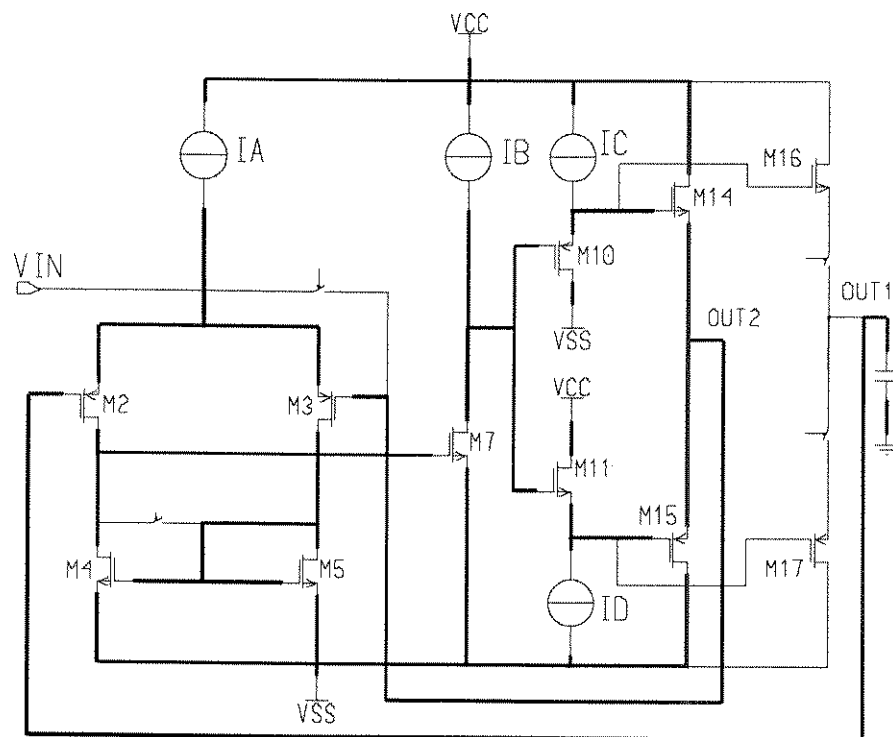


Figura 4.2 - Circuito Básico na Fase de Retenção

O espelho de corrente do estágio de entrada, formado pelos transistores M4-M5, é revertido para mudar a polaridade do erro de tensão, mantendo ainda a conexão da saída do primeiro estágio com o *gate* do transistor M7. O estágio de saída M16-M17 é substituído por outro estágio idêntico (M14-M15), e ao mesmo tempo tem-se nova saída sendo aplicada à nova entrada não-inversora (*gate* do transistor M2). Como resultado, uma nova tensão de saída é disponível no ponto OUT2, conforme pode ser visto na Fig. 4.2.

4.3- Circuito Proposto para o Buffer de Ganho Unitário

Para implementar a idéia apresentada, o amplificador operacional escolhido apresenta uma configuração de dois estágios visando aumentar o ganho e diminuir o erro devido ao ganho de malha aberta que não é infinito. Para determinar o efeito do ganho finito no erro do 'buffer' de ganho unitário, consideremos o amplificador não-inversor que utiliza um amplificador operacional de ganho de malha aberta A_o :

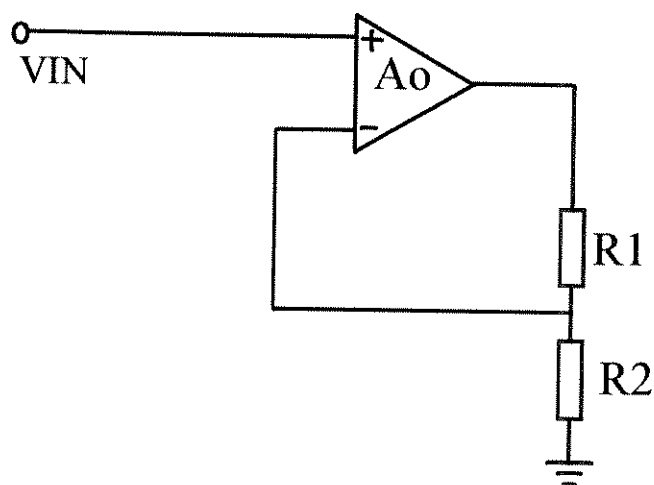


Figura 4.3 - Amplificador Realimentado

Neste circuito, o ganho de malha fechada (A_z) pode ser expresso por [14]:

$$A_z = \frac{\frac{1}{K}}{1 + \frac{1}{A_o K}} \quad K = \frac{R_1}{R_1 + R_2}$$

Para chegar ao circuito de um 'Buffer' de Ganho Unitário, deve-se supor que R1 é um curto e R2 um valor infinito. Desta forma, o fator K assume valor 1 e, portanto o ganho de malha fechada passa a ser:

$$Az = \frac{1}{1 + \frac{1}{Ao}}$$

Observe que, se o ganho de malha aberta do amplificador operacional (Ao) for igual a 200, o ganho de malha fechada assume valor de 0.995. Portanto, para que o erro por valor finito do ganho seja minimizado, optou-se por uma configuração de dois estágios que possibilita maior ganho. Uma vez que a precisão desejada para o circuito deve ser de pelo menos 12 bits, adotou-se que o ganho de malha aberta deve ser igual 100 DB.

A configuração escolhida para o par diferencial de entrada foi um circuito *cascode* que é apresentado na Fig. 4.4. O aumento de ganho do par diferencial de entrada não foi o fator primordial para escolha desta configuração. Uma vez que o objetivo maior do circuito é reduzir o *offset*, optou-se por uma configuração que minimiza-se as variações da tensão de dreno dos dois transistores que compõem o par diferencial de entrada. Este circuito foi escolhido para minimizar a influência das variações de tensão geradas pelo chaveamento na saída do par diferencial, evitando que qualquer desbalanceamento existente possa influenciar significativamente no aumento do erro total.

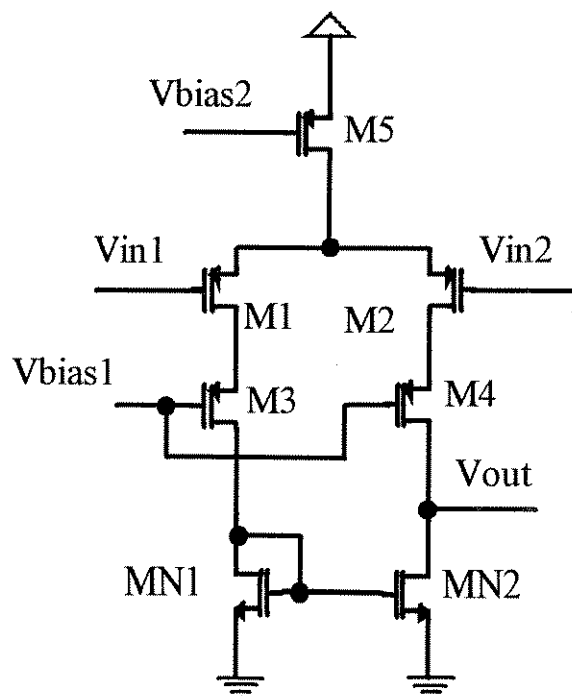


Figura 4.4 - Amplificador Cascode para o Par diferencial de Entrada

4.3.1- Amplificador Operacional Utilizado no Circuito do Buffer

O amplificador operacional (AMPOP) utilizado é mostrado na Fig. 4.5. O circuito é composto de um estágio amplificador e um estágio seguidor de fonte ‘*push-pull*’ visando obter uma baixa impedância de saída. O circuito foi projetado para operar com tensões de alimentação de +5V e -5V, frequência de 1 MHz e utiliza o processo CMOS *Double Poly/ Double Metal* de 1.2 μm da AMS (Austria Micro System).

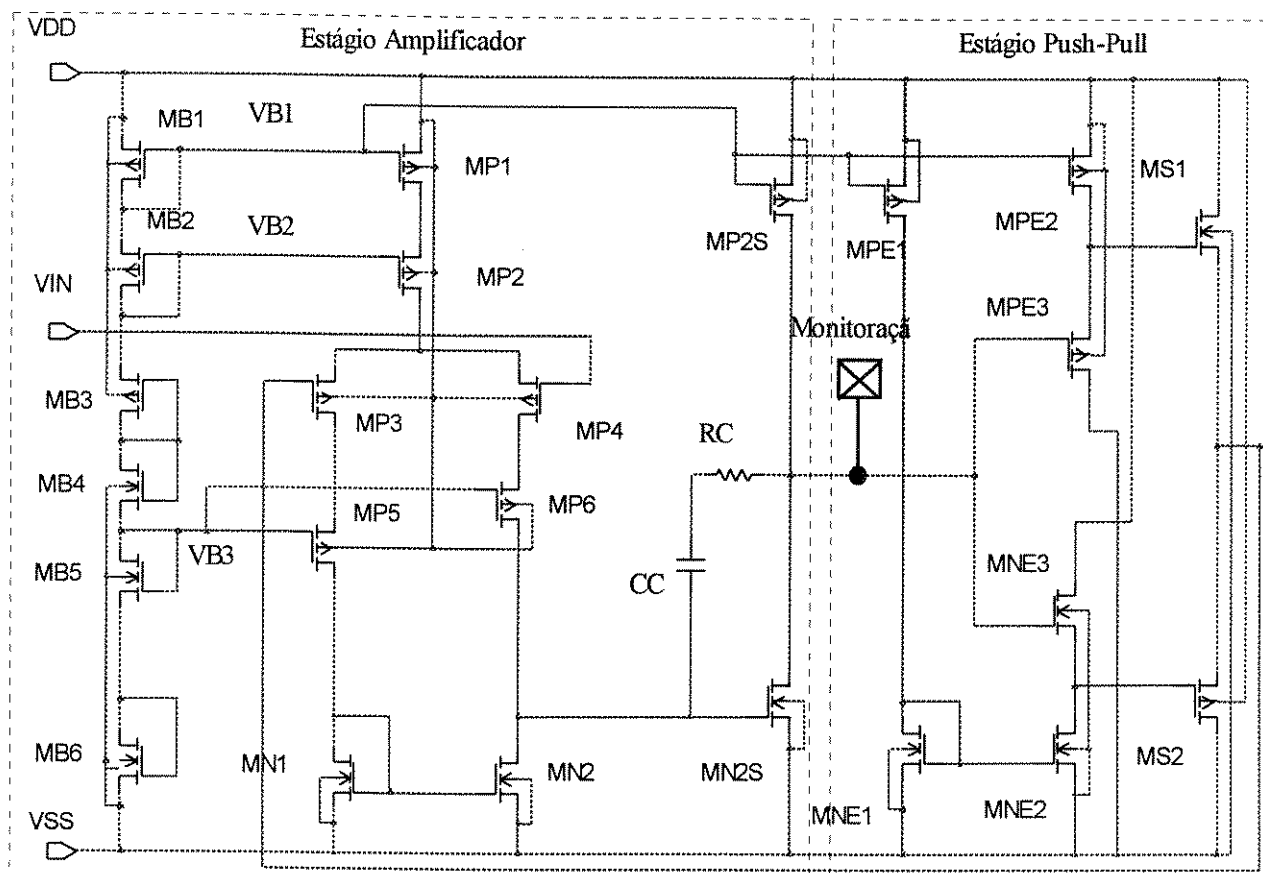


Figura 4.5 - Amplificador Operacional utilizado

A metodologia utilizada para uma estimativa inicial da dimensão dos transistores, é a apresentada em [1], e um ajuste fino através de um processo iterativo de simulações. Para início dos cálculos foi adotado um *Slew-Rate* (SR) de 20V/ μ s, para permitir que o circuito trabalhe com formas de onda pulsadas com um tempo de variação de 200 ns entre -2V e +2V.

Adotando-se para calculos preliminares, que o capacitor de compensação deve ser de 2pF, tem-se para o dimensionamento inicial de MP1 (Fig. 4.5):

$$SR = \frac{I_o}{C_c} \rightarrow I_{MP1} = SR.C_c = 20E+06 * 2E-12$$

$$I_{MP1} = 40\mu A$$

Assumindo que μ é a mobilidade de portadores e C_{ox} a capacitância por unidade de área do dielétrico (óxido de silício), os valores típicos de V_{To} (Tensão de limiar do transistor MOS) e KP , constante dada por μC_{ox} , para os transistores deste processo são:

- Transistor N: $V_{To} = 0.736 [V]$ e $KP = 74.72139 E-06 [A/V^2]$

- Transistor P: $V_{To} = -0.751 [V]$ e $KP = 25.39076 E-06 [A/V^2]$

Manuseando a equação básica da corrente de dreno na saturação, pode-se iniciar o dimensionamento dos transistores. Utilizando como corrente de polarização para o transistor MP1 uma corrente de 40 μA e uma tensão de polarização de 3.4V:

$$(W/L)_{MP1} = \frac{2 I_D}{25.39076 \cdot (1.6 - 0.751)^2} = 4.37$$

Visando diminuir a influência das variações de processo no comportamento do transistor, adotou-se um valor de comprimento de canal (L) igual a 10 μm , sendo assim, a largura do canal transistor (W) ficou em 40 μm .

Para determinação das dimensões do transistor MP2S, adotou-se que a corrente seria igual a duas vezes a corrente do transistor MP1. Assim:

$$I_{MP2S} = 80 \mu A$$

Adotando mesma tensão de polarização do transistor MP1, tem-se que a relação W/L do transistor MP2S deve ser o dobro da relação do transistor MP1.

Inicialmente a frequência de operação do circuito foi definida com uma margem de segurança em 1.4 MHz. Após realização de um projeto inicial, verificou-se que o circuito do Sample-and-Hold não apresentava comportamento satisfatório quando chaveado. Para compensar a utilização das chaves necessárias para alterar a configuração, optou-se em alterar a banda de frequência 8 Mhz na operação do amplificador operacional isolado. Assim, para o dimensionamento do transistor MP3, tem-se:

$$gm_{MP3} = W_o C_c \quad [1]$$

$$\text{onde } C_c = 2 \text{ pF}$$

$$\text{e } f_t = 8 \text{ Mhz}$$

$$gm_{MP3} = 2 \times \pi \times f_t \times C_c$$

$$gm_{MN2S} = 100.5 \mu$$

A seguir com base na equação de gm [1], chega-se à uma expressão para o cálculo de (W/L):

$$gm = \sqrt{2\mu Cox(W/L)id} \Rightarrow \frac{W}{L} = \frac{gm^2}{2Kid}$$

Assumindo a corrente por MP3 igual a 20 μ A e KP igual a 25.39 μ A/V², tem-se então $(W/L)_{MP3} = 9.9$, portanto para facilidades de implementação adotou-se $(W/L)_{MP3} = 10$. Os transistores MP4, MP5 e MP6 foram implementados com a mesma relação W/L de MP3.

Os transistores MN1 e MN2 foram projetados de forma a possuírem uma tensão Vgs em torno de 1V. Utilizando a expressão da corrente de dreno quando o transistor está na saturação [1], tem para o dimensionamento de MN1 e MN2 que:

$$(W/L) = \frac{2 \cdot I_D}{K_P(V_{gs} - V_t)^2} = \frac{2 \cdot 20 \mu}{74.72 \mu (1 - 0.736)^2} = 7.7$$

Visando minimizar o offset, adotou-se para o projeto do transistor MN2S a seguinte relação citada no capítulo 2:

$$\frac{(W/L)_{MN1}}{(W/L)_{MN2S}} = \frac{40 \mu}{2 \cdot 80 \mu} = 0.25$$

Assim, as dimensões do transistor MN2S devem ser iguais a quatro vezes o tamanho do transistor MN1.

As dimensões finais foram ajustadas com auxílio dos simuladores PSPICE e ACCUSIM, onde verificou-se a necessidade de alteração de alguns resultados obtidos nos cálculos apresentados.

Utilizamos como estágio de saída (Fig 4.5) o circuito apresentado em [15]. Este circuito é analisado também por Allen e Holberg - pg 483 e 486 [2] que demonstra que sua resistência de saída é dada por:

$$r_{out} \cong \frac{1}{gm_{MS1} + gm_{MS2}}$$

Efetuada uma primeira aproximação, estimou-se uma resistência de saída na ordem de 500 ohm. Para facilitar a estimativa inicial, arbitrou-se que inicialmente os gm de cada transistor poderiam ser iguais.

Supondo um SR na saída de 20 V/ μ s e um capacitor de carga de 30 pF, a corrente de saída deveria ser estimada em 600 μ A, assim:

$$500 = \frac{1}{gm_{MS1} + gm_{MS2}}$$

$$gm_{MS1} + gm_{MS2} = 2 \times 10^{-3}$$

$$gm_{MS1} = gm_{MS2} = 1 \times 10^{-3}$$

$$(W/L)_{MS1} = \frac{gm^2}{2 K_p Id} \frac{(1.0 E -3)^2}{2 \cdot 74.72\mu \cdot 600 \mu} = 11.15$$

$$(W/L)_{MS2} = \frac{gm^2}{2 K_p Id} \frac{(1.0 E -3)^2}{2 \cdot 25.39\mu \cdot 600 \mu} = 32.82$$

Após o dimensionamento inicial, foram realizadas simulações para um ajuste final do circuito, algumas alterações foram necessárias para corrigir a excursão do sinal para níveis entre -2 e +2 volts e para permitir um melhor funcionamento do circuito quando utilizado em conjunto com as chaves do circuito *sample-and-hold*. O circuito final do operacional com os respectivos W/L é apresentado na Fig. 4.6.

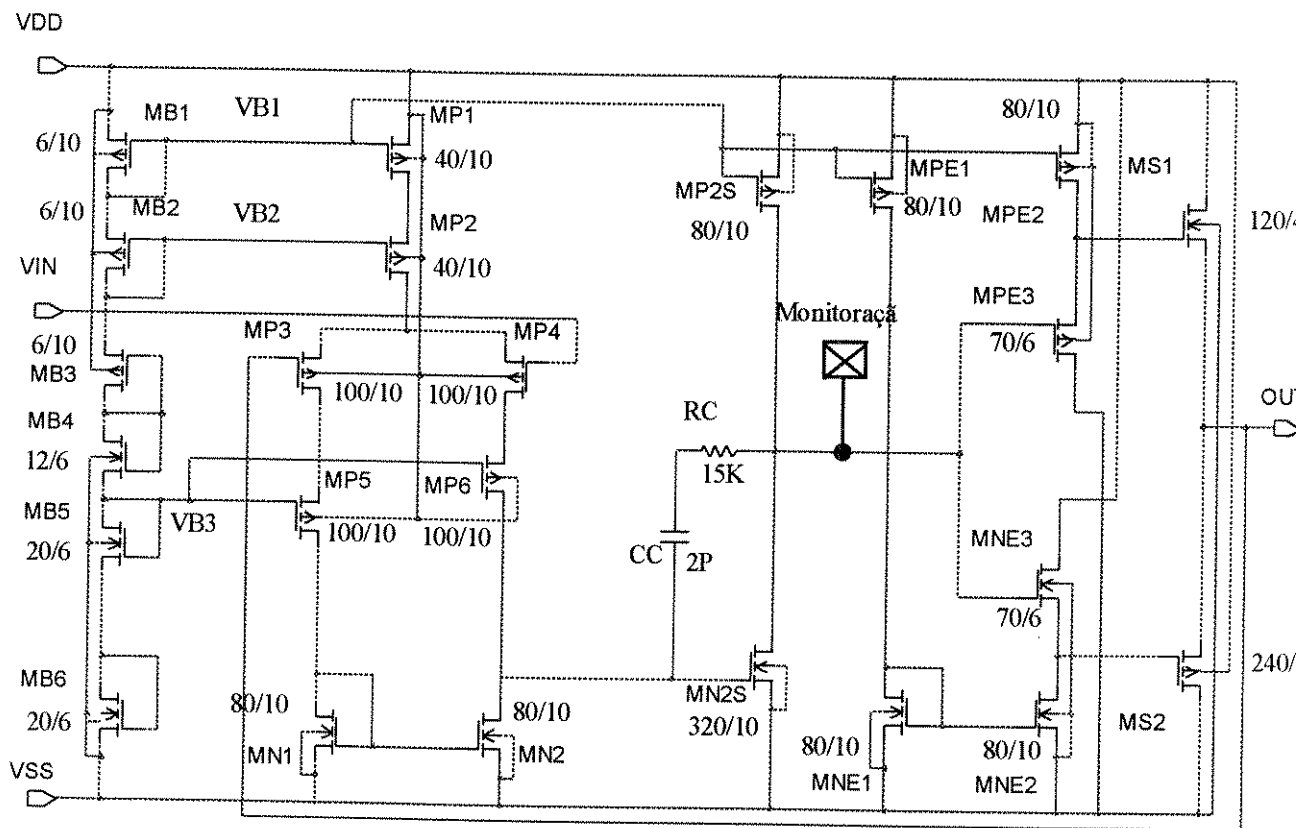


Figura 4.6 - Amplificador Completo utilizado com as dimensões finais

A Fig. 4.7 mostra a resposta do circuito quando excitado por uma onda quadrada com tempo de subida e descida de 200 ns, onde pode-se perceber que o circuito apresenta apenas uma pequena oscilação amortecida.

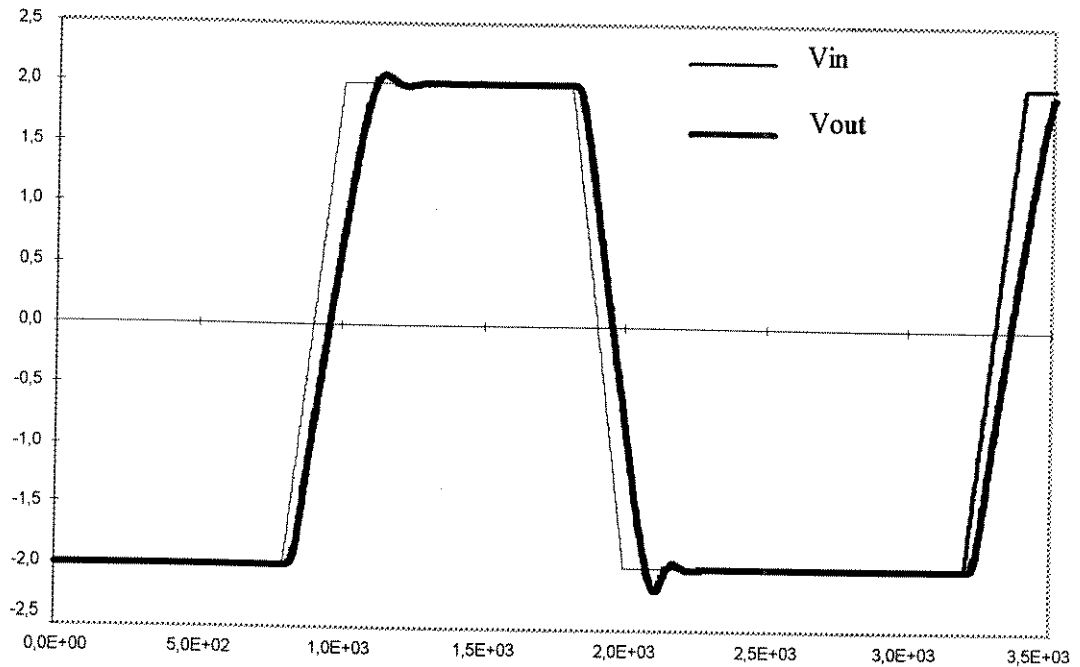


Figura 4.7 - Resposta do Buffer à excitação de uma onda quadrada

A Fig. 4.8 mostra a resposta do circuito quando excitado por uma onda senoidal de amplitude de 2V e frequência de 1 MHz.

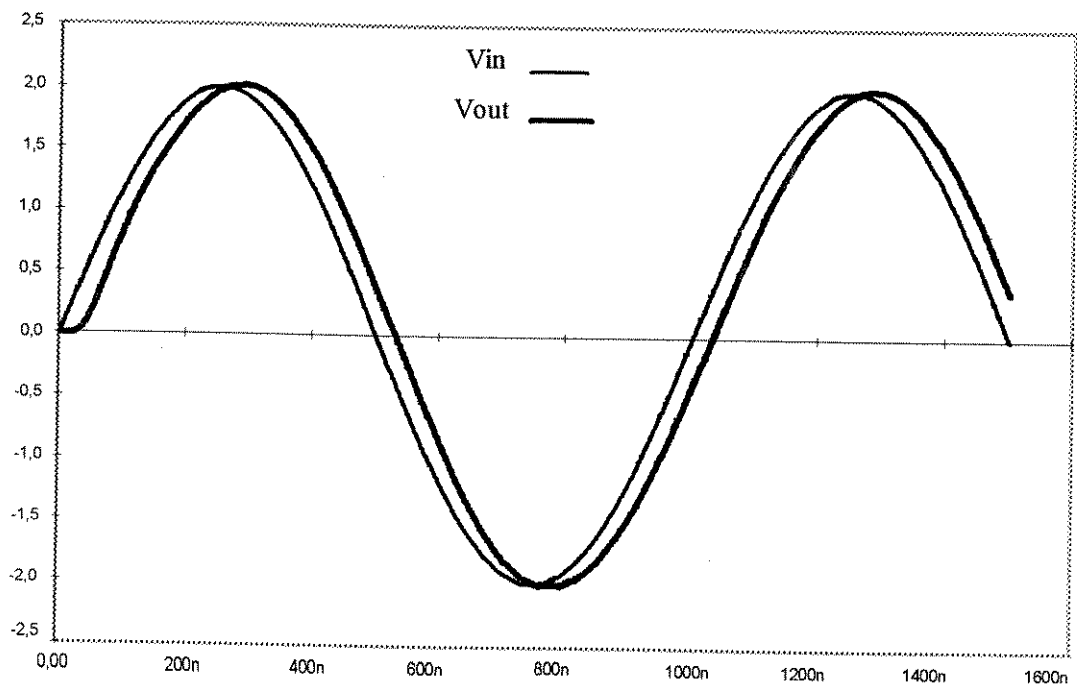


Figura 4.8 - Resposta do Buffer à excitação de uma onda senoidal

A Fig. 4.9 mostra a resposta do circuito em malha aberta, onde pode ser verificado que o ganho DC do circuito está em torno de 105 dB e a margem de fase é de 52 graus.

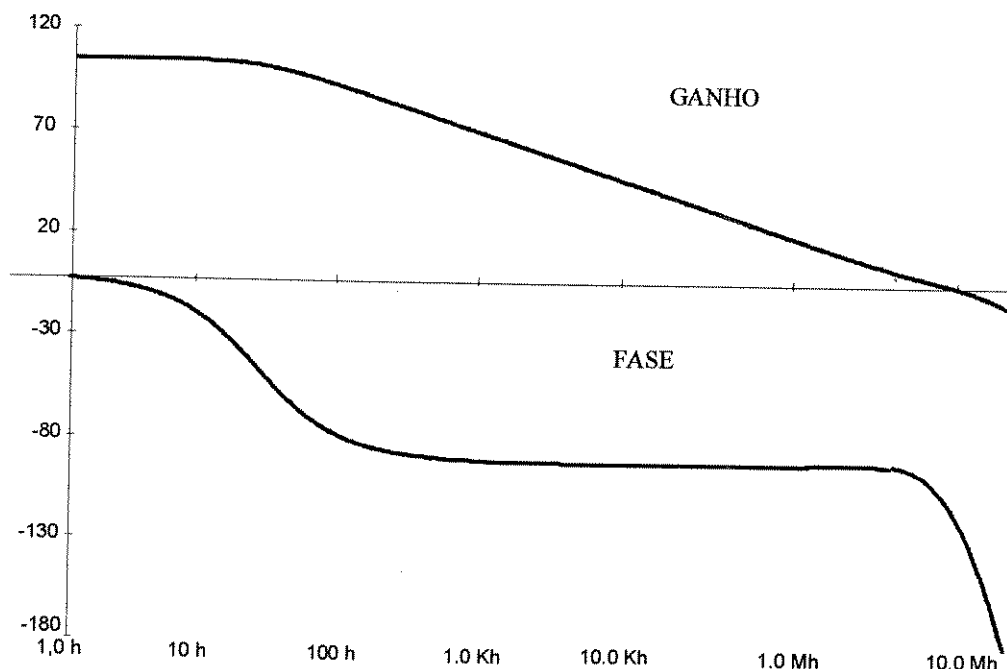


Figura 4.9 - Curvas de ganho em malha aberta e fase do buffer

A Fig. 4.10 mostra o erro de tensão do circuito (offset) para toda a faixa de tensão de entrada.

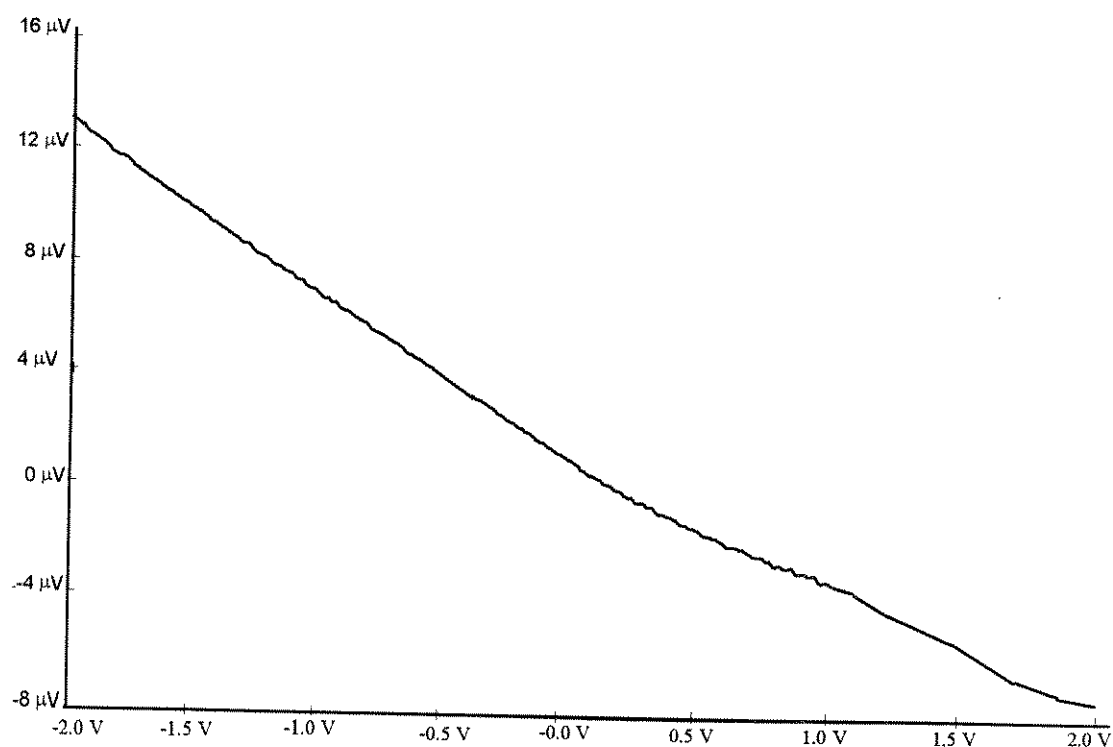


Figura 4.10 - Curvas do offset do circuito buffer em relação a tensão de entrada

4.4- Circuito do *Sample-and-Hold*

O circuito final do *Sample-and-Hold* deriva do amplificador apresentado no item 4.3, sendo incluídas chaves e um conjunto de transistores extras idênticos aos transistores MS1 e MS2 da Fig. 4.6, permitindo assim implementar a configuração apresentada no item 4.1. A Fig. 4.11 apresenta o circuito.

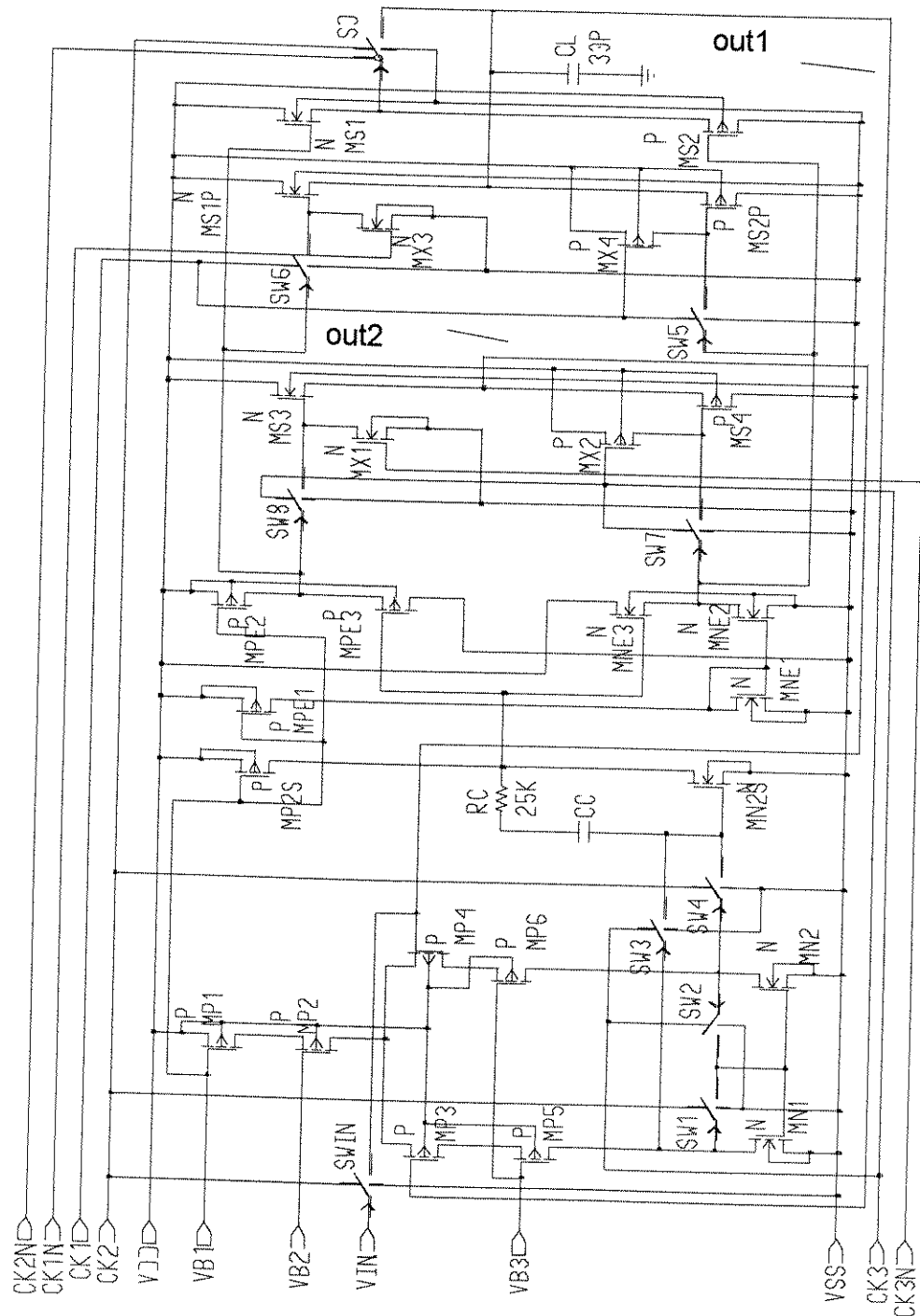


Figura 4.11- Circuito Final do *Sample-and-Hold* proposto

Inicialmente os transistores MS1P e MS2P, que formam um estágio de saída extra, estão desligados. Neste período (fase de amostragem), Os transistores MS1P, MS2P, MS1, MS2 e a chave SO formam o estágio de saída *push-pull*. Para permitir a inclusão da chave SO entre o estágio de saída e o capacitor CL, foi utilizado o seguinte modo de chaveamento. Os transistores MS1P e MS2P possuem uma dimensão suficiente para carregar o capacitor CL durante o tempo de transição de carga, sendo que após este período são desligados e mantidos os transistores menores MS1 e MS2 que visam manter o valor amostrado. Desta forma, diminuem-se as oscilações devido ao chaveamento no instante de desligamento e permite-se a utilização de uma chave de tamanho mínimo para desconectar o capacitor do estágio de saída, sem contudo impedir o rápido carregamento do capacitor de amostragem. Deste modo, pode-se diminuir as oscilações de chaveamento, que acarretavam erro no valor amostrado e permite-se ainda a utilização de chaves *dummy* em conjunto com a chave de saída, diminuindo assim o erro final no valor amostrado.

Todas as chaves utilizadas são exclusivamente do tipo NMOS e possuem dimensão de $W=4\mu\text{m}$ e $L=1.2\mu\text{m}$. As chaves *dummy*, são utilizadas somente na saída do circuito e possuem a metade da dimensão da chave principal. No intervalo de amostragem, as chaves ligadas são SW1, SW4, SW5, SW6 e SO. Forma-se desta maneira, o circuito representado na Fig. 4.1. Um detalhe importante é o instante de desligamento da chave de saída SO. Visando diminuir a influência dos transitórios do chaveamento para uma nova configuração no capacitor CL, a chave SO é desligada anteriormente as chaves que participam do corpo do circuito. Caso este cuidado não seja levado em consideração, simulações efetuadas demonstraram que o erro final cresce de uma maneira alarmante, até a casa de mV.

No momento de desligamento do estágio formado pelos transistores MS1 e MS2, tem-se armazenado em CL o valor da tensão de entrada acrescido do erro do circuito. Num instante seguinte (um intervalo de acomodamento é utilizado, antes de permitir uma nova conexão), o circuito é chaveado para a configuração de retenção. Para realizar a configuração de retenção, são ligadas as chaves SW3, SW2, SW7 e SW8. No instante de chaveamento, deve-se notar que os transistores MS3 e MS4 mantém a configuração de buffer de ganho unitário, e o par-diferencial apresenta-se agora invertido em sua configuração. Tem-se desta forma, no ponto OUT2 a tensão inicialmente amostrada.

4.4.1- Resultados de Simulação

As duas fases de operação do circuito são ilustradas na Fig. 4.12. As simulações foram efetuadas no simulador da Mentor Graphics ACCUSIM II, usando nível 2 e modelo de conservação de cargas de Yang-Chaterjee.

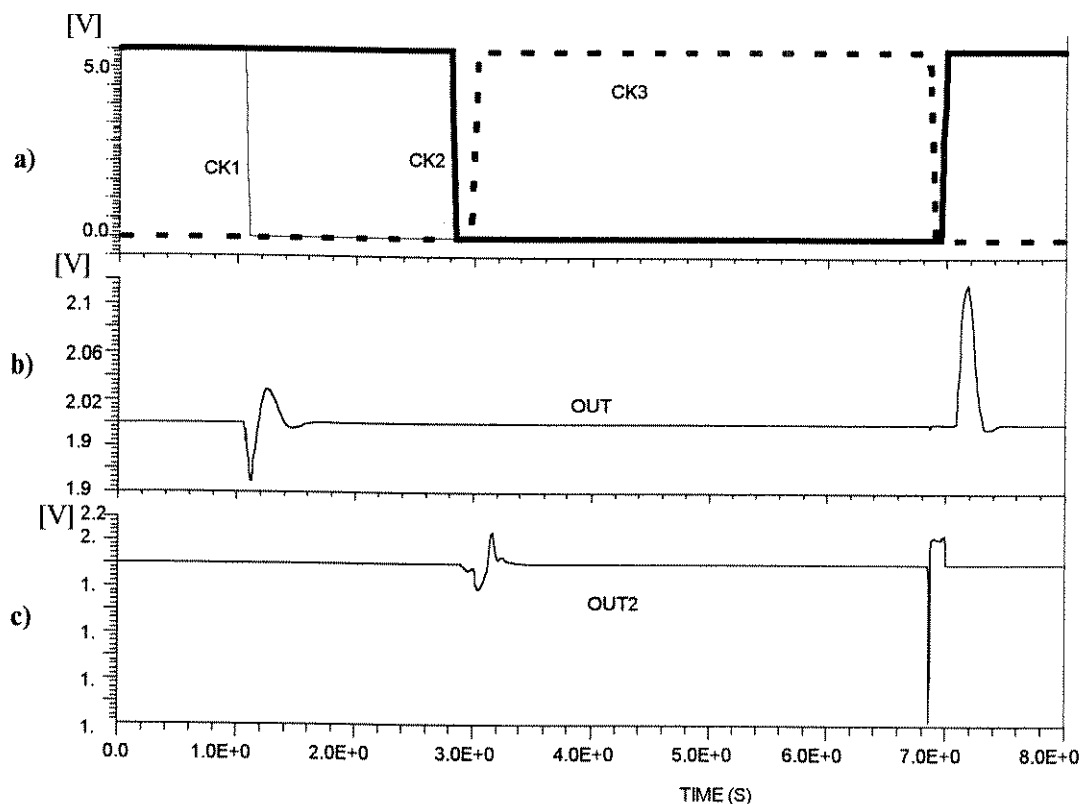


Figura 4.12 - Resultado de Simulações realizadas no ACCUSIM.

A curva da Fig. 4.12a mostra os sinais de clock utilizados para controlar o circuito. CK1 controla as chaves SW5 e SW6. CK2 controla as chaves SWIN, SW1, SW4 e CK3 as chaves SW2, SW3, SW7 e SW8. Note que a fase de amostragem ocorre no estado alto de CK2 e a fase de retenção no estado alto de CK3. A curva da Fig. 4.12b ilustra a tensão de saída no capacitor CL, durante a fase de amostragem, mostrando o transiente no momento de desligamento dos transistores grandes (CK1 em nível baixo). A curva da Fig. 4.12c ilustra o sinal de saída durante a fase de retenção, a qual inicia no instante em que o sinal CK3 atinge nível alto.

Valores numéricos para o erro de tensão foram obtidos através de simulações efetuadas. A tabela 4.1 ilustra os resultados obtidos para alguns valores de tensão de entrada. O erro apresentado nesta tabela é o erro total do circuito em várias situações. É importante

salientar que os mesmos resultados da Tabela 4.1 também foram obtidos na condição de simularmos o circuito com uma tensão de *offset* induzida através de um descasamento do par diferencial de entrada. Neste caso, um dos transistores teve o comprimento de canal alterado para um valor 20 % maior que o outro.

Tensão de Entrada [V]	Erro de Tensão em V_{OUT1} [μ V]	Erro de Tensão em V_{OUT2} [μ V]
2	-34.7	-40
1	-50.5	-45
0	-35.45	-15.47
-1	-44.5	-16.2
-2	-64.8	-20

Tabela 4.1 - Erro total do circuito para vários valores de tensão de entrada

Para testes a serem efetuados em bancada e validação das simulações efetuadas, elaboramos um *layout* para difusão na *foundry* AMS em tecnologia CMOS 1.2 μ m. O *layout* é apresentado na Fig. 4.13. As capacitâncias parasitas foram extraídas com auxílio do *software* Mentor Graphics, dando origem a um arquivo de descrição para SPICE (Apêndice C). O arquivo obtido, contém a descrição dos transistores e capacitores existentes no *layout* final do circuito. Os erros obtidos após novas simulações efetuadas com o circuito extraído são apresentados na Tabela 4.2.

Tensão de Entrada [V]	Erro de Tensão em V_{OUT1} [μ V]	Erro de Tensão em V_{OUT2} [μ V]
2	-78.6	-70.4
1	-97.3	-87.3
0	-88.4	-78.6
-1	-97.2	-89.6
-2	-132.4	-126.7

Tabela 4.2 - Erro total do circuito para vários valores de tensão de entrada obtido após simulações pós-layout.

A diferença observada entre a simulação do circuito original e o circuito obtido após a extração de parâmetros, que inclui os elementos parasitários, evidencia a influência destes parasitas e o aumento do erro, tal como era de se esperar, tendo em vista que se trata de uma estrutura chaveada. Os resultados da simulação do circuito após extração, são mais realistas que os do circuito original. É importante observar que o pior resultado de

simulação (circuito extraído) indica que o circuito pode atingir a precisão de 12 bits na temperatura de 27 °C.

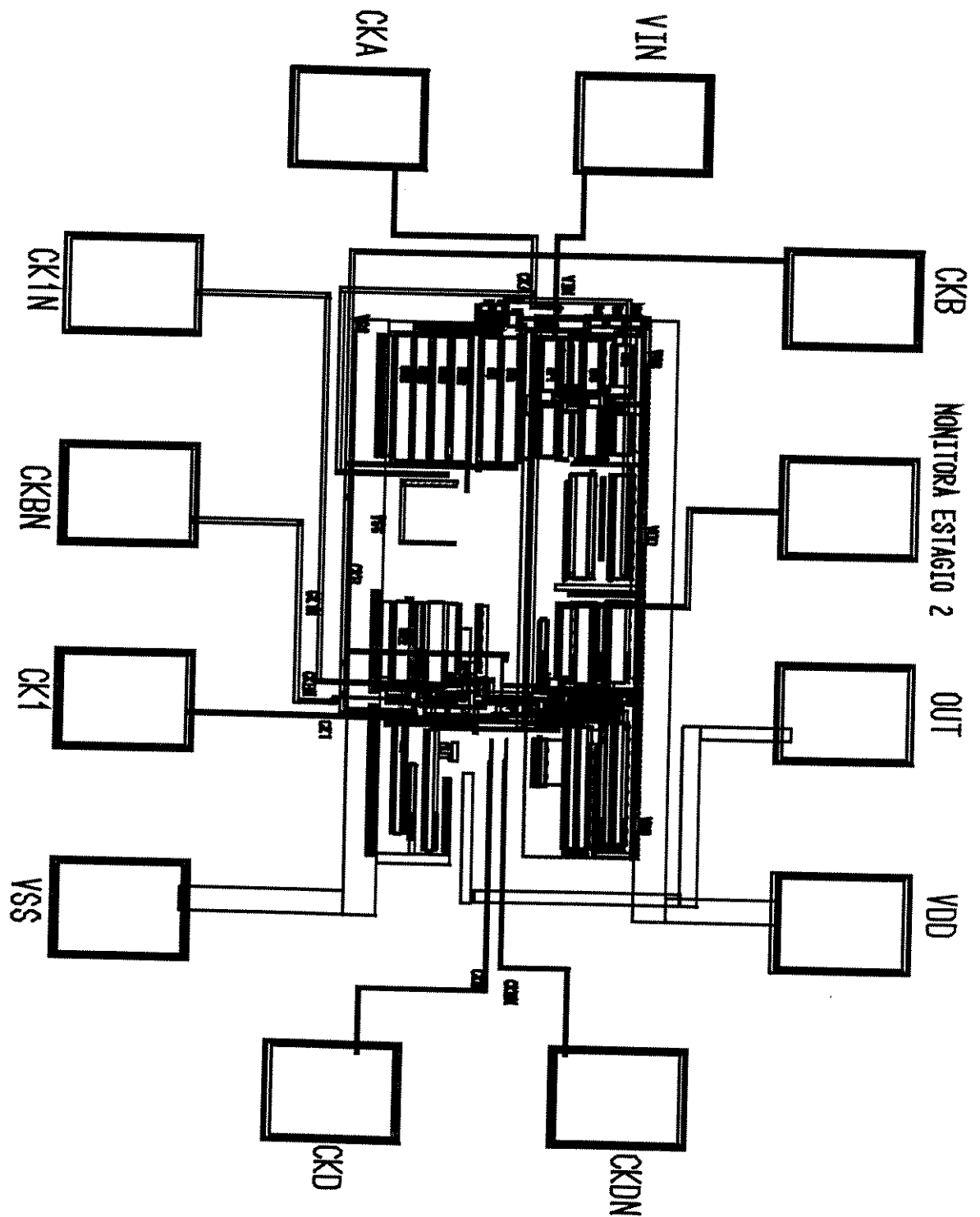


Figura 4.13 - Layout do Circuito Sample-and-Hold

CONCLUSÃO

Neste trabalho, é apresentada uma nova configuração de circuito *sample-and-hold* com correção automática da tensão de *offset* capaz de operar com uma faixa dinâmica de -2V a 2V e máximo erro de 126.7 μ V.

Após uma revisão das principais configurações de circuitos *sample-and-hold*, no Capítulo 1, e das causas do erro de *offset*, no Capítulo 2, é apresentada no Capítulo 3 a proposta de um macromodelo para a simulação em SPICE de uma chave analógica MOS. Este macromodelo, após sua devida validação, foi utilizado na simulação do circuito desenvolvido.

O circuito *sample-and-hold* foi simulado e o correspondente *layout* foi gerado, visando sua implementação em tecnologia AMS CMOS 1.2 μ *Double Metal-Double Poly*.

Como resultado deste trabalho foram apresentados dois artigos em congressos internacionais.

Bibliografia

- [1] R. Gregorian, G.C. Temes, "*Analog MOS Integrated Circuits for Signal Processing*", John Wiley & Sons - 1986
- [2] P. E. Allen, D. R. Holberg, "*CMOS Analog Circuit Design*", Saunders College Publishing - 1987
- [3] P. R.Gray, R.G.Meyer, "*Analysis and Design of Analog Integrated Circuits*", third edition, John Wiley & Sons, Inc - 1993.
- [4] James. H. Atherton, H.Thomas Simmonds, "*An Offset Reduction Technique for Use with CMOS Integrated Comparators and Amplifiers*", IEEE JSSC, vol27, n^o 8, august 1992, pg 1168-1175
- [5] Chong-Gun Yu, Randall L. Geiger, "*An Automatic Offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers*", IEEE JSSC, vol. 29, n^o 5, may 1994, pg 601-610.
- [6] Kadaba R. Lakshmikumar, Robert A. Hadaway and Miles A. Copeland, "*Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design*", IEEE JSSC, vol sc-21, n^o 6, december 1986, pg 1057- 1066.
- [7] Marcel J. M. Pelgrom, AAD C. J. Duinmaijer and Anton P.G. Welbers, "*Matching Properties of MOS Transistors*", IEEE JSSC, vol. 24, n^o 5 , october 1989, pg 1433-1440.
- [8] Je-Hurn Shieh, Mahesh Patil, Bing J. Sheu, "*Measurement and Analysis of Charge Injection in MOS Analog Switches*", IEEE JSSC, Vol SC-22, No. 2, April 1987, pp 277- 281.
- [9] U. Gatti, F. Maloberti, and G. Palmisano, "*An Accurate CMOS Sample-and-Hold Circuit*", IEEE JSSC, Vol. 27, No. 1, January 1992, pp 120-122.

- [10] John Fernandes, A. Martin Mallinson, Gerald A. Miller, "*A 14-bit 10 μ s Subranging A/D Converter with S/H*", JSSC, Vol. 23, No. 6, december 1988, pp 1309-1315.
- [11] Masayuki Ishikawa, Tsuneo Tsukahara, "*An 8-bit 50-Mhz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H*", IEEE JSSC, Vol. 24, No. 6, december 1989, pp 1485-1491.
- [12] Peter J. Lim, Bruce A. Wooley, "*A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance*", IEEE JSSC, Vol. 26, No. 4, April 1991, pp 643-651.
- [13] Alan B. Grebene, "*Bipolar and MOS Analog Integrated Circuit Design*", John Wiley & Sons - 1984, pg 374-375
- [14] Roberto Antonio Lando, Sergio Rios Alves, '*Amplificador Operacional - Teoria, Aplicações, Servo Mecanismo*', Editora Érica
- [15] Miran Milkovic, "*Current Gain High-Frequency CMOS Operational Amplifiers*", IEEE JSSC, vol. sc-20, n^o 4, august 1985, pg. 845-851.
- [16] Gordon W. Roberts and Adel S. Sedra, "*Spice for Microeletronic Circuits*", Saunders College Publishers - 1992.
- [17] Yannis P. Tsividis, "*Operation and Modeling of The MOS Transistor*", McGraw-Hill Book Company - 1987.
- [18] Robson Luiz Moreno, Carlos A. dos Reis Filho, "*A MOS Analog Switch MacroModel for Charge Injection Analysis*", First IEEE International Caracas Conference on Devices, Circuits and Systems, Caracas, Venezuela, December, 12-14 1995.
- [19] Erwin Kreyszig, "*Advanced Engineering Mathematics*", sixth edition, John Wiley & Sons, 1988.
- [20] E. Vittoz, "*Microwatt Switched Capacitor Circuit Design*", Electrocomponent Science and Technology, 1982, Vol 9, p. 263-273.

- [21] Ping Yang, Berton D. Epler, and Pallab K. Chatterjee, "*An Investigation of the Charge Conservation Problem for MOSFET Circuit Simulation*", IEEE JSSC, Vol. SC-18, No. 1, February 1983, p. 128-138.
- [22] Robson Luiz Moreno, Carlos A. dos Reis Filho, "*A Technique for Offset Voltage Cancellation in a CMOS Sample-and-Hold Circuit*", Segundo Workshop IBERCHIP, 12-15 Fevereiro 1996, p. 95-101.

APÊNDICE A

Descrição dos Subcircuitos que fazem parte do Macro-Modelo

*

.SUBCKT ERF 1 4

IIN 1 0 0

EIN 22 0 POLY(1) (1,0) 0.0 1.0

RIN 22 0 100MEG

RX 22 2 1

D1 2 5 DREF

VREF 5 0 3.1V

* aproximacao por serie de maclaurin

EOM 3 0 POLY(1) (2,0) 0.0 1.0 0.0 -0.333333333333 0.0 0.1 0.0 -0.023809523 0.0 4.62962963E-03
+ 0.0 -0.7575757575E-03 0.0 0.106837606E-03 0.0 -13.22751323E-06 0.0 1.4589169E-06 0.0 -
1.450385222E-07
+ 0.0 1.312253296E-08 0.0 -1.089222104E-09 0.0 8.350702795E-11 0.0 -5.947794014E-12
+ 0.0 3.955429516E-13 0.0 -2.46682701E-14 0.0 1.448326464E-15 0.0 -8.032735015E-17
+ 0.0 4.221407289E-18 0.0 -2.107855191E-19 0.0 1.002516494E-20 0.0 -4.55184676E-22
+ 0.0 1.977064754E-23 0.0 -8.230149297E-25 0.0 3.28926035E-26 0.0 -1.264107899E-27
+ 0.0 4.678483515E-29 0.0 -1.669761793E-30 0.0 5.754191645E-32 0.0 -1.916942862E-33
+ 0.0 6.180307588E-35 0.0 -1.930357209E-36 0.0 5.846755008E-38 0.0 -1.718856063E-39
+ 0.0 4.908923965E-41 0.0 -1.363041262E-42 0.0 3.682493516E-44 0.0 -9.687280237E-46 0.0
+ 2.483069098E-47 0.0 -6.205657921E-49 0.0 1.51310795E-50 0.0
+ -3.60157931E-52 0.0 8.373419685E-54 0.0 -1.902541227E-55 0.0 4.226789755E-57 0.0 -9.186429501E-
59
+ 0.0 1.954102583E-60

IOM 3 0 0

* multiplicacao pelo fator 2/sqrt(pi)

ERF 4 0 POLY(1) (3,0) 0.0 1.128379167

IERF 4 0 0

.MODEL DREF D(VJ=0.1 N=1U)

.ENDS

*

* condutancia

.SUBCKT CONDUT 1 2 3

I1 1 0 0

I2 2 0 0

I1 3 0 DC 0

RSW 1 2 10T

GSW 1 2 POLY(2) (1,2) (3,0) 0 0 0 0 1.0

.ENDS

*

* amplificador operacional

.SUBCKT AMPOP 1 2 3

I1 2 0 0

I2 3 0 0

RIN 2 3 50MEG

EINPUT 4 0 POLY(1) (2,3) 0.0 100.0

I4 4 0 0

VDD 8 0 5V

RX 4 5 1000

D1 5 8 DOP

D2 0 5 DOP

D3 5 6 DOP

RO1 6 0 0.1

RO2 6 0 0.1

EOUT 1 0 POLY(1) (6,0) 0.0 100.0

.MODEL DOP D(N=0.1)

.ENDS

*

* chave ideal

.subckt chave 1 2 3 4

I1 1 0 0

I2 2 0 0

I3 3 0 0

I4 4 0 0

* N+ N- NC+ NC- N+ N- 1/Ron

GSWITCH 1 2 POLY(2) (3,4) (1, 2) 0.0 0.0 0.0 0.0 1000000000

RSW 1 2 10T

.ENDS

*

* subtrator - 3 entradas

.SUBCKT SUB3 1 2 3 4

R1 1 0 100MEG

R2 2 0 100MEG

R3 3 0 100MEG

IO 4 0 0

EO 4 0 POLY(3) (1,0) (2,0) (3,0) 0.0 1.0 -1.0 -1.0

.ENDS

*

* SUBTRATOR DE 2 ENTRADAS

.SUBCKT SUB2 1 2 3

I1 1 0 0

I2 2 0 0

IO 3 0 0

EO 3 0 POLY(2) (1,0) (2,0) 0.0 1.0 -1.0

.ENDS

*

* MULTIPLICADOR DE 2 ENTRADAS

.SUBCKT MULT2 1 2 3

I1 1 0 0

I2 2 0 0

IO 3 0 0

EO 3 0 POLY(2) (1,0) (2,0) 0.0 0.0 0.0 0.0 1.0

.ENDS

*

* MULTIPLICADOR DE 3 ENTRADAS

.SUBCKT MULT3 1 2 3 4

I1 1 0 0

I2 2 0 0

I3 3 0 0

IO 4 0 0

EO 4 0 POLY(3) (1,0) (2,0) (3,0) 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 0.0 1.0

.ENDS

*

* RAIZ QUADRADA

.SUBCKT RAIZ 1 5

IN 1 6 0

ESQRT 6 0 POLY(2) (6,0) (1,0) 0.0 0.0 10.0MEG -10.0MEG

R1 14 12 1MEG

R2 13 11 1MEG

R3 11 0 1MEG

R4 12 0 1MEG

R5 10 4 1MEG

E1 4 0 11 12 1MEG

EOUT 5 0 4 0 1

IOUT 5 0 0
D1 14 6 DMOD
D2 6 13 DMOD
D3 10 12 DMOD
.MODEL DMOD D (N=0.001)
.ENDS

*

* SOMADOR

.SUBCKT SOMA2 1 2 3
R1 1 0 1T
R2 2 0 1T
IO 3 0 0
EO 3 0 POLY(2) (1,0) (2,0) 0.0 1.0 1.0
.ENDS

*

* DIVISAO

.SUBCKT DIVISAO 1 2 3
I1 1 0 0
I2 2 0 0
GA 0 5 (1,0) 1.00
GB 5 0 POLY(2) (2,0) (5,0) 0.0 0.0 0.0 0.0 1.0
R1 5 0 1G
EO 3 0 (5,0) 1.0
IO 3 0 0
.ENDS

*

.SUBCKT BUF 1 2
I1 1 0 0
I2 2 0 0
E1 2 0 POLY(1) (1,0) 0.0 1.000
.ENDS

*

.SUBCKT BUFCOMP 1 2

I1 1 0 0

I3 3 0 0

E1 3 0 POLY(1) (1,0) 0.0 10.000

RDELAY 3 2 3

CDELAY 2 0 1P

I2 2 0 0

.ENDS

APÊNDICE B

Cópia de trabalhos apresentados em Congressos:

Título: *A MOS Analog-Switch Macromodel for Charge Injection Analysis* - First IEEE International Caracas Conference on Devices, Circuits and System, Venezuela, December 1995.

Título: *A Technique for Offset Voltage Cancellation in a CMOS Sample-and-Hold Circuit* - Segundo Workshop IBERCHIP - Fevereiro de 1996.

AN MOS ANALOG-SWITCH MACROMODEL FOR CHARGE INJECTION ANALYSIS

Robson Luiz Moreno¹ and Carlos A. dos Reis Filho²

1-Grupo de Microeletrônica - EFEI

Av. BPS 1303, Pinheirinho

CEP:37500-000, Itajubá - MG - BRASIL

2-Faculdade de Engenharia Elétrica - UNICAMP

Caixa Postal 6101 - CEP 13081-970 Campinas, SP - BRASIL

E-mail: reis@lcaee.fee.unicamp.br

ABSTRACT

This paper presents a Spice macromodel, which allows the accurate prediction of charge injection from single-channel MOS analog switches. The macromodel is based on a closed-form solution to the system of differential equations that describes a typical sample-and-hold circuit. Experimental results, applying the developed model are discussed.

INTRODUCTION

Modeling of the MOS transistor for simulation purposes are not accurate enough, to this date, to predict several phenomena that occurs in its operation [1]. Charge injection is one of those non-accurately modeled phenomena.

This paper presents a macromodel for Spice simulators, which allows the accurate prediction of charge injection from an n-channel MOS analog switch by implementing a closed-form solution to the differential-equation system that describes a typical sample-and-hold circuit.

CHARGE INJECTION

Charge injection from analog switches is an ubiquitous problem in the realm of sample-data circuits [2]. Attempts to cancel or compensate for this source of error have been proposed in the last years in order to improve the performance of Charge-Redistribution Converters [3], Switched-Capacitors circuits[2,4], etc. The most used technique for this purpose employs a dummy switch driven by the inverted clock of the main switch [3]. The channel area of the dummy switch is one half the channel area of the main switch, so that the charge injected from the main switch into the hold capacitor, as the main switch is opened, is compensated for the charge absorbed by the dummy switch as it closes.

Another approach uses dummy capacitors in a sort of fully differential structure [5]. This technique has some advantages as compared to the previous one, since it is less sensitive to the signal source impedance, clock frequency and regularity of the fall and rise time of the clock. The price paid for this improvement is an increased complexity of the circuit.

An yet more complex charge injection cancellation technique was used in [6] to achieve remarkable results in a high-speed sample-and-hold circuit.

All the above techniques are based on the use of a single n-channel MOS transistor as the main switch. In [7] a comparison between single-channel switches and complementary-channel switches is discussed, leading to the conclusion that complementary-channel switches can perform better, although they are more sensitive to clock skew, requiring very careful design of the structure.

THEORETICAL BASIS

To the best of the authors' knowledge, the theoretical basis for the analysis of the charge injection problem was devised by Vittoz in [2]: By adopting a single drain-source conductance model for the transistor and current sources to substitute for the gate overlap capacitances, as illustrated in figure-1, the following applies:

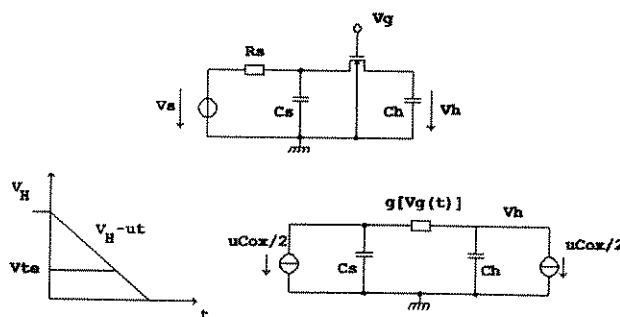


Figure-1: Typical Sample-and-hold Circuit

A TECHNIQUE FOR OFFSET VOLTAGE CANCELLATION IN A CMOS SAMPLE-AND-HOLD CIRCUIT

Robson Luiz Moreno

Grupo de Microeletrônica - EFEI

Av. BPS 1303, Pinheirinho

CEP:37500-000, Itajubá - MG - BRASIL

and

Carlos A. dos Reis Filho

Faculdade de Engenharia Elétrica - UNICAMP

Caixa Postal 6101 - CEP 13081-970 Campinas, SP - BRASIL

E-mail: reis@lcaee.fee.unicamp.br

ABSTRACT

This paper presents some preliminary results from the development of an integrated CMOS Sample-and-Hold circuit that features a novel technique to cancel the offset voltage caused by unbalance at the differential input stage of the amplifier and other accumulated errors along the signal path. The circuit has been simulated, using a macromodel for the analog switches, which accurately predicts the errors caused by charge injection and clock feedthrough. Simulation results, using models from a 1.2 μ m, n-well, CMOS technology, have shown that the circuit is capable of reducing the held voltage error to a bottom level of 45 μ V for an input voltage range of ± 2 V

RESUMO

Este trabalho apresenta alguns resultados preliminares do desenvolvimento de um circuito "Sample-and-Hold" integrado CMOS que utiliza uma nova técnica de correção da tensão de "Offset" causada pelo desbalanceamento do estágio diferencial de entrada do amplificador e de outros erros acumulados ao longo do caminho percorrido pelo sinal. O circuito foi simulado, utilizando um macro modelo para as chaves analógicas capaz de prever com precisão os erros causados pela injeção de carga e pelo chamado "clock feedthrough". Os resultados de simulação, usando modelos de uma tecnologia CMOS de 1,2 μ m, poço-n, indicam que o circuito é capaz de reduzir o erro na tensão retida a um nível mínimo de 45 μ V para uma variação na tensão de entrada de ± 2 V

$$\frac{dV_c}{dT} = (T - B) \left[\left(1 + \frac{Ch}{Cs} \right) V_c + 2 \frac{Ch}{Cs} T \right] - 1 \quad (1)$$

$$V_c = \frac{\Delta V_c}{\left(\frac{Cox}{2} \sqrt{\frac{u}{\beta \cdot Ch}} \right)} \quad (2)$$

$$T = \frac{t}{\sqrt{\frac{Ch}{u \cdot \beta}}} \quad (3)$$

$$B = (V_H - V_{te}) \sqrt{\frac{\beta}{u \cdot Ch}} \quad (4)$$

where Cox is the gate capacitance and Vte is the effective threshold voltage.

The numerical solution for different values of the capacitor ratio Ch/Cs, with a source resistance infinitely large, by integrating equation (1) during the switch-off time ($0 < T < B$) produces the diagram of figure-2. The diagram represents the ratio of channel charge injected into the hold Capacitor to the total channel charge ($\Delta Q_h / Q_{CHANNEL}$).

A closed-form analytical solution to calculate the voltage difference between the hold capacitor and the signal source, $v_h - v_s$, when the gate voltage reaches the threshold condition is given by [8]:

$$v_h - v_s = - \sqrt{\frac{\pi u Ch}{2 \beta (1 + Ch/Cs)}} \left(\frac{C_g [1 - Ch/Cs]}{2 Ch} \right) E \quad (5)$$

where $V_{TD} = V_H - V_S - V_{te}$, and

$$E = \operatorname{erf} \left(\sqrt{\frac{\beta (1 + Ch/Cs)}{2 u Ch}} V_{HT} \right)$$

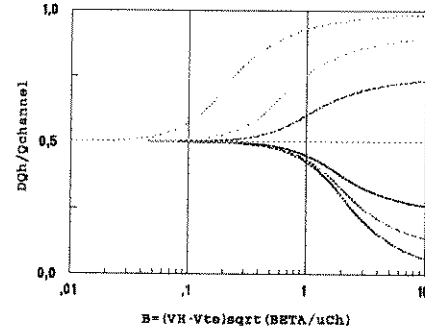


Figure-2: Percentage of charge injected in Ch. Curves are parametrized by (Ch/Cs) with values: 0 (the lower curve), 0.1, 0.3, 1.0, 3.0, 10.0 and 100.0 (the upper curve)

MACROMODEL

Since we are interested in the value of the voltage on the hold capacitor after the opening of the analog switch, V_h , thus accounting for the charge injected, some simple transformations in equation (5) yields:

$$V_h = \frac{\left(v_h - v_s + \frac{Q_{CHANNEL}}{Cs} \right)}{\left(1 + Ch/Cs \right)} \quad (6)$$

The above equation was implemented, using nonlinear voltage-controlled voltage sources with a set of appropriate values for the coefficients of the polynomial as specified in Spice.

A critical point in the implementation of the macromodel stands in the realization of the error function that appears in (5). This function approaches the unity value, within a deviation of $1.0E-07$ when the argument is greater than 3.6.

The approximation error with a 46-terms polynomial is less than $1.0E-06$ in the range (0 - 3.0). For arguments above 3.0 the approximation error with this 46-terms polynomial raises very rapidly, departing from acceptable values. A much-higher-order polynomial would be necessary to bring the approximation error to acceptable levels. For this reason a simple ideal diode, D1, was introduced in the macromodel in such way that the argument for the polynomial is limited to a maximum value of 3.0.

The netlist for the sub-circuit that simulates the Error function is shown in Table-1.

The analog-switch macromodel is shown in figure-3.

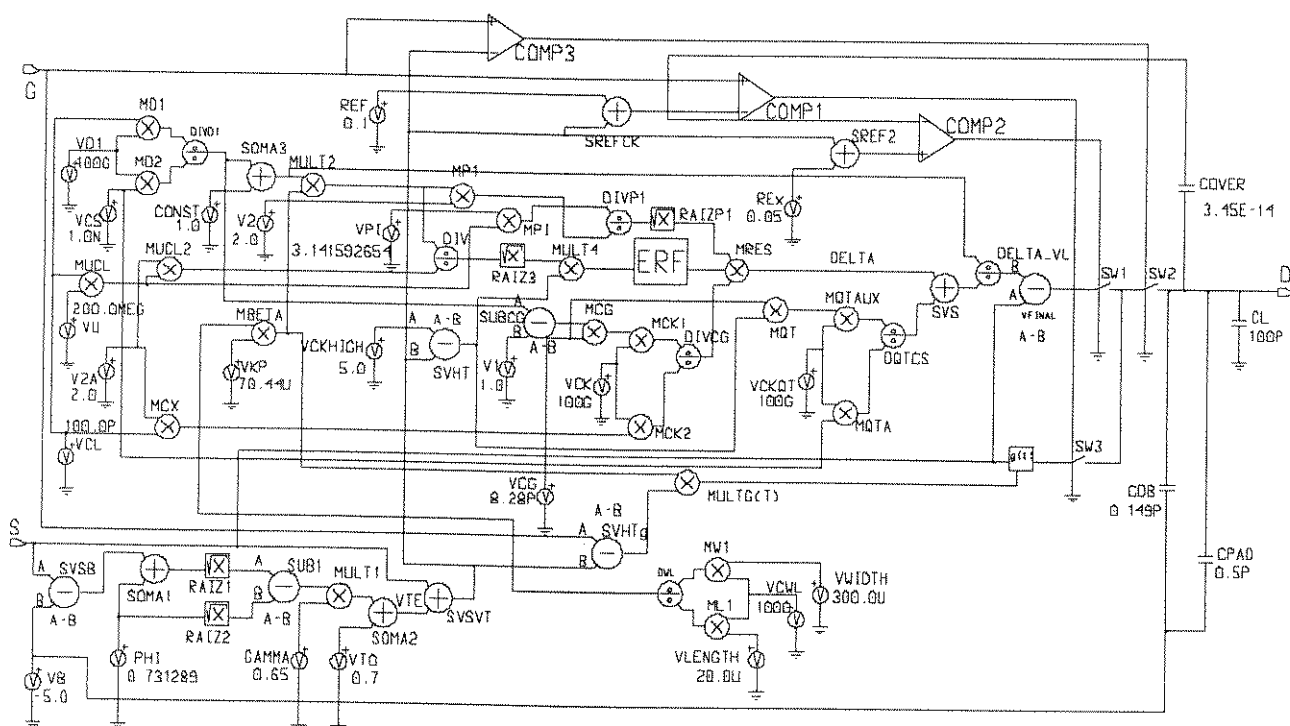


Figure-3: Analog-switch macromodel

CLOCK FEEDTHROUGH

After the gate voltage reaches the point where the analog switch opens and the voltage in the hold capacitor is updated, the ideal switch SW2 (figure-3) opens, so that only the gate-drain overlap capacitor, Cover, continues to contribute to the error voltage.

MACROMODEL APPLICATION

This macromodel was tested with the analog circuit simulator Accusim-II from Mentor Graphics, applying the sample-and-hold circuit in figure-1. By varying the input voltage, rise and fall time of the clock and the values of Ch and Cs, the curves in figure-2 were perfectly met.

CONCLUSIONS

This paper discussed the development of an analog-switch macromodel suitable for the prediction of charge injection. Simulation of the charge injection phenomenon is based on the implementation of a closed-form solution to the system of differential

equations that describes the typical sample-and-hold circuit. The macromodel was tested in the analog circuit simulator ACCUSIM-II, showing a perfect agreement with analytical results reported in the literature.

ACKNOWLEDGMENT

This work was supported by the Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), project 520487/93-1.

REFERENCES

- [1]Y.TSIVIDIS, "Problems with precision modeling of analog MOS LSI," in Tech. Dig. IEDM, pp.274-277, 1982.
- [2]E.VITTOZ, "Microwatt Switched Capacitor Circuit Design", Electrocomponent Science and Technology, Vol. 9, pp. 263-273, 1982.
- [3]RICARDO E. SUAREZ, PAUL R. GRAY, DAVID A. HODGES, "All-MOS Charge Redistribution Analog to Digital Conversion Techniques - Part II", IEEE Journal of Solid-State Circuits, Vol. SC-10, NO.6, pp.379-385, December 1975.

[4]DAVID MACQUIGG, "Residual Charge on a Switched Capacitor", IEEE Journal of Solid-State Circuits, Vol. SC-18, NO. 6, pp. 811-813, December 1983.

[5]ROBERT C. YEN, PAUL R.GRAY, "A MOS Switched-Capacitor Instrumentation Amplifier", IEEE Journal of Solid-State Circuits, Vol. SC-17,NO. 6, pp. 1008-1013, December 1982.

[6]PETER J. LIM, BRUCE A. WOOLEY, "A High-Speed Sample-and-Hold Technique Using a Miller

Hold Capacitance", IEEE Journal of Solid-State Circuits, Vol. 26, NO. 4, pp. 643-651, April 1991.

[7]PETER VAN PETEGHEM, WILLY SANSEN, "Single Versus Complementary Switches: a Discussion of Clock Feedthrough in S.C. Circuits", ESSCIRC'86, pp. 143-145, September 1986.

[8]JE-HURN SHIEH,MAHESH PATIL,BING J. SHEU," Measurement and Analysis of Charge Injection in MOS Analog Switches", IEEE Journal of Solid-State Circuits, Vol. SC-22,NO. 2, pp. 277-281, April 1987.

TABLE-1: Subcircuit for Error Function

```
.SUBCKT ERF 1 4
IIN 1 0 0
EIN 22 0 POLY(1) (1,0) 0.0 1.0
RIN 22 0 100MEG
RX 22 2 1
D1 2 5 DREF
VREF 5 0 3V
* POWER-SERIES APPROXIMATION
EOM 3 0 POLY(1) (2,0) 0.0 1.0 0.0 -0.333333333 0.0 0.1 0.0
+ -0.023809 0.0 4.6292963M 0.0 -0.75757575M 0.0 0.10683376M
+ 0.0 -13.22751323U 0.0 1.4589169U 0.0 -1.4503842E-07
+ 0.0 1.312253296E-08 0.0 -1.089222104E-09 0.0 8.35070279E-11
+ 0.0 -5.947794014E-12 0.0 3.955429516E-13 0.0 -2.46682701E-14
+ 0.0 1.448326464E-15 0.0 -8.032735015E-17 0.0 3.955429516E-13
+ 0.0 -2.46682701E-14 0.0 1.448326464E-15 0.0 -8.032735015E-17
+ 0.0 4.221407289E-18 0.0 -2.107855191E-19 0.0 1.002516494E-20
+ 0.0 -4.55184676E-22 0.0 1.977064754E-23 0.0 -8.230149297E-25
+ 0.0 3.28926035E-26 0.0 -1.264107899E-27 0.0 4.678483515E-29
+ 0.0 -1.669761793E-30 0.0 5.754191645E-32 0.0 -1.916942862E-33
+ 0.0 6.180307588E-35 0.0 -1.930357209E-36 0.0 5.846755008E-38
+ 0.0 -1.718856063E-39 0.0 4.908923965E-41 0.0 -1.363041262E-42
+ 0.0 3.682493516E-44 0.0 -9.687280237E-46 0.0 0.0 2.483069098E-47
+ 0.0 -6.205657921E-49 0.0 1.51310795E-50 0.0 -3.60157931E-52
+ 0.0 8.373419685E-54 0.0 -1.902541227E-55 0.0 4.226789755E-57
+ 0.0 -9.186429501E-59 0.0 1.954102583E-60
IOM 3 0 0
* MULTIPLY BY 2/SQRT(PI)
ERF 4 0 POLY(1) (3,0) 0.0 1.128379167
IERF 4 0 0
.MODEL DREF D(VJ=0.2 N=1U)
.ENDS ERF
```

INTRODUCTION

A clear trend in signal processing is the merging of analog and digital circuitry into the same chip, where the analog section plays the role of processing those signals whose requirements of dynamic range are not very demanding. Due to the very nature of digital circuits and the associated noise it may bring to the analog section, there are prospects that the analog signal processing will be predominantly discrete in time, thus clock-driven sampled analog. In this realm a Sample-and-Hold circuit is the key element. It is well known, however, how difficult it is to design a precision sample-and-hold circuit due to the many sources of errors it contains. Among those errors the most significant are those caused by the offset voltage from the op amp and the charge injection from the analog switches. A currently found solution for correcting those errors relies on numerical computation done by the digital section of the circuit, which has proven to be quite efficient, at the expense, however of computation time and circuit complexity.

Pure analog integrated CMOS Sample-and-Hold circuits have been reported to achieve an error voltage that allows the processing of 12 bits precision signals [1]-[2]. In both referred cases a switched capacitor technology was used to implement the circuits, thus requiring linear capacitors and a fully differential architecture.

In this paper we present a different approach to achieve the required high precision for the S/H. The circuit is based on a differential amplifier with two identical output stages that are alternated during the Sample and the Hold phases of the circuit. The circuit uses a single capacitor grounded at one side, allowing its implementation in current digital CMOS technology. This particular feature makes it suitable for the purpose of mixed-signal processing.

FUNCTIONING OF THE CIRCUIT

The functioning of the circuit can be better understood by analyzing its two phases of operation: Referring to the simplified schematic of the circuit in figure-1, during the first phase, the sampling phase, the configuration of the circuit is drawn by the thicker lines.

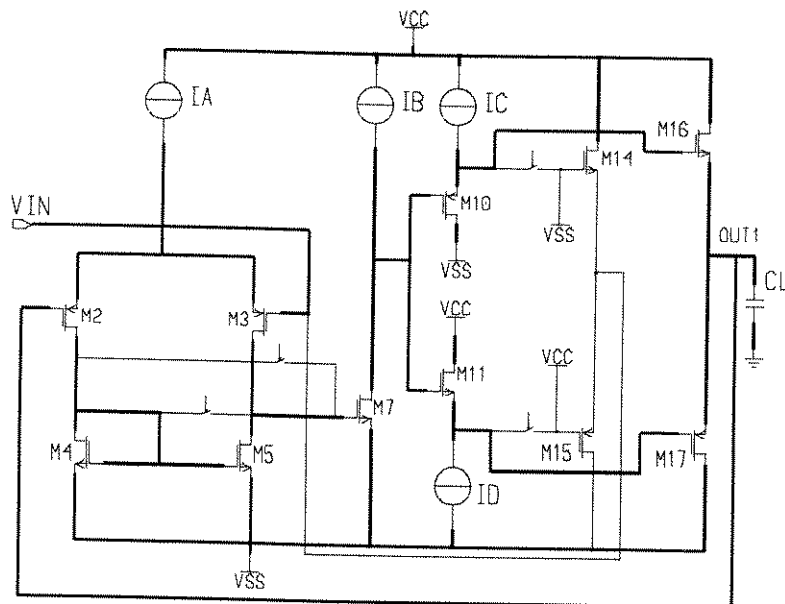


Figure 1 - Basic Circuit in sample phase

Since the op amp is configured as an unity-gain buffer, the output voltage equals the input voltage plus the overall error. The main error is due to the offset voltage from the input differential stage. The contribution of analog-switches, specially from those that connects C_L to the output-stage transistors is minimized by a tricky switching of the output transistors as explained below.

During the next phase, the Hold phase, the configuration of the circuit is changed by action of some of the analog switches, as drawn by the thicker lines of the schematic in figure-2.

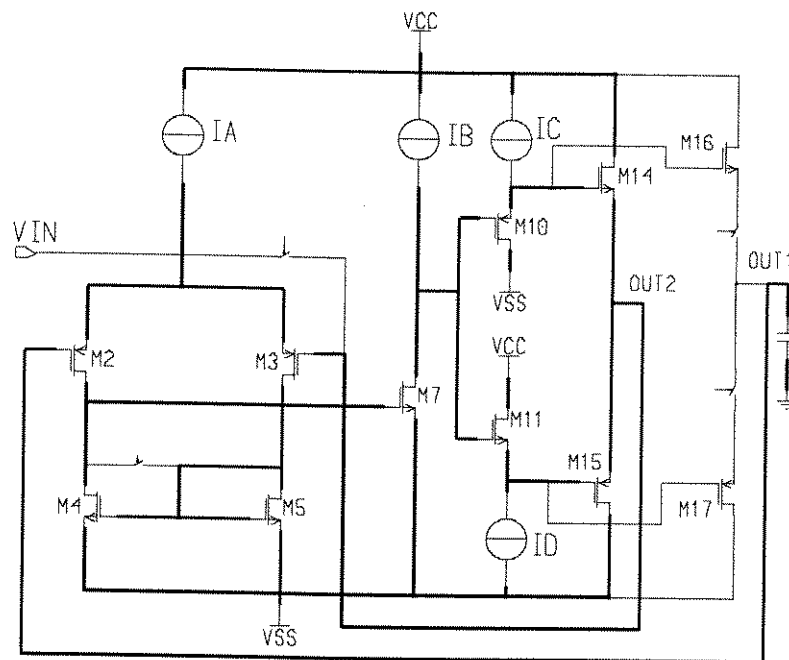


Figure 2 - Basic Circuit in hold phase

Notice that the differential to single-ended converter mirror (M4-M5) from the input stage is reverted to change the polarity of the input offset voltage error, driving the same transistor (M7) of the second gain stage. The output stage M16-M17 is substituted by another equally dimensioned output stage M14-M15 whose output voltage is brought back to the new inverting input (M3), closing the feedback loop. The voltage held in capacitor C_L during the previous phase is now applied to the non-inverting input (M2). As a result, the new output voltage, which is indicated as V_{out2} equals the held voltage plus the new input offset voltage which is inverted in polarity from the previous value. Thus, canceling its contribution to the overall error.

A detailed schematic of the circuit is shown in figure-3. The input differential stage is followed by cascode transistors in order to achieve a higher voltage gain and to minimize the contribution to the offset voltage due to current mismatch from the mirror. The second stage was carefully dimensioned aiming at to reduce its contribution to the input offset voltage: The gate voltage of MN2S was made to be equal to the gate voltage of transistors MN1 and MN2, while its bias current was made four times as large as the bias current of the input differential to single-ended stage as required for systematic offset voltage cancellation [3].

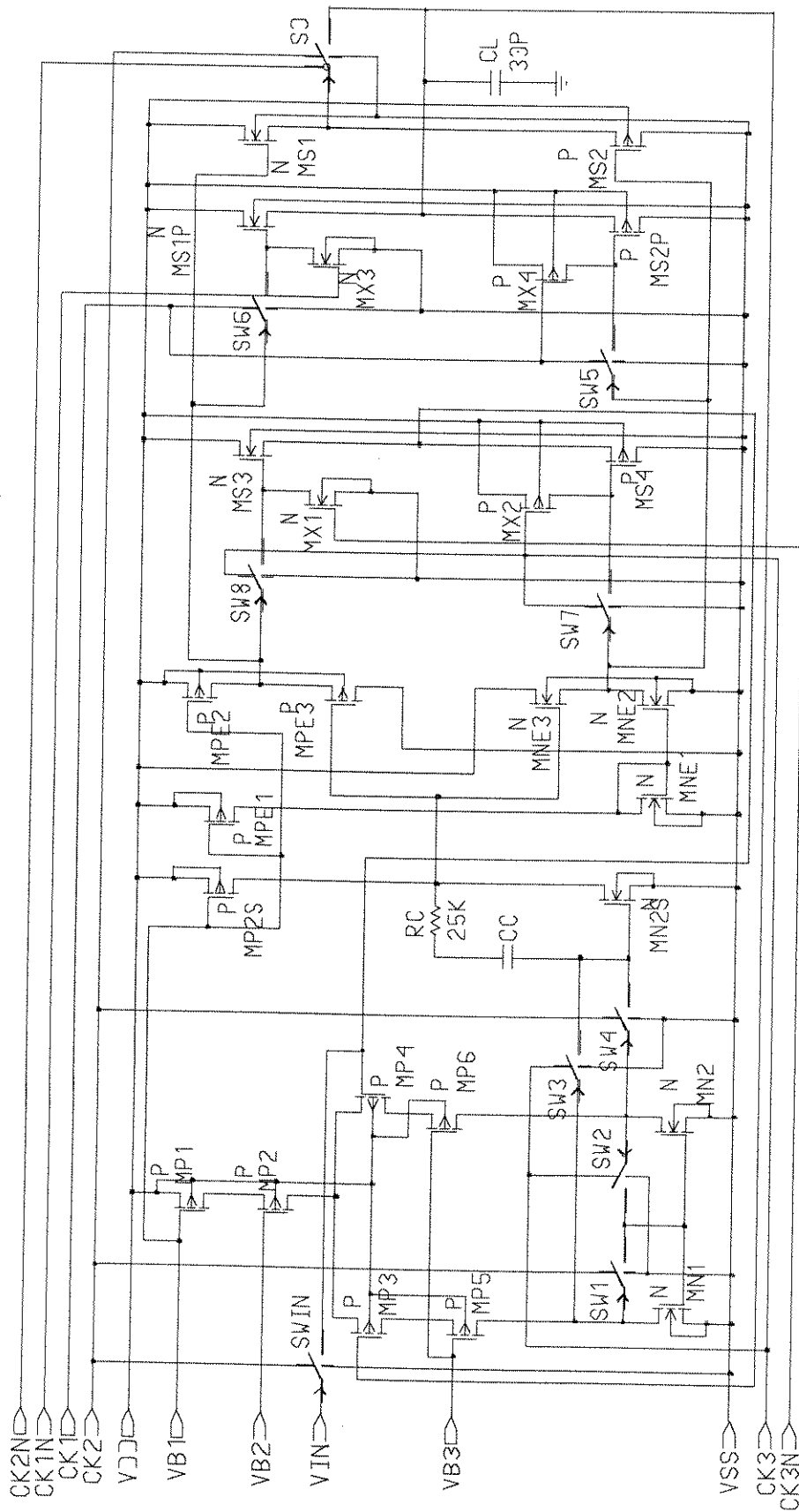


Figure 3 - Detailed schematic of the Sample-and-Hold circuit

Right upon storing the input voltage into C_L transistors MS1P and MS2P are cut off, while two smaller transistors MS1 and MS2 are kept on, maintaining the connection of the unity-gain buffer. Once the circuit recovers from the transient caused by the switching of the large output transistors and C_L still holds the input voltage, an output switch (SO), which is implemented including a dummy compensation switch [4]-[5], is opened to finish the sampling phase. A key point in this phase to minimize the charge injection error, relies on the use of minimum dimension transistors for the switch. The dummy switch transistor is a minimum dimension one and the true switch is twice its channel size. Notice that this switch is out of the path by which the current flows to charge C_L due to the fact that an auxiliary path (MS1-MS2) preserves the feedback loop closed at the moment the large transistors open. Instead of using the Yang-Chaterjee model for the analog switches, as usual, a macromodel was used, which is capable of predicting accurately the charge injected into the hold capacitor [6].

The configuration of the circuit during the hold phase results from the opening of switches SWIN, SW1, SW4, SW5 and SW6 and the closing of switches SW2, SW3, SW7 and SW8. The output voltage produced in this phase equals the voltage held during the sample phase subtracted from the input offset voltage. The only remaining error is due to the charge injected from SO which is minimum.

SIMULATION RESULTS

The two phases of the circuit operation is illustrated in figure-4 as a result of a transient analysis performed by ACCUSIM-II from Mentor Graphics, using level 2 Yang-Chaterjee models from a $1.2\mu\text{m}$ n-well technology.

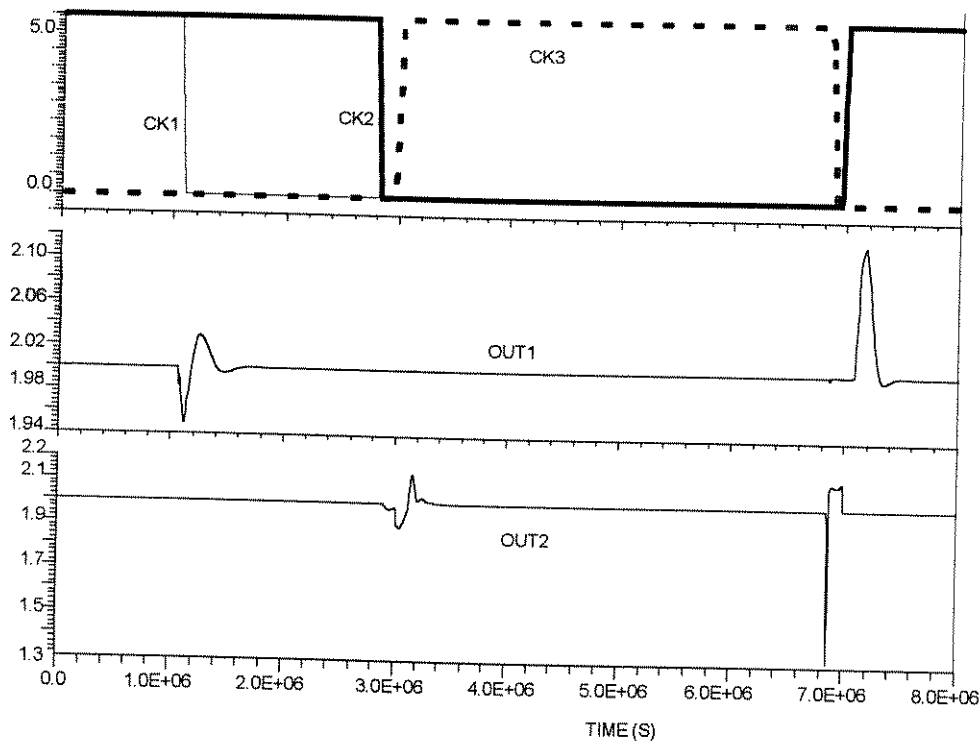


Figure-4: Waveforms in critical points of the circuit

In the upper plot the waveforms of the three clock signals are shown. CK1 drives switches SW5 and SW6. CK2 drives switches SWIN, SW1, SW4 and SO and CK3 drives SW2, SW3, SW7 and SW8. Notice that the sampling phase occurs while CK2 is high and the holding phase occurs while CK3 is high.

The middle plot illustrates the output voltage, across C_L , during the voltage-sampling phase, showing the transient at the moment the large output transistors are opened by the lowering of CK1.

The lower plot illustrates the output voltage during the hold phase that starts when CK3 goes high.

Numerical values for the error voltage obtained for several input voltage levels are shown in table-I,

Input Voltage [V]	Error Voltage in V_{OUT1} [μ V]	Error Voltage in V_{OUT2} [μ V]
2	-34.7	-40
1	-50.5	-45
0	-35.45	-15.47
-1	-44.5	-16.2
-2	-64.8	-20

Table I - Simulation Results

It is worth to mention that any offset voltage induced in the circuit by forcing a mismatch in the differential pair was absolutely canceled by the circuit, remaining the same results shown above.

CONCLUSIONS

This paper describes a Sample-and-Hold circuit which implements a novel input offset voltage cancellation technique. The other significant source of error in Sample-and-Hold circuits, the charge injected by analog switches, is minimized in the circuit by using a tricky commutation of the output stages of the op amp. Simulation results, using ACCUSIM-II from Mentor Graphics, with level-2 Yang-Chatterjee model and parameter values from a CMOS 1.2 μ m, n-well technology suggest that the circuit will meet the expectation of achieving an overall error in the order of tenths of microvolts.

REFERENCES

- [1] Chung-Yu WU, Chih-Cheng Chen, and Jyh-Jer Cho, "Precise CMOS Current Sample/Hold Circuits Using Differential Clock Feedthrough Attenuation Techniques", Journal of Solid-State Circuits, Vol. 30, n^o 1, January 1995, pp 76-80.

- [2] U. Gatti, F. Maloberti, and G. Palmisano, "An Accurate CMOS Sample-and-Hold Circuit", *Journal of Solid-State Circuits*, Vol. 27, n°1, January 1992, pp 120-122.
- [3] Roubik Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons
- [4] J.L. McCreary and P.R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Technique-Part I," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, pp.371-379, Dec.1975.
- [5] R.E. Suarez, P.R. Gray and D.A. Hodges, "All-MOS Charge Redistribution Analog-to-Digital Conversion Technique-Part II," *IEEE Journal of Solid-State Circuits*, Vol. SC-10, pp.379-385, Dec.1975.
- [6] Robson Luiz Moreno, Carlos A. dos Reis Filho, "A MOS Analog-Switch Macromodel for Charge Injection Analysis", *First IEEE International Caracas Conference on Devices, Circuits and Systems*, Caracas, Venezuela, December 12-14 1995

APÊNDICE C

Descrição Spice para o circuito extraído

Obtido com o software extrator da Mentor Graphics

CIRCUITO SAMPLE-AND-HOLD

*

*

* condicoes para simulacao e convergencia

.OPTIONS LIMPTS=40000 ITL5=0 RELTOL=0.00001 VNTOL=0.01U ABSTOL=0.01P

*

*

* SINAIS DE CONTROLE *

*

*

VPOS VDD 0 5V

VNEG VSS 0 -5V

*

VCLK1 CK1 0 PULSE(5V -5V 2050N 50N 50N 7750N 9500N)

VCLK1N CK1N 0 PULSE(-5V 5V 2050N 50N 50N 7750N 9500N)

VCLKA CKA 0 PULSE(5V -5V 3900N 50N 50N 5900N 9500N)

VCLKB CKB 0 PULSE(-5V 5V 4170N 50N 50N 5530N 9500N)

VCLKBN CKBN 0 PULSE(5V -5V 4170N 50N 50N 5530N 9500N)

VCLKD CKD 0 PULSE(5V -5V 3450N 50N 50N 6400N 9500N)

VCLKDN CKDN 0 PULSE(-5V 5V 3450N 50N 50N 6400N 9500N)

*

VENT VIN 0 0V

*

X1 CHOLD CIN CK1 CK1N CKA CKB CKBN CKD CKDN COUT OCH OUT RIN SEGN

+ SEGP VDD VIN VSS opams

*

RCOMP RIN CIN 15K

COUT CHOLD 0 30P

* CIRCUITO

*

* SUBCIRCUITO OPAMS.EXT

.subckt opams CHOLD CIN CK1 CK1N CKA CKB CKBN CKD CKDN COUT OCH OUT RIN SEGN

+ SEGP VDD VIN VSS

* devices:

m0 VIN CKA OUT VSS n l=1.2u w=4u

m1 1 1 VSS VSS n l=6u w=20u

m2 2 2 1 VSS n l=6u w=20u

m3 7 7 2 VSS n l=6u w=12u

m4 RIN COUT VSS VSS n l=10u w=125u

m5 RIN COUT VSS VSS n l=10u w=125u

m6 RIN COUT VSS VSS n l=10u w=125u

m7 RIN COUT VSS VSS n l=10u w=125u

m8 14 20 VSS VSS n l=10u w=125u

m9 15 20 VSS VSS n l=10u w=125u

m10 14 CKA 20 VSS n l=1.2u w=4u

m11 15 CKB 20 VSS n l=1.2u w=4u

m12 14 CKB COUT VSS n l=1.2u w=4u

m13 15 CKA COUT VSS n l=1.2u w=4u

m14 VDD RIN SEGN VSS n l=6u w=70u

m15 22 22 VSS VSS n l=10u w=50u

m16 SEGN 22 VSS VSS n l=10u w=50u

m17 SEGP CK1 25 VSS n l=1.2u w=4u
 m18 25 CK1N VSS VSS n l=1.2u w=15u
 m19 30 CKBN VSS VSS n l=1.2u w=15u
 m20 SEGN CKB 28 VSS n l=1.2u w=4u
 m21 SEGP CKB 30 VSS n l=1.2u w=4u
 m22 SEGN CK1 29 VSS n l=1.2u w=4u
 m23 CHOLD CKDN CHOLD VSS n l=2u w=2u
 m24 OCH CKDN OCH VSS n l=2u w=2u
 m25 OCH CKD CHOLD VSS n l=2u w=4u
 m26 VDD SEGP OCH VSS n l=1.2u w=15u
 m27 VDD 30 OUT VSS n l=4u w=120u
 m28 VDD 25 CHOLD VSS n l=4u w=120u
 m29 7 7 8 VDD p l=10u w=6u
 m30 8 8 9 VDD p l=10u w=6u
 m31 9 9 VDD VDD p l=10u w=6u
 m32 12 8 18 VDD p l=10u w=40u
 m33 16 OUT 12 VDD p l=10u w=50u
 m34 17 CHOLD 12 VDD p l=10u w=50u
 m35 18 9 VDD VDD p l=10u w=40u
 m36 17 CHOLD 12 VDD p l=10u w=50u
 m37 16 OUT 12 VDD p l=10u w=50u
 m38 RIN 9 VDD VDD p l=10u w=80u
 m39 14 2 17 VDD p l=10u w=100u
 m40 15 2 16 VDD p l=10u w=100u
 m41 VSS RIN SEGP VDD p l=6u w=70u
 m42 22 9 VDD VDD p l=10u w=80u
 m43 SEGP 9 VDD VDD p l=10u w=80u
 m44 29 CK1 VDD VDD p l=1.2u w=15u
 m45 28 CKB VDD VDD p l=1.2u w=15u
 m46 VSS SEGN OCH VDD p l=1.2u w=45u
 m47 VSS 28 OUT VDD p l=4u w=120u
 m48 VSS 28 OUT VDD p l=4u w=120u
 m49 VSS 29 CHOLD VDD p l=4u w=120u
 m50 VSS 29 CHOLD VDD p l=4u w=120u

* lumped capacitances:

cp1 1 VSS 14.74f
 cp2 2 VSS 30.08f
 cp3 2 1 0.01056f
 cp4 VIN VSS 371.6f
 cp5 VIN 2 0.9917f
 cp6 CKA VSS 459.2f
 cp7 CKA 2 1.02f
 cp8 CKA VIN 0.00693f
 cp9 VSS VSS 1.224p
 cp10 VSS 1 0.01109f
 cp11 VSS CKA 6.529f
 cp12 OUT VSS 406.5f
 cp13 OUT VIN 0.01584f
 cp14 OUT VSS 7.447f
 cp15 7 VSS 12.07f
 cp16 7 2 0.01008f
 cp17 7 OUT 1.078f
 cp18 8 VSS 0.6022f
 cp19 8 2 9.376f

cp20 9 VSS 0.6022f
cp21 9 2 13.96f
cp22 9 OUT 4.251f
cp23 9 8 0.4646f
cp24 VDD VSS 3.307p
cp25 VDD 2 179.5f
cp26 VDD VSS 158f
cp27 VDD OUT 190.9f
cp28 VDD 7 14.98f
cp29 VDD 8 51.13f
cp30 VDD 9 319f
cp31 CHOLD VSS 590.4f
cp32 CHOLD VSS 3.796f
cp33 CHOLD OUT 5.017f
cp34 CHOLD 7 0.01056f
cp35 CHOLD VDD 162.9f
cp36 12 VSS 7.154f
cp37 12 OUT 18.3f
cp38 12 VDD 66.18f
cp39 12 CHOLD 1.903f
cp40 CIN VSS 124.3f
cp41 CIN CKA 3.164f
cp42 CIN VSS 0.5774f
cp43 CIN OUT 7.696f
cp44 CIN 9 0.09548f
cp45 CIN VDD 61.59f
cp46 CIN CHOLD 1.983f
cp47 14 VSS 31.72f
cp48 14 2 5.449f
cp49 14 CKA 0.5558f
cp50 14 VSS 0.009642f
cp51 14 OUT 0.9917f
cp52 14 9 2.214f
cp53 14 VDD 43.11f
cp54 14 CHOLD 0.9917f
cp55 14 CIN 0.01008f
cp56 15 VSS 29.2f
cp57 15 OUT 0.9917f
cp58 15 VDD 20.81f
cp59 15 CHOLD 5.031f
cp60 15 CIN 0.04928f
cp61 15 14 2.099f
cp62 16 VSS 9.076f
cp63 16 2 0.009642f
cp64 16 OUT 12.25f
cp65 16 VDD 52.65f
cp66 16 CHOLD 5.377f
cp67 16 12 1.947f
cp68 16 15 0.602f
cp69 17 2 0.9917f
cp70 17 VDD 68.86f
cp71 17 12 0.6491f
cp72 17 16 0.3706f
cp73 18 2 0.9917f

cp74 18 9 0.1013f
cp75 18 VDD 20.19f
cp76 18 17 0.579f
cp77 COUT VSS 662.6f
cp78 COUT CKA 1.112f
cp79 COUT VSS 0.9514f
cp80 COUT CIN 4p
cp81 COUT 14 0.154f
cp82 COUT 15 0.01584f
cp83 20 VSS 180.1f
cp84 20 14 0.07935f
cp85 20 15 0.01584f
cp86 CKB VSS 519.7f
cp87 CKB VIN 0.9917f
cp88 CKB CKA 4.619f
cp89 CKB VSS 30.01f
cp90 CKB OUT 0.821f
cp91 CKB VDD 31.27f
cp92 CKB CHOLD 0.8325f
cp93 CKB CIN 9.033f
cp94 CKB 14 1.548f
cp95 CKB 15 0.07852f
cp96 CKB COUT 2.168f
cp97 CKB 20 3.133f
cp98 22 VSS 144.5f
cp99 22 VSS 0.4962f
cp100 22 OUT 1.813f
cp101 22 VDD 25.16f
cp102 22 CHOLD 1.074f
cp103 22 CIN 1.6f
cp104 22 CKB 5.243f
cp105 SEGP VSS 28.96f
cp106 SEGP VSS 1.736f
cp107 SEGP OUT 2.219f
cp108 SEGP VDD 31.56f
cp109 SEGP CHOLD 2.026f
cp110 SEGP CIN 0.0084f
cp111 SEGP CKB 0.5605f
cp112 SEGP 22 0.01584f
cp113 SEGN VSS 49.28f
cp114 SEGN VSS 3.817f
cp115 SEGN OUT 0.9514f
cp116 SEGN VDD 12.26f
cp117 SEGN CHOLD 1.264f
cp118 SEGN CKB 0.9917f
cp119 SEGN 22 0.00924f
cp120 SEGN SEGP 2.941f
cp121 25 VSS 46.1f
cp122 25 VSS 0.09152f
cp123 25 OUT 0.9514f
cp124 25 VDD 0.821f
cp125 25 SEGP 1.066f
cp126 CKIN VSS 427.8f
cp127 CKIN VSS 21.3f

cp128 CK1N VDD 0.039f
cp129 CK1N CKB 1.305f
cp130 CK1N 22 2.318f
cp131 CK1N 25 0.002918f
cp132 CKBN VSS 398.1f
cp133 CKBN VSS 4.321f
cp134 CKBN CKB 0.5382f
cp135 28 VSS 3.944f
cp136 28 VSS 3.391f
cp137 28 OUT 1.801f
cp138 28 VDD 119.4f
cp139 28 CHOLD 1.228f
cp140 28 SEGP 0.09794f
cp141 28 SEGN 0.01584f
cp142 29 VSS 2.806f
cp143 29 VSS 2.241f
cp144 29 OUT 1.973f
cp145 29 VDD 111.2f
cp146 29 CHOLD 0.9917f
cp147 29 SEGN 0.01584f
cp148 29 28 1.903f
cp149 30 VSS 39.73f
cp150 30 VSS 0.08928f
cp151 30 VDD 1.038f
cp152 30 CKB 0.976f
cp153 30 SEGP 0.01584f
cp154 CK1 VSS 385.5f
cp155 CK1 VSS 7.085f
cp156 CK1 OUT 8.962f
cp157 CK1 VDD 17.23f
cp158 CK1 CHOLD 1.896f
cp159 CK1 CKB 0.1112f
cp160 CK1 SEGP 1.869f
cp161 CK1 SEGN 0.9514f
cp162 CK1 25 1.464f
cp163 CK1 28 0.5558f
cp164 CK1 29 1.124f
cp165 CK1 30 1.038f
cp166 OCH VSS 18.89f
cp167 OCH VSS 0.2904f
cp168 OCH VDD 10.38f
cp169 OCH CHOLD 0.1103f
cp170 OCH SEGN 0.01386f
cp171 CKD VSS 413f
cp172 CKD CHOLD 3.016f
cp173 CKD OCH 1.352f
cp174 CKDN VSS 411.3f
cp175 CKDN CHOLD 2.966f
cp176 CKDN OCH 1.907f
.ends opams

*

*

*

* ANALISES

```

*
.TRAN 1NS 10000NS
*
*.OP
*****
*      PARAMETROS AMS - 1.2 MICRA      *
*****
*
*
* CASO TIPICO
*
*
.MODEL n NMOS (LEVEL=2 VTO=0.763E+00 TOX=23.80E-09 UO=515.0E+00
+      CJ=0.360E-03 NSUB=33.30E+15 LD=-0.050E-06
+      MJ=0.430E+00 XJ=0.175E-06 WD=0.398E-06
+      CJSW=0.250E-09 DELTA=0.000E+00 VMAX=77.30E+03
+      MJSW=0.190E+00 NFS=0.452E+12 CGSO=0.290E-09
+      CGDO=0.290E-09 PB=0.960E+00 JS=0.010E-03
+      UCRIT=28.70E+04 CGBO=0.170E-09 RSH=25.50E+00
+      UEXP=0.251E+00 KF=0.101E-25 UTRA=0.000E+00
+      NEFF=5.25E+00 AF=1.330E+00)
.MODEL p PMOS (LEVEL=2 VTO=-0.751E+00 TOX=23.80E-09 UO=175.0E+00
+      CJ=0.340E-03 NSUB=18.00E+15 LD=0.043E-06
+      MJ=0.530E+00 XJ=0.056E-06 WD=0.448E-06
+      CJSW=0.220E-09 DELTA=0.798E+00 VMAX=54.00E+03
+      MJSW=0.200E+00 NFS=1.300E+12 CGSO=0.290E-09
+      CGDO=0.290E-09 PB=0.970E+00 JS=0.020E-03
+      UCRIT=21.60E+04 CGBO=0.170E-09 RSH=46.00E+00
+      UEXP=0.268E+00 KF=0.390E-27 UTRA=0.000E+00
+      NEFF=3.090E+00 AF=1.290E+00)
.END

```