

PROJETO E IMPLEMENTAÇÃO DE UM REGULADOR DE TENSÃO *LOW DROPOUT* UTILIZANDO TECNOLOGIA CMOS

Autor: MARCOS MAURICIO PELICIA

Orientador: Carlos Alberto dos Reis Filho

Dissertação Submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho.

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho – FEEC/UNICAMP Prof. Dr. Peter Jurgen Tatsch – FEEC/UNICAMP Dr. Fabiano Fruett

Campinas, Maio de 2002

RESUMO:

Este trabalho descreve o projeto de um circuito integrado e a implementação do circuito discreto equivalente de um Regulador de Tensão *Low Dropout*. As especificações para este circuito foram: Tensão de saída regulada de 3V, com desvio máximo de 2% do valor nominal na faixa de temperatura de –20°C a 85°C, 100mA de máxima corrente de saída, faixa de tensão de entrada de 3,3V a 18V, com cargas resistivas e capacitivas até 10nF.

É descrito um resumo das especificações que definem o desempenho de um Regulador de Tensão e os tipos de Reguladores existentes. É também mostrada a solução proposta, com a descrição em blocos do regulador, bem como a descrição detalhada e implementação isolada de cada bloco que o compõe, enfocando resultados obtidos e cuidados tomados na implementação. Depois são mostrados os resultados de medidas efetuadas no sistema como um todo, aplicando as definições de desempenho conhecidas e, através delas, conclui-se sobre o desempenho do regulador.

O projeto do circuito foi feito visando a sua implementação monolítica em tecnologia AMS, 0,6μm CMOS. Um protótipo do circuito projetado foi implementado utilizando componentes discretos, juntamente com alguns circuitos integrados, resultados de implementações anteriores. Os resultados foram próximos ao esperado e as diferenças observadas podem ser explicadas pela forma de implementação, de onde conclui-se que o objetivo do trabalho foi cumprido.

ABSTRACT:

This work describes a Low Dropout Voltage Regulator Integrated Circuit and its implementation using discrete components. Specifications of this circuit are: 3V for Regulated Voltage Output, with maximum output voltage deviation of 2%, –20°C a 85°C temperature range of and 100mA for maximum output current. It can work with 3.3V to 18V Input Range, with resistive loads and capacitive loads up to 10nF.

It is described a resume of performance definitions of a Voltage Regulator and Regulator types useful nowadays. Afterwards, there is the proposed solution, with a Block Diagram description and a detailed description of isolated implementation for all blocks, focusing measurements and cares at implementation. After, Experimental Results of Voltage regulator are shown, applying the known performance definitions, and with them, concluding about the Regulator performance.

The circuit project was developed with AMS 0.6µm CMOS technology and the implementation was made using discrete components and integrated circuits previously done in AMS runs. Experimental results agree with Simulated Results, and the differences can be explained for discrete implementation, concluding that the main objectives of this project have been reached.

"O maior privilégio do ser humano é ser capaz de fazer direito" (Voltaire)

Primeiramente à DEUS, pois devo a ele toda a minha vida. Aos meus pais Jair e Adélia, ao meu grande irmão Marcio e à Luciana, minha futura esposa, por tudo que fizeram por mim durante este trabalho.

AGRADECIMENTOS:

Agradeço primeiramente ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, pela oportunidade de realizar este trabalho, e por compartilhar um pouco de seu tempo e conhecimento comigo. Aos meus amigos Alexandre Lanfredi, pelos conselhos nas horas difíceis e Daniel Salles Cunha, pela companhia nas horas difíceis. Aos meus amigos André Basile, Andrea e Bruno, Cristiano Benevento, Edevaldo Pereira da Silva Jr., Edson Murakami, Flavio Quintela, Luiz Carlos Olivieri, Marcio e Isabela Nespatti, Rafael de Queiroz Batista, pela grande amizade desde os tempos da faculdade e apoio durante a realização do trabalho. A Wilson, Marcelo, Murilo, Paulo Augusto, João Paulo, Roberto, Luís Alberto, Dulciane, e Jorge Polar por termos compartilhado as dificuldades, êxitos e experiências, e de quem tenho prazer de compartilhar a amizade. E à Raquel Brito, pelos conselhos, ajuda e pela amizade na horas difíceis. À Instituição CENPRA (antigo CTI), através de Saulo Finco e Carlos Oliveira, que teve papel importante na realização deste trabalho e à CAPES, por me ter concedido o amparo financeiro. Finalmente à todos que, de alguma forma, contribuíram para que eu concluísse o mestrado.

SUMÁRIO:

Índice de figuras	xiii
Índice de tabelas	xv
Introdução	1
1 – Terminologia e Especificações	5
1.1 – Regulador de tensão	5
1.1.1 - Grandezas que definem um regulador de tensão	5
1.1.1.1 – Tensão de <i>dropout</i>	7
1.1.1.2 –Corrente quiescente de entrada (I _q)	7
1.1.1.3 – Eficiência (η)	8
1.1.1.4 - Resposta a transientes ($\Delta V_{tr,máx.}$)	8
1.1.1.5 - Regulação de linha (ΔV_{LR})	8
1.1.1.6- Regulação de carga (ΔV_{LDR})	9
1.1.1.7- Rejeição de fonte (PSRR)	10
1.1.1.8- Tensão de ruído na saída (V _{noise})	10
1.1.1.9- Exatidão da tensão de saída	11
1.1.1.10- Máxima potência dissipada e temperatura de junção	11
1.1.2 – Tipos de reguladores de tensão	12
1.1.2.1- Regulador com estágio de saída tipo seguidor de emissor	12
1.1.2.2- Regulador com estágio de saída tipo inversor	14
1.1.3- Resolução dos problemas dos reguladores de tensão com estágio de saída seguidor de emissor	17
1.1.3.1 – Elevação da tensão de alimentação do circuito de controle acima da tensão de entrada	18
1.1.3.2 – Regulador com referência exata	18
1.1.3.3 – Deslocador de nível	19
1.2 – Arquitetura proposta	21
2 – O estágio de saída	23
2.1 – O elemento transistor NMOS	24
2.2 – O transistor bipolar PNP vertical de saída	26
2.3 – Projeto do estágio de saída	27
2.4 - Resultados de simulação e experimentais	30
3 – Análise sistêmica	35
3.1 - Introdução	35
3.2 - Especificação das características dos blocos a partir das caract. do regulador	35
3.3 – Cálculo da função de transferência em malha aberta	37
	xi

	3.3.1 – Análise Incremental do estágio de saída	. 38
	3.3.1.1 – O Follower	. 38
	3.3.2 – O Deslocador de nível	. 39
	3.3.2.1 – Admitância de entrada do follower	. 39
	3.3.2.2 - Função de transferência total do estágio de saída	. 40
	3.3.3 – Função de transferência do amplificador operacional	. 42
	3.3.4 – Função de transferência total	. 42
	3.4 - Alteração proposta	. 44
4	– Charge Pumps	. 49
	4.1 - Teoria de funcionamento	. 49
	4.2 – <i>Charge Pumps</i> em série	. 53
	4.3 – Dimensionamento dos Charge Pump	. 54
	4.3.1 – Dimensionamento do <i>Charge Pump</i> auxiliar	. 55
	4.3.1.1 – Dimensionamento das chaves	. 56
	4.3.1.2 – Resultados de simulação e experimentais	. 56
	4.3.2 – Dimensionamento do Charge Pump deslocador de nível	. 59
	4.3.2.1 – Dimensionamento das chaves	. 60
	4.3.2.2 – Resultados de simulação e experimentais	. 60
5	- O amplificador operacional de controle	. 65
	5.1 – Projeto do estágio de saída	. 66
	 5.1 – Projeto do estágio de saída 5.2 – Projeto do amplificador de transcondutância (OTA) 	. 66 . 69
	 5.1 – Projeto do estágio de saída 5.2 – Projeto do amplificador de transcondutância (OTA) 5.3 – Resultados de simulação e experimentais 	. 66 . 69 . 71
6	 5.1 – Projeto do estágio de saída 5.2 – Projeto do amplificador de transcondutância (OTA) 5.3 – Resultados de simulação e experimentais – Fonte de referência. 	. 66 . 69 . 71 . 77
6	 5.1 – Projeto do estágio de saída 5.2 – Projeto do amplificador de transcondutância (OTA) 5.3 – Resultados de simulação e experimentais Fonte de referência 6.1 – Cálculo do amplificador operacional	. 66 . 69 . 71 . 77 . 80
6	 5.1 – Projeto do estágio de saída 5.2 – Projeto do amplificador de transcondutância (OTA) 5.3 – Resultados de simulação e experimentais Fonte de referência.	. 66 . 69 . 71 . 77 . 80 . 82
6	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 85
6 7	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 85 . 89
6 7 8	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 85 . 89 . 93
6 7 8	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 82 . 85 . 89 . 93 . 96
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 82 . 85 . 89 . 93 . 96 . 97
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 83 . 85 . 89 . 93 . 96 . 97 . 97
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 82 . 85 . 89 . 93 . 96 . 97 . 97
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 89 . 85 . 89 . 93 . 96 . 97 . 97 . 98
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 83 . 85 . 85 . 93 . 93 . 96 . 97 . 97 . 98 . 99
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 89 . 85 . 89 . 93 . 96 . 97 . 97 . 97 . 98 . 99 . 99
6 7 8 9	 5.1 – Projeto do estágio de saída	. 66 . 69 . 71 . 77 . 80 . 82 . 89 . 85 . 89 . 93 . 96 . 97 . 97 . 97 . 97 . 98 . 99 . 99 103

9.2.6 – Exatidão da tensão de saída	105
9.3 – Layout	
Conclusões	
Referências	111

ÍNDICE DE FIGURAS

Figura 1.1 – Esquema genérico de um regulador de tensão	5
Figura 1.2 – Representação de um regulador de tensão como um bloco	6
Figura 1.3 – Regiões de operação de um regulador de tensão	7
Figura 1.4 – Representação gráfica da resposta a transiente de carga	8
Figura 1.5 – Representação gráfica da definição regulação de linha	9
Figura 1.6 – Representação gráfica da definição regulação de carga	9
Figura 1.7 – Curva Tensão de Saída x Corrente de saída	. 10
Figura 1.8 – Resposta em freqüência da rejeição de fonte	. 10
Figura 1.9 – Gráfico de Dissipação de Potência x Corrente de saída	. 12
Figura 1.10 – Esquemático simplificado de um regulador tipo seguidor de emissor	. 13
Figura 1.11 – Esquemático simplificado de um regulador tipo inversor	. 15
Figura 1.12 – Comparação entre V_{CE} de trans. Bip. PNP e V_{DS} de um trans. PMOS	. 15
Figura 1.13 – Resposta característica em malha aberta de um regulador inversor	. 16
Figura 1.14 – "Túnel da Morte", referente a família TPs763XX	. 17
Figura 1.15 – Esquema de um regulador de tensão com <i>Charge Pump</i> alimentando o <i>buffer</i>	de 18
saida	. 10
saida Figura 1.16 – Esquema básico do regulador com controle preciso	. 19
saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível	. 19 . 19
saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103	. 19 . 19 . 19 . 20
saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto	. 19 . 19 . 19 . 20 . 21
saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída	. 19 . 19 . 20 . 21 . 23
saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS	. 19 . 19 . 20 . 21 . 23 . 24
Saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t _r , t _s e M _p	. 19 . 19 . 20 . 21 . 23 . 24 . 26
Saida Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t _r , t _s e M _p Figura 2.4 – <i>Layout</i> do transistor de saída	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31
 Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t_r, t_s e M_p Figura 2.4 – Layout do transistor de saída Figura 2.5 – Resultado de simulação do comportamento I_DxV_{DS} do LDDMOS 	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31
 Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t_r, t_s e M_p Figura 2.4 – Layout do transistor de saída Figura 2.5 – Resultado de simulação do comportamento <i>I_DxV_{DS}</i> do LDDMOS Figura 2.6 – Curva característica medida do transistor LDDMOS 	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31 . 31
 Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t_r, t_s e M_p Figura 2.4 – <i>Layout</i> do transistor de saída Figura 2.5 – Resultado de simulação do comportamento <i>I_DxV_{DS}</i> do LDDMOS Figura 2.6 – Curva característica medida do transistor LDDMOS Figura 2.7 – Influência do transistor Q1 na resposta a degrau negativa do regulador 	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31 . 31 . 32 . 33
Salda Figura 1.16 – Esquema básico do regulador com controle preciso Figura 1.17 – Esquema genérico de um regulador de tensão com deslocador de nível Figura 1.18 – Esquema simplificado de regulador REG103 Figura 1.19 – Esquema básico do regulador proposto Figura 2.1 – Esquemático do estágio de saída Figura 2.2 – Esquema simplificado da estrutura de um transistor LDDMOS Figura 2.3 – Definição de t _r , t _s e M _p Figura 2.4 – <i>Layout</i> do transistor de saída Figura 2.5 – Resultado de simulação do comportamento $I_D x V_{DS}$ do LDDMOS Figura 2.6 – Curva característica medida do transistor LDDMOS Figura 2.7 – Influência do transistor Q1 na resposta a degrau negativa do regulador Figura 3.1 – Esquema utilizado para ilustrar o cálculo da corrente de <i>Gate</i> do transistor	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31 . 31 . 32 . 33 . 35
 Figura 1.16 – Esquema básico do regulador com controle preciso	. 19 . 19 . 20 . 21 . 23 . 24 . 26 . 31 . 32 . 33 . 33 . 35 . 37
 Figura 1.16 – Esquema básico do regulador com controle preciso	. 19 . 19 . 20 . 21 . 23 . 24 . 23 . 24 . 23 . 31 . 31 . 32 . 33 . 35 . 37 . 37

Figura 3.5 – Circuito para cálculo da função de transferência do deslocador de nível	39
Figura 3.6 – Diagrama de Bode simulado estágio de saída, considerando o desloc. de nível .	41
Figura 3.7 – Diagrama de Bode medido estágio de saída, considerando o desloc. de nível	41
Figura 3.8 - Root Locus de um sistema de 2 pólos complexos e 1 real, e um zero distante	43
Figura 3.9 - Root Locus de um sistema de 3 reais, e um zero distante	. 43
Figura 3.10 – Alteração proposta para melhorar o desempenho	. 44
Figura 3.11 - Root Locus do sistema, considerando a alteração proposta	45
Figura 4.1 – Ilustração do conceito genérico de um Charge Pump	. 49
Figura 4.2 – <i>Charge Pump</i> idealizado por Dickson	. 50
Figura 4.3 - Equivalente Thevenin de um <i>Charge Pump</i>	50
Figura 4.4 – Topologia de Charge Pump utilizada no projeto	. 51
Figura 4.5 – Equivalente Thevenin do <i>Charge Pump</i> da figura 4.4	. 52
Figura 4.6 – Esquema considerando um Charge Pump alimentado por uma fonte não ideal	54
Figura 4.7 – Esquema detalhado do <i>Charge Pump</i> auxiliar	. 55
Figura 4.8 – Resultado de simulação do <i>Charge Pump</i> auxiliar	57
Figura 4.9 - Resultado experimentais do <i>Charge Pump</i> auxiliar	57
Figura 4.10 - <i>Layout</i> do <i>Charge Pump</i> auxiliar	. 59
Figura 4.11 – Esquema detalhado do Charge Pump deslocador de nível	. 59
Figura 4.12 – Resultado de simulação do Charge Pump deslocador de nível	61
Figura 4.13 - Resultado experimentais do Charge Pump deslocador de nível	61
Figura 4.14 - Layout do Charge Pump deslocador de nível	. 63
Figura 5.1 – Esquema completo do amplificador de controle	. 65
Figura 5.2 – Esquema detalhado do estágio de saída do amplificador de controle	66
Figura 5.3 – Esquema simplificado do estágio de saída source comum modificado	. 68
Figura 5.4 – Resposta em freqüência simulada do amplificador	. 71
Figura 5.5 – Configuração para medida do <i>Offset</i>	. 71
Figura 5.6 - Registro da resposta em freqüência do amplificador, conectado com buffer	. 72
Figura 5.7 – Esquema de montagem para medida de resistência de saída	73
Figura 5.8 – Forma de onda da medida de impedância de saída	. 74
Figura 5.9 – Forma de onda para medida de <i>slew rate</i>	. 74
Figura 5.10 – Forma de onda para medida de <i>settling time</i> positivo	. 75
Figura 5.11 – Forma de onda para medida de <i>settling time</i> negativo	. 75
Figura 5.12 – Figura de ruído do amplificador operacional	. 75
Figura 5.13 – <i>Layout</i> do amplificador operacional de controle	. 76
Figura 6.1 – Figura ilustrativa do princípio de fonte de referência bandgap	. 77
Figura 6.2 – Esquema simplificado de um transistor bipolar vertical PNP	. 78
Figura 6.3 – Circuito utilizado como fonte de referência	. 78

Figura 6.4 – Esquemático do AM. OP. utilizado na fonte de referência	80
Figura 6.5 – Resultado de simulação da variação de tensão de saída com a temperatura	82
Figura 6.6 – <i>Layout</i> do circuito fonte de referência projetado	83
Figura 7.1 – Esquema elétrico da fonte de alimentação pré regulada	85
Figura 7.2 – Comportamento da tensão V_1 em relação a tensão de entrada	86
Figura 7.3 – Gráfico da simulação da variação da tensão de saída pela de entrada	90
Figura 7.4 – Resposta estática da variação das saídas com a entrada	91
Figura 7.5 – <i>Layout</i> da fonte de alimentação projetada	92
Figura 8.1 – Formas de onda ideais para alimentar o <i>Charge Pump</i>	93
Figura 8.2 – Ilustração das perdas por chaveamento num <i>Charge Pump</i>	94
Figura 8.3 – Forma de onda interdigitada para alimentação do Charge Pump	94
Figura 8.4 – Esquemático do circuito gerador de ondas quadrada projetado	95
Figura 8.5 – Resultado simulados dos <i>clocks</i> dos <i>Charge Pumps</i>	96
Figura 9.1 – Esquema elétrico do regulador de tensão	97
Figura 9.2 – Montagem para simulação e medida da tensão de <i>dropout</i>	98
Figura 9.3 – Curvas simulada e medida, da curva de regulação	98
Figura 9.4 – Simulação da resposta a transientes, carga resistiva	. 100
Figura 9.5 – Simulação da resposta a transientes, carga capacitiva e resistiva	. 100
Figura 9.6 – Resposta a transientes do regulador, para carga resistiva	. 101
Figura 9.7 – Resposta a transientes do regulador, para carga resistiva e capacitiva	. 101
Figura 9.8 – Medida efetuada do ruído na tensão de saída do regulador (<i>ripple</i>)	. 102
Figura 9.9 – Gráfico da variação da tensão de saída pela variação da entrada	. 103
Figura 9.10 – Gráficos da variação de tensão de saída pela variação da entrada	. 104
Figura 9.11 – Montagem para medida de rejeição de fonte	. 105
Figura 9.12 – Curva de rejeição de fonte para o regulador proposto	. 105
Figura 9.13- Variação simulada da tensão de saída pela temperatura	. 106
Figura 9.14 – Layout do Regulado de tensão	. 107

ÍNDICE DE TABELAS

Tabela 7.1 - Limites de tensão	para componentes na tecnologia AMS 0,6um	
--------------------------------	--	--

INTRODUÇÃO

É uma característica desejável para qualquer circuito a de operar com a mais extensa faixa possível de tensão de alimentação. Além disso, interferências externas e ruído gerados pelas fontes de alimentação não podem afetar seu desempenho. Os circuitos, porém, normalmente não apresentam esta característica. Circuitos reguladores de tensão foram então desenvolvidos para solucionar estas dificuldades.

Uma característica dos reguladores de tensão é necessitar de uma tensão de entrada maior que a tensão de saída para produzir uma tensão de saída regulada. Essa diferença, tipicamente entre 1,5 e 2V [6] e [7], é grande para algumas aplicações, como automotivas e sistemas portáteis, mesmo utilizando soluções integradas para os reguladores. Circuitos de sistemas portáteis hoje trabalham com tensões de alimentação cada vez menores, onde a diferença de tensão mencionada fica cada vez mais significativa. Para resolver este problema, foram desenvolvidos os reguladores de tensão com característica *Low Drop*, que tem a diferença mínima entre a tensão de entrada e saída menor que 1V.

Uma análise das estruturas de reguladores integrados existentes mostra que existem limitações na maioria destes circuitos. A mais contundente destas limitações é a necessidade de um capacitor externo de grande valor, para operar dentro das especificações. Algumas estruturas só podem ser implementadas em tecnologias especiais de fabricação para suportar altas tensões.

Para um regulador tipo *Low Drop*, essas características são indesejadas quando analisadas a partir de uma das tendências atuais para sistemas eletrônicos, que é a integração do sistema em um único circuito integrado, e produzido em tecnologia de fabricação de baixo custo.

Em vista destas considerações, conclui-se que é desejável utilizar uma estrutura que não necessite de componentes externos para operar e que seja possível implementar em tecnologia de fabricação de baixo custo como, por exemplo, aquela utilizada em circuitos digitais CMOS.

Este trabalho descreve o projeto de um Regulador de Tensão do tipo *Low Drop*, para ser implementado em tecnologia CMOS tendo como alvo aplicações automotivas.

Suas especificações fundamentais são: Tensão de entrada de 3,3V a 18V; Tensão de saída de 3V; Corrente máxima 100mA; Carga capacitiva máxima 10nF.

A simulação dos blocos foi feita utilizando simulador ELDO, utilizando os modelos MOS15, baseado no modelo *standard* MOS2, e foi melhorado para ser mais preciso na descrição do comportamento na transição entre a região linear e de saturação. Esse modelo foi utilizado ao longo de todo o projeto.

O regulador foi implementado utilizando-se alguns transistores integrados, fabricados pela AMS (Austria Mikro Systeme), cujos parâmetros foram utilizados para o projeto. Este procedimento, que é prática usual no desenvolvimento de circuito integrados analógicos, permite que uma boa avaliação funcional do circuito seja feita. O trabalho está organizado em 10 capítulos, cada um deles enfocando os seguintes aspectos:

No capítulo 1 são apresentadas as principais especificações de um regulador de tensão e algumas de suas configurações. A configuração escolhida para ser implementada neste trabalho é ressaltada dentre as demais.

No capítulo 2 é mostrado o projeto do estágio de saída do regulador, dando-se ênfase ao dimensionamento do transistor MOS canal N e dimensionamento do transistor bipolar PNP vertical. Resultados de simulação e experimentais do transistor MOS isolado também são mostrados neste capítulo.

No capítulo 3, apresenta-se uma análise em freqüência do regulador em malha aberta. Como resultado, observa-se a instabilidade do regulador para cargas puramente capacitivas. Como solução a este problema, é mostrada uma estratégia de controle que permite melhorar o desempenho do regulador.

O capítulo 4 é dedicado aos circuitos de *Charge Pump*. Dada a importância destes circuitos no projeto do regulador *low drop*, é apresentado um breve histórico sobre sua evolução. A partir daí, define-se a topologia escolhida. Apresentam-se os projetos dos elementos dos circuitos, resultados de simulações e principais dificuldades de implementação. Além disso, são mostrados resultados experimentais obtidos do circuito.

No capítulo 5 refere-se ao amplificador de controle do regulador de tensão. São apresentadas as metodologias utilizadas para projeto do amplificador de transcondutância (OTA) e para o estágio de saída do amplificador. São mostrados os resultados de simulações e experimentais, que caracterizam a performance do amplificador.

No capítulo 6, descreve-se o projeto de uma fonte de referência utilizando como base a tensão de *bandgap*. Apresenta-se a topologia, o projeto de compensação da tensão de saída em temperatura e o projeto do amplificador operacional necessário no circuito. O capítulo 7 mostra a necessidade de uma fonte de alimentação pré-regulada para alimentar um dos circuitos *Charge Pump*, seu projeto e seus resultados de simulações e experimentais.

O capítulo 8 trata do gerador formas de ondas que alimentam os circuitos *Charge Pump*. São analisadas modificações que diminuem o *ripple* gerado por eles. O projeto da estrutura escolhida para o circuito e os resultados de simulações também são mostrados.

No capitulo 9 são mostrados os resultados de simulações e experimentais do circuito regulador de tensão.

CAPÍTULO 1 TERMINOLOGIA E ESPECIFICAÇÕES

Neste capítulo é mostrada uma definição de um regulador de tensão. Também são mostradas definições que determinam seu desempenho. Depois, são apresentados alguns esquemas de reguladores de tensão já utilizados, destacando vantagens e desvantagens. Por fim, é mostrada a estrutura escolhida para o regulador proposto.

1.1- REGULADORES DE TENSÃO

Um regulador de tensão pode ser definido como uma fonte de tensão que ajusta sua resistência de saída para qualquer variação de impedância de carga e de tensão de entrada de tal modo que a tensão de saída se mantenha constante[1]. Uma representação esquemática desta definição é mostrada na figura 1.1.



Figura 1.1- Esquema genérico de um regulador de tensão

Se o ganho A>>1, então pode-se concluir, por inspeção, que:

$$V_o \approx V_{ref.}$$
 (1.1)

1.1.1 – GRANDEZAS QUE DEFINEM UM REGULADOR DE TENSÃO

O circuito da figura 1.2 mostra um diagrama de regulador de tensão.



Figura 1.2-Representação de um regulador de tensão como um bloco

onde:

V_{IN}: tensão de entrada (V)

V_o : tensão de saída (V)

 I_{IN} : corrente de entrada (A)

I_O: corrente de saída (A)

C_o e R_o: cargas típicas de um regulador de tensão.

Baseado na figura 1.2, os parâmetros que definem um regulador de tensão são:

- Tensão de Saída (V_o): define qual é o valor da tensão de saída nominal, dentro das condições de operação normais do circuito.
- Exatidão da tensão de saída: valor normalmente definido em porcentagem que indica o quanto a tensão de saída pode variar de seu valor nominal. É definido por (1.2):

$$\delta(\%) = \pm \frac{|V_{o_{máx}} - V_{o}|}{V_{o}} 100 = \pm \frac{|V_{o} - V_{o_{min}}|}{V_{o}} 100$$
(1.2)

Um outro modo de definir a exatidão da tensão de saída é mostrado no item 1.1.1.9.

- Máxima corrente de saída: determina qual é a máxima corrente de saída onde é garantida a operação do circuito.
- Temperatura de operação: determina a faixa de temperatura que o circuito deve funcionar dentro das outras especificações definidas.
- Faixa de tensão de entrada: especifica os limites superior e inferior de tensão de entrada onde o circuito deve operar.

Dentro dessas definições, as especificações do circuito proposto são mostradas a seguir.

- Tensão de saída: 3V

- Exatidão da tensão de saída: ± 2%
- Temperatura de operação: -20°C a 85°C
- Máxima corrente na saída: 100mA
- Faixa de tensão de entrada: 3.3V a 18V

Além destas, existem outras grandezas que definem o desempenho de um regulador de tensão [2]. São elas: tensão de *dropout*, corrente quiescente de entrada, eficiência de corrente, resposta a transientes, regulação de linha e de carga, rejeição de fonte, tensão e exatidão na tensão de saída e máxima temperaturra de junção

1.1.1.1 - Tensão de dropout (V_{dropout})

É a mínima diferença entre a tensão de entrada e a de saída, para a qual a tensão de saída se mantém regulada. A equação (1.3) mostra a definição de tensão de *dropout*, enquanto a figura 1.3 mostra as regiões de operação do regulador de tensão, identificando o ponto onde há a mínima tensão de regulação, utilizada no cálculo da tensão de *dropout*[2].

$$V_{dropout} = V_{in\,min} - V_{o_{reg}} \tag{1.3}$$



Figura 1.3- Regiões de operação de um regulador de tensão

1.1.1.2 - Corrente quiescente de entrada (I_g)

Corrente quiescente é definida como a diferença entre a corrente de entrada e saída. Corresponde, portanto, à corrente de polarização do circuito regulador de tensão.A corrente quiescente é dada pela equação (1.4).

$$I_q = I_i - I_o \tag{1.4}$$

1.1.1.3 – Eficiência de corrente (η_{curr})

A eficiência de corrente um regulador é definida pela equação (1.5)[39]. A eficiência de corrente determina a relação entre a corrente entregue a carga e a corrente fornecida pela fonte tensão da entrada.

$$\eta_{curr}(\%) = \frac{I_o}{I_o + I_q} \cdot 100 \tag{1.5}$$

1.1.1.4- Resposta a Transientes (ΔV_{tr,máx.})

Resposta a transientes é a variação de tensão de saída admissível quando um degrau de corrente na saída é aplicado [2]. Seu valor máximo ocorre quando um degrau de corrente, com a amplitude igual a máxima corrente admissível pelo regulador, a partir do regulador sem carga, é aplicado. Esse valor máximo consta nas especificações e sua definição é ilustrada na figura 1.4[2].



Figura 1.4- Representação gráfica ilustrando a definição de resposta a transientes de um regulador

1.1.1.5 - Regulação de linha (ΔV_{LR})

É a relação entre a variação de tensão na saída (em regime), para uma dada variação na TENSÃO DE ENTRADA. Esse parâmetro é definido pela equação (1.6) e ilustrada na figura 1.5 [2].

$$\Delta_{\text{VLR}}\big|_{\Delta V_i} = \frac{\Delta V_o}{\Delta V_i} \tag{1.6}$$



Figura 1.5- Representação gráfica da definição de regulação de linha

1.1.1.6- Regulação de carga (ΔV_{LDR})

É a relação entre a variação de tensão na saída (em regime), para uma dada variação de CARGA, definida pela equação (1.7) e mostrada na figura 1.6[2].

Load Regulation =
$$\frac{\Delta V_{LDR}}{\Delta I_0}$$
 (1.7)

tempo[us]

Figura 1.6- Representação gráfica da definição de regulação de carga

A forma usual de mostrar essa definição é através de uma curva *Tensão de Saída* (V_{O}) *x Corrente de Saída* (I_{O}), mostrada na figura 1.7.



Figura 1.7- Curva Tensão de Saída x Corrente de saída

1.1.1.7- Rejeição de fonte (PSRR)

Diferente da regulação de linha, a rejeição de fonte, mede qual é a variação da tensão na saída, quando uma variação senoidal é aplicada na entrada. Essa medida é feita em diversas freqüências, resultando na curva mostrada na figura 1.8. Normalmente o circuito é mais sensível a variações senoidais de alta freqüência [2].



Figura 1.8- Resposta em freqüência da Rejeição de Fonte (PSRR)

1.1.1.8- Tensão de ruído na saída (V_{noise})

A tensão de ruído na saída é o valor RMS do ruído no terminal de saída quando aplicada uma tensão constante e sem ruído na entrada do circuito. Expressa o ruído gerado pelo regulador de

tensão, que afeta a qualidade do sinal de saída. Normalmente, o ruído é medido na faixa de 10Hz a 100KHz [2],[6],[10].

1.1.1.9- Exatidão da tensão de saída

A exatidão de um regulador é o desvio na tensão de saída medida, em relação à tensão de saída nominal especificada. São levadas em consideração para determinar o desvio do valor da tensão de saída: a regulação de linha (ΔV_{LR}), a regulação de carga (ΔV_{LDR}), a variação com a temperatura da tensão de referência e a variação com a temperatura do *offset* do amplificador operacional de controle. Essa definição pode ser expressa de acordo com a equação (1.8) [2]:

$$\delta(\%) = \frac{\left|\Delta V_{LR}\right| + \left|\Delta V_{LDR}\right| + \sqrt{\Delta V_{o,ref}^{2} + \Delta V^{2}o,off.a}}{V_{o}} 100$$
(1.8)

onde: $\Delta V_{o,ref}$ é o desvio com a temperatura das tensão de referência;

 $\Delta V_{o,off.a}$ é o desvio com a temperatura da tensão de *offset* do amplificador operacional de controle;

1.1.1.10- Máxima potência dissipada e temperatura de junção

As limitações de potência dissipada estão relacionadas com a máxima temperatura que os componentes críticos do regulador podem suportar. Pode-se então calcular a máxima temperatura da seguinte forma (1.9):

$$P_{D(m\acute{a}x)} = \frac{T_{Jm\acute{a}x} - T_{A}}{R_{\theta JA}}$$
(1.9)

onde:

- T_{Jmáx} é a máxima temperatura de junção permitida;
- R_{0JA} é a resistência térmica da junção para o ambiente, que depende do encapsulamento;
- T_A é a temperatura Ambiente.

Por outro lado, a potência dissipada pelo circuito pode ser aproximada por (1.10):

$$P_D = (V_O - V_i) \cdot I_O \tag{1.10}$$

Através dessas duas equações, obtém-se um gráfico onde o regulador pode operar sem danos, chamado **Área de Operação Segura** (*Safe Operating Area*), que é representada pela área branca do diagrama mostrado na figura 1.9.



Figura 1.9- Gráfico de Dissipação de Potência x Corrente de saída

1.1.2 - TIPOS DE REGULADORES DE TENSÃO

Os primeiros reguladores de tensão integrados surgiram nos anos 60 [3]. Alguns circuitos se destacaram e serão descritas nos ítens seguintes. Também serão mostrados alguns circuitos recentes sobre o tema.

1.1.2.1– Regulador com estágio de saída tipo seguidor de emissor

Foi o primeiro tipo de regulador de tensão integrado. O esquema simplificado é mostrado na figura 1.10 [3].

Nele, um amplificador operacional compara uma fração da tensão de saída com uma referência de tensão e altera a tensão na entrada do elemento de saída, de forma a este fornecer a corrente necessária para manter a tensão de saída constante.



Figura 1.10-Esquema simplificado de um regulador série com estágio de saida tipo seguidor de emissor

Dessa forma, a tensão de saída é determinada por (1.11):

$$V_{O} = \left(V_{REF.} + V_{err_{OA}}\right) \cdot \left(1 + \frac{R_{2}}{R_{3}}\right)$$
(1.11)

onde V_{ref} é uma fonte de referência insensível à temperatura

Supondo que o terminal positivo de alimentação do Amplificador Operacional esteja conectado à tensão de entrada V_{in} , a tensão $V_{dropout}$ deste circuito é definida pela equação (1.12):

$$V_{in} = V_{base,máx}.$$

$$V_{o} = V_{base,máx} - V_{be,NPN}$$

$$V_{in} - V_{o} = V_{dropout} = V_{be,NPN}$$
(1.12)

Isto é um limitante para a faixa de operação do circuito.

Por outro lado, um estágio seguidor de emissor tem uma resistência de saída incremental r_{out} definida pela equação (1.13) [4]:

$$r_{out} = \frac{1}{gm_{elem_pas_série}} + \frac{R_s}{1 + \beta_0}$$
(1.13)

onde *Rs* R_s é a resistência em série com a base do transistor de saída e β_0 é o ganho de corrente do transistor de passagem série.

Por inspeção e utilizando a metodologia definida em [5], chega-se ao seguinte valor de resistência de saída, mostrado na equação (1.14).

$$r_{out} = \left(\frac{1}{gm_{elem_pas_s\acute{e}rie}} + \frac{R_s}{1 + \beta_0}\right) \cdot \frac{1}{1 + \left(\frac{R_3}{R_3 + R_2}\right) \cdot A(s)}$$
(1.14)

onde A(s) é a resposta em freqüência do amplificador operacional.

A diminuição significativa da resistência de saída (que já era baixa) é um aspecto positivo do circuito.

Exemplos de circuitos comerciais que usam essa estrutura são: LM7805 da National Semiconductors [6] e REF-01 da Analog Devices [7].

1.1.2.2- Regulador com estágio de saída tipo inversor

Outro circuito utilizado possui um estágio de saída tipo inversor, mostrada na figura 1.11

Nesta estrutura, V_{drop,min} é definida pela equação (1.15):

$$V_{in} = V_o + V_{ce}$$

 $V_{dropout} = V_{ce}$
Portanto:

$$V_{drop,min} = V_{in\,min} - V_o = V_{ce,sat} \tag{1.15}$$

Que é um resultado interessante, visto que $V_{ce,sat} \cong 0,2V$. Portanto essa configuração constitui um regulador de tensão com características *low dropout*.



Figura 1.11- Esquema simplificado de um regulador série com estágio de saída inversor

O transistor PNP pode ser substituído por um transistor MOS canal P, onde pode-se conseguir uma tensão $V_{dropout}$ ainda menor, desde que o PMOS seja devidamente dimensionado, como mostrado na figura 1.12 [8].



Figura 1.12- Comparação entre as Tensões Emissor-Coletor e Dreno-Source de transistores PNP e PMOS, respecitvamente

Isto porque, no caso do transistor MOS, vale a equação (1.16):

$$V_{DS,sat} = R_{on} \cdot I_{out} \tag{1.16}$$

enquanto para o transistor bipolar, vale a expressão (1.17) para a região linear , quando $V_{BE} > V_{CE}$ [40]:

$$I_{c} \approx \beta_{F} \cdot I_{B} \cdot \frac{exp\left(\frac{V_{CE}}{V_{T}}\right)\beta_{R} - (\beta_{F} + 1)}{exp\left(\frac{V_{CE}}{V_{T}}\right)\beta_{R} + \beta_{F}}$$
(1.17)

onde:

 β_{F} = Relação entre corrente de base e corrente de coletor com polarização direta da Junção base-emissor de um transistor bipolar

 β_R = Relação entre corrente de base e corrente de coletor com polarização direta da Junção base-coletor de um transistor bipolar.

V₇=tensão termodinâmica [40] [V]

Em (1.17), para $V_{CE} >> V_T$, o comportamento de lc é linear; a medida que o V_{CE} vai diminuindo, β_F e β_R influenciam no valor de *lc*, resultando na curva mostrada no na figura 1.12.

Essa configuração, porém, apresenta uma dificuldade. Devido à inversão do sinal no estágio de saída, que possui alta impedância de saída em malha aberta, o pólo devido a carga do regulador pode conduzir todo o sistema à instabilidade, fazendo-o oscilar. A figura 1.13 mostra uma resposta característica de um regulador de tensão com saída inversora, em malha aberta, sem nenhuma compensação [9].



mostrando dependência da carga na estabilidade do circuito [2]

A solução para isso é a introdução de uma capacitância de alto valor (tipicamente maior que 1uF) conectado na saída para garantir uma resposta com um pólo dominante. Esse capacitor, normalmente eletrolítico, possui uma resistência em série que gera um pólo adicional que pode levá-lo novamente a instabilidade. Existe, então uma gama de valores de resistências série para cada capacitância que permitem a estabilidade do sistema. Essa curva é normalmente fornecida

pelos fabricantes e denominada por alguns projetistas como "Túnel da Morte" (*Tunnel of Death*) [2], que é mostrada na figura 1.14.



Figura 1.14- "Túnel da morte", referente a familia TPS763XX (TEXAS INSTRUMENTS)[2], que explicita os valores da resistência série que mantém o regulador operando na região de estabilidade.

Apesar de ser difícil projetá-lo e necessitar obrigatoriamente de um elemento externo (o que aumenta o custo do projeto), esta foi a primeira estrutura de regulador *low dropout* desenvolvida e ainda muito utilizada na atualidade, em várias áreas, como circuitos automotivos e telefonia móvel.

1.1.3- Solução dos problemas dos reguladores de tensão com estágio de saída do tipo seguidor de emissor

Como foi visto anteriormente, a principal desvantagem do regulador com estágio de saída do tipo seguidor de emissor (ou de *source*) é necessitar de uma tensão de *drop* mínima igual a V_{BE} (para transistores bipolares) ou V_{GS} (para transistores MOS canal N). Isso considerando que o amplificador operacional seja alimentado pela tensão de entrada do regulador.

Com exceção desta desvantagem, porém, este tipo de regulador apresenta melhor desempenho que o regulador com estágio inversor na saída, de modo que pesquisas tem sido feitas no sentido de elevar a tensão de controle do estágio de saída acima da tensão de alimentação, e garantir o desempenho do regulador em condições de *low dropout*.

Nos ítens a seguir estão descritas algumas propostas para solucionar esse problema.

1.1.3.1 – Elevação da tensão de alimentação do circuito de controle acima da tensão de entrada

Essa solução consiste em elevar a tensão de alimentação do Amplificador Operacional acima da tensão de entrada, de forma que a tensão de controle do estágio de saída esteja dentro das especificações. Este circuito é mostrado na figura 1.15.



Figura 1.15- Esquema de um regulador de tensão com Charge Pump alimentando o buffer de saída

A desvantagem deste circuito é de que o elemento elevador de tensão deverá suprir também as correntes de polarização do circuito que está alimentando. Como será visto no capítulo 4, o tamanho dos elementos do elevador de tensão aumentam quando é necessário fornecer mais corrente, mantendo a impedância de saída constante, o que pode tornar as dimensões inviáveis para fabricação. Essa estrutura foi utilizada pela ST Microlectronics, no regulador de tensão L4955 [10].

1.1.3.2 – Regulador com referência exata

Essa proposição consiste em utilizar um circuito que mantenha um valor preciso de tensão no *GATE* de um transistor NMOS [11]. Este circuito não possui nenhuma realimentação da carga, de modo que os outros elementos do circuito são dimensionados para que, dentro das condições especificadas, as variações de tensão na saída devidas à variação da carga e de transientes permaneçam dentro das especificações pedidas.

Para isso, utiliza-se um capacitor de grande valor para minimizar as transições. Além disso, o transistor trabalha em modo de inversão fraca, para minimizar as capacitâncias. O circuito é mostrado na figura 1.16 [11].



Figura 1.16- Esquema básico do regulador com controle preciso

Para minimizar as transições, a condição da capacitância C1 deve ser:

$$C_1\rangle\rangle C_{gs}$$
 (1.18)

1.2.3.3 – Deslocador de nível

O circuito proposto em [12] utiliza a estrutura de um regulador com estágio de saída em seguidor e um deslocador de nível, que permite a tensão de controle ultrapassar a alimentação. O esquema simplificado é mostrado na figura 1.17.



Figura 1.17- Esquema genérico de um regulador de tensão com deslocador de nível

Observa-se que há um deslocamento de nível do sinal de controle V_{control}, se a corrente que passa por R_{O,SH} for suficientemente pequena para que a queda de tensão sobre ele seja desprezada.

Este circuito utiliza um capacitor, e possui um circuito realimentado para manter sua tensão constante, como implementação da fonte de tensão. O esquema mais detalhado do circuito é mostrado na figura 1.18.

A vantagem deste circuito sobre o mostrado no item 1.1.3.1 é que, somente nas transições, onde corrente é exigida da fonte pelo transistor de saída, é que o elemento elevador de tensão (*Charge Pump*) necessita fornecer corrente, minimizando o valor do capacitores do Elevador de tensão e minimizando o consumo. A desvantagem é que assim o *Charge Pump* também alimenta o amplificador de controle, tendo, então, que fornecer corrente constante para polarização do elemento.

Este circuito é utilizado no circuito integrado comercial REG103, fabricado pela BURR-BROWN (Texas Instruments).



Figura 1.18- Esquema simplificado do regulador REG103, mostrando uma implementação do regulador com deslocamento de nível
1.2 – ARQUITETURA PROPOSTA

A arquitetura utilizada no regulador proposto é a de regulador com deslocamento de nível, tal como o que é mostrado na figura 1.17. Não será possível utilizar, porém, a estrutura mostrada na figura 1.18, pois é necessário um *Charge Pump* alimentando o amplificador que controla a tensão do capacitor. Por melhor que seja o circuito de saída do Amplificador, a tensão de saída é limitada pela tensão de saturação do transistor de saída (no melhor caso).

Como a excursão da tensão de *GATE* do transistor de saída é pequena (calculada no capítulo 2), qualquer limitante na tensão de saída provoca um aumento nas dimensões do transistor de saída, que é indesejável. A estrutura escolhida, mostrada na figura 1.19 maximiza esta excursão, pois permite a tensão de *GATE* atingir a máxima tensão permitida, se for necessário.



Figura 1.19- Esquema básico do regulador proposto

É utilizado um circuito *Charge Pump* (CP) para efetuar o deslocamento de nível. A tensão de saída de um CP pode ser aproximada como a soma das amplitudes das tensões das ondas quadradas ($V_{CONTROL}$ na figura 1.19), com a tensão de alimentação do CP, que, no caso do circuito da figura 1.19, é denominada $V_{REG.}$ Assim, a tensão na saída do *Charge Pump* pode ser considerada como a tensão $V_{CONTROL}$ deslocada em nível pelo valor da tensão $V_{REG.}$

Características importantes a destacar:

- $R_{OUT,OA}$ deve ser baixa. Tipicamente, $R_{OUT,OA}$ >100 Ω ;
- V_G é a máxima tensão DC do circuito;
- T_{clock}>>tempo de resposta do regulador.

Cada bloco que compõem o regulador, bem como o método de projeto do regulador de tensão são mostrados nos capítulos seguintes.

CAPÍTULO 2 O ESTÁGIO DE SAÍDA

O estágio de saída foi, neste caso, a primeira etapa a ser projetada. Ele está diretamente ligado às especificações iniciais do sistema e seu dimensionamento resulta em parâmetros (capacitâncias, transcondutâncias) que serão utilizados como especificações para outros blocos. O circuito do estágio de saída é mostrado na figura 2.1.



Figura 2.1- Esquemático do estágio de saída

Este circuito é formado por um transistor MOS (Metal Oxide Semiconductor) canal N, responsável pelo fornecimento de corrente para a carga, ou seja, ele é o elemento de passagem (*By Pass*) do regulador de tensão enquanto transistor Q1 é responsável por drenar corrente da carga do regulador, se necessário (admite-se a carga sempre referenciada ao terra e não a V_{IN}).

Os resistores R1 e R2 formam um divisor resistivo do qual é extraída uma fração da tensão de saída para a realimentação do circuito. Além disso, são também responsáveis pela polarização do transistor M₁. A relação entre V_{REF} e V_{OUT} é obtida na equação (2.1).

$$V_{OUT} = V_{REF.} \cdot \frac{R_1 + R_2}{R_1} \tag{2.1}$$

O transistor M2 evita a condução do transistor Q_1 quando o transistor M_1 também estiver conduzindo. E funciona também como um amplificador seguidor de emissor, garantindo o tempo de resposta necessário para operação do circuito.

2.1– O ELEMENTO TRANSISTOR NMOS

Para que o circuito regulador possa ser fabricado em tecnologia CMOS de baixa tensão, o transistor NMOS deve possuir características que permitam o dreno atingir tensões acima do que é permitido para a tecnologia. Para isto, foram utilizados transistores disponíveis pela *Foundry* (AMS – Austria Mikro Systeme), denominados *Low Dopped Drain MOS* (LDDMOS) [13], cuja representação simplificada em camadas é mostrada na figura 2.2.



Figura 2.2- Esquema simplificado da estrutura de um transistor LDDMOSN

Neste transistor, o *source* e o *gate* não podem ultrapassar a tensão máxima especificada na tecnologia. Somente o Dreno tem essa propriedade. Nota-se também que este transistor está diretamente construído sobre o substrato (*bulk*). Em sua operação, o transistor deve manter a tensão de *Source* num potencial diferente do substrato. A equação que descreve o comportamento da tensão *threshold* do transistor em relação à tensão *source*-substrato é mostrada em (2.2) [14].

$$V_{T} = V_{T0} + \gamma \left(\sqrt{2 \cdot |\Phi f| + V_{SB}} - \sqrt{2 \cdot |\Phi f|} \right)$$
(2.2)

onde:

 V_{T0} = Tensão *threshold* do transistor para V_{SB}=0 [V];

V_{SB}= Tensão *source*-substrato [V];

 γ = Fator de corpo[V^{1/2}];

 Φf = Potencial de Fermi [V];

A condição crítica de operação do transistor LDDMOS ocorre quando a corrente nominal é solicitada, na condição de *low dropout*. Nesta condição, o transistor opera na região linear, cuja equação (2.3) descreve seu comportamento [14].

$$I_{D} = \mu \cdot C_{ox} \cdot \frac{W}{L} \left(V_{GS} - V_{T} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$
(2.3)

A excursão de V_{GS} , denominada $\Delta V_{Gsmáx}$ é determinada através de (2.4)

$${}^{?V}_{GS} = {}^{?V}_{G} - {}^{?V}_{S}$$

 ${}^{V}_{S} = {}^{V}_{OUT} \Rightarrow {}^{?V}_{S} = {}^{0}e \; {}^{?V}_{GS} = {}^{?V}_{G}$
 ${}^{V}_{GMIN.} = {}^{V}_{OUT} + {}^{V}_{T}$

$$\Rightarrow \Delta V_{GSmáx.} = V_{GMÁX} - V_{OUT} - V_T$$
(2.4)

onde: V_{GMAX} é a máxima tensão entre o gate e o substrato permitida para a tecnologia utilizada.

A diferença entre as tensões de dreno e *source* ($V_{DS,SAT}$) em um transistor MOS pode ser reduzida até um valor mínimo que é a queda de tensão na resistência ôhmica do canal do transistor e nas resistências parasitas em série com o canal. Utilizando o esquema proposto, a tensão de *DROPOUT* é limitada pela tensão $V_{DS,SAT}$. A equação (2.5) mostra, então, a relação entre $V_{dropout}$ e R_{ON} .

$$V_{DS,SAT} = V_{dropout} = R_{ON} \cdot I_{MAX}$$
(2.5)

A corrente de polarização de M₁ deve ser determinada de tal modo que assegure ao transistor uma resistência incremental pequena, para que o estágio de saída tenha sua influência diminuída na resposta em freqüência. Consegue-se isso operando na condição de *subthreshold* [11].

A equação que determina a transcondutância incremental na condição de *subthreshold* é descrita em (2.6) [15].

$$g_m = \frac{W}{L} \cdot I_{DO} \cdot \frac{n.k.T}{q.V_{GS}} \cdot \exp\left(\frac{q.V_{GS}}{n.k.T}\right) = \frac{I_D}{V_T}$$
(2.6)

sendo que:

$$I_{D} = \frac{W}{L} . I_{DO} . \exp\left(\frac{q.V_{GS}}{n.k.T}\right)$$

Utilizando (2.6), pode-se determinar a corrente de polarização. Assim, a resistência de polarização R_{fb} , cujo valor é a soma das resistências que formam o divisor resistivo usado para obter uma fração da tensão de saída, utilizada para a realimentação do sistema, pode ser determinada pela equação (2.7)

$$R_{fb} = \frac{V_{OUT}}{I_{pol}}$$
(2.7)

2.2- O TRANSISTOR BIPOLAR PNP VERTICAL DE SAÍDA

As dimensões de Q1 devem ser determinadas levando em conta a máxima corrente que deve ser retirada da carga do regulador, o *start-up* do circuito, e as variações negativas da corrente de saída, provocadas pela carga. Se houver capacitâncias conectadas à saída, o excesso de cargas elétricas deve ser eliminado dentro do intervalo de tempo especificado para não deteriorar a resposta a transientes do sistema.

Sendo a resposta definida por tempo de estabilização e *overshoot* máximo, mostrados na figura 2.3 [16], a corrente máxima a ser retirada da carga ocorre quando a derivada negativa é máxima (no caso de cargas capacitivas). Assim, pode-se aproximar a máxima corrente pela equação (2.8).



Figura 2.3- Definição de tempo de subida tr, tempo de descida ts, e overshoot Mp

$$I_{\max} = C_{load_{\max}} \frac{\left(V_{OUT_M} - V_{OUT_m}\right)}{\Delta t}$$
(2.8)

onde:

I_{máx}= Máxima corrente que descarregará o capacitor;

 V_{OUTM} = Tensão máxima na carga durante o primeiro ciclo da resposta transitória a um degrau; V_{OUTm} = Tensão mínima na carga durante o primeiro ciclo da resposta transitória a um degrau; Δt = intervalo de tempo entre V_{OUTM} e V_{OUTm};

Para determinar a área do transistor bipolar, deve-se determinar a tensão V_{BE} para essa máxima corrente. Neste caso, define-se V_{BE} através da equação (2.9):

$$\begin{bmatrix} V_{in} + V_{GS} + V_{BE} \end{bmatrix} = V_{OUT} \implies$$

$$V_{BE_{MAX}} = V_{OUT} - V_{GS_{M2}} - V_{in_{MIN}} \qquad (2.9)$$

O transistor M2 deve ser grande suficientemente para poder drenar a corrente de base de Q1. Pode-se determinar ainda por inspeção as seguintes equações (2.10) a (2.12)

$$\left[I_{pol_{M2}} + \frac{I_{MAX}}{\beta_{Q1}}\right] = \frac{\mu \cdot C_{ox}}{2} \cdot \frac{W}{L}\Big|_{M2} \cdot \left(V_{GS_{MAX}} - V_T\right)^2$$
(2.10)

$$V_{GS_{M2,MAX}} - V_{GS_{pol.}} << \Delta V_{BE}$$
(2.11)

$$\Delta V_{BE} = V_{BE} - V_{BE} -$$

A equação (2.11) resulta da condição de fazer toda a variação de V_{in} - V_{offset} transformar-se em variação de V_{BE} e maximizar a variação de corrente na saída.

2.3- PROJETO DO ESTÁGIO DE SAÍDA

O transistor LDDMOS disponibilizado pela *foundry* AMS na tecnologia CMOS 0.6um cux, que possui duas camadas de metal e duas camadas de polisilício, apresenta as seguintes características:

<i>V_{G,max}</i> =5,5V	V ₇₀ =0,81V
V _{D,max} =15V	$\gamma = 0.72 V^{1/2}$
<i>L</i> =3μ (fixo)	μ. <i>C_{ox}</i> =120 μA/V ²
<i>R_{on}=</i> 23/W [KΩ/μm]	

As especificações são:

V_{drop,min}=0,3V I_{nom}=100mA V_{OUT}=3V

Então, o valor da tensão threshold - V_T (@ T=300K) é:

$$V_T = 0.81 + 0.72.(\sqrt{0.78 + 3} - \sqrt{0.78})$$
 $V_T = 1.46V$

 $\Delta V_{GS} = 5.5 - 3 - 1.46$ $\Delta V_{GS} = 1,04V$

Isso resulta em :

$$\left.\frac{W}{L}\right|_{M1} = 5300$$

Através deste resultado, e utilizando a correção entre os valores medidos e os simulados, que são apresentados no documento da tecnologia [17], obteve-se o resultado final de:

W=18000µm

$$R_{on,max} = \frac{0.3}{0.1} = 3\Omega$$
 e $R_{on} = \frac{23000}{18000} = 1,27\Omega$

Portanto Ron está dentro do especificado.

A capacitância C_{GS} do transistor é definida como a soma das capacitância intrínseca do componente e capacitâncias extrínsecas, devido a aspectos construtivos do transistor [41]. Essa definição é mostrada na equação (2.13)

$$C_{GS_{M1,SAT}} = C_{GS_{int.}} + C_{GS_{ext.}}$$

$$C_{GS_{int.}} = \frac{2}{3} \cdot C_{POX} \cdot W \cdot L \Rightarrow C_{GS_{M1,SAT}} \cong 100 \text{ pF}$$

$$C_{GS_{ext.}} = C_{GSDO} \cdot W \Rightarrow C_{GS_{ext.}} \cong 6,2 \text{ pF}$$
(2.13)

onde:

*C*_{POX}= Capacitância *GATE*-Substrato por unidade de área de *gate*;

C_{GSDO}= Densidade linear de capacitância parasita devido a overlapping entre gate e source.

Portanto a capacitância C_{GSM1, SAT} é:

 $C_{GS_{M1,SAT}} \cong 107 \text{pF}$

Para um tempo de estabilização em torno de 5 μ s, considerando a capacitância máxima de carga C_{load} =10nF temos:

$$t_r \cong 4.6. \frac{C_{load}}{g_m} \implies g_m = \frac{10^{-8}}{10^{-6}} \implies g_m = 10^{-2} \mathrm{S}$$

Utilizando a equação (2.5)

E I_{pol} =300µA ; então:

$$R_{fb,TOT} = \frac{V_{OUT}}{I_{pol}} = \frac{3}{300.10^{-6}} = 10$$
KO

Para dimensionar Q1, temos primeiro que calcular I_{máx}. A freqüência de oscilação transitória é:

 f_{sh} =500KHz $\Delta t = (f_{sh})^{-1}/4$ portanto $\Delta t = 0,5 \mu s$

e o overshoot máximo permitido é:

 ΔV_{out} =300mV

Utilizando (2.8) e os parâmetros já calculados, podemos obter a máxima corrente de coletor de Q1.

$$\therefore \qquad I_{Q1\,max} = 10^{-8} \cdot \frac{3.10^{-1}}{5.10^{-7}} = 6 \text{mA}$$

Então, a partir da equação (2.9) tem-se que:

$$V_{BEMAX} = 3 - 1, 3 - 0, 9 = 0.8 V$$

Os dados disponíveis pelo fabricante se aplicam a um transistor bipolar PNP vertical com dimensões 15 μ mx15 μ m, que por sua vez suporta uma corrente I_{Q1MAX} =600 μ A, com V_{BEMAX} =800mV. Para suprir a corrente necessária do circuito em foco é preciso construir um conjunto com vários deles. De acordo com os parâmetros obtidos anteriormente para obter I_{Q1MAX} com V_{BEMAX} , o número M_{PNP} de transistores a ser utilizado é:

$$M_{PNP} = 10$$

A corrente que passa por M2 é basicamente a corrente de base de Q1. A relação entre corrente de base e de coletor típica de um transistor bipolar PNP lateral é 10, segundo dados especificados pela *foundry*. Então a corrente máxima que passará por M2 será

$I_{M2m\acute{a}x} = 600 \mu A$

Para atingir essa corrente com Vgs=0,9V (nominal), as dimensões do transistor M2 devem ser:

*L=0,6*µm

*W=100*µm

2.4- RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

O transistor LDDMOS M1 foi projetado para implementação em tecnologia CMOS 0.6μm cux. A figura 2.4 mostra o *Layout* do transistor construído. Devido à limitação da corrente nos *Pads*, que é de 20mA (especificado pelo fabricante), o dreno foi distribuído em 5 terminais, da mesma forma que o *Source*.



A simulação da curva característica $I_D \times V_{DS}$ do LDDMOS, para confirmar a condição *low drop*, é mostrada na figura 2.5.



Figura 2.5-Valores nominais de simulação do comportamento I_DxV_{DS} do transistor de saída, evidenciando a condição Low Drop

O transistor projetado foi construído como um dispositivo discreto e suas características estáticas foram medidas, usando-se um analisador de parâmetros HP4155. A tensão de Source foi mantida em 3V (condição de operação do transistor). O resultado é mostrado na figura 2.6.



Figura 2.6- Curva característica medida do transistor de saída.

O V_{GS} onde o transistor começou a conduzir corrente significativa é bem próximo do valor de V_T calculado na item 2.3.

V_{T medido}=1,46V

Outra observação foi que, para atingir 100mA com $V_{G,MAX}=5,5V \ e \ V_S=3V$, é necessário um $V_{DS}=0,7V$, quando o projetado foi $V_{DS}=0,3V$. Duas causa possíveis podem ser atribuídas a esse fato. Uma delas é a resistência parasita em série com o transistor, causada pela resistência do metal usado para ligar o transistor aos *Pad*s, além da resistência do fio que liga o *Pad* ao terminal do CI, e da própria resistência dos fios que ligam o CI ao aparelho que executa a medida.

O transistor não atingiu a especificação de 18V, conforme era esperado. Depois do *layout* do dispositivo ser entregue para fabricação, foi indicado pelo fabricante que o comprimento do canal necessário para atingir a tensão especificada seria de L=6µm ao invés de L=6µm. Nas condições medidas, a máxima tensão de entrada possível foi, conforme a figura 2.6:

V_{MÁX.medido}=15V

A figura 2.7 mostra a influência do transistor Q₁ na resposta ao degrau negativo do regulador. Na figura 2.7a, tem-se a resposta a um degrau negativo de corrente, cujo tempo de estabilização é de aproximadamente 9ms. Já no caso da figura 2.7b, temos a mesma resposta a um degrau negativo, porém com a presença do transistor Q1. O tempo foi reduzido para 30μs.



Figura 2.7- Influência do transistor Q₁ na resposta ao degrau negativa do regulador. (a) Resposta sem o transistor Q1 no circuito. (b) Resposta com o transistor Q1, mostrada no canal 2.

Os resultados experimentais mostram que não será possível atingir a especificação de tensão de *dropout* $V_{DROPOUT}$ =0,3V para corrente nominal. A causa provável são as resistências em série com o canal, compostas pelas resistências das trilhas de metal, dos *pads* e do pela resistência dos *wire bonds*. Apesar disso, tem-se um bom resultado, que é a redução do tempo de recuperação do estágio de saída para degraus negativos de tensão de entrada, ficando, então, esse tempo dentro da especificação pedida.

CAPÍTULO 3 ANÁLISE SISTÊMICA

3.1 – INTRODUÇÃO

Neste capítulo serão mostradas as relações entre as especificações do regulador de tensão (Precisão da tensão de saída, tempo de recuperação do sinal de saída, por exemplo) com as especificações dos blocos que formam esse circuito (tensão de *offset* do Amplificador Operacional, freqüência de Operação do *Charge Pump*, por exemplo).

Além disso, será mostrado o tipo de controle utilizado e porque esta forma de controle foi escolhida.

Por fim, apresenta-se o diagrama em blocos do regulador de tensão.

3.2 – ESPECIFICAÇÕES DAS CARACTERÍSTICAS DOS BLOCOS A PARTIR DAS CARACTERÍSTICAS DO REGULADOR

Através da capacitância do transistor de saída, da excursão de V_{GS} , definidas no capítulo 2, e da máxima taxa de variação de corrente na resposta a transientes, consegue-se determinar qual a máxima corrente absorvida no *GATE* do LDDMOS, através da equação (3.1), e ilustrado através da figura 3.1. Além disso, determina-se também o *Slew Rate* mínimo do Amplificador Operacional, através da equação (3.2).

C_{as}=107pF (apresentada no capítulo 2);

• Máxima excursão de V_{GS} , $(V_{GS,máx}) = 1V$, para uma variação de 0 a 100% da corrente de carga;

Tempo de variação da corrente de saída, de 0 a 100% = 2μs
 [11]

$$i_{in_{OutStage}} = C_{GS} \frac{dV_{GS}}{dt} = 100.10^{-12} \cdot \frac{1}{2.10^{-6}} = 50 \mu \text{A}$$
(3.1)



R2

I_G [

Iout _

Vоит

$$SR_{min.} = \frac{\Delta V_{GS,max}}{\Delta t} = \frac{1}{2.10^{-6}} = 0.5 \, \text{V/}\mu\text{s}$$
(3.2)

O esquema proposto utiliza um deslocador de nível chaveado, cuja freqüência de chaveamento não pode ser fator limitante para a resposta do circuito. Portanto, seu período de chaveamento deve ser bem menor que as constantes de tempo que definem a resposta do regulador. Uma constante de tempo pertinente a esse estudo é o tempo de resposta do circuito.

Analisando o circuito proposto, nota-se que uma variação positiva na corrente de carga provoca uma diminuição na tensão de saída que permanece até a atuação do circuito de controle. Essa diminuição não pode ultrapassar a máxima variação de tensão devido a transientes. Em outras estruturas estudadas [11] e [19], o desvio máximo permitido é 10% da tensão nominal, o que também foi adotado para este trabalho. Isso resulta, neste caso, em um máximo desvio de tensão para resposta a transientes ($\Delta_{VO,tr}$) de 300mV.

Então, sabendo que a máxima variação de V_{GS} para a máxima variação de corrente permitida (SR_{min}) é 0,5V/µs, pode-se calcular o tempo de resposta permitido através da equação (3.3).

$$t_{delay,máx} = \frac{\Delta_{VO,tr}}{SR_{min}} = \frac{0.3}{0.5.10^{-6}} = 600$$
ns (3.3)

Essa informação, então será utilizada para determinar a freqüência de *clock* utilizada no deslocador de nível utilizado, determinada no capítulo 4.

Outro parâmetro que consta nas especificações é o tempo de estabilização. Em reguladores de tensão comerciais [10], [11], [19], este tempo é da ordem de 10µs. Ou seja:

$$t_r = 10 \mu s;$$

O tempo de estabilização está relacionado com parte real do pólo dominante em malha fechada, considerando um sistema de primeira ordem [20]. O resultado disso é a relação mostrada na equação (3.4).

Parte real do pólo =
$$\frac{5}{t_r} = \frac{5}{10^{-5}} = 500 \text{k} \frac{\text{rad}}{\text{s}}$$
 (3.4)

A partir desses valores, determinam-se as especificações do amplificador operacional (Ganho, Banda, *offset*) para atingir as especificações pedidas. Para isso, é necessária a análise em freqüência do regulador de tensão, vista a seguir.

3.3 – CÁLCULO DA FUNÇÃO DE TRANSFERÊNCIA EM MALHA ABERTA

O esquema proposto para o regulador de tensão, mostrada de maneira simplificada, é mostrada na figura 3.2.



Figura 3.2- Representação simplificada do regulador proposto

É necessário calcular a função de transferência do circuito equivalente em malha aberta, com influência na entrada e na saída, para analisar a estabilidade do sistema em malha fechada. O circuito equivalente em malha aberta, considerando a presença das cargas na entrada e na saída, é representado na figura 3.3.



Figura 3.3- Representação esquemática do regulador de tensão em malha aberta

A análise foi dividida em três partes. O estágio de saída, considerando o deslocador de nível, e o amplificador operacional. Considera-se o amplificador operacional como um bloco com um pólo dominante, com ganho em baixa freqüência **A** e resistência de saída \mathbf{R}_{OA} . O deslocador de nível é representado por uma fonte de tensão \mathbf{V}_{sh} , com uma resistência de saída \mathbf{R}_{OCP} e capacitância de saída \mathbf{C}_{CP} .

3.3.1 - O ESTÁGIO DE SAÍDA

O estágio de saída considera o deslocador de nível porque a impedância de saída deste último modifica o comportamento do estágio. A função de transferência total é o produto de duas funções mais simples: uma é o estágio de saída, desconsiderando a influência da resistência de saída do deslocador de nível (somente o circuito *follower*). A outra é a função de transferência do deslocador de nível, considerando a admitância de entrada do *follower*.

3.3.1.1 – O Follower

O modelo incremental do *follower* é mostrado na figura 3.4, cuja função de transferência, desconsiderando a resistência de saída do outro estágio, está mostrada na equação (3.5).



Figura 3.4- Modelo incremental do estágio de saída, desconsiderando a impedância de saída do estágio anterior.

$$\frac{V_{OUT}}{V_{IN1}} = \frac{s.C_{gs} + g_m}{s.(C_{gs} + C_L) + g_m + g_{fb} + g_L}$$
(3.5)

3.3.1.2 – O DESLOCADOR DE NÍVEL

O deslocador de nível possui como carga a admitância de entrada do estágio mostrado na figura 3.4. Representaram-se as resistências de saída do Amplificador Operacional (R_{OA}) e a do deslocador de nível (R_{CP}) em uma única, denominada R_{eq} . O circuito a ser equacionado tem a representação na figura 3.5 e a função de transferência mostrada na equação (3.6).



Figura 3.5- Circuito representativo para cálculo da função de transferência do deslocador de nível, considerando a admitância de entrada do estágio de saída.

$$\frac{v_{in1}}{v_{in2}} = \frac{g_{eq}}{s \cdot C_{CP} + Y_{in} + g_{eq}}$$
(3.6)

3.3.1.2.1 – ADMITÂNCIA DE ENTRADA DO FOLLOWER

Sejam as equações baseadas na figura 3.4:

$$Y_{IN} = \frac{i_{in}}{v_{in1}}$$
(3.7)

$$i = (v_{in1} - v_{out}).(g_m + s.C_{gs})$$
 (3.8)

$$i = v_{out} \left(g_L + g_{fb} + s.C_L \right) \tag{3.9}$$

$$i_{in1} = (v_{in1} - v_{out}) \cdot s \cdot C_{gs} + v_{in1} \cdot s \cdot C_{gd}$$
(3.10)

A combinação dessas equações resulta no valor da admitância de entrada (3.11)

$$\frac{i_{in}}{v_{in1}} = Y_{in} = s.C_{gs} \cdot \frac{(g_L + g_{fb} + s.C_L)}{[s.(C_L + C_{gs}) + g_m + g_L + g_{fb}]} + s.C_{gd}$$
(3.11)

3.3.2.2- FUNÇÃO DE TRANSFERÊNCIA TOTAL DO ESTÁGIO DE SAÍDA

Substituindo (3.11) em (3.6) e multiplicando por (3.5)obtém-se a função de transferência (3.12) total do deslocador de nível.

$$\frac{v_{in_1}}{v_{in_2}} = \frac{g_{eq}}{s \cdot C_{cp} + s \cdot C_{gs} \cdot \frac{(g_L + g_{fb} + s \cdot C_L)}{[s \cdot (C_L + C_{gs}) + g_m + g_L + g_{fb}]} + s \cdot C_{gd} + g_{eq}}$$

$$\frac{v_{out}}{v_{in}} = \frac{g_{eq}.(s.C_{gs} + g_m)}{s^2.[C_L.C_{gs} + (C_{gd} + C_{cp})(C_L + C_{gs})] + s.[C_{gs}.(g_L + g_{fb}) + (C_{gd} + C_{cp}).(g_m + g_L + g_{fb}) + (CL + Cgs).g_{eq}] + (g_m + g_L + g_{fb}).g_{eq}}$$
(3.12)

O caso crítico deste sistema ocorre quando apenas uma carga capacitiva existe acoplada na saída, pois nesse caso o pólo da carga fica próximo da origem.

As condições neste caso são:

$$g_L=0;$$
 $C_L>>C_{gd};$

$$C_L >> C_{gs}; \qquad C_L >> C_{cp}$$

Os pólos do sistema são (3.13):

$$p_{1}, p_{2} = \frac{g_{eq}}{2.C_{gs}} \left(1 \pm \sqrt{1 - \frac{4.C_{gs} \cdot g_{m}}{C_{L} \cdot g_{eq}}} \right)$$
(3.13)

que serão pólos complexos se:

$$4.C_{gs}.g_m < C_L.g_{eq} \tag{3.14}$$

A simulação deste resultado é mostrada na figura 3.6. Utilizou-se, para simulação, um resistor de 20k (que resulta numa admitância g_{eq} =50uS)e um capacitor C_{CP} =20pF. Além deles, como carga, tem-se C_L =10nF e g_L =1mS.



Figura 3.6-Diagrama de Bode simulado do estagio de saída, considerando o deslocador de nível.

Na figura 3.7 é mostrado o Diagrama de Bode medido do estágio de saída, considerando as mesma condições em relação ao circuito simulado.



Figura 3.7-Diagrama de Bode medido do estagio de saída, considerando o deslocador de nível.

Os resultados medidos estão de acordo com os resultados da simulação. Nota-se, pelo deslocamento de fase para –180°, a presença de dois pólos, próximos a 250kHz. Mediante o

resultado de desempenho do estágio de saída, considerando a resistência R_{OCP} =20k Ω , definiuse este como valor de resistência de saída do deslocador de nível.

3.3.3- FUNÇÃO DE TRANSFERÊNCIA DO AMPLIFICADOR OPERACIONAL

Assume-se que a função de transferência do amplificador Operacional tenha um pólo dominante p_3 , e ganho em baixa freqüência **A**. Assim, a função de transferência pode ser expressa por (3.15).

$$F_{OA}(s) = \frac{A \cdot p_3}{s + p_3}$$
(3.15)

A função de transferência simulada e a medida do Amplificador Operacional serão mostradas no capítulo 5.

3.3.4 – FUNÇÃO DE TRANSFERÊNCIA TOTAL

Portanto, o produto de (3.5), (3.12) e (3.15) resulta na função de transferência total do sistema em malha aberta (3.16).

$$\frac{vout}{vin} = \frac{A \cdot \left(1 + s \cdot \frac{Cgs}{gm}\right)}{\left(1 + s/p1\right) \cdot \left(1 + s/p2\right) \cdot \left(1 + s/p3\right)}$$
(3.16)

onde p1 e p2 estão mostrados na equação (3.13)

Utilizando os valores $C_L=10$ nF, $g_L=0$, $g_{eq}=500\mu$ S, $g_m=125$ mS e $C_{gs}=107$ pF na equação (3.16), obtém os pólos alocados no *root locus* da figura 3.8.

Analisando a função de transferência do sistema em malha fechada através de *root locus* conclui-se que, se as raízes os pólos p1 e p2 forem complexos conjugados, o sistema tende a instabilidade, como também é mostrado na figura 3.8.



Figura 3.8- *Root Locus* do sistema com três pólos (dois deles complexos conjugados) e um zero distante deles.

Com $g_L=33$ mS ($R_L=30\Omega$), mantendo os valores do item anterior, a função de transferência apresenta pólos reais, mostrado no *root locus* da figura 3.9 Mas também no caso de pólos reais, quando alocados em malha fechada, haverá ocorrência de instabilidade, conforme mostrado na figura 3.9

Portanto, as características do sistema não são suficientes para as especificações propostas. Então, deve-se alterar o sistema para melhorar sua resposta.



Figura 3.9- Root Locus do sistema com três pólos reais e um zero distante deles.

3.4 – ALTERAÇÃO PROPOSTA

A alteração proposta é incluir um capacitor Cc e um resistor Rc do segundo estágio do amplificador até o *GATE* do transistor de saída LDDMOS. Esse módulo cria um caminho alternativo em altas freqüências que torna mais rápida a resposta do circuito. O circuito com a alteração é mostrado na figura 3.10.



Figura 3.10-Alteração proposta para melhorar a resposta do sistema em malha fechada.

Recalculando os passos mostrados no item 3.3, obtém-se a seguinte resposta em freqüência para o sistema (3.17).

$$\frac{v_{out}}{v_{in}} = \frac{A.p_3 \cdot (s + z_2)}{(s + p_1).(s + p_2).(s + p_3).(s + p_4)}$$
(3.17)

onde:

A= ganho do amplificador em baixas freqüências;

 p_3 = pólo dominante do Amplificador operacional.

$$p_1, p_2 \approx \frac{g_{eq}}{2.C_{gs}} \left(1 \pm \sqrt{1 - \frac{4.C_{gs} \cdot g_m}{C_L \cdot g_{eq}}} \right)$$
(3.18)

$$p_4 \cong \frac{1}{R_C \cdot (C_C + C_{CP})}$$
(3.19)

$$Z_2 \cong \frac{1}{R_C . C_C} \tag{3.20}$$

Observa-se que, nestas condições, o sistema passa a ter então 4 pólos (mantendo os dois complexos conjugados e um real) e um zero, bem mais próximo que o anterior (o outro zero foi desconsiderado, por estar muito afastado).

Utilizando os valores $C_L=10$ nF, $g_L=0$, $g_{eq}=500\mu$ S, $g_m=125$ mS e $C_{gs}=107$ pF consegue-se os pólos complexos conjugados p_1 , p_2 mostrados na figura 3.11. Considerando o zero z_2 e o pólo p_2 próximos aos antigos pólos complexos do sistema, consegue-se a seguinte descrição dos sistema em malha fechada, através da representação *root locus* da figura 3.11.



Figura 3.11- Root Locus do sistema, considerando a alteração proposta

Observando o *root locus*, conclui-se que os pólos complexos conjugados se movem para a esquerda, devido a presença do zero. O sistema, então, pode ser representado por um sistema de dois pólos reais, em malha aberta, cuja função de transferência pode ser aproximada por (3.21):

$$F_{O.L}(s) = \frac{A_0 \cdot p_3(s + z_2)}{(s + p_3) \cdot (s + p_4)}$$
(3.21)

e o denominador da função em malha fechada pode ser expressa por (3.22)

$$Den = s^{2} + (p_{3} + p_{4} + A_{0}.p_{3}).s + (A_{0}.p_{3}.H.z_{2} + p_{3}.p_{4})$$
(3.22)

cujas raízes são (3.23):

$$p_{m1}, p_{m2} = -\frac{p_3 + p_4 + A_0.p_3}{2} \pm \sqrt{\frac{(p_3 + p_4 + A_0.p_3)^2}{4} - (A_0.p_3.H.z_2 + p_3.p_4)}$$
(3.23)

E tem raízes complexas conjugadas se (3.24):

$$\frac{(p_3 + p_4 + A_0.p_3)^2}{4} < (A_0.p_3.H.z_2 + p_3.p_4)$$
(3.24)

Sendo p_3 o pólo dominante do Amplificador, é razoável afirmar que $p_4 >> p_3$. Para uma resposta com fator de amortecimento crítico, conclui-se que (3.25):

$$\frac{(p_4 + A_0.p_3)^2}{4} = (A_0.p_3.H.z_1)$$
(3.25)

Em uma análise qualitativa, pode-se observar que, os valores de z_2 , p_3 e A_o devem ser próximos para a resposta possuir um fator de amortecimento crítico (com valores realistas).

Como é difícil obter ganhos acima de 100dB em amplificadores operacionais de 2 estágios, estabeleceu-se o ganho em 97dB (70000). Então, a partir de (3.24) e (3.25), determinam-se o pólo e o zero, sendo eles aproximadamente:

 $z_2 \approx 500$ krad/s

 $p_4 \approx 200$ krad/s

O resistor e o capacitor de controle são determinados a partir do zero z_2 . Utilizando resistor de alta resistividade disponível na tecnologia, determinou-se a melhor relação de valor dos componentes e área ocupada por eles. Os valores encontrados de R_c e C_c são:

A simulação da resposta transiente, conseqüência dos valores determinados neste capítulo, estão mostrados no capítulo 9, sendo comparados com os resultados medidos a partir do circuito montado.

CAPÍTULO 4 CHARGE PUMPS

O deslocador de nível tem um papel importante no projeto do regulador de tensão, já que sua utilização permite a operação em condição *Low Dropout*. Por isso esse capítulo é dedicado a essa estrutura, onde será feito um breve histórico, mostrando sua evolução. Depois disso, será mostrado o modelamento do *Charge Pump* utilizado como deslocador de nível. Por fim, será mostrado e apresentado o projeto dos blocos necessários no circuito e resultados de simulação e experimentais.

4.1 – TEORIA DE FUNCIONAMENTO

Charge Pumps (CP's) são circuitos que possuem como característica uma tensão na saída maior que a tensão de entrada utilizando processos de transferência e armazenamento de carga, chaveados em alta freqüência. O circuito na figura 4.1 [21] mostra a proposta básica de um *Charge Pump*, além das formas de onda que o ilustram.



Figura 4.1 – (a) Representação do *Charge Pump* no momento de carga do capacitor C1; (b) Representação do *Charge Pump* no momento da carga do capacitor C2; (c) Gráfico representativo das formas de onda do circuito.

Com a chave CH1 fechada, CH2 aberta e V_{ϕ} =0V, o capacitor C₁ é carregado até atingir a tensão V_{CC} entre seu terminais. Num momento seguinte, a chave CH1 abre, CH2 fecha e V_{{\phi} =Vcc.

Havendo uma distribuição de cargas entre os capacitores C₁ e C₂. Considerando que a quantidade de cargas transferidas seja pequena em relação a quantidade de carga em C₁, V₂ e conseqüentemente V_{OUT}, tem sua tensão alterada para V₂ \cong V_{OUT} \cong 2.V_{CC}. Quando CH2 abre-se novamente, para o próximo ciclo, C₂ é responsável pelo fornecimento de carga para I_{OUT}.

Utilizando diodos no lugar das chaves CH1 e CH2, obtém–se o circuito desenvolvido por J. Dickson [21], mostrado na figura 4.2.



Figura 4.2 – *Charge Pump* idealizado por Dickson. As capacitâncias parasitas referentes a cada nó do circuito estão consideradas.

Onde C são as capacitâncias do circuito e Cs são as capacitâncias parasitas equivalentes de cada nó. As capacitâncias parasitas são uma das principais fontes de erro em *Charge Pumps*.

Um modelo equivalente para um *Charge Pump* é a representação através de uma fonte de tensão, onde V_0 é o valor da tensão de saída sem carga, e uma resistência de saída, ou seja, é a representação equivalente Thevenin do circuito. É mostrada na figura 4.3.



Figura 4.3 – Equivalente Thevenin de um Charge Pump

Para o caso do CP de Dickson, os parâmetros estão assim relacionados, identificados nas figuras (4.2) e (4.3):

$$V_{o} = N.V_{in} - (N+1) \cdot V_{D} \tag{4.1}$$

$$R_{out} = \frac{N}{f.C}$$
(4.2)

onde:

N = número de estágios em cascata do *Charge Pump*;f = freqüência de chaveamento do *Charge Pump*;

A partir do circuito mostrado na figura 4.2, outras configurações de circuitos foram desenvolvidas e publicadas [22] a [27]. Dentre elas, a que mais se adapta às condições de projeto do circuito proposto é mostrada na figura 4.4 [27].



Figura 4.4 – Estrutura utilizada no projeto, desenvolvida por Favrat e Declerq [27]

Esta estrutura tem M3 e M4 como chaves e, por estarem ligadas aos *Sources* de M1 e M2, respectivamente, garantem pequena queda de tensão em seus terminais. Com isso a tensão se aproxima do valor teórico, o que é bom no caso deste projeto, que possui baixos níveis de tensão.

Outro fator interessante é que a maior tensão no circuito é a tensão de saída. Por alguns momentos em cada ciclo a tensão nos *Sources* M3 e M4 ficam maiores, mas esse tempo é aceitável. No projeto onde será utilizado, a tensão máxima que o *Charge Pump* pode atingir será a máxima tensão permitida pela tecnologia. Portanto, não haverá problemas com relação à ruptura dos componentes do circuito.

Por fim, outra característica deste circuito é poder variar a amplitude do sinal V_{clk} e V_{clk_NEG} , produzindo na saída uma tensão que apresenta variações de acordo coma amplitude dos sinais de *clock*. Portanto, com essa estrutura, consegue-se produzir um **deslocador de nível**, ou seja, uma fonte de tensão com dois terminais flutuantes, que consegue atingir valores maiores que a alimentação do circuito, conforme o objetivo do projeto do sistema, proposto no capítulo 3.

É conveniente, para a análise que se segue, que o circuito da figura 4.4 seja representado pelo seu equivalente Thevenin, mostrado na figura 4.5, onde f é a freqüência de V_{CLK} e V_{CLK_NEG} e C é o valor das capacitâncias C₁ e C₂.



Do valor da resistência de saída do CP, consegue-se estabelecer uma relação entre capacitância e freqüência de operação. Mas o valor da freqüência de chaveamento a ser utilizado também pode ser calculado baseado no tempo de resposta calculado no capítulo 3, equação (4.3).

Num circuito chaveado, a freqüência de chaveamento não pode ser fator limitante para a resposta do circuito. Portanto, seu período de chaveamento deve ser muito menor que as constantes de tempo envolvidas no circuito. No caso do *Charge Pump*, isto implica numa freqüência muito maior que o inverso do tempo de resposta do circuito de controle.

Os circuitos *Charge Pump* utilizados atualizam a carga do capacitor de saída duas vezes a cada período de *clock*. Portanto a relação entre o tempo de resposta do sistema e a freqüência do *Charge Pump* pode ser expressa pela equação (4.4)

$$f_{CP} >> \frac{1}{2.t_{delay,máx}} = \frac{1}{2.600.10^{-9}} = 840 \text{kHz}$$
 (4.4)

Relacionando a resistência de saída com a equação (4.4), obtém-se os valores das capacitâncias e a freqüência de operação do *Charge Pump*.

As chaves devem ser dimensionadas para garantir uma pequena queda de tensão nessas chaves (tipicamente 100mV), quando fechadas. No caso do circuito da figura 4.4, as chaves M1 e M2, quando ligadas, terão V_{GS} expresso pela equação (4.5):

$$V_{GSM1,M2} \approx V_{clk} = V_{clk_neg}$$
(4.5)

Então, aplicando a equação do transistor na região linear, o qual é dada pela seguinte equação (4.6):

$$I_D = \mu \cdot C_{\text{ox}} \cdot \frac{W}{L} \left(V_{\text{GS}} - V_T - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$

$$\tag{4.6}$$

obtém-se a relação das dimensões das chaves M1 e M2

Da mesma forma, são calculadas as dimensões de M3 e M4.

A corrente máxima de carga/descarga dos capacitores é limitada pela corrente absorvida/fornecida por $V_{c/k}$ e V_{c/k_NEG} . O circuito *driver* destas fontes é um estágio inversor CMOS, onde as dimensões das chaves P e N também são calculadas através de (4.6). Para a chave P, I_D é a máxima corrente a ser fornecida por V_{c/k_NEG} e, para a chave N, I_D é a máxima corrente a ser fornecida por V_{c/k_NEG} e, para a chave N, I_D é a máxima corrente a ser fornecida por V_{c/k_NEG} e, para a chave N, I_D é a máxima corrente a ser fornecida por V_{c/k_NEG} e, para a chave N, I_D é a máxima corrente a ser fornecida por V_{c/k_NEG} e, para a chave N, I_D é a máxima corrente a ser absorvida por V_{c/k_NEG} .

4.2-CHARGE PUMPS EM SÉRIE

Para aplicações onde um *Charge Pump* é conectado como fonte de tensão para alimentar um outro *Charge Pump*, a resistência de saída do primeiro CP influencia o valor da resistência de saída do segundo CP.

Para mostrar essa influência, seja o circuito da figura 4.6, onde **G** é a razão entre a tensão de saída e a tensão de entrada no *Charge Pump* e R_{OUT} é sua resistência de saída, desconsiderando a influência da resistência de saída da fonte de alimentação R_{IN}.

$$V_{OUT} = G.V_{in}' - R_{OUT}.I_{OUT}$$
(4.7)



Figura 4.6 – Esquema considerando um *Charge Pump* alimentado por uma fonte de Tensão com resistência de saída considerável.

No sistema em regime, a quantidade de carga acumulada no CP deve ser nula; então pode-se escrever a equação (4.8):

$$I_{IN} = I_{OUT} \implies V_{IN}' = V_{IN} - R_{IN} \cdot I_{OUT}$$
(4.8)

Substituindo em (4.7), tem-se:

$$V_{OUT} = G (V_{IN} - R_{IN} I_{OUT}) - R_{OUT} I_{OUT}$$

$$V_{OUT} = G V_{IN} - (R_{OUT} + G R_{IN}) I_{OUT}$$
(4.9)

Da equação (4.9), conclui-se que a impedância de saída da fonte de alimentação do *Charge Pump* é refletida para a saída multiplicada pela relação de tensão do CP

Expandindo para N estágios (supondo eles iguais):

$$V_{OUT} = G^{N} \cdot V_{IN} - (R_{OUT_{N}} + G \cdot R_{OUT_{(N-1)}} + G^{2} \cdot R_{OUT_{(N-2)}} + \dots + G^{N} \cdot R_{OUT}) I_{OUT}$$

$$\therefore R_{OUT} = R_{OUT_{N}} + G \cdot R_{OUT_{(N-1)}} + G^{2} \cdot R_{OUT_{(N-2)}} + \dots + G^{N} \cdot R_{OUT}$$
(4.10)

Portanto, ao se conectar *Charge Pumps* em série, sua resistência de saída equivalente não é a soma das resistências de saída dos estágios, mas tem seu comportamento conforme a equação (4.10).

4.3 – DIMENSIONAMENTO DOS CHARGE PUMPS

Além do *Charge Pump* deslocador de nível, utilizado para elevar a tensão de controle acima da tensão de entrada na condição *Low Dropout*, um outro CP foi necessário na estrutura utilizada do regulador de tensão. Isto porque, para garantir o funcionamento do regulador de tensão em toda a faixa de tensão de alimentação, optou-se por um estágio de pré-regulação, sendo que a tensão de saída do pré–regulador é menor que a menor tensão de entrada possível. O valor pré regulador conseguido foi 1,7V. A fonte pré regulada é analisada em detalhes no capítulo 7.

Por outro lado, a tensão de *GATE* do transistor de potência do regulador deve atingir, no máximo, 5,5V. Como esta tensão é a soma da tensão de entrada do *Charge Pump* deslocador de nível e da tensão de controle, é razoável considerar que as alimentações do deslocador de nível e do circuito que gera $V_{CONTROL}$ sejam um pouco maiores que a metade da tensão máxima do *GATE* (2,75V).

Assim sendo, surge a necessidade de um *Charge Pump* Auxiliar para elevar a tensão da fonte pré regulada para aproximadamente 3V.

A resistência de saída equivalente dos dois *Charge Pumps* deve ser $20K\Omega$, conforme calculado no capítulo 3. Os inversores, além de fornecerem corrente para os capacitores, também permitem modular em amplitude as ondas quadradas $V_{clk}/V_{clk NEG}$.

4.3.1-DIMENSIONAMENTO CHARGE PUMP AUXILIAR

O Charge Pump Auxiliar é mostrado na figura 4.7.



Figura 4.7-Esquema detalhado do Charge Pump Auxiliar

Este CP deve fornecer até 200mA com V_{OUT}=3V

$$V_{IN}(CP_{aux}) = 1.8V$$

Portanto, considerando a amplitude de V_{CLK} e V_{CLK_NEG} sejam iguais a $V_{IN}(CP_{aux})$, V_{OUT} (sem carga)=3.6V.

$$\frac{\Delta V}{R_{OUT}} = I_{CP} \qquad \qquad \frac{3.6 - 3}{R_{OUT}} = 200.10^{-6} \implies \qquad R_{OUT} = 3K\Omega$$

Mas pela equação (4.3):

$$R_{OUT} = \frac{1}{f_{op}.C_1}$$

E adotando f_{op}=4MHz

$$R_{OUT} = \frac{1}{f_{op}.C_{1}} \implies 3.10^{3} = \frac{1}{4.10^{6}.C} \implies C_{1} = C_{2} = 83 \text{pF}$$

$$V_{ripple} = \frac{I_{OUT}}{f.C_{3}} \implies V_{ripple} = \frac{200.10^{-6}}{8.10^{6}.100.10^{-12}} \implies V_{ripple} = 0.25 \text{V}$$

4.3.1.1-DIMENSIONAMENTO DAS CHAVES

Essas são as especificações das chaves do Charge Pump Auxiliar:

$$I_{MAX} \Big|_{t=\frac{T}{2}} = 100 \mu A$$
$$V_T \Big|_{V_S = 1.8V, NMOS} = 1.3V$$
$$V_T \Big|_{PMOS} = 0.8V$$

Então:

$$100.10^{-6} = 120.10^{-6} \cdot \frac{W}{L} \cdot (1,8 - 1,3 - 0,05) \cdot 0,1 \qquad \Rightarrow \frac{W}{L} = 50 \ (M1 \ embed{M2})$$
$$100.10^{-6} = 40.10^{-6} \cdot \frac{W}{L} \cdot (1,8 - 0,8 - 0,05) \cdot 0,1 \qquad \Rightarrow \frac{W}{L} = 50 \ (M3 \ embed{M3})$$

Dimensionamento dos transistores dos inversores:

$$100.10^{-6} = 120.10^{-6} \cdot \frac{W}{L} \cdot (1.8 - 0.8 - 0.05) \cdot 0.1 \qquad \Rightarrow \frac{W}{L} = 20 \ (M5 \, e \, M6)$$

Os transistores PMOS (M7 e M8) possuem as suas dimensões W três vezes maiores que as dos NMOS correspondentes.

4.3.1.3- RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

O *Charge Pump* Auxiliar foi simulado. E foi montado utilizando componentes discretos um *Charge Pump* equivalente. A figura 4.8 mostra o resultado de simulação do *Charge Pump* com uma carga de I_{OUT}=50μA. É mostrada a forma de onda dos *clocks*, nos dreno de um dos
transistores NMOS, e na saída V_{OUT}, evidenciando o *ripple*.. Os resultados experimentais, mostrados na figura 4.9, servem para comparar o resultado simulado com o medido.



Figura 4.9-Resultados experimentais do Charge Pump Auxiliar

Observou-se que existe uma diferença de 0,5V entre a tensão V_{OUT} simulada e medida. Dois motivos explicam essa diferença: A queda de tensão nos transistores MOS que se comportam como chaves e capacitâncias parasitas que dividem a carga com os capacitores. Esse efeito é

tão significativo que, para não diminuir ainda mais o valor da tensão final, não foi medida a tensão quadrada deslocada em nível, pois este é o ponto mais sensível às capacitâncias parasitas do circuito.

Para medir a resistência de saída, foi utilizado o seguinte procedimento: Com a corrente I=50uA, mediu-se a tensão na saída e a resistência de carga. Em seguida passou-se a corrente para I=100uA e mediu-se novamente a tensão na saída e a resistência de carga. A tensão de saída é uma divisão de tensão entre a resistência de saída do CP e a resistência de carga. Essas duas equações resultantes das medidas, combinadas, resultam na equação (4.11), que resulta no valor de *ROUT*.

$$R_{OUT} = \frac{R_2 R_1 (V_2 - V_1)}{V_1 R_2 - V_2 R_1}$$
(4.11)

As medidas obtida foram:

<i>Ι=50</i> μ <i>Α</i>	V ₁ =2,864V	<i>R</i> 1=67,5KΩ
<i>Ι=100</i> μ <i>Α</i>	V ₂ =2,580V	R ₂ =33,7KΩ

Usando (4.11) temos os resultados.

$$R_{OUTsimulado} = 6,8K\Omega$$
 $R_{OUTmedido} = 7,88K\Omega$

Essa diferença entre o resultado experimental e o simulado é devida à diferença de resistência das chaves, que é maior no experimental. A resistência das chaves aumenta o tempo de carga dos capacitores e, para freqüências altas, acaba por não se carregar totalmente, diminuindo a capacidade de fornecer corrente. Além disso, as capacitâncias parasitas existentes nos terminais dos capacitores dos *Charge Pumps* também influenciam no resultado. Para poder operar com baixos valores de capacitores, deve-se garantir, no *layout* do circuitos, que esses terminais apresentem a menor capacitância parasita possível, tipicamente menor que 5% do valor do capacitor utilizado.

A figura 4.10 mostra o *layout* do circuito projetado



Figura 4.10- Layout do Charge Pump Auxiliar

4.3.2-DIMENSIONAMENTO DO CHARGE PUMP DESLOCADOR DE NÍVEL

O Charge Pump Deslocador de Nível é mostrado na figura 4.11.



Figura 4.11-Esquema detalhado do Charge Pump Deslocador de nível

Utilizando (4.11), com

G=2 (aproximadamente, o *Charge Pump* auxiliar dobra a tensão de entrada, nas condições que foi projetado)

$$R_{OUT,CP.sec}$$
=3K $\Omega \in R_{OUT,total}$ =18K Ω

Temos:

 $R_{OUT,CP.prim}$ =12K Ω

Novamente usando (4.3), adotando f_{op} =4MHz,

$$R_{OUT} = \frac{1}{f.C} \implies 12.10^3 = \frac{1}{4.10^6.C} \implies C_4 = C_5 = 20 \text{pF}$$
$$V_{ripple} = \frac{I_{OUT}}{f.C_{store}} \implies V_{ripple} = \frac{10.10^{-6}}{8.10^6.40.10^{-12}} \implies V_{ripple} = 31,25 \text{mV}$$

4.3.2.1-DIMENSIONAMENTO DAS CHAVES

Essas são as especificações das chaves do Charge Pump Deslocador de Nível:

$$I_{MAX} \Big|_{t=\frac{T}{2}} = 50 \mu A$$
$$V_T \Big|_{V_S = 3V, NMOS} = 1.4 V$$
$$V_T \Big|_{PMOS} = 0.8 V$$

$$50.10^{-6} = 120.10^{-6} \cdot \frac{W}{L} \cdot (1,6 - 1,4 - 0,05) \cdot 0,1 \implies \frac{W}{L} = 55 \ (M9 \ e \ M10)$$

$$50.10^{-6} = 40.10^{-6} \cdot \frac{W}{L} \cdot (1,6 - 0,8 - 0,05) \cdot 0,1 \implies \frac{W}{L} = 33 \ (M11 \ e \ M12)$$

Transistores dos inversores

$$50.10^{-6} = 120.10^{-6} \cdot \frac{W}{L} \cdot (3 - 0.8 - 0.05) \cdot 0.1 \quad \Rightarrow \frac{W}{L} = 3.9 \ (M13 \ e \ M14)$$

Os transistores PMOS (M15 e M16) são três vezes maiores que os NMOS correspondentes.

4.3.2.2- RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

Este *Charge Pump* também foi simulado e construído com componentes discretos. A figura 4.12 mostra resultados de simulações do *Charge Pump* com uma carga de I_{OUT} =25µA. É mostrada a

forma de onda dos *clocks*, nos dreno de um dos transistores NMOS, e na saída V_{OUT} , evidenciando o *ripple*. As mesmas formas de onda foram medidas, mostradas nas figura 4.13, para comparar o resultado simulado com o medido.



Figura 4.12- Resultados de simulação do Charge Pump Deslocador de Nível



Figura 4.13-Resultados experimentais do Charge Pump Deslocador de Nível

As medidas obtida foram para calculo da resistência de saída foram:

I=25μ*A V*₂=4,76*V R*₂=180KΩ

*I=50*μ*A V*₂=3,93*V R*₂=67,5KΩ

Usando (4.11) temos os resultados.

$R_{OUTsimulad} = 24,6K\Omega$

 $R_{OUTmedido} = 26,1 K\Omega$

Como no caso anterior, a diferença entre o resultado experimental e o de simulações é devida à diferença de resistência das chaves, que é maior no experimental. A resistência das chaves aumenta o tempo de carga dos capacitores e, para freqüências altas, acaba por não se carregar totalmente, diminuindo a capacidade de fornecer corrente. A influência é ainda mais significativa pois as capacitâncias de carga deste estágio são menores que do estágio auxiliar. Além disso, as capacitâncias parasitas existentes nos terminais dos capacitores dos *Charge Pumps* também influenciam no resultado. Para poder operar com baixos valores de capacitores, deve-se garantir, no *layout* do circuito, que esses terminais apresentem a menor capacitância parasita possível, tipicamente menor que 5% do valor do capacitor utilizado.

Os resultados obtidos mostram que é possível utilizar um *Charge Pump* como fonte de alimentação ou deslocadores de nível. Apesar disso, um ponto onde os resultados medidos diferiram dos experimentais deve ser destacado: é a diferença entre os valores calculado e medido da resistência de saída do *Charge Pump*. A provável fonte de erro são as resistências das chaves. Espera-se, por conta dessa diferença, que o controle do sistema fique mais lento, e conseqüentemente, que o regulador tenha seu desempenho prejudicado em relação a resposta a transientes. O resultado disso é um aumento da variação de tensão da saída em transições de corrente de carga.

Finalmente, a figura 4.14 mostra o *layout* do circuito projetado.



Figura 4.14-Layout do Charge Pump Deslocador de nível

CAPÍTULO 5 O AMPLIFICADOR OPERACIONAL DE CONTROLE

Segundo as especificações encontradas no capítulo 3, o Amplificador Operacional (AMP OP) que controla o sistema deve possuir as seguintes características:

- $A_0 \approx 97 dB \text{ (com Cload=10pF e Rload=10k}\Omega)$
- Baixa Impedância de saída (aproximadamente 100Ω)
- $G_{BW} \approx 5MHz$
- SR>0,5V/μs

O diagrama esquemático do circuito projetado é mostrado na figura 5.1. A malha de controle do regulador é feita por componentes externos ao amplificador, projetados no capítulo 3.



Figura 5.1-Esquema completo do amplificador de controle

Esse AMP OP está conectado aos *sources* dos transistores M15 e M16 (que compõem o *Charge Pump* (CP) deslocador de nível), mostrados na figura 4.11, alimentando os inversores que estes transistores compõem. Por isso, o amplificador operacional deve possuir uma baixa impedância

de saída. Deve também ser capaz de fornecer e drenar corrente com baixo tempo de resposta, devido a característica impulsiva da forma de onda de corrente.

Para satisfazer esses requisitos foi projetado um estágio de saída realimentado, baseado no esquema sugerido em [28]. Este circuito diminui a impedância de saída para fornecimento de corrente, enquanto a impedância de absorção de corrente é diminuída pelo dimensionamento do transistor PMOS, na configuração emissor comum.

5.1- PROJETO DO ESTÁGIO DE SAÍDA



O esquema do Estágio de Saída é mostrado na figura 5.2

Figura 5.2- Esquema detalhado do Estágio de Saída do Amplificador de Controle

As especificações do circuito são:

V_{DD}=3,2V I_{OUT MAX}=200μA I_{M8 bias}=10μA I_{M9.M10 bias}=5μA

Pelas características do *Charge Pump* Deslocador de Nível (Capítulo 4), a excursão de saída deve ser:

$$1,2V < Vout < 2,5V$$
 (5.1)

Para o estágio de saída do amplificador operacional funcionar em qualquer valor da faixa de tensão de saída, a tensão V₁ (tensão no Dreno de M11) deve estar na faixa mostrada pela inequação (5.2):

$$V_{DS_{M11}} < V1 < V_{OUTMIN} \tag{5.2}$$

Além disso, é valido (5.3)

$$V_{GSM8} = V_{DD} - V_{GSM12} - (V_{DSM13_{SAT}} + V_{OUT})$$
(5.3)

Isso resulta, na condição crítica de mínima corrente e tensão de saída, dada por:

$$V_{\rm GSM8} + V_{\rm GSM12} = 1,7V$$
 (5.4)

Mas também é verdade que:

$$V_{GSM8} < V_{DD} - V_{GSM12} - V_{DSM11}$$
(5.5)

Na condição crítica de máxima corrente e mínima tensão de saída, M₄ satura. Portanto é válida a desigualdade (5.6).

$$V_{\text{GSM8}} + V_{\text{GSM12}} < 2.7V \tag{5.6}$$

Portanto, o que foram mostrads são as condições para o funcionamento correto do estágio de saída do amplificador operacional. Na polarização dos dois transistores, utiliza-se a condição (5.4), e considera-se os dois V_{GS}'s iguais. Isso resulta na dimensão de M1:

Calculando o valor de V_{GSM8} para máxima corrente, observa-se que cumpre a condição expressa pela desigualdade (5.6).

Para calcular a dimensão de M₉, utiliza-se a relação (5.7)

$$V_{OUT} = V_{GSM9} + V_{IN} \tag{5.7}$$

Na condição crítica de V_{OUT} mínimo, V_{INMIN}=0,1V, o que resulta em:

$$V_{GSM9} = 1,1V$$

Calculando as dimensões de M_9 , sabendo que $I_{M2 máx}$ = 200 μ A

W_{M9}=90μm L_{M9}=0,8μm

Para calcular as dimensões de M₁₁, deve-se calcular o ganho de realimentação local presente no Estágio de saída. Para isso, é considerado o Estágio de saída representado como na figura 5.3

$$V_{out} = V_{in} - V_{erro}$$

$$V_{out} = V_{in} - \frac{V_1}{A}$$

$$V_{out} = V_{in} - \frac{i}{g_m \cdot A}$$

$$Se A \to \infty i_1 = constante$$

$$R_{out} = \frac{1}{g_m \cdot A}$$
(5.8)
Figura 5.3-Esquema simplificado do Estágio de saída Source comum modificado, para análise incremental do sistema

Através de (5.8), obtém-se uma relação entre ganho, corrente de polarização e resistência de saída (5.9)

$$I_{DM10}.A > \frac{(V_{GS} - V_T)}{R_{OUT}}$$
 (5.9)

Fazendo $M_{10} = M_9$, cumpre-se (5.9).

Há necessidade de um capacitor de compensação, para evitar picos muito altos de corrente por parte de M8, e também garantir estabilidade para qualquer carga na saída. O lugar escolhido para a colocação é o Dreno de M11, um ponto de alta impedância. Neste caso:

$$p1 = \frac{g_d}{C_{cd}} \quad \text{escolhido} \quad C_{cd} = 0,5\text{pF}$$

$$f_1 = \frac{\lambda_{M11} \cdot I_{DM11}}{2\pi \cdot C_{cd}} \tag{5.10}$$

Então f1=79KHz E G_{BW}=40MHz, pois o ganho calculado para as dimensões de M11 é A=480.

5.2 – PROJETO DO AMPLIFICADOR DE TRANSCONDUTÂNCIA (OTA)

Como foi dito anteriormente, foi escolhida a estrutura canônica, por facilidade de implementação do bloco. O circuito pode ser identificado na figura 5.1.

Foram utilizadas, para determinar as dimensões dos componentes, as equações (5.11) a (5.15) [29].

$$C_{cd} > 0.22C_L$$
 (5.11)

$$I_5 = SR.C_{cd} \tag{5.12}$$

$$g_{m2} = G_{BW} \cdot C_{cd} \tag{5.13}$$

$$g_{m6} = 2, 2.g_{m2} \cdot \frac{C_L}{C_{cd}}$$
(5.14)

$$Ao = \frac{2.g_{m2}.g_{m6}}{I_5.(\lambda_2 + \lambda_3).I_6.(\lambda_6 + \lambda_8)}$$
(5.15)

onde C_L é a capacitância de entrada do estágio de saída do AMP OP.

A capacitância de entrada do estágio de saída é da ordem de 0,1pF. Porém, para garantir que capacitâncias parasitas não modifiquem o circuito projetado, foi utilizado Ccd=1pF.

Então, através da equação (5.12) $I_5=10\mu A$ Através da equação (5.13) $g_{m2}=50\mu S$ Com esses valores, foram obtidas as seguintes dimensões para os transistores:

$$W_1 = W_2 = 12 \mu m$$
 $W_6 = 40 \mu m$
 $L_1 = L_2 = 3 \mu m$ $L_6 = 3 \mu m$

E portanto:

*W*₃=*W*₄=20μm *L*₃=*L*₄=3μm

Através da equação (5.16), acha-se o valor do resistor

$$Rz = \frac{1}{g_{m6}} \left(\frac{C_L + C_c}{C_c} \right) \approx \frac{1}{g_{m6}} = 3K\Omega$$
(5.16)

Utilizou-se um valor maior que o Rz calculado para que o zero fosse negativo em qualquer condição. De qualquer forma, a presença dele no semi plano esquerdo, mas em um freqüência mais alta que o G_{BW} do AMP OP, não causa problemas.

Fez-se então $Rz=20k\Omega$

Para gerar a corrente de polarização, foi feita uma coluna de transistores ligados como diodos. Foi determinada a corrente I_{tail}=1µA para alimentar a coluna. Foram obtidas as seguintes dimensões para os transistores formadores dos espelhos de corrente.

<i>W</i> ₁₄= <i>W</i> ₁₅=3μm	<i>W₁₆=3</i> µm
<i>L</i> 14=L15=3μm	<i>L</i> ₁₆ =3μm

Portanto:

 $L_5 = L_7 = L_{11} = 3\mu m$ $W_5 = W_7 = W_{11} = 30\mu m$

5.3 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

O amplificador foi simulado e construído com componentes discreto, isolado do resto do regulador, para medir suas características e compará-las com o resultado simulado.

A Resposta em freqüência simulada do circuito, considerando uma carga de 10pF e 10kΩ. é mostrada na figura 5.4.



Figura 5.4- Resposta em freqüência simulada do Amplificador Operacional de controle.

Observa-se o ganho de malha aberta, o pólo principal e o G_{BW} do circuito, através da simulação mostrada na figura 5.4

$$AV_0 = 101$$
dB $f_{pOA} = 40$ Hz $G_{BW} = 4,1$ MHz

Simulou-se o circuito na configuração da figura 5.5 [30] para estimar o *offset* do amplificador. Foi levado em conta o descasamento de componentes e variaões do processo. Mediu-se a diferença entre V_{OUT} e V_{REF}. O resultado foi:



Figura 5.5- Configuração para medida do offset do amplificador.

Simulou-se o *Slew Rate* do Operacional, utilizando o amplificador em malha aberta e a entrada inversora com tensão fixa de 1.5V. Aplicou-se um degrau de tensão com tempo de subida de 1ns e obteve-se a seguinte resposta.

$SR = 4 V/\mu s$

Com o circuito montado na configuração não-inversora e ganho unitário, mediu-se o G_{BW} do amplificador, utilizando o aparelho de medida HP4195A (*Network Analyzer*). O resultado é mostrado na figura 5.6:



 $G_{BWmedido} = 1,60MHz$

Figura 5.6- Registro da resposta em Freqüência do amplificador conectado com *Buffer*, indicando a medida do produto Ganho-Banda.

O resultado ficou abaixo do resultado simulado. O amplificador foi montado utilizando transistores discretos de fabricação anterior, na mesma tecnologia do projeto utilizado. Porém, cada *Pad* do circuito introduz uma capacitância parasita de 3pF ligada ao ponto de menor potencial do circuito, fazendo com que parasitas maiores que o esperado deteriorem a resposta.

Ainda nesta configuração, conectou-se a entrada não inversora e um potencial fixo (1.7V) que garante o funcionamento do Amplificador, para medir o *offset* de entrada. Mediu-se o valor de saída e a diferença entre elas é o *offset*. O resultado foi:

 $V_{OSmedido} = 3,2mV$

O valor do offset está dentro do estimado no resultado simulado.

Utilizando a montagem da figura 5.7, mediu-se a impedância de saída variando-se o potênciometro até que a tensão na saída (V_{OUT}) fosse metade da tensão V_2 .



Figura 5.7- Esquema de montagem para medida da impedância de saída

O *Driver* de saída foi projetado para fornecer mais corrente do que absorver. É de se esperar que haja assimetria na medida de impedância de saída. As medidas comprovam isso. Na figura 5.8, há o registro, no osciloscópio, da forma de onda de saída (V_{OUT}), com o potenciômetro no valor de 72 Ω . Nota-se que, para valores da tensão V₂ menor que V_{BIAS2}, a tensão de saída é metade da tensão de entrada. No outro semiciclo, os valores são praticamente os mesmos, o que indica que, neste meio ciclo, a impedância do *driver* de saída do Amplificador e muito maior que a resistência do potenciômetro. Assim sendo, os valores de impedância são:

 $R_{OUT medido, I+} = 72\Omega$ $R_{OUT medido, I-} = 1,3K\Omega$

Onde:

R_{OUT,I+}= Impedância de saída para fornecimento de corrente; R_{OUT,I+}= Impedância de saída para absorção de corrente;

Conforme previsto a impedância deve ser realmente muito baixa. E também deve ter banda de operação larga, para responder rápido aos impulsos de corrente de chaveamento. O estágio de saída proposto possui uma realimentação local, que limita a resposta em freqüência do bloco. No circuito discreto, isso ficou mais evidente, pois as capacitâncias parasitas no estágio de ganho eram maiores. De qualquer forma, o projeto do Estágio de Saída deve visar maior banda possível, além de atingir a corrente de saída especificada. Para isso, o *layout* deve visar minimizar a capacitância parasita em pontos de alta impedância do bloco.



Figura 5.8-Forma de onda da medida de impedância de saída do Amplificador Operacional.

Mediu-se o *Slew Rate* do Operacional, utilizando ainda o amplificador montado como na figura 5.5. Aplicou-se um degrau de tens e obteve-se a seguinte resposta, mostrada na figura 5.9.

$SR = 0,17 \text{ V/}\mu\text{s}$

A medida ficou abaixo do esperado. A explicação para este fato resulta da soma de três fatores: As capacitâncias parasitas existentes na saída do estágio amplificador diferencial, a capacitância parasita entre Gate-Dreno do segundo estágio amplificador e, por fim, a corrente fornecida por M13 limita a taxa de variação de corrente de Dreno de M8.



Figura 5.9- Medida efetuada, identificando as variações de tempo e tensão, utilizados para o cálculo do Slew Rate

Ainda foram feitas medidas de outras características do Amplificador Operacional, como *Settling Time* e Ruído do amplificador com a freqüência, mostrados nas figuras 5.10, 5.11 e 5.12.



Observa-se uma grande diferença entre os *Settling Time* para um degrau de subida e de descida. Isso devido ao Estágio de saída do amplificador ser um seguidor de emissor com a fonte de corrente modificada para diminuir a impedância de saída e aumentar a capacidade de fornecimento de corrente. A realimentação local, com capacitâncias parasitas devido a montagem discreta, provocam a resposta mostrada na figura 5.10. Já na figura 5.11, mostra-se uma típica resposta ao degrau, inclusive com *Settling Time* $t_s=3\mu s$.



Figura 5.12 – Figura de ruído do Amplificador operacional proposto

A forma da figura de ruído é típica para este tipo de circuito. Na faixa de freqüência até f=13Hz, predomina o ruído chamado 1/f. Após esse valor, torna-se aproximadamente constante, com alguns picos na freqüência da rede de energia elétrica e suas harmônicas impares, reflexo de indução através da montagem do amplificador discreto. A figura também mostra o ponto de rejeição máxima de –90dBm, que resulta num valor eficaz de ruído igual a:

$$V_{noise,OA} = 22\mu V_{RMS}$$

que é considerado alto para amplificadores integrados, mas dentro dos padrões para montagens protótipos em PCB, que é o caso.

Apesar do produto Ganho-Banda estar abaixo do esperado, o amplificador montado consegue ser utilizado fazendo parte do circuito de controle do regulador de tensão, pois, mesmo com a diminuição do G_{BW}, seu segundo pólo continua distante dos pólos principais do regulador malha fechada, não influenciando em sua resposta. Apesar disso, o estreitamento de sua banda de freqüência diminui uma possível diminuição do *ripple* do *Charge Pump* deslocador de nível, já que a freqüência de operação do CP é superior à freqüência limite do amplificador.

Para a versão integrada, o layout do amplificador isolado foi fabricado, e mostrado na figura 5.13.



Figura 5.13- *Layout* do Amplificador Operacional de Controle. Junto a ele estão também o capacitor (C_c) e o resistor (R_c) de controle do regulador de tensão, determinados no capítulo 3.

CAPÍTULO 6 FONTE DE REFERÊNCIA

Um dos pontos importantes para a obtenção de um bom regulador de tensão é possuir uma boa fonte de referência. A mais significativa característica de uma Referência de tensão com boa estabilidade térmica. Então será enfocada uma fonte de referência estável termicamente.

As fontes de referências mais comuns baseiam-se na combinação da variação negativa com a temperatura da tensão de junção Base-Emissor em um transistor bipolar com a variação positiva com a temperatura da diferença entre dois valores de tensão Base-Emissor de transistores bipolares, operando com diferentes densidades de corrente. Isto é mais facilmente visto na figura 6.1.



0 T1 INTERVALO DE T2 TEMPERATURA (K)

Figura 6.1- Gráfico que ilustra as relações entre Vbe e ∆Vbe com a temperatura. Também mostra a combinação delas formando uma tensão quase independente da temperatura, no trecho de temperatura de interesse.

A combinação entre essas duas grandezas compensa o efeito de dependência com a temperatura, como mostrado na figura 6.1 (cabe enfatizar que não ocorre o cancelamento total da dependência com a temperatura, permanencendo a dependência de efeitos secundários, que são importantes quando consideramos referências de alta precisão, com variação menor que 0,5% dentro do intervalo de interesse).

$$V_{OUT} = V_{BE} + K \cdot \Delta V_{BE} = V_{GO} - \alpha T + K \cdot \gamma T$$

Se α =K. γ , então

$$V_{OUT} = V_{GO} \tag{6.3}$$

Sendo V_{GO} uma propriedade física do silício denominada "Tensão de Bandgap" [3].

Existem várias estruturas para fontes de referências utilizando a tensão de *Bandgap* [3],[32] a [35]. Porém, em fabricação de circuito utilizando tecnologia CMOS *Standard*, com substrato tipo P, uma forma de produzir transistores bipolares na tecnologia existente é através do transistor parasita PNP existente na tecnologia (o transistores PNP vertical), com o coletor conectado ao substrato. A seqüência simplificada de camadas é mostrada na figura 6.2.



Figura 6.2- Esquema simplificado de um transistor bipolar PNP construído em tecnologia CMOS *Standard* [31]

Este dispositivo tem como característica possuir um baixo β , aproximadamente 10 para a tecnologia utilizada. As estruturas em que um baixo ganho de corrente ocasiona em um grande erro devem ser, portanto, descartadas.

Uma estrutura simples que pode ser fabricada neste processo é a mostrada na figura 6.3. É uma variação do circuito apresentado em [35], que foi produzido em substrato tipo N e não tipo P, como a tecnologia utilizada neste projeto.





A tensão de saída é dada pela eq. (6.4):

$$V_{OUT} = V_{BE,Q2} + \frac{\Delta V_{BE}}{R1} (R1 + R2) + V_{erro} \frac{(R1 + R2)}{R1}$$
(6.4)

$$V_{erro} = \frac{V_{OUT}}{A_1} + V_{offset}$$
(6.5)

$$\Delta V_{BE} = V_T . \ln N \tag{6.6}$$

Para minimizar o erro da tensão de saída, a condição (6.7) deve ser satisfeita:

$$\Delta V_{BE} >> V_{erro} \tag{6.7}$$

A condição (6.7) é importante para garantir a dependência da tensão de referência apenas com $V_{BE} e \Delta VBE e$ não com outros fatores. É suficiente a condição (6.8):

$$\frac{V_{erro}}{\Delta V_{BE}} . 100 < 0.5\%$$
(6.8)

Foi então escolhido N=16. E para temperatura ambiente (T=300K), tem-se que:

$$\Delta V_{BE} = 26.10^{-3} . ln 16 \qquad \Rightarrow \Delta V_{BE} = 72 \text{mV}$$
$$V_{erro} < 0.005.72.10^{-3} \qquad \Rightarrow V_{erro} < 0.36 \text{mV}$$

O erro na tensão de saída deve ser basicamente devido a variação de temperatura. Assim, admitindo que 10% do erro seja devido a tensão de *offset* do Amplificador operacional do circuito, temos:

$$\therefore \frac{V_{GO}}{A_1} < 0.1.V_{erro} \qquad \Rightarrow A_1 > 35000 \qquad \Rightarrow A_1 > 90.8 dB$$

Um comprometimento entre Área dos resistores R2 e o consumo de corrente resultou em uma corrente de polarização de I_{pol} =20µA. A partir disso, e das informações dos valores de V_{BE} 's

típicos de transistores bipolares na tecnologia utilizada, obtém-se os valores dos resistores R1, R2 e R3.

$$V_{BE}\Big|_{@10uA} = 660 \text{mV}$$

$$V_{BEQ1}\Big|_{@20uA} = 660.10^{-3} + 26.10^{-3} \ln 2 = 678 \text{mV}$$

$$V_{BEQ2}\Big|_{@20uA} = 660.10^{-3} + 26.10^{-3} \ln 2 - 26.10^{-3} \ln 16 = 605 \text{mV}$$

$$R_{1} = \frac{\Delta V_{BE}}{I_{pol}} = \frac{72.10^{-3}}{20.10^{-6}} \implies R_{1} = 3,6 \text{K}\Omega$$

$$R_2 = \frac{V_{GO} - V_{BEQ1}}{I_{pol}} \implies R_2 = 27200\Omega$$

6.1- CÁLCULO DO AMPLIFICADOR OPERACIONAL

As especificações do Amp. Op, segundo determinado anteriormente, são:

- V_{DD}=1,8V
- A>90,8dB
- I_{out,min}=40µA

- Consumo mínimo
- G_{BW}= sem especificação

Para essas especificações, a estrutura da figura 6.4 é suficiente.



Figura 6.4- Esquema elétrico do AMP OP utilizado na fonte de referência

O resistor é utilizado como elemento de polarização porque a coluna de transistores somente inicia a condução quando a tensão de alimentação ultrapassa as tensões limiares de condução. Nesse período, o circuito fica sem referência de tensão. Já com o resistor, à medida que a tensão de alimentação aumenta, a referência já estabiliza-se, melhorando o tempo de estabilização do circuito ao ligar o regulador.

Escolhido para minimizar o consumo I_{min}=5µA.

Escolheu-se 250 e 300 para os ganhos de primeiro e segundo estágios, respectivamente.

Então o ganho do primeiro estágio fica (6.9):

$$Av = \frac{2}{(\lambda_N + \lambda_P) \cdot (V_{GSM2} - V_T)}$$

$$250 = \frac{2}{(0,023 + 0,033) \cdot (V_{GSM2} - V_T)} \qquad \Rightarrow (V_{GSM2} - V_T) = 0,102V$$
(6.9)

Na saturação, a equação que rege o comportamento do transistor é:

$$I_{DM2} = \mu C_{0X} \cdot \frac{W}{L} \cdot (V_{GSM2} - V_T)^2$$

$$(6.10)$$

$$2.5 = 20 \cdot \frac{W}{L} \cdot (0.102)^2 \Rightarrow \frac{W}{L} = 12.01 \qquad L_{M2} = L_{M1} = 2\mu m \quad W_{M2} = W_{M1} = 24\mu m$$

Ganho do segundo Estágio:

$$450 = \frac{2}{(0,023+0,033) \cdot (V_{GSM5} - V_T)} \implies (V_{GSM5} - V_T) = 0,08V$$

$$5 = 60 \cdot \frac{W}{L} \cdot (0,08)^2 \implies \frac{W}{L} = 13,02 \qquad L_{M5} = 4\mu m \quad W_{M5} = 52\mu m$$

Cálculo do transistor do estágio seguido de source (6.11):

$$V_{GSM6} < V_{GO} - V_{DSM5sat} \tag{6.11}$$

Se a condição expressa em (6.11) não for satisfeita, o transistor de ganho do segundo estágio entra na região linear.

$$V_{GS} < 1,256 - 0,3 \implies V_{GS} < 0,95V$$

$$10 = 20 \frac{W}{L} (0,95 - 0,9)^2 \implies \frac{W}{L} = 200 \quad W_{M6} = 120 \mu m$$

$$L_{M6} = 0,6 \mu m$$

Av_{Total}=250.300=75000 Av_{Total}=97dB

6.2-RESULTADOS DE SIMULAÇÕES.

Foi simulada a Fonte de Referência projetada no item 6.1 variando-se a temperatura, obtendo o resultado mostrado na figura 6.5.



Figura 6.5- Resultado de simulação referente a variação da tensão de referência do regulador, em função da temperatura

O protótipo foi desenhado, cuja estrutura é mostrada na figura 6.6.

Como o circuito não retornou da etapa de fabricação, a caracterização com a temperatura fica sem sentido, porque não serão utilizados os transistores existentes na tecnologia AMS $0.6\mu m$, o que resulta em variações de V_{BE}, que alteram a relação dos transistores. Então o circuito medido torna-se totalmente diferente do projetado. Assim sendo limitou-se a apresentar os resultados simulados.



Figura 6.6- Layout do circuito fonte de referência projetado

CAPÍTULO 7 FONTE DE ALIMENTAÇÃO

Para o circuito regulador funcionar corretamente, seus blocos básicos devem operar segundo o projetado para qualquer valor de faixa de tensão de entrada. Porém, os limites da tecnologia impedem que a maioria dos elementos do circuito ultrapassem a tensão de 5,5V. Segundo as especificações da tecnologia, somente os componentes listados na tabela 7.1 têm condições de operar dentro de toda a faixa de tensão de entrada do regulador [36].

NMOSH (LDDNMOS)	até 18V (somente o terminal Dreno)	
Rpoly	até 50V nos terminais	
Rpolyh	até 50V nos terminais	
Cpoly1-poly2	Até 50V nos terminais (mas 5V entre eles)	

Tabela 7.1 – Limites de tensão para componentes na tecnologia AMS 0,6µm

Por isso, foi necessário um circuito que limitasse a tensão de entrada para uma faixa dentro das especificações dos elementos da estrutura .

De acordo com o conjunto limitado de elementos listados na tabela 7.1, a estrutura escolhida é a indicada na figura 7.1



Figura 7.1-Esquema elétrico da fonte de alimentação pré-regulada.

Com V_{IN} variando entre 3,3V e 18V, $V_{GS,M3}$ = $V_{GS,M4}$ = $V_{GS,M5}$ = V_{GS} e com M3, M4, M5 iguais.

Nessas condições,

$$V_1 = V_{IN} - R_1 . i_1 \tag{7.1}$$

$$V_{IN} - R_1 \cdot i_1 = V_{BEQ1} + 3 \cdot V_{GS} \tag{7.2}$$

$$V_{BEQ1} = V_{T_{BIP}} \cdot ln\left(\frac{i_1}{ls}\right)$$
(7.3)

$$V_{GS} = V_{TO_{MOS}} + \sqrt{\frac{2.i_{bQ_1}}{\beta.\mu.C_{ox}} \cdot \frac{L}{W}}$$
(7.4)

Então :

$$V_{IN} - R_1 \cdot i_1 = V_{T_{BIP}} \cdot ln\left(\frac{i_1}{ls}\right) + 3 \cdot V_{TO_{MOS}} + 3 \sqrt{\frac{2 \cdot i_{bQ_1}}{\beta \cdot \mu \cdot C_{ox}} \cdot \frac{L}{W}}$$
(7.5)

com (7.1) e (7.5), através de análise gráfica (utilizando MATLAB, com parâmetros Is= 10^{-16} A, V_{T,BIP}=26mV (@ T=300K), V_{T0,MOS}=0,8V e K1= 10^{-2} A/V² – valores médios para a tecnologia utilizada), conclui-se que V1 possui o seguinte comportamento, mostrado na figura 7.2.



Figura 7.2 – Comportamento da tensão V1 em relação a tensão de entrada Vin

Ajustando as dimensões dos NMOS, pode-se fazer com que as variações de V_{GS} desses transistores sejam pequenas para a gama de valores de corrente necessários a fornecer. Pode-se considerar então V_{GS} constante e então V_{OUT} também terá o mesmo formato da figura 7.2.

Analisando o transistor NMOS e a equação (7.6), observa-se que, para um V_{Gate} =3,0V, a tensão obtida na saída é aproximadamente 1,8V, tendo então um V_T =1,25V. É devido a essa característica que o CP de Rout=3,1K Ω foi utilizado. Essa tensão é muito pequena para alimentar todos os subsistemas do circuito e gerar a tensão de *GATE* necessária para o transistor de saída do regulador operar na condição *Low Dropout*. Optou-se, então, por utilizar um circuito dobrador de tensão para alimentar esses subsistemas, cuja tensão de saída seja 3V. E a saída da fonte de alimentação em 1,7V é o limite para que o CP, na configuração escolhida, funcione com baixo *ripple* e capacitâncias integráveis.

$$V_{T} = V_{T0} + \gamma \left(\sqrt{2 \cdot |\Phi f| + V_{SB}} - \sqrt{2 \cdot |\Phi f|} \right)$$
(7.6)

Portanto, para V_{DD} =3,3V V1 \cong 3,0V e Δ V=0,3V

Como a variação de V1 é pequena, comparada a V_{IN} , e que V_{DD} varia linearmente e V1 logaritmicamente, então:

$$V_{DD}$$
=18V e V1 \cong 3,0V $\rightarrow \Delta$ V=15V

... aumento de corrente=15/0,3=50 vezes

Para determinar a variação de tensão de V1 em toda a faixa de tensão de entrada, devido a variação de V_{BE} do transistor bipolar, utiliza-se a expressão abaixo:

$$\Delta V_1|_{V_{BE}} = V_{T_{bip}} \cdot ln\left(\frac{l_1'}{l_1}\right)$$
$$ln\left(\frac{l_1'}{l_1}\right) = ln(50) = 3,91 \qquad \Rightarrow \Delta V1|_{V_{BE}} = 26.10^{-3}.3,91 \approx 101,7 \, \text{mV}$$

A variação da tensão total, devido a variação dos transistores PMOS ligados como é mostrada em (7.7):

$$\frac{I}{I_1} = \frac{(V_{GS} - V_T)^2}{(V_{GS_1} - V_T)^2}$$
(7.7)

Aproximando o β do transistor bipolar como constante e igual a 13 (valor médio) para toda faixa de corrente:

$$50 = \frac{(V_{GS} - V_T)^2}{(V_{GS_1} - V_T)^2} \implies V_{GS} = V_T + 7,07.(V_{GS_1} - V_T)$$

Como são três transistores,

$$\therefore \Delta V = 10^{-7} + 21,21(V_{GS1} - V_T)$$

$$V2 = 3.V_T + 21,21(V_{GS1} - V_T)$$
(7.8)

As variações de V2 são sentidas nas tensões de saídas da fonte pré-regulada. Se houver uma variação muito grande dessa faixa de tensão, o resultado é um estreitamento da faixa de operação de controle de AMP OP. Isso devido a tensão do deslocador de nível, que é diretamente proporcional a tensão de saída em questão, aumentar da mesma forma que V2. A máxima variação permitida, então, é:

ΔV_{MAX} =600mV

Para dimensionar o transistor, então deve-se achar o V_{GS} - V_T dos transistores PMOS:

$$0,6 = 0,1 + 21,21 (V_{\rm GS} - V_T) \implies (V_{\rm GS} - V_T) = 0,03V$$

Determinando I_R =10µA, tem-se I_{PMOS} =1µA, então:

$$W_{M3} = W_{M4} = W_{M5} = 40 \mu m$$

 $L_{M3} = L_{M4} = L_{M5} = 2 \mu m$

De (7.8) e, sabendo que V1=3V tem-se que:

$$V_{beQ1} = 600mV$$

Portanto, um transistor PNP lateral de dimensões 15µm x 15µm é suficiente para o circuito.

Se I_R=10 μ A para Vin=3,3V, temos R=30k Ω . E, quando Vin = 18V, V_R=15V e I_R=500 μ A.

É necessário que o regulador forneça até 500 μ A, com V_{SB}=1,8V. Como neste caso, V_T=1,25V e V_G=V1=3V, temos:

 $(V_{GS} - V_T)_{min} = 0,1V$

Durante o processo de simulação, foi constatado que, devido aos elementos chaveados, os picos de corrente são altos, provocando uma variação muito grande na tensão de saída do transistor. Para diminuir as variações, foram utilizados dois transistores, cada um alimentando parte dos subsistemas. A conexão dos blocos com os transistores de alimentação está mostrada na figura 9.1, capítulo 9.

Estimando o consumo dos blocos, conclui-se que o transistor M1 deve fornecer até I_{out} =350µA, enquanto M2 deve fornecer I_{out1} =150µA. Então suas dimensões são:

W_{M1}=1800μm L_{M1}=3μm W_{M2}=600μm L_{M2}=3μm

7.1- RESULTADOS SIMULADOS E EXPERIMENTAIS

As simulações visam conferir se, com as dimensões projetadas, os transistores fornecem a corrente especificada, com a tensão dentro do esperado. Simulou-se, então o circuito da figura 7.1, colocando resistores de $11K\Omega$ e $4,7K\Omega$, respectivamente nas saídas V_{OUT} e V_{OUT1}. A condição em que o circuito foi simulado foi a crítica, com a tensão mínima de entrada de 3,3V.

Os resultados simulados foram:

$$V_{OUT} = 1,71V$$
 $I_{OUT} = 156\mu A$

 $V_{OUT1} = 1,72V$ $I_{OUT1} = 360\mu A$

Foi simulada a variação da tensão de saída V_{OUT} e V_{OUT1} para a tensão de entrada entre 3,3V e 15V, obtendo o resultado mostrado na figura 7.3. Este resultado confere com o modelamento teórico feito.



Figura 7.3- Gráfico da variação das tensões de saída V_{OUT} e V_{OUT1} da fonte pré reguladora devido a variação da tensão de entrada do regulador de tensão.

Observa-se que as curvas da figura 7.3 se assemelham à curva teórica mostrada na figura 7.2.

Para montar o circuito utilizando componentes discretos, utilizou-se parte do transistor de potência utilizado no Estágio de Saída. Com isso, reproduziram-se as dimensões do transistor LDDMOS. Resistores externos foram utilizados. Porém o que gerou maior diferença nas medidas foi o transistor PNP, que possuía o parâmetro β muito maior que o do transistor da tecnologia.

Então, conectaram-se os resistores de carga acima descritos; mediu-se a tensão e a corrente de saída, que foram:

$$V_{OUT} = 1,57V$$
 $I_{OUT} = 140\mu A$
 $V_{OUT1} = 1,56V$ $I_{OUT1} = 326\mu A$

As correntes estão próximas às projetadas. Já as tensões, apresentaram uma diferença devida provavelmente à variação de V_T . Isto indica que este circuito não pode operar em condições restritas de tensão, pois pode sair da faixa de tensão especificada.

Foi medida a variação da tensão de saída V_{OUT} e V_{OUT1} para a tensão de entrada entre 3,3V e 10V, obtendo o resultado mostrado na figura 7.4, com as resistências ainda conectadas.



Figura 7.4- Resposta estática da variação das saídas com a variação de entrada

Observou-se que a variação estática das tensões de saída com a entrada são menores que o resultado de simulação. A causa provável é a variação do parâmetro Beta (β) do transistor bipolar. O transistor PNP utilizado provavelmente tem este parâmetro maior que do transistor vertical disponível na tecnologia. Isto faz com que maiores variações de corrente de coletor ocorram com variações menores de corrente de base. Então, há uma menor variação dos valores de V_{GS} dos transistores MOS e a tensão torna-se mais próxima de uma constante.

Os resultados obtidos mostram que, na região *Low Drop* a tensão de saída da fonte de alimentação ficou abaixo dos 1,7V especificados. Isso prejudica o fornecimento de corrente do *Charge Pump* Auxiliar, pois essa tensão afeta diretamente os V_{GS} das chaves do circuito, Isto faz a resposta a transientes do CP tornar-se mais lenta, tornando também mais lenta a resposta do regulador. Apesar disso, 1,58V ainda é suficiente para elevar a tensão de *GATE* do transistor de saída até 5,5V, necessário para garantir o fornecimento de corrente especificado para o regulador.

Apesar do circuito não ter retornado da fabricação, o layout foi desenhado e é mostrado na figura 7.5.



Figura 7.5-Layout da fonte de alimentação projetada
CAPÍTULO 8 GERADOR DE ONDA QUADRADA

Os *Charge Pumps* necessitam de uma forma de onda quadrada para poderem operar devidamente. Em um dos semiciclos é feita a carga dos capacitores *pump* e no próximo semiciclo, é feita a descarga para o capacitor de saída e a carga que está conectada à saída.

No caso dos *Charge Pumps* utilizados, são necessárias duas formas de onda quadrada, com fase invertidas, para alimentá-los. A forma de onda simplificada é mostrada na figura 8.1.



Figura 8.1-Formas de onda ideais para alimentar o Charge Pump da figura 5.4

Essa forma de onda teórica, porém, não representa a realidade. Formas de onda reais incluem os tempos de subida e descida. Quando estes dois parâmetros são considerados, as formas de onda da figura 8.1 já não determinam mais o comportamento ótimo para arquitetura do *Charge Pump* escolhido, mostrado na figura 8.2(A).

E não determinam porque a transição de V₁ e V₂, mostrada na figura 8.2(B), num certo momento, resulta numa diferença entre elas tal que conduza a chave M₄ antes de V₁ atingir um valor maior que V_{OUT}. Quando isso acontece, como na figura 8.2(C), há transferência de carga entre o capacitor de saída C_{store} e o capacitor *pump* C₂, de forma a carregar C₂, e não o oposto, que é o funcionamento normal do CP. Isso causa uma queda de tensão em V_{OUT} que deforma a forma de onda de saída.



Figura 8.2- (A) Circuito *Charge Pump* escolhido; (B) Formas de onda mostrando a condução de M4; (C) Cargas indo de C_{store} para C_2 .

Uma solução para este problema é utilizar formas de onda interdigitadas. Desta maneira, as ondas são formadas de modo que, para uma das chaves ser ligada, é necessário que as outras estejam desligadas. Assim, a forma de onda fica como na figura 8.3



Figura 8.3- Formas de onda interdigitadas que determinam um melhor funcionamento do Charge Pump

Para produzir estas formas de onda, optou-se pelo seguinte procedimento: Gerar um *clock* numa freqüência muito maior que a especificada. Depois, através de um contador assíncrono e uma

lógica combinacional, produzir as bordas sobrepostas. O *Clock* é produzido através de um oscilador em anel. E a função lógica booleana que rege a lógica combinacional são as equações (8.1) e (8.2).

$$V_{CLK} = A.(A+B+C) \tag{8.1}$$

$$V_{CLK NEG} = A.(A + B + C)$$
(8.2)

Se os dois estiverem com o chaveamento sincronizado, provocam um consumo mais alto de corrente, que provoca uma queda de tensão maior na fonte que os alimenta. Então, para diminuir esse consumo, as formas de onda do CP deslocador de nível e secundário foram defasadas de um quarto de ciclo, para que os picos de corrente não sejam coincidentes. Tomando as equações (8.1) e (8.2) como sendo as que regem a lógica combinacional do CP deslocador de nível são:

$$V_{CLK1} = \overline{A}.\overline{B} + A.B.C \tag{8.3}$$

$$V_{CLK \ NEG1} = A.\overline{B} + \overline{A}.B.C$$
(8.4)

Assim, o circuito de *clock* é representado conforme a figura 8.4



Figura 8.4-Esquemático do circuito gerador de ondas quadrada para alimentação dos *Charge Pumps*.

8.1 - RESULTADOS DE SIMULAÇÕES

O protótipo do regulador de tensão montado com componentes discretos não incluiu a montagem do *clock* anteriormente projetado. Devido às capacitâncias parasitas, ele operaria para freqüências abaixo daquela a ser utilizada. Foi utilizado um *clock* externo. De qualquer forma, os resultados simulados estão mostrados na figura 8.5



Figura 8.5- Resultados simulados do clock dos Charge Pumps

Os resultados simulados mostram as formas de onda interdigitadas, conforme projetado. Observa-se também a defasagem entre os sinais referentes ao CP Auxiliar e o CP deslocador de nível. Apesar de não estarem exatamente defasados de meio período, esta defasagem deve ser suficiente para diminuir o pico de corrente na fonte de alimentação pré-regulada. Os *glitches* existentes, por serem estreitos, não influenciam no bombeamento de carga.

CAPÍTULO 9 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS DO REGULADOR DE TENSÃO

9.1- INTEGRAÇÃO DO SISTEMA REGULADOR DE TENSÃO

Depois de obtidos os resultados de cada parte independente, os blocos foram conectados, formando o regulador de tensão, cujo esquema é mostrado na figura 9.1.



Figura 9.1- Esquema elétrico do regulador de tensão, mostrando as ligações entre os blocos projetados

Efetuadas as simulações do sistema, cujos resultados são mostradas no item 9.2, o circuito com componentes discretos foi montado e medido, cujos resultados estão também mostrados no ítem 9.2.

9.2-RESULTADOS DE SIMULAÇÕES E EXPERIMENTAIS

O regulador foi simulado com o objetivo de verificar o desempenho segundo as definições fornecidas no capítulo 2. Com o circuito montado com componentes discretos, foram também aplicadas as definições do capítulo 2 para verificar experimentalmente o desempenho, e para

comparar os resultados simulados com os obtidos através das medidas. Além disso, observar as eventuais discrepâncias entre os resultados.

9.2.1- TENSÃO DE DROPOUT

Com o circuito montado como na figura 9.2, ligou-se o circuito com uma tensão de entrada onde há garantia de funcionamento e diminui-se a entrada até a saída perder a sua característica de regulação. Os resultados simulado e medido estão mostrados na figura 9.3.



Figura 9.2- Esquema para simulação e medida da tensão de dropout



REGIÃO DE REGULAÇÃO

Figura 9.3- Curvas simulada e medida, obtendo a região de regulação do Regulador de Tensão

Obteve-se então a tensão de Dropout:

$$V_{dropout_{simulado}} = 0,15V$$

 $V_{dropout_{medido}} = 0,8V$

Portanto, não foi possível atingir a tensão de *Dropout* especificada. O *layout* da estrutura apresentou resistências parasitas além das expectativas, resultando numa resistência total maior do que a esperada. A melhoria no *layout* seria aumentar a largura das trilhas de metal para diminuir as resistências parasitas em série com o canal do transistor. Porém, isto aumenta a área do LDDMOS.

9.2.2- CORRENTE QUIESCENTE E EFICIÊNCIA

Na condição mostrada na figura 9.3, a tensão de entrada em 5V, simulou-se a corrente de entrada e saída do circuito. Mediu-se essas correntes nessas mesmas condições. A diferença entre elas corresponde a corrente quiescente do circuito:

 $I_{IN simulado} = 101,2$ mA $I_{OUT simulado} = 100,3$ mA

 $I_{q simulado} = 900 \mu A$

Com esses resultados, calculou-se o rendimento de corrente do regulador, cujo resultados é:

 $\eta_{curr,simulado} = 99,11\%$

Não foi possível medir a corrente total quiescente do circuito, devido a montagem com componentes discretos. No resultado simulado, no entanto, os resultados mostram um consumo aproximado de 1mA, que é aproximadamente igual aos disponíveis no mercado para a mesma faixa de corrente (REG101).Portanto, da mesma forma, não foi calculado o rendimento prático.

9.2.3- RESPOSTA A TRANSIENTES E REGULAÇÃO DE CARGA

Foram simuladas e medidas as seguintes condições:

- Carga puramente resistiva, variação de 0 a 100% da corrente nominal, para três tensões: 3,3V, 5V e 12V;
- Carga capacitiva, variação de 0 a 100% da corrente nominal, também para três tensões de entrada: 3,3V, 5V e 12V;

Os resultados simulados são mostrados nas figura 9.4 e 9.5, enquanto os resultados experimentais estão mostrados nas figuras 9.6 e 9.7.



FIGURA 9.4- Simulação da Resposta a Transientes do Regulador de Tensão, considerando diferentes valores ao longo da faixa de entrada e carga puramente resistiva.



FIGURA 9.5- Simulação da Resposta a Transientes do Regulador de Tensão, considerando diferentes valores ao longo da faixa de entrada e carga capacitiva.



FIGURA 9.6- Resposta a Transientes do Regulador de Tensão, medida com carga puramente resistiva. Medida com tensão de entrada Vin=4,0V. O canal M3 mostra a tensão sobre o resistor de Carga (30Ω). A escala equivalente em corrente é 66,6mA/div.



FIGURA 9.7- Resposta a Transientes do Regulador de Tensão, medida com carga resistiva e com o capacitor C=10nF. Medida com tensão de entrada Vin=4.0V. O canal M3 mostra a tensão sobre o resistor de Carga (30Ω). A escala equivalente em corrente é 66.6mA/div.

Observando as respostas a transientes de cargas das figuras 9.6 e 9.7, conclui-se que o comportamento obtido foi pior que o simulado. Isto porque não se conseguiu atingir a especificação de banda de freqüência, o que tornou a resposta do circuito mais lenta, mesmo

com a técnica de controle utilizada. Influenciou no resultado, também, a diferença entre a impedância de saída medida e a esperada pelo *Charge Pump* deslocador de nível, pois, como foi dito no Capítulo 4, a Resistência de saída do Deslocador de nível altera a resposta do sistema em malha aberta.

Além da resposta a transiente, também observaram-se os valores em regime, antes e depois da carga ligada, para verificar a regulação de carga. Calculando a regulação de carga, obtiveram-se os resultados:

$$\begin{split} \Delta V_{LDR\,simul.} \Big|_{VIN=3.3V} &= \frac{7.10^{-3}}{3} = 0,23\% \qquad \Delta V_{LDR\,med.} \Big|_{VIN=3.8V} = \frac{35.10^{-3}}{3} = 1,2\% \\ \Delta V_{LDR\,simul.} \Big|_{VIN=5V} &= \frac{10^{-3}}{3} = 0,03\% \qquad \Delta V_{LDR\,med.} \Big|_{VIN=5V} = \frac{25.10^{-3}}{3} = 0,83\% \\ \Delta V_{LDR\,simul.} \Big|_{VIN=12V} &= \frac{10^{-3}}{3} = 0,03\% \qquad \Delta V_{LDR\,med.} \Big|_{VIN=10V} = \frac{25.10^{-3}}{3} = 0,83\% \end{split}$$

Analisou-se também o nível de ruído produzido pelo regulador. Calculou-se o valor RMS do ruído de saída utilizando as formas de onda simuladas na figura 9.4 e 9.5. Utilizaram-se as medidas obtidas através do osciloscópio TEKTRONICS TDS460A como cálculo do valor RMS medido, mostrado na figura 9.8.

Foram obtidos os seguintes resultados .:

$$V_{noise simulado_{MAX.}} = 5,6mV_{RMS}$$

 $V_{noise medido} = 28,8mV_{RMS}$



FIGURA 9.8- Medida efetuada do ruído na tensão de saída do regulador, no pior caso (carga puramente resistiva e máxima)

A medida de ruído do circuito ficou acima do esperado. O valor RMS do *ripple* simulado está em 5,6mV_{RMS}, enquanto o valor medido é 28,8mV_{RMS}. Apesar disto, este resultado medido tem influência da montagem discreta. No circuito integrado, é difícil saber se haverá uma melhora ou uma piora no valor do ruído. Por um lado, o circuito apresenta montagem integrada que diminui os elementos parasitas. Por outro lado, o ruído pode chegar também pelo substrato ou induzido, devido à pequena distância entre os componentes.

9.2.4- RESPOSTA A TRANSIENTES DE LINHA

Apesar de não constar na definição dos parâmetros que medem o desempenho do regulador, a resposta a transientes de linha, que mede a influência da tensão de entrada na saída, é um interessante parâmetro de medida, e foi adicionado à análise. Simulou-se e mediu-se a resposta a transientes de linha em duas situações:

- Com carga resistiva, corrente nominal (100mA),
- Com carga capacitiva, corrente nominal (100mA),

Os resultados simulados estão mostrados na figura 9.9 e os resultados experimentais, nas figuras 9.10.



Figura 9.9- Gráfico da variação de tensão de saída devido a variação de tensão na entrada, para diferentes tipos de carga (puramente resistiva e capacitiva).

Encontrou-se uma variação da tensão média em regime, expressa por ΔV_L , cujo valor é:

 $\Delta V_{Lsimulado} = 10mV$

 $\Delta V_{Lmedido} = 25mV$

A resposta a transientes de linha ficou dentro do esperado, tanto para transientes de subida quanto de descida.



Figura 9.10- Gráfico da variação de tensão de saída devido a variação de tensão na entrada, para diferentes tipos de carga: (a) puramente resistiva e (b)resistiva e capacitiva.

9.2.5- REJEIÇÃO DE FONTE

Adicionou-se uma fonte de tensão senoidal à tensão de entrada, conforme mostrado na figura 9.11. Variou-se a freqüência de 50KHz a 1MHz e analisou-se o resultado , medindo a variação da tensão de saída. O resultado medido é mostrado na figura 9.12.



Figura 9.11-Montagem para medir a Rejeição de Fonte





O PSRR mostrou seu comportamento dentro do formato esperado, com uma pequena variação na região de menor rejeição, que é mais estreita na figura 9.12 do que na curva teórica, mostrada na figura 2.8. A freqüência de rejeição mínima é da mesma ordem de grandeza que a típica.

9.2.6-EXATIDÃO DA TENSÃO DE SAÍDA

Para simular esta característica, foram adicionadas ao circuitos fontes de tensão que representam o *offset* dos amplificadores e o regulador foram simulados nas temperaturas de 80°C, 40°C, 20°C, 0°C e -20°C. A tensão de entrada é 5V. O resultado é mostrado na figura 9.13.

VOUT [V] x TEMPERATURA [oC]



Figura 9.13- Variação da tensão de saída com a temperatura

Este resultado mostra uma variação média de 300ppm/°C, que é considerada ruim, mostrando que outros fatores além da fonte de referência influem no resultado.

Apesar dos testes de temperatura não terem sido realizados (os testes de temperatura devem ser feitos com o CI monolítico, porque há influência da energia dissipada pelo LDDMOS e do empacotamento na dissipação dessa energia) mediu-se a regulação do circuito, que se apresenta somente na temperatura ambiente (300K). O resultado está dentro da margem de 2% estipulada. É sabido, no entanto, que, adicionando a fonte de referência, sem ajuste das resistências, a variação seria maior que 2%.

Apesar dos resultados obtidos apresentarem algumas discrepâncias dos valores simulados, de uma forma geral, os resultados mostraram que a técnica de regulação de tensão funciona, a maioria dentro das especificações pedidas.

9.3 - *LAYOUT*

o *layout* do circuito foi desenhado e enviado para fabricação, na Austria Mikro Systeme (AMS), utilizando tecnologia 0,6μm. A figura 9.13 mostra o *layout* do sistema regulador completo.

No *layout* do regulador, foram seguidas as seguintes considerações, para melhorar o desempenho do sistema:

- Utilizaram-se vários terminais de entrada para entrada e saída do regulador. Isso diminui possíveis resistências parasitas em série diminuindo a tensão de *dropout* do regulador.
- Também os terminais de VSS foram separados, evitando que sinais analógicos e digitais usem a mesma linha dentro do CI. A conexão deles é feita externamente. Isso diminui a influência do ruído de chaveamento nos circuitos analógicos (como a fonte de referência e o amplificador de controle, por exemplo).



Figura 9.13- Layout do Regulador de tensão projetado

- O LDDMOS foi construído, utilizando a técnica de construção interdigitada [37], que diminui a área efetiva do elemento e diminui as capacitâncias parasitas.
- Os Resistores, tanto da Fonte de Referência quanto de realimentação, foram feitos usando a técnica de arranjo interdigitado centróide [37], que foi utilizado para obter um casamento satisfatório (melhor que 0,5%) entre eles.
- Os pares diferenciais dos Amplificadores Operacionais foram desenhados na configuração Cross-Quad [38] com a intenção de diminuir o offset devido ao descasamento entre os transistores dos pares.

Depois de desenhado, o *layout* do regulador passou pelas etapas de DRC (*Design Ruler Check*), que é a verificação de violação das Regras de Projeto fornecidas pela fábrica; e LVS (*Layout Versus Schematic*), onde é conferido se o *layout* contém os elementos nas dimensões corretas e com a conexões determinadas pelo esquemático.

Este procedimento resultou num circuito integrado com medidas 1066µm x 1556µm, resultando 1,650mm²de área, não incluindo os *pads*. Com os *pads* os valores são: 1554µm x 2044µm, resultando 3,176mm²de área total.

CONCLUSÕES

Neste trabalho foi descrito o desenvolvimento do projeto e a implementação de um circuito Regulador de Tensão com características *Low Dropout*. O circuito foi projetado em tecnologia CMOS 0.6μ m cux – AMS, para fornecer tensão regulada de 3V, ±2% e corrente até 100mA. Devido a atrasos na fabricação do circuito integrado, uma versão do circuito, usando componentes discretos, foi implementada, para que diversas caracterizações fossem feitas.

O circuito implementado apresenta as seguintes características:

- Tensão de saída nominal V_{OUT}=3,008V
- Corrente de saída nominal I_{OUT}=100mA
- V_{DROPOUT}=0,8V
- Exatidão da tensão de saída: ± 25mV (± 0,83%)
- Máxima variação de tensão em resposta a transientes: ± 500mV

Deste trabalho, podem ser apresentados os seguintes aspectos positivos: O circuito projetado funcionou corretamente, de acordo com os parâmetros medidos, apesar do circuito ter sido montado com componentes discretos e de alguns pontos que determinam o desempenho do circuito ficaram abaixo do esperado. A piora no desempenho foi justificada pelos elementos adicionados pela montagem discreta, não invalidando a proposição apresentada. Deve-se ressaltar, também, o processo de aprendizado dentro da área de projeto de circuitos analógicos, que envolve conhecimento e aplicação das técnicas de projeto e metodologia, familiaridade com as ferramentas de projeto disponíveis, familiarização com equipamentos de medidas e métodos de medição.

Todo o projeto foi desenvolvido em ambiente de projeto integrado Mentor Graphics

Embora as principais metas tenham sido atingidas ou justificadas pela montagem do projeto, existem alguns pontos que podem ser analisados para melhorar ainda mais seu desempenho. Características como a integração do *clocks* dos *Charge Pumps* e análise de seu impacto sobre o resto do circuito, modificações de *layout* para diminuir a resistência em série com o canal do LDDMOS e a inclusão de circuitos de proteção contra sobrecorrente.

Dentro do projeto do Regulador de tensão *Low Drop*, que constitui o alvo deste trabalho, mesmo com as limitações descritas anteriormente, pode-se considerar que as metas foram cumpridas.

REFERÊNCIAS

[1] Kungelstadt, Tom; *Fundamental Theory of PMOS Low-Dropout Voltage Regulators;* Texas Instruments Application Report SLVA068;

[2] Lee, Bang S.; *Understanding the Terms and Definitions of LDO Voltage Regulator*; Texas Instruments Application Report SLVA079; Outubro de 1999

[3] Widlar, Robert J.; *New Developmnets in IC Voltage Regulators*; IEEE Journal of Solid State Circuits, Vol. SC-6, Fevereiro de 1971, pp. 2-7

[4] Gray, P.R.; Meyer R.G.; *Analysis and Design of Analog Integrated Circuits*, Terceira Edição, Editora John Wiley and Sons, Capítulo 3 pág. 213

[5] Gray, P.R.; Meyer R.G.; *Analysis and Design of Analog Integrated Circuits*, Terceira Edição, Editora John Wiley and Sons, Capítulo 8 pp. 540-543

[6] *LM78XX Series Voltage Regulator Data Sheet*, National Semiconductors, Maio de 2000; pp.1-8

[7] REF-101 Precision Voltage Reference Data Sheet, Analog Devices, Rev. B, pp. 1-7

[8] King, Brian M.; *Advantages of using PMOS-type low-dropout linear regulators in battery applications*; Texas Instruments Application Report slyt018; Agosto de 2000, pp16-21

[9] Heisley, D. and Wank B.; *DMOS delivers dramatic performance gains to LDO regulators*, EDN Magazine, 22 de junho de 2000

[10] L4955 Data sheet, ST Microelectornics, Fevereiro de 1999, pág. 2

[11] den Besten, G. W. e Nauta, B.; *Embedded 5V-to-3.3V Voltage Regulator for supplying Digital IC's in 3.3V Cmos Technology*; IEEE Journal of Solid-State Circuits, vol. 33, № 7, julho de 1998, pp.956-962

[12] Larson, T; Resiley D.A; Stitt, M.; Burt R. T.; *Low Drop Voltage Regulator Circuit Including Gate Offset Servo Circuito Powered By Charge Pump*; US Patent num. US 6,188,212 B1; 28 de Abril de 2000

[13] *0.6um CMOS Design Rules*, Austria Mikro Systeme AG, Company Confidential Document, Documento Nº9931025 pág 29

[14] Gregorian, R.; Temes, G.C.; *Analog MOS Integrated Circuits for Signal Processing*; Primeira Edição, 1986; John Wiley and Sons Inc., pág 77

[15] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 6, pág. 126

[16]Franklin G.F.; Powell, J.D.; Emami-Naemi, A; *Feedback Control of Dynamic Systems*, Segunda Edição, Addison Wesley Publishing Company, pág. 75

[17] *0.6um CMOS CUP Process Parameters*, AMS Company Confidential Document, documento N²9933011, outubro de 1998, pág. 40

[18] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 11, pág. 596

[19] REG103 Data Sheet; BURR-BROWN, Maio de 2000, pág. 6

[20] Franklin G.F.; Powell, J.D.; Emami-Naemi, A; *Feedback Control of Dynamic Systems*, Segunda Edição, Addison Wesley Publishing Company, pág. 77

[21] Dickson, J.F.; On Chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique; IEEE Journal of Solid States Circuits, vol.11 № 3, junho de 1976, pp.374-378

[22] Nakagome, Y.; Tanaka, H.; *et all*; *An experimental 1.5V 64-Mb DRAM*; IEEE Journal of Solid States Circuits, vol.26 N^o 4, abril de 1991, pp.465-472

[23] Shin, J.; Chung, I.; Park Y. J.; Min, H.S.; *A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect*; IEEE Journal of Solid States Circuits, vol.35 № 8, agosto de 2000, pp.1227-1230

[24] WU, J., Chang, K.; *MOS Charge Pumps for Low-Voltage Operation*; IEEE Journal of Solid States Circuits, vol.33 N^o 4, abril de 1998, pp.592-597

[25] Wang, C.; Wu, J.; *Efficient Improvement in Charge Pump Circuits*; IEEE Journal of Solid States Circuits, vol.32 N^o 6, Junho de 1997, pp.852-860

[26] Lauterbach, C. Weber, W.; Römer, D.; *Charge Sharing Concept and New Clocking Scheme for Power Efficiency and Electromagnetic Emission Improvement of Boosted Charge Pumps*; IEEE Journal of Solid States Circuits, vol.35 N^o 5, Maio de 2000, pp.719-723

[27] Favrat, P.; Deval, P.; Declerq, M.J.; *A High-Efficiency CMOS Voltage Doubler*; IEEE Journal of Solid State Circuits, vol.33 N² 3, março de 1998, pp.410-416

[28] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 6, pág. 307

[29] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 8, pág. 387

[30] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 8, pág. 428

[31] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 2, pág. 67

[32] A.P. Brokaw. *"A simple three-terminal IC bandgap reference.*" IEEE Journal of Solid State Circuits vol. 9 . N^o 6; Dezembro de1974 ;pp.388-393.

[33] LM113 Reference Diode Data Sheet, National Semiconductors, Dezembro de 1994; pp.1-4.

[34] *LM185 Micropower Voltage Reference Diode Data Sheet*, National Semiconductors, Janeiro de 2000; pp.1-10.

[35] Ye,R. Tsividis, Y., *Bandgap Voltage Reference Sources in CMOS Technology*, Electronic Letters, vol. 18, N^o. 1, 7 de Janeiro de 1982, pág. 24.

[36] *0.6um CMOS CUP Process Parameters*, AMS Company Confidential Document, documento N^o9933011, Outubro de 1998, pág. 6

[37] Ismail, Mohammed; Fiez, Terri, *Analog VLSI: Signal and Information Processing*; McGraw-Hill University Division Press, Primeira Edição (Março de 1994), Capítulo 16, pág. 699-719.

[38] Allen, P. E; Holberg, D.R.; *CMOS Analog Circuit Design*; Oxford University Press, Capítulo 7, pág. 332

[39] Rincon-Mora and Allen, *Low Voltage, Low Quiescent Current, Low Drop-Out Regulator*, IEEE Journal of Solid State Circuits vol. 33 . N° 1; Janeiro de1998 ;pp.36-44.

[40] Jorge, Alberto Martins; *Física e modelos de componentes bipolares*, Editora da UNICAMP, 1999

[41] Tsividis, Y., *Operation and Modeling of The MOS Transistor*, Editora McGraw-Hill, Segunda edição (1999), pp. 406-410