

SINCRONIZAÇÃO DE SINAIS PLESIOCRONOS
PELO MÉTODO DE JUSTIFICAÇÃO POSITIVA
EM SISTEMA MCP-120

HÉLIO JOSÉ MALAVAZZI FILHO
Orientador - REGE ROMEU SCARABUCCI

Tese apresentada à Faculdade
de Engenharia de Campinas -
UNICAMP - como parte dos re-
quisitos necessários para ob-
tenção do título de MESTRE
EM CIÊNCIAS.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA/ELETRÔNICA
JULHO DE 1977

UNICAMP
BIBLIOTECA CENTRAL

A quem durante estes anos
me deu força e compreensão para que
este trabalho chegasse ao fim ...

... Márcia e Sara

ÍNDICE

SUMÁRIO

CAPÍTULO I - INTRODUÇÃO

CAPÍTULO II - INTRODUÇÃO AO SISTEMA 8Mbit/s

- II.1 - Introdução
- II.2 - Formato de Quadro do Sistema 8Mbit/s
 - II.2.1 - Justificação Positiva
 - II.2.2 - Justificação Negativa
 - II.2.3 - Justificação Positiva-Negativa
- II.3 - Estrutura do Quadro
- II.4 - Descrição Geral do Sistema MCP-120
 - II.4.1 - Unidade Transmissora
 - II.4.2 - Unidade Receptora

CAPÍTULO III - PROCESSO DE JUSTIFICAÇÃO

- III.1 - Introdução
 - III.1.1 - Sincronizador
 - III.2.1 - Recuperador de Sinal
- III.2 - Ondas de Controle
- III.3 - Detalhamento do Circuito de Justificação
 - III.3.1 - Armazenagem de Dados na Memória
 - III.3.2 - Comparador de Fase
 - III.3.3 - Mecanismo de Justificação
- III.4 - Recuperador de Sinal
 - III.4.1 - Mecanismo de Retirada da Justificação
- III.5 - Resultados Obtidos

CAPÍTULO IV - JITTER DE TEMPO DE ESPERA

- IV.1 - Introdução
- IV.2 - Origem do Jitter de Tempo de Espera
- IV.3 - Obtenção do Espectro de Potência
- IV.4 - Jitter de Tempo de Espera no Recuperador de Canal
 - IV.4.1 - Amplitude do Jitter de Tempo de Espera
- IV.5 - Considerações Gerais e Análises

SINCRONIZAÇÃO DE SINAIS PLESIOCRONOS
PELO MÉTODO DE JUSTIFICAÇÃO POSITIVA
EM SISTEMA MCP-120

HÉLIO JOSÉ MALAVAZZI FILHO
Orientador - REGE ROMEU SCARABUCCI

Tese apresentada à Faculdade
de Engenharia de Campinas -
UNICAMP - como parte dos re-
quisitos necessários para ob-
tenção do título de MESTRE
EM CIÊNCIAS.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA/ELETRÔNICA
JULHO DE 1977

UNICAMP
BIBLIOTECA CENTRAL

A quem durante estes anos
me deu força e compreensão para que
este trabalho chegasse ao fim ...

... Márcia e Sara

Agradecimentos

ao meu orientador, Dr. Rege R. Scarabucci,
pela oportunidade e apoio;

ao Engº Antonio J. Quitério, pelo auxílio
prestado na realização das medidas práticas;

ao Engº Reginaldo Palazzo Jr. e FFE Owen-
ITU Senior Expert, pelas discussões de grande valia;

a Maria Júlia Dini, pelos trabalhos de da
tilografia;

a Maria Ângela Sigríst, pelos trabalhos de
desenho.

CAPÍTULO V - REDUÇÃO DE JITTER NO SISTEMA MCP DE 2ª ORDEM

V.1 - Introdução

V.2 - O Comparador de Fase

V.3 - Escolha da Combinação Ótima

V.3.1 - Idéia Prática para Medidas de Pico de Jitter
de Tempo de Espera

V.4 - Aceitação de Jitter para Sistema 8Mbit/s

V.4.1 - Introdução

V.4.2 - Método Prático de Medida para Aceitação de Jitter

V.4.3 - Aceitação de Jitter

CAPÍTULO VI - CONCLUSÕES

APÊNDICE A - IMPLEMENTAÇÃO COMPACTA DA TÉCNICA DE JUSTIFICAÇÃO

A.1 - Introdução

A.2 - Desempenho

APÊNDICE B - PHASE LOCKED LOOP (P.L.L.)

REFERÊNCIAS BIBLIOGRÁFICAS

SUMÁRIO

Um sistema MCP-120 é um sistema de transmissão digital onde são multiplexados quatro sinais provenientes de sistema MCP de 1^a ordem (30 canais telefônicos por sistema).

Neste trabalho é feito o projeto e a construção de um circuito que emprega a técnica de justificação positiva necessária para sincronizar os quatro sistemas MCP de 1^a ordem, para posterior multiplexagem.

A técnica de justificação positiva introduz, porém, um jitter de baixa frequência (conhecido por Jitter de Tempo de Espera) que pode afetar o sinal recuperado após a operação de demultiplexagem. Neste trabalho trata-se da minimização dos efeitos deste jitter de baixa frequência e também introduz-se um método para medi-lo. Também é medida a quantidade de jitter que o sistema de 2^a ordem pode tolerar.

CAPÍTULO I

INTRODUÇÃO

Sistemas de modulação por código pulsado (MCP) são sistemas de transmissão digital, onde a multiplexagem dos canais é feita por uma divisão de tempo (TDM).

TDM permite que um número de sinais de fontes diferentes usem o mesmo meio de transmissão, dando a cada fonte acesso ao meio de transmissão comum durante um certo período de tempo.

Um sistema MCP-120 de 2ª ordem é um sistema de transmissão digital onde são multiplexados quatro sinais provenientes de sistemas MCP de 1ª ordem (30 canais telefônicos por sistema).

Para se formar sistemas MCP de 2ª ordem (Capítulo II), é necessário que os sinais a serem multiplexados, passem primeiro a uma taxa comum. Os sinais tributários que devem ser multiplexados são sinais plesíocronos, isto é, são sinais da mesma taxa nominal de 2,048 Mbit/s, mas podem ter suas taxas variando entre +100 Hz e -100 Hz do valor nominal.

Uma das técnicas utilizadas para sincronização de sinais plesíocronos é a técnica de justificação positiva, que consiste na inserção de dados redundantes nos sinais que formarão o sistema MCP-120. Projeto e implementação desta técnica são descritos no Capítulo III.

Devido ao fato de que os dados só podem ser inseridos em certos locais, determinados pela estrutura do sistema de 2ª ordem, aparece um jitter de baixa frequência no sinal após a demultiplexagem. Esta flutuação de baixa frequência é chamada de Jitter de Tempo de Espera. Um estudo teórico sobre este jitter é visto no Capítulo IV.

No Capítulo V é feito, através de estudos práticos, um método para minimização do jitter de tempo de espera. Também um método de medidas de pico do jitter de tempo de espera é mostrado, e ainda um estudo sobre a quantidade de jitter de linha que o sistema pode tolerar em sua entrada é feito.

No Capítulo VI, os resultados obtidos são comentados,

assim como considerações práticas são analisadas.

No Apêndice A mostra-se a implementação de um circuito mais compacto para a técnica de justificação.

Os objetivos principais deste trabalho são o projeto e a implementação física da seção de Sincronização (no transmissor) e da seção de Recuperação de Sinal (no receptor) de um Sistema MCP-120, através da técnica de Justificação positiva. Além disso, um extenso estudo experimental de minimização de Jitter é levado a efeito através de um número muito grande de medidas. Estas medidas efetuadas poderão orientar estudos futuros de atenuação ou mesmo cancelamento de Jitter.

CAPÍTULO II

INTRODUÇÃO AO SISTEMA 8 Mbit/s

II.1 - INTRODUÇÃO

A multiplexagem é um método de combinar vários sinais a fim de que se possa usar economicamente a capacidade do meio de transmissão disponível.

Assim para transmissão de sinais análogos de telefonia, deu-se origem a uma certa hierarquia de F.D.M., onde o equipamento de multiplexação é usado para que canais individuais sejam formados em grupos, grupos em supergrupos e supergrupos em hipergrupos, antes de se transmitir todos os canais através de um sistema de capacidade mais alta.

Considerações similares em transmissão digital deram como resultado uma hierarquia para uso de T.D.M., onde as ordens na hierarquia são identificadas pela sua taxa de dígito, medida em bit/segundo.

Uma hierarquia digital recomendada pela CCITT e adotada pelos europeus é baseada em 2048 Mbit/s, que é a taxa gerada pelo sistema multiplex MCP de 30 canais. As ordens nas hierarquias são as seguintes:

- 1^a ordem - 2048 Mbit/s
- 2^a ordem - 8448 Mbit/s
- 3^a ordem - 34368 Mbit/s
- 4^a ordem - 139264 Mbit/s

Aqui se faz um tratamento relativo somente ao sistema de 2^a ordem 8 Mbit/s.

Um sistema MCP de 8 Mbit/s (Fig. II.1) consiste na multiplexagem de quatro sistemas de 1^a ordem 2048 Mbit/s.

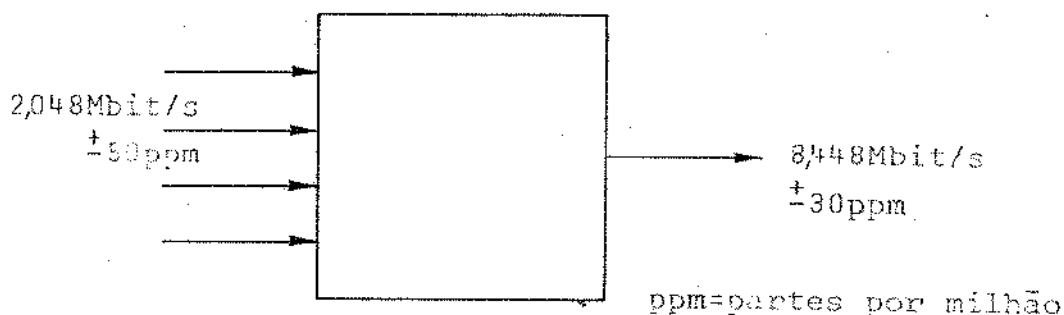


Fig.II.1 - Formação do sistema 8Mbit/s

Nº de canais tributários = 4

Frequência de canal tributário (f) = 2048Mbit/s

Frequência de linha (F) = 8448Mbit/s

Como os quatro sinais tributários não possuem uma taxa comum, torna-se necessário alcançar esta taxa comum antes de se efetuar a multiplexagem.

Uma técnica para se efetuar esta sincronização é a técnica de justificação. Há diversas maneiras de se utilizar a técnica de justificação para tornar os sinais tributários síncronos, maneiras estas que serão descritas a seguir, no tratamento dado ao formato de quadro.

II.2 - FORMATO DE QUADRO DO SISTEMA 8Mbit/s

Os métodos utilizados para justificação são descritos como justificação positiva, justificação negativa e justificação positiva-negativa. Para o sistema aqui tratado, utilizou-se da técnica de justificação positiva (R.2). As várias técnicas de justificação são descritas a seguir.

II.2.1 - Justificação Positiva

A idéia de se trazer a uma frequência comum os quatro canais assíncronos, consiste em armazenar os dígitos de cada sistema MCP de 1ª ordem, em uma memória elástica a uma frequência f (frequência do tributário) e retirá-los a uma outra frequência, que será denominada por f_{OCL} (frequência da onda de controle de leitura). Como qualquer memória tem tamanho finito, é necessário que, na média $f_{OCL} = f$. Considere-se então, um possível formato de quadro hipotético para a multiplexagem desses quatro sistemas de 1ª ordem; considere-se também apenas um sistema de 1ª ordem, pois o processo é idêntico para os outros três.

Então, esse quadro deveria ter:

1) dígitos reservados sempre à informação a

uma frequência f_I .

- 2) dígitos reservados para sincronismo(a uma frequência f_S)
- 3) dígitos reservados sempre para controle a uma frequência f_C .
- 4) dígitos reservados, ora para redundância, ora para informação, a uma frequência f_q .

Quando os dígitos de (4) são reservados para redundância, são geralmente chamados de dígitos de inserção.

Pode-se então escrever que $f_I = F/4$, onde

$$f_I = f_I + f_C + f_S + f_q$$

Considere-se ainda a seguinte definição:

S = fração das oportunidades de inserção que é aproveitada para dígito de inserção. Ou ainda,

$1-S$ = fração das oportunidades de inserção aproveitada para informação.

Logo, pode-se escrever que

$$f = f_I + (1 - S) f_q \quad \text{II.1}$$

Quando $S = 0$, ou seja, todos os dígitos de (4) são dígitos de informação, então

$$f = f_I + f_q$$

e quando $S = 1$, ou seja, todos os dígitos de (4) são dígitos de inserção, então

$$f = f_I$$

Da equação II.1, pode-se tirar as seguintes conclusões:

$$a) f > f_I$$

ou ainda $f_I < (f)_{\min} = f - 100 \text{ Hz}$

$$b) f < f_I + f_q$$

ou ainda $f_I + f_q > (f)_{\max} = f + 100 \text{ Hz}$

Considere-se agora que $S = 0$. Como a frequência com que os dados estão entrando no armazenador é sempre $f \pm 100 \text{ Hz}$, e a frequência que está saindo é $f_I + f_q$, que é maior que $(f)_{\max}$, torna-se então necessário que se vá aumentando o valor S no sentido de tornar a equação II.1 verdadeira.

Aumentar o valor S significa fisicamente diminuir a frequência dos dígitos de informação do valor $(f_I + f_q)$ para o valor $(f_I + (1 - S) f_q)$. Portanto, "inserir" significa, neste caso, mandar menos informações, ou seja, inserir nos dígitos de (4) dígitos redundantes e que serão retirados posteriormente. A esse processo todo denomina-se Justificação Positiva.

II.2.2 - Justificação Negativa

Na justificação negativa, o processo é fisicamente diferente da justificação positiva. Aqui, inserir significa colocar mais um dígito de informação, ou seja, a inserção é feita com a informação e não com os dados redundantes, como anteriormente. Nesse tipo de justificação, $S = 0$ significa que todos os dígitos de (4) são dígitos redundantes, enquanto que $S = 1$ significa que todos os dígitos de (4) são dígitos de informação. Portanto, a Justificação Negativa é oposta à Justificação Positiva.

Para este caso, a equação que deve ser satisfeita será dada por:

$$f = f_I + S f_q \quad \text{II.2}$$

Pelo mesmo raciocínio usado no caso anterior, tem-se que:

$$\bar{f} < \bar{f}_I + S \bar{f}_q < \bar{f}_I + \bar{f}_q$$

Portanto, novamente chega-se a

$$\bar{f}_I < (f)_{\min}$$

$$\bar{f}_I + \bar{f}_q > f(\max)$$

Da mesma maneira que anteriormente, considerando-se $S = 0$, tem-se

$$f = \bar{f}_I$$

significando que os dados estão sendo escritos a uma frequência f e lidos (f_{OCL}) a uma frequência $\bar{f}_I$ menor que $(f)_{\min}$. Torna-se então necessário que se aumente S no sentido de tornar a equação II.2 verdadeira. Aumentar S , neste caso, significa mandar mais informação, ou seja, inserir nos dígitos de (4), informação. Portanto, a diferença fundamental entre a justificação positiva e a negativa é que a primeira faz a inserção com dado redundante, enquanto que a segunda faz a inserção com a própria informação.

II.2.3 - Justificação Positiva-Negativa

Para este caso, tem-se

$$(f)_{\text{nom}} = \bar{f}_I + \bar{f}_q = 2048 \text{ MHz}$$

e duas equações são decorrentes:

$$f = \bar{f}_I + \bar{f}_q - S_p \bar{f}_q = \bar{f}_I + (1-S) \bar{f}_q$$

se $\bar{f} < \bar{f}_I + \bar{f}_q$

e $f = \bar{f}_I + \bar{f}_q + S_N \bar{f}_q = \bar{f}_I + (1+S_N) \bar{f}_q$

se $\bar{f} > \bar{f}_I + \bar{f}_q$

onde S_p = taxa de inserção positiva

S_N = taxa de inserção negativa

Os limites serão dados por

$$f_I < (f)_{\min}$$

$$f_I + 2f_q > (f)_{\max}$$

Esquemáticamente, obtem-se a Fig. II.2.

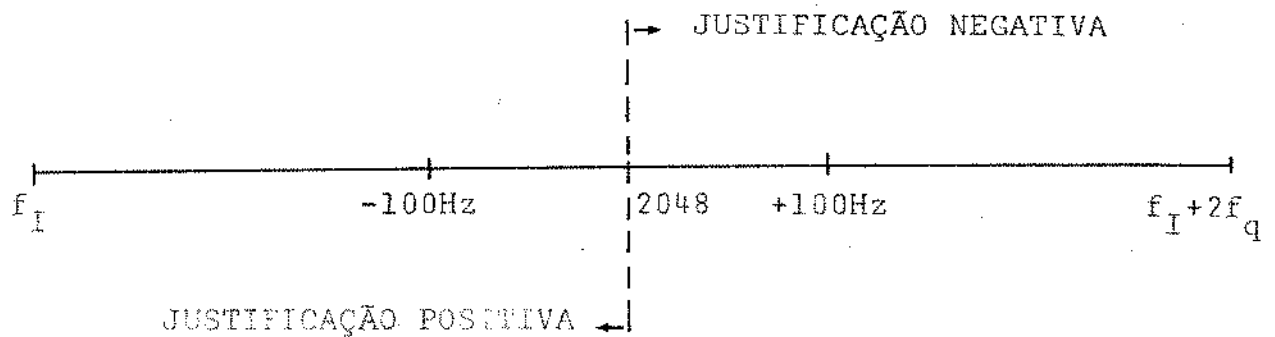


Fig.II.2 - Limite entre Justificação Positiva e Negativa.

O número de dígitos que se reserva para o sin cronismo (f_s), controle (f_c), informação (f_I) e , ora controle, ora informação (f_q), depende da estrutura de quadro. O formato de quadro para a multiplexagem assín crona do sistema MCP de 8Mbit/s, adotado como padrão pela CCITT, está mostrado abaixo, na Fig. II.3.

10 F	H1	H2	200 I	4D1	208 I	4D2	208 I	4D3	208 I
------	----	----	-------	-----	-------	-----	-------	-----	-------

Fig.II.3 - Formato de Quadro para Justificação Positiva.

onde 10 F = palavra de sincronismo de quadro, consti
tuída de 10 dígitos.

H1, H2 = dígitos de serviço.

D1, D2, D3 = palavras de controle de justificação (3
dígitos por canal tributário).

I = dígitos de informação.

Nos últimos 208 dígitos do quadro, encontram
-se os dígitos de justificação, como explicado a seguir.

II.3 - ESTRUTURA DO QUADRO

O formato de quadro usado no multiplex digital possibi
lita a cada estágio de multiplexagem ser operado independente de
qualquer sinal ou informação contido nos sinais de entrada.

A estrutura de quadro usada no equipamento de multiple
xagem de 2 Mbit/s para 8 Mbit/s está mostrada na Fig. II.4. Cada
quadro tem a duração aproximada de 100 μ s e contém 848 dígitos. O
quadro, por sua vez, é dividido em quatro sub-quadros com 212 dí
gitos cada. No 1º sub-quadro, dos 212 dígitos, 10 são usados para
alinhamento de quadro, 2 são usados para serviço e os outros 200
são de informação.

Nos sub-quadros B, C e D, os quatro primeiros dígitos
são reservados para o controle de justificação, sendo que no sub-
-quadro D, os quatro dígitos seguintes aos de controle de justifi
cação, são reservados para o dígito de justificação, quando for o
caso, ou então carregam informação.

Vamos destacar agora as especificações recomendadas pe
la CCITT para o sistema 8 Mbit/s, para a técnica de justificação
positiva {R.3}.

- | | |
|---------------------------------|----------------------|
| - Número de canais tributários: | 4 |
| - Frequência de cada canal (f): | 2048 KHz $\pm$ 50ppm |
| - Frequência de linha (F): | 8448 KHz $\pm$ 30ppm |

- Razão de dígitos de informação para dígitos de controle (n):

$$\frac{824}{24} = 34,333$$

- Taxa de canal normalizada (f_n):

$$2,048 \frac{35,333}{34,333} = 2,1076 \text{ MHz}$$

- Taxa normalizada de todos os canais (F_n):

$$2,1076 \times 4 = 8,4306 \text{ MHz}$$

- Frequência de Justificação fixada (F_J):

$$8,448 - 8,4306 = + 17,398 \text{ KHz (Justificação Positiva)}$$

- Frequência de Justificação fixada a taxa de canal(f_J):

$$\frac{17,398}{4} \times \frac{34,333}{35,333} = 4,226 \text{ KHz}$$

- Comprimento de quadro: $4 \times 212 = 848$ Dígitos

- Taxa de quadro: $\frac{8,448}{848} = 9,962 \text{ KHz}$

- Taxa de desvio: $4,226 \text{ KHz} \pm$ (erro em f + erro normalizado em $F/4$)

$$= 4,226 \text{ KHz} \pm (100 \text{ Hz} + 250 \times 1/4 \times \frac{34,333}{35,333})$$

$$= 4,226 \text{ KHz} \pm (160,73 \text{ Hz})$$

- Razão de Justificação = $\frac{\text{taxa de desvio real}}{\text{taxa de Justificação máxima}} =$

$$= \left| \frac{4,38673}{9,962 \text{ KHz}} \right|_{\text{max}} : \left| \frac{4,226}{9,962 \text{ KHz}} \right|_{\text{nom}} : \left| \frac{4,06527}{9,962 \text{ KHz}} \right|_{\text{min}}$$

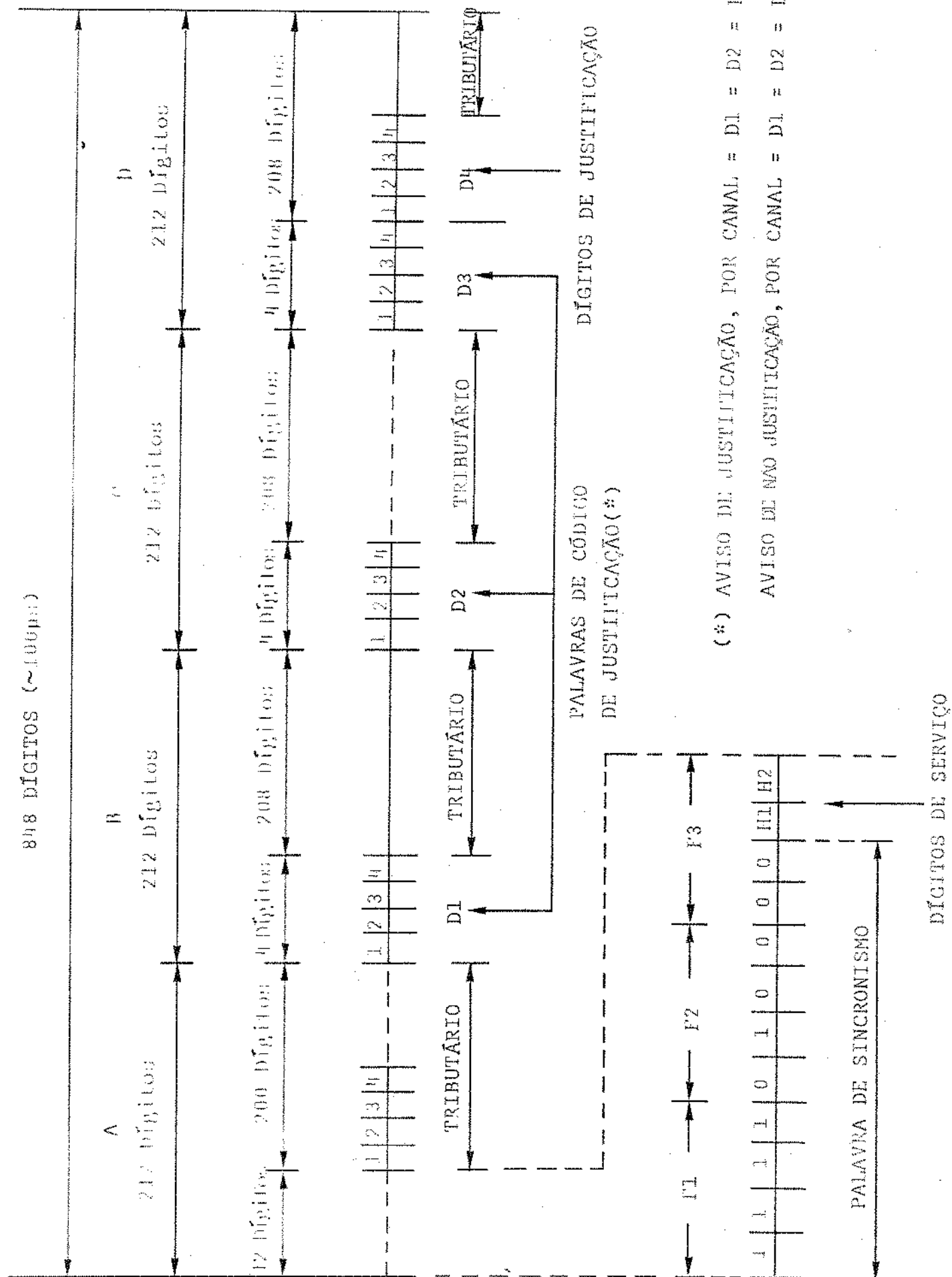
- Razão de Justificação:

$$0,440 \text{ max} : 0,424 \text{ nom} : 0,408 \text{ min}$$

- Variação da Frequência de Justificação do Multiplex de 8 Mbit/s da CCITT:

$$(F_J)_{\text{max}} = \left| 8448250 - 4(2048000 - 100) \times \frac{35,333}{34,333} \right| =$$

$$= 4,514 \text{ KHz max}$$



$$(F_J)_{\text{nom}} = \left| 8448000 - 4(2048000) \times \frac{35,333}{34,333} \right| =$$

$$= 4,226 \text{ KHz nom}$$

$$(F_J)_{\text{min}} = \left| 8447750 - 4(2048000 + 100) \times \frac{35,333}{34,333} \right| =$$

$$= 4.185 \text{ KHz min}$$

- Tempo de procura de quadro, com 99% de probabilidade de de captura (CCITT):

$$\begin{aligned} \text{tempo de procura} &= \frac{1}{\text{Taxa de Quadro}} \left| 1 + \right. \\ \text{de quadro médio} &\quad \left. + \frac{\text{Comprimento de Quadro}}{2^Q - 1} \right| \end{aligned}$$

onde Q é o número de dígitos da palavra de alinhamento de quadro. Como Q = 10, temos

$$\begin{aligned} \text{tempo de procura} &= \frac{1}{9.962\text{KHz}} \left| 1 + \frac{848}{2^{10} - 1} \right| = \\ \text{de quadro médio} & \\ &= 0,18 \text{ ms} \end{aligned}$$

II.4 - DESCRIÇÃO GERAL DO SISTEMA MCP-120

O esquema geral do sistema MCP-120 está mostrado nas Figs. II.5 e II.6 que são unidade transmissora e unidade receptora, respectivamente {R.3}.

II.4.1 - Unidade Transmissora (Fig. II.5)

Cada uma das quatro entradas em 2048 Mbit/s é aplicada a uma unidade tributária de transmissão. Em cada unidade tem-se como primeiro estágio a interface de linha, onde é feita a conversão de código HDB3 para código binário e, em seguida, a recuperação do relógio de 2048 MHz, que será usado para a armazenagem da informação binária em uma memória elástica.

A retirada ou leitura da informação binária contida na memória no bloco de sincronismo (Fig. II.5), é feita por um sinal derivado da unidade de multiplexagem (Fig. II.5) a uma taxa de 2,052 MHz, com espaços vazios onde não há dígitos de informação no quadro. Na saída da unidade do bloco de sincronismo, tem-se os dados de informação com o dígito de justificação já inserido (informação ou recheio). Também está sendo enviado para a unidade de multiplexagem os códigos de dados usados para controle da justificação.

Os sinais de alinhamento de quadro (F1, F2, F3) são colocados em seus espaços de tempo apropriados na unidade de multiplexagem (Fig. II.5) para posterior transmissão. Esta unidade de multiplexagem entrelaça bit a bit os quatro sinais, agora síncronos. Na saída da unidade de multiplexagem, tem-se o sinal a uma taxa de 8,448 Mbit/s, pronta para a transmissão via Interface de Linha de 8 Mbit/s.

II.4.2 - Unidade Receptora (Fig. II.6)

A unidade receptora é constituída por:

Interface de Linha

Unidade de Demultiplexagem

Unidade Tributária de Retirada da Justificação

Na Interface de Linha é realizada a recuperação do relógio que será usado na operação de demultiplexagem. Cada uma das quatro unidades receptoras do recuperador de sinal contém um detetor de código de justificação, o que possibilita determinar se o dígito de justificação é um dígito redundante ou não. Somente dígitos de informação são colocados e retirados da memória elástica; os dígitos de controle de justificação e alinhamento de quadro são descartados neste estágio. Um P.L.L. é usado neste estágio para a obtenção do relógio de leitura, que irá retirar os dados da memória elástica. Aqui o sinal de 2,052 MHz, que possui espaços vazios onde não há dígitos de informação no quadro (Onda de Controle de

Escrita), é usado para a armazenagem de dados na memória. Após a passagem pelo bloco de recuperação do sinal, tem-se o sinal novamente a uma taxa de 2,048Mbit/s, que será enviado para a Interface de Linha, juntamente com o relógio, para uma posterior transmissão ao receptor de um tributário. Ainda faz parte da Unidade Receptora MCP-120, um circuito de busca de quadro, associado ao circuito de controle de quadro, e também um bloco de alarme para detecção de possíveis falhas.

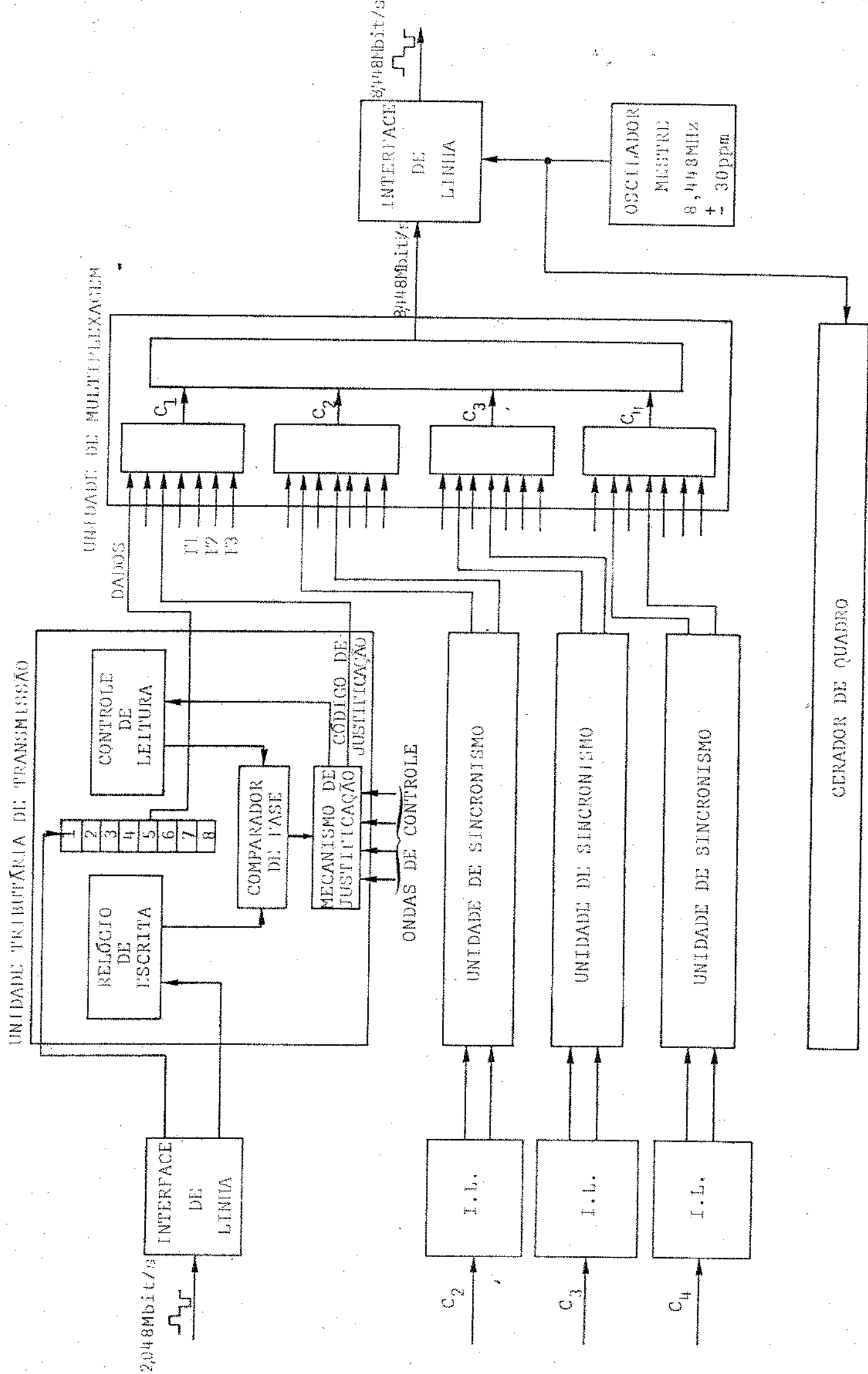


Fig. II.5 - UNIDADE TRANSMISSORA

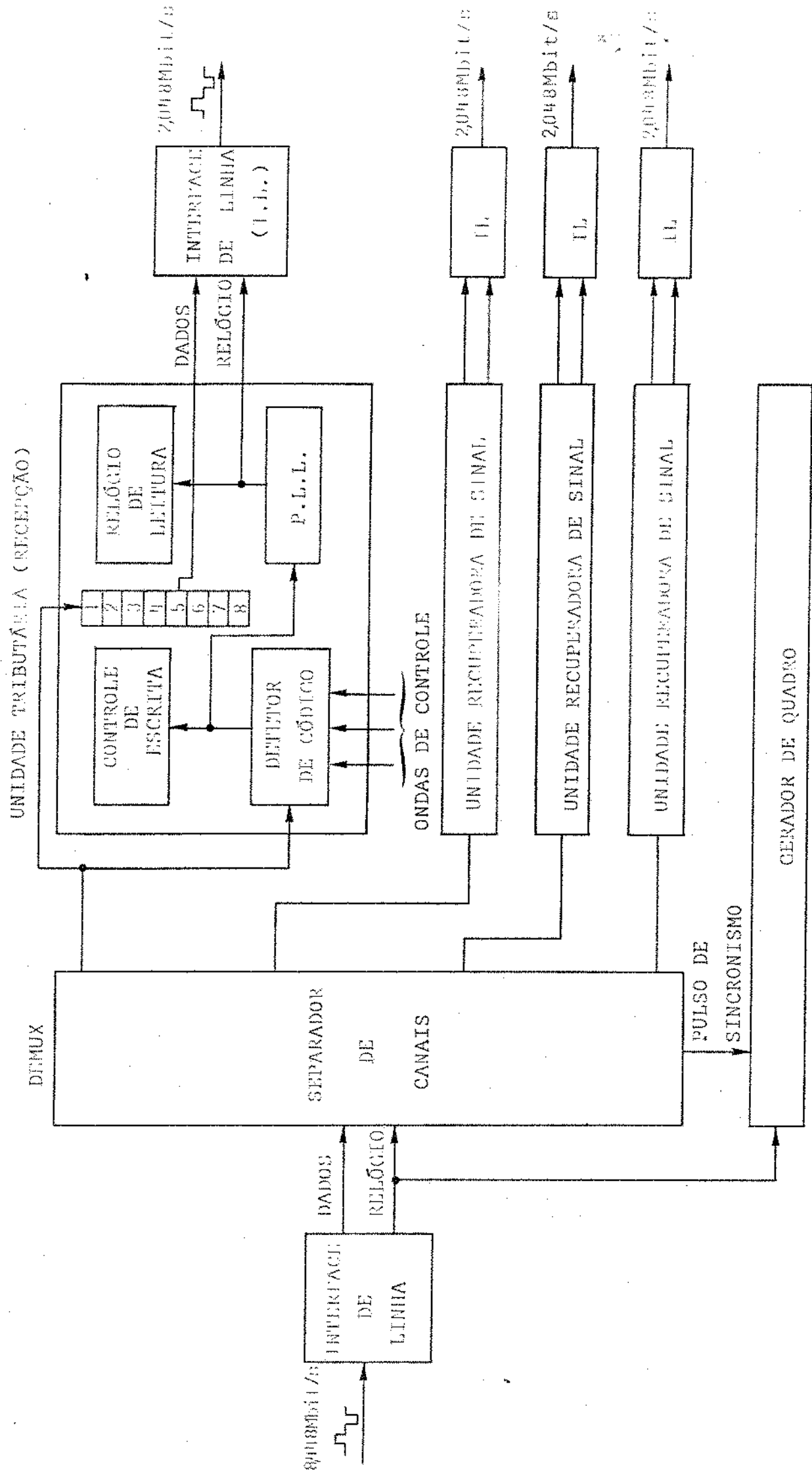


Fig. II.6 - UNIDADE RECEPTORA

CAPÍTULO III

PROCESSO DE JUSTIFICAÇÃO

III.1 - INTRODUÇÃO

É necessário que sejam multiplexados no tempo quatro sistemas MCP de 2,048 Mbit/s para formar um sinal a uma taxa de 8,448 Mbit/s {R.8}, {R.9}, {R.12}. Para que isto se torne realizável, é necessário que os sinais do sistema de 1ª ordem estejam todas a uma taxa comum. Esta taxa é conseguida inserindo-se pulsos fantasmas no trem de dados dos quatro canais. Após a demultiplexagem, estes pulsos, que não carregam informação alguma, serão removidos. Um esquema em diagrama de blocos para o processo de justificação é mostrado nas Figs. III.1 e III.2. Na Fig. III.1 é mostrado o sincronizador, cuja função é enviar os dados ao multiplex para transmissão. Na Fig. III.2 está o recuperador de sinal, que recebe os dados via demultiplex.

III.1.1 - Sincronizador

O sinal (HDB3 ou AMI) é recebido na interface de linha, e aí é feita a recuperação do relógio do sistema tributário (2048 MHz). O relógio é enviado para o bloco do Relógio de Escrita e os dados para a memória. No bloco do Relógio de Escrita, o sinal recuperado que possui uma taxa de 2048 MHz, é dividido em oito ondas, que serão responsáveis pela armazenagem de dados na memória de oito dígitos, de um modo sequencial.

No Contador são geradas as ondas de controle de leitura, que retira os dados da memória. Esta onda de controle de leitura possui uma taxa ligeiramente superior à taxa do Relógio de Escrita. O Contador é comandado pelo Mecanismo de Justificação e pela onda $2112 - [F_{1,2,3} + D_{1,2,3}]$ proveniente do MUX. As possíveis saídas do Contador acionarão o Seletor de Dados, o qual selecionará um dos oito dígitos provenientes da memória e os enviará para o Multiplex. Portanto, o Seletor transforma as oito linhas de dados em uma única. É neste estágio que são inseridos pulsos falsos na linha de dados. Se o Contador é interrompido pelo Mecanismo de Justificação, um dígito redundante (na verdade, o dígito anterior permanece na saída) será inserido na cor

rente de dados na saída do Seletor. Isto acontecerá to da vez que o Contador for interrompido, causando assim uma modificação na taxa de dados original que está sen do armazenada na memória.

Como a taxa da onda de controle de leitura (OCL) é maior que a taxa do relógio de escrita (RE), ha verá um certo instante em que estar-se-á lendo informação antes que ela tenha sido armazenada. Para que isto não ocorra, é feito no Comparador de Fase a detecção do exato momento em que a onda de controle de leitura co meça a se sobrepor ao relógio de escrita. Esta detecção da coincidência entre os dois resultará num comando, que será enviado ao Mecanismo de Justificação. Neste, o comando é combinado com a onda DJ (Fig. III.3) e com a onda $2,112 - [F_{1,2,3} + D_{1,2,3}]$, originárias do Multiplex, de tal modo que quando ocorre a detecção da coi ncidência entre a OCL e RE, é interrompido o Contador, re sultando portanto, na inserção de um dígito redundante na saída do Seletor. Após esta interrupção, o Contador volta a funcionar normalmente. E assim, fica estabelecido o processo de Justificação.

III.1.2 - Recuperador de Sinal (Fig. III.2)

Aqui tem-se a chegada de dados do DEMUX, com pulsos de justificação, sendo que os dados, além de se rem armazenados na memória, são, ao mesmo tempo, envia dos para o Mecanismo de retirada da Justificação.

As ondas de Controle de Escrita e Relógio de Leitura são controladas por um P.L.L. para que as taxas de ambas sejam mantidas em comum.

O Mecanismo de retirada da Justificação faz com que se tenha na saída do Seletor de Dados somen te os dados de informação, a uma taxa igual à existen te antes da passagem do sinal pelo processo de justifi cação na transmissão. Na memória, serão armazenados a penas os dados de informação; os dígitos inseridos no

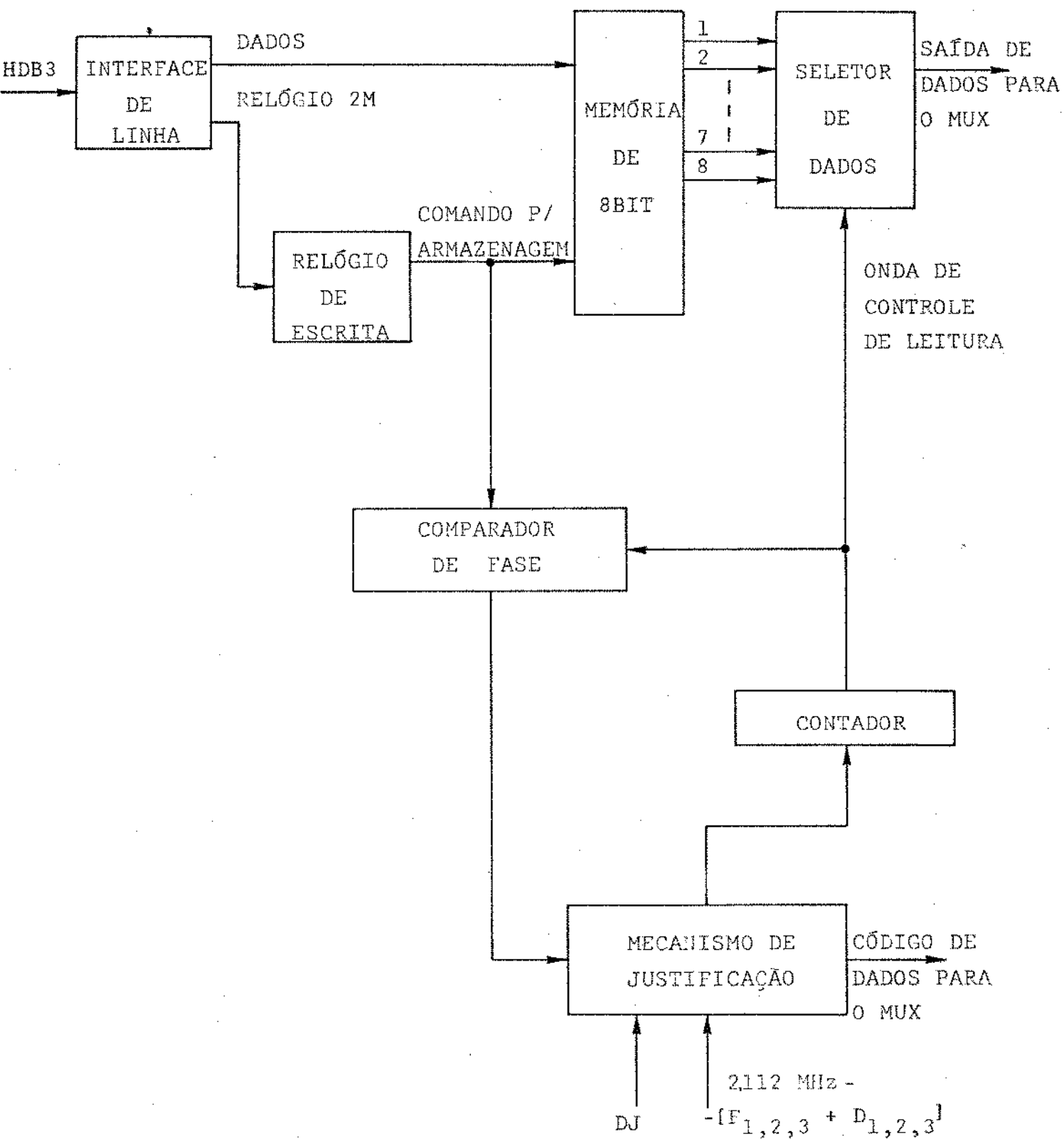


Fig. III.1 - SINCRONIZADOR

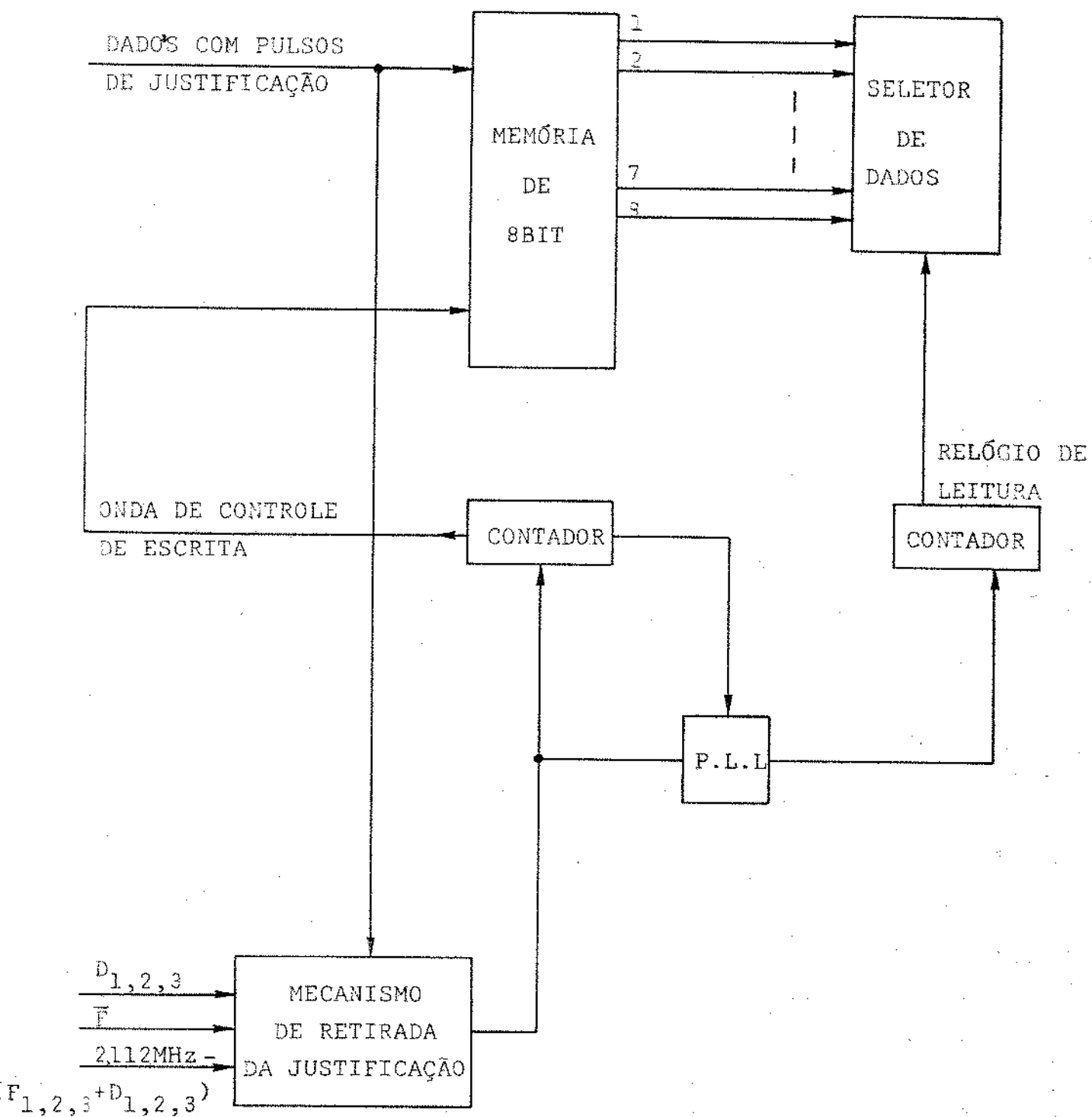


Fig. III.2 - RECUPERADOR DE SINAL

sincronizador serão impedidos de entrarem na memória pelo Mecanismo de retirada da Justificação.

III.2 - ONDAS DE CONTROLE

Na Fig. III.3 estão mostradas as ondas de controle que são usadas no processo de Justificação.

É mostrado também o quadro do sistema 8,448 Mbit/s , pois as ondas de controle são tomadas tendo como referência o quadro. Estas ondas comandarão, no circuito de justificação, os instantes exatos para a ocorrência dos pulsos de justificação.

A onda $2,112 \text{ MHz} - [F_{1,2,3} + D_{1,2,3}]$ é um sinal de controle derivado do Multiplex, com pulsos omitidos em posições correspondentes ao alinhamento de quadro, controle de justificação e dígito de justificação, dando uma taxa de 2,052226 MHz. Este sinal de controle é enviado às quatro unidades de transmissão e é usado para fazer com que os canais operem a uma mesma taxa. A taxa deste sinal é ligeiramente superior à taxa do relógio derivado da interface de linha.

DJ é a onda para determinação do exato instante permitido para inserção do pulso de justificação no bloco "sincronizador". No Recuperador de Sinal, esta onda dá a exata posição do pulso de justificação inserido entre os dados.

A chamada "janela de justificação JJ" condiciona o envio de comandos pelo comparador ao mecanismo de justificação a serem aceitos somente no primeiro sub-quadro, ou ainda, permite a armazenagem dos comandos enviados para o mecanismo de justificação no primeiro sub-quadro. Estes comandos ficarão armazenados nos três sub-quadros seguintes, permitindo assim a inserção de dados redundantes na linha.

As ondas F_1 , F_2 e F_3 são usadas como alinhamento de quadro, segundo especificações da CCITT. Além disso, F_1 ou F_2 ou F_3 podem ser usados para "zerar" o mecanismo de justificação no Sinal

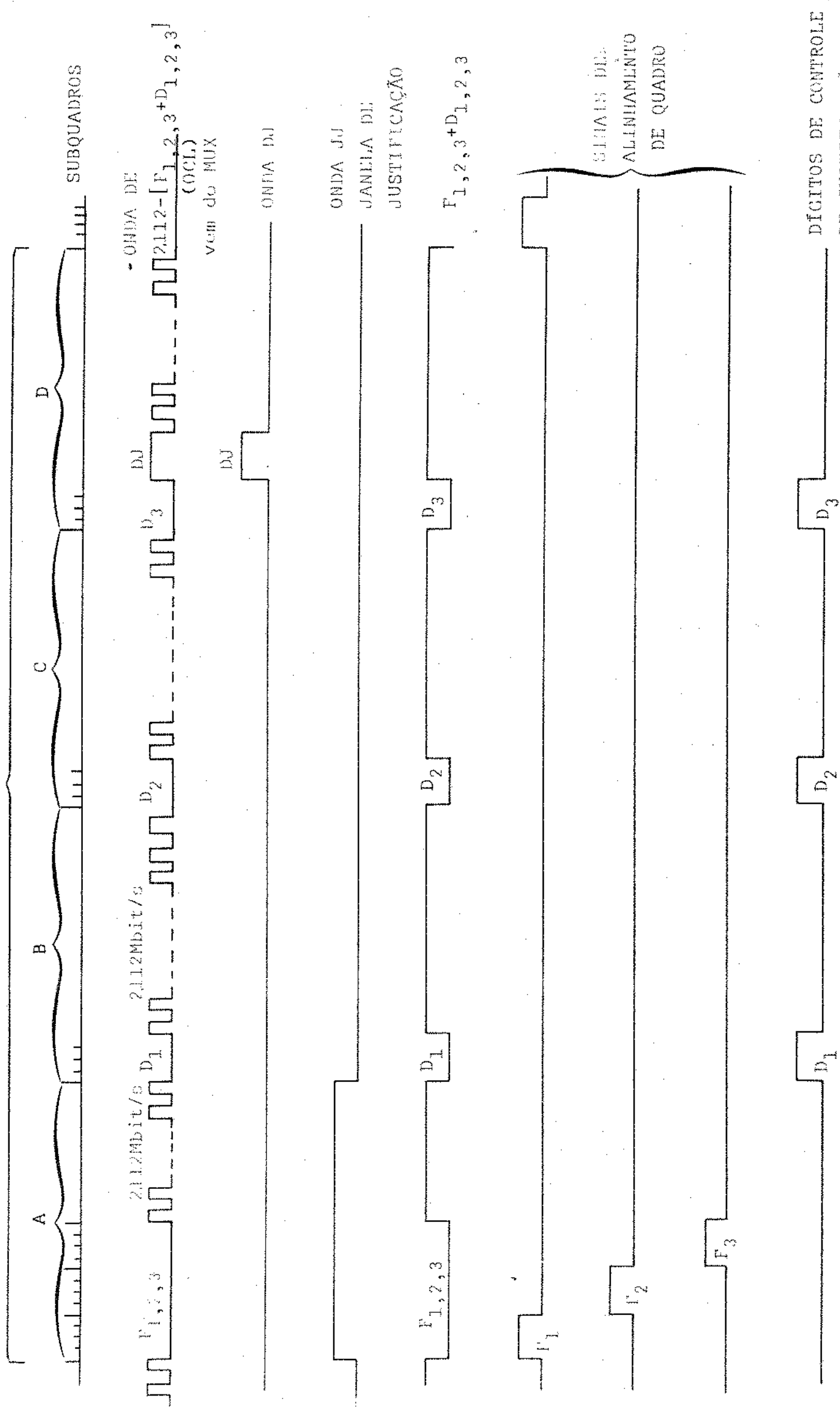


Fig. III.3 - ONDAS DE CONTROLE

cronizador ou o Mecanismo de Justificação no Recuperador de Sinal. A onda D_1 , D_2 , D_3 é usada para controles da Justificação, ou seja, permite que o recuperador de canal (Fig. III.2) faça a retirada dos pulsos falsos inseridos no sincronizador, permitindo que somente os dígitos de informação sejam armazenados na memória.

III.3 - DETALHAMENTO DO CIRCUITO DE JUSTIFICAÇÃO

O circuito completo para o Sincronizador é mostrado na Fig. III.6a.

O Comparador de Fase e o Circuito Recuperador de Sinal são mostrados nas Figs. III.6b e III.6c, respectivamente.

III.3.1 - Armazenagem de dados na memória

O relógio de 2,048 MHz recuperado pela interface de linha aciona o dispositivo 74LS75, o qual dá origem a uma sequência de ondas que são utilizadas, na armazenagem de dados, da seguinte maneira:

O primeiro dígito de informação é colocado na posição "A" por RE1; o segundo dígito de informação é colocado na posição "B" por RE2, e assim sucessivamente, até que o oitavo dígito de informação é colocado por RE8 em "H*".

O nono dígito de informação será colocado na posição "A" novamente por RE1, e o processo continuará de um modo cíclico.

As ondas RE1 a RE8, que são usadas como comando de armazenagem, são geradas pelo dispositivo SN 74LS75, cuja tabela 1 de funcionamento é mostrada a seguir.

TABELA 1

Entradas		Saídas	
D	G	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\bar{Q}_0$

H = nível alto

L = nível baixo

X = irrelevante

Q_0 = estado anterior

O SN74LS75 deve gerar uma certa sequência de ondas (Fig. III.7) para que a armazenagem de dados seja feita de maneira sequencial. Para isso, é necessário passar o relógio de 2MHz por um Flip-Flop D, que atua como um divisor de frequências, no caso por dois. A saída Q do flip-flop D (Fig. III.6a) atua sobre G_{1-2} e a saída $\bar{Q}$ atua sobre G_{3-4} (ver configuração do SN74LS75, Fig. III.4).

As ondas do relógio de escrita (Fig. III.6a), geradas pelo SN74LS75 obedecem à seguinte tabela verdade:

TABELA 2

comandos		SAÍDAS							
G_{1-2}	G_{3-4}	RE1	RE2	RE3	RE4	RE5	RE6	RE7	RE8
0	1	0	0	0	0	1	1	1	1
1	0	1	0	0	0	0	1	1	1
0	1	1	1	0	0	0	0	1	1
1	0	1	1	1	0	0	0	0	1
0	1	1	1	1	1	0	0	0	0
1	0	0	1	1	1	1	0	0	0
0	1	0	0	1	1	1	1	0	0
1	0	0	0	0	1	1	1	1	0

saída do
Flip-Flop D
nº 1

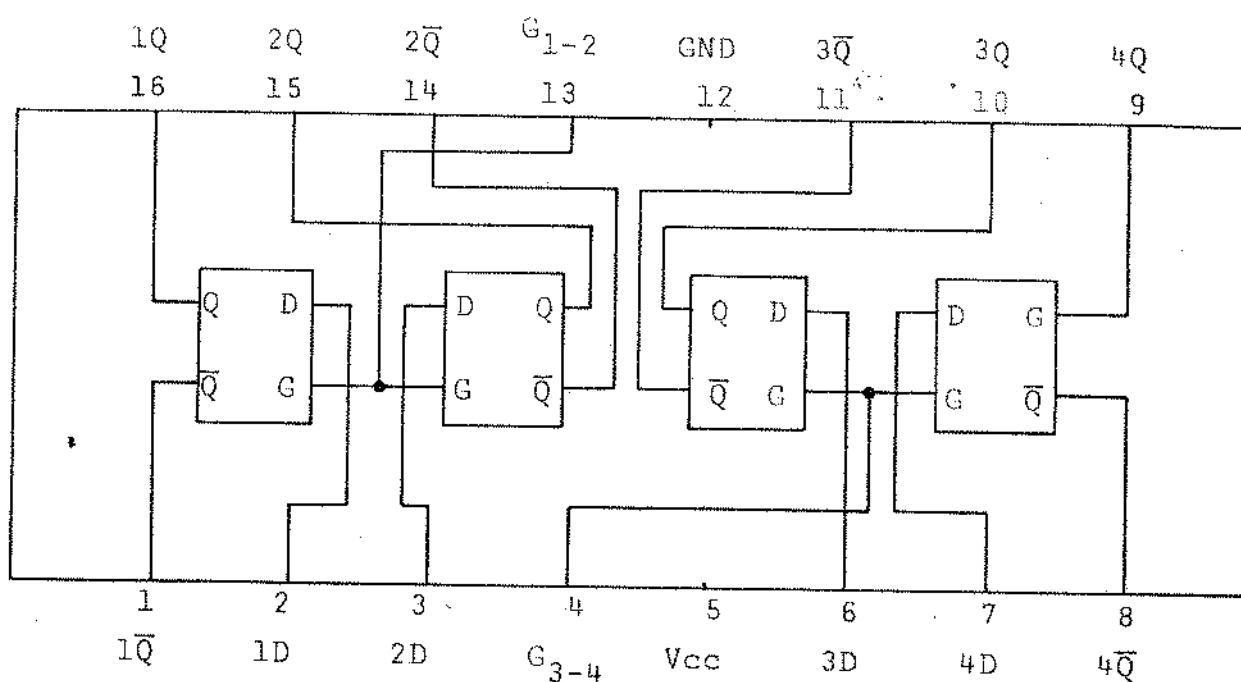


Fig. III.4 - CONFIGURAÇÃO DO
SN74LS75

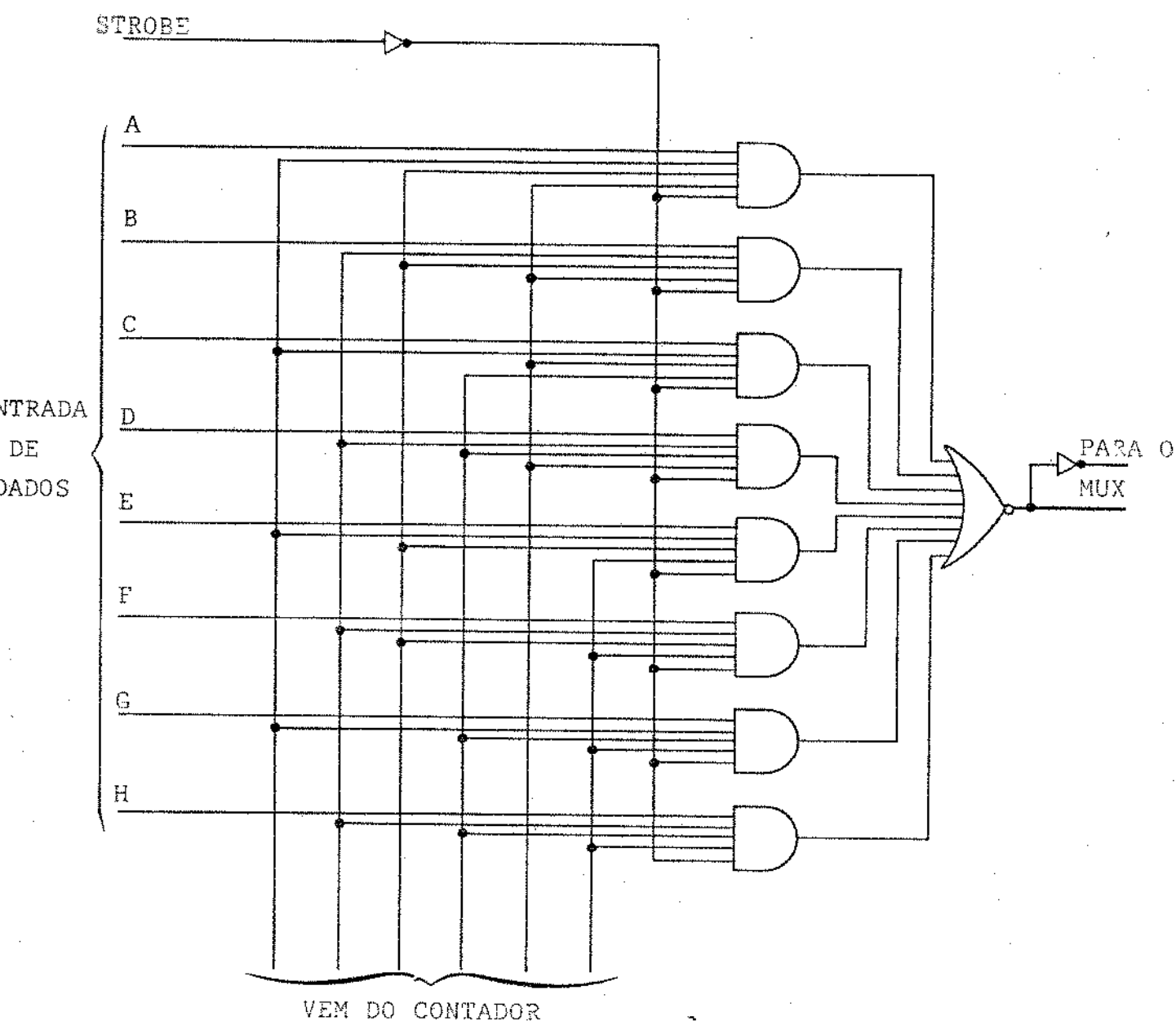


Fig. III.5 - DISPOSIÇÃO ELÉTRICA DO SN74LS161

Cada uma das ondas RE1 a RE8 atuam na entrada "clock" de cada flip-flop D da memória (Fig. III.6a). Estas ondas, tendo a formação mostrada no diagrama de tempo (Fig. III.7), ao passarem de um nível baixo para um nível alto, transferem os dados um de cada vez para cada um dos flip-flops D da memória. Este caminho seguido para a armazenagem de dados é repetido após oito pulsos positivos do relógio de escrita.

Esta armazenagem é feita, portanto, pelo relógio de escrita RE, que nada mais é que as ondas RE1 a RE8. Os dados armazenados, serão retirados da memória pela onda de controle de leitura justificada, OCLJ. Esta onda ocorre a uma taxa que, na média, é de 2,048 MHz, e é um sinal de controle derivado do multiplex. A OCLJ tem pulsos omitidos em posições correspondentes ao alinhamento de quadro, controle de justificação e dígito de justificação (ver Fig. III.3). Os dados armazenados de A a H (Fig. III.6a) são lidos (ou retirados) e enviados a um seletor de dados, no caso o SN74LS151. Os dados serão selecionados através de uma entrada seletora (A*, B*, C*) deste dispositivo, o qual escolhe um dos oito dígitos armazenados, e o envia para o multiplex. Este seletor de dados transforma então as oito entradas paralelas de dados, em uma saída série que é endereçada ao multiplex já com o dígito de justificação definido. As entradas seletoras (A*, B* e C*) são acionadas pela saída de um Contador que, por sua vez, é acionado pela onda de controle de leitura, com dígitos de justificação, OCLJ (Fig. III.6a), já com espaços reservados, para que o dígito de justificação seja inserido ou não através do mecanismo de justificação, o qual interrompe o contador, fazendo com que um dígito redundante seja inserido na saída do trem de dados do seletor. A seguir, é mostrada a tabela de funcionamento de SN74LS151, e sua configuração elétrica aparece na Fig. III.5.

TABELA DE FUNCIONAMENTO

entrada seletora			saída de dados		
strobe					
C*	B*	A*	S	Y	W
X	X	X	H	L	H
L	L	L	L	A	$\bar{A}$
L	L	H	L	B	$\bar{B}$
L	H	L	L	C	$\bar{C}$
L	H	H	L	D	$\bar{D}$
H	L	L	L	E	$\bar{E}$
H	L	H	L	F	$\bar{F}$
H	H	L	L	G	$\bar{G}$
H	H	H	L	H*	$\bar{H}^*$

X = estado irrelevante

L = nível baixo

H = nível alto

A, B, C, ..., H* = notação usada para posicionamento dos dígitos na memória.

Y = saída de dados

W = saída de dados negada

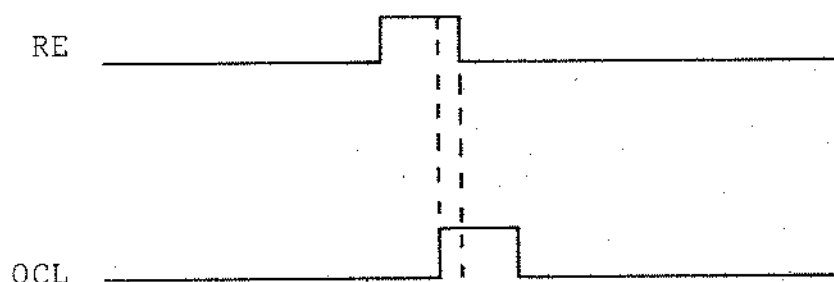
A*, B*, C* são provenientes do Contador - Fig. III.6a.

III.3.2 - Comparador de Fase (Fig. III.6b)

Como foi visto anteriormente, o controle de leitura possui uma taxa ligeiramente superior ao relógio de escrita. Assim sendo, o controle de leitura, em certos instantes, se sobreporá ao relógio de escrita, tendo como consequência a leitura de dados de memória antes que tenham sido armazenados pelo relógio de escrita, acarretando assim, erros na leitura. Há, então, a necessidade de remover dígitos da onda de controle de

leitura, ou inserir dígitos de justificação em intervalos de tempo. Tem - se assim o controle de leitura com dígitos de justificação inseridos, OCLJ (Fig.III.6a) , com uma frequência média igual ao do relógio de escrita, RE, ou seja, 2,048 MHz.

O comando para a inserção de pulsos de justificação é dado por um limiar fixo, onde o dígito do controle de leitura começa a sobrepor o dígito do relógio de escrita.



Este limiar de decisão pode ser fixado, por exemplo, pela detecção da coincidência da onda do relógio de escrita El e a onda do controle de leitura justificada LJ5, mostrado no diagrama de tempo da Fig.III.7, que é baseado nos circuitos das Figs. III.6a e III.6b.

Assim como se estabeleceu que, para a detecção da coincidência de fase, cuja detecção dá como consequência um comando que irá inibir o Contador, usar-se-ia El com LJ5, poderiam-se combinar outras duas quaisquer. As ondas El a E8 da Fig. III.6b são obtidas através das combinações de RE1 a RE8, que são provenientes do SN74LS75, de um modo convenientemente escolhido, por intermédio das portas AND da Fig. III.6b. De um modo similar, obteve-se as ondas LJ1 a LJ8, através de combinações das ondas provenientes do Contador da Fig.III.6a, o qual é acionado pela onda de controle de 2,112 MHz-

-[F_{1 2 3} + D_{1,2,3}] de origem no multiplex.

A Fig. III.6b mostra as combinações através das portas e o diagrama de tempo está na Fig. III.7. A seguir, é mostrada a Tabela Verdade para a obtenção de E1 a E8 e LJ1 a LJ8.

TABELA 4 - E1 a E8

entradas dos "ANDs" 1 a 8(Fig.III.6b)				saída dos "ANDs" 1 a 8							
RE1	RE2	RE3	RE4	E1	E2	E3	E4	E5	E6	E7	E8
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	0
1	1	1	0	0	0	0	1	0	0	0	0
1	1	1	1	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	1

saída do
SN74LS75

TABELA 5 - LJ1 a LJ8

entradas dos "ANDs"9 a 16			saída dos ANDs 9 a 16							
A*	B*	C*	LJ1	LJ2	LJ3	LJ4	LJ5	LJ6	LJ7	LJ8
0	0	0	1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

saída do
Contador

Fig.III.6a

Comparando-se agora cada uma das oito ondas do relógio de escrita (E1 a E8) com as oito ondas do Controle de leitura (LJ1 a LJ8), são obtidas as oito fases que serão usadas mais tarde na escolha da característica de jitter mínimo. Estas fases são as seguintes:

FASES OBTIDAS	COMBINAÇÕES (NANDs 17 a 24)
①	E1 com LJ5
②	E2 com LJ6
③	E3 com LJ7
④	E4 com LJ8
⑤	E5 com LJ1
⑥	E6 com LJ2
⑦	E7 com LJ3
⑧	E8 com LJ4

As fases de ① a ⑧ são combinadas através de chaves em um NAND de oito entradas (Fig.III.6b), cujo resultado será o envio de um comando ao mecanismo de justificação (Fig.III.6a), o qual poderá ou não interromper o Contador. Pode-se ver pela Fig.III.6b e pelo diagrama de tempo da Fig. III.7 que a ocorrência de comandos na saída do comparador de fase ocorre a cada oito pulsos de relógio. A combinação das fases ① a 8 que oferecer uma melhor característica de jitter é a que será adotada, pois não há necessidade de se usar as oito fases simultaneamente para uma boa característica de jitter, conforme será visto no Capítulo V.

III.3.3 - Mecanismo de Justificação

O mecanismo de justificação (Fig.III.6a) con

têm um flip-flop que é acionado pelo comando enviado pelo comparador de fase no instante em que a OCLJ começa a sobrepor o RE. Este Comando é armazenado no flip-flop, permanecendo até durante três sub-quadros (Fig.III.3) o tempo suficiente para que ocorra a inserção de justificação no trem de dados na saída do SN74LS151 (Fig. III.6a). O flip-flop JK só é acionado no 1º sub-quadro, pois a onda "Janela de Justificação" (JJ - Fig.II.3) restringe a ação do flip-flop neste intervalo, e em cada início de quadro há também a ocorrência da onda F_2 , a qual serve para "zerar" a saída do flip-flop. Assim, no começo de cada quadro o mecanismo de justificação é colocado em seu estado e fica apto a receber os comandos enviados pelo comparador de fase. Os comandos armazenados são enviados para o multiplex (código de dados) e para o "NAND 2", sendo que aqui os comandos são combinados com a onda "DJ" (Fig.III.3). Quando há envio de comando pelo comparador de fase, se a onda DJ possuir um nível alto neste instante, é obtido na saída do "NAND 2" um nível lógico "0", dando como resultado a interrupção do Contador durante o espaço de tempo equivalente ao tempo em que DJ estiver em nível alto ("1"), permitindo assim que um dígito redundante seja inserido no trem de dados na saída do seletor para o MUX.

A onda 2,112 MHz - $(F_{1,2,3} + D_{1,2,3})$ que está numa das entradas do NAND 3 da Fig. III.6a, é originária do multiplex e possui espaços vazios em $F_{1,2,3}$ e D_1, D_2, D_3 . Esta onda, que é a OCL, é combinada no "NAND 3" com a saída do "NAND 2" que ora está em nível "0", ora em nível "1", em acordo com os comandos enviados pelo Comparador de fase. Esta combinação é que resultará na OCLJ, que possui uma frequência média de 2,048 MHz, usada para acionar o Contador.

Um outro ponto de interesse referente à onda de controle de leitura, é que na ocorrência do espaço vazio devido a F_1, F_2, F_3 há uma interrupção no Contador que é

acionado por OCLJ, enquanto o Relógio de Escrita está ocorrendo normalmente. Isto faz com que ocorra o envio de dados redundantes na linha, tanto no espaço de F_1, F_2, F_3 quanto para D_1, D_2, D_3 .

A ocorrência do comando para a interrupção do Contador é dada pela saída do "NAND 2", que é controlada pela onda "DJ". Pode-se dizer que quando na saída do "NAND 2" estiver o nível lógico "0" a ocorrência do dígito de justificação é válida. A taxa de repetição da onda "DJ" é de 9,962 KHz (taxa de quadro). Na saída do "NAND 3" tem-se um sinal que ocorre à taxa média de 2,048Mbít/s. Este sinal é que aciona o Contador, que por sua vez dá origem às ondas LJI a LJS e também às ondas A*, B* e C*, que atuam no Seletor de Dados SN74 LS151, o qual permitirá o envio do dígito de justificação, ou não, no trem de dados na saída para o multiplex.

III.4 - RECUPERADOR DE SINAL

No Recuperador de Sinal (Fig. III.6c), é feita a retirada dos pulsos de justificação inseridos no circuito sincronizador (Fig. III.6a).

Na memória de oito dígitos, o sinal MCP com pulsos de justificação, proveniente do demultiplex, é armazenado pelo controle de escrita de maneira similar à descrita anteriormente. Porém aqui, o controle de escrita possui a mesma frequência média que o controle de leitura justificado do sincronizador, e o relógio de leitura do recuperador de sinal, o qual envia dados para a interface de linha sem dígitos de justificação, é dado por um P.L.L. No recuperador de sinal tem-se o Mecanismo de Retirada da Justificação, cuja função é descrita a seguir.

III.4.1 - Mecanismo de Retirada da Justificação

Na Fig. III.6c tem-se dois flip-flops JK ligados de um modo tal, que somente quando dois ou mais dígitos de controle de justificação D_1, D_2 ou D_3 forem

iguais ao nível lógico "1" é que será enviado um pulso de comando ao "NAND 1", ou seja, é dito que há dígito de justificação no MCP recebido via Demultiplex se, no mínimo, dois dos três dígitos D_1 , D_2 ou D_3 , que também estão no MCP recebido, forem iguais ao nível lógico "1" conforme a Tabela 6.

D_1	D_2	D_3	DJI
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

DJI = Dígito de Justificação Inserido

TABELA 6

A justificativa para que se aceite como sen do dígito de justificação inserido, quando no mínimo dois dos códigos D_1 , D_2 ou D_3 são iguais a "1", pode ser dada baseada em dois fatores:

- 1) A ocorrência de erros causados por surto dificilmente eliminaria mais que um dos códigos, pois D_1 , D_2 e D_3 estão separados no quadro (Fig.III.3) de um intervalo de tempo de, aproximadamente, 25 μ s. Logo, se ria preciso um surto maior que 25 μ s para que se perdesse a informação em mais que um código de dados.
- 2) A ocorrência de erros no sistema é previs ta para um erro em 1.000.000 dígitos. Logo, quando há ocorrência de erros em D_1 , certa mente D_2 e D_3 do mesmo quadro estarão cor retos.

Portanto, pela Tabela 8, é visto quando é que o dígito de justificação estará inserido no MCP originário do Demultiplex. Isto é conseguido fazendo com que o MCP com dígito de justificação, ou não, seja conduzido às entradas J e K do flip-flop 1 (Fig.III.6c) e seu "clock" seja acionado pela onda de controle de justificação D_1 , D_2 , D_3 (Fig.III.3). A saída do flip-flop 1 acionará o "clock" do flip-flop 2 que possui as entradas J e K em nível lógico "1". A saída do flip-flop 2 é que dará a informação se houve a ocorrência do dígito de justificação, ou não. Em caso afirmativo, é obtido na saída do flip-flop 2 um nível lógico "1", o qual será combinado com a onda "DJ" no NAND1. Portanto, durante o espaço de tempo em que a onda "DJ" possuir nível lógico alto "1" estará na saída do NAND 1 o nível lógico "0", e desta maneira pode-se interromper o relógio de escrita através do NAND 2, não permitindo assim que o dígito de justificação seja armazenado na memória. O Mecanismo de Retirada do dígito de justificação é "zerado" sempre no começo de 1º sub-quadro pela onda $\overline{F_2}$ (Fig.III.3). Aqui neste estágio todos os dados redundantes inseridos no sincronizador são retirados, só sendo permitida a armazenagem de dados na memória daqueles que realmente carregam informação. Assim agindo, é obtido, na saída do SN74LS151 (Fig.III.6c) o MCP sem dígito de justificação caminhando para a interface de linha numa taxa idêntica à anterior ao processo de justificação.

O P.L.L. é de grande importância para o circuito, pois além de fornecer um relógio com frequência igual à média das frequências do sinal recebido, ele deverá também atenuar o jitter de alta frequência que aparece no controle de escrita. O jitter de tempo de espera que aparece devido ao processo de justificação, não é eliminado pelo P.L.L. por ser de baixa frequência.

Como pode ser visto no trabalho "Minimização de Jitter em Sistemas de MCP de 2ª Ordem através de

Phase-Locked-Loop", realizado por Aquino - Waldman em Maio/77 (ver Apêndice B), o P.L.L. possui o comportamento de um filtro passa-baixa.

III.5 - RESULTADOS EXPERIMENTAIS

Uma das maneiras para confirmação do funcionamento satisfatório do sistema consiste em conferir a frequência de justificação que é dada pela diferença no sincronizador (Fig.III.6a), entre a onda de controle de leitura (OCL) e a onda de controle de leitura justificada (OCLJ). No ponto de operação nominal foram obtidos os seguintes resultados:

$$\text{OCL} = 2,052226 \text{ MHz}$$

$$\text{OCLJ} = 2,048 \text{ MHz}$$

frequência de

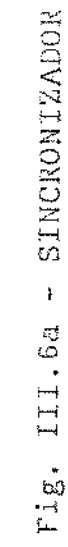
$$\text{justificação } f_J = 4,2226 \text{ KHz}$$

Este valor de f_J foi lido na saída do flip-flop JK do Mecanismo de Justificação (Fig.III.6a).

Esta frequência de justificação f_J , deve ser a mesma no recuperador de sinal (Fig.III.6c), que é lida na saída do flip-flop 2. Também aqui, f_J deve ser igual a 4,2226 KHz, estando, portanto, o sistema em concordância.

As ondas OCL e OCLJ experimentais do sincronizador e recuperador de sinal estão na Fig. III.8.

Para simulação do sinal MCP de 2,048 Mbit/s foi injetada no sincronizador uma palavra gerada por um relógio em 2,048 MHz. A palavra e o relógio resultante na saída do recuperador de sinal estão na Fig. III.9.


$$\text{OBS: } f_{\text{OCL}} = 2,112 - [P_{1,2,3} + D_{1,2,3}]$$

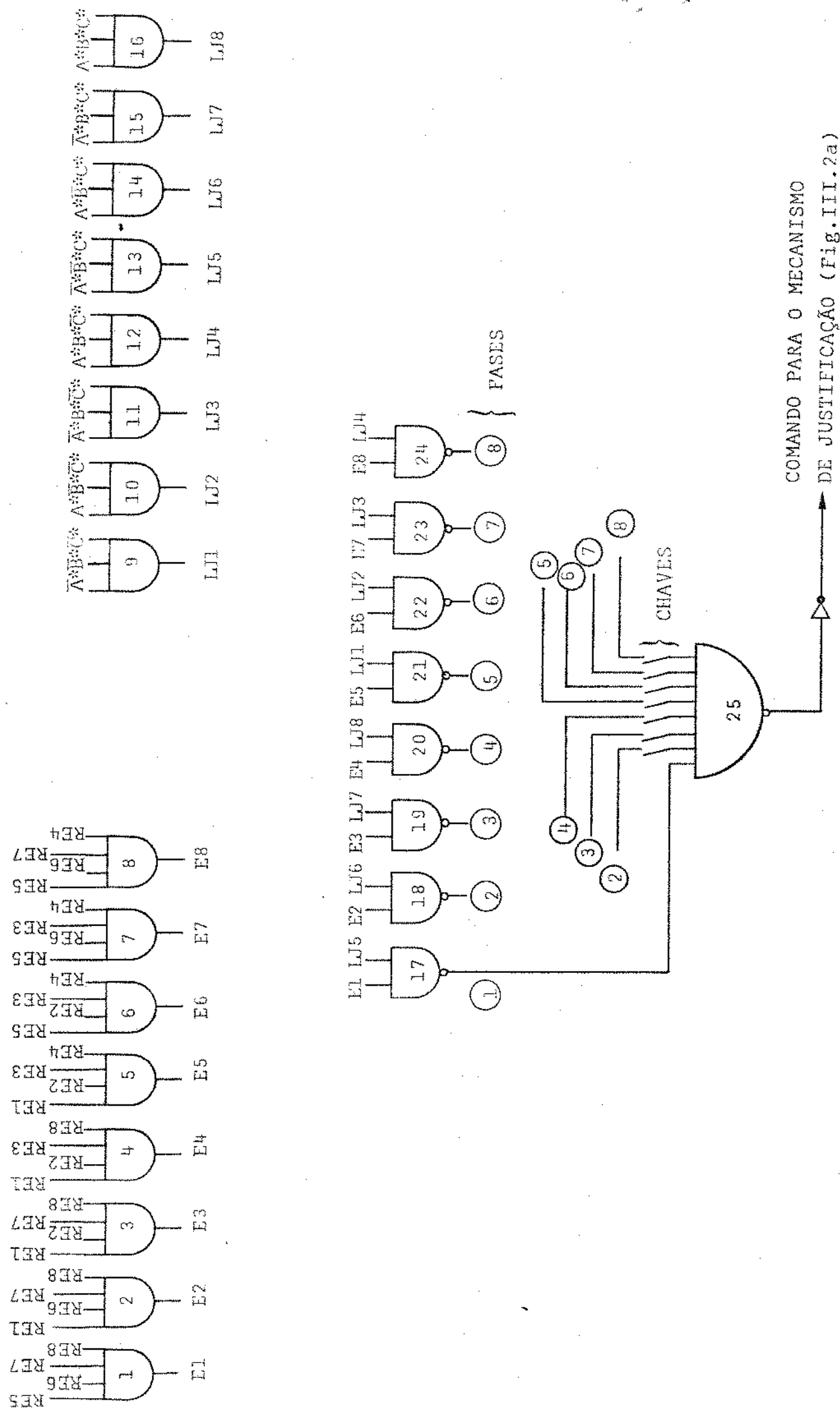


Fig. III.6b - COMPARADOR DE FASE

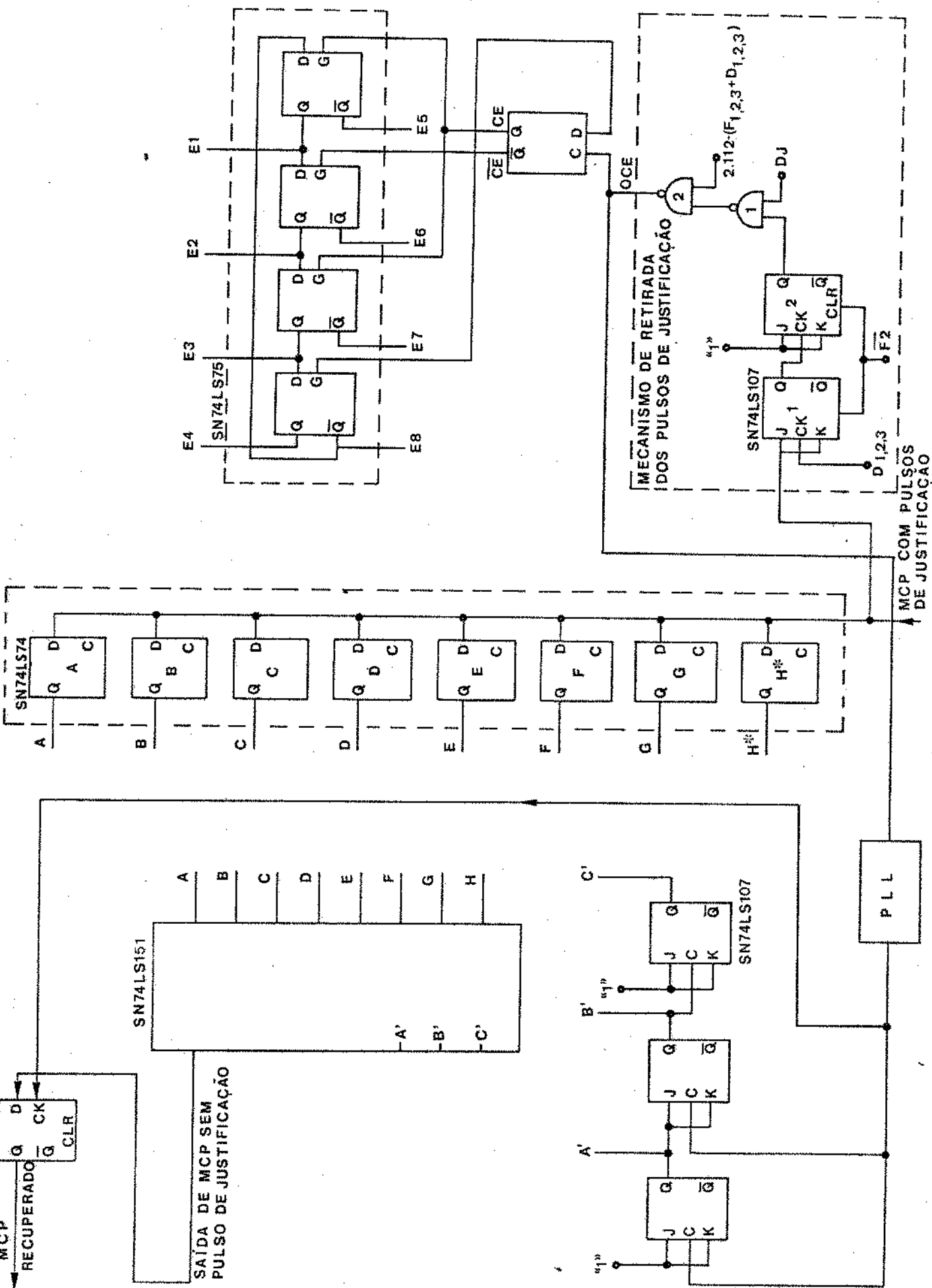


FIG. III.6.C - RECUPERADOR DE SINAL

CAPÍTULO IV

JITTER DE TEMPO DE ESPERA

V.1 - INTRODUÇÃO

Neste capítulo dá-se o desenvolvimento à idéia de jitter de tempo de espera, o qual é analisado segundo a teoria desenvolvida por D.L.Duttweiler [R.1], encontrando-se assim, o seu espectro de potência. É também aqui analisada a característica de jitter, através da variação da amplitude do jitter de baixa frequência devido à variação da taxa ou razão de justificação. Um estudo para obtenção da amplitude do jitter de tempo de espera é desenvolvido.

V.2 - ORIGEM DO JITTER DE TEMPO DE ESPERA

Como foi visto, a decisão para enviar um dígito de justificação na janela de tempo apropriada e associado com um sinal tributário na entrada, é feita em um ponto fixo de cada quadro. Com isto, afasta-se a possibilidade de que decisões erradas sejam tomadas quanto ao exato instante de ocorrência deste dígito. Este ponto fixo (DJ) no quadro faz com que ocorra um tempo entre o comando dado pelo comparador de fase para que haja inserção do dígito de justificação e o instante permitido para que o dígito de justificação seja inserido. Este tempo de espera entre a demanda de oportunidade de justificação e o instante de ocorrência é que dá origem ao jitter de tempo de espera, que é um jitter de baixa frequência, e introduzido, portanto, quando sinais digitais assíncronos são sincronizados pela técnica de inserção de dígito de justificação.

O sistema possui a onda de controle de leitura (OCL) correndo a uma taxa maior que o relógio de escrita (RE). Então, há a necessidade de se interromper a onda de controle de leitura em certos instantes para que não haja leitura de dados antes que se efetue a armazenagem pelo relógio de escrita. Esta interrupção é realizada no comparador de fase (Fig. III.6b) e circuito de justificação (Fig. III.6a). A saída do comparador de fase, definida como sendo $\phi(t)$, é a diferença de fase entre a onda de controle de leitura, com dígito de justificação, e relógio de escrita, ou ainda, é equivalente ao jitter na saída de dados do sincronizador (Fig. III.6a). Os circuitos de comparação de fase e mecanismo

de justificação controlam $\phi(t)$ para que, no instante em que $\phi(t)$ cruzar um limite predeterminado θ , seja interrompida a onda de controle de leitura de um espaço de tempo. Com isso, um dado redundante é inserido na corrente de dados.

Uma curva típica para $\phi(t)$ é mostrada na Fig. IV.1.

T é o tempo de duração do quadro (para o sistema em estudo, $T \approx 100\mu s$).

Nota-se que $\phi(t)$ possui uma inclinação positiva para cada começo de rampa. Isso se deve ao fato de que, na ausência de comandos para a inserção do dígito de justificação, a OCL está sempre se sobrepondo ao relógio RE. Quando a inserção de um dígito é feita, $\phi(t)$ cai de um espaço de tempo t . Para este sistema, $t=480ns$, ou o equivalente a 1 (um) dígito.

A inserção de dígitos não ocorre enquanto $\phi(t)$ não cruzar o limiar θ . Se $\phi(t)$ cruzar o limiar antes da oportunidade permitida para a inserção, que no gráfico é dado por T, é necessário esperar até que uma nova oportunidade ocorra. Portanto, nos pontos T tem-se a ocorrência ou não da inserção do dígito de justificação, e assim sendo, $1/T$ nos dá a frequência máxima com que é feita a inserção de dígitos de justificação, a qual é chamada de F_J . No sistema em estudo, $F_J = 9,962$ KHz (taxa de quadro). Considerando que a taxa do sinal tributário e a taxa do sinal de linha são nominais, encontra-se a razão de justificação nominal que será

$$S = \frac{4,226 \text{ KHz}}{9,962 \text{ KHz}} = 0,424$$

sendo 4,226 KHz a taxa de justificação real (f_J)
e 9,962 KHz a taxa de justificação máxima (F_J).

Como a oportunidade de inserção ocorre de acordo com esta taxa máxima, que é o inverso de T, pode-se definir T em função do número de oportunidades de inserção ocorridas, ou seja, uma oportunidade de inserção (OI) = $T = 1/9,962 \approx 10\mu s$.

$$\therefore 1(OI) = 10\mu s$$

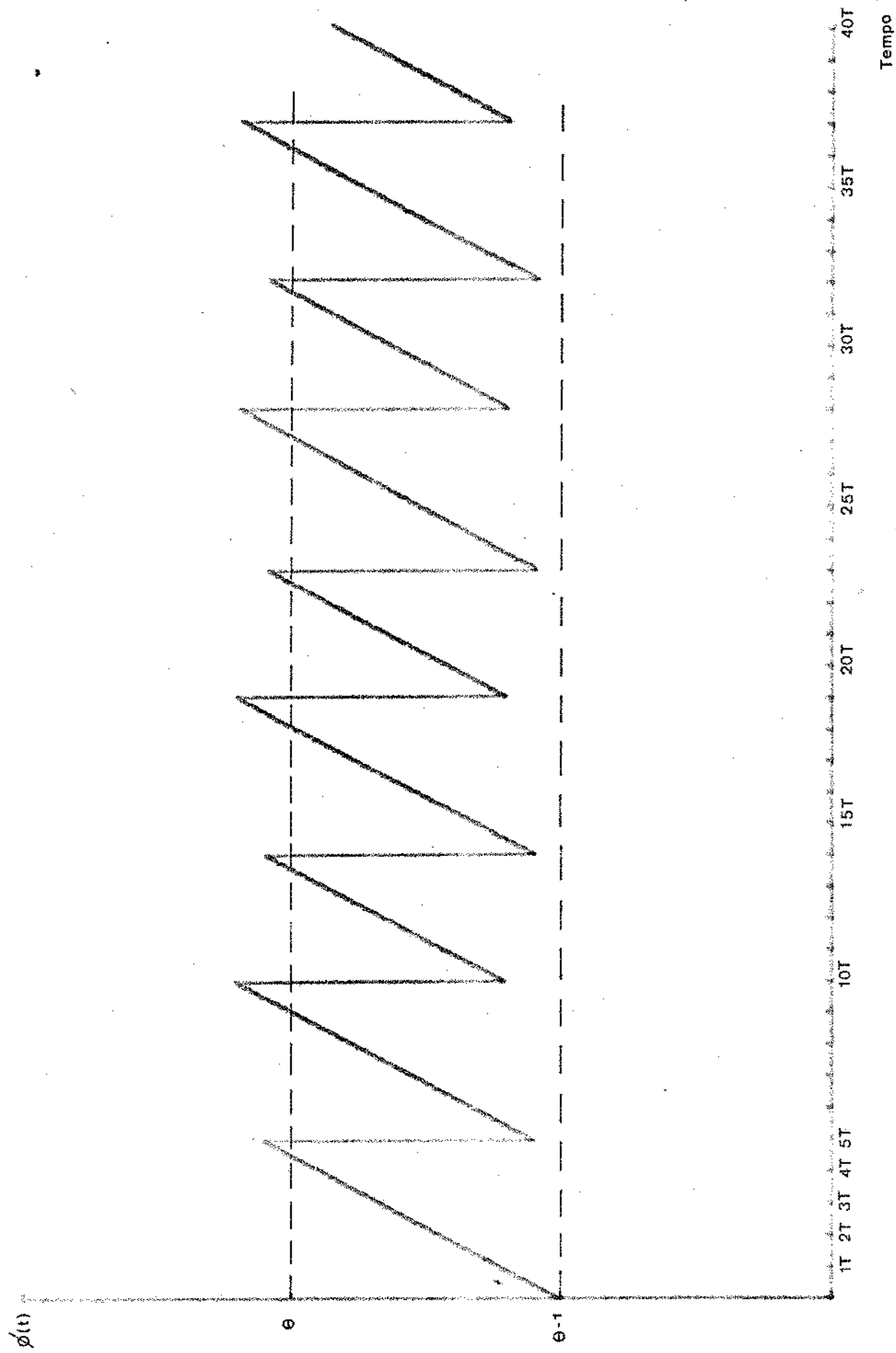


Fig.IV.1.1 - Curva típica para $\phi(t)$

Admitindo que as OI ocorrem em intervalos de tempo intero, e que, após a ocorrência da inserção no instante $t = 0$, $\phi(t)$ possui um valor fixo que por hora é dado como sendo de $\theta - 1$, pode-se escrever uma equação geral determinística para $\phi(t)$, introduzida por Kozuka [R.6]. Esta equação é dada por

$$\phi(t) = (\theta - 1) + St - \langle S \langle t \rangle \rangle \quad \text{IV.1}$$

sendo que o termo $(\theta - 1)$ é constante e é necessário para tornar $\phi(0) = \theta - 1$. A variável t é normalizada em relação a uma (OI), isto é, $t = 1$ para tempo = OI = 10 μ s.

O termo St dá a inclinação da parte linear da equação. As inserções de dígitos de justificação são feitas em $\langle S \langle t \rangle \rangle$, onde $\langle x \rangle$ é o operador que dá o maior inteiro anterior ao argumento, ou seja

$$\langle x \rangle = \begin{cases} -2 & -2 \leq x < -1 \\ -1 & -1 \leq x < 0 \\ 0 & 0 \leq x < 1 \\ 1 & 1 \leq x < 2 \end{cases}$$

Pode-se notar pela Fig. IV.1 que $\phi(t)$ está sempre se deslocando para cima. Isto é devido ao fato de que a equação IV.1 define o valor de $\phi(t)$ somente para valores diferentes dos instantes de ocorrência da inserção.

Devido ao tipo de estrutura de quadro necessário para sincronização usando a técnica de justificação, há uma duração finita de tempo entre a demanda do primeiro comando enviado pelo comparador de fase e a ocorrência do dígito de justificação. Um efeito vibratório pode ser visualizado entre a taxa de justificação em demanda (f_J) e a taxa máxima de justificação (F_J). Este efeito dá origem a picos de jitter de baixa frequência e ocorre quando a razão $S = f_J/F_J$ está na região de um número racional.

Para se entender este efeito vibratório, é interessante observar a fase $\phi(t)$ entre CLJ e RE nas posições de oportunidades de inserção (OI). A situação pode ser visualizada dizendo-se que o comando para a inserção será dado somente se ϕ tiver cruzado o limiar θ pré-estabelecido dentro do intervalo OI anterior.

Na Fig. IV.2 foi plotado $\phi(t)$ para valores de S exatamente igual a $1/3$ e ligeiramente diferentes de $1/3$. Se S é exatamente $1/3$, então uma inserção a cada três quadros trará $\phi(t)$ de volta ao seu valor inicial. Se por acaso, S é ligeiramente maior que $1/3$, então após cada três quadros ocorre uma inserção, mas haverá um aumento gradual em $\phi(t)$ até que o limiar é cruzado dois quadros após a inserção anterior e uma nova inserção ocorrerá. Como resultado, uma onda dente de serra de baixa frequência envolverá o jitter de alta frequência. Este jitter de baixa frequência é aquele que causa maior problema para o sistema.

Para valores de $S = 1/N$, onde N é inteiro, pode-se dizer que nenhum jitter de baixa frequência estará presente teoricamente, desde que há ocorrência de apenas uma inserção em cada N posições permitidas para a inserção.

Mas na prática, devido ao deslocamento na frequência do tributário, S poderá estar fora desse número racional, dando portanto aparecimento ao jitter de baixa frequência, cuja amplitude pode ser dada por

$$J = \frac{1}{N} \text{ dígitos} \quad \text{IV.2}$$

como será demonstrado em IV.4.

A Fig. IV.3 mostra $\phi(t)$ para

$$S = \frac{1}{5} \quad \text{e} \quad S = \frac{1}{5} \pm \Delta X$$

A Fig. IV.4 é para

$$S = \frac{3}{7} \quad \text{e} \quad S = \frac{3}{7} \pm \Delta X$$

O valor $S = 3/7 - \Delta X = 0,424$ é exatamente a razão nominal de justificação do Sistema MCP-120 com justificação positiva.

Na Fig. IV.5 tem-se

$$S = \frac{4}{9}$$

ENVOLTÓRIA DO JITTER
DE BAIXA FREQUÊNCIA

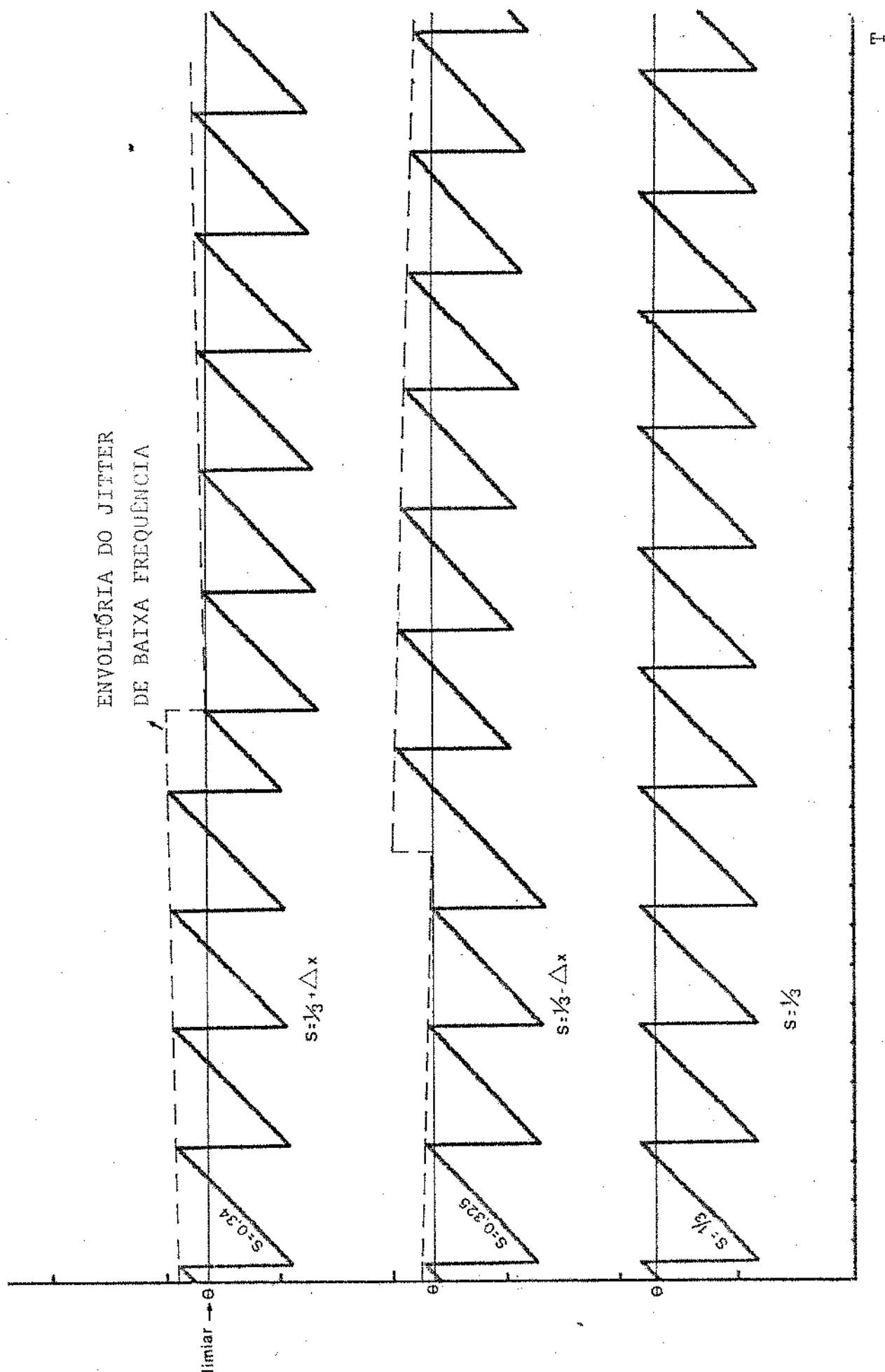


Fig.IV.2 - $\phi(t)$ para $S = 1/3 \pm \Delta x$

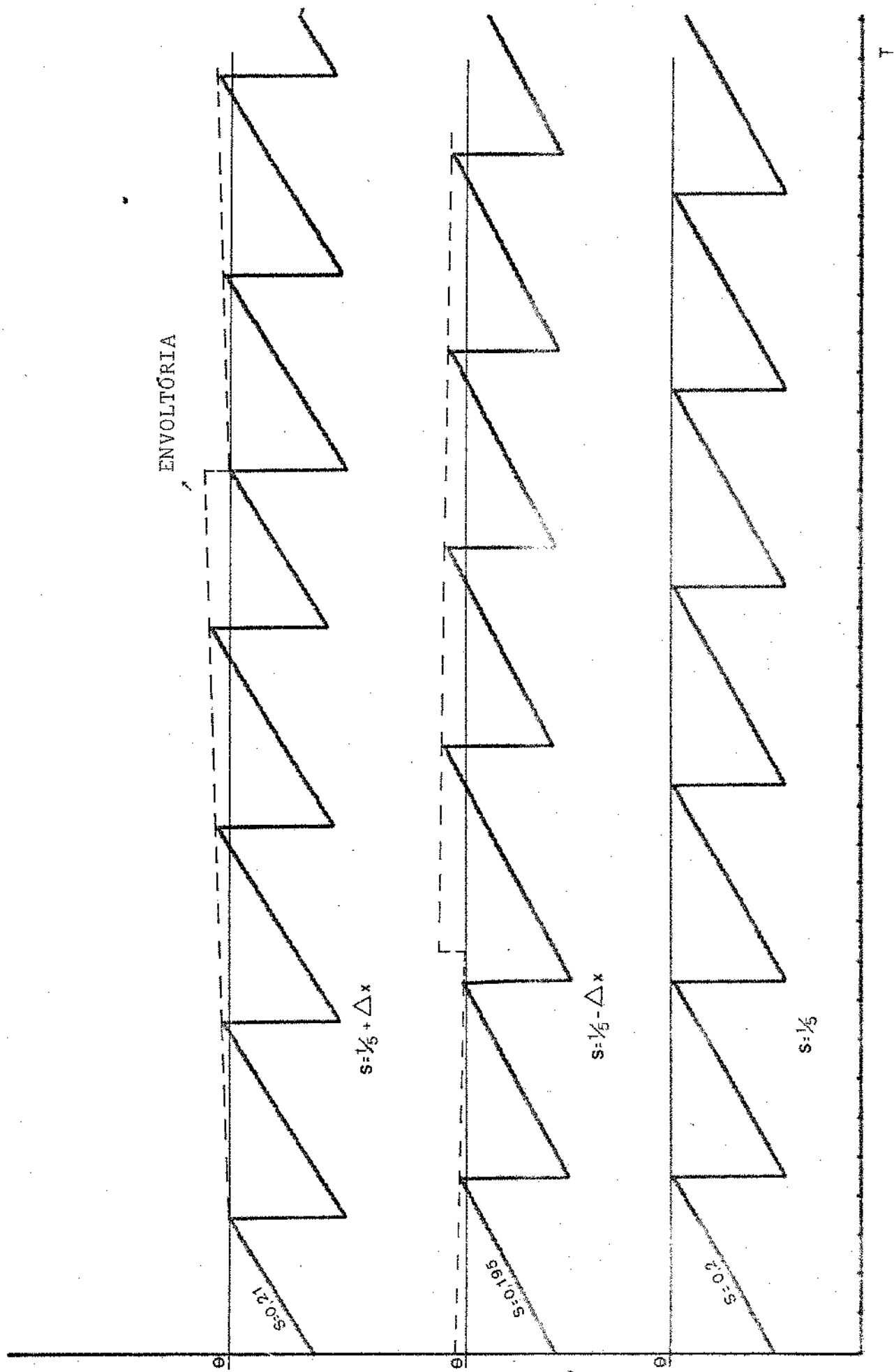


Fig.IV.3 - $\phi(t)$ em função de $S = 1/5 \pm \Delta X$

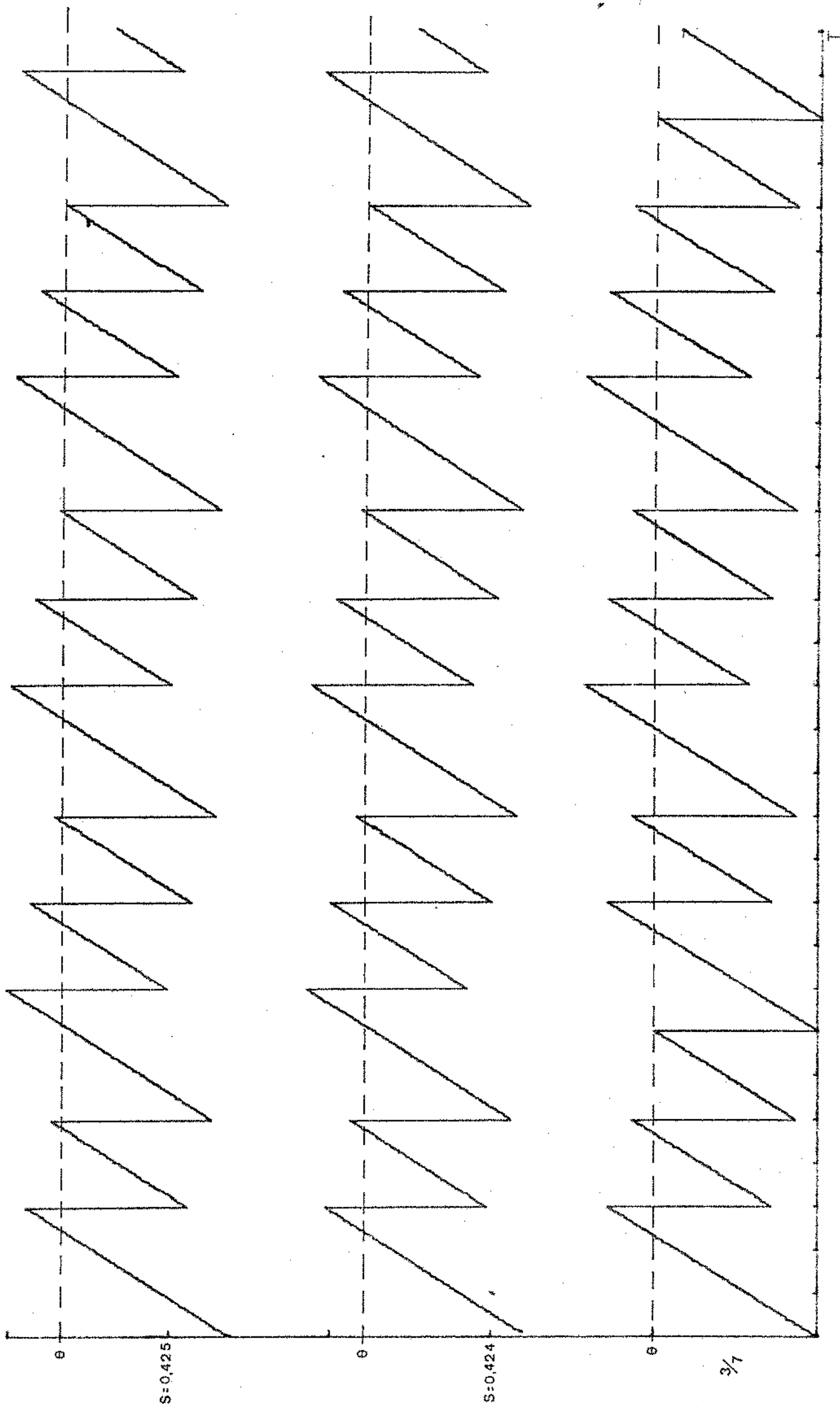
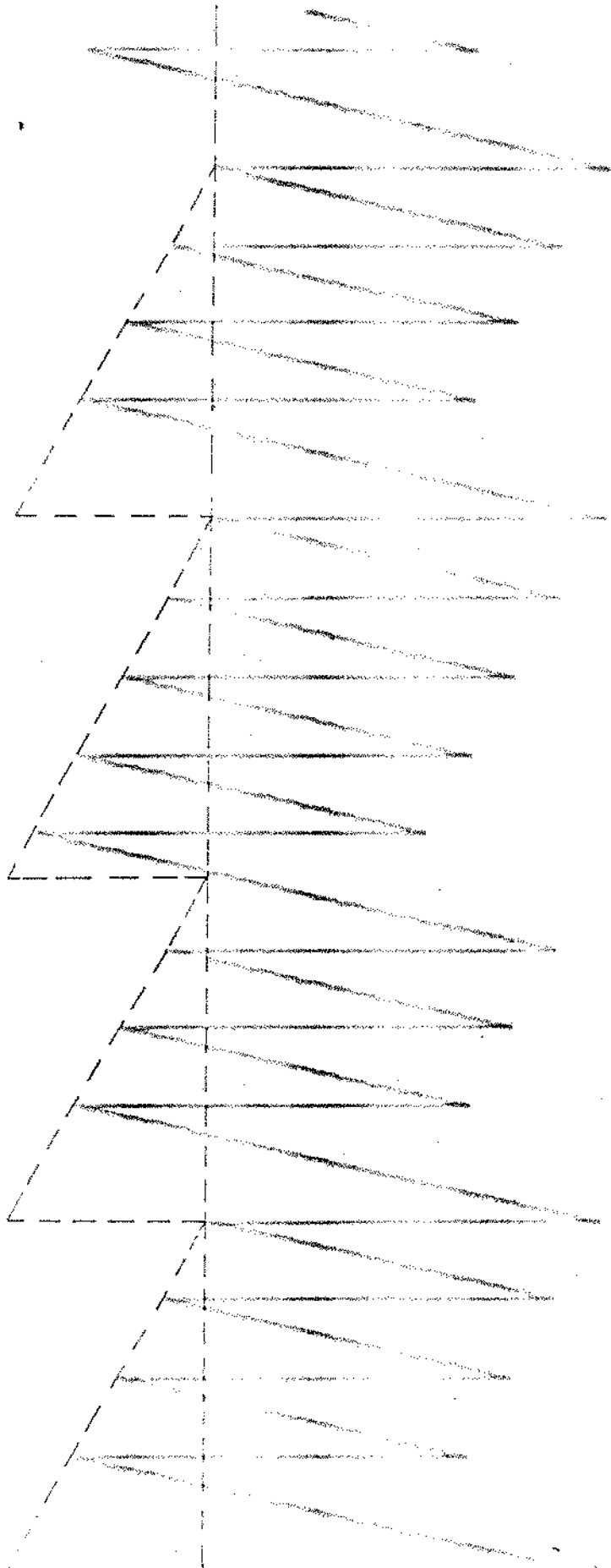


Fig.IV.4 - $\phi(t)$ em função de $S = 3/7 \pm \Delta X$

$\phi(t)$



T

40

30

20

15

10

5

Fig.IV.5 - $\phi(t)$ para $S = H/9$

Matsuura {R.10} provou que a frequência do jitter de baixa frequência é dado por

$$F_S = \Delta X N F_J \quad \text{IV.3}$$

onde ΔX é o desvio da taxa de justificação S de M/N e F_J = taxa de justificação máxima, que é igual à taxa de quadro. Quando ΔX aumenta, a frequência do jitter aumenta e a amplitude decresce.

O jitter de alta frequência é removido pelo P.L.L. R.2 - (Fig. IV.6b), sendo que, devido à natureza passa baixa do P.L.L., o jitter de baixa frequência é que será responsável pela degradação do sinal na saída do sistema (receptor).

A excursão total da fase $\phi(t)$ quando M e N são primos entre si, pode ser dada por {R.10}

$$\left[\theta + \frac{M - 1}{N} \right]$$

onde θ é o limiar.

IV.3 - OBTENÇÃO DO ESPECTRO DE POTÊNCIA

O desenvolvimento matemático que se faz a seguir é devido a Duttweiler {R.1}.

A equação IV.1, que descreve o jitter de tempo de espera, dá apenas uma idéia qualitativa do jitter. Se é desejável uma descrição quantitativa, será necessário caracterizar o jitter de tempo de espera como um processo aleatório, obter sua auto-correlação e, a partir desta, o seu espectro de potência através da transformação de Fourier.

Para que isto seja possível, é necessário introduzir na equação IV.1 condições iniciais com variáveis aleatórias, de tal modo que um conjunto estacionário de ondas de jitter de tempo de espera possa ser definido. Em seguida, calcula-se a auto-correlação deste processo aleatório e depois sua transformada de Fourier, a fim de se obter o espectro de potência do jitter de tempo de espera.

Um conjunto de formas de onda de jitter de tempo de espera é traçado aleatoriamente na Fig. IV.6. Define-se a variável

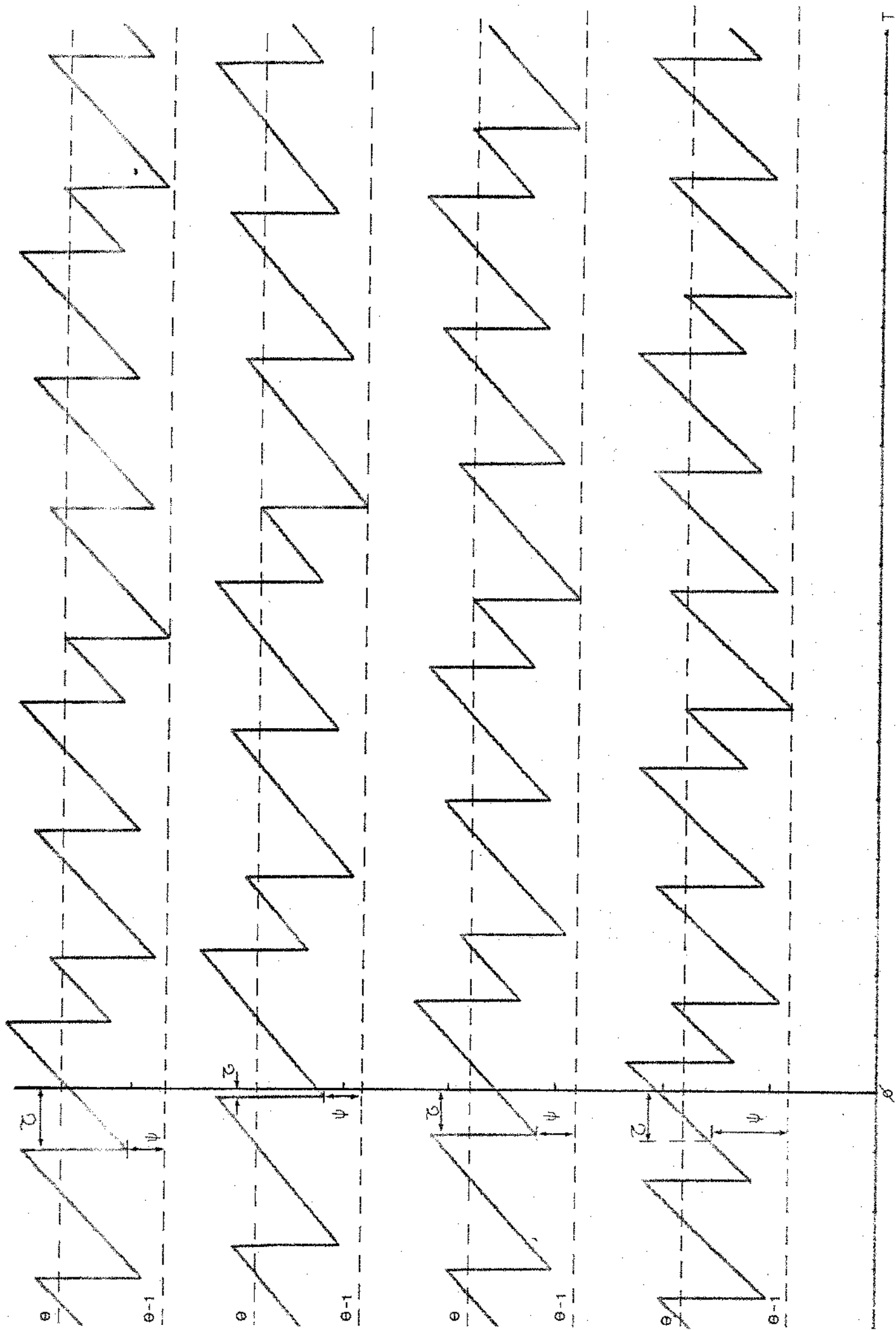


Fig.IV.6 - Conjunto das Formas de Ondas Aleatórias

aleatória τ como sendo o intervalo de tempo entre o instante $t = 0$ e a ocorrência da última oportunidade de inserção anterior a $t = 0$ (onde t é dado em OI).

Portanto, τ estará uniformemente distribuída no intervalo $[0,1]$ sobre o conjunto estacionário. A variável aleatória ψ será definida como sendo a quantidade que $\phi(t)$ excede $(\theta - 1)$ no instante $t = -\tau$, na Fig. IV.6. ψ deve existir no intervalo $[0,1]$; não deve ser menor que zero, porque $\phi(t)$ nunca é menor que $(\theta - 1)$, e deve ser menor que 1 (um), porque, se $\phi(t)$ exceder θ logo após a oportunidade de inserção no instante $t = -\tau$, uma nova inserção será feita. ψ , portanto, também estará uniformemente distribuída no intervalo $[0,1]$ e será independente de τ sobre o conjunto estacionário.

Sendo assim, $\phi(t)$ pode ser escrita da seguinte forma:

$$\phi(t) = (\theta - 1) + \psi + S(t + \tau) - \langle \psi + S < t + \tau \rangle \quad \text{IV.4}$$

É necessário, agora, encontrar a covariância deste processo aleatório.

Por definição, covariância $C(t)$ de $\phi(t)$ é dada por:

$$C(t) = E \left\{ \left(\phi(r+t) - \mu \right) \left(\phi(r) - \mu \right) \right\} \quad \text{IV.5}$$

onde $\mu = E \{ \phi(t) \}$ e $E \{ \cdot \}$ é a esperança matemática.

Para se encontrar $\mu = E \{ \phi(t) \}$, pode-se fazer a avaliação para $\phi(0)$, pois o processo é estacionário.

$$\therefore \mu = E \{ \phi(0) \}$$

$$\phi(0) = (\theta - 1) + U(\psi + S < \tau >) + SU(\tau)$$

onde $U(X) = X - \langle X \rangle$

$$= X \bmod 1, \text{ ver Fig. IV.7.}$$

Logo,

$$\mu = E \left\{ (\theta - 1) + U(\psi + S < \tau >) + SU(\tau) \right\}$$

Como τ está dentro do intervalo $[0,1)$ e pela definição de $\langle \bullet \rangle$, então

$$\langle \tau \rangle = 0$$

Logo,

$$\begin{aligned} \mu &= E \left\{ (\theta - 1) + U(\psi) + SU(\tau) \right\} = \\ &= E \left\{ (\theta - 1) \right\} + E \left\{ U(\psi) \right\} + E \left\{ SU(\tau) \right\} \end{aligned}$$

$$E \left\{ (\theta - 1) \right\} = \theta - 1, \text{ pois } (\theta - 1) \text{ é uma constante}$$

$$E \left\{ U(\psi) \right\} = \int_0^1 U(\psi) p(\psi) d\psi$$

ψ está uniformemente distribuída em $[0,1)$, logo sua densidade de probabilidade é $p(\psi) = 1$.

$$\therefore E \left\{ U(\psi) \right\} = \int_0^1 (\psi - \langle \psi \rangle) d\psi = 1/2$$

De maneira análoga,

$$E \left\{ SU(\tau) \right\} = SE \left\{ U(\tau) \right\} = S/2$$

Como consequência,

$$\mu = (\theta - 1) + \frac{1}{2} + \frac{S}{2} \quad \text{IV.6}$$

$$\phi(t) - \mu = (\theta - 1) + U(\psi + S\langle t + \tau \rangle) + SU(t + \tau) - \theta + 1 - \frac{1}{2} - \frac{S}{2} =$$

$$= U(\psi + S\langle t + \tau \rangle) - \frac{1}{2} + S \left\{ U(t + \tau) - \frac{1}{2} \right\}$$

Definindo agora

$$v(X) = U(X) - \frac{1}{2} \quad (\text{Fig. IV.7}), \text{ tem-se}$$

$$\phi(t) - \mu = v(\psi + S\langle t + \tau \rangle) + Sv(t + \tau) \quad \text{IV.7}$$

Fazendo as seguintes mudanças de notação,

$$v(\psi + S\langle t + \tau \rangle) = v(A) \quad \text{e}$$

$$Sv(t + \tau) = Sv(B)$$

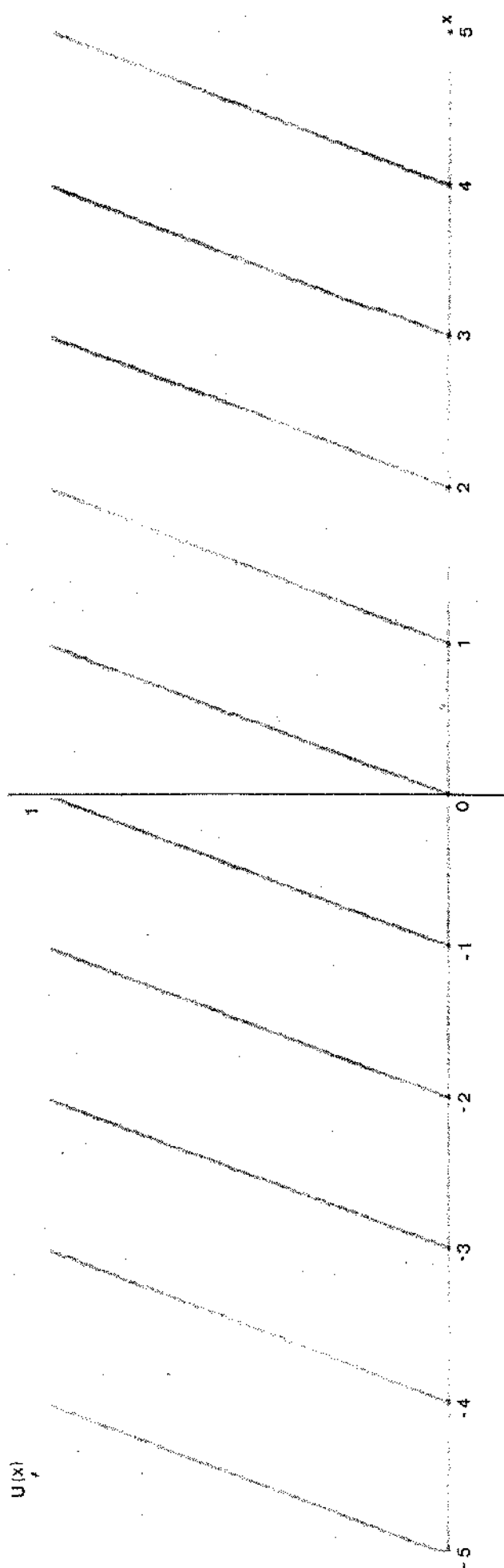
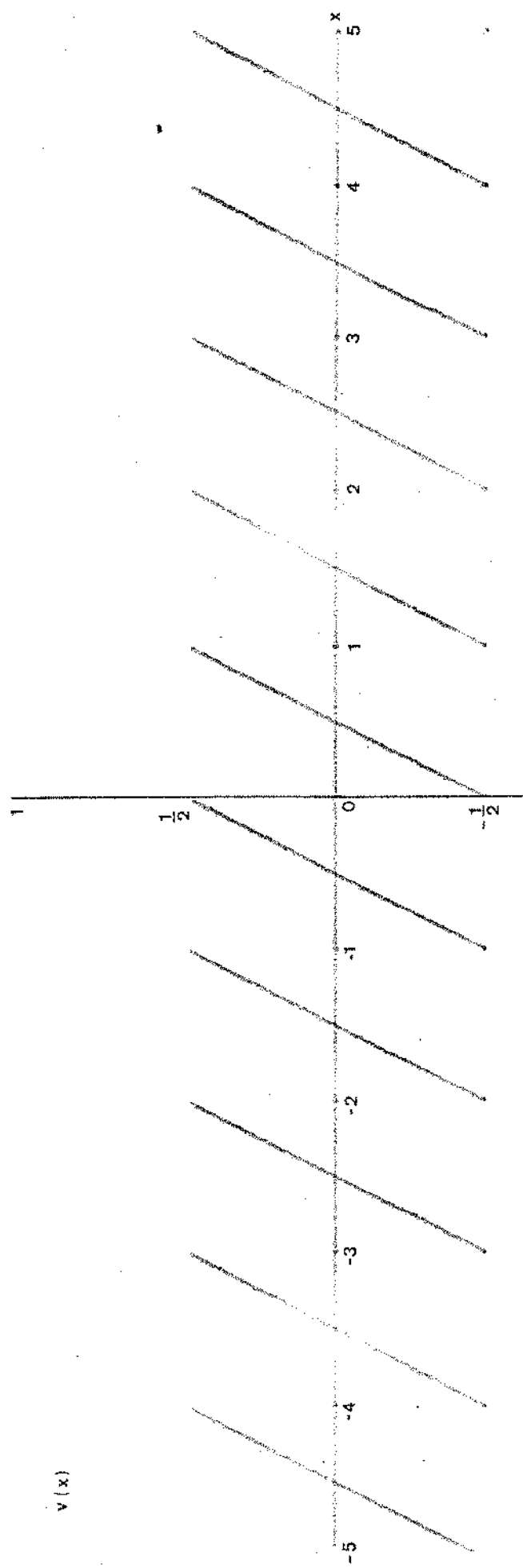


Fig.IV.7 - Curvas de $v(x)$ e $u(x)$

Então, a equação IV.5 fica

$$\begin{aligned} C(t) &= E \{ \phi(t) \phi(0) - \phi(t)\mu - \phi(0)\mu + \mu^2 \} \\ &= E \{ \phi(t) \phi(0) \} - \mu E \{ \phi(t) + \phi(0) \} + \mu^2. \end{aligned} \quad \text{IV.8}$$

Substituindo-se a expressão IV.7 em C(t), fica-se com

$$\begin{aligned} C(t) &= E \{ [v(A) + Sv(B) + \mu] [v(\psi) + Sv(\tau) + \mu] \} - \\ &\quad - \mu E \{ v(A) + Sv(B) + \mu + v(\psi) + Sv(\tau) + \mu \} + \mu^2 = \\ &= E \{ v(A) v(\psi) \} + E \{ v(A) Sv(\tau) \} + \mu E \{ v(A) \} + S^2 E \{ v(B) v(\tau) \} \\ &\quad + SE \{ v(B) v(\psi) \} + S\mu E \{ v(B) \} + \mu E \{ v(\psi) \} + \mu SE \{ v(\tau) \} + \mu^2 - \\ &\quad - \mu E \{ v(A) \} - \mu SE \{ v(B) \} - \mu E \{ v(\psi) \} - \mu SE \{ v(\tau) \} - \mu^2 \end{aligned} \quad \text{IV.9}$$

$$\text{Mas, } E \{ v(\psi) \} = \int_0^1 v(\psi) p(\psi) d\psi = \int_0^1 [\psi(\psi) - 1/2] \cdot 1 \cdot d\psi$$

$$= \int_0^1 \left(\psi - \langle \psi \rangle - \frac{1}{2} \right) d\psi =$$

$$= \frac{\psi^2}{2} \Big|_0^1 - \frac{\psi}{2} \Big|_0^1 =$$

$$= \frac{1}{2} - \frac{1}{2} = 0$$

O mesmo argumento usado para $v(\tau)$ dá

$$E \{ v(\tau) \} = 0$$

$$SE \{ v(B) v(\psi) \} = SE \{ v(B) \} E \{ v(\psi) \} \quad \text{IV.10}$$

pois B é uma variável em τ e por definição τ e ψ são independentes, e em consequência $v(B)$ e $v(\psi)$ são independentes. Já foi mostrado que

$$E \{ v(\psi) \} = 0$$

Logo,

$$SE \{ v(B) \} E \{ v(\psi) \} = 0$$

Para o caso de

$$SE \{v(A) v(\tau)\}$$

pode-se dizer que $v(A) v(\tau)$ é uma variável em ψ e τ da da por $g(\psi, \tau)$ e de acordo com o teorema apresentado por Papoulis { R.15 } , pode-se escrever que:

$$E \{g(\psi, \tau)\} = E \{E [g(\psi, \tau | \tau)]\} \quad \text{IV.11}$$

e portanto,

$$SE \{v(A) v(\tau)\} = SE \{E [v(A | \tau) v(\tau)]\}$$

Portanto, fixando τ , se obtém $v(A | \tau)$ somente função de ψ e assim conclui-se que $v(A | \tau)$ e $v(\tau)$ são independentes e, em consequência

$$SE\{E[v(A | \tau)v(\tau)]\} = SE\{v(A | \tau)\} E\{v(\tau)\} \quad \text{IV.12}$$

$$\text{Também já foi mostrado que } E \{v(\tau)\} = 0$$

$$\therefore SE \{v(A) v(\tau)\} = 0$$

Então, $C(t)$ ficou reduzido a

$$C(t) = E \{v(A) S v(\psi)\} + E \{v(B) S^2 v(\tau)\}$$

$$\text{Fazendo-se } C_A(t) = E \{v(A) S v(\psi)\} \quad \text{e} \quad \text{IV.13}$$

$$C_B(t) = S^2 E \{v(B) v(\tau)\} \quad \text{IV.14}$$

chega-se a

$$C(t) = C_A(t) + C_B(t) \quad \text{IV.15}$$

Começando-se pela avaliação de $C_B(t)$, que é a mais fácil, tem-se

$$S^{-2} C_B(t) = E \{v(t+\tau) v(t)\} = \int_0^1 v(t+\tau) v(\tau) d\tau \quad \text{IV.16}$$

Como τ pertence ao intervalo $[0, 1)$, então

$$\langle \tau \rangle = 0 \quad \text{e} \quad v(\tau) = \tau - \frac{1}{2} \quad \text{IV.17}$$

Para o caso de $v(t+\tau)$, considere-se a Fig. IV.8 até o ponto A, onde

$$v(t+\tau) = v(t) + \tau \quad \text{IV.18}$$

Do ponto A para frente,

$$v(t+\tau) = v(t) + \tau - 1 \quad \text{IV.19}$$

Porém, como a integração é em τ , pode-se dizer o seguinte:

A equação IV.18 é válida até $t = (1-\tau)$, ou seja, $\tau = 1 - t$ (ver Fig. IV.8 para τ) mas τ está entre $[0,1]$ e t varia de $-\infty$ a $+\infty$, então, como pode-se ver pela Fig. IV.8, τ varia com relação a $U(t)$ e então,

$$\tau = 1 - U(t) \quad \text{IV.20}$$

Então, para a solução da equação IV.16 deve-se considerar os seguintes limites:

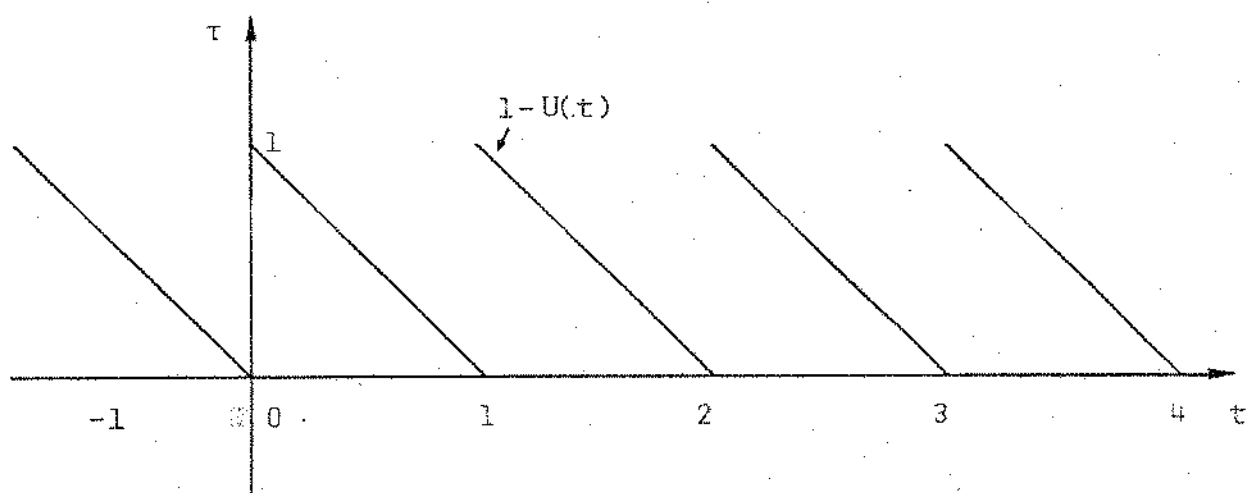
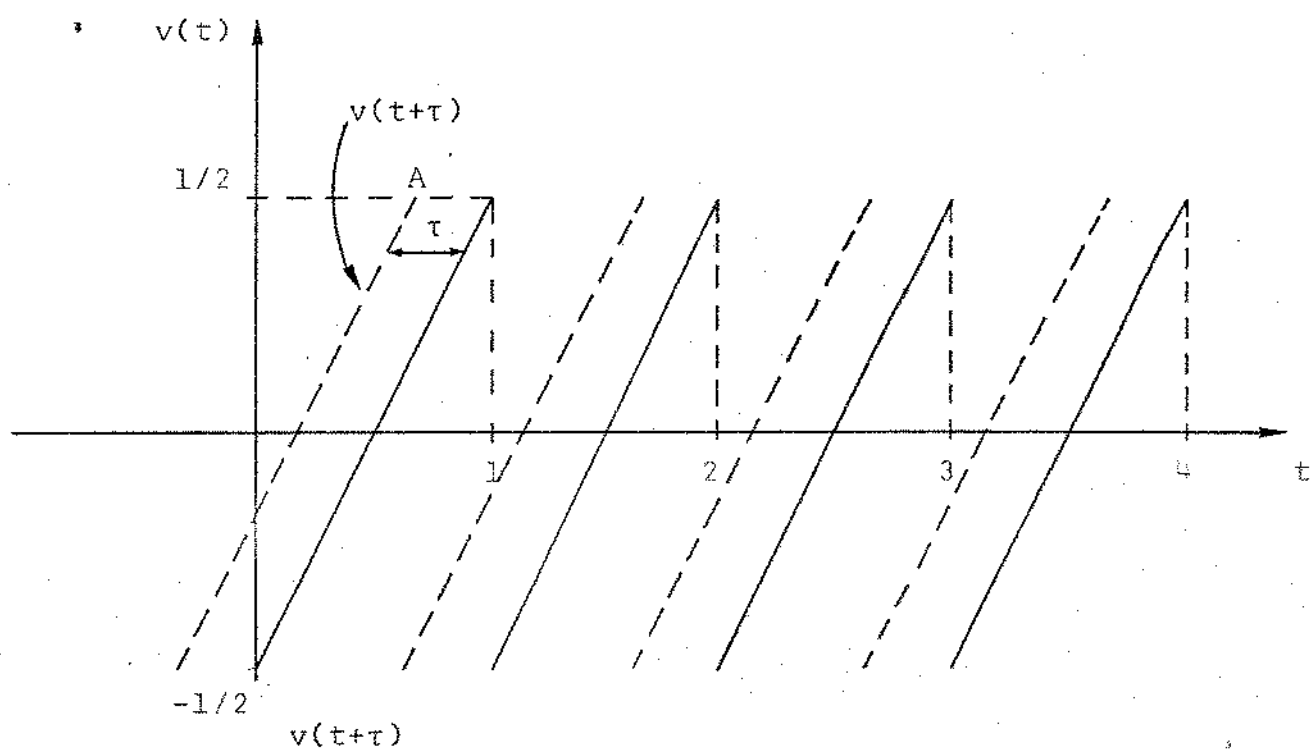
$$v(t+\tau) = v(t) + \tau \quad \text{para } 0 \leq \tau < 1 - U(t) \quad \text{IV.21}$$

$$v(t+\tau) = v(t) + \tau - 1 \quad \text{para } 1 - U(t) \leq \tau < 1 \quad \text{IV.22}$$

Assim, a equação IV.16 ficará

$$\begin{aligned} S^{-2}C_B(t) &= \int_0^{1-U(t)} [v(t)+\tau] \left(\tau - \frac{1}{2}\right) d\tau + \\ &+ \int_{1-U(t)}^1 [v(t)+\tau-1] \left(\tau - \frac{1}{2}\right) d\tau = \\ &= \int_0^1 [v(t)+\tau] \left(\tau - \frac{1}{2}\right) d\tau - \int_{1-U(t)}^1 \left(\tau - \frac{1}{2}\right) d\tau = \\ &= \int_0^1 v(t) \left(\tau - \frac{1}{2}\right) d\tau + \int_0^1 \tau \left(\tau - \frac{1}{2}\right) d\tau - \int_{1-U(t)}^1 \left(\tau - \frac{1}{2}\right) d\tau \end{aligned}$$

A primeira integral se anula, a segunda dá $1/12$ e,



τ em função de t

Fig. IV.8 - Gráficos de $v(t+\tau)$ e τ

para a terceira, tem-se

$$\begin{aligned}
 - \int_{1-v(t)}^1 \left(1 - \frac{1}{2}\right) d\tau &= \frac{-\tau^2}{2} \Big|_{1-U(t)}^1 + \frac{\tau}{2} \Big|_{1-U(t)}^1 = \\
 &= -\frac{1}{2} U(t) [1 - U(t)]
 \end{aligned}
 \tag{IV.23}$$

Então,

$$S^{-2} C_B(t) = \frac{1}{12} - \left(\frac{1}{2}\right) U(t) [1 - U(t)]$$

Definindo agora,

$$\omega(t) = \frac{1}{12} - \left(\frac{1}{2}\right) U(t) [1 - U(t)] \tag{IV.24}$$

pode-se escrever finalmente

$$C_B(t) = S^2 \omega(t) \tag{IV.25}$$

Na Fig. IV.3 aparece um gráfico para $\omega(t)$.

Para o cálculo de $C_A(t)$, tem-se

$$C_A(t) = E \{v(\psi + S < t + \tau) v(\psi)\} =$$

$$= E \{E v(\psi + S < t + \tau) v(\psi) / \tau\}$$

$$E \{v(\psi + S < t + \tau) v(\psi) / \tau\} =$$

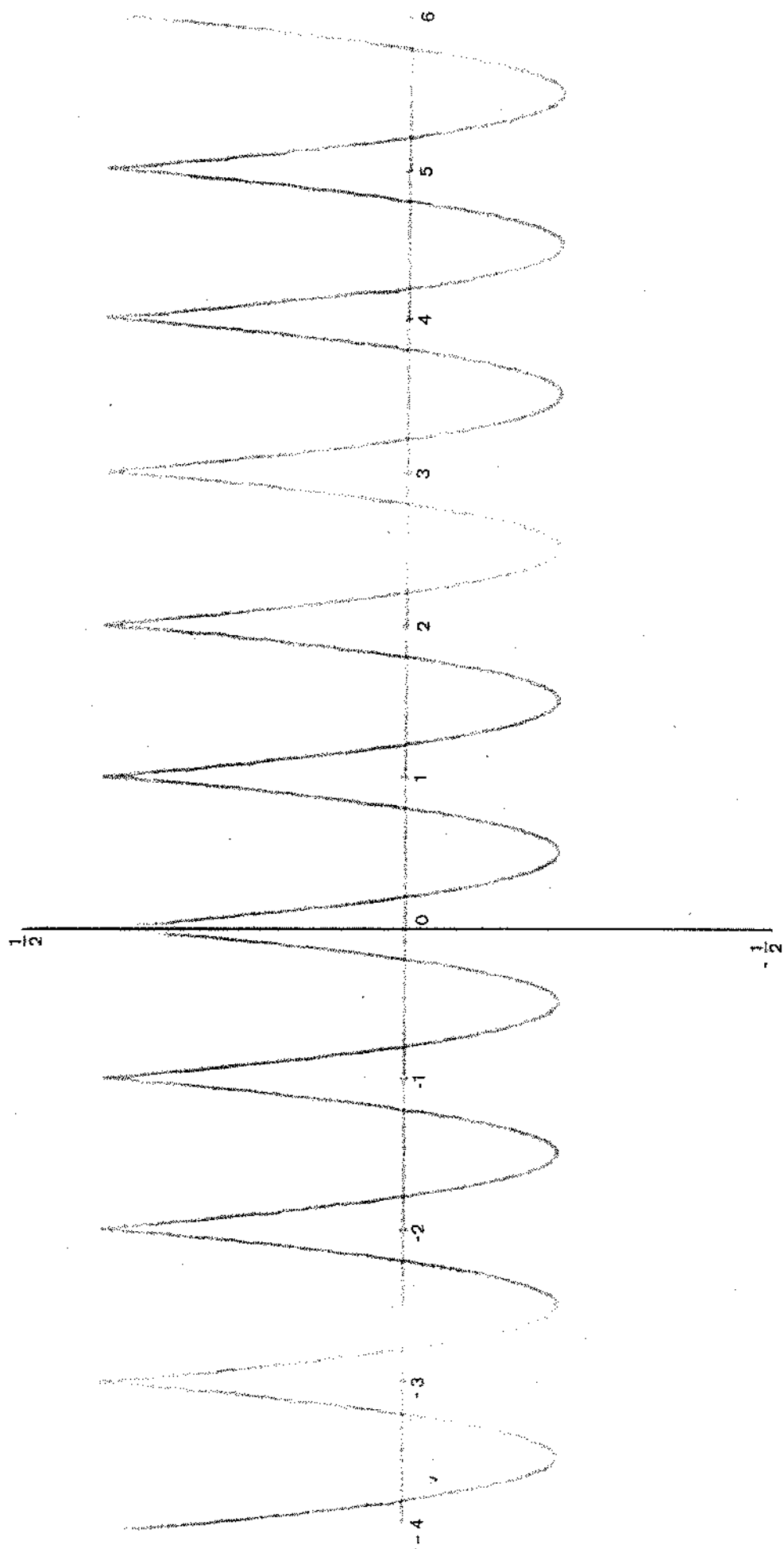


Fig.IV.9 - $\omega(x)$

$$= \int_0^1 v(\psi + S < t + \tau) v(\psi) p(\psi) d\psi \quad \text{IV.26}$$

$p(\psi)$ é a densidade de probabilidade de ψ , e como ψ está distribuída uniformemente em $[0,1]$, então $p(\psi) = 1$

$$E\{v(\psi + S < t + \tau) v(\psi)/\tau\} = \int_0^1 v(\psi + S < t + \tau) v(\psi) d\psi \quad \text{IV.27}$$

Definindo $S < t + \tau = t_1$, tem-se uma integral idêntica àquela, já avaliada em IV.16, só que ψ é a variável. Logo,

$$\int_0^1 v(\psi + S < t + \tau) v(\psi) d\psi = \int_0^1 v(\psi + t_1) v(\psi) d\psi = \omega(t_1)$$

Como consequência,

$$E \{v(\psi + S < t + \tau) v(\psi)/\tau\} = \omega(S < t + \tau) \text{ e}$$

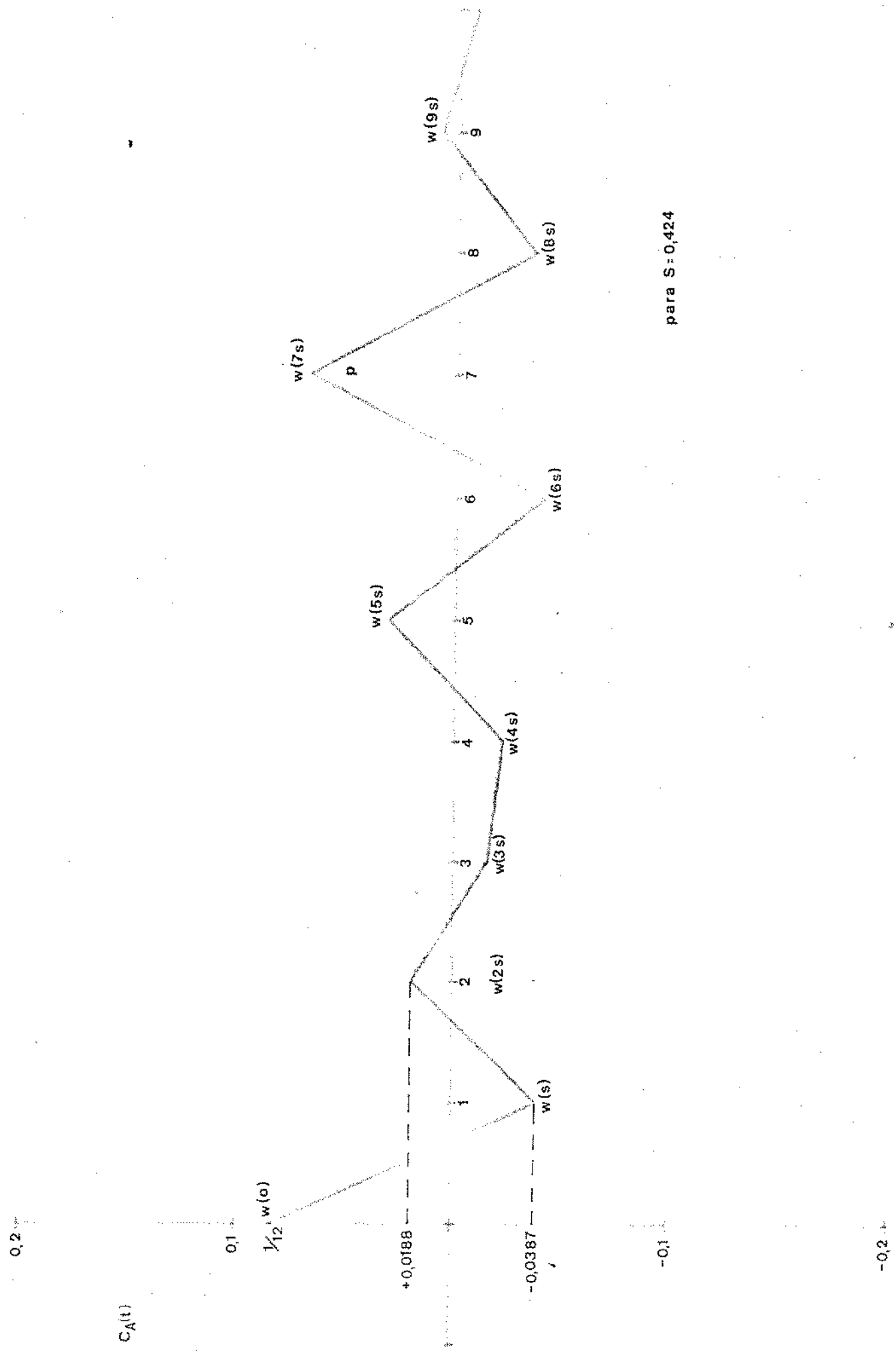
$$\begin{aligned} C_A(t) &= E \{ \omega(S < t + \tau) \} = \\ &= \int_0^1 \omega(S < \tau + \tau) d\tau \quad \text{IV.28} \end{aligned}$$

Como anteriormente, pode-se escrever

$$\begin{aligned} C_A(t) &= \int_0^{1-U(t)} \omega(S < t) d\tau + \int_{1-U(t)}^1 \omega(S < t + 1) d\tau = \\ &= \omega(S < t) \tau \Big|_0^{1-U(t)} + \omega(S < t + 1) \tau \Big|_{1-U(t)}^1 = \\ &= [1 - U(t)] \omega(S < t) + \omega(S < t + 1) [1 - 1 + U(t)] = \\ &= [1 - U(t)] \omega(S < t) + U(t) \omega(S < t + 1) \quad \text{IV.29} \end{aligned}$$

$C_A(t)$ é mostrado na Fig. IV.10.

Antes de passar ao cálculo de $G(f)$, é necessário introduzir-se uma expressão equivalente para $C_A(t)$, definindo



para $S = 0,424$

Fig.IV.10- $C_A(t)$ para $S = 0,424$

$$A(\tau) = \begin{cases} 1 - |\tau| & |\tau| \leq 1 \\ 0 & |\tau| > 1 \end{cases} \quad \text{IV.30}$$

Considere-se a equação IV.29 dentro de vários intervalos, os quais seguem abaixo.

$$\text{intervalo } [-3, -2) \quad C_A(t) = (-2-t) \omega(-3S) + (t+3) \omega(-2S)$$

$$\text{intervalo } [-2, -1) \quad C_A(t) = (-1-t) \omega(-2S) + (t+2) \omega(-S)$$

$$\text{intervalo } [-1, 0) \quad C_A(t) = (-t) \omega(-S) + (t+1) \omega(0)$$

$$\text{intervalo } [0, 1) \quad C_A(t) = (1-t) \omega(0) + t \omega(S)$$

$$\text{intervalo } [1, 2) \quad C_A(t) = (2-t) \omega(S) + (t-1) \omega(2S)$$

$$\text{intervalo } [2, 3) \quad C_A(t) = (3-t) \omega(2S) + (t-2) \omega(3S)$$

Estes intervalos estão no gráfico da Fig. IV.11.

Pode-se ver pela Fig. IV.11 que há uma sobreposição dos triângulos dentro dos intervalos considerados. Pela definição IV.30 é como se fossem vários triângulos se deslocando para as posições $\dots, -2, -1, 0, 1, 2, \dots$ e seus valores de amplitude seriam dados respectivamente por $\dots, \omega(-2S), \omega(-S), \omega(0), \omega(S), \omega(2S), \dots$. Para a n -ésima posição ter-se-ia $\omega(nS)$, e como n poderá variar entre $-\infty$ e ∞ , a expressão IV.29 de $C_A(t)$, usando-se IV.30 e a Fig. IV.11, ficará

$$C_A(t) = \sum_{n=-\infty}^{\infty} \omega(nS) A(t-n) \quad \text{IV.31}$$

Por outro lado,

$$A(\tau - n) = A(\tau) * \delta(\tau - n) \quad \text{IV.32}$$

onde $\delta(t)$ é a função impulso e $*$ denota convolução.

Então,

$$C_A(t) = \sum_{n=-\infty}^{\infty} \omega(nS) A(t) * \delta(t-n)$$

$$\text{como } \omega(nS) \delta(t-n) = \omega(nS) \delta(t-n)$$

$$\text{e } C_A(t) = A(t) * \omega(S) \sum_{n=-\infty}^{\infty} \delta(t-n) \quad \text{IV.33}$$

e definindo

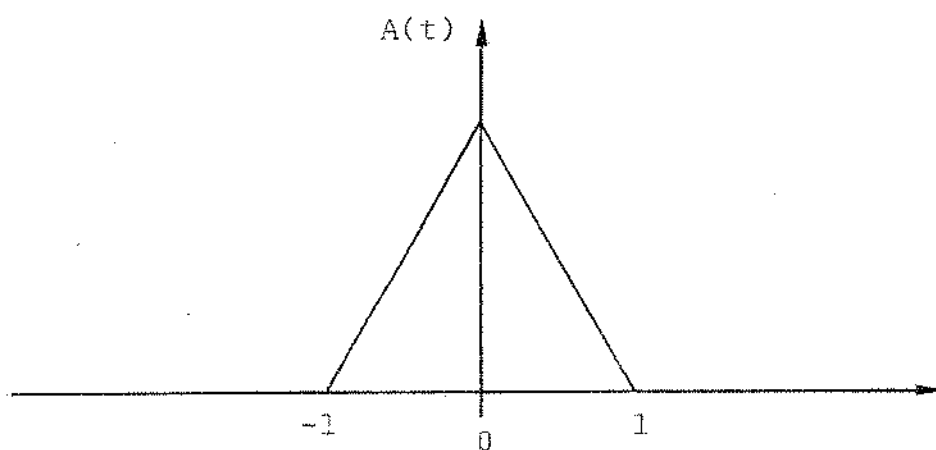


Gráfico para $A(t)$

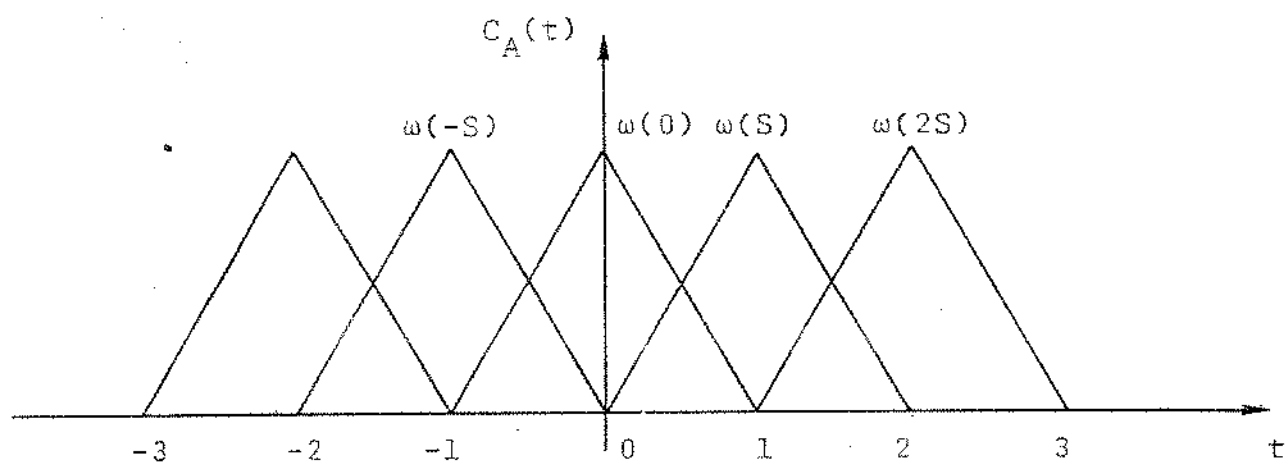


Gráfico para vários intervalos de $C_A(t)$

Os valores $\omega(ns)$ foram normalizados = 1

Fig.IV.11 - Gráficos de $A(t)$ e $C_A(t)$

$$\text{Rep } X(f) = \sum_{k=-\infty}^{\infty} X(f-k) \quad \text{IV.34}$$

para qualquer função: $X(f)$ tem-se que

$$\text{Rep } \delta(\tau) = \sum_{n=-\infty}^{\infty} \delta(\tau - n) \quad \text{IV.35}$$

e portanto,

$$C_A(t) = A(\tau) * w(S\tau) \cdot \text{rep} \delta(t) \quad \text{IV.36}$$

e da definição

$$G(f) = F\{C(t)\} = F\{C_A(t)\} + F\{C_B(t)\} \quad \text{IV.37}$$

onde $F\{\cdot\}$ é a transformada de Fourier; então

$$G(f) = G_A(f) + G_B(f) \quad \text{IV.38}$$

Da mesma maneira que a obtenção da covariância de $C_B(t)$ foi a mais fácil, também a obtenção de sua transformada $G_B(f)$ é mais fácil.

A função $w(\cdot)$ é periódica com período 1 (um) e média zero. Então, pode-se expandir $w(\cdot)$ em série de Fourier

$$w(X) = \sum_{n=-\infty}^{\infty} C_n e^{j2\pi nX} \quad \text{onde } n = \pm 1, \pm 2, \dots \quad \text{IV.39}$$

$$C_n = \int_0^1 w(X) e^{-j2\pi nX} dX =$$

$$= \int_0^1 \left\{ \frac{1}{12} - \left(\frac{1}{12} \right) U(X) [1 - U(X)] \right\} e^{-j2\pi nX} dX =$$

$$= \int_0^1 \frac{1}{12} e^{-j2\pi nX} dX - \frac{1}{2} \int_0^1 U(X) (1 - U(X)) e^{-j2\pi nX} dX.$$

A primeira integral de C_n :

$$\frac{1}{12} \int_0^1 e^{-j2\pi nX} dX = \frac{1}{12} \cdot \frac{e^{-j2\pi nX}}{-j2\pi n} \Big|_0^1 = -\frac{1}{j24\pi n} (e^{-j2\pi n} - 1)$$

$$= -\frac{1}{j24\pi n} (\cos 2\pi n - j \sin 2\pi n - 1) = 0$$

pois $n = \pm 1, \pm 2, \pm 3, \dots$

Para a segunda integral de C_n , tem-se

$$U(X) = X - \langle X \rangle = X, \text{ pois } X \text{ está em } [0,1).$$

Então,

$$\begin{aligned} C_n &= -\frac{1}{2} \int_0^1 X(1-X) e^{-j2\pi nX} dX = \\ &= -\frac{1}{2} \left\{ \int_0^1 X e^{-j2\pi nX} dX - \int_0^1 X^2 e^{-j2\pi nX} dX \right\} \end{aligned}$$

Fazendo-se

$$\int_0^1 X e^{-j2\pi nX} dX = A \quad \text{e} \quad \int_0^1 X^2 e^{-j2\pi nX} dX = B,$$

obtem-se os seguintes resultados:

$$C_n = -\frac{1}{2} \{A - B\} = -\frac{1}{2} \left\{ \frac{-\cos 2\pi n}{j2\pi n} + \frac{\cos 2\pi n}{j2\pi n} + \frac{2}{j2\pi n} \cdot \frac{\cos 2\pi n}{j2\pi n} \right\}$$

Portanto,

$$C_n = \frac{1}{(2\pi n)^2}$$

IV.40

A transformada de Fourier de $C_B(t)$ será

$$G_B(f) = F \{C_B(t)\} = F \{S^2 \omega(t)\} =$$

$$= F \left\{ S^2 \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 e^{j2\pi n t} \right\} =$$

$$= S^2 \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 F \{e^{j2\pi n t}\} = S^2 \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 \delta(f-n) =$$

$$= S^2 \sum_{n=1}^{\infty} \left(\frac{1}{2\pi n} \right)^2 \{\delta(f-n) + \delta(f+n)\}$$

IV.41

Agora resta avaliar $G_A(f)$.

$$G_A(f) = F \{C_A(t)\} = F \{A(t) * [\omega(S t) \text{rep } \delta(t)]\} =$$

$$= F \{A(t)\} \cdot F \{\omega(S t) \cdot \text{rep } \delta(t)\} =$$

$$= F \{A(t)\} \cdot F \{\omega(S t)\} * F \{\text{rep } \delta(t)\} \quad \text{IV.42}$$

$$F \{A(t)\} = \frac{\text{sen}^2(\pi f)}{(\pi f)^2} \stackrel{\Delta}{=} \text{sinc}^2 f \quad \text{IV.43}$$

$$F \{\text{rep } \delta(t)\} = \text{rep } \delta(f)$$

Procedendo da mesma maneira que para $G_B(f)$, chega-se

$$\begin{aligned} F\{\omega(S t)\} &= F \left\{ \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 e^{j2\pi n S t} \right\} = \\ &= \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 F \{e^{j2\pi n S t}\} = \\ &= \sum_{\substack{n=-\infty \\ n \neq 0}}^{\infty} \left(\frac{1}{2\pi n} \right)^2 \delta(f - nS) = \sum_{n=1}^{\infty} \left(\frac{1}{2\pi n} \right)^2 \{\delta(f - nS) + \delta(f + nS)\} \end{aligned} \quad \text{IV.44}$$

Portanto

$$G_A(f) = \text{sinc}^2 f \cdot Q(f) \quad \text{IV.45}$$

onde

$$\begin{aligned} Q(f) &= \text{rep } \delta(f) * \sum_{n=1}^{\infty} \left(\frac{1}{2\pi n} \right)^2 [\delta(f - nS) + \delta(f + nS)] \\ Q(f) &= \sum_{n=1}^{\infty} \left(\frac{1}{2\pi n} \right)^2 [\text{rep } \delta(f - nS) + \text{rep } \delta(f + nS)] \end{aligned} \quad \text{IV.46}$$

Portanto, finalmente chega-se a

$$G(f) = G_A(f) + G_B(f) \quad \text{IV.47}$$

sendo

$$G_A(f) = \text{sinc}^2 f \cdot Q(f)$$

$$G_B(f) = \sum_{n=1}^{\infty} \left(\frac{S}{2\pi n} \right)^2 [\delta(f - n) + \delta(f + n)]$$

Na Fig. IV.12 estão plotados os gráficos de $\text{sinc}^2 f$, $Q(f)$ e $G_B(f)$ para $S = 0,424$ nominal.

No eixo das abcissas, a frequência é dada em ciclos por oportunidade de inserção, e onde $1 \text{ OI} \approx 10 \mu\text{s}$ é equivalente ao comprimento de quadro do sistema. Então, um ciclo por oportunidade de inserção é igual à 9,962 KHz, que é a taxa de quadro do sistema.

Na Fig. IV.12 somente os três primeiros termos de $Q(f)$ são mostrados, pois os demais possuem menores amplitudes e não chegam a interferir de modo efetivo no sinal.

As linhas marcadas por 1^- , 2^- , ..., n^- , são linhas introduzidas por:

$$\left(\frac{1}{2\pi n}\right)^2 \text{ rep } \delta(f - Sn)$$

e as linhas marcadas por 1^+ , 2^+ , ..., n^+ , são linhas introduzidas por

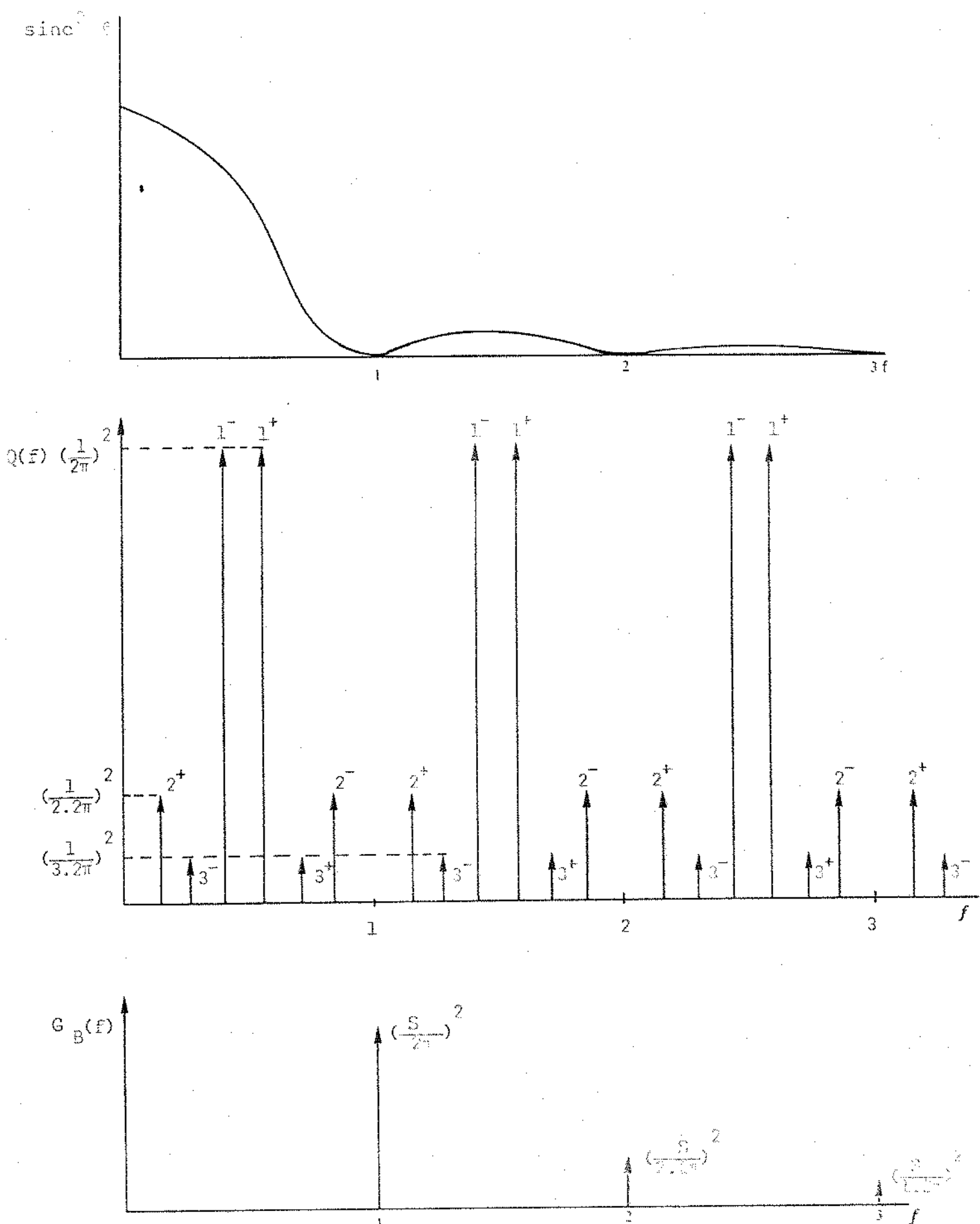
$$\left(\frac{1}{2\pi n}\right)^2 \text{ rep } \delta(f + Sn)$$

Ao examinar a configuração de $G_B(f)$, nota-se que esta configuração contém somente componentes de frequência relativamente alta, ou seja, suas componentes possuem frequência maiores ou iguais a uma vez a taxa de quadro. Se, por acaso, o sinal de jitter possuir frequências desta ordem, elas serão, sem dúvida nenhuma, eliminadas pelo P.L.L. do sistema, o qual possui uma natureza passa-baixa e cuja frequência de corte está em 50 Hz.

A função $\text{sinc}^2 f$ é apenas uma envoltória. Portanto, a informação de interesse sobre o espectro de $G(f)$ é dado por $Q(f)$, pois as frequências baixas contidas em $G(f)$ serão determinadas por S , através de $Q(f)$.

A equação IV.47 de $G(f)$ vale tanto para S racional como para irracional, mas a forma do espectro de $G(f)$ resultante diferirá em muito nos dois casos.

Assim, se S for um número racional p/q , com p e q primos entre si, $Q(f)$ apresentará q raias no intervalo $(0,1)$, pois, apesar de haver infinitas replicas de uma função básica em $Q(f)$,



Frequência em unidades de frequência
e $S = 0,424$

Fig.IV.12 - Gráficos para $G_B(f)$, $Q(f)$ e $\text{sinc}^2 f$

as raias das diferentes réplicas irão se superpor se S for racional (Fig.IV.13). Se S for irracional (Fig.IV.14), isso não acontecerá e haverá, então, infinitas raias no intervalo de frequências $(0,1)$. Foi mostrado por Iwerson {R.14} que, quando p e q são primos, pode-se reescrever a soma infinita de $Q(f)$ numa soma finita dada por

$$Q(f) = \frac{1}{4q^2} \sum_{n=1}^{q-1} \operatorname{cosec}^2 \left(\frac{n}{q} \pi \right) \operatorname{rep} \delta \left(f - \frac{pn}{q} \right) + \frac{1}{12q^2} \operatorname{rep} \delta(f) \quad \text{IV.46}$$

A seguir, são apresentados alguns resultados experimentais para o espectro de potência do jitter. Estes resultados foram obtidos através do uso de um analisador de onda da Hewlett Packard, modelo 302A.

Na tabela I, é mostrada a amplitude em mV e em dB para $S = 0,424$, dando como resultado o gráfico da Fig. IV.15.

Na tabela II, é feito o mesmo para $S = 1/3$, dando o gráfico da Fig. IV.16.

Pelos resultados experimentais encontrados, nota-se uma boa coincidência com os dados teóricos. Certas varetas espúrias que aparecem na Fig. IV.16 são devidas possivelmente ao método de medição utilizado. De qualquer maneira, elas apresentam amplitudes pequenas para que possam influir significativamente nos resultados. Enfim, os resultados experimentais obtidos foram, de maneira geral, bons e próximos dos valores esperados pela teoria clássica.

TABELA I

ESPECTRO DE JITTER PARA $S = 0,42$

Freq.(ciclos por OI)	Amplitude (mV)	Amplitude (dB)
0,062	13	-36
0,0915	7	-41
0,12	20	-32
0,147	52	-23,5
0,175	10	-38,5
0,2.705	25	-28,5
0,298	20	-21,5
0,325	6	-42
0,39	8	-40
0,42	62	-20,8
0,448	10	-38
0,5420	8	-40
0,570	43	-21,5
0,638	2	-53
0,694	10	-38,5
0,721	11	-33
0,845	22	-30
1,872	7	-41
0,96	6	-43
1,0	220	-10,8

TABELA II

ESPECTRO DE JITTER PARA $S = 1/3$

f (KHz)	A (mV)	A dB
0,1200	3,5	-47
0,1600	2,5	-50
0,2060	3,0	-48
0,3270	9,0	-39
0,3315	78	-20
0,3360	6,0	-42
0,6600	8,0	-40
0,6620	35,0	-27
1	230	-11,2

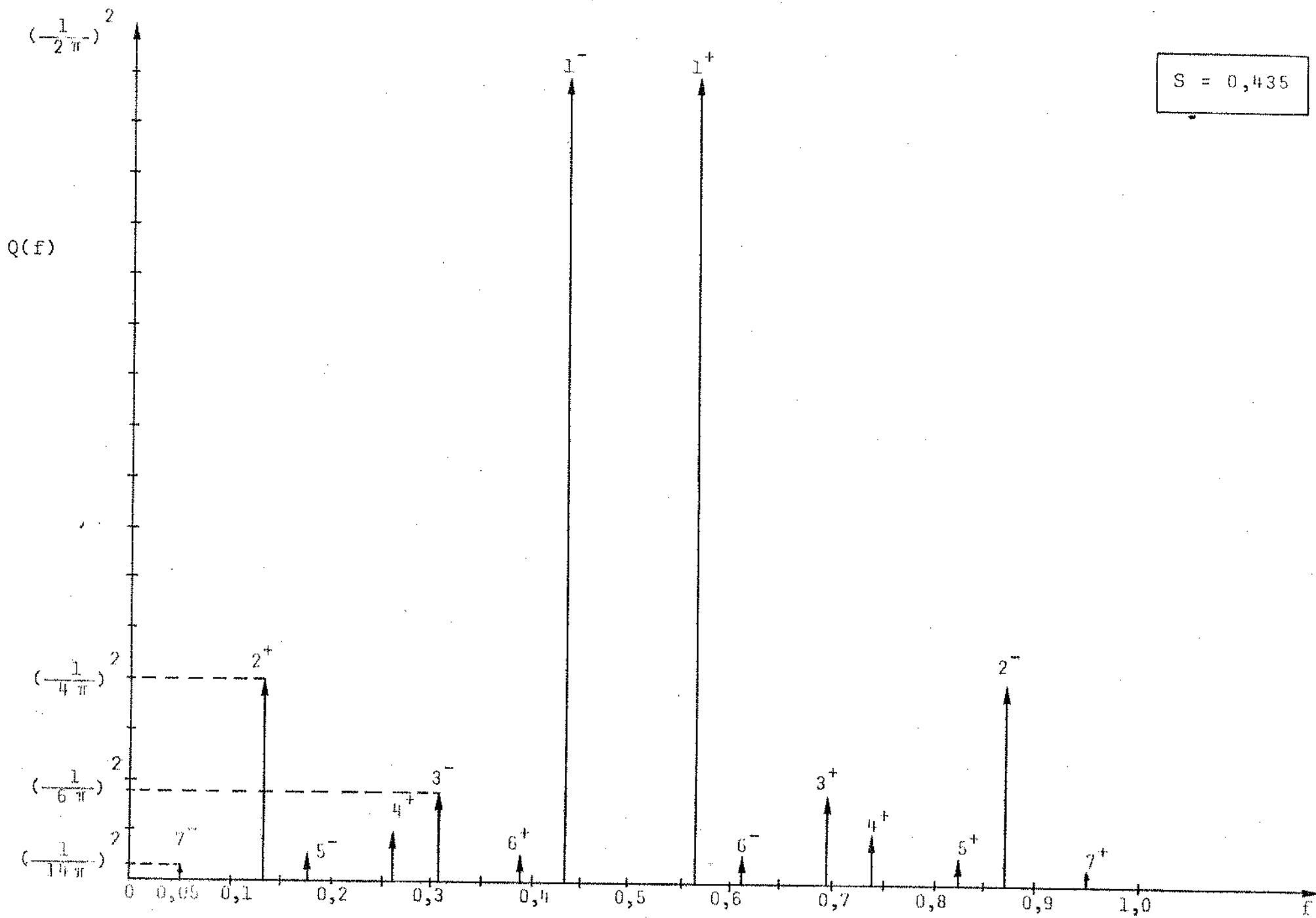


Fig.IV.13 - $Q(f)$ para $S = 0.435$ (teórico)

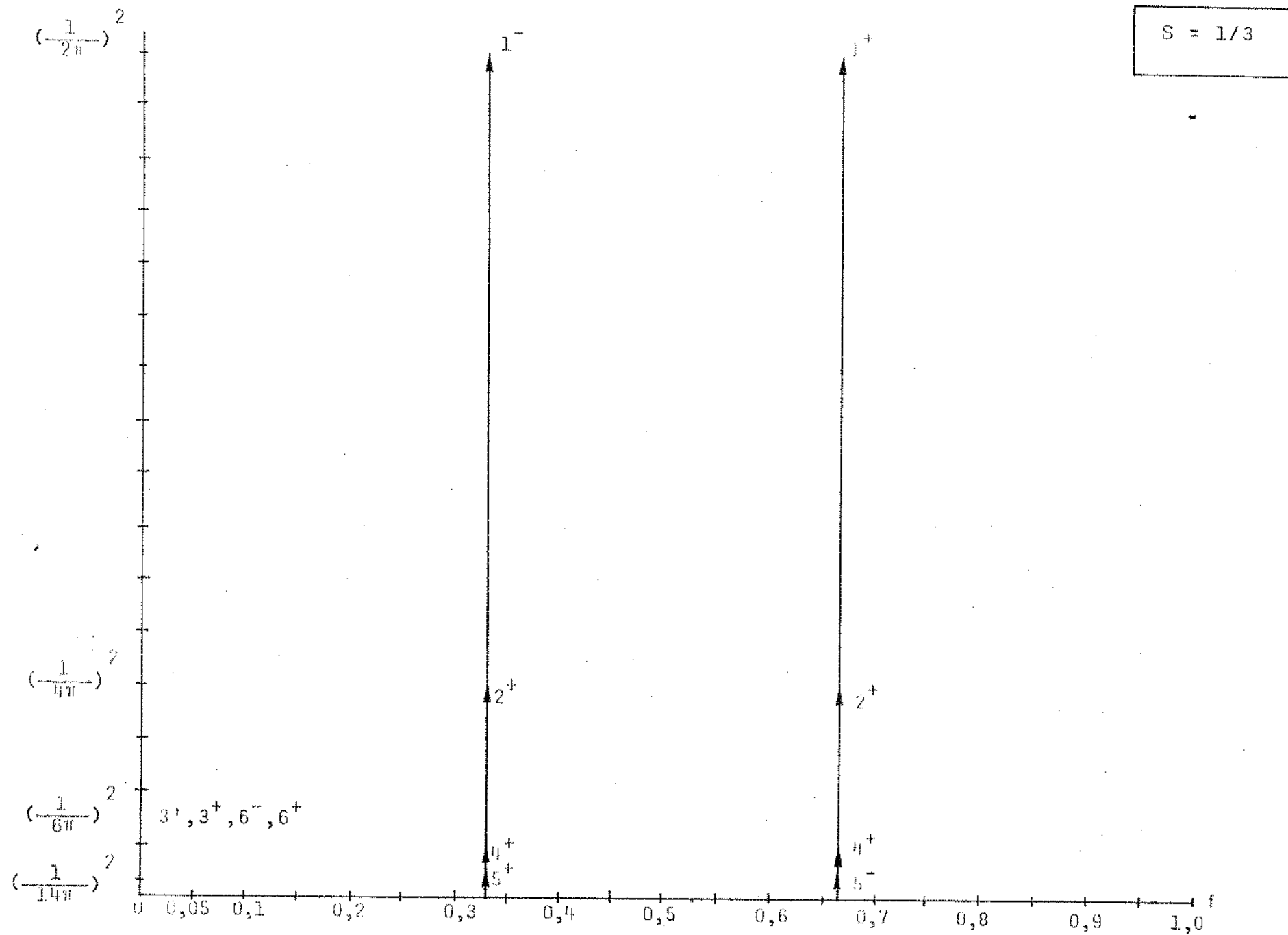
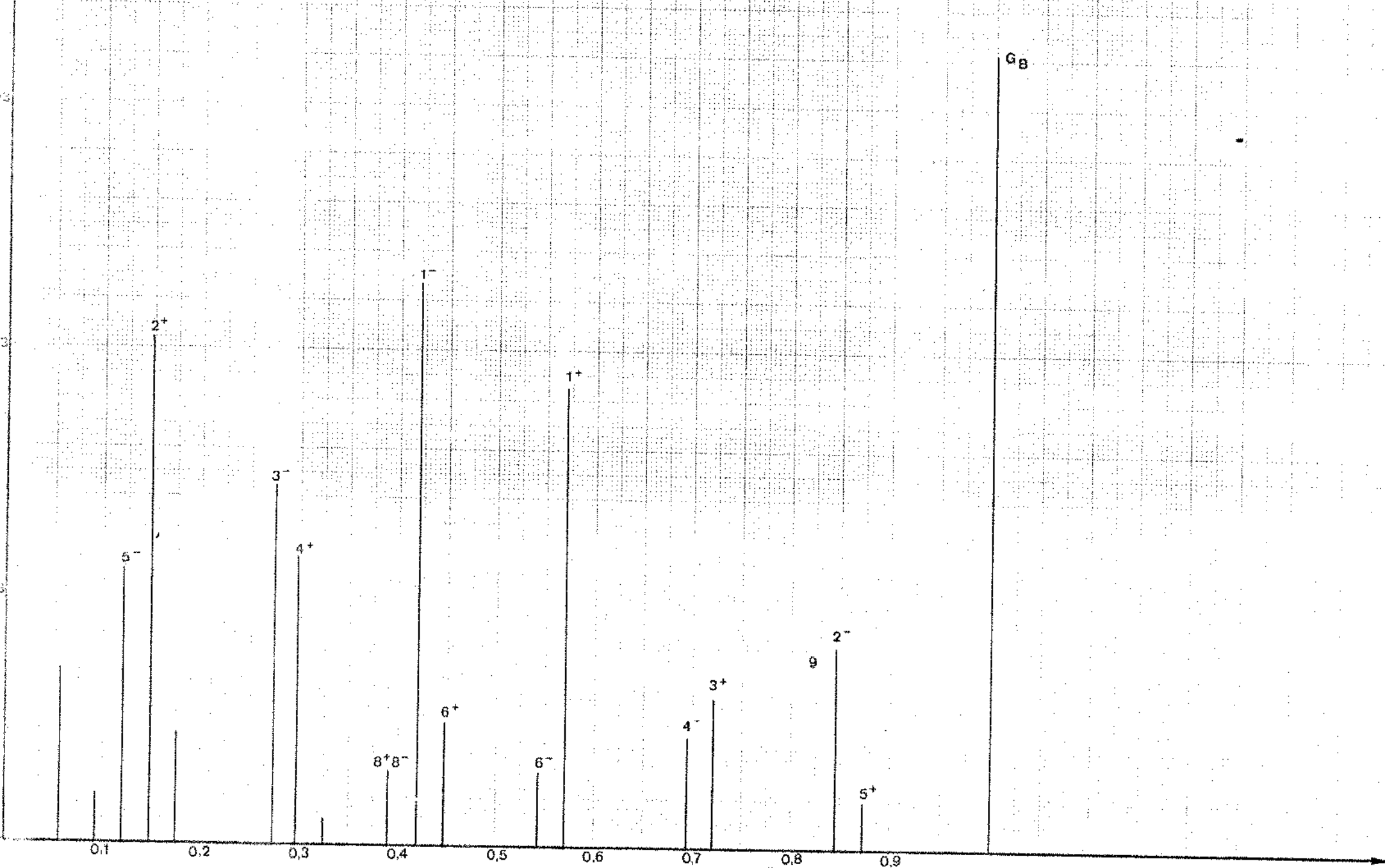
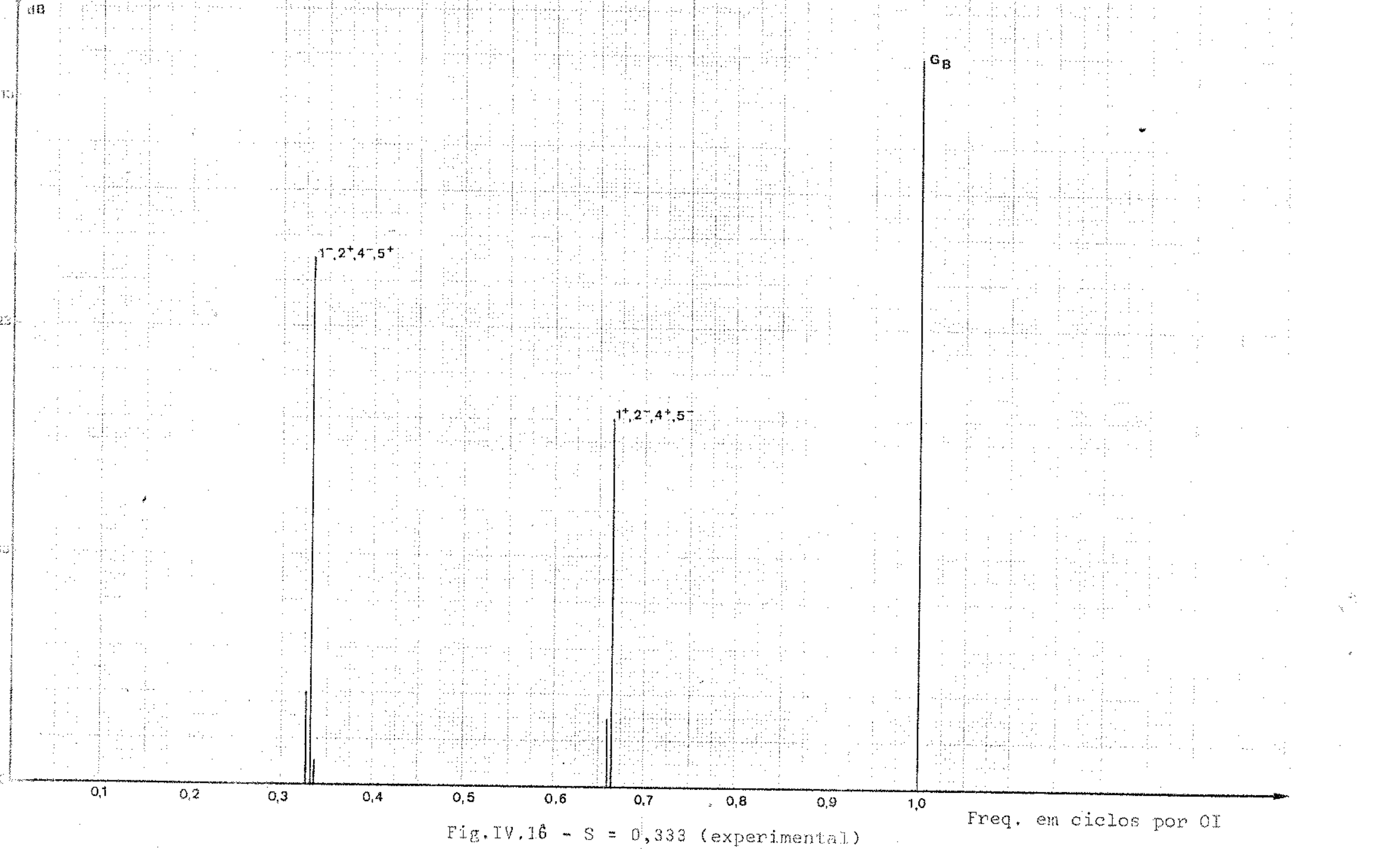


Fig.IV.14 - $Q(f)$ para $S = 0,333$ (teórico)





IV.4 - JITTER DE TEMPO DE ESPERA NO RECUPERADOR DE CANAL

Já em se tratando do recuperador (Fig.III.6c), ter-se-ia idealmente em sua saída o sinal de dados idênticos àqueles na entrada do sincronizador (Fig.III.6a). Mas, devido à natureza passa-baixa do P.L.L., estará presente nos dados de informação, uma quantidade razoável de jitter de baixa frequência, que o P.L.L. deixa passar.

Chamando esse jitter filtrado de $\phi_F(\tau)$, obtem-se

$$\phi_F(t) = h(t) * \phi(t) \tag{IV.47}$$

onde $*$ é o sinal que denota convolução.

$h(\tau)$ é a função de transferência total do P.L.L.

Desde que o jitter filtrado é dado pela equação acima, o espectro $G_F(f)$ do jitter de tempo de espera filtrado será dado por

$$G_F(f) = |H(f)|^2 G(f) \tag{IV.48}$$

onde $H(f)$ é a transformada de Fourier de $h(t)$.

A potência total do jitter filtrado é dada por

$$P_F(S) = \int_{-\infty}^{\infty} S_F(f) df = \int_{-\infty}^{\infty} |H(f)|^2 G_F df \tag{IV.49}$$

Como foi visto,

$$G(f) = G_A(f) + G_B(f)$$

$$\therefore P_F(S) = \int_{-\infty}^{\infty} |H(f)|^2 G_A(f) df + \int_{-\infty}^{\infty} |H(f)|^2 G_B(f) df \tag{IV.50}$$

Define-se

$$P_F(S) = P_{F,A}(S) + P_{F,B}(S) \quad \text{IV.51}$$

onde

$$P_{F,A}(S) = \int_{-\infty}^{\infty} |H(f)|^2 G_A(f) df \quad \text{IV.52}$$

$$P_{F,B}(S) = \int_{-\infty}^{\infty} |H(f)|^2 G_B(f) df \quad \text{IV.53}$$

O P.L.L. que está sendo atualmente utilizado no sistema 8 Mbit/s em desenvolvimento, apresenta uma frequência de corte em 50 Hz. Isto significa que as componentes de baixa frequência de $G(f)$ não serão atenuadas de um modo suficiente para evitar a influência desse jitter na saída de dados do sistema (recepção). Esta frequência de corte do P.L.L. é muito menor que 1 ciclo por OI. O ponto onde está localizada a linha espectral de mais baixa frequência de $G_B(f)$ (Fig. IV.12), é justamente em 1 OI. Como consequência, a contribuição dada por $P_{F,B}(S)$ à potência do jitter filtrado é nula. Portanto, toda a contribuição será dada por $P_{F,A}(S)$.

IV.4.1 - Amplitude do jitter de tempo de espera

Nesse ponto, torna-se interessante que se faça um estudo sobre amplitude do jitter de baixa frequência, pois, afinal, este jitter é que será responsável pela de gradação do sinal na saída do sistema (recepção), e todos os esforços devem ser concentrados sobre ele, para que seus efeitos sejam minimizados. Ao atacar-se este ponto, se está ao mesmo tempo esclarecendo o comportamento desse jitter quando S é racional, ou próximo disto. Este estudo foi baseado nas referências {R.5}, {R.6}, {R.10}.

Os símbolos listados a seguir serão usados no desenvolvimento que se segue.

<u>Símbolos</u>	<u>Definição</u>
ω_L	frequência angular da onda de controle de leitura justificada
ω_E	frequência angular do relógio de escrita
$\Delta\omega$	diferença angular de frequência ($\omega_L - \omega_E$)
Δf	diferença de frequência
Δt	diferença de período ($1/\Delta f$)
$f_\alpha (F_J)$	frequência máxima de justificação ($1/t_\alpha = 1/T$)
T	uma oportunidade de inserção (1 OI)
θ_α	diferença de fase entre posições sucessivas de inserção ($\Delta\omega t_\alpha$)
$\frac{\theta_\alpha}{2\pi}$	razão de inserção ($t_\alpha \Delta\omega$)
M, N, P	inteiros
$\langle \cdot \rangle$	indica o maior inteiro (como definido anteriormente)
$E[X]$	indica a variação da amplitude de X em um certo intervalo

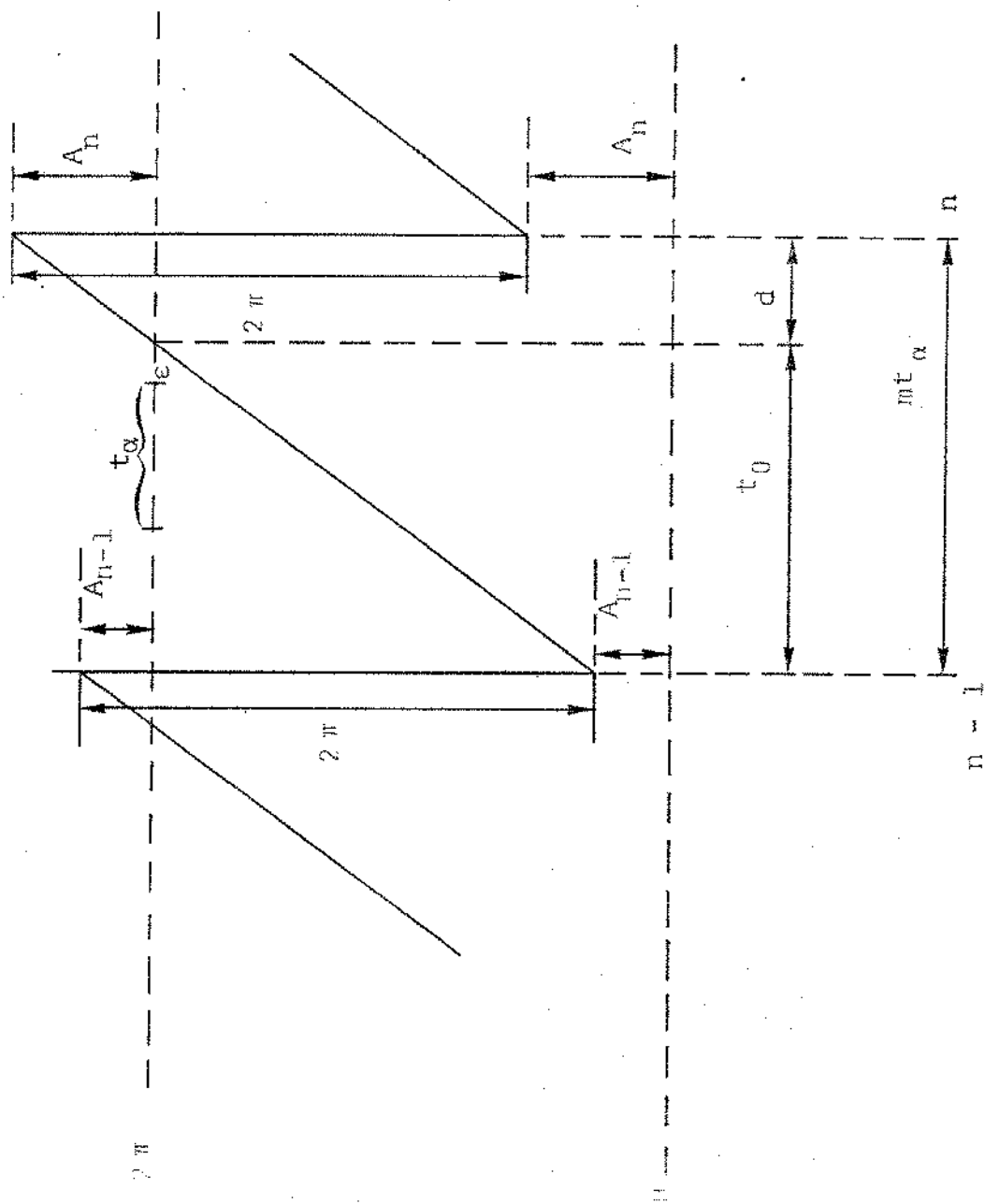
Na Fig. IV.17, tem-se um gráfico para um certo $\phi(t)$, sendo que a diferença de fase admitida como limiar é 2π , e t_0 =diferença entre a última inserção ocorrida e a próxima demanda para inserção.

mt_α = intervalo entre duas inserções consecutivas

t_α = instantes permitidos para inserção

A_n = quantidade que a diferença de fase excede 2π nas posições de inserção. Pode-se também definir A_n como sendo o resíduo de jitter acumulado durante o processo.

A Fig. IV.17 mostra que o intervalo entre a posição de inserção $n-1$, e a próxima posição de demanda de inserção é t_0 . O intervalo de tempo entre posições de inserção sucessivas é mt_α . Aqui, t_0 é o intervalo mínimo entre posições sucessivas de inserção, ou seja, a



Posição de
Inserção

Fig.IV.17 - $\phi(t)$ qualquer

inserção só ocorrerá em intervalos inteiros ou múltiplos de $t_\alpha (=T=10I)$. Como já foi visto, a diferença de fase irá exceder 2π por causa do tempo de espera.

Admitindo que o valor deste excesso de fase é A_n nas posições de inserção, pequenas variações de A_n ao longo de $t_\alpha(T)$ crescente dá origem ao jitter de baixa frequência, o qual será analisado a seguir.

A diferença de frequência angular entre o relógio de escrita e a onda de leitura justificada é dada por

$$\Delta\omega = \omega_L - \omega_E$$

Portanto, se em um instante t_0 deseja-se saber a variação da diferença de fase, esta seria dada por $\Delta\omega t_0$, e pela Fig. IV.17, tem-se

$$A_{n-1} + \Delta\omega t_0 = 2\pi \quad \text{IV.54}$$

$$\text{ou} \quad t_0 = (2\pi - A_{n-1})/\Delta\omega \quad \text{IV.55}$$

Com m deve ser um inteiro, pode-se obter da Fig. IV.17 a seguinte equação para m :

$$(m-1)t_\alpha = t_0 - \epsilon$$

Como $(m-1)$ deve ser inteiro, então

$$m-1 = \left\langle \frac{t_0}{t_\alpha} \right\rangle$$

Substituindo a equação IV.55 na equação acima, é obtido

$$m = \left\langle (2\pi - A_{n-1})/t_\alpha \Delta\omega \right\rangle + 1 \quad \text{IV.56}$$

$\Delta\omega t_\alpha$ dá a diferença de fase entre oportunidades possíveis de inserções sucessivas. Logo, pela definição apresentada anteriormente, $\Delta\omega t_\alpha = \theta_\alpha$. Logo,

$$m = \left\langle (2\pi - A_{n-1})/\theta_\alpha \right\rangle + 1 \quad \text{IV.57}$$

Se a diferença de fase em t_α é θ_α , em mt_α será $m\theta_\alpha$, e então: (ver Fig. IV.17)

$$A_{n-1} + m\theta_\alpha = A_n + 2\pi \quad \text{IV.58}$$

Esta equação dá a relação entre amplitudes de inserções sucessivas. Mas pode-se ainda encontrar uma equação para o jitter, relativa a esta amplitude A_n .

Substituindo-se IV.57 em IV.58:

$$A_{n-1} + \{ \langle (2\pi - A_{n-1}) / \theta_\alpha \rangle \} \theta_\alpha + \theta_\alpha = A_n + 2\pi$$

chamando

$$\langle (2\pi - A_{n-1}) / \theta_\alpha \rangle = \langle b_{n-1} \rangle \quad \text{IV.59}$$

é obtido

$$\theta_\alpha \{ \langle b_{n-1} \rangle \} + \theta_\alpha = A_n + 2\pi - A_{n-1} \quad \text{IV.60}$$

$$\begin{aligned} \langle b_{n-1} \rangle + 1 &= \frac{A_n}{\theta_\alpha} + \frac{2\pi - A_{n-1}}{\theta_\alpha} = \\ &= \frac{A_n}{\theta_\alpha} + b_{n-1} \end{aligned}$$

e

$$b_{n-1} - \langle b_{n-1} \rangle = 1 - \frac{A_n}{\theta_\alpha} + \frac{2\pi}{\theta_\alpha} - \frac{2\pi}{\theta_\alpha}$$

$$b_{n-1} - \langle b_{n-1} \rangle = \frac{2\pi - A_n}{\theta_\alpha} - \left(\frac{2\pi - \theta_\alpha}{\theta_\alpha} \right) \quad \text{IV.61}$$

Chamando

$$\frac{2\pi - A_n}{\theta_\alpha} = b_n \quad \text{IV.62}$$

e

$$\frac{2\pi - \theta_\alpha}{\theta_\alpha} = \bar{\theta} \quad \text{IV.63}$$

$$\text{tem-se } b_n = b_{n-1} - \langle b_{n-1} \rangle + \bar{\theta} \quad \text{IV.64}$$

Várias características de b_n podem ser obtidas após a determinação do valor de $\bar{\theta}$ para cada θ_α . E, com isso, a característica de b_n poderá ser obtida da equação IV.62.

Agora, considere-se a variável θ_α . Da definição $\theta_\alpha = \Delta\omega t_\alpha$, mas $\Delta\omega = 2\pi/\Delta t$. Então,

$$\theta_\alpha = 2\pi \cdot \frac{t_\alpha}{\Delta t} = \frac{2\pi}{N} \quad \text{IV.65}$$

Desde que t_α dá as posições permitidas para a ocorrência de inserção, então, $N = \Delta t/t_\alpha$ mostra que a inserção só será feita uma vez nas posições de inserção dadas por N . Pode-se facilmente verificar que $1/N$ é a razão de justificação e θ_α indica a razão de justificação multiplicada por 2π .

Substituindo-se este novo valor de θ_α na equação IV.63, é obtido

$$\bar{\theta} = \frac{2\pi - \frac{2\pi}{N}}{\frac{2\pi}{N}} = \frac{2\pi}{2\pi} N - \frac{2\pi N}{2\pi N} = N - 1$$

ou $N = \bar{\theta} + 1 \quad \text{IV.66}$

Pode-se agora exemplificar o comportamento de b_n . Na Fig. IV.18, é mostrado um gráfico quando $\bar{\theta} < 1$. Pode-se ver que, em cada posição de inserção, b_n é aumentado de θ_α . Quando b_n exceder a "1", b_n retorna ao valor de θ_α mais a quantidade que exceder "1". Conforme as afirmações e equações acima, pode-se notar que só se tem periodicidade única na ocorrência de inserção quando N ou $\bar{\theta}$ for um número racional. Quando N ou $\bar{\theta}$ for um número irracional, não se tem periodicidade única na ocorrência de inserção.

Se N variar ligeiramente de um número racional

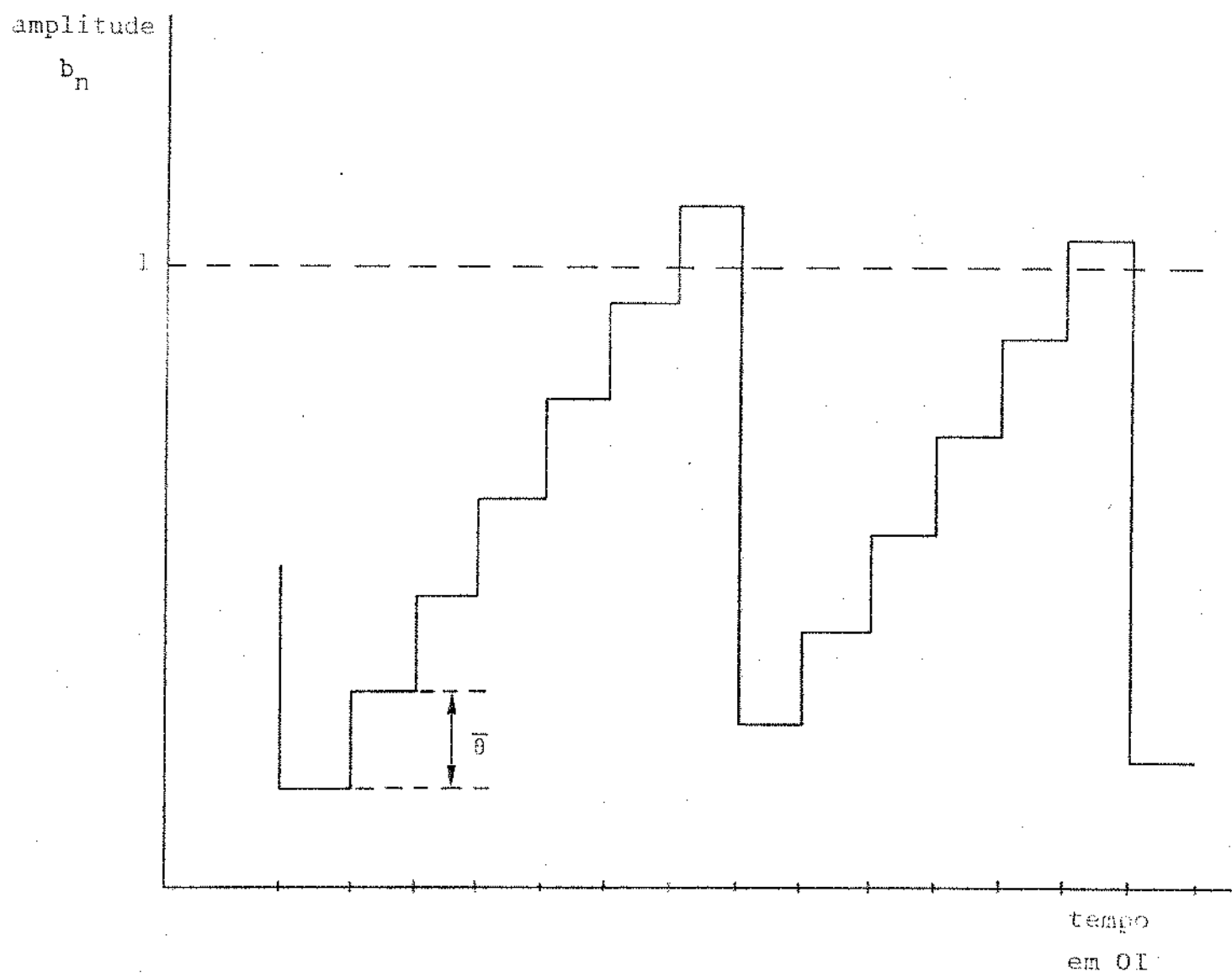


Fig. IV.18 - Filter b_n para $\bar{\theta} < 1$

nal, o jitter b_n ou A_n terá uma componente de baixa frequência correspondente a esta variação. Portanto, passa-se agora a considerar N ou $\bar{\theta}$ como sendo um número racional ou ligeiramente diferente deste. Estes casos podem ser divididos em três partes:

- (i) $\bar{\theta}$ é um número inteiro
- (ii) $\bar{\theta}$ é um número racional menor que a unidade
- (iii) $\bar{\theta}$ é um número racional qualquer (caso geral)

Antes de tudo, é interessante saber a relação existente entre a variação das amplitudes A_n e b_n . Através da equação IV.62, é obtido que

$$E[A_n] = \theta_\alpha E[b_n] \quad \text{IV.67}$$

onde o símbolo $E[X]$ denota a variação da amplitude de X .

Passa-se agora a considerar cada caso separadamente.

$$i) \bar{\theta} = M \quad (M = 0, 1, 2, 3, \dots)$$

Das equações IV.65 e IV.66 é obtido

$$N = M + 1 \quad \text{e} \quad \theta_\alpha = 2\pi/(M+1)$$

Isto corresponde aos casos quando a inserção é feita somente uma vez nas $M+1$ posições de inserção e perfeitamente periódico. Neste caso, o jitter de baixa frequência não ocorre, pois não haverá variação em b_n .

Considere-se que $\bar{\theta}$ varie ligeiramente, ou ainda, que haja uma pequena variação ϵ em N .

A Fig. IV.13 ilustra o comportamento de b_n para esta situação. Pela Figura, pode-se dizer que

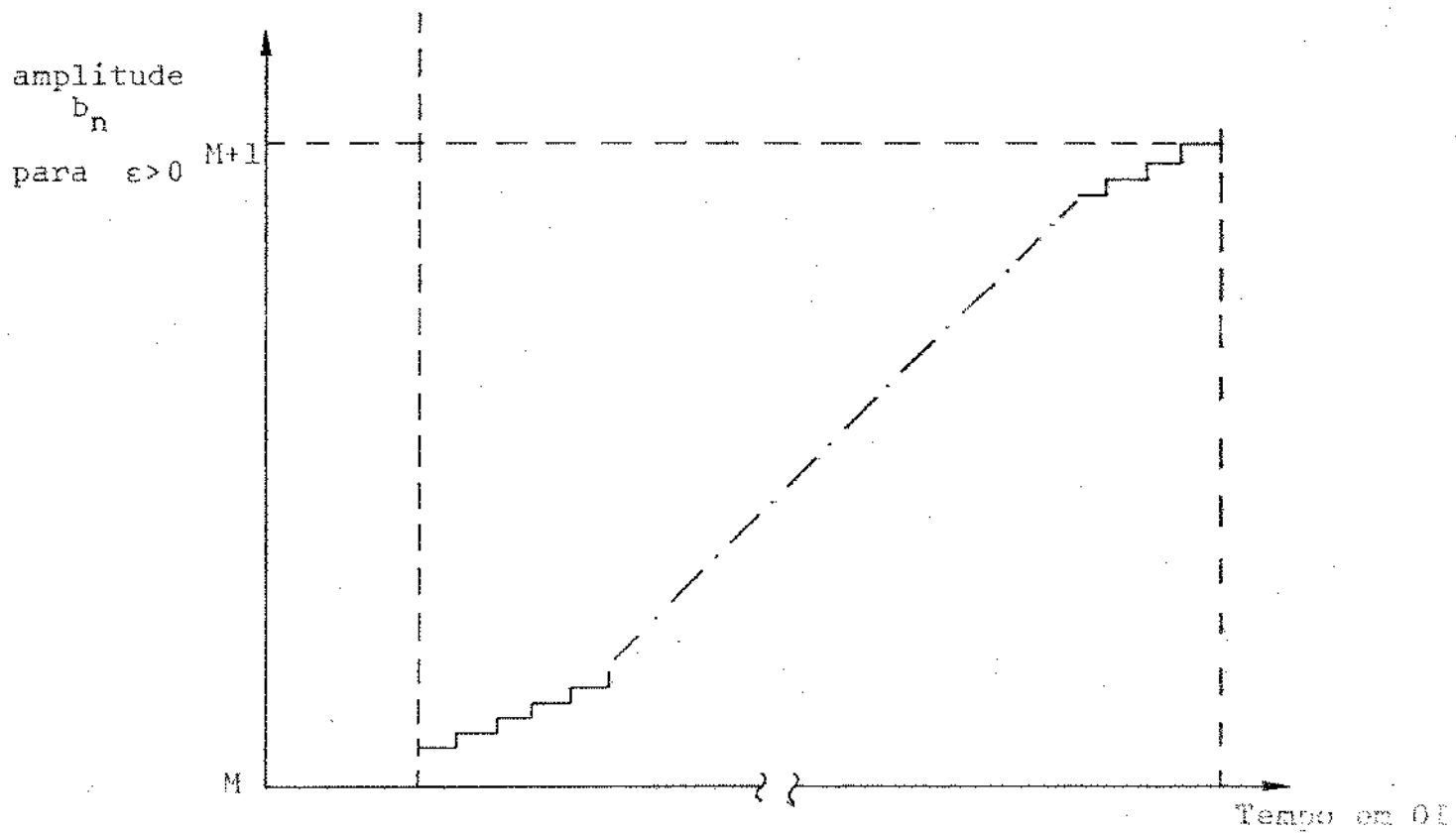
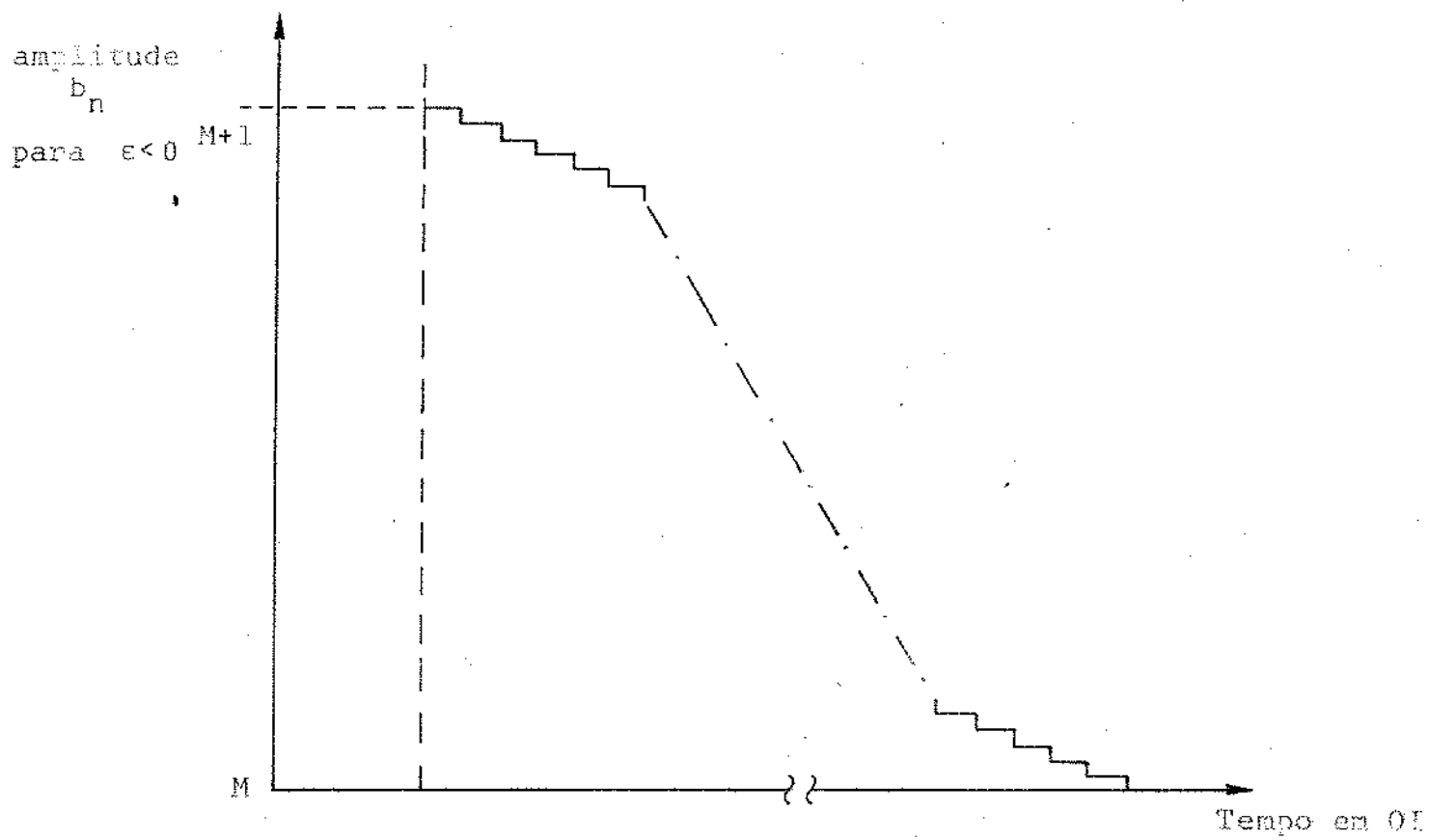


Fig. IV.19 - Jitter b_n

$$E[b_n] = 1$$

e pela equação IV.31,

$$E[A_n] = 2\pi/M+1 \quad \text{IV.68}$$

Portanto, é obtido uma variação para b_n igual a "1" e a de A_n igual a $2\pi/M+1 = \theta_\alpha$.

Dois casos especiais merecem ser considerados:

a) $M = 0$

Significa que a inserção poderá ocorrer em cada posição reservada para tal. Se a razão de inserção decrescer ligeiramente, poderá aparecer uma componente de baixa frequência de amplitude, dada pela variação de A_n , que é

$$E[A_n] = 2\pi$$

já que $M = 0$.

b) $M \rightarrow \infty$

Neste caso, não ocorrerá inserção, a menos que se considere M como finito e muito grande, quando então haverá raras ocorrências de inserção. Também neste caso, poderá aparecer componente de baixa frequência.

Da expressão IV.68, pode-se concluir que a amplitude do jitter de baixa frequência será, no máximo, de $2\pi/N$, se a inserção for feita uma vez em cada N posição de inserção.

ii) $\bar{\theta} = M/P$ (P, M , inteiros positivos; M/P é suposto ser uma fração reduzida e menor que a unidade).

Das equações IV.65 e IV.66, é obtido

$$N = \frac{M}{P} + 1 = \frac{P+M}{P}, \quad \theta_\alpha = \frac{2\pi P}{P+M} \quad \text{IV.69}$$

O jitter b_n será aumentado de M/P para cada posição de inserção. Seja δ_i a quantidade excedida da unidade no ponto i de inserção (Fig.IV.20). Através de uma verificação exaustiva {R.10} para vários valores de M e P , constata-se que

$$\delta_i = \frac{h}{P} \quad \text{IV.70}$$

sendo h um número inteiro entre 0 e $M-1$. Então,

$$\frac{M}{P} \leq b_n \leq 1 + \frac{M-1}{P} \quad \text{IV.71}$$

O jitter b_n é mostrado na Fig.IV.20.

Se $\bar{\theta}$ é alterado ligeiramente, é obtida uma variação na amplitude de b_n , que será

$$E[b_n] = \frac{1}{P}$$

$$e \quad E[A_n] = \frac{2\pi P}{P(P+M)} = \frac{2\pi}{P+M} \quad \text{IV.72}$$

Em consequência, pode-se mencionar resumidamente que a amplitude de jitter de baixa frequência será $2\pi/P+M$, se a inserção é feita à razão de $P/P+M$.

iii) Caso geral $\bar{\theta} = L + M/P$; ($L=0,1,2,3,\dots$)

Este caso nada mais é que a soma dos outros dois casos anteriores, e, seguindo o raciocínio dos outros dois, chega-se a

$$N = [P(1 + L) + M] / P$$

$$e \quad \theta_\alpha = \frac{2\pi P}{[P(1+L)+M]} \quad \text{IV.73}$$

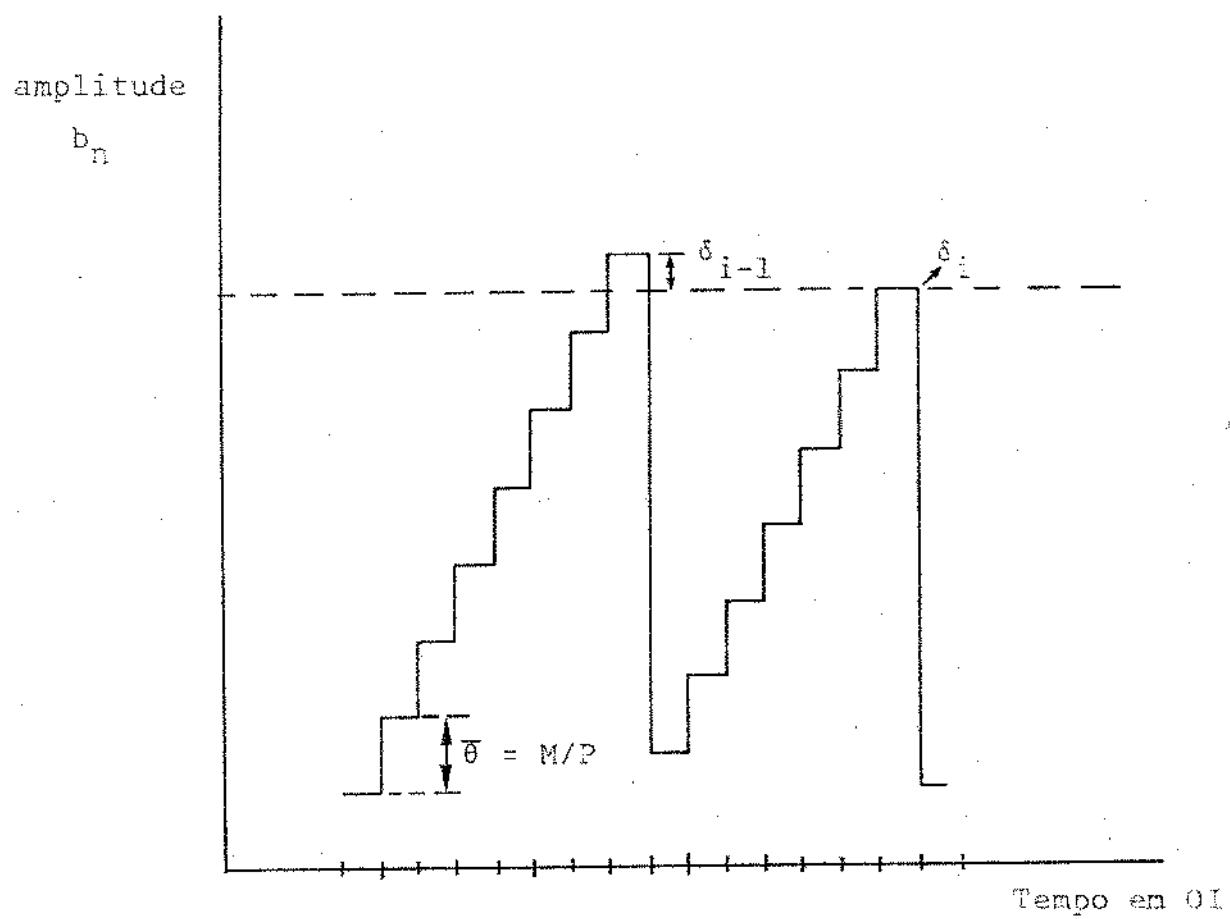


Fig.IV.20 - Jitter b_n para $\bar{\theta} = M/P$

Quando θ é alterado ligeiramente, o comportamento do jitter b_n é quase o mesmo do caso (ii), é obtido que

$$E[b_n] = \frac{1}{P}, \quad E[A_n] = \frac{2\pi}{[P(1+L)+M]} \quad \text{IV.74}$$

Neste caso, pode-se dizer que a amplitude de baixa frequência do jitter será

$$\frac{2\pi}{P(1+L)+M} \quad \text{IV.75}$$

se a inserção é feita à razão de

$$\frac{P}{P(1+L)+M} \quad \text{IV.76}$$

Através do desenvolvimento realizado, a amplitude do jitter de baixa frequência pode ser calculada. Para o sistema de 8 Mbit/s em estudo, 2π corresponde a um dígito. Portanto, pode-se calcular a amplitude do jitter de baixa frequência em dígitos. A Fig.IV.21 mostra a amplitude do jitter de baixa frequência em dígitos calculada teoricamente. A Fig.IV.22 mostra um resultado experimental para a amplitude do jitter de baixa frequência em função da razão de justificação.

IV.5 - CONSIDERAÇÕES GERAIS E ANÁLISES

Nas deduções apresentadas, tanto para o cálculo do espectro de potência do jitter quanto para a amplitude do jitter de baixa frequência, foi dito que o avanço de $\phi(t)$ na parte linear da curva característica é dado pela razão de justificação S , que é a inclinação da reta nesta região. Pode-se mostrar agora o que realmente acontece com $\phi(t)$ durante o ciclo completo de um quadro. Na realidade, a razão de justificação S é um avanço líquido de fase ocorrido durante um ciclo completo de quadro, lem

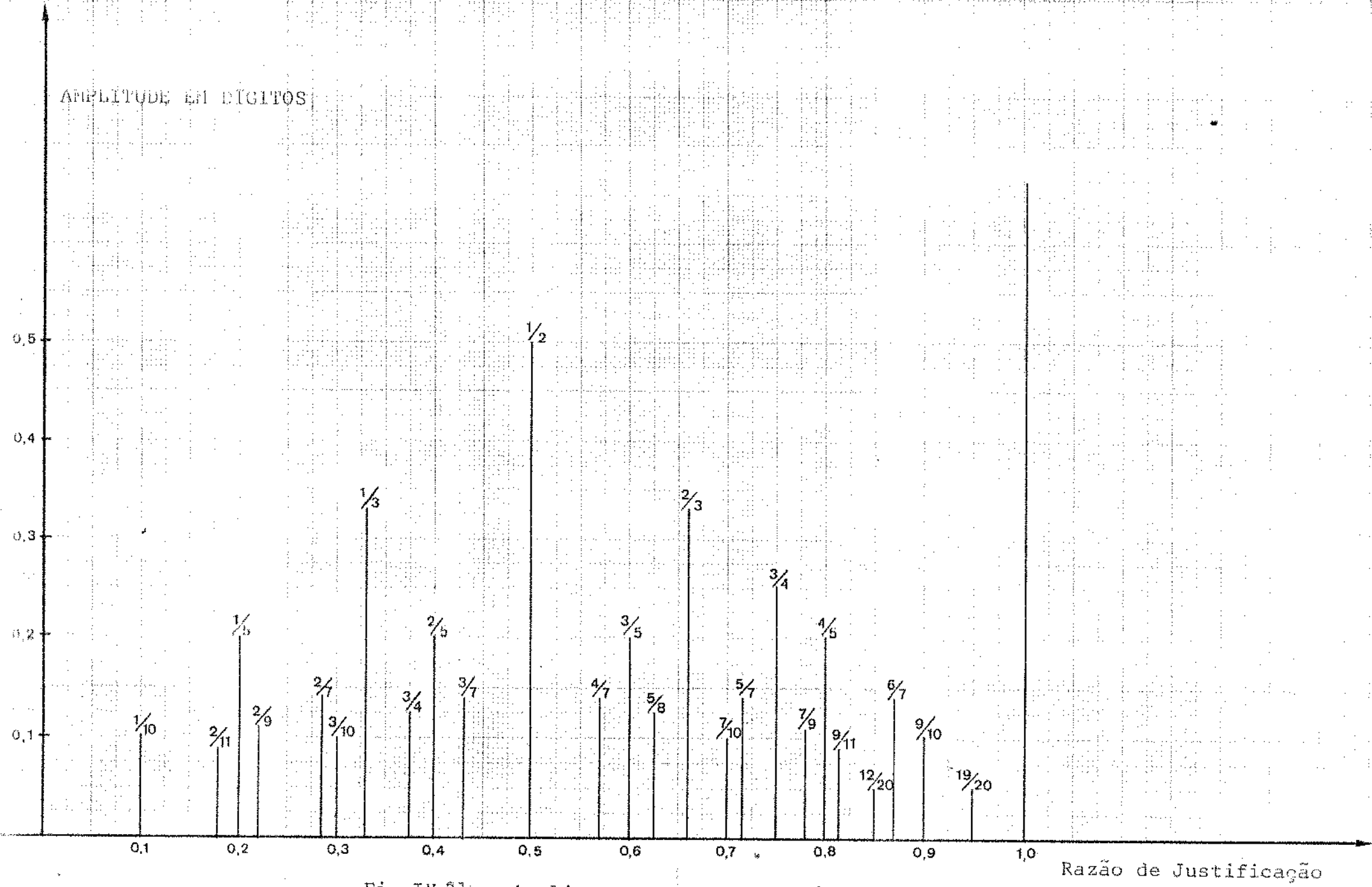


Fig.IV.21 - Amplitude do jitter em dígitos (teórico)

AMPLITUDE EM DÍGITOS

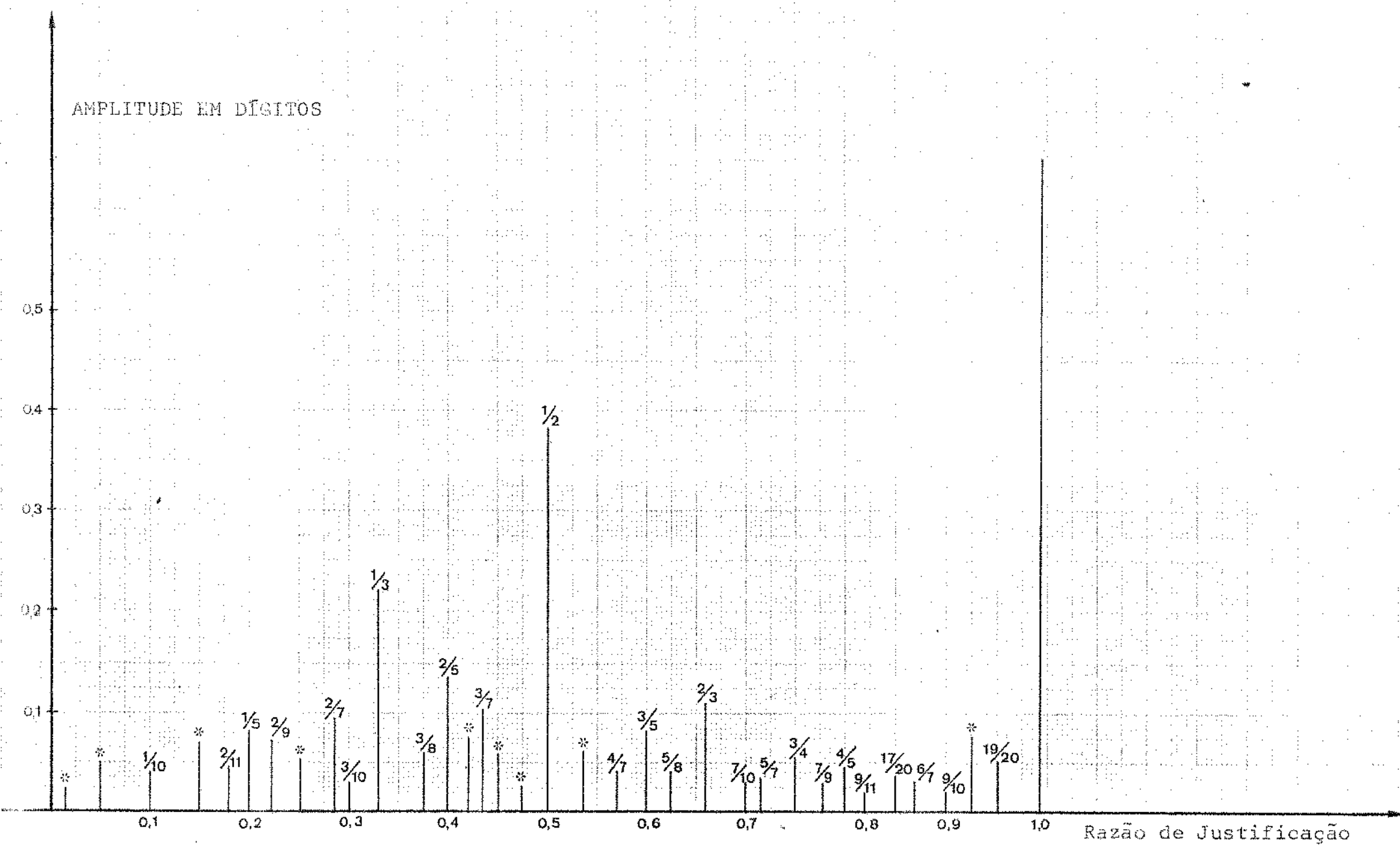


Fig.IV.22 - Amplitude de jitter em dígitos (experimental)

brando que a taxa média com a qual o espaço de tempo do dígito de justificação não carrega dígitos de informação é a taxa de justificação, que é igual à diferença entre a taxa derivada do multiplex (onda de controle de leitura justificada) e a taxa do sinal tributário (relógio de escrita). Em consequência, considerando-se:

M = taxa do sinal multiplexado (8,448 Mbit/s);

F = o número total de dígitos no quadro (848);

F' = o número máximo de dígitos de informação no quadro (824);

n = número de canais tributários (4) e

C = a taxa do canal tributário (2.048 $\pm$ 50 ppm),

então a taxa de justificação será dada por

$$\frac{F' M}{Fn} - C \text{ bit/s} \quad \text{IV.77}$$

onde $F' M/Fn$ é a taxa da onda de controle de leitura e, como a técnica usada é a de justificação positiva, então

$$\frac{F' M}{Fn} > C \quad \text{IV.78}$$

A razão de justificação S é a taxa de justificação que ocorre em demanda dividida pela máxima taxa de justificação possível, que é a taxa de quadro. Se a taxa de quadro é M/F , então

$$S = \left(\frac{F' M}{Fn} - C \right) / \frac{M}{F} \quad \text{IV.79}$$

$$\text{ou} \quad S = \frac{F'}{n} - \frac{FT}{M} \quad \text{IV.80}$$

sendo que $0 \leq S \leq 1$.

Agora, considere-se o diagrama da Fig. IV.23, o qual mostra a variação de $\phi(t)$ num período completo de quadro do sistema de 2ª ordem.

No começo do período de quadro (Fig. IV.23), a onda de controle de leitura é retardada de três dígitos, em relação ao relógio de escrita. Este fato se faz notar devido ao aparecimento do sinal de alinhamento de quadro (F_1, F_2, F_3). Então, no co

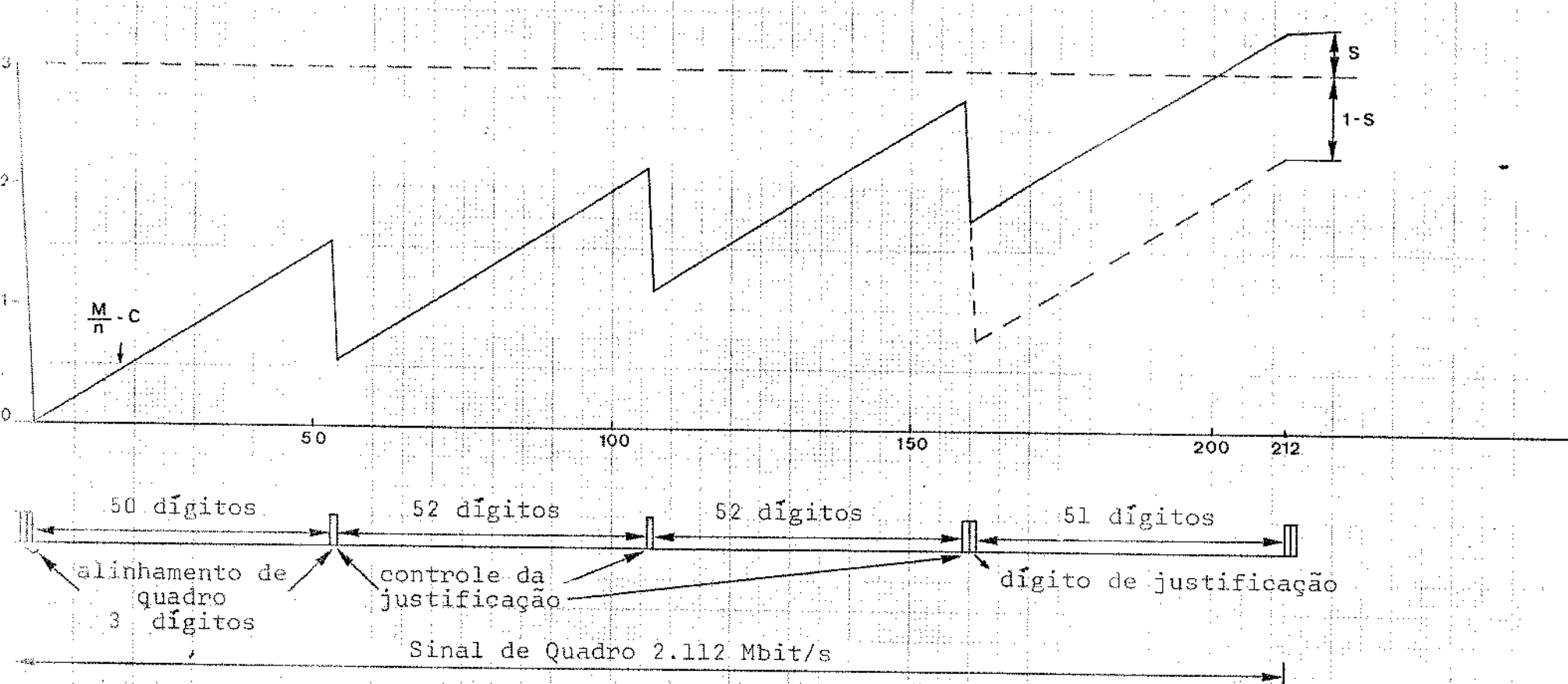


Fig.IV.23 - Avanço de $\phi(t)$ durante quadro

meço do quadro, três pulsos da taxa de 2.112 Mbit/s são perdidos. A onda de controle de leitura estará no restante do primeiro sub-quadro, avançando a uma taxa de $M/n - C$ bit/s.

Quando ocorrer o primeiro dígito de controle de justifição (D1), outro pulso de 2.112 Mbit/s será perdido e, consequentemente, a onda de controle de leitura se atrasará de mais um dígito. No restante do segundo sub-quadro, a onda de controle de leitura estará avançando com a mesma taxa do sub-quadro anterior. Considerando-se o período completo de um quadro, o avanço total da onda de controle de leitura é, em dígitos

$$\frac{(\frac{M}{n} - C)}{\frac{M}{F}} = (\frac{M}{n} - C) \frac{F}{M} \text{ dígitos} \quad \text{IV.81}$$

Já o atraso total sobre um período de quadro completo é

$$\frac{F - F'}{n} \text{ dígitos (se não ocorreu justificação),} \quad \text{IV.82}$$

$$\text{e} \quad \frac{F - F'}{n} + 1 \text{ (se ocorreu justificação).} \quad \text{IV.83}$$

Através das equações acima, encontra-se o avanço líquido ocorrido no período completo de um quadro, sofrido pela onda de controle de leitura. Se não ocorreu justificação, o avanço será dado por

$$\begin{aligned} & (\frac{M}{n} - C) \frac{F}{M} - \frac{F - F'}{n} = \\ & = \frac{F}{n} - \frac{FC}{M} - \frac{F}{n} + \frac{F'}{n} = \\ & = \frac{F'}{n} - \frac{FC}{M} = S \text{ dígitos} \end{aligned} \quad \text{IV.84}$$

Portanto, o avanço da onda num período completo sem justificação, é de S dígitos.

Se tivesse ocorrido a justificação, mais um dígito te

ria sido perdido pelo 2,112 Mbit/s, com relação ao relógio de escrita (Fig.IV.23) e, neste caso, seria obtido um atraso líquido daído por

$$\begin{aligned}
 &= - \left(\frac{M}{n} - C \right) \frac{F}{M} + \frac{F - F'}{n} + 1 = \\
 &= - \frac{F}{n} + \frac{CF}{M} + \frac{F}{n} - \frac{F'}{n} + 1 = \\
 &= - \frac{F'}{n} + \frac{FC}{M} + 1 = 1 - S \text{ dígitos}
 \end{aligned}
 \tag{IV.85}$$

Nota-se ainda que, embora o avanço líquido da onda de controle de leitura fosse somente S dígitos em um quadro sem justificação, a excursão total da fase pico a pico é dada por 3 + S dígitos.

O cálculo teórico e a medida experimental da amplitude do jitter de baixa frequência (Figs.IV.21 e IV.22, respectivamente), apresentam ligeiras discrepâncias. Estas diferenças podem ser atribuídas à irregularidades no mecanismo de justificação, causadas por um segundo tipo de batimento relacionado com o tempo de espera entre a demanda e o instante real de ocorrência da inserção. Este efeito deve ser devido à saída do comparador de fase do sincronizador ser quantizado a tempo.

Melhor visualização se obtém pela análise da Fig.IV.24, que mostra formas de ondas associadas com o comparador de fase. O sistema multiplexador adotado emprega uma memória elástica de 8 dígitos. Então, para que se tenha um completo uso dela, o sinal do comparador de fase deve ter um período de 8 dígitos, e somente uma vez a cada 8 espaços de tempo pode dar um pulso na saída. Desde que o comparador somente pode disparar o mecanismo de justificação (Fig.III.6a), após ter ocorrido F_2 e dentro da janela de justificação, só haverá interesse nos pulsos que saem do comparador nesta região. Se não há ocorrência de inserção, então cada comprimento de quadro contém 216 pulsos para a onda de controle de leitura. Desde que este número não é divisível por 8, então é claro que as posições dos pulsos na saída do comparador (Fig.IV.24) avançarão 6 espaços de tempo em relação ao quadro. Se ocorrer a inserção, então o avanço será de 5 espaços de tempo.

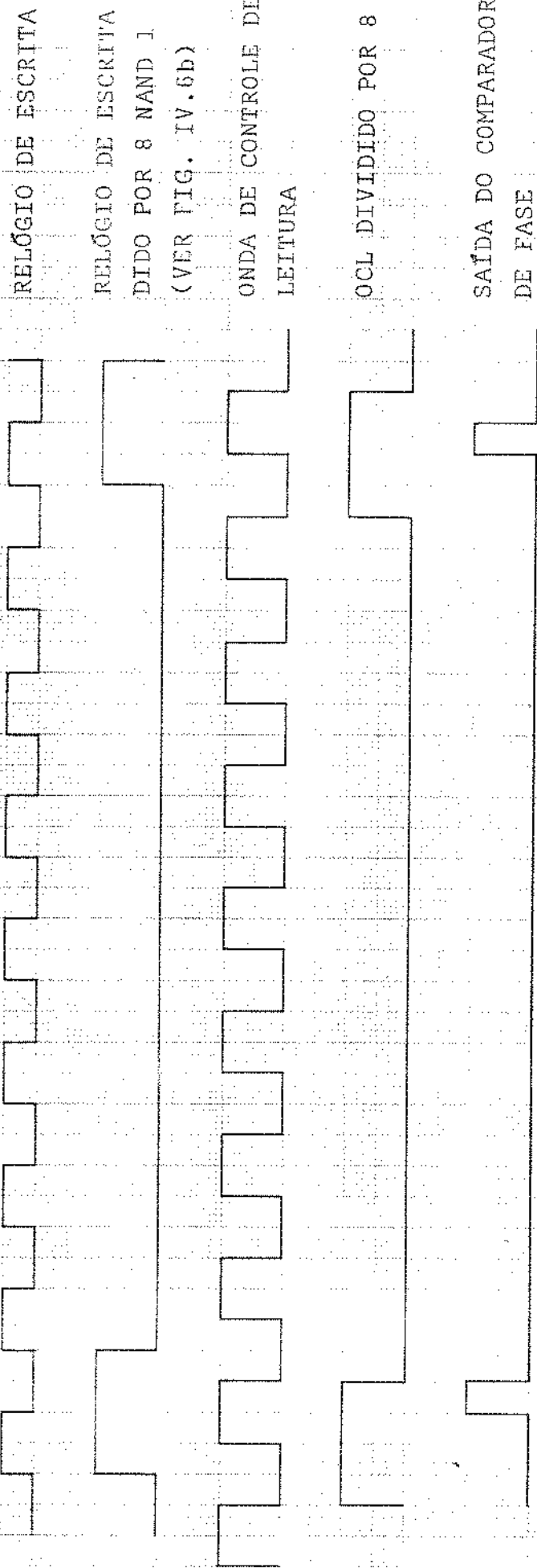


Fig.IV.24 - Formas de onda do comparador de fase

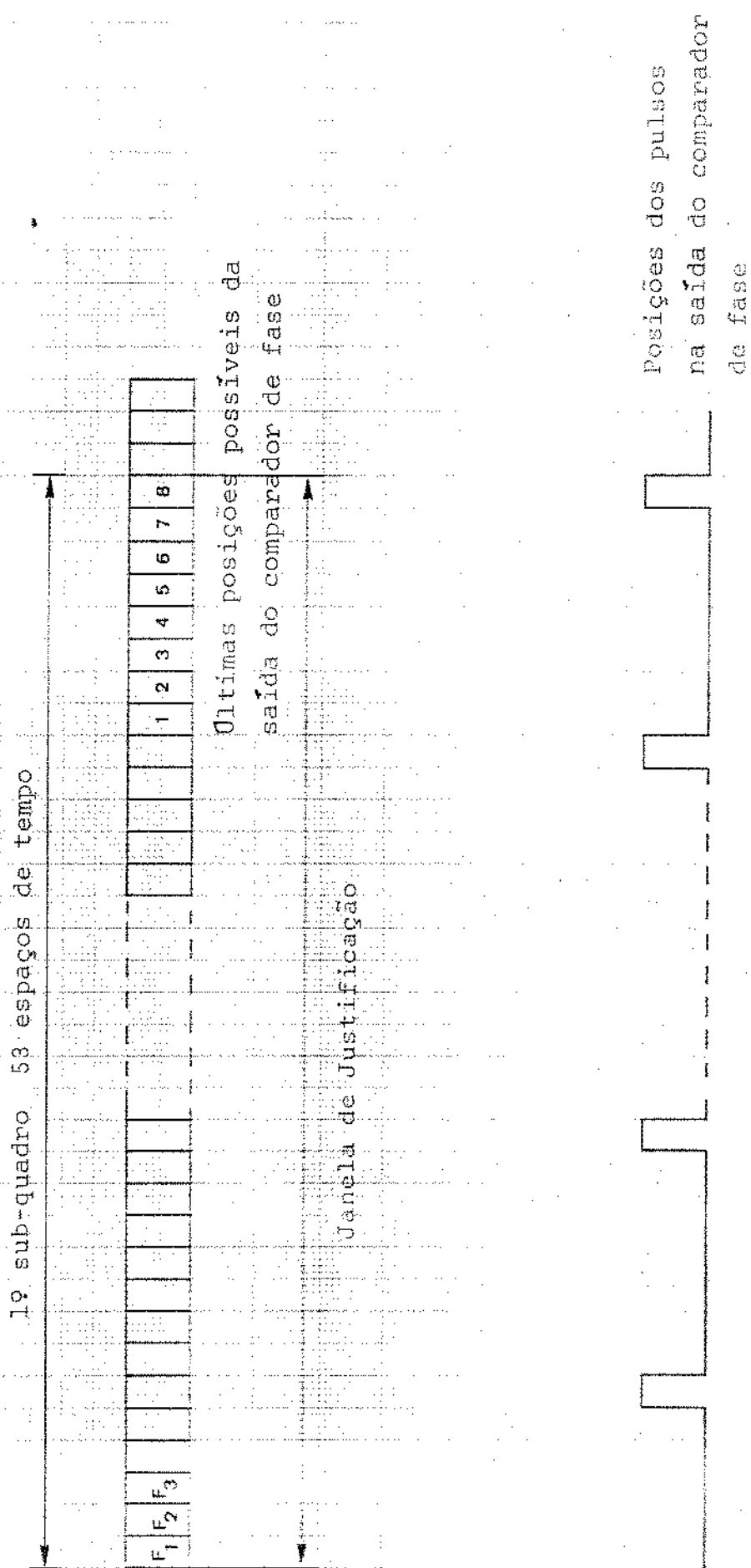


Fig. IV.2.5 - Posições dos Pulsos do Comparador de Fase

Deste modo, as posições dos pulsos na saída do comparador estarão continuamente se deslocando de 5 ou 6 espaços de tempo por quadro e, de um modo geral, as posições dos pulsos na saída do comparador de fase não irão variar de um modo regular cíclico em um número inteiro de quadros. Para certas taxas de justificação, o número de pulsos em um número inteiro de quadros pode ser um múltiplo de 8 e, sob tais condições, as posições dos pulsos na saída do comparador de fase formarão um ciclo regular. Então, quando as posições dos pulsos na saída do comparador movem-se através de um ciclo regular, a largura da região sobre a qual o mecanismo de justificação pode ser disparado, entre $\bar{F}_2$ e JJ, varia também de um modo cíclico. Isto, portanto, dá aparecimento a um complexo efeito de batimento, o qual pode amplificar ou atenuar a amplitude do jitter.

As discrepâncias entre as amplitudes de jitter teórico e experimental podem ser notadas na Fig. IV.22, onde aparecem certas amplitudes espúrias denotadas pelo símbolo *. Estas amplitudes espúrias podem ser explicadas através deste efeito de batimento.

Estudos adicionais são necessários para se obter um melhor entendimento dos mecanismos específicos de geração destes batimentos no quadro atual especificado pela CCITT para o MCP de 2ª ordem.

CAPÍTULO V

REDUÇÃO DE JITTER NO SISTEMA MCP DE 2ª ORDEM

V.1 - INTRODUÇÃO

A característica de jitter de um multiplexador digital assíncrono, que emprega a técnica de justificação, é dependente da estrutura de quadro do multiplexador e também da implementação do comparador de fase no mecanismo de justificação. Então, é a implementação do comparador de fase no sincronizador, mais a estrutura de quadro que determinam esta característica. A fim de se minimizar a probabilidade de erro a ser introduzida em um sistema de transmissão, é desejável que o multiplexador introduza pouco jitter. Para que isto se realize, é necessário minimizar os picos de jitter sobre a região de frequência de operação do multiplexador. Já que a estrutura de quadro está definida de acordo com os padrões propostos pela CCITT, resta, então, minimizar estes picos de jitter através da escolha ótima do comparador de fase. Uma escolha não criteriosa pode conduzir a picos maiores que os esperados pela teoria.

V.2 - O COMPARADOR DE FASE

O tamanho da memória elástica foi escolhida ser de 8 dígitos. Então o comparador de fase deve ter um período de oito espaços de tempo, a fim de fazer um uso completo da memória. Isto é conseguido pela divisão de OCLJ e RE por oito (ver ANDs da Fig.III.6b), antes de se efetuar a comparação. Na saída dos ANDs, são obtidas as oito fases de OCLJ dividido por oito, que são LJ1 a LJ8, e RE dividido por oito, que são E1 a E8. É possível escolher - se qualquer combinação entre as oito fases obtidas, do relógio de escrita e da onda de controle de leitura justificada, para a detecção do limiar no comparador de fase (NANDs 17 a 24 - Fig.III.6b).

Foi dito que o dado é armazenado na memória de uma maneira cíclica, e também que o comando para a inserção é dado por um limiar fixo, onde OCLJ começa a sobrepor-se ao relógio de escrita. Este limiar foi fixado pela detecção da coincidência de E1 com LJ5 para a fase (1), sendo que qualquer outra combinação das on

das divididas por oito, de escrita e leitura, poderia ser fixada para a detecção do limiar.

Usando esta metodologia, foram obtidas as seguintes fases:

FASE	COMBINAÇÃO
①	E1 com LJ5
②	E2 com LJ6
③	E3 com LJ7
④	E4 com LJ8
⑤	E5 com LJ1
⑥	E6 com LJ2
⑦	E7 com LJ3
⑧	E8 com LJ4

Com o decorrer das medidas, foi verificado que se fosse colocado na detecção da coincidência das ondas divididas por oito (NANDs 17 a 24 - Fig. III.6b), o relógio de escrita e onda de controle de leitura justificada, eliminar-se-ia não só os atrasos causados pelos componentes, como também seria reduzido o limiar de decisão, resultando com essa medida prática, uma melhor característica de jitter, dando picos menores do que sem essas ondas. E levando tal fato em consideração, é que foi obtida toda a característica de jitter do sistema.

A detecção da coincidência de E1 com LJ5 é mostrada na Fig. V.1. Para este caso, o limiar é π ou 1/2 dígito do relógio de 2,048Mbit/s, e então, quando $\phi(t)$ cruzar este limiar, um comando será enviado pelo comparador de fase para acionar o mecanismo de justificação (Fig. III.6a).

As combinações das fases serão feitas através das chaves colocadas nas oito entradas do NAND 25 (Fig. III.6b). A característica de jitter será obtida através da variação da razão de justificação S, que é dado por

ESPAÇO DE
TEMPO

	1	2	3	4	5	6	7	8
--	---	---	---	---	---	---	---	---

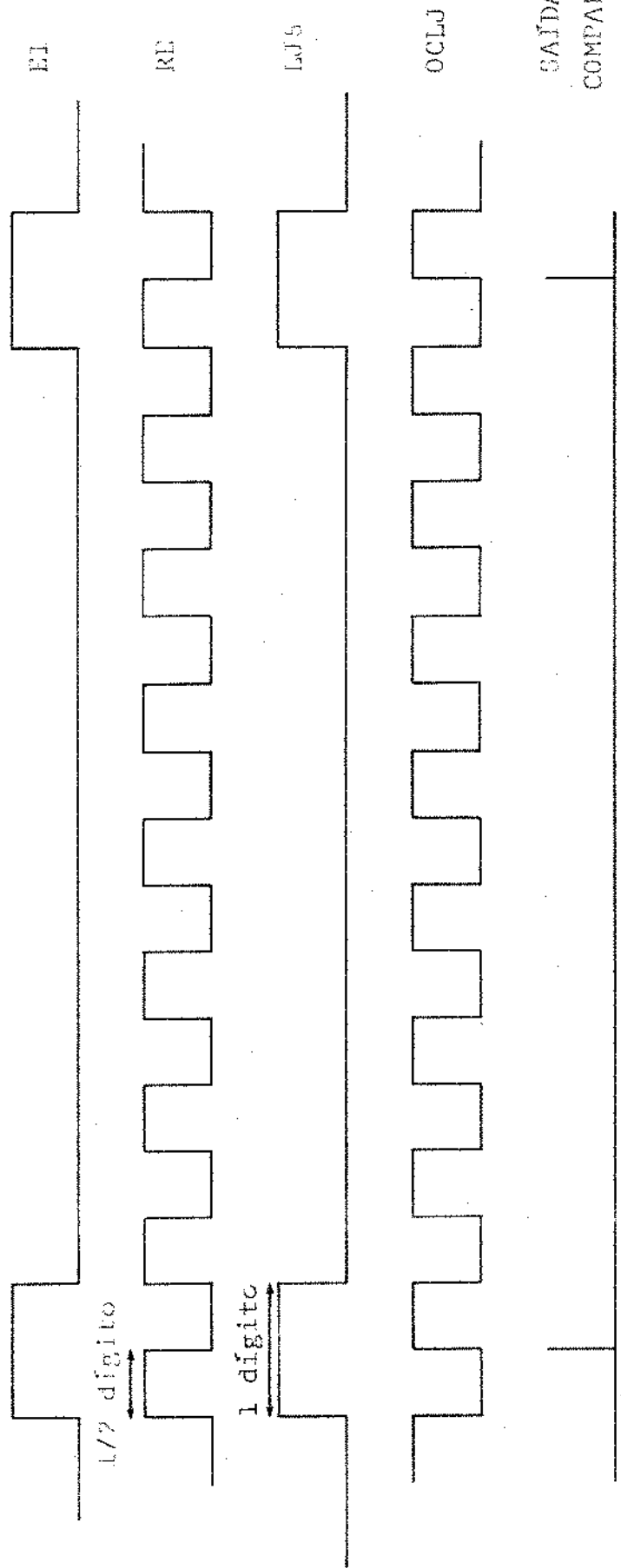


FIG. V.1 - DETEÇÃO DO LIMAR

$$S = \frac{\text{Taxa do relógio de escrita} - \text{Taxa da onda de controle de leitura}}{\text{Taxa de quadro}}$$

Para o ponto de operação nominal

$$S = \frac{(2,048 - 2,051226)\text{MHz}}{9,962 \text{ KHz}} = 0,424$$

dando uma taxa de justificação em demanda de = 4,2226 KHz.

Na Fig. V.2 é mostrada uma curva típica para a amplitude de pico do jitter usando-se todas as fases e variando-se a razão de justificação entre 0 e 1. Esta característica obtida é semelhante à baseada no desenvolvimento da teoria de jitter (capítulo anterior).

Mas de acordo com as especificações do sistema, é de interesse somente a característica de jitter para S entre 0,4078 e 0,4407. Isto implica que o sistema estará operando dentro da região de tolerância permitida aos relógios, que é de ± 50 partes por milhão (ppm) para o relógio tributário (2,048 MHz) e ± 30 ppm para o relógio do multiplexador (3,448 MHz).

De acordo com observações experimentais, uma minimização dos picos de jitter pode ser obtida através do selecionamento das fases que se combinam no NAND 25 da Fig. III.6b. Devido ao comportamento cíclico do comparador, não há a necessidade de serem plotadas todas as combinações de fases possíveis para uma ótima escolha de fase. A tabela V.1 mostra as 35 combinações possíveis. A repetição das combinações de fase pode ser visualizada de uma maneira mais concreta através da Fig. V.3. Suponha que em um determinado instante as posições das fases (1) a (8) sejam aquelas mostradas na Fig. V.3a, ou seja, elas estão ocupando os vértices de um octágono. Portanto, com o decorrer do processo, elas estarão se deslocando e passarão por todas as posições possíveis. Logo, ao se escolher, por exemplo, a combinação (2), (3) seria o mesmo que escolher a combinação (2), (4) ou (3), (4) ou (1), (7),, etc. Então, se para cada combinação de fase for tomada a sua posição no octágono, as repetições serão notadas e a tabela V.1 será obtida.

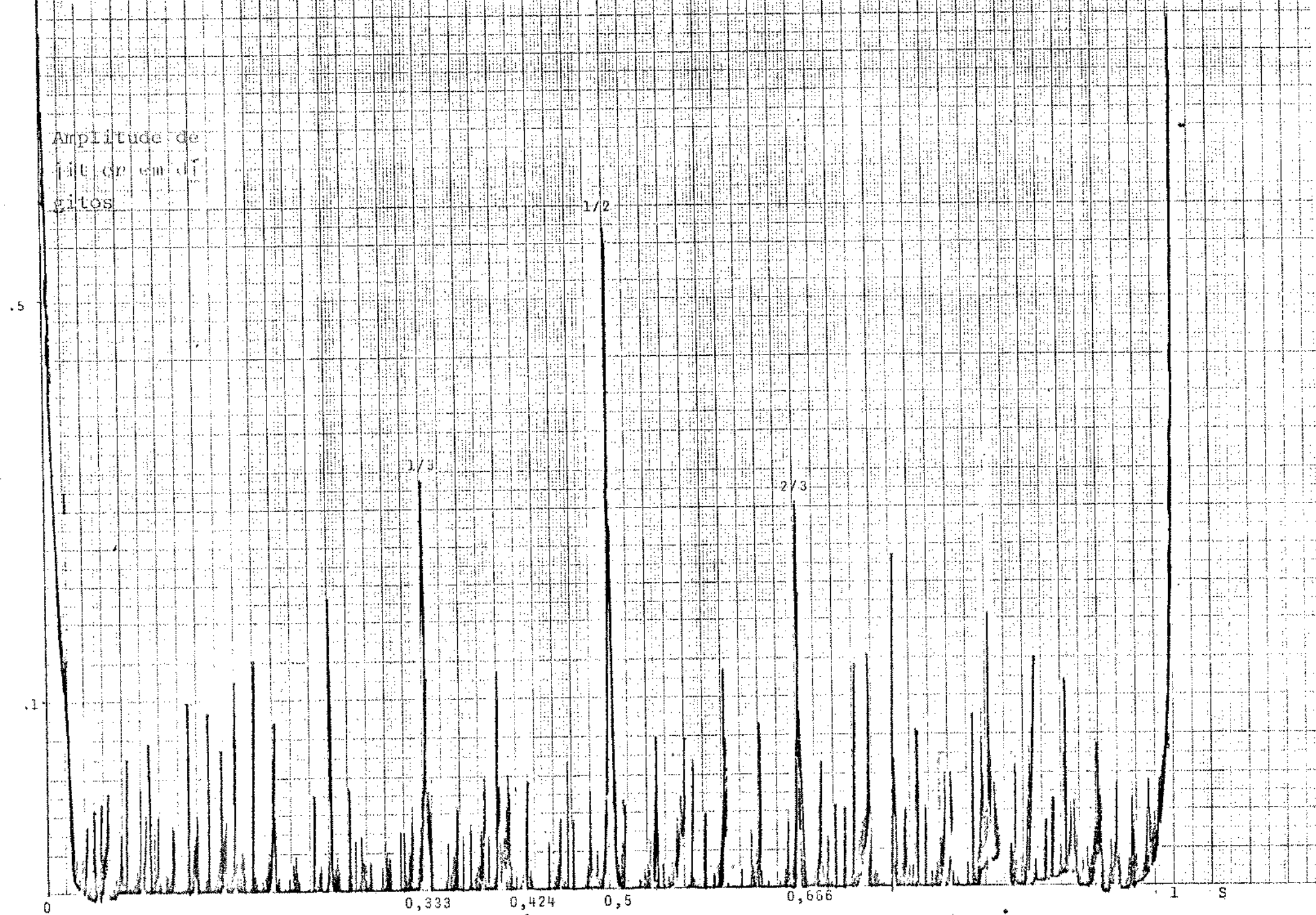
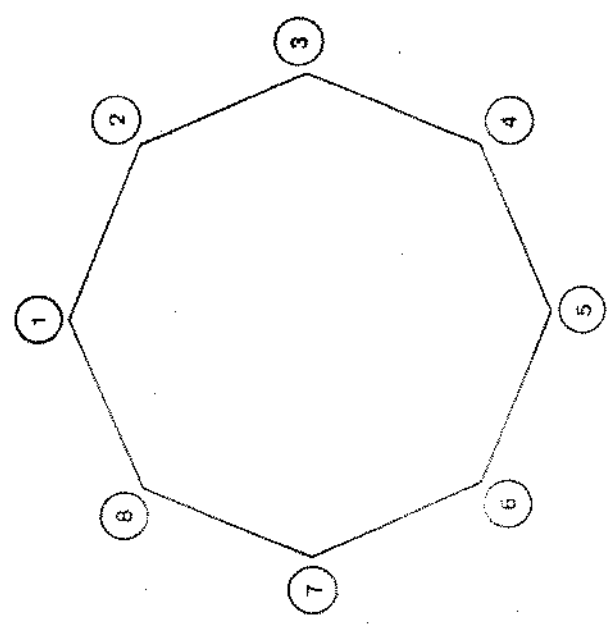
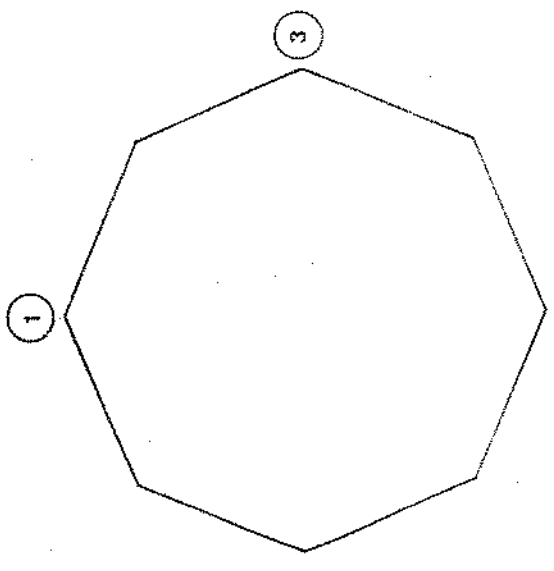


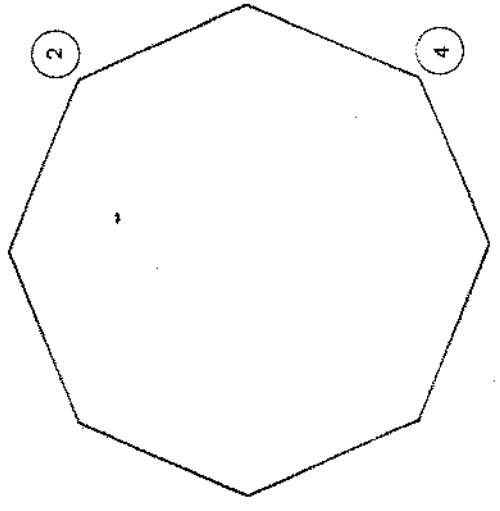
Fig.V.2 - Amplitude de jitter para todas as fases



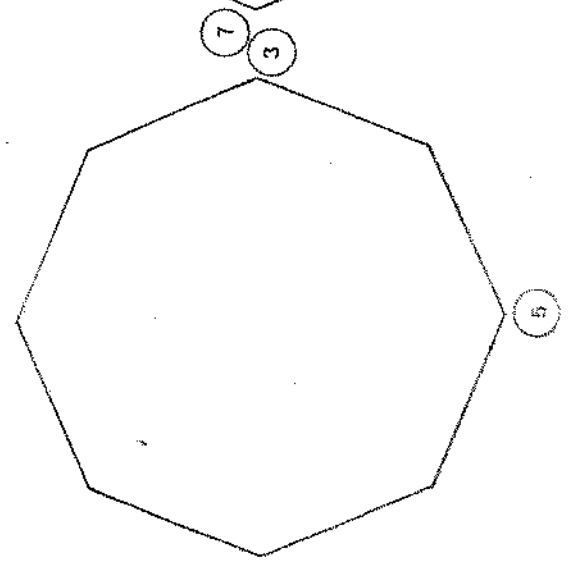
V.3a



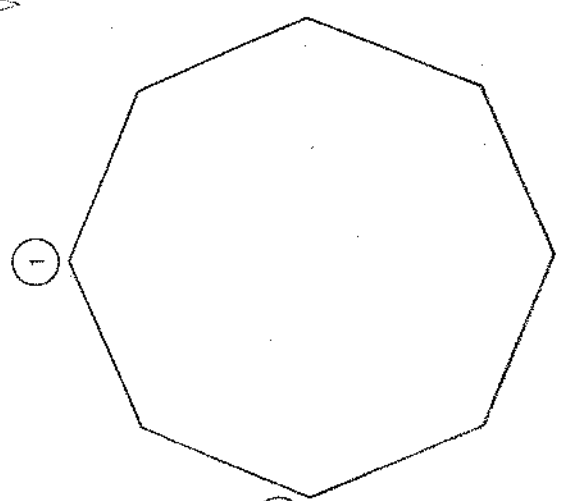
V.3b



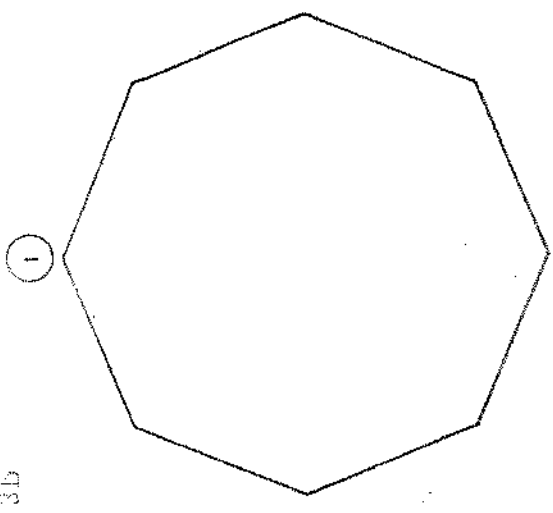
V.3c



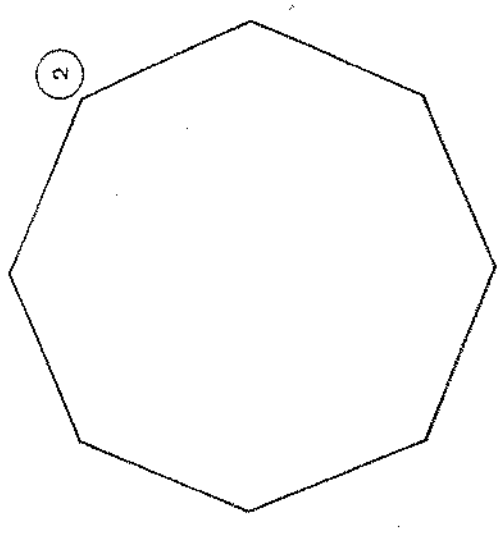
V.3d



V.3e



V.3f



V.3g

Fig. V.3 - REPETIÇÃO DAS POSIÇÕES DE FASE

TABELA V.1

Combinações Possíveis de Fase

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
X	0	0	0	0	0	0	0
X	X	0	0	0	0	0	0
X	0	X	0	0	0	0	0
X	0	0	X	0	0	0	0
X	0	0	0	X	0	0	0
X	0	X	0	X	0	0	0
X	0	X	0	0	X	0	0
X	X	X	0	0	0	0	0
X	0	X	X	0	0	0	0
X	0	X	X	X	0	0	0
X	0	0	X	X	X	0	0
X	X	0	X	X	0	0	0
X	X	0	0	X	X	0	0
X	0	X	0	X	0	X	0
X	0	X	X	0	0	X	0
X	0	X	X	0	X	0	0
X	X	0	X	0	X	0	0
X	0	0	0	X	X	X	0
X	X	0	0	X	0	X	0
X	X	X	0	X	0	0	0
X	X	X	X	0	0	0	0
X	X	X	X	X	0	X	0
X	X	X	X	X	X	0	0
X	X	X	X	X	X	X	0
X	X	X	0	X	X	X	0
X	X	X	X	X	X	X	0
X	X	X	X	X	X	X	X

Um outro ponto que vale a pena citar, é que, quando se escolhe o número de fases a ser combinadas, está se determinando as posições de ocorrência dessas fases no octágono e, ao mesmo tempo, está se criando um padrão de ocorrência para cada combinação que for efetuada.

Tome-se como exemplo a escolha da combinação das fases (1), (5) e (1), (4). A posição destas fases no tempo formará o seguinte padrão:

combinação (1), (5) : X000X000X000X000X
 combinação (1), (4) : X00X0000X00X0000X $\xrightarrow{\text{tempo}}$

Para a combinação (1), (5) é criado um padrão de ocorrência mais regular que a (1), (4). Com isso, poderá ser criada uma situação que minimize mais o jitter em certas taxas de justificação.

V.3 - ESCOLHA DA COMBINAÇÃO ÓTIMA

As amplitudes de pico do jitter são mostradas nas Figs. V.4 a V.38, para todas as combinações de fase possível e para S entre 0,4078 e 0,4407 e, portanto, dentro da região de operação nominal do sistema. O ponto nominal é marcado em cada figura com uma seta. A amplitude é dada em termos de dígitos do relógio de 2,048 MHz, sendo que um dígito corresponde a aproximadamente 488 ns.

A Fig. V.39 é para a combinação (2) (4) (6) (8), que é, a menos de pequenas variações devido ao tipo de medida efetuado, idêntica à combinação (1) (3) (5) (7).

A Fig. V.40 também foi plotada para a comprovação da repetição e foi traçada para a fase (2) somente. Nota-se que é semelhante àquela da fase (1).

A Fig. V.41 é referente à combinação de fase (1) (3) (6), sem o uso do relógio de escrita e onda de controle de justificação no detetor de limiar. É notado o aumento da amplitude de pico no ponto nominal de operação.

0,2

0,1

0,05

0,407 0,4095 0,4135 0,4185 0,424 0,4345 0,4385 0,441

Fig. V. 4 - FASE 1

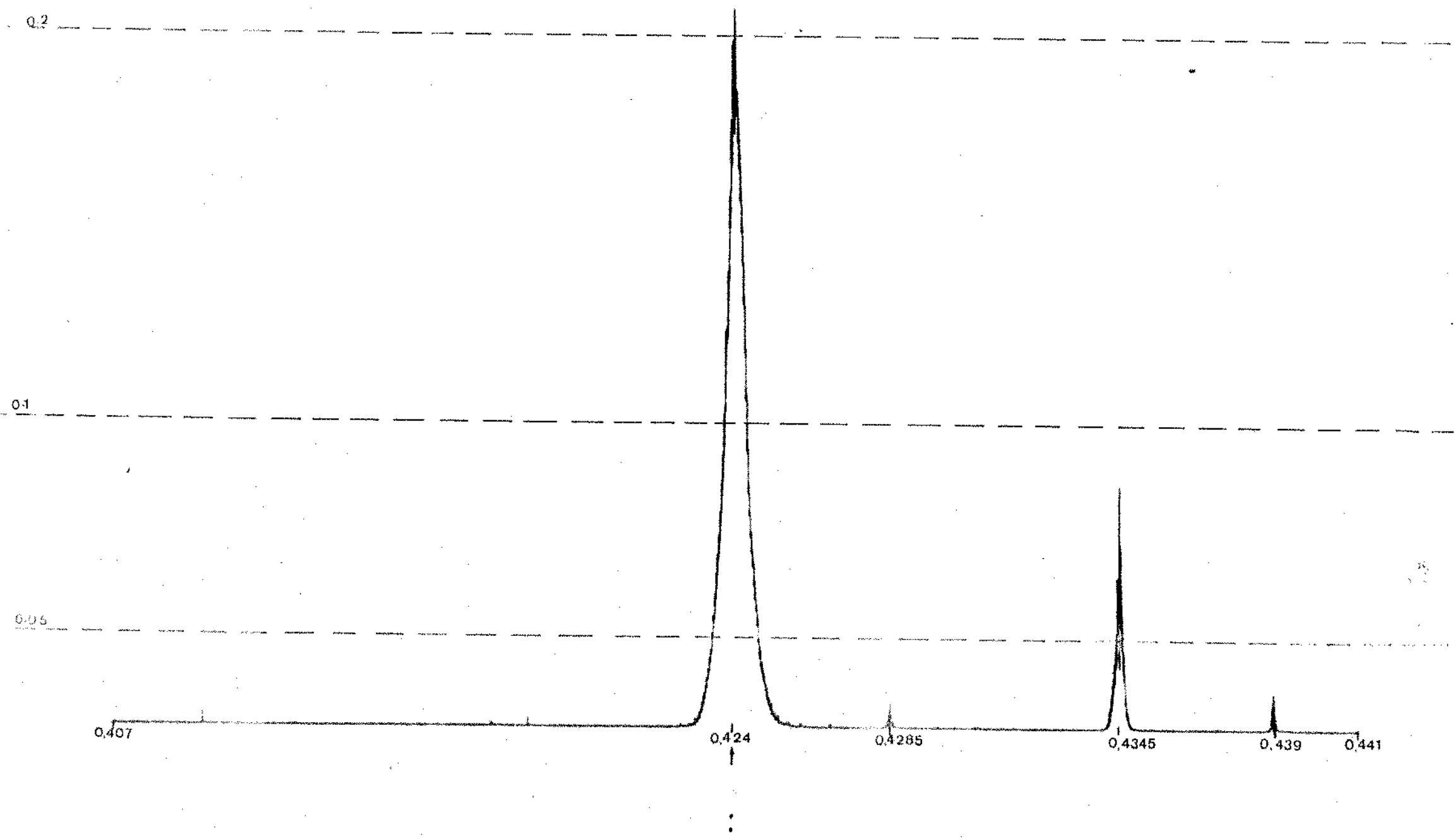


Fig.V.5 - FASES 1, 2

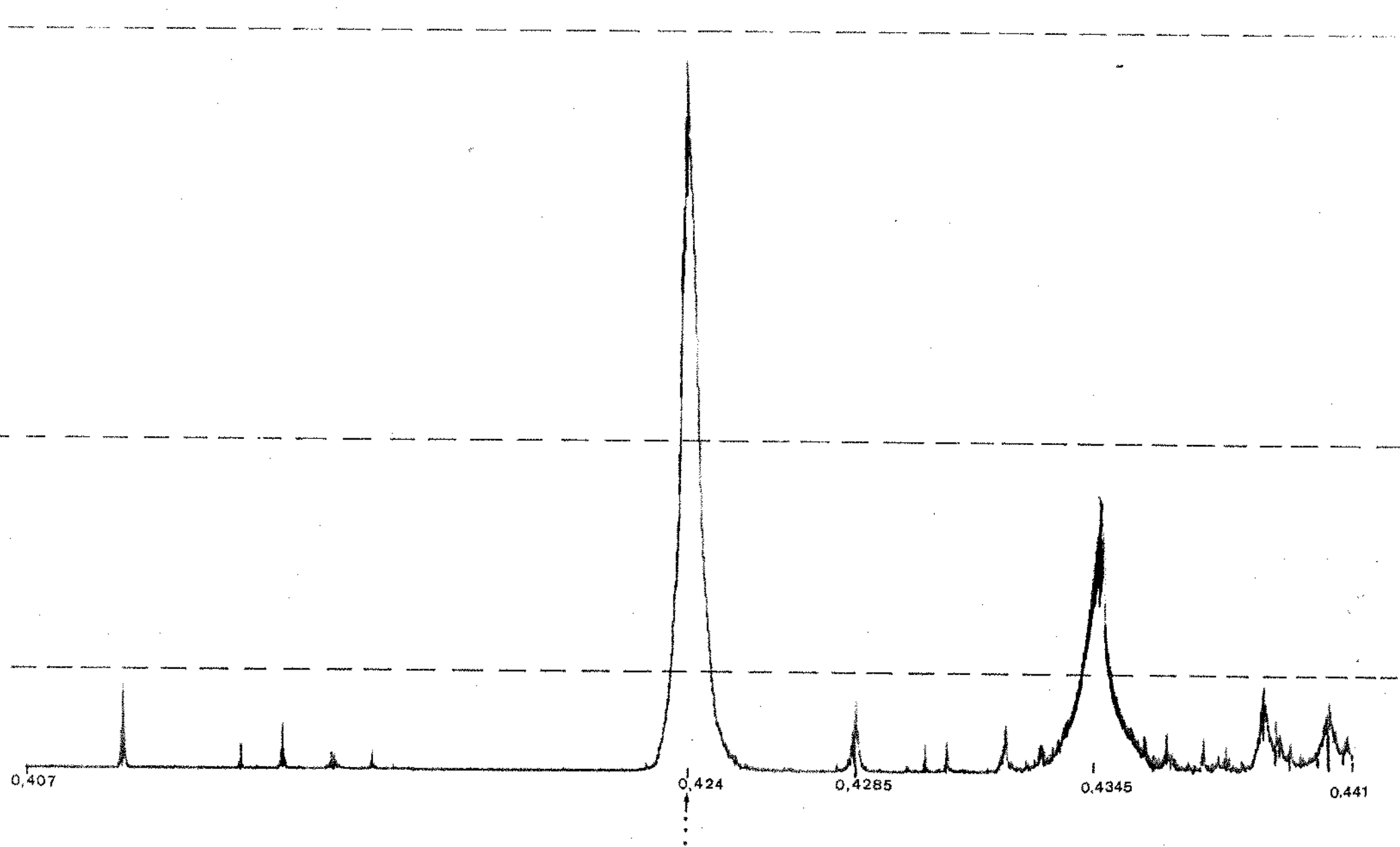


Fig.V.6 - FASES 1,3

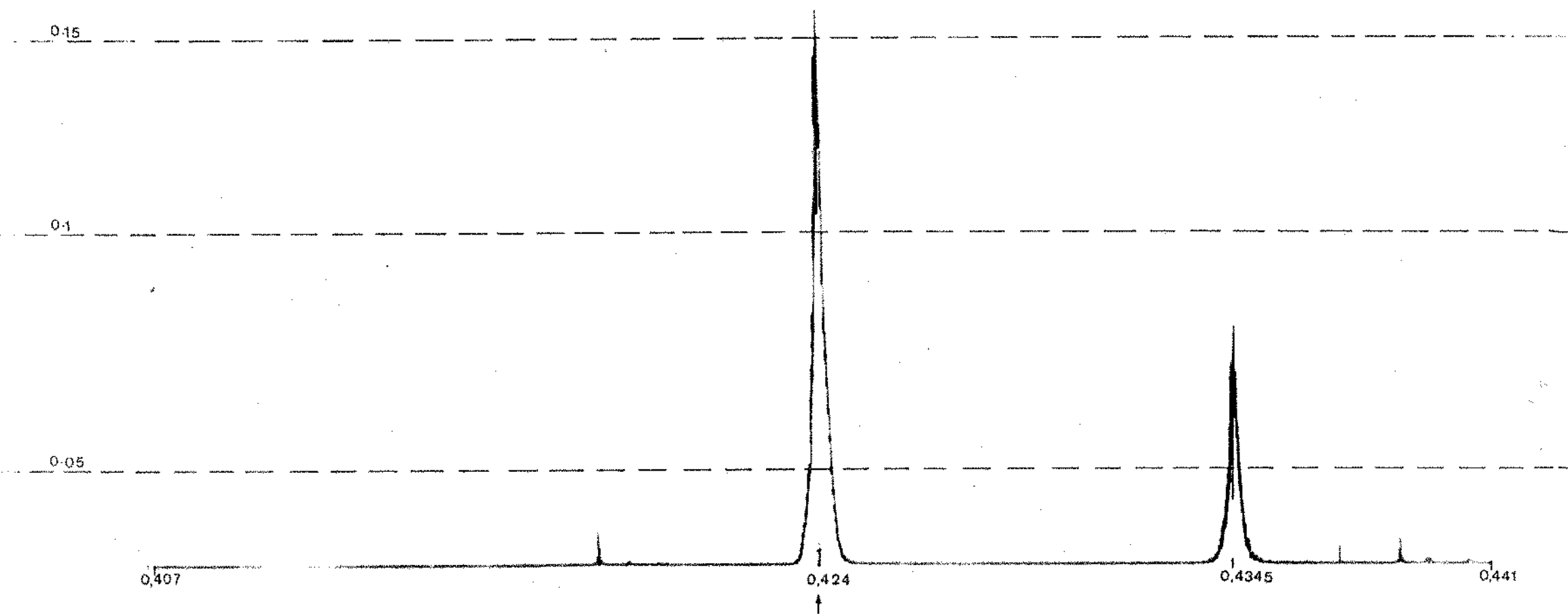


Fig. V.7 - FASES 1,4

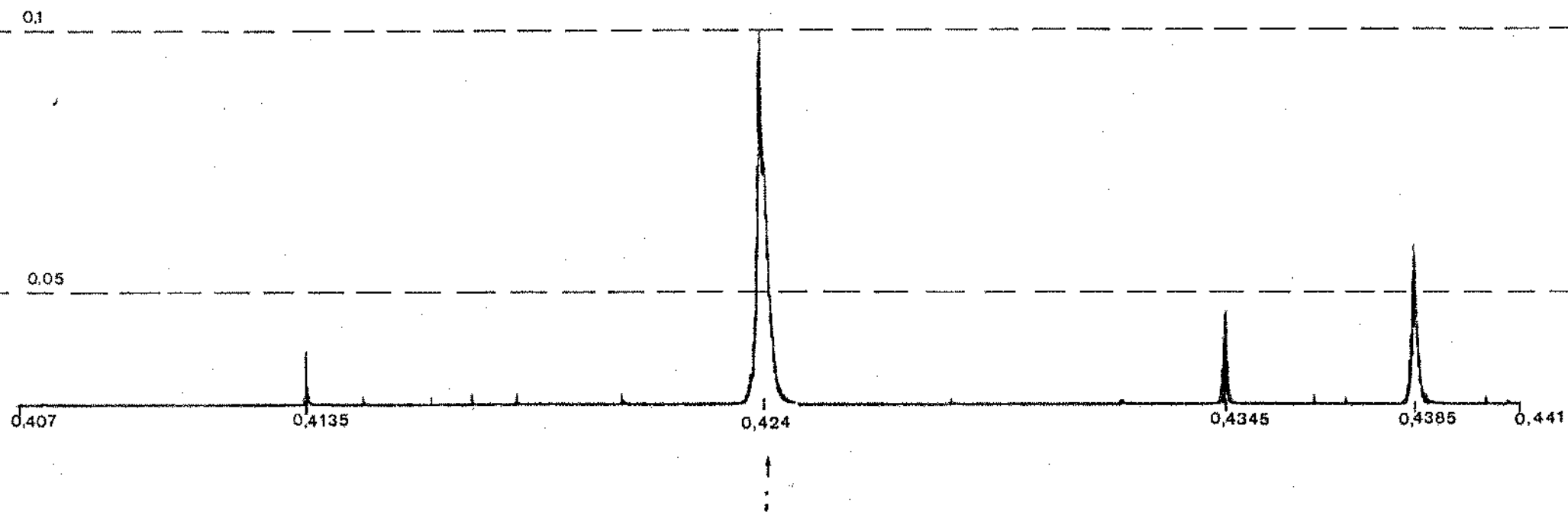


Fig. V.8 - FASES 1,5

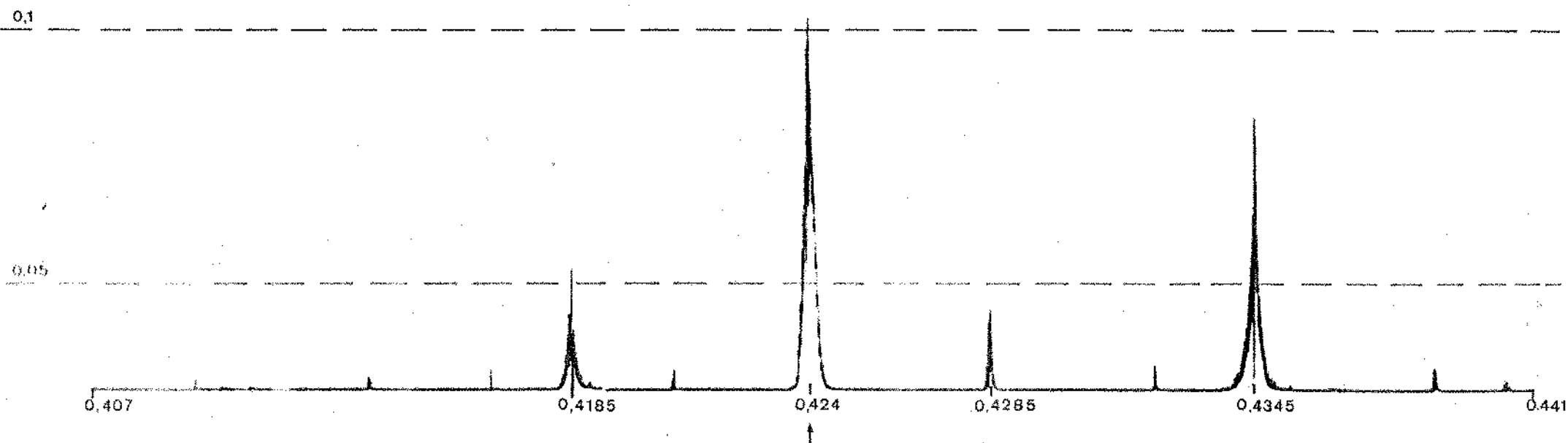


Fig. V.9 - FASES 1, 3, 5

0.1

0.05

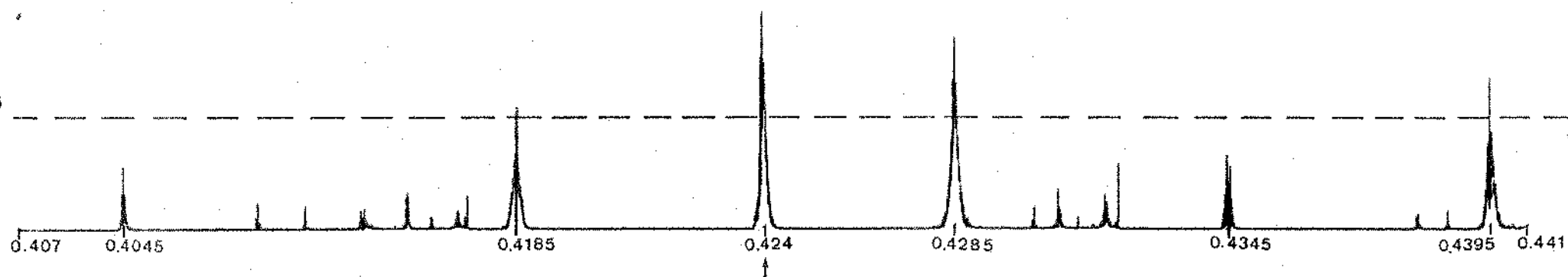


Fig. V.10 - FASES 1, 3, 6

0.2

0.1

0.05

0.407

0.424

0.4345

0.4387

0.441

Fig. V.11 - FASES 1, 2, 3

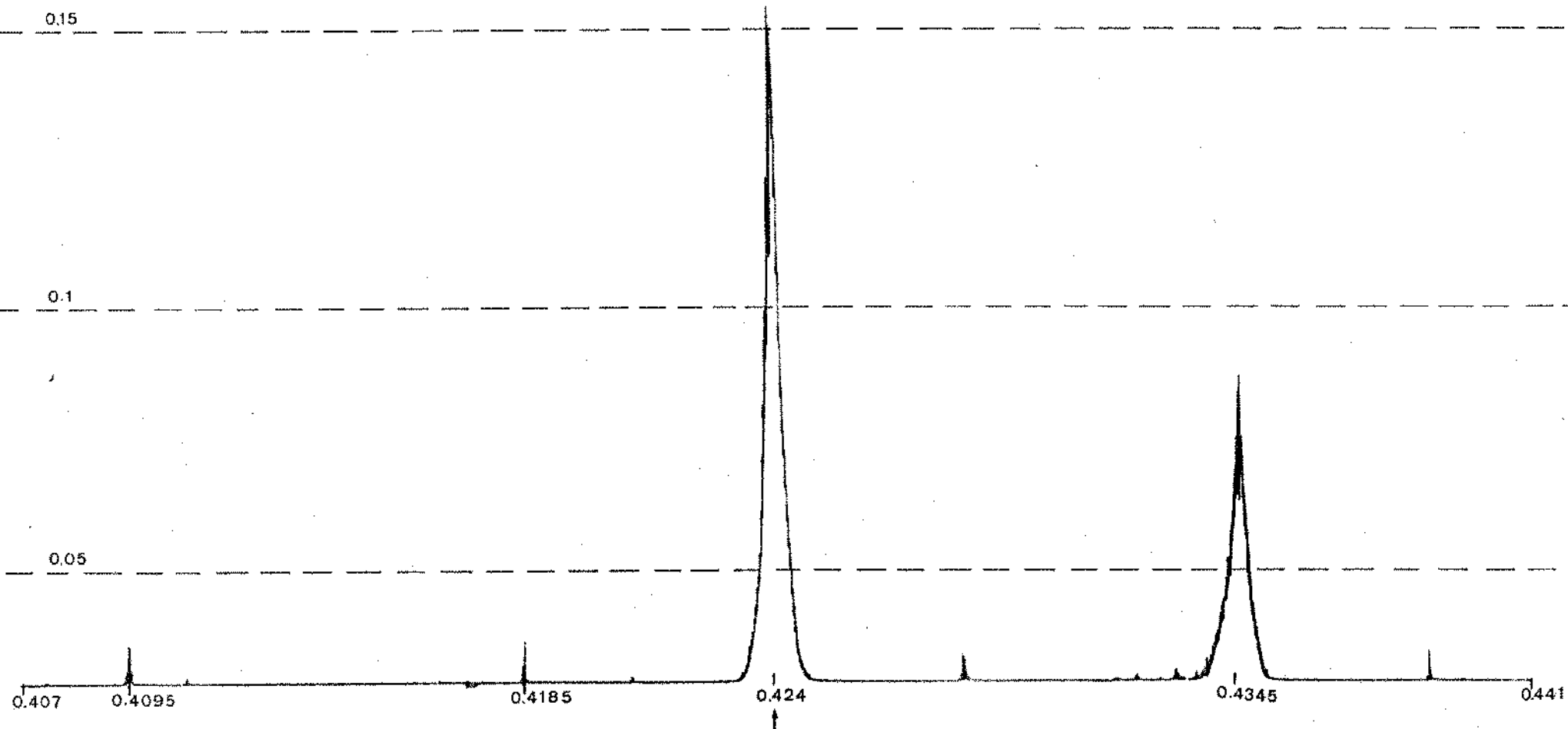


Fig.V.12 - FASES 1, 3, 4

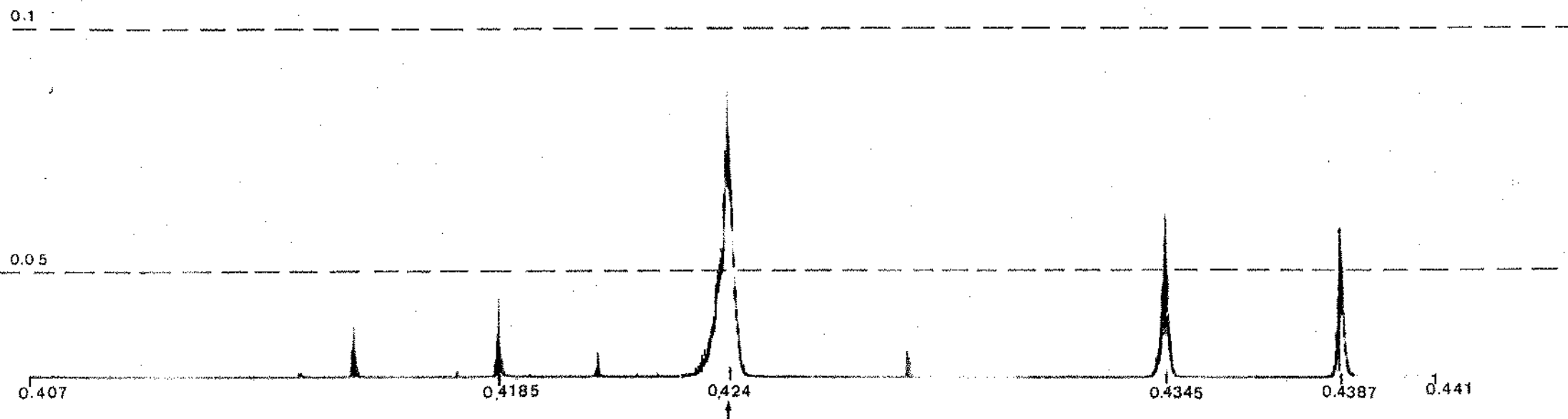


Fig.V.13 - PAGES 1, 4, 5

0.15

0.1

0.05

0.407

0.4095

0.424

0.4345

0.441

Fig. V.14 - FASES 1, 2, 4

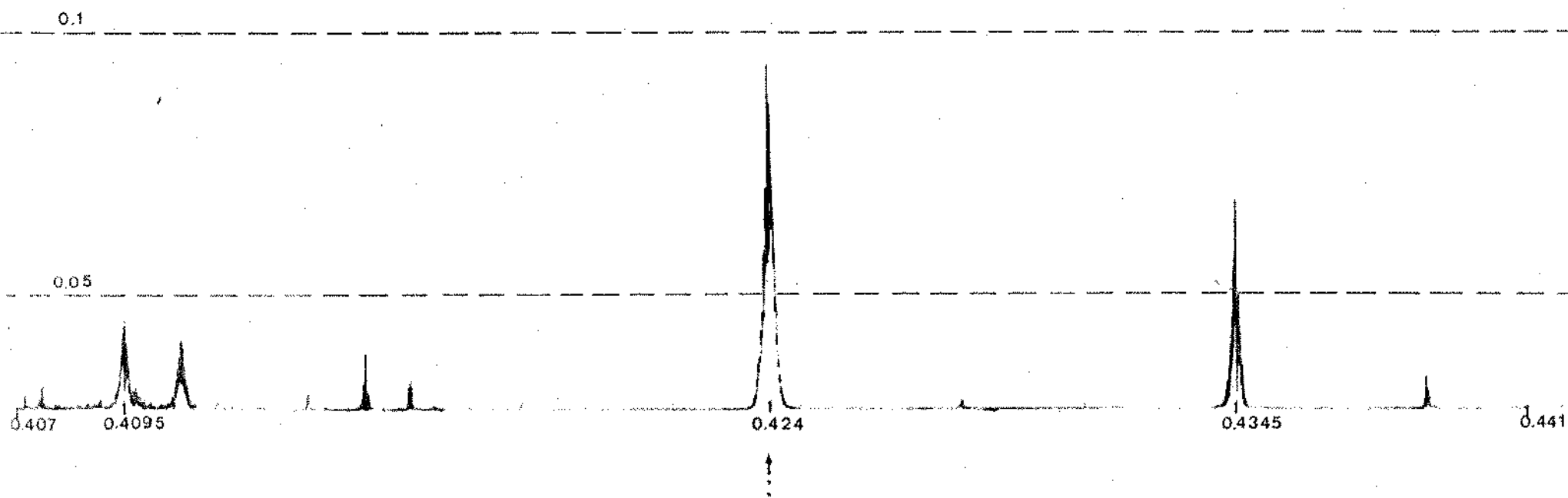


Fig. V.15 - FASES 1, 2, 5

0.15

0.1

0.05

0.407

0.424

0.4345

0.441

Fig. V.16 - FASES 1, 2, 3, 4

0,15

0,1

0,05

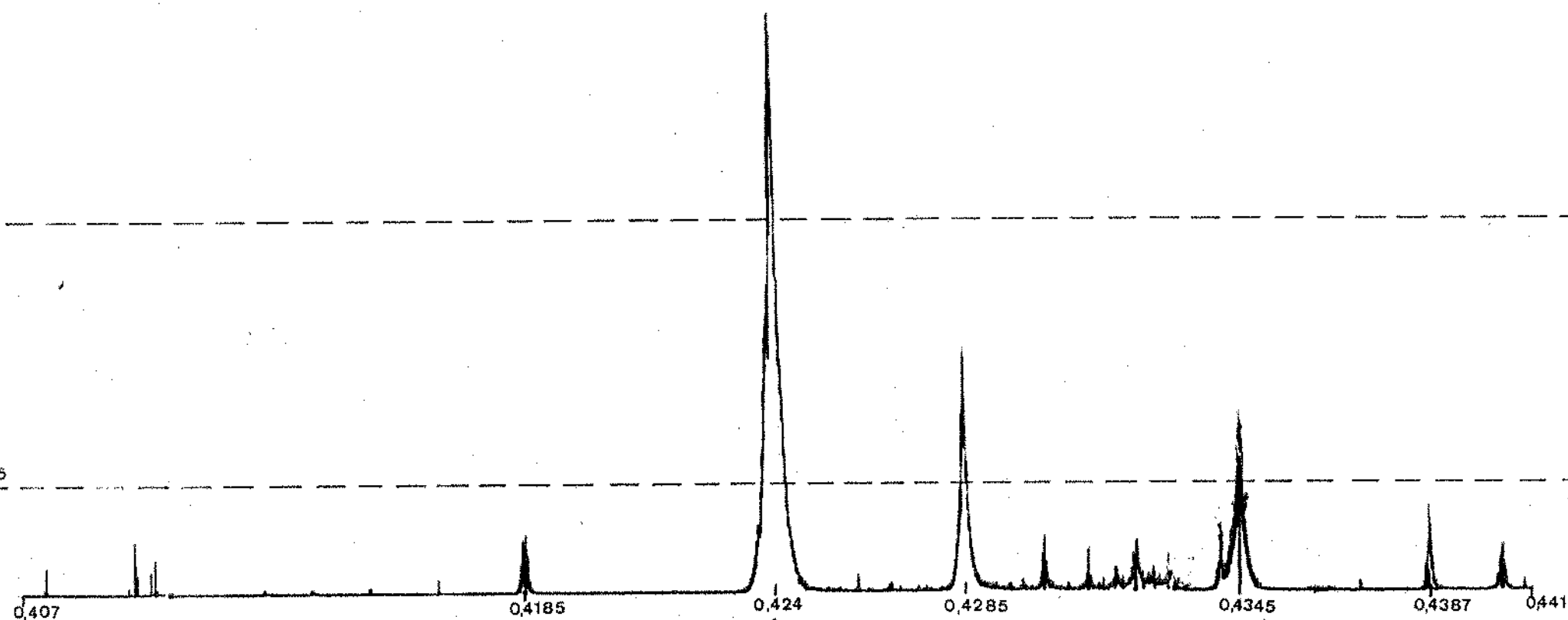


Fig.V.17 - 1, 3, 4, 5

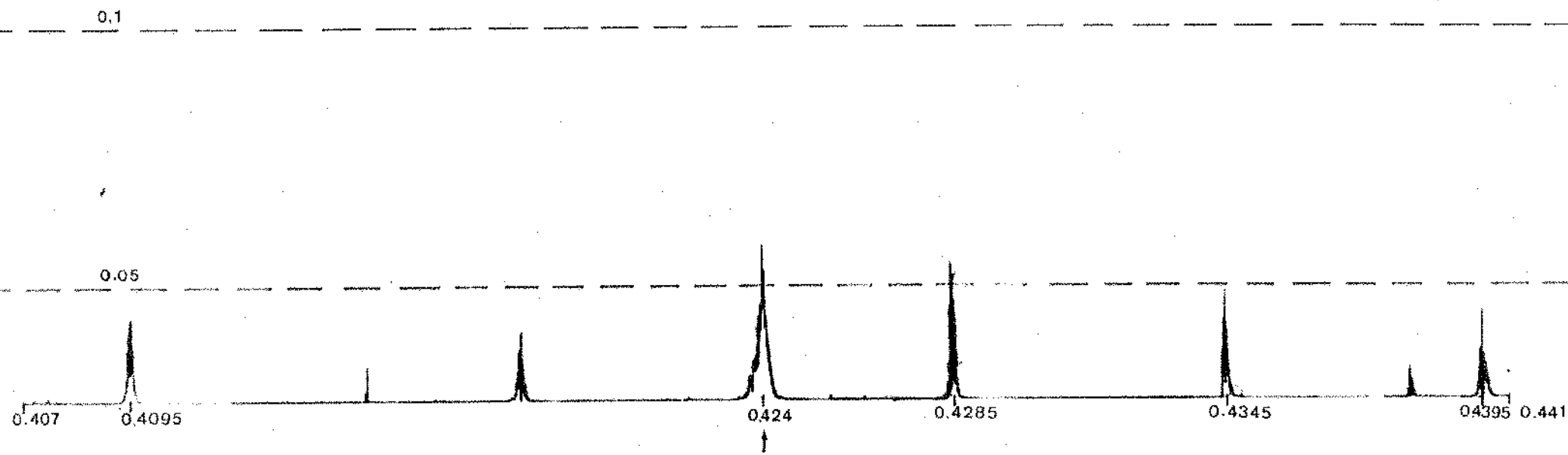


Fig. V.18 - FASES 1, 4, 5, 6

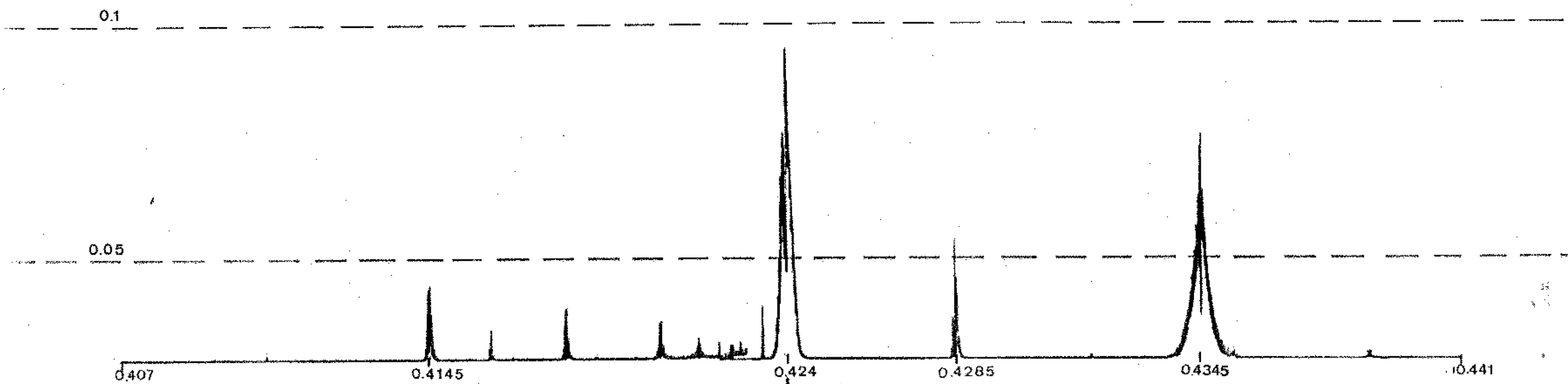


Fig. V.19 - FASES 1, 2, 4, 5

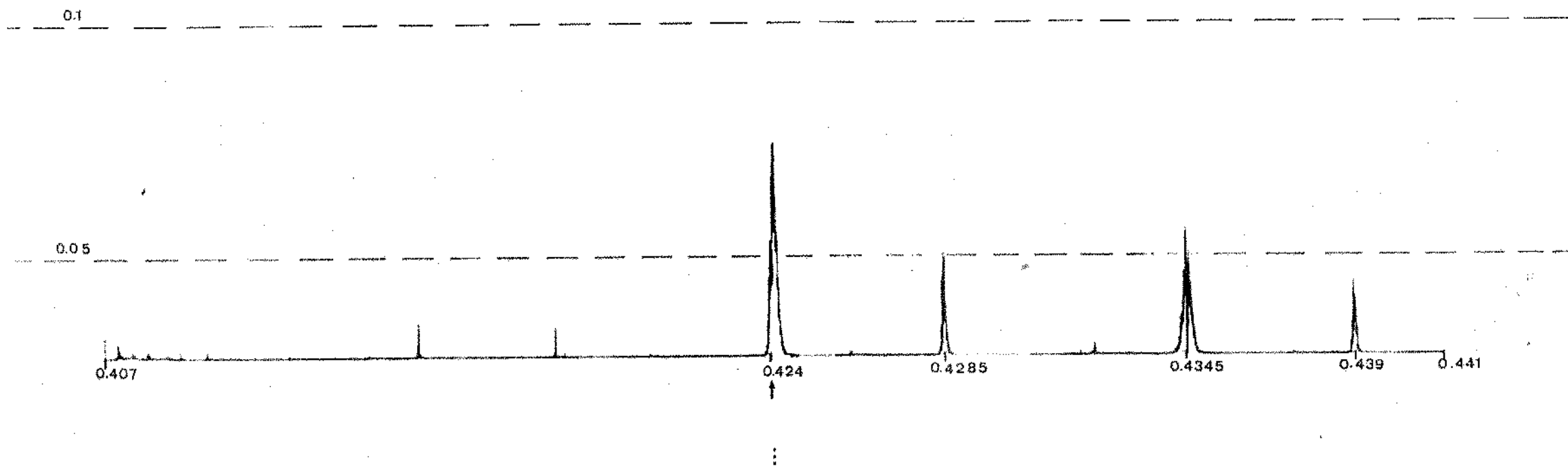


Fig. V.20 - FASES, 1, 2, 5, 6

0.1

0.05

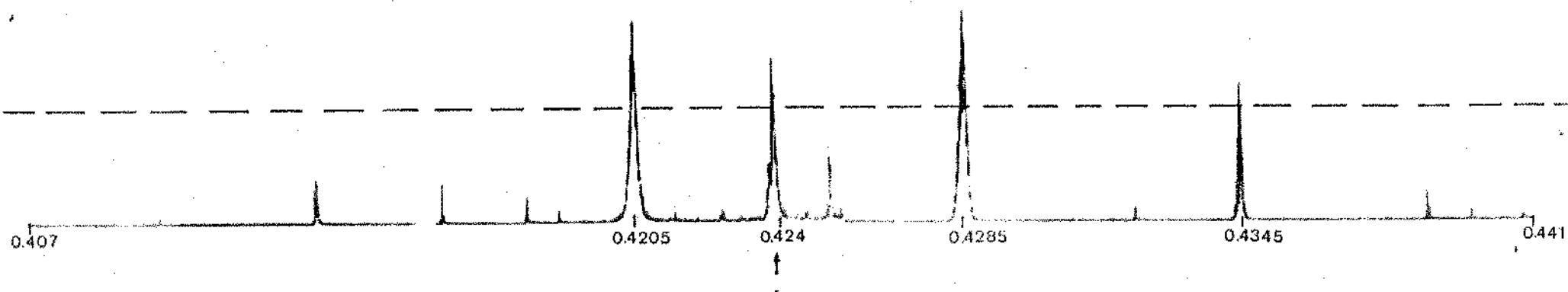


Fig. V.21 - FASES 1, 3, 5, 7

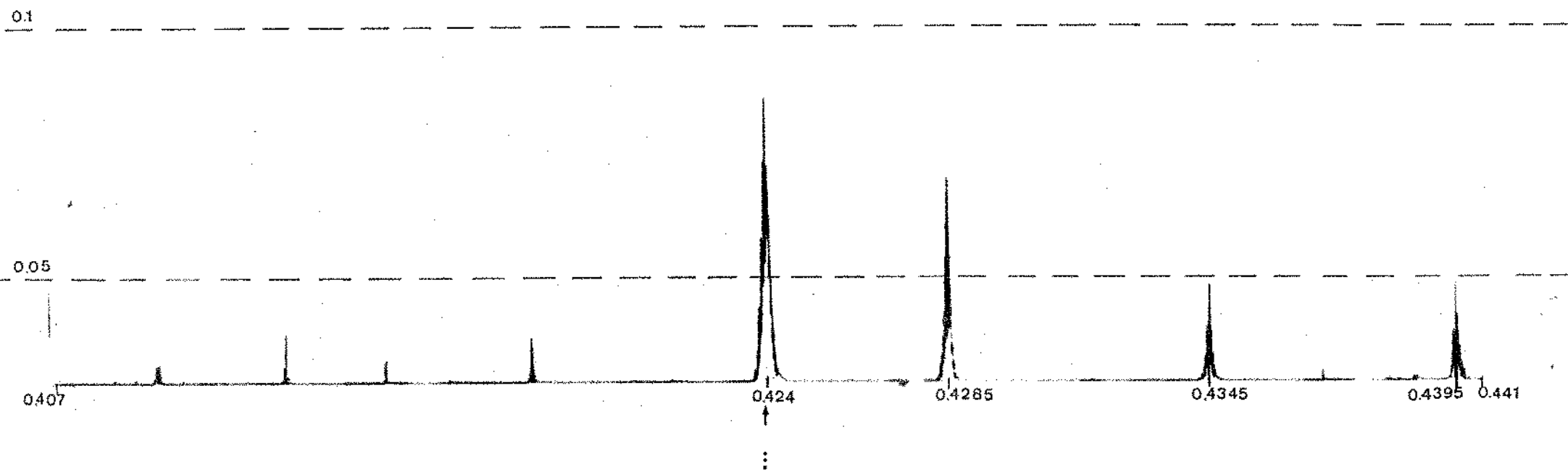


Fig. V.22 - FASES 1, 3, 4, 7

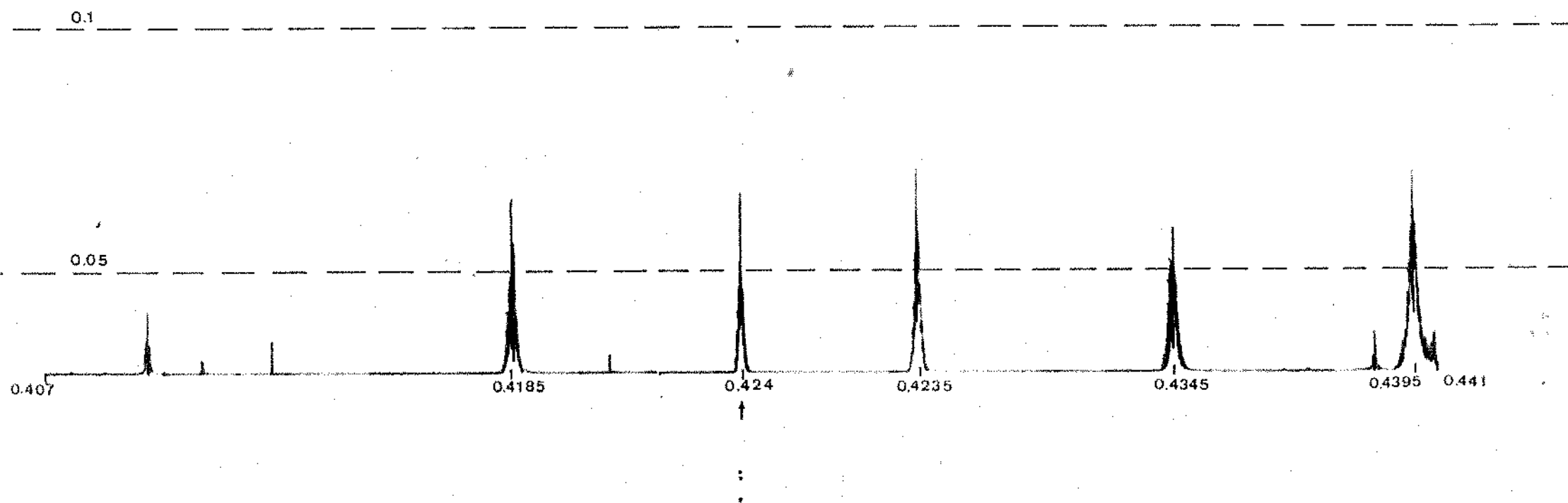


Fig. V.23 - FASES 1, 3, 4, 6.

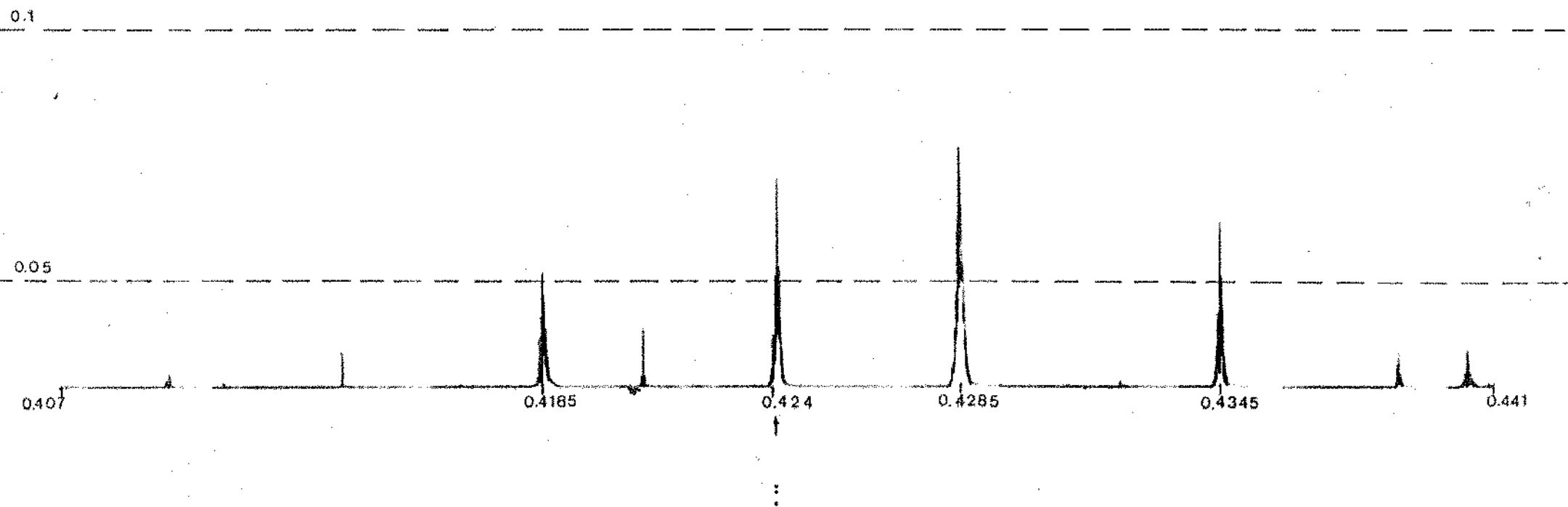


Fig. V.24 - FASES 1, 2, 4, 6

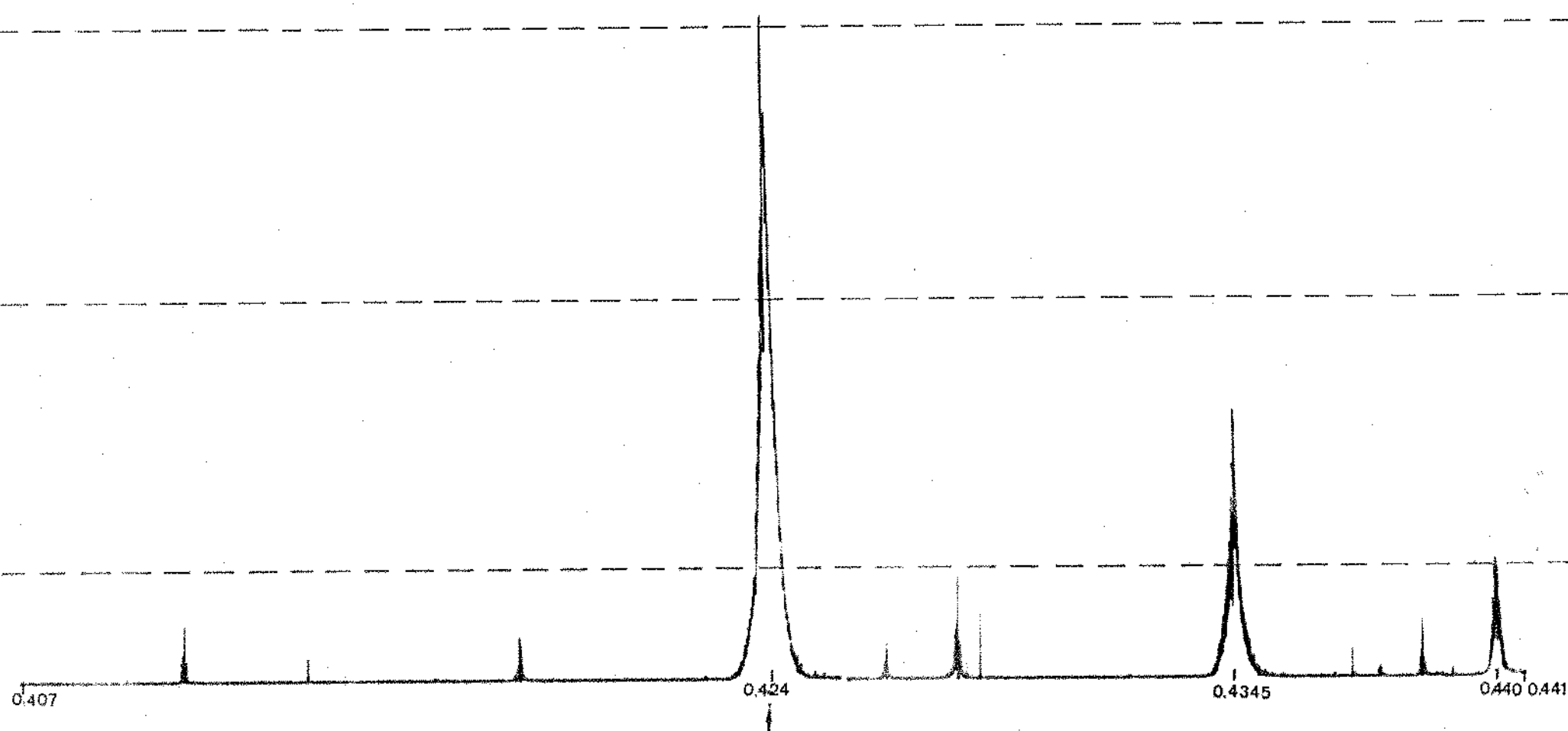


Fig. V.25 - PASES 1, 5, 6, 7

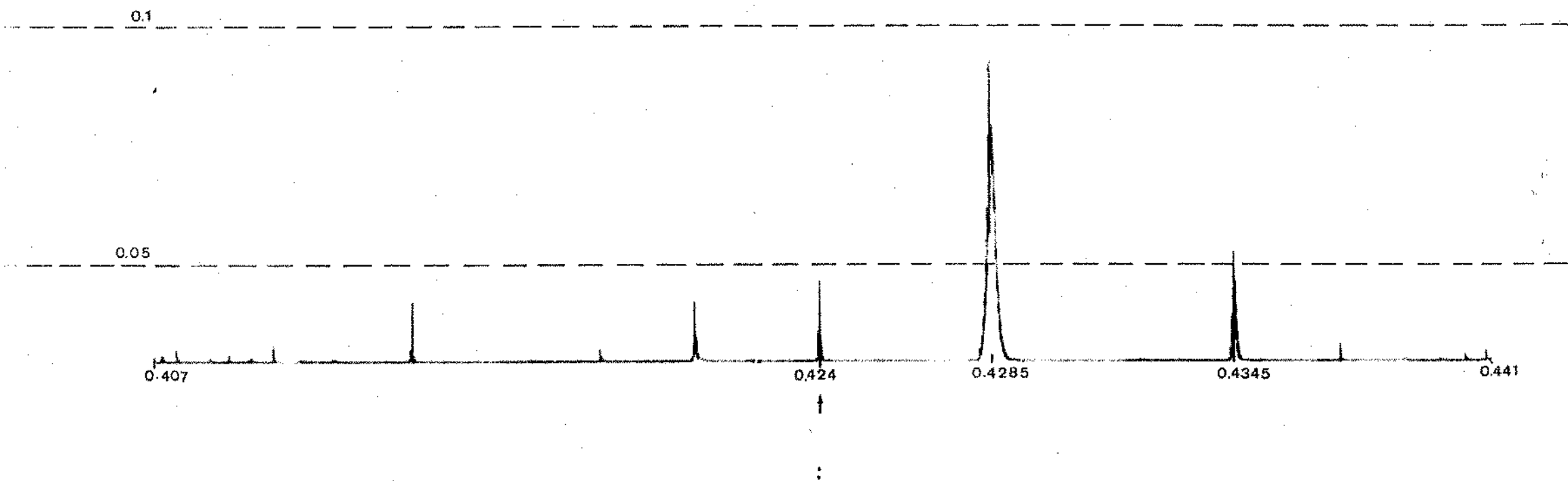


Fig. V.26 - FASES 1, 2, 3, 6, 7

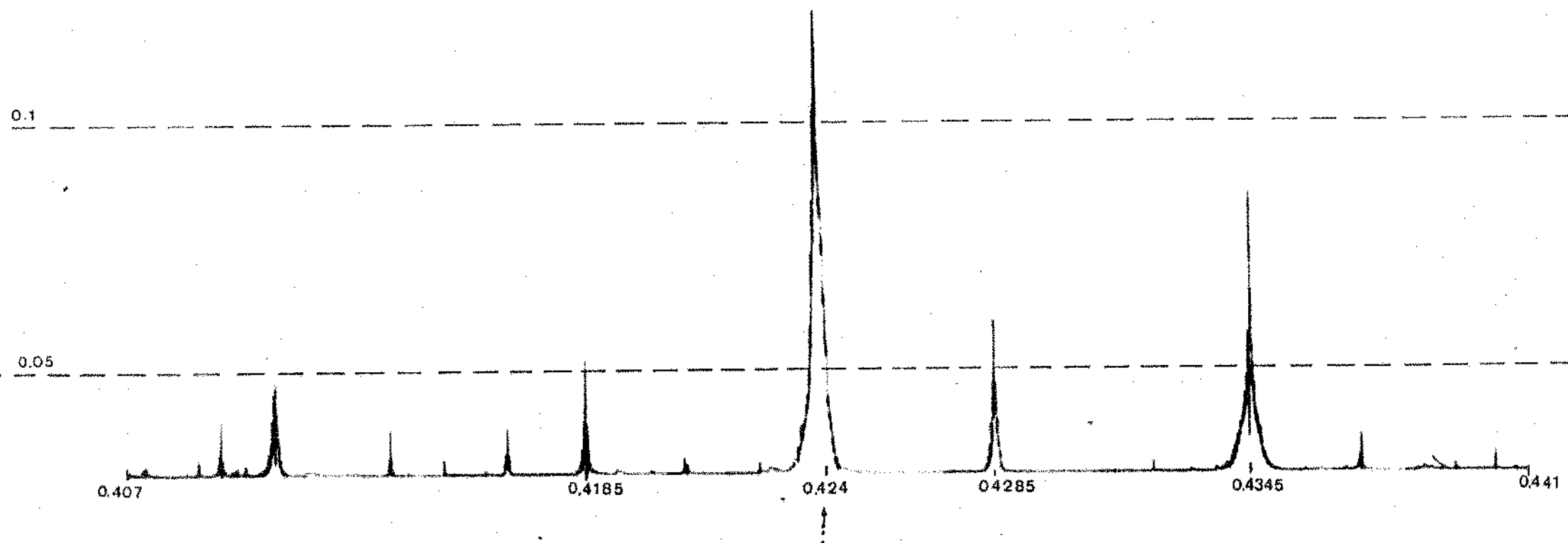


Fig. V.27 - FASES 1, 2, 3, 4, 5

0.1

0.05

0.407

0.424

0.4245

0.4345

0.441

Fig. V.28 - FASES 1, 2, 3, 4, 6

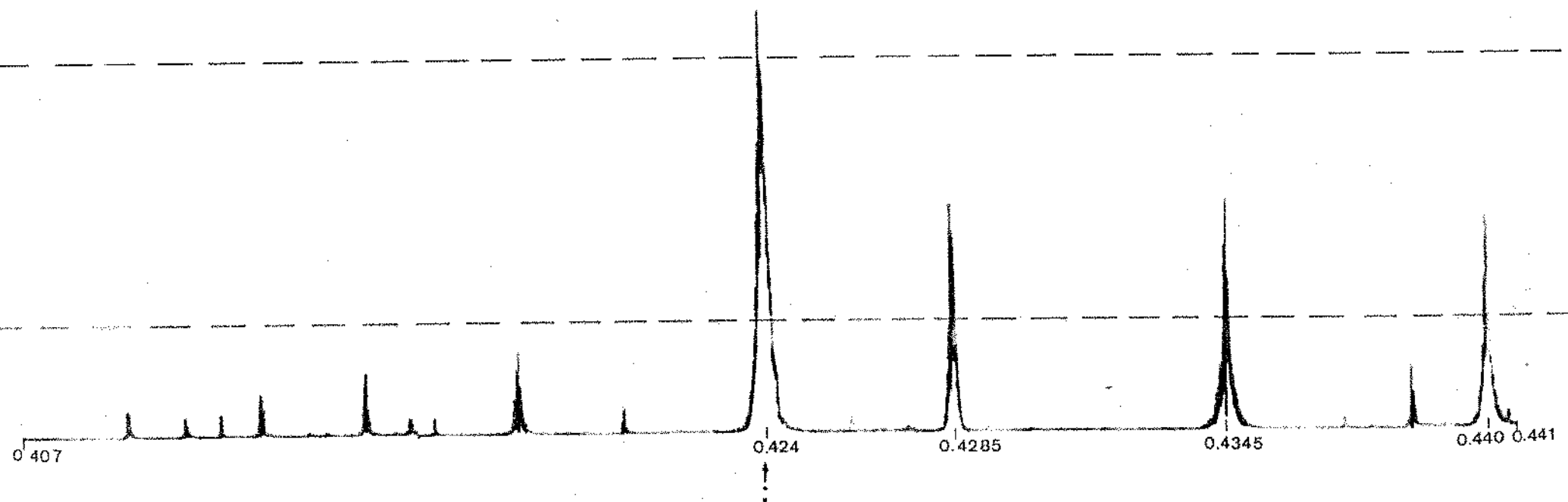


Fig. V.29 - FASES 1, 2, 3, 4, 7

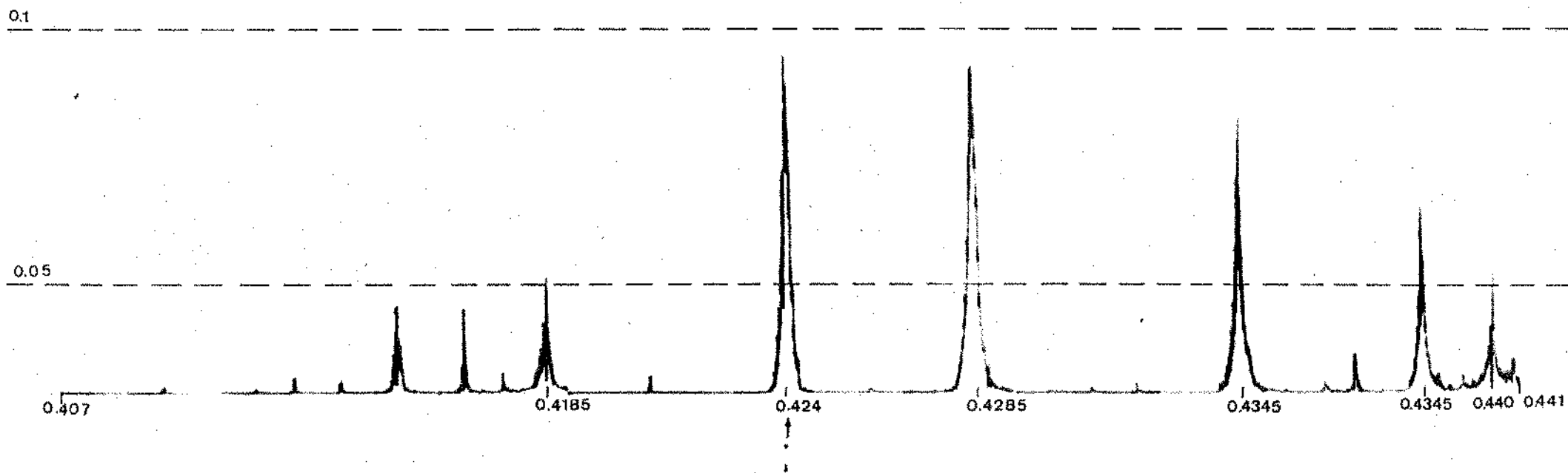


Fig. V.30 - FASES 1, 2, 4, 5, 6

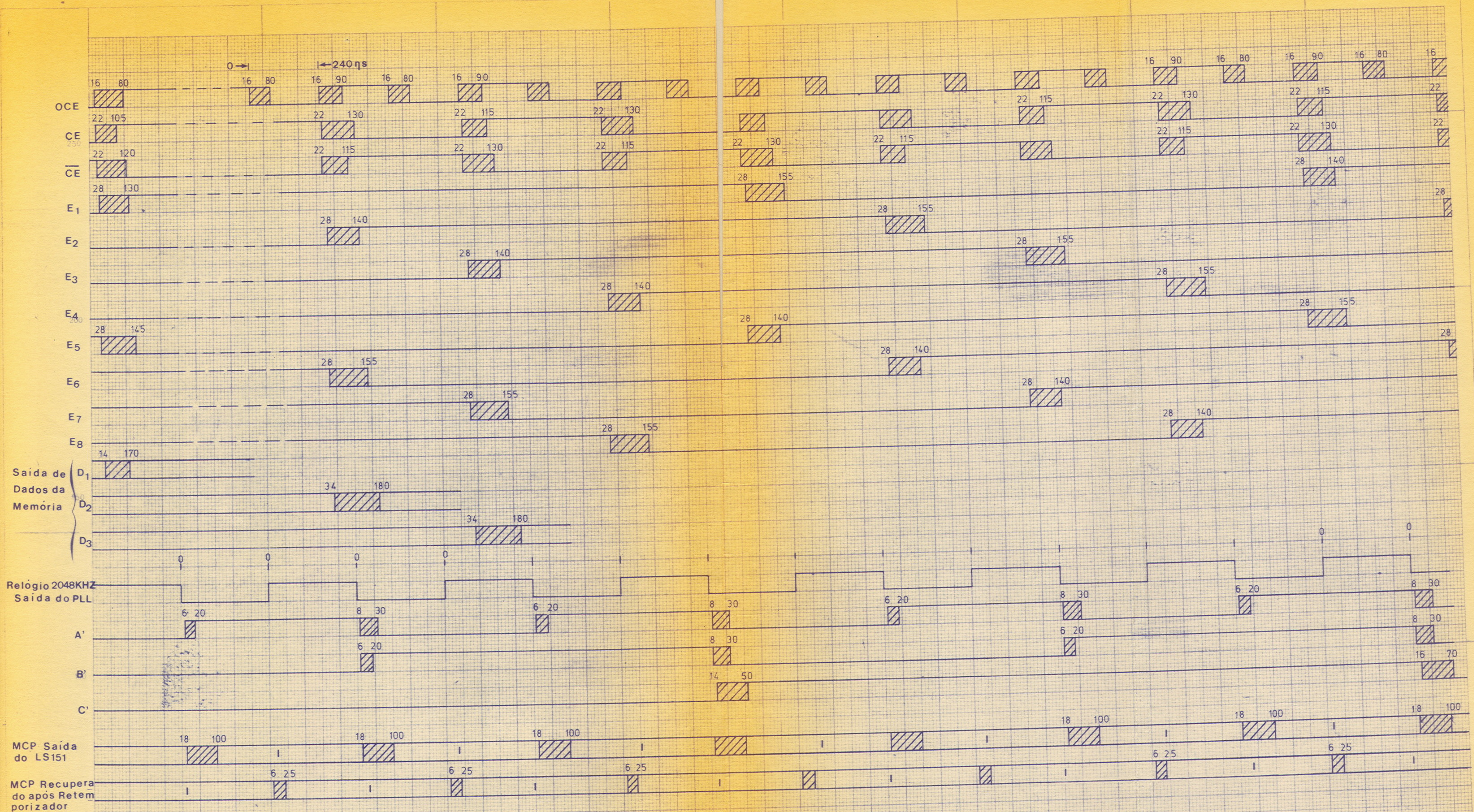


FIG. III.7 - DIAGRAMA DE TEMPO PARA O RECUPERADOR DE SINAL

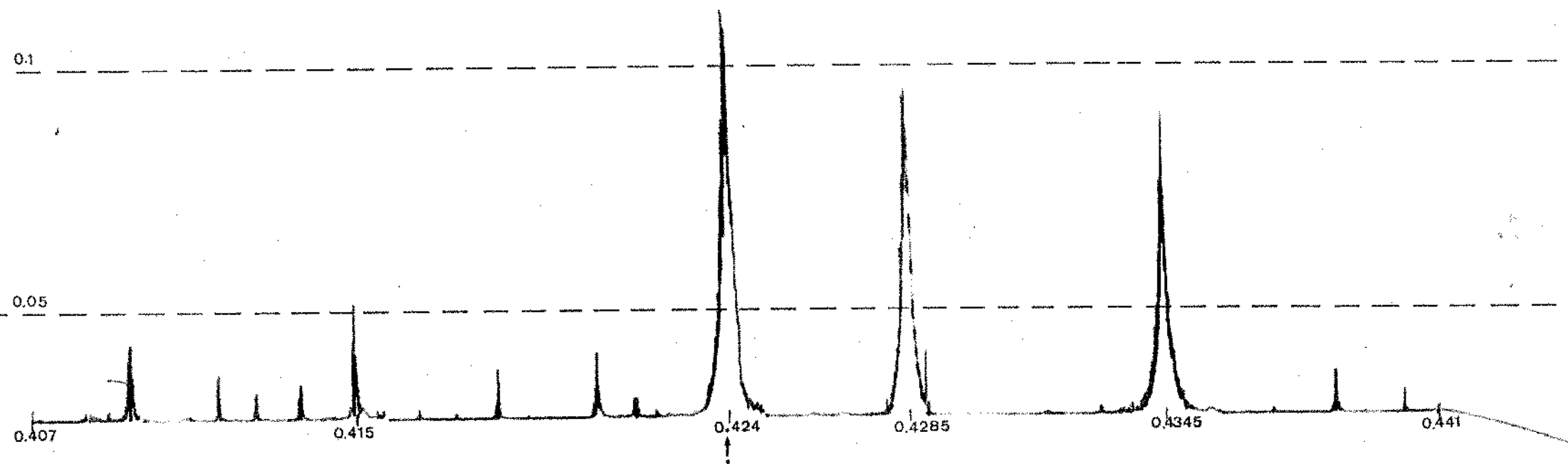


Fig. V.31 - FASES 1, 2, 3, 5, 6

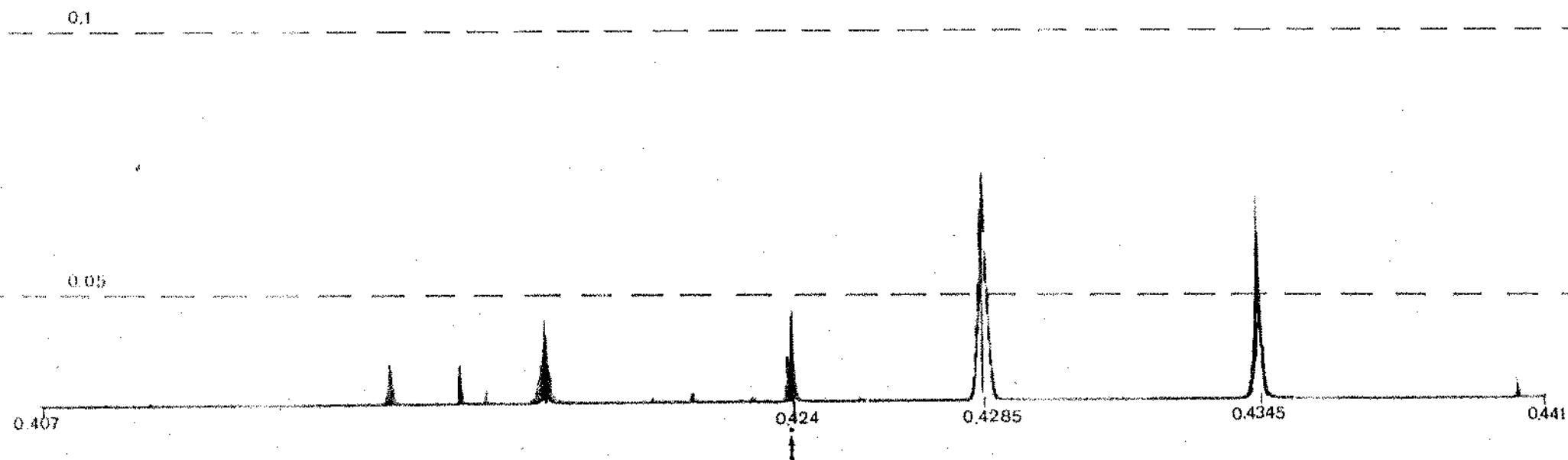


Fig. V,32 - FASES 1, 2, 4, 6, 7

0.1

0.05

0.407

0.4185

0.424

0.4285

0.4345

0.441

Fig. V.33 - FASES 1, 2, 3, 4, 5, 7

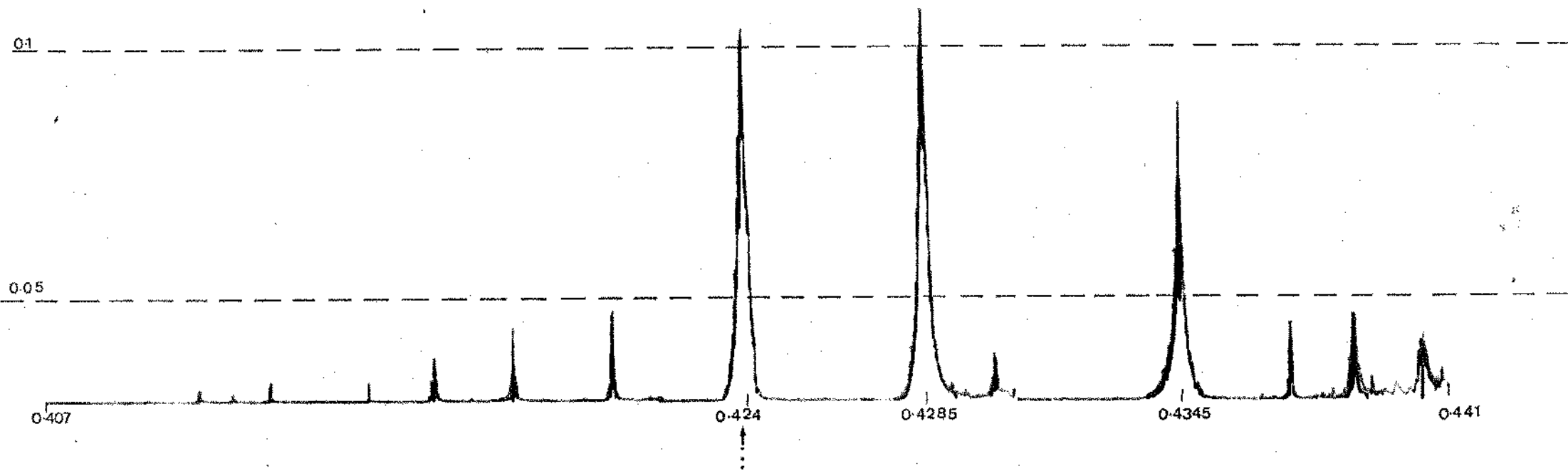


Fig. V.34 - FASES 1, 2, 3, 4, 5, 6

0.1

0.05

0.407

0.424

0.4285

0.4345

0.441

Fig. V.36 - FASES 1, 2, 3, 5, 6, 7

0.1

0.05

0.407

0.4165

0.424

0.4285

0.4345

0.441

Fig. V.37 - FASES 1, 2, 3, 4, 5, 6, 7

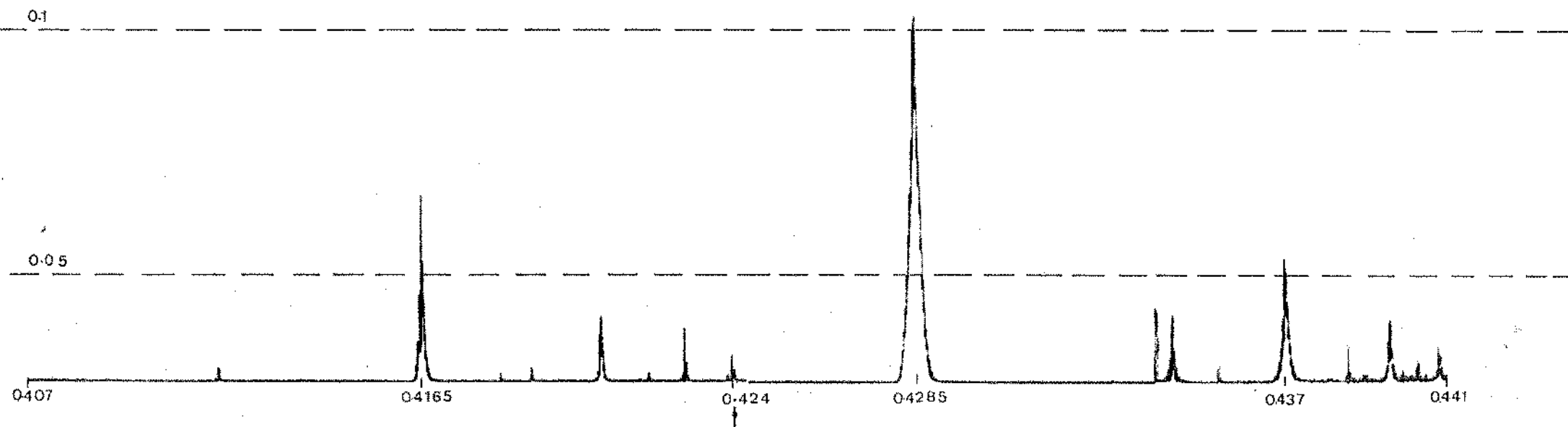


Fig. V.38 - PASES 1, 2, 3, 4, 5, 6, 7, 8

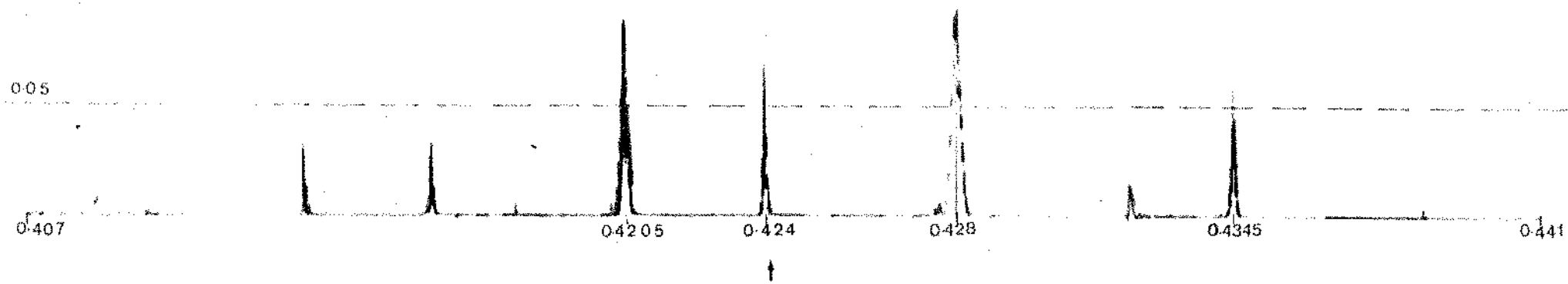


Fig. V.39 - FASES 2, 4, 6, 8

01

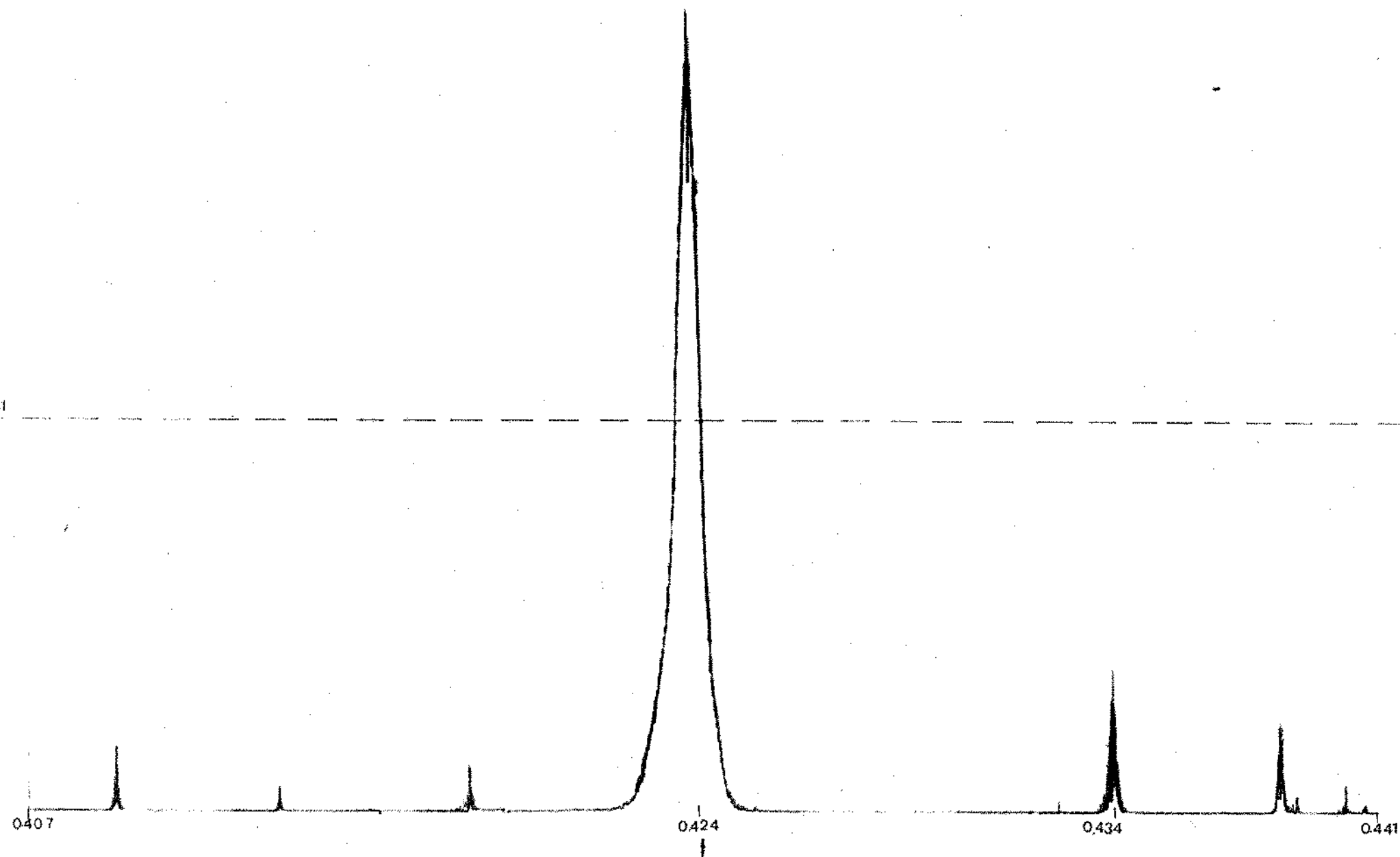


Fig. V.40 - FASE 2

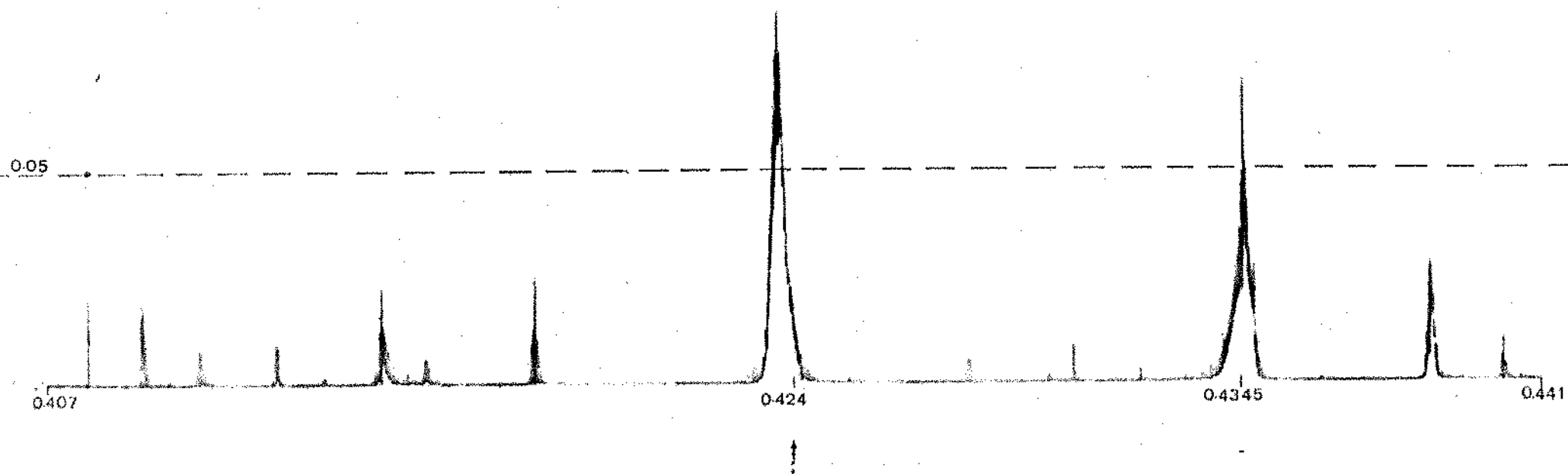


Fig. V.01 - PASES 1, 3, 6

De todas as combinações apresentadas, as que possuem os menores picos de jitter em toda a região de operação, são:

①, ③, ⑤

①, ④, ⑤, ⑥

①, ③, ⑤, ⑦

①, ②, ⑤, ⑥

①, ③, ④, ⑥

①, ②, ③, ④, ⑥

①, ②, ④, ⑥, ⑦

Nas Figs. V.42, V.43, V.44, V.45, V.46, V.47 e V.48, são repetidas estas mesmas combinações para uma escala maior, a fim de se chegar à melhor escolha. Dessas figuras, a ①, ③, ⑥ e ①, ④, ⑤, ⑥ estão muito próximas, sendo que a combinação ①, ④, ⑤, ⑥ apresenta ligeira vantagem na extensão de valores de S, mas, como pode ser visto, a diferença entre ambas é mínima, e as diferenças no sinal recuperado de 2 Mbit/s são desprezíveis. Ambas apresentam amplitudes de pico de jitter em toda a região de operação menores que 0,1 dígito e ligeiramente superior a 0,05 dígito em alguns pontos. Torna-se, portanto, difícil a escolha de uma melhor combinação, pois não há uma diferença sensível entre ambas.

Em se tratando de um processo industrial, a escolha fatalmente cairia sobre a ①, ③, ⑥, pois esta combinação, além de apresentar pouquíssima diferença nas amplitudes de pico de jitter, é de uma implementação mais fácil que a combinação ①, ④, ⑤, ⑥, que deve usar alguns componentes a mais para a sua implementação.

Um outro fato de interesse é a característica apresentada pela fase ①, ③, ⑤, ⑦. Esta combinação apresenta um pico maior que a fase ①, ③, ⑥ ou ①, ④, ⑤, ⑥ na região de operação. Porém, no ponto nominal de operação, a amplitude de pico de jitter é menor que qualquer uma delas e, se fosse possível garantir uma variação conjunta do relógio de escrita e onda de controle de justificação, poderia ser esta a fase escolhida. Como isso ainda não é possível, a escolha de fase ótima recai sobre a

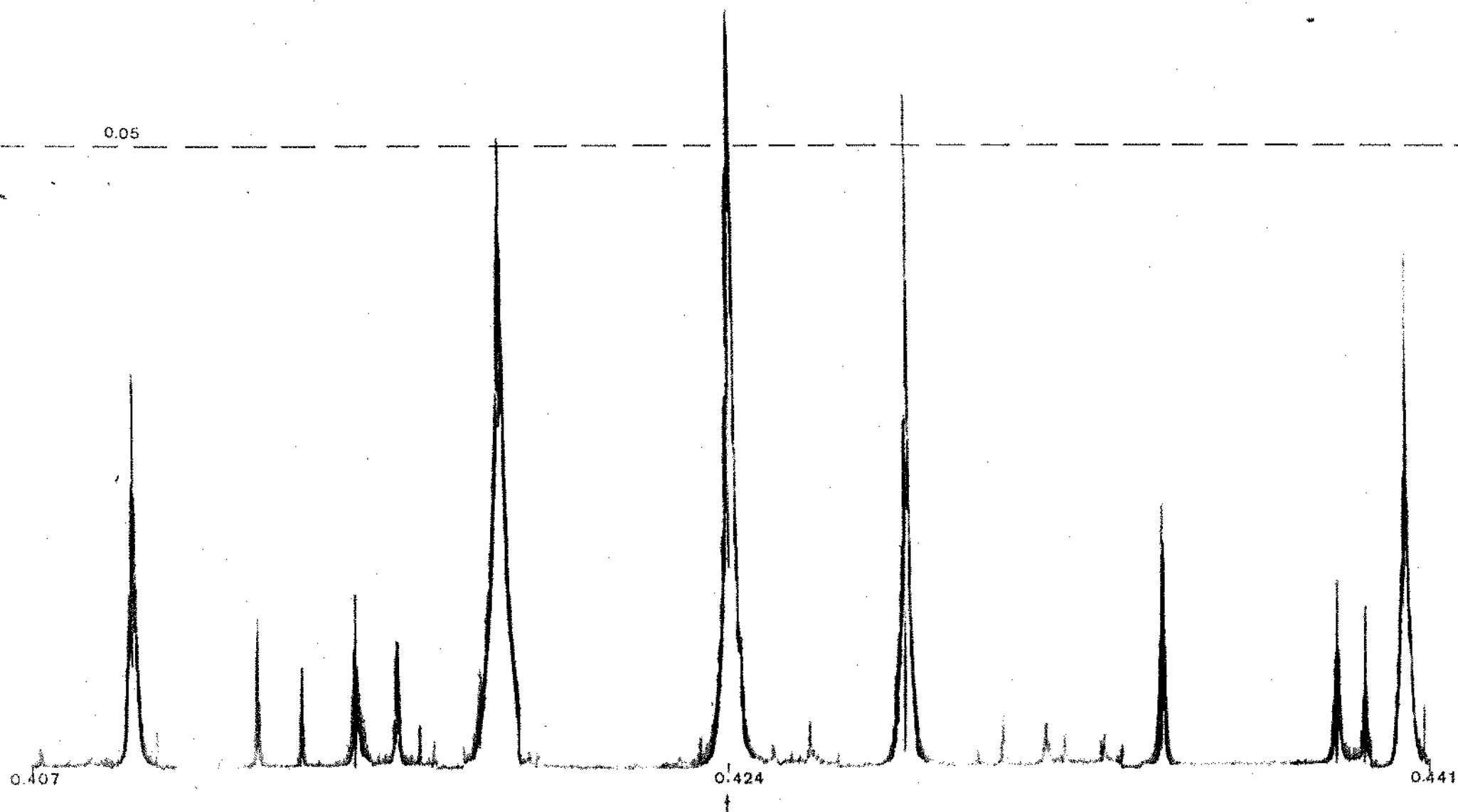


Fig. V.42 - FASES 1, 3, 6

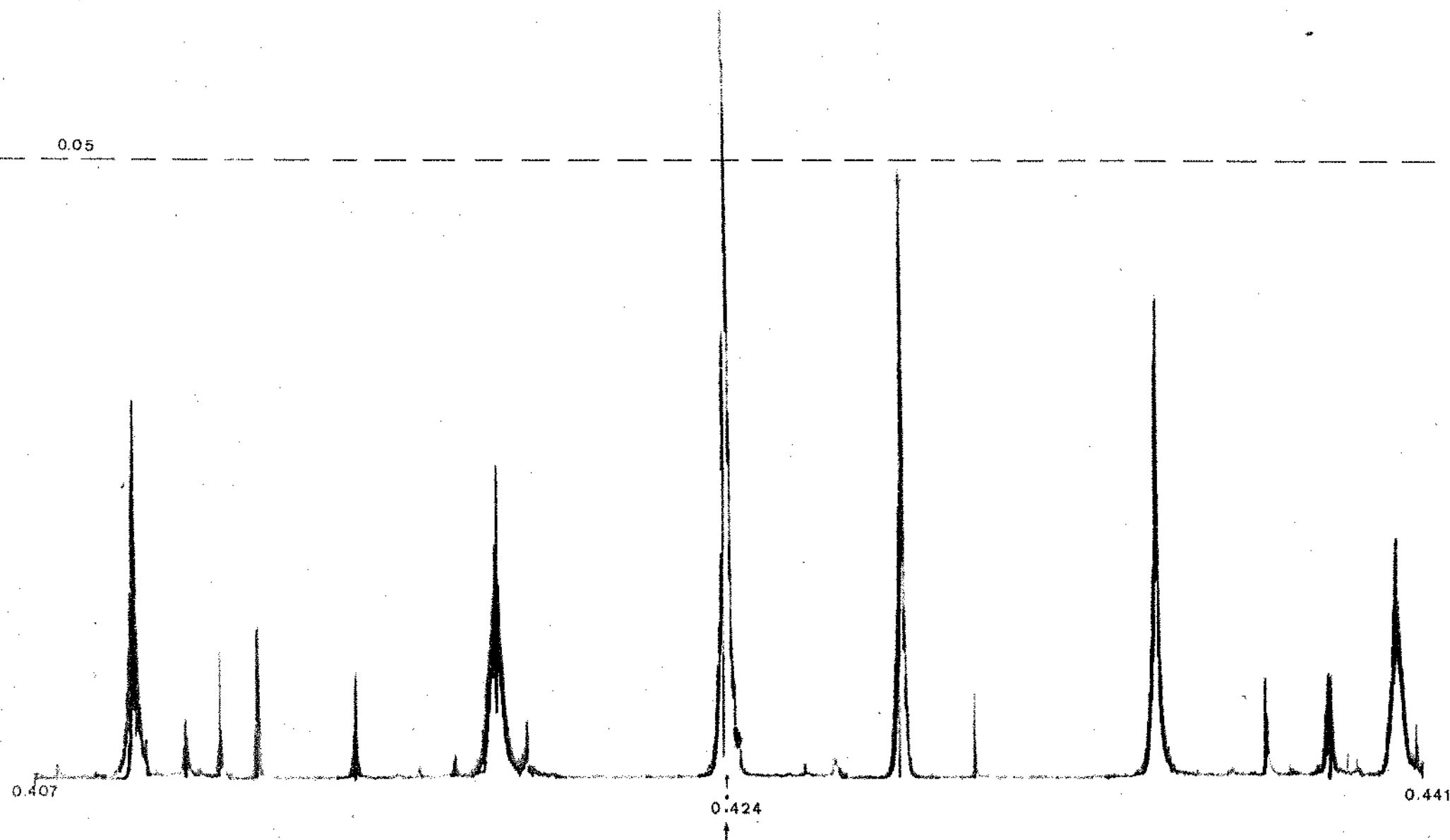


Fig. V.43 - FASES 1, 4, 5, 6

0,05

0.407

0.424

↑

0.4285

0.441

Fig. V.44 - FASES 1, 3, 5, 7

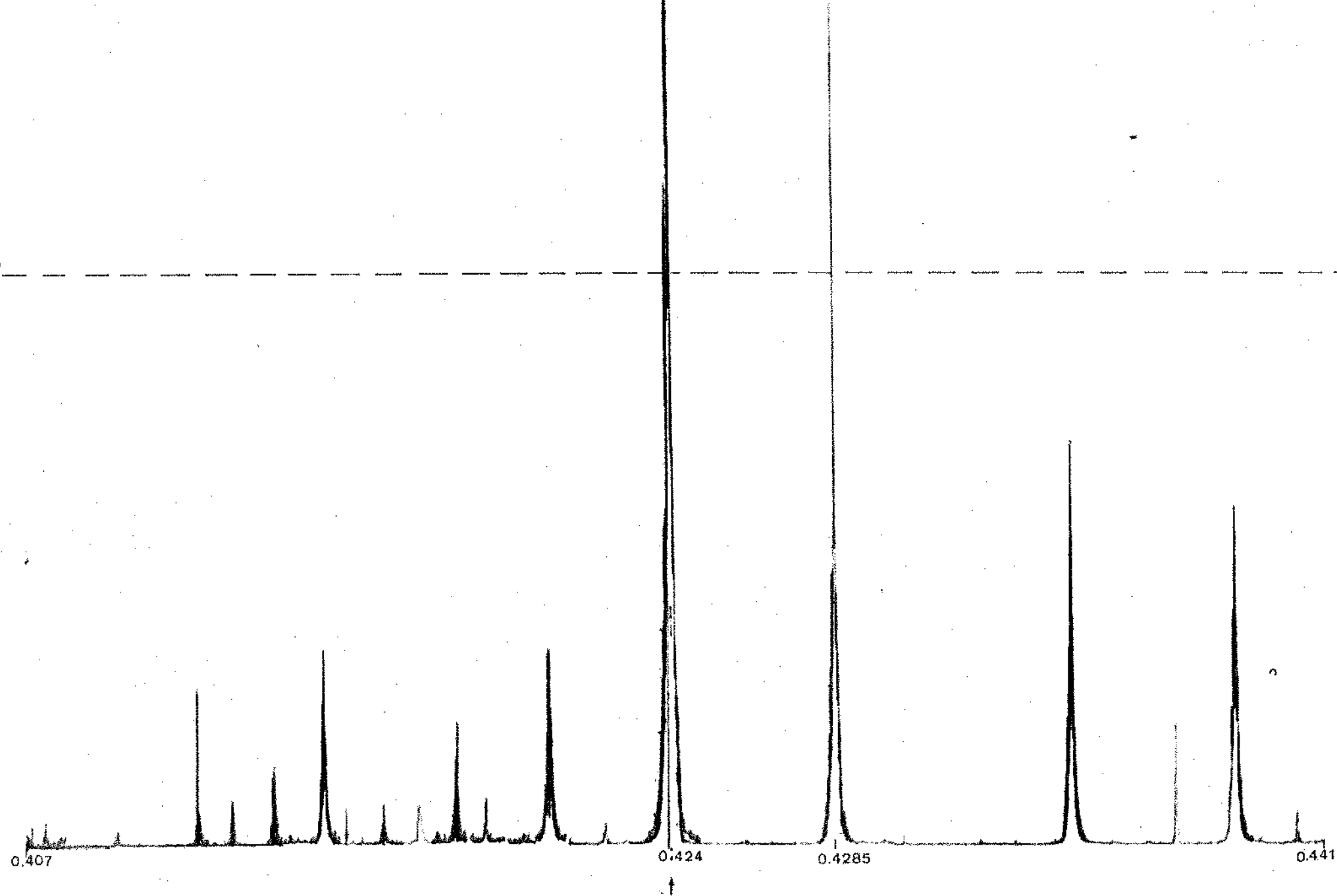


Fig. V.45 - FASES 1, 2, 5, 6

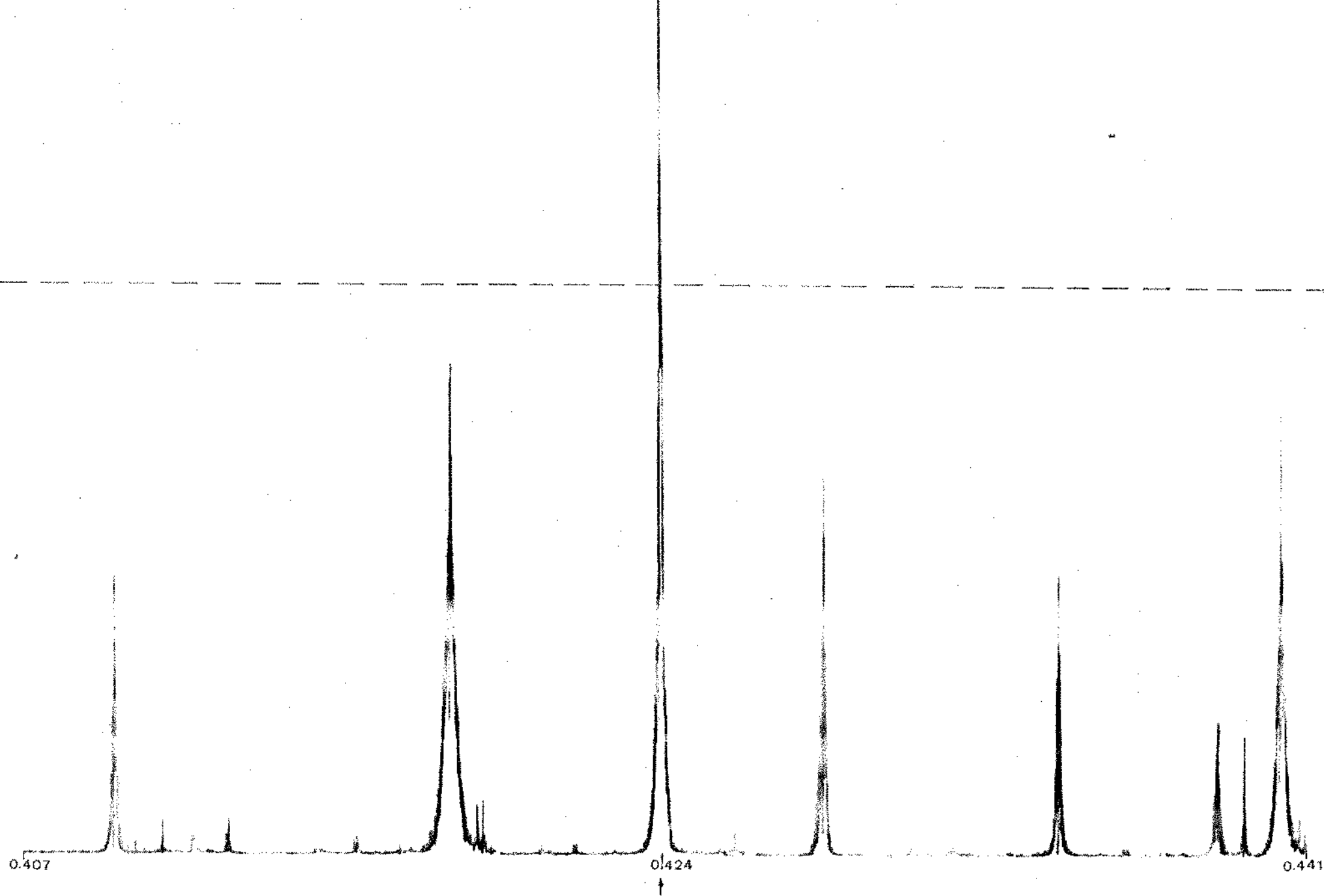


Fig. V.46 - FASES 1, 3, 4, 6

0,05

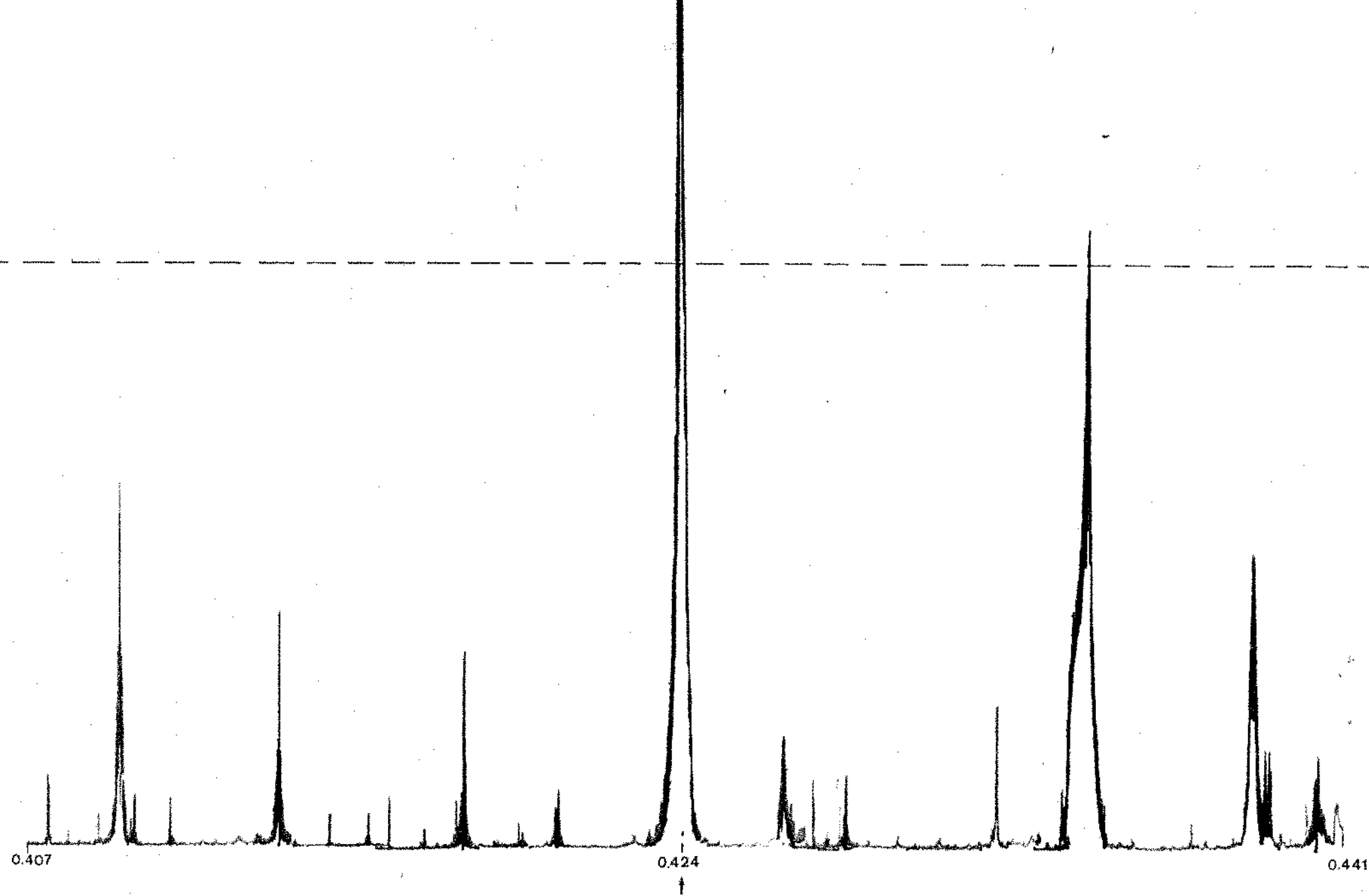


Fig. V.47 - FASES 1, 2, 3, 4, 6

0.05

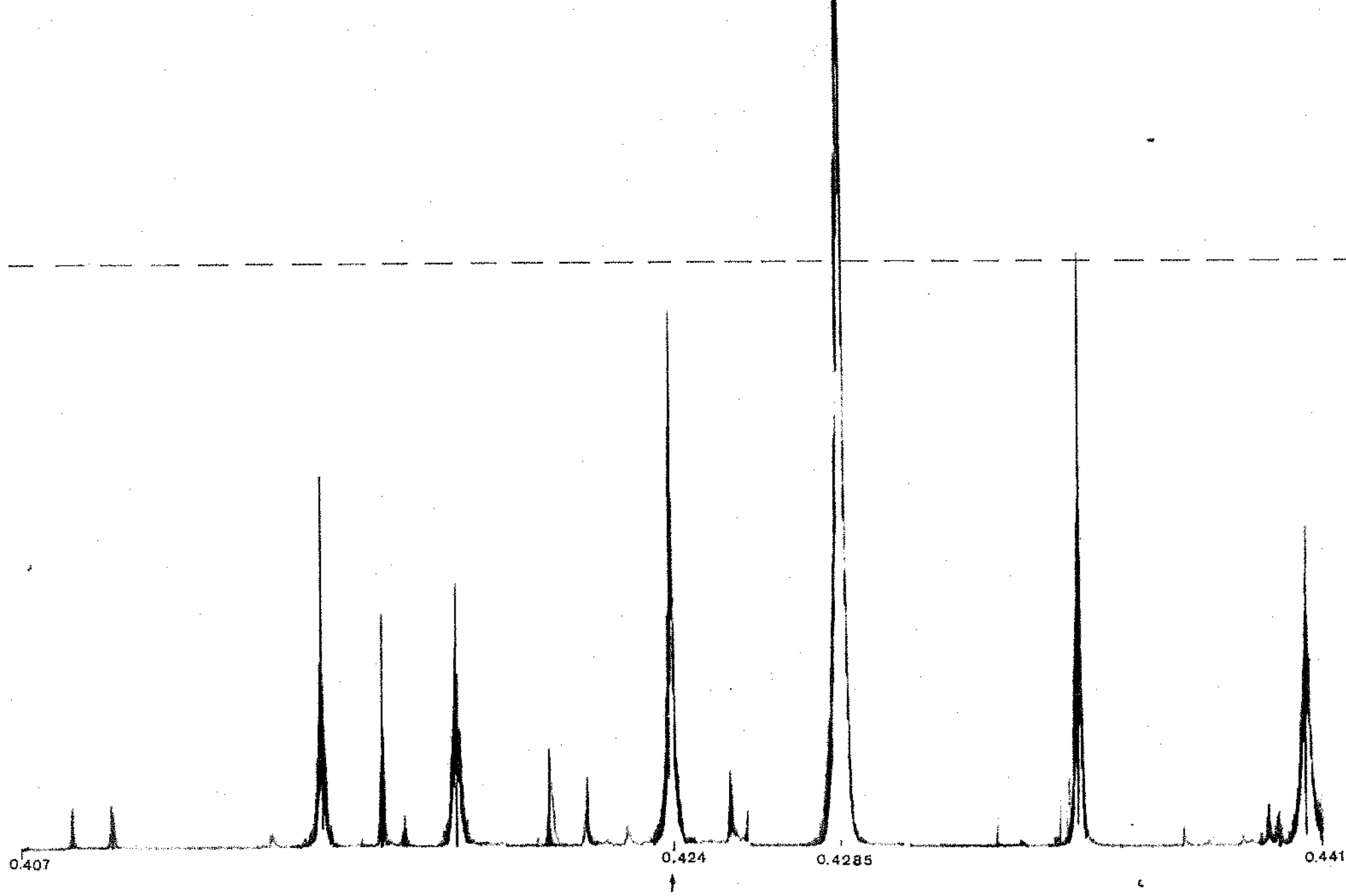


Fig. V.48 - FASES 1, 2, 4, 6, 7

combinação ①, ③, ⑥, que apresenta um comportamento satisfatório em toda a região de operação.

V.3.1 - Idéia Prática para Medidas de Pico de Jitter de Tempo de Espera

Dentre as muitas idéias desenvolvidas para medidas de pico do jitter, a adotada foi a da Fig. V.49, que é mostrada em diagrama de blocos. Como é desejável obter a característica de jitter para valores de S entre 0,4078 e 0,4407, a primeira idéia foi variar a frequência do relógio tributário. Porém, deste modo aparecem limitações quanto à faixa de retenção do P.L.L., que era de ± 200 Hz, sendo que para a região de operação desejada são necessárias variações de +270 Hz e -170 Hz. Outra dificuldade seria a necessidade de um ajuste de fase constante entre os dois sinais, pois a cada variação de frequência no tributário, ocorre uma variação de fase entre o sinal tributário e o sinal na saída do sistema (receptor), novamente em 2Mbit/s.

Outra maneira pensada e adotada foi a variação da onda de controle de leitura, via relógio de 8,448 MHz. Para este modelo, foi empregado o diagrama de blocos da Fig. V.49, onde o sinal sem jitter, que é o relógio em 2,048 MHz usado para escrita no sincronizador, é enviado para um defasador. Este coloca o sinal sem jitter em fase com o sinal com jitter (saída do P.L.L. e relógio de leitura do recuperador de sinal) para que no detetor de fase só fosse obtido em sua saída variações exclusivamente devido ao jitter, ou seja, é obtido na saída do detetor um pulso modulado em largura pela variação de jitter. A detecção de variação de fase feita, é enviada para um integrador e, posteriormente, para um detetor de pico de amplitude que dá um nível de correspondente à amplitude detetada. Este nível de é enviado ao eixo Y de um traçador de gráfico X, Y. O eixo X é comandado por um sintetizador que dá a variação do relógio de 8,448 MHz, sendo que a cada variação desta frequência é obtido um deslocamento correspondente no eixo X.

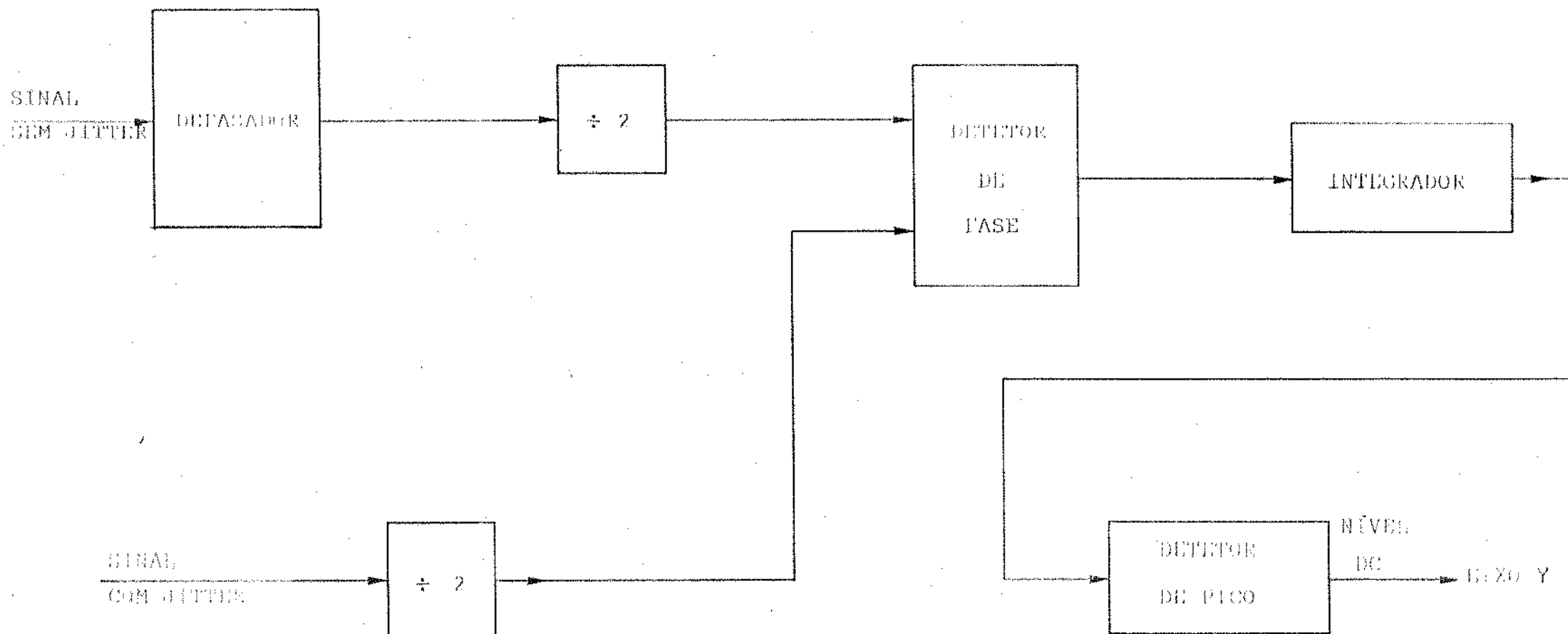


Fig. V.49 - DIAGRAMA DE BLOCOS DO MEDIDOR DE JITTER

O divisor por dois mostrado na Fig. V.49 é necessário porque o sinal sem jitter que passa pelo defasador sofre ligeiras variações de "duty cycle" para cada ajuste de fase, fazendo com que a borda de descida do pulso varie de posição. Com isso, usando-se um flip-flop D sensível à borda de subida, foi eliminado este problema.

Para este método adotado, a variação do relógio de 8,448 MHz necessária para obter S entre 0,4078 e 0,4407 é de $\pm$ 700 Hz. Para que fosse conseguida uma boa precisão nas medidas, o relógio foi variado de seu ponto mínimo de 8,447300 MHz ao seu ponto máximo de 8,448700 MHz, de 1,4Hz em 1,4Hz, e levando três segundos para cada variação. Esta maneira de variação de taxa de justificação apresenta a vantagem de necessitar somente de pequenos ajustes de fase de tempo em tempo entre o sinal sem jitter e o sinal com jitter, pois o sinal tributário estava cravado em..... 2,048 MHz e com isso o relógio de leitura do recuperador de sinal (Fig. III.8c) não apresentava quase que nenhuma diferença de fase com relação ao tributário, já que sua tendência é mostrar diferença de fase quando o tributário variar. Porém, devido a ação do P.L.L. há uma pequena variação de fase entre os sinais, no decorrer da varredura da frequência de seu ponto de mínimo ao seu ponto de máximo, que pode ser explicada devido ao fato de que, na realidade, a onda de controle de escrita justificada no recuperador de sinal que vai para o P.L.L., apresenta uma pequena variação de frequência devido à ocorrência ou não do dígito de inserção. A situação pode ser visualizada tomando-se por base o fato da razão de justificação pequena significar, neste caso, frequência de ocorrência de inserção pequena. Com isso, o dígito redundante na onda de controle do recuperador de sinal ocorre poucas vezes. Já para razões mais altas, maior é a taxa de ocorrência do dígito redundante. Este processo causa então uma pequena variação de frequência do sinal na entrada do P.L.L., que por sua vez dá uma variação de fase correspondente em seu sinal de saída. Ao variar S no sentido crescente, de 0,4078 para 0,4407, é obtido um aumento de defasagem entre os sinais, que requer um pequeno ajuste de fase e uma monitoração em um osciloscópio.

Pode-se dizer também que esta defasagem será a mesma para todas as combinações de fase. As Figs. 7.50 e 7.51 mostram, respectivamente, a característica de jitter para as combinações (1), (3), (6) e (1), (4), (5), (6), sem levar em consideração o ajuste de fase.

O máximo de cuidado é recomendado no ajuste de fase para uma boa precisão na obtenção da característica de jitter, pois variações de fase no sinal implicam em variações nas amplitudes de pico de jitter. A Fig. V.52 mostra em detalhes o circuito usado para medidas. A Fig. V.53 mostra a característica de jitter otimizada da combinação (1), (3), (6) para S entre 0 e 1. Uma comparação entre as Figs. V.53 e V.52 pode mostrar que a combinação de fase escolhida apresenta uma característica de jitter melhor do que aquela usando-se todas as fases. Portanto, através da escolha da combinação (1), (3), (6) conseguiu-se minimizar os picos de jitter de tempo de espera. A escolha foi baseada no fato de que esta combinação está entre as que apresentam menores picos de jitter em toda a região de operação e, dentre estas combinações, é a que apresenta um meio mais fácil de implementação, o que é mostrado na Fig. V.54.

V.4 - ACEITAÇÃO DE JITTER PARA O SISTEMA 8Mbit/s

V.4.1 - Introdução

A especificação da aceitação de jitter para um sistema multiplex de 2ª ordem pode ser conseguida através da interpretação das curvas típicas de aceitação de jitter obtidas para tais sistemas. Sabe-se que um sistema digital consiste de um número variado de elementos, onde estão incluídos repetidores, multiplexadores e os mais variados componentes digitais. Cada componente digital usado na implementação dos circuitos do sistema MFP-100 tem propriedades intrínsecas que poderão influir na limitação da quantidade de jitter de linha que o sistema pode tolerar.

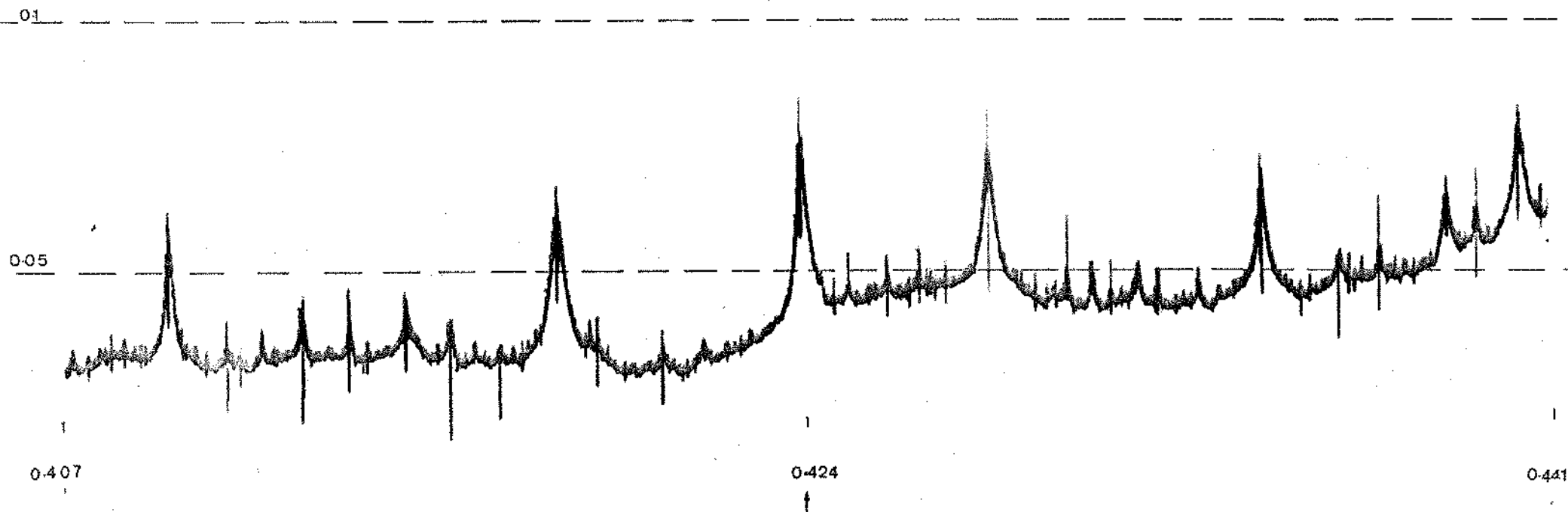


Fig. V,50 - FASES 1, 3, 6

0.1

0.05

0.407

0.424

0.441

Fig. V.51 - PASES 1, 4, 5, 6

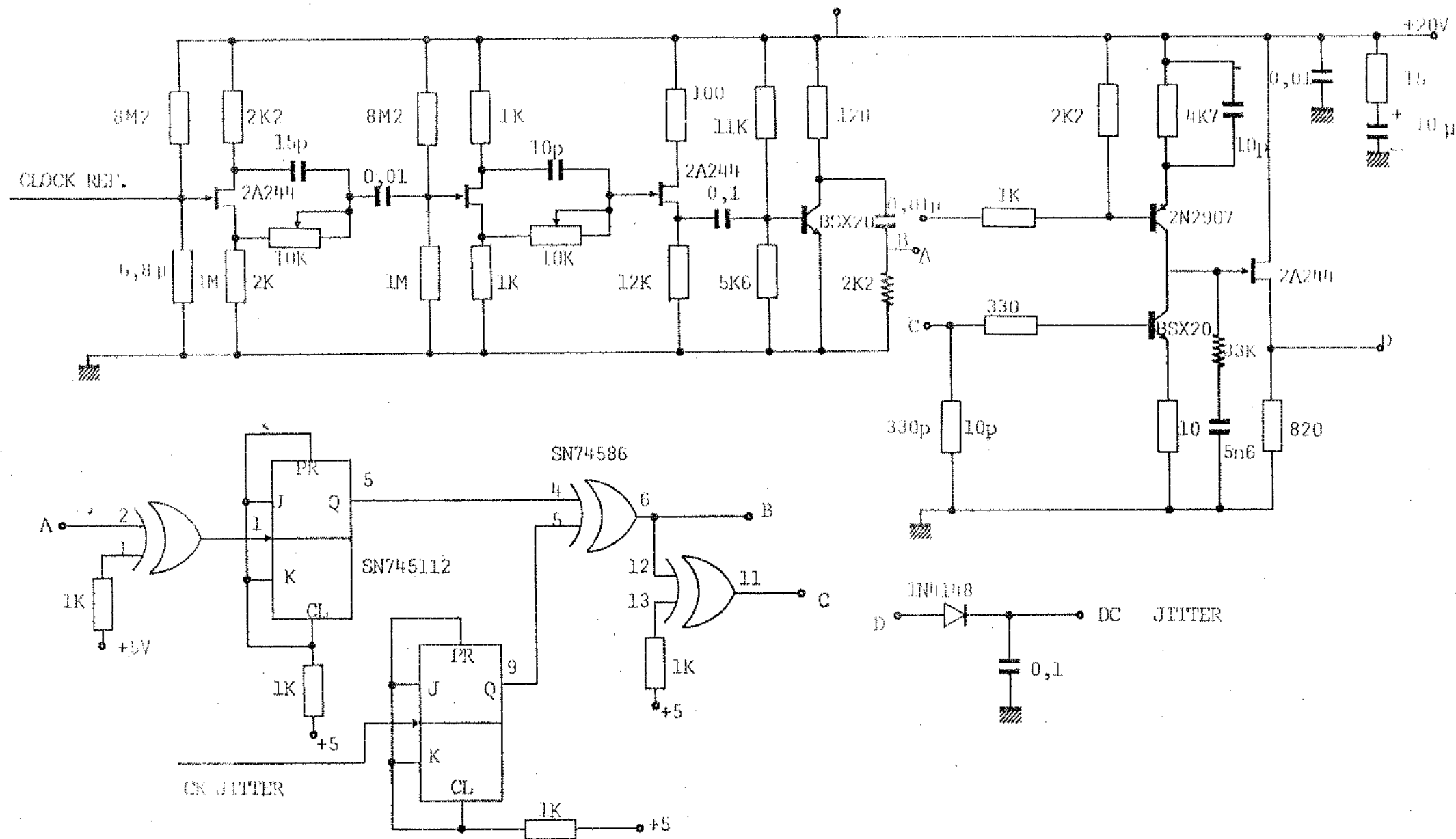


Fig. V.52 - MEDIDOR DE JITTER

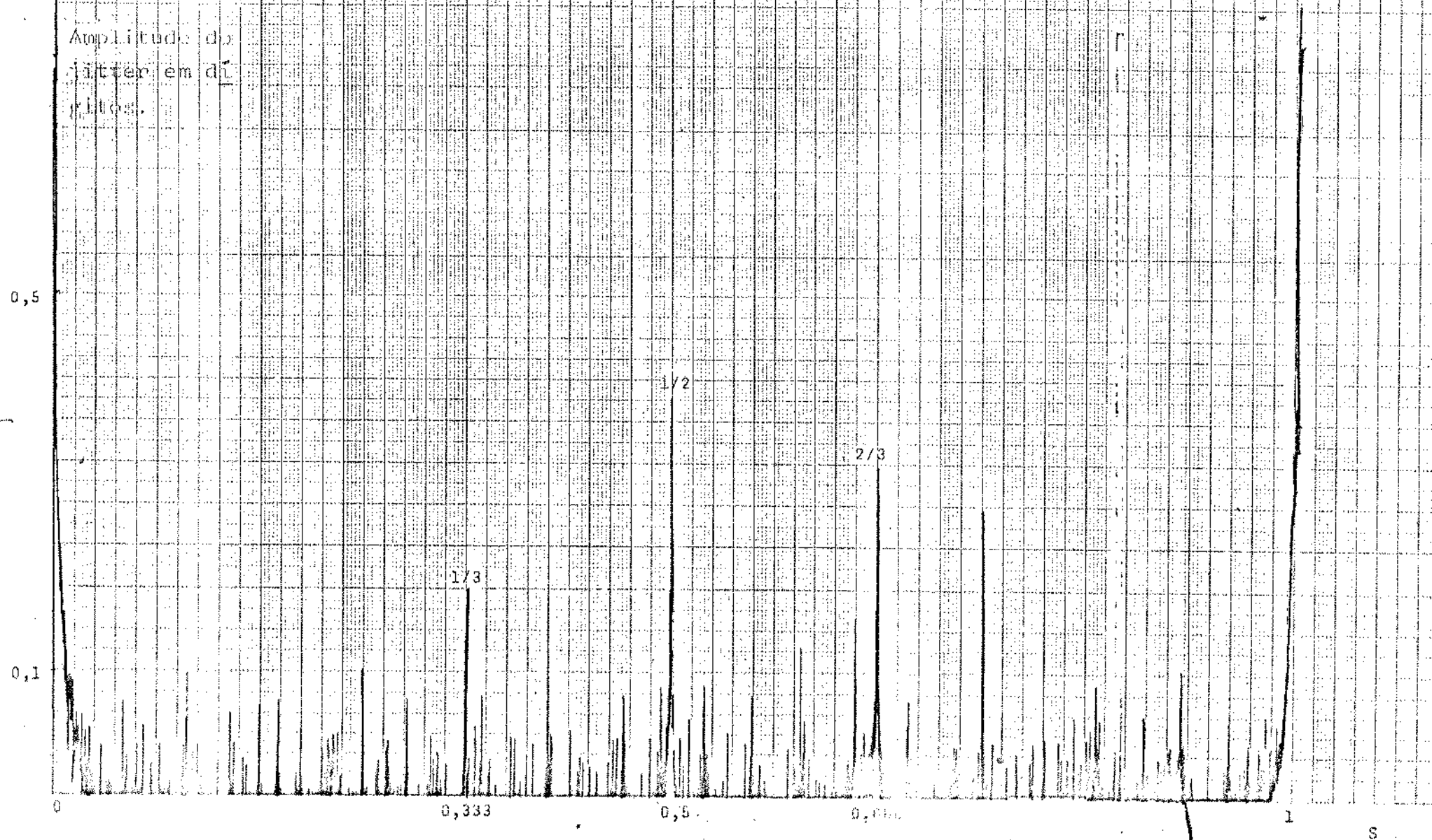


Fig. V.53 - Amplitude de jitter otimizada (Fases 1, 3, 6)

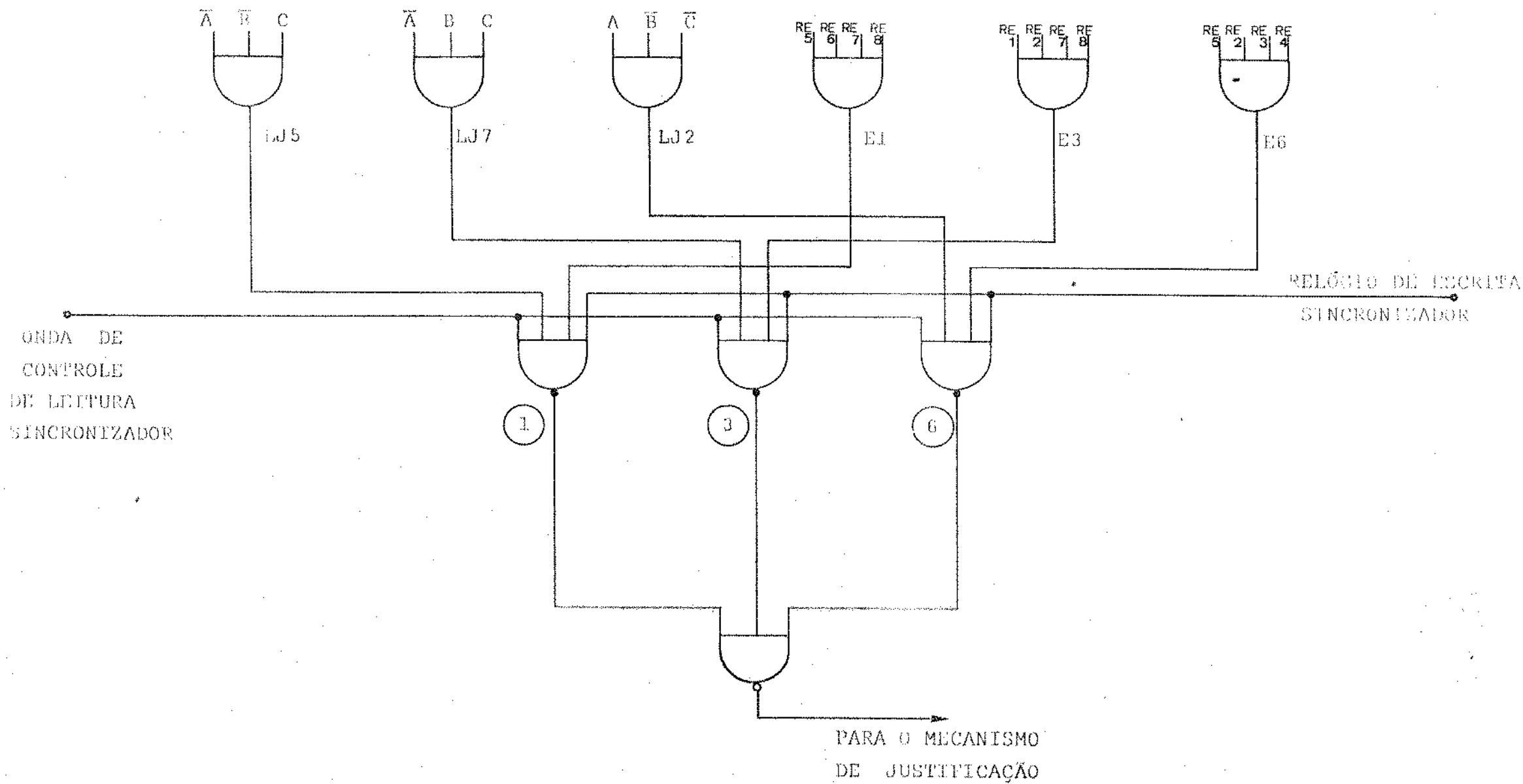


Fig. V.54 - IMPLEMENTAÇÃO FINAL DO COMPARADOR DE FASE

É necessário, portanto, saber quais são esses limites para uma dada quantidade de jitter e especificá - lo para que, estando o sistema em operação normal, este limite de tolerância não seja excedido.

Um meio para a obtenção destas especificações é plotar uma curva da frequência do jitter de entrada versus a amplitude máxima que este jitter pode ter sem causar erros no sistema.

V.4.2 - Método Prático de Medida para Aceitação de Jitter

A medida de aceitação de jitter é feita de uma maneira muito simples que consiste em se aumentar a amplitude de jitter senoidal para cada frequência, até que o primeiro erro é detetado. Uma palavra aleatória é usada pa ra este teste. Para a detecção do erro foi utilizado um equipamento de teste especialmente feito para o sistema 8 Mbit/s. Um diagrama de blocos é mostrado na Fig. V.55, para ilustração da medida. Um gerador da Marconi foi utilizado para gerar o sinal em 2,048 MHz a ser introduzido no P.L.L. (Fig. V.55) gerador de jitter, para que fosse efetuada a modulação em fase através de um gerador de áudio que dá a variação de frequência e amplitude do jitter senoidal. O sinal obtido no P.L.L. é enviado para o equipamento de teste que dá um sinal e a palavra aleatória correspondente ao sinal de entrada. Estas saídas do equipamento de teste vão para o sistema 8 Mbit/s como relógio de escrita e MCP de entrada no sincronizador. No recuperador de sinal, são retirados o relógio de leitura, gerado pelo P.L.L., e a pala vra aleatória na saída final do sistema. Estes dois sinais são enviados ao equipamento de testes para uma comparação entre o sinal gerado e o recebido para uma consequente obtenção de ocorrências de erro no sistema.

Então a detecção de erro é feita pelo equipamento de teste. Para se saber a amplitude de jitter senoidal introduzida, que causou erros, deve-se monitorar em um osciloscópio a onda que sai do detetador de fase. A leitura da amplitude será feita no osciloscópio em número de períodos

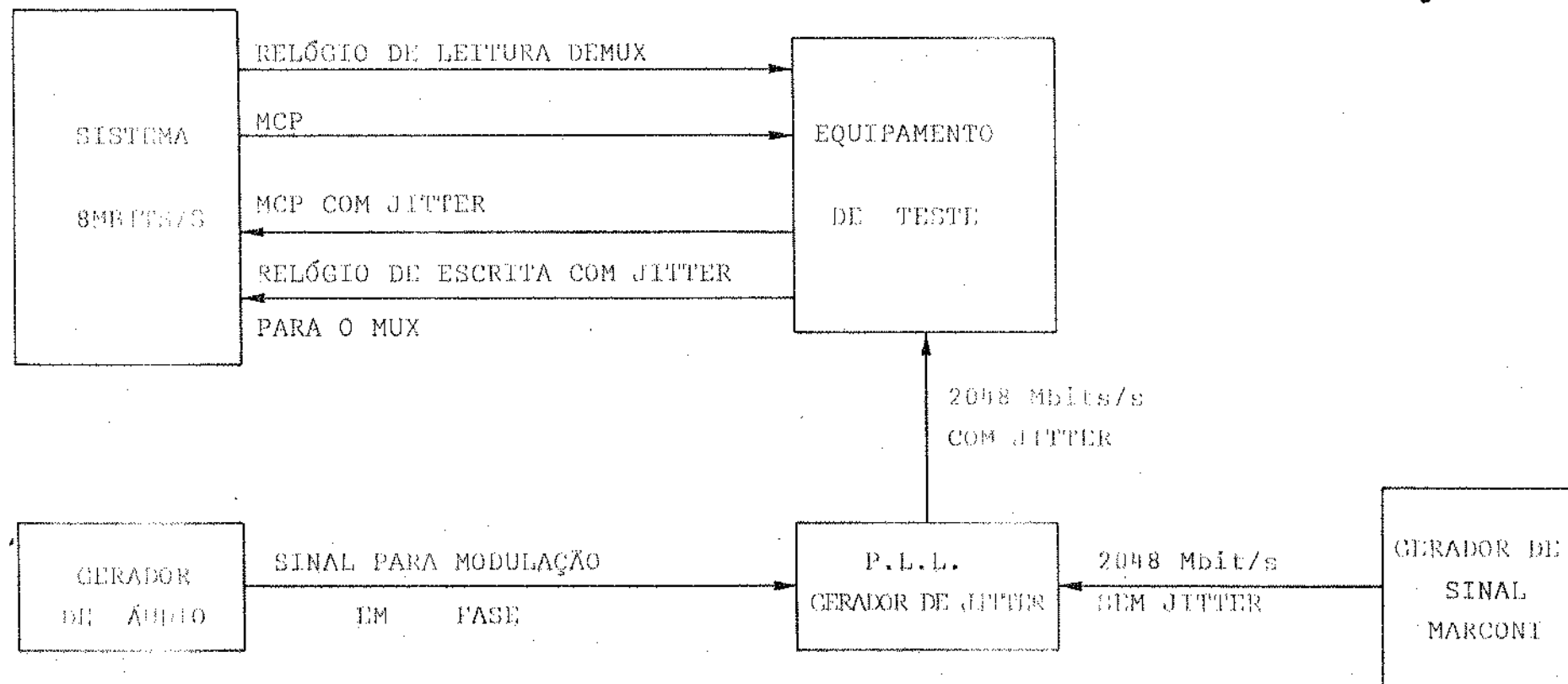


Fig. V.55 - DIAGRAMA DE BLOCOS PARA MEDIDA DE ACEITAÇÃO DE JITTER

do sinal tributário (2,048 MHz) sendo que um período de 2,048 MHz é equivalente a um dígito.

V.4.3 - Aceitação de Jitter

Em sistemas práticos, o trem de dados recebido pelo multiplexador é afetado por quantidades de jitter de linha acumulado através dos repetidores espalhados ao longo da linha. Então, para uma dada memória elástica, há uma certa quantidade de jitter de entrada que o sistema pode aceitar sem causar a ocorrência de erros. Para realização destas medidas, é usado um jitter senoidal modulando em fase o trem de dados e o relógio tributário do sistema. Grandes amplitudes de jitter senoidal no trem de dados causam erros no sistema multiplexador, tanto no sincronizador como no recuperador de sinal, devido ao limite na capacidade de armazenagem da memória elástica.

O mecanismo de justificação do multiplexador pode operar a uma frequência máxima igual à taxa de quadro. Se o período da modulação de fase é muito grande com respeito ao período de quadro, o mecanismo de justificação pode operar suficientemente frequente para transmitir a modulação de fase para o recuperador de sinal. O sinal de jitter é armazenado na memória elástica do recuperador de sinal e é enviado pelo relógio de leitura. Em consequência, a memória elástica do recuperador de sinal deve ter capacidade de armazenagem suficiente para acomodar todo o jitter enviado. Já para frequências de jitter aproximando da taxa de quadro, o mecanismo de justificação pode não reagir de uma maneira suficientemente rápida para acomodar a rápida variação de fase.

Então, a limitação de espaço na memória elástica para armazenagem da amplitude de jitter é para as baixas frequências, devido à falta de espaço na armazenagem do recuperador de sinal. Para alta frequência o responsável é o sincronizador.

Em geral, a ocorrência de erros causada pelo sin

cronizador é devida a informação de tempo estar sendo enviada erradamente, porque o relógio de escrita está sendo sujeito a rápidos atrasos de fase e com isso, o comparador de fase vai através de um ciclo completo e não envia comandos para a inserção de dado redundante, embora a inserção seja requerida para trazer a onda de controle de leitura às suas origens. Os erros também podem ocorrer devido a leituras errôneas efetuadas quando o relógio de escrita é sujeito a um rápido avanço de fase.

Uma publicação feita pela Standard Telephone Laboratory (STL), em Outubro de 1976 (R.7), mostra quais os elementos responsáveis pela ocorrência de erros em determinadas regiões de frequência do jitter senoidal, e também o limite mínimo de aceitação para cada região de frequência que um sistema de 2ª ordem deve possuir. Na Fig. V.56 é reproduzida esta publicação (R.7). Na região compreendida entre o eixo Y e f_0 , os erros que, porventura, ocorram, são dados como causados pelo P.L.L. no recuperador de sinal, sendo que a limitação da amplitude aceitável pelo sistema é devido ao máximo desvio de frequência tolerado pelo P.L.L. Os erros causados na região entre f_0 e f_p são devidos à limitação na memória elástica do recuperador de sinal e, portanto, um novo limite para a amplitude do jitter é imposto. Para a região entre f_p e f_j , os erros são causados pelo processo de justificação e um novo limite para a amplitude de jitter é criado, baseado no máximo desvio de frequência tolerado pelo processo de justificação. Entre f_j e f_M , os erros são devidos a excessos na memória elástica do sincronizador. Para a região entre f_M e f_t , a responsabilidade de erros vai para a interface de linha e um novo limite para a amplitude de jitter senoidal é marcado, baseado no máximo desvio de frequência tolerado pela interface de linha. Acima de f_t , os erros também são devidos à interface, só que a amplitude é limitada pela largura efetiva do "diagrama do olho" da interface(*). A tabela a seguir mostra os valores dos parâmetros f_0 , f_j , f_p , A_t e A_j , sendo que as amplitudes são dadas em dígitos do sinal em 3,048 Mbit/s (R.7).

(*) Diagrama de olho é um diagrama onde são superpostos os efeitos dos pulsos de linha anteriores, atual e posteriores num mesmo ponto. Este diagrama permite diagnosticar a margem que se tem contra erros através da abertura do olho resultante no diagrama.

f_t	20 KHz
A_t	0,35 dígitos
f_j	4 KHz
A_j	1 dígito
f_0	10 Hz
A_0	1,5 dígitos

Se a tabela acima mostra os mínimos valores de amplitudes de jitter, é necessário que os sistemas apresentem valores de aceitação superiores aos da tabela acima.

Na Fig. V.57, é mostrada uma curva típica para aceitação de jitter baseado nos valores da tabela V.2. Este gráfico foi levantado para razão de justificação de 0,424, ponto nominal de operação, e sem o uso da interface de linha. Nota-se uma aceitação muito boa para jitter de baixa frequência. Acima de 20 Hz, tem-se uma constância na aceitação de jitter e na faixa de 500 Hz a 1 KHz há um pico na aceitação, para depois continuar de uma maneira irregular e ocorrer um novo pico em 10 KHz, onde ocorre a limitação por parte da memória elástica do sincronizador. Vários fatores de importância apareceram nas medidas práticas da aceitação de jitter.

De acordo com o trabalho publicado por Aquino, L. A.C. e Waldman, H. - Pub. FEC - 06/77, o P.L.L. que vinha sendo utilizado pelo sistema apresentava uma faixa de retenção de ± 200 Hz para uma divisão de frequência, anterior à detecção de fase, igual a 16. Pois como foi mostrado neste trabalho, uma das maneiras de se aumentar a região de retenção e de captura do P.L.L., consiste em comparar, não as frequências de entrada, mas sim seus submúltiplos. Através deste fato, conseguiu-se uma faixa de retenção de $\pm \dots$ 200 Hz. Acontece que, nas medidas de erros efetuadas, foi

TABELA V.2

Máxima amplitude de jitter de linha

Frequência de Jitter (Hz)	Amplitude (em dígitos)
3	12,9
10	5,12
20	3,6
30	3,277
40	3,277
50	3,195
60	3,195
70	3,195
80	3,195
90	3,195
100	3,195
150	3,1
200	3,1
300	3,2
400	3,2
500	3,4
600	3,5
700	3,9
800	4,0
900	3,85
1K	3,80
2K	2,95
3K	3,399
4K	3,1
5K	2,35
6K	2,78
7K	2,58
8K	2,457
9K	2,5
10K	2,3
11K	3,768
12K	3,95
13K	3,277
14K	3,195
15K	2,785
16K	2,949
17K	2,867
18K	2,457
19K	2,2
20K	2,2
21K	2,2

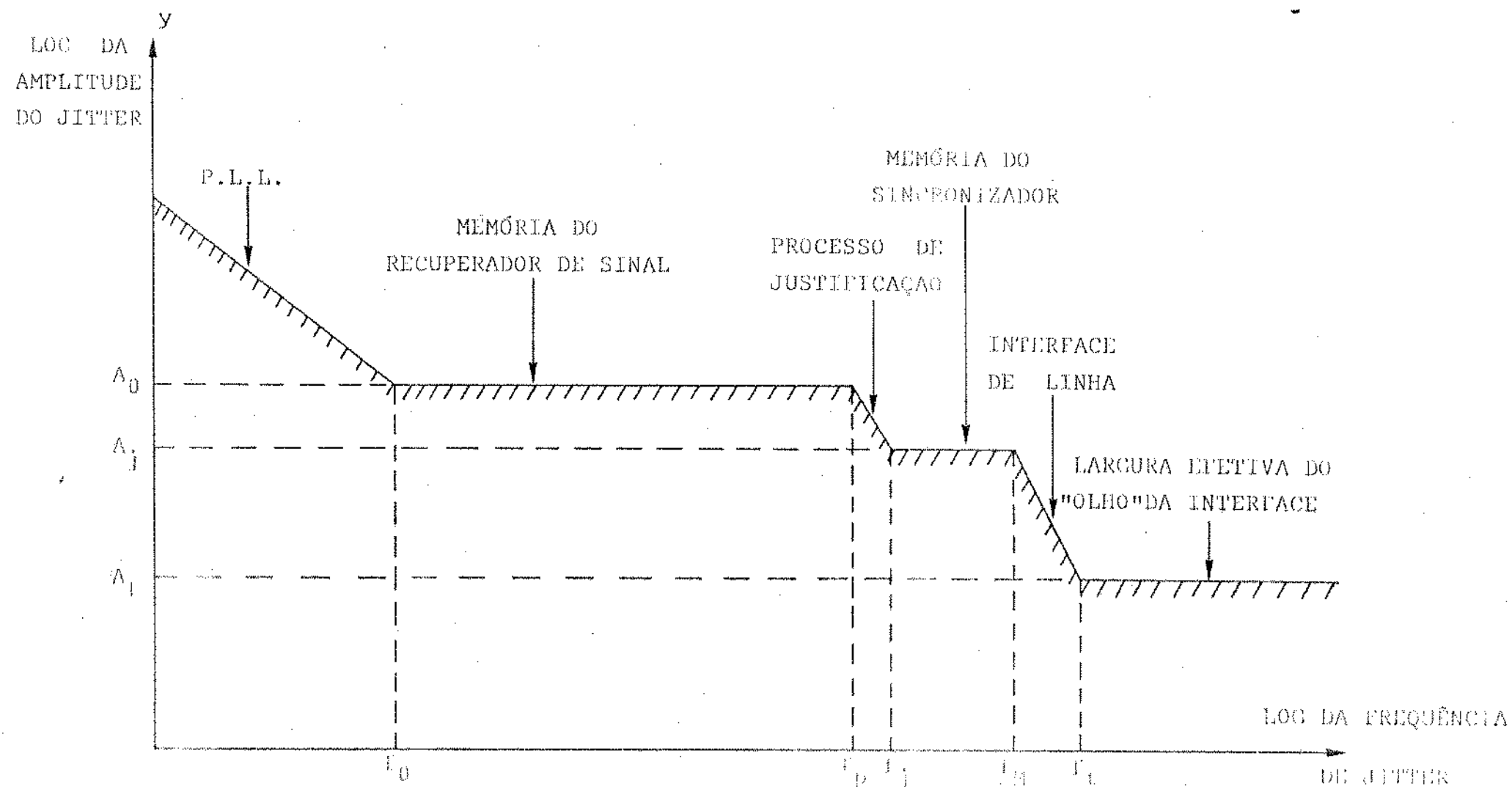


Fig. V.56 - ACEITAÇÃO DE JITTER MÍNIMA PARA SISTEMAS DE 2^a ORDEM

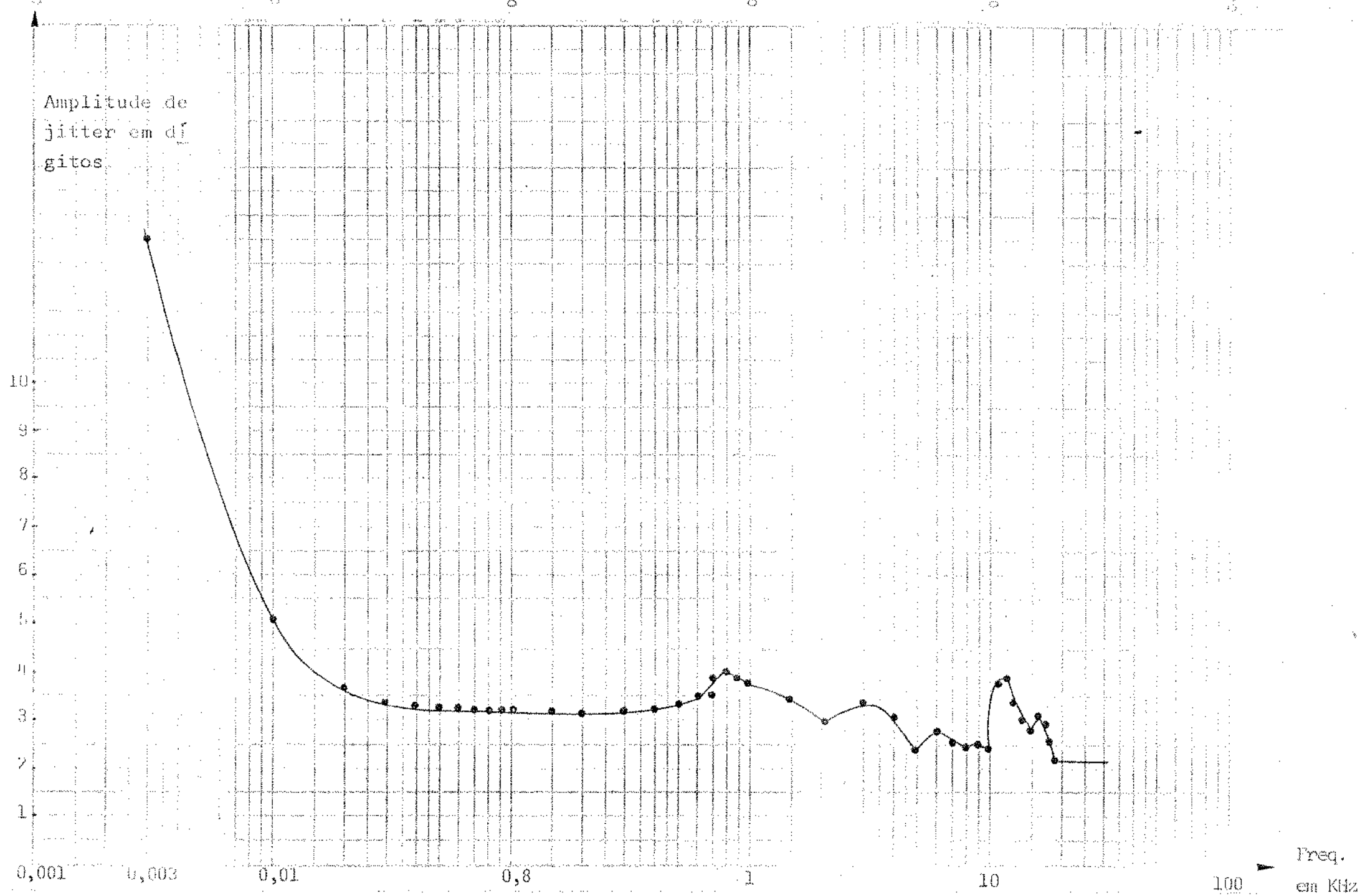


Fig.V.57 - ACEITAÇÃO DE JITTER PARA O SISTEMA

notado que, ao se variar o sinal tributário de ± 50 ppm, foi detetada a presença de dados falsos no trem de dados na saída do sistema (recepção). Esta informação falsa foi encontrada ser causa da pelo P.L.L. que apresentava uma defasagem de 16π ao longo de sua faixa de retenção, devido à divisão por 16, e 16π é equivalente a 8 dígitos de defasagem. A memória elástica do recuperador de sinal é de 8 dígitos, e, com isso, o relógio de leitura dado pelo P.L.L. e a onda de controle de escrita irão se sobrepor em determinados instantes, acarretando erros no trem de dados na saída do sistema. A medida tomada para solucionar este problema, foi adotar-se uma divisão por oito para a detecção de fase. Com essa medida, elimina-se o problema causado pela defasagem excessiva entre o relógio de leitura gerado pelo P.L.L. e a onda de controle de escrita. Mas por outro lado, a faixa de retenção do P.L.L. caiu para ± 125 Hz, causando problemas na aceitação de jitter nos entreços da variação permitida ao sinal tributário.

Era de se esperar que a aceitação de jitter, variando-se a razão de justificação na região permitida para operação do sistema, não diferenciassse em muito da região de ± 50 ppm, pois esta região não dá grandes variações na região de justificação para que se tenha diferenças apreciáveis na aceitação de jitter. As tabelas V.3 e V.4 mostram o comportamento da aceitação de jitter na região de retenção do P.L.L. e dentro dos limites permitidos para a variação do sinal tributário de ± 125 Hz. A tabela V.3 mostra a variação da aceitação para uma frequência de jitter senoidal igual a 1 KHz. Nota-se que um aumento no desvio da frequência central causa uma diminuição na aceitação, sendo que para o extremo de +100 Hz a aceitação caiu para, aproximadamente, 1 dígito. No extremo de -100 Hz, a aceitação é de 2,6 dígitos, bem maior que no extremo positivo. Isto é causado pelo fato de que as ondas de controle de escrita e relógio de leitura dado pelo P.L.L. estão mais próximos de se sobrepor na região de entreços positivos que na região negativa. A frequência de 1 KHz foi escolhida baseada na afirmação anterior de que os erros que ocorrem nesta região são devidos à falta de armazenagem na memória elástica do recuperador de sinal.

TABELA V.3

Aceitação de jitter para
Frêq. de Jitter 1KHz

Frequência do tributário (Hz)	Amplitude de Jitter (dígitos)
2048000	3,77
+10	3,77
+20	3,77
+30	3,77
+40	2,1-8
+50	1,63
+60	1,74
+70	1,54
+80	1,39
+90	1,27
+100	1,06
-10	3,77
-20	3,77
-30	3,77
-40	3,77
-50	3,77
-60	3,77
-70	3,77
-80	3,77
-90	3,77
-100	2,62

TABELA V.4

Aceitação de jitter para
Freq. de Jitter 15KHz

Frequência do tributário (Hz)	Amplitude de Jitter (dígitos)
2048000	2,62
+10	2,62
+20	2,62
+30	2,62
+40	2,62
+50	2,62
+60	2,62
+70	2,62
+80	2,62
+90	2,62
+100	2,38
-10	2,62
-20	2,62
-30	2,62
-40	2,62
-50	2,62
-60	2,62
-70	2,62
-80	2,62
-90	2,62
-100	2,62

Tensão de Alimentação 5,0 Volts

TABELA V.5

Aceitação de jitter para
Freq. de Jitter 1KHz

Frequência do tributário (Hz)	Amplitude de Jitter (dígitos)
2048000	3,77
+10	3,77
+20	3,77
+30	3,77
+40	3,77
+50	3,2
+60	2,06
+70	2,03
+80	1,85
+90	1,69
+100	1,6
-10	3,77
-20	3,77
-30	3,77
-40	3,77
-50	3,77
-60	3,77
-70	3,77
-80	3,77
-90	3,77
-100	2,62

TABELA V.6

Aceitação de jitter para
Freq. de Jitter 15KHz

Frequência do tributário (Hz)	Amplitude de Jitter (dígitos)
2048000	2,62
-10	2,62
-20	2,62
-30	2,62
-40	2,62
+50	2,62
+60	2,62
+70	2,62
+80	2,62
+90	2,62
+100	2,62
-10	2,62
-20	2,62
-30	2,62
-40	2,62
-50	2,62
-60	2,62
-70	2,62
-80	2,62
-90	2,62
-100	2,62

Tensão de Alimentação 5,2 Volts

Já para a tabela V.4 a frequência de jitter senoidal escolhida foi de 15 KHz, pois foi visto que nesta frequência de jitter os erros são causados pela memória elástica do sincronizador. Então, era de se esperar que a aceitação se mantivesse praticamente constante em toda a variação do relógio tributário de ± 100 Hz. Pela tabela, nota-se que, para os desvios negativos da frequência, é obtida uma constância na aceitação e, para desvios positivos, somente no extremo de + 100 Hz é que aparece uma ligeira queda na aceitação para 2,4 dígitos.

Um outro fato notado foi que um pequeno aumento na tensão de alimentação do sistema dentro da faixa permitida, que é de $\pm 0,2$ Volts, acarretava um aumento na faixa de retenção do P.L.L. para desvios positivos de tensão. Portanto, usando-se uma tensão de alimentação de + 5,2 V, a faixa de retenção subiu para ± 160 Hz, e com isso as tabelas V.5 e V.6 foram encontradas para frequências de jitter senoidal de 1 KHz e 15 KHz, respectivamente. Nota-se pela tabela V.5 que a queda na aceitação de jitter, com aumento dos desvios positivos, é menor que na tabela V.3, enquanto que para os desvios negativos manteve-se praticamente os mesmos valores. Para a tabela V.6, nota-se uma grande melhora, pois a aceitação de jitter manteve-se praticamente constante em toda a faixa de variação de ± 100 Hz. Isto pode ser explicado pelo fato de que o aumento da região de retenção dá uma probabilidade menor de que a onda de controle de escrita se sobreponha ao relógio de leitura fornecido pelo P.L.L., devido às variações causadas pelo jitter senoidal. Então, a faixa de retenção do P.L.L. também é de importância na aceitação de jitter pelo sistema. Atualmente, um novo P.L.L., com uma faixa de retenção muito maior que o utilizado, vem sendo desenvolvido e já se encontra em fase muito adiantada de execução.

CAPÍTULO VI

CONCLUSÕES

A descrição com detalhes dada no Capítulo III aos circuitos de sincronismo e recuperador de sinal (Fig. III.6 e III.6c) visa dar a oportunidade a que meios mais compactos de implementação dos circuitos possam aparecer, tais como o novo circuito das Figs. A.1 e A.2. O desenvolvimento de um novo projeto para o sincronizador e recuperador de sinal abre caminho para um circuito mais simples e que talvez possa ter um melhor desempenho que aquele ultimamente utilizado, já que este novo projeto adota componentes MSI. Do ponto de vista econômico, este circuito é de grande relevância. De acordo com o mostrado abaixo, pode se chegar a uma conclusão a respeito.

No circuito das Figs. III.6a e III.6c, o número de componentes utilizado é igual a 23 TTL. O sistema 8 Mbits/s, por completo, teria o formato da Fig. VI.1. Como o limite para cada cartão para a montagem final é de 20 TTL, seria necessário um cartão para sincronismo e um outro para o recuperador de sinal, sendo que no recuperador de sinal deve ser deixado um espaço necessário à montagem do P.L.L.

Para o novo projeto que utiliza um número menor de componentes, é mostrada a composição final do sistema, na Fig. VI.2. O número de componentes utilizado agora é de 14, somando-se os necessários para o sincronismo e recuperador de sinal. Então, a possibilidade de se utilizar um único cartão para os dois circuitos é evidente. Também será possível a montagem do P.L.L. neste cartão, pois o espaço que sobra é suficiente.

Pode-se ver que o sistema 8 Mbits/s ficou muito mais simples e, em consequência, de mais fácil implementação.

No Capítulo IV, o estudo desenvolvido visa dar o conhecimento necessário da chamada teoria de jitter, onde é calculado o espectro de potência do jitter de tempo de espera e também a amplitude esperada para este tipo de jitter. Pode-se dizer também que este estudo pode dar os conhecimentos iniciais necessários para os estudos de jitter em sistemas de ordem superior.

No Capítulo V, aparecem os resultados experimentais para as amplitudes de pico de jitter de tempo de espera para cada combinação de fase. Foi levado em consideração, para escolha da me

1	INTERFACE 8M
2	OSCILADOR MESTRE
3	MUX
4	DEMUX
5	INTERFACE 2M
6	SINCRONIZADOR
7	RECUPERADOR DE SINAL
8	INT. 2M
9	SINCRONIZADOR
10	RECUPERADOR DE SINAL
11	INT. 2M
12	SINCRONIZADOR
13	RECUPERADOR DE SINAL
14	INT. 2M
15	SINCRONIZADOR
16	RECUPERADOR DE SINAL
17	ALARMES
18	MONITORAÇÃO
19	MONIT. PRIORITÁRIA

Fig.VI.1 - Sistema 8 Mbits/s usando dois cartões para Sincronismo e Recuperador de Sinal.

1	INTERFACE 8M
2	OSCILADOR MESTRE
3	MUX
4	DEMUX
5	INTERFACE 2M
6	SINC/REC. DE SINAL
7	INTERFACE 2M
8	SINC/REC. DE SINAL
9	INTERFACE 2M
10	SINC/REC. DE SINAL
11	INTERFACE 2M
12	SINC/REC. DE SINAL
13	ALARMES
14	MONITORAÇÃO
15	MONIT. PRIORITÁRIA

Fig.VI.2 - Sistema 8 Mbits/s usando um cartão para Sincronismo e Recuperador de Sinal.

thor combinação, aquela que apresentasse um mínimo de picos de jitter dentro da região de operação do sistema e também a combinação que fosse de mais fácil implementação. Levando-se este aspecto em consideração, a escolha caiu sobre as fases (1), (3), (5). O circuito utilizado para estas medidas pode também ser usado para medidas de jitter em sistemas de 3ª ordem, com pouquíssimas modificações. Nas medidas de pico do jitter de tempo de espera, procurou-se obter uma boa precisão, fazendo com que a taxa de justificação variasse lentamente, dando oportunidade para que o sistema adotado para as medidas respondesse satisfatoriamente. Os gráficos traçados eram repetidos várias vezes para que se tivesse certeza dos resultados encontrados.

Para as medidas de aceitação de jitter pelo sistema, procurou-se também testar o sistema por completo, verificando-se as possíveis consequências da variação do sinal de entrada (relógio e palavra). Para o ítem V.4.3, deve-se dizer ainda que, para o levantamento dos gráficos, foi usada uma palavra aleatória como sinal de entrada. Pode-se dizer que os resultados obtidos são bons e estão situados dentro do esperado. A escolha das sequências das subdivisões do relógio de escrita e onda de controle de leitura para obtenção das fases (1) a (8) pode agora ser explicada mais facilmente em termos da aceitação de jitter. Considere-se o caso da fase (1) que, para sua obtenção, é necessário a combinação da subdivisão El com a subdivisão LJ5. Considere-se ainda que o relógio de escrita RE e onda de controle de leitura OCLJ, podem ser representadas como dois vetores {R.4} que estão percorrendo os vértices de um octágono como se estivessem fazendo a leitura e a escrita na memória de 8 dígitos. Então o "vetor" OCLJ teria uma taxa que na média seria igual a RE e necessitaria de instantes a instantes uma correção em sua taxa. No caso de fase (1) são usados os vetores El e LJ5, cuja situação é ilustrada na Fig.VI.3, a seguir.

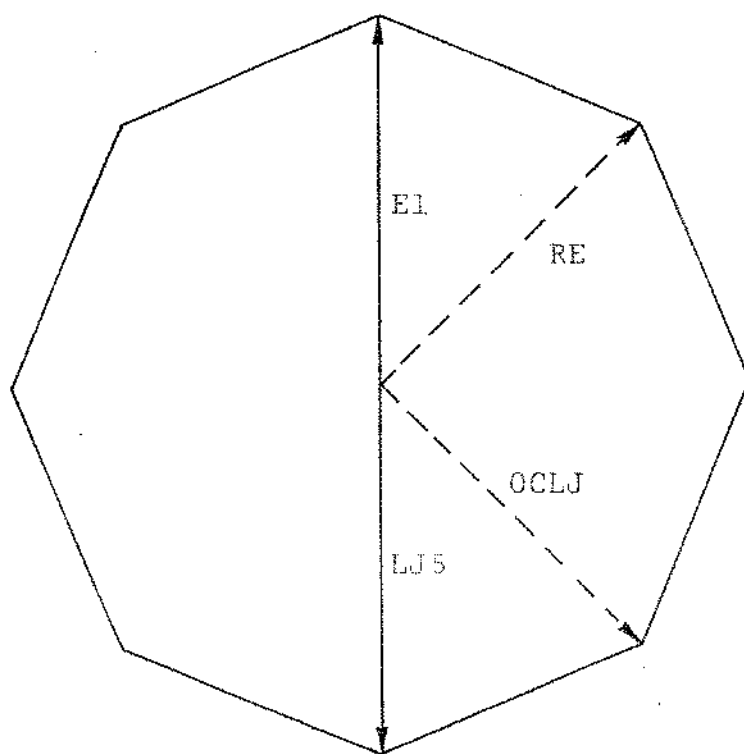


Fig.VI.3 - Disposição das Combinações

Nota-se que por suas posições, eles estão diametralmente opostos, e portanto há um número máximo de posições (memórias) possíveis separando os dois. Qualquer outra combinação que se adotasse, tanto E1 com LJ6, com E1 com LJ4, seria menor o espaçamento entre os vetores e uma sobreposição mais rápida fatalmente ocorreria. Esta disposição é importante na aceitação de jitter, pois com as posições escolhidas, um máximo para a variação de fase do relógio de escrita, devido ao jitter senoidal introduzido, é obtido. Qualquer outra combinação diferente de E1 com LJ5 faria obter menores amplitudes para aceitação de jitter. A tabela a seguir mostra alguns valores de aceitação de jitter para uma comparação entre a sequência de combinação iniciada por E1 com LJ5 e a sequência iniciada por E1 com LJ6.

Combinação Frequência do jitter (H)	E1 com LJ5 Amplitude (dígitos)	E1 com LJ6 Amplitude (dígitos)
3	12,9	6,9
10	5,12	5,5
100	3,2	3,4
500	3,4	3,0
1KHz	3,85	2,37
4KHz	3,1	1,33
5KHz	2,4	2,0
10KHz	2,3	1,3
11KHz	3,3	1,2
12KHz	3,85	3,7
15KHz	2,3	2,0
20KHz	2,2	1,0

Então, as combinações E1 com LJ5, E2 com LJ6, E3 com LJ7, E4 com LJ8, E5 com LJ1, E6 com LJ2, E7 com LJ3, E8 com LJ4, são as adotadas para uso no sistema.

Através dos resultados obtidos das medidas de amplitude de pico do jitter de tempo de espera e aceitação de jitter senoidal na entrada, pode-se considerar o desempenho do circuito como bom.

APÊNDICE A

IMPLEMENTAÇÃO COMPACTA DA TÉCNICA DE JUSTIFICAÇÃO

A.1 - INTRODUÇÃO

O uso de componentes integrados, "MSI", resulta na diminuição do número de componentes utilizados para implementação da técnica de justificação, como é notado na Fig.A.1 (sincronizador) e Fig.A.2 (recuperador de sinal).

Este circuito, apesar de ter sido desenvolvido logo após aquele até então utilizado, não pode ser implementado pela falta de componentes necessários, tais como o SN74LS239 e o atrasador 49N803, sendo que uma outra solução se faz necessária para a unidade atrasadora, pois não foi possível a obtenção do componente 49N805 devido a falta no mercado. Mas a outra solução empregada correspondeu satisfatoriamente. Em resumo, a lógica utilizada neste novo circuito é a mesma, só que utiliza um menor número de componentes e pode chegar a apresentar um melhor desempenho. A implementação deste novo circuito também é muito mais simples.

A.2 - DESEMPENHO

O princípio de funcionamento, em termos de justificação é o mesmo. A mudança efetuada é apenas com relação aos componentes. A memória de 8 bit, na qual utilizava-se 8 flip-flops D, passou para o uso do componente SN74LS259, com a função de memória endereçada. A disposição dos pinos de entrada e saída do componente é mostrada na Fig.A.3. A tabela A.1 mostra as possíveis funções do 74LS259.

Segundo as especificações fornecidas pelo fabricante, este dispositivo, "8 bit Addressable Latch", é de alta velocidade, e foi projetado para aplicações de armazenagem em sistemas digitais. É um dispositivo multifuncional, capaz de armazenar um trem de dados em oito memórias endereçáveis. O dispositivo incorpora também um "clear" comum a todas as memórias e também um "enable". Pela tabela A.1, pode-se ver que o 74LS259 possui quatro modos de operação. A operação de interesse é o modo de memória endereçável, e é também simplesmente chamado "modo de memória". No modo de memória endereçável, o trem de dados é endereçado a cada uma das memórias através das entradas A, B e C. A memória endereçada (escolhida) se

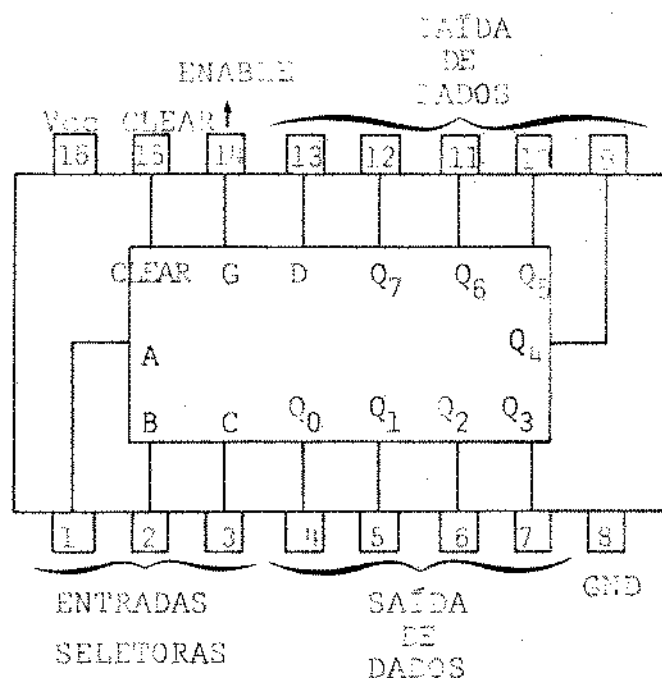


Fig. A.3 - Disposição dos pinos do 74LS259

TABELA A.1

MODO DE OPERAÇÃO

ENTRADAS		SAÍDA DA MEMÓRIA ENDEREÇADA	CADA OUTRA SAÍDA	FUNÇÃO
CLEAR	$\bar{C}$			
H	L	D	Q_{i0}	MEMÓRIA ENDERESSÁVEL
H	H	Q_{i0}	Q_{i0}	MEMÓRIA
L	L	D	L	DEMÚLTIPLEXADOR DE 8 LINHAS
L	H	L	L	CLEAR

H = Nível alto

L = Nível baixo

D = Nível do dado na entrada

Q_{i0} = o nível de Q_i ($i = 0, 1, \dots, 7$) antes de ser estabelecido o estado de entrada.

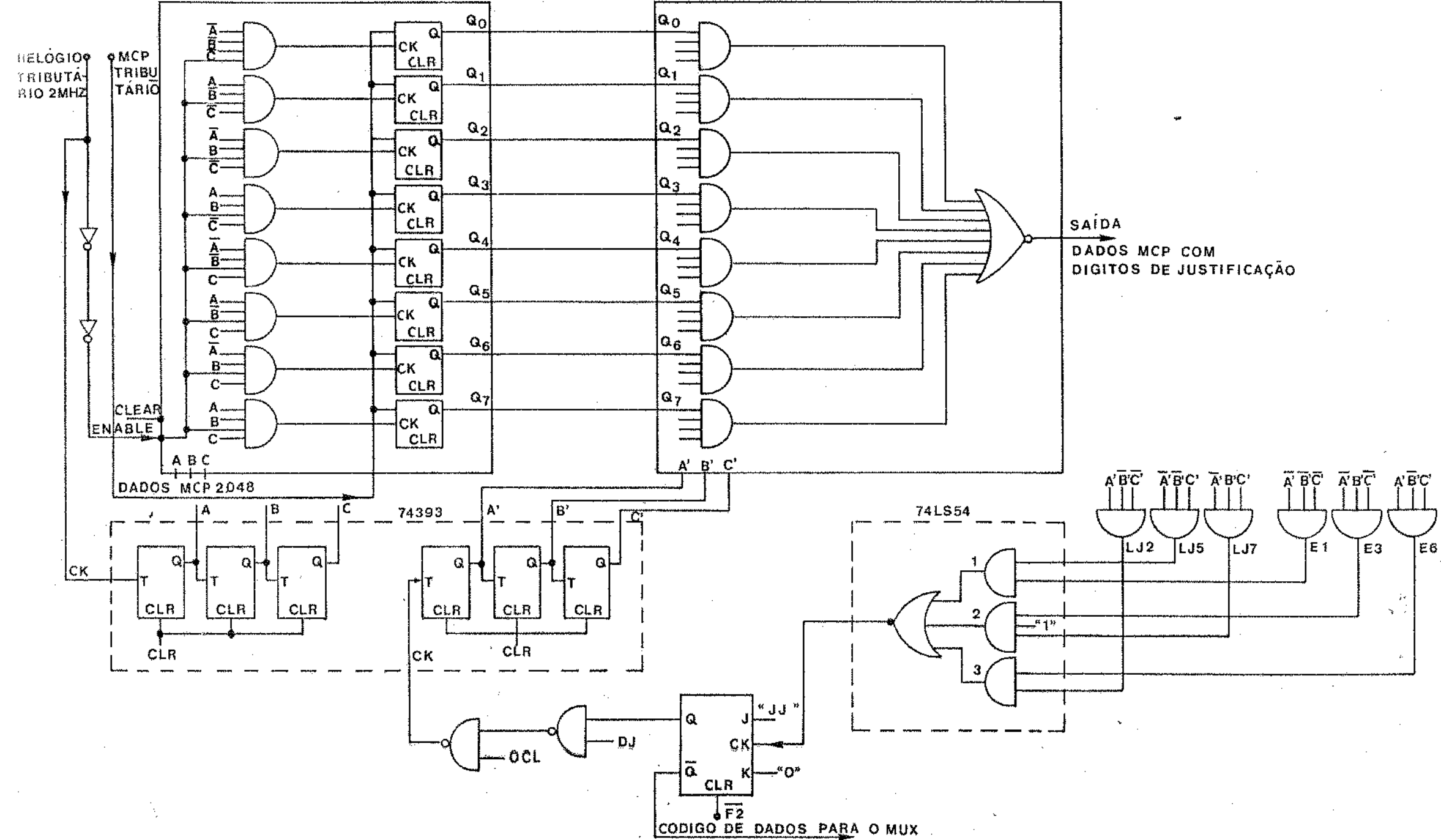


FIG. A.1- SINCRONIZADOR

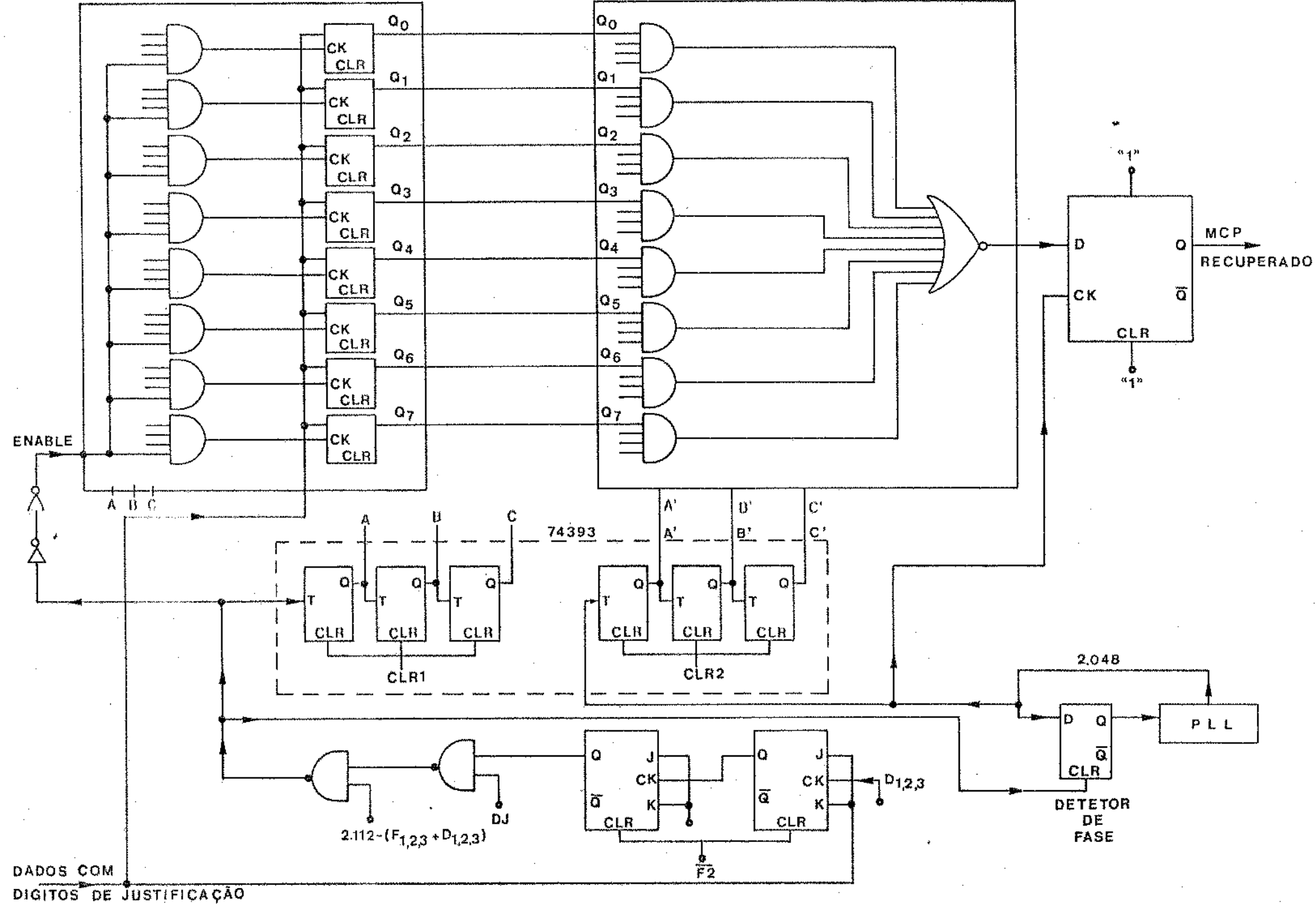


FIG. A.2 - RECUPERADOR DE SINAL

guirá o dado de entrada selecionado, em seus estados anteriores. No modo simplesmente chamado de "memória", todas as memórias permanecem em seus estados anteriores e não são afetados pelos dados ou mudanças no endereçamento. Quando se está com o dispositivo no modo de memória endereçável, para eliminar a possibilidade da entrada de dados erradamente endereçados à memória, o "enable" deve ser mantido em nível alto, enquanto as linhas de endereçamento estão mudando. O endereçamento é dado pelas A, B, C do contador dual (Fig. A.1). Este contador é acionado pelo relógio de 2,048MHz, originário da interface de linha. Agora, as ondas de escrita (E1 a E3) são geradas internamente pelo 74LS259, e são elas as responsáveis pelo endereçamento.

A tabela A.2 mostra as entradas seletoras e o endereçamento resultante. As principais características deste componente, são:

Tempos de atraso de propagação:

"Enable" para a saída	17 ns
Dados para a saída	18 ns
Endereço para a saída	20 ns
"Clear" para a saída	20 ns

Condições de Operação:

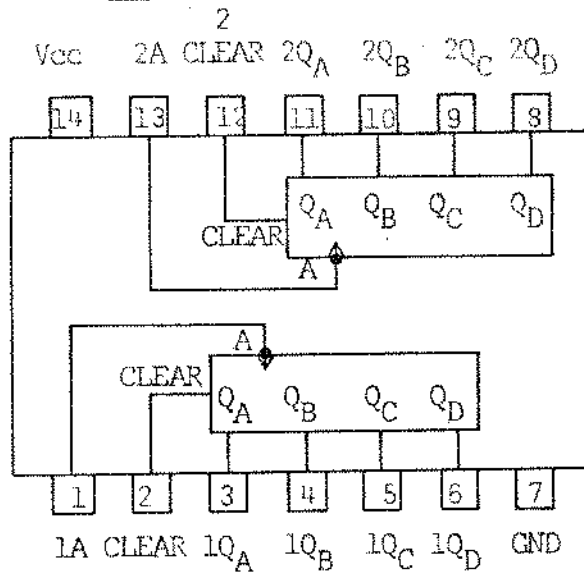
	Mínima	Nominal	Máxima	Unidade
tensão de alimentação	4,75	5	5,25	V
largura do clear ou pulso de "enable"	15	-	-	ns
set-up time (com relação ao "enable")	15	-	-	ns
hold-time (dados e "enable")	0	-	-	ns

TABELA A.2

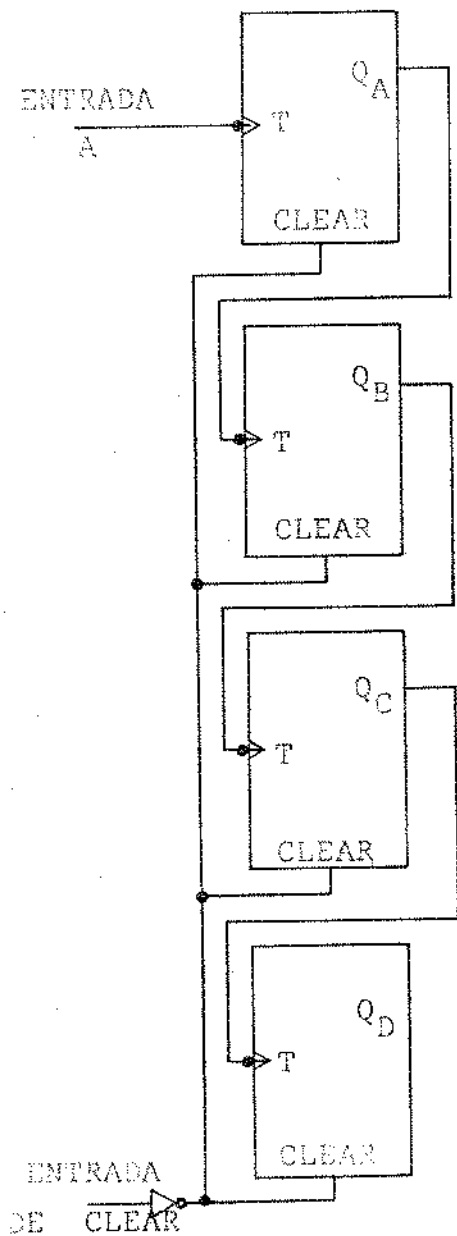
ENDEREÇAMENTO

ENTRADAS SELETORAS			MEMÓRIA ENDEREÇADA
C	B	A	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7

DISPOSIÇÃO DOS PINOS



CONFIGURAÇÃO INTERNA



SEQUÊNCIA DE CONTAGEM

CONTAGEM	SAÍDAS			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

L = Nível baixo

H = Nível alto

Fig. A.4 - Dispositivo 74393

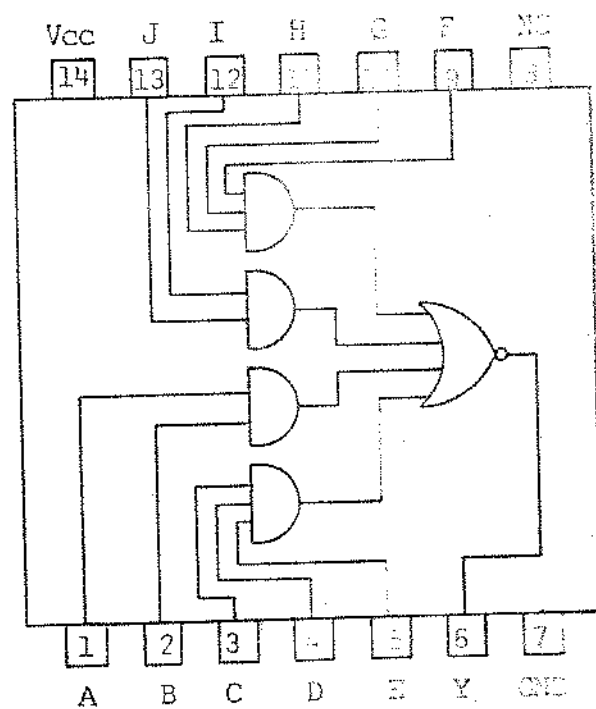


Fig. A.5 -- DISPOSITIVO 74LS54

O endereçamento é feito, portanto, por um dos contadores encapsulado no dispositivo 7-393. Pelo diagrama de tempo da Fig. A.5, pode-se notar que há ligeiros atrasos na geração das ondas A, B, C. Particularmente para o caso, quando temos a combinação 1 0 1 mudando para 1 1 0 (tabela A.2), vê-se pela Fig. A.6 que há uma diferença de tempo de, aproximadamente, 20 ns entre o tempo necessário para que A passe de "1" para "0" e B passe de "0" para "1". Esta diferença de tempo é suficiente para que seja feito o endereçamento 1 0 0, ao invés de 1 1 0; logo os dados serão enviados erradamente. A maneira prática de se evitar este acontecimento indesejável é manter a entrada "enable" do dispositivo alta (recomendado pelo fabricante), enquanto estiver ocorrendo mudanças de endereçamento. A maneira utilizada, por falta de outros componentes mais específicos atualmente no mercado, foi atrasar o relógio de escrita, de um tempo suficiente para que este relógio assim atrasado (Fig. A.6 e A.7) mantenha o "enable" ativado, enquanto o endereçamento é trocado. O relógio atrasado deve permanecer alto, exatamente no instante em que o relógio de escrita estiver passando do nível alto para baixo, já que o contador 74393 é sensível à borda de descida. A largura do pulso para o "enable" especificado pelo fabricante é de 15 ns. Como o pulso utilizado é o próprio relógio com pulso de largura aproximada de 240 ns, não há problemas para tal situação. Baseado nas especificações do fabricante para o set-up time e hold time para o "enable", e também de acordo com o diagrama de tempo (Figs. A.6 e A.7), feito chegou-se à conclusão que o atraso mínimo teórico era de 74 ns para o sincronizador, e de 140 ns para o rec. de sinal; e o atraso máximo teórico, de 240 ns para o sincronizador, e de 254 ns para o rec. de sinal. Isto, para que não ocorresse erros na armazenagem.

As medidas práticas obtidas foram:

atraso mínimo: 50 ns

atraso máximo: 280 ns

Estes resultados estão mais ou menos dentro do esperado, e servem tanto para o sincronizador como para o recuperador de sinal.

Somente com o uso do contador dual 7-393 e o dispositivo 74LS259 conseguiu-se eliminar o uso de oito componentes, que faziam

parte do circuito anterior.

A configuração elétrica do 74 393 está na Fig. A.4. A implementação para o mecanismo de justificação, retirada ou inserção do dígito de justificação permanecem inalterada nesta nova implementação do sincronizador e recuperador de sinal.

Estando definido que a melhor combinação de fase é 1 3 6 , uma nova implementação foi obtida para o comparador de fase final, usando-se o componente 74Ls54 (4 wide AND - OR - INVERT GATES), cu ja disposição de pinos e configuração está na Fig. A.5.

Os diagramas de tempo para sincronismo e recuperação de sinal estão nas Figs. A.6 e A.7, respectivamente.

Esta nova implementação ganhou muito em termos de redução de componentes. Quanto ao seu desempenho, só se poderá chegar a uma conclusão precisa e final, quando se encerrarem os testes fi nais do sistema 8 Mbits/s por completo.

APENDICE B

PHASE-LOCKED-LOOP (P.L.L.)

Um P.L.L. é um elemento por meio do qual a fase do sinal de saída de um oscilador controlado a voltagem (OCV) é controlado pela fase de um sinal de entrada.

Um P.L.L. contém três componentes básicos:

- 1) um detetor de fase
- 2) um filtro passa-baixas
- 3) um oscilador controlado a voltagem (OCV), cuja frequência é controlada por uma voltagem externa e disposto conforme a Fig. B.1.

O filtro usado para o P.L.L. em questão é um filtro tipo LAG, que também é mostrado na Fig. B.1.

O sinal de entrada do P.L.L. é a onda de controle da escrita do recuperador de sinal (Fig. III.6c), a qual possui uma frequência que na média é de 2,048MHz. Este sinal possui espaços vazios nos instantes de ocorrência de F1, F2, F3, D1, D2 e D3, e ainda possui o espaço reservado para o dígito de justificação que ocorre de acordo com a taxa de justificação.

A função do P.L.L. é gerar um relógio em 2,048MHz a partir deste sinal de entrada e também atenuar o jitter contido no sinal.

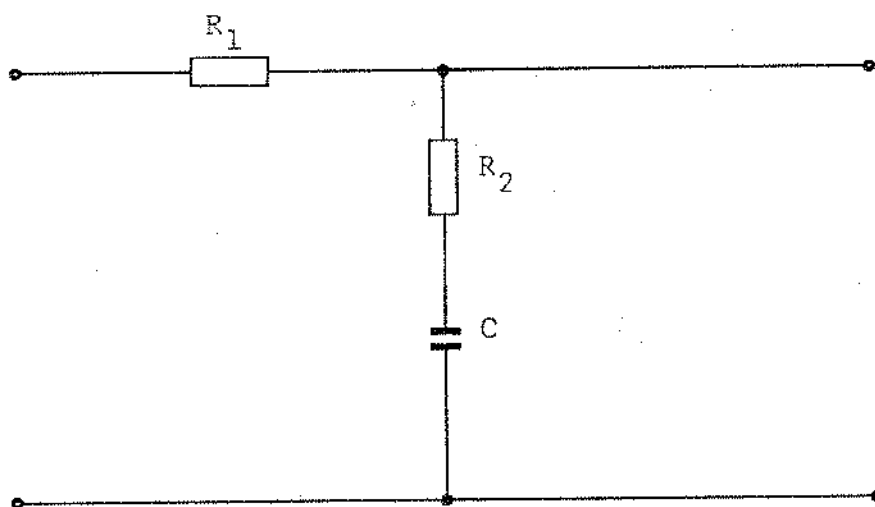
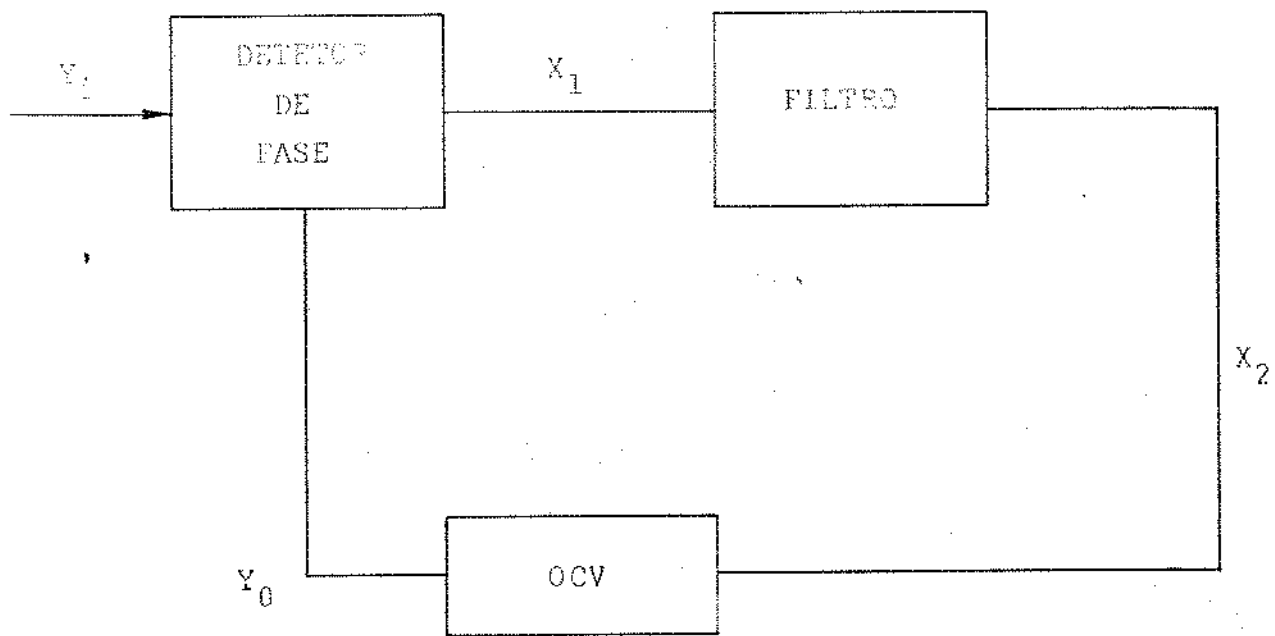
Um gráfico característico para atenuação de jitter no P.L.L. usado no sistema, é mostrado na Fig. B.2, onde

$$X = \frac{\Omega}{\omega_n}$$

sendo Ω a frequência de jitter e $\omega_n = 262 \text{ rad/s}$. M_0/M_1 é a relação de amplitude do sinal de jitter na saída pela amplitude do sinal de jitter na saída do P.L.L.

Outro fator de interesse é a região de retenção e a região de captura.

Região de retenção é a maior região de frequências que poderão ser colocadas em sincronismo pela malha.



FILTRO TIPO L.M.C.

Fig. B.1 - P.L.1.1

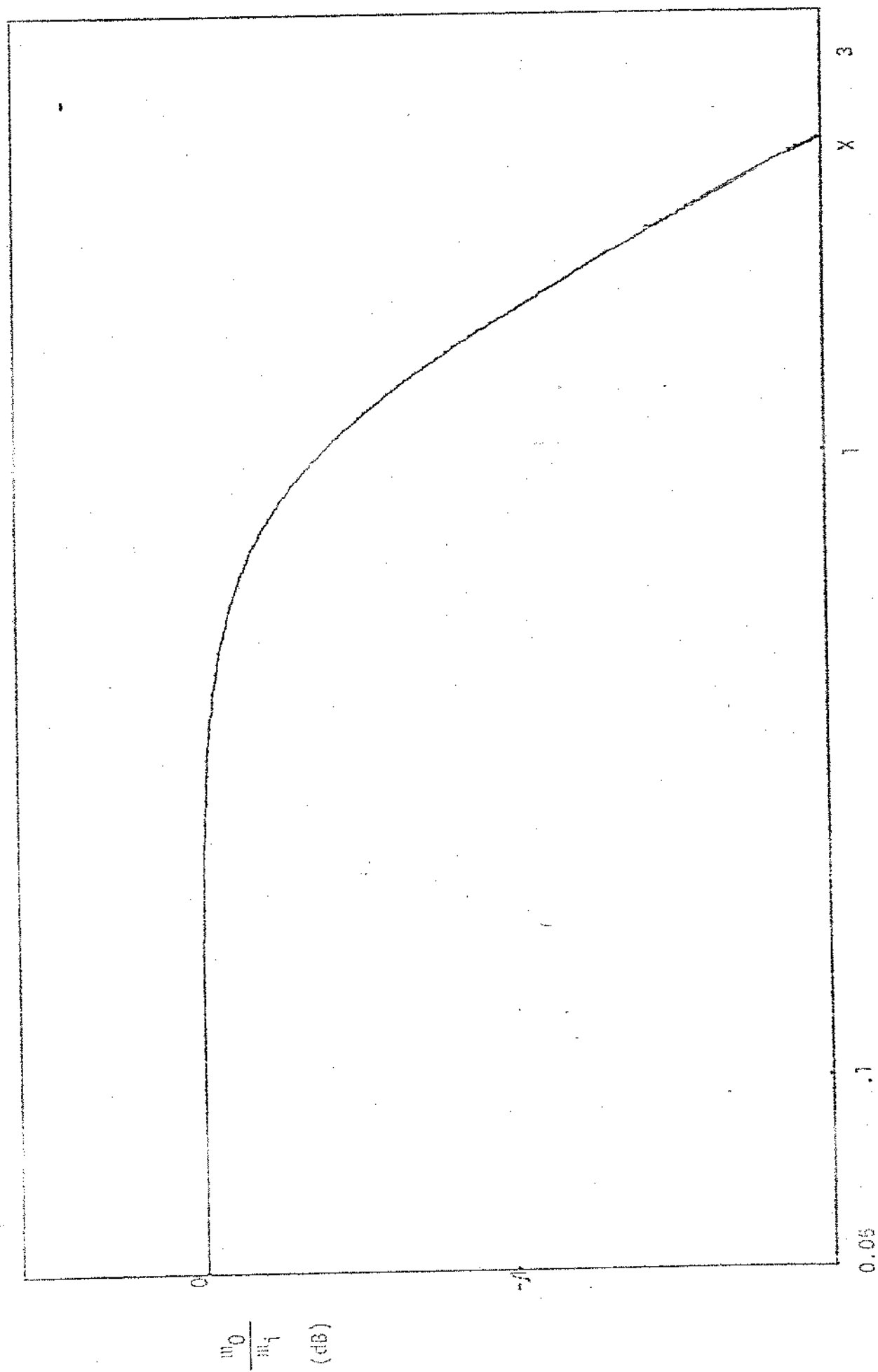


Fig. B.2 - ATENUAÇÃO DO JITTER PARA O P.L.L. PROJETADO

Região de captura é a região de frequências que sempre são colocadas em sincronismo espontaneamente.

Para o P.L.L. em questão, foi obtido:

Região de retenção entre 2047801 - 2048208 (Hz)

Região de captura entre 2047802 - 2048201 (Hz)

Maiores detalhes sobre o P.L.L. usado pelo sistema podem ser encontrados no trabalho "Minimização de Jitter em Sistemas de MCP de 2ª Ordem, através de Phase-Locked-Loop", publicado por H.Waldman e L.A.C. de Aquino, FEC - Maio/77.

REFERÊNCIAS BIBLIOGRÁFICAS

- {R.1}- Duttweiler, D.L.
"Waiting Time Jitter " - The Bell System Technical Journal - Vol.51,
nº 1 - January, 1972 - pp. 165-217
- {R.2}- Aquino, L.A.C. & Waldman, H.
"Minimização de Jitter em Sistemas MCP de 2ª Ordem através de Phase-
Locked Loop" - Relatório Técnico RT-25 - UNICAMP-FEC - Maio, 1977
- {R.3}- Owen, F.F.E.
"Seminários sobre Transmissão Digital" - Relatório Técnico RT-23 -
UNICAMP-FEC - Junho, 1976
- {R.4}- Cariolaro, G.L. & Vagliani, F.C.
"Time and Frequency Domain Analysis of Timing Signals in Pulse
Stuffing Multiplexing" - Alta Frequenza, nº 9 - Vol XLIII - 1974
pag. 612-348E a pag. 627-363E
- {R.5}- Shoji Kondo
"Jitter in Pulse Stuffing Synchronization" - Electrical and
Communications in Japan - vto. 56-A, nº 9 - 1973
- {R.6}- Kozuka, S.
"Phase Controlled Oscillator for Pulse Stuffing Synchronization
System" - Review of the Electrical Communication Laboratory -
vol. 67, nº 5-6 - May/June, 1969
- {R.7}- "The Jitter performance of Digital Multiplex" -
R674/CCC/dc - STL, Harlow, England, 1976
- {R.8}- Graham, R.S.
"Pulse Transmission System" - U.S. Patent nº 3042751 - 1962
- {R.9}- Witt, F.J.
"An Experimental 224 Mb/s Digital Multiplexer-Demultiplexer using
Pulse Stuffing Synchronization" - B.S.T.J., nº 9, part 2 -
November 1965 - pp. 1843-1885
- {R.10}- Yuki, Matsuura, Kozuka
"Jitter Characteristic of Pulse Stuffing Synchronization" - Electrical
Communication Laboratory - N.T.T. Pub. Tokyo

- R.11}- Chow, P.E.K.
"Jitter Due to Pulse Stuffing Synchronization" - IEEE Transactions
on Communications - vol. COM-21, n° 7 - July, 1973
- R.12}- Bruce, R.A.
"A,1-5 to 6 Megabit Digital Multiplex Employing Pulse Stuffing" -
IEE Int. Conf. on Communication - June/1969 - pp. 34.1 to 34.7
- {R.13}- Johannes, V.I.
"Multiplexing of Assynchronous Digital Signals Using Pulse
Stuffing With Added-Bit Signaling" - IEEE Transactions on
Communication Technology - vol COM-14 - October, 1966 - n°5
- {R.14}- Iwerson, J.E.
"Calculated Quantizing Noise of Single Integration Delta Modulation
Coders" - B.S.T.J. , 48 - n° 7 - part 3 - September, 1969
- {R.15}- Papoulis
"Probability, Random Variables, and Stochastic Processes" -
McGraw Hill Book Company