

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPTO. DE ELETRÔNICA E MICROELETRÔNICA

Este exemplar corresponde à redação final da tese
defendida por RICARDO MALTIONE

Julgadora em 21 12 94

Carneiro
Orientador

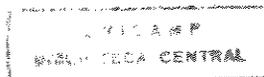
**AMPLIFICADOR DIGITAL - Projeto de um circuito
integrado CMOS para condicionamento de sinais
segundo a Técnica de Quantização**

Autor : Ricardo Maltione

Orientador : Prof. Dr. Carlos A. dos Reis Filho

Tese apresentada à Faculdade de Engenharia Elétrica da
Universidade Estadual de Campinas - UNICAMP, como
parte dos requisitos exigidos para obtenção do título de
Mestre em Engenharia Elétrica.

Campinas, Dezembro / 1994



91 990 11

UNIDADE	BC
REF. CENTRAL:	
	T/UNICAMP
	M299a
V.	EL
N.º DE FOLHAS	27607
F.º DE REG.	667196
C	<input type="checkbox"/>
D	<input checked="" type="checkbox"/>
X	<input type="checkbox"/>
PREÇO	R\$ 11,00
DATA	03/05/96
N.º CPO	e.m.00028318-0

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

M299a Maltione, Ricardo
Amplificador digital - projeto de um circuito integrado CMOS para condicionamento de sinais segundo a técnica de quantização / Ricardo Maltione.--Campinas, SP: [s.n.], 1994.

Orientador: Carlos A. dos Reis Filho.
Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica.

1. Microeletrônica. 2. Circuitos integrados. 3. Amplificadores eletrônicos. 4. Processamento de sinais.
I. Reis Filho, Carlos A. dos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica. III. Título.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPTO. DE ELETRÔNICA E MICROELETRÔNICA

Banca examinadora :

- Prof. Dr. Carlos Alberto dos Reis Filho (orientador) - DEMIC/FEE/UNICAMP
Prof. Dr. Furio Damiani - DSIF/FEE/UNICAMP
Prof. Dr. Tales Cleber Pimenta - DON/EFEI

Campinas, Dezembro / 1994

Dedicatória

À

minha mãe

Darcy

meu pai

Milton

meu irmão

Claudio

e à minha namorada

Luciene

pelo seu amor, carinho e apoio nos momentos difíceis

Agradecimentos

Ao Edson pela amizade, sugestões e colaboração nos projetos.

À Marília pela ajuda com o somador CMOS objeto de sua tese.

Ao Dilvan pela versão SUN do QUANTICO e ajuda com o mesmo.

Ao professor Carlos A. Reis Filho pela excelente orientação e motivação.

Ao professor Bernard Waldman pela amizade e ajuda nos estudos referentes a interface MOS.

Aos técnicos Marcus e Gustavo pela ajuda com as montagens realizadas e outros trabalhos relacionados com a tese.

Ao pessoal do almoxarifado da FEE o Sr. Motoyama, João e Wilson pela paciência e ajuda na seleção de componentes e equipamentos.

Ao pessoal do CTI pela ajuda com os PMU7 e 8 e facilidades de caracterização no LACAM.

Ao Daniel Roseno pelos programas conversores de código para o CONSTRUCT da VALID.

Ao meu irmão Claudio pela ajuda na digitação e revisão da tese.

Enfim a todas as pessoas que de alguma forma contribuíram para a realização deste trabalho e que involuntariamente foram omitidas.

Ao apoio financeiro fornecido pela CAPES para realização deste trabalho.

RESUMO

O *AMPLIFICADOR DIGITAL* é um amplificador de tensões baseado na técnica de *QUANTIZAÇÃO*, que consiste essencialmente de uma forma de processamento em amplitude, de sinais discretizados no tempo, baseado na operação programada de acumuladores analógicos. Na implementação clássica de amplificadores, utiliza-se comumente um amplificador operacional, em uma estrutura realimentada, onde o ganho é definido pela razão de dois resistores. Uma outra técnica utiliza capacitores chaveados, onde o ganho é definido pela razão de dois capacitores. Na técnica de *QUANTIZAÇÃO*, propõe-se uma nova estrutura, onde o ganho é determinado pela razão de duas frequências, não apresentando assim limitação, a nível estrutural, de precisão e estabilidade associada a componentes passivos, sendo uma das suas características intrínsecas a programabilidade, uma vez que o ganho é definido por dois sinais digitais. Esta técnica é voltada para a implementação de circuitos integrados em tecnologia *MOS*, encontrando vantagens no universo dos circuitos analógicos de precisão e possibilitando sua integração com circuitos digitais em uma única pastilha (*CHIP*). Entretanto existem diversas fontes de erros na implementação real da estrutura do amplificador sendo, um dos mais críticos, causado pelo fenômeno de injeção de cargas associado às chaves analógicas *MOS* na transição condução-corte. Neste trabalho são analisadas várias montagens com componentes *off the shelf*, simulações, e a implementação de um circuito integrado implementado através do Projeto Multi-Usuário (PMU), em tecnologia *CMOS - N - WELL*.

CONTEÚDO

NOMENCLATURA	ix
APRESENTAÇÃO	xii
Contexto	xii
Objetivos	xiii
Metodologia	xiv
CAPÍTULO 1 - AMPLIFICAÇÃO DE SINAIS	1
1.1 Introdução ao condicionamento de sinais	1
1.2 Amplificador clássico	3
1.2.1 Considerações sobre resistores monolíticos	4
1.2.2 Sensibilidade do ganho em relação aos resistores	6
1.2.3 Considerações sobre programabilidade	7
1.3 Amplificador à capacitor chaveado	12
1.3.1 Resistores simulados	13
1.3.2 Considerações sobre aproximações na técnica de capacitores chaveados	16
1.3.3 Amplificador de tensão na técnica de capacitor chaveado	18
1.3.4 Considerações sobre capacitores monolíticos em tecnologia MOS	20
CAPÍTULO 2 - O AMPLIFICADOR DE SINAIS	25
2.1 Introdução	25
2.2 O amplificador digital	25
2.2.1 Chave cruzada	25
2.2.2 Bloco <i>delay</i>	26
2.2.3 Bloco <i>hold</i>	28
2.3 Circuito do amplificador digital	30
2.4 Princípio de funcionamento do amplificador digital	31
2.5 Amplificador digital com configuração inversora	37
2.6 Amplificador digital com ajuste de <i>offset</i>	41
2.7 Conversor de valor absoluto	43
2.8 Amplificador com ganho exponencial	46
2.9 Multiplicador digital	49
2.9.1 Multiplicador de 2 quadrantes	49
2.9.2 multiplicador de 4 quadrantes	53

CAPÍTULO 3 - IMPLEMENTAÇÃO DO AMPLIFICADOR AO NÍVEL DOS CIRCUITOS	58	
3.1	Introdução	58
3.2	Chaves analógicas	58
3.2.1	Chaves JFET	59
3.2.2	Chaves MOS	61
3.3.2.1	Chaves NMOS simples	61
3.3.2.2	Chaves MOS complementar	62
3.3	O fenômeno de injeção de carga	64
3.4	Técnicas para redução da injeção de cargas	67
3.5	A chave cruzada	72
3.5.1	Circuito de clock intercalado	73
3.6	Buffers	77
3.6.1	Primeira versão do buffer	77
3.6.2	Segunda versão do buffer	78
3.6.2.1	Tempos de carga e descarga dos capacitores	80
3.6.2.2	Faixa dinâmica da versão 2 do <i>buffer</i>	84
3.6.2.3	Resposta em frequência da versão 2 do <i>buffer</i>	85
3.6.3	Terceira versão do <i>buffer</i>	88
3.6.3.1	Tempos de carga e descarga dos capacitores	88
3.6.3.2	Faixa dinâmica da versão 3 do <i>buffer</i>	90
3.6.3.3	Resposta em frequência da versão 3 do <i>buffer</i>	91
3.7	Somador de tensões	95
3.7.1	Conversor tensão - corrente	96
3.7.2	Somador de tensões integrado NMOS	100
3.7.3	Somador de tensões integrado PMOS	104
3.8	O amplificador digital - circuitos	107
3.8.1	Versão com componentes comerciais	107
3.8.2	Versão com chaves analógicas do PMU7	108
3.8.3	Versão totalmente integrada	108
3.9	Circuitos integrados utilizados	108
CAPÍTULO 4 - RESULTADOS EXPERIMENTAIS	116	
4.1	Metodologia empregada	116
4.2	Considerações experimentais	116
4.3	Caracterização dos transistores	117
4.4	Correntes de fuga nos <i>buffers</i>	121
4.5	Medidas de capacitâncias	122
4.6	Caracterização dos <i>buffers</i>	124
4.6.1	Quedas de tensão nos espelhos	124
4.6.2	Características dinâmicas dos <i>buffers</i>	126
4.7	Medidas de injeção de cargas	129
4.7.1	Injeção de cargas nas chaves cruzadas	131
4.8	Caracterização do circuito de clock	134
4.9	Formas de onda no amplificador	137
4.10	Resposta a várias formas de onda	146

4.11	Resultados com a versão 2 do amplificador	148
4.12	Função de transferência do ganho	149
4.13	Variação do erro do ganho com o capacitor de armazenagem	152
CONCLUSÕES		156
REFERÊNCIAS BIBLIOGRÁFICAS		158
APÊNDICE A - PARÂMETROS PARA SIMULAÇÃO SPICE		162
APÊNDICE B - ARQUIVOS DE SIMULAÇÃO		164

Lista de Figuras

1.1	Tipos de sinais analógicos	2
1.2	Tipo de processamento de sinais	2
1.3	Amplificador clássico	3
1.4	Amplificador de Diferenças Diferencial	8
1.5	Resistores programáveis	10
1.6	Programação do ganho	10
1.7	Capacitor obtido pela acumulação de capacitores unitários	13
1.8	Resistores simulados por capacitores chaveados	14
1.9	Resistor simulado	15
1.10	Aproximações dos métodos de integração feitas na técnica de SC	16
1.11	Constante de tempo RC chaveada	17
1.12	Amplificador de tensões na técnica de capacitores chaveados	18
1.13	Amplificador a capacitor chaveado com correção de erros	19
1.14	Capacitores monolíticos de precisão em tecnologia MOS	20
1.15	Característica C-V do capacitor MOS	22
1.16	Modelos para os capacitores	23
1.17	Capacitâncias em um transistor MOS versus tensão de <i>gate</i>	24
1.18	Geometria e capacitâncias de <i>overlap</i> e <i>gate</i> de um transistor MOS	24
2.1	Chave cruzada	26
2.2	Bloco <i>Delay</i>	26
2.3	Formas de onda no bloco <i>delay</i>	27
2.4	Bloco <i>Hold</i>	28
2.5	Formas de onda no bloco <i>hold</i>	29
2.6	Circuito do Amplificador Digital	30
2.7	Estados das chaves no primeiro ciclo de <i>clock</i>	31
2.8	Estados das chaves no segundo ciclo de <i>clock</i>	32
2.9	Estados das chaves no terceiro ciclo de <i>clock</i>	33
2.10	Estados das chaves no quarto ciclo de <i>clock</i>	33
2.11	Formas de onda para o amplificador digital não inversor	35
2.12	Amplificador Digital com configuração inversora	38
2.13	Formas de onda no amplificador digital inversor	40
2.15	Amplificador Digital com ajuste de <i>offset</i>	42
2.16	Formas de onda para o amplificador digital com ajuste de <i>offset</i>	42
2.17	Conversor de valor absoluto não inversor	44
2.18	Conversor de valor absoluto inversor	44
2.18	Formas de onda no conversor de valor absoluto não inversor	45
2.20	Formas de onda no conversor de valor absoluto inversor	45
2.21	Somador com entradas ponderadas	46
2.22	Amplificador Digital de ganho exponencial	46

2.23	Formas de onda no amplificador exponencial	48
2.24	Comparação entre os desvio de fase obtidos	48
2.25	Multiplicador Digital de 2 Quadrantes	50
2.26	Formas de onda mostrando o processo de quantização	52
2.27	Formas de onda de entrada e saída do multiplicador de 2 quadrantes	52
2.28	Regra de sinais para a multiplicação	53
2.29	Multiplicador de 4 quadrantes	54
2.30	Formas de onda mostrando o processo de quantização	57
2.31	Formas de onda de entrada e saída do multiplicador de 4 quadrantes	57
3.1	Chaves analógicas com transistores	59
3.2	Tipos de chaves JFET	60
3.3	Chaves analógicas MOS e o comportamento de R_{ON}	62
3.4	Chaves MOS complementares comerciais	63
3.5	Definição de <i>clock skew</i> e tempos de transição para chaves complementares	63
3.6	Injeção de cargas no transistor MOS	64
3.7	Circuitos equivalentes para análise da injeção de carga	65
3.8	Modelo simplificado para análise de injeção de cargas	66
3.9	Fração de carga injetada pelo canal	67
3.10	Circuitos com chaves MOS para redução da injeção de carga	68
3.11	Curva experimental $\delta V \times V_S$	70
3.12	Tensões de controle das chaves analógicas M1 e M2	70
3.13	Implementação da chave cruzada	72
3.14	<i>Array</i> de transistores implementados no PMU-CMOS 7	72
3.15	Layout das chaves cruzadas realizadas no PMU-CMOS 8	73
3.16	Circuitos simples para a geração de CLK e # CLK	74
3.17	Sistema de <i>clock</i> intercalado	74
3.18	Circuito de <i>clock</i> intercalado	75
3.19	Implementação de inversores e <i>buffers</i> usando portas OU-EXCLUSIVO	75
3.20	Estrutura interna de uma porta OU-EXCLUSIVO <i>CMOS</i>	76
3.21	Configuração final do circuito de <i>clock</i> intercalado	76
3.22	Uso dos <i>buffers</i> nas versões propostas	77
3.23	Espelhos de corrente implementados no PMU-CMOS 7	79
3.24	<i>Buffer</i> montado a partir de transistores e espelhos de corrente do PMU-CMOS 7	79
3.25	Circuito das fontes de corrente de referência	80
3.26	Circuito para análise da carga/descarga de capacitores pelo <i>buffer</i>	81
3.27	Característica de Transferência do transistor de saída do <i>buffer</i>	81
3.28	Blocos básicos da segunda versão do <i>buffer</i>	85
3.29	Circuito do <i>buffer</i> para determinação do pólo dominante	85
3.30	Versão totalmente integrada do <i>buffer</i>	88
3.31	Blocos básicos do <i>buffer</i> da terceira versão	91
3.32	Estágios de ganho do <i>buffer</i> da terceira versão	91
3.33	Compensação em frequência do <i>buffer</i> da terceira versão	93
3.34	Determinação do <i>slew rate</i> do <i>buffer</i> da terceira versão	94
3.35	Somador com amplificador operacional	95
3.36	Conversor tensão-corrente de alta linearidade	95
3.37	Funcionamento do conversor tensão-corrente	96

3.38	Características medidas com o conversor V/I implementado no PMU-CMOS 8	98
3.39	Resposta em frequência simulada do conversor V/I com transistores W/L=300/20	99
3.40	Resposta transiente em corrente para o conversor V/I	100
3.42	Circuito completo do somador de tensões analógico	102
3.43	Simulação da resposta em frequência do somador	102
3.44	Análise transiente da saída do somador de tensões	103
3.45	Características experimentais obtidas com o somador integrado no PMU8	103
3.46	Conversor V/I utilizando transistores PMOS	104
3.48	Diagrama em blocos do somador PMOS	105
3.49	Circuito completo do somador PMOS	106
3.50	Diagrama de blocos do circuito de programação do ganho do amplificador	107
3.51	Circuito de programação do ganho e <i>clock</i> intercalado	109
3.52	Circuitio de referência, polarização e alimentação dos blocos do amplificador	110
3.53	Versão do amplificador com componentes comerciais	111
3.54	Versão do amplificador com chaves analógicas do PMU 7	112
3.55	Versão totalmente integrada do amplificador nos <i>chips</i> 1 e 2 do PMU-CMOS 8	113
3.56	Conversores N e espelhos de corrente integrados no PMU-CMOS 7	114
3.57	Chaves analógicas integradas no PMU-CMOS 7	114
3.58	Somadores N e P integrados no PMU-CMOS 8	115
4.1	Curvas características das chaves W/L=50/10, sem efeito de corpo	117
4.2	Curvas características das chaves W/L=50/10, com efeito de corpo	117
4.3	Curvas características das chaves W/L=100/10, sem efeito de corpo	118
4.4	Curvas características das chaves W/L=100/10, com efeito de corpo	118
4.5	Configurações usadas para a medida das correntes de fuga	119
4.6	Circuito usado para medida das correntes de fuga	119
4.7	Corrente de fuga no <i>gate</i> dos transistores com W/L=50/10	120
4.8	Corrente de fuga de canal nos transistores com W/L=50/10	120
4.9	Corrente de fuga no <i>gate</i> dos transistores com W/L=100/10	120
4.10	Corrente de fuga de canal nos transistores com W/L=100/10	120
4.11	Correntes de fuga nas entradas dos <i>buffers</i> com CA3140	121
4.12	Correntes de fuga nas placas de circuito impresso	121
4.13	Circuito para caracterização das capacitâncias dos transistores	122
4.14	Capacitâncias parasitas dos transistores de entrada dos <i>buffers</i>	122
4.15	Queda de tensão nos espelhos N	125
4.16	Queda de tensão nos espelhos P	125
4.17	Tempo de subida do <i>buffer</i> implementado com o CA3140	127
4.18	Tempo de descida do <i>buffer</i> implementado com o CA3140	127
4.19	Tempo de subida do <i>buffer</i> implementado com os transistores do PMU7	128
4.20	Tempo de descida do <i>buffer</i> implementado com os transistores do PMU7	128
4.21	Resultados de simulados no PSPICE mostrando a característica $V_{in} \times \delta V$	129
4.22	Circuito utilizado para as medições	130
4.23	Curva experimental para W/L=100/10	130
4.24	Curva experimental para W/L=50/10	130
4.13	Formas de onda no bloco <i>delay</i> para $Chold = 1000 \text{ pF}$	132
4.26	Formas de onda no bloco <i>delay</i> para $Chold = 120 \text{ pF}$	132
4.27	Formas de onda no bloco <i>delay</i> para $Chold = 10 \text{ pF}$	133

4.28	Formas de onda no bloco <i>delay</i> para $C_{hold} = C_{parasita} = \pm 5 \text{ pF}$	133
4.29	Formas de onda no bloco <i>delay</i> totalmente integrado no PMU8	134
4.30	Geração de <i>clocks</i> complementares com inversores lógicos	135
4.31	Geração de <i>clocks</i> complementares com <i>flip-flops</i> (CD 4013)	135
4.32	Formas de onda do <i>clock</i> complementar intercalado	136
4.33	Intercalamento das formas de onda do <i>clock</i>	136
4.34	Formas de onda nos <i>clocks</i> CLK1 e CLK2	138
4.35	Formas de onda na entrada (nó 1) e saída (nó 5) - medida	138
4.36	Formas de onda na entrada (nó 1) e saída (nó 2) - simulação	139
4.37	Formas de onda na entrada (nó 1) e saída (nó 2) - medida	139
4.38	Formas de onda nos capacitores de armazenagem do bloco X1 - simulação	140
4.39	Formas de onda nos capacitores de armazenagem do bloco X1 - medida	140
4.40	Formas de onda nas entradas do somador - simulação	141
4.40	Formas de onda nas entradas do somador - medida	141
4.42	Formas de onda na saída do somador e na saída do amplificador - simulação	142
4.43	Formas de onda na saída do somador e na saída do amplificador - medida	142
4.44	Formas de onda nos blocos <i>hold</i> - simulação	143
4.45	Formas de onda nos blocos <i>hold</i> - medida	143
4.46	Formas de onda nos capacitores do bloco <i>hold</i> X3 - simulação	144
4.47	Formas de onda nos capacitores do bloco <i>hold</i> X3 - medida	144
4.48	Formas de onda nos capacitores do bloco <i>hold</i> X4 - simulação	145
4.49	Formas de onda nos capacitores do bloco <i>hold</i> X4 - medida	145
4.50	Resposta a uma forma de onda senoidal	146
4.51	Resposta a uma forma de onda triangular	146
4.52	Resposta a uma forma de onda dente de serra	147
4.53	Resposta a uma forma de onda quadrada	147
4.54	Resultados com a versão 2 do amplificador	148
4.55	Função de transferência do amplificador simulada no SPICE 3G	149
4.56	Amplificador com ganho unitário	150
4.57	Amplificador com ganho 5	150
4.57	Amplificador com ganho 10	151
4.57	Amplificador com ganho 15	151
4.60	Modelo de chave analógica para sim. do efeito de injeção de carga no SWITCAP	152
4.61	Ganho para capacitor de armazenagem de 1347 pF	154
4.62	Ganho para capacitor de armazenagem de 327 pF	154
4.63	Ganho para capacitor de armazenagem de 209.2 pF	154
4.64	Ganho para capacitor de armazenagem de 10 pF	154

Lista de Tabelas

1.1	Sumário das propriedades de resistores de diferentes tipos em tecnologia bipolar	4
1.2	Sumário das propriedades de resistores de filme fino	4
1.3	Sumário das propriedades de resistores de diferentes tipos em tecnologia MOS	5
1.4	Sumário das propriedades de capacitores de diferentes tipos em tecnologia MOS	12
2.1	Seqüência de amostragem no bloco <i>delay</i>	27
2.2	Seqüência de amostragem no bloco <i>hold</i>	29
2.3	Ganhos obtidos em N ciclos de <i>clock</i>	47
3.1	Características das chaves analógicas CMOS CD 4016 e CD 4066	63
3.2	Características típicas do amplificador operacional BIMOS CA 3140	77
3.3	Desempenho do <i>buffer</i> implementado na segunda versão do amplificador	84
4.1	Parâmetro de capacitores de 1.8 nF tipo MACICO	123
4.2	Parâmetro dos capacitores de 220 pF tipo PLATE	123
4.3	Resultados das simulações com o SWITCAP para umplificador de ganho 2	153

Nomenclatura

Símbolos	Significado
α	Coefficiente angular da reta da curva $V_{CAP}' \times V_S$
β	Relação $[R_1/(R_1+R_2)]$. Parâmetro de transcondutância $\mu_{Cox} W/L$
γ	Coefficiente de efeito de corpo
δv	Erro de tensão de <i>offset</i> devido à injeção de carga
ϵ_0	Constante dielétrica do vácuo
ϵ_{ox}	Constante dielétrica relativa do óxido
λ	Coefficiente de modulação de canal
η	Fator relacionado com o efeito de corpo
η_i	Fator relacionado com o efeito de corpo dos transistores inferiores do conv. V/I
η_s	Fator relacionado com o efeito de corpo dos transistores superiores do conv. V/I
ϕ	Potencial de <i>bulk</i>
μ_N	Mobilidade no canal de transistores MOS tipo N
μ_P	Mobilidade no canal de transistores MOS tipo P
μ	Mobilidade no canal
τ_{RC}	Constante de tempo RC
ω	Frequência angular em rad/s
ΔQ	Diferença de Carga
Δt	Diferença de tempo
a	Fator de relação entre capacitâncias
A_v	Ganho de tensão
B	Representa o terminal do substrato do transistor (<i>body</i>)
C_{bd}	Capacitância <i>body-drain</i>
C_{bs}	Capacitância <i>body-substrate</i>
C_c	Capacitância para compensação em frequência
C_d	Capacitância do semicondutor em depleção
C_g	Capacitância de <i>gate</i>
C_{gb}	Capacitância <i>gate-body</i>
C_{gd}	Capacitância <i>gate-drain</i>
C_{gs}	Capacitância <i>gate-source</i>
C_{hold}	Capacitância do capacitor de armazenamento (<i>hold</i>)
C_{od}	Capacitância de <i>overlap</i> no lado do <i>drain</i> do transistor
C_{os}	Capacitância de <i>overlap</i> no lado do <i>source</i> do transistor
C_{ov}	Capacitância de <i>overlap</i>
C_{ox}	Capacitância do óxido por unidade de área
C_G	Capacitância definida como $C_g + C_{od} + C_{os}$
C_L	Capacitância de carga ou armazenamento
CLK	Sinal de <i>clock</i>
$\#CLK$	Sinal de <i>clock</i> complementar
$CMRR$	Rejeição de modo comum

Símbolos	Significado
CS	Capacitância de fonte
D	Representa o terminal de dreno do transistor (<i>drain</i>)
Erro_{DC}	Erro de descasamento de um espelho de corrente
fc	Frequência de chaveamento
fmax	Máxima frequência de operação
gd	Condutância de saída de um transistor MOS
gm	Transcondutância de um transistor MOS
G	Representa o terminal da porta do transistor (<i>gate</i>)
i	Corrente incremental no somador
I	Corrente de polarização DC no somador
Ic	Corrente no capacitor de armazenamento
Iin	Corrente da entrada de referência de um espelho de corrente
Io	Corrente de polarização do estágio de saída do <i>buffer</i>
Iout	Corrente de saída de um espelho de corrente
Ip	Corrente de polarização
ID	Corrente de dreno
IDC	Corrente de controle de chaveamento de uma chave TRI-JFET
IDD	Corrente no ramo direito do circuito
IDE	Corrente no ramo esquerdo do circuito
IDSS	Corrente de saturação de um JFET
K	Parâmetro de transcondutância
KN	Parâmetro de transcondutância em transistores MOS tipo N
KP	Parâmetro de transcondutância em transistores MOS tipo P
L	Comprimento do canal do transistor
LN	Comprimento do canal do transistor MOS tipo N
LP	Comprimento do canal do transistor MOS tipo P
m	Fator de ponderação das entradas do somador
N	Código binário de controle de <i>n bits</i> . Relação entre frequências
N+	Alta dopagem tipo N
n	Fator de ponderação das entradas do somador
n1	Número de passos de clock dos sinal de <i>clock</i> CLK1
n2	Número de passos de clock dos sinal de <i>clock</i> CLK2
p	Pólo da resposta em frequência
P+	Alta dopagem tipo P
Q	Quantidade de carga
Qg	Quantidade de carga no <i>gate</i> do transistor MOS
ro	Resistência de saída de um estágio para análise de pequenos sinais
Rin	Resistência de entrada
Rf	Resistência para compensação em frequência
RON	Resistência <i>ON</i> da chave em condução
skew	Atraso de tempo entre sinais de <i>clock</i> complementares
S	Representa o terminal fonte do transistor (<i>source</i>) . Sensibilidade do Ganho
Sp	Pólo dominante da resposta em frequência
t	Variável tempo
td	Atraso de tempo na fase do sinal
tr	tempo de subida (<i>rise time</i>)

Símbolos Significado

ts	tempo de descida (<i>fall time</i>)
tsat	Tempo em que o transistor permanece na região de saturação
tsc	Tempo de condução simultânea das chaves
ttriado	Tempo em que o transistor permanece na região triodo
Tc	Período de chaveamento
TCF	Coefficiente fracionário de temperatura
U	Taxa de variação dV/dt da tensão do <i>gate</i> da chave
ve	Tensão de erro no terra virtual do somador
Vcm	Valor máximo da tensão no capacitor de armazenamento
Vdis	Tensão de modo comum na entrada
Vf	Tensão para a qual V_o tende assintoticamente durante a carga de um capacitor
Vin	Tensão de entrada
Vo	Tensão na saída do estágio de saída do <i>buffer</i>
Vof	Tensão de offset
Voffset	Tensão de deslocamento de nível no amplificador
Vout	Tensão de saída
Vp	Tensão de <i>pinchoff</i> de um transistor JFET
Vquant	Tensão quantizada
Vref	Tensão de referência
Vsh	Sinal de tensão amostrado (<i>sample/hold</i>)
VB	Tensão no substrato
VCAP	Tensão no capacitor de armazenamento
VCL	Tensão de <i>clipping</i> no controle da chave TRI-JFET
VD	Tensão no terminal do <i>drain</i>
VDD	Tensão de alimentação positiva
VDS	Tensão <i>drain-source</i>
VDS'	Tensão VDS de saturação de um transistor MOS
VG	Tensão no terminal do <i>gate</i>
VGB	Tensão <i>gate-substrato</i>
VGS	Tensão <i>gate-source</i>
VH	Tensão de acionamento de <i>gate</i> de nível alto
VHT	Tensão definida como $VH - VS - VT$
VL	Tensão de acionamento de <i>gate</i> de nível baixo
VS	Tensão da fonte de sinal . Tensão no terminal do <i>source</i>
VSS	Tensão de alimentação negativa
VT	Tensão de <i>threshold</i> do transistor MOS
V(t)	Sinal de tensão contínuo no tempo
V(nT)	Sinal de tensão discreto no tempo
W	Largura do canal do transistor
WN	Largura do canal do transistor MOS tipo N
WP	Largura do canal do transistor MOS tipo P
Wi	Largura do canal dos transistores inferiores do conversor V/I
Ws	Largura do canal dos transistores superiores do conversor V/I
z	Zero da resposta em frequência

APRESENTAÇÃO

CONTEXTO

Amplificar um sinal de tensão é uma das funções imprescindíveis no condicionamento de sinais. Para se implementar um amplificador há basicamente duas técnicas: uma, a mais popular, utiliza um amplificador operacional, onde o ganho é definido através da razão de dois resistores que configuram uma estrutura realimentada, sendo que o sinal é processado de modo contínuo no tempo. Outra, mais apropriada para implementações integradas (*chips*) utiliza um amplificador operacional dedicado, tendo seu ganho definido através da razão de dois capacitores. Este último constitui um bloco básico da chamada técnica de capacitores chaveados e como tal, opera de modo discreto no tempo.

Em aplicações onde seja exigida alta precisão e estabilidade do valor do ganho estabelecido ao amplificador, e este é sempre o caso no universo dos circuitos analógicos de precisão, as duas técnicas mencionadas apresentam limitações: a precisão e estabilidade do ganho estão diretamente associadas às estabilidades relativas dos componentes passivos utilizados.

Uma outra limitação dos amplificadores, que doravante chamaremos de clássicos, está na impossibilidade de programação. Como o ganho é estabelecido através de dois componentes, resistores ou capacitores, alterar o ganho só é possível através da troca de, pelo menos, um dos componentes.

Há uma série de outras limitações associadas aos amplificadores clássicos, mas que, fogem ao escopo desta proposta de trabalho.

Propõem-se o desenvolvimento de uma estrutura alternativa para implementar um amplificador de tensões. Tal estrutura se baseia na técnica de QUANTIZAÇÃO, que consiste essencialmente de uma forma de processamento, em amplitude, de sinais discretizados no tempo, baseado na operação programada de acumuladores analógicos.

Este amplificador, que processa o sinal de modo discreto no tempo, tem seu ganho estabelecido através da razão entre as frequências de dois sinais digitais e por conseguinte, a programabilidade do ganho é uma propriedade intrínseca.

Há, no entanto, diversas fontes de erros na implementação física do amplificador digital, um dos mais críticos, sendo causado por um fenômeno conhecido como injeção de cargas, associado às chaves analógicas na transição Condução - Corte.

OBJETIVOS

Embora a técnica de QUANTIZAÇÃO seja apropriada para a implementação de circuitos integrados e mais especificamente circuitos implementáveis em tecnologia MOS, visando a plena integração de circuitos analógicos e digitais, diversas estruturas devem ser montadas para avaliações de desempenho, utilizando-se componentes *off the shelf*.

Dispõe-se de um simulador para circuitos que operam segundo esta técnica [1].

A simulação é necessária mas não suficiente para validar um circuito, por este motivo, não se pode prescindir das montagens experimentais.

Este trabalho tem portanto por objetivo analisar várias estruturas inerentes à concepção do AMPLIFICADOR DIGITAL e à técnica da QUANTIZAÇÃO, por métodos computacionais (QUANTICO [1], SWITCAP [7], PSPICE [8]), verificando-se a adequação dos usos dos softwares nesta técnica e confrontando-se estes resultados, com os obtidos experimentalmente.

Nesta primeira fase do trabalho, estão sendo dadas prioridades ao estudo qualitativo do AMPLIFICADOR, elucidando assim o seu princípio de funcionamento e aplicação, através de simulações colhendo resultados experimentais que definirão novas diretrizes de projeto e montagem, para a obtenção de medidas mais precisas e conclusivas.

METODOLOGIA

O trabalho desenvolve-se inicialmente com um breve estudo das técnicas de implementação de amplificadores (Clássico e Capacitores Chaveados), passando a um estudo sobre o princípio de funcionamento do Amplificador Digital, onde o QUANTICO é usado para explorar o circuito mostrando as formas de ondas nos pontos mais relevantes do mesmo. A seguir é realizado um estudo da função de transferência e resposta em frequência, e um estudo dos erros induzidos no circuito devido ao fenômeno de injeção de cargas, sendo utilizados nesta fase o SWITCAP e o QUANTICO. São apresentadas também algumas estruturas, dentre elas a de um Multiplicador Digital de tensões (sendo que este multiplicador resulta de uma associação conveniente de dois amplificadores digitais), demonstrando-se a potencialidade desta técnica, que permite a construção de vários módulos para condicionamento de sinais, permitindo ainda a implementação de algoritmos de forma analógica.

Com relação a parte experimental, utilizou-se um Amplificador Digital, montado, em uma primeira versão com chaves analógicas CMOS comerciais (CD4066), e em uma segunda versão montadas com um *array* de transistores implementados no PMU CMOS 7 e um somador no PMU CMOS 8, sendo avaliado o seu desempenho e analisadas as principais fontes de erro desta implementação em relação à uma estrutura ideal. Apresenta-se também uma versão do amplificador totalmente integrada no PMU CMOS 8, em fase de aprimoramentos da técnica. Conclui-se com uma análise dos resultados obtidos, fornecendo-se um conjunto de sugestões que visam a continuidade do mesmo.

CAPÍTULO 1

AMPLIFICAÇÃO DE SINAIS

1.1 - INTRODUÇÃO AO CONDICIONAMENTO DE SINAIS

A interface com o mundo físico, nos leva ao contato com diversas fontes de sinais, que contêm informações que devem ser convenientemente tratadas, antes de serem processadas, ou seja, o sinal deve sofrer um condicionamento para uma forma em que possa ser corretamente interpretado. Como exemplo, temos sinais provenientes de várias fontes, tais como: termopares, fotodiodos PIN normalmente encontrados em terminações de fibras ópticas, sensores de pressão e de efeito Hall, cabeçotes de leitura magnéticos encontrados em equipamentos *consumer* e computacionais, sinais provenientes da leitura de um disco óptico, eletrodos usados em eletromedicina, e outros. Genericamente estes transdutores, ou melhor sensores, convertem variáveis físicas em sinais elétricos que podem ser medidos ou processados.

Com relação a natureza destes sinais eles podem assumir duas formas : contínua ou discreta no tempo. Podem ainda ser periódicos ou não, determinísticos ou aleatórios conforme mostra a figura 1.1 . Estes sinais podem ser processados em amplitude ou frequência, dependendo de como a informação esta contida no sinal, conforme ilustra a figura 1.2 .

Normalmente o termo condicionamento de sinais é usado para designar o processamento de sinais a nível de amplitude, enquanto o termo processamento de sinais é comumente usado para designar o processamento de sinais no domínio da frequência.

Assim a amplificação é portanto uma forma de condicionamento de sinais, exercendo uma tarefa de importância significativa, uma vez que estes sinais em geral apresentam um nível de tensão ou corrente muito pequeno. Fatores como distorções devidas a não linearidades e a relação S/N do amplificador podem deteriorar as informações contidas nestes sinais. Um outro fator a ser considerado é que nos circuitos de precisão a estabilidade do ganho é fundamental, podendo até ser um fator de restrição no projeto de equipamentos.

Com a crescente utilização de sistemas digitais microprocessados no controle de sistemas e equipamentos, torna-se cada vez mais necessária a questão da programabilidade dos circuitos utilizados no condicionamento de sinais.

Atualmente encontramos duas formas usuais de amplificação destes sinais, uma a que chamamos de clássica, utilizando amplificadores operacionais, e a outra utilizando-se da técnica de capacitores chaveados.

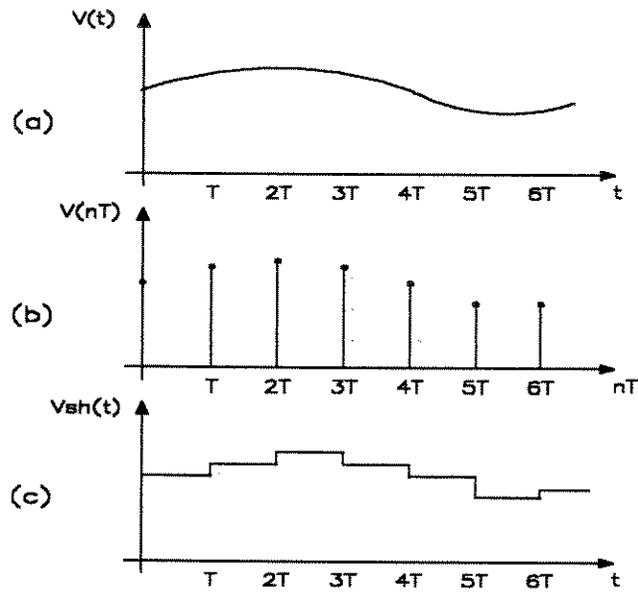


Figura 1.1: Tipos de sinais analógicos: (a) contínuo no tempo; (b) discreto no tempo; (c) *sample/hold*.

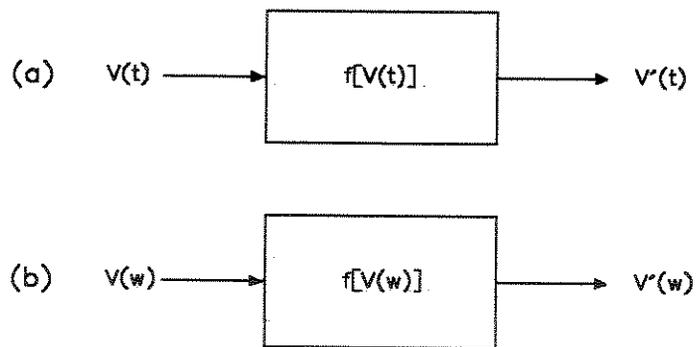


Figura 1.2: Tipo de processamento de sinais: (a) em amplitude; (b) em frequência.

1.2 - AMPLIFICADOR CLÁSSICO

Um amplificador de tensão pode ser construído a partir de um amplificador operacional (*OP AMP*) que é um amplificador de alto ganho, com acoplamento *DC* em sua estrutura, usado principalmente como um dispositivo ativo em circuitos realimentados. Estão atualmente disponíveis *OP AMPs* para aplicações onde sejam exigidas precisão, velocidade, confiabilidade, baixo ruído, etc. Eles podem ser utilizados como um amplificador de tensão em duas configurações básicas, a inversora e a não inversora (fig 1.3 (a) e (b)), onde o ganho é definido pela razão de dois resistores que configuram a malha de realimentação. Neste caso o sinal é processado de forma contínua no tempo e o ganho é fixo, sendo que a alteração do ganho só é possível através da variação de um dos resistores. Os amplificadores operacionais apresentam ainda várias outras características que fogem ao escopo deste trabalho, estando amplamente abordados nas referências [12] e [15].

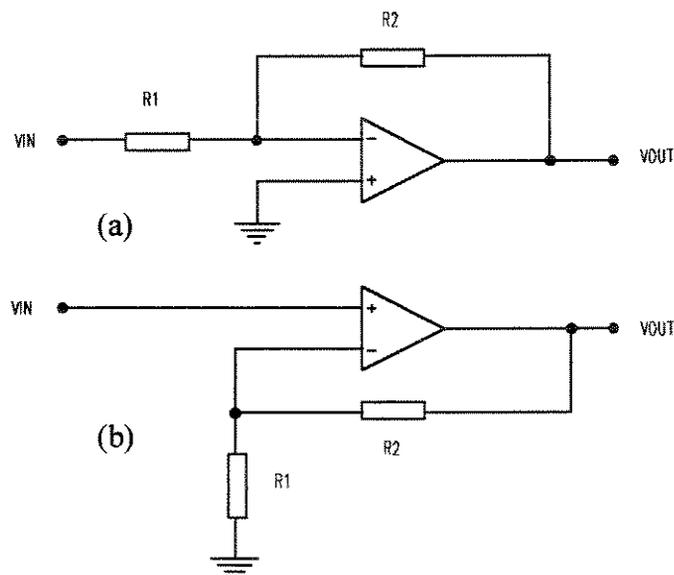


Figura 1.3: Amplificador clássico: (a) configuração inversora;
(b) configuração não inversora.

Analisando-se esta estrutura apenas sob o ponto de vista do ganho e considerando-se, por simplicidade, o amplificador operacional ideal, temos que o ganho do mesmo para a configuração inversora é dado por:

$$A_v = -\frac{R_2}{R_1} \quad (1.1)$$

e para a configuração não inversora por:

$$A_v = 1 + \frac{R_2}{R_1} \quad (1.2)$$

1.2.1 - CONSIDERAÇÕES SOBRE RESISTORES MONOLÍTICOS

Como pode ser observado das relações (1.1) e (1.2), o ganho para ambas as configurações, depende basicamente da relação $R2/R1$. Assim a estabilidade do ganho dependerá da estabilidade relativa dos resistores $R1$ e $R2$. Nas tabelas 1.1 [12], 1.2 [15] e 1.3 [5] encontramos um sumário das características típicas de vários resistores, disponíveis em forma monolítica, em algumas tecnologias de circuito integrado.

Tipo do Resistor	Resistência de folha Ω/\square	Tolerância Absoluta (%)	Tolerância de Casamento (%)	Coefficiente de Temperatura
Difusão de base	100 - 200	± 20	± 2 (Para uma largura de 5μ) ± 0.2 (Para uma largura de 50μ)	+ 1500 até + 2000 ppm/ $^{\circ}\text{C}$
Difusão de emissor	2 - 10	± 20	± 2	+ 600 ppm/ $^{\circ}\text{C}$
<i>Ion</i> Implantado	100 - 1000	± 3	± 1 (Para uma largura de 5μ) ± 0.1 (Para uma largura de 50μ)	Controlável entre ± 100 ppm/ $^{\circ}\text{C}$
<i>Pinch</i> de base	2k - 10k	± 50	± 10	+ 2500 ppm/ $^{\circ}\text{C}$
Epitaxial	2k - 5k	± 30	± 5	+ 3000 ppm/ $^{\circ}\text{C}$
<i>Pinch</i> Epitaxial	4k-10k	± 50	± 7	+3000 ppm/ $^{\circ}\text{C}$
Filme Fino	0.1k-2k	$\pm 5 - \pm 20$	$\pm 0.2 - \pm 2$	± 10 até ± 200 ppm/ $^{\circ}\text{C}$

Tabela 1.1: Sumário das propriedades de resistores de diferentes tipos em tecnologia bipolar.

Tipo do Resistor	Resistência de folha Ω/\square	Tolerância Absoluta sem <i>Trimming</i>	Tolerância de casamento (Para largura de $25\mu\text{m}$)	Coefficiente de Temperatura ppm/ $^{\circ}\text{C}$
Ta	10 - 1000	$\pm 5\%$	$\pm 1\%$	± 100
Ni-Cr	40 - 400	$\pm 5\%$	$\pm 1\%$	± 100
SnO ₂	80 - 4000	$\pm 8\%$	$\pm 2\%$	0 - 1500
Cr-SiO	30 - 2500	$\pm 10\%$	$\pm 2\%$	$\pm 50 - \pm 150$

Tabela 1.2: Sumário das propriedades de resistores de filme fino.

TABELA 1.3 A - TECNOLOGIA NMOS

Tipo do Resistor	Resistência de folha (Ω/\square)	Tolerância Absoluta (%)	Coefficiente de Temperatura (ppm / °C)	Coefficiente de Tensão (ppm / V)	Mérito Relativo
Difusão N +	20 - 80	25 - 50	200 - 2000	50 - 500	4
Polisilício N +	50 - 150	50	500 - 1500	20 - 200	3
Implante Depleção N -	10 k	25	20 k	25 k	5
Poly N+ sobre Implante	50 - 150	50	500 - 1500	20 - 200	2
Poly II sobre Poly I	50 - 150	50	500 - 1500	20 - 200	1

TABELA 1.3 B - TECNOLOGIA CMOS

Tipo do Resistor	Resistência de folha (Ω/\square)	Tolerância Absoluta (%)	Coefficiente de Temperatura (ppm / °C)	Coefficiente de Tensão (ppm / V)	Mérito Relativo
Difusão P +	50 - 200	25 - 50	200 - 2000	50 - 500	6
Difusão de Poço P -	3 - 5 k	25	5 k	10 k	1
Pinch de Poço P -	5 - 10 k	50	10 k	20 k	5
Polisilício N+	50 - 150	50	500 - 1500	20 - 200	4
N + Poly sobre Poço P -	50 - 150	50	500 - 1500	20 - 200	3
Poly II sobre Poly I	50 - 150	50	500 - 1500	20 - 200	2

Tabela 1.3: Sumário das propriedades de resistores de diferentes tipos em tecnologia MOS integrada - (a) NMOS e (b) CMOS.

Os resistores monolíticos apresentam em geral não linearidades, ocupam uma grande área do *chip* e suas tolerâncias absolutas e coeficientes de temperatura não são muito bons. Como exemplo, os resistores difundidos P+ (com dopantes ion-implantados) tem uma tolerância da ordem de 25% com coeficientes de temperatura na faixa de 200 - 2000 ppm/°C, enquanto os resistores de polisilício apresentam uma tolerância absoluta da ordem de $\pm 50\%$, com coeficientes de temperatura na faixa de 500 - 1500 ppm/°C [5]. Estes resistores para grandes larguras (50 μ m) podem apresentar um casamento da ordem de $\pm 0.25\%$ [5].

Estes resistores apresentam ainda capacitâncias parasitas, associadas a junções reversamente polarizadas de sua estrutura, para o caso de resistores difundidos, ou capacitâncias parasitas formadas entre o seu corpo e o óxido dielétrico que o isola do substrato, para os resistores de polisilício. Estas capacitâncias parasitas influenciam na resposta em frequência dos mesmos [15].

Quando são necessários resistores com uma boa performance com relação as características citadas, são utilizados resistores de filme fino, que apresentam melhores características térmicas e tolerâncias menores, além do fato de poderem ser ajustadas a laser (*trimming*) durante o processo. Um sumário das características destes resistores encontra-se na tabela 1.2 [15]. São utilizados em circuitos de precisão, podendo exibir excelentes características de casamento (com *trimming*) [15].

1.2.2 - SENSIBILIDADE DO GANHO EM RELAÇÃO AOS RESISTORES

Considerando-se as variações nos parâmetros dos resistores e lembrando que o ganho é definido pela razão de dois resistores, podemos então analisar como as variações de suas características influenciam o ganho do amplificador clássico. Se considerarmos, por exemplo, a sensibilidade do ganho em relação a temperatura, levando em consideração a relação (1.1) teremos que:

$$A_v(T) = -\frac{R_2(T)}{R_1(T)} \quad (1.3)$$

Então a sensibilidade do ganho em relação a temperatura é definida como a razão entre as variações percentuais destes dois parâmetros:

$$S_T^{A_v} = \frac{\frac{\partial A_v}{A_v}}{\frac{\partial T}{T}} = \frac{T}{A_v} \frac{\partial A_v}{\partial T} \quad (1.4)$$

Das relações (1.3 e (1.4) temos que:

$$S_T^{A_v} = \frac{T}{-\frac{R_2}{R_1}} \frac{\partial}{\partial T} \left(-\frac{R_2}{R_1} \right) = T \frac{R_1}{R_2} \frac{\partial}{\partial T} \left(\frac{R_2}{R_1} \right) \quad (1.5)$$

A derivada da relação R2/R1 com relação a temperatura vale:

$$\frac{\partial}{\partial T} \left(\frac{R2}{R1} \right) = \frac{1}{R1} \frac{\partial R2}{\partial T} - \frac{R2}{R1^2} \frac{\partial R1}{\partial T} \quad (1.6)$$

Levando a relação (1.6) em (1.5) teremos que a sensibilidade dada ,em ppm , será :

$$S_{Av}^T = T \frac{R1}{R2} \left(\frac{1}{R1} \frac{\partial R2}{\partial T} - \frac{R2}{R1^2} \frac{\partial R1}{\partial T} \right) \quad (1.7)$$

O coeficiente fracionário de temperatura dos resistores (expresso em ppm/°C) é dado por:

$$TCF_R = \frac{1}{R} \frac{\partial R}{\partial T} \quad (1.8)$$

Logo a sensibilidade do ganho em relação a temperatura expressa em termos dos TCF dos resistores , levando 1.8 em 1.7, será dada por :

$$S = \frac{1}{R2} \frac{\partial R2}{\partial T} - \frac{1}{R1} \frac{\partial R1}{\partial T} \quad (1.9)$$

$$S = TCF_{R2} - TCF_{R1} \quad (1.10)$$

A relação (1.10) nos mostra que a máxima estabilidade do ganho é atingida quando os resistores R1 e R2 são iguais e do mesmo tipo (mesmo coeficiente fracionário de temperatura). Assim para termos a máxima estabilidade do ganho em relação à temperatura a razão R1/R2 deverá ser unitária.

Conforme foi mostrado então, o fato do ganho depender da razão de dois resistores impõe uma limitação de estabilidade do mesmo, no desempenho do circuito. Até então as metodologias reportadas na literatura [7],[14] e [47], para contornar este problema, propõem técnicas que consistem em substituir a razão R1/R2 pela razão de duas outras impedâncias Z1/Z2 que apresentem melhores características que as dos resistores monolíticos. Deste modo as impedâncias Z1 e Z2 simulam os resistores R1 e R2, sendo que duas técnicas são utilizadas: a de capacitores chaveados, onde resistores são substituídos por capacitores e chaves analógicas chaveadas a uma frequência determinada f_c (portanto de modo discreto no tempo) e outra por transdutores MOS, onde os resistores são substituídos por transistores MOS.

1.2.3 - CONSIDERAÇÕES SOBRE PROGRAMABILIDADE

Conforme mostrado anteriormente o ganho do amplificador clássico é fixo, sendo impossível variar seu ganho sem variar R1 ou R2. Quando esta variação é necessária, os

resistores R1, R2 ou ambos são substituídos por uma matriz chaveada de resistores. Um exemplo desta configuração pode ser visto na figura 1.4, proposta na referência [30], para configurar um pré-amplificador de ganho programável. Este circuito consiste basicamente em um amplificador de diferenças diferencial (DDA), sendo constituído de um amplificador de diferença e um estágio de ganho, conforme mostrado na figura 1.4(a).

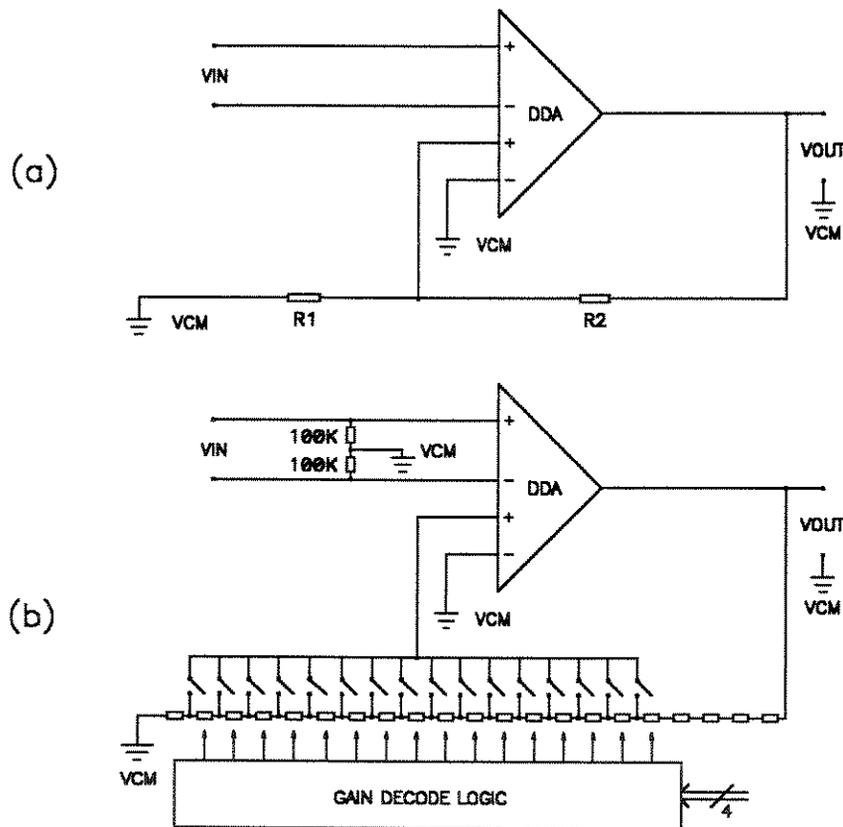


Figura 1.4: Amplificador de Diferenças Diferencial;
 (a) DDA comum ; (b) DDA programável.

A tensão de saída do amplificador é dada por [30]:

$$V_{out} = \frac{1}{\beta} \left(1 - \frac{1}{\beta A_v} + \frac{1}{2CMRR_2} + \frac{1}{2CMRR_D} \right) (V_{in} - V_{of} + \frac{1}{CMRR_1} V_{dis}) \tag{1.11}$$

onde β é o fator de ganho dado por:

$$\beta = \frac{R1}{R1 + R2} \quad (1.12)$$

Onde:

V_{out} é a tensão de saída;

V_{in} é o sinal de entrada balanceado;

V_{dis} é a interferência de modo comum na entrada;

A_v é o ganho de malha aberta;

V_{of} é a tensão de *offset* de entrada;

CMRR1 e CMRR2 são respectivamente a rejeição de modo comum do primeiro e segundo bloco do amplificador.

CMRRD é a rejeição de modo comum devido a tensões flutuantes iguais em ambos blocos.

Assumindo $CMRR2 \gg 1$, $CMRRD \gg 1$ e $A_v \gg 1/\beta$ a relação (1.11) torna-se [30]:

$$V_{out} \approx \frac{1}{\beta} \left(V_{in} - V_{of} + \frac{V_{dis}}{CMRR_1} \right) \quad (1.13)$$

O termo $(1/CMRR_1) V_{dis}$ mede o ruído de entrada devido ao sinal de modo comum na entrada do amplificador. Para CMRR1 alto como 100dB ou mais o que pode ser obtido com um projeto adequado e desprezando-se V_{of} (caso ideal), temos que o ganho é dado por:

$$V_{out} \approx \frac{V_{in}}{\beta} = \frac{R1 + R2}{R1} V_{in} = \left(1 + \frac{R2}{R1} \right) V_{in} \quad (1.14)$$

A relação (1.14) representa o mesmo ganho que o obtido para um amplificador clássico não inversor. A programação do ganho é obtida por um *array* de resistores de polisilício chaveados por 16 chaves *MOS*, construídas com transistores canal N de dimensão mínima, que são selecionadas de acordo com o ganho, o que pode ser visto na figura 1.4(b). Conforme podemos observar nesta configuração temos uma alta sensibilidade térmica do ganho em relação aos resistores. Uma vez que os resistores de polisilício, não tem um baixo coeficiente de temperatura, seu casamento é restrito, e como a razão $R1/R2$ não é feita próxima da unidade este amplificador terá um grande *drift* térmico. Um outro fator a ser notado é que o ganho é discreto, e somente um número restrito de passos pode ser usado nesta configuração devido ao fato da dimensão do *array* de resistores aumentar proporcionalmente ao número de passos de ganho utilizado.

Uma outra alternativa é mostrada na figura 1.5 e consiste na utilização de um conversão D/A baseado em uma matriz resistiva (R-2R). Esta segunda alternativa é proposta na referência [61], onde um circuito com DACs casados (como o AD7528 que é um circuito integrado comercial que possui 2 DACs casados em um único chip) é usado para tornar o circuito do amplificador clássico programável, conforme mostrado na figura 1.6 .

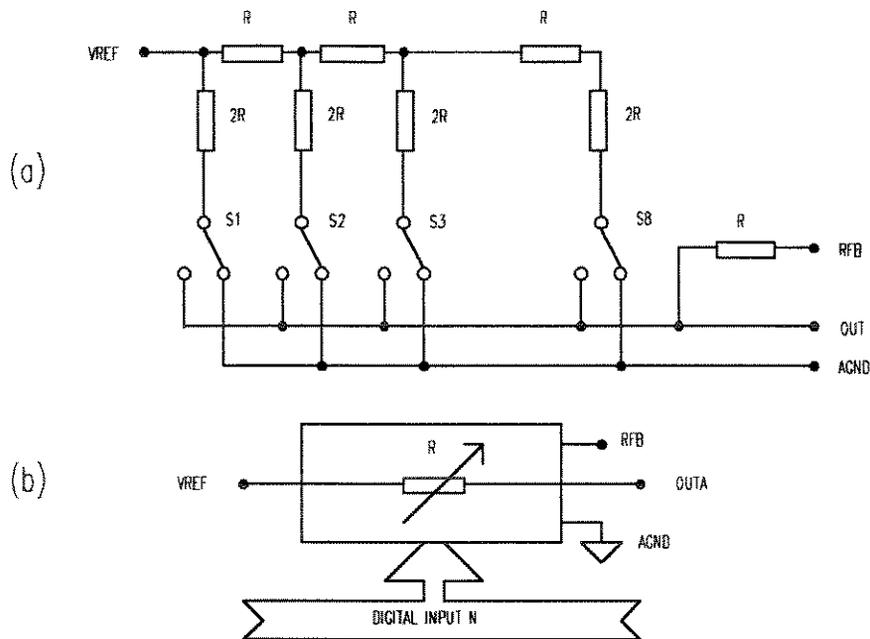


Figura 1.5: Resistores programáveis (a) DAC com rede R-2R; (b) resistor digitalmente programável.

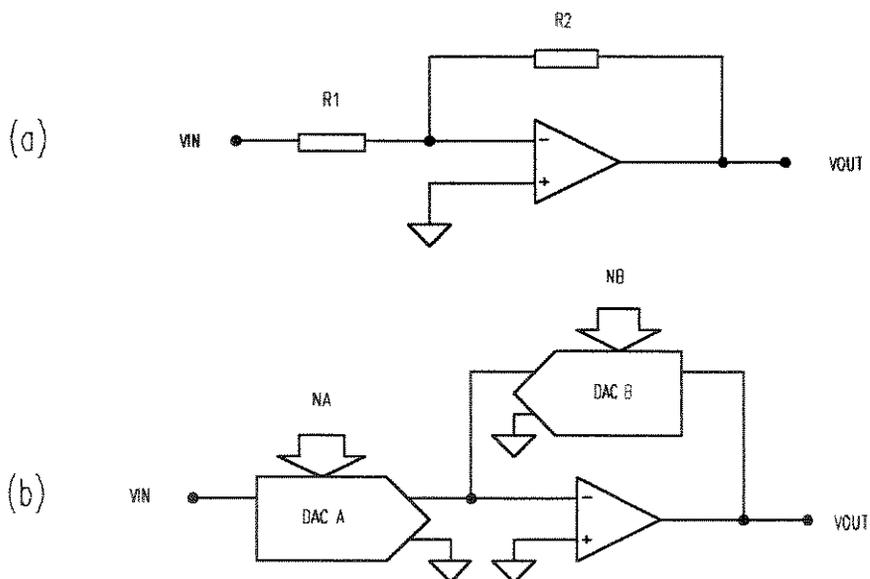


Figura 1.6: Programação do ganho; (a) clássico; (b) ganho programável c/ DACs.

No circuito da figura 1.6(b) a resistência equivalente da entrada para a saída de cada DAC é usada para substituir os resistores de entrada e de realimentação do amplificador inversor [61]. Neste circuito temos :

$$R_{DAC_A} = \frac{256R_{LD_A}}{N_A} \quad (1.15)$$

$$R_{DAC_B} = \frac{256R_{LD_B}}{N_B} \quad (1.16)$$

onde: R_{LD_A} e R_{LD_B} são as resistências das redes resistivas R-2R dos DACs A e B respectivamente, e N_A e N_B são os códigos digitais expressos em decimal (1 - 256).

A expressão resultante do ganho é dada então por:

$$A_v = \frac{V_{out}}{V_{in}} = -\frac{256R_{LD_B}}{N_B} \frac{N_A}{256R_{LD_A}} \quad (1.17)$$

Eliminando-se o número de passos do numerador e do denominador da relação 1.17 (pois ambos DACs são de 8 bits , ou seja 256 passos), temos que o ganho é dado apenas em função das resistências dos DACs e dos códigos binários de controle:

$$A_v = \frac{V_{out}}{V_{in}} = -\frac{R_{LD_B}}{R_{LD_A}} \frac{N_A}{N_B} \quad (1.18)$$

Desde que os conversores A/D, DAC A e DAC B, sejam pares casados e portanto $R_{LD_A} = R_{LD_B}$, a expressão do ganho é função, somente dos códigos binários de controle N_A e N_B , ou seja:

$$A_v = \frac{V_{out}}{V_{in}} = -\frac{N_A}{N_B} \quad (1.19)$$

onde: $1 \leq N_A \leq 255$ e $1 \leq N_B \leq 255$

Para o DAC comercial citado, o melhor casamento apresentado entre R_{LD_A} e R_{LD_B} é da ordem de 1% . A resistência de entrada deste circuito é constante e igual a R_{LD_A} . Conforme pode ser observado, este circuito apresenta também uma grande complexidade, devido aos DACs, sendo utilizadas duas redes resistivas R-2R de 8 bits que devem ser perfeitamente casadas para garantir-se a resolução citada.

Outras possíveis configurações para variação do ganho incluem os amplificadores de transcondutância, que permitem a variação do ganho em função de uma tensão de controle V_c . Entretanto esta forma de controle do ganho é analógica, não permitindo interface com sistemas digitais sem o uso de conversores D/A . Um outro ponto a ser notado é que esta estrutura é basicamente a mesma do amplificador clássico (baseado na relação R_1/R_2) não sendo proposta uma nova topologia de circuito, pois R_1 e R_2 são agora transdutores.

1.3 - AMPLIFICADOR À CAPACITOR CHAVEADO

A técnica de capacitores chaveados, tem sua principal aplicação na implementação de filtros (SCF), que tiveram grande desenvolvimento nas últimas décadas. Isto devido ao fato de oferecerem circuitos com grande seletividade, podendo ser integrados totalmente em uma única pastilha. O bloco amplificador surge como uma célula de ganho nestes tipos de circuito. O desenvolvimento desta técnica encontra-se amplamente abordado nas referências [13][14][47][49][51].

Uma grande vantagem da técnica de capacitores chaveados está na possibilidade de simulação de resistores. Conforme foi mostrado anteriormente os resistores comuns podem ser integrados, mas são na maioria dos tipos não lineares, ocupando uma grande área do *chip* e suas tolerância e coeficientes de temperatura não são comparáveis aos obtidos nos capacitores integrados. Para circuitos em que os valores absolutos de R e C devem ser mantidos ao longo de uma ampla faixa de temperatura esse fator torna-se crítico. A tabela 1.4 [5] apresenta um sumário das propriedades de diferentes tipos de capacitores disponíveis em tecnologia MOS integrada.

TABELA 1.4 A - TECNOLOGIA NMOS

Tipo do Capacitor	Tox (Angstroms)	Tolerância Absoluta (%)	Coefficiente de Temperatura (ppm/°C)	Coefficiente de Tensão (ppm/V)	Mérito relativo
Metal - N+	500 - 1000	10	10 - 50	20 - 200	3
Poly - N+	500 - 1000	10	10 - 50	20 - 200	2
Poly II - Poly I	1000 - 1500	20	10 - 50	20 - 200	1
Metal - Poly	1000 - 1500	20	10 - 50	20 - 200	4

TABELA 1.4 B - TECNOLOGIA CMOS

Tipo do Capacitor	Tox (Angstroms)	Tolerância Absoluta (%)	Coefficiente de Temperatura (ppm/°C)	Coefficiente de Tensão (ppm/V)	Mérito relativo
Metal - N+	500 - 1000	10	10 - 50	20 - 200	3
Metal - P+	500 - 1000	10	10 - 50	20 - 200	6
Poly - N+	500 - 1000	10	10 - 50	20 - 200	2
Poly - P+	500 - 1000	10	10 - 50	20 - 200	5
Poly II - Poly I	1000 - 1500	20	10 - 50	20 - 200	1
Metal - Poly	1000 - 1500	20	10 - 50	20 - 200	4

Tabela 1.4: Sumário das propriedades de capacitores de diferentes tipos em tecnologia MOS integrada : (a) NMOS e (b) CMOS.

Como um exemplo de comparação, um resistor integrado tem uma tolerância de $\pm 10\%$ e um coeficiente de temperatura de $+3 \times 10^{-9} / ^\circ\text{C}$ acima de 293K, requer uma área muito maior que a maioria dos transistores MOS e não é possível projetar e usar um resistor de qualquer valor que seja estável e preciso. Um capacitor MOS, por sua vez, com dielétrico de dióxido de silício, oferece uma capacitância da ordem de $4 \times 10^{-4} \text{ pF/mm}^2$, sendo que um capacitor de 1pF ocupa um quadrado de $50 \times 50 \mu\text{m}$. A tolerância de um capacitor individual é da ordem de $\pm 10\%$, mas a tolerância da razão entre capacitores pode ser feita em $\pm 1\%$ ou menor. Isto porque as áreas individuais podem ser acumuladas como quadrados unitários, o que significa que podem ser gerados a partir de um capacitor padrão, conforme ilustra a figura 1.17 [14].

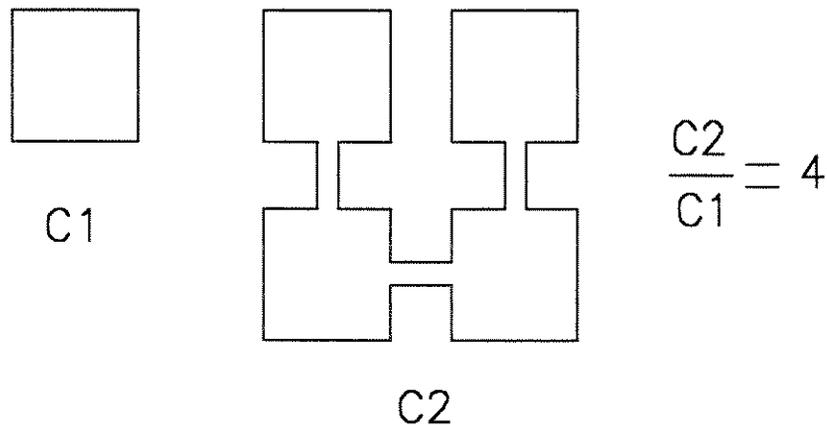


Figura 1.7: Capacitor obtido pela acumulação de capacitores unitários

1.3.1 - RESISTORES SIMULADOS

Os problemas da grande área ocupada por resistores integrados, e a sua alta tolerância, podem ser resolvidos com a técnica de capacitores chaveados, que se baseia na razão entre capacitores. As características AC de um resistor podem ser simuladas através do chaveamento de um capacitor entre dois terminais, usando-se um sinal de *clock* de alta frequência, conforme mostra a figura 1.8(a). Este circuito pode ser obtido na prática através do chaveamento de dois transistores MOS com sinais de *clock* em antifase, aplicados em seus *gates*, desde que não exista sobreposição do tempo de abertura e fechamento de cada chave (*overlapping*). A carga no capacitor é mantida durante a mudança entre CLK e #CLK (figura 1.8b). Com a chave SW1 inicialmente fechada e a chave SW2 aberta, ou seja, CLK=H e #CLK=L (onde H e L são respectivamente os níveis lógicos alto e baixo de acionamento das chaves), o capacitor será carregado com a tensão de entrada V1.

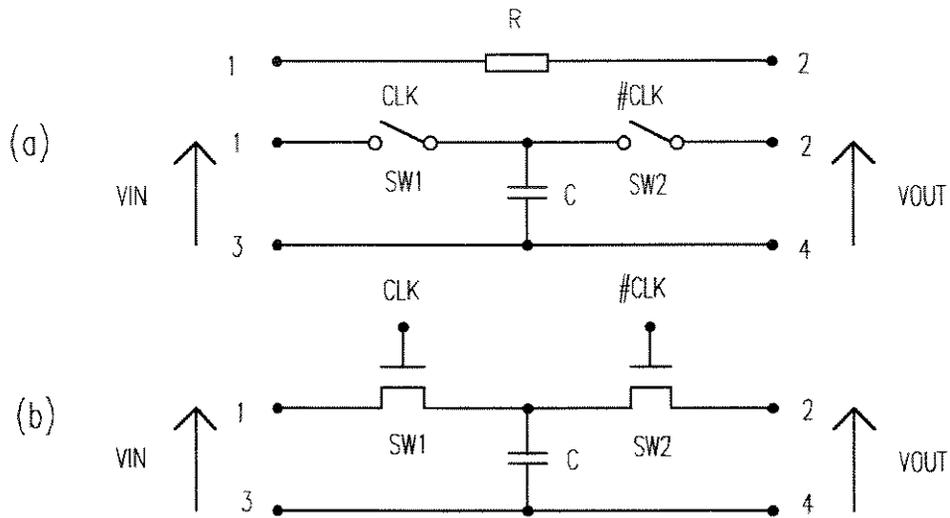


Figura 1.8: Resistores simulados por capacitores chaveados ;
 (a) simulação de um resistor por um capacitor chaveado;
 (b) implementação prática deste circuito utilizando transistores MOS.

Como em geral $V1$ e $V2$ são diferentes, a quantidade de carga transferida da esquerda para a direita é dada por:

$$Q = C (V1 - V2) \tag{1.20}$$

Se a chave opera com uma frequência $fc = 1 / Tc$, então um fluxo médio de carga aparece como uma corrente I , dada por :

$$\langle I \rangle = \frac{dQ}{dt} = \frac{Q}{T} = Q \cdot fc = C(V1 - V2)fc \tag{1.21}$$

A razão tensão / corrente é representada por um resistor de valor :

$$R = \frac{V1 - V2}{\langle I \rangle} = \frac{1}{C \cdot fc} \tag{1.22}$$

onde R representa a resistência AC aparente simulada através do circuito chaveado.

A particularidade de R ser inversamente proporcional a capacitância C, significa que grandes valores de R podem ser obtidos com capacitores pequenos e portanto ocupando uma área muito menor que os resistores integrados. Por exemplo : um resistor de 10 MΩ , que é impraticável de ser integrado, pode ser obtido com uma frequência de 100kHz, chaveando-se um capacitor de $C = 1 / R.fc = 1 \text{ pF}$, o que requer uma área de silício de 0.01 mm² (comparado com a área total do *chip* de 10 - 20 mm²). Se o resistor de 10 Mohms fosse implementado usando uma linha de polisilício ou difusão seria necessária uma área pelo menos 100 vezes maior. Com a técnica de simulação mostrada na figura 1.8(a), este tipo de resistor apresenta duas principais desvantagens. A primeira é que somente podemos simular um resistor que não tenha um lado conectado ao terra. A segunda é que esta configuração oferece suscetibilidade às capacitâncias parasitas que possam existir entre os terminais dos MOSFETs e o terra. A rede modificada da figura 1.9(a) supera estas limitações, sendo mostrada na figura 1.9(b) a sua implementação prática.

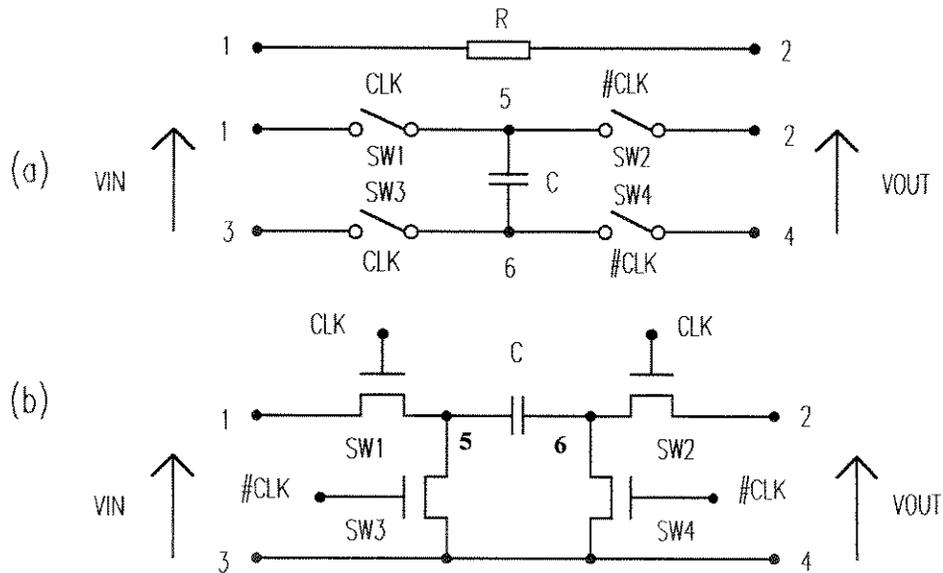


Figura 1.9: Resistor simulado; (a) rede SC modificada usando capacitor flutuante; (b) implementação prática da rede modificada utilizando quatro transistores MOS.

Durante o intervalo em que CLK está ativo, o capacitor é carregado com a diferença de potencial entre V1 e V2, via os transistores MOS, SW1 e SW2, em série. Durante o intervalo em que #CLK está ativo o capacitor é descarregado pelos transistores MOS, SW3 e SW4, em paralelo. A carga armazenada no capacitor durante um ciclo de *clock* é igual a :

$$Q = C (V5 - V6) = C (V1 - V2) \tag{1.23}$$

e então a corrente média será dada por :

$$\langle I \rangle = \frac{1}{Tc} \int_0^{Tc} \frac{\Delta Q}{\Delta t} dt = \frac{C}{Tc} (V1 - V2) = C(V1 - V2)fc \tag{1.24}$$

Então assim como na estrutura anterior o circuito simula um resistor de valor Tc/C ou 1/C.fc .

1.3.2 - CONSIDERAÇÕES SOBRE APROXIMAÇÕES NA TÉCNICA DE CAPACITORES CHAVEADOS

Na técnica de capacitores chaveados, o processo de transporte de cargas é realizado de forma quantizada, desempenhando de forma aproximada a função do resistor no modo contínuo. Na figura 1.10 encontramos um sumário de várias configurações comumente usadas para substituir os resistores [14][36].

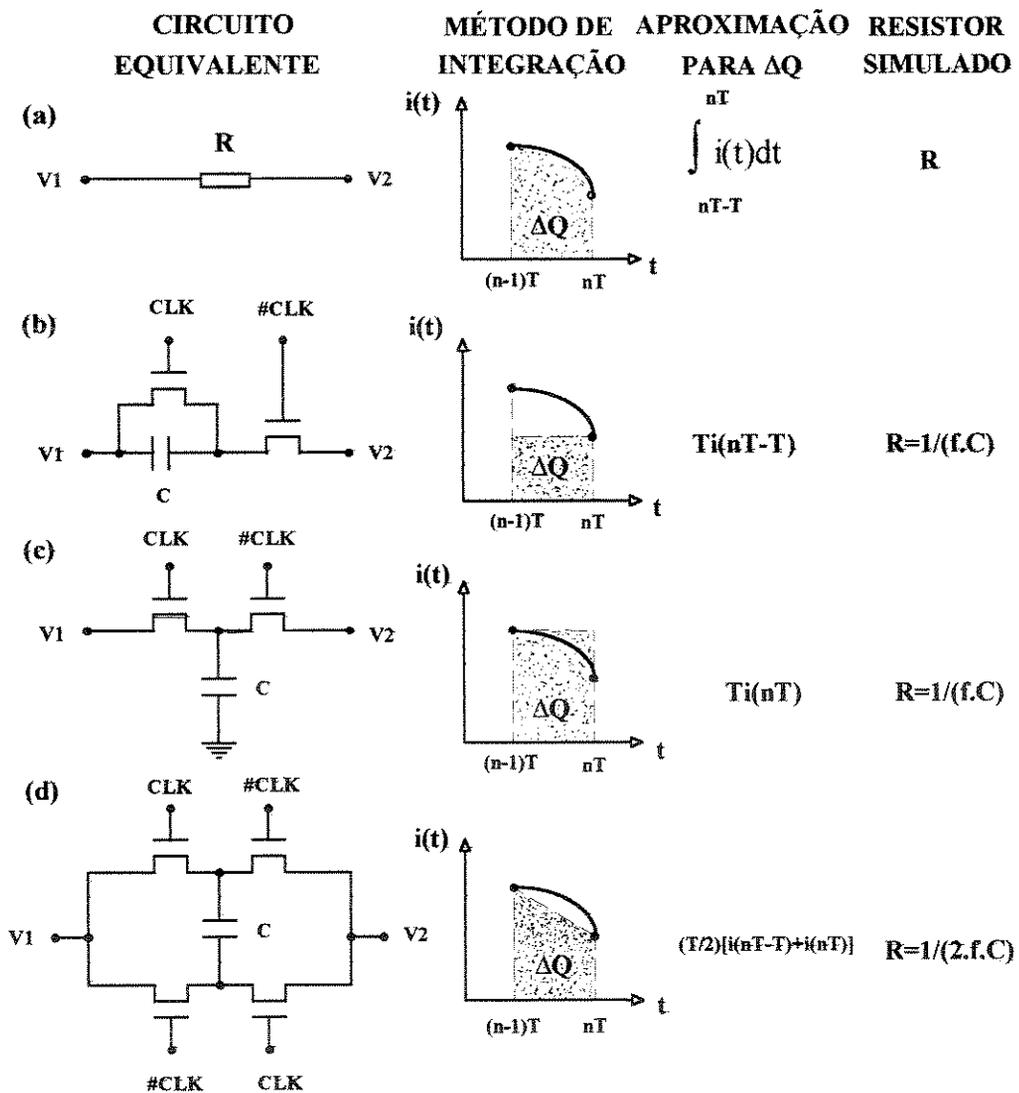


Figura 1.10: Aproximações do métodos de integração feitas na técnica de capacitores chaveados para a obtenção de resistores simulados ;
 (a) Resistor Convencional ; (b) Resistor Euler tipo Atraso ;
 (c) Resistor Euler tipo Avanço ; (d) Resistor bi-linear .

Cada uma destas configurações corresponde a um método de integração numérica a cujo comportamento se aproxima, para a obtenção da carga ΔQ :

$$\Delta Q = \int_{nT-1}^{nT} i(t) dt \tag{1.25}$$

Como pode ser observado quanto melhor a aproximação, maior deve ser o número de chaves analógicas utilizadas na configuração. Entretanto temos um aumento do erro global gerado pela estrutura, associado as chaves analógicas utilizadas devido à injeção de cargas, sendo mais difícil a sua compensação [14]. A técnica de capacitores chaveados, quando usada para substituir um único resistor, traz portanto aproximações dependentes da estrutura usada. A grande vantagem da técnica de capacitores chaveados se evidencia na alta precisão que se obtém do produto RC, ou seja, se uma rede RC é formada por um resistor simulado por um capacitor C_1 chaveado a uma frequência f_c e um capacitor C_2 , conforme ilustra a figura 1.11, a constante de tempo resultante é dada por:

$$\tau_{RC} = \frac{1}{f_c C_1} C_2 = \frac{1}{f_c} \frac{C_2}{C_1} \tag{1.26}$$

Assim para uma certa frequência de chaveamento, f_c , a constante de tempo RC, τ_{RC} , é determinada por uma razão de capacitores que apresenta baixa sensibilidade às variações do processo. Como o erro da razão entre capacitâncias (utilizando-se capacitores acumulados) pode ser feita em 0.1% ou melhor em um processo MOS padrão [24][25], a técnica de capacitores chaveados encontrou um amplo universo de utilização na construção de filtros de alta seletividade totalmente integrados. Neste caso, como os fatores mais importantes de implementação dos filtros são as frequências de corte e o fator de mérito Q, a questão da distorção em amplitude causada por estes circuitos, devido ao fenômeno de injeção de cargas, é deixada em segundo plano, constituindo uma fonte de ruído reportado na literatura [14][51].

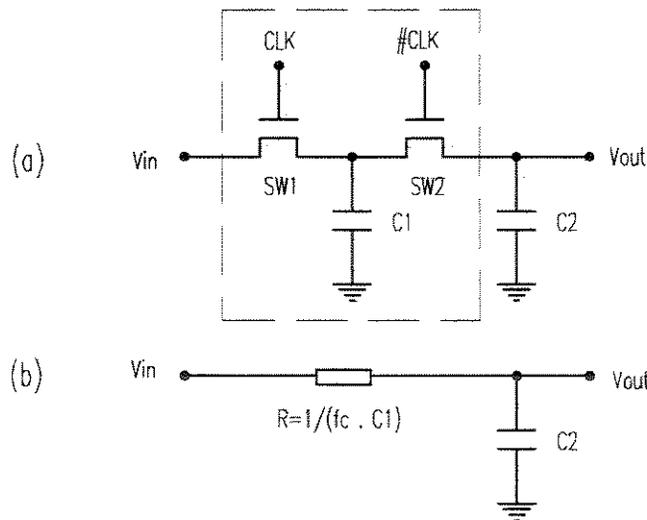


Figura 1.11: Constante de Tempo RC chaveada; (a) Rede SC ; (b) circuito equivalente.

1.3.3 - AMPLIFICADOR DE TENSÃO NA TÉCNICA DE CAPACITOR CHAVEADO

Um amplificador de tensão pode ser implementado utilizando-se resistores simulados no lugar dos resistores de amplificador clássico como mostrado na figura 1.12.

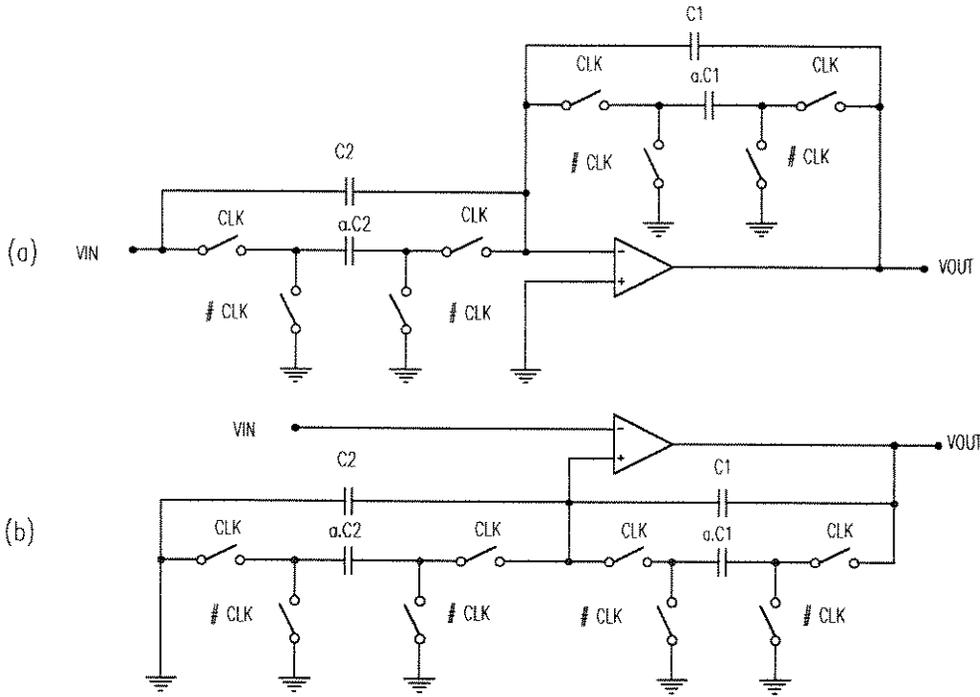


Figura 1.12: Amplificador de tensão na técnica de capacitores chaveados; configurações (a) inversora e (b) não inversora.

Vamos então considerar a configuração inversora o ganho de tensão será dado por:

$$A_v = -\frac{Z_1}{Z_2} = -\frac{R_1}{R_2} = -\frac{\frac{1}{aC_1fc}}{\frac{1}{aC_2fc}} = -\frac{C_2}{C_1} \quad (1.27)$$

Assim podemos verificar que o ganho deste amplificador é dado pela razão de duas capacitâncias, e uma vez que sejam construídas pelo método de acumulação de células unitárias, a relação entre os capacitores, e portanto o ganho pode ser obtido com precisão da ordem de 1% ou melhor, estando a sua estabilidade associada à estabilidade relativa destes capacitores. Um tratamento mais rigoroso deste resultado assim como a análise de outros fatores, tais como resposta em frequência, *drift*, *offset*, ruído e outras considerações podem ser encontradas nas referências [13] [14] [49]. E interessante notar que nesta técnica temos também erros associados a injeção de cargas e que o sinal é processado de forma discreta no

tempo. A aplicação deste tipo de amplificador se dá como células de ganho em várias estruturas, como filtros, processadores de sinais e outros. Várias estruturas tem sido propostas na literatura ([14] [22] [51]) para resolver as principais imperfeições destes circuitos como tensão de *offset* dos operacionais e cancelamento do *clock feedthrough*. A questão do *offset* pode ser facilmente cancelado devido ao fato da técnica ser intrinsecamente chaveada. Quanto a questão da injeção de carga, vários métodos são utilizados, como ilustrados na figura 1.13 [22] (sendo abordados oportunamente) , mas não resolvendo satisfatoriamente a questão [1] . Assim a técnica de capacitores chaveados tem uma precisão limitada quando se trata de processamento de sinal em amplitude.

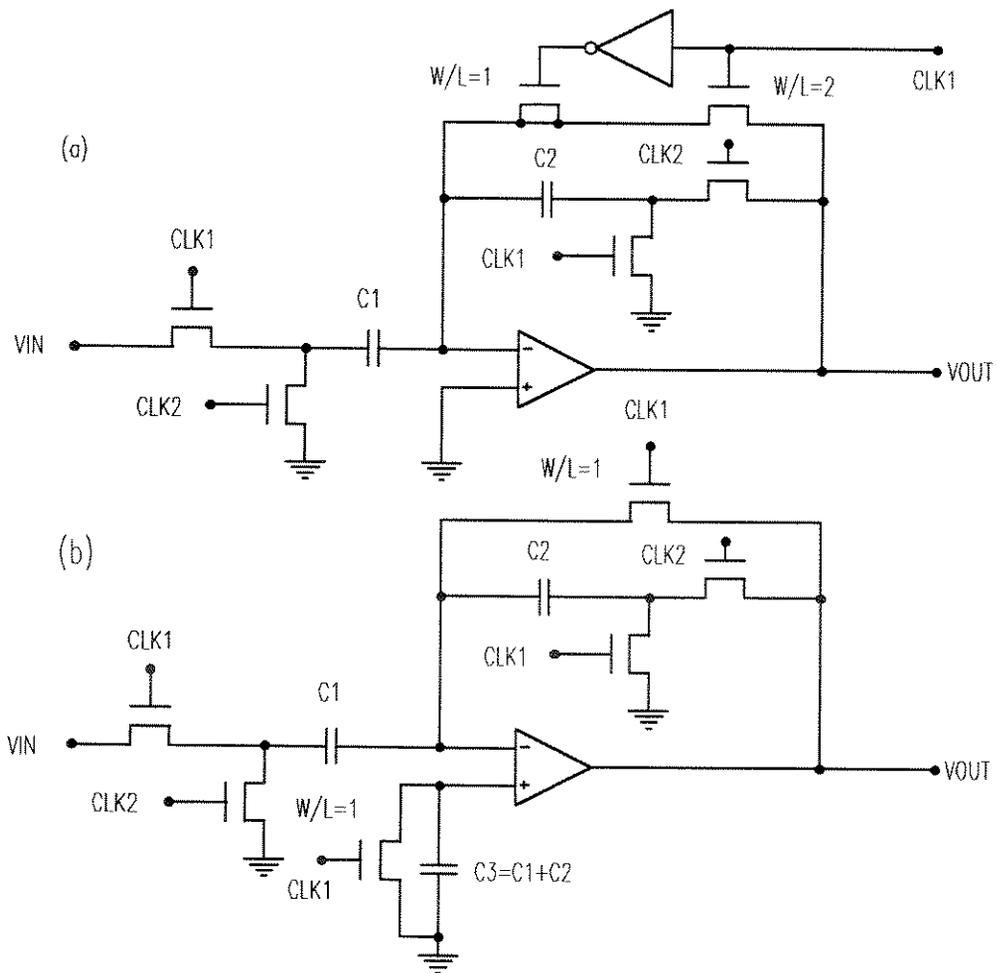


Figura 1.13: Amplificador a capacitor chaveado com correção de erros ; (a) amplificador a capacitor chaveado com cancelamento da tensão de offset de entrada e *clock feedthrough* ; (b) circuito com melhor cancelamento de *clock feedthrough*.

1.3.4 - CONSIDERAÇÕES SOBRE CAPACITORES MONOLÍTICOS EM TECNOLOGIA MOS

Nas tecnologias MOS existem basicamente dois tipos de capacitores, que são função do processo e camadas disponíveis, sendo que eles diferem no tipo das camadas que constituem as placas do capacitor, sendo o dielétrico o dióxido de silício, como mostrado nas figuras 1.14(a) e 1.14(b) [5].

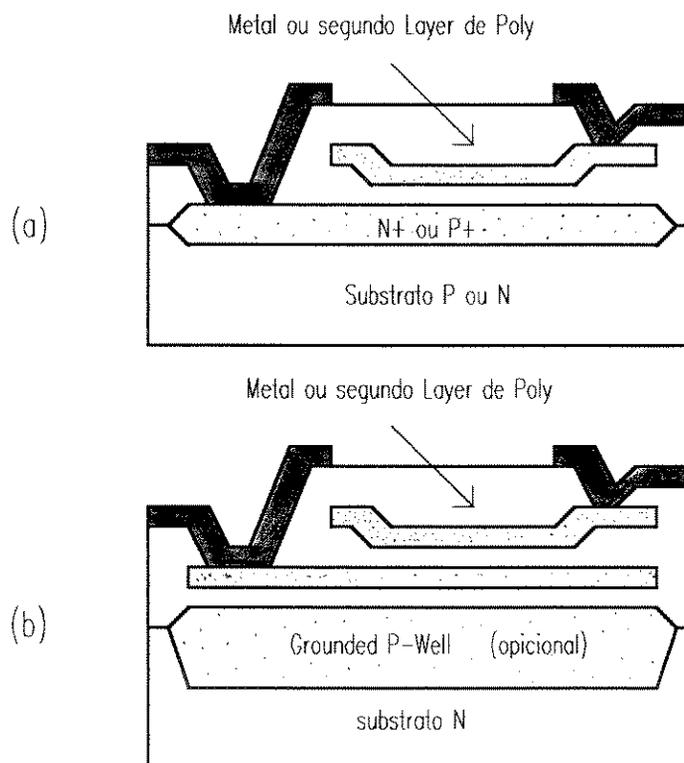


Figura 1.14: Capacitores monolíticos de precisão em tecnologia MOS;
 (a) Poly-II(ou metal) sobre uma camada difundida fortemente dopada;
 (b) Poly-II(ou metal) sobre poly-I.

Como podemos verificar ele é sempre formado por duas placas que são boas condutoras. No caso da figura 1.14(a) uma das placas é formada por uma camada de silício policristalino fortemente dopado (para se tornar bom condutor). Neste caso temos um capacitor aterrado. Na figura 1.14(b) temos um capacitor flutuante formado por uma camada de metal e uma outra de metal ou silício policristalino.

A capacitância formada pelos mesmos é dada por [5]:

$$C = \frac{\epsilon_0 \epsilon_{OX} A}{t_{OX}} = \frac{\epsilon_0 \epsilon_{OX} WL}{t_{OX}} \quad (1.31)$$

onde :

- ϵ_0 é a constante dielétrica do vácuo
- ϵ_{OX} é a constante dielétrica relativa do óxido
- A é a área de uma das placas do capacitor
- t_{OX} é a espessura do óxido
- W é a largura da placa do capacitor
- L é o comprimento da placa do capacitor

Os capacitores implementados desta forma apresentam excelente linearidade e estabilidade térmica (com coeficientes de tensão da ordem de 20 a 200 ppm/V e coeficientes de temperatura da ordem de 10 a 50 ppm/C) [5]. Apresentam tolerância da ordem de 20% e podem apresentar erros de casamento para razões de capacitâncias menores que 0.1%, para uma técnica de *layout* apropriada [25]. Assim, como no caso dos resistores, a sensibilidade do ganho definido por uma razão de capacitâncias depende dos coeficientes fracionais dos capacitores:

$$A_v = \frac{C_2(T)}{C_1(T)} \quad (1.28)$$

onde o coeficiente de temperatura é dado por:

$$TCF = \frac{1}{C} \frac{\partial C}{\partial T} \quad (1.29)$$

e a sensibilidade do ganho por:

$$S = \frac{1}{C_2} \frac{\partial C_2}{\partial T} - \frac{1}{C_1} \frac{\partial C_1}{\partial T} = TCF_{C_2} - TCF_{C_1} \quad (1.30)$$

Assim, a máxima estabilidade é atingida quando C1 e C2 tem o mesmo coeficiente fracional de temperatura, que ocorre quando C1 e C2 são iguais e do mesmo tipo. Entretanto, em circuitos MOS, os *gates* dos transistores introduzem uma capacitância quando conectados aos nós dos circuitos, como e o caso dos *buffers* usados para isolar o capacitor de armazenamento dos estágios posteriores ao mesmo. Podemos verificar também que os capacitores MOS formados pelo *gate* (metal) e o substrato apresentam uma característica C-V que não é constante, como mostrado na figura (1.15) [44].

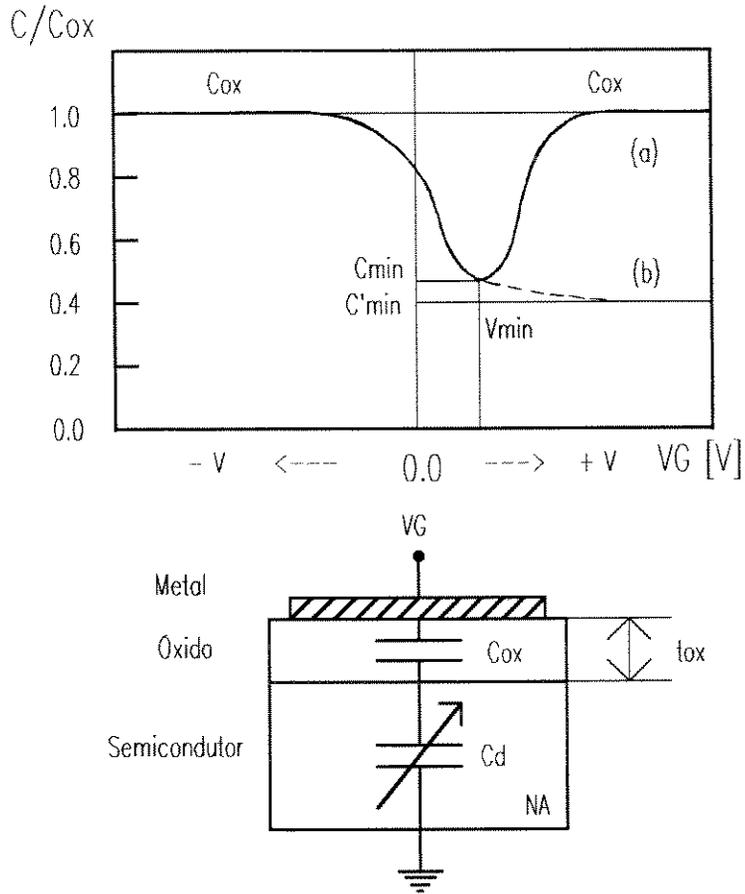


Figura 1.15: Característica C-V do capacitor MOS; (a) capacitância de baixa frequência; (b) capacitância de alta frequência;

A capacitância deste capacitor varia com a tensão de *gate* de forma que pode ser decomposta em duas parcelas; uma fixa, definida pela capacitância no oxido C_{ox} e outra variável, definida pela capacitância do semicondutor em depleção C_d (figura 1.15). A capacitância total é dada então por [44]:

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_d} \tag{1.32}$$

Há um outro fator importante que deve ser observado no caso de circuitos chaveados. Deve ser levada em consideração a resistência série do capacitor para determinação do tempo de carga e descarga do mesmo e a resistência paralela no caso da determinação das correntes de fuga no modo *hold*, conforme os modelos dados na figura 1.16(a) e 1.16(b) respectivamente.

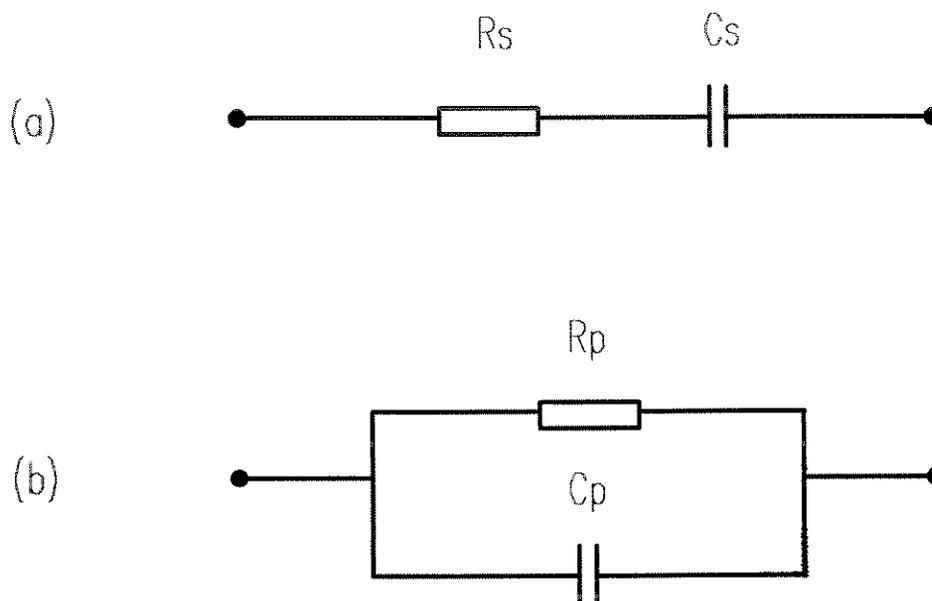


Figura 1.16: Modelos para os capacitores; (a) série ; (b) paralelo.

Um outro caso de capacitância parasita presente em circuitos chaveados, consiste na capacitância de gate dos transistores MOS, em relação ao *dreno*, *source* e substrato, como é o caso dos transistores de entrada dos *buffers* que lêem os capacitores de armazenagem, e as chaves analógicas.

No caso da capacitância de *gate* do transistor a curva da figura 1.15 pode ser ligeiramente diferente devido ao fato de que na estrutura do transistor MOS, diferentemente do capacitor MOS puro, pois temos as regiões de *dreno* e *source*, que são dopadas, fornecendo elétrons para o substrato e alterando a carga no semiconductor. Conseqüentemente a característica da curva C-V é alterada.

O comportamento característico destas capacitâncias pode ser visto na figura 1.17 [50]. Na figura 1.18 [50] temos também as capacitâncias de *overlap* que são importantes no estudo do fenômeno de injeção de cargas, sendo abordadas no capítulo 3.

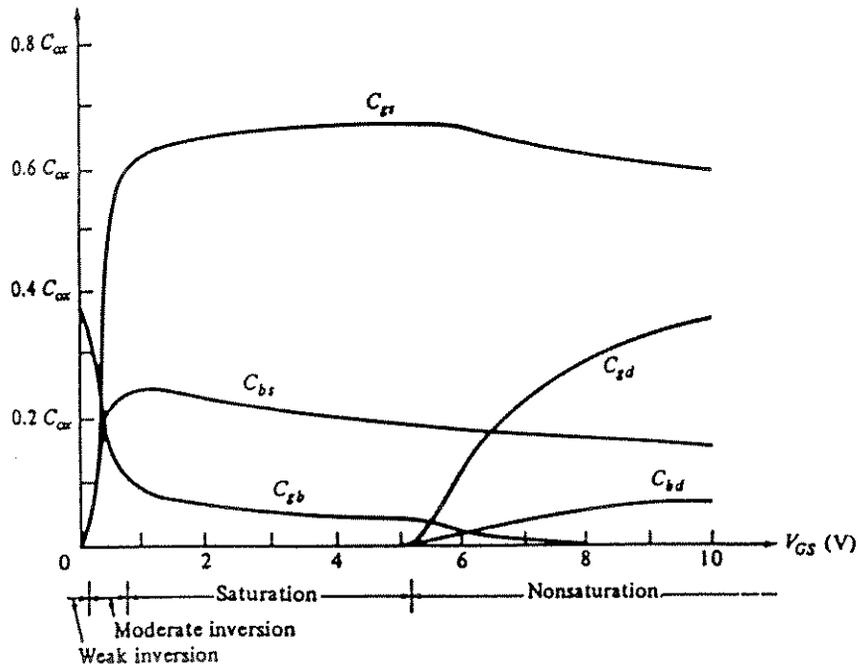


Figura 1.17: Capacitâncias em um transistor MOS versus tensão de gate.

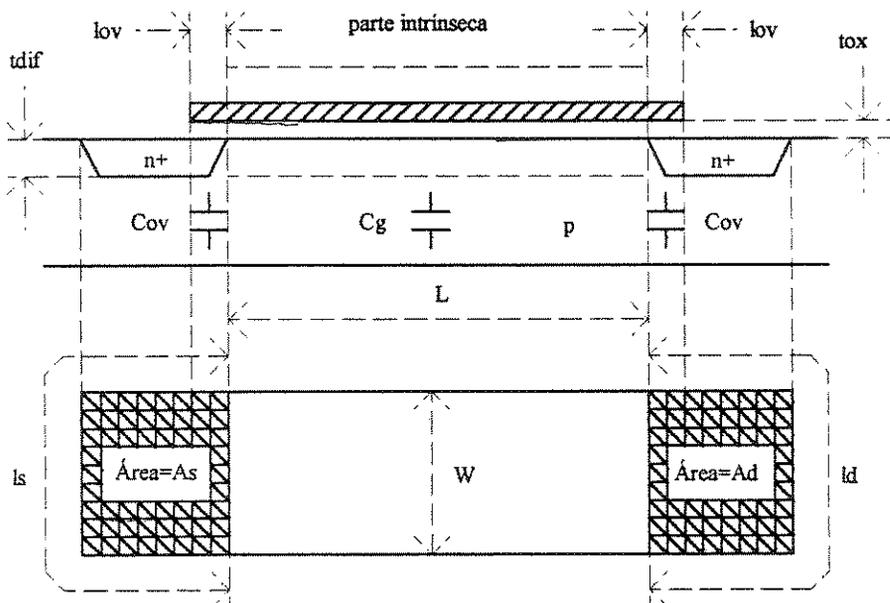


Figura 1.18: Geometria e Capacitâncias de *overlap* e *gate* de um transistor MOS.

CAPÍTULO 2

O AMPLIFICADOR DIGITAL

2.1 - INTRODUÇÃO

Quando tratamos, no capítulo 1, da implementação de um amplificador na técnica de capacitores chaveados, observamos que na realidade não criamos uma nova técnica de amplificação. O que difere basicamente o amplificador clássico, utilizando um amplificador operacional, do chaveado é o tipo de resistor utilizado na malha de realimentação (real ou simulado) e o tipo do processamento do sinal (contínuo ou discreto). Apesar do uso de melhores "resistores" , tanto em um caso como em outro a precisão e a estabilidade do ganho dependem das tecnologias de construção dos resistores e capacitores. A implementação de amplificadores de tensão programáveis também está restrita a gama de valores de R e C implementáveis, e a um circuito de chaveamento acoplado ao amplificador para a comutação do ganho.

2.2 - O AMPLIFICADOR DIGITAL

O amplificador digital surge como uma possibilidade de implementação dentro da técnica de quantização. Propõe-se uma nova metodologia na implementação de estruturas de circuitos. Portanto o amplificador digital parte de uma filosofia diferente, não tendo semelhança estrutural com os dois tipos citados anteriormente. A técnica da quantização parte da idéia de se quantizar o sinal e fazer operações simples com o sinal acumulado no tempo, efetuando operações como um computador digital, só que de forma analógica.

Antes de passar a descrição do funcionamento do amplificador torna-se necessário a análise de alguns de seus blocos básicos : a chave cruzada e os blocos *delay* e *hold*. Para elucidar o seu funcionamento, estes blocos foram simulados no QUANTICO [27] isoladamente. Neste capítulo serão fornecidos apenas os resultados destas simulações sem entrar no mérito das mesmas que serão abordadas posteriormente no capítulo 4.

2.2.1 - CHAVE CRUZADA

A chave cruzada é constituída por quatro transistores MOS com os *gates* interligados de forma cruzada, fazendo o papel de chaves analógicas , conforme mostra a figura 2.1(a). Usaremos para representar esta chave o símbolo da figura 2.1(b). Conforme podemos observar o *gate* da chave superior esquerda está interligado com o *gate* da chave inferior da direita e o

gate da chave superior direita com o *gate* da chave inferior esquerda. Como estes *gates* são chaveados por dois sinais em antifase os pólos de saída são ligados ora em 1-2 e 3-4, ora em 1-4 e 2-3, permutando assim os sinais destes pontos.

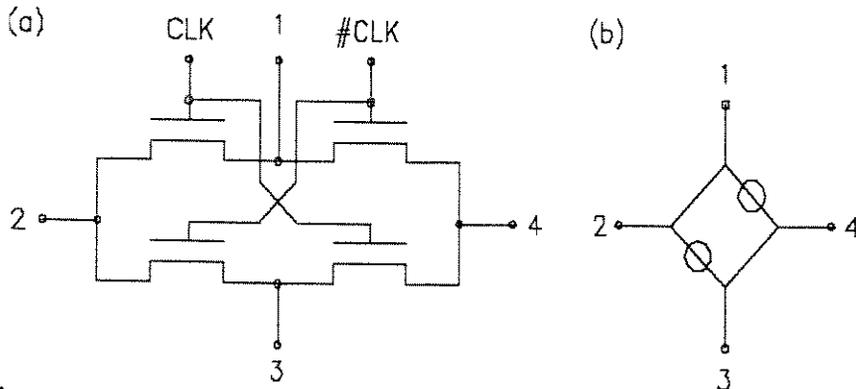


Figura 2.1: Chave cruzada; (a) implementação com transistores MOS; (b) representação simbólica.

2.2.2 - BLOCO DELAY

Este bloco é formado por uma chave cruzada, sendo que nas suas laterais são colocados dois capacitores que deverão funcionar como elemento de memória do sistema. Seu diagrama completo pode ser visto na figura 2.2(a) e sua representação na figura 2.2(b). Para verificar seu funcionamento vamos utilizar os resultados da simulação do circuito da figura 2.2(c), apresentados na figura 2.3.

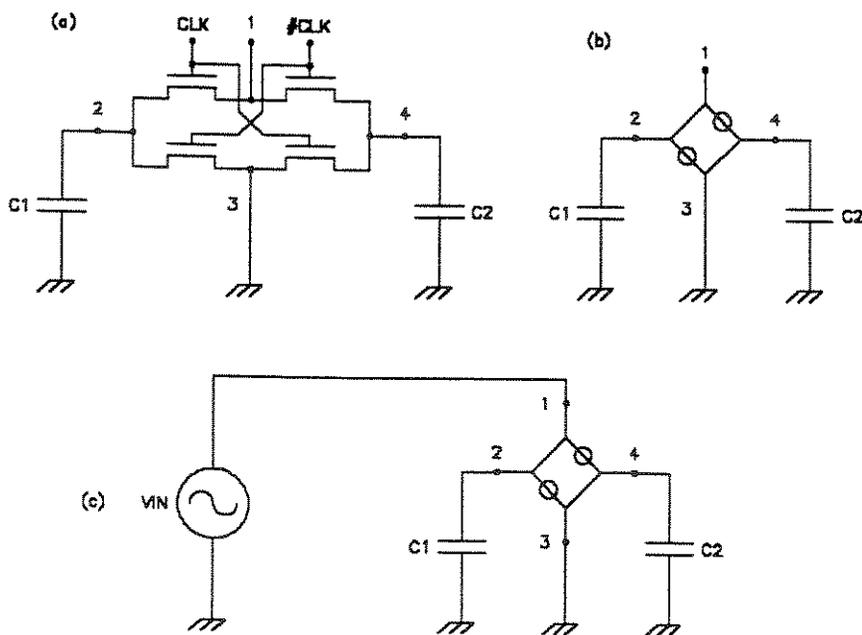


Figura 2.2: Bloco *delay*; (a) implementação com transistores MOS; (b) representação simbólica; (c) circuito utilizando o bloco *delay* como amostrador.

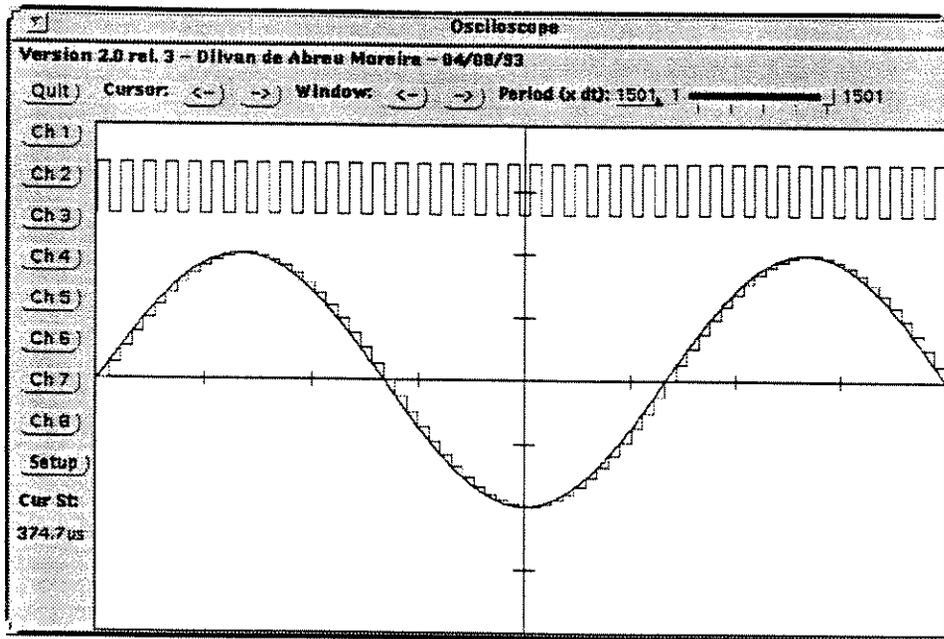


Figura 2.3: Formas de onda no bloco *delay*; (a) sinal CLK ; (b) sinal de entrada ; (c) sinal de saída.

Este circuito funciona basicamente como um *Sample/Hold* de duas fases, sendo que após ele, temos o sinal de entrada (contínuo) quantizado em níveis analógicos e portanto discretizado. Supondo que os capacitores C1 e C2 estão inicialmente descarregados e que estejamos na fase CLK do *clock*, temos que o C1 estará sendo carregado a partir da tensão V_1 , e C2 estará conectada a saída. Portanto V_{out} será zero. Quando o *clock* avançar e estivermos na fase # CLK, a posição dos capacitores será invertida e agora o capacitor C2 estará sendo carregado a partir de V_{in} e o capacitor C1 estará conectado a saída. Portanto V_{out} será igual a tensão presente em C1, que representa o nível quantizado do sinal de entrada armazenado no ciclo anterior. Este processo pode ser verificado na figura 2.3 estando esquematizado na tabela 2.1.

Instante	Fase do clock	tensão em C1	tensão em C2	Vout
t	CLK	$V_{in}(t)$	0	0
t+1	# CLK	$V_{in}(t)$	$V_{in}(t+1)$	$V_{in}(t)$
t+2	CLK	$V_{in}(t+2)$	$V_{in}(t+1)$	$V_{in}(t+1)$
t+3	# CLK	$V_{in}(t+2)$	$V_{in}(t+3)$	$V_{in}(t+2)$
t+4	CLK	$V_{in}(t+4)$	$V_{in}(t+3)$	$V_{in}(t+3)$
t+5	# CLK	$V_{in}(t+4)$	$V_{in}(t+5)$	$V_{in}(t+4)$
.
.
.
t+n	# CLK	$V_{in}(t+2k)$ **	$V_{in}(t+2k-1)$ **	$V_{in}(t+n-1)$

** OBS: (t+2k) e (t+2k-1) representam apenas os instantes par e ímpar de amostragem.

Tabela 2.1: Sequência de amostragem no bloco *delay*.

Temos portanto que a tensão de saída em um instante de tempo t qualquer será dado por :

$$V_{in}(t+n) = V_{in}(t+n-1) \tag{2.1}$$

onde n é o intervalo de amostragem.

O capacitor $C1$ mantém a tensão amostrada durante dois ciclos de CLK , amostrando um novo sinal nos instantes n par, ocorrendo o contrário com $C2$ que amostra uma nova tensão nos instantes n ímpares. Assim temos as seguintes tensões sobre os capacitores após n ciclos de *clock* :

$$VC1(t+n) = V_{in}(t+2n) \tag{2.2}$$

$$VC2(t+n) = V_{in}(t+2n-1) \tag{2.3}$$

Como o sinal de saída deste bloco é igual ao sinal de entrada quantizado e atrasado de n , este bloco foi designado de BLOCO *DELAY*. Cabe aqui entretanto uma observação . O sinal de saída do bloco é discreto enquanto que o sinal de entrada é contínuo no tempo.

2.2.3 - BLOCO HOLD

Assim como o bloco anterior , ele é constituído por uma chave cruzada e dois capacitores, diferindo apenas no fato de que sua saída é aterrada e sua entrada é utilizada com função de entrada ou saída, dependendo de que se é fornecida ou lida, uma tensão do bloco, respectivamente. Seu diagrama completo pode ser visto na figura 2.4(a) e sua representação na figura 2.4(b). Para verificar seu funcionamento vamos utilizar novamente os resultados da simulação do novo circuito da figura 2.4(c) representado na figura 2.5.

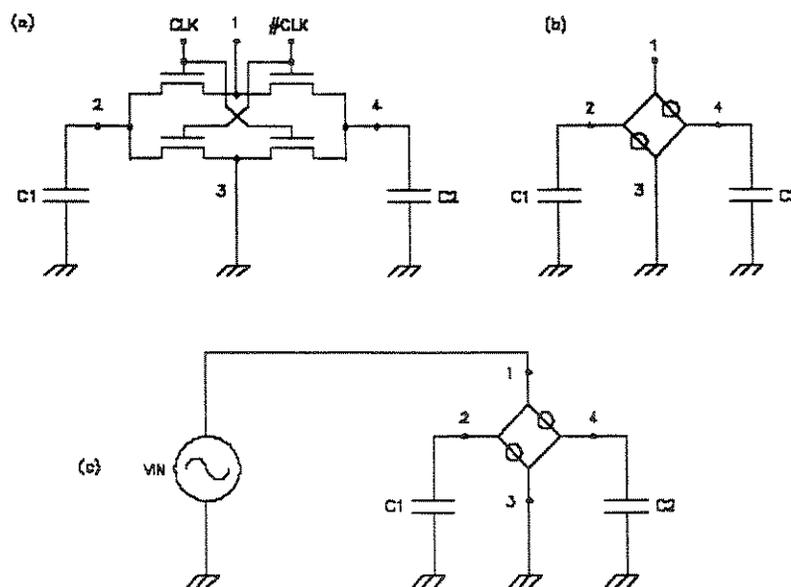


Figura 2.4: Bloco *hold*; (a) implementação com transistores MOS; (b) representação simbólica; (c) circuito utilizando o bloco *hold* como elemento de memória.

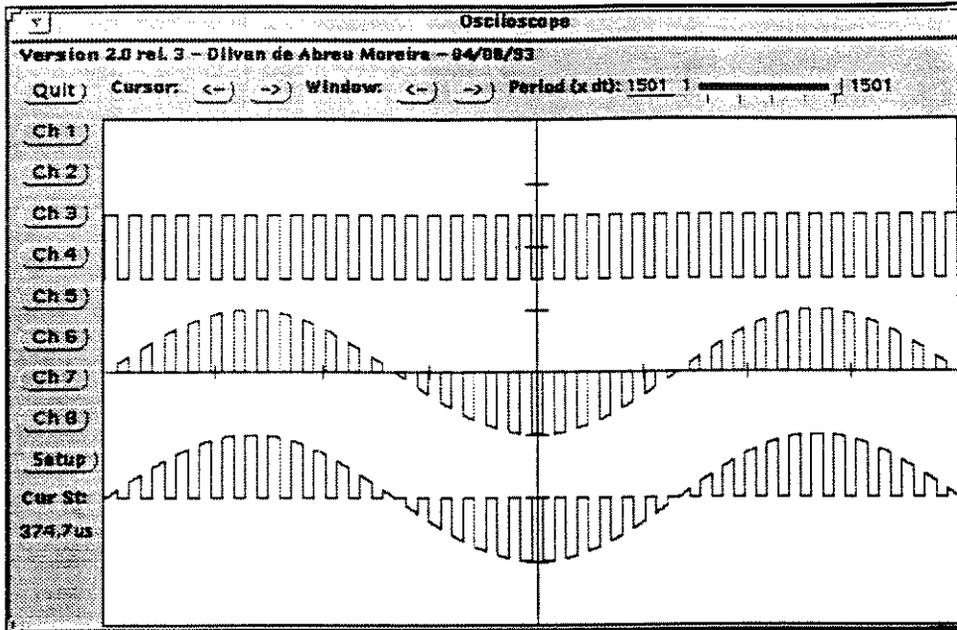


Figura 2.5: Formas de onda no bloco *hold* ; (a) sinal CLK; (b) e (c) sinal de entrada; (d) sinal em C1; (e) sinal em C2.

Este circuito funciona basicamente como uma célula de memória analógica para sinais analógicos discretos no tempo. Fazendo-se uma análise semelhante a do bloco anterior podemos supor novamente que os capacitores C1 e C2 estão inicialmente descarregados e estejamos na fase CLK do *clock*, temos que o C1 estará sendo carregado a partir da tensão V_1 , e C2 estará conectado ao terra e portanto terá tensão nula. Quando o *clock* avançar e estiver na fase # CLK, a posição dos capacitores será invertida e o capacitor C2 estará sendo carregado a partir de V_{in} . O capacitor C1 estará conectado ao terra e portanto apresentará tensão nula. Portanto a tensão quantizada será mantida nos capacitores durante uma fase do *clock*. Este processo pode ser verificado na figura 2.5 e está esquematizado na tabela 2.2.

Instante	Fase do clock	tensão em C1	tensão em C2	Vout
t	CLK	$V_{in}(t)$	0	0
t+1	# CLK	0	$V_{in}(t+1)$	$V_{in}(t+1)$
t+2	CLK	$V_{in}(t+2)$	0	$V_{in}(t+2)$
t+3	# CLK	0	$V_{in}(t+3)$	$V_{in}(t+3)$
t+4	CLK	$V_{in}(t+4)$	0	$V_{in}(t+4)$
t+5	# CLK	0	$V_{in}(t+5)$	$V_{in}(t+5)$
⋮	⋮	⋮	⋮	⋮
t+n	# CLK	$V_{in}(t+2k)$ **	$V_{in}(t+2k-1)$ **	$V_{in}(t+n-1)$

** OBS: (t+2k) e (t+2k-1) representam apenas os instantes **par** e **ímpar** de amostragem.

Tabela 2.2: Sequência de amostragem no bloco *hold*.

O capacitor C1 mantém a tensão amostrada durante uma fase de CLK, amostrando um novo sinal nos instantes n par, ocorrendo o contrário com C2 que amostra uma nova tensão nos instantes n ímpares. Assim temos as seguintes tensões sobre os capacitores:

$$VC1(t+n) = \begin{cases} V_{in}(t+2n) & \text{fase CLK} \\ 0 & \text{fase } \# \text{ CLK} \end{cases} \quad (2.4)$$

$$VC2(t+n) = \begin{cases} 0 & \text{fase CLK} \\ V_{in}(t+2n-1) & \text{fase } \# \text{ CLK} \end{cases} \quad (2.5)$$

Como o sinal de entrada deste bloco, quantizado, pode ser mantido durante um ciclo do *clock*, este bloco além de atrasar o sinal permite memorizar o sinal durante um ciclo do *clock*, funcionando como uma memória analógica. Portanto este bloco é denominado de BLOCO *HOLD*. Como podemos observar, armazenamos o sinal em uma fase do *clock* e lemos o mesmo sinal na outra. Cabe aqui novamente uma observação. Apesar do sinal a ser memorizado ser analógico ele deve ser discreto no tempo.

2.3 - CIRCUITO DO AMPLIFICADOR DIGITAL

Este amplificador pode ser implementado utilizando-se 6 blocos básicos: 4 blocos DELAY, 1 CHAVE CRUZADA, e um somador de ganho unitário. Seu diagrama esquemático completo pode ser visto na figura 2.6. Nesta estrutura o sinal de entrada V_{in} é amostrado pelo sinal de *clock* CLK2. O sinal CLK1 trabalha numa frequência N vezes superior a de CLK2. Assim durante N períodos de *clock* CLK1 o sinal é somado repetidamente consigo mesmo, sendo que ao final do período de CLK2 o sinal de entrada foi somado $f1/f2$ vezes e acumulado, definindo assim o fator de ganho do amplificador.

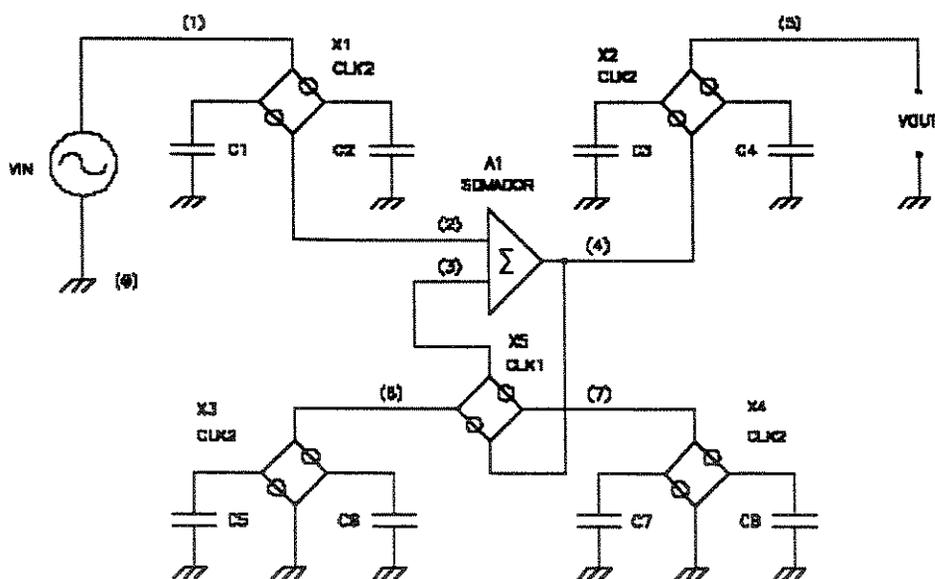


Figura 2.6: Circuito do Amplificador Digital.

2.4 - PRINCÍPIO DE FUNCIONAMENTO DO AMPLIFICADOR DIGITAL

Para verificarmos seu princípio de funcionamento vamos analisar as figuras 2.7 a 2.10. Suponhamos que neste esquema todos os blocos DELAY tenham suas chaves cruzadas controladas pelo sinal de *clock* CLK2, e que a CHAVE CRUZADA central que interliga os blocos de memória ao somador seja controlada pelo sinal de *clock* CLK1. Vamos supor também que a frequência de CLK1 seja o dobro da frequência de CLK2 (portanto o período de CLK2 será o dobro do período de CLK1) e que o circuito esteja em um certo ESTADO INTERNO qualquer. Mantendo-se V_{in} constante durante um ciclo completo de CLK2, vamos seguir as tensões nos CAPACITORES e nos NÓS. Chamamos de V_1 a V_8 a tensão inicialmente retida nos capacitores C1 a C8 respectivamente. Assim inicialmente teremos apenas 3 capacitores com tensões desconhecidas: V_2, V_3 e V_5 . Percorrendo os ciclos de clock teremos:

a) Primeiro ciclo de temporização :

Fase dos <i>clocks</i>	Tensão nos Capacitores	Tensão nos NÓS
CLK2	$VC1(t) = V_{in}$	$V(1) = V_{in}$
CLK1	$VC2(t) = V_2$	$V(2) = V_2$
	$VC3(t) = V_3$	$V(3) = V_5$
	$VC4(t) = V_2 + V_5$	$V(4) = V_2 + V_5$
	$VC5(t) = V_5$	$V(5) = V_3$
	$VC6(t) = 0$	
	$VC7(t) = V_2 + V_5$	
	$VC8(t) = 0$	

Temos aqui um estado inicial qualquer e genérico, como pode ser observado na figura 2.7.

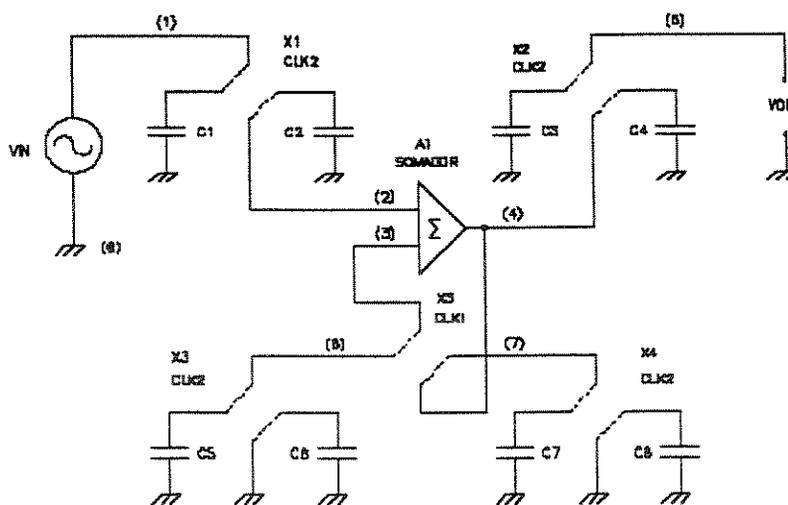


Figura 2.7: Estados das chaves no primeiro ciclo de *clock*.

b) Segundo ciclo de temporização : $t = t+1$

Fase dos <i>clocks</i>	Tensão nos Capacitores	Tensão nos NÓS
CLK2	$VC1(t) = V_{in}$	$V(1) = V_{in}$
# CLK1	$VC2(t) = V_2$	$V(2) = V_2$
	$VC3(t) = V_3$	$V(3) = V_2 + V_5$
	$VC4(t) = V_2 + V_2 + V_5$	$V(4) = V_2 + V_5$
	$VC5(t) = V_2 + V_2 + V_5$	$V(5) = V_3$
	$VC6(t) = 0$	
	$VC7(t) = V_2 + V_5$	
	$VC8(t) = 0$	

Neste ciclo já começam a aparecer as somas e elas vão ser acumuladas por mais um ciclo. Este segundo ciclo está ilustrado na figura 2.8

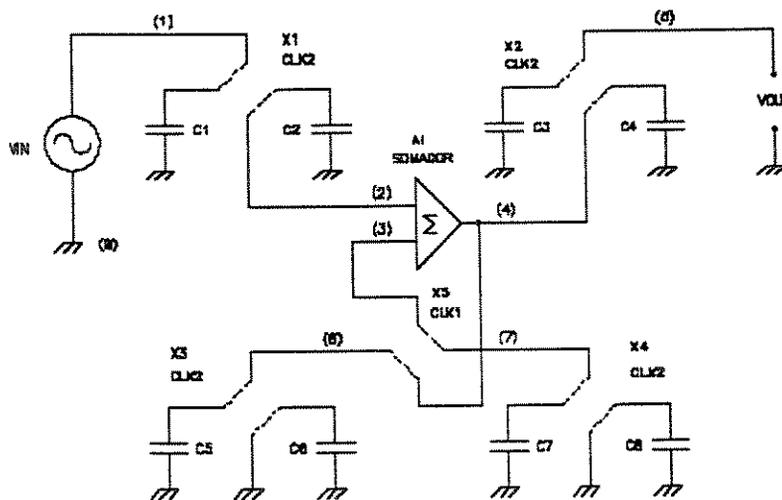


Figura 2.8: Estados das chaves no segundo ciclo de *clock*.

c) Terceiro ciclo de temporização : $t = t+2$

Fase dos <i>clocks</i>	Tensão nos Capacitores	Tensão nos NÓS
# CLK2	$VC1(t) = V_{in}$	$V(1) = V_{in}$
CLK1	$VC2(t) = V_{in}$	$V(2) = V_{in}$
	$VC3(t) = V_{in}$	$V(3) = 0$
	$VC4(t) = V_2 + V_2 + V_5$	$V(4) = V_{in}$
	$VC5(t) = 0$	$V(5) = V_2 + V_2 + V_5$
	$VC6(t) = 0$	
	$VC7(t) = 0$	
	$VC8(t) = V_{in}$	

Neste ciclo começa o processamento do sinal de entrada e o armazenamento de V_{in} , conforme está indicado na figura 2.9 .

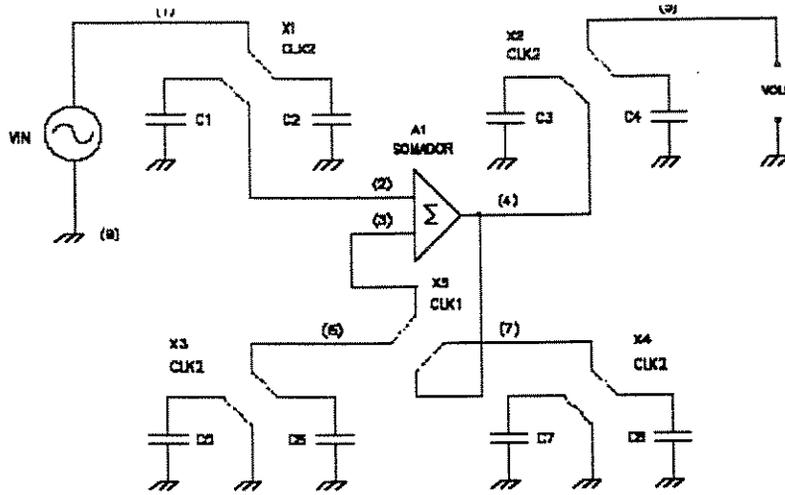


Figura 2.9: Estados das chaves no terceiro ciclo de *clock*.

d) Quarto ciclo de temporização : $t = t+3$

Fase dos <i>clocks</i>	Tensão nos Capacitores	Tensão nos NÓS
# CLK2	$VC1(t) = V_{in}$	$V(1) = V_{in}$
# CLK1	$VC2(t) = V_{in}$	$V(2) = V_{in}$
	$VC3(t) = V_{in} + V_{in}$	$V(3) = V_{in}$
	$VC4(t) = V_2 + V_2 + V_5$	$V(4) = V_{in} + V_{in}$
	$VC5(t) = 0$	$V(5) = V_2 + V_2 + V_5$
	$VC6(t) = V_{in} + V_{in}$	
	$VC7(t) = 0$	
	$VC8(t) = V_{in}$	

Este quarto ciclo está ilustrado na figura 2.10 .

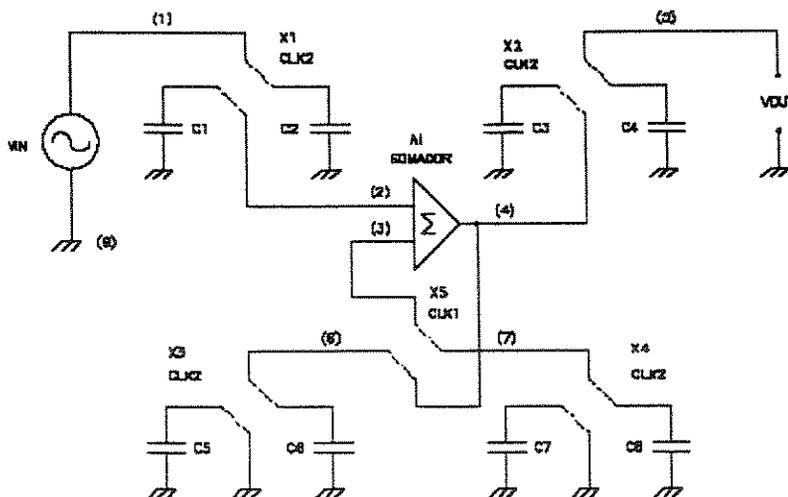


Figura 2.10: Estados das chaves no quarto ciclo de *clock*.

Como podemos observar, aqui apareceu em $V(4)$ o dobro da tensão de entrada devido ao fato da frequência de $CLK1$ ser o dobro de $CLK2$, o que faz que o valor de V_{in} seja somado duas vezes. No ciclo seguinte este valor estará disponível na saída e este ALGORÍTMO repete-se indefinidamente proporcionando ao amplificador um ganho 2.

Este resultado pode ser obtido analiticamente equacionando-se os sinais em cada nó :

$$V2(t+n) = V_{in}(t+n-1) \quad (2.6)$$

$$V5(t+n) = V4(t+n-1) \quad (2.7)$$

$$V4(t+n) = V6(t+n) + V2(t+n) \quad (2.8)$$

Substituindo (2.6) em (2.8) temos que a tensão na saída do somador vale :

$$V4(t+n) = V6(t+n) + V_{in}(t+n-1) \quad (2.9)$$

Mas o sinal presente no nó 6 é o sinal acumulado no tempo, pelos ciclos de memorização, e como ocorre apenas 1 ciclo de memorização temos :

$$V6(t+n) = V_{in}(t+n-1) \quad (2.10)$$

Substituindo (2.10) em (2.9) teremos :

$$V4(t+n) = V_{in}(t+n-1) + V_{in}(t+n-1) \quad (2.11)$$

$$V4(t+n) = 2V_{in}(t+n-1) \quad (2.12)$$

Substituindo agora (2.12) em (2.7) temos:

$$V5(t+n) = 2V_{in}(t+n-2) \quad (2.13)$$

Como $V5(t+n) = V_{out}(t+n)$ teremos que :

$$V_{out}(t+n) = 2V_{in}(t+n-2) \quad (2.14)$$

$$\frac{V_{out}(t+n)}{V_{in}(t+n-2)} = 2 \quad (2.15) \Rightarrow \begin{cases} | \text{Ganho} | = 2 \\ t_d = 2 \text{ ciclos de CLK} \end{cases}$$

Como podemos verificar o amplificador apresenta um ganho 2 e um atraso de fase t_d de 2 ciclos de CLK. As formas de onda na entrada e na saída deste circuito podem ser vistas na figura 2.11, onde podemos notar a saída com ganho 2, discreta no tempo, e com uma defasagem de 2 ciclos de *clock*.

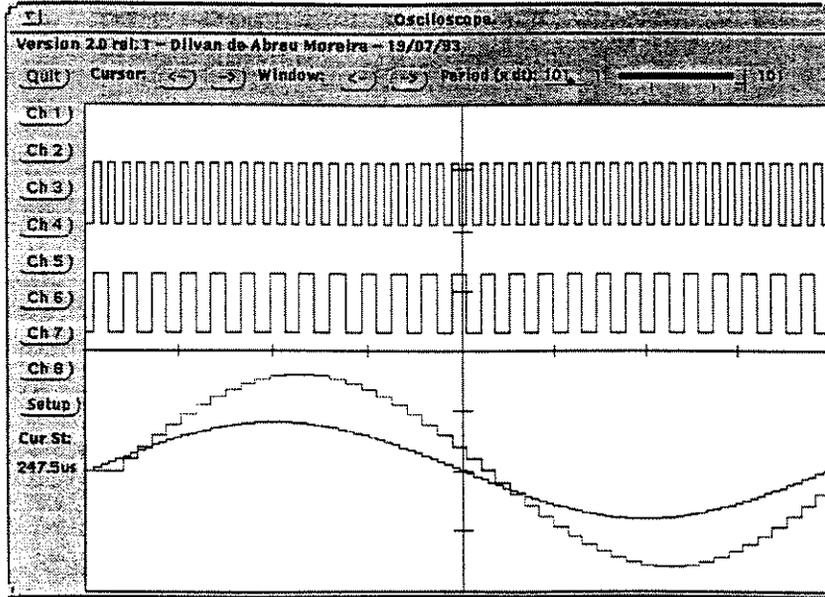


Figura 2.11: Formas de onda para o amplificador digital não inversor; (a) CLK1; (b) CLK2; (c) Vout; (d) Vin..

Este resultado pode ser generalizado para um ganho N considerando-se que a relação de frequências entre os *clocks* CLK1 e CLK2 vale :

$$\frac{f_{CLK1}}{f_{CLK2}} = N \Rightarrow \frac{T_{CLK1}}{T_{CLK2}} = \frac{1}{N} \tag{2.16}$$

$$\frac{T_{CLK1} / 2}{T_{CLK2} / 2} = \frac{1}{N} \Rightarrow \frac{n1}{n2} = \frac{1}{N} \tag{2.17}$$

e portanto a relação entre os passos de *clock* vale :

$$n2 = N \cdot n1 \tag{2.18}$$

A expressão genérica do ganho do amplificador pode ser obtida analiticamente equacionando-se os sinais em cada nó :

$$V2(t+n2) = Vin(t+n2-1) \tag{2.19}$$

$$V5(t+n2) = V4(t+n2-1) \tag{2.20}$$

$$V4(t+n2) = V6(t+n2) + V2(t+n2) \tag{2.21}$$

Substituindo (2.19) em (2.21) temos que a tensão na saída do somador vale :

$$V4(t+n2) = V6(t+n2) + Vin(t+n2-1) \tag{2.22}$$

O sinal presente no nó 6, corresponde ao sinal acumulado no tempo, pelos ciclos de memorização, e como ocorrem N-1 ciclos de memorização temos :

$$V6(t+n2) = (N-1)Vin(t+n2-(N-1)) \quad (2.23)$$

Substituindo (2.23) em (2.22) teremos :

$$V4(t+n2) = (N-1).Vin(t+n2-(N-1)) + Vin(t+n2-1) \quad (2.24)$$

Como Vin e o mesmo nos N ciclos de CLK1 temos que:

$$V4(t+n2) = N.Vin(t+n2-N) \quad (2.25)$$

Substituindo agora (2.25) em (2.20) temos:

$$V5(t+n2) = N.Vin(t+n2-N) \quad (2.26)$$

Como $V5(t+n2) = Vout(t+n2)$ teremos que :

$$Vout(t+n2) = N.Vin(t+n2-N) \quad (2.27)$$

$$\frac{Vout(t+n2)}{Vin(t+n2-2)} = N \quad (2.28) \Rightarrow \begin{cases} | \text{Ganho} | = N \\ td = N \text{ ciclos de CLK} \end{cases}$$

Como podemos verificar o amplificador apresenta um ganho N e um atraso de fase de N passos de CLK. Este resultado pode ser demonstrado mais rigorosamente por inducao finita mostrando sua validade para $N=K$ e $N=K+1$.

Como o amplificador digital faz a somatória dos valores acumulados nos ciclos de *clock* anteriores, este resultado pode ser expresso na notação de somatório, que pode ser mais conveniente para comparação com outras teorias. Considerando-se então um período de *clock* T e as condições iniciais nulas temos:

$$\begin{aligned} Vout(T) &= Vin(T) \\ Vout(2T) &= Vin(2T) + Vin(T) \\ Vout(3T) &= Vin(3T) + Vin(2T) + Vin(T) \\ &\vdots \\ &\vdots \\ &\vdots \\ Vout(nT) &= Vin(nT) + Vin[(n-1)T] + \dots + Vin(T) \end{aligned}$$

Como $Vin(T), Vin(2T), Vin(3T), \dots, Vin(nT)$ são mantidas fixas por n ciclos de *clock* podemos expressar este resultado por :

$$Vout(nT) = \sum_{k=1}^n Vin(kT) = N.Vin(T) \quad (2.29)$$

A análise anterior, que presuppõe estruturas ideais nos conduz a dois resultados importantes . O primeiro é que o ganho do amplificador é diretamente proporcional a frequência de dois sinais digitais e portanto insensível as variações dos capacitores e demais componentes do circuito . O segundo é que o desvio de fase causado pelo amplificador é proporcional ao ganho, independentemente da frequência do sinal de entrada .

Estas duas características não são encontradas em nenhum dos dois tipos de amplificadores citados anteriormente (clássico e a capacitor chaveado) . Como o ganho do amplificador digital é definido por dois sinais digitais , ele é intrinsecamente programável . Como o desvio de fase é diretamente proporcional ao número de passos de soma , ele pode ser diminuído processando-se várias somas em paralelo e somando-se então o resultado final . O desvio de fase será o mesmo para todas as frequências do sinal de entrada que respeitem o teorema da amostragem de Nyquist.

Entretanto existem fontes de erro que interferem no desempenho dessa estrutura. As fontes mais comuns de erro são: a tensão de *offset* do somador e *buffers* (que devem ser utilizados em um circuito real para prover alta impedância de entrada e baixa impedância de saída) e a injeção de cargas na transição condução-corte das chaves analógicas implementadas com os transistores MOS . Como o amplificador montado nesta estrutura é também um circuito, intrinsecamente chaveado, uma estrutura de amplificador com AUTOZERO poderá minimizar os erros introduzidos pelas imperfeições dos circuitos, em especial os erros de *offset* dos *buffers* e do somador. Com relação aos erros causados pela injeção de carga, um método de cancelamento da tensão de erro baseado na relação linear entre a tensão de entrada e a tensão de erro, para um dado capacitor de carga (*hold*) e uma certa taxa de *clock*, pode ser utilizado para solucionar esta fonte de erro[1].

2.5 - AMPLIFICADOR DIGITAL COM CONFIGURAÇÃO INVERSORA

Similarmente ao amplificador digital não inversor podemos sintetizar um amplificador inversor de uma forma muito simples, trocando-se o bloco somador por um subtrator com a entrada negativa conectada ao bloco amostrador de entrada. Esta nova configuração está ilustrada na figura 2.12. Utilizamos então 6 blocos básicos, sendo 4 blocos delay , uma chave cruzada, e um subtrator de ganho unitário. O princípio básico do seu funcionamento é idêntico a configuração não inversora, correspondendo a uma subtração dos sinais acumulados durante N ciclos de *clock*. Entretanto devido ao fato da tensão acumulada ter “sinal negativo” (em relação a entrada) ocorre a inversão da forma de onda de entrada.

Para verificar o seu funcionamento vamos novamente considerar inicialmente a relação de frequências entre os *clocks* CLK1 e CLK2 que é dada por:

$$\frac{f_{CLK1}}{f_{CLK2}} = N \quad \Rightarrow \quad \frac{T_{CLK1}}{T_{CLK2}} = \frac{1}{N} \tag{2.30}$$

$$\frac{T_{CLK1} / 2}{T_{CLK2} / 2} = \frac{1}{N} \quad \Rightarrow \quad \frac{n1}{n2} = \frac{1}{N} \tag{2.31}$$

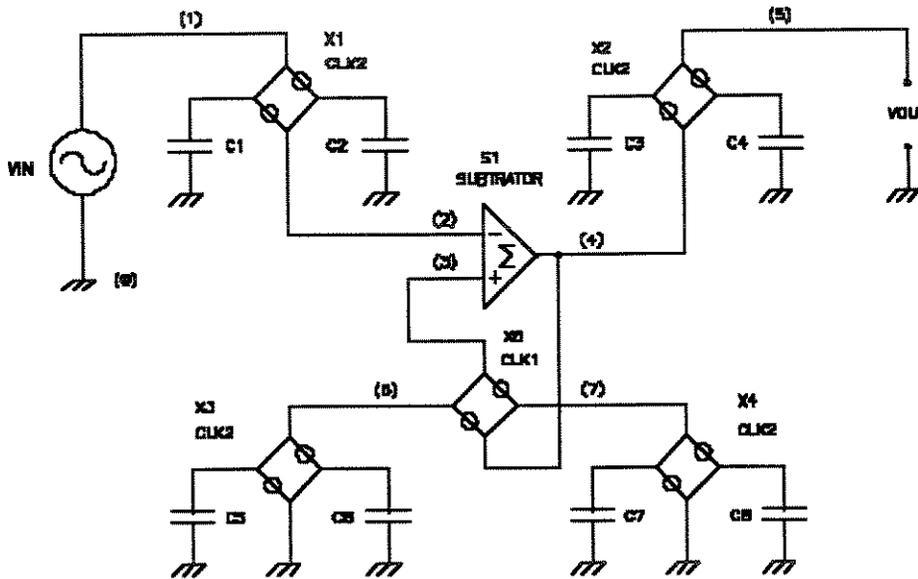


Figura 2.12: Amplificador Digital com configuração inversora.

e portanto a relação entre os passos de *clock* vale :

$$n2 = N \cdot n1 \tag{2.32}$$

A expressão genérica do ganho do amplificador inversor pode ser obtida analiticamente equacionando-se os sinais em cada nó :

$$V2(t+n2) = Vin(t+n2-1) \tag{2.33}$$

$$V5(t+n2) = V4(t+n2-1) \tag{2.34}$$

$$V4(t+n2) = V6(t+n2) - V2(t+n2) \tag{2.35}$$

Substituindo (2.33) em (2.35) temos que a tensão na saída do subtrator vale :

$$V4(t+n2) = V6(t+n2) - Vin(t+n2-1) \tag{2.36}$$

O sinal presente no nó 6 , corresponde ao sinal acumulado no tempo, pelos ciclos de memorização, e como ocorrem N-1 ciclos de memorização temos :

$$V6(t+n2) = - (N-1)Vin(t+n2-(N-1)) \tag{2.37}$$

Substituindo (2.37) em (2.36) teremos :

$$V4(t+n2) = - (N-1) \cdot Vin(t+n2-(N-1)) + Vin(t+n2-1) \tag{2.38}$$

Como Vin é o mesmo nos N ciclos de CLK1 temos que:

$$V4(t+n2) = - N \cdot Vin(t+n2-N) \tag{2.39}$$

Substituindo agora (2.39) em (2.34) temos:

$$V5(t+n2) = - N.Vin(t+n2-N) \tag{2.40}$$

Como $V5(t+n2) = - Vout(t+n2)$ teremos que :

$$Vout(t+n2) = - N.Vin(t+n2-N) \tag{2.41}$$

$$\frac{Vout(t+n2)}{Vin(t+n2-2)} = - N \quad (2.42) \Rightarrow \begin{cases} | \text{Ganho} | = N \\ td = N \text{ ciclos de CLK} \end{cases}$$

Como podemos verificar o amplificador apresenta um ganho $- N$ e um atraso de fase de N passos de CLK. Este resultado também pode ser demonstrado mais rigorosamente por indução finita mostrando sua validade para $N=K$ e $N=K+1$.

Assim como no caso do amplificador não inversor, o amplificador inversor faz a somatória dos valores acumulados nos ciclos de *clock* anteriores. Este resultado pode ser expresso na notação de somatório. Considerando-se então um período de *clock* T e as condições iniciais nulas temos:

$$\begin{aligned} Vout(T) &= - Vin(T) \\ Vout(2T) &= - Vin(2T) - Vin(T) \\ Vout(3T) &= - Vin(3T) - Vin(2T) - Vin(T) \\ &\vdots \\ &\vdots \\ Vout(nT) &= - Vin(nT) - Vin[(n-1)T] - \dots - Vin(T) \end{aligned}$$

Como $Vin(T), Vin(2T), Vin(3T), \dots, Vin(nT)$ são mantidas fixas por n ciclos de *clock* podemos expressar este resultado por :

$$Vout(nT) = - \sum_{k=1}^n Vin(kT) = - N.Vin(T) \tag{2.43}$$

Na figura 2.13 estão mostrados os resultados das simulações no QUANTICO desta estrutura para os sinais de entrada e saída.

Uma outra possibilidade de implementação seria o uso de um bloco somador/subtrator que pode sua saída comutada por uma chave seletora na saída. Esta chave seletora pode ser implementada utilizando-se metade do bloco da chave cruzada, sendo que o sinal de comando de *clock* da mesma funcionará agora como controle de polaridade. Esta configuração está ilustrada na figura 2.14.

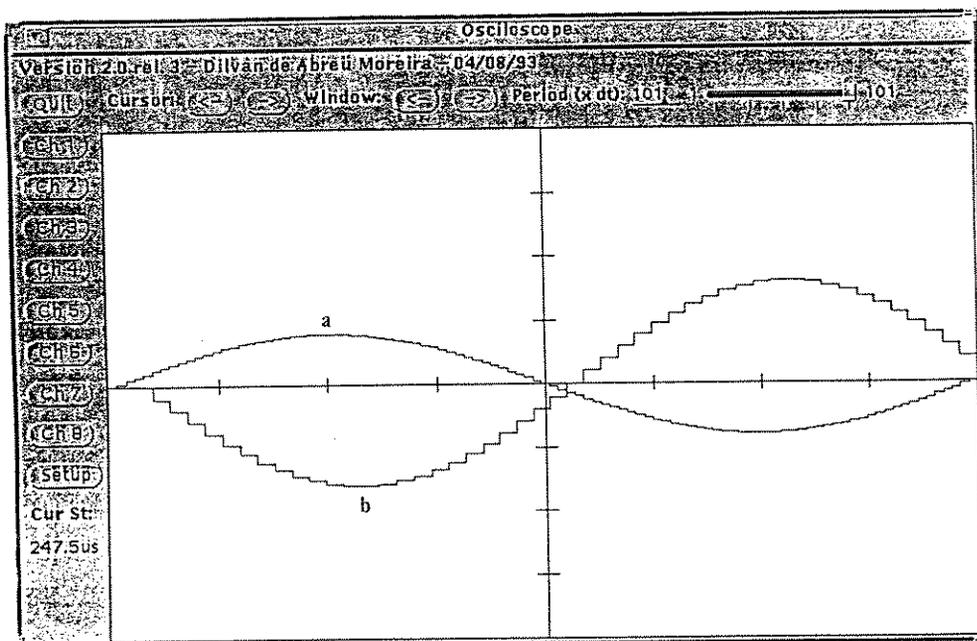


Figura 2.13: Formas de onda no amplificador digital inversor; (a) sinal de entrada; (b) sinal de saída.

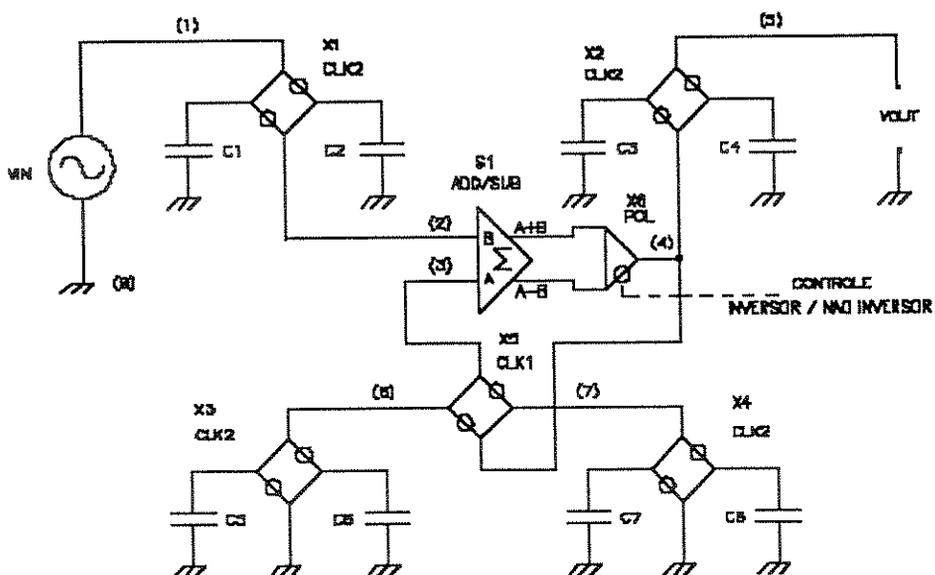


Figura 2.14: Amplificador Digital com programação da polaridade de saída.

2.6 - AMPLIFICADOR DIGITAL COM AJUSTE DE OFFSET

Até aqui tratamos o amplificador digital como sendo ideal, entretanto na implementação real ocorrem várias fontes de erro. Um deles é o *offset*. Caso o amplificador não tenha AUTOZERO, podemos controlar o *offset* do amplificador adicionando-se uma fonte auxiliar nos blocos *hold* com a função de compensar a tensão de *offset*.

Adicionalmente esta configuração possibilita obter-se um DESLOCADOR DE NÍVEL dentro da técnica de quantização. Podemos deslocar o nível DC do amplificador através de uma fonte externa que poderá ser também a saída de um outro amplificador digital.

Para verificar este deslocamento vamos rever a expressão geral do amplificador não inversor (ou inversor) adicionando-se uma tensão de *offset* nesta somatória dos valores acumulados nos ciclos de *clock* anteriores. Este resultado pode ser expresso também na notação de somatório. Considerando-se então um período de *clock* T , e assumindo as condições iniciais nulas teremos:

$$\begin{aligned} V_{out}(T) &= V_{offset} + V_{in}(T) \\ V_{out}(2T) &= V_{offset} + V_{in}(2T) + V_{in}(T) \\ V_{out}(3T) &= V_{offset} + V_{in}(3T) + V_{in}(2T) + V_{in}(T) \\ &\vdots \\ &\vdots \\ V_{out}(nT) &= V_{offset} + V_{in}(nT) + V_{in}[(n-1)T] + \dots + V_{in}(T) \end{aligned}$$

Como $V_{in}(T)$, $V_{in}(2T)$, $V_{in}(3T)$, \dots , $V_{in}(nT)$ são mantidas fixas por N ciclos de *clock* podemos expressar este resultado como:

- Para a configuração não inversora

$$V_{out}(nT) = V_{offset} + \sum_{k=1}^n V_{in}(kT) = V_{offset} + N \cdot V_{in}(T) \quad (2.44)$$

- Para a configuração inversora

$$V_{out}(nT) = V_{offset} - \sum_{k=1}^n V_{in}(kT) = V_{offset} - N \cdot V_{in}(T) \quad (2.45)$$

Esta forma de compensação de *offset* não altera as características do amplificador e pode ser muito estável e precisa desde que se utilize uma fonte de referência de tensão para fazer a compensação do *offset*. A figura 2.15 mostra o circuito para esta implementação, enquanto que a figura 2.16 mostra as formas de onda de entrada e saída do mesmo.

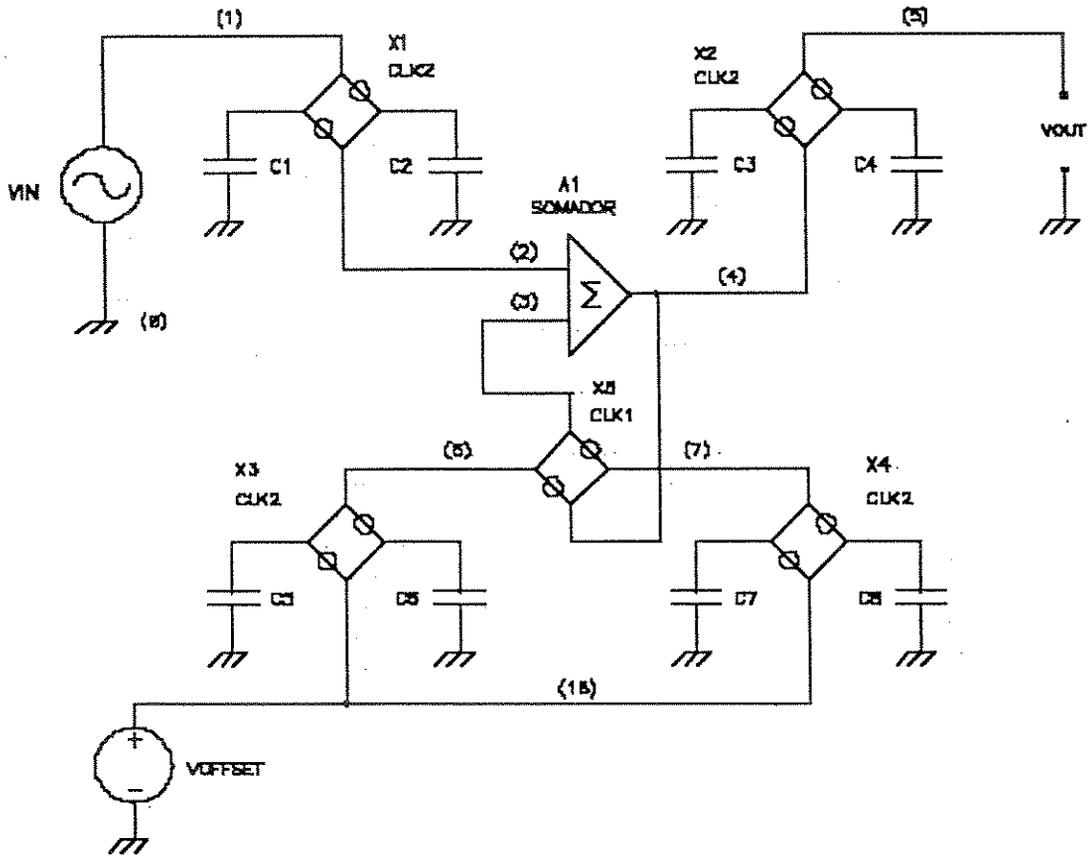


Figura 2.15: Amplificador Digital com ajuste de *Offset*.

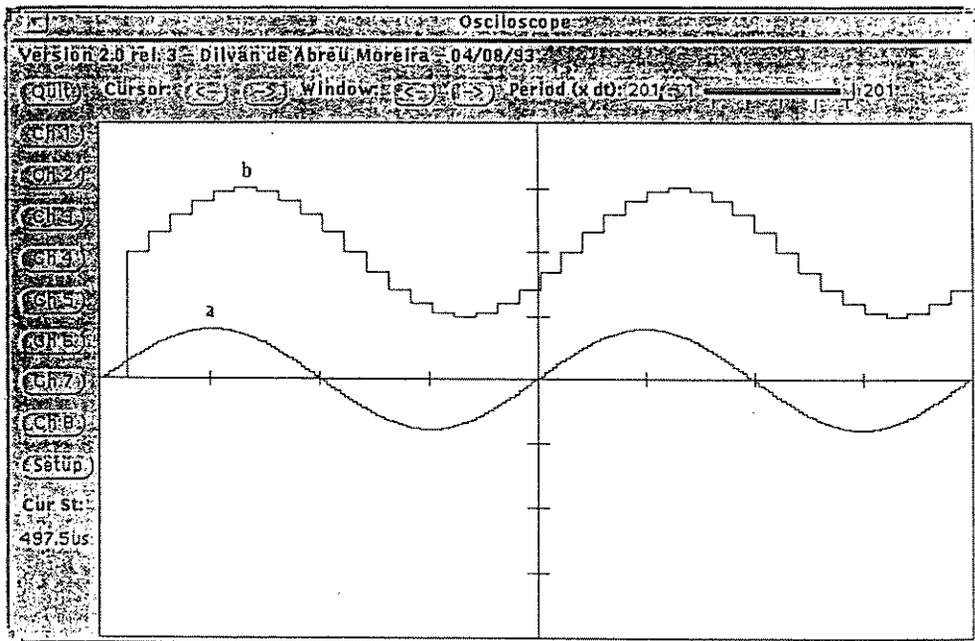


Figura 2.16: Formas de onda para o amplificador digital com ajuste de *Offset* ;
(a) sinal de entrada; (b) sinal de saída.

2.7 - CONVERSOR DE VALOR ABSOLUTO

Uma vez que existe a possibilidade de programação do tipo de configuração do amplificador, inversora ou não inversora, podemos adicionar um comparador ao circuito, fazendo o papel de um detetor de cruzamento por zero e polaridade, que poderá comutar o tipo de configuração do amplificador. Desta forma teremos um conversor de valor absoluto com ganho programável por frequência. Podemos então sintetizar os seguintes circuitos:

- Retificador de meia onda com ganho (diodo de precisão) e polaridade programável .
- Retificador de onda completa com ganho (conversor de valor absoluto de precisão) com polaridade programável .

Para implementar-se estes circuitos deveremos utilizar um comparador de sinais analógicos que fornece na sua saída um valor digital que poderá comandar os *gates* das chaves analógicas, podendo desta forma prever-se a polaridade dos sinais de entrada.

Estes circuitos podem ser modelados matematicamente utilizando-se a função valor absoluto definida por:

$$\text{abs}(x) = \begin{cases} x & \text{se } x > 0 \\ 0 & \text{se } x = 0 \\ -x & \text{se } x < 0 \end{cases} \quad (2.46)$$

Assim o retificador de onda completa pode ser escrito como:

- Para a configuração não inversora

$$V_{\text{out}}(nT) = V_{\text{offset}} + \text{abs}\left[\sum_{k=1}^n V_{\text{in}}(kT)\right] = V_{\text{offset}} + N \cdot |V_{\text{in}}(T)| \quad (2.47)$$

- Para a configuração inversora

$$V_{\text{out}}(nT) = V_{\text{offset}} - \text{abs}\left[\sum_{k=1}^n V_{\text{in}}(kT)\right] = V_{\text{offset}} - N \cdot |V_{\text{in}}(T)| \quad (2.48)$$

Para a obtermos os retificadores de meia onda basta usarmos um bloco somador ou um bloco subtrator conforme a polaridade desejada na saída. Para o conversor de valor absoluto usamos um bloco somador/subtrator com polaridade controlada por um comparador. Nas figuras 2.17 e 2.18 encontramos implementados os conversores de valor absoluto para as configurações não inversora e inversora respectivamente. Nas figuras 2.19 e 2.20 estão ilustradas as formas de onda de entrada e saída para estes mesmos circuitos.

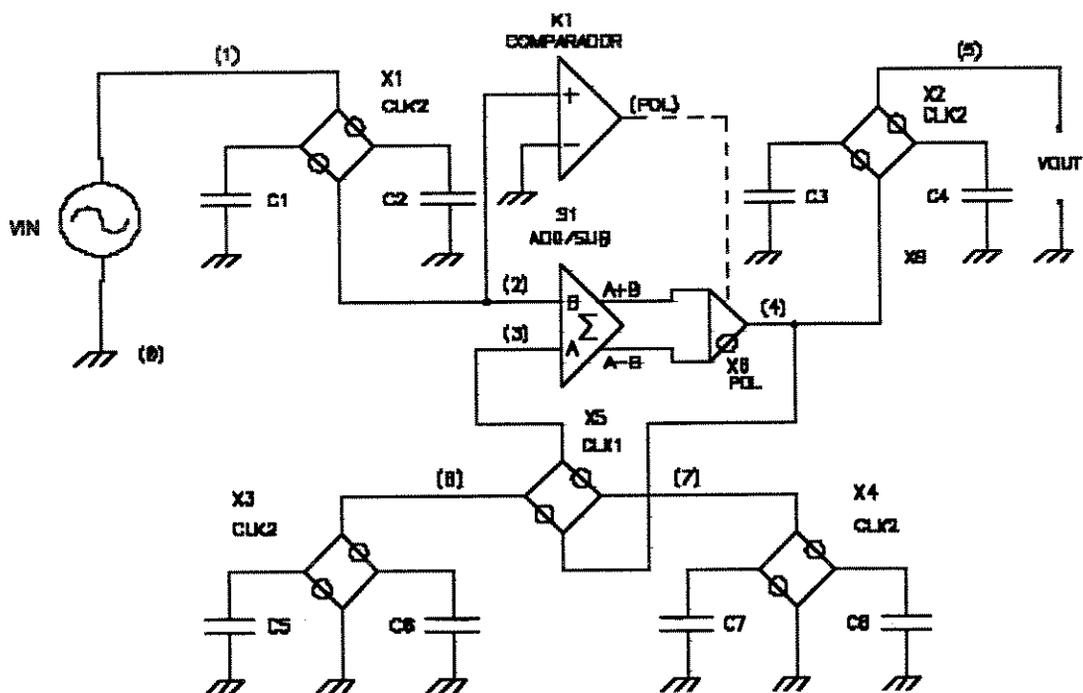


Figura 2.17: Conversor de valor absoluto não inversor.

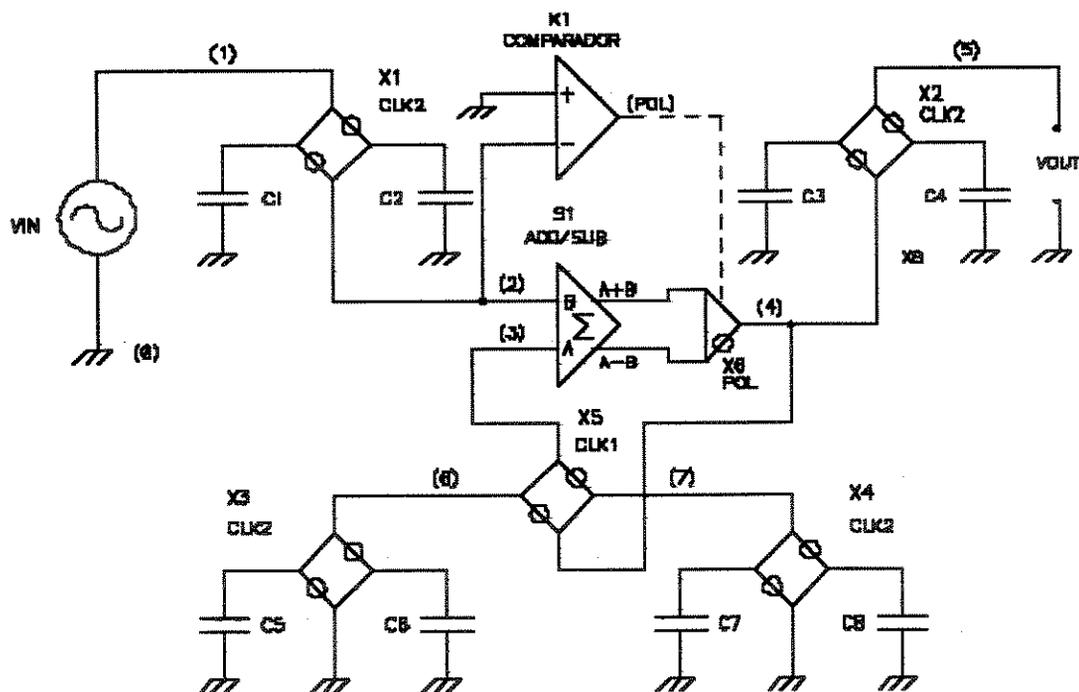


Figura 2.18: Conversor de valor absoluto inversor.

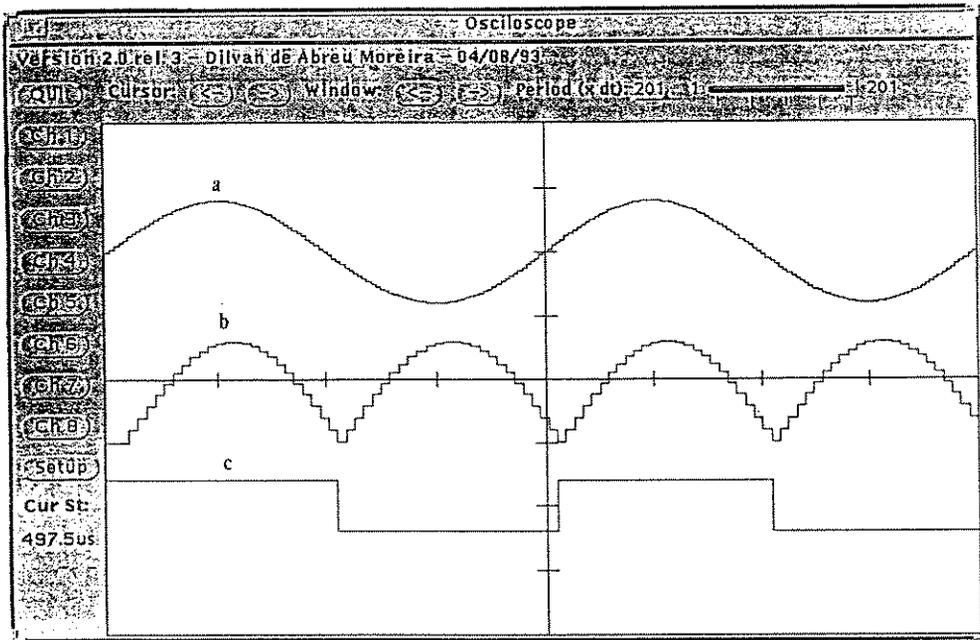


Figura 2.19: Formas de onda no conversor de valor absoluto não inversor. (a) sinal de entrada; (b) sinal de saída; (c) saída do comparador.

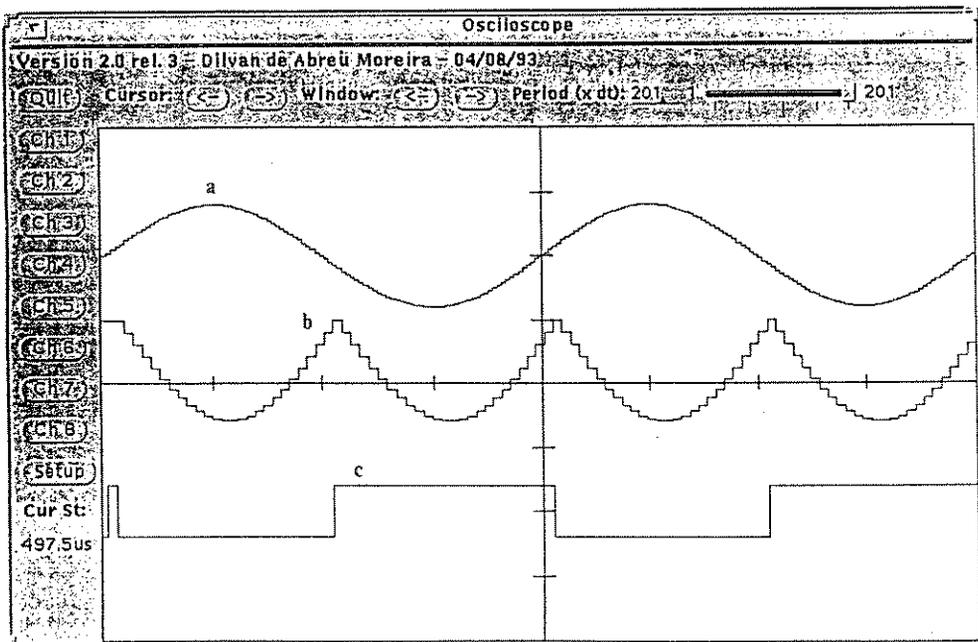


Figura 2.20: Formas de onda no conversor de valor absoluto inversor. (a) sinal de entrada; (b) sinal de saída; (c) saída do comparador.

2.8 - AMPLIFICADOR COM GANHO EXPONENCIAL

O atraso de fase do amplificador digital é proporcional ao ganho do mesmo, ou seja N ciclos de *clock*. No processamento rápido de sinais é desejável que este tempo seja o menor possível. Isto significa que em altos ganhos o amplificador demora para efetuar a operação de amplificação, reduzindo assim a sua aplicabilidade. O estudo da malha de realimentação do circuito do amplificador nos leva a uma estrutura que apresenta um ganho não mais proporcional a razão de freqüências do *clock*, mas sim a uma expressão exponencial desta mesma razão. Vamos considerar então que o nosso somador tenha agora duas entradas com peso de soma diferente como mostrado na figura 2.21.

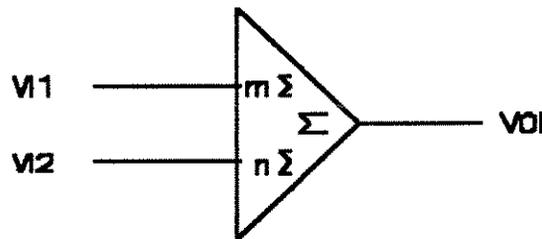


Figura 2.21: Somador com entradas ponderadas.

Assim a tensão de saída do mesmo será:

$$VOI = m \cdot V1 + n \cdot V2 \tag{2.49}$$

Vamos considerar agora o amplificador digital implementado com o somador substituído por um somador de entradas ponderadas, como ilustrado na figura 2.22.

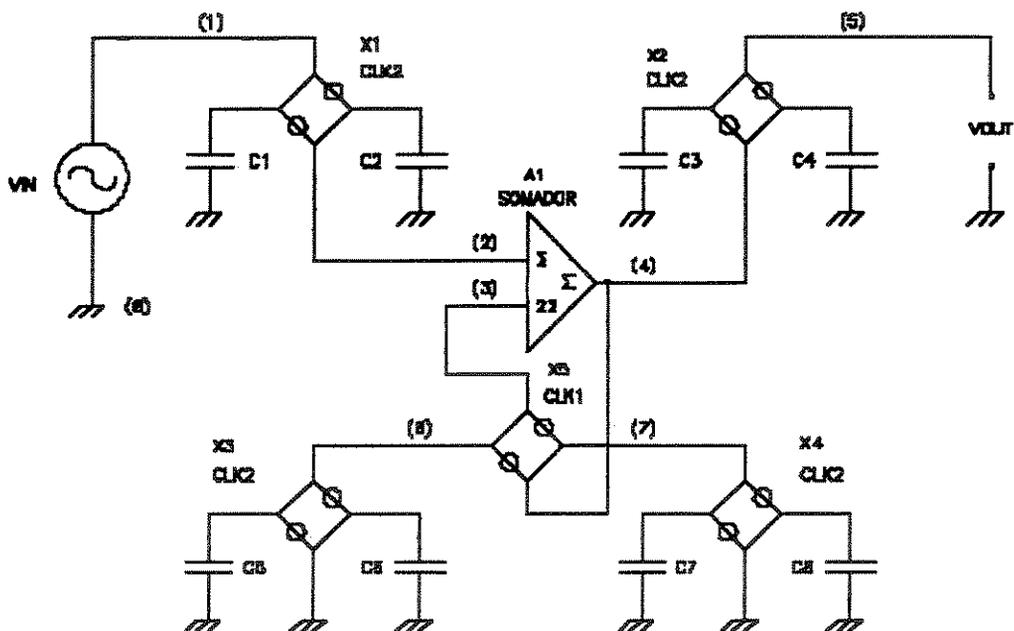


Figura 2.22: Amplificador Digital de ganho exponencial.

Para elucidar o seu funcionamento vamos recorrer a tabela 2.3 onde temos ilustrado o ganho obtido em N ciclos de *clock* para o caso particular onde $m = 1$ e $n = 2$.

NCLK	VIN1 (Σ)	VIN2 (2Σ)	VOUT	Ganho Normal (N)	Ganho Exp. (Ne)
T	Vin(T)	0	Vin	1	1
2T	Vin(2T)	Vin	3.Vin	2	3
3T	Vin(3T)	3.Vin	7.Vin	3	7
4T	Vin(4T)	7.Vin	15.Vin	4	15
5T	Vin(5T)	15.Vin	31.Vin	5	31
·	·	·	·	·	·
·	·	·	·	·	·
·	·	·	·	·	·
NT	Vin(NT)		$2^N - 1$ Vin	N	$2^N - 1$

Tabela 2.3: Ganhos obtidos em N ciclos de *clock*.

Para este caso o ganho do amplificador cresce exponencialmente com N, sendo dado por:

$$Ne = 2^N - 1 = 2^{\frac{FCLK1}{FCLK2}} - 1 \tag{2.50}$$

Para condições iniciais nulas temos o seguinte equacionamento:

$$\begin{aligned} Vout(T) &= m \cdot Vin(T) \\ Vout(2T) &= m \cdot Vin(2T) + n \cdot m \cdot Vin(T) \\ Vout(3T) &= m \cdot Vin(3T) + n \cdot m \cdot Vin(2T) + n^2 \cdot m \cdot Vin(T) \\ Vout(4T) &= m \cdot Vin(4T) + n \cdot m \cdot Vin(3T) + n^2 \cdot m \cdot Vin(2T) + n^3 \cdot m \cdot Vin(T) \\ &\vdots \\ &\vdots \\ &\vdots \\ Vout(NT) &= n^0 \cdot m \cdot Vin(NT) + n^1 \cdot m \cdot Vin[(N-1)T] + \dots + n^{N-1} \cdot m \cdot Vin(T) \end{aligned}$$

Assim podemos expressar a tensão de saída na forma de um somatório como:

$$Vout(NT) = m \cdot \sum_{n=1}^k n^{N-k} \cdot Vin(kT) \tag{2.51}$$

Este resultado mostra que o coeficiente m representa um fator de ganho que escalona o resultado. Como a amplificação por m não é desejada, uma vez que a amplificação é a tarefa do circuito, ele deve ser unitário ($m = 1$). Com relação ao parâmetro n este influi diretamente no ganho do amplificador, gerando um ganho exponencial da razão das frequências dos sinais de *clock*. Para $n = 2$ temos um amplificador exponencial de alto ganho e de fácil implementação prática, sem aumentar muito o tamanho do somador.

As formas de onda para esta configuração podem ser vistas na figura 2.23. Na figura 2.24 podemos verificar que um amplificador digital exponencial tem um desvio de fase menor que um amplificador digital de mesmo ganho.

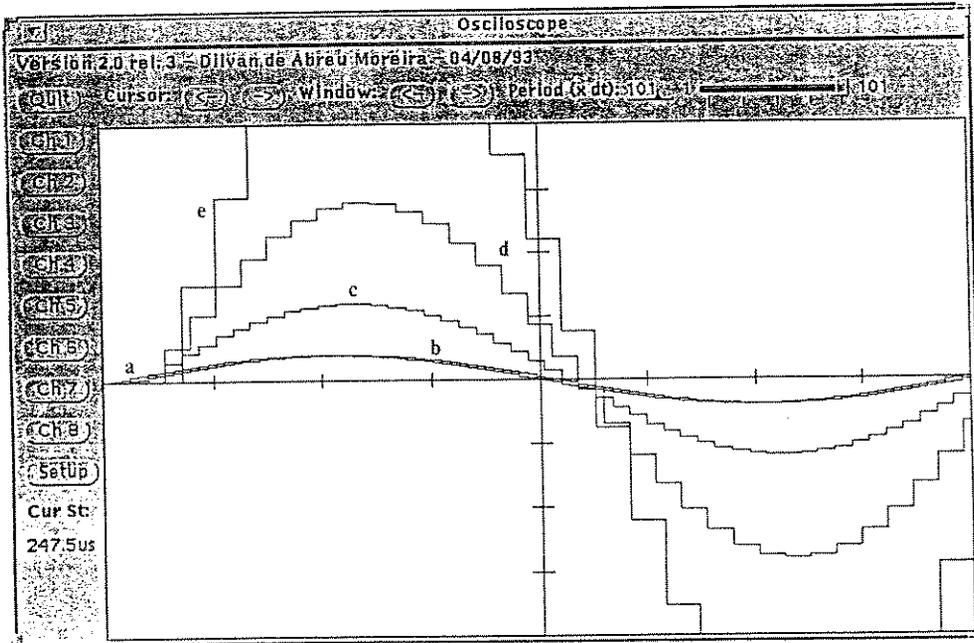


Figura 2.23: Formas de onda no amplificador exponencial; (a) sinal de entrada ; sinal de saída para os pesos $m = 1$ e $n = 2$, e para vários $N = F1/F2$: (b) $N=1$; (c) $N=2$; (d) $N=3$; (e) $N=4$.

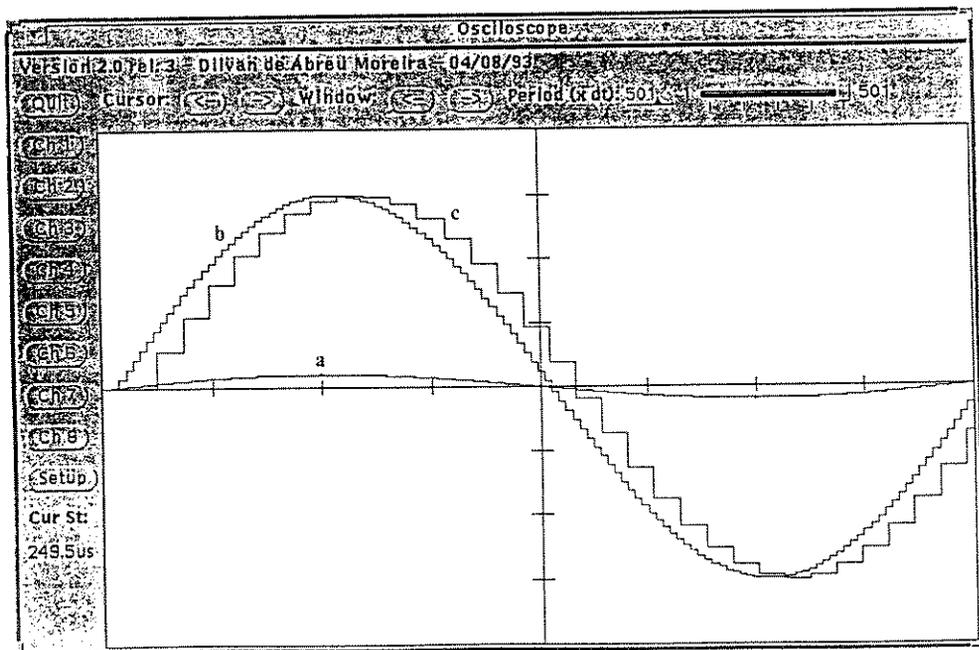


Figura 2.24: Comparação entre os desvios de fase obtidos para um amplificador de ganho 15; (a) V_{in} ; (b) V_{out} para a versão normal e (c) V_{out} para a versão exponencial.

2.9 - MULTIPLICADOR DIGITAL

O multiplicador de tensões surge na técnica de quantização como a interligação de dois amplificadores digitais de forma conveniente. Ele pode ser implementado utilizando-se 14 blocos básicos : 8 blocos *delay*, 2 chaves cruzadas, 2 somadores , um *buffer* e um comparador. Basicamente o multiplicador funciona da seguinte forma : a tensão de entrada V_{in1} é quantizada pelo bloco *delay* $X1$, sendo que a saída deste bloco é acoplada a um comparador de tensão. Simultaneamente a tensão de entrada V_{in2} é também quantizada pelo bloco *delay* $X4$ e um sinal de referência V_{ref} é acumulado até atingir o nível de tensão do nó 5 , que é a tensão V_{in1} quantizada. Assim temos uma rampa digital na entrada negativa do comparador. Quando a tensão na entrada negativa atinge a tensão V_{in1} o comparador comuta, gerando um pulso de largura proporcional a tensão V_{in1} quantizada por V_{ref} . Como a tensão V_{in2} é acumulada concomitantemente com V_{ref} e quantizada, quando o comparador comuta o valor de tensão na saída do segundo somador passa para a saída. Como o número de vezes que a tensão V_{in2} é acumulada antes de ser amostrada para a saída vale $N = V_{in1} / V_{ref}$ temos na saída do circuito a tensão V_{in2} acumulada N vezes. Então teremos que:

$$V_{out} = N \cdot V_{in2} = \frac{1}{V_{ref}} V_{in1} \cdot V_{in2} \quad (2.52)$$

Como a tensão de referência é constante, a tensão na saída corresponde ao produto algébrico das tensões de entrada multiplicadas por uma constante que é o ganho do circuito multiplicador.

2.9.1 - MULTIPLICADOR DE 2 QUADRANTES

A implementação de um multiplicador de 2 quadrantes utilizando esta técnica pode ser vista na figura 2.5 . Para modelar este multiplicador vamos utilizar as equações gerais dos amplificadores 1 e 2 e modelar a atuação do comparador como um degrau unitário defasado de k ciclos de *clock*, onde k representa o número de passos necessários para a quantização, aplicado na saída do amplificador 2 . Seja então $u(t-kT)$ a função :

$$u(t-kT) = \begin{cases} 1 & \text{se } t > kT \\ 1/2 & \text{se } t = kT \\ 0 & \text{se } t < kT \end{cases} \quad (2.53)$$

Assim na entrada do nosso comparador temos os seguintes sinais:

$$V_{comp+}(T) = V_{in1}(T) \quad (2.54)$$

$$V_{comp-}(T) = V_{ampli1}(nT) \quad (2.55)$$

Na saída do amplificador 1 , V_{ampli1} , ou seja a tensão do nó 7 do circuito vale:

$$V_{ampli1}(nT) = \sum_{k=1}^n V_{ref}(kT) = N \cdot V_{ref}(T) \quad (2.56)$$

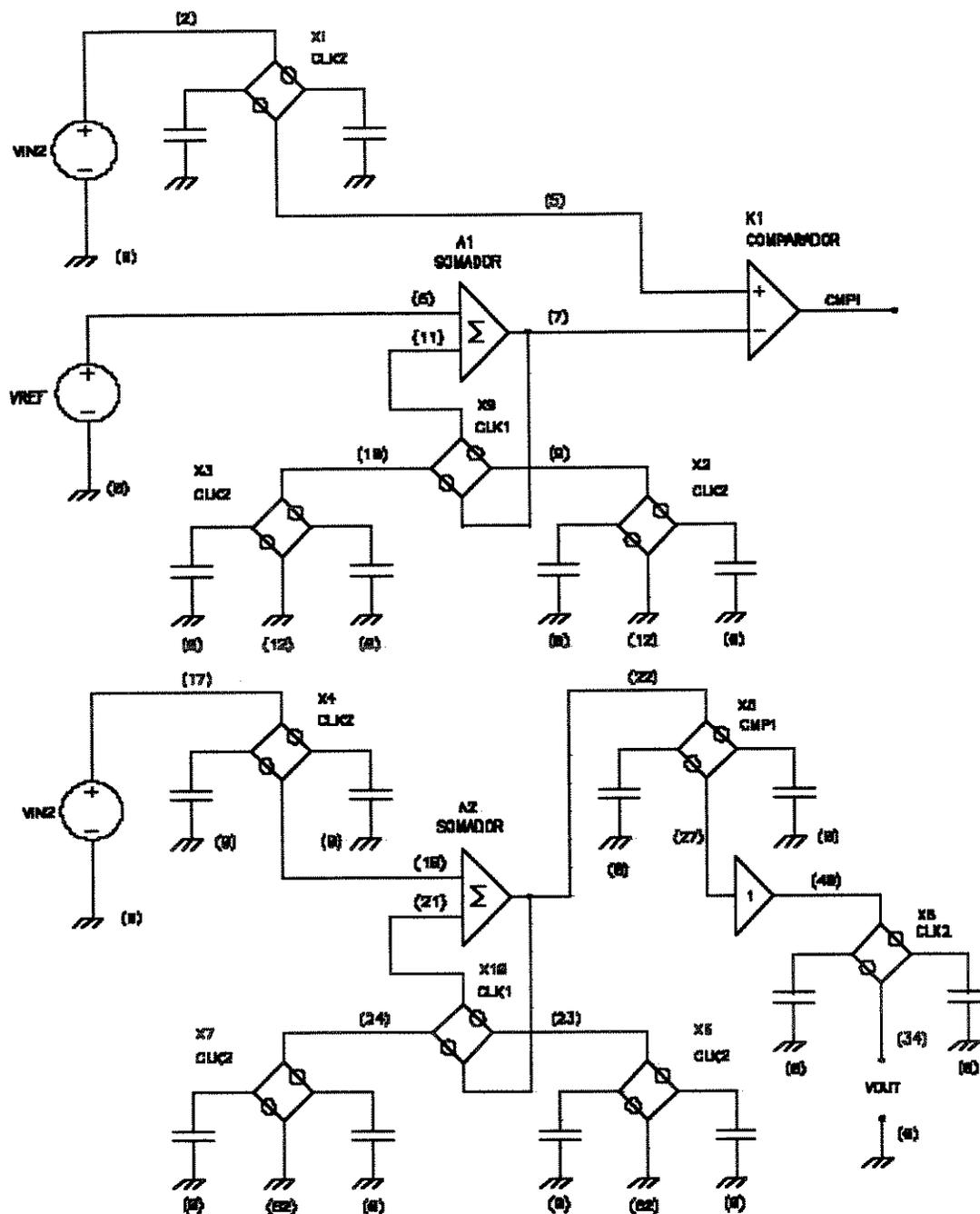


Figura 2.25: Multiplicador Digital de 2 Quadrantes

A quantização do sinal de entrada V_{in1} ocorre quando um certo $n = k$ a tensão na entrada negativa do comparador atinge o valor da tensão de entrada V_{in1} . Então nesse instante temos:

$$V_{in1}(T) = V_{quant} = k \cdot V_{ref}(kT) \tag{2.57}$$

$$k = \frac{V_{in1}(T)}{V_{ref}(kT)} \tag{2.58}$$

A tensão de saída do amplificador 2, V_{ampli2} , ou seja o nó 22 do circuito vale:

$$V_{ampli2}(nT) = \sum_{k=1}^n V_{in2}(kT) = k \cdot V_{in2}(T) \quad (2.59)$$

A tensão de saída presente após a chave que comuta a quantização do sinal V_{in2} para a saída, devido a ação do comparador, modelado como em conjunto com a chave como um degrau unitário atrasado de kT , vale:

$$V_{outno27}(nT) = u(t - kT) \cdot \sum_{k=1}^n V_{in2}(kT) \quad (2.60)$$

Como a operação já está presente na saída para $t > kT$, temos que a tensão no nó 40 do circuito, após o *buffer* de ganho unitário será:

$$V_{outno40}(nT) = u(t - kT) \cdot k \cdot V_{in2}(T) \quad (2.61)$$

Substituindo o valor da expressão (2.62) na expressão (2.61) teremos :

$$V_{outno40}(nT) = 1 \frac{V_{in1}(T)}{V_{ref}(kT)} V_{in2}(T) \quad (2.62)$$

Devido ao fato de termos um bloco *delay* na saída do multiplicador de forma a amostrar o sinal após os N ciclos de *clock* teremos que a tensão de saída do multiplicador será dada por:

$$V_{out}(NT) = \frac{V_{in1}(T) \cdot V_{in2}(T)}{V_{ref}(kT)} \quad (2.63)$$

Como a tensão de referência é constante a saída final vale:

$$V_{out}(NT) = \frac{1}{V_{ref}} V_{in1}(T) \cdot V_{in2}(T) \quad (2.64)$$

Podemos verificar que a tensão de saída corresponde ao produto das tensões de entrada multiplicadas por um fator de ganho $1/V_{ref}$. O atraso de saída vale N passos de *clock* e a resolução do multiplicador é de $\log_2 N$ bits. A precisão do resultado deve-se somente a precisão da fonte de referência para o caso ideal, acrescida do erro de quantização, ao nível estrutural. Como podemos observar o valor de N define a resolução do multiplicador. Por exemplo se $N=256$ o multiplicador terá uma resolução de 8 bits. Entretanto conforme aumento a resolução do multiplicador aumento também a defasagem do sinal na saída do mesmo conforme pode ser vista na expressão (2.64). Na figura 2.26 temos as formas de onda do sinal V_{in1} quantizado, após o bloco *delay* $X1$, a rampa digital usando a tensão de referência como passo de quantização e finalmente a saída do comparador com pulsos de largura variáveis proporcionais ao nível de V_{in1} quantizado. As formas de onda na entrada e na saída do circuito podem ser vistas na figura 2.27.

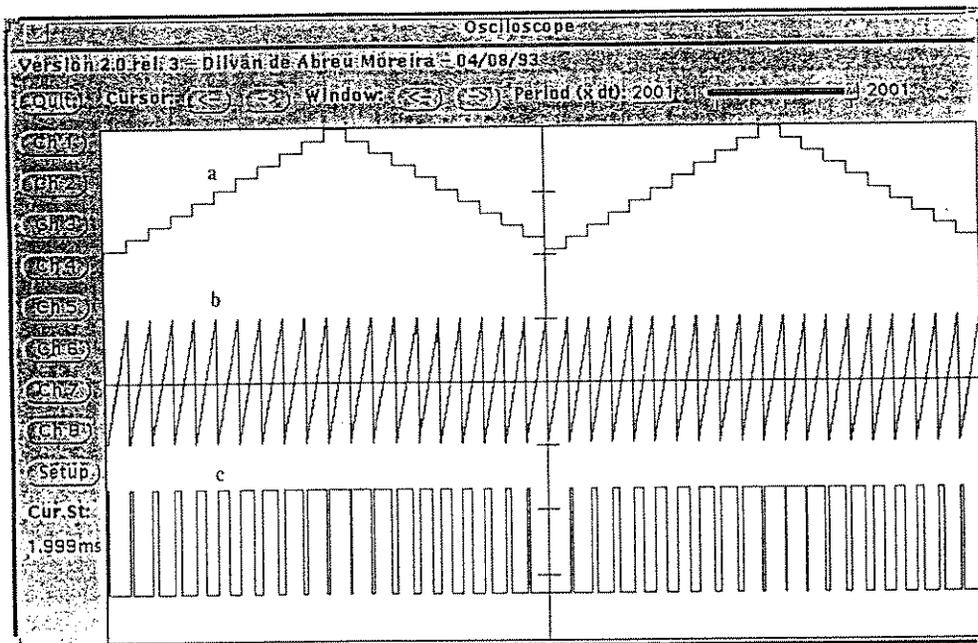


Figura 2.26: Formas de onda mostrando o processo de quantização de V_{in1} por V_{ref} e a saída resultante no comparador; (a) V_{in1} amostrada; (b) nó7 e (c) sinal CMP1.

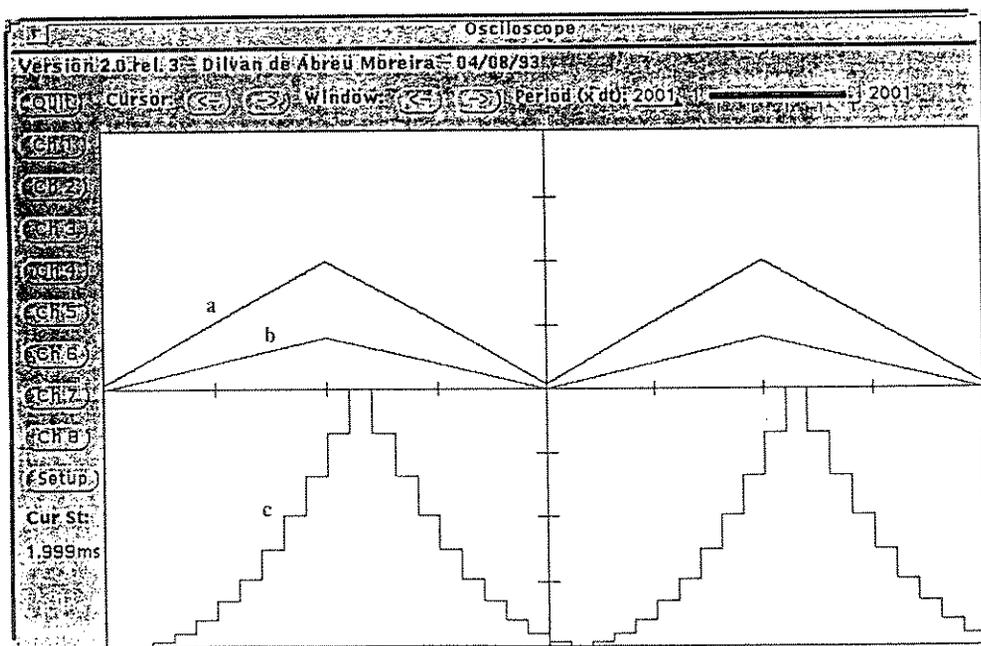


Figura 2.27: Formas de onda de entrada e saída do multiplicador de 2 quadrantes; (a) V_{in1} ; (b) V_{in2} e (c) V_{out} .

2.9.2 - MULTIPLICADOR DE 4 QUADRANTES

No item anterior mostramos o modelamento para um multiplicador de 2 quadrantes. Essa limitação ocorre devido ao fato de que a tensão de referência sendo positiva só poderá quantizar valores positivos de tensão. Uma solução poderia consistir em chavear a tensão de referência. Isto implicaria entretanto no uso de duas tensões de referência casadas, uma positiva e outra negativa, aumentando-se assim as fontes de erro no circuito. Uma solução mais viável consiste em utilizar um chaveamento de configuração do tipo do amplificador da entrada 1, sendo ora não inversor, ora inversor. Entretanto para se obdecer a regra de sinais da multiplicação faz-se necessário que o segundo amplificador também seja comutado conforme a regra de sinais apresentada na figura 2.28.

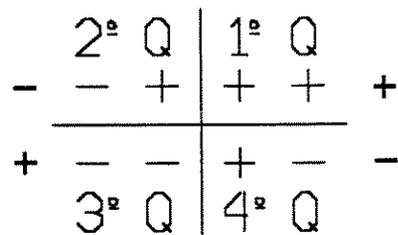


Figura 2.28: Regra de sinais para a multiplicação.

Assim deveremos ter para os amplificadores 1 e 2 as seguintes polaridades:

Amplificador 1

polaridade de Vin1	polaridade de Vin2	quadrante	tipo do somador	polaridade de Vref	polaridade da saída do multiplicador
+	+	1	Σ	+	+
-	+	2	$-\Sigma$	+	-
-	-	3	$-\Sigma$	+	+
+	-	4	Σ	+	-

Amplificador 2

polaridade de Vin1	polaridade de Vin2	quadrante	tipo do somador	polaridade de Vref	polaridade da saída do multiplicador
+	+	1	Σ	+	+
-	+	2	$-\Sigma$	+	-
-	-	3	$-\Sigma$	+	+
+	-	4	Σ	+	-

O circuito usado para esta configuração pode ser visto na figura 2.29, onde temos a inclusão de um circuito comparador para verificação do sinal de entrada de Vin1. Podemos observar também que os blocos somadores simples foram substituídos agora por blocos somadores/subtratores com polaridade de saída controladas por este comparador.

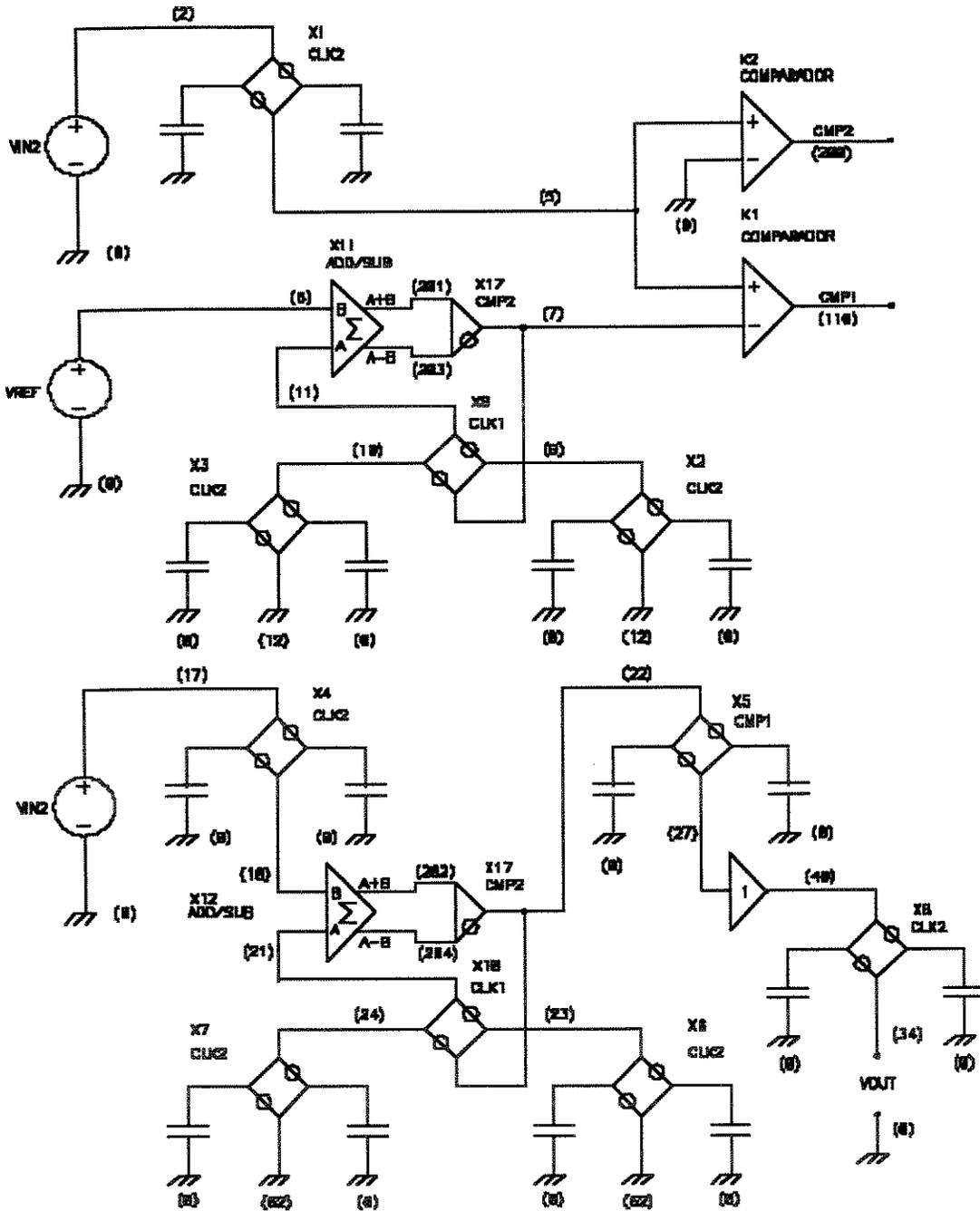


Figura 2.29: Multiplicador de 4 quadrantes.

Consideremos então as funções matemáticas abaixo para a modelagem dos comparadores e chaves de inversão do tipo de configuração inversora ou não inversora dos amplificadores:

$$\text{sgn}(x) = \begin{cases} 1 & \text{se } x > 0 \\ 0 & \text{se } x = 0 \\ -1 & \text{se } x < 0 \end{cases} \quad (2.65)$$

$$\text{abs}(x) = \begin{cases} x & \text{se } x > 0 \\ 0 & \text{se } x = 0 \\ -x & \text{se } x < 0 \end{cases} \quad (2.66)$$

$$u(t-kT) = \begin{cases} 1 & \text{se } t > kT \\ 1/2 & \text{se } t = kT \\ 0 & \text{se } t < kT \end{cases} \quad (2.67)$$

Podemos então expressar os sinais de entrada em função das funções (2.65) e (2.66) para explicitar a utilização da regra de sinais pelo comparador 1 :

$$V_{in1}(T) = \text{sgn}[V_{in1}(T)] \cdot \text{abs}[V_{in1}(T)] \quad (2.68)$$

$$V_{in2}(T) = \text{sgn}[V_{in2}(T)] \cdot \text{abs}[V_{in2}(T)] \quad (2.69)$$

Assim na entrada do comparador 1 temos os seguintes sinais :

$$V_{\text{comp}+}(T) = V_{in}(T) \quad (2.70)$$

$$V_{\text{comp}-}(T) = \text{sgn}[V_{in1}(T)] \cdot V_{\text{ampli1}} \quad (2.71)$$

Na saída do amplificador 1 , V_{ampli1} ou seja nó 7 do circuito da figura 2.29, teremos :

$$V_{\text{ampli1}}(nT) = \text{sgn}[V_{in1}(T)] \cdot \sum_{k=1}^n V_{\text{ref}}(kT) = \text{sgn}[V_{in1}(T)] \cdot N \cdot V_{\text{ref}}(T) \quad (2.72)$$

A quantização do sinal de entrada V_{in1} ocorre quando em um certo $n = k$ a tensão na entrada negativa do comparador 1 atinge o valor de $V_{in}(T)$:

$$\text{sgn}[V_{in1}(T)] \cdot \text{abs}[V_{in1}(T)] = V_{\text{quant}} = k \cdot V_{\text{ref}}(kT) \quad (2.73)$$

$$k = \frac{\text{sgn}[V_{in1}(T)] \cdot \text{abs}[V_{in1}(T)]}{V_{\text{ref}}(kT)} \quad (2.74)$$

A tensão de saída do amplificador 2, V_{ampli2} , ou seja a tensão no nó 22 do circuito vale:

$$V_{\text{ampli2}}(nT) = \text{sgn}[V_{in2}(T)] \cdot \sum_{k=1}^n V_{in2}(kT) = k \cdot \text{sgn}[V_{in2}(T)] \cdot \text{abs}[V_{in2}(T)] \quad (2.75)$$

A tensão de saída presente após a chave que comuta a quantização do sinal V_{in2} para a saída vale devido a ação do comparador, modelado em conjunto com a chave como um degrau atrasado de kT :

$$V_{outno27}(nT) = u(t-kT) \cdot \text{sgn}[V_{in2}(T)] \cdot k \cdot \text{abs}[V_{in2}(T)] \quad (2.76)$$

Como a operação já está presente na saída para $t > kT$ temos que a tensão no nó 40 do circuito, após o *buffer* de ganho unitário será:

$$V_{outno40}(nT) = u(t-kT) \cdot k \cdot \text{sgn}[V_{in2}(T)] \cdot \text{abs}[V_{in2}(T)] \quad (2.77)$$

Substituindo-se o valor de k , expressão (2.74), na expressão (2.77) teremos:

$$V_{outno40}(nT) = \text{sgn}[V_{in1}(T)] \cdot \text{sgn}[V_{in2}(T)] \cdot \frac{\text{abs}[V_{in1}(T)] \cdot \text{abs}[V_{in2}(T)]}{V_{ref}(kT)} \quad (2.78)$$

Devido ao fato de termos um bloco DELAY na saída do multiplicador de forma a amostrar o sinal após N ciclos de *clock*, e como a função $\text{abs}(x) = |x|$, podemos escrever a tensão de saída após o *buffer* como:

$$V_{out}(NT) = \text{sgn}[V_{in1}(T)] \cdot \text{sgn}[V_{in2}(T)] \cdot \frac{|V_{in1}(T)| \cdot |V_{in2}(T)|}{V_{ref}(kT)} \quad (2.79)$$

Como a tensão de referência é constante a tensão de saída final vale:

$$V_{out}(NT) = \text{sgn}[V_{in1}(T)] \cdot \text{sgn}[V_{in2}(T)] \cdot \frac{1}{V_{ref}} \cdot |V_{in1}(T)| \cdot |V_{in2}(T)| \quad (2.80)$$

Temos agora a expressão geral de um multiplicador de sinais onde a regra de sinais foi preservada sintetizando assim um multiplicador de 4 quadrantes. Verificamos novamente que a tensão de saída corresponde ao produto das tensões de entrada multiplicadas por um fator de ganho de $1/V_{ref}$. O atraso na saída vale N passos de *clock* e a resolução do multiplicador é de $\log_2 N$ bits, assim como no caso do multiplicador de 2 quadrantes.

Na figura 2.30 podemos verificar os resultados das simulações para os nós internos do multiplicador mostrando a rampa digital com polaridade controlada pelo segundo comparador, a saída do primeiro comparador e a saída do segundo comparador. A figura 2.31 mostra os resultados da simulação para as tensões de entrada e saída do multiplicador. Conforme podemos observar nesta figura temos o produto de dois sinais senoidais de amplitudes diferentes, com mesma frequência. O produto na saída apresenta uma forma de onda com o dobro da frequência dos sinais de entrada, mostrando assim o efeito da multiplicação.

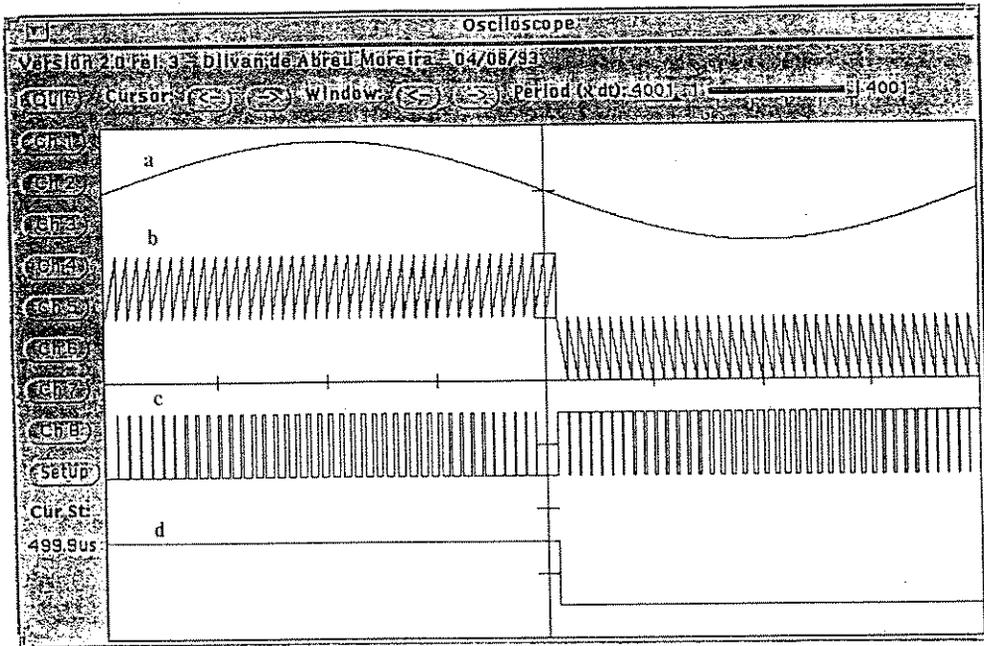


Figura 2.30: Formas de onda mostrando o processo de quantização; (a) Vin1; (b) nó 7; (c) saída CMP1 e (d) saída CMP2.

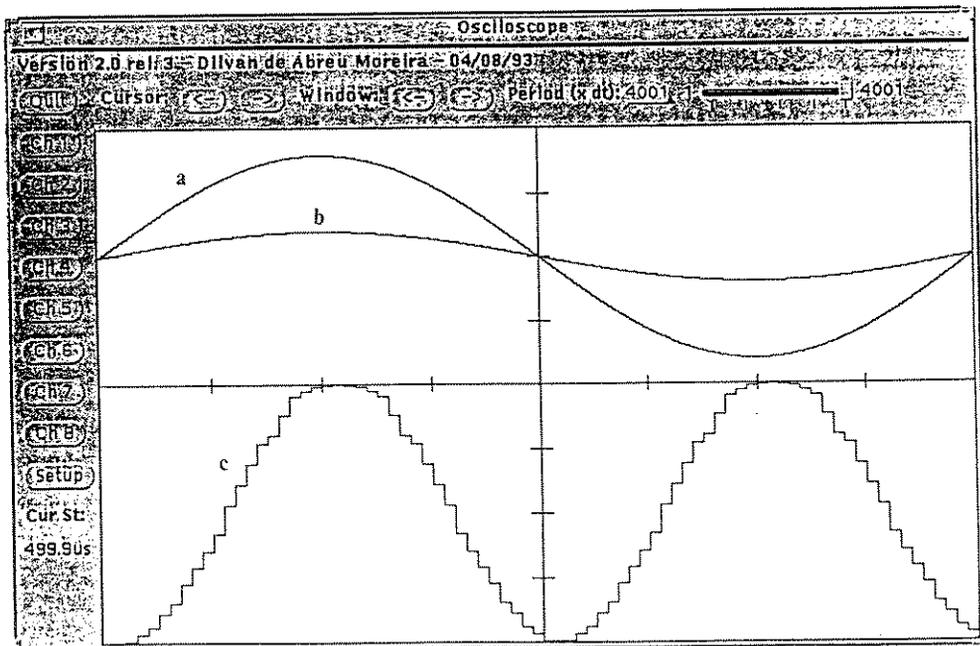


Figura 2.31: Formas de onda de entrada e saída do multiplicador de 4 quadrantes; (a) Vin1; (b) Vin2 e (c) Vout.

CAPÍTULO 3

IMPLEMENTAÇÃO DO

AMPLIFICADOR AO NÍVEL

DOS CIRCUITOS

3.1 - INTRODUÇÃO

Os blocos operacionais usados na concepção do amplificador digital, descritos no capítulo 1, podem ser implementados de várias formas. Em uma primeira versão, de avaliação, o circuito foi concebido usando-se chaves analógicas comerciais, CD4066, e amplificadores operacionais [20]. Em uma segunda versão, visando já a total integração do circuito, o mesmo foi concebido usando-se chaves analógicas integradas no PMU7 [1] e alguns circuitos como espelhos de corrente e um somador, implementados no PMU7 [37] e PMU8 [37] respectivamente. Em uma versão final, foi realizada uma versão totalmente integrada do mesmo no PMU8 [21].

A implementação realizada em cada versão contou com a disponibilidade de estruturas para sua realização, sendo analisadas a seguir as características e limitações de cada uma delas.

3.2 - CHAVES ANALÓGICAS

Os transistores de efeito de campo (JFET e MOSFET) são comumente usados como chaves analógicas por se aproximarem, razoavelmente bem, de uma chave ideal. Uma chave, idealmente, deve ter: resistência zero quando fechada, infinita resistência quando aberta, ser bidirecional (conduzir em ambos sentidos), ter uma resposta livre de *glitches* no chaveamento e não ter capacitâncias parasitas [59].

Os transistores JFET e MOS quando operando nas regiões de corte e condução podem simular uma chave, controlando a corrente no canal através da tensão de *gate*, conforme ilustrado na figura 3.1 . Entretanto ao se implementar uma chave analógica com transistores certas limitações são impostas. No caso de circuitos chaveados, fatores como a resistência de canal, capacitâncias parasitas e correntes de fuga podem comprometer o desempenho do circuito. Devemos ter baixas resistências de canal para proporcionar rápidas constantes de tempo de carga/descarga dos capacitores e baixas correntes de fuga para não alterar a tensão no capacitor de *hold*. Para o caso do transistor MOS temos ainda o efeito de injeção de carga que altera o valor da tensão armazenada neste capacitor nas transições condução - corte das chaves. A seguir analisaremos alguns tipos de chaves usadas e reportadas na literatura [1][10][14][16][33][51][59].

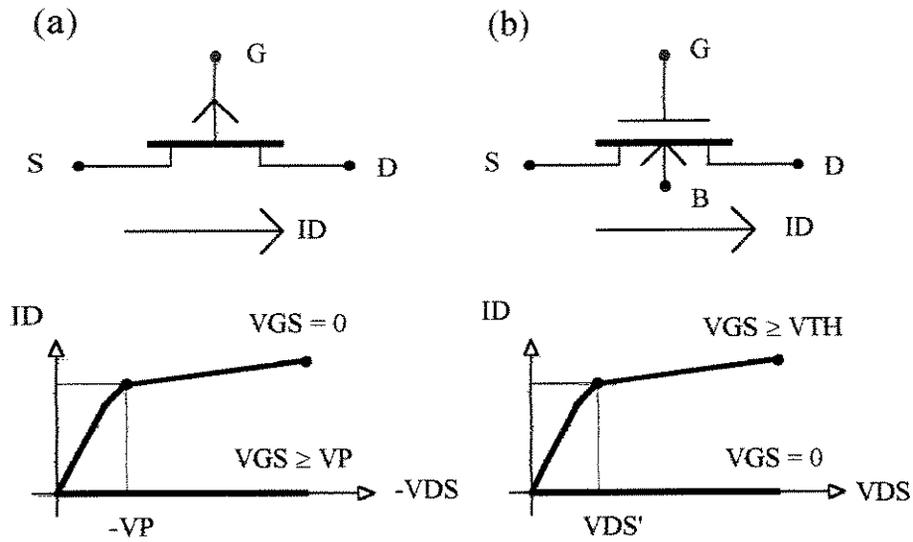


Figura 3.1: Chaves analógicas com transistores; (a) JFET ; (b) MOS .

3.2.1 - CHAVES JFET

O transistor JFET pode ser usado como chave analógica, operando como mostrado na figura 3.1(a). Analisando suas curvas características, verificamos que para $V_{GS} \geq V_P$, onde V_P é a tensão de *pinchoff*, o JFET canal P não conduz corrente (a não ser as correntes de fuga do dispositivo) e para $V_{GS}=0$ o transistor comporta-se como um resistor até V_{DS} se aproximar de V_P , quando o transistor satura atingindo a corrente I_{DSS} . A corrente de dreno de um JFET é dada por [12] :

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \tag{3.1}$$

Assim a resistência da chave, em condução, na região de não-saturação é dada por [16] :

$$R_{ON} = \frac{dV_{DS}}{dI_D} = \frac{V_p}{2 I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)} \tag{3.2}$$

Para $V_{GS}=0$ temos que:

$$R_{ON} = \frac{V_p}{2 I_{DSS}} \tag{3.3}$$

Uma relação importante a ser analisada é que I_{DSS} é proporcional a W/L e a $(V_p)^{3/2}$, onde W e L são respectivamente a largura e o comprimento do canal [16] .

Assim temos que:

$$\frac{1}{R_{ON}} \propto \frac{W}{L} \sqrt{V_p} \tag{3.4}$$

Para reduzir portanto R_{ON} , devemos ter uma grande tensão de *pinchoff* e aumentar W enquanto mantemos L mínimo, o que define um *layout* próprio para esta chave. Quando usamos um JFET como chave, precisamos gerar uma tensão V_{GS} de controle, como mostrado na figura 3.26. Entretanto, este circuito de controle causa uma "fuga de corrente" de parte do sinal de V_{in} , o que é muito crítico em circuitos que utilizam capacitores de *hold*. Uma forma usada para eliminar o resistor do circuito de controle, é substituí-lo por duas outras chaves JFET auxiliares, que desconectam o sinal de entrada do sinal de controle e controlam a tensão de *gate*, isolando assim, o sinal de controle dos sinais V_{IN} e V_{OUT} . Esta chave constitui uma chave denominada TRI-JFET [16] que pode ser vista na figura 3.2(b).

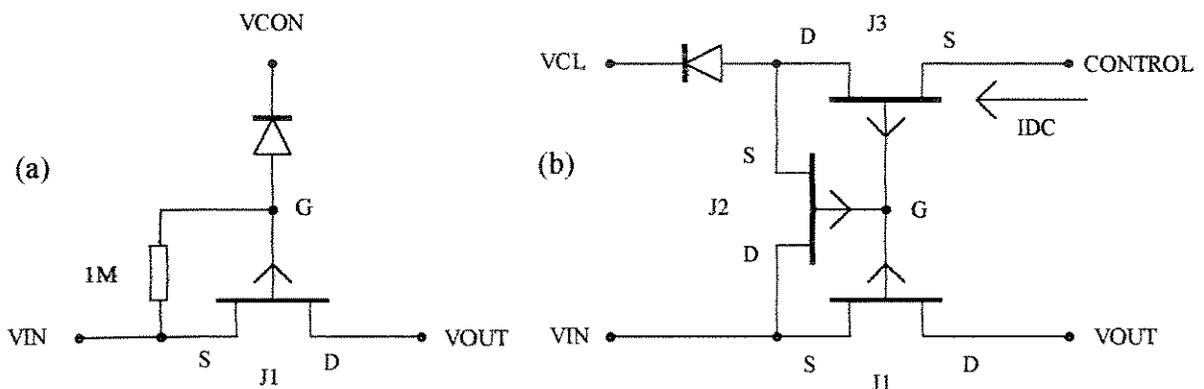


Figura 3.2: Tipos de chaves JFET; (a) Chave JFET simples; (b) Chave TRI-JFET.

No estado *OFF*, a Tensão no nó de controle está próxima da alimentação positiva, $V+$, e $J3$ conduz ID_{SS} através do diodo para V_{CL} . No estado *ON* todos os três conduzem a corrente $IDC=0$.

Esta última configuração, a chave TRI-JFET, constitui uma das chaves que apresentam melhor desempenho para comutação em circuitos analógicos. Elas apresentam amplo range dinâmico (+12 a -15V), resistência R_{ON} da ordem de 200Ω e tempos de chaveamento rápidos ($t_r = 900ns$ e $t_f = 200ns$) [16].

Em contrapartida, elas somente são passíveis de serem realizadas em processos BI-FET de alto desempenho, onde os transistores JFET apresentam baixas correntes de fuga e capacitâncias parasitas. Estas chaves não são suscetíveis a descargas eletrostáticas e são imunes ao efeito de *latch-up*. Entretanto tem um maior consumo, exigido por um sistema de controle mais complexo (bipolar) para interfaceamento das chaves com sinais de controle (provenientes de circuitos lógicos), quando comparadas as chaves MOS.

3.2.2 - CHAVES MOS

Os transistores MOS são os mais utilizados como chaves analógicas, devido ao fato de apresentarem excelentes características nos estados *ON* e *OFF*, e terem um sistema de controle muito simples, baseado apenas na operação da tensão de *gate* com níveis de sinais compatíveis com a lógica CMOS, podendo ser implementados em circuitos de consumo extremamente baixos. Na figura 3.1(b) podemos verificar que o transistor para $V_{GS} = 0$ não conduz corrente (a não ser pelas correntes de fuga do dispositivo) e para $V_{GS} > V_T$ o transistor conduz se comportando como um resistor até atingir a região de saturação.

Entretanto quando os transistores MOS são chaveados, nos momentos das transições *ON-OFF*, parte da carga contida nas capacitâncias de *gate* e *overlap* desloca-se para os pontos de menor impedância, como os circuitos de *hold*, alterando-se a tensão armazenada, constituindo assim o chamado fenômeno de injeção de cargas, que constitui uma das maiores fontes de erro em circuitos chaveados.

Vários tipos de chaves MOS tem sido implementadas na literatura [1], [10], [11], [14], [22], [33], [45], [58] para melhorar o desempenho destas chaves analógicas, sendo que os principais tipos serão estudados a seguir.

3.2.2.1 - CHAVES NMOS SIMPLES

Os transistores NMOS (de enriquecimento) são preferencialmente escolhidos para chaves analógicas que os PMOS, devido ao fato que os PMOS, devido ao fato da mobilidade μ , ser maior no caso de transistores N que em transistores P [14]. Eles podem ter menor área, com menores capacitâncias (devido a menor geometria), possibilitando maiores frequências de chaveamento. Trata-se da chave mais simples que pode ser implementada em tecnologia MOS.

Uma das principais limitações das chaves NMOS simples é o fato da sua resistência *ON* não ser constante para uma grande variação de V_{in} (figura 3.3(a)) [14] [16]. Considerando-se que o sinal de *clock* para tornar a chave *ON* tem um valor elevado (5 a 15V) enquanto a queda de tensão sobre a chave é pequena (menor que 1V), o transistor *NMOS* opera na região linear [14] e neste caso a corrente que flui pelo mesmo é dada por [14]:

$$I_D = \frac{\mu \cdot C_{ox}}{2} \frac{W}{L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (3.5)$$

Geralmente temos que $|V_{GS} - V_T| \gg |V_{DS}|$ e portanto a resistência R_{ON} do mesmo vale [14]:

$$R_{ON} \cong \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2} \quad (3.6)$$

Assim para termos uma baixa resistência de canal devemos acionar o *gate* com uma grande tensão V_{GS} e fazer W grande enquanto mantêm-se L mínimo. A equação (3.6) nos dá alguns elementos para definir o *layout* da chave. Entretanto é uma aproximação, e não vale durante o tempo em que a chave está aberta, nem durante as transições de abertura e fechamento das

chaves [14] . Esta resistência *ON* da chave define uma constante de tempo RC que limita a máxima frequência de operação do circuito. Outro fator importante é que estas chaves introduzem um erro no capacitor de *hold* (em circuitos *sample/hold*) devido ao efeito de injeção de cargas.

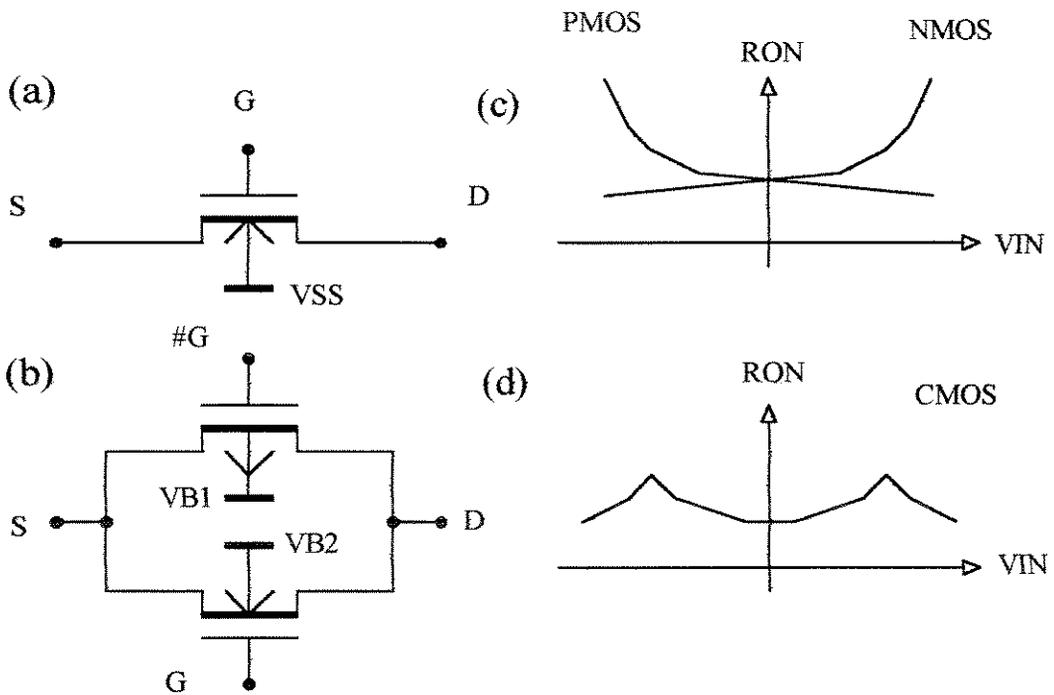


Figura 3.3: Chaves analógicas MOS e o comportamento de RON ;
 (a) chave tipo NMOS simples ; (b) chave tipo CMOS complementar;
 (c) RON para chave NMOS simples ; (d) RON para a chave complementar .

3.2.2.2 - CHAVE MOS COMPLEMENTAR

Esta chave é composta de dois transistores MOS em paralelo, um canal N e outro canal P, sendo que seus *gates* são chaveados por sinais complementares. Conforme podemos observar na figura 3.3(c) as resistências *ON* dos transistores P e N tem comportamento inversos com relação ao sinal V_{IN} , de modo que o resultado paralelo destas duas resistências de canal é uma resistência menor que a de um único transistor, e mais constante ao longo da faixa de V_{IN} como pode ser observado na figura 3.3(d). Assim as chaves complementares apresentam menor resistência *ON* que as chaves simples. Na figura 3.4 podemos ver a configuração de duas chaves comerciais complementares [8] . A figura 3.4(a) mostra a chave analógica comercial CD 4016 que é uma chave complementar simples. A figura 3.4(b) mostra a CD4066 onde é realizado um controle da tensão de substrato do transistor canal N com a finalidade de melhorar a resistência *ON* da chave e o seu isolamento no estado *OFF*. Na tabela 3.1 temos uma comparação entre estas duas chaves. Conforme podemos observar, para se obter um melhor desempenho temos uma maior complexidade, uma maior área para o circuito de *clock* e da chave e ainda um aumento do consumo do circuito.

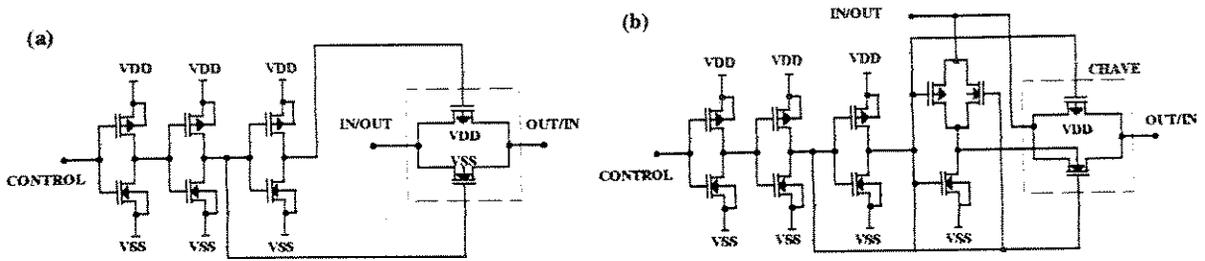


Figura 3.4: Chaves MOS complementares comerciais;
(a) CD 4016 ; (b) CD 4066 .

Tipo da chave	resistência ON para VDD-VSS=15V RON	faixa dinâmica	distorção a 1 kHz	Corrente de fuga no estado OFF
CD 4016	400 Ω	± 7.5 V	0.4 %	0.1 nA
CD 4066	80 Ω	± 7.5 V	0.4 %	0.1 nA

Tabela 3.1: Características das chaves analógicas CMOS CD 4016 e CD 4066 .

Analisando-se estas chaves do ponto de vista do fenômeno de injeção de cargas, potencialmente as chaves complementares poderiam ter melhor performance que as simples, pois as cargas nos transistores PMOS e NMOS poderiam ser exatamente canceladas. Entretanto Van Peteghem [33], mostrou que este ponto de operação, onde o cancelamento seria completo, na prática é muito sensível ao atraso entre os *clocks* dos *gates* dos transistores N e P (*clock skew*), conforme mostrado na figura 3.5 . A implementação prática de chaves complementares podem apresentar um *offset* de uma ordem de grandeza maior que a chave simples[33] .

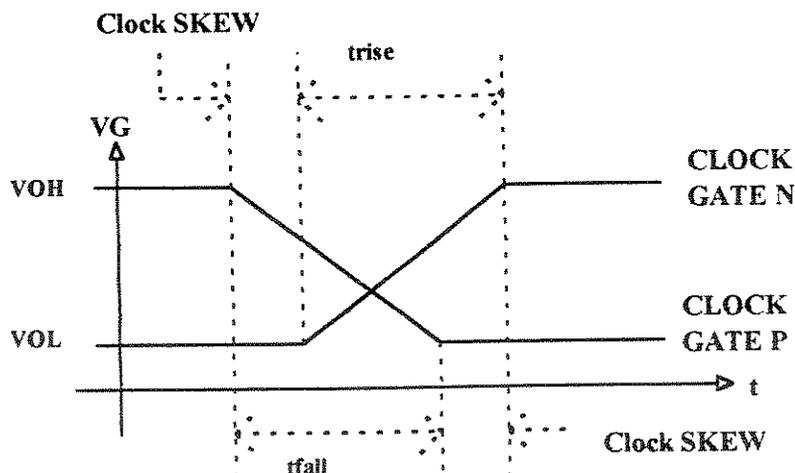


Figura 3.5: Definição de *clock skew* e tempos de transição para chaves complementares.

3.3 - O FENÔMENO DE INJEÇÃO DE CARGA

O fenômeno de injeção de cargas em chaves analógicas MOS constitui uma das maiores fontes de erro e de limitação de precisão, em circuitos à capacitor chaveado e *sample hold*. Ele está associado a transição condução-corte das chaves. Quando a chave MOS está fechada, há uma certa quantidade de cargas no canal. Durante o transitório de abertura, estas cargas contidas no canal, fluem pelos terminais de *dreno* e *source* do transistor [1] [39]. O resultado do chaveamento e um circuito para análise do mesmo pode ser visto na figura 3.6.

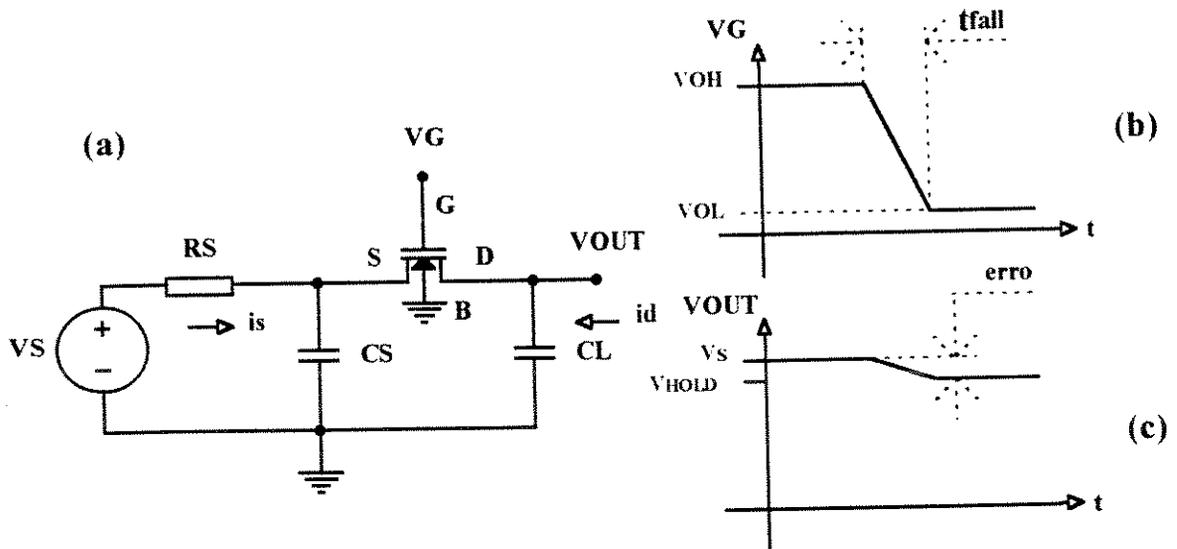


Figura 3.6: Injeção de cargas no transistor MOS; (a) circuito para análise do fenômeno; (b) tensão de gate da chave; (c) sinal amostrado com erro δV .

Vários tipos de análise deste fenômeno são propostas na literatura [11], [19], [39], [40], [41], [57]. Uma análise interessante é proposta por Sheu [39] que considera dois circuitos equivalentes para a chave nas condições conduzindo e aberta, ilustrado na figura 3.7(a) e 3.7(b) respectivamente.

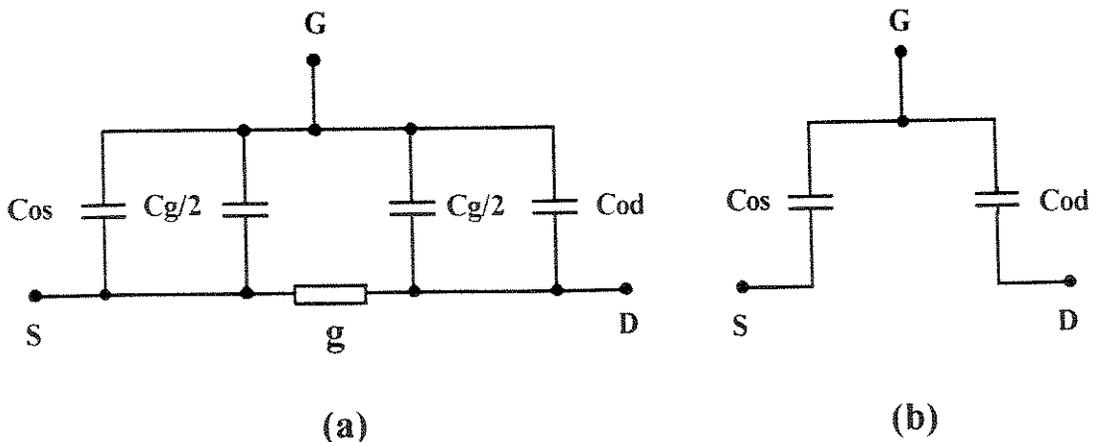


Figura 3.7: Circuitos equivalentes para análise da injeção de carga ; (a) chave conduzindo e (b) chave aberta .

Nesta análise considera-se um modelo para a chave no estado de condução constituído por uma condutância entre *dreno* e *source* e as capacitâncias associadas a chave, onde C_{ox} é a capacitância formada pela interface *gate* - óxido - semiconductor (neste caso está sendo despresado as cargas de interface e *traps* [39]) e C_{od} e C_{os} representam respectivamente as capacitâncias de *overlap gate-dreno* e *gate-source* do transistor. Essas capacitâncias, por simplicidade podem ser expressas por:

$$C_G = C_g + C_{od} + C_{os} = C_{ox} \cdot W \cdot L + 2 C_{ov} \quad (3.7)$$

onde C_{ox} é a capacitância por unidade de área do óxido e C_{ov} a capacitância de *overlap* do transistor (Considerando-se $C_{od} \approx C_{os} \approx C_{ov}$).

Podemos supor também que a tensão da porta decresça linearmente com o tempo, podendo ser expressa na forma:

$$V_G(t) = V_H - U \cdot t \quad (3.8)$$

onde V_H é a tensão alta do sistema de *clock* e U é a taxa de descida do *clock*.

Considerando-se que no transistor MOS operando como chave, a tensão V_{DS} é pequena, e portanto o transistor opera na região linear, a corrente de dreno do transistor pode ser expressa por [1]:

$$i_d = \beta (V_{HT} - V_T) (V_L - V_S) \quad (3.9)$$

onde: $\beta = \mu C_{ox} W/L$
 $V_{HT} = V_H - V_S - V_T$
 onde V_T é a tensão de *threshold* do transistor.

Equacionando-se o circuito da figura 3.6(a), pela lei dos nós obtemos o seguinte sistema de equações diferenciais [1] [39] :

$$C_L \frac{dV_L}{dt} = -i_d + \frac{C_G}{2} \frac{d}{dt} (V_G - V_L) \quad (3.10)$$

$$C_S \frac{dV_S}{dt} = i_d + \frac{C_G}{2} \frac{d}{dt} (V_G - V_S) + \frac{V_S}{R_S} \quad (3.11)$$

Substituindo-se a expressão (3.9) em (3.10) e (3.11) e considerando-se ainda que [1]:

$$(i) \quad \left| \frac{dV_G}{dt} \right| \gg \left| \frac{dV_S}{dt} \right| \text{ e } \left| \frac{dV_L}{dt} \right|$$

$$(ii) \quad C_L \gg \frac{C_G}{2} \text{ e } C_S \gg \frac{C_G}{2}$$

O sistema composto pelas equações (3.10) e (3.11) torna-se:

$$CL \frac{dVL}{dt} = -\beta (VHT - Ut) (VL - VS) - \frac{CG}{2} U \quad (3.12)$$

$$CS \frac{dVS}{dt} = \beta (VHT - Ut) (VL - VS) - \frac{CG}{2} U - \frac{VS}{RS} \quad (3.13)$$

O sistema descrito pelas equações diferenciais (3.12) e (3.13) modelam o comportamento do fenômeno. O resultado mais importante a ser obtido do mesmo é saber qual o incremento de carga temos no capacitor CL após a transição de abertura da chave. Uma forma de obter-se este parâmetro é obter a razão QL/Qch, que representa a fração de carga do canal injetada no capacitor de *hold* (considerando-se a resistência de fonte RS infinitamente grande) onde QL representa a carga no capacitor de *hold* e Qch a carga no canal antes da abertura da chave.

Uma forma de solução do sistema composto pelas equações (3.12) e (3.13) é proposto por Wegmam [57], onde a rampa de descida da tensão de *gate* VG com inclinação U é substituída equivalentemente por uma fonte de corrente constante de valor $I = U \cdot CG$ fluindo simetricamente pelas duas extremidades da chave, o que pode ser visto na figura 3.8 [57].

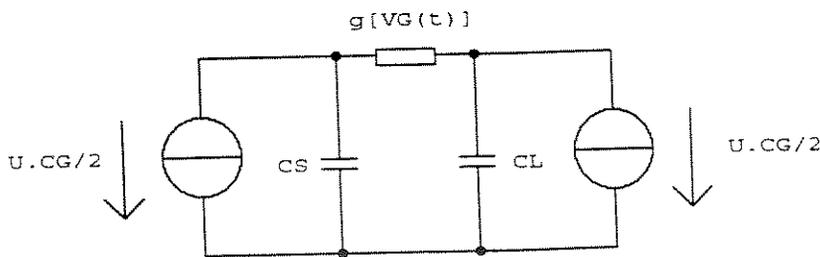


Figura 3.8: Modelo simplificado para análise de injeção de cargas.

O equacionamento deste circuito resulta num sistema equivalente as equações (3.12) e (3.13). Podemos incluir os seguintes normalizados no equacionamento [1] :

$$B = (VH - VTE) \sqrt{\frac{\beta}{U \cdot CL}} \quad (3.14)$$

$$V = \frac{VL}{\frac{CG}{2} \sqrt{\frac{U}{\beta \cdot CL}}} \quad (3.15)$$

$$T = \frac{t}{\sqrt{\frac{CL}{U \cdot \beta}}} \quad (3.16)$$

Estes fatores simplificam a solução levando à seguinte equação diferencial normalizada [1][57]:

$$\frac{dV}{dt} = (T - B) \left[\left(1 + \frac{CL}{CS} \right) V + 2T \frac{CL}{CS} \right] - 1 \tag{3.17}$$

A equação (3.17) pode ser resolvida numericamente para diferentes razões de CL/CS , durante o tempo de abertura da chave (0 < T < B) , resultando na família de curvas ilustrada na figura 3.9 [1] [57] .

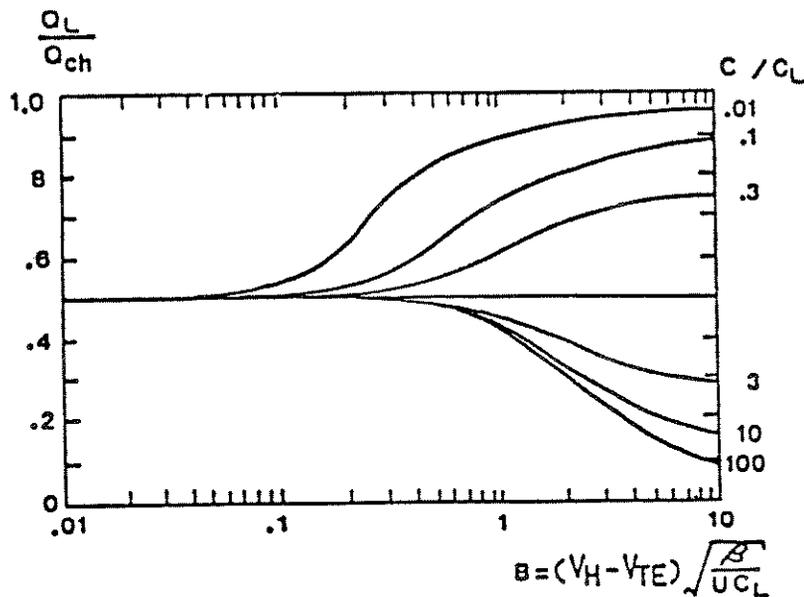


Figura 3.9: Fração de carga injetada pelo canal.

3.4 - TÉCNICAS PARA REDUÇÃO DA INJEÇÃO DE CARGAS

A análise das curvas da família 3.9 [1] [36] , pode nos dar diretrizes para a redução da injeção de cargas. Para valores de B pequenos (o que significa transições rápidas, ou seja, $U \rightarrow \infty$), independentemente da razão CL/CS , a fração de carga $Q_L/Q_{CH} \rightarrow 0.5$, o que significa que há uma equipartição de cargas. Isto é válido também para $CS = CL$ (lembrando que o melhor casamento entre capacitores é da ordem de 0.1% [25]). Um outro fator que poderá influir na equipartição é que as impedâncias vistas pelos dois lados da chave devem ser os mesmos, o que nem sempre ocorre [1] [36] . Para grandes excursões de VG, grandes razões de W/L e pequenos valores de CL , a fração de carga varia consideravelmente com a razão CS/CL , sendo difícil prever na prática qual a fração de carga injetada no capacitor de hold. A seguir descrevemos os principais métodos reportados na literatura para redução do efeito de injeção. Na figura 3.10 encontramos uma coletânea de circuitos propostos na literatura [1] , [10], [14], [33], [45] com a finalidade de reduzir a injeção de cargas.

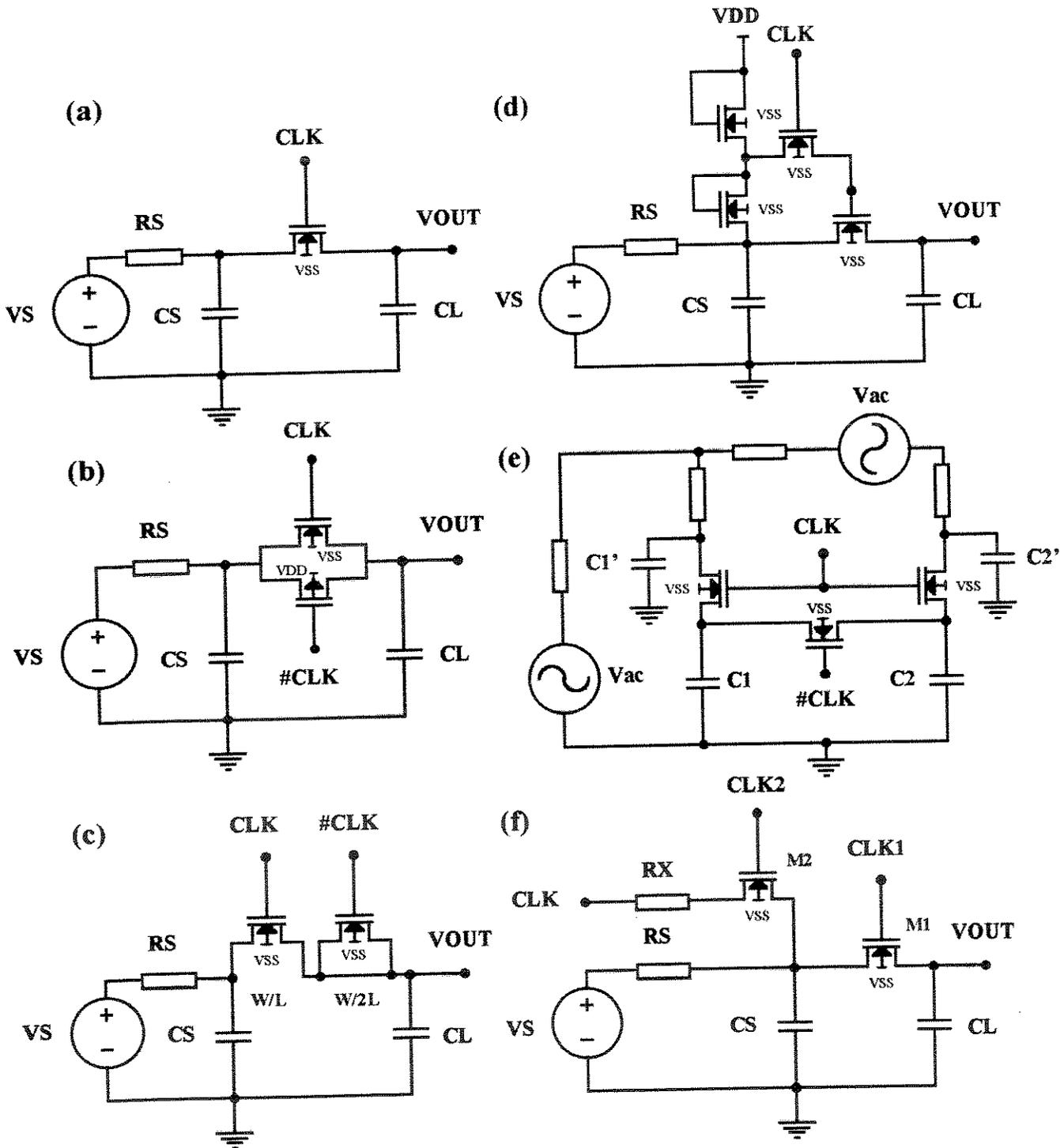


Figura 3.10 : Circuitos com chaves MOS para redução da injeção de carga ; (a) chave simples; (b) chave complementar ; (c) chave *dummy* ; (d) chave com equipartição de cargas; (e) chave diferencial e (f) chave com correção de erro .

No caso da chave simples, figura 3.10(a), que é uma forma comumente usada, faz-se B pequeno e a razão CL/CS próxima da unidade. Isto garante apenas a equipartição de cargas, o que significa que a fração de carga sendo conhecida, facilita a implementação de métodos de auto-zero. Entretanto o uso de drives rápidos ($U \rightarrow \infty$) é problemático em tecnologias *MOS* e uma pequena variação das impedâncias vistas pelas chaves pode alterar a equipartição das cargas [36].

No caso da chave complementar, figura 3.10(b), as dificuldades residem no fato de se conseguir obter um par de chaves com características exatamente complementares e no *skew* gerado pelo sistema de *clock*, o que resulta na prática num resultado pior do que para as chaves simples[33].

O circuito mais utilizado na literatura para a redução da injeção de cargas é o uso da chave *dummy*, que consiste de uma chave extra com metade da dimensão da chave principal, colocada em curto no nó de saída do capacitor de *hold* [10] [58]. A figura 3.10(c) ilustra uma chave *dummy*. Ela se aplica aos casos de equipartição de carga, onde as impedâncias vistas em ambos lados das chaves devem ser iguais. Neste caso quando a chave principal injeta uma carga $\Delta Q/2$ no capacitor de *hold*, após esta amostragem, uma segunda chave auxiliar (*dummy*) é acionada para drenar a mesma quantidade de carga adicionada $\Delta Q/2$. Esta configuração exige um *layout* bastante otimizado [1] [58], ficando o erro residual, segundo [58] limitada pelo grau de casamento entre a chave principal e a chave *dummy*. Entretanto pequenos descasamentos nas taxas U dos *clocks* das chaves *dummy* e principal também podem causar um erro de offset. Uma outra fonte de erro, ainda inexplorada na literatura, consiste em admitir-se que o fenômeno de injeção de carga e de extração de cargas sejam perfeitamente simétricos, como usualmente é considerado, o que pode ser questionado, levando-se em conta dados experimentais, assunto este a ser explorado.

Na figura 3.10(d) encontramos uma configuração de uma chave que proporciona a equipartição de cargas [1]. Ela se baseia no fato de chavear a chave principal com uma tensão um pouco superior a tensão de *threshold*, garantindo assim uma quantidade mínima de cargas no canal e desse modo diminuindo-se muito a quantidade de cargas injetadas, o que garante a equipartição de cargas, pois o parâmetro B é pequeno. Uma desvantagem deste circuito é que devido ao fato do transistor ser chaveado próximo de V_T , a resistência do canal é maior, aumentando-se as constantes de carga/descarga do capacitor de *hold*, diminuindo desta forma a máxima frequência de operação do circuito.

Uma configuração alternativa proposta é chave diferencial [36], apresentada na figura 3.10(e). Ela é composta de dois transistores $Q1$ e $Q1'$ e dois capacitores $C1$ e $C1'$ ambos casados. Seu uso se dá na amostragem de sinais diferenciais, de forma que sendo os dispositivos casados, a mesma quantidade de carga será injetada em cada capacitor e, por conseguinte, a tensão residual no capacitor de *hold* será nula. Isto se dá quando as impedâncias de saída das fontes são iguais, sendo que os capacitores $C2$ e $C2'$ (casados) devem ser incluídos para compensar este problema. Além de ser uma estrutura complexa e diferencial, existem ainda outros problemas. Alguns estudos [1] [39] mostram que existe uma dependência linear da tensão residual, δV , com a tensão de entrada. Como as tensões carregadas nos capacitores $C1$ e $C1'$ são diferentes, este amostrador somente funcionará bem para pequenos sinais, onde esta diferença possa ser desprezada e a compensação efetivamente realizada. Uma forma de solução deste problema consiste em alterar esta estrutura utilizando-se um único capacitor C flutuante que é então carregado diferencialmente pelas chaves. Deste modo ocorre um efetivo cancelamento do erro, ficando o erro residual restrito ao casamento das chaves. Entretanto como estamos usando capacitores aterrados não consideramos o uso desta chave.

Um dos métodos mais promissores para o cancelamento da injeção pode ser visto na figura 3.10(e), onde é efetuada uma correção da tensão a ser amostrada acrescentando-se o erro devido a injeção antes da abertura da chave, de forma a compensar praticamente o erro a ser introduzido, podendo ser atingida alta precisão, mesmo para capacitores CL pequenos [1]. Esta técnica baseia-se na observação experimental de que a tensão residual de erro, δV , causada pela injeção de cargas, decresce linearmente com tensão de entrada amostrada [1], conforme pode ser observado na figura 3.11 .

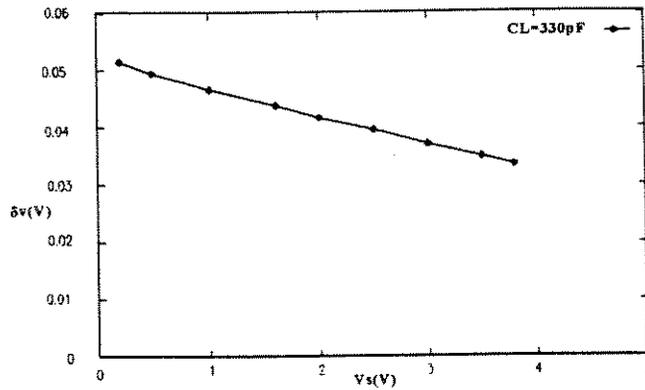


Figura 3.11: Curva experimental $\delta V \times V_S$.

Desta forma somamos, no momento da injeção de carga, uma tensão de correção que compensará a injeção, de modo que a tensão no capacitor de *hold* estará automaticamente corrigida. Isto pode ser realizado comutando-se as chaves M1 e M2 conforme ilustrado na figura 3.12 [1] .

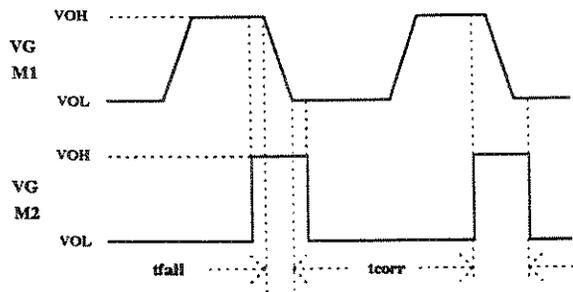


Figura 3.12: Tensões de controle das chaves analógicas M1 e M2 .

Considerando-se então a tensão correta no capacitor VCAP e a tensão com erro de injeção VCAP' [1]:

$$VCAP(VS) = VS \tag{3.18}$$

$$VCAP'(VS) = VCAP0 + \alpha VS \tag{3.19}$$

A tensão de erro pode ser expressa por [1] :

$$\delta V = VCAP(V_i + \delta V) - VCAP'(V_i + \delta V) \tag{3.20}$$

$$\delta V = V_i + \delta V - V_{CAP0} - \alpha (V_i + \delta V) \quad (3.21)$$

$$\delta V = (1/\alpha) [V_i (1 - \alpha) - V_{CAP0}] \quad (3.22)$$

O que resulta em [1] :

$$\delta V = \frac{1 - \alpha}{\alpha} V_i - \frac{V_{CAP0}}{\alpha} \quad (3.23)$$

Assim a tensão que corrige a injeção é dada por [1] :

$$V_k = V_i + \delta V = \frac{1}{\alpha} V_i - \frac{V_{CAP0}}{\alpha} \quad (3.24)$$

Esta equação pode ser implementada usando uma tensão auxiliar V_{ref} , um resistor R_x e uma chave auxiliar $M2$, onde, neste caso devemos considerar a sua resistência de canal no estado ON , R_{ON} . Assim a tensão de correção vale [1] :

$$V_k = \frac{R_s}{R_x + R_{ON} + R_s} V_{ref} + \frac{R_x + R_{ON}}{R_x + R_{ON} + R_s} V_s \quad (3.25)$$

Despresando-se a resistência da chave, ou seja, considerando-se $R_x \gg R_{ON}$, temos que [1] :

$$V_k = \frac{R_s}{R_x + R_s} V_{ref} + \frac{R_x}{R_x + R_s} V_s \quad (3.26)$$

Comparando a expressão (3.26) com a expressão (3.24) encontramos os valores de R_x , R_s e V_{ref} que efetuam a correção; sendo dados por [1]:

$$\frac{1}{\alpha} = \frac{R_x}{R_x + R_s} \quad (3.27)$$

$$-\frac{V_{CAP0}}{\alpha} = \frac{R_s}{R_x + R_s} V_{ref} \quad (3.28)$$

Conforme podemos verificar, desde que a tensão de V_{ref} seja estável, R_s e R_x com baixos coeficientes de temperatura, e uma baixa resistência de canal em $M2$ (de modo que $R_x \gg R_{ON}$), este método efetivamente corrige a tensão de erro causada pelo efeito de injeção de carga. Entretanto a tensão V_{ref} deve ser projetada de forma a ficar dentro dos limites da tensão de alimentação do circuito. A resistência equivalente entre R_x e R_s , durante a transição não deverá ser muito grande para não aumentar muito a constante de tempo do circuito, prejudicando o seu desempenho. Não existe também nenhum resultado na literatura da variação da tensão de erro δV com a temperatura, o que é possível de ser, uma vez que ela depende dos parâmetros do transistor. Neste caso uma fonte de compensação poderia ser adicionada em V_{ref} para compensar este fenômeno.

3.5 - A CHAVE CRUZADA

A estrutura de amostragem de sinais na técnica de quantização, é a chave cruzada, apresentada na figura 3.13(a), sendo composta de quatro chaves ligadas em forma de ponte, conforme mostrado no capítulo 1. Na primeira versão de avaliação foram utilizadas chaves comerciais CD 4066 formando a estrutura mostrada na figura 3.13(b). Na segunda versão do circuito foram utilizadas chaves cruzadas implementadas com um *array* de transistores implementadas no PMU-CMOS7 [1], com dimensão $W/L = 100/10$ e $WL = 50/10$, estando sua configuração mostrada na figura 3.13(c).

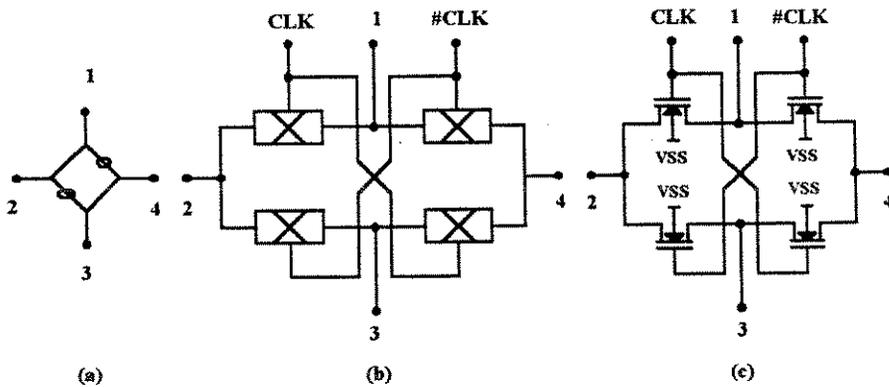


Figura 3.13: Implementação da chave cruzada ; (a) símbolo ; (b) usando CD 4066 ; (c) usando *array* de transistores.

O *array* de transistores utilizado pode ser visto na figura 3.14 . Neste caso, como as chaves tem um W/L grande, as resistências *ON* das chaves são relativamente pequenas, mas em contrapartida o efeito de injeção de carga é grande devido a dimensão das capacitâncias de *gate*, o que limita o valor mínimo do capacitor de *hold* utilizável .

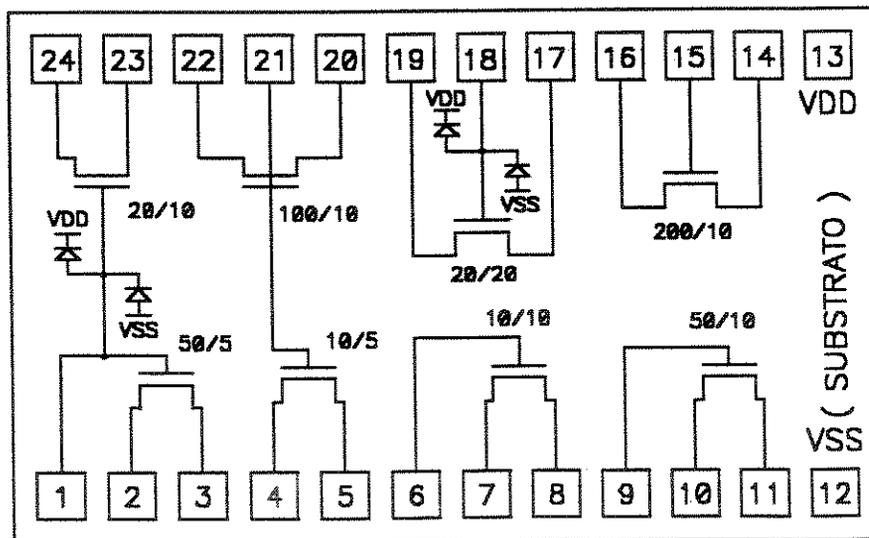


Figura 3.14: *Array* de transistores implementados no PMU-CMOS7 .

Na implementação totalmente integrada do circuito foram escolhidas chaves pequenas, baseadas nas dimensões geralmente usadas em circuitos chaveados e visando uma baixa injeção de cargas baseada nos estudos de [1]. As dimensões escolhidas para as chaves foram $W=10u$ e $L=5u$ para que $W/L > 1$ e desta forma não apresentar uma resistência R_{on} muito grande. O *layout* realizado para esta chave está mostrado na figura 3.15

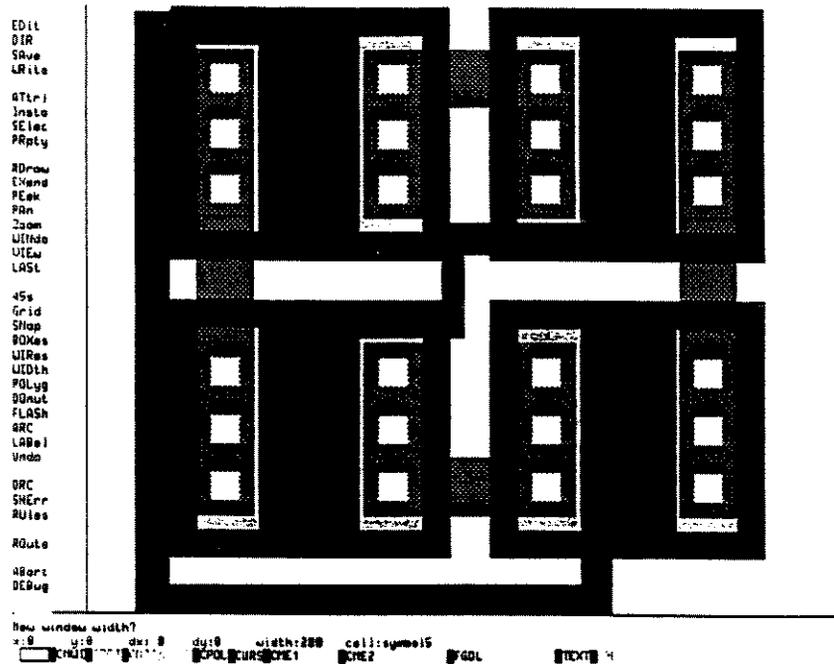


Figura 3.15: *Layout* das chaves cruzadas realizadas no PMU-CMOS 8.

Pode-se observar neste *layout* que as chaves se encontram dispostas em torno do centro geométrico (baricentro) das mesmas e as fitas de ligação têm a mesma dimensão de modo a otimizar o casamento das chaves e das capacitâncias parasitas.

Em qualquer uma das versões realizadas as chaves cruzadas têm circuitos de *clock* projetados de forma a não permitir que as chaves entrem em condução simultaneamente, não mantendo assim a distribuição de cargas nos capacitores.

3.5.1 - CIRCUITO DE CLOCK INTERCALADO

Como a chave cruzada necessita de dois sinais de *clock* complementares, uma forma imediata de obtenção destes sinais, seria o uso de um inversor , ou o uso das saídas complementares de um *flip-flop*, conforme ilustra a figura 3.16(a) e 3.16(b) respectivamente. Entretanto no circuito da figura 3.16(a) o atraso entre os *gates* faz que um certo intervalo, Δt_s , as quatro chaves estejam em condução simultânea, enquanto que na figura 3.16(b) as saídas do *flip-flop* não têm as mesmas taxas de subida e descida, aliado ao atraso entre os sinais causando também a condução simultânea das chaves.

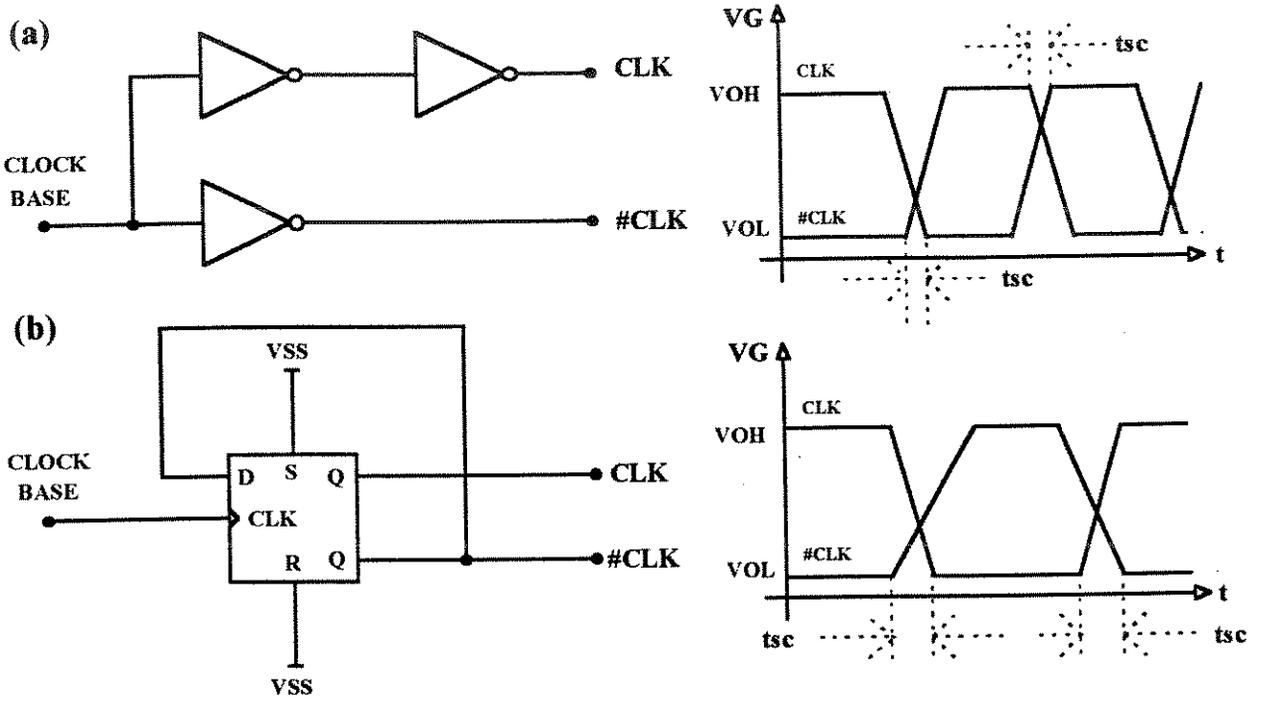


Figura 3.16: Circuitos simples para a geração de CLK e #CLK; (a) com inversores ; (b) com *flip-flops* :

Para resolver estes problemas pode ser implementado um circuito de *clock* intercalado, em que não ocorra a condução simultânea das chaves, assim como tenha um *skew* mínimo como mostrado na figura 3.17.

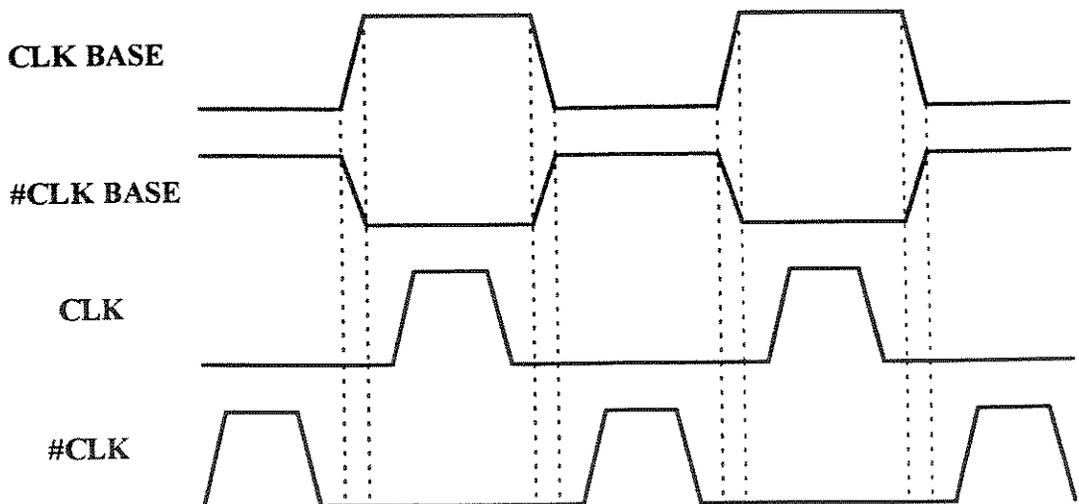


Figura 3.17: Sistema de *clock* intercalado .

Estes sinais podem ser facilmente obtidos fazendo-se uma operação AND lógica entre o sinal de *clock* base e este mesmo sinal atrasado de Δt . Este atraso pode ser obtido por N *gates* formando um *buffer* lógico com atraso Δt , conforme mostrado na figura 3.18 .

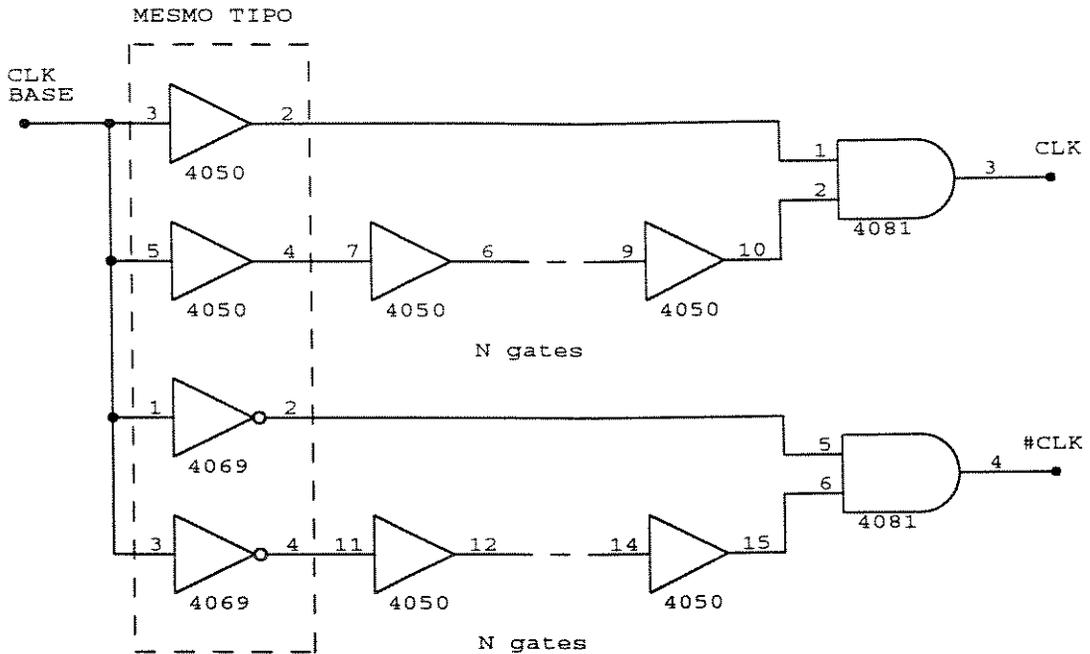


Figura 3.18: Circuito de *clock* intercalado.

Entretanto, é desejável que tenhamos um Δt pequeno, suficiente para não haver condução simultânea e que não gere diferenças entre CLK e # CLK para manter a total simetria do circuito. Deste modo os *buffers* e os inversores devem ser do mesmo tipo, ou seja, ter os mesmos atrasos de propagação. No caso real, os *buffers* são obtidos por dois inversores em série, o que garante sempre uma diferença de um atraso de propagação entre um *buffer* e um inversor. Entretanto, existe uma opção que consiste em utilizar uma porta OU-EXCLUSIVO para fazer o papel de *buffer* e inversor, conforme pode ser visto na figura 3.19 .

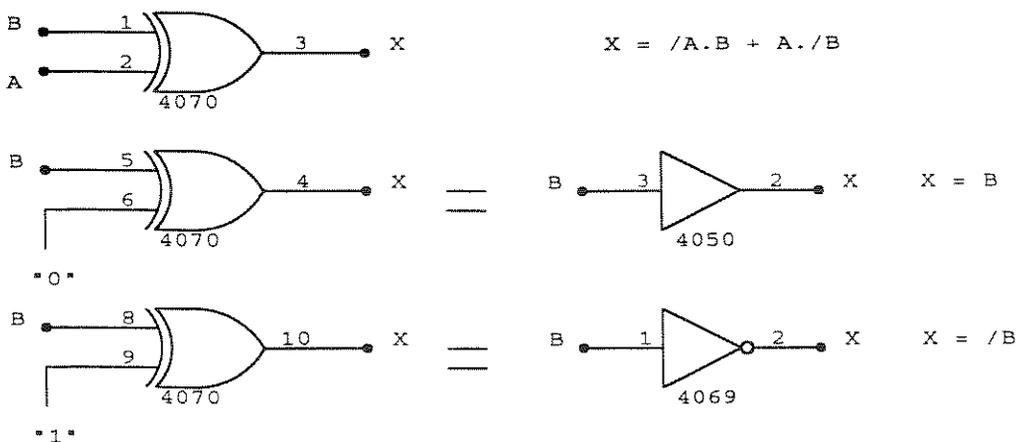


Figura 3.19: Implementação de inversores e *buffers* usando portas OU-EXCLUSIVO.

Observando-se a estrutura interna de uma porta OU-EXCLUSIVO CMOS [8] , apresentada na figura 3.20, podemos verificar que se mantivermos a entrada A no potencial de seleção de função (“0” = *buffer* ; “1”= *inversor*), o sinal vindo de B percorre sempre a mesma estrutura , portanto com o mesmo tempo de propagação, de modo que se a estrutura for convenientemente projetada poderá ter os tempos de subida e descida aproximadamente simétricos.

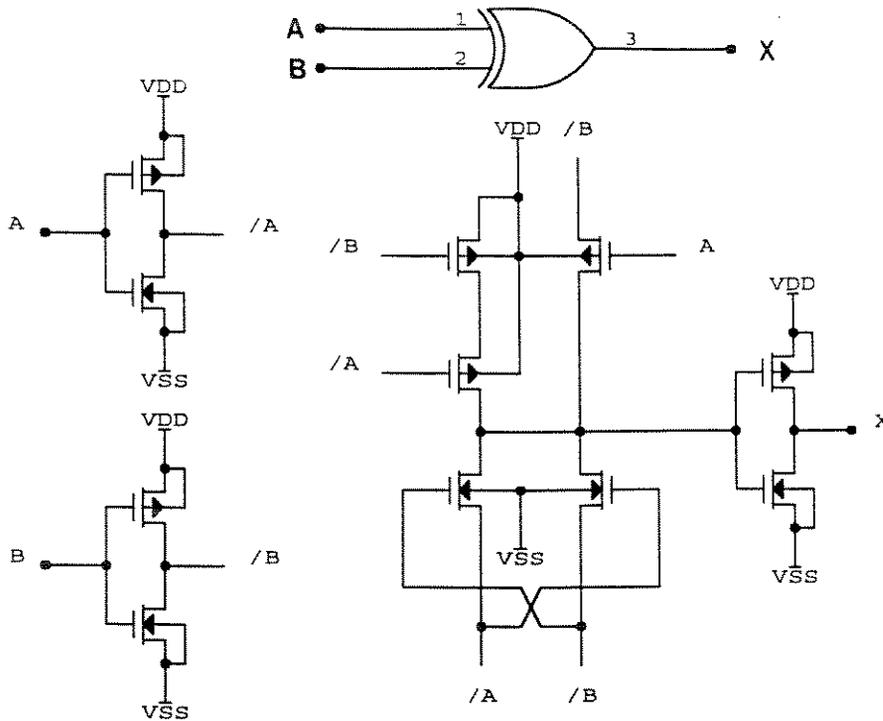


Figura 3.20: Estrutura interna de uma porta OU-EXCLUSIVO CMOS.

Utilizando-se então estas configurações para substituir os *buffers* e inversores do circuito , temos o circuito final do *clock* que pode ser visto na figura 3.21 .

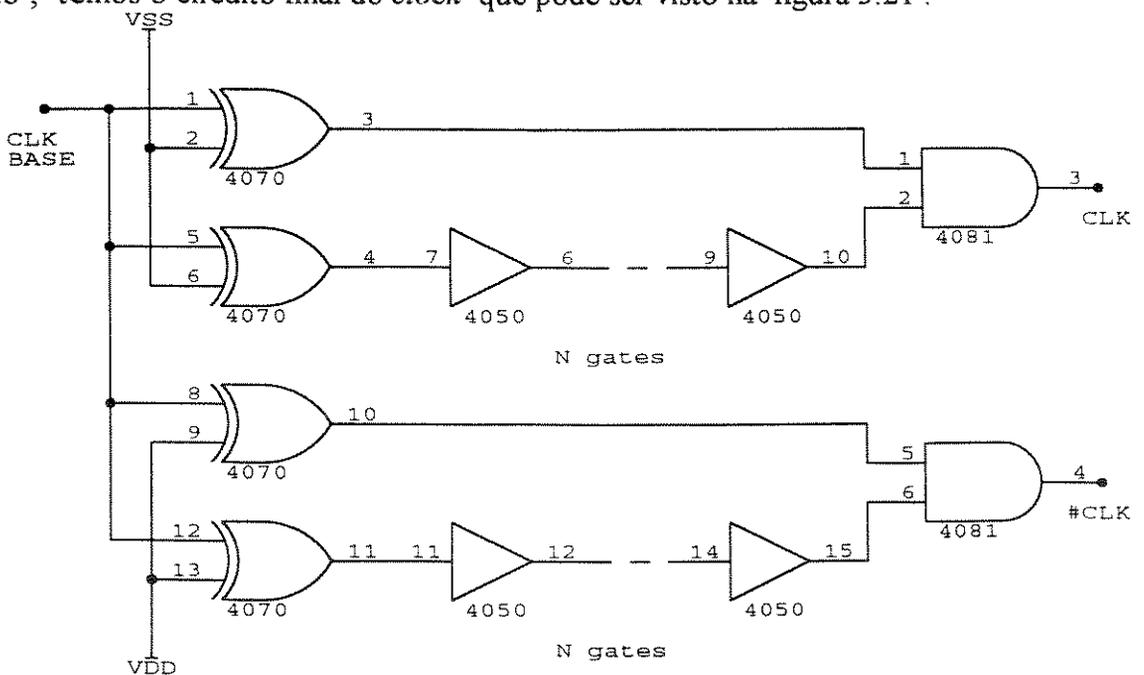


Figura 3.21: Configuração final do circuito de *clock* intercalado.

3.6 - BUFFERS

Os *buffers* de ganho unitário desempenham um papel fundamental na técnica de quantização, pois isolam circuitos com baixa capacidade de fornecimento de corrente, onde são lidas as tensões armazenadas em capacitores de *hold*, dos circuitos de saída que devem ter grande capacidade de fornecimento de corrente para a carga e descarga rápida dos capacitores do próximo estágio acoplado em sua saída. Na estrutura do amplificador são necessários três *buffers*: dois nas entradas do somador, provendo o mesmo de uma alta impedância de entrada, e um outro em sua na saída para proporcionar capacidade de fornecimento de corrente. A figura 3.22 mostra a utilização dos *buffers* nos circuitos propostos.

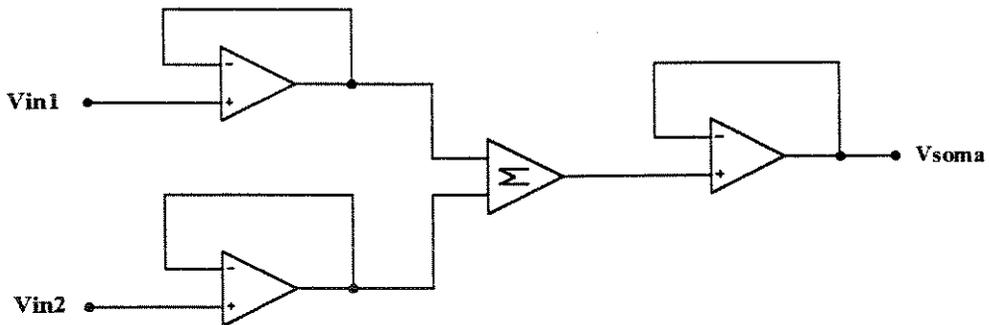


Figura 3.22 - Uso dos *buffers* nas versões propostas.

3..6.1 - PRIMEIRA VERSÃO DO BUFFER

Na primeira versão de avaliação do amplificador foi utilizado um amplificador operacional BIMOS CA3140, devido a sua alta impedância de entrada, e demais características que podem ser vistas na tabela 3.2.

Característica	parâmetro	valor típico
Resistência de entrada	Z_{in}	1.5 T Ω
Capacitância de entrada	C_{in}	4 pF
Corrente de entrada	I_{in}	10 pA
Offset de entrada	V_{io}	2 mV
Resistência de saída	R_o	60 Ω
Produto Ganho-Banda	f_t	4.5 MHz
Slew Rate	sr	9 V/us
Rise Time	t_r	0.08 us
Settling Time	t_s	1.4 us

Tabela 3.2: Características típicas do amplificador operacional BIMOS CA3140 (dados extraídos do LINEAR DATA BOOK - RCA)

Como podemos verificar este amplificador operacional apresenta uma elevada impedância de entrada, associada a uma baixa corrente de fuga e uma baixa capacitância de entrada. Entretanto, como a tensão de *offset* de entrada é da ordem de 2mV, eles foram providos de um potenciômetro para ajuste de *offset* conectado aos pinos 1 e 5 do mesmo. Como os mesmos operam em ganho unitário, a máxima frequência de operação é dada por:

$$f_{\max} = \frac{1}{t_r + t_s} = \frac{10^6}{1.4 + 0.08} \cong 675 \text{ kHz} \quad (3.29)$$

Existe também uma limitação da capacidade de fornecimento de corrente para a carga dos capacitores, representada por R_o , formando então uma constante de tempo:

$$\tau_{\min} = R_o \cdot C_{\text{hold}} \quad (3.30)$$

Considerando-se que o capacitor está carregado com 99% da tensão para 5τ , e que no momento da carga/descarga dos capacitores a resistência R_{on} das chaves encontra-se em série com a resistência de saída R_o , temos que:

$$\frac{1}{f_{\max}} = 5 \cdot \tau_{\min} = 5 \cdot (R_o + R_{on}) \cdot C_{\text{hold}} \quad (3.31)$$

O máximo valor do capacitor de hold é limitado então em:

$$C_{\text{hold máx}} = \frac{1}{5 \cdot f_{\max} \cdot (R_o + R_{on})} \quad (3.32)$$

Para os valores dados na tabela 3.1 e como as chaves CD 4066 apresentam um R_{on} de 80Ω (tabela 3.1), teremos que a máxima capacitância de *hold* para que se garanta a carga completa dos capacitores será de :

$$C_{\text{hold máx}} = \frac{1}{5 \cdot 675 \cdot 10^3 \cdot (60 + 80)} \cong 2.12 \text{ nF}$$

O valor mínimo do capacitor de *hold* fica limitado pelo erro de injeção de carga, que é elevado para capacitores pequenos. Nesta versão de avaliação foram escolhidos capacitores de 1 nF. Este valor apesar de elevado é uma boa solução de compromisso já que se trata de uma versão discreta do amplificador e desta forma o capacitor de *hold* é bem maior que as capacitâncias parasitas devido à montagem.

3.6.2 - SEGUNDA VERSÃO DO BUFFER

Na segunda versão, os *buffers* foram construídos utilizando-se o *array* de transistores implementados no PMU - CMOS 7 (citado anteriormente - figura 3.14) e espelhos de corrente ilustrados na figura 3.23, também implementados neste PMU.

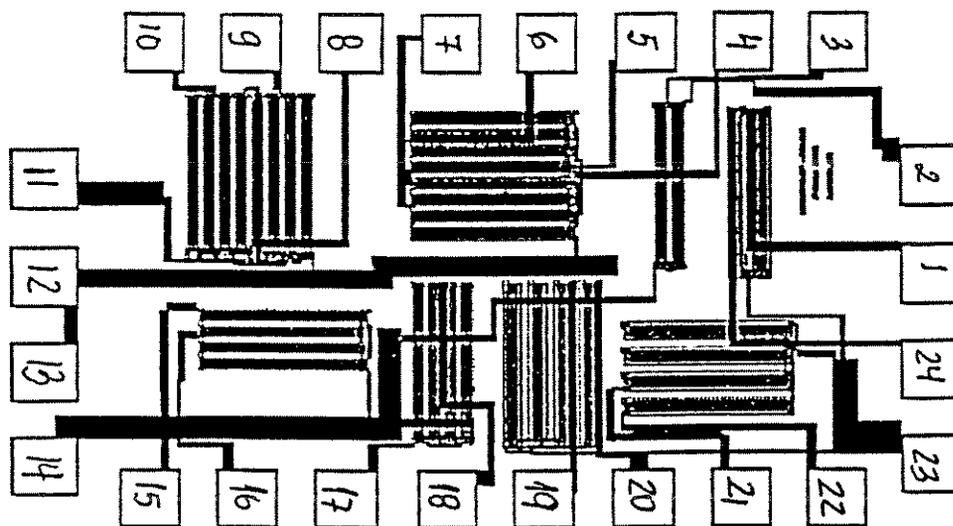


Figura 3.23: Espelhos de corrente implementados no PMU - CMOS7.

A escolha das dimensões dos transistores contou com a disponibilidade de dispositivos em número suficiente para montagem do amplificador. Desta forma foram utilizados um diferencial com transistores de dimensão $W/L = 100\mu/10\mu$, um espelho P simples, como carga ativa de dimensão $W/L = 300\mu/20\mu$, um transistor de saída de $W/L = 100\mu/10\mu$ e dois espelhos N simples, com $W/L = 300\mu/20\mu$, como fontes de corrente. O circuito resultando está mostrado na figura 3.24.

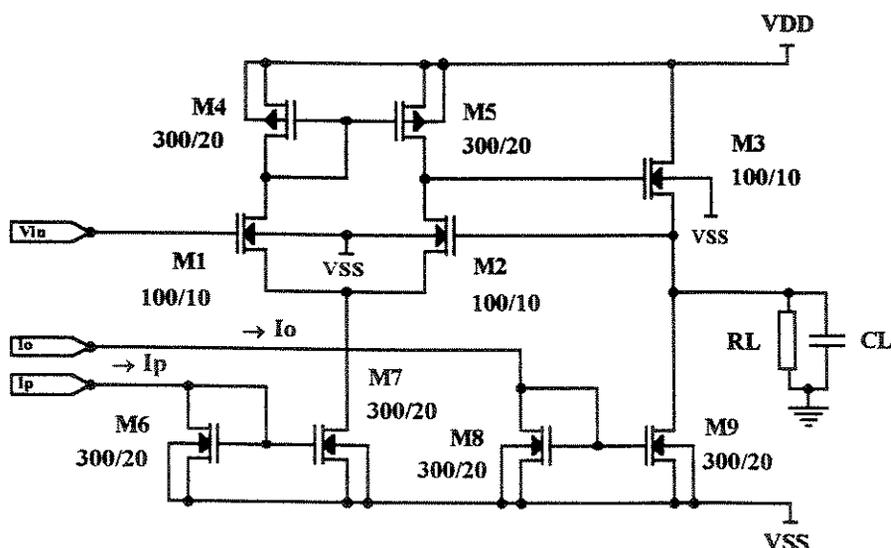


Figura 3.24: Buffer montado a partir de transistores e espelhos de corrente do PMU - CMOS7.

As fontes de referência I_o e I_p indicadas na figura 3.24, são compostas por duas fontes de precisão, montadas a partir de operacionais de precisão (OP 07), com *offset* extremamente baixo, e diodos de referência de tensão LM336 com $V_{ref} = 2.5\text{ V}$. A figura 3.25 ilustra a implementação destas fontes de corrente. As correntes I_o e I_p são feitas diferentes no projeto de modo a otimizarem a faixa dinâmica do *buffer* e a sua resposta a transientes. A corrente de saída $I_O = I_o$ ou $I_O = I_p$ é dada por:

$$I_O = \frac{V_{ref}}{R_O} = \frac{2.5}{R_O} \tag{3.33}$$

A escolha do valor apropriado para I_o levou em conta o tempo de carga e descarga dos capacitores, sendo tratado posteriormente no capítulo 4.

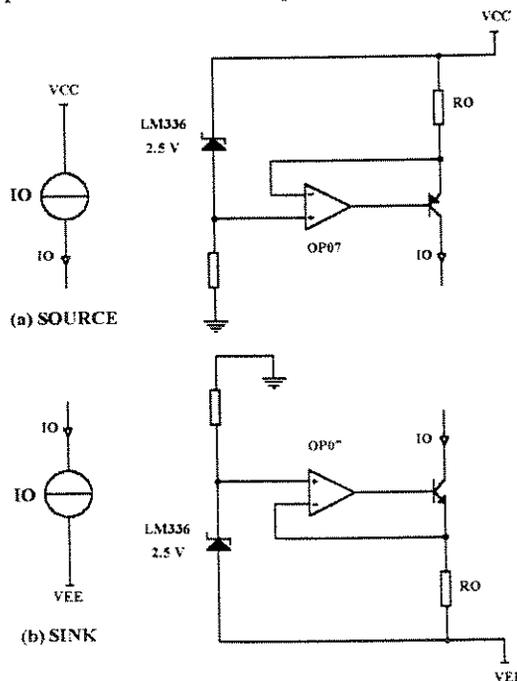


Figura 3.25: Circuito das fontes de corrente de referência; (a) *source* e (b) *sink*.

3.6.2.1 - TEMPOS DE CARGA E DESCARGA DOS CAPACITORES

Quando o *buffer* é usado para carregar ou descarregar um capacitor de *hold*, um parâmetro importante no seu projeto é a determinação do tempo de carga e descarga dos capacitores, pois estes tempos definirão a máxima frequência de operação com o *buffer*.

Consideremos então as figuras 3.26(a) e 3.26(b) para análise dos ciclos de carga e descarga dos capacitores, respectivamente. Para determinarmos o tempo de carga, consideremos que inicialmente a tensão no capacitor é nula, $V_o(0) = 0$, e que a entrada do *buffer* sofre um degrau de tensão de 0 a V_{in} como mostrado na figura 3.26(a). Consideremos também a característica de transferência do transistor M3 dada na figura 3.27.

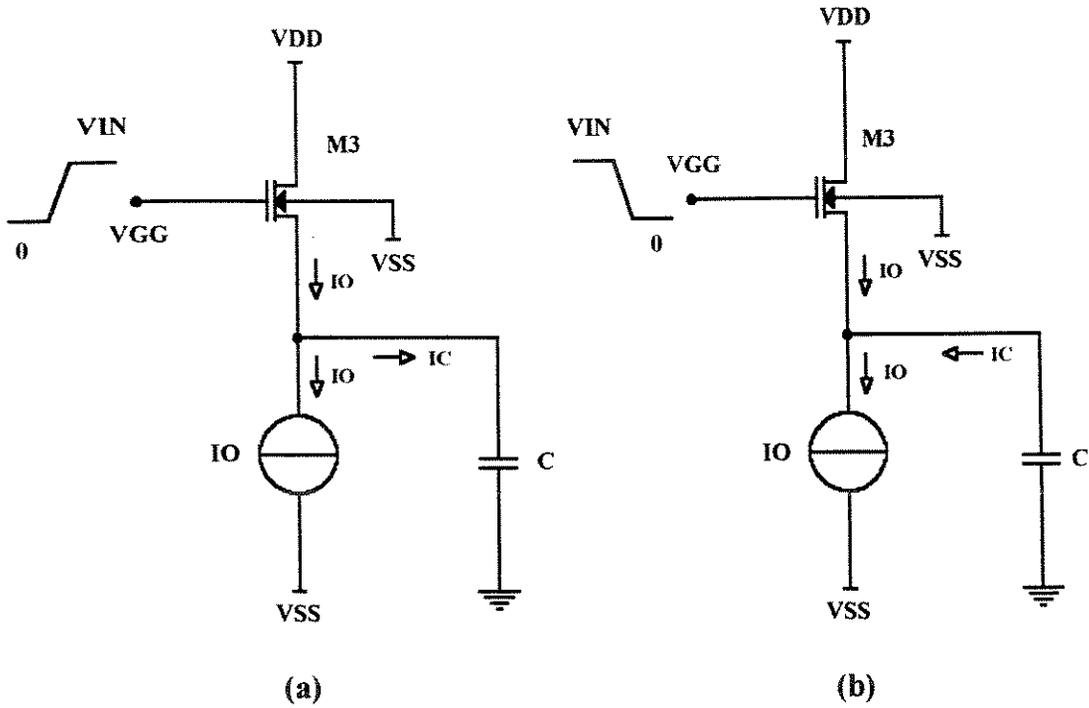


Figura 3.26: Circuito para análise da carga/descarga de capacitores pelo *buffer*; (a) carga do capacitor ; (b) descarga do capacitor .

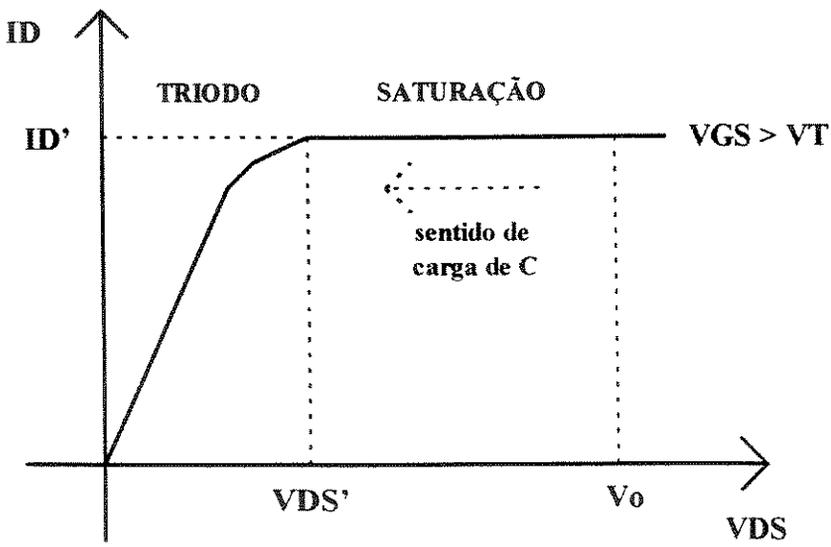


Figura 3.27: Característica de transferência do transistor de saída do *buffer*.

Supondo que inicialmente tenhamos uma tensão de saída nula, $V_o(0)$ e que a tensão de polarização de M3 esteja dentro da tensão de alimentação, ou seja $V_{GG} = V_{IN} + V_T < V_{DD}$, o transistor M3 opera na região de saturação, pois $V_{GS} > V_T$ e $V_{DS} > V_{DS}'$, onde V_T é a tensão de *threshold* do transistor e V_{DS}' é o chamado VDS de saturação do transistor [50]. Para a região de saturação a relação $I_D \times V_{DS}$ pode ser expressa por:

$$I_D = K (V_{GS} - V_T)^2 \quad (3.34)$$

onde :

$$K = \frac{\mu C_{ox} W}{2 L} \quad (3.35)$$

A tensão V_{GS} do transistor de Saída do *buffer* é dada por :

$$V_{GS} = V_{DD} - V_o \quad (3.36)$$

A corrente de carga do capacitor é dada por:

$$I_c = C \frac{dV_o}{dt} \quad (3.37)$$

Desta forma a taxa de subida de V_o será:

$$\frac{dV_o}{dt} = \frac{I_c}{C} \quad (3.38)$$

Da figura 3.26(a) temos que :

$$I_c = I_D - I_o \quad (3.39)$$

Assim das relações (3.34), (3.38) e (3.39) temos :

$$\frac{dV_o}{dt} = \frac{K}{C} (V_{DD} - V_T - V_o)^2 - \frac{I_o}{C} \quad (3.40)$$

Introduzindo para simplificação a tensão:

$$V_f = V_{DD} - V_T \quad (3.41)$$

A tensão V_f representa para $V_f = V_{in}$ a tensão final para a qual V_o tende assintoticamente. Substituindo a equação (3.41) na equação (3.40) teremos:

$$\frac{dV_o}{dt} = \frac{K}{C} (V_f - V_o)^2 - \frac{I_o}{C} \quad (3.42)$$

A solução desta equação diferencial, sujeita a condição inicial $V(0) = 0$, é dada por [46]:

$$V_o(t) = \frac{\left(\frac{KVf^2}{C} - \frac{I_o}{C}\right)t}{1 + \left(\frac{KVf}{C}\right)t} \quad (3.43)$$

Uma estimativa do tempo de subida é realizada na referência [46] supondo que o transistor está na região de saturação até a tensão V_o atingir $0.9 V_f$, entrando então na região triodo. Admitindo-se esta hipótese temos que o tempo de subida necessário para que V_o vá de 0 a $0.9V_f$ é dado por:

$$tr = \frac{9C}{KVf - \frac{10I_o}{Vf}} \quad (3.44)$$

Esta relação para $I_o = 0$ fornece o mesmo resultado que o tempo de carga para uma porta lógica dada em [46]. Como a corrente I_o geralmente é pequena, podemos aproximar este resultado para:

$$tr = \frac{9C}{KVf} \quad (3.45)$$

Para a descarga do capacitor vamos recorrer à figura 3.26(b). Neste caso quando V_{in} vai para zero, $V_{GS} < V_T$ e o transistor M3 é cortado, sendo que o capacitor é descarregado pela fonte de corrente I_o . Assim:

$$I_c = -I_o = -C \frac{dV_o}{dt} \quad (3.46)$$

A taxa de descida é dada então por:

$$\frac{dV_o}{dt} = -\frac{I_o}{C} \quad (3.47)$$

E o tempo de descida por:

$$tf = -\frac{C}{I_o} \int_{V_o}^{0.1V_o} dV_o = \frac{0.9V_o C}{I_o} \quad (3.48)$$

Considerando-se então o transistor de saída M3 com $W/L=100/10$ e os parâmetros dos transistores dados no Apêndice A, $C = 5pF$, $V_o = 5V$, uma corrente I_o de $50\mu A$ e para $I_o = 500\mu A$, obtemos um *buffer* com resposta em frequência de 2.14 Mhz para uma corrente I_o de $50\mu A$ e de 13.2 Mhz para uma corrente I_o de $500\mu A$. Estes dados estão resumidos na tabela 3.3. Entretanto o aumento de I_o acarreta uma diminuição na faixa dinâmica do *buffer*.

Parâmetro	I _o = 50 uA	I _o = 500 uA
tr	17.19 ns	30.75 ns
tf	450 ns	45 ns
tr + tf	467.19 ns	75.75 ns
fmax	2.14 MHz	13.2 MHz

Tabela 3.3: Desempenho do *buffer* implementado na segunda versão do amplificador.

3.6.2.2 - FAIXA DINÂMICA DA VERSÃO 2 DO BUFFER

As máximas tensões possíveis na saída do *buffer* dependem das menores quedas de tensão dos espelhos acrescida de VT. A menor tensão de saída de um espelho simples, polarizado por uma corrente I_{in}, é dada por [37]:

$$V_{out_{min}} = \sqrt{\frac{2 I_{in}}{K}} \tag{3.49}$$

Então, o limite positivo de tensão é dado por :

$$V_{out (+)} = VDD - V_{T_{M3}} - \sqrt{\frac{2 I_p}{K_{M5}}} \tag{3.49}$$

e o limite negativo por:

$$V_{out (-)} = - \left(|VSS| - \sqrt{\frac{2 I_o}{K_{M7}}} \right) \tag{3.51}$$

Assim, a tensão de saída tem a seguinte faixa dinâmica:

$$- \left(|VSS| - \sqrt{\frac{2 I_o}{K_{M7}}} \right) \leq V_{out} \leq VDD - V_{T_{M3}} - \sqrt{\frac{2 I_p}{K_{M5}}} \tag{3.52}$$

Considerando-se os parâmetros típicos para os transistores, dados no Apêndice A, temos que a faixa dinâmica do *buffer* para I_p = I_o = 50uA, VDD = 6 V e VSS = - 6 V, é a seguinte:

$$- 3.377 V \leq V_{out} \leq 3.614 V$$

Como podemos verificar estes os valores extremos correspondem a aproximadamente 60% da tenão de alimentação, o que limita o máximo valor de Vout em aproximadamente 40% da tensão de alimentação.

3.6.2.3 - RESPOSTA EM FREQUÊNCIA DA VERSÃO 2 DO BUFFER

O *buffer* é composto por dois estágios : um, de ganho de tensão, formado pelo par diferencial de entrada, e outro formado por um estágio de ganho de tensão unitário, formado por um seguidor de fonte, com baixa impedância de saída, conforme indicado na figura 3.28 .



Figura 3.28 : Blocos básicos da segunda versão do *buffer*.

O ganho de tensão em malha aberta para pequenos sinais, pode ser obtido, de uma forma simplificada, considerando-se que no ponto P de alta impedância desta estrutura temos um circuito equivalente RC que pode ser usado para determinar-se o pólo dominante da estrutura, conforme mostrado na figura 3.29.

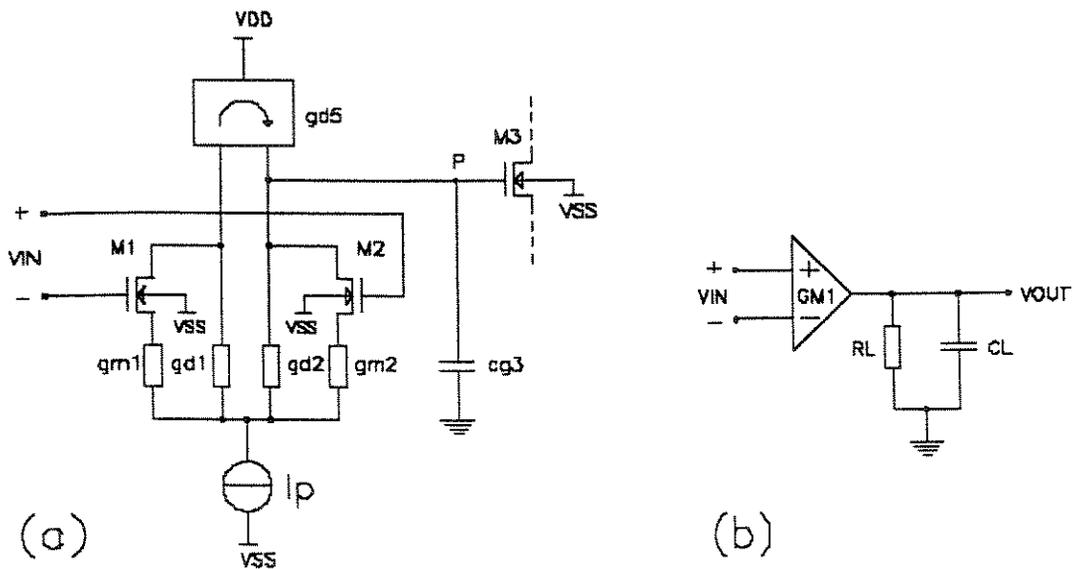


Figura 3.29: Circuito do *buffer* para determinação do pólo dominante ;
(a) circuito simplificado ; (b) circuito equivalente .

Analisando o circuito da figura 3.29(b), podemos determinar o ganho em malha aberta como sendo dado por [14] [36]:

$$Av_1 = gm_1 \cdot Z1 \quad (3.53)$$

$$\text{onde: } Z1 = R1 // \left(\frac{1}{s Cg_3} \right) \text{ e}$$

R1 é a impedância equivalente associada ao nó P do circuito.

A resistência R1 é a resistência de saída do par diferencial com carga ativa dada por:

$$R1 \cong \frac{1}{gd_2 + gd_5} \quad (3.54)$$

Assim, o ganho em malha aberta, em baixa frequência é dado por:

$$Av \cong \frac{gm_1}{gd_2 + gd_5} \quad (3.55)$$

A transcondutância dos transistores do par diferencial é dada por [14]:

$$gm_{1,2} = \frac{\partial ID}{\partial VGS} = \sqrt{2 \mu Cox \frac{W}{L} ID} \quad (3.56)$$

e as condutâncias de saída são dadas por [14]:

$$gd_2 = \frac{\partial ID_2}{\partial VGS_2} = \frac{\lambda ID_2}{1 + \lambda VDS_2} \cong \lambda Ip \quad (3.57)$$

$$gd_5 = \frac{\partial ID_5}{\partial VGS_5} = \frac{\lambda ID_5}{1 + \lambda VDS_5} \cong \lambda Io \quad (3.58)$$

O ganho do sistema em malha fechada é dado então por:

$$A(s) = \frac{Av(s)}{1 + Av(s)} = \frac{gm_1 Z1}{1 + gm_1 Z1} \quad (3.59)$$

Z1 pode ser calculado por Y1, que é a soma das condutâncias de saída:

$$Y1 = \frac{1}{Z1} = gd_2 + gd_5 + sCg_3 \quad (3.60)$$

Substituindo-se (3.60) em (3.59) temos:

$$A(s) = \frac{gm_1}{gd_2 + gd_5 + sCg_3 + gm_1} = \frac{\frac{gm_1}{Cg_3}}{1 + \frac{gm_1 + gd_2 + gd_5}{sCg_3}} \quad (3.61)$$

O pólo deste sistema é dado então por:

$$Sp = - \frac{gm_1 + gd_2 + gd_5}{Cg_3} \quad (3.62)$$

Caso o efeito de modulação de canal possa ser desprezado para W/L grande temos:

$$Sp \cong - \frac{gm_1}{Cg_3} \quad (3.63)$$

A frequência de transição de - 3 dB é dada por:

$$\omega_{.3dB} \cong |Sp| = \frac{gm_1}{Cg_3} \quad (3.64)$$

$$f_{.3dB} = \frac{1}{2\pi} \frac{gm_1}{Cg_3} \quad (3.65)$$

A capacitância de *gate* pode ser calculada pela relação [14]:

$$Cg_3 = \frac{2}{3} W_3 L_3 Cox \quad (3.66)$$

Assim, para grandes valores de W e L , aumentamos a capacitância de *gate* e com isso diminuimos a frequência de transição de - 3 dB. O *slew rate* do par diferencial será limitado pela capacitância de *gate* de M3 [14]:

$$Sr = \left| \frac{dVo}{dt} \right| = \left| - \frac{1}{Cg_3} \frac{dQg_3}{dt} \right| = \frac{Ip}{Cg_3} \quad (3.67)$$

Entretanto, a principal limitação do *slew rate* Sr , se dá na saída do *buffer*, quando temos um capacitor de *hold* muito maior que Cg_3 . Como esta versão do *buffer* foi montada discretamente, não foi colocada uma compensação, devido as capacitâncias parasitas de montagem agirem neste sentido.

3.6.3 - TERCEIRA VERSÃO DO BUFFER

No *buffer* projetado na versão 2, tínhamos uma excursão limitada na saída e uma forma de carga e descarga assimétrica do capacitor de *hold*, devido a saída do *buffer* não ser um estágio complementar. Nesta terceira versão, integrada, foi escolhido um par diferencial tipo P, para eliminar o efeito de corpo no par diferencial, e adicionado um estágio de saída em configuração complementar para possibilitar tempos de carga/descarga simétricos. Foram usados também dois transistores MOS ligados como diodos de valor VT para reduzir o *crossover* desta configuração. O circuito implementado pode ser visto na figura 3.30.

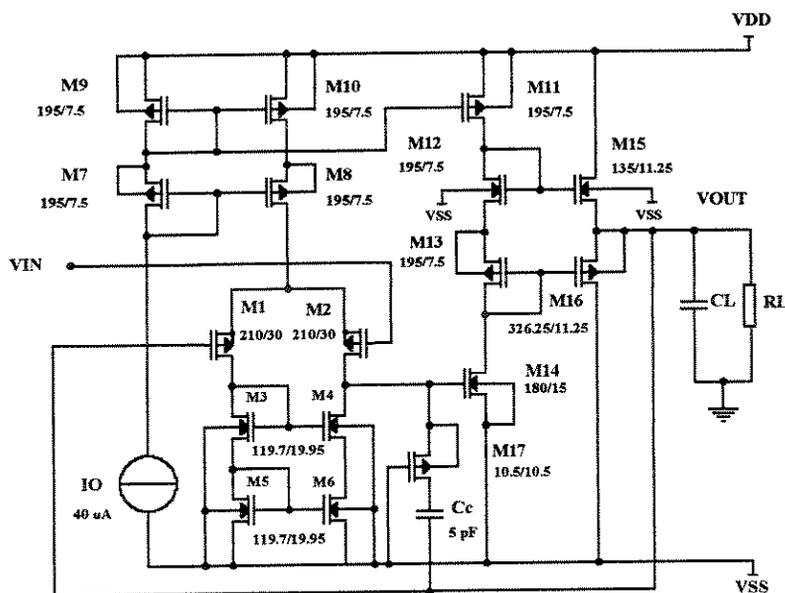


Figura 3.30: Versão totalmente integrada do *buffer*.

3.6.3.1 - TEMPOS DE CARGA E DESCARGA DOS CAPACITORES

Como este *buffer* tem um estágio de saída complementar os tempos de carga e descarga, serão simétricos desde que os transistores de saída apresentem o mesmo fator K, ou seja $K_N = K_P$, o que implica nas relações:

$$\frac{K_N}{K_P} = \frac{\mu_N \frac{C_{ox} W_N}{2 L_N}}{\mu_P \frac{C_{ox} W_P}{2 L_P}} = \frac{\mu_N W_N L_P}{\mu_P W_P L_N} = 1 \quad (3.68)$$

$$\frac{(W_P/L_P)}{(W_N/L_N)} = \frac{\mu_N}{\mu_P} \quad (3.69)$$

A relação (3.69) mostra que deverá haver uma relação entre os transistores P e N do estágio de saída. Neste caso t_r e t_f serão simétricos, $t = t_r = t_f$. Assim o tempo t é o mesmo que no caso de inversores CMOS, constituindo da soma dos tempos em que o capacitor de *hold* é carregado nas regiões de saturação e triodo [46]. Considerando-se então a figura 3.25, podemos calcular t para a descarga de C . Assim para $t = 0$, M15 estará cortado e M16 conduzirá toda a corrente I_D . Como toda a tensão do capacitor está aplicada em M16 e $V_{DS_{16}} > V_{DS'_{16}}$ ele está na região de saturação. Desta forma temos que [46]:

$$V_o(t) = V_{cm} - \frac{I_D}{C}t = V_{cm} - \frac{K}{C} (V_{GS} - V_T)^2 t \quad (3.70)$$

O transistor M16 ficará na região de saturação até que $V_{DS} = V_{DS}'$, o que ocorre para $V_{DS} = V_{GS} - V_T$. O tempo $t = t_{sat}$, para o qual $V_o(t_{sat}) = V_{GS} - V_T$, pode ser obtido de (3.70) para $V_o(t_{sat})$ [46]:

$$t_{sat} = \frac{C \left[\frac{V_o - V_{GS} + V_T}{(V_{GS} - V_T)^2} \right]}{K} \quad (3.71)$$

Para a região triodo, usando a relação (3.5) que descreve I_D , temos [46]:

$$\frac{dV_o}{dt} = - \frac{I_D}{C} = - \frac{K}{C} [2(V_{GS} - V_T)V_o - V_o^2] \quad (3.72)$$

O tempo na região triodo pode ser obtido integrando-se a relação (3.72) [46]:

$$t_{triodo} = - \int_{V_{cm}}^{0.1V_{cm}} \frac{dV_o}{\frac{K}{C} [2(V_{GS} - V_T)V_o - V_o^2]} \quad (3.73)$$

Para calcular o tempo de descida, calcula-se o tempo para que $V_o(t)$ caia de V_o a $0.1V_o$ sendo dado desta forma por [46]:

$$t_{triodo} = \frac{1.15 C}{K(V_{GS} - V_T)} \quad (3.74)$$

A partir dos parâmetros dos transistores dados no Apêndice A, temos que:

- Dimensões dos transistores usadas no projeto:

M15, NMOS, $W = 135 \text{ um}$ e $L = 11.25 \text{ um}$

M16, PMOS, $W = 326.25 \text{ um}$ e $L = 11.25 \text{ um}$

A pequena diferença encontrada nos valores de W e L devem-se a adaptação das dimensões dos transistores à grade de trabalho utilizada no *layout* dos dispositivos.

Então para o circuito projetado, supondo $V_o = 5V$, $V_{GS} - V_T = 2.5 V$ e $C_{hold} = 5pF$, temos:

$$K = [(510 \text{ cm}^2/V.s \times 138 \text{ nF/cm}^2) / 2] (135 \text{ um} / 11.25 \text{ um}) = 406.98 \text{ uA/V}^2$$

$$t_{sat} = (5 \text{ pF} / 406.98 \text{ uA/V}^2) / [(5 - 2.5) / (2.5)^2] = 4.92 \text{ ns}$$

$$t_{triodo} = (1.15 \times 5pF) / (406.98 \text{ uA/V}^2 \times 2.5) = 5.65 \text{ ns}$$

$$t = t_{sat} + t_{triodo} = 10.57 \text{ ns}$$

$$f_{max} = 1 / (t_r + t_f) = 1 / (2 t) = 47.3 \text{ Mhz}$$

Como podemos verificar trata-se de um estágio de saída rápido, sendo que o *buffer* é limitado em frequência pelo seu *slew-rate*.

3.6.3.2 - FAIXA DINÂMICA DA VERSÃO 3 DO BUFFER

Nesse *buffer* como temos um estágio de saída complementar AB, composto de M15 e M16. As máximas tensões de saída dependem das menores tensões de VDS de saturação para M11 e M14 acrescidas dos V_T de M15 e M16 para as máximas excursões positivas e negativas respectivamente. Então o limite positivo é dado por:

$$V_{out (+)} = V_{DD} - V_{T_{M15}} - \sqrt{\frac{2I_o}{K_{M11}}} \quad (3.75)$$

e o limite negativo por :

$$V_{out (-)} = - \left(|V_{SS}| - |V_{T_{M16}}| - \sqrt{\frac{2I_o}{K_{M11}}} \right) \quad (3.76)$$

A faixa dinâmica da saída está restrita a relação:

$$- \left(|V_{SS}| - |V_{T_{M16}}| - \sqrt{\frac{2I_o}{K_{M11}}} \right) \leq V_{out} \leq V_{DD} - V_{T_{M15}} - \sqrt{\frac{2I_o}{K_{M11}}} \quad (3.77)$$

Considerando-se os parâmetros típicos para os transistores, dados no Apêndice A, temos que a faixa dinâmica do *buffer* para $I_o = 40 \text{ uA}$, $V_{DD} = 6 V$ e $V_{SS} = - 6 V$, é a seguinte :

$$- 4.5 V \leq V_{out} \leq 4.84 V$$

Como podemos observar a saída pode excursionar aproximadamente até 75 % do valor da fonte de alimentação, mostrando uma melhora em relação ao *buffer* da segunda versão.

3.6.3.3 - RESPOSTA EM FREQUÊNCIA DA VERSÃO 3 DO BUFFER

Este *buffer* é composto por três estágios sendo dois de ganho de tensão, formado pelo par diferencial de entrada e um estágio fonte comum com carga ativa, e finalmente por um estágio de saída, seguidor de tensão em estrutura complementar, classe AB, de ganho unitário, conforme ilustrado na figura 3.31.

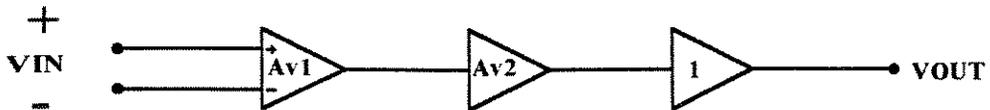


Figura 3.31: Blocos básicos do buffer da terceira versão.

O ganho em malha aberta para pequenos sinais, sem compensação, assim como no caso do *buffer* anterior, pode ser obtido considerando-se as constantes de tempo do circuito para a determinação do pólo dominante da estrutura, conforme mostrado na figura 3.32(a) e 3.32(b).

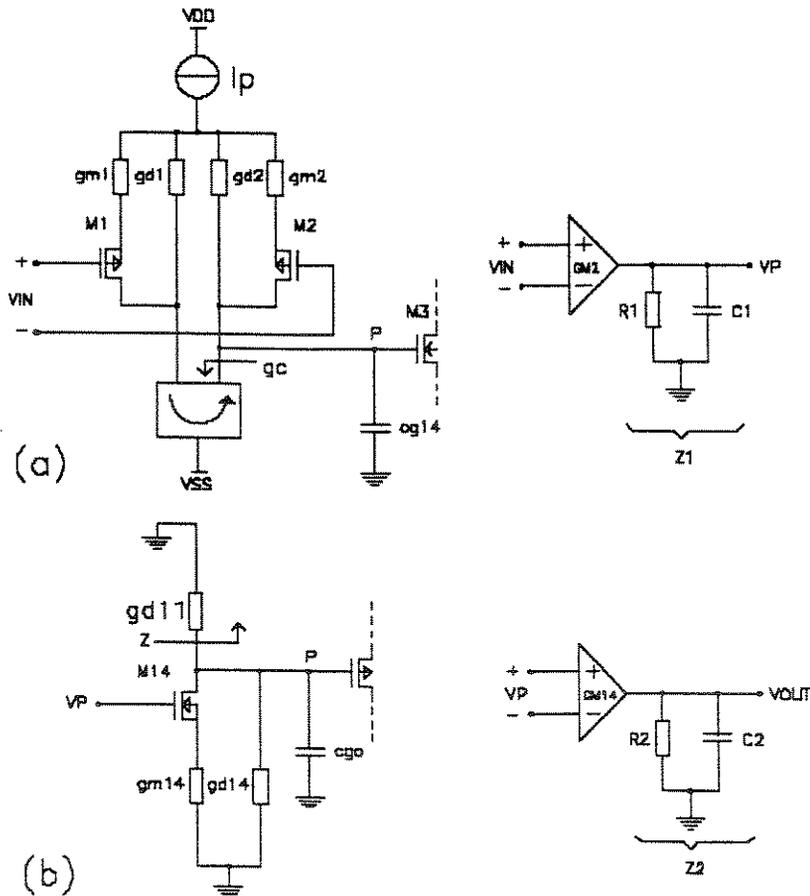


Figura 3.32: Estágios de ganho do *buffer* da terceira versão ; (a) estágio do par diferencial ; (b) estágio *source* comum .

Como se trata de um *buffer* de 2 estágios de ganho, o ganho de malha aberta final será dado pelo produto dos ganhos dos estágios individuais:

$$A_v(s) = A_{v_1}(s) \cdot A_{v_2}(s) \tag{3.78}$$

Conforme podemos verificar na figura 3.32(a) o ganho do estágio do par diferencial vale:

$$A_{v_1}(s) = g_{m_2} \left(R_{L_1} // \frac{1}{s C_1} \right) = - \frac{g_{m_2}}{g_c + g_{d_2} + s C_{g_{14}}} \tag{3.79}$$

Onde g_c é a condutância de saída do espelho cascode dada por [37]:

$$g_c = \frac{1}{r_c} = r_{d_6} + r_{d_4} + r_{d_6} r_{d_4} (g_{m_4} - g_{m_{b_4}}) \tag{3.80}$$

Para o segundo estágio temos:

$$A_{v_2} \cong - g_{m_{14}} \cdot (R_{L_2} // C_{L_2}) = - \frac{g_{m_{14}}}{g_{d_{11}} + g_{d_{14}} + s C_{g_o}} \tag{3.81}$$

Onde C_{g_o} é a capacitância do estágio de saída.

Considerando-se as relações (3.79) e (3.81) o ganho de tensão em malha aberta será:

$$A_v(s) = \frac{g_{m_2} g_{m_{14}}}{(g_c + g_{d_2} + s C_{g_{14}}) (g_{d_{11}} + g_{d_{14}} + s C_{g_o})} \tag{3.82}$$

A função de transferência (3.82) tem dois pólos, sendo que para garantir a estabilidade do sistema recorre-se a um sistema de compensação em frequência colocando-se um circuito RC, conforme mostrado na figura (3.33), para compensar o pólo dominante (*pole splitting*). O uso do resistor em série com o capacitor deve-se ao fato de que $g_{m_{14}}$ não é muito grande, e desta forma a separação dos pólos não é grande e assim o zero introduzido do lado direito do plano, atrai o lugar das raízes de modo que o sistema pode se tornar instável [36].

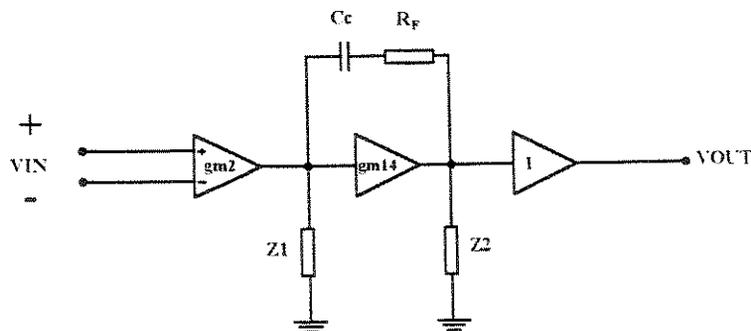


Figura 3.33: Compensação em frequência do *buffer* da terceira versão.

Assim limitando-se a Impedância de C_c através de R_f pode-se garantir a estabilidade do sistema [36]. A função de transferência para o sistema compensado é dada por [36]:

$$A(s) = \frac{A_v \left(1 + \frac{s}{z} \right)}{\left(1 + \frac{s}{p_1} \right) \left(1 + \frac{s}{p_2} \right) \left(1 + \frac{s}{p_3} \right)} \quad (3.83)$$

onde o zero e os pólos do sistema são dados por:

$$z = \frac{g_{m_{14}}}{(1 - g_{m_{14}} R_f) C_c} \quad (3.84)$$

$$p_1 \cong - \frac{1}{g_{m_{14}} R_1 R_2 C_c} \quad (3.85)$$

$$p_2 \cong - \frac{g_{m_{14}} C_c}{C_{g_{14}} C_{g_o} + C_c (C_{g_{14}} + C_{g_o})} \quad (3.86)$$

$$p_3 \cong - \frac{1}{R_f C_{g_{14}}} \quad (3.87)$$

Para garantir-se a estabilidade do sistema devemos ter: $R_f \geq (1 / g_{m_{14}})$ [36].

A resistência R_f pode ser substituída por um transistor MOS, onde a resistência do canal faz o papel do resistor série com o capacitor.

Como o circuito opera com capacitores chaveados, a referência [14] recomenda que o capacitor de compensação C_c seja da mesma ordem de grandeza dos capacitores de *hold*. Assim foi adotado um capacitor $C_c = 5$ pF e um transistor, M17, de $W/L = 10/10$ para fazer o papel do resistor R_f na rede RC de compensação.

Para determinarmos agora o *slew rate* deste *buffer* vamos recorrer a figura 3.34, onde temos aplicado um degrau na entrada do *buffer*, sendo que como M2 está cortado o capacitor C_c é carregado por I_o .

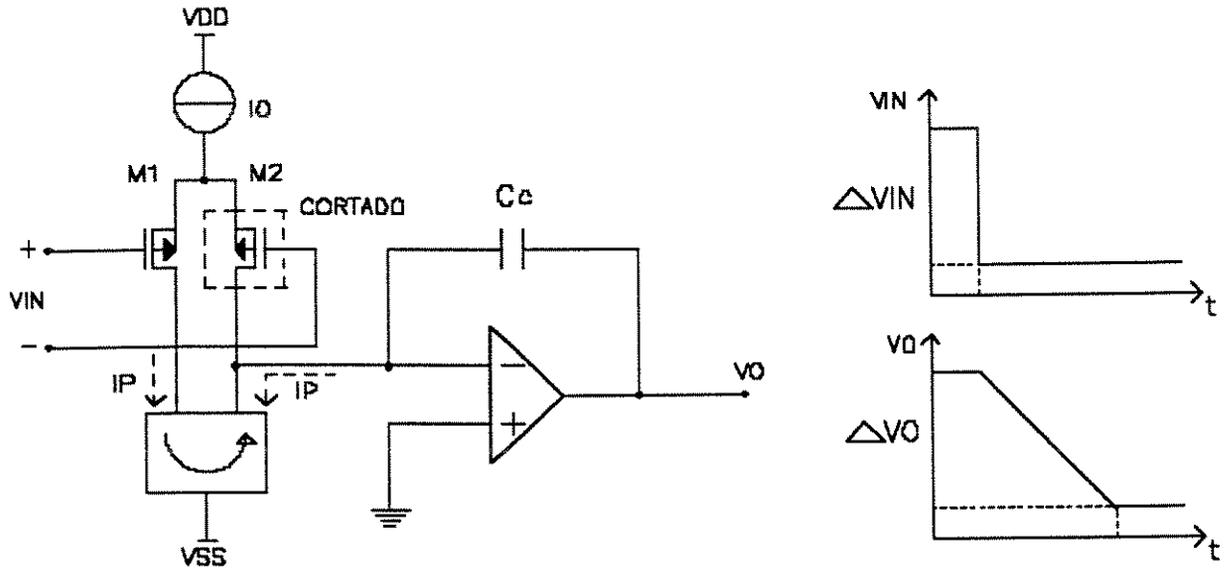


Figura 3.34: Determinação do *slew rate* do *buffer* da terceira versão.

Assim a variação máxima da tensão de saída V_o (*slew rate*) será dada por :

$$S_r = \frac{dV_o}{dt} = \frac{\Delta V_o}{\Delta t} = \frac{I_o}{C_c} \tag{3.38}$$

Supondo então $I_p = 40 \mu A$ e $C_c = 5 \text{ pF}$ temos um *slew rate* de:

$$S_r = \frac{40 \mu A}{5 \text{ pF}} = 8 \text{ V} / \mu s$$

Como podemos verificar ele apresenta um *slew rate* menor que o *buffer* da segunda versão e para aumentá-lo devemos aumentar I_o . Entretanto devemos ter um solução de compromisso, pois aumentando I_o diminuímos a excursão na saída do *buffer*.

3.7 - SOMADOR DE TENSÕES

Na primeira versão de avaliação do amplificador foi montado um somador não inversor, com um amplificador operacional baseado na configuração do amplificador diferenciador, dada na figura 3.35.

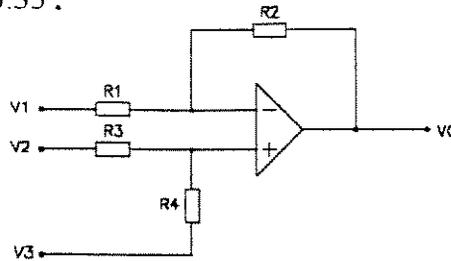


Figura 3.35: Somador com amplificador operacional.

Considerando-se, por simplicidade, o amplificador operacional ideal, e equacionando-se as malhas do circuito dado figura 3.35 encontramos a seguinte função de transferência:

$$V_{out} = \frac{(R1 + R2)}{(R3 + R4)} \left[\frac{R4}{R1} V2 + \frac{R3}{R1} V3 \right] - \frac{R2}{R1} V1 \tag{3.89}$$

No caso em que $R1 = R2 = R3 = R4$ temos que :

$$V_{out} = V2 + V3 - V1 \tag{3.90}$$

Fazendo-se então $V1 = 0$ temos um somador de tensões não inversor :

$$V_{out} = V2 + V3 \tag{3.91}$$

Como podemos observar, numa implementação prática os pares de resistores ($R4,R1$) e ($R3,R2$) devem constituir pares casados de forma a minimizar o erro de ganho causado pelo somador. Para as outra versões foram utilizados um somador totalmente integrado, realizado no PMU CMOS 8 [21] [37], que é baseado num conversor tensão-corrente de alta linearidade mostrado na figura 3.36.

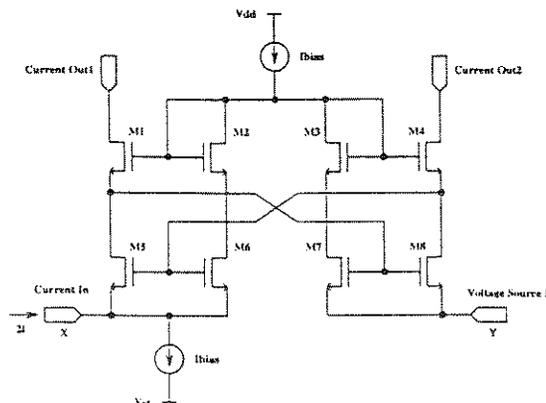


Figura 3.36: Conversor tensão-corrente de alta linearidade.

3.7.1 - CONVERSOR TENSÃO - CORRENTE

A estrutura de um conversor tensão - corrente em que é baseado o circuito somador foi desenvolvida na referência [37]. Esta estrutura é composta, conforme pode ser visto na figura 3.36, por oito transistores NMOS, sendo formado por dois blocos simétricos, interligados, que são alimentadas por uma fonte de corrente $2I$. Esta corrente divide-se através de M2 e M3 para cada um dos ramos da estrutura. Uma segunda fonte de corrente polariza M5 e M6. Como o circuito tem uma configuração cruzada, os pares (M5,M6) e (M7,M8) agem como espelhos de corrente fazendo com que a tensão de *dreno* de M5 seja igual a tensão de *gate* de M8, e a tensão de *dreno* de M8 seja igual a tensão de *gate* de M5 [37].

Consideremos agora a figura 3.37(a) onde a tensão de entrada $V_{in} = 0$. Assim apenas as fontes de corrente polarizam a estrutura. Como (M5,M6) e (M7,M8) formam espelhos de corrente, uma corrente de valor I fluirá pelos *drenos* destes transistores, ficando desta forma a estrutura em equilíbrio. A tensão v_e , no caso ideal, está referenciada aos sources de M7 e M8 que estão aterrados, sendo na condição de equilíbrio nula; $v_e = 0$ e portanto este nó comporta-se com um terra virtual.

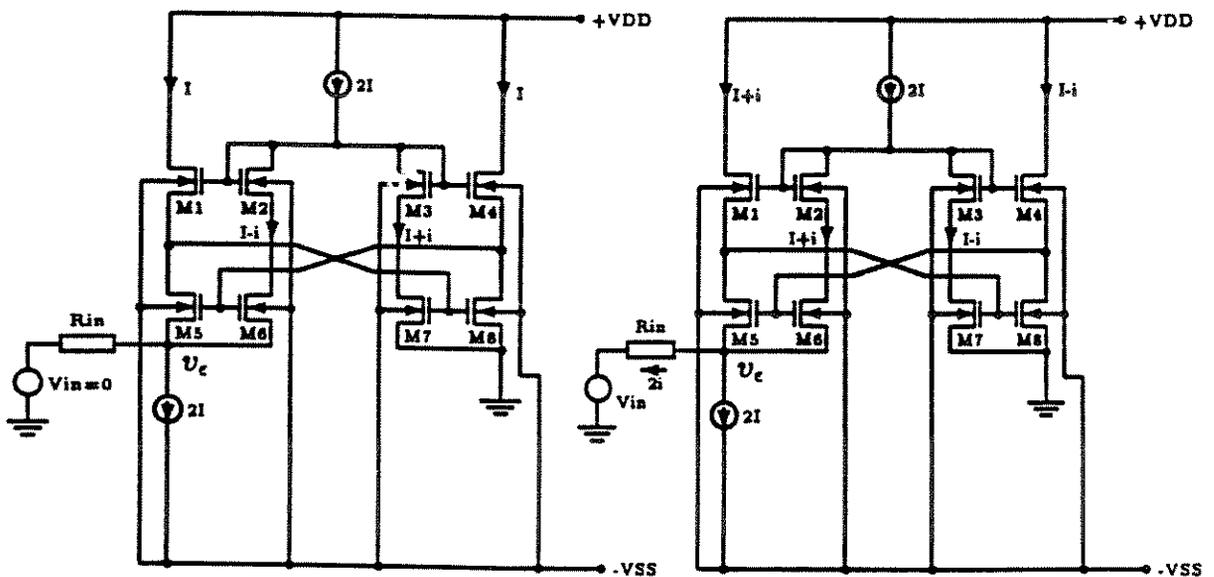


Figura 3.37: Funcionamento do conversor tensão-corrente; (a) $V_{in} = 0$; (b) $V_{in} \neq 0$.

Para $V_{in} \neq 0$ temos uma componente incremental de corrente fluindo por R_{in} , provocando um desequilíbrio nas correntes de saída do conversor, como mostrado na figura 3.37(b). Para $V_{in} > 0$ e supondo uma componente incremental de entrada $2i$, temos no nó de entrada do conversor:

$$I_{D5} + I_{D6} + 2i = 2I \tag{3.92}$$

Os transistores M5 e M6 formam um espelho de corrente de modo que:

$$I_{D5} = I_{D6} = I_{DE} \tag{3.93}$$

Sendo que I_{DE} é a corrente que flui pelo lado esquerdo do conversor.

Das relações (3.92) e (3.93) temos que:

$$IDE = I - i \quad (3.94)$$

A corrente no ramo esquerdo do conversor pode ser obtida da mesma forma equacionando-se as correntes no nó formado pelos drenos de M2 e M3 e pela fonte de corrente 2I.

Assim teremos que:

$$ID2 + ID3 = 2I \quad (3.95)$$

$$I - i + ID3 = 2I \quad (3.96)$$

Logo, a partir de (3.95) e (3.96) temos que a corrente que circula pelo ramo direito do conversor vale:

$$ID3 = IDD = I + i \quad (3.97)$$

A diferença das correntes de saída do conversor vale então:

$$IDD - IDE = ID4 - ID1 = (I + i) - (I - i) = 2i \quad (3.98)$$

Para o caso em que $V_{in} < 0$ aplica-se o mesmo equacionamento e obtém-se [37]:

$$IDD - IDE = ID4 - ID1 = (I + i) - (I - i) = -2i \quad (3.99)$$

As relações (3.98) e (3.99) nos mostram, que o circuito se comporta como um conversor V/I com a seguinte relação de conversão:

$$V_{in} = 2 \cdot R_{in} \cdot i \quad (3.100)$$

Este resultado é obtido no caso ideal do conversor onde são desprezados os erros causados pelo efeito de corpo, modulação do canal e descasamento dos transistores, sendo que estes dois últimos podem ser minimizados com um dimensionamento adequado dos transistores. O efeito de corpo, ocorre devido ao fato dos transistores N serem implementados em tecnologia N-WELL (poço N) causando assim uma variação na tensão do nó do resistor de entrada que se comporta com um terra virtual, mas apresentando agora uma tensão residual v_e neste ponto [37]. O erro causado neste ponto desprezando-se o efeito de corpo é nulo, podendo ser verificado pelo equacionamento da tensão v_e dada por [37]:

$$v_e = \frac{-i}{\sqrt{2 \mu \text{ Cox} \left(\frac{W}{L}\right)_8 ID_8}} + \frac{i}{\sqrt{2 \mu \text{ Cox} \left(\frac{W}{L}\right)_1 ID_1}} + \frac{i}{\sqrt{2 \mu \text{ Cox} \left(\frac{W}{L}\right)_4 ID_4}} + \frac{-i}{\sqrt{2 \mu \text{ Cox} \left(\frac{W}{L}\right)_5 ID_5}} \quad (3.101)$$

Como todos os transistores tem o mesmo W/L e as mesmas correntes de polarização $v_e = 0$. A tensão de erro v_e considerando-se o efeito de corpo e de modulação de canal é dado por [37]:

$$v_e = K_e \cdot i \tag{3.102}$$

onde :

$$K_e = \left(\frac{1}{1 + \eta_4 + \eta_4 \eta_5 + \eta_5} \right) \left[\frac{1}{g_{m1}} + \frac{1}{g_{m4}} - \frac{1 + \eta_1}{g_{m8}} - \frac{1 + \eta_4}{g_{m5}} \right] \cdot i \tag{3.103}$$

$$\eta = \frac{\gamma}{2 \sqrt{2} |\phi| - V_{BS}} \tag{3.104}$$

Para o conversor implementado no PMU CMOS 8, a tensão de erro é, em uma faixa de $V_{in} = \pm 2$ V, diretamente proporcional a corrente de entrada:

$$v_e = (9.84 \times 10^2 \text{ V/A}) \cdot i$$

Para $i = 20 \mu\text{A}$, temos $v_e = 9.84 \text{ mV}$

A característica $v_e \times I$, para este conversor é dado na referência [37], estando reproduzida na figura 3.38, onde estão apresentados também as correntes de saída e o erro de linearidade para $V_{in} = \pm 2$ V.

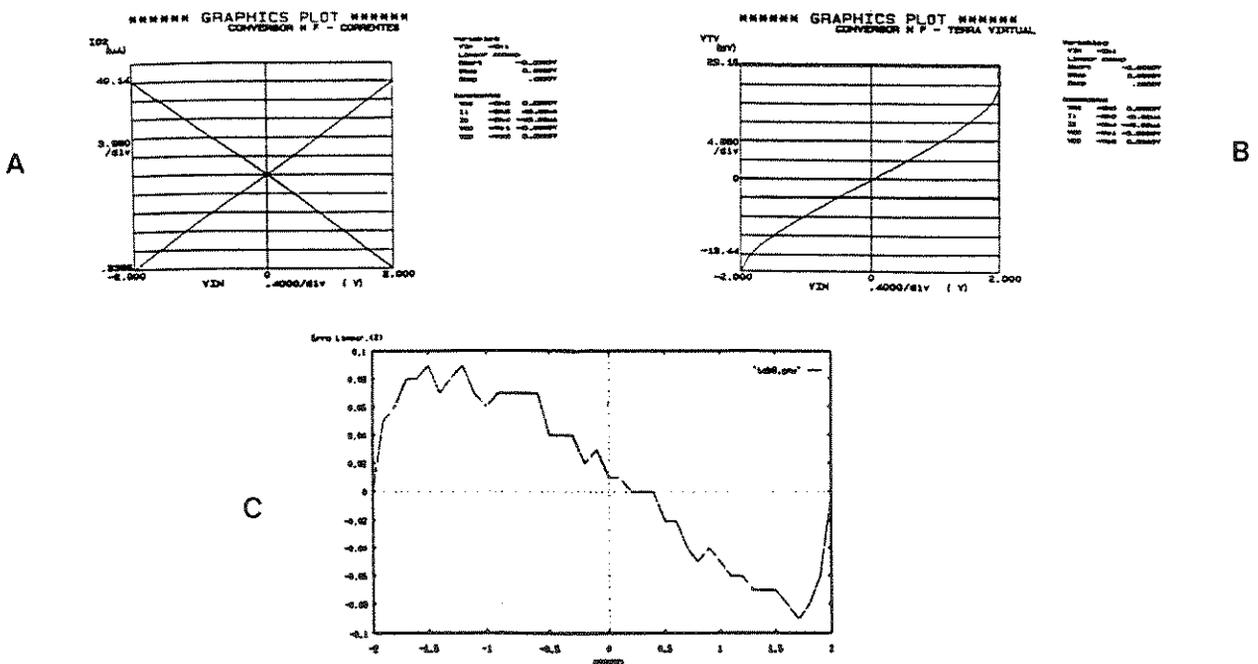


Figura 3.38: Características medidas com o conversor V/I implementado no PMU CMOS 8 ; (a) correntes de saída ; (b) tensão no terra virtual e (c) erro de linearidade .

O erro causado no terra virtual, devido ao efeito de corpo pode ser compensado através da mudança da geometria de alguns transistores da estrutura [37]. Supondo então que os transistores superiores da estrutura M1, M2, M3 e M4 tem a mesma relação $(W/L)_s$, ou seja $gm_1 = gm_2 = gm_3 = gm_4 = gm_s$ e que os transistores da parte inferior M5, M6, M7 e M8 tem a mesma relação $(W/L)_i$, ou seja $gm_5 = gm_6 = gm_7 = gm_8 = gm_i$, temos que a tensão de erro v_e pode ser dada por:

$$v_e = \left(\frac{1}{1 + \eta_s + \eta_i} \right) \left[\frac{2}{gm_s} - \frac{2(1 + \eta_s)}{gm_i} \right] \tag{3.105}$$

Para termos tensão $v_e = 0$ devemos ter a seguinte relação para as transcondutâncias:

$$\frac{gm_s}{gm_i} = \frac{1}{1 + \eta_s} \tag{3.106}$$

Para transistores de mesmo I_c , temos que a razão entre W_s dos transistores superiores e W_i dos transistores inferiores, para termos $v_e = 0$, é dada por:

$$\frac{W_s}{W_i} = \left(\frac{1}{1 + \eta_s} \right)^2 \tag{3.107}$$

Assim a tensão v_e pode ser corrigida através da mudança da geometria dos transistores da estrutura. Outras características importantes do conversor tensão - corrente são a resposta em frequência do mesmo e a sua resposta a um degrau de tensão na entrada. Devido a complexidade da análise, as mesmas foram omitidas, sendo que maiores detalhes podem ser obtidos na referência [37]. Entretanto os resultados das simulações dados em [37] estão ilustrados nas figuras 3.39 e 3.40 respectivamente por serem de interesse em análise posterior.

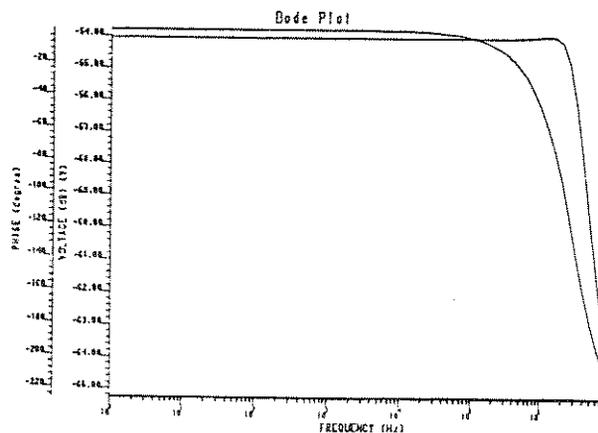


Figura 3.39: Resposta em frequência simulada do conversor V/I com transistores com $W/L = 300/20$.

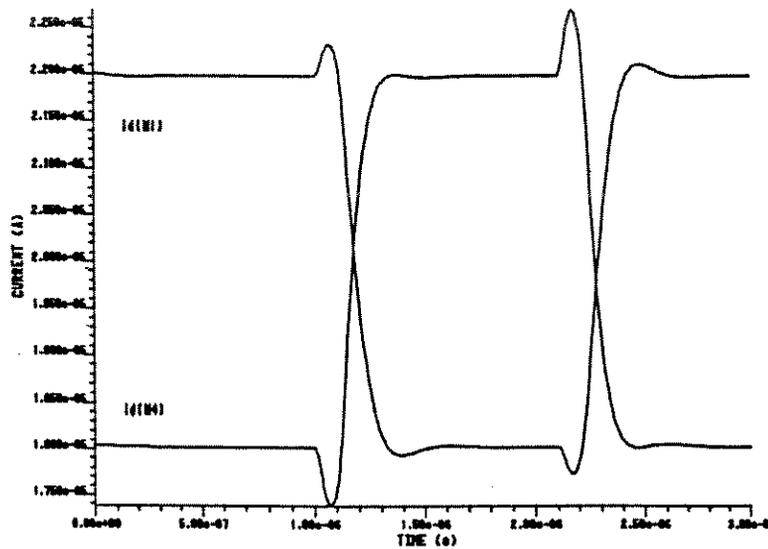


Figura 3.40: Resposta transiente em corrente para o conversor V/I .

3.7.2 - SOMADOR DE TENSÕES INTEGRADO NMOS

Um somador de tensões pode ser implementado baseado em 2 conversores tensão/corrente, usando a configuração apresentada na figura 3.41. Neste diagrama as correntes de polarização $2I$ são as mesmas para ambos os conversores, sendo fornecidas por dois espelhos cascode, um tipo P para a polarização superior e um N para a inferior. As saídas dos conversores tensão-corrente são espelhadas por dois outros espelhos tipo cascode e as saídas de corrente destes espelhos são somadas em um nó onde existe um resistor R_o para o terra e uma fonte de corrente $2I$ fluindo em direção a V_{SS} .

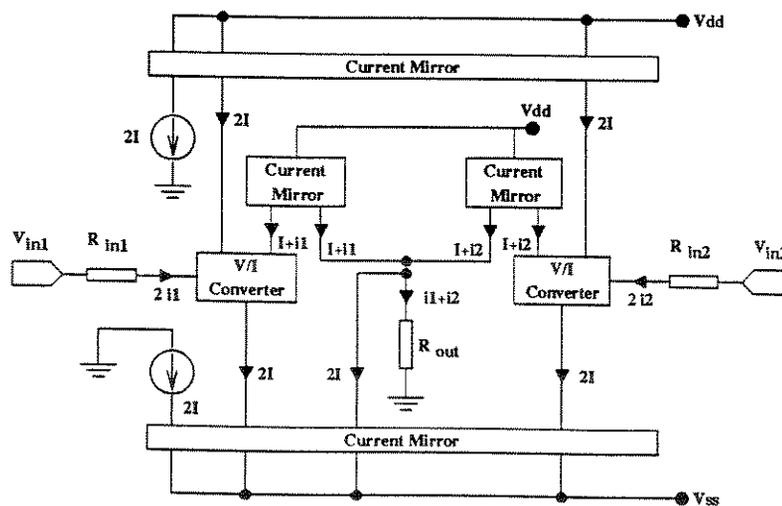


Figura 3.41: Diagrama de blocos para o circuito somador de tensões.

Assim se os resistores de entrada tiverem os mesmos valores $R1 = R2 = R_{in}$ e o resistor de saída for o dobro deste valor $R_o = 2 R_{in}$, teremos que as tensões de entrada dos conversores V/I podem ser obtidas por [37]:

$$V1 = R_{in} \cdot 2 \cdot i1 \quad (3.108)$$

$$V2 = R_{in} \cdot 2 \cdot i2 \quad (3.109)$$

e a tensão V_o na saída do somador de tensões por [37]:

$$V_o = R_o (i1 + i2) \quad (3.110)$$

Substituindo as expressões (3.108) e (3.109) em (3.110) teremos [37]:

$$V_o = (2 R_{in}) (i1 + i2) = R_{in} \cdot 2 \cdot i1 + R_{in} \cdot 2 \cdot i2 = V1 + V2 \quad (3.111)$$

Assim a expressão 3.11 representa a soma das tensões de entrada no caso ideal.

Os possíveis erros na saída se devem a descasamentos nos espelhos, erros de linearidade no conversor e à tensão v_e no terra virtual dos conversores V/I , estando amplamente documentados na referência [37].

Com relação aos espelhos cascodes eles apresentam um baixo erro de descasamento DC, que é dado por [37]:

$$\frac{I_{out}}{I_{in}} = 1 + \frac{(V_{out} - V_{in})}{r_o \cdot i_{in}} \quad (3.112)$$

Uma vez que r_o é elevado (relação 3.80), o erro de ganho é baixo e o erro de descasamento é dado por [37]:

$$Erro_{DC} = \lambda^2 \cdot \sqrt{\frac{i_{in}}{2K}} (V_{out} - V_{in}) \quad (3.113)$$

Sendo pequeno para i_{in} e λ pequenos.

Os resultados experimentais mostraram um erro na faixa de 0.21% a 2.51% , sem a correção da tensão residual v_e , sendo que com as correções podem atingida uma precisão de 10 bits, para o processamento de sinais analógicos.

O circuito completo do somador pode ser visto na figura 3.42 . As figuras 3.43, 3.44 e 3.45 mostram outras características do somador integrado, tendo sido extraídas da referência [37], sendo referenciados posteriormente no capítulo 4 , por ocasião da análise dos resultados experimentais obtidos com o Amplificador Digital .

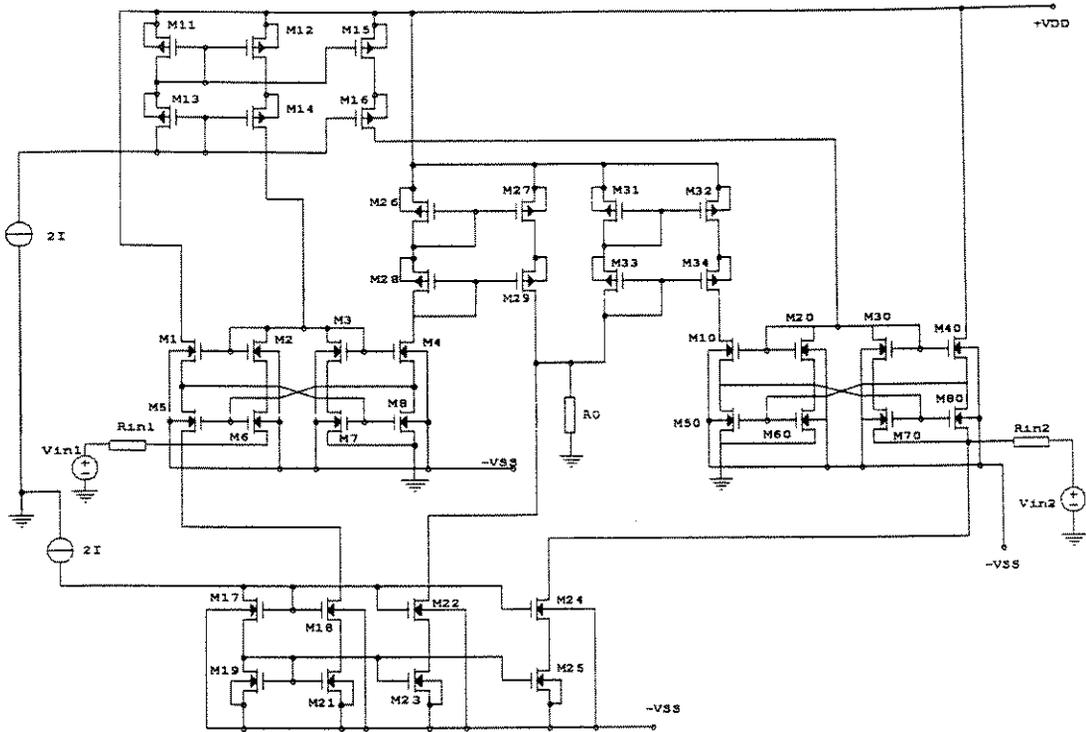


Figura 3.42: Circuito completo do somador de tensões analógico CMOS .

— v(28)

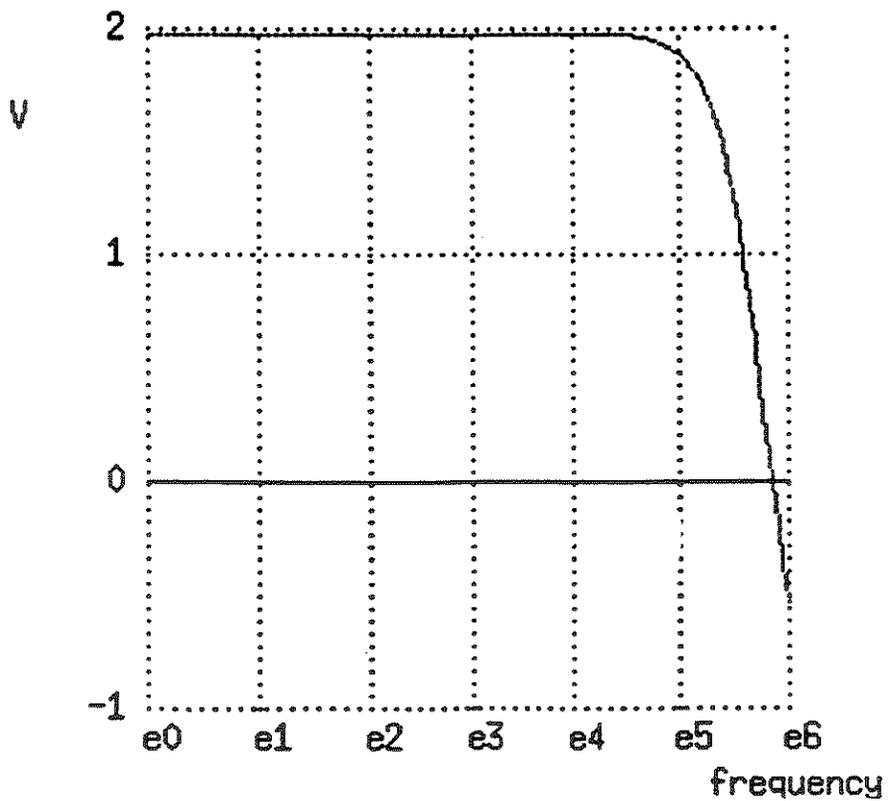


Figura 3.43 : Simulação da resposta em frequência do somador.

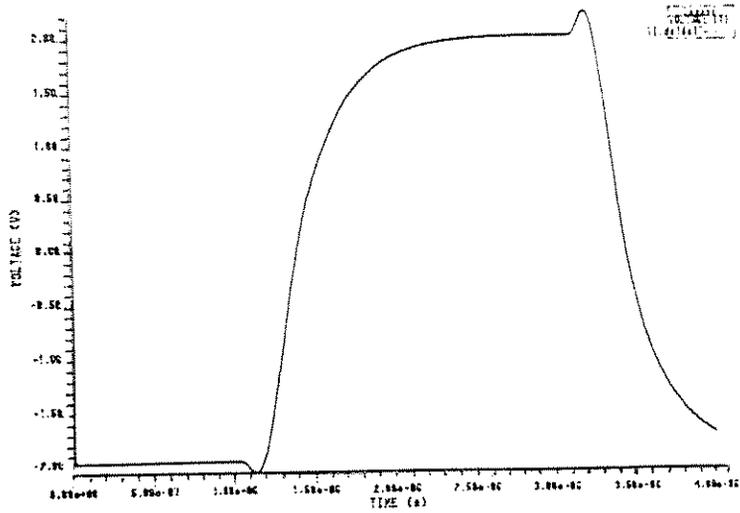


Figura 3.44: Análise transiente da saída do somador de tensões.

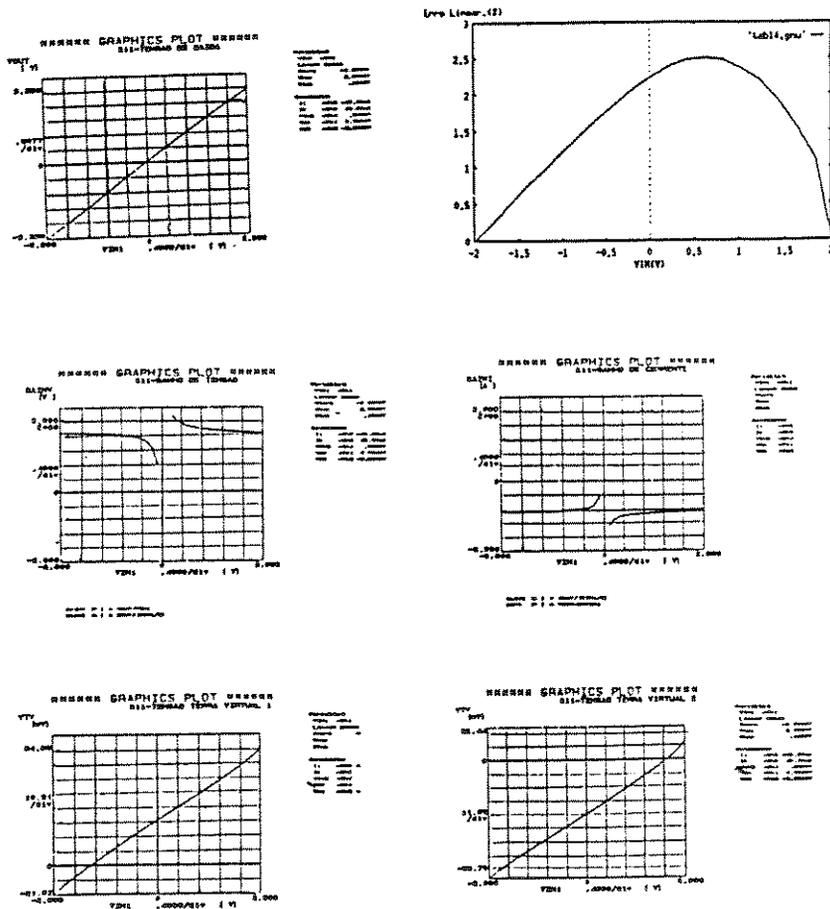


Figura 3.45: Características experimentais obtidas com o somador integrado no PMU8, extraídas da referência [37].

3.7.3 - SOMADOR DE TENSÕES INTEGRADO PMOS

Como foi mostrado no conversor V/I NMOS, o erro de linearidade pode ser diminuído, através da alteração da geometria dos transistores de modo a diminuir a tensão no terra virtual, v_e , devido ao efeito de corpo dos transistores NMOS. Entretanto é possível construir um somador a partir de conversores tensão - corrente utilizando transistores PMOS, que estão isentos do efeito de corpo nesta tecnologia [37]. O esquema para este conversor está ilustrado na figura 3.46 .

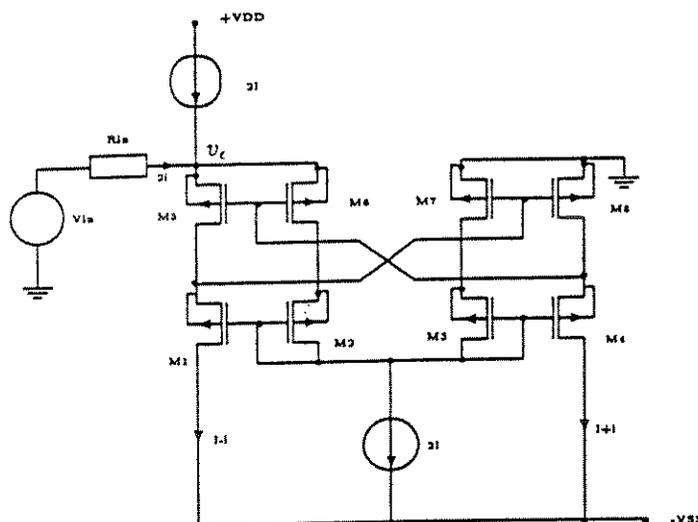


Figura 3.46: Conversor V/I utilizando transistores PMOS.

Resultados de simulação *SPICE* mostram que a tensão v_e do terra virtual é muito menor no conversor PMOS que no caso do NMOS, ficando em torno de 8% da tensão de erro v_e do conversor NMOS. Estes resultados estão apresentados na figura 3.47 .

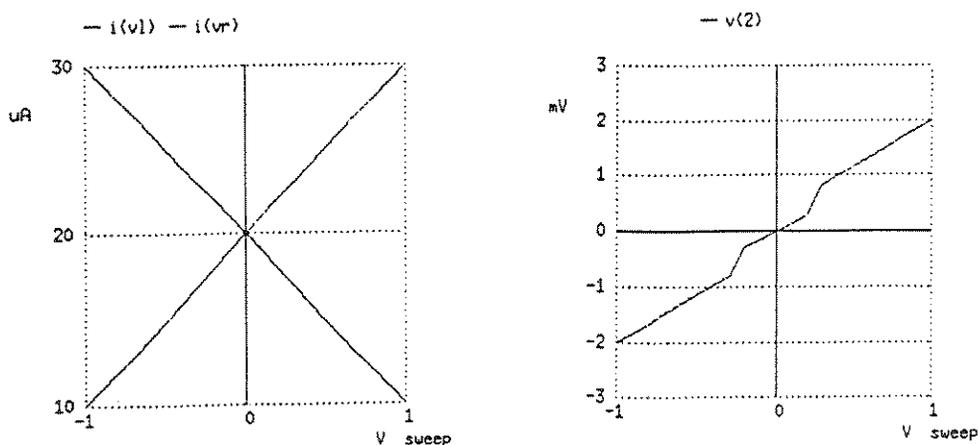


Figura 3.47: Simulações do conversor V / I PMOS: (a) correntes de saída; (b) tensão v_e no terra virtual .

Entretanto como o conversor é composto por transistores PMOS, ele terá uma menor velocidade de operação devido a diferença de mobilidade para os transistores N e P. Uma forma de se compensar este fato consiste em fazer que o parâmetro K_P seja igual ao K_N dos transistores do conversor NMOS, o que implica no caso do PMU8, em fazer $W_P = 2.43 W_N$, aumentando-se assim a área ocupada pelo conversor. Neste caso os transistores terão também uma maior capacitância de *gate*, sendo que o conversor PMOS terá um desempenho em frequência pior que o conversor NMOS. A estrutura do somador PMOS é composta, assim como no caso do NMOS, por conversores V / I e espelhos de corrente, conforme mostrado na figura 3.48 .

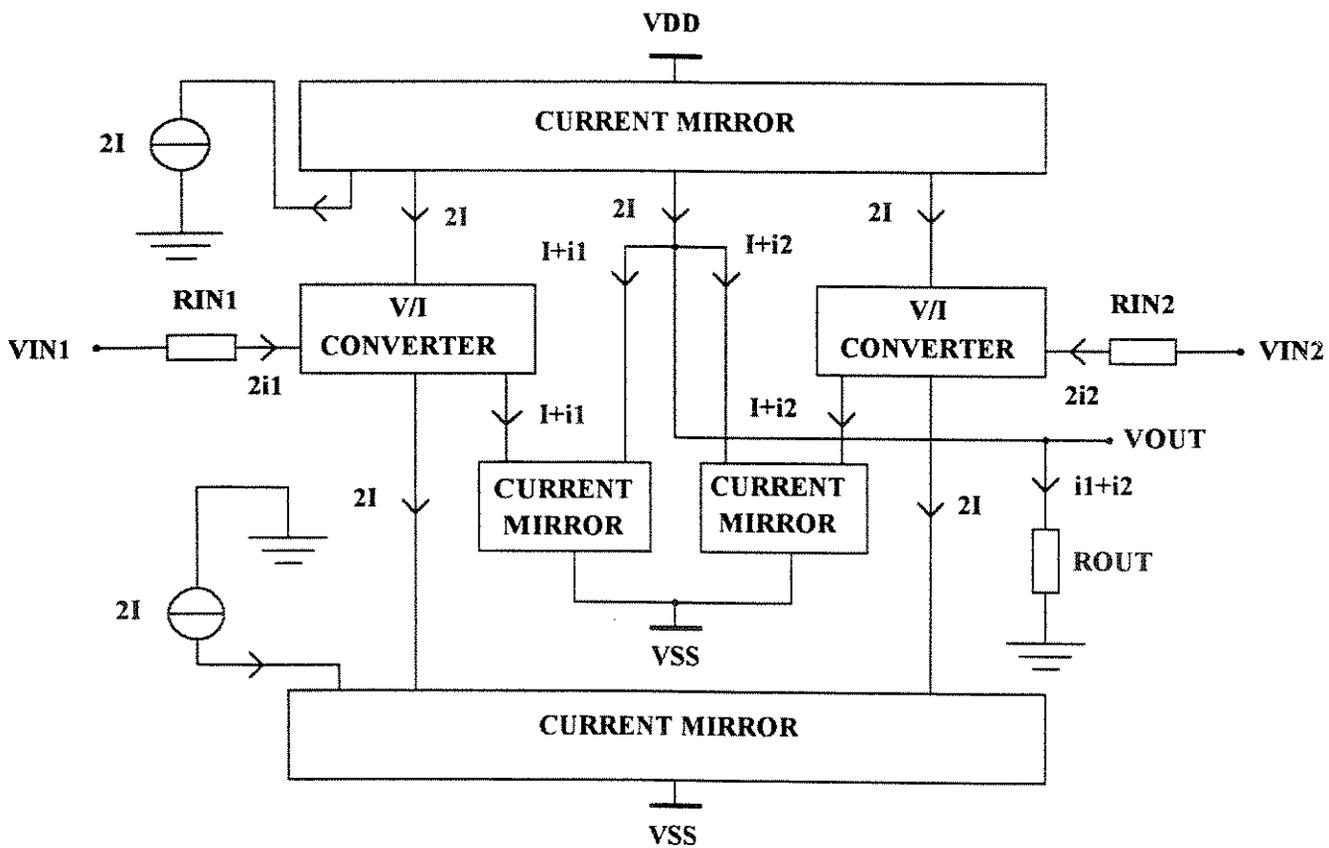


Figura 3.48 : Diagrama em blocos do somador PMOS.

O somador PMOS foi implementado também no PMU CMOS 8 . O circuito completo deste somador pode ser visto na figura 3.49 .

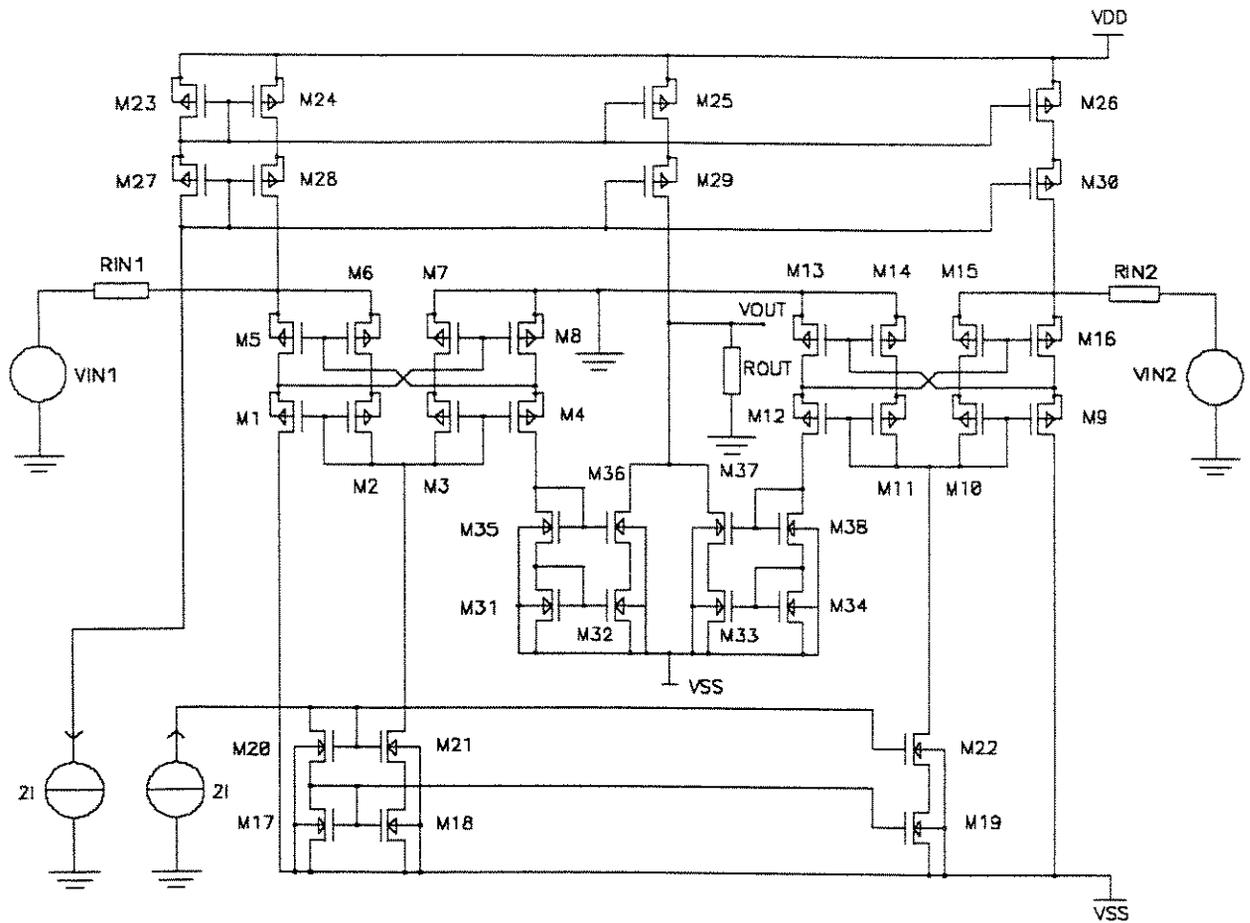


Figura 3.49: Circuito completo do somador PMOS.

Entretanto as avaliações experimentais [37] mostraram que o mesmo tem um desempenho muito pior que no caso NMOS, para a tensão de erro v_e . Tal fato pode ser devido a adequação dos modelos usados para os transistores N serem melhores que para os transistores P, uma vez que os modelos usados em [37] são adequados para processos digitais e sobre condições limitadas da tensão de alimentação ($V_{DD} = 5V$ e $V_{SS} = 0V$). Um outro fator pode ser um pior descasamento para os transistores N do espelho de saída do que para o caso P, como mostram os resultados experimentais em [37].

Desta forma foi escolhido o conversor N para fazer parte do somador e da estrutura final do amplificador. No processo PMU8, foram implementados somadores P e N, sendo que na versão totalmente integrada do amplificador foi utilizada a versão P do somador visando diminuir v_e . Entretanto devido aos resultados obtidos em [37] foi utilizado o somador N em outra *chip*, uma vez que os circuitos são compostos por blocos independentes e implementados em um mesmo processo, não havendo assim prejuízo quanto ao resultado final de avaliação.

3.8 - O AMPLIFICADOR DIGITAL - CIRCUITOS

Baseado nos blocos descritos anteriormente, podemos compor três versões de avaliação da estrutura do amplificador, sendo cada uma mais próxima que a outra de uma versão totalmente integrada. Entretanto para o circuito de programação de ganho e portanto geração dos *clocks* foi utilizado um circuito único para todas as versões, implementado com portas CMOS padrão, uma vez que elas não fazem parte da estrutura do amplificador. O diagrama de blocos deste circuito de programação pode ser visto na figura 3.50, e o circuito ao nível de portas lógicas na figura 3.51 .

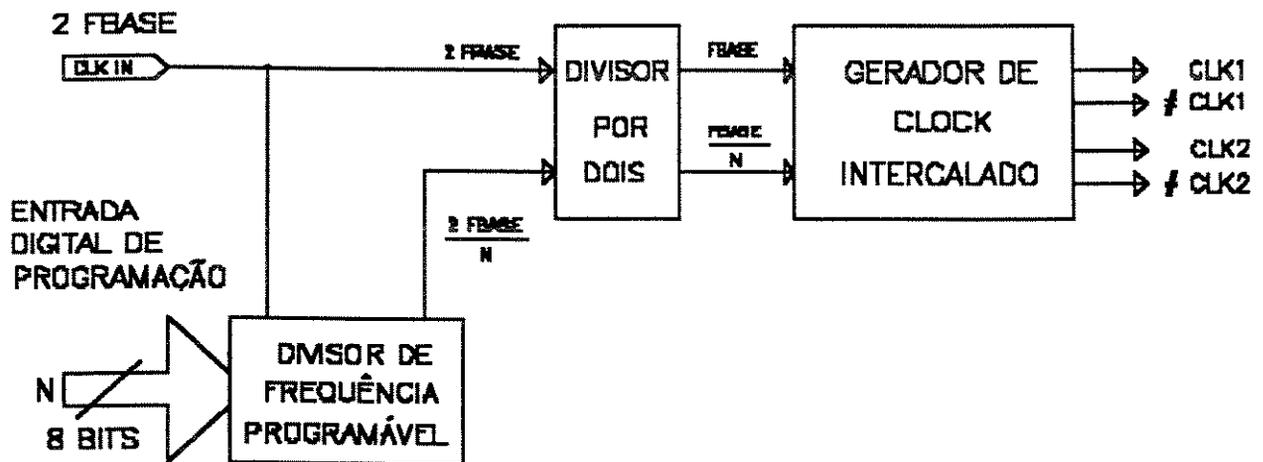


Figura 3.50: Diagrama de blocos do circuito de programação do ganho do amplificador.

A mesma estratégia foi utilizada para os circuitos que fornecem tensões de referência, correntes de polarização e de alimentação, podendo ser visto na figura 3.52.

3.8.1 - VERSÃO COM COMPONENTES COMERCIAIS

Esta versão foi montada usando chaves analógicas integradas CD4066, sendo que na versão dos testes foram utilizadas chaves analógicas HC4066 que tem um menor R_{ON} associado a chave e uma maior frequência de operação. O somador foi montado com um amplificador operacional OP 07 de baixa tensão de *offset* e os *buffers* com amplificadores operacionais CA 3140 de alta impedância de entrada providos de ajuste de *offset* externo. Foram utilizados resistores de precisão, casados entre si em 0.1%, com filme metálico e baixo coeficiente de temperatura para a implementação da malha de realimentação do somador. O circuito final pode ser visto na figura 3.53.

3.8.2 - VERSÃO COM CHAVES ANALÓGICAS DO PMU7

Nesta versão foram utilizadas chaves implementadas no PMU7, realizadas para estudo do fenômeno de injeção de cargas da referência [1]. Foram utilizadas chaves de dimensão $W/L=50/10$ para os blocos DELAY X1 e X2 e de dimensão $W/L=100/10$ para os demais. Tal escolha contou com a disponibilidade de chaves em número suficiente para a montagem e que tivessem uma razão W/L elevada para ter-se um menor R_{ON} . O somador utilizado foi o mesmo implementado no PMU 8 para o estudo da estrutura do somador da referência [37]. O circuito final implementado pode ser visto na figura 3.54.

3.8.3 - VERSÃO TOTALMENTE INTEGRADA

Esta corresponde a primeira versão de avaliação do amplificador, totalmente integrado no PMU 8. Tendo sido realizado em conjunto com os trabalhos das referências [1] e [37], foi implementado em dois blocos básicos: um constando da estrutura do amplificador com todas as chaves cruzadas e *buffers* e outro com o somador P visando obter-se uma maior excursão de tensão na saída, conforme visto no item 3.7.3. Entretanto pelos motivos citados neste mesmo item (melhor desempenho do conversor N), foi escolhido o somador N para compor o segundo bloco, uma vez que os mesmos são independentes, e ambos implementados no mesmo processo do PMU 8. Foram escolhidas chaves de dimensão $W/L = 10/5$ e capacitores de 5pF, considerando-se os trabalhos realizados na referência [1]. Os capacitores de 5pF são utilizados como capacitores de *hold* e compensação do *buffer*, sendo que cada um ocupa aproximadamente 2.2% da área do *chip*, sendo que todos os capacitores (11 no total) ocupam apenas 24% da área total do *chip*. Estes capacitores são formados pelos *layers metal2* e *poly* para apresentar boas características como mencionadas no capítulo I. O circuito final do amplificador, considerando-se estes dois *chips* pode ser visto então na figura 3.55.

3.9 - CIRCUITOS INTEGRADOS UTILIZADOS

A seguir temos uma listagem dos circuitos integrados utilizados nos itens anteriores:

- Conversores N e espelhos de corrente integrados no PMU CMOS 7 [37], mostrados na figura 3.56.
- Chaves analógicas NMOS integradas no PMU CMOS 7 [1], mostradas na figura 3.57.
- Somadores N e P integrados no PMU CMOS 8 [37], figura 3.58.
- Versão totalmente integrada no PMU CMOS 8 [21], mostrada na figura 3.59.

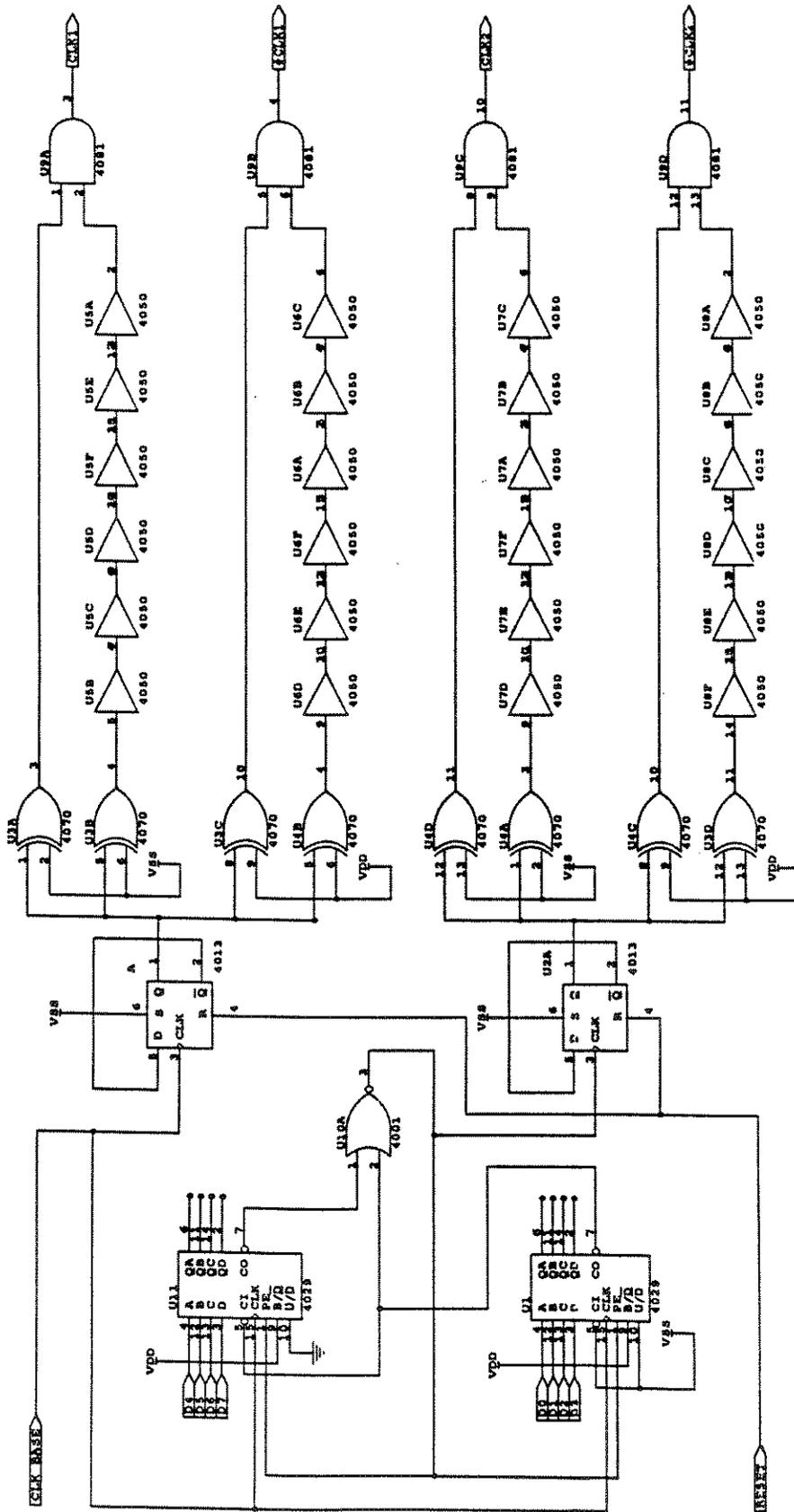


Figura 3.51: Circuito de programação do ganho e *clock* intercalado.

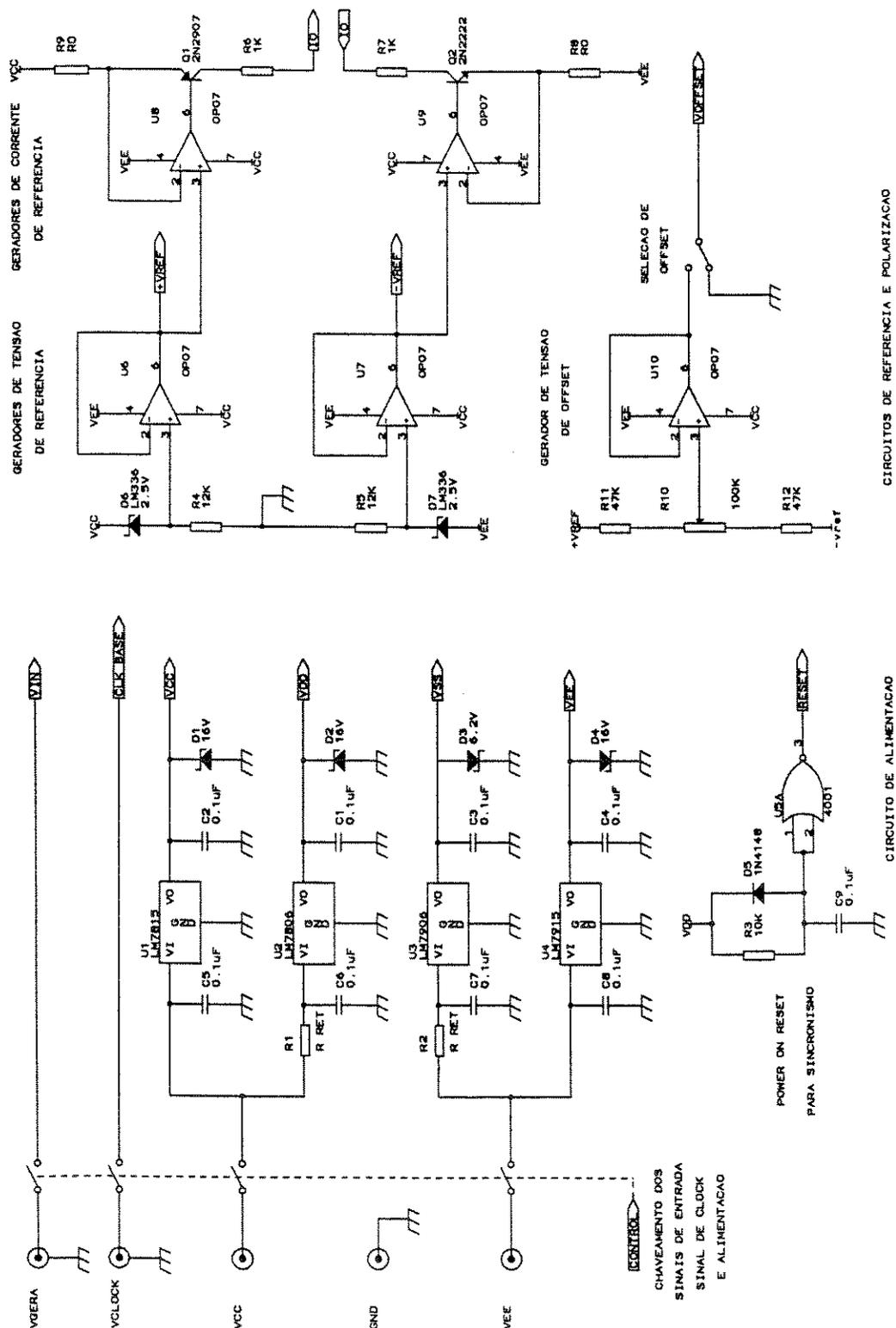


Figura 3.52: Circuitos de referência, polarização e alimentação dos blocos do amplificador

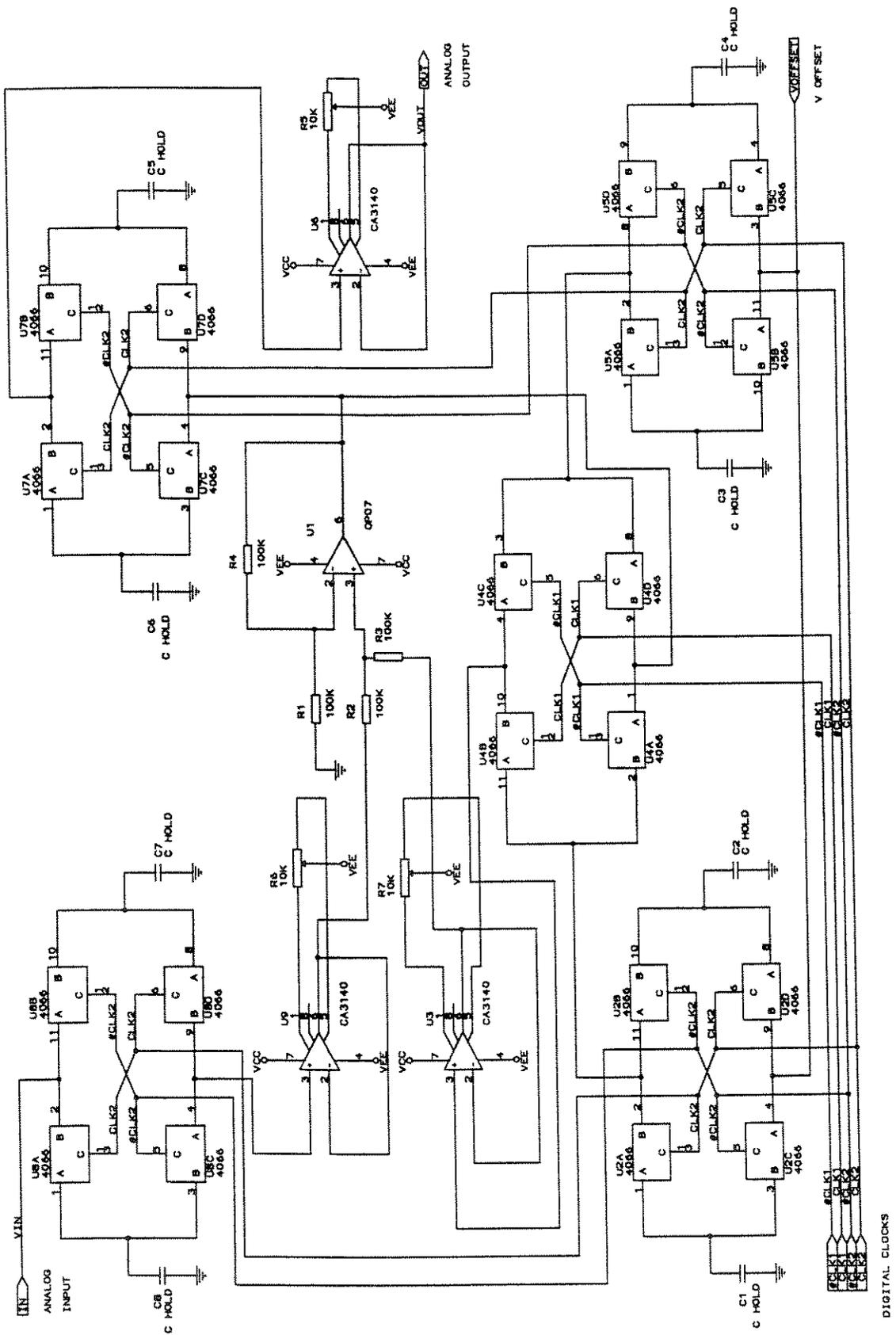


Figura 3.53: Versão do amplificador com componentes comerciais.

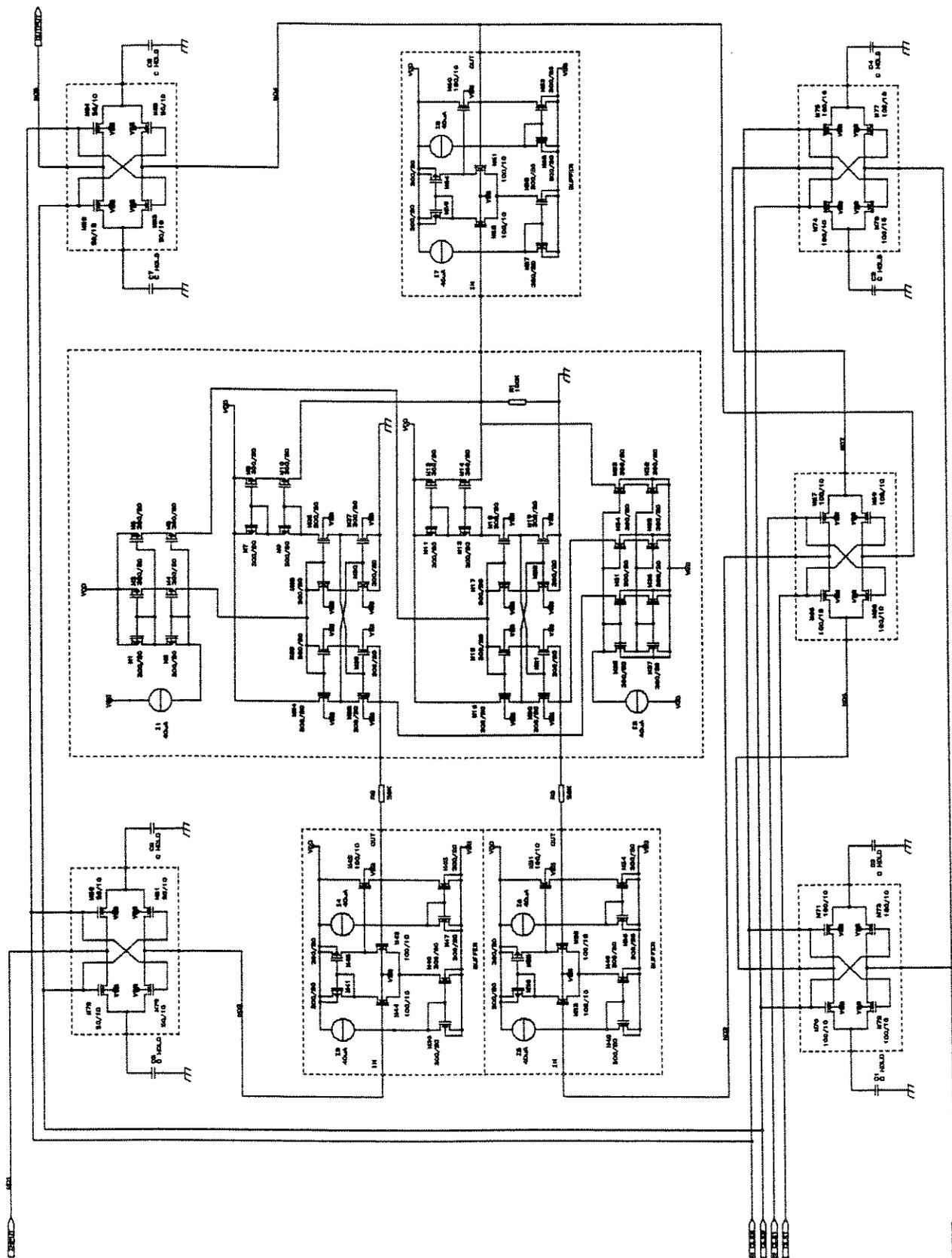


Figura 3.54: Versão do amplificador com chaves analógicas do PMU 7

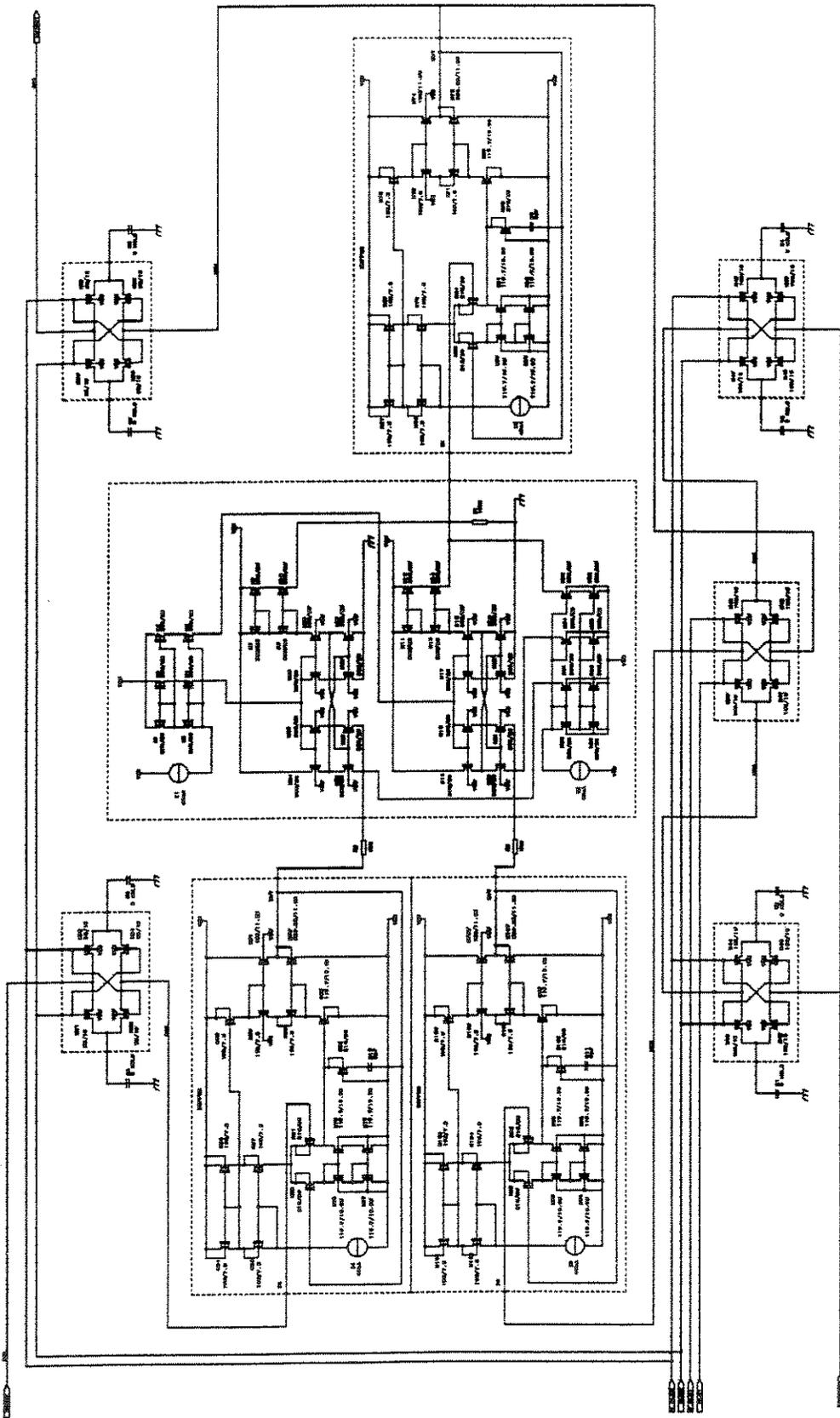


Figura 3.55: Versão totalmente integrada do amplificador nos *chips* 1 e 2 do PMU CMOS 8 .

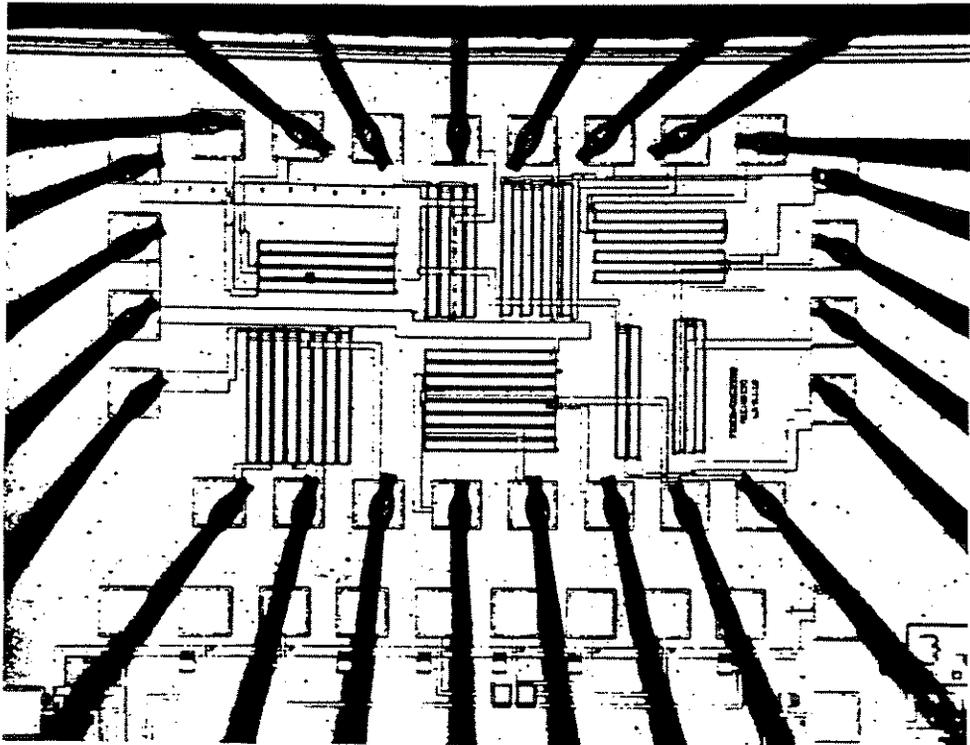


Figura 3.56: Conversores N e espelhos de corrente integrados no PMU CMOS 7.

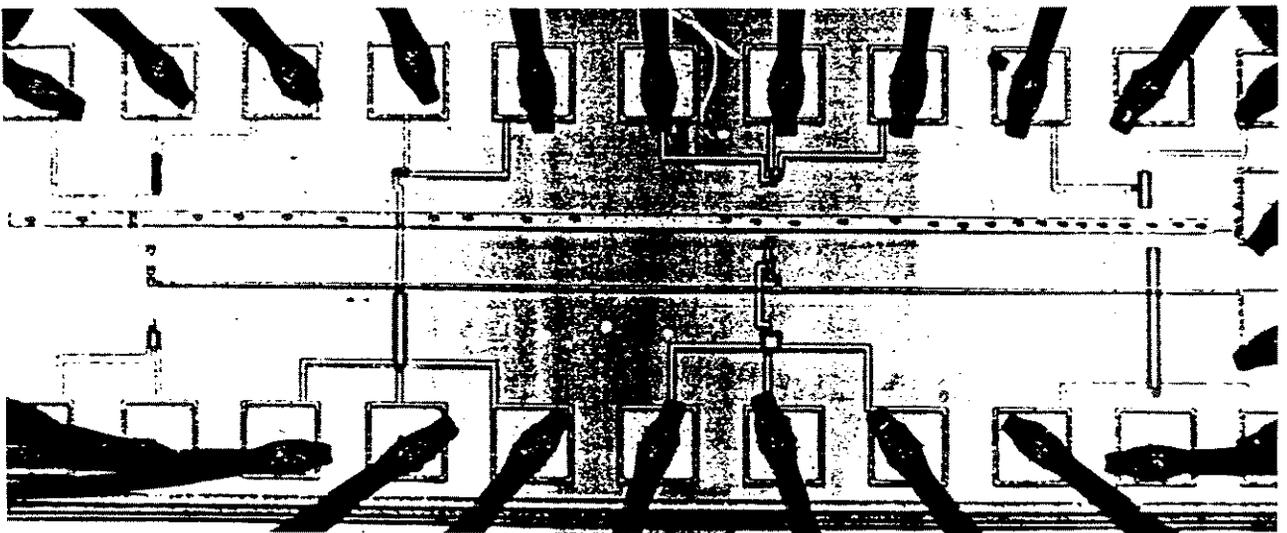


Figura 3.57: Chaves analógicas integradas no PMU CMOS 7.

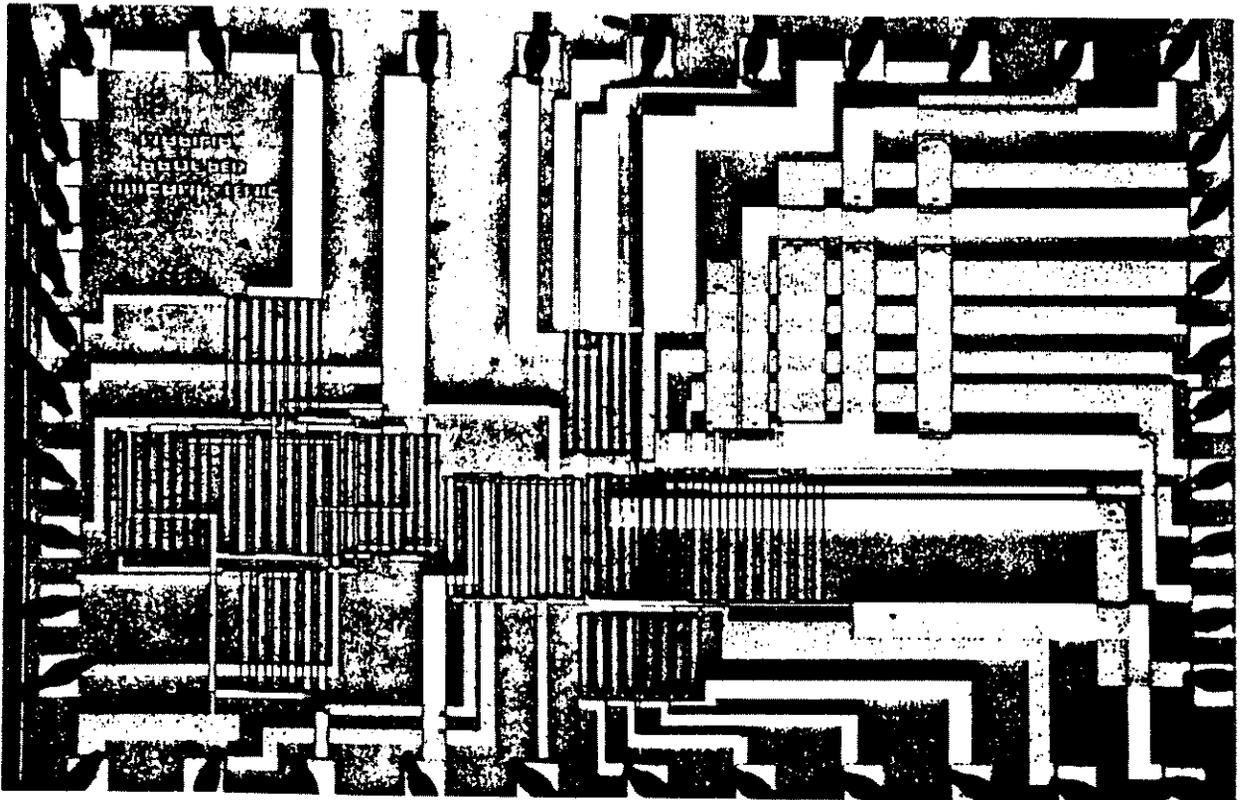


Figura 3.58: Somadores N e P integrados no PMU CMOS 8 .

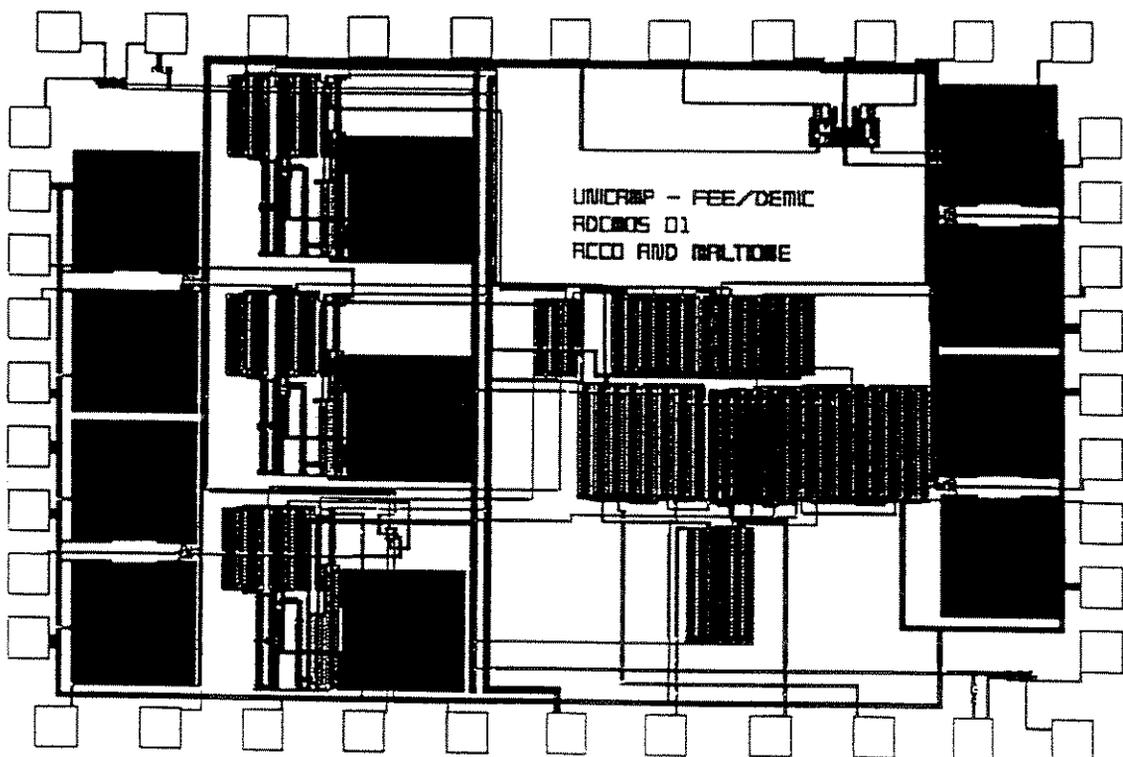


Figura 3.59: Versão totalmente integrada no PMU CMOS 8 .

CAPÍTULO 4

RESULTADOS EXPERIMENTAIS

4.1 - METODOLOGIA EMPREGADA

Para fazer a caracterização dos circuitos propostos no capítulo 3, para a implementação do amplificador digital foi adotada a seguinte metodologia para a obtenção e análise dos resultados:

- em uma primeira etapa foi realizada uma caracterização dos transistores usados como chaves analógicas e dos blocos funcionais do amplificador isoladamente.
- a seguir fez-se a caracterização do efeito de injeção de carga nos circuitos amostradores, usando a chave cruzada.
- com as características funcionais dos blocos principais já caracterizadas partiu-se então para uma verificação das formas de onda nos principais pontos do circuito, usando-se a versão 1 do amplificador (versão com componentes discretos) fazendo-se uma comparação entre resultados experimentais e simulação.
- em uma etapa final fez-se uma análise da função ganho, resposta em frequência e análise de erros considerando-se os resultados obtidos com as três versões.

4.2 - CONSIDERAÇÕES EXPERIMENTAIS

A obtenção de dados experimentais usando circuitos "quantizados" exige um certo cuidado nas medições e montagens que podem comprometer os resultados quando utilizamos capacitores de armazenagem de pequeno valor, causando erros nas medidas devido às capacitâncias de prova dos equipamentos, que alteram a capacitância dos nós dos capacitores de armazenagem e as impedâncias de entrada dos instrumentos que descarregam os mesmos. Deste modo os pontos que lêem as tensões sobre capacitores são "bufferizados". Para evitar interferências externas e captação de ruídos os circuitos são medidos, quando possível em caixas metálicas (servindo de blindagem) e em bancadas aterradas.

As tensões de alimentação dos circuitos são também desacopladas por capacitores de 0.1 μ F, em vários pontos do barramento de alimentação e próximo dos circuitos integrados para evitar-se *spikes* na tensão de alimentação que poderiam contaminar as formas de onda em pontos dos circuitos causando erros.

4.3 - CARACTERIZAÇÃO DOS TRANSISTORES

Para a caracterização dos transistores, foi utilizado um analisador de parâmetros de semicondutores HP modelo 4145B, sendo levantadas as curvas das chaves analógicas, que estão mostradas nas figuras 4.1 a 4.4, onde temos as curvas dos transistores, com e sem a consideração do efeito de corpo.

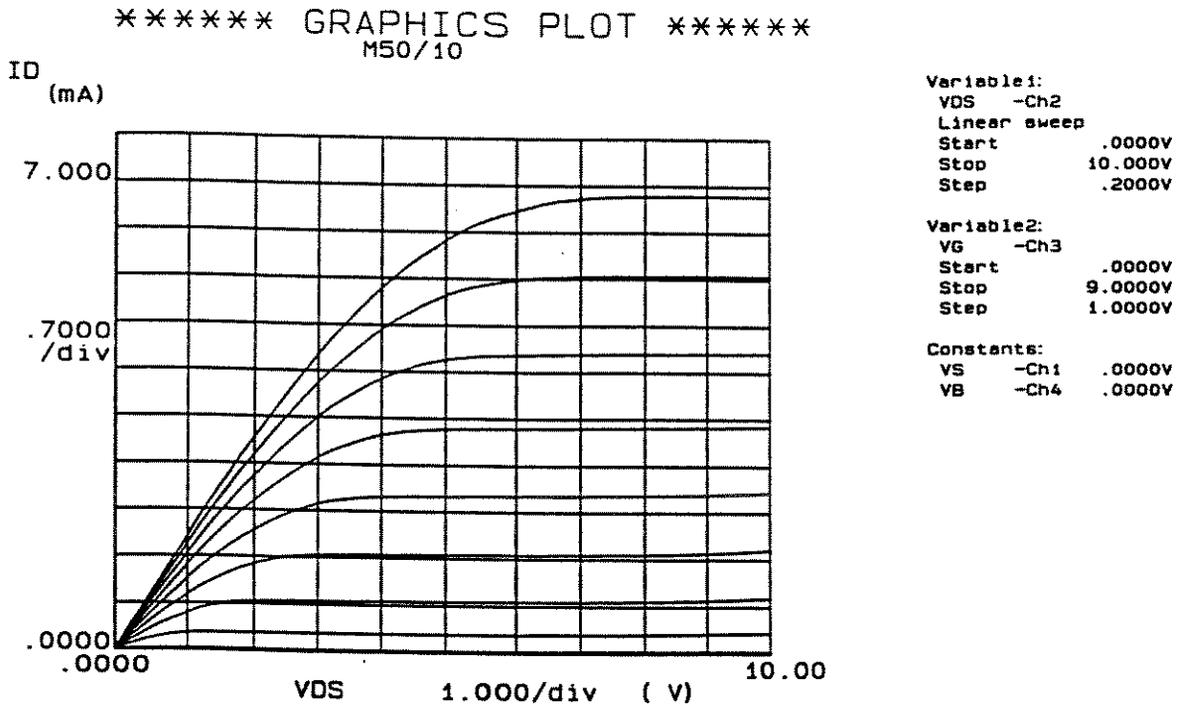


Figura 4.1: Curvas características das chaves W/L=50/10, sem efeito de corpo.

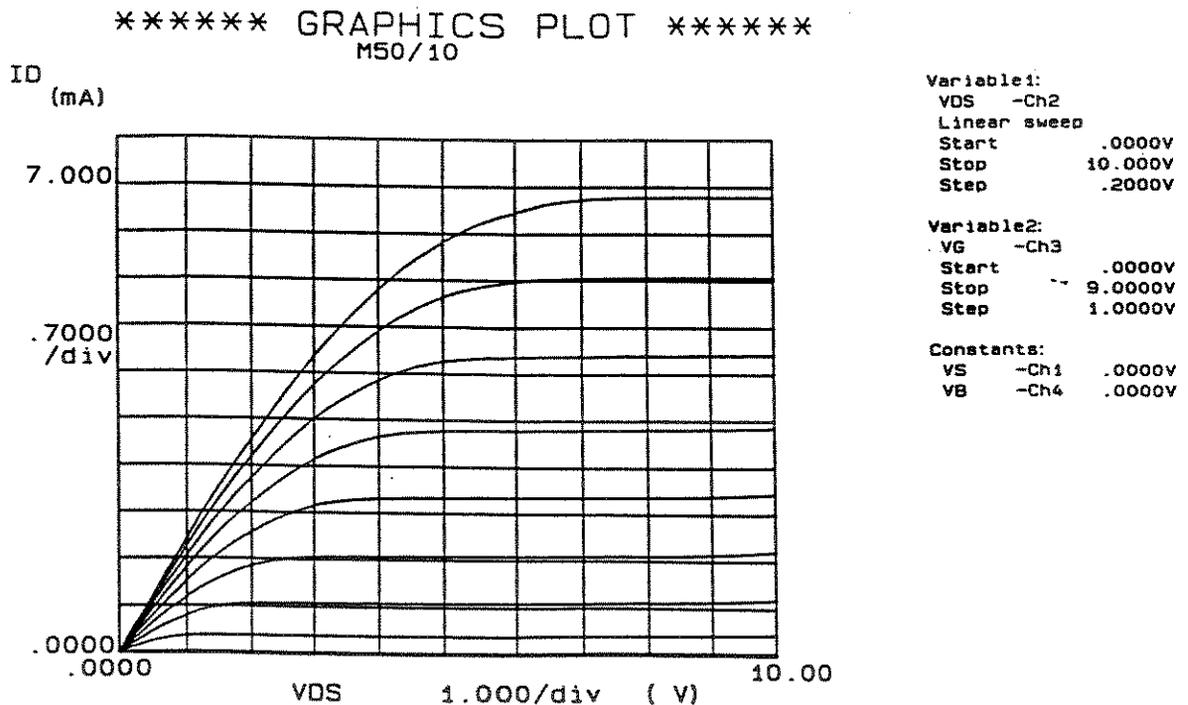


Figura 4.2: Curvas características das chaves W/L=50/10, com efeito de corpo.

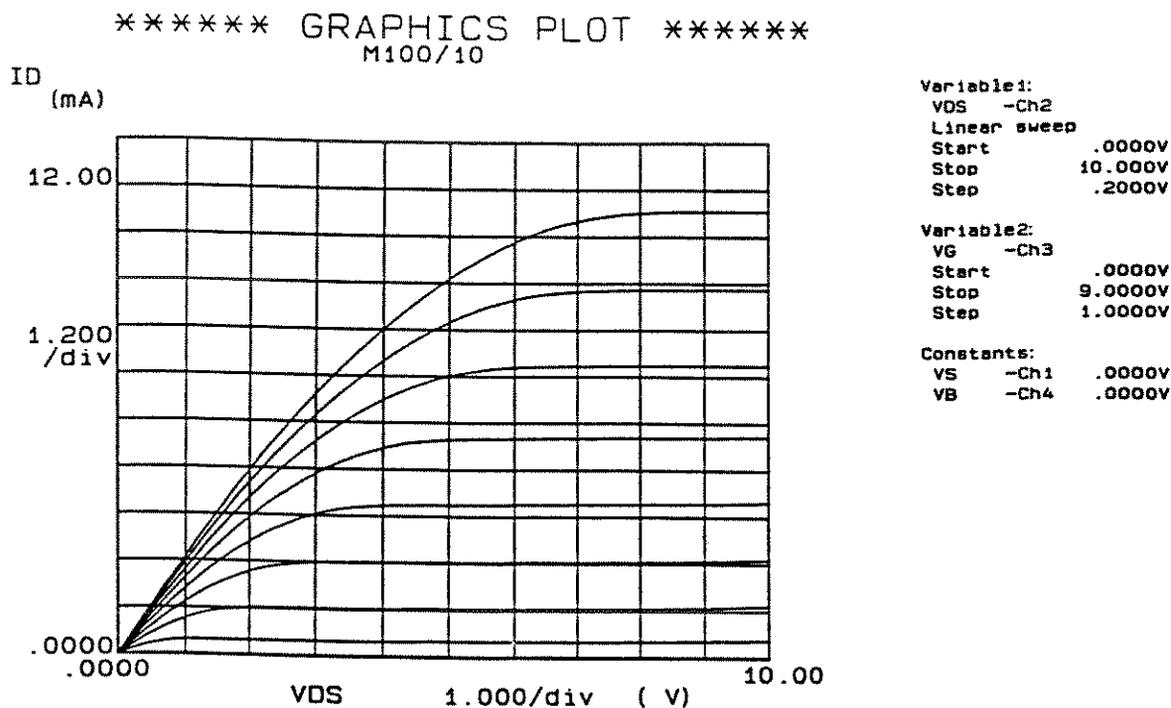


Figura 4.3: Curvas características das chaves W/L=100/10, sem efeito de corpo.

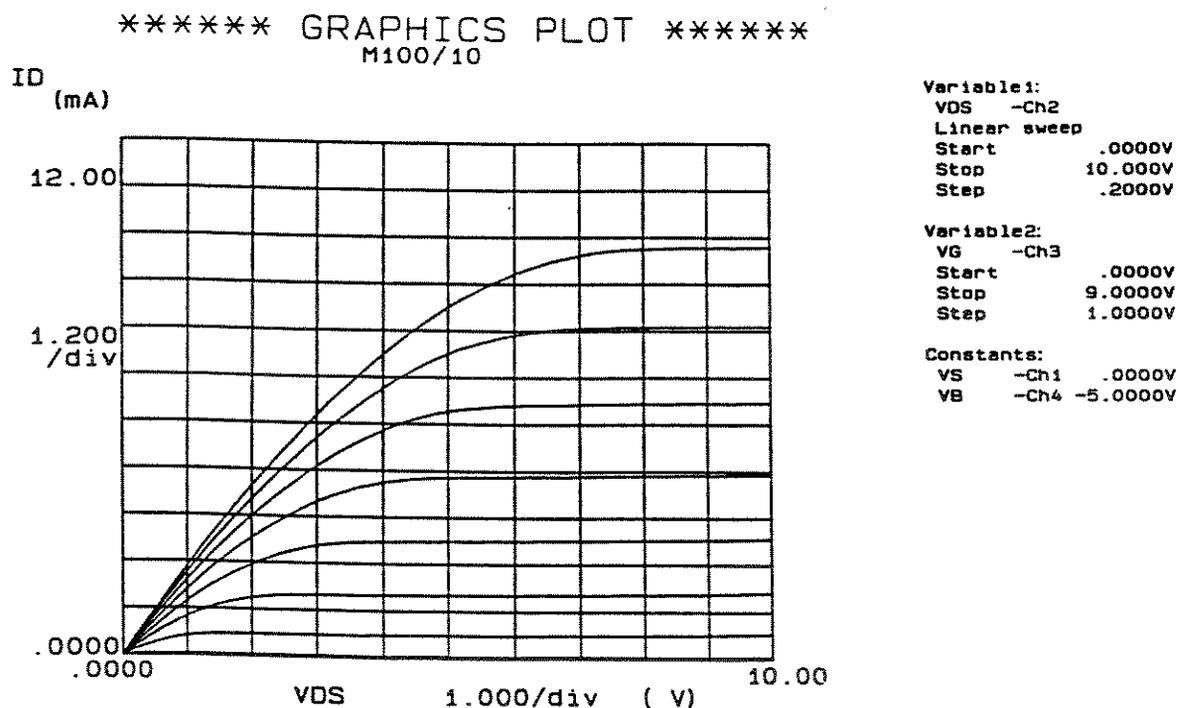


Figura 4.4: Curvas características das chaves W/L=100/10, com efeito de corpo.

Em uma próxima etapa foi realizada uma análise das correntes de fuga dos dispositivos usando-se um pico-amperímetro Keithley modelo 485, com a finalidade de selecionar componentes do *array* de transistores implementado no PMU7, utilizados em [1] e [37].

Foram caracterizadas as correntes de fuga no *gate* e no canal utilizando-se as configurações propostas no manual do equipamento para a medida dos mesmos, dado na figura 4.5. O circuito utilizado para estas medidas pode ver visto na figura 4.6.

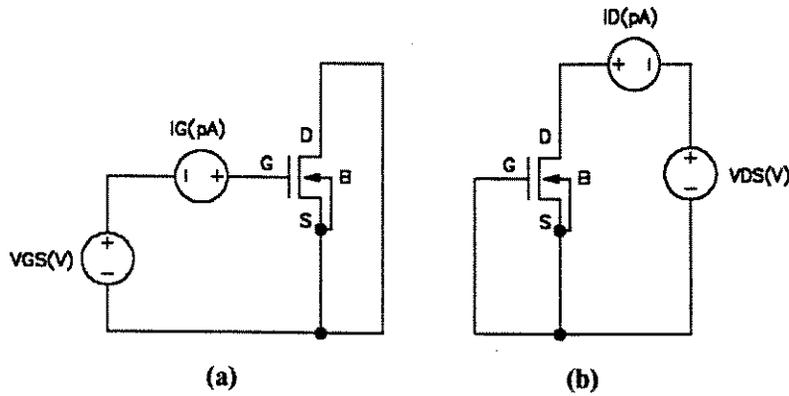


Figura 4.5: Configurações usadas para a medida das correntes de fuga; (a) fuga no *gate* (*gate leakage*); (b) fuga no canal (*channel leakage*).

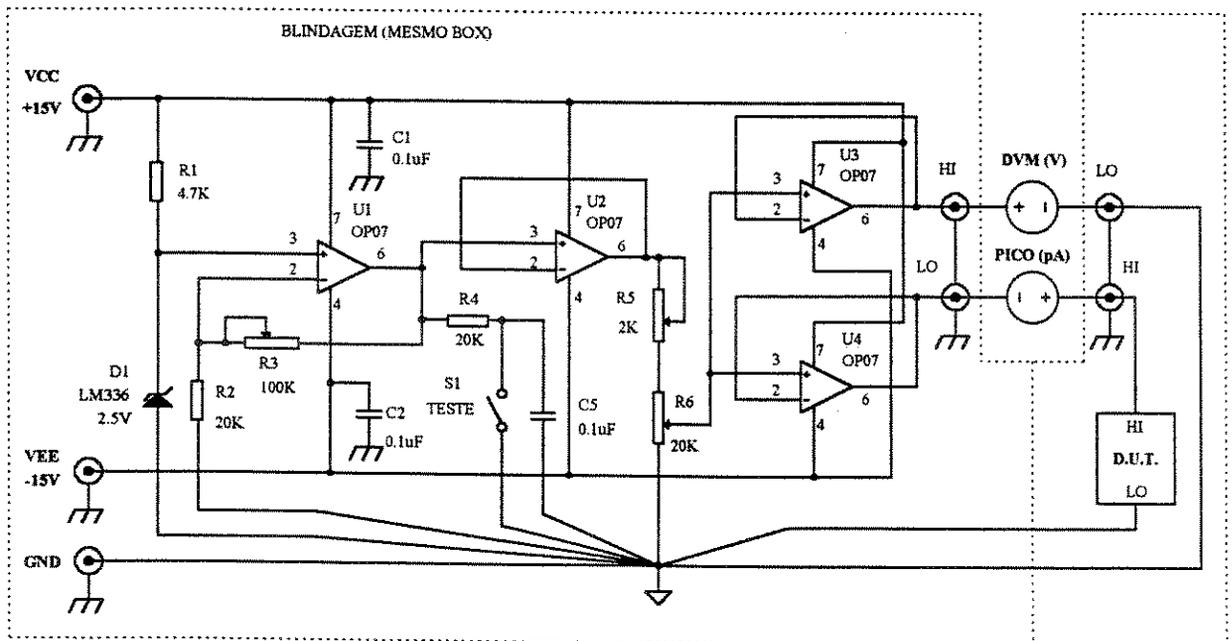


Figura 4.6: Circuito usado para medida das correntes de fuga.

Conforme pode-se observar das figuras 4.7 a 4.10, estas correntes de fuga são da ordem de picoamperes e aumentam linearmente com a tensão aplicada, para os dispositivos em bom estado, e exponencialmente para dispositivos danificados ou com falhas no processo de fabricação. Para os dispositivos em bom estado, obtêm-se a resistência de *gate* e canal dos transistores que é da ordem de $T\Omega$.

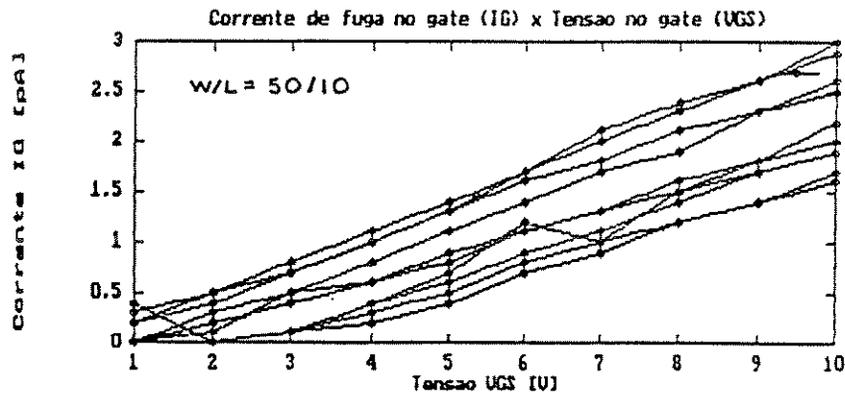


Figura 4.7: Corrente de fuga de gate nos transistores com W/L = 50/10.

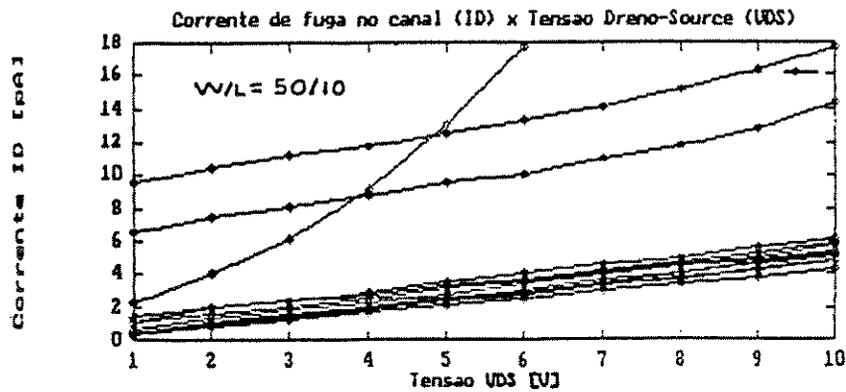


Figura 4.8: Corrente de fuga de canal nos transistores com W/L = 50/10.

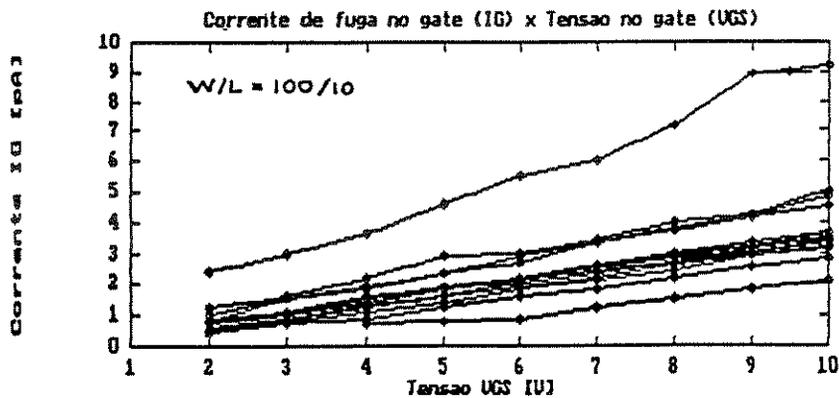


Figura 4.9: Corrente de fuga de gate nos transistores com W/L = 100/10.

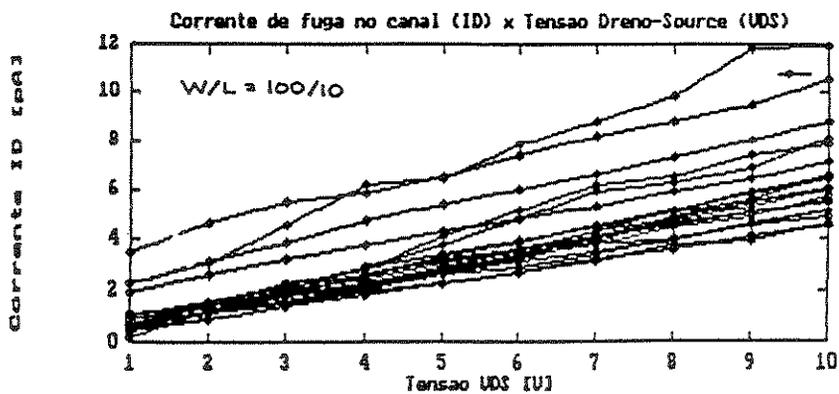


Figura 4.10: Corrente de fuga de canal nos transistores com W/L = 100/10.

4.4 - CORRENTES DE FUGA NOS BUFFERS

Foram realizadas medidas das correntes de fuga nos *buffers* implementados com os amplificadores operacionais CA3140, para a caracterização da sua impedância de entrada, conforme mostrado na figura 4.11 . Como pode-se verificar estes dispositivos apresentam correntes de fuga maiores que os transistores, que são devidas as correntes de saturação inversas dos diodos de proteção das entradas dos operacionais, o que justifica a aproximada constância dos valores encontrados na figura 4.11.

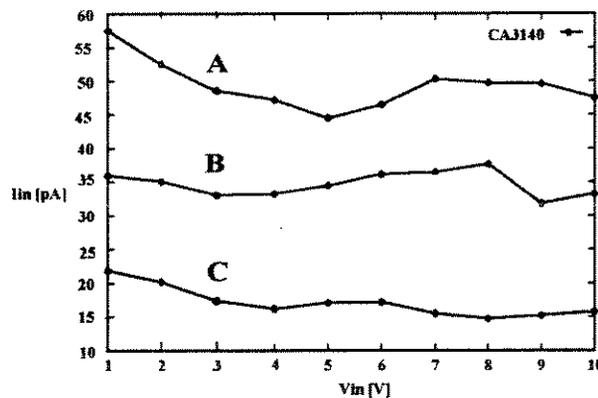


Figura 4.11: Correntes de fuga nas entradas dos buffers com CA3140; (a) Buffer do nó 2 do amplificador ; (b) do nó 3 e (c) do nó 4 .

Foram consideradas também as correntes de fuga nas placas de circuito impresso nos casos:

- sem “descontaminação” : placas normais de montagem com solda;
- com “descontaminação” : placas soldadas, e que passaram por um processo de limpeza, constando da limpeza das mesmas com um solvente orgânico (álcool ou acetona), lavadas com água e sabão e após a secagem a aplicação de várias camadas de verniz isolante, com boas propriedades isolantes e dielétricas.

Todas as montagens seguiram então esta segunda alternativa, que conforme pode ser vista na figura 4.12 reduz consideravelmente a corrente de fuga nas placas, possibilitando o uso de menores capacitores de armazenagem.

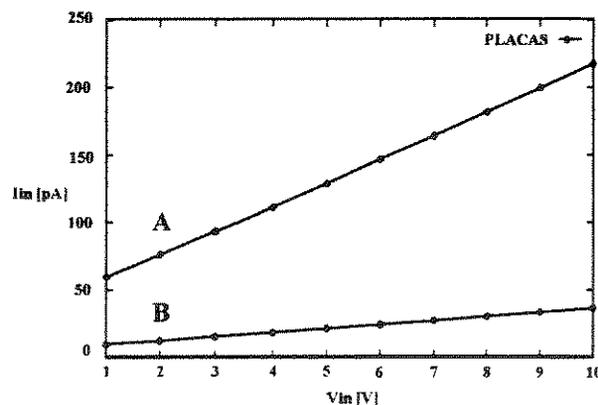


Figura 4.12: Correntes de fuga nas placas de circuito impresso; (a) sem “descontaminação”; (b) com “descontaminação”.

4.5 - MEDIDAS DE CAPACITÂNCIAS

Uma caracterização importante é a medida das capacitâncias de entrada dos *buffers*. Para os *buffers* da versão 1, usando os CA3140 a capacitância de entrada dos mesmos e da ordem de 4pF, constando da capacitância dos transistores MOS e dos dispositivos de proteção. Para o *buffer* da versão 2, que utiliza-se de transistores de razão $W/L=100/10$, a capacitância equivalente de *gate* foi medida utilizando-se uma ponte HP RLC operando em baixa frequência (1KHz) e a tensão V_{GB} variada na faixa de -10V a +10V através de uma fonte externa, conforme mostrado na figura 4.13 .

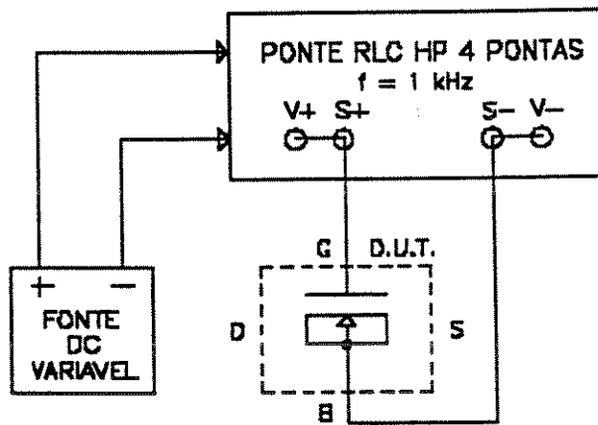


Figura 4.13: Circuito para caracterização das capacitâncias dos transistores.

Os resultados experimentais podem ser vistos na figura 4.14 . Comparando-se esta figura com a capacitância de baixa frequência de um capacitor MOS, nota-se uma certa diferença que pode ser atribuída ao fato de que o transistor é uma estrutura menor que o capacitor MOS e que o fato do *dreno* e *source* estarem próximos do canal, sendo dopados, podem fornecer elétrons para o substrato, alterando a característica padrão para curvas C-V de capacitores MOS [55].

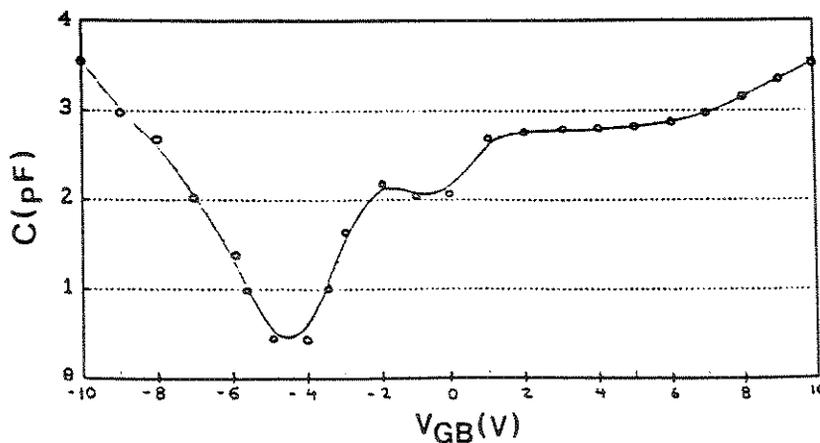


Figura 4.14: Capacitâncias parasitas dos transistores de entrada dos *buffers*.

Uma outra medida importante, é a caracterização dos capacitores de *hold* utilizados nas medidas. Utilizando-se uma ponte RLC GENRAD 1659, operando no modulo série, foram caracterizados 2 tipos de capacitores, dados nas tabelas 4.1 e 4.2, para uso como capacitores de armazenagem (*C_{hold}*).

TABELA 4.1 - Parâmetros dos capacitores de 1.8nF tipo MACICO medidos com a ponte RLC GENRAD 1659 para o modelo série em 1kHz (erro = $\pm 0.1\text{pF}$, $\pm 1\ \Omega$)

Capacitor	CS(pF)	RS(Ω)
C1	1346.3	440
C2	1377.4	402
C3	1334.9	417
C4	1347.3	435
C5	1367.5	460
C6	1689.7	364
C7	1722.3	387
C8	1393.8	419

TABELA 4.2 - Parâmetros dos capacitores de 220pF tipo PLATE medidos com a ponte RLC GENRAD 1659 para o modelo série em 10kHz (erro = $\pm 0.01\text{pF}$, $\pm 10\ \Omega$)

Capacitor	CS(pF)	RS(Ω)
C1	207.95	1.35
C2	204.78	1.36
C3	202.12	1.25
C4	203.26	1.41
C5	203.86	1.52
C6	207.29	1.20
C7	202.95	1.27
C8	203.08	1.35

Os valores médios destas medidas são:

- capacitores MACICO comerciais de 1,8nF

$$\overline{CS} = 1361,2\ \text{pF}$$

$$\overline{RS} = 428,8\ \Omega$$

Estes valores resultam numa constante de tempo RC média de:

$$\overline{\tau_{RC}} = 583,7\ \text{ns}$$

- capacitores PLATE comerciais de 220pF

$$\overline{CS} = 204,4 \text{ pF}$$

$$\overline{RS} = 1,34 \text{ k}\Omega$$

O que resulta numa constante de tempo RC média de:

$$\overline{\tau_{RC}} = 273,9 \text{ ns}$$

Considerando-se que os capacitores estarão totalmente carregados (99% Vc) para $5 \tau_{RC}$, temos um limite de operação do circuito que os utiliza.

Para o caso dos capacitores da tabela 4.1 temos:

$$f_{\max} = 1 / (5 \tau_{RC}) = 1 / (5 \times 583.7E-9) = 342.6 \text{ kHz}$$

Para o caso dos capacitores da tabela 4.2 temos:

$$f_{\max} = 1 / (5 \tau_{RC}) = 1 / (5 \times 273.9E-9) = 146.0 \text{ kHz}$$

Conforme pode-se verificar os capacitores cerâmicos de pequeno valor apresentam uma resistência série grande que compromete bastante a máxima frequência de operação do circuito, causando erros de ganho, caso as frequências limites dadas acima não sejam respeitadas, pois os mesmos não se carregam totalmente para frequências superiores de operação.

4.6 - CARACTERIZAÇÃO DOS *BUFFERS*

A seguir fez-se uma uma caracterização dinâmica dos *buffers* para as versões 1 e 2, sendo que na versão 3, esta caracterização não foi possível, pois não tínhamos nenhum *buffer* independente no circuito integrado.

4.6.1 - QUEDAS DE TENSÃO NOS ESPELHOS

Para uma confirmação dos cálculos realizados no capítulo 3, para as máximas tensões de saída dos *buffers*, foi levantada a característica V_{sp} , que é a tensão de V_{gs} do lado de referência do espelho versus a corrente de referência, mostrando que para grandes valores de I_{ref} tenho grandes valores de V_{gs} , o que justifica o tipo de espelho escolhido no capítulo 3 para implementação dos *buffers* (simples ao invés de cascode) e o valor da corrente de polarização dos mesmos. Estes resultados podem ser vistos nos gráficos das figuras 4.15 e 4.16 para os espelhos tipo N e tipo P respectivamente.

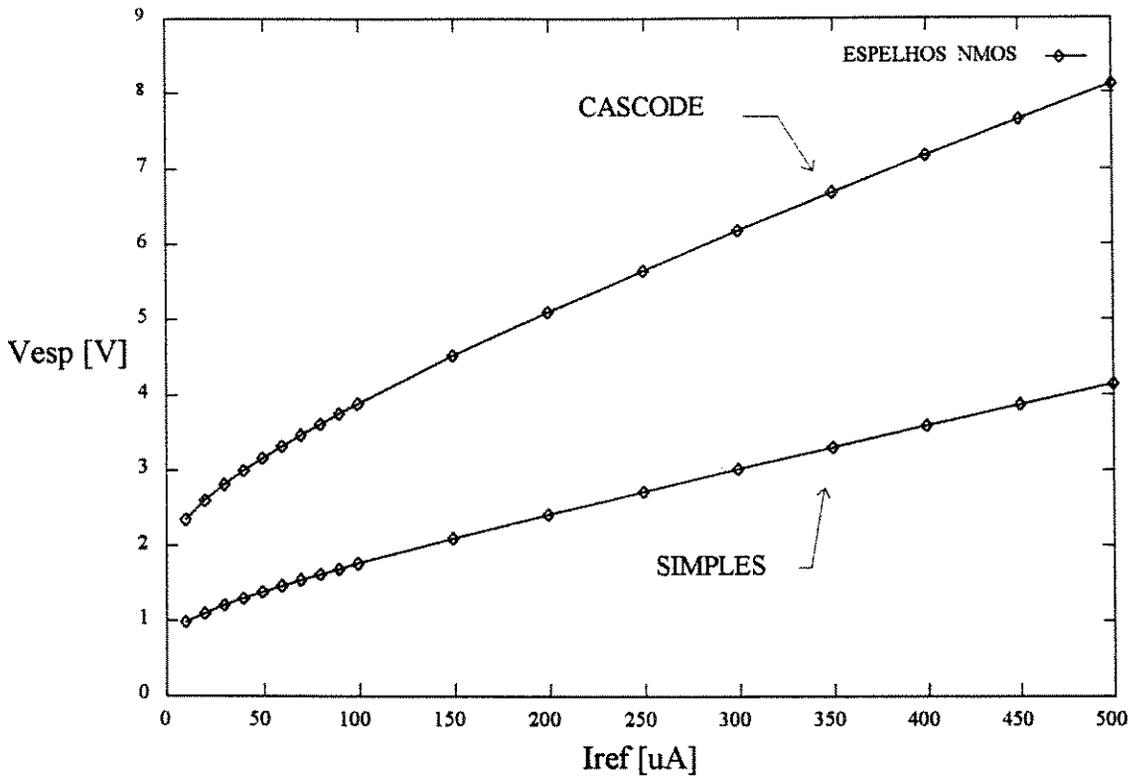


Figura 4.15: Queda de tensão nos espelhos N

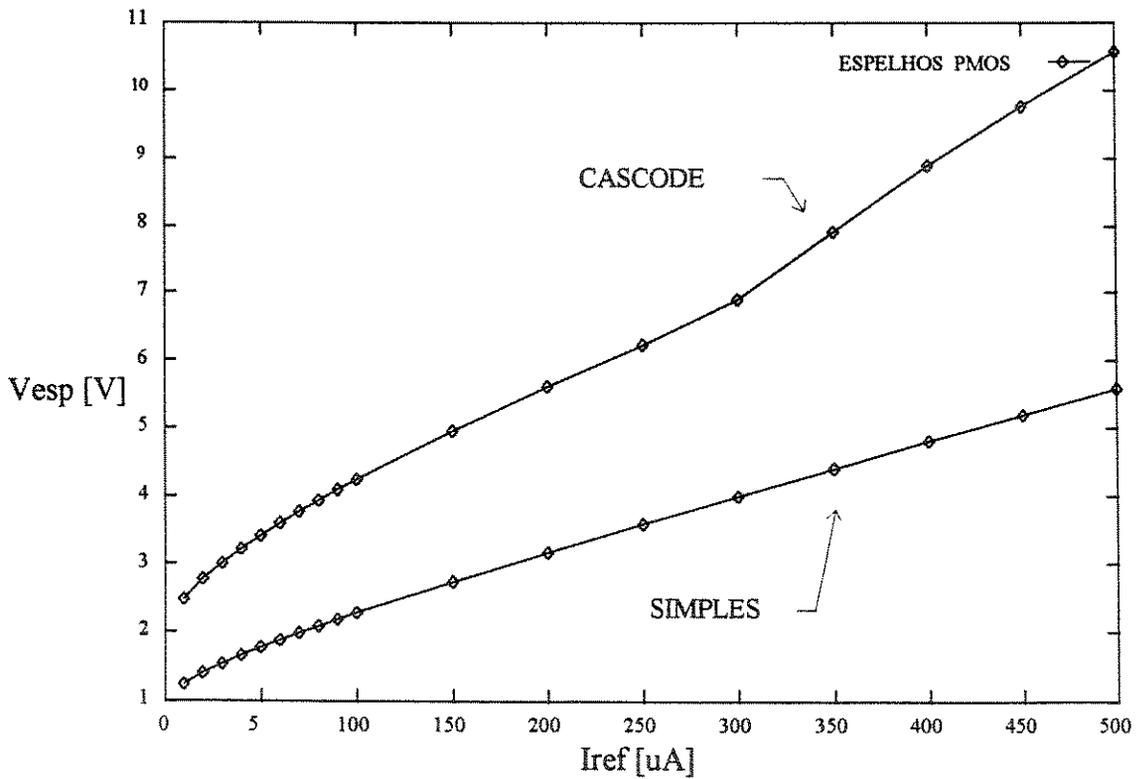


Figura 4.16: Queda de tensão nos espelhos P

4.6.2 - CARACTERÍSTICAS DINÂMICAS DOS BUFFERS

Para a caracterização dinâmica dos tempos de respostas dos *buffers* a um degrau de tensão, foi aplicado em sua entrada um sinal de onda quadrada do gerador HP8116A (com t_f e $t_r < 5\text{ns}$) e amplitude de $\pm 3\text{V}$. As formas de onda na sua saída foram tomadas com o osciloscópio HP5403A 500MHz, tendo como carga as entradas do mesmo, que são devidas às pontas de prova do mesmo, HP 10430A 10:1 $1\text{M}\Omega // 6.5\text{pF}$. Os resultados para a versão com o CA3140) estão mostradas nas figuras 4.17 e 4.18. Para a versão com o *array* do PMU7, os resultados estão nas figuras 4.19 e 4.20. Os valores médios obtidos foram:

- Com CA3140

$$t_r = 417.84\text{ns}$$

$$t_f = 209.48\text{ns}$$

- Com os transistores do PMU7 com polarização de $40\mu\text{A}$ no par diferencial

$$t_r = 1.58\mu\text{s}$$

$$t_f = 4.10\mu\text{s}$$

Assim as máximas frequências de operação para os mesmos são:

- Com CA3140

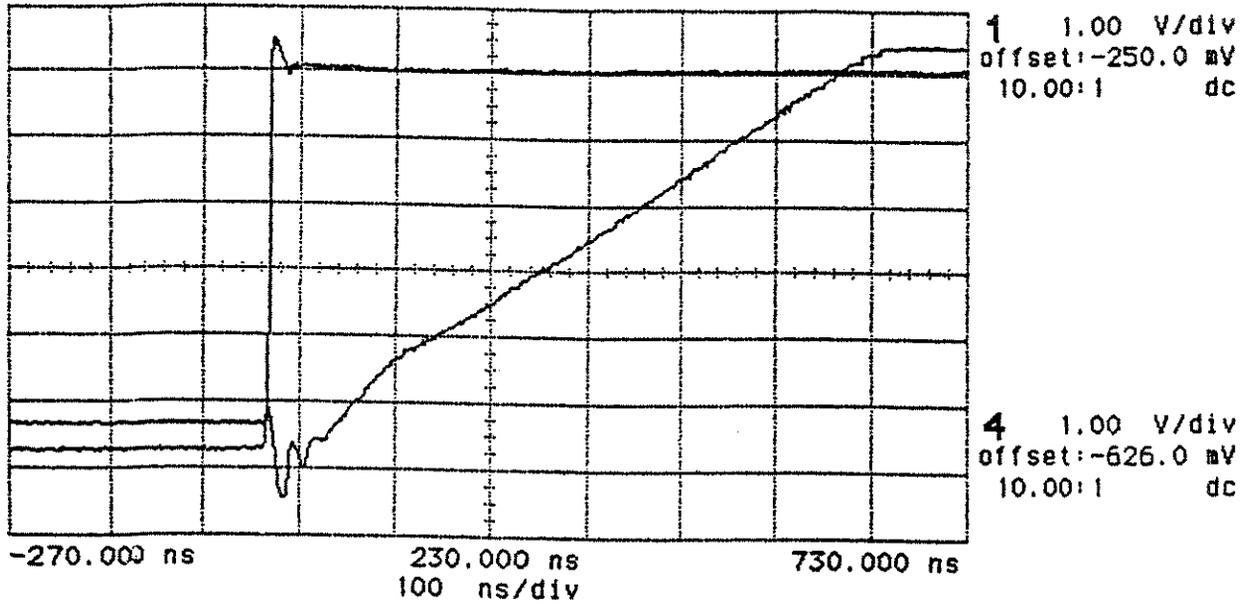
$$f_{\text{max}} = 1/(t_r+t_f) = 1\text{E}9/(417.84+209.48) = 1.59\text{MHz}$$

- Com os transistores do PMU7

$$f_{\text{max}} = 1/(t_r+t_f) = 1\text{E}6/(1.58+4.10) = 176.06\text{KHz}$$

Conforme pode ser verificado o desempenho do *buffer* da versão 2 é limitado, e sua resposta a transientes lenta, que se deve à baixa corrente de polarização utilizada ($40\mu\text{A}$), escolhida para aumentar o *range* dinâmico do *buffer*. Uma alternativa seria aumentar em 10 vezes esta corrente melhorando significativamente estes tempos, mas em compensação reduzindo-se o *range* dinâmico do mesmo. Esta limitação ocorreu devido à limitada possibilidade de escolha das geometrias dos transistores, que já estavam implementados no PMU7 [1]. Como se trata de uma versão de avaliação o aumento da corrente de polarização foi passível de ser realizada, para comprovação experimental desta análise.

hp stopped

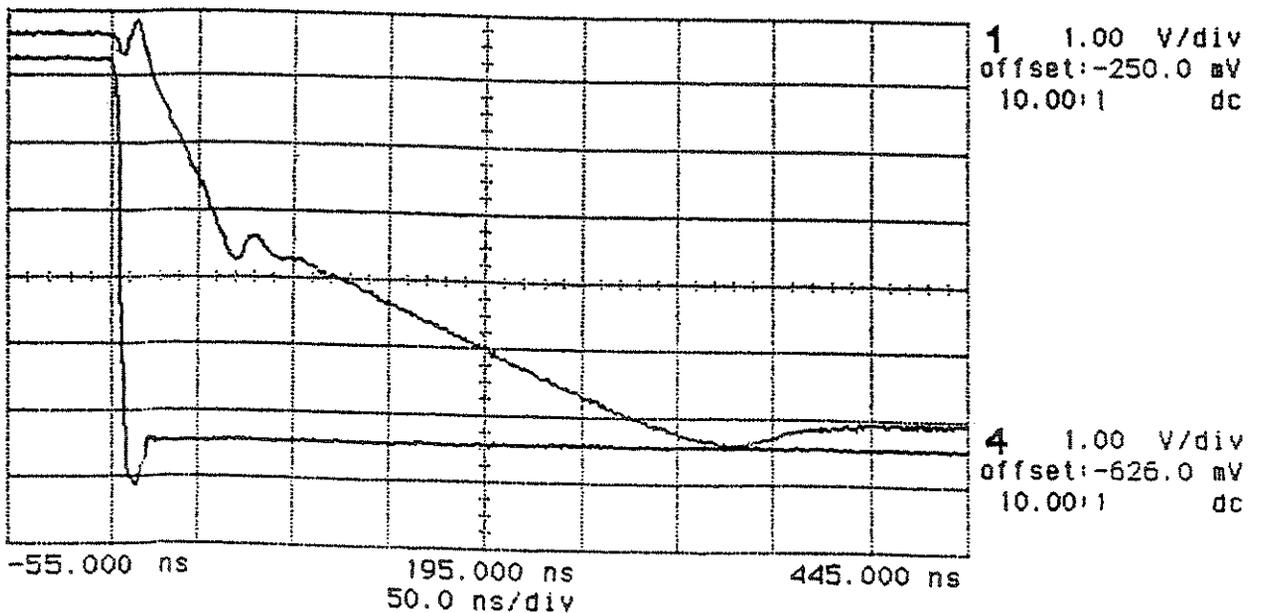


	current	minimum	maximum	average
risetime(1) ≤	3.992 ns	1.996 ns	5.988 ns	4.310 ns
risetime(4)	471.058ns	467.066ns	477.046ns	471.843ns
Vp-p(4)	6.87500 V	6.81250 V	6.93750 V	6.89511 V

1 f 670.0 mV

Figura 4.17: Tempo de subida do *buffer* implementado com o CA3140.

hp stopped



	current	minimum	maximum	average
falltime 1) ≤	4.990 ns	0.00000 s	7.984 ns	3.252 ns
falltime 4)	207.585ns	207.585ns	215.569ns	209.481ns
Vp-p(4)	6.25000 V	62.500 mV	6.31250 V	4.21146 V

1 f 670.0 mV

Figura 4.18: Tempo de descida do *buffer* implementado com o CA3140.

hp stopped

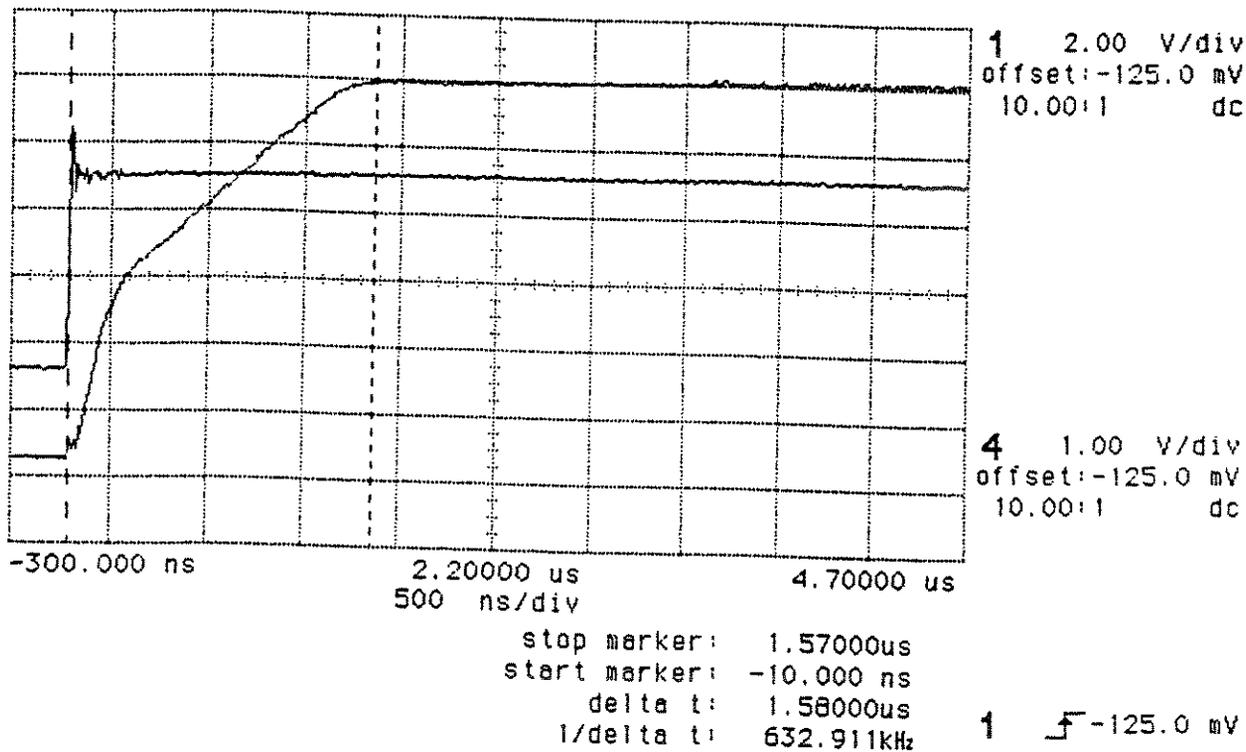


Figura 4.19: Tempo de subida do *buffer* implementado com os transistores do PMU7.

hp stopped

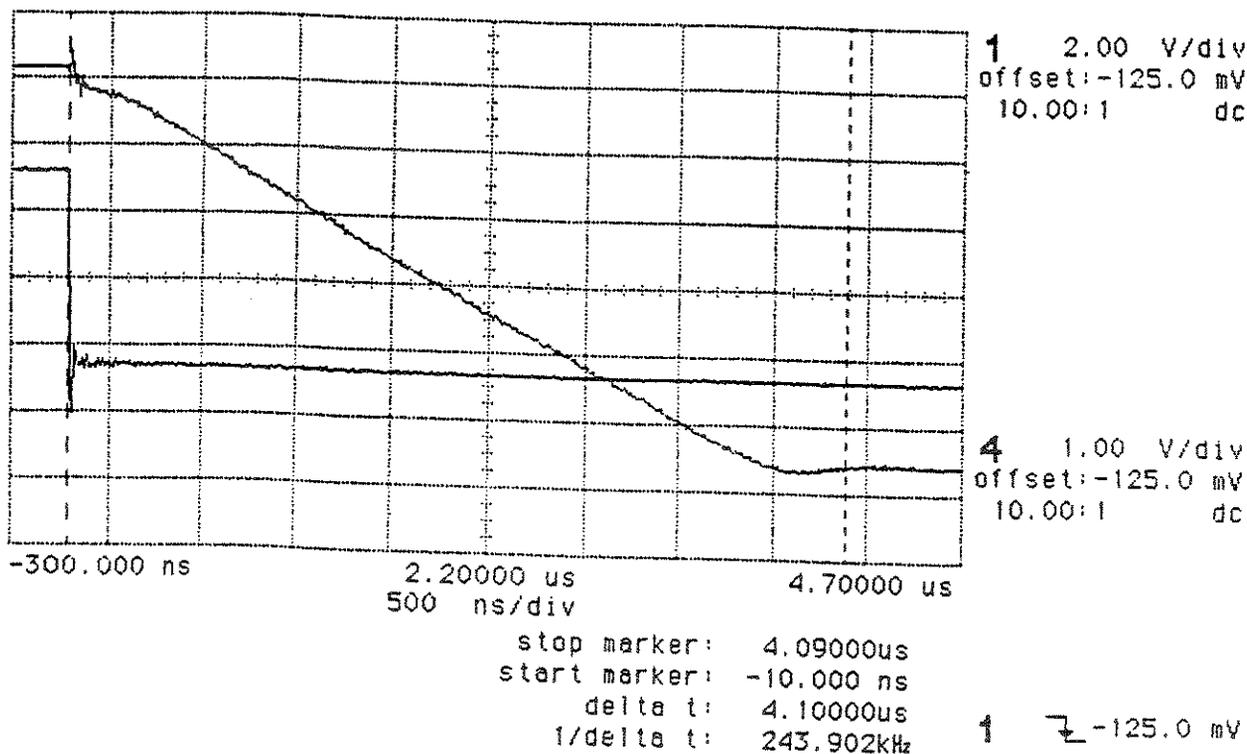


Figura 4.20: Tempo de descida do *buffer* implementado com os transistores do PMU7.

4.7 - MEDIDAS DE INJEÇÃO DE CARGAS

A caracterização do fenômeno de injeção de cargas foi realizado na referência [1] para as chaves do PMU7. O circuito utilizado a caracterização experimental encontra-se na figura 4.22. Na figura 4.21 podemos verificar os resultados de simulações para chaves com $W/L=100/10$ e $W/L=50/10$ e nas figuras 4.23 e 4.24 o resultado de medidas experimentais.

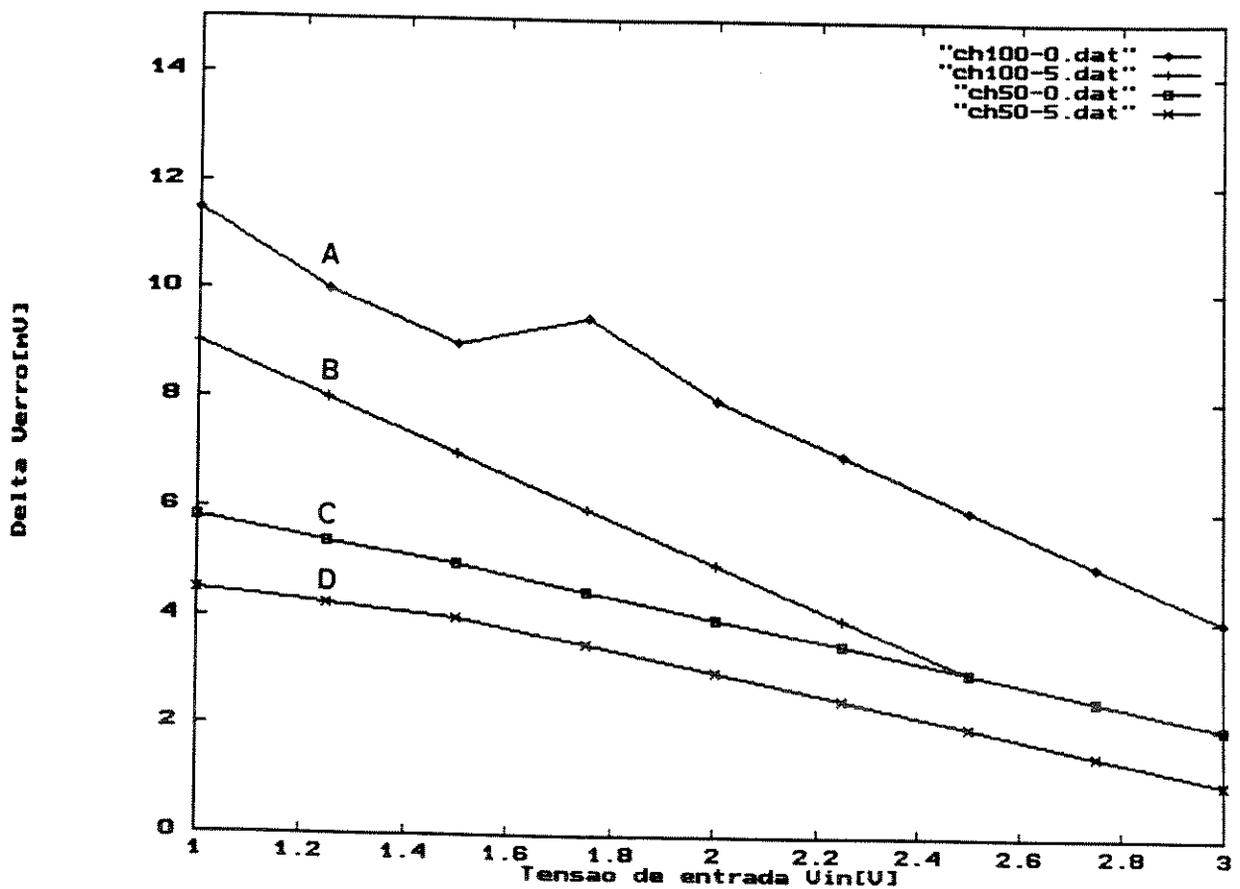


Figura 4.21: Resultados simulados no PSPICE mostrando a característica $V_{in} \times \delta V$.
 (a) $W/L = 100/10$ e $V_{BS} = 0V$; (b) $W/L = 100/10$ e $V_{BS} = -5V$;
 (c) $W/L = 50/10$ e $V_{BS} = 0V$; (d) $W/L = 50/10$ e $V_{BS} = -5V$.
 (V_G = degrau de tensão de 0 a 5 V com $t_f = t_r = 30$ ns e $CS/CL = 10$)

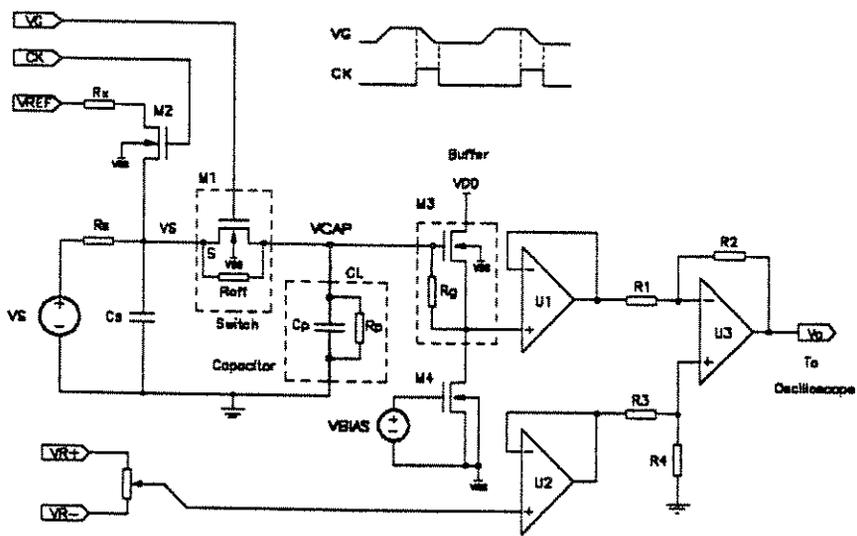


Figura 4.22: Circuito utilizado para as medições.

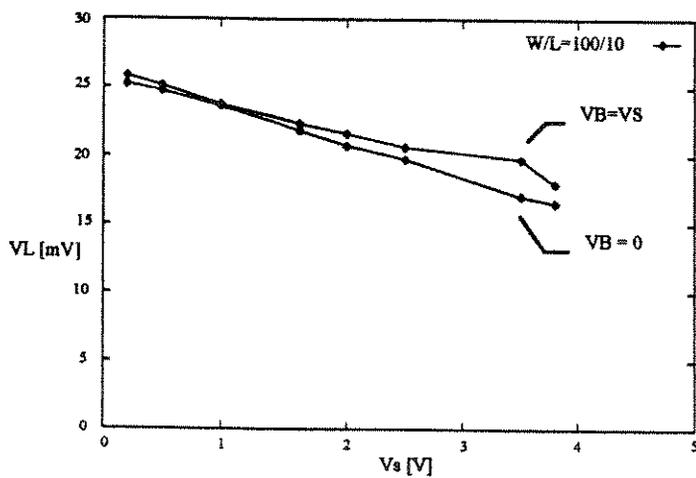


Figura 4.23: Curva experimental para $W/L=100/10$.

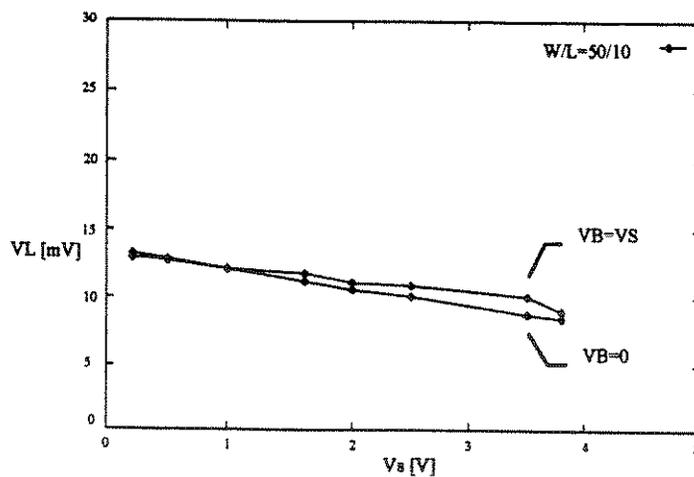


Figura 4.24: Curva experimental para $W/L=50/10$.

4.7.1 - INJEÇÃO DE CARGAS NAS CHAVES CRUZADAS

A seguir é realizada uma avaliação dos resultados obtidos com a utilização de chaves analógicas em chaves cruzadas, podendo ser observado a injeção de cargas nos capacitores de armazenagem em duas ocasiões:

1. Injeção de cargas (elétrons) na transição condução-corte das chaves analógicas, onde uma fração de carga contida no canal é transferida para os capacitores de armazenagem.
2. Extração de carga (elétrons) na transição corte-condução das chaves analógicas, onde uma fração de carga contida no capacitor de armazenagem é transferida para o canal do transistor da chave.

O fenômeno (1) encontra-se bem documentado, conforme mostrado na capítulo 3. Entretanto o fenômeno (2) não é reportado na literatura, sendo simplesmente considerado simétrico a (1), nos poucos casos em que foi solicitado na literatura. Um fato que contribui para esta consideração é a larga utilização de chaves *dummy* para correção do efeito de injeção, já que na maioria dos circuitos aplicativos o processamento do sinal é feito em frequência e não em amplitude, constituindo assim o efeito de injeção de carga uma fonte de ruído a ser minimizada na estrutura. Entretanto quando tratamos de circuitos de precisão, como é o caso da técnica de quantização, esta diferença pode ser significativa (erro residual) como é mostrado nos experimentos a seguir.

Nas figuras 4.25 a 4.28 temos as formas de onda de entrada e saída do amostrador composto da chave cruzada e dois capacitores de armazenagem (bloco *delay*).

Na figura 4.25 usamos um capacitor $C_{hold}=1000\text{pF}$, onde temos um *offset* de 25mV devido ao *buffer* de leitura. Pode-se observar que a forma de onda é amostrada e o seu valor retido por um período de clock.

Na figura 4.26 usamos um capacitor de 120pF. Neste caso observamos um deslocamento da forma de onda para baixo devido a injeção de cargas. Entretanto pode-se observar, nas regiões de maior tensão de entrada que no ciclo posterior a injeção, a extração de cargas não tem a mesma amplitude, formando a "escada" mostrada nesta figura.

Este efeito torna-se mais pronunciado para baixos valores de capacitores de armazenagem (10pF) como é o caso da figura 4.27 onde devido a diferença entre a injeção e a extração temos um certo *offset* associado a forma de onda, com formato de "escada".

Retirando-se o capacitor de armazenagem, a injeção ocorre sobre as capacitâncias parasitas do circuito que compreendem as capacitâncias da entrada do *buffer* e montagem, estimadas em torno de 5pF.

Este resultado confirma as formas de onda obtidas com estes blocos totalmente integrados no PMU8, que pode ser visto na figura 4.29, onde foram utilizados capacitores de 5pF.

Devido a magnitude desta escada, e portanto do erro de injeção associado, inviabiliza-se a construção do amplificador digital com precisão, somente sendo possível sua construção com o cancelamento deste efeito de injeção, usando por exemplo a chave corrigida [1], descrita na capítulo 3.

hp stopped

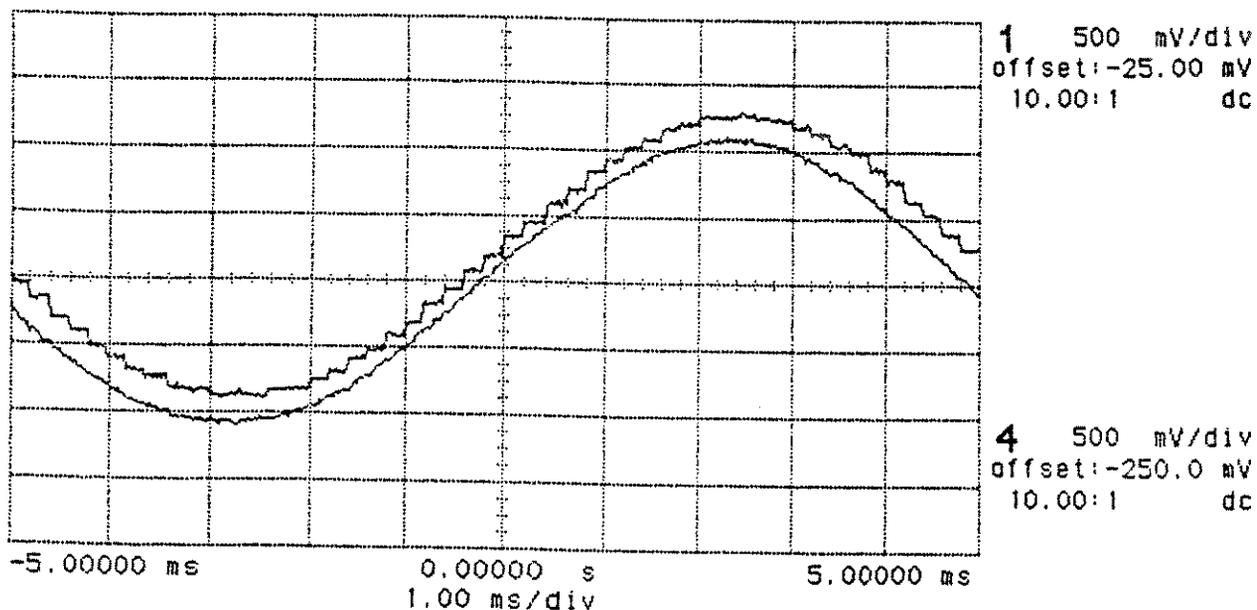


Figura 4.25: Formas de onda no bloco *delay* para $Chold = 1000pF$.

hp stopped

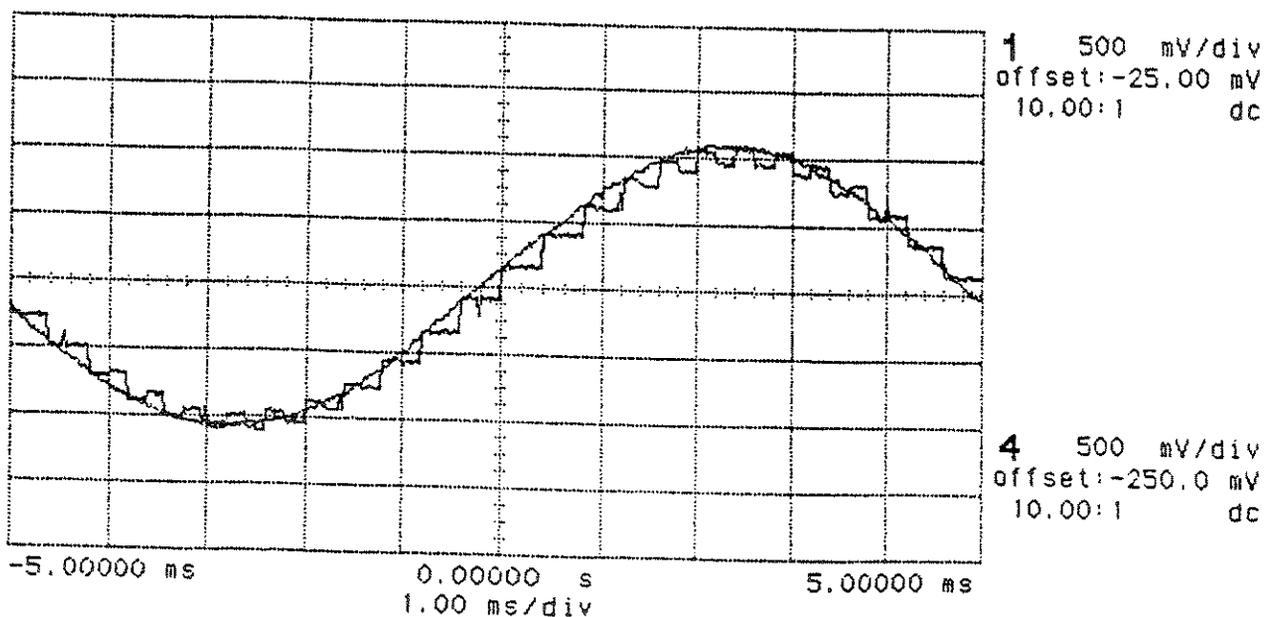


Figura 4.26: Formas de onda no bloco *delay* para $Chold = 120pF$.

hp stopped

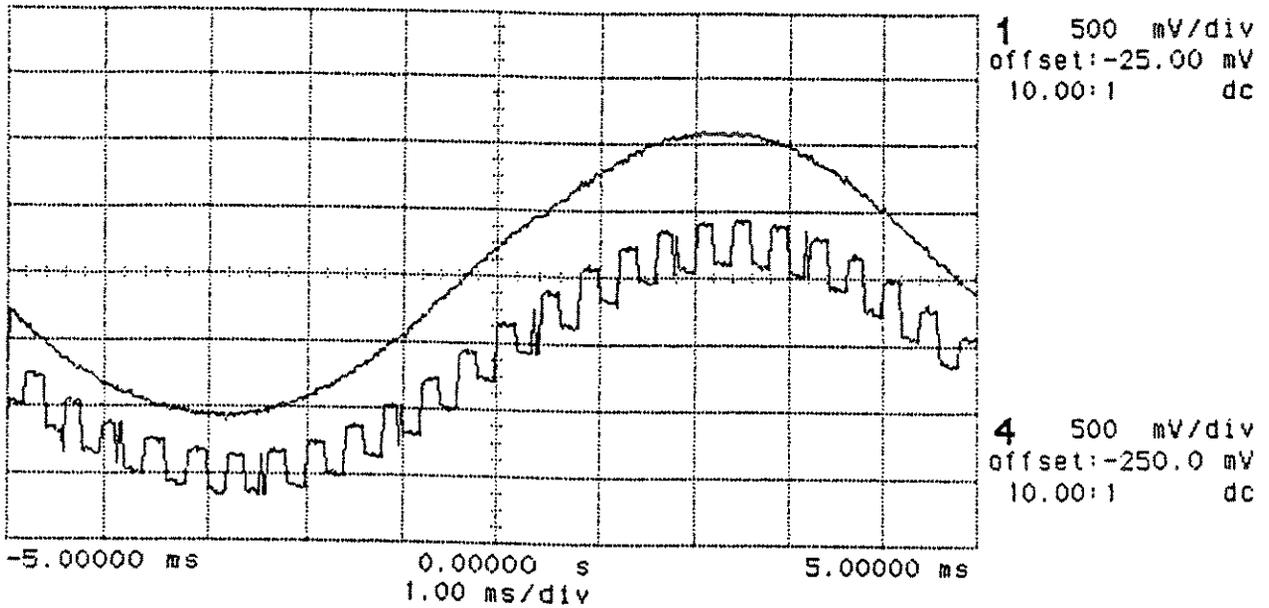
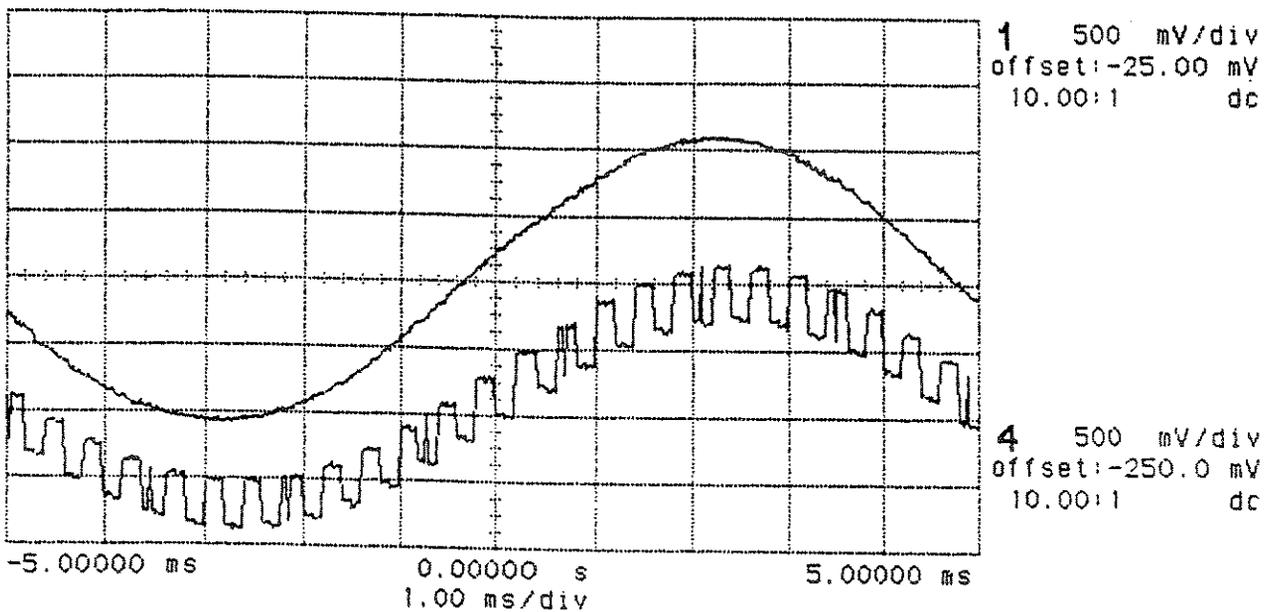


Figura 4.27: Formas de onda no bloco *delay* para $Chold = 10\text{pF}$.

hp stopped



1 \int 343.0 mV

Figura 4.28: Formas de onda no bloco "delay" para $Chold = C \text{ parasita} = \pm 5\text{pF}$.

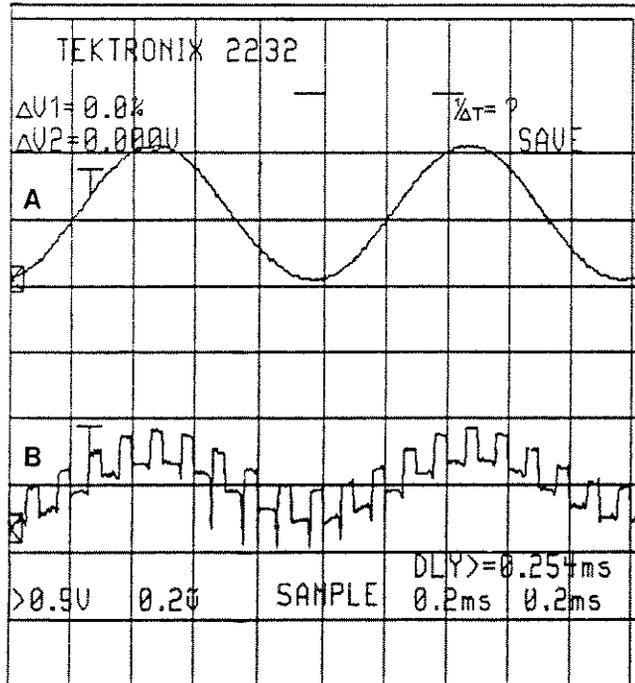


Figura 4.29: Formas de onda no bloco *delay* totalmente integrado no PMU8; (a) entrada 1Vpp 1 kHz ; (b) saída após o *buffer*.

4.8 - CARACTERIZAÇÃO DO CIRCUITO DE CLOCK

Assim como descrito no capítulo 3, o amplificador e chaveado utilizando-se um sistema de *clock* intercalado. Entretanto para comprovar, experimentalmente, a falha existente em alguns circuitos propostos na literatura, podemos avaliar as formas de onda em dois circuitos comumente utilizados para geração de *clocks* complementares. O primeiro, utiliza-se de inversores lógicos, sendo vista suas saídas na figura 4.30. Observa-se um tempo *tsc*, caracterizado como tempo de condução simultânea das chaves ou ainda *skew*, em que ambas as chaves conduzem alterando assim a carga no capacitor de *hold*, sendo devida ao tempo de atraso de propagação de um *gate* inversor CLK e # CLK. O segundo consta da utilização das saídas complementares de um *flip-flop*, para a geração do *clock*. Na figura 4.31 podemos verificar as formas de onda na saída de um *flip-flop* tipo D, CD 4013, onde aparece o tempo de condução simultânea das chaves, *tsc*, devidas a atrasos de propagação intrínsecos a sua estrutura. No nosso caso foi utilizado o sistema de *clock* intercalado, descrito no capítulo 3 que pode ser visto nas figuras 4.32 e 4.33, que resolve completamente este problema.

hp stopped

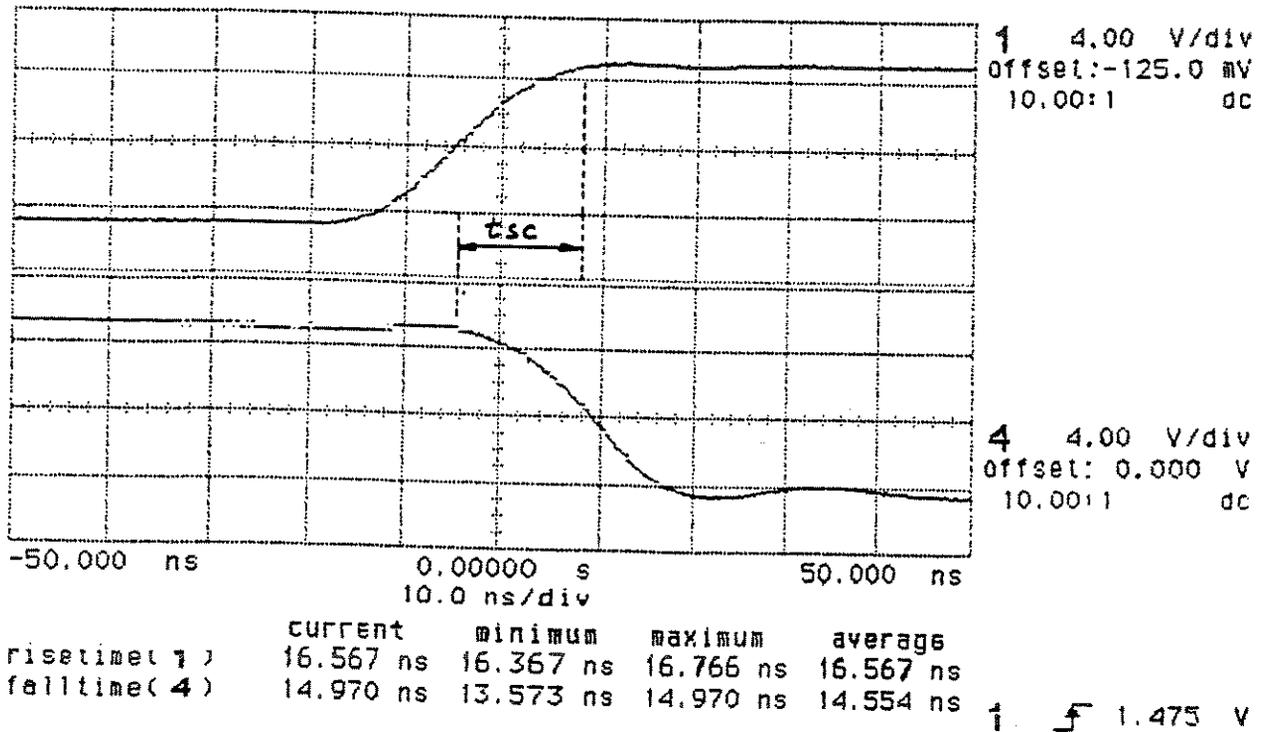


Figura 4.30: Geração de *clocks* complementares com inversores lógicos.

hp stopped

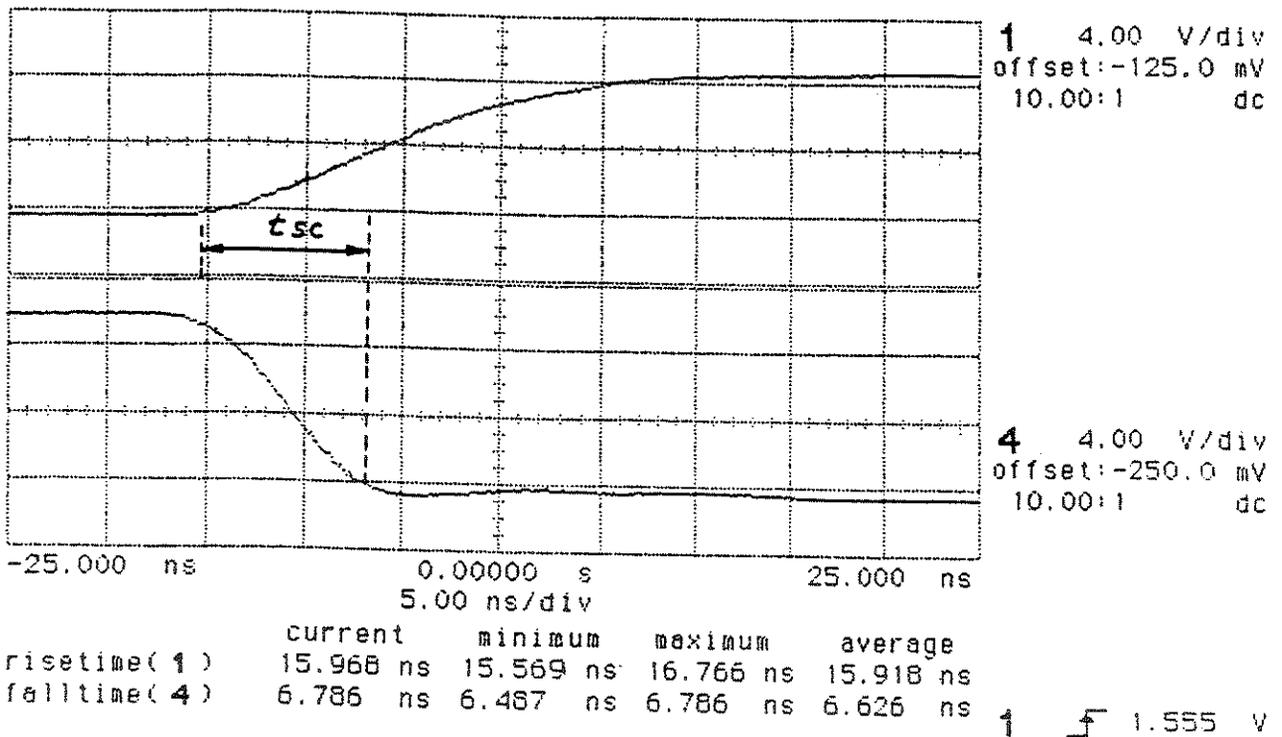


Figura 4.31: Geração de *clocks* complementares com *flip-flops* (CD4013).

hp printing

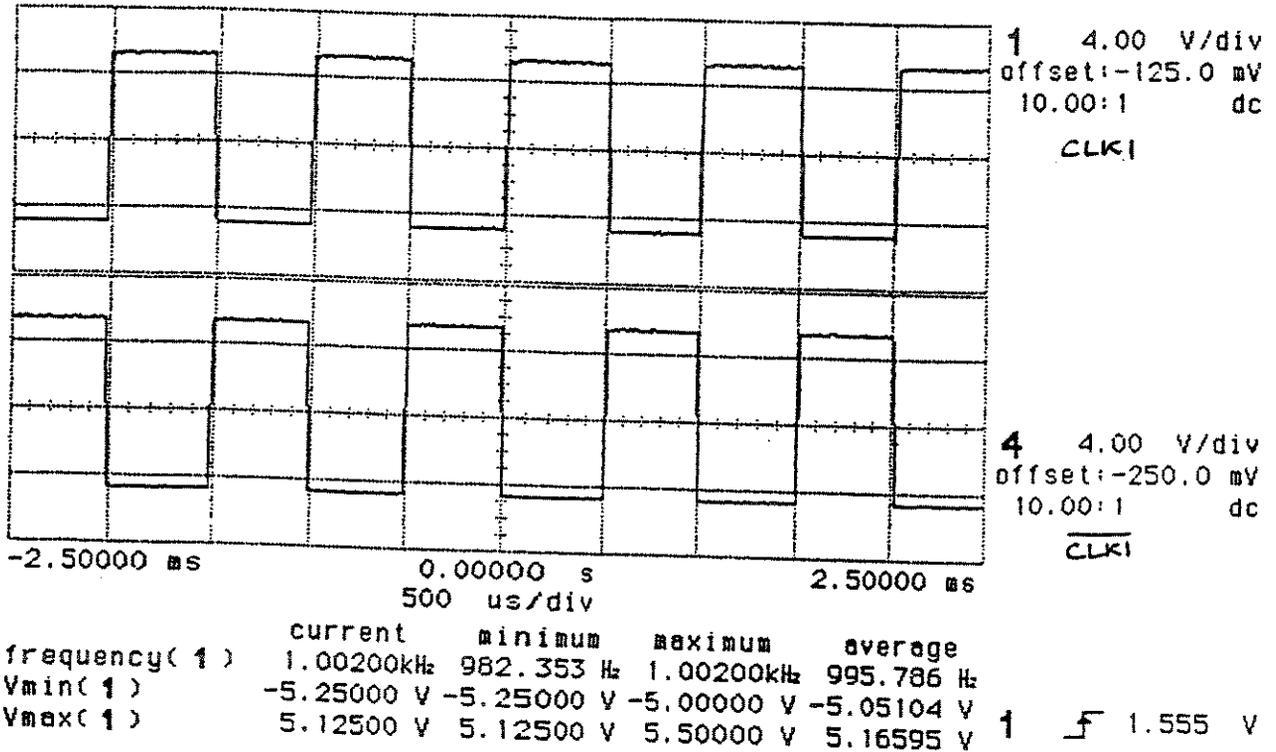


Figura 4.32: Formas de onda do clock complementar intercalado.

hp stopped

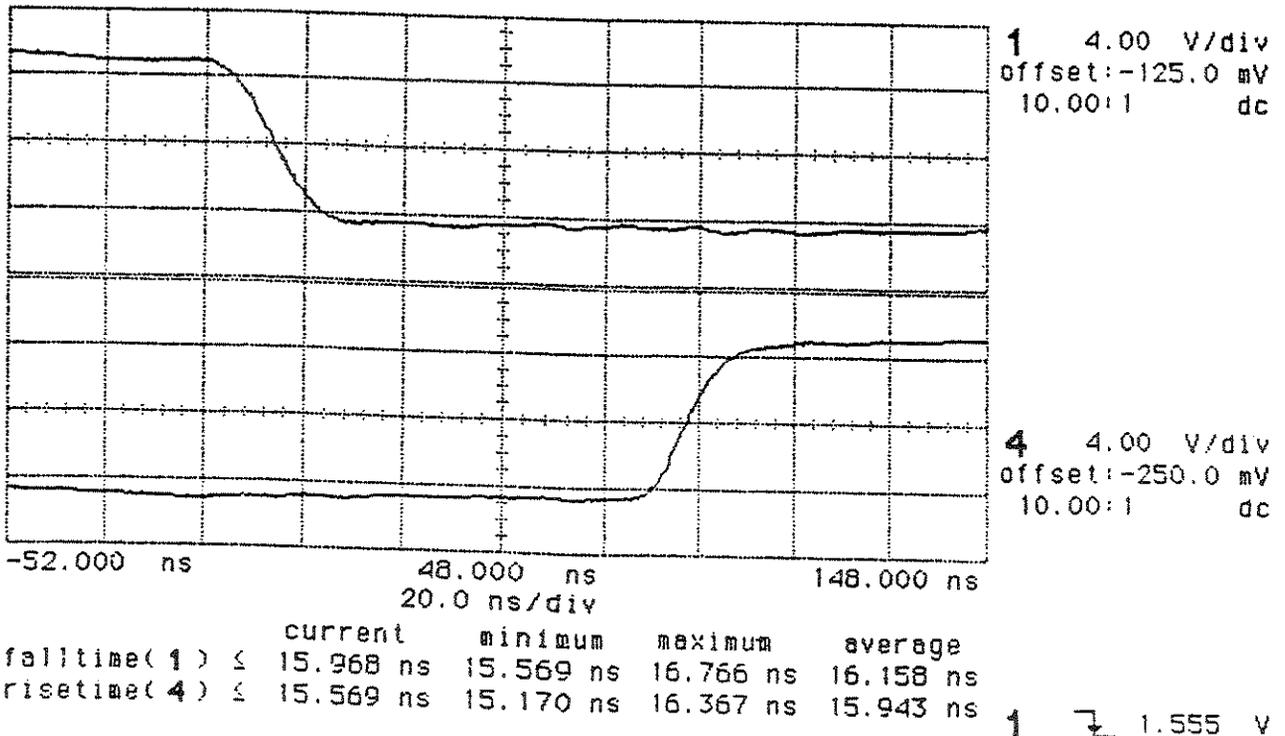


Figura 4.33: Intercalamento das formas de onda do clock.

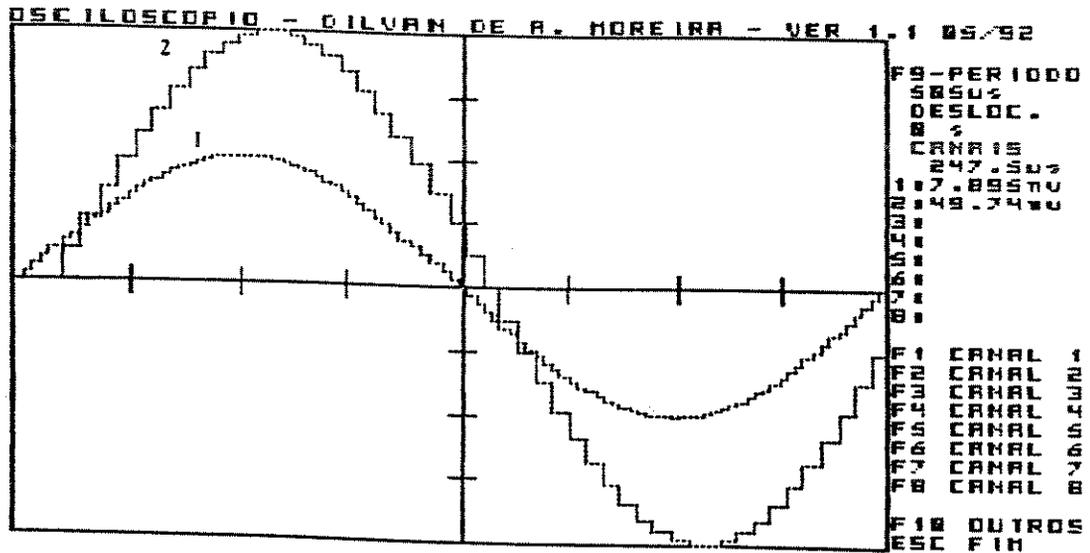
4.9 - FORMAS DE ONDA NO AMPLIFICADOR

Neste item são apresentadas as formas de onda nos pontos mais relevantes do circuito, sendo comparada em cada caso com os resultados obtidos de simulações com o simulador QUANTICO. Este simulador foi desenvolvido especialmente para esta técnica [27], sendo um simulador comportamental, com característica de poder detetar mudança de tensão nos nós do circuito assincronamente com o sinal de comando das chaves, o que não é possível com outros simuladores como o SWITCAP [52]. Outros simuladores como o SPICE [34][43] não são apropriados para esta aplicação, uma vez que a cada transição do *clock*, que são rápidas, ele reduz o seu *step* de modo a aumentar enormemente o tempo de simulação e causando erros de convergência.

Desta forma o QUANTICO foi escolhido para esta análise. Como neste caso estaremos fazendo uma análise qualitativa do circuito foi escolhida uma frequência de amostragem baixa (10KHz) e um ganho 2, para não termos muitos passos de quantização e verificar facilmente o funcionamento do amplificador.

Assim podemos verificar nas figuras 4.34 e 4.35, as formas de onda na entrada e saída do amplificador. Podemos notar que a entrada do sinal é contínua e a saída discreta com o dobro da amplitude e ainda com uma pequena defasagem (2 passos de CLK). Percorrendo então o circuito em direção a sua saída podemos ver que o sinal de entrada e amostrado pelo bloco *delay* X1, sendo que as formas de onda podem ser vistas nas figuras 4.36 e 4.37. Pode-se verificar assim a quantização da forma de onda de entrada em níveis analógicos definidos. As tensões nos nós dos capacitores de armazenagem do bloco X1, nos 8 e 9, podem ser vistas nas figuras 4.38 e 4.39. Comparando-se a simulação e as formas de onda observadas podemos verificar uma descarga dos capacitores de armazenagem, causada pela ponta de prova do osciloscópio, tendo sido feita intencionalmente com a finalidade de mostrar a necessidade do uso de *buffers* com altíssima impedância de entrada na leitura dos nós do circuito. Nas figuras 4.40 e 4.41 podemos verificar os sinais que são somados pelo somador, sendo o primeiro o sinal do nó 2, sinal de entrada discretizado, e o sinal de entrada atrasado de 2 passos de *clock*. Estas medidas foram tomadas após os *buffers* não ocorrendo portanto o problema de descarga dos capacitores de armazenagem, mas introduzindo-se um pequeno erro de *offset* (não mostrado na figura). Então indo-se para o nó correspondente a saída do somador, nó 4, verifica-se um sinal em forma de “escada” que consiste da soma das amplitudes dos sinais dos nós 2 e 3, o que pode ser visto nas partes superiores das figuras 4.42 e 4.43. Na parte inferior destas figuras temos este sinal amostrado pelo bloco *delay* X2, mostrando o sinal de saída amplificado. Verificando-se agora os nós internos para compreender a forma de onda presente no nó 3, podemos verificar as formas de onda nos nós 6 e 7, vistos nas figuras 4.44 e 4.45. Assim podemos ver que no nó 6 temos a armazenagem do sinal de saída e no nó 7 a armazenagem do sinal de entrada, estando os mesmos defasados de 2 passos de *clock*, sendo os sinais operados pelo somador. Finalmente comprovando-se o funcionamento dos blocos *hold* podemos verificar as figuras 4.46 a 4.49, onde temos a armazenagem dos sinais em cada fase do *clock*, sendo que a sua composição resulta nas formas de onda dos nós 6 e 7.

Conforme podemos observar, os sinais vistos no osciloscópio coincidem com os sinais obtidos por simulação.



CH1: Gain = 5.0 Offset = 0 CH2: Gain = 5.0 Offset = 0

Figura 4.34: Formas de onda na entrada (nó 1) e na saída (nó 5) - simulação.

hp stopped

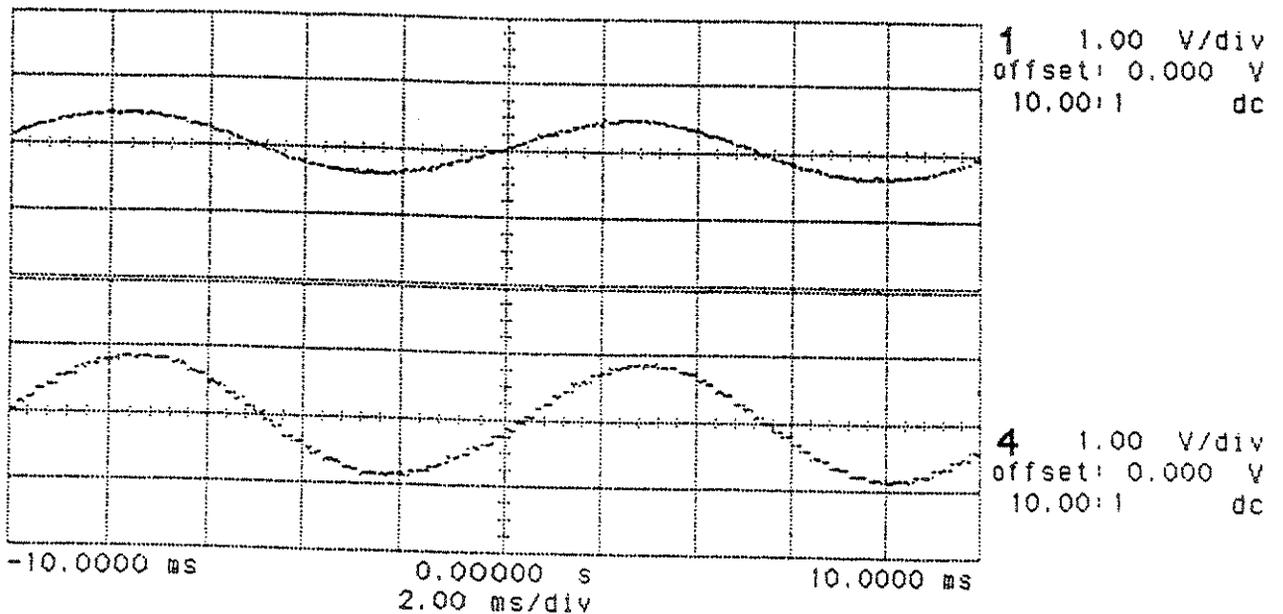
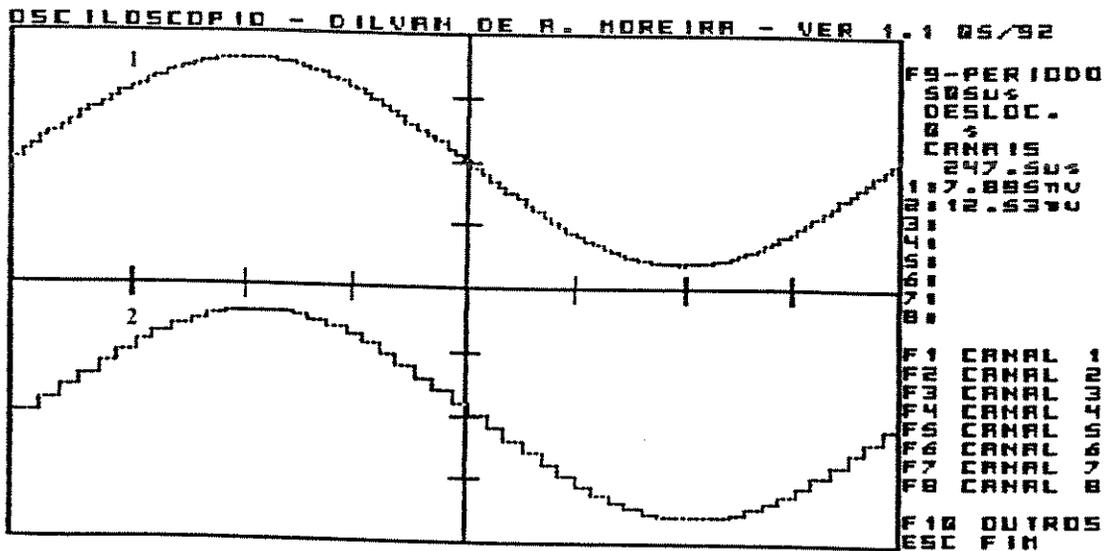


Figura 4.35: Formas de onda na entrada (nó 1) e na saída (nó 5) - medida.



CH1: Gain = 4.0 Offset = 0.5 CH2: Gain = 4.0 Offset = -0.5

Figura 4.36: Formas de onda na entrada (nó 1) e saída (nó 2) - simulação.

hp stopped

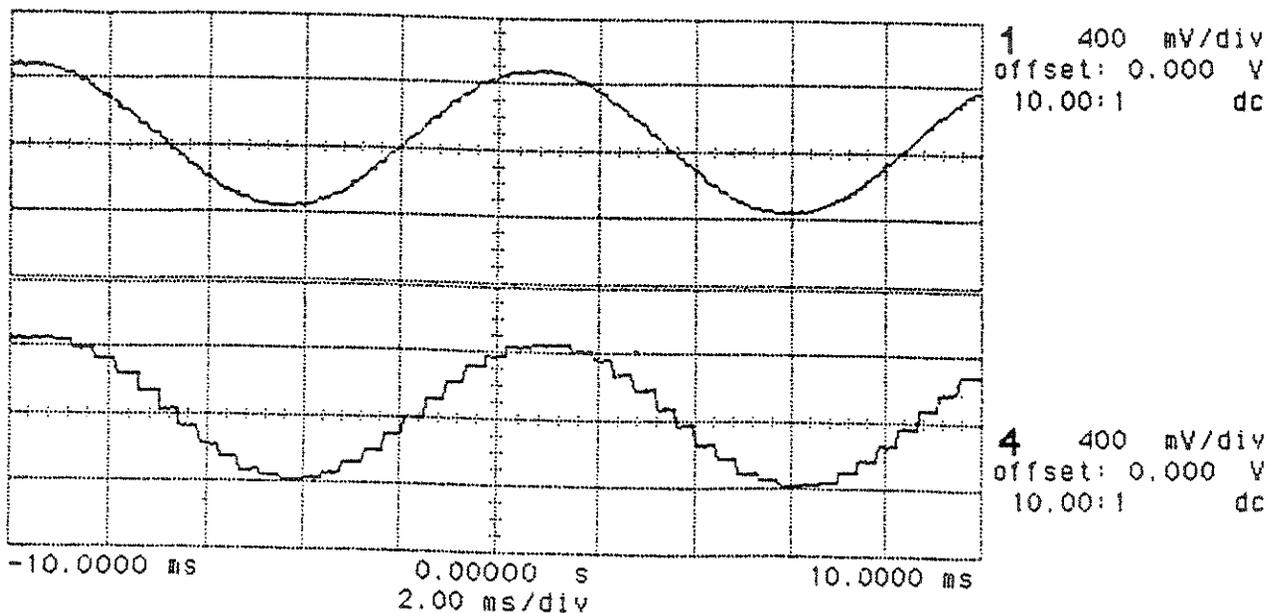
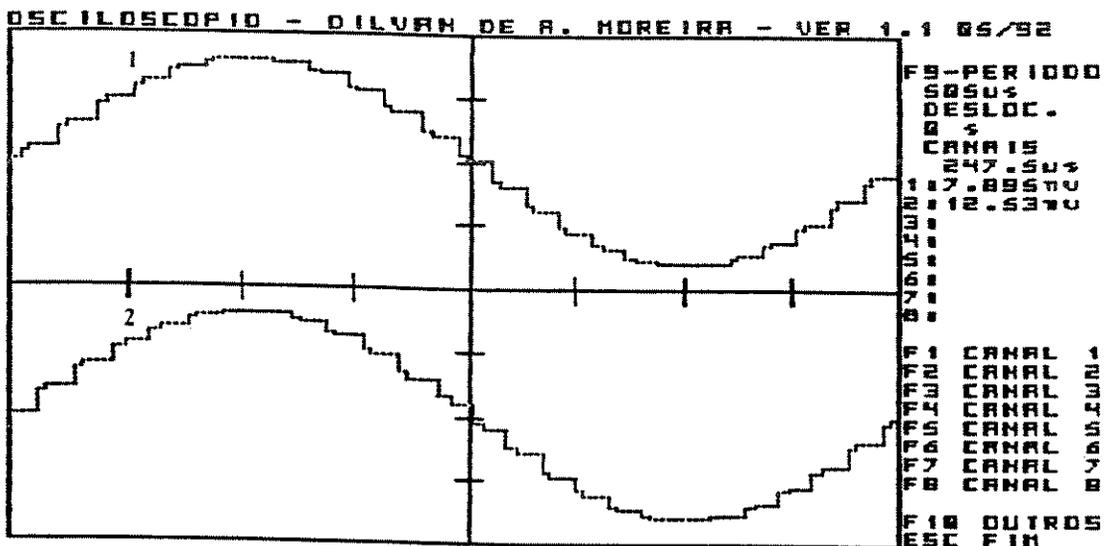


Figura 4.37: Formas de onda na entrada (nó 1) e saída (nó 2) - medida.



CH1: Gain = 4.0 Offset = 0.5

CH2: Gain = 4.0 Offset = - 0.5

Figura 4.38: Formas de onda nos capacitores de armazenagem do bloco X1, acima (nó 8), abaixo (nó 9) - simulação.

hp stopped

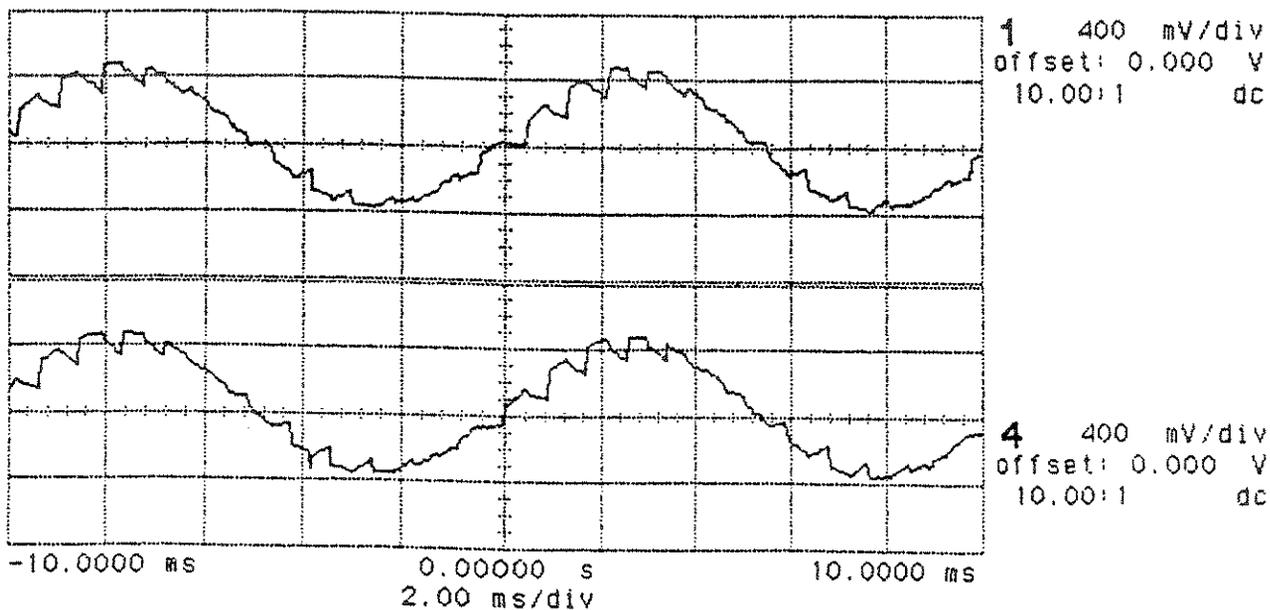
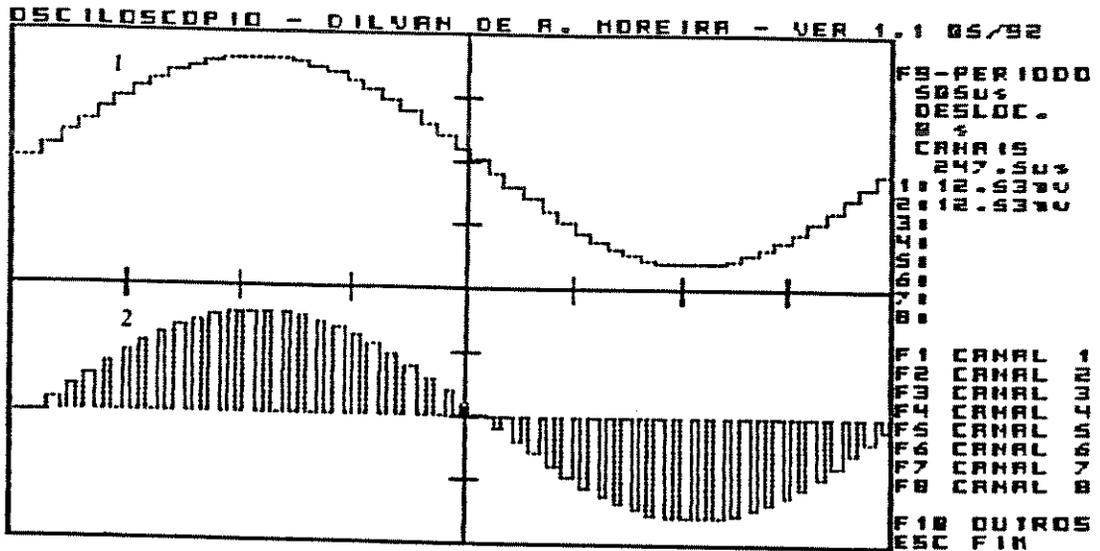


Figura 4.39: Formas de onda nos capacitores de armazenagem do bloco X1, acima (nó 8), abaixo (nó 9) - medida.



CH1: Gain = 4.0 Offset = 0.5

CH2: Gain = 4.0 Offset = -0.5

Figura 4.40: Formas de onda nas entradas do somador, acima (nó 2), abaixo (nó 3) - simulação.

hp stopped

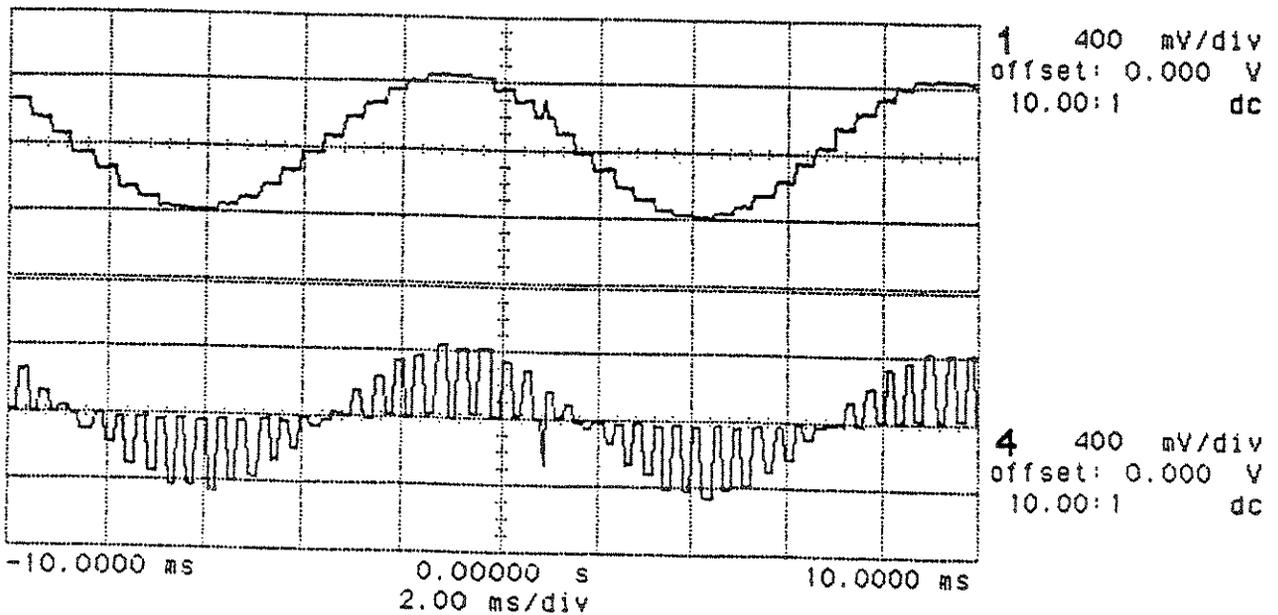
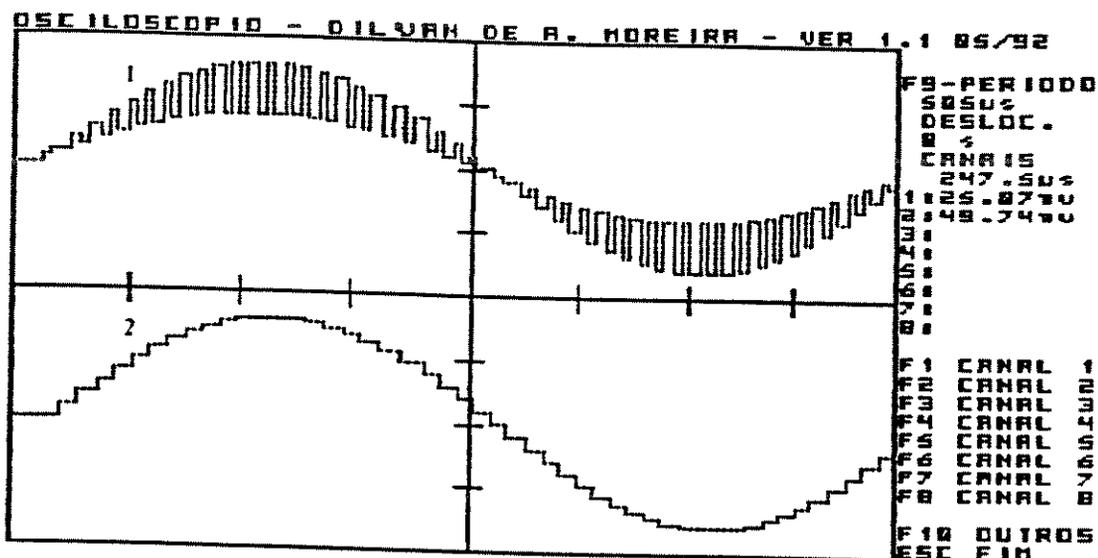


Figura 4.41: Formas de onda nas entradas do somador, acima (nó 2), abaixo (nó 3) - medida.



CH1: Gain = 2.0 Offset = 0.5

CH2: Gain = 2.0 Offset = -0.5

Figura 4.42: Formas de onda na saída do somador (nó 4) e na saída do amplificador (nó 5) - simulação.

hp stopped

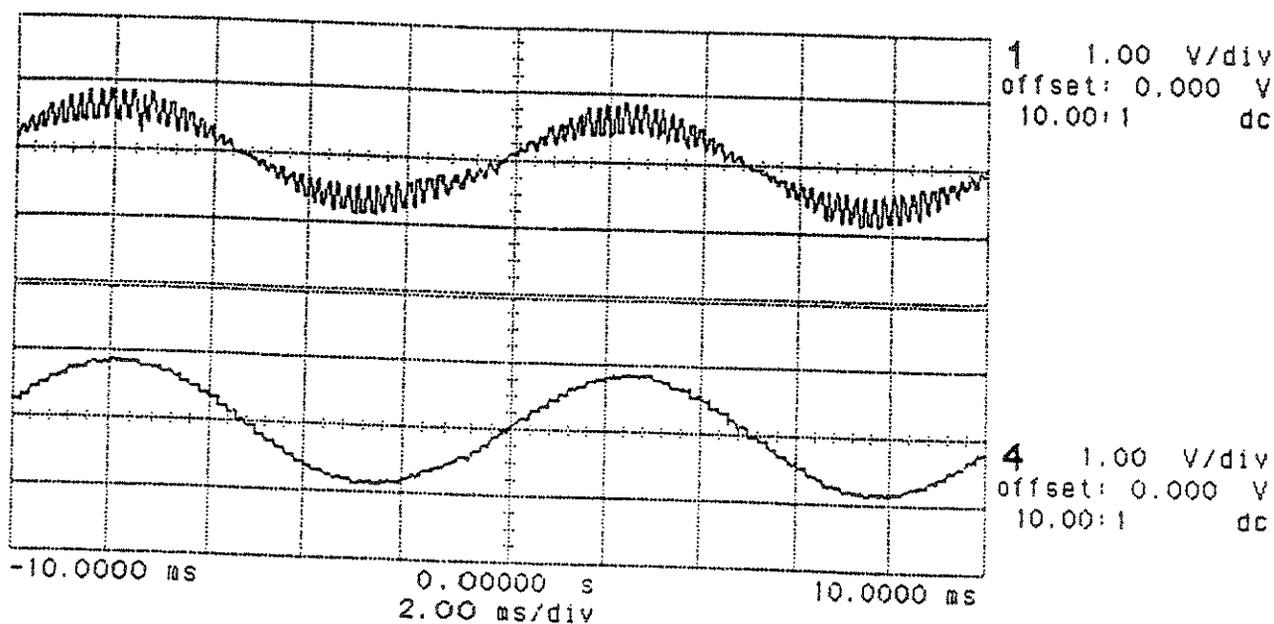
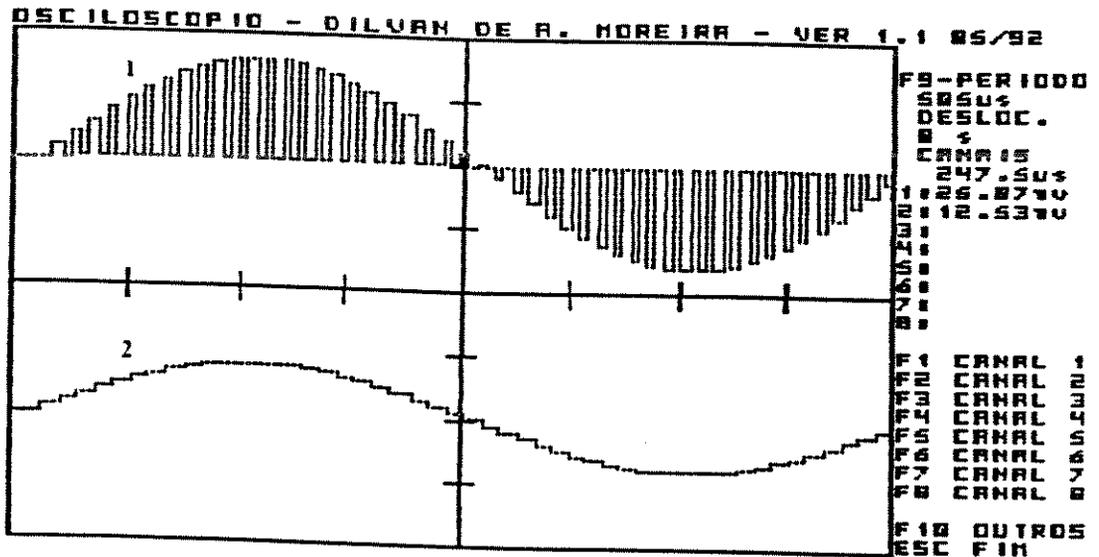


Figura 4.43: Formas de onda na saída do somador (nó 4) e na saída do amplificador (nó 5) - medida.



CH1: Gain = 2.0 Offset = 0.5

CH2: Gain = 2.0 Offset = - 0.5

Figura 4.44: Formas de onda nos blocos *hold*; acima (nó 6) e abaixo (nó 7) - simulação.

hp stopped

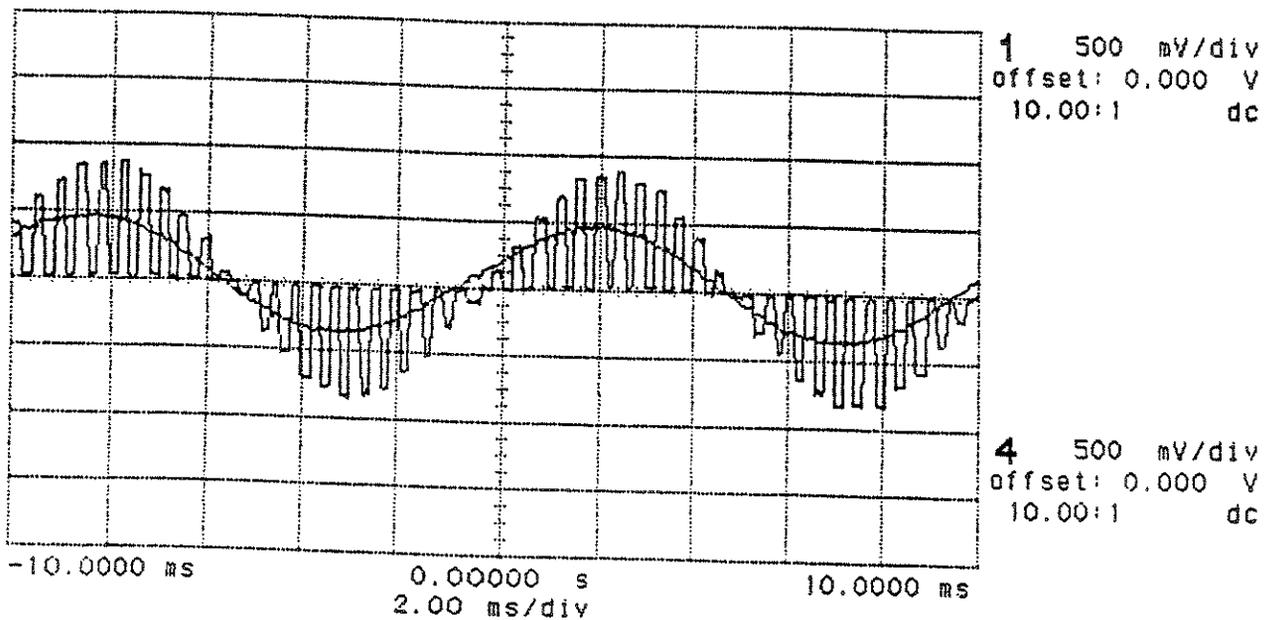
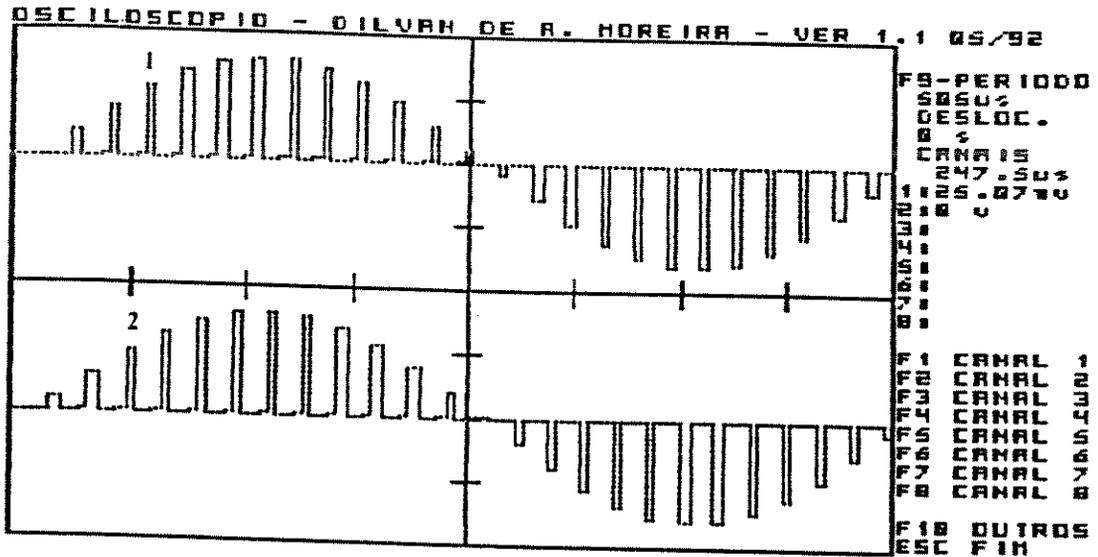


Figura 4.45: Formas de onda nos blocos *hold*; acima (nó 6) e abaixo (nó 7) - medida.



CH1: Gain = 2.0 Offset = 0.5

CH2: Gain = 2.0 Offset = - 0.5

Figura 4.46: Formas de onda nos capacitores do bloco *hold* X3; acima (nó 12) e abaixo (nó 13) - simulação.

hp stopped

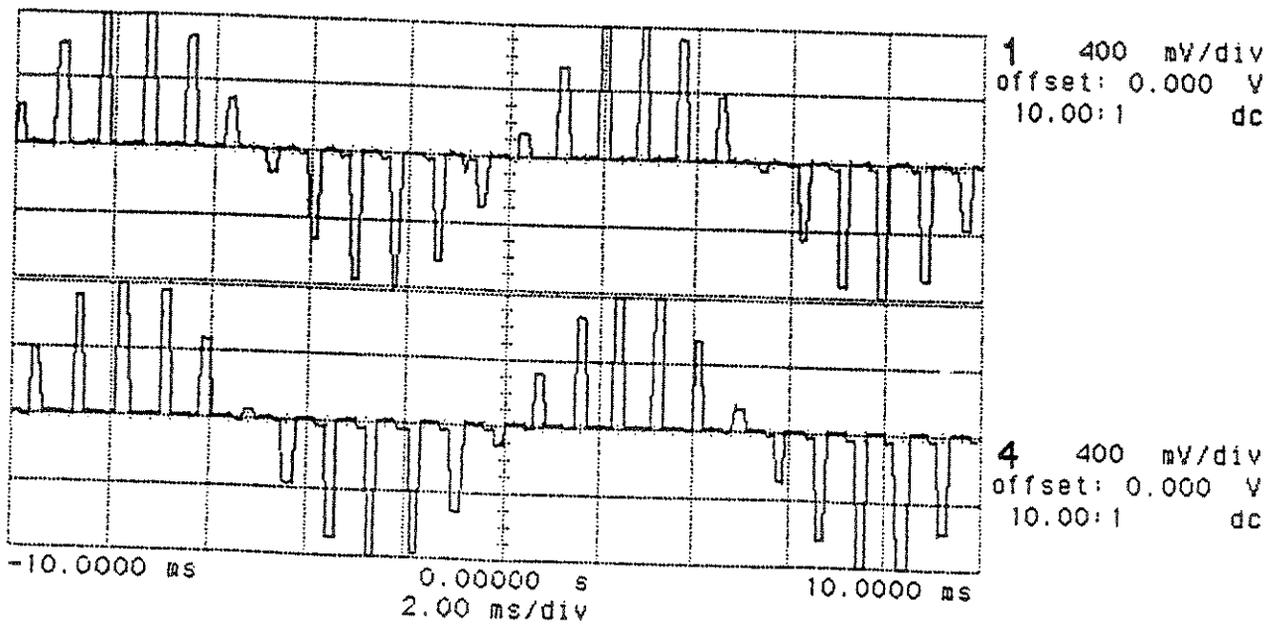
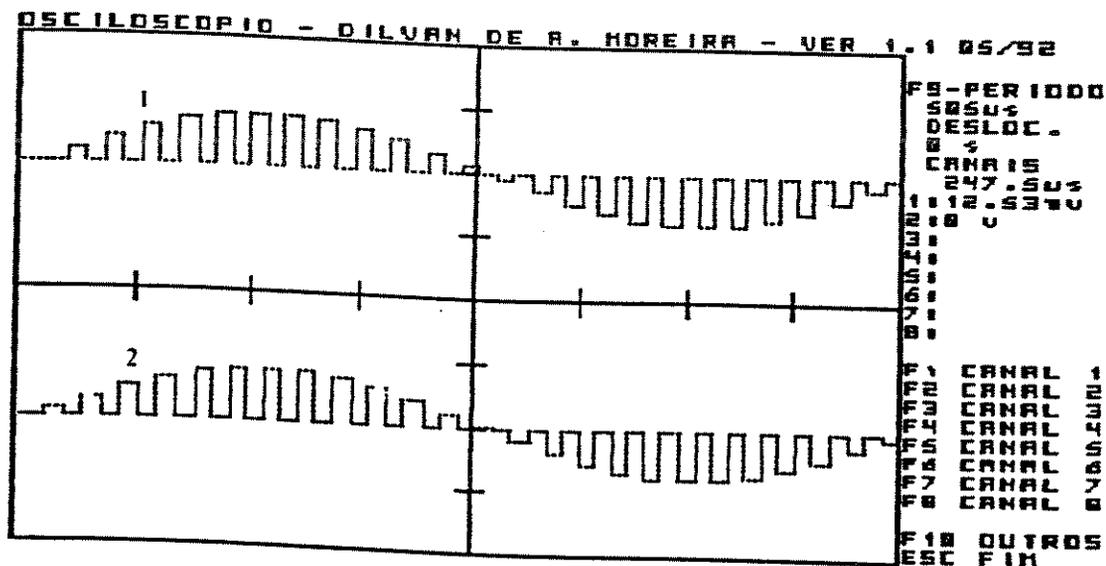


Figura 4.47: Formas de onda nos capacitores do bloco *hold* X3; acima (nó 12) e abaixo (nó 13) - medida.



CH1: Gain = 2.0 Offset = 0.5

CH2: Gain = 2.0 Offset = - 0.5

Figura 4.48: Formas de onda nos capacitores do bloco *hold X4*; acima (nó 14) e abaixo (nó 15) - simulação.

hp stopped

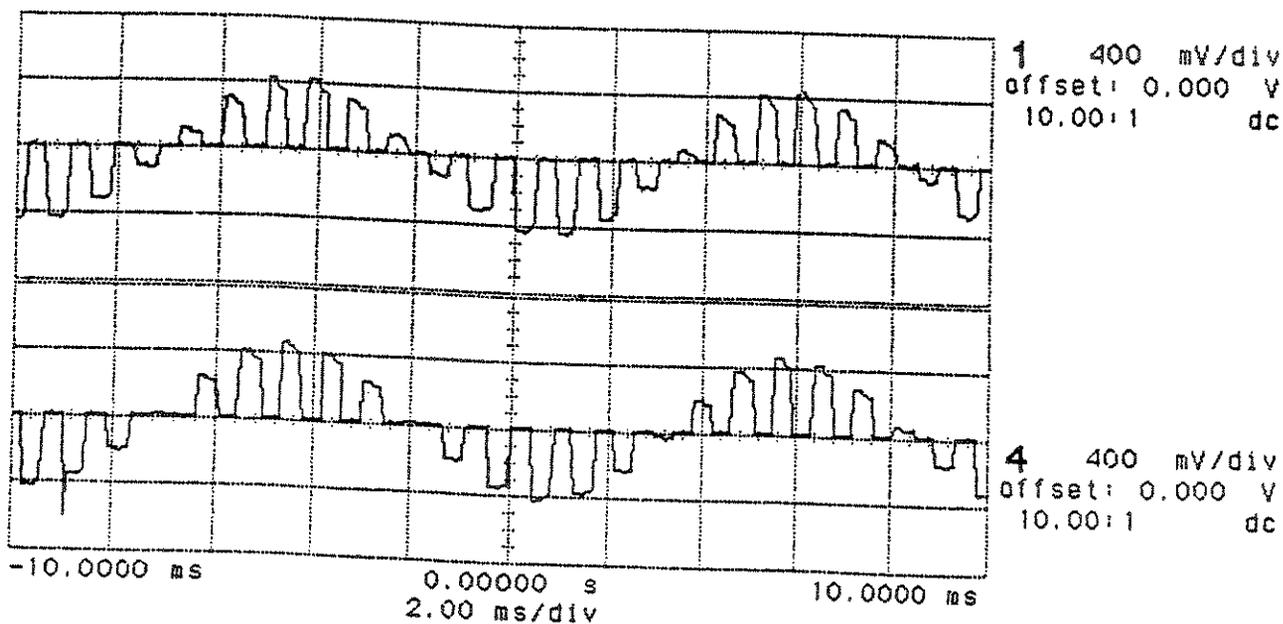


Figura 4.49: Formas de onda nos capacitores do bloco *hold X4*; acima (nó 14) e abaixo (nó 15) - medida.

4.10 - RESPOSTA A VÁRIAS FORMAS DE ONDA

Uma forma de verificar-se a resposta do circuito consiste de excitar o mesmo com formas de onda diferentes, que tem portanto uma diferente composição de harmônicas, mostrando assim a limitação da resposta em frequência do circuito. A resposta do circuito para vários tipos de forma de onda podem ser vistas nas figuras 4.50 a 4.53, onde foi utilizada uma taxa de amostragem baixa para visualizar o processo de quantização.

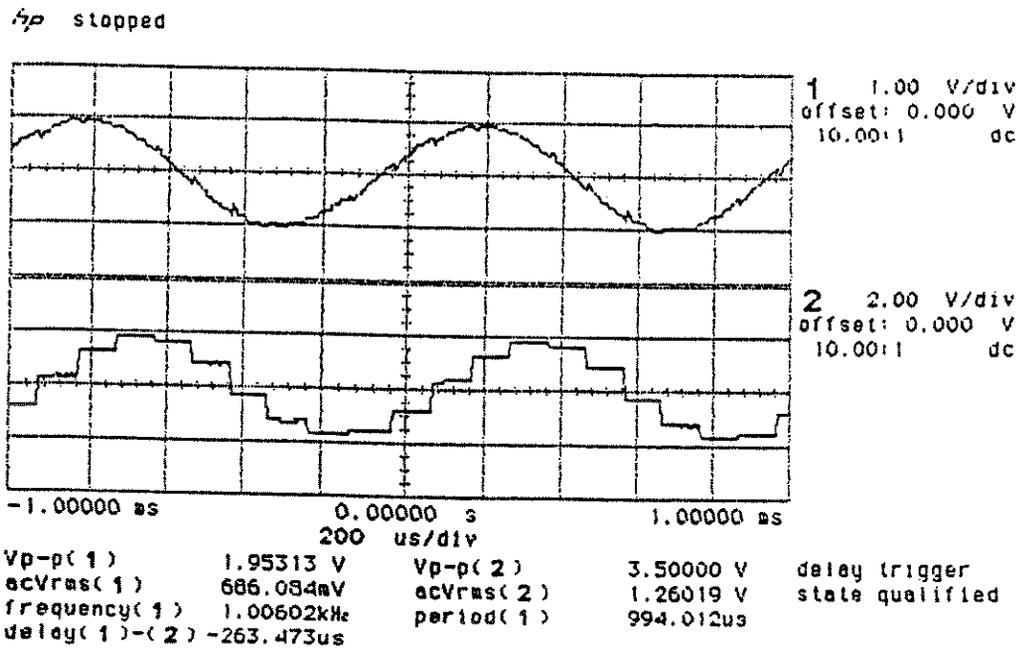


Figura 4.50: Resposta a uma forma de onda senoidal.

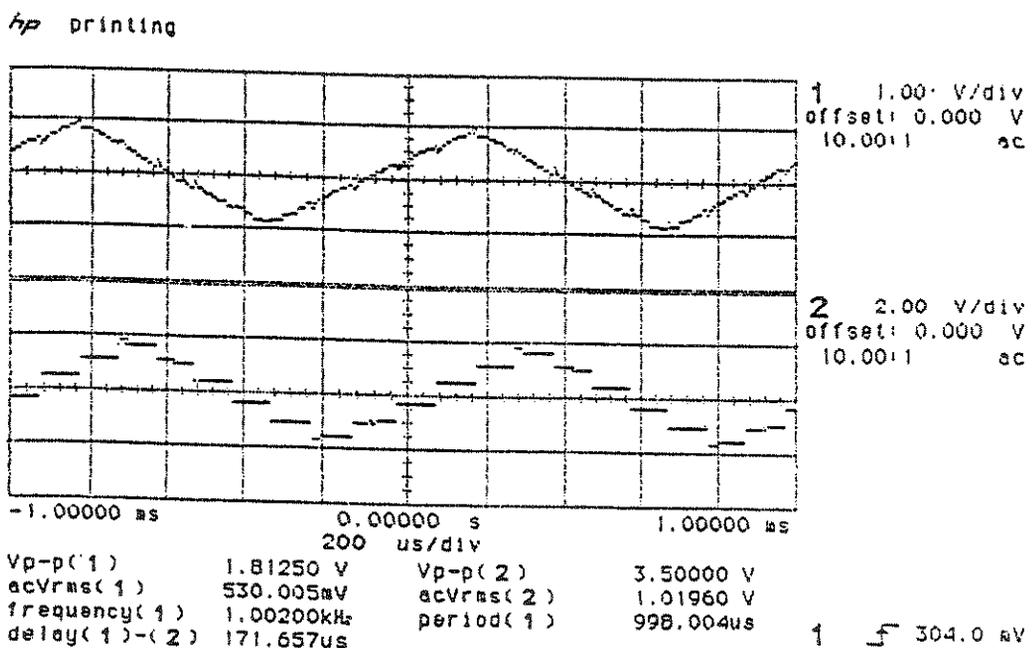


Figura 4.51: Resposta a uma forma de onda triangular.

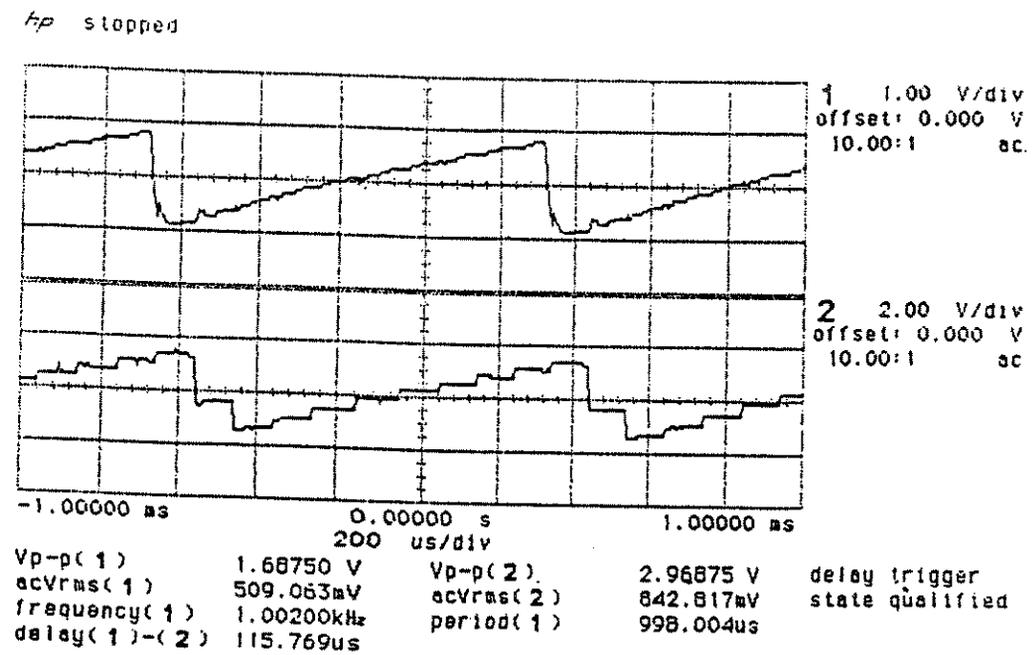


Figura 4.52: Resposta a uma forma de onda dente de serra.

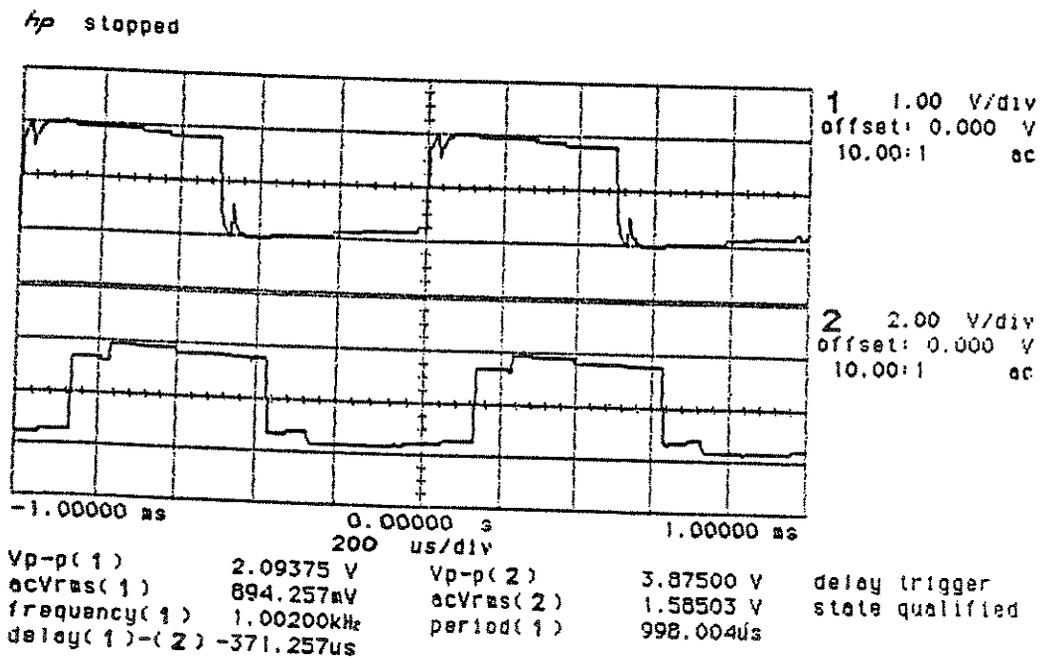


Figura 4.53: Resposta a uma forma de onda quadrada.

Pode-se verificar que que o amplificador responde rapidamente, principalmente quando excitado com uma forma de onda quadrada, podendo ser notada a defasagem introduzida. Isto significa que o amplificador pode condicionar também sinais digitais, além de sinais analógicos, desde que respeitadas suas limitações em frequência.

4.11 - RESULTADOS COM A VERSAO 2 DO AMPLIFICADOR

A versão 2 do amplificador foi montada, como descrita no capítulo 3, a partir de transistores do PMU7, para configurar as chaves analógicas e os *buffers*, e o somador a partir do circuito integrado no PMU8. O circuito foi então montado em placas experimentais resultando um baixo desempenho, devido as correntes de fuga nos transistores e nas placas de circuito impresso. Com a metodologia descrita no início do capítulo o mesmo foi montado então com placas de circuito impresso em fibra de vidro com processo de limpeza, reduzindo se enormemente as correntes de fuga . Os pontos de leitura dos capacitores foram dotados de anéis de guarda (entrada dos *buffers*). Os resultados dos testes podem ser vistos na figura 4.54, onde podem ser observados na figura 4.54(a) o sinal de entrada e saída, na figura 4.54(b) os sinais ampliados e nas figuras 4.54(c) e 4.54(d) os sinais de saída para ganho 2 para frequências de amostragem de 4kHz e 40kHz. Estes valores demonstram uma possível aplicação na amplificação de sinais de áudio. Pode-se observar um erro de ganho causado por um descasamento nos resistores dos conversores V/I. Outros fatores como *offset* e injeção de cargas não foram analisados devido as grandes fugas de corrente encontradas nos transistores que não permitiu a diminuição dos capacitores de armazenagem, sendo utilizados capacitores de 1.8nF .

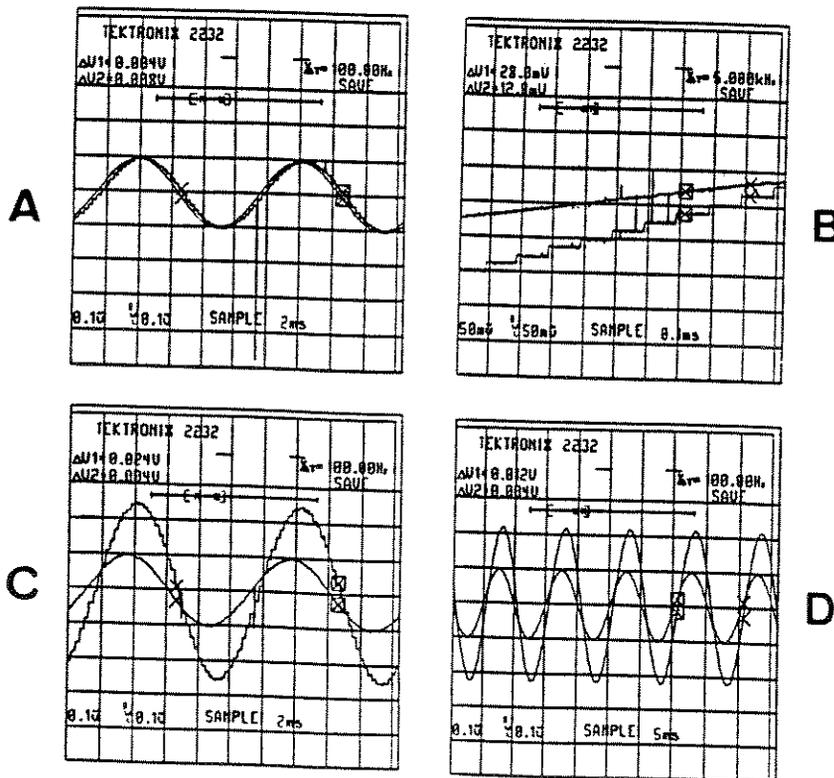


Figura 4.54: Resultados com a versão 2 do amplificador;
 (a) sinal de entrada e saída do bloco X2; (b) detalhe do sinal amostrado;
 (c) sinal de entrada e saída para frequência de amostragem de 4 kHz;
 (d) sinal de entrada e saída para frequência de amostragem de 40 kHz;

4.12 - FUNÇÃO DE TRANSFERÊNCIA DO GANHO

A função de transferência do ganho foi obtida por simulação utilizando-se o circuito ideal do amplificador, com SPICE 3G usando chaves ideais e por medidas experimentais para um sinal de entrada de 100Hz e uma frequência de amostragem de 50 kHz. Os resultados simulados podem ser vistos nas figuras 4.55(a),(c) e 4.55(b),(d) respectivamente.

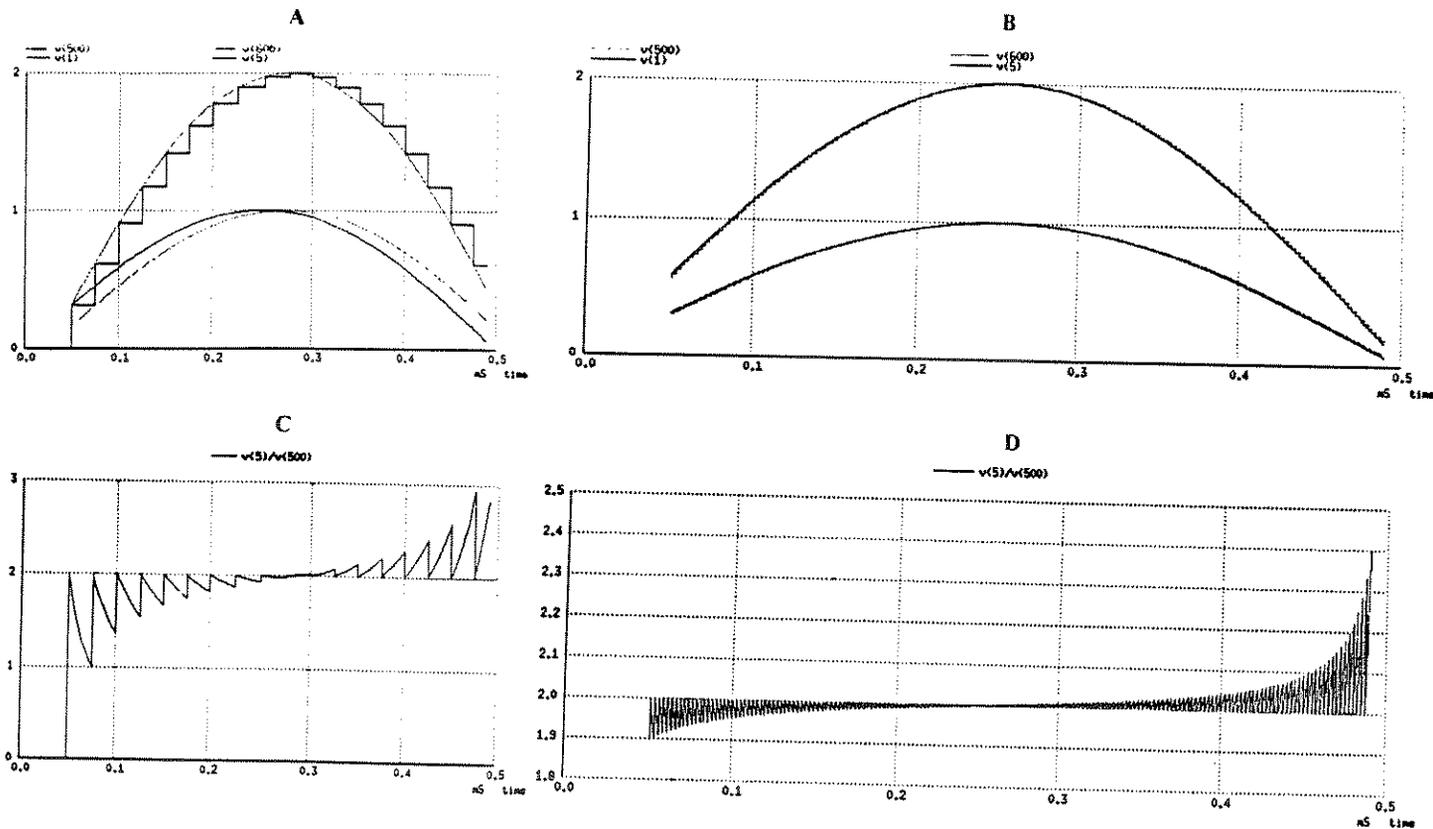


Figura 4.55: Função de transferência do amplificador simulada na SPICE 3G; (a) e (c) $f_{CLK} = 100$ Hz ; (b) e (d) $f_{CLK} = 50$ kHz.

Como pode ser observado o ganho é discreto e devido ao erro de quantização temos a forma de onda obtida na figura 4.55(c), onde os valores do ganho são exatos nos pontos de amostragem do sinal, distribuindo-se simetricamente em torno do valor 2 para os outros pontos. Aumentando-se a frequência de amostragem pode-se verificar que o passo de quantização diminui e portanto o ganho estabiliza-se em torno do valor 2, mostrando que o amplificador digital tende aos resultados do caso contínuo, como mostrado na figura 4.55(d). A partir destes resultados escolheu-se então uma frequência de amostragem de 40 kHz para um sinal de entrada de 100 Hz para levantar a função de transferência do ganho, realizadas a partir das formas de onda obtidas por um osciloscópio TEKTRONIX 2232.

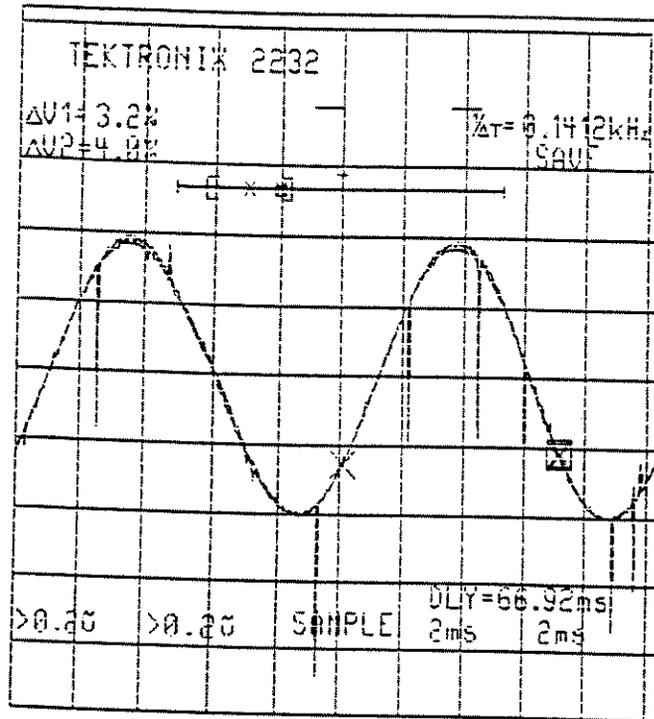


Figura 4.56: Amplificador com ganho unitário.

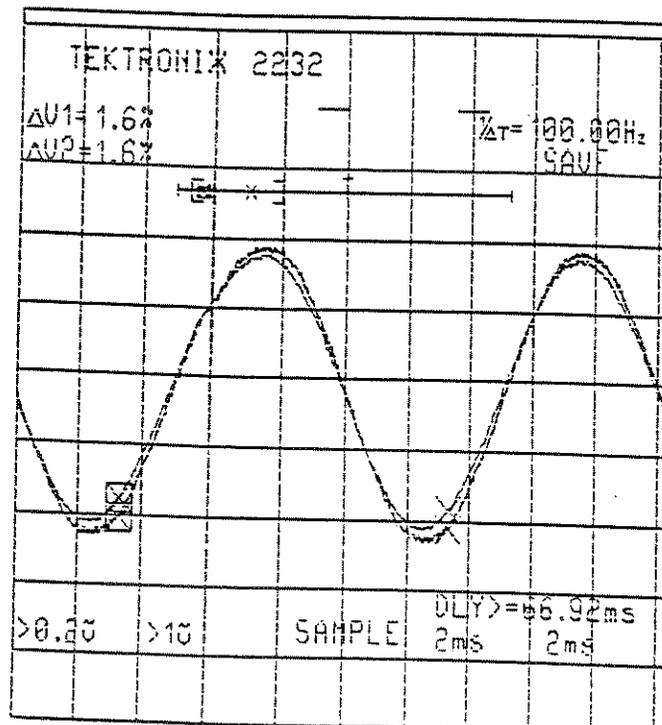


Figura 4.57: Amplificador com ganho 5.

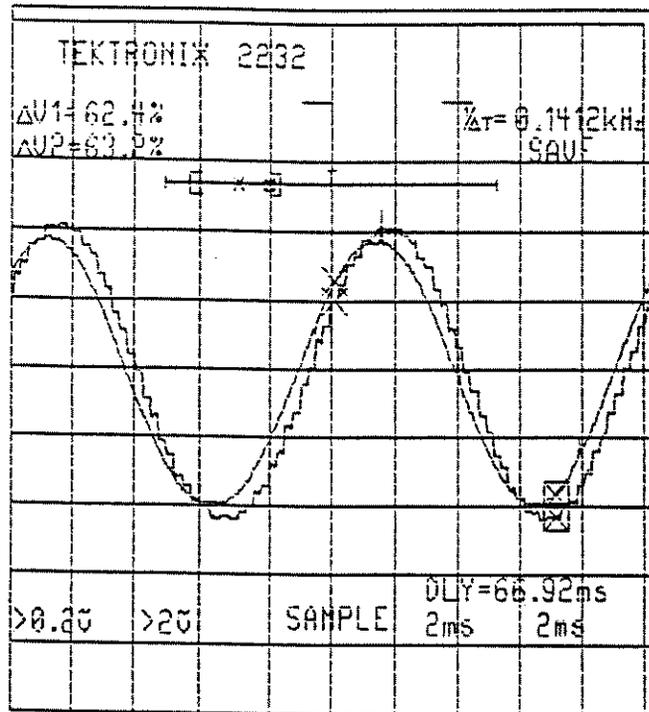


Figura 4.58: Amplificador com ganho 10.

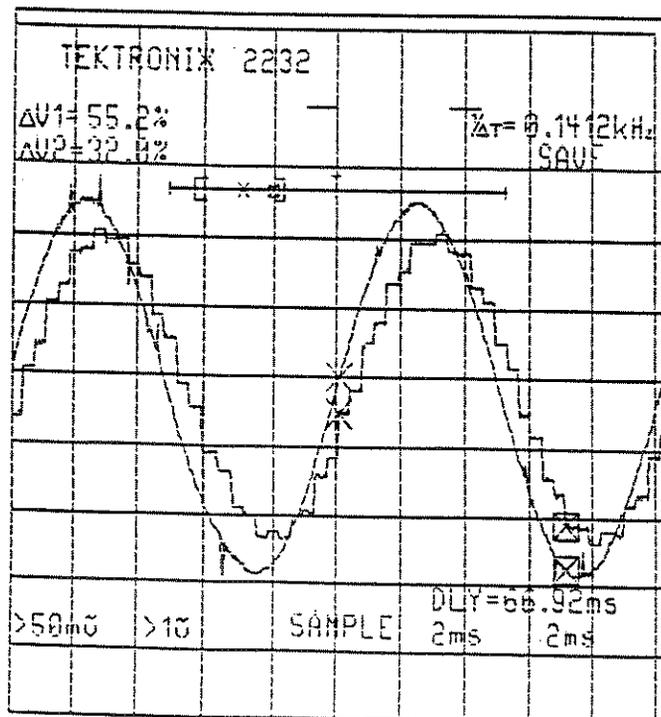


Figura 4.59: Amplificador com ganho 15.

4.13 - VARIAÇÃO DO ERRO DO GANHO COM O CAPACITOR DE ARMAZENAGEM

Em uma primeira análise para a determinação do erro de ganho do amplificador em função do efeito de injeção de carga, recorreu-se aos resultados simulados do amplificador no SWITCAP, que é um simulador para circuitos a capacitores chaveados e que propõe o modelo da figura 4.60 para simulação do efeito de injeção de carga.

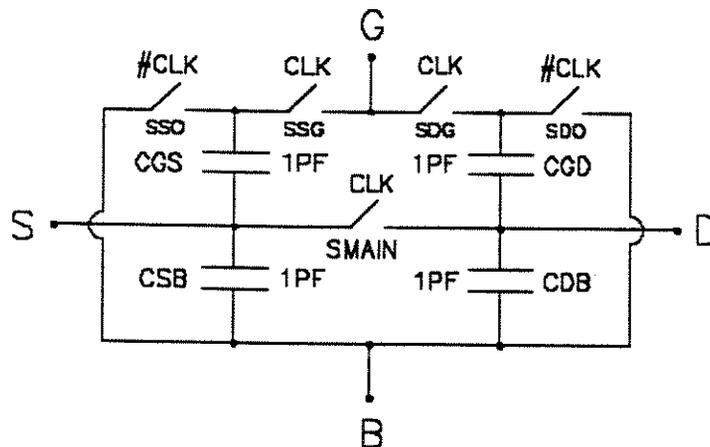


Figura 4.60: Modelo de chave analógica para simulação do efeito de injeção de carga no SWITCAP.

Os resultados obtidos em 21 simulações diferentes para capacitores na faixa de 1pF a 1000pF, para uma tensão de entrada quadrada de 1 volt de pico, estão mostrados na tabela 4.3. Como pode-se verificar o erro cresce muito para capacitores menores que 100pF, e a magnitude dos erros não são compatíveis com resultados experimentais de injeção de carga [1], e devem-se ao modelo proposto não se aplicar no caso da técnica de amostragem de sinais em amplitude, uma vez que este simulador é utilizado para o desenvolvimento de circuitos de filtros a capacitor chaveado. A fim de comprovar esta variação foram realizadas medidas do ganho para capacitores de armazenagem de 1300pF a 10pF, que pode ser visto nas figuras de 4.61 a 4.64, para um amplificador de ganho 2. Para os resultados experimentais foram utilizados capacitores com valores medidos de 1347pF, 327pF, 209.2pF e 10pF \pm 4pF.

Assim para $C = 1347$ pF temos:

$$\text{Ganho} = 4.45982 / 2.18527 = 2.0408$$

$$\text{Erro} = 2.042 \%$$

Para $C = 327$ pF temos:

$$\text{Ganho} = 4.53125 / 2.18125 = 2.07748$$

$$\text{Erro} = 3.874 \%$$

Para $C = 10\text{pF}$ o erro devido ao fenômeno de injeção é muito grande distorcendo as formas de onda e não obtendo-se assim um resultado conclusivo. Os resultados para capacitores até 100pF são compatíveis com a simulação apresentada, entretanto para pequenos valores, devido ao pobre modelamento do simulador, o mesmo não fornece resultados conclusivos e por isso o erro é elevado, enquanto no caso real já não temos mais a amplificação do sinal, devido a distorção causada pela injeção de carga elevada.

TABELA 4.3 - Resultados das simulações com o SWITCAP para um amplificador de ganho 2.

Chold (pF)	Vout (V)	Ganho Av	δV	Erro (%)
1	2.5971	5.1942	1597.1	159.71
3	2.1427	4.2854	1142.7	114.27
5	1.8889	3.7778	888.9	88.89
7	1.7273	3.4546	727.3	72.73
10	1.5714	3.1428	571.4	57.14
30	1.3253	2.4706	235.3	23.53
50	1.1481	2.2962	148.1	14.81
70	1.1081	2.2162	108.1	10.81
100	1.0769	2.1538	76.9	7.69
300	1.0263	2.0526	26.3	2.63
500	1.0159	2.0318	15.9	1.59
700	1.0141	2.0228	11.4	1.14
1K	1.0080	2.0160	8.0	0.80
3K	1.0027	2.0054	2.7	0.27
5K	1.0016	2.0032	1.6	0.16
7K	1.0011	2.0022	1.1	0.11
10K	1.0008	2.0016	0.8	0.08
30K	1.0003	2.0006	0.3	0.03
50K	1.0002	2.0004	0.2	0.02
100K	1.0001	2.0002	0.1	0.01
1000K	1.0000	2.0000	0.0	0.00

hp stopped

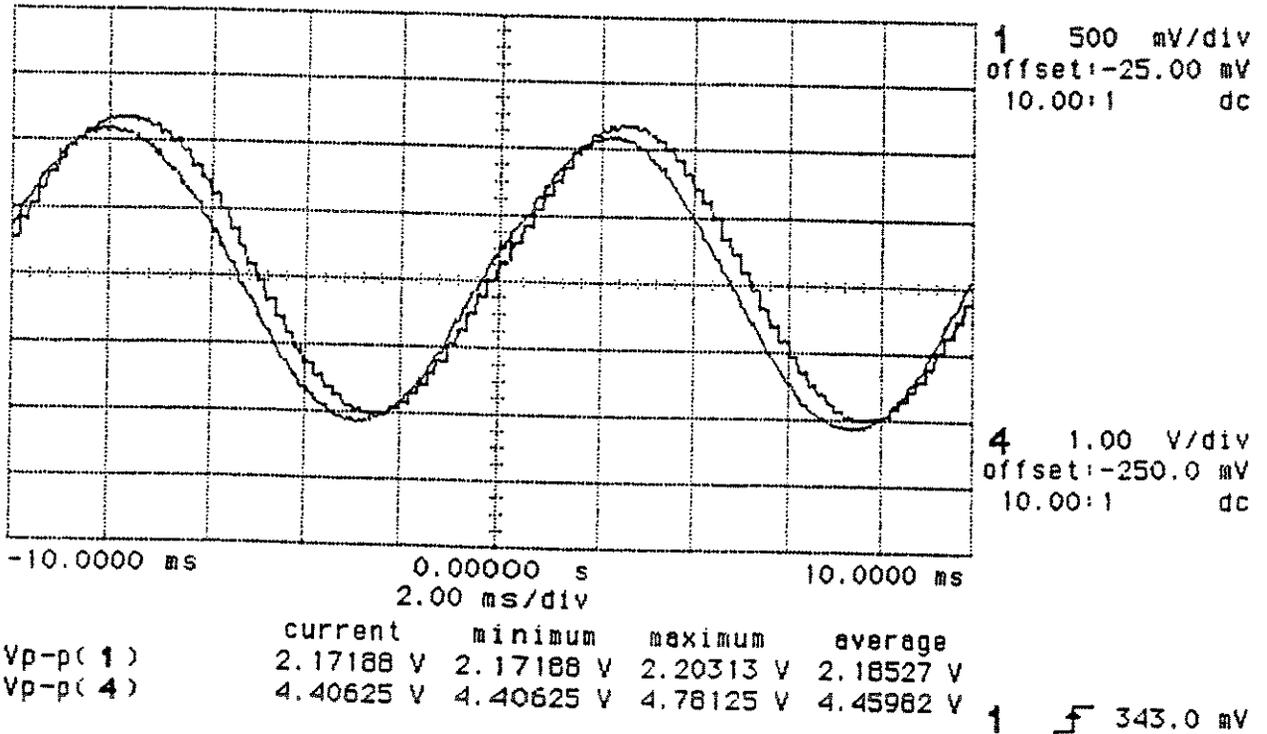


Figura 4.61: Ganho para capacitor de armazenagem de 1347pF.

hp stopped

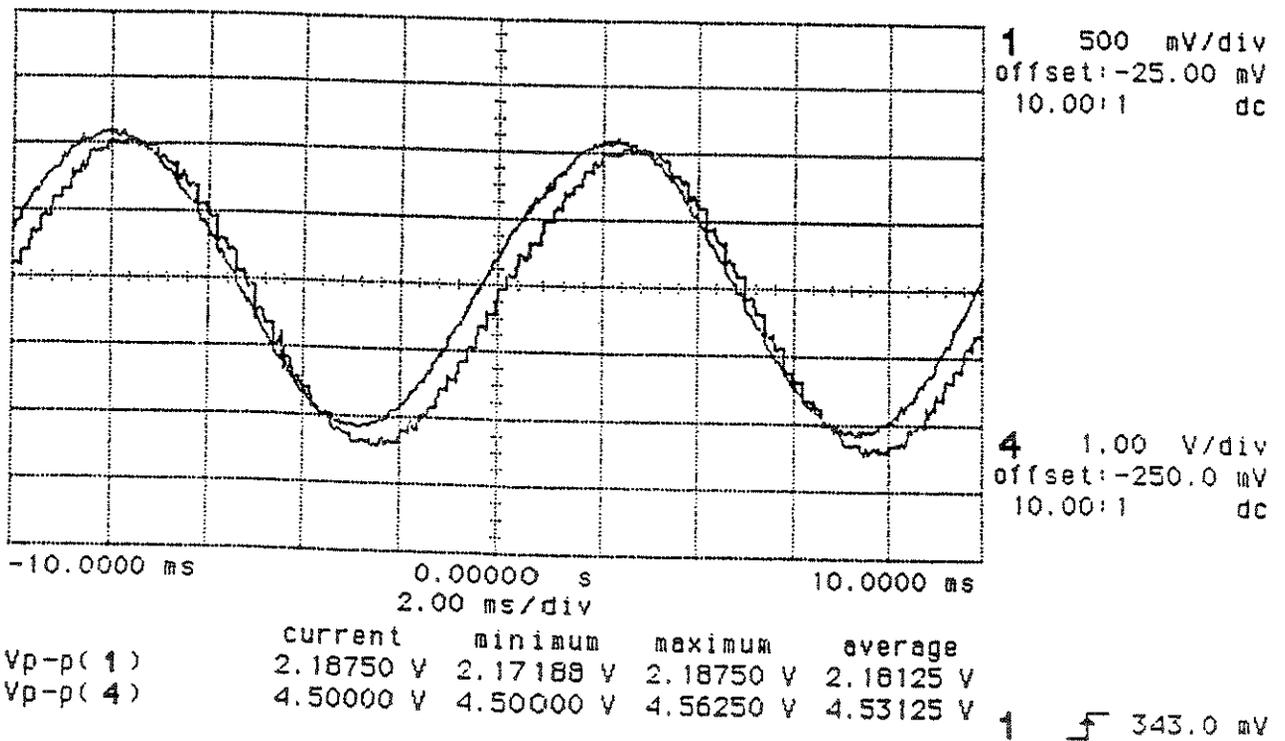


Figura 4.62: Ganho para capacitor de armazenagem de 327pF.

hp printing

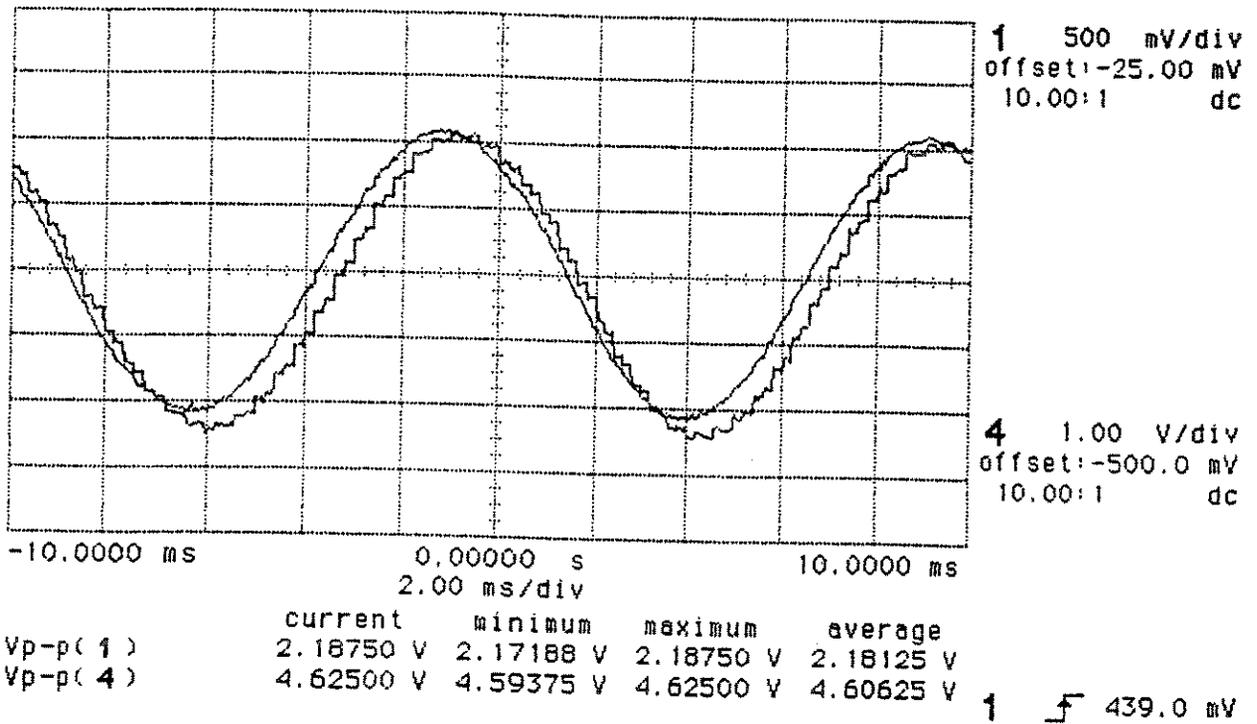


Figura 4.63: Ganho para capacitor de armazenagem de 209.2pF.

hp stopped

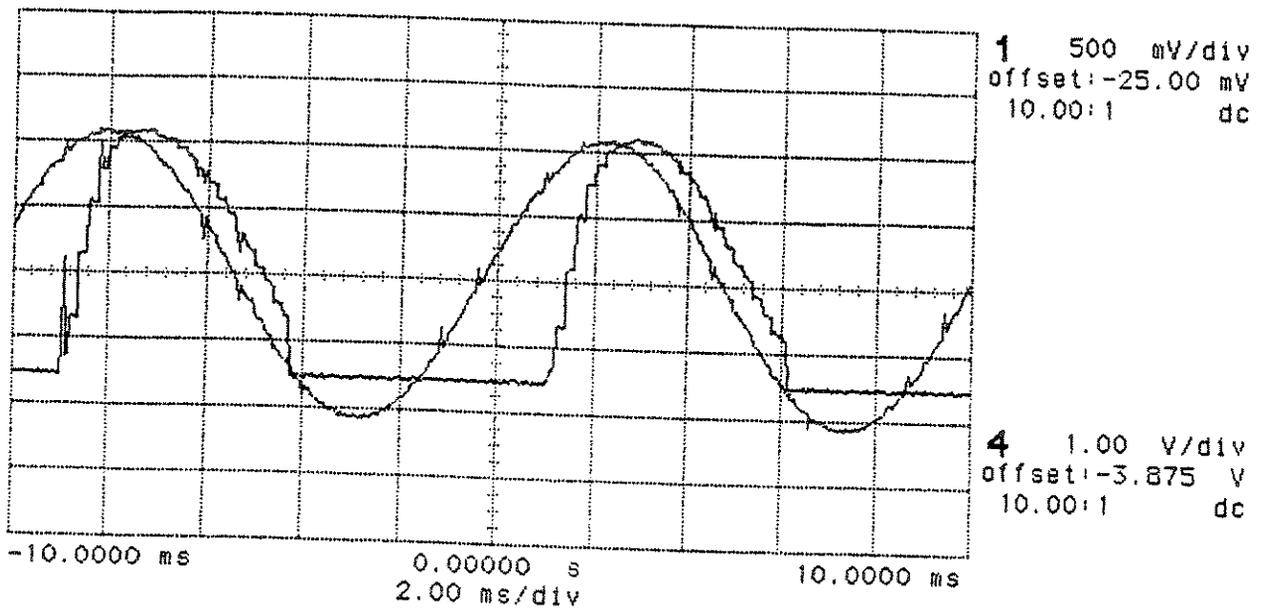


Figura 4.64: Ganho para capacitor de armazenagem de 10pF.

CONCLUSÕES

O conjunto de análises realizadas neste trabalho, comprovam o funcionamento da estrutura proposta para o amplificador digital de tensões, tanto por meio de simulações, como de forma experimental. Elas apontam também as principais fontes de erro que aparecem na implementação física do mesmo, mostrando que o efeito de injeção de carga, os erros de *offset* e de ganho são os principais fatores limitantes da precisão obtida com o circuito.

Conforme mostrado nos capítulos 3 e 4, de forma teórica e experimental, o chaveamento das chaves cruzadas exige um sistema de *clock* intercalado, tendo sido elaborado um sistema que elimina completamente a condução simultânea das chaves, podendo ser utilizado em outras aplicações que exijam *clocks* complementares.

Nos resultados obtidos com a versão 1 do amplificador, usando as chaves analógicas comerciais CD4066, verificou-se que os erros de injeção para estas chaves são muito elevados (como seria previsível para uma chave complementar), não possibilitando o uso de capacitores de baixos valores, como seria desejável em circuitos integrados, ficando limitados em 220pF na montagem. Estas chaves apresentam também um R_{ON} elevado, e os capacitores de *plate* tinham também uma resistência série considerável , o que limitou a máxima frequência de chaveamento com esta versão.

Nas análises com a versão 2 do amplificador, implementada com o *array* de transistores do PMU-CMOS 7, ficou constatado que fugas nas chaves, tanto no canal, como no *gate* dos transistores integrados, deterioram o desempenho do circuito e conduzem a erros, sendo esta mais uma fonte de erro identificada e medida nos transistores construídos. Tais medidas e o procedimento adotado fazem parte do capítulo 4. Para estas chaves foram também verificados valores elevados de injeção de carga para capacitores pequenos, uma vez que as chaves utilizadas tinham grandes dimensões ($W/L=100/10$ e $W/L=50/10$).

Na implementação totalmente integrada pudemos constatar que apesar de usarmos chaves pequenas com $W/L=10/5$, com capacitores de armazenamento de 5pF, o efeito de injeção de cargas foi significativo, e os fenômenos de injeção e extração de cargas não são complementares, de forma que na chave cruzada não temos um efeito de compensação da injeção.

Uma análise conjunta destes dados nos permite fazer algumas considerações sobre fatores que podem conduzir a um melhor desempenho do circuito. Com relação aos erros de *offset*, uma estrutura com autozero pode reduzir o *offset* dos *buffers* e do somador para valores aceitáveis. Os erros de ganho e não linearidade do somador podem ser reduzidos utilizando-se uma geometria apropriada para os transistores e ajustando-se as correntes de polarização e eos resistores dos conversores V/I. O efeito de injeção de carga entretanto exigirá maiores estudos, uma vez que uma solução definitiva não é apresentada de forma fechada na literatura. O método de compensação proposto em [1] pode fornecer uma boa compensação para a injeção de carga. Entretanto como na estrutura da chave cruzada temos também o fenômeno de extração de cargas, que não é abordado na literatura de forma conveniente, ele deverá ser analisado, podendo até ter uma forma de compensação parecida com a injeção desde que o fenômeno seja bem caracterizado.

De uma forma geral os resultados obtidos com esta técnica mostraram que esta forma de processamento tem excelentes características de programabilidade, e uma vez solucionado o problema de injeção de carga, poderá fornecer estruturas de grande precisão e confiabilidade.

Futuros trabalhos poderão envolver o projeto deste circuito integrado com os mecanismos de compensação de erros citados, assim como o estudo da viabilização do seu projeto em outras tecnologias tais como BICMOS e GaAs. Esta última é um tanto promissora uma vez que pode-se atingir elevadas frequências de operação, e apresenta em uma análise primária dispositivos de chaveamento com menor injeção de carga. Entretanto estas melhorias ficarão associadas a futuros estudos e desenvolvimentos dirigidos para este setor.

REFERÊNCIAS BIBLIOGRÁFICAS

REFERÊNCIAS

- [1] Acco, E., "Contribuição ao estudo do fenômeno de injeção de carga em chaves analógicas MOS", Tese de Mestrado, FEE-UNICAMP, Maio 1994.
- [2] Alan Rich, "SHIELD AND GUARDING - How to Exclude Interference-Type Noise, "What to Do and Why to Do It - A Rational Approach" , Analog Dialogue 17-1, Analog Devices, 1983.
- [3] Alan Rich, "UNDERSTANDING INTERFERENCE-TYPE NOISE - How to Deal with Noise without Blanck Magic - There Are Rational Explanations for - and Solutions to Noise Problems" , Analog Dialogue 16-3, Analog Devices, 1982.
- [4] Allen, Phillip E. e Douglas R. Holberg, "CMOS Analog Circuit Design", HRT-Holt, Rinehart and Winston, New York - 1987.
- [5] Allstot, David J. and W. C. Black Jr., " Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems. Proc. IEEE, Vol. 71, pp. 967-986, Agosto 1983.
- [6] Antognetti, P. e G. Massobrio, "Semiconductor Device Modeling with Spice" McGraw-Hill Book Company, 1988.
- [7] Czarnul, Zdzislaw, "Comments on "A Linear NMOS Depletion Resistor and its Application in an Integrated Amplifier", IEEE J. Solid-State Circuits, Vol. SC-22, pp. 124-127, Fevereiro 1987.
- [8] CMOS DATABOOK - National Semiconductor - 1981.
- [9] Designer's Guide , High-speed CMOS - Philips - 1986.
- [10] Eichenberg, C. e W. Guggenbuhl, "Dummy Transistor Compensation of Analog MOS Switches", IEEE Journal of Solid State Circuits, Vol. 24, No.4, Agosto 1989.
- [11] Eichenberg, C. e W. Guggenbuhl, "Charge Injection of Analog CMOS Switches", IEE Proc.-G, Vol. 138, No. 2, Abril 1991.
- [12] Gray, P.R. e R.G. Meyer, "Analysis and Design of Analog Integrated Circuits, segunda edição, John Wiley & Sons, 1984.
- [13] Gregorian, R. , K. W. Martin e G. C. Temes, "Switched-Capacitor Circuit Design", Proc. IEEE, Vol. 71, pp 941-966, Agosto 1983.
- [14] Gregorian, R. e G.C. Temes, "Analog MOS Integrated Circuits for Signal Processing", New York, John Wiley, 1986.
- [15] Grebene, A.B., "Bipolar and MOS Analog integrated circuit design", Wiley & Sons, 1984.
- [16] Hamade, A. R. e J. F. Albarran, "A JFET/Bipolar Eight-Channel Analog Multiplexer", IEEE Journal of Solid State Circuits, Vol SC-10, pp. 399-406, Dezembro 1975.
- [17] Jensen, P., "Calculating Wire Capacitance in Integrated Circuits", IEEE Circuits Devices, pp. 36-40, Março 1994.
- [18] Kurth, C.F. e G.S. Moschytz , "Nodal Analysis of Switched - Capacitor Networks", IEEE Trans. Circuits Syst., Vol. CAS - 26, pp. 93-104, Fevereiro 1979.
- [19] MacQuigg, D., "Residual Charge on a Switched Capacitor, IEEE Journal of Solid State Circuits, Vol SC-18, No.6, Agosto 1983.
- [20] Maltione, Ricardo , "Amplificador Digital" , Relatório de Iniciação Científica II, FEE UNICAMP, Junho 1992.
- [21] Maltione, Ricardo , "Processamento de Sinais através da Técnica de Quantização", Relatório de Iniciação Científica III, FEE UNICAMP, Dezembro 1992.

- [22] Martin, K., "New Clock Feedthrough cancellation technique for analog MOS Switched - Capacitor circuits", *Electronics Letters*, 7th Janeiro 1982, Vol. 18, No 1.
- [23] Meyer, J. E. , "MOS Models and Circuit Simulation" , *RCA Review*, Vol. 32, pp 42-63, March 1971
- [24] McCreary, J.L., "Matching Properties, and Voltage and Temperature Dependence of MOS Capacitors", *IEEE Journal of Solid State Circuits*, Vol. SC-16, No. 6, pp. 608-616, Dezembro 1981.
- [25] McNutt, M.J., S. LeMarquis, J.L. Dunkley, "Systematic Capacitance Matching Errors and Corrective Layout Procedures", *IEEE Journal of Solid State Circuits*, Vol. 29, No. 5, pp. 611-616, Maio 1994.
- [26] Moschytz, G. S. e U. W. Brugger, "Signal-flow graph analysis of SC networks", *Proc. Inst. Elec. Eng.*, Vol. 131, pt G., pp. 72-85, Abril 1984.
- [27] Moreira, Dilvan de Abreu, "Simulador para Circuitos Analógicos que operam segundo a Técnica de Quantização", Tese de mestrado, FEE UNICAMP, Janeiro 1991.
- [28] Moreira, Dilvan de Abreu, Ricardo Maltione e Carlos A. dos Reis Filho, "A portable User - Friendly Simulator for a sub-set of SCN circuits", *Anais do VIII Congresso da Sociedade Brasileira de Microeletrônica (SBMicro)*, session X, pp 1 a 3, Setembro 1993.
- [29] MOTOROLA - CMOS DATA BOOK - USA - 1980
- [30] Nicollini, G., C. Guardiani, " A 3.3V 800nV rms Noise, Gain-Programmable CMOS Microphone Preamplifier Design Using Yield Modeling Technique", *IEEE Journal of Solid State Circuits*, Vol. 28, No. 8, pp. 915-921, Agosto 1993.
- [31] Oppenheim, A.V., R.W. Schaffer, "Discrete-Time Signal Processing", Prentice Hall, Englewood Cliffs, N.J., 1989.
- [32] Pelgrom, M.J.M., A.C.J. Duinmaijer e A.P.G. Welbers, "Matching Properties of MOS Transistors", *IEEE Journal of Solid State Circuits*, Vol. 24, No. 5 pp. 1433-1440, Outubro 1989.
- [33] Peteghem, P. Van e W.S. Kath, "Single versus Complementary Switch : a discussion of clock feedthrough in S.C. circuits", *ESSCIRC'86*, pp B4.13-15, Delft - Holanda.
- [34] PSpice, MicroSim Corp. , Tustin CA, 1984.
- [35] RCA COS/MOS Integrated Circuits DATABOOK - USA - 1977.
- [36] Reis F., Carlos Alberto dos, "Curso sobre projeto em circuitos integrados analógicos MOS", notas de aula.
- [37] Santos, Marília dos, "Projeto de um somador analógico de tensões integrado de baixo erro, em tecnologia CMOS", tese de mestrado, UNICAMP, Setembro 1994.
- [38] Seymour, J., "Electronic Devices and Components", 2ed., Longman, 1988.
- [39] Sheu, B.J. e C. Hu., "Switched-Induced error Voltage on a Switched Capacitor", *IEEE Journal of Solid State Circuits*, Vol. SC-22, No.4, Agosto 1984.
- [40] Sheu, B.J., J. Shieh e M. Patil, "Modeling Charge Injection in MOS Analog Switches", *IEEE Journal of Solid State Circuits*, Vol. CAS-34, No.2, pp. 519-525, Fevereiro 1987.
- [41] Shieh, J., M. Patil e B. Sheu, "Measurement and Analysis of Charge Injection in Analog MOS Switches", *IEEE Journal of Solid State Circuits*, Vol. SC-22, No.2, Abril 1987.
- [42] Soliman, S.S. e Srinath, M.D., "Continuous and Discrete Signals and Systems", Englewood Cliffs, NJ, Prentice - Hall, 1990.
- [43] SPICE 3G de BERKELEY - User's guide (SUN).
- [44] Sze, S.M., "Physics of Semiconductor Devices", Second Edition, John Wiley & Sons.
- [45] Song, M., Y. Lee e W. Kim, "A Clock Feedthrough Reduction Circuit for Switched-Current Systems", *IEEE Journal of Solid State Circuits*, Vol. 28, No.2, pp. 133-137, Fevereiro 1993.

- [46] Taub, H. e D. Schilling , "Eletronica Digital" , ed. MacGraw-Hill do Brasil, 1982.
- [47] Temes,G.C,"MOS switched-capacitor filters-history and the state of the art",in Prac. Euro. Conf. Circuit Theory Desagn, The Hague, The Netherlands, pp. 176-185, Agosto 1981.
- [48] Tsividis, Y.P., "Design considerations in single-channel MOS analog integrated circuits - A tutorial", IEEE J. Solid-State Circuits, Vol.SC-13, pp.384-391, Junho 1978.
- [49] Tsividis, Y. , "Principles of Operation and Analysis of Switched-Capacitor Circuits", Proc. IEEE, Vol. 71, pp. 926-940, No. 8, Agosto 1983.
- [50] Tsividis, Yannis P., "Operation and modeling of the MOS transistor", McGraw - Hill, 1988.
- [51] Unbehauen,R. e A. Cichocki, "MOS Switched-Capacitor and Continous-Time Integrated Circuits and Systems",Berlin, Springer-Verlag, 1989.
- [52] User's Guide for Switcap - Version 5, Columbia University, New York, NY, Agosto 1987.
- [53] Vandewalle, J. , " A Survey of Computer programs for CAD of switched capacitor circuits", Proc. IEEE, pp. 1071-1077.
- [54] Veendrick, H.J.M. , "Short-Circuit Dissipation of Static CMOS Circuit and Its Impact on the Design of Buffer Circuits", IEEE Journal of Solid State Circuits, Vol. SC-19, no 4, pp. 468-473, Agosto 1994.
- [55] Waldman , B. , "Curso sobre o sistema MOS" , notas de aula.
- [56] Wang, Zhenhua, "The fastest sample-and-hold circuit", MICROELECTRONICS JOURNAL, Vol. 21, No. 3 , pp. 49-52, 1990.
- [57] Wegmann, G., E.A. Vitoz, e F. Rahali, "Charge Injection in Analog MOS Switches", IEEE Journal of Solid State Circuits, Vol. SC-22, No. 6 pp. 1091-1097, Dezembro 1987.
- [58] Wegmann, G.,"Design and Analysis Techniques for Dynamic Current Mirrors", PhD thesis, Ecole Polytechnique Federal de Lausanne, Lausanne, 1990.
- [59] Whitmore,J.,"Behind the Switch Symbol: Use CMOS Analog Switches More Effectively When You Consider Them as Circuits", Analog Dialogue 15-2, Analog Devices, 1981.
- [60] Yang, P., B.D. Epler e P. K. Chatterjee, "An Investigation of the Charge Conservation Problem for MOSFET Circuit Simulation", IEEE Journal of Solid State Circuits, Vol. SC-18, No. 1, pp. 128-138, Fevereiro 1983.

APÊNDICE A

PARÂMETROS PARA SIMULAÇÃO SPICE

APÊNDICE A

PARÂMETROS PARA SIMULAÇÃO SPICE

Parâmetros usados nas simulações para transistores MOS canal N e P para o caso típico:

TYPE	NMOS	PMOS	UNIDADE
LEVEL	2.000	2.000	
VT0	0.7	-1.1	V
KP	7.04e-05	2.90e-05	A/V ²
GAMMA	0.650	0.870	V ^{1/2}
PHI	0.731	0.731	V
LAMBDA	0	0	V ⁻¹
PB	0.68	0.68	V
CSG0	3.20e-10	3.20e-10	F/m
CGD0	3.20e-10	3.20e-10	F/m
RSH	55	75	Ω
CJ	1.3e-04	4.9e-04	F/m ²
MJ	0.53	0.46	
CJSW	6.2e-10	5.90e-10	F/m
MJSW	0.53	0.46	
JS	2.00e-06	1.00e-05	A
TOX	2.5e-08	2.5e-08	m
NSUB	2.00e+16	5.00e+16	cm ⁻³
NSS	0	0	cm ⁻²
NFS	0	0	cm ⁻²
TPG	1	1	
XJ	4.00e-07	4.00e-07	m
LD	1.25e-07	1.00e-07	m
U0	510	210	cm ² / (V.s)
UCRIT	2.43e+04	5.10e+04	V/m
UEXP	0.220	0.330	
VMAX	5.40e+04	4.70e+04	m/s
NEFF	4.00	0.88	
XQC	0.4999	0.4999	
DELTA	0.4	0.4	

APÊNDICE B

ARQUIVOS DE SIMULAÇÃO

APÊNDICE B

ARQUIVOS DE SIMULAÇÃO

• ARQUIVOS DE SIMULAÇÃO NO SWITCAP

Arquivo usado para a simulação de um amplificador ideal de ganho 2 no SWITCAP:

TITLE: AMPLIFICADOR DIGITAL IDEAL DE GANHO 2

OPTIONS;

WIDTH132;

REPORT;

END;

TIMING;

PERIOD 10E-6;

CLOCK CLK1 (0 1/2);

CLOCK CLK2 (0 1);

END;

SUBCKT (1 3) DELAY (K:CLOCK);

S1 (1 2) CLOCK;

S2 (2 3) #CLOCK;

S3 (4 3) CLOCK;

S4 (1 4) #CLOCK;

C1 (2 0) 10E-12;

C2 (4 0) 10E-12;

END;

SUBCKT (1 3) HOLD (K:CLOCK);

S1 (1 2) CLOCK;

S2 (2 3) #CLOCK;

S3 (4 3) CLOCK;

S4 (1 4) #CLOCK;

C1 (2 0) 10E-12;

C2 (4 0) 10E-12;

END;

SUBCKT (1 2 3 4) crossSWT (K:CLOCK);

S1 (1 2) CLOCK;

S2 (2 3) #CLOCK;

S3 (4 3) CLOCK;

S4 (1 4) #CLOCK;

END;

```

SUBCKT (1 2 3) ADDER (P:GAIN);
  EINV (4 0 0 2) 1.0;
  ESUN (3 0 1 4) GAIN;
END;

CIRCUIT;
  X1 (1 2) DELAY (CLK2);
  X2 (4 5) DELAY (CLK2);
  X3 (6 0) HOLD (CLK2);
  X4 (7 0) HOLD (CLK2);
  X5 (3 7 4 6) crossSWT (CLK1);
  XSUM (2 3 4) ADDER (1.0);
  VIN (1 0);
END;

ANALYZE TRAN;
  TIME 0+ 70 1/2;
  SET VIN PULSE -0.5 0.5 5E-6 100E-6 100E-6 200E-6 600E-6;
  PLOT V(1) V(5);
  PRINT V(1) V(5);
END;

END;

```

Arquivo usado para a simulação de um amplificador de ganho 2, com *clock feedthrough* no SWITCAP (Os capacitores C1 a C4 foram variados na faixa de 1pF a 1000KpF em 21 simulações para obtenção da tabela 4.3) :

TITLE: AMPLIFICADOR DIGITAL DE GANHO 2, COM CLOCK FEEDTHROGH

```

OPTIONS;
  WIDTH132;
  REPORT;
END;

TIMING;
  PERIOD 10E-6;
  CLOCK CLK1 (0 1/2);
  CLOCK CLK2 (0 1);
END;

SUBCKT (S D G B) CH (K:CLOCK);
  S1 (S D) CLOCK;
  SSG (G SG) CLOCK;
  SSO (B SG) #CLOCK;
  SDG (G DG) CLOCK;
  SDO (B DG) #CLOCK;
  CGS (S SG) 1E-12;
  CGD (D DG) 1E-12;
  CSB (S B) 1E-12;
  CDB (D B) 1E-12;
END;

```

```
SUBCKT (1 2 G B) DELAY (K:CLOCK);
  X1 (1 2 G B) CH ( CLOCK);
  X2 (2 3 G B) CH (#CLOCK);
  X3 (4 3 G B) CH ( CLOCK);
  X4 (1 4 G B) CH (#CLOCK);
  C1 (2 0) 10E-12;
  C2 (4 0) 10E-12;
END;
```

```
SUBCKT (1 2 G B) HOLD (K:CLOCK);
  X1 (1 2 G B) CH ( CLOCK);
  X2 (2 3 G B) CH (#CLOCK);
  X3 (4 3 G B) CH ( CLOCK);
  X4 (1 4 G B) CH (#CLOCK);
  C3 (2 0) 10E-12;
  C4 (4 0) 10E-12;
END;
```

```
SUBCKT (1 2 3 4 G B) crossSWT (K:CLOCK);
  X1 (1 2 G G) CH ( CLOCK);
  X2 (2 3 G B) CH (#CLOCK);
  X3 (4 3 G B) CH ( CLOCK);
  X4 (1 4 G B) CH (#CLOCK);
END;
```

```
SUBCKT (1 2 3) ADDER (P:GAIN);
  EINV (4 0 0 2) 1.0;
  ESUN (3 0 1 4) GAIN;
END;
```

```
CIRCUIT;
  X1 (1 2 G B) DELAY (CLK2);
  X2 (4 5 G B) DELAY (CLK2);
  X3 (6 0 G B) HOLD (CLK2);
  X4 (7 0 G B) HOLD (CLK2);
  X5 (3 7 4 6 G B) crossSWT (CLK1);
  XSUM (2 3 4) ADDER (1.0);
  VIN (1 0);
  VB (B 0);
  VG (G 0);
END;
```

```
ANALYZE TRAN;
  TIME 0+ 70 1/2;
  SET VIN PULSE -0.5 0.5 5E-6 100E-6 100E-6 200E-6 600E-6;
  SET VG DC 5;
  SET VB DC -5;
  PLOT V(1) V(5);
  PRINT V(1) V(5);
END;
END;
```

• ARQUIVOS DE SIMULAÇÃO NO QUANTICO

Arquivo utilizado para a simulação do bloco *delay* no QUANTICO, cujos resultados estão mostrados na figura 2.3 :

SIMULACAO DO BLOCO DELAY

* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 5US 50US 0

* DEFINICAO DO SINAL DE CLOCK DAS CHAVES ANALOGICAS :
V1 CLK1 0 CLK (1 1 0)

* DEFINICAO DO SINAL DE ENTRADA
VIN 1 0 SIN (0 1 2000 0 0 0)

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS

* DEFINICAO DO CIRCUITO DO BLOCO DELAY
X1 1 2 3 4 CLK1 CRSWT
C1 2 0 100PF
C2 4 0 100PF

* MODELOS USADOS PARA AS CHAVES ANALOGICAS
.MODEL N NMOS
.MODEL P NMOS (INV)

.PROBE
.END

Arquivo utilizado para a simulação do bloco *hold* no QUANTICO, cujos resultados estão mostrados na figura 2.5 :

SIMULACAO DO BLOCO HOLD

* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 5US 50US 0

* DEFINICAO DO SINAL DE CLOCK DAS CHAVES ANALOGICAS :
VFASE1 CLK1 0 CLK (1 1 0)

* DEFINICAO DO SINAL DE ENTRADA
VIN 1 0 SIN (0 1 2000 0 0 0)

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA

```
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS
```

* DEFINICAO DO CIRCUITO DO BLOCO HOLD

```
X1 1 2 3 4 CLK1 CRSWT
C1 2 0 100PF
C2 4 0 100PF
```

* E NECESSARIO O USO DE FONTES FICTICIAS (TENSÃO ZERO) NOS NOS DAS CHAVES
 * QUE DEVEM SER ATERRADAS, PARA NAO GERAR UM ERRO DE EXECUCAO
 VFIC 3 0 DC 0

* MODELOS USADOS PARA AS CHAVES ANALOGICAS

```
.MODEL N NMOS
.MODEL P NMOS (INV)
```

```
.PROBE
.END
```

Arquivo utilizado para a simulação do amplificador de ganho 2 no QUANTICO, cujos resultados estão mostrados nas figuras 2.11, 4.34, 4.36, 4.38, 4.40, 4.42, 4.44, 4.46 e 4.48 :

CIRCUITO DO AMPLIFICADOR DIGITAL DE GANHO 2

* SIMULACAO PARA A VERIFICACAO DAS FORMAS DE ONDA
 * EM TODOS OS NOS DO CIRCUITO

* DEFINICAO DA ANALISE TRANSIENTE
 .TRAN 5E-6 50E-6 0

* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES ANALOGICAS :

```
V1 CLK1 0 CLK ( 1 1 0 )
V2 CLK2 0 CLK ( 2 1 0 )
```

* DEFINICAO DO SINAL DE ENTRADA
 VIN 1 0 SIN (0 0.1 2000 0 0 0)

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA

```
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS
```

* DEFINICAO DO CIRCUITO DO AMPLIFICADOR

```
X1 1 8 2 9 CLK2 CRSWT
X2 5 10 4 11 CLK2 CRSWT
X3 6 12 16 13 CLK2 CRSWT
X4 7 14 17 15 CLK2 CRSWT
```

```
X5 3 6 4 7 CLK1 CRSWT
ADDER 2 3 4
C1 8 0 100PF
C2 9 0 100PF
C3 10 0 100PF
C4 11 0 100PF
C5 12 0 100PF
C6 13 0 100PF
C7 14 0 100PF
C8 15 0 100PF
```

* FONTES DE TENSAO FICTICIAS

```
VDC1 16 0 DC 0
VDC2 17 0 DC 0
```

* MODELOS USADOS PARA AS CHAVES ANALOGICAS

```
.MODEL N NMOS
.MODEL P NMOS (INV)
```

```
.PROBE
.END
```

Arquivo utilizado para a simulação do amplificador inversor no QUANTICO, cujos resultados estão mostrados na figura 2.13 :

CIRCUITO DO AMPLIFICADOR DIGITAL INVERSOR DE GANHO 2

* SIMULACAO PARA A VERIFICACAO DAS FORMAS DE ONDA
* EM TODOS OS NOS DO CIRCUITO

* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 5E-6 500E-6 0

* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES
* ANALOGICAS :
V1 CLK1 0 CLK (1 1 0)
V2 CLK2 0 CLK (2 1 0)

* DEFINICAO DO SINAL DE ENTRADA
VIN 1 0 SIN (0 0.1 2000 0 0 0)

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS

* DEFINICAO DO CIRCUITO DO AMPLIFICADOR INVERSOR
X1 1 8 2 9 CLK2 CRSWT
X2 5 10 4 11 CLK2 CRSWT
X3 6 12 16 13 CLK2 CRSWT
X4 7 14 17 15 CLK2 CRSWT
X5 3 6 4 7 CLK1 CRSWT

```

SUB1 3 2 4
C1 8 0 100PF
C2 9 0 100PF
C3 10 0 100PF
C4 11 0 100PF
C5 12 0 100PF
C6 13 0 100PF
C7 14 0 100PF
C8 15 0 100PF

```

* FONTES DE TENSÃO FICTÍCIAS

```

VDC1 16 0 DC 0
VDC2 17 0 DC 0

```

* MODELOS USADOS PARA CHAVES ANALÓGICAS

```

.MODEL N NMOS
.MODEL P NMOS (INV)

```

```

.PROBE
.END

```

Arquivo utilizado para a simulação do amplificador com controle de *offset* no QUANTICO, cujos resultados estão mostrados na figura 2.16 :

CIRCUITO DO AMPLIFICADOR DIGITAL COM AJUSTE DE OFFSET

* A TENSÃO DE OFFSET PODE SER UTILIZADA PARA DESLOCAMENTO
* DE NÍVEL OU PARA CORREÇÃO DO OFFSET DE UMA IMPLEMENTAÇÃO REAL

* DEFINIÇÃO DA ANÁLISE TRANSIENTE

```

.TRAN 5E-6 1000E-6 0

```

* DEFINIÇÃO DOS SINAIS DE CLOCK DAS CHAVES ANALÓGICAS

* ANALÓGICAS :

* GANHO = $F_1 / F_2 = 5$

```

V1 CLK1 0 CLK ( 1 1 0 )

```

```

V2 CLK2 0 CLK ( 5 1 0 )

```

* DEFINIÇÃO DO SINAL DE ENTRADA

```

VIN 1 0 SIN ( 0 0.1 2000 0 0 0 )

```

* DEFINIÇÃO DO SUBCIRCUITO DA CHAVE CRUZADA

```

.SUBCKT CRSWT 1 2 3 4 CLKi

```

```

M1 1 CLKi 2 N

```

```

M2 2 CLKi 3 P

```

```

M3 4 CLKi 3 N

```

```

M4 1 CLKi 4 P

```

```

.ENDS

```

* DEFINIÇÃO DO CIRCUITO DO AMPLIFICADOR

```

X1 1 8 2 9 CLK2 CRSWT

```

```

X2 5 10 4 11 CLK2 CRSWT

```

```

X3 6 12 16 13 CLK2 CRSWT

```

```

X4 7 14 16 15 CLK2 CRSWT

```

```

X5 3 6 4 7 CLK1 CRSWT

```

```
ADDER 2 3 4
C1 8 0 10PF
C2 9 0 10PF
C3 10 0 10PF
C4 11 0 10PF
C5 12 0 10PF
C6 13 0 10PF
C7 14 0 10PF
C8 15 0 10PF
```

```
* GERADOR DE TENSÃO DE OFFSET
VOFFSET 16 0 DC 1
```

```
* MODELOS USADOS PARA CHAVES ANALÓGICAS
.MODEL N NMOS
.MODEL P NMOS (INV)
```

```
.PROBE
.END
```

Arquivo utilizado para a simulação do conversor de valor absoluto não inversor no QUANTICO, cujos resultados estão mostrados na figura 2.19 :

CIRCUITO DO CONVERSOR DE VALOR ABSOLUTO (NAO INVERSOR , GANHO = 2)

```
* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 5E-6 1000E-6 0
```

```
* DEFINICAO DOS SINAIS DE CLOCK CHAVES ANALÓGICAS :
V1 CLK1 0 CLK ( 1 1 0 )
V2 CLK2 0 CLK ( 2 1 0 )
```

```
* DEFINICAO DO SINAL DE ENTRADA
VIN 1 0 SIN ( 0 0.1 2000 0 0 0 )
```

```
* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS
```

```
* DEFINICAO DO SUBCIRCUITO DO COMUTADOR
.SUBCKT COMUT 1 2 3 TRIG
M1 1 TRIG 3 N
M2 2 TRIG 3 P
.ENDS
```

```
* DEFINICAO DO CIRCUITO DO AMPLIFICADOR
X1 1 8 2 9 CLK2 CRSWT
X2 5 10 4 11 CLK2 CRSWT
X3 6 12 16 13 CLK2 CRSWT
X4 7 14 17 15 CLK2 CRSWT
X5 3 6 4 7 CLK1 CRSWT
```

```
X6 19 20 4 CMP1 COMUT
ADDER 3 2 19
SUBTR 3 2 20
KOMP1 2 18 CMP1
C1 8 0 10PF
C2 9 0 10PF
C3 10 0 10PF
C4 11 0 10PF
C5 12 0 10PF
C6 13 0 10PF
C7 14 0 10PF
C8 15 0 10PF
```

* FONTES DE TENSÃO FICTÍCIAS

```
VDC1 16 0 DC 0
VDC2 17 0 DC 0
VDC3 18 0 DC 0
```

* MODELOS USADOS PARA CHAVES ANALÓGICAS

```
.MODEL N NMOS
.MODEL P NMOS (INV)
```

```
.PROBE
.END
```

Arquivo utilizado para a simulação do conversor de valor absoluto inversor no QUANTICO, cujos resultados estão mostrados na figura 2.20 :

CIRCUITO DO CONVERSOR DE VALOR ABSOLUTO (INVERSOR , GANHO =2)

* DEFINIÇÃO DA ANÁLISE TRANSIENTE

```
.TRAN 5E-6 1000E-6 0
```

* DEFINIÇÃO DOS SINAIS DE CLOCK DAS CHAVES ANALÓGICAS :

```
V1 CLK1 0 CLK ( 1 1 0 )
V2 CLK2 0 CLK ( 2 1 0 )
```

* DEFINIÇÃO DO SINAL DE ENTRADA

```
VIN 1 0 SIN ( 0 0.1 2000 0 0 0 )
```

* DEFINIÇÃO DO SUBCIRCUITO DA CHAVE CRUZADA

```
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS
```

* DEFINIÇÃO DO SUBCIRCUITO DO COMUTADOR

```
.SUBCKT COMUT 1 2 3 TRIG
M1 1 TRIG 3 N
M2 2 TRIG 3 P
.ENDS
```

* DEFINICAO DO CIRCUITO DO AMPLIFICADOR

```

X1 1 8 2 9 CLK2 CRSWT
X2 5 10 4 11 CLK2 CRSWT
X3 6 12 16 13 CLK2 CRSWT
X4 7 14 17 15 CLK2 CRSWT
X5 3 6 4 7 CLK1 CRSWT
X6 19 20 4 CMP1 COMUT
ADDER 3 2 19
SUBTR 3 2 20
KOMP1 18 2 CMP1
C1 8 0 10PF
C2 9 0 10PF
C3 10 0 10PF
C4 11 0 10PF
C5 12 0 10PF
C6 13 0 10PF
C7 14 0 10PF
C8 15 0 10PF

```

* FONTES DE TENSÃO FICTICIAS

```

VDC1 16 0 DC 0
VDC2 17 0 DC 0
VDC3 18 0 DC 0

```

* MODELOS USADOS PARA CHAVES ANALOGICAS

```

.MODEL N NMOS
.MODEL P NMOS (INV)

```

```

.PROBE
.END

```

Arquivo utilizado para a simulação do amplificador exponencial para vários ganhos no QUANTICO, cujos resultados estão mostrados na figura 2.23 :

CIRCUITO DO AMPLIFICADOR DIGITAL DE GANHO EXPONENCIAL

* DEFINICAO DO PERIODO DE SIMULACAO

```
.TRAN 5US 500US 0
```

* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES ANALOGICAS :

* O GANHO DO AMPLIFICADOR E DEFINIDO PELA RAZAO DAS FREQUENCIAS F1 E F2,

* OU SEJA : $\text{GANHO} = F1 / F2 = N$, ONDE $N = 1,2,3,4$

```

V1 CLK1 0 CLK ( 1 1 0 )
V2 CLK2 0 CLK ( 2 1 0 )
V3 CLK3 0 CLK ( 3 1 0 )
V4 CLK4 0 CLK ( 4 1 0 )

```

* DEFINICAO DO SINAL DE ENTRADA

```
VIN 1 0 SIN ( 0 0.1 2000 0 0 0 )
```

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA

```

.SUBCKT CRSWT 1 2 3 4 CLKI
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N

```

```
M4 1 CLKi 4 P
.ENDS
```

```
* DEFINICAO DO SUBCIRCUITO DO BLOCO DELAY
.SUBCKT DELAY 1 3 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
C1 2 0 100PF
C2 4 0 100PF
.ENDS
```

```
* DEFINICAO DO SUBCIRCUITO DO AMPLIFICADOR EXPONENCIAL
.SUBCKT AEXP 1 5 CLK1 CLK2
X1 1 2 CLK2 DELAY
X2 5 4 CLK2 DELAY
X3 6 16 CLK2 DELAY
X4 7 17 CLK2 DELAY
X5 3 6 4 7 CLK1 CRSWT
* SOMADOR COM ENTRADAS PONDERADAS m=1 e n=2
ADDER1 2 33 4
ADDER2 3 3 33
VDC1 16 0 DC 0
VDC2 17 0 DC 0
.ENDS
```

```
* CIRCUITO COM VARIOS AMPLIFICADORES LIGADOS EM VIN
X1 1 2 CLK1 CLK1 AEXP
X2 1 3 CLK1 CLK2 AEXP
X3 1 4 CLK1 CLK3 AEXP
X4 1 5 CLK1 CLK4 AEXP
```

```
* MODELOS USADOS PARA CHAVES ANALOGICAS
.MODEL N NMOS
.MODEL P NMOS (INV)

.PROBE
.END
```

Arquivo utilizado para a simulação de um amplificador normal e exponencial, de ganho 15 no QUANTICO, cujos resultados estão mostrados na figura 2.24 :

CIRCUITO DO AMPLIFICADOR DIGITAL DE GANHO EXPONENCIAL

```
* DEFINICAO DO PERIODO DE SIMULACAO
.TRAN 1US 500US 0
```

```
* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES ANALOGICAS
* O GANHO DO AMPLIFICADOR E DEFINIDO PELA RAZAO DAS FREQUENCIAS F1 E F2,
* OU SEJA : GANHO = F1 / F2 = N , ONDE N = 1,2,3,4
V1 CLK1 0 CLK ( 1 1 0 )
V2 CLK2 0 CLK ( 15 1 0 )
V3 CLK3 0 CLK ( 4 1 0 )
```

```
* DEFINICAO DO SINAL DE ENTRADA
VIN 1 0 SIN ( 0 0.1 2000 0 0 0 )

* DEFINICAO DO SUBCIRCUITO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
.ENDS

* DEFINICAO DO SUBCIRCUITO DO BLOCO DELAY
.SUBCKT DELAY 1 3 CLKi
M1 1 CLKi 2 N
M2 2 CLKi 3 P
M3 4 CLKi 3 N
M4 1 CLKi 4 P
C1 2 0 100PF
C2 4 0 100PF
.ENDS

* DEFINICAO DO SUBCIRCUITO DO AMPLIFICADOR NORMAL
.SUBCKT ANORMAL 1 5 CLK1 CLK2
X1 1 2 CLK2 DELAY
X2 5 4 CLK2 DELAY
X3 6 16 CLK2 DELAY
X4 7 17 CLK2 DELAY
X5 3 6 4 7 CLK1 CRSWT
ADDER 2 3 4
VDC1 16 0 DC 0
VDC2 17 0 DC 0
.ENDS

* DEFINICAO DO SUBCIRCUITO DO AMPLIFICADOR EXPONENCIAL
.SUBCKT AEXP 1 5 CLK1 CLK2
X1 1 2 CLK2 DELAY
X2 5 4 CLK2 DELAY
X3 6 18 CLK2 DELAY
X4 7 19 CLK2 DELAY
X5 3 6 4 7 CLK1 CRSWT
* SOMADOR COM ENTRADAS PONDERADAS m=1 e n=2
ADDER1 2 3 3 4
ADDER2 3 3 3 3
VDC3 18 0 DC 0
VDC4 19 0 DC 0
.ENDS

* CIRCUITO COM VARIOS AMPLIFICADORES LIGADOS EM VIN
X1 1 2 CLK1 CLK2 ANORMAL
X2 1 3 CLK1 CLK3 AEXP

* MODELOS USADOS PARA CHAVES ANALOGICAS
.MODEL N NMOS
.MODEL P NMOS (INV)

.PROBE
.END
```

Arquivo utilizado para a simulação do multiplicador de 2 quadrantes no QUANTICO, cujos resultados estão mostrados nas figuras 2.26 e 2.27 :

CIRCUITO DE UM MULTIPLICADOR DE DOIS QUADRANTES
* PRODUTO DE DUAS ONDAS TRIANGULARES POSITIVAS

* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 2.0US 4.0MS 0

* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES ANALOGICAS
V1 CLK1 0 CLK (1 1 0)
V2 CLK2 0 CLK (50 1 0)

* DEFINICAO DO BLOCO DELAY
.SUBCKT DELAY 1 4 CLK
X1 1 2 3 4 CLK CRSWT
C1 2 0 100PF
C2 3 0 100PF
.ENDS

* DEFINICAO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLK
M1 1 CLK 2 N
M2 3 CLK 4 N
M3 1 CLK 3 P
M4 2 CLK 4 P
.ENDS

* DESCRICAO DO CIRCUITO DO MULTIPLICADOR
KOMP1 5 7 CMP1
X1 2 5 CLK2 DELAY
X2 12 9 CLK2 DELAY
X3 12 10 CLK2 DELAY
X4 17 18 CLK2 DELAY
X5 22 27 CMP1 DELAY
X6 62 23 CLK2 DELAY
X7 62 24 CLK2 DELAY
X8 40 34 CLK2 DELAY
X9 7 10 9 11 CLK1 CRSWT
X10 22 24 23 21 CLK1 CRSWT
ADD1 6 11 7
ADD2 21 18 22
BUF1 27 40

* FONTES DE TENSAO FICTICIAS
VF1 12 0 DC 0
VF2 62 0 DC 0

* TENSAO DE REFERENCIA
* ESTA TENSAO E' UTILIZADA PARA QUANTIZAR AS TENSOES DE ENTRADA
* SENDO QUE SEU VALOR DEFINIRA A RESOLUCAO DO MULTIPLICADOR
VREF 6 0 DC 0.01

* DEFINICAO DAS ONDAS TRIANGULARES DE ENTRADA :
VIN2 17 0 PULSE (0 0.02 0 1.0MS 1.0MS 1PS 2.0MS)
VIN1 2 0 PULSE (0.02 0.5 0 1.0MS 1.0MS 1PS 2.0MS)

```
* MODELOS PARA AS CHAVES ANALOGICAS IDEAIS
.MODEL N NMOS
.MODEL P NMOS (INV)

.PROBE
.END
```

Arquivo utilizado para a simulação do multiplicador de 4 quadrantes no QUANTICO, cujos resultados estão mostrados nas figuras 2.30 e 2.31 :

```
CIRCUITO DE UM MULTIPLICADOR DE QUATRO QUADRANTES
* PRODUTO DE DUAS SENOIDES

* DEFINICAO DA ANALISE TRANSIENTE
.TRAN 0.25US 1MS 0

* DEFINICAO DOS SINAIS DE CLOCK DAS CHAVES ANALOGICAS
V1 CLK1 0 CLK ( 1 1 0)
V2 CLK2 0 CLK (50 1 0)

* DEFINICAO DO BLOCOS DELAY
.SUBCKT DELAY 1 4 CLK
X1 1 2 3 4 CLK CRSWT
C1 2 0 100PF
C2 3 0 100PF
.ENDS

* DEFINICAO DA CHAVE CRUZADA
.SUBCKT CRSWT 1 2 3 4 CLK
M1 1 CLK 2 N
M2 3 CLK 4 N
M3 1 CLK 3 P
M4 2 CLK 4 P
.ENDS

* DEFINICAO DO SUBCIRCUITO DO COMUTADOR
.SUBCKT COMUT 1 2 3 TRIG
M1 1 TRIG 3 N
M2 2 TRIG 3 P
.ENDS

* DESCRICAO DO CIRCUITO DO MULTIPLICADOR
KOMP1 5 7 CMP1
KOMP2 5 72 CMP2
X1 2 5 CLK2 DELAY
X2 12 9 CLK2 DELAY
X3 12 10 CLK2 DELAY
X4 17 18 CLK2 DELAY
X5 22 27 CMP1 DELAY
X6 62 23 CLK2 DELAY
X7 62 24 CLK2 DELAY
X8 40 34 CLK2 DELAY
X9 7 10 9 11 CLK1 CRSWT
X10 22 24 23 21 CLK1 CRSWT
```

```
ADD1 6 11 201
SUB1 11 6 203
XAS1 201 203 7 CMP2 COMUT
ADD2 18 21 202
SUB2 21 18 204
XAS2 202 204 22 CMP2 COMUT
BUF1 27 40
```

* FONTES DE TENSÃO FICTÍCIAS

```
VF1 12 0 DC 0
VF2 62 0 DC 0
VZC 72 0 DC 0
```

* TENSÃO DE REFERÊNCIA

* ESTA TENSÃO É UTILIZADA PARA QUANTIZAR AS TENSÕES DE ENTRADA
* SENDO QUE SEU VALOR DEFINIRÁ A RESOLUÇÃO DO MULTIPLICADOR

```
VREF 6 0 DC 0.01
```

* DEFINIÇÃO DAS ONDAS SENOIDAIS DE ENTRADA :

```
VIN2 17 0 SIN (0 0.05 1000 0 0 0)
VIN1 2 0 SIN (0 0.20 1000 0 0 0)
```

* MODELOS PARA AS CHAVES ANALÓGICAS

```
.MODEL N NMOS
.MODEL P NMOS (INV)
```

```
.PROBE
.END
```