



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e Computação
Departamento de Semicondutores
Instrumentos e Fotônica

**Reguladores Integrados Charge-Pump Multiplicadores de
Tensão para Aplicações de Alta Corrente**

Autor: André Luís Rodrigues Mansano

Orientador: Prof. Dr. Jacobus W. Swart

Co-Orientador: Prof. Dr. Jader A. de Lima Filho

Trabalho apresentado à Faculdade de Engenharia Elétrica e de Computação da UNICAMP como parte dos requisitos exigidos para obtenção do título de Mestre em Engenharia Elétrica.

Comissão Examinadora

Nome Prof. Dr. Jacobus W. Swart

Nome Prof. Dr. Fabiano Fruett

Nome Dr. Sandro P. Haddad

Campinas, 17 de Dezembro de 2009

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

M317r Mansano, André Luís Rodrigues
Reguladores integrados charge pump multiplicadores
de tensão para aplicações de alta corrente / André Luís
Rodrigues Mansano. --Campinas, SP: [s.n.], 2009.

Orientadores: Jacobus Willibrordus Swart, Jader
Alves de Lima Filho.

Dissertação de Mestrado - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Microeletronica. 2. Reguladores de voltage. 3.
Conversores eletronicos. 4. Circuitos integrados. 5.
Sistemas eletronicos analogicos. I. Swart, Jacobus
Willibrordus. II. Lima Filho, Jader Alves de. III.
Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. IV. Título.

Título em Inglês: Integrated charge pump voltage multiplier regulator for high
current applications

Palavras-chave em Inglês: Microelectronics, Voltage regulators, Electronics
converters, Integrated circuits, Analog electronic
systems

Área de concentração: Área de Eletrônica, Microeletrônica e Optoeletrônica.

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Fabiano Fruett, Sandro P. Haddad

Data da defesa: 17/12/2009

Programa de Pós Graduação: Engenharia Elétrica

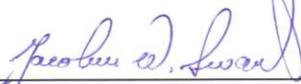
COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: André Luís Rodrigues Mansano

Data da Defesa: 17 de dezembro de 2009

Título da Tese: "Reguladores Integrados Charge Pump Multiplicadores de Tensão para Aplicações de Alta Corrente"

Prof. Dr. Jacobus Willibrordus Swart (Presidente):



Dr. Sandro Augusto Pavlik Haddad:



Prof. Dr. Fabiano Fruett:



Agradecimentos

Agradeço especialmente ao Prof. Dr. Jacobus Swart e Prof. Dr. Jader de Lima por me orientarem durante meus estudos de Mestrado. Também agradeço ao Prof. Dr. Fabiano Fruett e ao Dr. Sandro Haddad por aceitarem meu convite e participarem das discussões sobre este trabalho, ao Prof. Dr. Alexandre Diniz por participar de minha qualificação, agradeço ao CTI por me fornecer suporte às ferramentas e auxílio no envio do circuito integrado e agradeço à Freescale Semicondutores por disponibilizar o laboratório e equipamentos para medidas.

Dedicatória

Dedico este trabalho
à minha mãe, Maria José e
ao meu pai, Joaquim.

Resumo

Neste trabalho de Mestrado, foi projetado um conversor DC/DC charge-pump (CP) duplicador de tensão para corrente de carga máxima de 20mA, e que necessita de circuitos de controle para o apropriado acionamento das chaves, regulação de tensão e proteção do estágio duplicador de tensão. O sistema de controle projetado é composto por um circuito de regulação linear (CRL), um regulador *Skip*, um limitador de corrente (LC) e um circuito de bootstrapping (BOOT) que auxilia o acionamento do estágio duplicador. CP corresponde ao estágio de potência do sistema que faz interface direta com a carga, sendo sua tensão de entrada (PV_{IN}) nominal no valor de 1,5V.

O trabalho objetiva obter um conversor DC/DC funcional (demonstrado por resultados de Silício) atingindo resultados experimentais com o menor desvio possível comparados aos valores simulados durante o projeto. A tensão simulada de saída (V_{OUT}), a vazio (sem carga), é 3V. Para carga máxima DC (20mA), o valor de V_{OUT} simulado é de 2,4V. O circuito BOOT gera uma tensão na faixa de 4,5V - 5V, para uma carga DC de 1mA. A corrente limitada pelo bloco LC no circuito duplicador é 30mA. O CLR gera uma tensão inversamente proporcional a V_{OUT} , tendo seus limites mínimo e máximo de 1,3V e 5,2V, respectivamente.

Todo o sistema foi integrado no processo de fabricação AMS 0.35um HV, exceto os capacitores do estágio duplicador e do circuito de bootstrapping que são externos. Os resultados experimentais mostram desvio (comparados com simulação) de -12,5% em V_{OUT} @ 20mA DC e -0,13% sem carga, -6% à saída de BOOT @ 1mA DC, +23% CLR mínimo, -3,85% em CRL máximo e +10% na corrente limitada. Durante o desenvolvimento deste trabalho, o Circuito de Regulação Linear (CRL) foi publicado no SBCCI 2009 apresentando sua rápida resposta à transientes de carga, o que é sua grande vantagem comparado a circuitos anteriormente propostos.

Abstract

In this work, a DC/DC charge-pump voltage-doubler converter, for maximum load current of 20mA, was designed and fabricated. The Charge Pump (CP) needs control circuits for properly switching, voltage regulation and protection of voltage doubler stage. The control system designed comprises a linear regulation circuit (CRL), a Skip mode regulator, current limitation circuit (LC) and a bootstrapping circuit (BOOT), which provides the appropriate voltage to turn on CP power transistors. The voltage doubler is the power stage that interfaces directly to the load and its nominal input voltage PV_{IN} is 1.5V.

The objective of this work is to guarantee that the proposed DC/DC converter works properly (proved by Silicon results) and to achieve experimental results with the least deviation possible compared to simulation. The nominal output voltage (V_{OUT}) with no load is 3V. For maximum DC load (20mA), simulated V_{OUT} is 2.4V. BOOT circuit provides voltage within 4.5V - 5V for DC current load of 1mA. The LC limits the drawn current through the voltage-doubler at 30mA. The CRL provides a control voltage inversely proportional to V_{OUT} and its minimum and maximum are 1.3V and 5.2V respectively. The whole system has been integrated in AMS 0.35um HV except the capacitors of CP and BOOT circuits. The experimental results show deviation (comparing to simulation) of -12,5% on V_{OUT} @ 20mA DC and -0,13% @ no load , -6% on BOOT output @ 1mA DC, +23% CLR minimum, -3,85% CRL maximum and +10% on LC circuit. During the development of this work, the CRL circuit has been published in the SBCCI 2009 conference to present its fast-response to stringent load transient which is the biggest CRL advantage compared to previously proposed circuits.

Sumário

Lista de Figuras	iii
Lista de Tabelas	iv
Lista de Símbolos	v
Siglas	vi
Trabalhos Publicados pelo autor	vii
Capítulo 1	8
Introdução e Princípios Básicos	8
1.1 Histórico e Características de Circuitos Charge Pump (CP).....	8
1.2 Princípios Básicos de Charge Pumps e Observações.....	11
1.2.1 Princípios Básicos de Circuitos <i>Charge-Pump</i>	11
1.2.2 Observações	16
1.3 Organização Estrutural	17
Capítulo 2	19
Descrição dos Circuitos e Projeto	19
2.1 Diagrama em Blocos e Especificações.....	19
2.2 Charge Pump (CP)	22
2.2.1 Comparação Transistores NMOS e PMOS	24
2.3 Tempo Inativo entre Fases (TIF).....	25
2.4 Elevador de Nível (ELN)	26
2.5 Regulação em Modo Skip (MS).....	27
2.5.1 Comparador de Tensão.....	28
2.6 Circuito de Regulação Linear (CRL)	29
2.7 Bootstrapping (BOOT).....	31
2.8 Circuito de Limitação de Corrente (LC)	33
Capítulo 3	36
Resultados de Simulação.....	36
3.1 Tempo Inativo entre Fases	36
3.2 Elevador de Nível.....	37
3.3 Sistema Modo Skip	38
3.3.1 Comparador (CMP).....	39
3.4 Circuito de Regulação Linear.....	40
3.5 Circuito de Bootstrapping	41
3.6 Circuito de Limitação de Corrente (LC)	42
3.7 Simulação do Sistema	43
Capítulo 4	46
Medidas e Dados Experimentais	46
4.1 Circuito de bootstrapping (BOOT)	48
4.2 Modo Skip.....	50
4.3 CRL	51
4.4 Limitação de Corrente (LC)	53
4.5 Estágio de Potência	55
Capítulo 5	58
Conclusões	58
PERSPECTIVAS FUTURAS	60

Apêndice I61
Apêndice II.....63
Referências Bibliográficas70

Lista de Figuras

Figura 1 Topologia básica de <i>Charge Pump</i> duplicador de tensão.	11
Figura 2 Duplicador de tensão <i>push-pull</i>	12
Figura 3 triplicador de tensão.	12
Figura 4 multiplicador 1,5x.	13
Figura 5: Diagrama de Blocos do sistema.	20
Figura 6: Topologia do circuito duplicador de tensão.	23
Figura 7: Esquemático simplificado do circuito de <i>Dead-Time</i>	25
Figura 8: Esquemático do circuito de Tempo Inativo.	26
Figura 9. Esquemático do circuito elevador de nível (ELN).	27
Figura 10 Diagrama em Blocos do Modo Skip.	28
Figura 11 Comparador de Tensão.	28
Figura 12 Diagrama em blocos da regulação linear de CP.	29
Figura 13 Esquemático do Circuito de Regulação Linear.	30
Figura 14 Esquemático do circuito BOOT.	32
Figura 15 Diagrama em Blocos do Circuito de Limitação de Corrente.	34
Figura 16 Esquemático do circuito LC	34
Figura 17 Resultados de simulação do circuito de TIF.	37
Figura 18 Simulação do Elevador de Tensão.	38
Figura 19 Simulação da Lógica de Modo Skip.	39
Figura 20a Resultado de Simulação do Comparador de tensão.	39
Figura 20b Resposta a transitório de 20 μ s.	40
Figura 21 Simulação da Função Transferência do CRL.	40
Figura 22 Resposta transitória de CRL.	41
Figura 23 Forma de onda de saída do circuito BOOT	42
Figura 24 Simulação do circuito Limitador de Corrente.	43
Figura 25 Detalhamento das formas de onda simuladas do LC.	43
Figura 26 Formas de onda da simulação do sistema.	45
Figura 27 Microfotografia do circuito fabricado (área do chip: 3,42mm ²)	47
Figura 28 Layout da placa de teste.	47
Figura 29 Fases internas do circuito BOOT.	48
Figura 30 VBOOT sem carga aplicada.	49
Figura 31 VBOOT com carga DC de 1mA.	49
Figura 32 Formas de onda do teste em <i>Skip Mode</i>	50
Figura 33 Função Transferência experimental do circuito CRL.	51
Figura 34 resposta dinâmica do CRL.	52
Figura 35 Corrente limite do sistema.	53
Figura 36 Transitório de corrente durante curto-circuito de V _{OUT} para GND.	54
Figura 37 tensão de saída do Estágio de Potência.	55
Figura 38 Sinal de chaveamento do estágio de saída.	56
Figura 39 Sinais medidos nas fases do Charge Pump.	56
Figura 40 Curva de carga do circuito Charge Pump.	57

Lista de Tabelas

Tabela 1 Comparação entre CP e conversores a base de indutores.	10
Tabela 2 modos de regulação, vantagens e desvantagens.	14
Tabela 3 Especificações de CP e circuitos de controle.	21
Tabela 4 . Parâmetros das formas de implementação.	25
Tabela 5 Condições Nominais de Parâmetros para simulação.....	36
Tabela 6 Comparação de resultados medidos e esperados.....	59

Lista de Símbolos

Φ	Sinal de clock
Φ'	Sinal de clock invertido
μ	micro (10e-6)
m	mili (10e-3)
A	ampère
V	volts
F	farad
Δt_w	Periodo de trabalho
Δt	Periodo de chaveamento
W	Largura de canal do transistor
L	Comprimento de canal do transistor
V_{TH}	Tensão de Limiar
μ_N	Mobilidade de elétrons
C_{OX}	Capacitância de óxido
f_{CLK}	Frequencia de clock
K'	Produto mobilidade x capacitância de óxido
β	Produto k' x relação geométrica W/L
μ_P	Mobilidade de lacunas

Siglas

CRL	Circuito de Regulação Linear
CLC	Circuito de Limitação de Corrente
CP	Charge Pump
Vout	Tensão de Saída do Charge Pump
Vboot	Tensão de Bootstrap
C_{FLY}	Capacitor de Flying
Cout	Capacitor de Saída
LCD	Liquid Crystal Display
IEM	Emissão Eletromagnética
ESR	Resistência Serie Equivalente
CTS	Charge Transfer Switch

Trabalhos Publicados pelo autor

Mansano A., de Lima J. A. and Jacobus Swart “A Compact Fast-Response Charge-Pump Gate Driver”, 22nd SBCCI 2009, Article No. 10, ISBN: 978-1-60558-705-9.

Mansano A., de Lima J. A. and Jacobus Swart “Charge Pump Current Limitation and Driver”, 7th SFORUM 2007

Capítulo 1

Introdução e Princípios Básicos

O capítulo inicial apresenta um breve histórico sobre circuitos multiplicadores de tensão e suas aplicações. Também, são descritas as características essenciais de circuitos multiplicadores de tensão do tipo *charge-pump* e seus princípios básicos.

1.1 Histórico e Características de Circuitos *Charge Pump* (CP).

A primeira principal topologia desenvolvida para multiplicar tensão AC foi proposta por Crockcroft-Walton, utilizada na geração de altas tensões [1], e cujo objetivo era alimentar um acelerador de partículas de 800KV. A segunda principal topologia, conhecida como célula Dickson [1], também foi concebida para multiplicar tensão AC. Entretanto, este circuito é comumente utilizado na multiplicação de tensões DC, por ser uma alternativa simples para fornecimento de correntes de carga muito baixas (unidades de micro-amperes). A célula Dickson é usualmente integrável, pois os diodos podem ser substituídos por N-MOSFET's. Nesse caso, essa topologia se torna inviável para aplicações que requerem um número elevado de células em serie, pois o efeito de corpo dos transistores degrada o desempenho do circuito.

Com o propósito de superar o efeito de corpo e diminuir as quedas de tensão nos transistores utilizados como diodos, a topologia *Charge-Transfer Switch* (CTS) foi proposta [1,2], a qual requer um circuito de controle para auxiliar no acionamento das chaves, no entanto. Assim, capacitâncias parasitas, associadas a nós críticos do CP, pode levar a perdas por redistribuição de carga.

Comumente, os primeiros CPs integrados foram projetados para se elevar a tensão de alimentação do circuito de controle de reguladores lineares, de modo a reduzir a resistência equivalente de condução de chaves utilizadas em circuitos a capacitores chaveados, bem como polarizar substratos ou poços tipo N.

Atualmente, existem várias topologias de *charge-pump*, com devida ênfase a circuitos com maior capacidade de correntes de carga (ordem de mA), acompanhando o desenvolvimento de equipamentos portáteis fundamentados em CI's em larga escala de integração. Assim, tornam-se imprescindíveis as fontes de tensão e corrente de alta eficiência, baixa interferência eletromagnética (EMI) e reduzida área de layout. Sendo a dissipação de calor menor, dissipadores de menor área podem ser utilizados, o que resulta na diminuição da área da placa de circuito impresso (*Printed Circuit Board* - PCB) que suporta o sistema.

Uma necessidade que tem acompanhado o avanço de produtos portáteis é sua interface visual com o usuário. O LCD, principal componente dessa interface, também exige reguladores de alta eficiência para o acionamento de sua luz de fundo (*backlight*). Vários exemplos de produtos que possuem estes dispositivos podem ser citados como, celulares, palm-tops, mp5 players, psp, etc.

Sistemas eletrônicos do estado-da-arte requerem tensões de alimentação bem específicas e precisas, apesar de transientes de carga cada vez mais agressivos e variações de processo de fabricação e temperatura. Por isso, a demanda crescente por reguladores de tensão capazes de suprir altas correntes DC, com excelente resposta a rápidos transientes de carga, e que ainda mantenham estável a tensão de saída, dentro de uma estreita faixa de tolerância.

Devido à alta eficiência, conversores DC/DC do tipo Buck [3-7] são comumente utilizados como abaixadores de tensão em sistemas eletrônicos de alta corrente. No entanto, a necessidade de indutores externos pode apresentar características indesejáveis, como interferência eletromagnética (EMI), saturação dos indutores e aumento do volume e custo do sistema [8].

De modo a evitar tais limitações, diferentes topologias de *charge-pump* têm sido propostas em literatura [9], tendo como principais especificações, a eficiência, a capacidade de corrente, regulação de carga, o *ripple* da tensão de saída e o tempo de recuperação do sistema após transitórios de carga.

No entanto, a viabilidade de utilizar-se CPs em aplicações de alta potência está diretamente relacionada ao processo de integração disponível, e ao nível de corrente que deverá ser entregue à carga. Processos que não disponibilizam transistores de potência, com comprimento de canal reduzido (<1 μ m), tendem a inviabilizar o uso de CPs. Além disso, mesmo com um processo de fabricação viável, torna-se necessário um estudo consistente sobre o impacto na área do *chip*, ou riscos para o *die* (ex. aquecimento excessivo), em função da corrente necessária a ser suprida. A

Tabela 1 lista uma comparação entre conversores DC/DC, à base de indutores, e circuitos CP, destacando as principais diferenças entre os mesmos [10].

Características	CP	Conversor Buck	Conversor Boost	Conversor SEPIC [7]
Complexidade	Baixa	Média	Média	Alta
Área de placa	Pequena	Média	Média	Grande
Custo	Baixo	Médio	Médio	Alto
Eficiência	Média	Alta	Alta	Alta
Corrente de saída	Baixa	Alta	Média	Alta

Tabela 1 Comparação entre CP e conversores a base de indutores.

A partir dessa comparação, é possível notar que o CP é muito atrativo por seu baixo custo. Porém, este se torna apenas viável para capacidade de corrente de até centenas de mA. Em aplicações demandando correntes na ordem de ampères, conversores indutivos ainda é a solução mais apropriada. Portanto, circuitos CP têm seu domínio em aplicações de baixa à média corrente de carga.

1.2 Princípios Básicos de *Charge Pumps* e Observações

1.2.1 Princípios Básicos de Circuitos *Charge-Pump*

O princípio básico de um circuito *Charge Pump* é o chaveamento de capacitores que são, inicialmente, carregados em paralelo a uma tensão de entrada, e posteriormente descarregados, em série com essa mesma tensão. Uma topologia muito conhecida de CP é o duplicador de tensão em ponte, apresentado na Figura 1, o qual opera em duas fases não superpostas [8]. Durante a fase de carga Φ_I , as chaves S2 e S3 permanecem fechadas, carregando o capacitor C_F com tensão de entrada V_{IN} . Durante a fase de transferência Φ_{II} , as chaves S1 e S4 são fechadas, configurando C_F em série com V_{IN} . Assim o capacitor de saída C_{OUT} é idealmente carregado com uma tensão $2xV_{IN}$, caracterizando um duplicador de tensão.

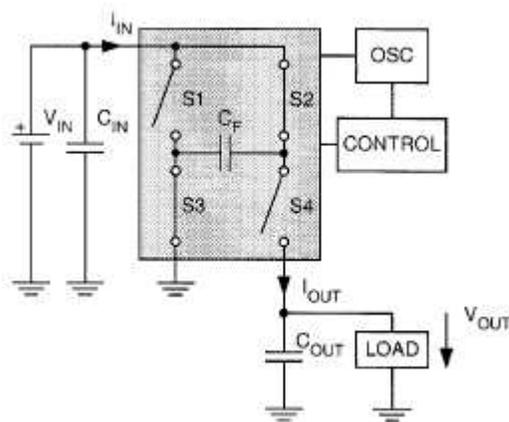
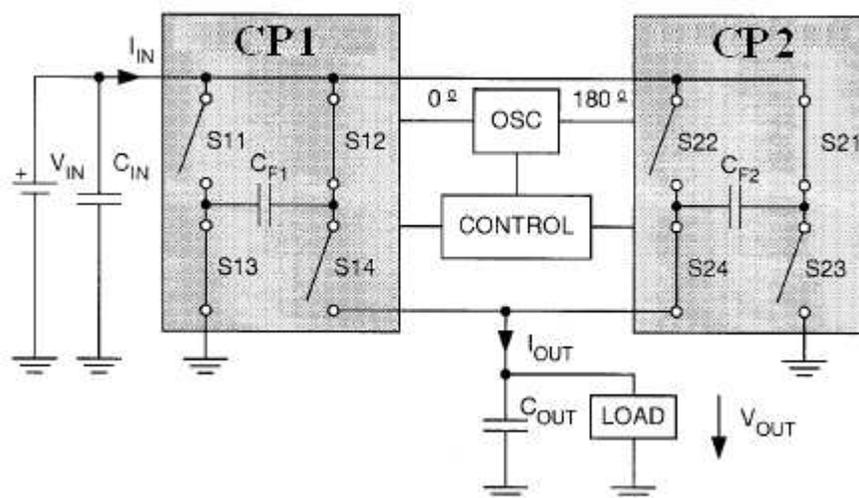


Figura 1 Topologia básica de *Charge Pump* duplicador de tensão.

No entanto, este circuito apresenta maior *ripple* de tensão à saída quando comparada com a topologia *push-pull* [8], ilustrada na Figura 2. Embora essa última tenha funcionamento igual ao duplicador de tensão descrito, diferencia-se pela presença de dois circuitos *charge-pump* (CP1 e CP2) para carga do capacitor de saída. Quando CP1 está na fase de carga, CP2 se encontra na fase de transferência de carga para C_{OUT} . Estando CP2 na fase de carga, CP1 transfere carga ao capacitor C_{OUT} . Portanto, a transferência de carga para C_{OUT} ocorre durante todo o período do oscilador.

Figura 2 Duplicador de tensão *push-pull*.

Outros elevadores de tensão, como o triplicador de tensão e o multiplicador de uma vez e meia (1,5x) estão apresentados nas Figuras 3 e 4, respectivamente.

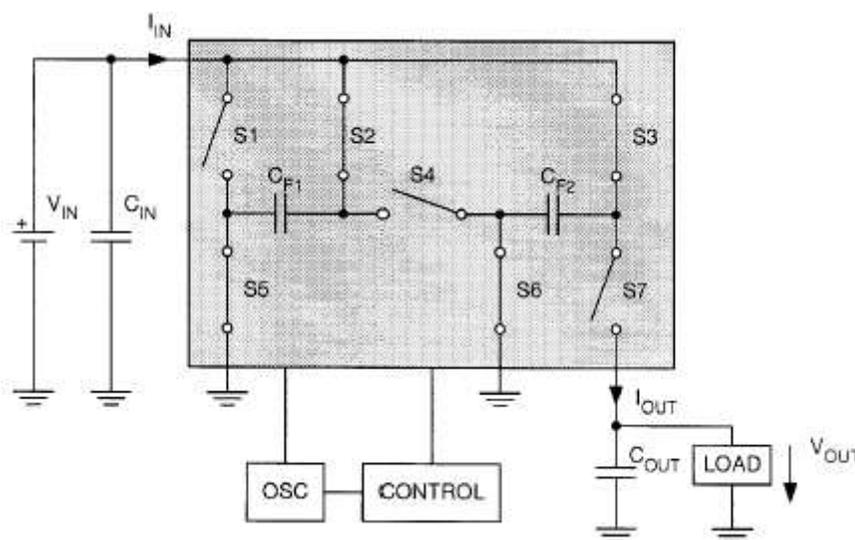


Figura 3 triplicador de tensão.

O triplicador de tensão requer duas fases para seu funcionamento. Na fase de carga, as chaves S2, S5, S3, S6 estão fechadas, carregando C_{F1} e C_{F2} com V_{IN} . Na fase de transferência, S1, S4 e S7 estão fechadas, enquanto todas as outras chaves estão abertas. Portanto, V_{IN} fica em série com C_{F1} e C_{F2} , carregando C_{OUT} com $3V_{IN}$.

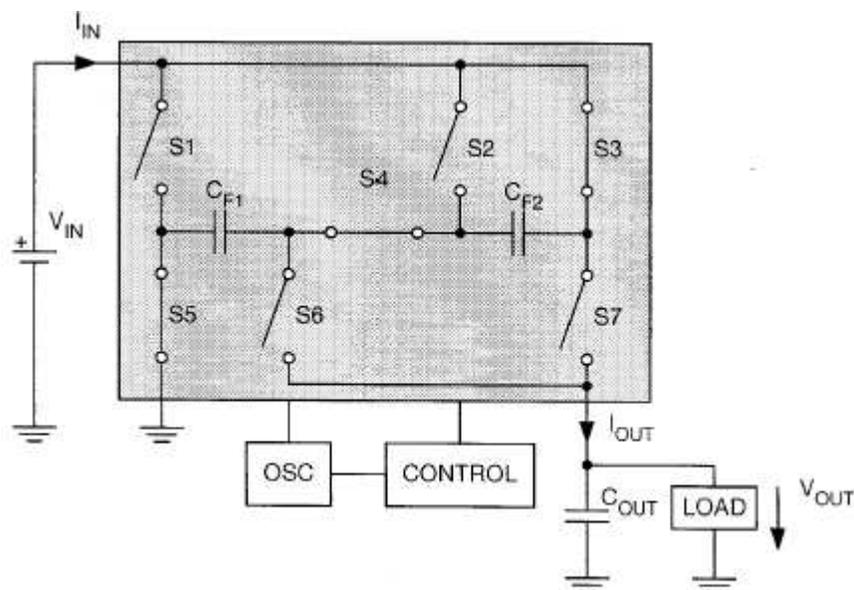


Figura 4 multiplicador 1,5x.

No caso do multiplicador de 1,5x, a fase de carga apresenta as chaves S3, S4 e S5 fechadas, fazendo com que C_{F1} e C_{F2} se carreguem a $0,5V_{IN}$. Na fase de transferência, as chaves S1, S6, S2, S7 estão fechadas, enquanto as demais permanecem abertas, colocando C_{F1} e C_{F2} em paralelo. A fonte V_{IN} fica, então, em série com os capacitores, carregando-se C_{OUT} com uma tensão de $1,5x V_{IN}$.

É importante observar que, as topologias apresentadas necessitam de dois capacitores de passagem (C_{F1} e C_{F2}), os quais devem ser casados para se mitigar a perda durante a transferência de carga para a saída.

Existe um compromisso entre a diminuição do *ripple* na tensão de saída (V_{RP}) e o consumo de corrente do regulador [8,9]. É válido enfatizar que V_{RP} não depende apenas do tipo de topologia empregada, como também da corrente fornecida à carga, do valor do capacitor de saída e sua resistência parasita ESR (*Equivalent Series Resistance*) [8].

Além da topologia empregada no circuito *charge pump*, modos de regulação também ajudam a controlar o nível de V_{RP} e a eficiência do regulador. A Tabela 2 apresenta os modos de regulação, com suas vantagens e desvantagens [8].

Modo de Regulação	Vantagens	Desvantagens
<i>Pulse-Skip</i>	Alta eficiência.	Maior V_{RP} e frequência de operação (f_{CLK}) não fixa.
<i>Constant frequency</i>	f_{CLK} fixa e baixo V_{RP} .	Alta corrente quiescente.
<i>LinSkip</i>	Baixo V_{RP} . Baixa corrente quiescente.	Para baixas correntes f_{CLK} não é fixa.

Tabela 2 modos de regulação, vantagens e desvantagens.

- modo *Pulse-Skip*: tem como característica limitar o chaveamento do capacitor de transferência de carga (C_{F1}) apenas à condição da tensão de saída V_{OUT} estar abaixo do nível desejado. Embora esse modo apresente alta eficiência, V_{RP} é relativamente alto, sendo impróprio para aplicações que requerem baixa variação em V_{OUT} . A tensão de saída para o modo *Pulse-Skip* é representada por

$$V_{OUT} = 2V_{IN} - I_{LOAD} \left(2 + \frac{\Delta t_w}{\Delta t} \right) \sum_{i=1}^n R_{Si} \quad (1)$$

onde V_{IN} é a tensão de entrada, I_{LOAD} a corrente de carga, Δt é o ciclo de trabalho do conversor, Δt_w é o tempo em que o *charge pump* não é chaveado, R_{Si} é a resistência de condução das chaves e n é o número de chaves utilizadas no circuito. A tensão de *ripple* V_{RP} é dada pela equação (2).

$$V_{RP} = \left(\frac{2V_{IN} - V_{OUT} - I_{LOAD}}{\sum_{i=1}^n R_{Si}} \right) \left(ESR_{COUT} + \frac{1}{2f_{CLK} C_{OUT}} \right) \quad (2)$$

ESR_{COUT} é a resistência série equivalente do capacitor de saída (C_{OUT}).

- modo *Constant Frequency*: nesse caso, o chaveamento é feito com f_{CLK} constante. A maneira de controlar V_{OUT} é regulando a resistência das chaves, alterando, assim, a carga transferida para a saída. Um reduzido V_{RP} é a maior vantagem desta técnica; porém, alto consumo quiescente degrada a eficiência quando o circuito opera neste modo. V_{OUT} e V_{RP} são dados por (3) e (4).

$$V_{OUT} = 2V_{IN} - I_{LOAD} 2 \sum_{i=1}^n R_{Si} \quad (3)$$

$$V_{RP} = I_{LOAD} \left(2ESR_{COUT} + \frac{1}{2f_{CLK} C_{OUT}} \right) \quad (4)$$

- modo *LinSkip*: a tensão de saída é regulada através de uma combinação entre ambos modos linear e *Skip*. Em situação de elevada corrente de carga, o circuito *charge pump* opera no modo linear, passando ao modo *Skip* para correntes baixas. Com o modo *Skip* agregado à regulação, o chaveamento do CP só ocorre quando V_{OUT} está abaixo de seu valor nominal sem carga.

A tensão de saída e o *ripple* do regulador no modo *LinSkip* são dados pelas equações (5) e (6).

$$V_{OUT} = 2V_{IN} - I_{LOAD} \left(2 + \frac{\Delta t_w}{\Delta t} \right) \sum_{i=1}^n R_{Si} \quad (5)$$

$$V_{RP} = I_{LOAD} \left[ESR_{COUT} \left(2 + \frac{\Delta t_w}{\Delta t} \right) + \frac{\Delta t}{C_{OUT}} \left(1 + \frac{\Delta t_w}{\Delta t} \right) \right] \quad (6)$$

1.2.2 Observações

Algumas considerações, importantes para a otimização do projeto de circuitos *charge-pump*, são apresentadas a seguir.

- *Chaveamento do Circuito*

Circuitos que realizam a multiplicação de tensão podem necessitar de um circuito auxiliar para controlar a comutação dos transistores utilizados como chaves [11].

- *Estresse de Óxido de Porta*

No caso de se utilizar transistores MOS como comutadores, deve-se atentar ao estresse que o óxido de porta pode sofrer [12], caso tensões transitórias acima do permitido resultem do chaveamento.

- *Perda por Redistribuição de Carga*

À medida que capacitores são chaveados, perdas por redistribuição de carga entre os capacitores de passagem, capacitores de saída e capacitâncias parasitas ocorrem, reduzindo a eficiência do circuito [13].

- *Degradação da Tensão de Limiar*

A tensão de limiar de um transistor utilizado como chave pode ter seu valor absoluto aumentado devido ao efeito de corpo [14], causando uma elevação da resistência de condução.

- *Tecnologia Disponível*

Sendo o CP um elevador de tensão, inúmeros projetos demandam processos de fabricação que suportem alta tensão, que devido à sua maior área, aumentam o custo do produto final. Por esse motivo, algumas topologias foram desenvolvidas para possibilitar a elevação de tensão utilizando-se processos que suportam apenas baixas tensões [15]. Entretanto, muitas dessas técnicas limitam a aplicação do CP a casos de apenas cargas capacitivas, sendo inadequadas para aplicações de alta corrente DC.

- *Área Disponível*

Comumente, comutadores de potência devem apresentar baixa resistência de condução R_{ON} , a qual pode ser ajustada pela razão de aspecto do transistor. No entanto, aumentando-se excessivamente as dimensões do mesmo, pode-se acarretar em uma área de integração inviável. Assim, para o projeto de *charge-pumps* com alta capacidade de corrente, um processo de fabricação, em que transistores de alta tensão de canal curto estejam disponíveis, torna-se essencial.

1.3 Organização Estrutural

Nesta dissertação de Mestrado, é apresentado o histórico de como surgiram conversores DC/DC charge-pump que inicialmente eram utilizados por Físicos em aceleradores de partículas. Diversas topologias de charge-pump aplicadas a altas correntes são mostradas e descritas, assim como conceitos básicos, modos de regulação, equações e suas vantagens e desvantagens comparadas a conversores DC/DC indutivos. Observações são feitas mostrando alguns cuidados que devem ser tomados no projeto do conversor e indicando a viabilidade de se utilizar um charge-pump em aplicações de altas correntes.

O segundo capítulo traz a descrição e projeto do Charge Pump (CP) projetado e o detalhamento de cada um dos blocos que compõem o sistema de controle de CP. O objetivo do projeto é garantir total funcionamento do conversor (o que significa que todos os sub-circuitos

devem funcionar adequadamente ao fazer interface entre si) e cada sub-circuito deve apresentar resultados experimentais com menor desvio possível em relação aos valores especificados. O conversor possui um sistema de controle composto por um circuito de regulação linear (CRL), um regulador *Skip*, um limitador de corrente (LC) e um circuito de *bootstrapping* (BOOT) que auxilia o acionamento do CP. O circuito CP corresponde ao estágio de potência (duplicador de tensão) que faz interface direta com a carga, sendo PV_{IN} (1,5V) a tensão de entrada do estágio duplicador.

Os resultados de simulação dos circuitos projetados são mostrados e comentados no terceiro capítulo. Dentre os resultados obtidos, destaca-se a tensão de saída de CP (V_{OUT}) a vazio que é $2xPV_{IN} = 3V$. Para carga máxima DC de 20mA, o valor de V_{OUT} simulado é de 2,4V. BOOT gera uma tensão (V_{BOOT}) na faixa de 4,5V - 5V para uma carga DC de 1mA. A corrente limite (I_{LIMITE}) imposta pelo circuito LC é de 30mA. O CRL gera uma tensão inversamente proporcional a V_{OUT} , tendo seus limites mínimo e máximo de 1,3V e 5,0V com resposta à transitórios de carga de 0 a 20mA em 20 μ s.

Todo o conversor foi integrado no processo de fabricação AMS 0.35um HV, exceto os capacitores de CP e BOOT que são externos (ordem de μ F). Os resultados experimentais são apresentados no quarto capítulo. O quinto capítulo mostra e comenta os principais desvios, sendo estes na ordem de -12,5% em V_{OUT} @ 20mA DC e -0,13% sem carga, -6% em V_{BOOT} @ 1mA DC, +23% CRL mínimo, -3,85% em CRL máximo e +10% na corrente limitada.

Capítulo 2

Descrição dos Circuitos e Projeto

2.1 Diagrama em Blocos e Especificações

As Figuras 5a e 5b mostram o diagrama em blocos e o diagrama simplificado do sistema de controle. As chaves de potência constituem o bloco *Charge-Pump* (CP), o qual duplica o valor de tensão de P_{VIN} e alimenta a carga com sua saída V_{OUT} . No entanto, para garantir-se o funcionamento do CP, são necessários dois circuitos *Driver* (DR) para o acionamento das chaves, em sincronismo com o sinal de relógio (clk). CP opera com duas fases que não podem ser ativadas simultaneamente, o que é garantido pelo circuito de Tempo Inativo entre Fases (TIF), gerando um tempo inativo entre as fases (t_{TIF}). A saída desse bloco passa por um circuito elevador de nível (ELN), que eleva a tensão para o nível de V_{BOOT} , que corresponde a uma tensão gerada por um circuito de *bootstrapping* (BOOT), indispensável para a interface entre TIF e DRs. Um comparador de tensão compara V_{OUT} com uma referência V_{REF} e gera um sinal que aciona a lógica de modo *Skip* (MS), a qual bloqueia o chaveamento das chaves em CP sob condições de corrente de carga I_L muito baixas ($<100\mu A$). Outra comparação também é feita entre V_{OUT} e V_{REF} para se gerar um sinal que habilita o circuito limitador de corrente (LC), cuja função é proteger CP contra um curto-circuito de V_{OUT} para GND. Também agregado ao sistema, o circuito de regulação linear (CRL) controla a amplitude da tensão de porta dos transistores de potência ($V_{GS_{SW}}$). $V_{GS_{SW}}$ é feito inversamente proporcional a V_{OUT} , pois quando I_L aumenta, V_{OUT} tende a sofrer queda. Assim, $V_{GS_{SW}}$ é aumentado para manter V_{OUT} dentro de sua especificação. Todos os blocos, com exceção de TIF, são alimentados por BOOT e sua saída V_{BOOT} é suficientemente alta para ligar os transistores de potência em sua região triodo (linear), mas sem causar estresse ao óxido de porta.

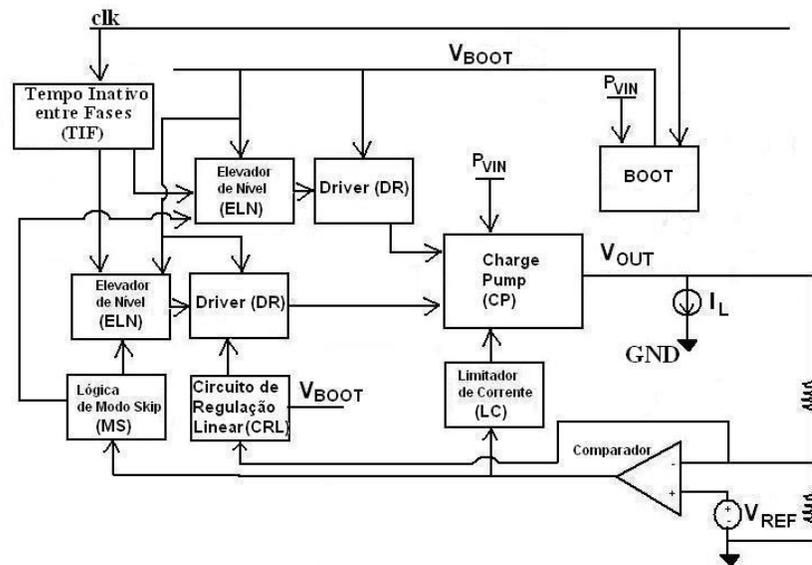


Figura 5a: Diagrama em Blocos do sistema.

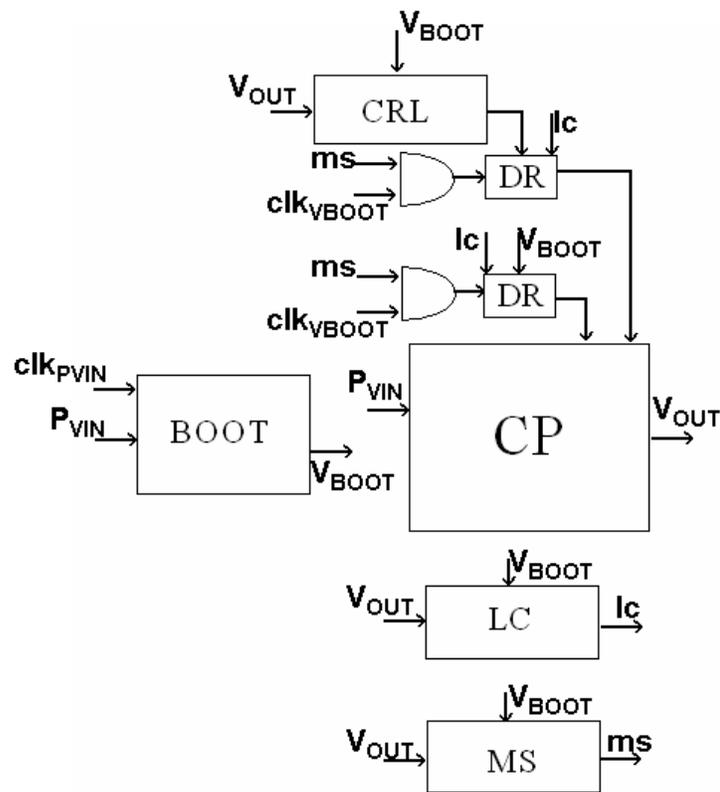


Figura 5b: Diagrama em Blocos Simplificado.

A Tabela 3 apresenta as especificações do CP e dos circuitos de controle. Para o valor de P_{VIN} , foi considerada a tensão de uma bateria alcalina convencional, de 1,5V. Adota-se um valor para V_{BOOT_MIN} @1mA de modo que V_{GS_MIN} dos transistores de CP seja 1,5V. V_{BOOT_MAX} é determinado para que V_{GS_MAX} não exceda 5V, evitando o estresse de óxido de porta. V_{GS_SW} máximo foi escolhido para garantir uma baixa resistência de canal dos transistores de potência para I_L na ordem de mA. O valor mínimo deve ser o mesmo de P_{VIN} para minimizar consumo dinâmico de CP para I_L próximo de 0A [8, 9, 16, 17].

Parâmetro	Especificação
P_{VIN}	1,5V
V_{BOOT} @1mA	$V_{BOOT}=4,5V - 5,5V$
CRL[Max : Min]	$V_{GS_SWMAX}=V_{BOOT} : V_{GS_SWMIN}<1,5V$
LC	$I_{LIM}=30mA$
Tensão Modo Skip	$V_{OUT}=3V$
CP @ $I_L=20mA$	$V_{OUT}=2,4V; V_{RP}<40mV$
Frequência de Operação (f_{CLK})	200kHz
Histerese Comparador (V_H)	40mV
TIF	80ns

Tabela 3 Especificações de CP e circuitos de controle.

I_{LIM} representa máxima corrente de carga, acrescida em 10mA, ou seja, 50% acima de $I_L = 20mA$. Logo, a potência dissipada nos transistores limita-se a 50% acima da máxima potência dissipada pela carga. V_{OUT} mínimo deve ser mantido 80% de seu valor nominal. Impondo-se $f_{CLK} = 200kHz$ permite ao CP capacidade de entregar 20mA à carga, além de reduzir a complexidade de projeto dos sub-circuitos. Uma histerese de 40mV evita que V_{RP} cause o acionamento indevido do limitador de corrente, bem como do modo *Skip*. O Tempo Inativo especificado é o mínimo necessário para que os transistores de potência estejam desligados antes de acionar a próxima fase do CP.

2.2 Charge Pump (CP)

A topologia de *charge pump* a ser usada é a duplicadora de tensão, como mostra a Figura 6 [8]. Assumindo o transistor comutador operando em sua região triodo, a resistência de canal R_{DS_ON} é dada por:

$$R_{DS_ON} = \frac{L}{W\mu_N C_{OX}(V_{GS} - V_{TH})} \quad (7)$$

onde L e W correspondem ao comprimento e largura de canal, respectivamente, V_{GS} é a tensão entre porta e fonte e V_{TH} a tensão limiar. Para o projeto, utilizou-se dispositivos e parâmetros do processo de fabricação H35 AMS, adotando-se $L_{min}=0,5\mu m$ para transistores de potência. Ainda, $V_{GS_min} = 4,5V$, definido à saída de BOOT. Ajusta-se W de acordo com a capacidade de corrente desejada de 20mA. Nesse caso, admitindo-se V_{OUT} a 80% do valor máximo, ou seja 2,4V, a partir da equação (5), tem-se $R_{Si}=3,75\Omega$ para tempo de operação máximo, significando que Δt_w tende a zero. Pela equação (7), tem-se $W = 6000\mu m$. Sendo esses valores típicos, adota-se uma margem de projeto de 30% no valor de W para eventuais variações de processo.

O conjunto de chaves M_1 é decomposto em dois sub-conjuntos, denominados N_A e N_B , com dimensões diferentes e conectados em paralelo. Enquanto N_B tem dimensão reduzida, e sempre é acionado, N_A possui uma dimensão de 10 a 20 vezes maior, sendo apenas acionado caso a carga exija mais corrente de CP, no entanto. No sistema projetado, N_B tem $W=500\mu m$ e $L=0,5\mu m$ enquanto N_A possui $W= 15 \times 500\mu m$ e $L=0,5\mu m$. Portanto, o consumo dinâmico devido à carga e descarga da capacitância de porta (C_{GS}) de N_A é significativo apenas quando I_L é alto o suficiente para diminuir V_{OUT} . Logo, a relação entre consumo dinâmico e consumo de carga seria menor para casos em que $0 \leq I_L \leq I_{LMAX}$.

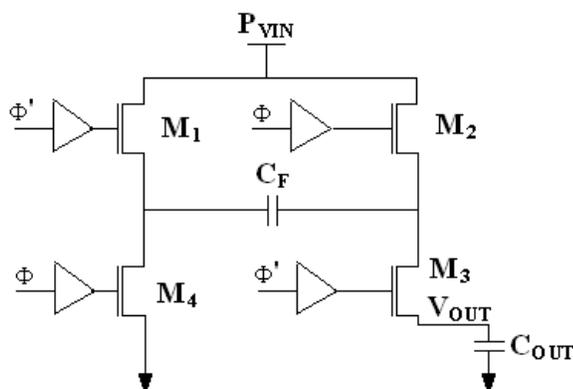


Figura 6: Topologia do circuito duplicador de tensão.

A componente de *ripple* V_{RP} é determinada em função da frequência de chaveamento (f_{CLK}), do capacitor de saída (C_{OUT}) e da máxima corrente de carga $I_{LOADmax}$. Assim, V_{RP} é dado por

$$V_{RP} = \frac{I_{Load}}{2f_{CLK}C_{OUT}} \quad (8)$$

Para $I_{LOADmax} = 20$ mA, $f_{CLK} = 200$ kHz e $C_{OUT} = 10\mu\text{F}$, tem-se $V_{RP} = 5$ mV. Caso $V_{RP} > 5$ mV fosse permitido, C_{OUT} poderia ser reduzido, fazendo com que CP atingisse seu máximo de tensão mais rapidamente durante a inicialização (*start-up*) do sistema, à custa de suportar menor corrente de pico durante transientes. O valor de f_{CLK} deve constar da especificação do sistema, mas é necessário avaliar sua influência na potência dinâmica consumida, e no dimensionamento do DR que aciona os transistores de CP.

2.2.1 Comparação Transistores NMOS e PMOS

O projeto de um conversor DC/DC se inicia com a escolha de uma topologia adequada para a aplicação em questão. Também, é necessário estudar como será implementada a topologia a ser utilizada, levando em consideração o processo disponível, a área de Silício, o máximo número de pinos disponíveis e os componentes externos necessários. Considerando o circuito da Figura 6, e baseado nos fatores citados acima, a Tabela 4 apresenta os parâmetros para o circuito desenvolvido utilizando-se transistores NMOS e PMOS do processo AMS 0.35 HV.

Do ponto de vista de área de Silício utilizada, os transistores NMOS são mais vantajosos, pois necessitam de uma área aproximadamente 7 vezes menor para conduzir a mesma corrente de carga e manter V_{OUT} dentro das especificações. A performance do circuito pode ser melhorada utilizando-se transistores NMOS de corpo isolado para evitar efeitos de corpo de degradam a tensão de limiar dos transistores. No entanto, a utilização deste tipo de componente não garante redução de área já que estes possuem grande camada de isolamento e deixam o componente maior, comparado a NMOS não isolados.

Apesar de NMOS apresentar menor área, estes exigem um circuito de *bootstrapping* auxiliar o acionamento dos mesmos e isso faz com que o desenvolvimento do circuito utilizando NMOS seja mais complexo e dependa de outros componentes internos e ou externos. Circuitos de *bootstrapping* internos necessitam de capacitores integrados o que aumenta a área de circuito, mas que pode ser contornado caso o processo apresente capacitores com alta capacitância por área. No caso de *bootstrapping* externo, a área é reduzida às chaves, mas pinos terão de ser adicionados ao empacotamento do circuito integrado e capacitores serão adicionados à placa de aplicação, além das variações que estes capacitores podem sofrer caso estes sejam de baixa qualidade.

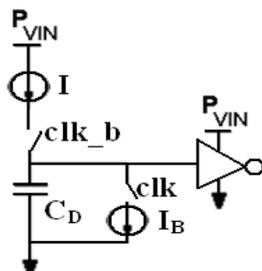
Portanto, não existe uma maneira ótima de se implementar um duplicador de tensão; a escolha depende da aplicação a ser realizada, do custo máximo permitido e do processo disponível para integração. De maneira geral, processos que possuem transistores PMOS específicos para aplicações de alta corrente/potência são mais caros e não são desejados para a concepção e fabricação de microcontroladores e processadores (que também possuem conversores DC/DC). Porém, tratando-se de circuitos integrados com controle puramente analógico, este tipo de processo pode ser bem-vindo no desenvolvimento de conversores.

Tipo Transistor	Bootstrapping	Pinos Adicionais	Razão de Aspecto	Complexidade de Implementação
NMOS	Externo	Sim	8000/0.5	Alta
NMOS	Interno	Não	8000/0.5	Média
NMOS_ISO	Ext./Int.	Sim/Não	8000/0.5	Alta/Média
PMOS	Não se Aplica	Não	~ 7 x NMOS	Baixa

Tabela 4 . Parâmetros das formas de implementação.

2.3 Tempo Inativo entre Fases (TIF)

O circuito de TIF tem como finalidade impedir que haja um curto-circuito entre P_{VIN} e GND através das chaves de potência, evitando que as mesmas sejam catastróficamente danificadas. A Figura 7 ilustra o circuito simplificado de TIF, o qual consiste de duas fontes de corrente (I e I_B), um capacitor (C_D) e um inversor lógico.

Figura 7: Esquemático simplificado do circuito de *Dead-Time*.

Em primeira ordem, o tempo inativo entre as fases t_{TIF} é calculado considerando-se uma fonte de corrente ideal carregando um capacitor, ou seja,

$$t_{TIF} = 2 \frac{C_D}{I} P_{VIN} \quad (10)$$

É importante observar que, as fontes de corrente I e I_B não conduzem simultaneamente. A fonte de corrente I carrega o capacitor C_D , enquanto a outra o descarrega, atrasando o chaveamento do inversor lógico à saída. Na Figura 8, tem-se o circuito de tempo inativo, a nível

de transistores. Os espelhos de corrente formados por M_2 , M_3 , M_6 e M_7 impõem uma corrente constante no capacitor C_D , ao serem acionados, alternadamente, pelas chaves M_4 e M_8 . A tensão sobre o capacitor corresponde à entrada do inversor lógico M_9 , M_5 , cuja transição é dependente dos tempos de carga e descarga de C_D . Pela especificação, tem-se $t_{TIF} = 80\text{ns}$ e $P_{VIN} = 1,5\text{V}$, resultando $C_D/I = 26.7 \text{ [nF/A]}$. Adotando-se $I = 1\mu\text{A}$, tem-se, então, $C_D \cong 30\text{fF}$.

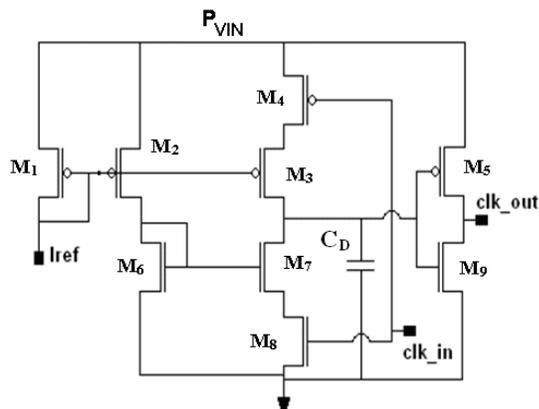


Figura 8: Esquemático do circuito de Tempo Inativo.

2.4 Elevador de Nível (ELN)

A necessidade de se comutar as chaves do estágio de potência com uma tensão entre $4,5\text{V} - 5,5\text{V}$, ou seja, acima de 3V , exige a presença de elevadores de nível de modo a compatibilizar o sinal de *clock* com essa alimentação. O circuito elevador de nível (ELN) converte um sinal, ao nível da tensão de bateria ($1,5\text{V}$), para o valor de tensão provido pelo circuito de *bootstrapping*. Adicionalmente, ELN possui chaves de habilitação que possibilitam a comutação entre os modos de operação linear e *Skip*. Este circuito é desabilitado quando a tensão de saída do *charge pump* atinge o valor máximo, situação em que a corrente de carga é muito baixa. Nesse ponto, um comparador dispara um sinal que desabilita ELN, bloqueando o chaveamento dos transistores de potência e reduzindo o consumo dinâmico de *drivers*.

A Figura 9 mostra o esquemático do circuito elevador de nível, implementado com dispositivos que suportam uma tensão reversa máxima de 6V . Os transistores M_7 , M_8 , M_9 , M_{10} e M_5 são as chaves de habilitação do circuito, enquanto M_1 , M_2 , M_3 , M_4 , M_6 e M_{11} realizam o biestável convencional para elevação de tensão.

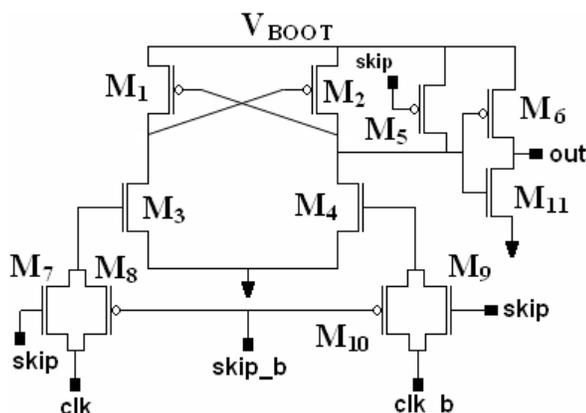


Figura 9. Esquemático do circuito elevador de nível (ELN).

2.5 Regulação em Modo *Skip* (MS)

O modo de operação *Skip* consiste em “pular” pulsos de chaveamento quando a corrente exigida pela carga é baixa. Portanto, quando CP opera em modo *Skip* (MS), C_{OUT} mantém a saída regulada até que I_L o descarregue e V_{OUT} atinja, aproximadamente, 2,96V. Nesse limiar, o comparador (CMP) envia um sinal a ELN, habilitando o chaveamento de CP.

A Figura 10 apresenta o diagrama em blocos do modo de operação *Skip*. Uma fração de V_{OUT} (V_{OUT}^*), obtida através do divisor resistivo R_1 e R_2 , é amostrada e comparada, no comparador CMP, a uma referência V_{REF} . Caso $V_{OUT}^* > V_{REF} + V_H$, onde V_H é a histerese de CMP, ELN é desabilitado, e as chaves de CP não mais comutadas. Contrariamente, o comparador habilita ELN, acionando as chaves e passando a fornecer uma corrente mais alta para a carga.

Em casos de transitório de carga muito brusco, o pico de corrente deve ser suportado pelo capacitor externo. O conversor deixará de operar em modo de regulação *Skip* apenas após o instante em que $V_{OUT}^* < V_{REF} - V_H$. Portanto, para transitórios de carga muito rápidos (unidades de micro-segundos) a realimentação em corrente torna a MS mais rápida e evita que todo o pico de corrente tenha de ser suportado apenas pelo capacitor externo.

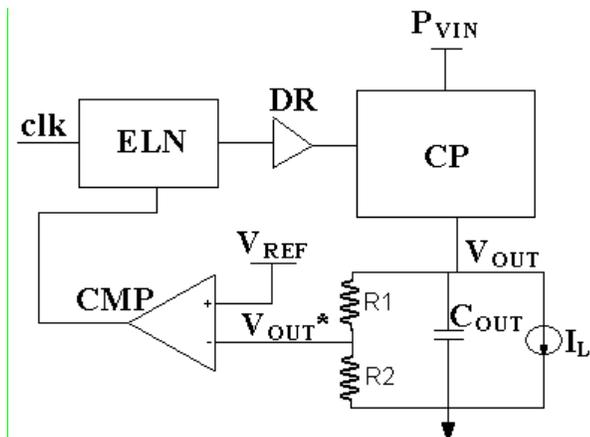


Figura 10 Diagrama em Blocos do Modo Skip.

2.5.1 Comparador de Tensão

A Figura 11 apresenta o esquemático do comparador de tensão CMP, constituído pelo par diferencial (M_1 e M_2), espelhos de corrente M_5 , M_6 , M_7 , M_8 , M_9 e M_{10} e inversor digital M_{13} , M_{14} . Uma realimentação positiva no par diferencial, através de M_{11} , M_{12} , define uma histerese [18] para melhorar a robustez do comparador quanto a ruídos à entrada, que erroneamente desabilitariam o circuito ELN.

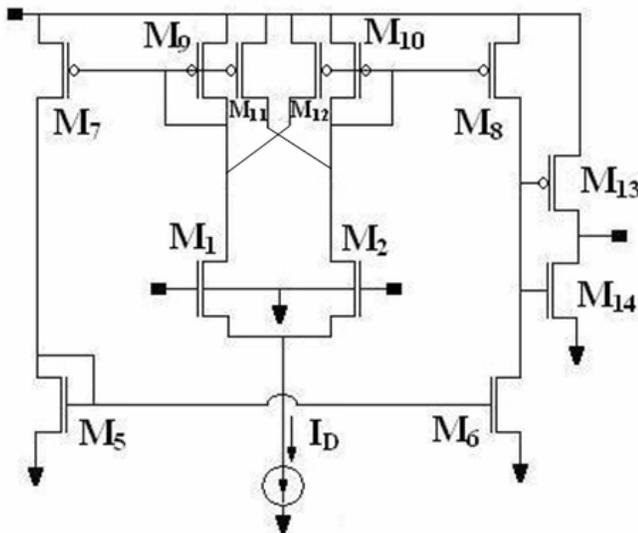


Figura 11 Comparador de Tensão.

A histerese do comparador é definida por

$$V_H = 2 \cdot \sqrt{\frac{2 \cdot I_D}{k' \cdot (W/L)_{par}}} \cdot \frac{\sqrt{\alpha} - 1}{\sqrt{1 + \alpha}} \quad (11)$$

onde I_D é a corrente de polarização do par diferencial, $k' = 100 \mu A/V^2$, e $\alpha = [(W/L)_{M12} / (W/L)_{M10}] = [(W/L)_{M11} / (W/L)_{M9}]$. Para $I_D = 3 \mu A$, $V_H = 40 mV$ e $(W/L)_{par} = 10$, $\alpha \cong 2$. No entanto, através de ajustes por simulação, α foi reduzido a 1,4 obtendo-se $V_H = 35 mV$.

2.6 Circuito de Regulação Linear (CRL)

Na Figura 12 tem-se o diagrama em blocos da regulação de CP, cujo principal elemento é o Circuito de Regulação Linear (CRL). A função de CRL é ajustar a tensão de alimentação ($V_{GS_{SW}}$) de D_{RA} , a qual depende de V_{OUT} . Portanto, através da realimentação de V_{OUT} , o ajuste de $V_{GS_{SW}}$ é dinamicamente realizado em função do valor instantâneo da corrente de carga. O circuito é alimentado por V_{BOOT} .

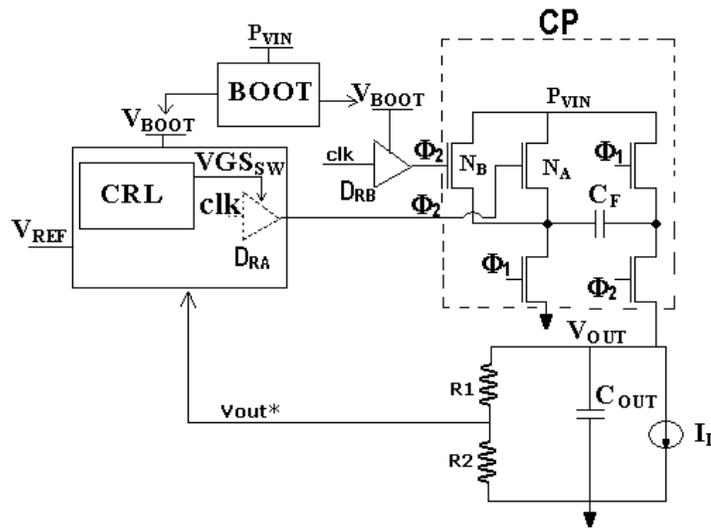


Figura 12 Diagrama em blocos da regulação linear de CP.

Ao exigir mais corrente, a carga faz com que V_{OUT} diminua, devido às resistências de condução das chaves em CP. Nesse caso, o CRL reage, aumentando $V_{GS_{SW}}$ e o conjunto de transistores N_A passa a conduzir, reduzindo a resistência equivalente das chaves durante a fase de transferência de carga (Φ_2). Como resultado, a tensão de saída V_{OUT} tem seu valor aumentado.

A Figura 13 ilustra o esquemático do Circuito de Regulação Linear, composto por três estágios fundamentais. Formado por $M_1 - M_6$, o primeiro estágio converte a amostra de V_{OUT} (V_{OUT}^*) em corrente, enquanto o segundo, constituído por um amplificador de transcondutância e M_7 , converte essa corrente novamente em tensão. O terceiro estágio, composto por M_8 e M_9 , corresponde a um *buffer* de tensão em configuração dreno-comum.

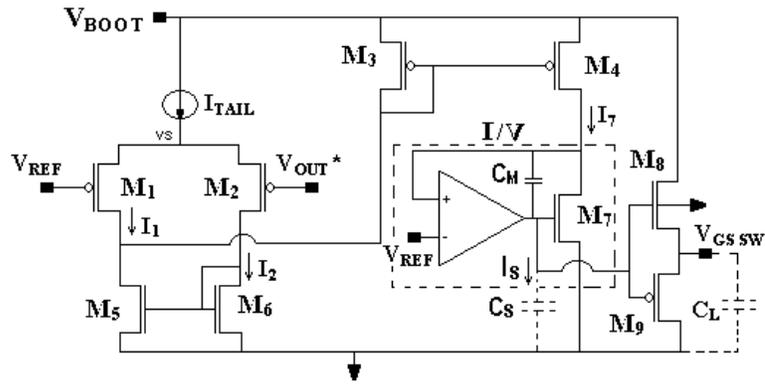


Figura 13 Esquemático do Circuito de Regulação Linear

Assumindo que V_{OUT}^* sofra um grande desvio negativo em relação a V_{REF} , de modo a desbalancear o par diferencial fora da operação linear, tem-se

$$I_{DM3} = I_2 - I_1 \quad (12)$$

$$I_{DM3} = I_{TAIL} \quad (13)$$

$$I_7 = I_{TAIL} \frac{(W/L)_{M4}}{(W/L)_{M3}} \quad (14)$$

$$V_{GS_{M7}} = V_{TH7} + \sqrt{\frac{2I_7}{(W/L)_{M7} \mu_n C_{OX}}} \quad (15)$$

Substituindo (14) em (15) tem-se

$$V_{GS_{SW}} = V_{TH7} + |V_{TH9}| + \sqrt{\frac{2I_{TAIL}}{(W/L)_{M7} \mu_n C_{OX}} \frac{(W/L)_{M4}}{(W/L)_{M3}}} \quad (16)$$

Essa tensão é limitada ao intervalo $[V_{TH7} + V_{TH9}, V_{BOOT} - V_{TH8}]$, idealmente.

Para o projeto do circuito CRL, M_7 e M_9 foram escolhidos de forma que $V_{GS_{SWMIN}} \leq P_{VIN}$, ou $V_{TH7} + |V_{TH9}| \leq 1,5V$, mantendo-se o conjunto N_A desativado para $I_L < 500\mu A$. Assumindo $V_{TH7} = V_{TH8} = 0,45V$, $|V_{TH9}| = 1,1$, $I_{TAIL} = 15\mu A$, $\mu_n C_{OX} = 100 \mu A/V^2$ e $V_{GS_{SW}} = V_{BOOT} - V_{TH8}$, tem-se $(W/L)_{M7} \cong 0,05$ e $\frac{(W/L)_{M4}}{(W/L)_{M3}} \cong 1,6$. Por simulação, as razões-de-aspecto foram reajustados para 0,04 e 2, respectivamente.

O circuito CRL apresenta rápida resposta dinâmica comparado a circuitos que utilizam técnica de tensão média em capacitores [9, 19, 20].

2.7 Bootstrapping (BOOT)

O circuito BOOT, por finalidade, provê uma alimentação $V_{BOOT} > V_{OUT}$ para os circuitos que controlam CP, possibilitando que os transistores de potência tipo N operem em sua região triodo, com menor resistência de condução. BOOT é um circuito *charge pump CTS* modificado [9], de quatro estágios, os quais determinam o ganho de tensão. Um circuito charge-pump Dickson convencional poderia ser utilizado caso transistores naturais ($V_{TH} < 50mV$) estivessem disponíveis, pois as quedas de tensão provocadas por esses dispositivos são muito baixas. Na Figura 14, tem-se o esquemático do circuito de *bootstrapping* projetado, o qual é mais simples em relação a CP, pois não possui regulação da tensão à saída. No entanto, BOOT tem capacidade de corrente suficiente para alimentar os sub-circuitos de controle do CP.

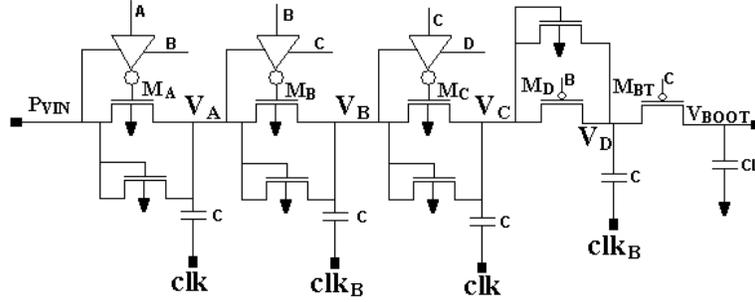


Figura 14 Esquemático do circuito BOOT.

O circuito BOOT possui quatro estágios multiplicadores de tensão (A, B, C e D) e um estágio de saída, o qual corresponde a M_{BT} . Os estágios A, B, C e D geram, respectivamente, as tensões V_A , V_B , V_C e V_D , múltiplas de P_{VIN} . Estas tensões são utilizadas para o acionamento de M_A , M_B , M_C , M_D e M_{BT} . Como pode ser observado nesse esquema, cada estágio é acionado pelo subsequente e desligado pelo precedente. Este tipo de acionamento pode ser realizado porque $V_A < V_B < V_C < V_D$ para BOOT operando em estado estacionário. M_D e M_{BT} são acionados diretamente por V_B e V_C respectivamente. Os transistores M_D e M_{BT} são do tipo PMOS e operam em triodo durante a fase de transferência de carga, para que as quedas de tensão nestes transistores sejam reduzidas.

Sendo os capacitores C e C_L externos, as resistências parasitas entre o chip e os terminais dos mesmos devem ser consideradas, pois podem causar desvios em V_{BOOT} . Os sinais clk e clk_B são aplicados externamente e têm amplitude igual a P_{VIN} e mesma frequência (f_{CLK}) de operação de CP. Deve-se ainda notar que, o circuito de *bootstrapping*, tem como entrada P_{VIN} , permitindo o contínuo funcionamento dos sub-circuitos de controle. O mesmo não seria possível caso a tensão de V_{BOOT} fosse gerada a partir de V_{OUT} , pois se V_{OUT} for reduzida por causa de uma excessiva corrente de carga, V_{BOOT} também seria reduzida, podendo atingir um nível de tensão insuficiente para que os sub-circuitos operassem apropriadamente.

Para o projeto de BOOT, assume-se corrente de carga máxima de 1mA , $\Delta V_{BOOT} \leq 0,02\text{V}$ e $f_{clk} = 200\text{kHz}$. A resistência de saída de BOOT (R_{BOOT}) é dada por (17) [1, 21]

$$R_{BOOT} = \frac{4}{f_{CLK} C} \quad (17)$$

Para $R_{BOOT} \leq 0,02\text{V}/1\text{mA} \leq 20 \Omega$, tem-se então $C \leq 1\mu\text{F}$, sendo adotado o valor mínimo. Ainda,

$$\frac{L}{W_{\mu_N} C_{OX}(V_{GS} - V_{TH})} \leq \frac{0,5}{C_{f_{CLK}}} \quad (18)$$

o que é satisfeito impondo-se $(W/L)_{MA} = (W/L)_{MB} = (W/L)_{MC} = 400$.

A equação 19 determina a tensão V_{BOOT} em função da carga e parâmetros do circuito de bootstrapping.

$$V_{BOOT} = 4P_{VIN} - I_{LBOOT} \left(5R_{SW} + \frac{4}{f_{CLK}C} \right) \quad (19)$$

onde I_{LBOOT} é a corrente de carga e R_{SW} a resistência de canal dos transistores $M_A - M_{BT}$. $BOOT$ utiliza quatro estágios devido ao fato de que V_{BOOT} deve ser pelo menos 3 vezes maior que P_{VIN} para $I_{LBOOT} = 1\text{mA DC}$. Logo, os quatro estágios dão margem suficiente para que V_{BOOT} atinja a especificação mesmo quando a corrente máxima de carga é aplicada ao circuito.

2.8 Circuito de Limitação de Corrente (LC)

O circuito de Limitação de Corrente (LC) foi projetado para proteger os transistores de potencia TP_{CP} contra correntes de carga média muito elevadas. Adicionalmente, o LC tem a função de partida suave (*soft-start*), evitando-se picos de corrente à carga que possam danificar ou desestabilizar o sistema.

A Figura 15 apresenta o diagrama em blocos do LC. Uma amostra de V_{OUT} e uma referência de tensão V_{REF} são entradas ao comparador CMP. V_{OUT} depende das resistências de canal dos TP_{CP} 's e também da corrente de carga. Portanto, para I_L excessiva, a queda de tensão sobre a resistência das chaves pode fazer com que CMP vire de estado, habilitando LC.

A vantagem de se limitar a corrente através de realimentação em tensão é evitar que o circuito tenha que suportar picos de corrente quando C_{OUT} entra em fase de carga, após sofrer uma descarga intensa, como por exemplo, devido a um curto-circuito para GND. No entanto, uma desvantagem é o tempo de carga de C_{OUT} ao acionar-se o LC, pois a corrente pelo capacitor será também limitada, levando-se mais tempo para V_{OUT} atingir sua tensão nominal.

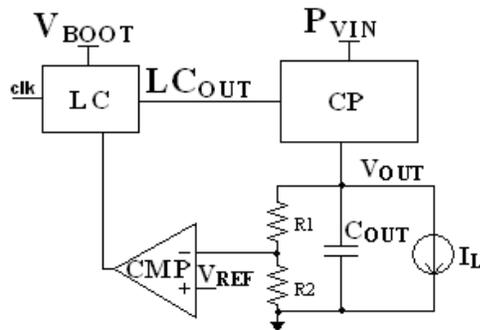


Figura 15 Diagrama em Blocos do Circuito de Limitação de Corrente.

A Figura 16 apresenta o esquemático do circuito LC. Os transistores M_{13} e M_{15} compõem um *driver*, enquanto M_{14} é utilizado para habilitação, caso o nó “ctrl” esteja em nível lógico “0”. Contrariamente, M_{14} passa ao estado de corte e M_2 e M_{10} entram em condução, passando o circuito a operar na função de limitador de corrente. O transistor M_{10} possibilita que a tensão de porta de M_8 seja imposta à saída do circuito para polarizar a porta dos TP_{CP} ’s, conectados ao circuito LC. O transistor M_2 possibilita a passagem da corrente de referência por M_1 , do qual é gerada a referência de corrente para M_3 e M_9 .

Quando o LC opera na função de limitador de corrente, os transistores M_4 , M_5 e M_6 permitem carregar a capacitância de porta-fonte (C_{GS}) de TP_{CP} . M_9 e M_8 geram a tensão V_{GS} necessária aos transistores de potência. O nó “src” é conectado à fonte dos TP_{CP} s e a tensão de porta de M_8 é imposta à porta dos mesmos.

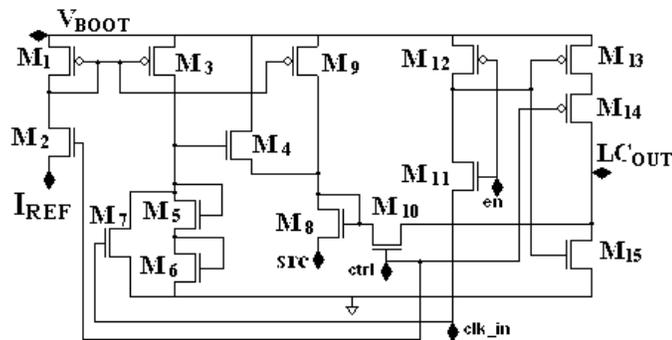


Figura 16 Esquemático do circuito LC

Em primeira ordem, a corrente de limite (I_{LIM}) é dada por

$$I_{LIM} = \frac{\beta_{CP}}{2} \left(V_{TH8} + \sqrt{\frac{2I_{REF}}{\beta_{M8}}} - V_{THCP} \right)^2 \quad (20)$$

onde β_{CP} e V_{THCP} são parâmetros convencionais associados a TP_{CP} e I_{REF} a corrente de referência do limitador de corrente. Para fins de projeto, assume-se que M_8 e TP_{CP} sejam transistores de mesma natureza, de modo que $V_{THM8} \cong V_{THCP}$, resultando $I_{LIM} \cong \frac{(W/L)_{CP}}{(W/L)_{M8}} I_{REF}$. Assim, para $I_{REF} = 2\mu A$, $I_{LIM} = 30mA$ e $(W/L)_{CP} = 16000$, dimensiona-se $(W/L)_{M8} = 1.067$.

Capítulo 3

Resultados de Simulação

Os resultados de simulação apresentados neste capítulo comprovam o funcionamento dos circuitos descritos e analisados no Cap.2. As simulações foram executadas em condições nominais, de acordo com a Tabela 5, utilizando-se Bsim3v3 processo AMS 0.35 μ m HV.

Parâmetros	Valores Nominais
$P_{VIN}[V]$	1,5
$V_{BOOT}[V]$	5
$I_{LMAX}[mA]$	20
Temperatura[C]	27
Processo	Típico

Tabela 5 Condições Nominais de Parâmetros para simulação.

3.1 Tempo Inativo entre Fases

Os resultados de simulação do circuito de Tempo Inativo são apresentados na Figura 17. As saídas de TIF (clk_{OUT} e clk_{OUTB}) são defasadas em 180 graus (fase de carga e transferência) e se cruzam no instante em que atingem aproximadamente 0V. O valor de t_{TIF} é aproximadamente 85ns, um atraso suficiente para que as chaves de potência possam se desligar antes que se inicie a fase seguinte, evitando-se o curto-circuito entre P_{VIN} e GND.

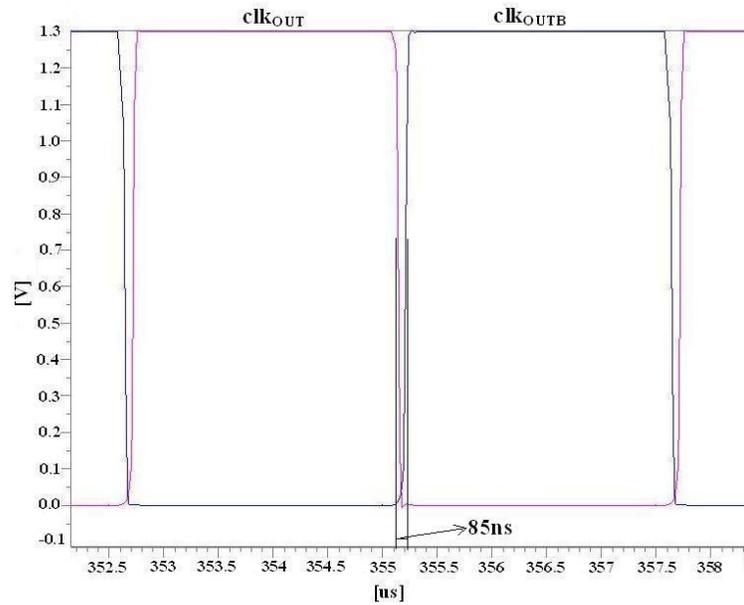


Figura 17 Resultados de simulação do circuito de TIF

3.2 Elevador de Nível

A Figura 18 apresenta a forma de onda de entrada (ELN_{IN}) e de saída (ELN_{OUT}) do circuito Elevador de Nível. ELN é desabilitado ($ELN_{EN} = 0V$) de 0 a 2,5ms, mantendo ELN_{OUT} em 0V nesse intervalo. Entre 2,5ms e 5ms, tem-se o ELN habilitado ($ELN_{EN} = 5V$), de modo que ELN_{OUT} começa a pulsar de 0 a 5V, demonstrando a conversão do nível de entrada de 1,5V para saída de 5V. A simulação foi realizada com um sinal de onda quadrada pulsando a 200kHz.

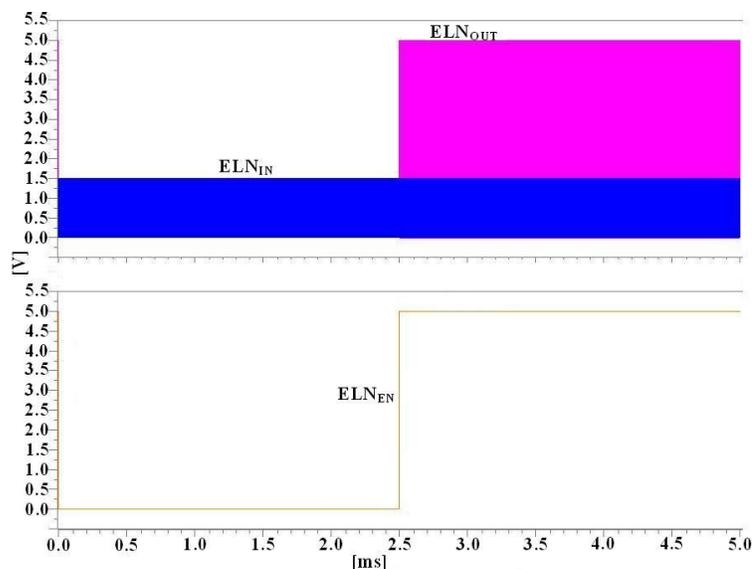


Figura 18 Simulação do Elevador de Tensão.

3.3 Sistema Modo Skip

A Figura 19 ilustra o sinal de chaveamento *clk* do *Charge Pump* em função de V_{OUT} . No intervalo de 0 a 1,0ms, CP está completamente desligado ($clk=0V$ e $V_{OUT}=0V$). Em $t=1,0ms$, o circuito é ligado e *clk* é habilitado devido à condição $V_{OUT} < 3V - V_H$. No intervalo 1ms-2,7ms, a amplitude de *clk* varia de 3V a 5V, acompanhando o nível de V_{BOOT} , o qual está no final da inicialização. Assim que V_{OUT} atinge 3V, *clk* é desabilitado, deixando de comutar os TP_{CP} 's do circuito CP. V_{OUT} é mantido por C_{OUT} até $t=7ms$, instante em que a corrente de carga começa a descarregar o capacitor. Com isso, V_{OUT} é reduzido abaixo de $3V - V_H$, re-habilitando *clk*.

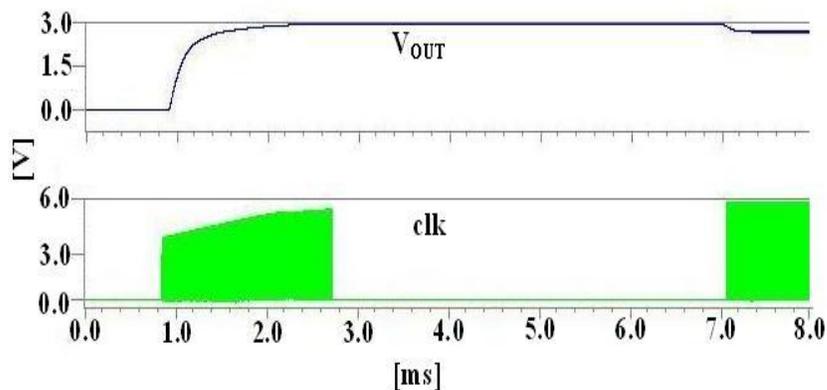


Figura 19 Simulação da Lógica de Modo Skip.

3.3.1 Comparador (CMP)

A Figura 20a mostra o resultado de simulação transitória de CMP. O ganho de tensão em malha aberta deste comparador é 45dB, suficiente para que CMP seja sensível a tensões na ordem de dezenas de mV. Quando $V_{IP} > V_{IN} + V_H$, a saída V_{CMP} atinge nível lógico alto (5V). Contrariamente, V_{CMP} vai para nível lógico baixo (0V). Este comparador possui frequência de ganho unitário de 10MHz, que é suficiente para responder a transitórios de carga na ordem de 20us como mostrado na Figura 20b.

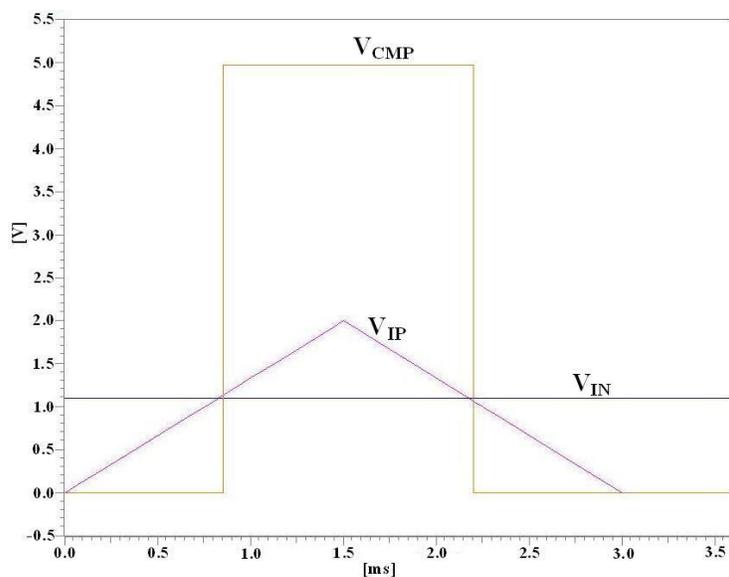


Figura 20a Resultado de Simulação do Comparador de tensão.

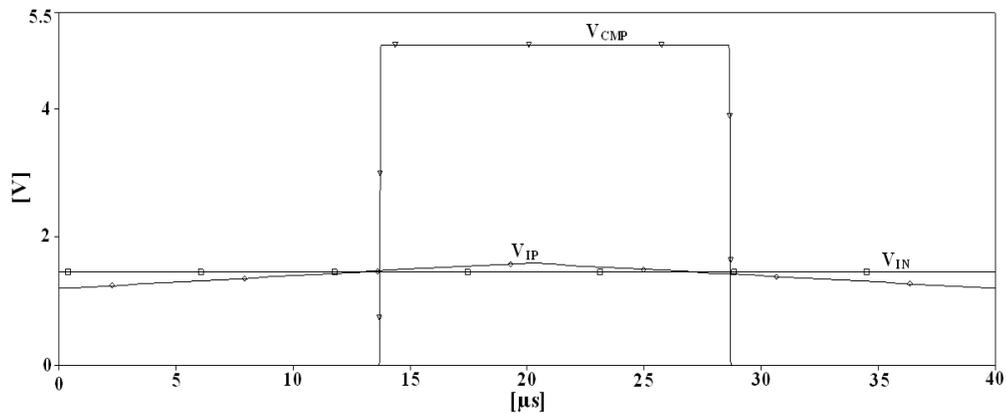


Figura 20b Resposta a transitório de 20µs.

3.4 Circuito de Regulação Linear

Na Figura 21, tem-se o resultado de simulação da função transferência $V_{GS_{SW}} \times V_{OUT}$ do circuito CRL. Observa-se que, $V_{GS_{SW}}$ aumenta à medida que V_{OUT} diminui. Além disso, $V_{GS_{SWMIN}} \cong V_{THN} + |V_{THP}|$ e $V_{GS_{SWMAX}} \cong V_{BOOT} - V_{THN}$, como previsto na Seção 2.6.

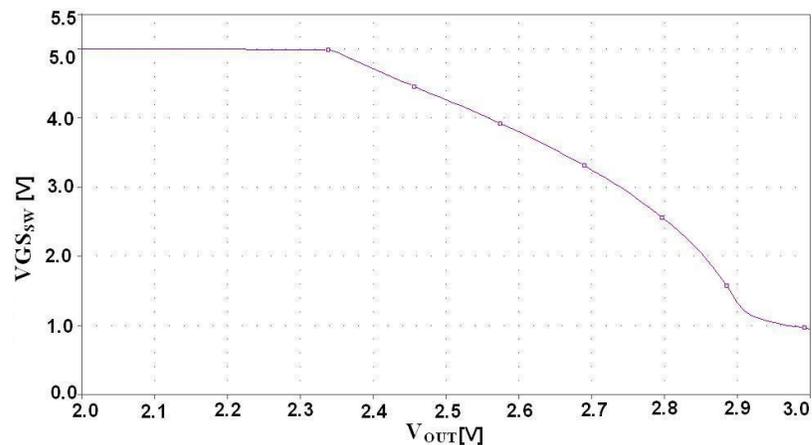


Figura 21 Simulação da Função Transferência do CRL.

A Figura 22 mostra a resposta transitória do CRL, para um transiente de carga variando de 0 a 20mA, em 20µs. Este transitório é considerado um cenário real para cargas chaveadas. Pode-se observar que $V_{GS_{SW}}$ responde imediatamente à queda de V_{OUT} , mantendo V_{OUT} entre os limites de especificação (2,4V – 3V).

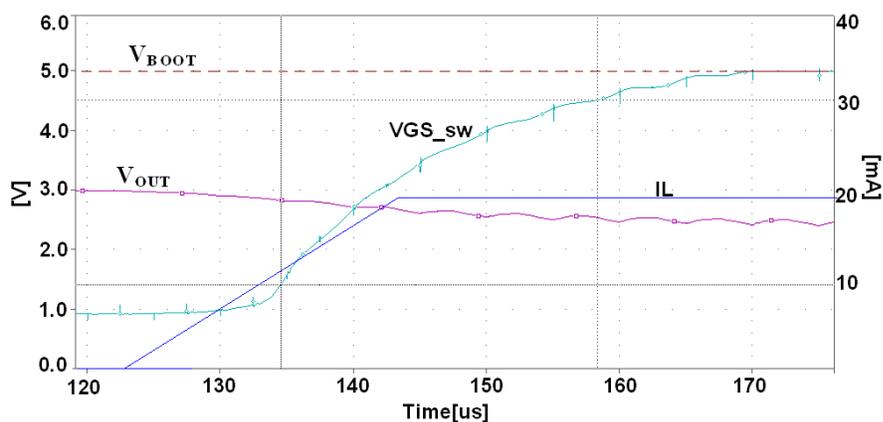


Figura 22 Resposta transitória de CRL.

3.5 Circuito de *Bootstrapping*

A Figura 23 apresenta a tensão de saída (V_{BOOT}), obtida em simulações do circuito de *bootstrapping*. V_{BOOT} é aproximadamente 5.3V, para uma carga de 1,0mA conectada à saída do circuito. Os estágios internos do circuito (A, B, C e D) devem apresentar a mínima sobreposição possível para que o valor de V_{BOOT} seja atingido com o menor número de estágios. Apenas o estágio auxiliar (D) apresenta uma sobreposição um pouco maior que os demais estágios, pois este estágio é composto por um transistor PMOS cujas perdas ôhmicas são maiores que as perdas em A, B e C compostos por transistores NMOS.

V_{BOOT} é conectado ao estágio “D” através de uma chave e um capacitor que filtram V_{BOOT} de modo a ter-se um menor *ripple* possível. Para uma corrente de carga de 1,0mA e $C_L=1\mu\text{F}$, tem-se $V_{RP} \cong 10\text{mV}$. A carga utilizada para simulação é uma fonte de corrente DC que representa a corrente drenada pelos circuitos de controle de CP.

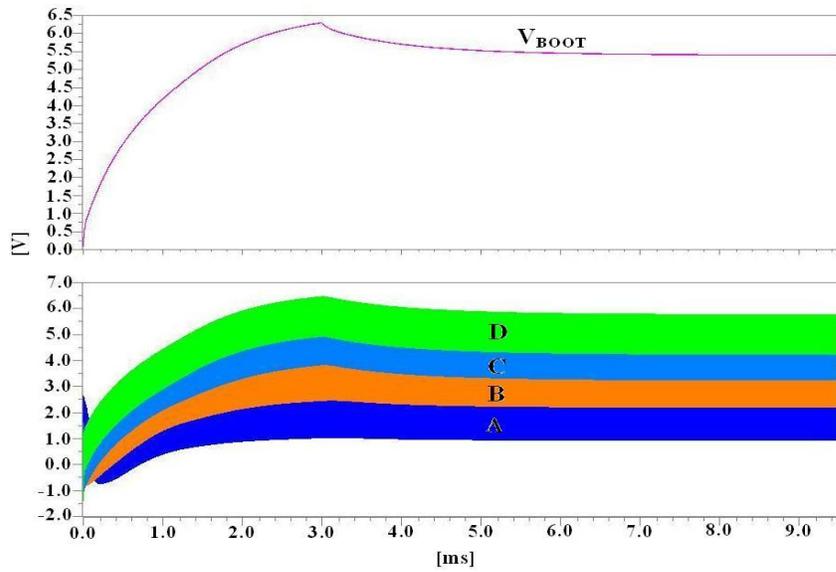


Figura 23 Forma de onda de saída do circuito BOOT

3.6 Circuito de Limitação de Corrente (LC)

A Figura 24 mostra a simulação do circuito limitador de corrente. Observa-se que, enquanto $V_{CTRL} = 5V$, a corrente I_{TCP} que passa pelo estágio de potência é limitada a 30mA, mesmo para $I_L = 100mA$, demonstrando o funcionamento de LC. Após V_{CTRL} atingir 0V, o limitador é desabilitado e I_{TCP} dispara para 100mA. Na Figura 25, tem-se um detalhamento do resultado obtido.

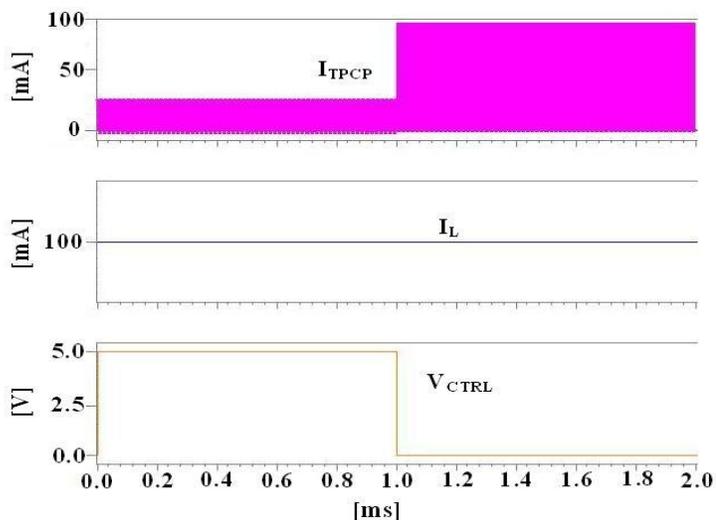


Figura 24 Simulação do circuito Limitador de Corrente.

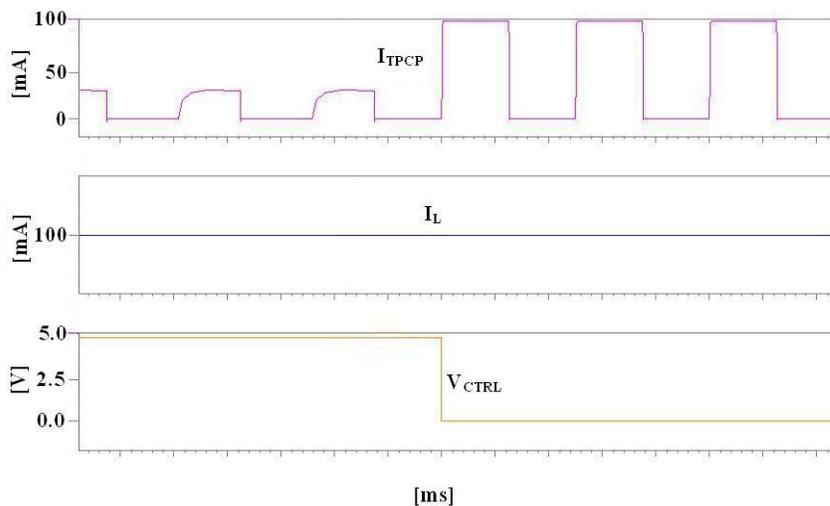


Figura 25 Detalhamento das formas de onda simuladas do LC.

3.7 Simulação do Sistema

Esta seção apresenta os resultados das simulações executadas durante o projeto. As formas de onda mostradas enfatizam os sub-circuitos de controle do sistema, definidos no diagrama em blocos da Figura 5 na seção 2.1. Os circuitos de controle verificados em simulação são:

1. Inicialização do sistema.

2. Modo *Skip*.
3. Circuito de Regulação Linear (CRL).
4. Limitação de corrente (LC).

Inicialização do sistema.

Nesta simulação, verifica-se se o sistema é inicializado sem a presença de curtos ou efeitos que possam levar o CP a sofrer significativa queda de tensão. Portanto, V_{OUT} deve atingir seu valor nominal de 3V, assim como V_{BOOT} , que deve alcançar seu o valor mínimo de 4.5V, necessário para o funcionamento adequado dos demais circuitos.

Modo *Skip*

Na simulação deste modo de regulação constata-se se o sinal de acionamento dos transistores de potência é interrompido assim que V_{OUT} atinge 3V. Também, deve ser confirmado se o mesmo retoma o acionamento desses transistores, assim que uma carga mais elevada impõe $V_{OUT} < 3V - V_H$.

Circuito de Regulação Linear (CRL)

Para esse circuito, é necessário verificar a variação de $V_{GS_{SW}}$ em função de V_{OUT} , dois parâmetros inversamente proporcionais. Outro aspecto a se observar é a presença de ruído neste sinal devido ao constante chaveamento de CP.

Limitação de Corrente (LC)

A limitação de corrente é testada a partir de uma corrente excessiva aplicada ao CP. Os pontos a serem observados são: i) funcionamento efetivo de LC e ii) o valor de corrente limitante. Ainda, deve-se observar a amplitude do sinal de acionamento, cujo valor é menor que V_{BOOT} .

Resultados de Simulação do Sistema

A Figura 26 apresenta as formas de onda obtidas na simulação sistêmica. Como parte da inicialização do sistema, pode-se observar que V_{OUT} começa a crescer em $t = 1\text{ms}$, ao V_{BOOT} atingir 3V. Em $t = 2,7\text{ms}$, $V_{OUT} = 3\text{V}$, quando o sistema habilita o modo *Skip*, desligando completamente o acionamento de CP ($\text{clk}_{\text{TCP}} = 0\text{V}$). Durante o período de operação em modo *Skip*, o consumo dinâmico é reduzido, aumentando-se a eficiência do CP para $I_L < 500\mu\text{A}$. Após $t = 7\text{ms}$, I_L aumenta e leva o sistema a sair de modo *Skip*, voltando à sua operação linear controlada pelo CRL. À medida que I_L aumenta, $V_{GS_{SW}}$ também aumenta para diminuir a resistência de canal dos transistores de potência, demonstrando o bom funcionamento de CRL.

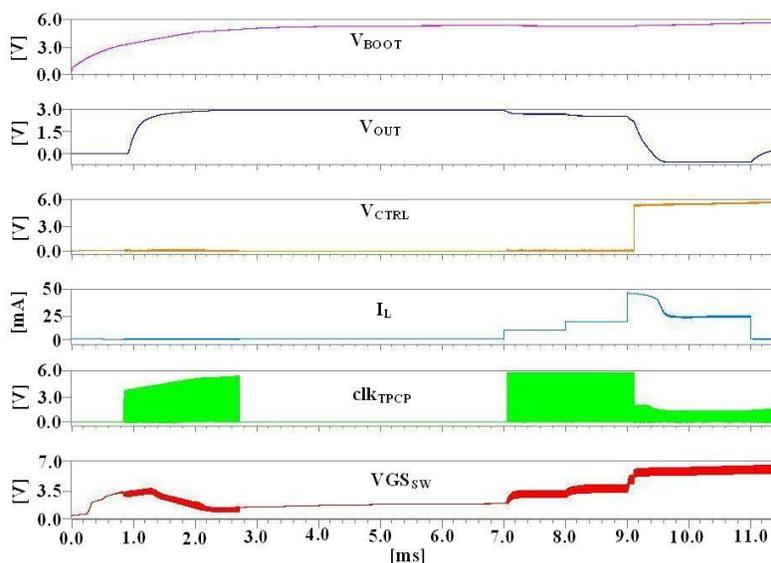


Figura 26 Formas de onda da simulação do sistema.

No instante $t = 9\text{ms}$, I_L atinge 45mA e V_{CTRL} é acionado, mantendo $I_L = 30\text{mA}$. Também, é possível observar que a amplitude de clk_{TCP} é limitada a 2V, menor que $V_{GS_{SW}}$ gerado no mesmo período.

Portanto, a simulação sistêmica revela que os circuitos de controle operam corretamente, sem comprometerem as funcionalidades do *Charge Pump*. No entanto, é importante enfatizar-se que este conjunto de simulações foi realizado com parâmetros de processo típicos e à temperatura ambiente. Logo, para desvios de processo, os circuitos apresentarão variações que deverão ser analisadas e consideradas durante os testes experimentais.

Capítulo 4

Medidas e Dados Experimentais

Nessa seção, são apresentados resultados obtidos em Silício dos diferentes sub-circuitos que compõem o sistema. Para tanto, foram utilizados um osciloscópio LeCroy 44xi, duas fontes de tensão Agilent E3610A, um analisador de parâmetros Agilent 4155B e um gerador de padrões de dois canais Agilent 81104A. Quando necessário, os circuitos submetidos aos testes foram isolados dos demais, evitando-se interferências internas.

Na Figura 27 tem-se uma microfotografia do chip fabricado em processo de fabricação AMS 0,35um HV, com área efetiva de 1900 μ m x 1800 μ m. Na Figura 28 está mostrado o layout de placa de circuito impresso (PCB) utilizada para as medições, e projetada com auxílio da ferramenta ACCEL P-CAD PCB. Foi preciso apenas duas camadas para conectar todos os componentes ao soquete DIP28, utilizado para fixar o chip na placa. Além do soquete, foram ainda necessários 6 potenciômetros multi-voltas para gerar referências para os comparadores, efetuar a realimentação do *Charge Pump* e polarizar alguns circuitos através de tensão externa. Também foram utilizados 13 capacitores, sendo 5 X 1 μ F para o circuito de *bootstrapping*, 4 X 3,3 μ F e 4 X 3,3 μ F utilizados para os capacitores C_{OUT} e C_{FLY} , de modo a ter-se uma capacitância equivalente de 10 μ F para cada um deles.

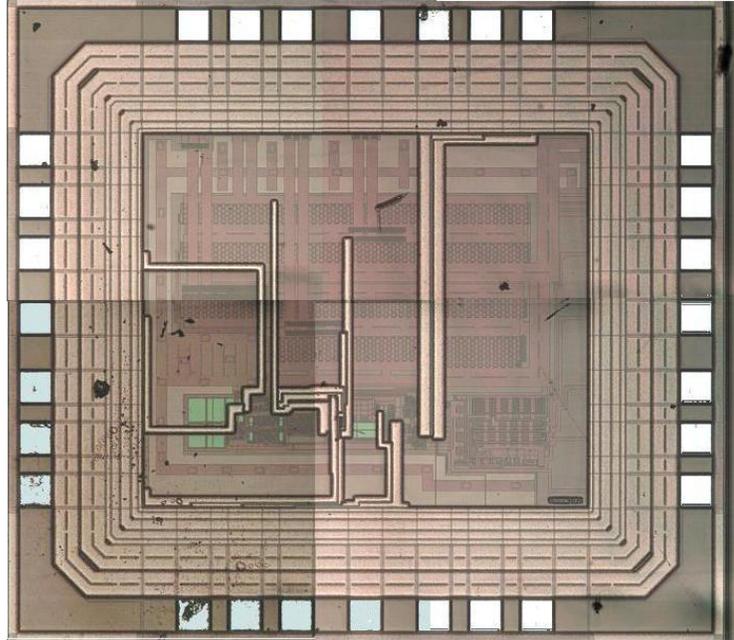


Figura 27 Microfotografia do circuito fabricado (área do chip: 3,42mm²)

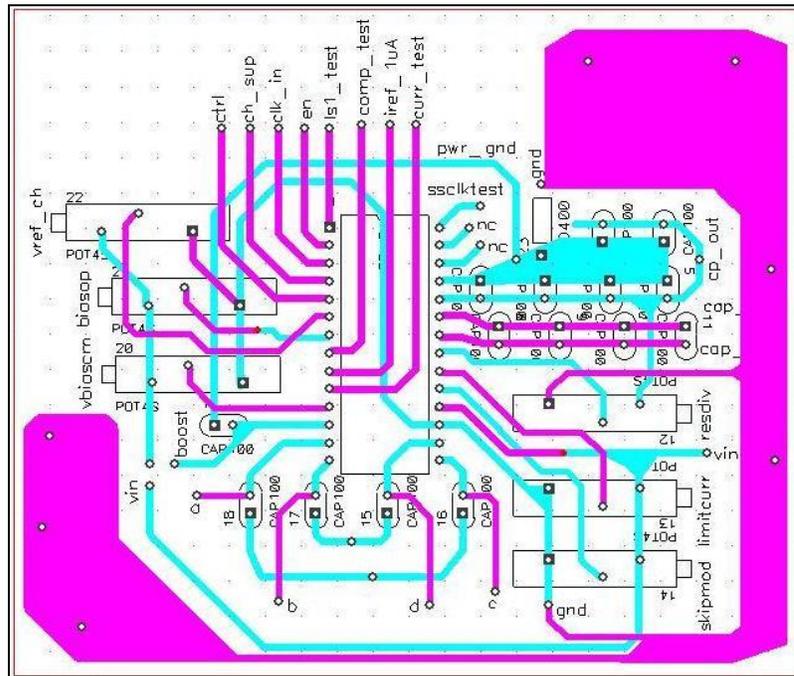


Figura 28 Layout da placa de teste.

4.1 Circuito de *bootstrapping* (BOOT)

O teste do circuito de *bootstrapping* consiste em alimentar o chip com P_{VIN} e gerar dois sinais de onda quadrada com amplitude P_{VIN} , não superpostos e defasados de 180° . O uso de um banco de capacitores externos de $5 \times 1\mu\text{F}$ (4 capacitores para cada fase interna e 1 capacitor para saída) é necessário, pois compõem o circuito como descrito na Seção 2.7.

A Figura 29 ilustra as formas de onda das fases internas, nomeadas Φ_A , Φ_B , Φ_C e Φ_D . Todos os canais estão referenciados à mesma origem de tempo, indicada no canto inferior esquerdo da tela. Para uma escala de tempo de $2\mu\text{s}$, observa-se que a frequência de chaveamento das fases é de 200kHz . Além da frequência de operação, nota-se que Φ_A e Φ_C têm mesma fase, e estão 180 graus defasados em relação a Φ_B e Φ_D .

A tensão de pico a pico à saída de cada estágio é $1,35\text{V}$, com uma sobreposição entre fases consecutivas de 200mV (fases Φ_A e Φ_B ; Φ_C e Φ_D) e 500mV (fases Φ_C e Φ_B), valores muito próximos aos obtidos em simulação sem carga (140mV e 420mV). A sobreposição entre a tensão mínima e tensão máxima das fases ocorre devido às perdas ôhmicas nos transistores comutadores. Por exemplo, a tensão máxima atingida por Φ_A sobrepõe a mínima tensão de Φ_B porque o transistor que transfere carga de Φ_A para Φ_B sofre queda em sua resistência de canal. Estas perdas poderiam ser maiores caso fossem utilizados diodos nos estágios de BOOT ao invés de chaves, pois diodos apresentariam perdas ôhmicas e perdas pela tensão de limiar.

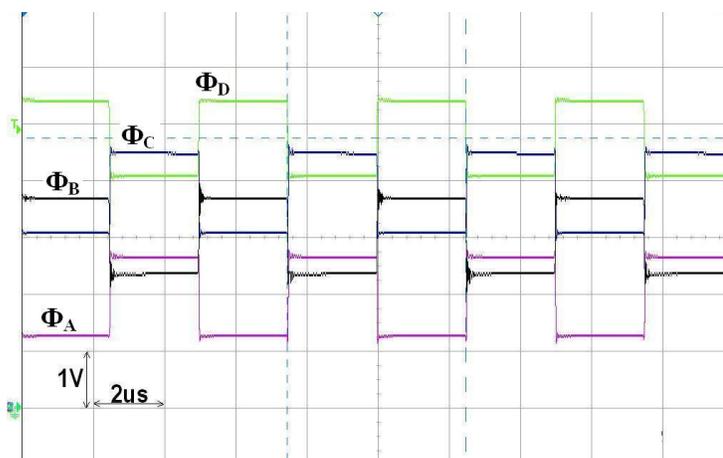
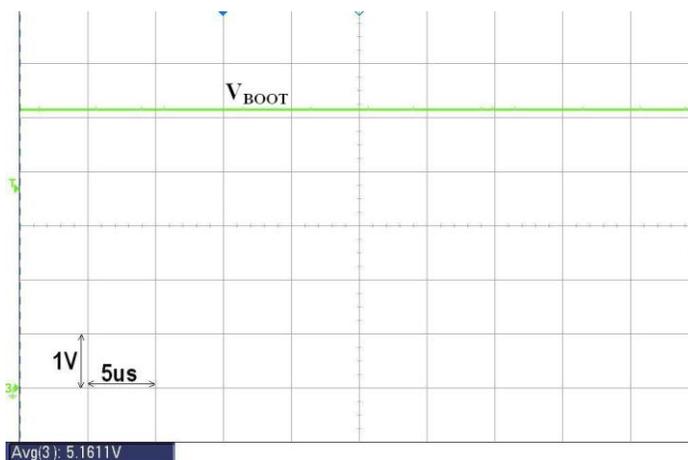
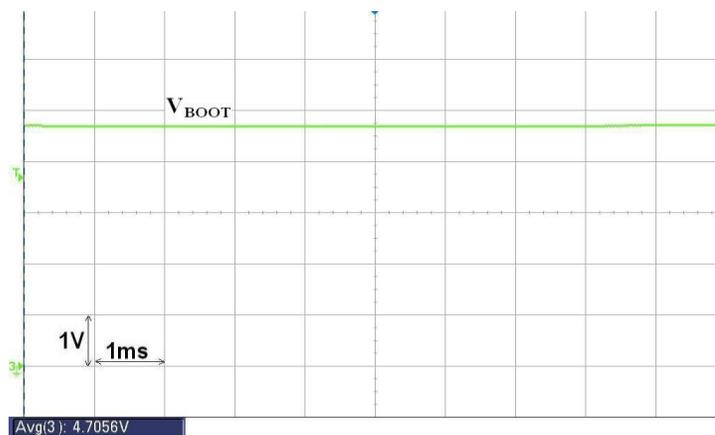


Figura 29 Fases internas do circuito BOOT.

As Figuras 30 e 31 apresentam, respectivamente, a tensão de saída do circuito de *bootstrapping* (V_{BOOT}), em aberto e com carga DC de 1mA. A tensão V_{BOOT} não excede 5.2V na condição em aberto, permanecendo acima de 4.7V, com carga. Estes limites de tensão garantem que os transistores de potência conduzirão ($V_{GS_TPCP}[\text{PIOR CASO}] = V_{BOOT} - V_{OUT} = 4,6\text{V} - 3\text{V} = 1,7\text{V}$) sem sofrer estresse no óxido de porta (5V máximo permitido). Também, pode-se notar que V_{BOOT} , medido com carga, está abaixo do valor simulado de 5,3V. Embora simulação e medida experimental tenham sido feitas a 27°C, a primeira foi obtida para um caso típico de processo de fabricação. Portanto, desvios no processo e parasitas de placa contribuem para a diferenças entre valores simulados e experimentais. No entanto, V_{BOOT} permanece dentro dos limites especificados.

Figura 30 V_{BOOT} sem carga aplicada.Figura 31 V_{BOOT} com carga DC de 1mA.

4.2 *Modo Skip*

O teste do modo *Skip* tem como finalidade validar se o estágio de potência é desabilitado ao V_{OUT} atingir seu valor nominal de 3V, assim como a re-ativação de CP para $V_{OUT} < 3V - V_H$. A Figura 32 apresenta as formas de onda de V_{BOOT} , V_{OUT} e o valor médio AVG_{sw} do sinal de chaveamento (invertido) das chaves de potencia. Uma carga de 1mA é aplicada à saída de CP, levando V_{OUT} a um valor menor que $3V - V_H$.

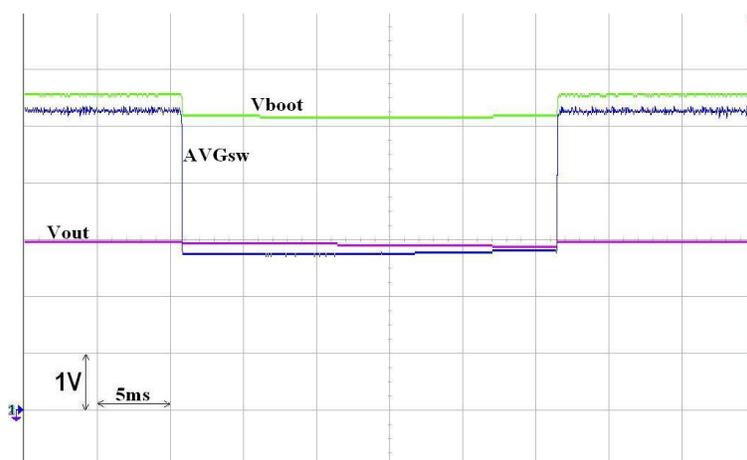


Figura 32 Formas de onda do teste em *Skip Mode*.

Inicialmente, AVG_{sw} indica que CP opera em modo *skip*, pois seu valor é próximo de V_{BOOT} , indicando que o sinal de chaveamento está desabilitado. Como previsto em simulação, V_{OUT} encontra-se em seu valor nominal de 3V. Após 10ms, a carga é aplicada e V_{OUT} torna-se menor que $3V - V_H$, iniciando o chaveamento do CP. Neste momento, AVG_{sw} cai para metade de seu valor inicial, indicando que o sinal de acionamento foi ligado, operando com ciclo de trabalho de 50%. Neste mesmo intervalo, V_{BOOT} também sofre uma queda, uma vez que os circuitos de controle passam a consumir corrente. No instante $t = 35ms$, a carga é retirada do circuito, retornando V_{OUT} ao seu valor nominal e AVG_{sw} se aproximando de V_{BOOT} . Portanto, enquanto não houver carga que imponha $V_{OUT} < 3V - V_H$, o sistema não aciona os transistores de potência, minimizando o consumo dinâmico do CP.

4.3 CRL

As avaliações do modo de operação linear consistem em mostrar o comportamento do Circuito de Regulação Linear (CRL) de forma autônoma. Nessa avaliação, dois tipos de teste foram executados com o objetivo de obter a função transferência e validar a resposta dinâmica do circuito.

A função transferência foi obtida aplicando-se uma tensão de entrada no circuito, através de um analisador de parâmetros (unidade SMU) e os dados da saída foram medidos por um voltímetro (unidade VMU). A Figura 33 apresenta a função de transferência do CRL, onde CRL_{IN} e CRL_{OUT} correspondem à entrada e saída do circuito, respectivamente. Os resultados experimentais mostram uma curva com comportamento semelhante ao simulado, definindo-se uma região de saturação inferior, uma superior e uma linear entre as duas saturações. Outro aspecto importante é a função de inversão que o circuito apresenta.

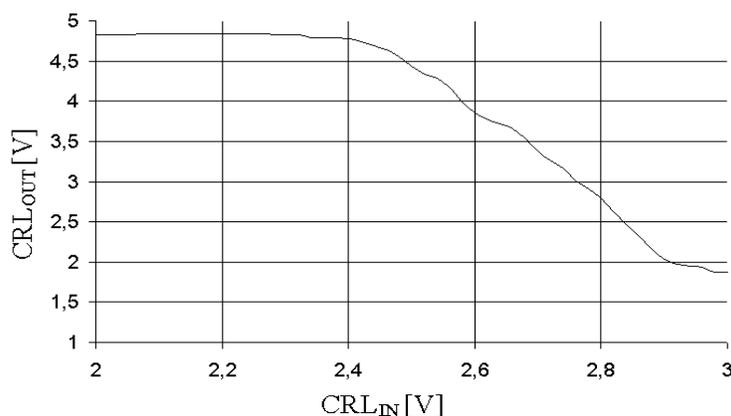


Figura 33 Função Transferência experimental do circuito CRL.

A Figura 34 mostra a resposta dinâmica do circuito. Neste teste, uma carga transitória de 0A a 20mA foi aplicada em um intervalo de 20us (limitado pelos equipamento de medida), à saída de CP. A tensão V_{out} diminui, mas instantaneamente CRL_{OUT} reage para evitar que V_{out} caia abaixo de seu limite inferior (2.4V).

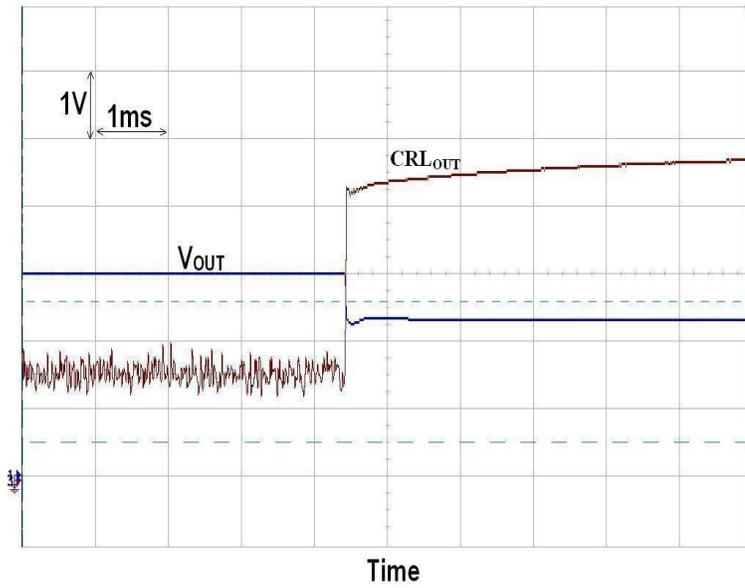


Figura 34 resposta dinâmica do CRL.

A resposta dinâmica deste circuito é mais rápida do que a resposta de circuitos que geram tensões médias a partir do uso de um capacitor e fontes de corrente, como descrito em [22].

4.4 Limitação de Corrente (LC)

O teste de LC tem, por finalidade, demonstrar o valor da corrente limitada, assim como seu transitório antes do sistema entrar em modo de limitação. Para este teste, foram utilizados um osciloscópio, analisador de parâmetros, fontes de tensão (*power supply*) e o gerador de padrões.

Dois testes diferentes foram executados: o primeiro mostra o valor da corrente limite. Nesta avaliação, V_{out} é curto-circuitado com GND. Através de um analisador de parâmetros, observou-se a corrente entregue pela fonte de tensão de entrada (PV_{IN}), antes e depois do curto. A Figura 35 apresenta o comportamento da corrente de PV_{IN} .

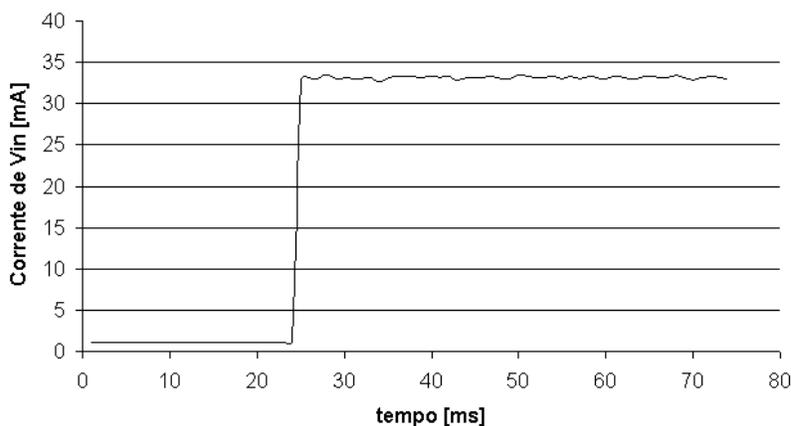


Figura 35 Corrente limite do sistema.

Na Figura 35, é possível observar que, inicialmente, a fonte de entrada entrega 1mA e, quando o curto acontece, a mesma é limitada a 35mA. Este valor obtido experimentalmente é muito próximo ao valor simulado de 30mA, ilustrado na Figura 26 (seção 2.8). Neste teste, não é possível ver com nitidez o transitório que a corrente sofre logo após o curto, pois o analisador de parâmetros foi utilizado com o recurso de médias ativado, para melhor visualizar os pontos de mínima e máxima corrente.

A segunda avaliação assemelha-se à primeira, porém utilizando um osciloscópio para se medir a queda de tensão em um resistor de 10 ohms (R_s) colocado em série com a saída da fonte de alimentação. Assim, torna-se possível medir a variação de corrente existente durante o curto-circuito. A região A, na Figura 36, mostra o transitório de corrente durante a falha, enquanto a região B apresenta o transitório em detalhe.

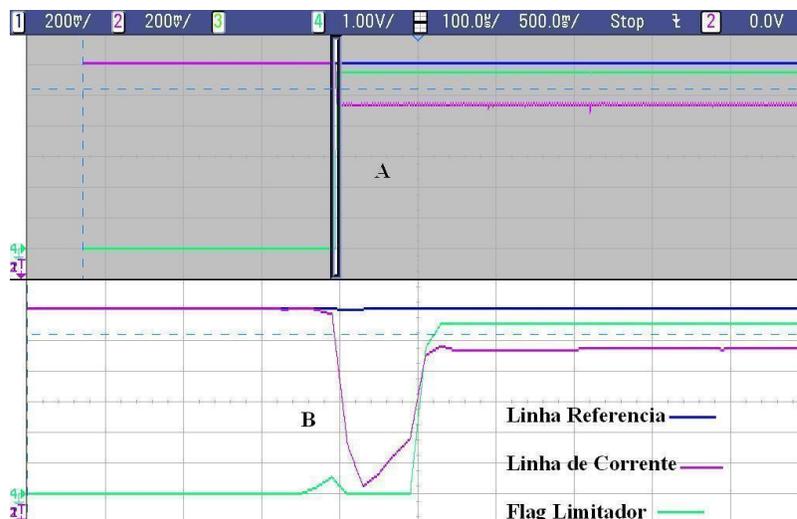


Figura 36 Transitório de corrente durante curto-circuito de V_{OUT} para GND.

A linha Referencia (LR) ajuda a constatar a queda de tensão no resistor R_s , enquanto a linha de Corrente (LCR) realiza uma razão entre tensão e corrente para indicar o quanto a corrente varia durante o curto-circuito. O *Flag Limitador* (FL) sinaliza que o sistema está em limitação de corrente.

Observa-se que, inicialmente, a corrente é muito baixa e a diferença entre LR e LCR é quase imperceptível. Porém, assim que ocorre a falha, LCR se desloca bruscamente para baixo, caracterizando um “overshoot” de corrente, cuja amplitude é estimada em 118mA, durante 95us. Este excedente de corrente durante o transitório é devido ao fato do sistema de limitação possuir realimentação em tensão, o que deixa a resposta do circuito mais lenta.

Após o período transitório, LCR mostra que a corrente se estabiliza em aproximadamente 30mA, constatando o bom funcionamento do circuito projetado.

4.5 Estágio de Potência

Esta seção descreve os resultados experimentais do estágio de potência duplicador de tensão, sendo apresentados a tensão de saída, o sinal de chaveamento, as duas fases do circuito e a curva de carga de CP.

A Figura 37 mostra a saída do estágio de potência e sua tensão de entrada. Como previsto em simulação, a tensão de saída V_{OUT} é duas vezes a tensão de entrada PV_{IN} . Esta razão entre as tensões é determinada pela topologia em ponte adotada para o circuito.

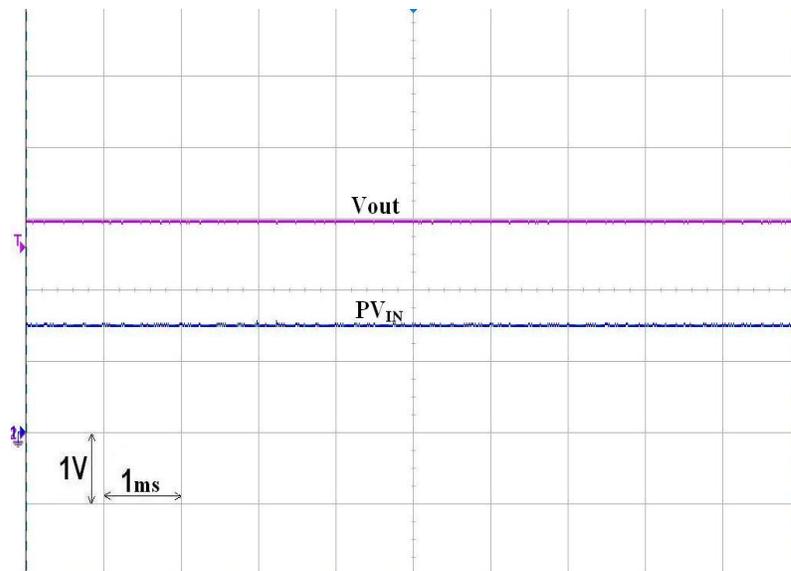


Figura 37 tensão de saída do Estágio de Potência.

As Figuras 38 e 39 mostram os sinais de chaveamento e fases (com carga aplicada) do circuito *charge pump*, respectivamente.

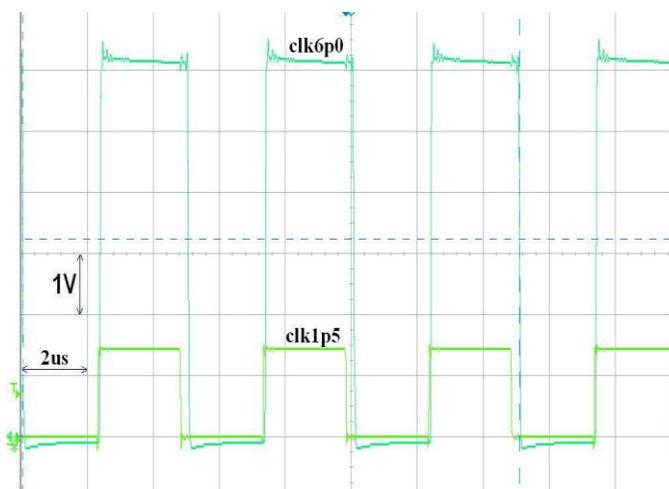


Figura 38 Sinal de chaveamento do estágio de saída.

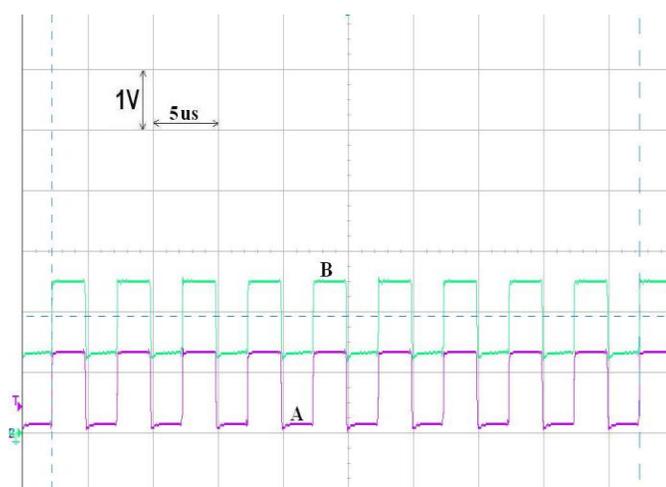


Figura 39 Sinais medidos nas fases do Charge Pump.

Os sinais de chaveamento mostrados na Figura 38 estão no domínio de 1,5V (clk1p5) e V_{BOOT} (clk6p0). O sinal clk1p5 é fornecido pelo gerador de padrões, enquanto clk6p0 é medido na saída de um circuito *level shifter*. Verifica-se que os sinais têm mesma fase, sendo um deles com amplitude próxima ao valor de V_{BOOT} ($\cong 5,5V$).

As fases A e B determinam a carga e descarga de C_{FLY} , respectivamente, impondo o valor de V_{OUT} . Na Figura 39, têm-se as mesmas, em defasagem de 180° . A curva de carga de CP, mostrada pela Figura 40, foi obtida para correntes de carga variando de 0 a 20mA. Observa-se que, o sistema reage contra as quedas provocadas pela carga até esta atingir um valor de 10mA. Após este valor, a carga se torna excessiva para o estágio de potência, fazendo com que a tensão de saída apresenta comportamento de uma reta decrescente.

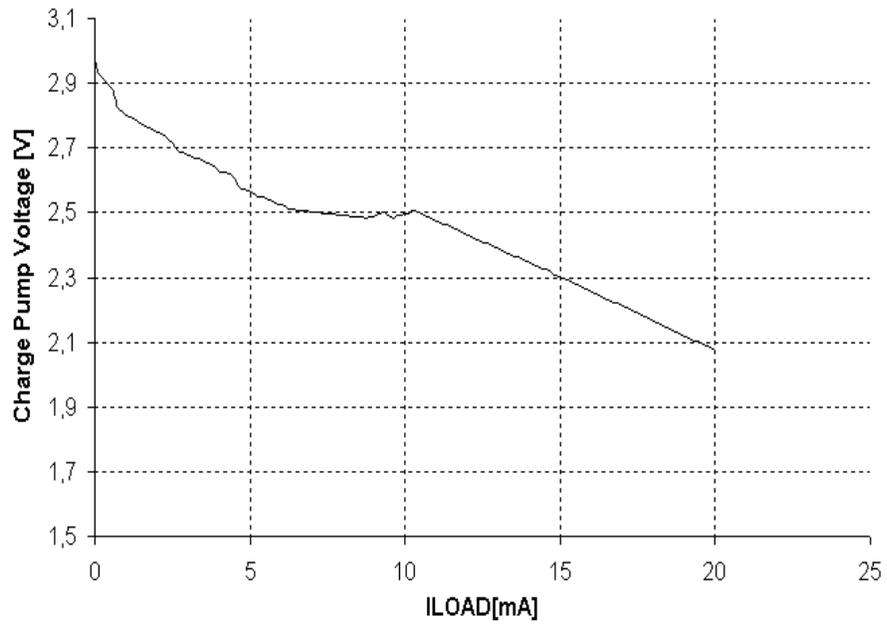


Figura 40 Curva de carga do circuito Charge Pump.

Capítulo 5

Conclusões

Como proposto no início deste trabalho, os objetivos visam uma consistente interface entre os sub-circuitos do conversor DC/DC projetado e o bom funcionamento de cada sub-circuito, individualmente, atingindo resultados experimentais com o menor desvio possível em relação aos valores especificados na Tabela 3 (Seção 2.1).

De maneira geral, os resultados obtidos mostraram bom funcionamento do conversor e individualmente de seus circuitos de controle. A interface entre os sub-circuitos se apresentou consistente, pois não foi necessário implementar nenhuma solução alternativa para garantir o funcionamento adequado do sistema. Embora os dados experimentais mostrem bom comportamento dos circuitos, estes apresentaram desvios em relação aos resultados esperados como resumido na Tabela 6.

O principal componente para regulação linear, o CRL apresentou função transferência dentro do esperado de acordo com simulações e também teve boa performance em sua resposta a transitórios. O valor mínimo medido teve desvio de 23% em comparado ao valor esperado, mas para o sistema este desvio não representa um problema, pois o valor mínimo de tensão atingido produz consumo dinâmico muito baixo comparado ao valor máximo de CRL.

O Modo *Skip* teve bom funcionamento como mostrado na forma de onda do capítulo 4. A Tabela 5 mostra um desvio percentual muito baixo entre valor simulado e medido, comprovando o excelente funcionamento do modo de operação.

Os resultados do circuito LC foram muito próximos aos resultados obtidos em simulação, principalmente no valor de corrente limitada. O desvio apresentado na corrente limitada pode ser atribuído principalmente a grande diferença entre as razões de aspecto do transistor de potência e do transistor de referência. Do ponto de vista dinâmico, este circuito é composto por realimentação em tensão e portanto sua resposta transitória é lenta. Por isso, em trabalhos futuros o estudo de uma topologia com realimentação em corrente seria necessário para melhorar a resposta dinâmica do circuito.

O circuito de *bootstrapping* apresentou tensão de saída mais baixa (-6%) em relação ao esperado. No entanto este desvio ficou longe de comprometer o acionamento do CP o que pode ser considerado um bom desempenho. O percentual de desvio é justificado pelo fato dos capacitores do circuito serem externos e entre o chip e os capacitores existem parasitas como ESR, resistência de trilhas, contatos, capacitâncias e resistência de *bonding wire* mais os PADs. Todas essas parasitas contribuem para perda de carga (por redistribuição e quedas de tensão).

Finalmente, os resultados obtidos do Estágio de Potência (Charge Pump) mostram a razão entre tensão de saída pela entrada atingida adequadamente. As fases funcionam de acordo com previsto comprovando o bom comportamento do circuito. No entanto, a capacidade de corrente do estágio sofreu desvio de -12,5%. Também neste caso os capacitores são externos e vários componentes parasitas influenciam na performance do circuito, principalmente em condições de alta corrente de carga (10mA – 20mA).

Deve ser lembrado que apesar da tecnologia AMS 0.35um HV ser bem consolidada, esta não era muito conhecida pelos usuários do PMU, portanto muitas informações sobre o processo foram obtidas durante o projeto o que resultou em alguns re-projetos. Além disso, a biblioteca de PADs teve de ser estudada para garantir o funcionamento dos circuitos e apesar de todos os detalhes a serem levados em conta, foi possível fazer com que o circuito tivesse bom desempenho no silício, provado nos resultados experimentais.

Circuito	Valor Esperado	Valor Experimental	Erro(%)
V_{BOOT} @ 1mA	5V	4,7V	-6
CRL[Max : Min]	5,2V : 1,3V	5V : 1,6V	-3,85 : +23
Resposta Transiente CRL	20 μ s de 0-20mA	\cong 20 μ s de 0-20mA	\cong 0
LC	30mA	33mA	+10
Modo <i>Skip</i>	3V	2.996V	-0,134
V_{OUT} @ $I_L=20$ mA	2,4V	2,1V	-12,5

Tabela 6 Comparação de resultados medidos e esperados.

PERSPECTIVAS FUTURAS

Esta dissertação objetivou a análise, projeto, simulação e medidas experimentais do conversor projetado. As topologias de sub-circuitos de controle e do *Charge Pump* foram escolhidas, através de análise, visando a melhor performance possível do circuito integrado. Porém, estes componentes do sistema não apresentam apenas vantagens e por isso trabalhos futuros devem ser desenvolvidos com a finalidade de melhorar a performance do chip e ultrapassar limitações impostas pela tecnologia de processo e topologias utilizadas.

Dentre os circuitos e sub-blocos implementados neste trabalho, o circuito de *bootstrapping*, o CRL e o Limitador de Corrente podem ser estudados e modificados buscando melhorar ainda mais a performance do CP em condições de baixa corrente de carga e diminuir suas variações devido a processo e temperatura. Para tanto, futuramente, novas topologias e modos de regulação devem ser propostos e estudados. Um assunto a ser abordado é a implementação da regulação linear do CP de forma digital com a finalidade de aumentar a robustez do circuito a variações de processo e temperatura e reduzir consumo quiescente do sub-circuito que controla a regulação. Ainda sobre a regulação linear seria interessante propor um novo esquema elétrico que controle a tensão de porta de todos os transistores de potência do CP possibilitando maior redução de consumo dinâmico do CP. Apesar deste trabalho mostrar algumas possibilidades de se implementar um *charge-pump* para altas correntes, outras topologias e modos de regulação devem futuramente ser estudadas para superar as desvantagens apresentadas, agregar mais vantagens a este tipo de conversor e permitir que circuitos que estes possam ser cada vez mais utilizados em diversas aplicações.

Apêndice I

Tabelas de Dimensões dos Componentes

Tempo Inativo entre Fases (TIF)

Transistor	W[μm]	L[μm]
M1	15	2
M2	15	2
M3	15	2
M4	15	2
M5	15	0,5
M6	15	2
M7	15	2
M8	15	2
M9	15	0,5
Cd	3,5	1

Elevador de Nível

Transistor	W[μm]	L[μm]
M1	1,5	5
M2	1,5	5
M3	10	1
M4	10	1
M5	12	1
M6	20	1
M7	10	1
M8	10	1
M9	10	1
M10	10	1
M11	10	1,5

Comparador de Tensão

Transistor	W[μm]	L[μm]
M1	20	2
M2	20	2
M5	6	2
M6	6	2
M7	8	1
M8	8	1
M9	8	1
M10	8	1
M11	11	1
M12	11	1
M13	6	1
M14	4	1

CRL

Transistor	W[μm]	L[μm]
M1	2x10	5
M2	2x10	5
M3	1x5	3
M4	2x5	3
M5	2x2,5	2
M6	2x2,5	2
M7	1	25
M8	4x100	1,5
M9	2x80	0,5
CM	10	10

Bootstrapping

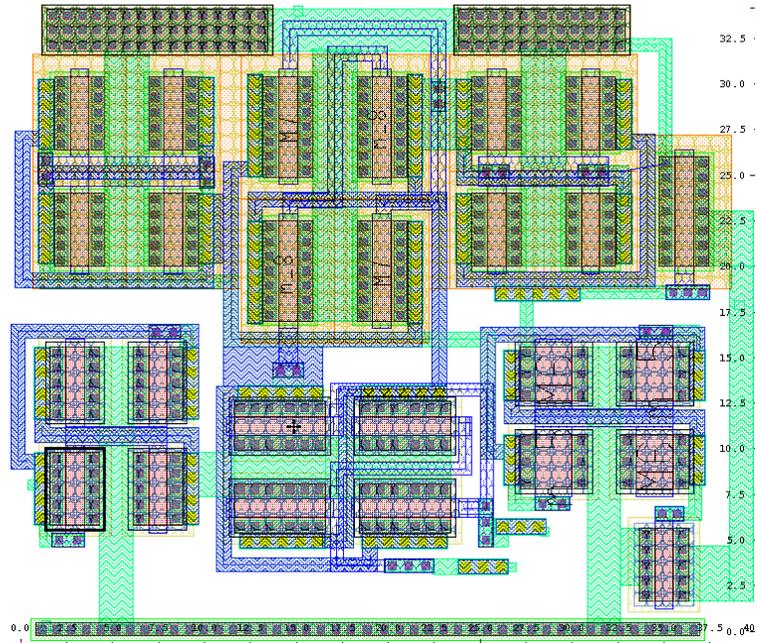
Transistor	W[μm]	L[μm]
NMOS_chave	400	0,5
NMOS_diodo	50	0,5
PMOS_chave	900	1
NMOS_inversor	5	1
PMOS_inversor	5	1

LC

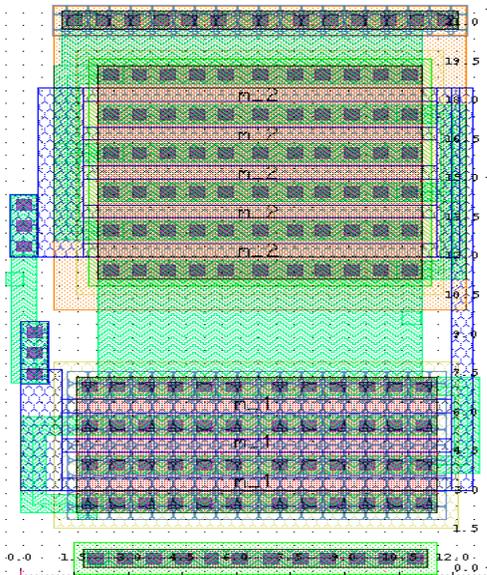
Transistor	W[μm]	L[μm]
M1	5	1
M2	20	0,5
M3	5	1
M4	10	2
M5	1	5
M6	1	5
M7	20	0,5
M8	10	0,5
M9	5	1
M10	40	0,5
M11	20	0,5
M12	20	0,5
M13	70	0,5
M14	30	0,5
M15	50	0,5

Apêndice II

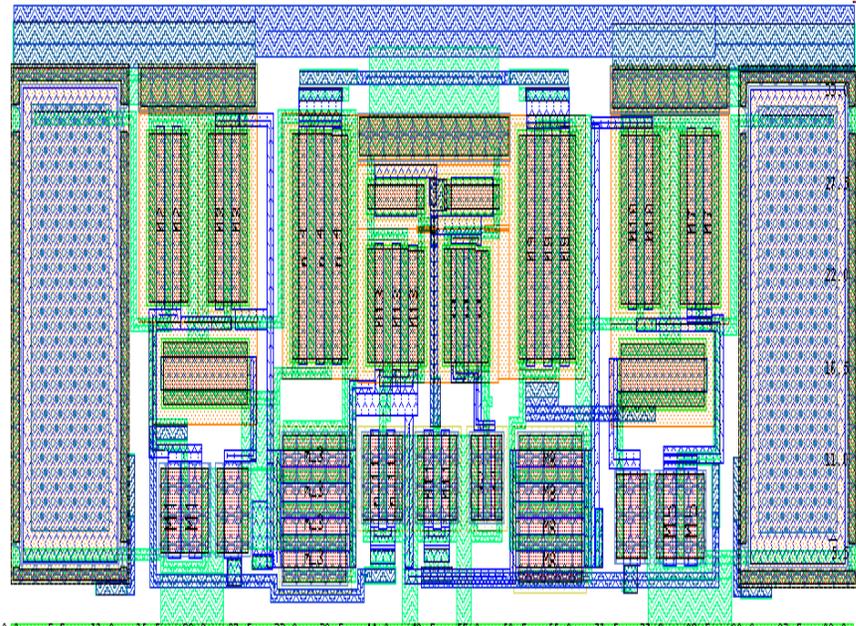
Layout do circuito Comparador.



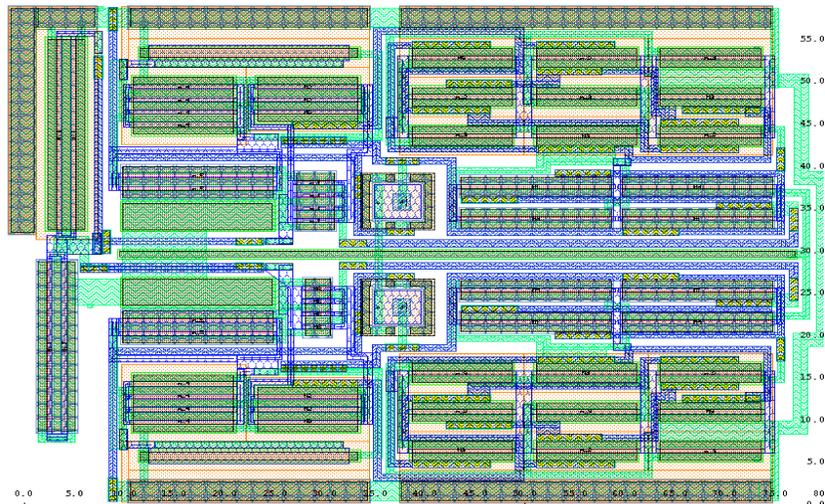
Layout do circuito Driver



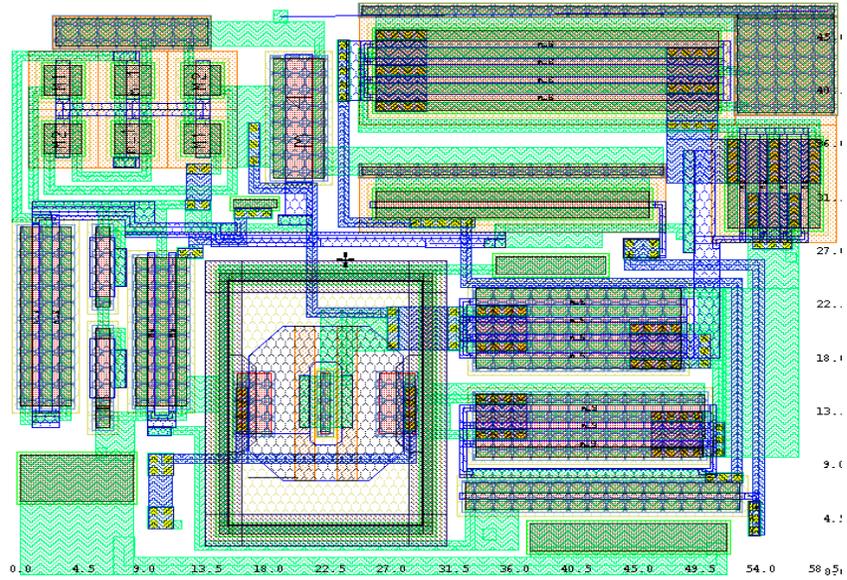
Layout do circuito Elevador de Nível



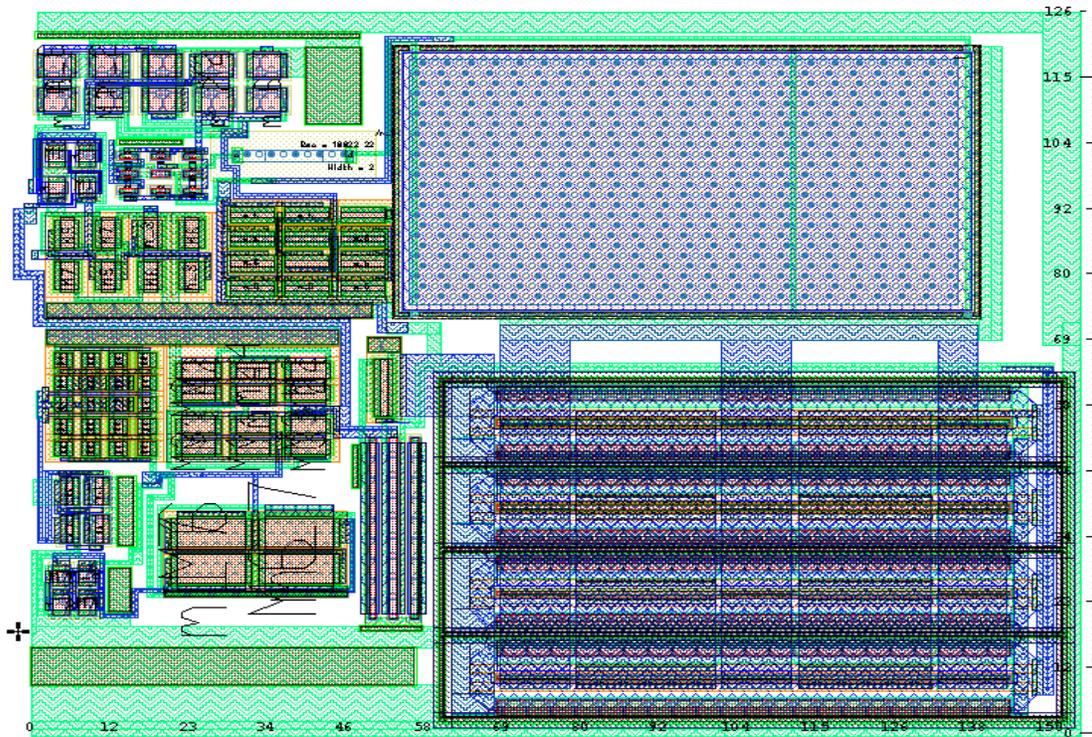
Layout para o circuito de TIF



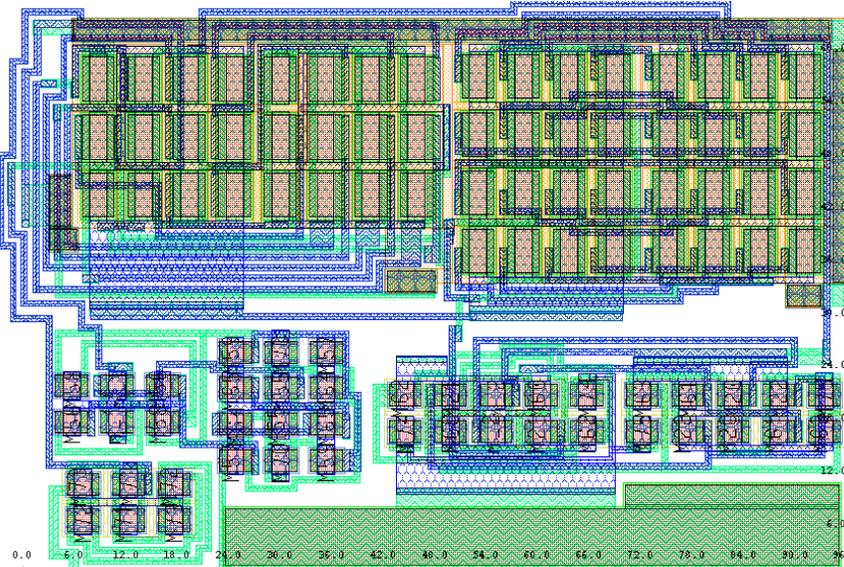
Layout do circuito LC



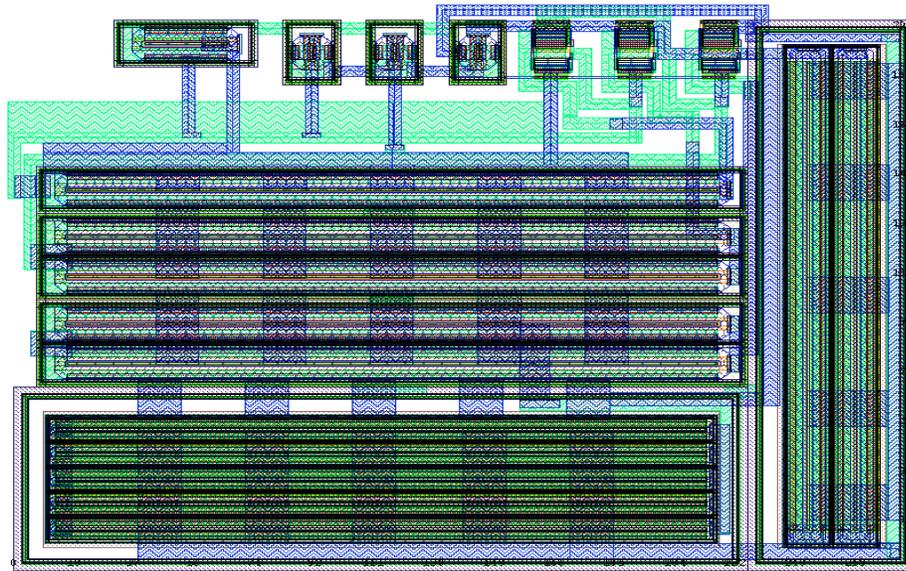
Layout do circuito CRL



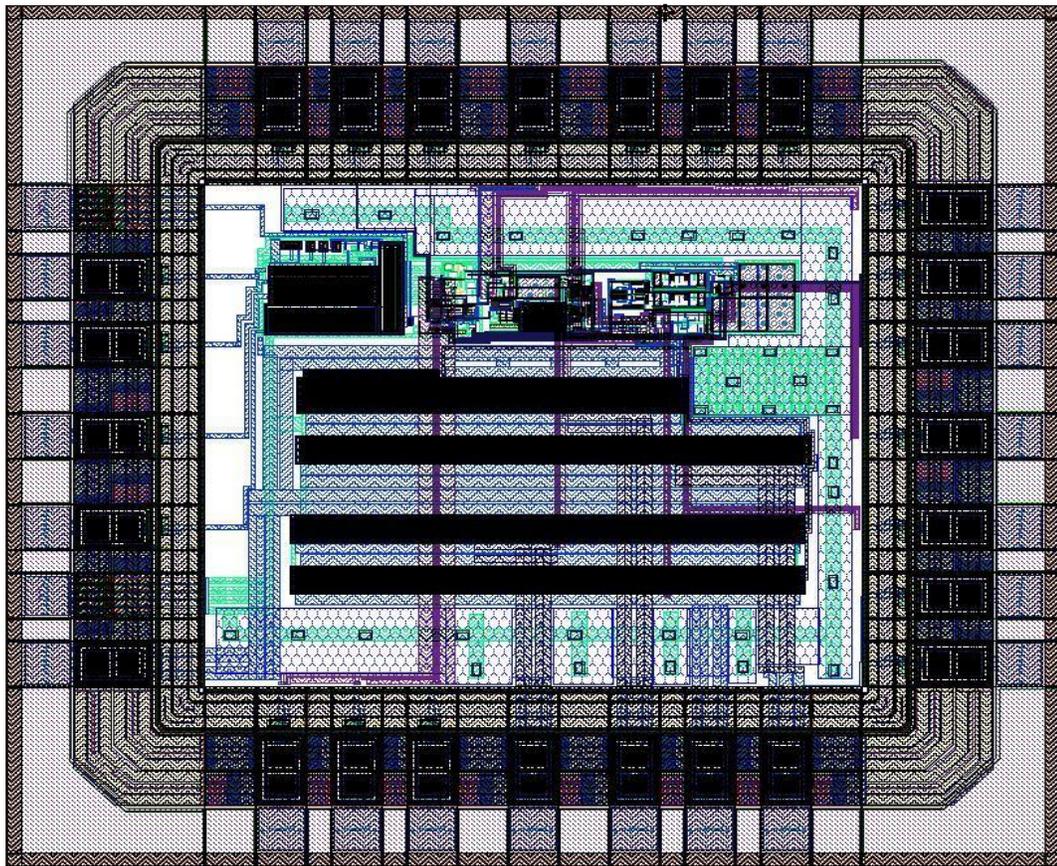
Layout do circuito de Fontes de Corrente



Layout do circuito de Bootstrap



Layout do Chip Fabricado



Referências Bibliográficas

- [1] Feng Pan, Tapan Samaddar – “Charge Pump Circuit Design”, McGraw-Hill, 1st Edition, 2006, ISBN: 0-07-147045-X
- [2] Miin-Shyue Shiau Zong-Han Hsieh Chi-Chieh Hsieh Han-Yuen Liu Don-Gey Liu Feng-Chia Univ., Feng-Chia – “A Novel Static CTS Charge Pump with Voltage Level Controller for DC-DC Converters” *Electron Devices and Solid-State Circuits*, 2007, pg. 481-484, ISBN: 978-1-4244-0637-1
- [3] Lee, F.C. Xunwei Zhou – “Power management issues for future generation microprocessors ”, The 11th International Symposium on Power Semiconductor Devices and ICs, 26-28 May 1999 Page(s):27 – 33.
- [4] Peng Xu, Jia Wei and Fred C. Lee – “Multiphase Coupled-Buck Converter—A Novel High Efficient 12 V Voltage Regulator Module”, *IEEE TRANSACTIONS ON POWER ELECTRONICS*, VOL. 18, NO. 1, JANUARY 2003 Part 1, page(s): 74 – 82, ISSN: 0885-8993
- [5] Zhang, F. Zhang, J.M. Xu, D.M. Qian, Z – “A novel high performance voltage regulator module”, Sixteenth Annual IEEE Applied Power Electronics Conference and Exposition Volume1, 4-8 March 2001 Page(s):258 – 261 ISBN: 0-7803-6618-2
- [6] Xunwei Zhou; Pit-Leong Wong; Peng Xu; Lee, F.C.; Huang, A.Q – “Investigation of candidate VRM topologies for future microprocessors”, *IEEE Transactions on Power Electronics*, Nov 2000 Volume: 15 , Issue: 6 On page(s): 1172 - 1182 ISSN: 0885-8993
- [7] Luiz Fernando Pereira de Mello-“Análise e Projeto de Fontes Chaveadas”, Editora Érica 1996, ISBN: 85-7194-375-3.
- [8] Brigitte Kormanm, Dipl. –Ing. – “*High-Efficiency, Regulated Charge Pump for High-Current Applications*”.
- [9] Erich Bayer, Hans Schmeller, “Charge Pump with Active Cycle Regulation – Closing the Gap Between Linear and Skip Modes”. *IEEE 31st Annual Power Electronics Specialists Conference*, 2000 Volume: 3, On page(s): 1497-1502 vol.3 ISBN: 0-7803-5692-6.
- [10] Qi Deng – “DC/DC converters: regulated charge-pump vs. inductor-based” *EE Times India*, September 2006.
- [11] Feng Su, Wing-Hung Ki and Chi-Ying Tsui “Gate Control Strategies for High Efficiency Charge Pumps”, *IEEE International Symposium on Circuits and Systems*, 23-26 May 2005 On page(s): 1907- 1910 Vol. 2 ISBN: 0-7803-8834-8.

[12] Ming-Dou Ker, Shih-Lun Chen and Chia-Sheng Tsai “A New Charge Pump Circuit Dealing with Gate-Oxide Reliability Issue in Low-Voltage Processes”, International Symposium on Circuits and Systems 23-26 May 2004 Volume: 1 On page(s): I-321 - I-324 Vol.1 ISBN: 0-7803-8251-X.

[13] Wing-Hung Ki, Feng Su and Chi-Ying Tsui “Charge Redistribution Loss Consideration in Optimal Charge Pump Design” International Symposium on Circuits and Systems 23-26 May 2005 page(s): 1895 - 1898 Vol. 2 ISBN: 0-7803-8834-8

[14] Jongshin Shin, In-Young Chung, Young June Park and Hong Shick Min “A New Charge Pump without Degradation in Threshold Voltage Due to Body Effect”, IEEE Journal of Solid-State Circuits, vol.35, No. 8, August 2000.

[15] Tawfiq Hasan, Torsten Lehmann, Chee Yee Kwork “A 5V Charge Pump in a standard 1.8V 0.18 μ m CMOS process” International Symposium on Circuits and Systems 23-26 May 2005 page(s): 1899 - 1902 Vol. 2 ISBN: 0-7803-8834-8

[16] Chi-Chang Wang and Jiin-chuan Wu – “Efficiency Improvement in Charge Pump Circuits” IEEE Journal of Solid-State Circuits June 1997 Volume: 32 , Issue: 6 page(s): 852 – 860 ISSN: 0018-9200

[17] Christl Lauterbach, Werner Weber and Dirk Römer -“Charge Sharing Concept and New Clocking Scheme for Power Efficiency and Electromagnetic Emission Improvement of Boosted Charge Pumps” IEEE Journal of Solid-State Circuits May 2000 Volume: 35 , Issue: 5 page(s): 719 – 723 ISSN: 0018-9200

[18] Roubik Gregorian –“Introduction to CMOS op-amps and comparators” 1999 - Wiley-Interscience.

[19] Bayer E., Schmeller H. and Sporer G.- “Charge Pumps Become Differentiated” In Proceedings of Wireless Symposium Portable by Design, Feb 22-25 2000 - huret.com.

[20] Bayer E. and Schmeller H.- “A high efficiency single-cell cascaded charge pump topology- the competitive alternative to inductive boost converters” 32nd Annual Power Electronics Specialists Conference 17-21 June 2001 Volume: 1 page(s): 290 - 295 vol. 1 ISBN: 0-7803-7067-8.

[21] Ming Zhang and Nicolas Llaser- “OPTIMIZATION DESIGN OF THE DICKSON CHARGE PUMP CIRCUIT WITH A RESISTIVE LOAD” International Symposium on Circuits and Systems 23-26 May 2004 Volume: 5 page(s): V-840 - V-843 Vol.5 ISBN: 0-7803-8251-X.

[22] Mansano A., de Lima J. A. and Jacobus Swart “A Compact Fast-Response Charge-Pump Gate Driver”, 22nd SBCCI 2009, Article No. 10, ISBN: 978-1-60558-705-9.