

PROJETO E IMPLEMENTAÇÃO DE UM  
EQUIPAMENTO DE TESTE PARA SISTEMAS MCP

ANTONIO JOSÉ QUITÉRIO

Orientador - DALTON SOARES ARANTES

Tese apresentada à Faculdade  
de Engenharia de Campinas-  
UNICAMP - como parte dos re-  
quisitos exigidos para obten-  
ção do título de MESTRE  
EM CIÊNCIAS.

UNIVERSIDADE ESTADUAL DE CAMPINAS  
FACULDADE DE ENGENHARIA DE CAMPINAS  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

AGOSTO 1978

**UNICAMP**  
BIBLIOTECA CENTRAL

## SUMÁRIO

O presente trabalho consiste no projeto e implementação de um equipamento de teste para os sistemas multiplex digital de Modulação por Codificação de Pulsos (MCP).

O equipamento presta-se à medida de desempenho dos sistemas de 2 Mbits/s, 8 Mbits/s e 34 Mbits/s, podendo também ser utilizado em alguns testes do sistema de 140 Mbits/s.

## AGRADECIMENTOS

Quando se elabora um trabalho desta grandeza, temos necessidade de recorrer à ajuda de muitas pessoas. Nesta oportunidade, quero expressar os meus sinceros a agradecimentos a todos que, de uma forma ou de outra, muito ou pouco, contribuíram para a realização deste trabalho. Em especial, agradeço a:

- ... DALTON SOARES ARANTES, pela orientação;
- ... F.F.E. OWEN, Senior Expert em Sistemas de Transmissão Digital, com quem iniciei este trabalho;
- ... REGE ROMEU SCARABUCCI, pela oportunidade concedida;
- ... Srta. MARIA JÚLIA DINI, pelo excelente trabalho de datilografia;
- ... RAYMUNDO MONATO DE SOUZA, pela ajuda prestada na confecção dos desenhos.

## ÍNDICE

SUMÁRIO

ABREVIACÕES

CAPÍTULO I - INTRODUÇÃO

CAPÍTULO II - O EQUIPAMENTO

- II.1 - Introdução
- II.2 - Estrutura Elétrica
- II.3 - Painel Frontal
- II.4 - Estrutura Mecânica

CAPÍTULO III - CIRCUITOS

- III.1 - Introdução
- III.2 - Relógios
  - III.2.1 - Osciladores
  - III.2.2 - Divisores
  - III.2.3 - Circuito Seletor de Relógio
  - III.2.4 - Circuito Seletor de Jitter
  - III.2.5 - Circuito: Relógios
- III.3 - Gerador de Palavras A & B
  - III.3.1 - Circuito: Gerador de Palavras A & B
- III.4 - Alternador
  - III.4.1 - Alternativas  $P_1$  e  $P_2$
  - III.4.2 - Alternativas  $P_3$  e  $P_4$
  - III.4.3 - Alternativas  $P_8$ ,  $P_9$  e  $P_{10}$
  - III.4.4 - Trigger
  - III.4.5 - Circuito: Alternador
- III.5 - Gerador Pseudo-Aleatório
  - III.5.1 - Introdução
  - III.5.2 - Implementação do Gerador P.A.
  - III.5.3 - Trigger
  - III.5.4 - Circuito Auto-Iniciador
  - III.5.5 - Operação do circuito P.A. em conjunto com o Circuito P.A./Estático
  - III.5.6 - Ondas de Controle

- III.5.7 - Circuito: Gerador Pseudo-Aleatório
- III.6 - Pseudo-Aleatório/Estático
  - III.6.1 - Circuito: Pseudo Aleatório/Estático
- III.7 - Circuito Entrada/Saída
  - III.7.1 - Circuitos de Proteção
  - III.7.2 - Circuito de Controle para Entradas e Saídas
  - III.7.3 - Circuito: Circuito Entrada/Saída
- III.8 - Detetor de Erro
  - III.8.1 - Introdução
  - III.8.2 - Projeto do circuito Detetor de Erro
  - III.8.3 - Circuito: Detetor de Erro
- III.9 - Controle do Display
  - III.9.1 - Introdução
  - III.9.2 - Circuitos
  - III.9.3 - Circuito: Controle do Display
- III.10 - Gerador de Jitter
  - III.10.1 - Geração de Jitter
  - III.10.2 - Projeto do PLL Gerador de Jitter
  - III.10.3 - Conexão dos PLL's Geradores de Jitter com os outros circuitos do Equipamento
  - III.10.4 - Saída para verificação da amplitude do Jitter gerado nos PLL's Geradores de Jitter 2M/8M
  - III.10.4 - Circuito: Gerador de Jitter
  - III.10.5 - Circuito: PLL Gerador de Jitter 2M/8M
- III.11 - Medidor de Jitter
  - III.11.1 - Introdução
  - III.11.2 - Circuitos do Medidor de Jitter
  - III.11.3 - Controle de Entrada do Circuito Medidor de Jitter
  - III.11.4 - Circuito: Medidor de Jitter
- III.12 - Interface de Saída
  - III.12.1 - Introdução
  - III.12.2 - Codificador AMI
  - III.12.3 - Codificador HDB3
  - III.12.4 - Controle AMI/HDB3 e RZ/NRZ
  - III.12.5 - Transformadores de Saída
  - III.12.6 - Circuito: Interface de Saída

### III.13 - Interface de Entrada

III.13.1 - Introdução

III.13.2 - Transformador de Entrada

III.13.3 - Circuito Retificador

III.13.4 - Extratores de Relógio

III.13.5 - Circuito de Controle

III.13.6 - Decodificador AMI/HDB3

III.13.7 - Circuito: Interface de Entrada

III.13.8 - Circuito: Decodificador AMI/HDB3

### III.14 - Fonte de Alimentação

III.14.1 - Circuito: Fonte de Alimentação

## APÊNDICE A - TEORIA DA GERAÇÃO DE PALAVRAS PSEUDO-ALEATÓRIAS

### CAPÍTULO IV - RESULTADOS PRÁTICOS

IV.1 - Introdução

IV.2 - Resultados Práticos

IV.3 - Máxima Frequência de Operação dos Circuitos Implementados

### CAPÍTULO V - MEDIDAS E TESTES COM O EQUIPAMENTO

V.1 - Introdução

V.2 - Testes e Medidas Propostas

V.2.1 - Medida da Taxa de Erro

V.2.2 - Medida da Aceitação de Jitter

V.2.3 - Medida do Jitter de Tempo de Espera

V.2.4 - Função de Transferência do Multiplex

V.2.5 - Faixa de Retenção e Captura do PLL

V.2.6 - Medida do Fator de Qualidade de um circuito tanque

V.2.7 - Aceitação e Geração de Jitter em Repetidores Regenerativos (Sistema de 1ª Ordem)

V.2.8 - Crosstalk

## APÊNDICE B - ESPECIFICAÇÕES DO JITTER EM EQUIPAMENTOS MULTIPLEX DE 1ª, 2ª, 3ª e 4ª ORDEM

1 - Filosofia das especificações

2 - Jitter em equipamentos Multiplex digitais

2.1 - Mínima aceitação de jitter na entrada do Multiplex

2.2 - Máximo jitter de saída do Demultiplexador na ausência de jitter na entrada do sistema

2.3 - Função de transferência do PLL do Demultiplexador

APÊNDICE C - CÁLCULO DA EXPRESSÃO DO FATOR DE QUALIDADE EM FUNÇÃO DO NÚMERO DE PERÍODOS DE DECAIMENTO APÓS UMA EXCITAÇÃO SOBRE O CIRCUITO TANQUE

CAPÍTULO VI- CONCLUSÕES

REFERÊNCIAS BIBLIOGRÁFICAS

## ABREVIACÕES

AMI - Alternate Mark Inversion  
B - Pulso Bipolar Normal  
BCD - Binary Code Digit  
BIN - Binário  
BIP - Bipolar  
CAL - Calibrado  
CCITT - Comitê Consultative International de Telephone et Telegraphie  
CIRC - Circuito  
CK - Clock  
CL - Clear  
COD - Codificador  
CONV - Convertido  
DEMUX - Demultiplex ou Demultiplexador  
DISC - Discriminador  
DP - Decimal Point  
ENT - Entrada  
EST - Estável  
E.T. - Equipamento de Teste  
EXT - Externo  
f - Frequência  
FF - Flip-Flop  
FFD - Flip-Flop D  
FFJK - Flip-Flop JK  
FPB - Filtro Passa-Baixas  
H - High (Lógica "1")  
HDB3 - High Density Binary 3  
INT - Interno  
JL - Jitter de Linha  
JTE - Jitter de Tempo de Espera  
L - Low (Lógica "0")  
LS - Low Schottky  
MCP - Modulação por Código Pulsado  
MOD - Modulação  
MUX - Multiplex ou Multiplexador  
NRZ - Não retorno ao zero  
OCV - Oscilador Controlado por Voltagem  
P.A. - Pseudo-Aleatório  
PF - Painel Frontal  
PLL - Phase Locked Loop

POL - Polaridade  
ppm - Partes por milhão  
PR - Preset  
RC - Relógio Convertido  
RE - Relógio Estável  
REF - Referência  
REL - Relógio  
RJ - Relógio com Jitter  
RJ2M - Relógio com Jitter na frequência de 2MHz  
RJ8M - Relógio com Jitter na frequência de 8MHz  
RL - Relógio de Linha  
RZ - Retorno ao zero  
S - Schottky  
SEG - Segmento  
SEQ - Sequência  
SINC - Sincronismo  
TTL - Transistor - transistor - logic  
UKPO - United Kingdon Post Office  
Vcc - Alimentação de 5 Volts  
V - Pulso de Violação Ímpar  
V\*- Pulso de Violação Par  
VI - Violação Ímpar  
VP - Violação Par  
X - Irrelevante  
 $\rho$  - Razão de Justificação  
2M - 2.048.000  
8M - 8.448.000  
34M - 34.368.000

CAPÍTULO I

INTRODUÇÃO

Com o rápido desenvolvimento das técnicas digitais ocorrido nos últimos anos, os sistemas de multiplexação por divisão de tempo (TDM) tornaram-se praticáveis. Desta família, o sistema MCP (Modulação por Códigos Pulsados), que permite a ampliação da capacidade das rotas já existentes sem acréscimo de novos cabos, é o mais utilizado e aperfeiçoado atualmente.

No sistema MCP de 1ª ordem (30 canais telefônicos), cada canal é amostrado a uma velocidade de 8KHz e cada amostra é codificada digitalmente a 8 bits. Nos sistemas de ordens superiores, a multiplexação é geralmente feita a partir de quatro sistemas de ordem imediatamente inferior. Nestes, o processamento dos sinais é essencialmente digital, o que não ocorre com o sistema de 1ª ordem (híbrido).

Como todo sistema de comunicações, este também tem suas limitações práticas que são oriundas do próprio processo de multiplexação, meio de transmissão, etc. Muitos problemas devem ser estudados e eliminados na fase de projeto e uma especificação rigorosa deve ser feita para permitir que o equipamento tenha um bom desempenho em uso intensivo.

Para se colocar estes sistemas em especificação, muitos testes e medidas e consequentes aprimoramentos devem ser providenciados. Para estes testes, equipamentos adequados devem ser utilizados, sem os quais o sucesso prático do projeto dificilmente será alcançado.

Para o teste e medida sobre os sistemas MCP, um EQUIPAMENTO DE TESTE foi projetado e implementado. Este tem condições de participar na maioria dos testes e medidas necessárias aos sistemas MCP de 2ª e 3ª ordens e alguns do de 1ª e 4ª ordens. (Este equipamento visa principalmente os sistemas de 2ª, 3ª e 4ª ordens, visto que para o sistema de 1ª ordem já existem outros equipamentos com condições de realizar os testes e medidas necessárias.)

As frequências de operação são, a princípio, idênticas às das três primeiras ordens do sistema: 2,048MHz ; 8,448MHz e 34,368MHz. Este equipamento de teste foi projetado para gerar formas de ondas nessas frequências, simular sinais digitais aleatórios, por meio dos quais poderemos medir o desempenho do sistema.

No conjunto, o equipamento pode ser requerido para vários testes do sistema multiplex MCP. A simulação de padrões de linha, assim como testes de aceitação e medida de "jitter", ou ainda da taxa de erro, podem ser realizados. No entanto, como todo

equipamento, este também tem suas limitações. Quando possível, as mesmas serão apresentadas e discutidas.

O nosso intuito neste trabalho é o de apresentar um equipamento para teste do sistema MCP que possa auxiliar de maneira mais eficiente e prática o seu desenvolvimento.

No Capítulo II, apresentamos um enfoque geral do equipamento, fornecendo para isso a sua constituição elétrica e mecânica, para que o leitor fique familiarizado com o equipamento de teste.

Restringindo-nos às particularidades técnicas, no Capítulo III descrevemos cada circuito que compõe o equipamento, explicando o seu princípio de funcionamento e a sua implementação. São também fornecidas formas de onda que poderão, no conjunto, dar uma idéia da simplicidade e conseqüente desempenho dos circuitos.

No Capítulo IV, apresentamos alguns resultados de interesse que deverão ser conhecidos pelos usuários durante os testes e medidas a serem realizadas.

O Capítulo V traz alguns testes específicos propostos para o sistema MCP, que poderão ser efetuados com o equipamento projetado.

Conclusões gerais são dadas no Capítulo VI.

CAPÍTULO II

O EQUIPAMENTO

## .1 - INTRODUÇÃO

Neste capítulo daremos uma idéia da constituição física do equipamento de teste, ressaltando bastante a estrutura elétrica e mecânica. É importante discorrermos sobre estes itens para melhor compreensão da funcionalidade do equipamento como um todo. Através do diagrama em blocos poder-se-á ter uma visão geral da estrutura elétrica do equipamento: as funções desempenhadas e os circuitos necessários para realização de tais funções. Com a apresentação do painel frontal, serão dados os meios de acesso aos comandos seletores das funções requeridas e possíveis do equipamento. Uma visão mecânica e das ligações elétricas painel frontal - circuitos será dada também.

## I.2 - ESTRUTURA ELÉTRICA

O equipamento projetado e implementado está representado esquematicamente na Fig. II.1.

Basicamente, o equipamento trabalha em três frequências: 2.048KHz, 8.448KHz e 34.368KHz, geradas por osciladores a cristal. No entanto, pode ser providenciado um relógio externo de frequência desejada (Vide "máxima frequência de operação dos circuitos", Cap. IV). Um seletor de velocidade é utilizado para a escolha da frequência de operação. Este relógio, denominado RELÓGIO ESTÁVEL (RE), poderá ainda conter variações de fase ("jitter") de amplitude e frequência desejadas. Esta possibilidade é obtida por meio de um outro seletor e o relógio então recebe o nome de RELÓGIO DE LINHA (RL). Para se conseguir o RL com jitter, o circuito GERADOR DE JITTER é projetado para, a partir do RE, introduzir neste uma modulação de fase cujas características são estabelecidas por um modulador externo.

A partir do RL, dois tipos de padrões binários são obtidos: padrões alternativos e padrões aleatórios. Para os alternativos, dois geradores de palavras independentes, mas síncronos, são necessários. O GERADOR PADRÃO A (B) fornece uma sequência repetitiva de 16 bits ("duty cycle" de 100%), cujo formato é estabelecido pelas 16 chaves on-off localizadas no painel frontal. Os padrões A e B são então levados a um circuito ALTERNADOR, cuja função é misturar esses padrões de uma forma ordenada. Deste circuito, 7 padrões podem ser obtidos: somente o padrão A; somente o pa

drão B; padrão AnB; padrão (n+1)A(n+1)B ;  $10An10B$  ;  $10^2An10^2B$  ou  $10^3An10^3B$ , onde  $1 < n < 9$  pode ser escolhido por meio de uma chave seletora. Os padrões aleatórios são simulados por GERADORES PSEUDO-ALEATÓRIOS de comprimentos  $2^{15}-1$  ou  $2^{22}-1$  bits. Na sequência pseudo-aleatória poderá ser introduzida uma sequência de zeros denominada "Porção Estática", cujo comprimento poderá ser escolhido desde 0 até 999 bits. Uma outra chave seletora permite a saída somente da sequência pseudo-aleatória ou desta acrescida da porção estática.

A saída do padrão binário desejado é então estabelecida por um seletor no painel frontal, decidindo por uma das 7 alternativas do circuito Alternador ou por uma das 4 possibilidades da sequência pseudo-aleatória ou ainda pelo padrão externo.

Do circuito alternador e do gerador P.A. são obtidas ondas de TRIGGER que, por meio da mesma chave seletora do padrão binário de saída, estabelece o correspondente TRIGGER de saída. Um trigger externo também pode ser selecionado se for desejado utilizar-se o padrão binário externo.

As ondas então selecionadas, BINÁRIO e TRIGGER poderão ou não conter jitter, se assim for desejado, uma vez que são geradas a partir do RL. Estas, em conjunto com o RE e o RL, são introduzidas num circuito de saída, cuja função é proteger e permitir uma boa capacidade de drenagem com um alto fan-out de saída.

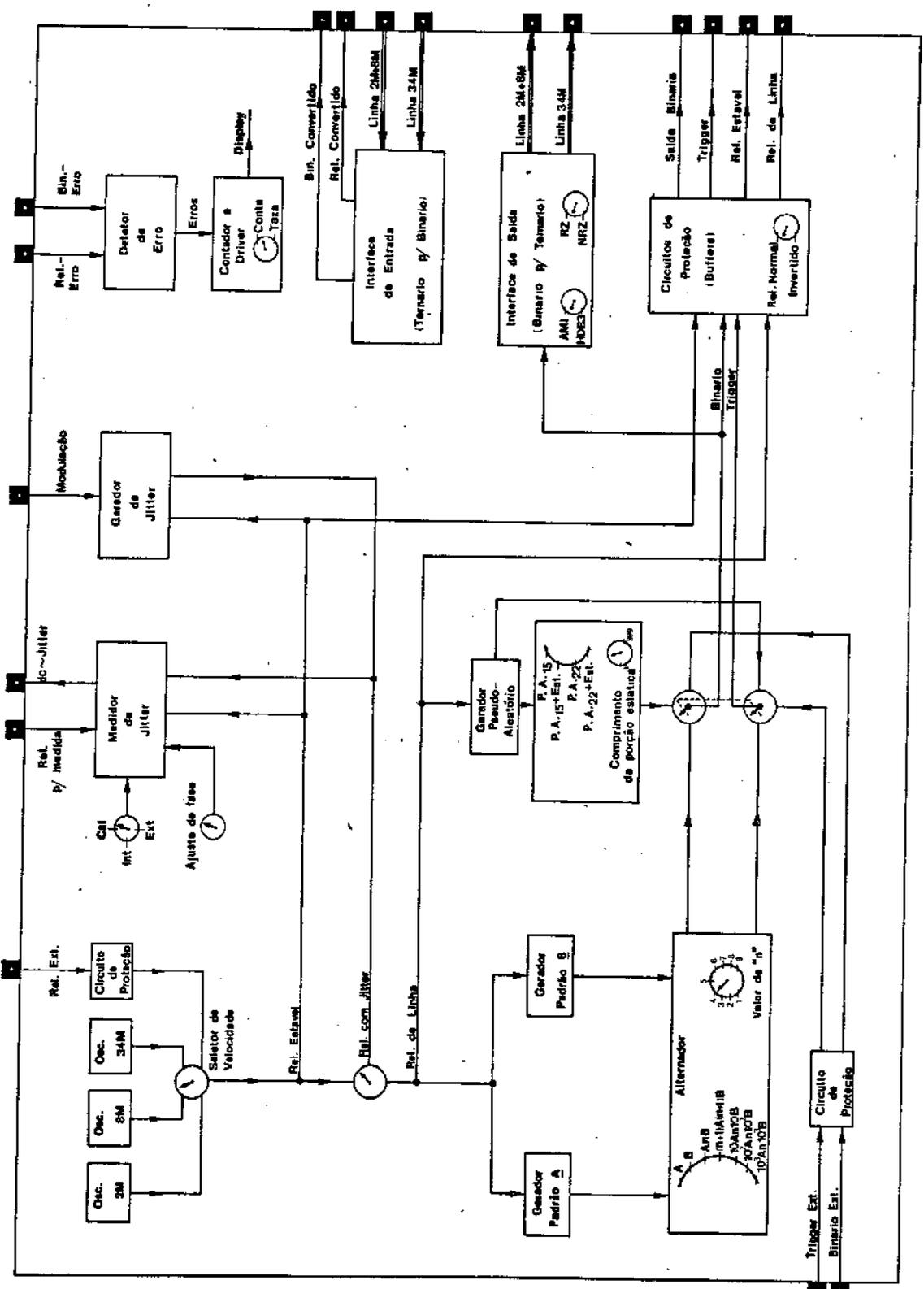
O RL de saída poderá ainda ser invertido de  $180^\circ$  por meio de um seletor no PF.

O padrão binário selecionado pode ser também retirado do equipamento no formato ternário. Para isto, um circuito denominado INTERFACE DE SAÍDA recebe o padrão BINÁRIO e codifica-o em AMI ou HDB3, conforme o escolhido na chave seletora correspondente. O padrão ternário de saída tem seus bits com 50% (RZ) ou 100% (NRZ) de "duty cycle" dependendo do selecionado no PF. Um único transformador de saída, com especificações para  $75\Omega$  de impedância, é providenciado para as frequências de 2M e 8M, enquanto que para 34M um transformador independente é necessário.

Para o processo inverso, a decodificação ternário-binário, um circuito denominado INTERFACE DE ENTRADA é utilizado. Este circuito realiza também a extração da onda de relógio independentemente da frequência recebida. As saídas recebem então o nome de BINÁRIO CONVERTIDO e RELÓGIO CONVERTIDO.

O circuito DETETOR DE ERRO é projetado de tal forma que sejam detetados erros unitários no sinal binário em teste. Por motivos de simplicidade e interesse, este circuito está apto somente a operar com o padrão pseudo-aleatório de comprimento  $2^{15} - 1$  bits. O Detetor realiza automaticamente o sincronismo entre o padrão gerado e o recebido e a cada bit errado o circuito fornece um pulso na saída. Estes pulsos são denominados ERROS. A saída do detetor de erros é levada a um circuito contador que registra a ocorrência dos erros. Este circuito tem possibilidade de registrar os erros acumulados quando selecionado no PF a posição CONTA, ou medir a quantidade de erros ocorridos em  $10^6$  bits quando é selecionada a posição TAXA. Estas medidas são lançadas no Display localizado no PF por meio de um circuito codificador 7 segmentos/Driver.

Finalmente, o circuito MEDIDOR DE JITTER realiza medidas da amplitude do jitter sobre ondas de relógio. A saída do circuito fornece uma tensão DC que é proporcional à amplitude de pico do jitter contido na onda de relógio medida. Para isto, é necessário que se tenha acesso a um ajuste de fase do relógio com jitter introduzido e do relógio de referência que é dado pelo RE.



( 2 → INC )

Fig. II.1 DIAGRAMA EM BLOCOS DO EQUIPAMENTO DE TESTE

### II.3 - PAINEL FRONTAL

Todos os comandos através de chaves seletoras descritos anteriormente se encontram no PAINEL Frontal. Por isso será dada aqui uma rápida apresentação da configuração desta parte do equipamento. A Fig. II.2 mostra o esquema implementado para o PF.

Na região à direita do PF temos um conjunto de 8 chaves rotativas e um potenciômetro. Essas chaves operam de tal forma que a posição escolhida é "aterrada", enquanto que as demais permanecem ligadas à alimentação de 5V por meio de um resistor de 1K. Então, selecionar uma dada posição da chave significa levar para nível zero (0 Volts) esta posição.

①\* A primeira chave à direita no conjunto superior é o seletor de velocidades:

2.048KHz

8.448KHz

34.368KHz

EXT

⑭ Quando a posição EXT for selecionada, deve-se fazer uso da entrada BNC denominada REL EXT, localizada à esquerda na parte inferior do PF.

② A chave seletora seguinte permite selecionar o relógio com ou sem jitter:

ESTÁVEL

JITTER

⑮ As saídas correspondentes do equipamento podem ser tomadas através de conectores BNC nas posições: REL EST e REL LINHA. Quando a posição ESTÁVEL for selecionada, as duas saídas não conterão jitter; no entanto, se a posição JITTER for selecionada, a saída REL LINHA será afetada pelo jitter introduzido com o auxílio do GERADOR DE JITTER. Para este caso, a entrada BNC denominada MOD é utilizada para se obter o RL com jitter de amplitude e frequência desejadas.

③ Esta chave seletora, cujas posições são:

NORMAL

INVERTE

proporciona uma inversão na saída RL se a segunda posição for tomada.

---

\*Utilizaremos este tipo de notação para relacionar exatamente a região descrita com a indicada na Fig. II.2.

As chaves seletoras centrais (④, ⑤ e ⑦) proporcionam a escolha do formato padrão de saída.

④ Com esta chave, pode-se selecionar uma das 12 possibilidades seguintes, sendo 11 de seleção interna e 1 externa:

- $P_1 : A$
- $P_2 : B$
- $P_3 : AnB$
- $P_4 : (n+1)A(n+1)B$
- $P_5 : P.A. (15)$
- $P_6 : P.A. (15) + EST$
- $P_7 : EXT$
- $P_8 : 10An10B$
- $P_9 : 10^2An10^2B$
- $P_{10} : 10^3An10^3B$
- $P_{11} : P.A. (22)$
- $P_{12} : P.A. (22) + EST$

⑤ onde o valor de  $n [1 \leq n \leq 9]$  é escolhido na chave seletora central.

⑥ As palavras padrões A e B são obtidas dos dois conjuntos de chaves de duas posições (on-off), localizadas na região à esquerda do PF. Cada conjunto é utilizado para gerar o formato de uma palavra. Para a palavra A, utilizamos as chaves superiores e para a palavra B as inferiores. Através de cada chave, podemos selecionar lógica "0" ou "1" para cada um dos 16 bits da palavra.

Quando selecionamos A, temos, na saída BNC denominada BINÁRIO, a sequência repetitiva dos 16 bits selecionados no conjunto de chaves da palavra A:

... A A A A A ...

16 bits

O mesmo ocorre quando selecionamos B.

As duas posições seguintes, assim como a oitava, nona e décima, permite obter uma multiplicidade de alternativas entre as palavras A e B. Por exemplo, quando selecionamos AnB com  $n=3$ , o formato de saída será:

A B B B A B B B A B B B A B ...

Quando selecionamos  $(n+1)A(n+1)B$  obtemos uma sequência onde tanto a palavra A como a B podem ser alteradas pelo valor de n. Como exemplo, seja o valor de  $n=3$ ; então o formato de saída será:

A A A A B B B B A A A A B B ...

Para as outras 3 alternativas  $10^i A n 10^i B$  ( $i=1,2,3$ ), realizamos uma alteração por fatores de 10 no formato  $A n B$ . Desta forma, conseguimos obter uma comutação de baixa frequência entre os padrões A e B. Por exemplo, para  $10^3 A n 10^3 B$ , onde  $n=1$ , teremos:

$\underbrace{A A A \dots A}_{10^3} \underbrace{B B B \dots B}_{10^3} A A A \dots A B \dots$

A frequência de comutação entre os  $10^3 A$  e os  $10^3 B$  será de 128Hz para uma frequência de relógio de 2.048KHz.

Quando selecionado P.A. (15), a saída binária é uma sequência pseudo-aleatória de comprimento  $2^{15} - 1$ . Na posição seguinte, P.A. (15) + EST, poderemos intercalar uma região de zeros. O comprimento desta região poderá variar desde 0 até 999 bits e é estabelecida através do Thumbwheel de 3 dígitos decimais. Identicamente, para P.A. (22) teremos uma saída binária cujo comprimento da sequência pseudo-aleatória é  $2^{22} - 1$  bits. A posição EXT é reservada para uma entrada externa pelo conector BNC denominado BIN EXT. Para qualquer um destes padrões de saída, temos um "duty cycle" de 100% em relação ao relógio, que é de 50%.

Na chave seletora à direita, podemos estabelecer o código de linha para o padrão ternário gerado a partir do padrão binário selecionado, como descrito anteriormente. A codificação é efetuada numa das duas possibilidades:

AMI  
HDB3

Em conjunto com esta chave seletora, deverá ser acionada a chave à direita na parte inferior onde selecionamos:

RZ  
NRZ

Para NRZ (não retorno ao zero) os bits da sequência ternária na saída tem "duty cycle" de 100%. Para RZ (retorno ao zero) o "duty cycle" é de 50%.

A saída BNC correspondente recebe o nome de:  
LINHA (2M+8M) BITS/S  
LINHA 34M BITS/S

As duas últimas posições da parte inferior são reserva  
⑨ das exclusivamente ao medidor de jitter. Com a chave seletora da direita selecionamos a medida de jitter numa das seguintes posições:

CAL

INT

EXT

Na primeira posição, CALIBRADO, a entrada é o próprio sinal de referência do medidor de jitter. Desta forma, poderemos calibrar o medidor com o próprio sinal de referência.

Na segunda posição, INTERNO, o sinal de entrada será a saída do gerador de jitter do equipamento. Nesta posição, teremos condições de medir a amplitude do jitter gerado internamente.

Na terceira posição, EXTERNO, a entrada do medidor é um sinal de relógio externo para medida. A entrada externa é feita pelo BNC denominado MEDIDOR assim também como sua saída.

⑩ Nesta posição, temos um potenciômetro que é utilizado para o ajuste de fase do medidor de jitter. Este potenciômetro permite, através do ajuste de fase do sinal de referência (RE) com o relógio externo para medida, que se possa determinar a amplitude correta do jitter.

⑪ No PF temos ainda o DISPLAY de 3 dígitos que, em conjunto com a chave de duas posições com denominações:

⑫

CONTA

TAXA

⑬ e do botão RESET, faz parte dos circuitos de detecção e medida de erros. Estas operações somente são possíveis para uma sequência padrão pseudo-aleatória de comprimento  $2^{15} - 1$ , idêntica à gerada no próprio equipamento. Os erros detetados são erros unitários e a quantidade cumulativa dos mesmos pode ser visualizada no display quando selecionado CONTA. O contador, neste caso, conta até 999 quando então é automaticamente resetado, reiniciando a contagem. Quando selecionamos TAXA, uma medida da quantidade de erros ocorridos em  $10^6$  bits é lançada no display. Esta medida é realizada independente da frequência utilizada. Através do botão RESET podemos zerar o contador.

Para utilização do detetor de erro, duas entradas BNC são necessárias:

BINÁRIO-ERRO

RELÓGIO-ERRO

as quais são o sinal binário p.a. em conjunto com o relógio para teste da ocorrência dos erros.

As saídas e entradas do equipamento que são realizadas por conectores BNC, estão localizadas na parte inferior do PF. Elas são enumeradas a seguir:

⑭ ENTRADAS

RELÓGIO EXTERNO  
BINÁRIO EXTERNO  
MODULAÇÃO  
RELÓGIO ERRO  
BINÁRIO ERRO  
MEDIDOR  
LINHA (2M+8M)BITS/S  
LINHA 34MBITS/S  
TRIGGER

⑮ SAÍDAS

TRIGGER  
LINHA (2M+8M)BITS/S  
LINHA 34MBITS/S  
MEDIDOR  
RELÓGIO CONVERTIDO  
BINÁRIO CONVERTIDO  
RELÓGIO ESTÁVEL  
RELÓGIO DE LINHA  
BINÁRIO

⑰ Uma chave de duas posições LIGA-DESLIGA é utilizada para acionarmos a alimentação dos circuitos.

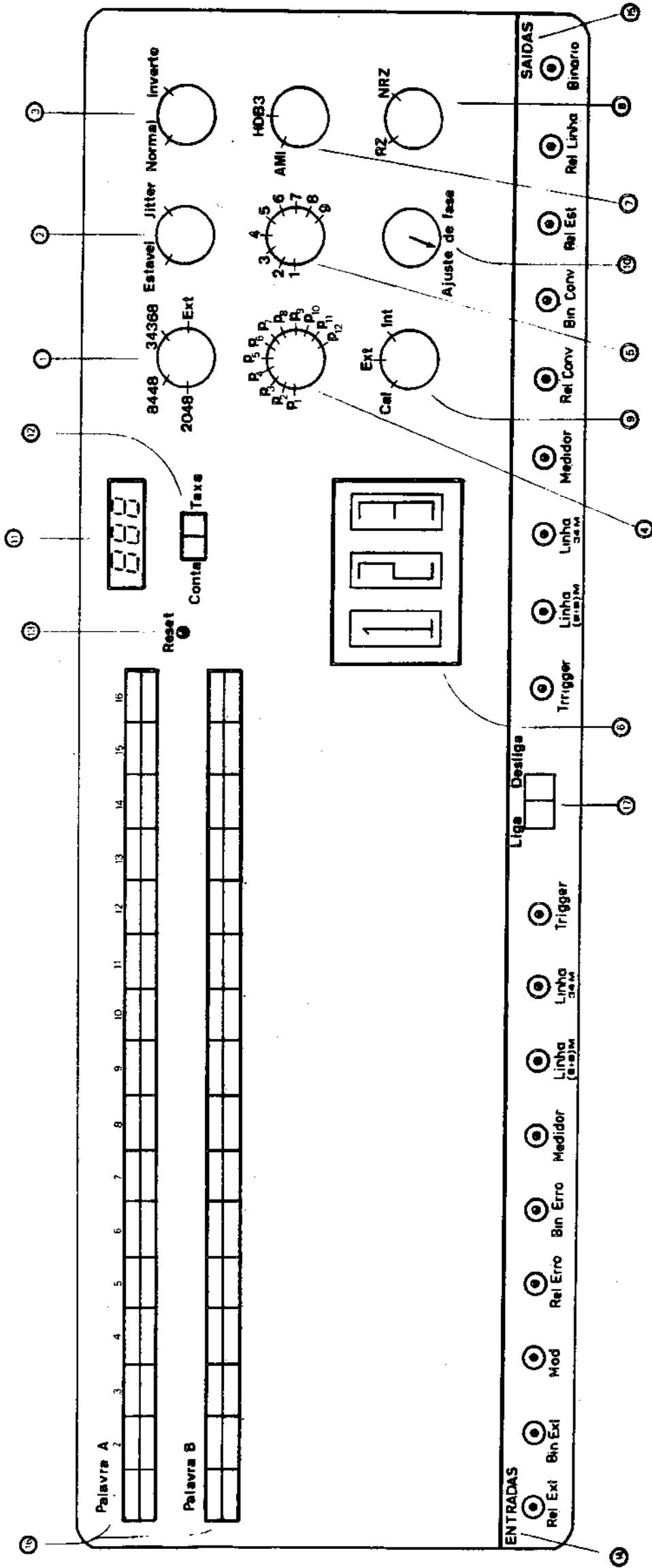


Fig. II.2 - Painel Frontal

#### I.4 - ESTRUTURA MECÂNICA

Um bastidor foi comprado especialmente para sustentar as placas dos circuitos implementados. Este bastidor foi imbutido numa caixa metálica projetada para este fim. O painel frontal também foi construído segundo o esquema básico dado na Fig. II.2. Desta forma, as placas dos circuitos foram dispostos verticalmente no bastidor. As ligações entre circuitos-painel frontal foram realizadas por meio de "cintas" (arranjo de 22 fios interligados paralelamente). Pode-se ter uma idéia desta configuração por meio da Fig. II.3. Esta figura representa uma vista da parte superior do equipamento. Nessa configuração, foram dispostas as placas dos circuitos (na mesma ordem de apresentação da figura), a fiação circuitos-painel frontal, o transformador e dissipadores da fonte de alimentação e o próprio painel frontal.

Como se pode ver na mesma figura, há um espaçamento desigual entre os circuitos. O motivo disto deve-se a problemas de aquecimento e interferência (circuitos de relógios), ou ainda pela altura de componentes (gerador e medidor de jitter e interfaces).

Na disposição dos circuitos procurou-se colocar mais à esquerda (em relação ao PF) os que continham mais interconexões com o PF.

As ligações via cabo coaxial entre os circuitos e conectores BNC foram realizadas na parte inferior do equipamento, entre o bastidor e a caixa metálica.

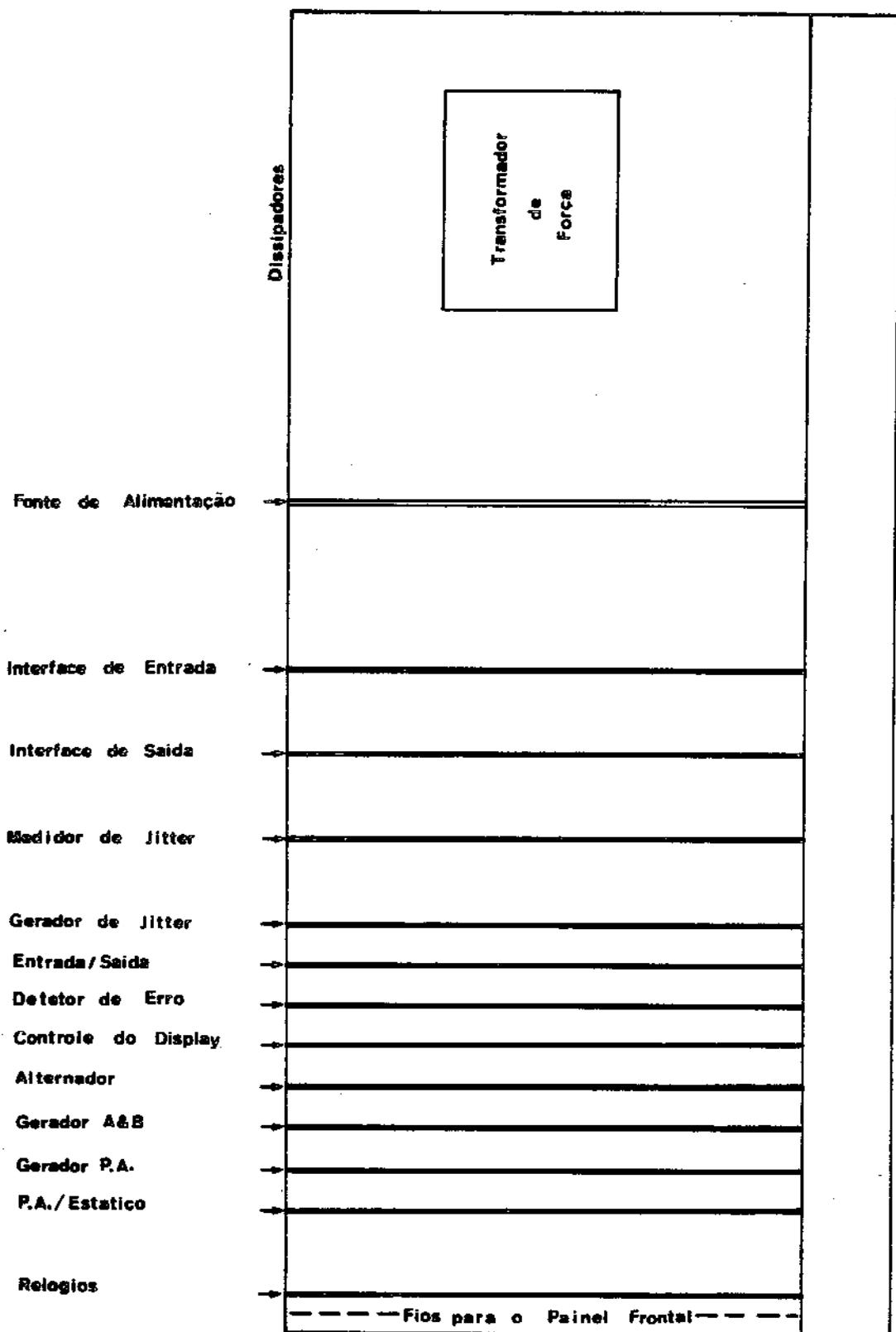


Fig. 11.3 - SUBRACK

CAPÍTULO III

CIRCUITOS

## I.1 - INTRODUÇÃO

Apresentadas as idéias básicas da estrutura do equipamento de teste, iniciaremos agora uma descrição particular de cada circuito que compõe o equipamento, tentando mostrar seu princípio de funcionamento e o seu modo de operação. A implementação final, assim como as formas de onda em vários pontos do circuito, também são fornecidas.

A descrição procurará dar uma conceituação da implementação de cada circuito, não se aprofundando demasiadamente no assunto, mas serão dadas as razões pelas quais se projetou e implementou desta ou daquela forma cada função do circuito.

O diagrama em blocos do equipamento, já dado e explicado na Fig. II.1, deixa o leitor informado da estrutura do equipamento. Este diagrama mostra, à princípio, que tipo de circuitos são necessários e que funções deverão realizar. Agora, outro diagrama em blocos é fornecido, onde se apresenta todos os circuitos projetados e implementados e as ligações inter-circuitos com os respectivos nomes recebidos. A Fig. III.1 mostra tal diagrama em blocos.

Esta figura é de grande importância para se conhecer todas as entradas e saídas, assim como todas as ligações entre os circuitos. Com isto, no encaminhamento que será dado a seguir, na descrição de cada circuito em particular, poder-se-á entender as funções de um circuito em conjunto com os outros do equipamento.

Os circuitos serão descritos na seguinte ordem:

- 1) RELÓGIOS
- 2) GERADOR DE PALAVRAS A & B
- 3) ALTERNADOR
- 4) GERADOR PSEUDO-ALEATÓRIO
- 5) PSEUDO ALEATÓRIO/ESTÁTICO
- 6) CIRCUITO ENTRADA/SAÍDA
- 7) DETETOR DE ERRO
- 8) CONTROLE DO DISPLAY
- 9) GERADOR DE JITTER
- 10) MEDIDOR DE JITTER
- 11) INTERFACE DE SAÍDA
- 12) INTERFACE DE ENTRADA
- 13) FONTE DE ALIMENTAÇÃO



## I.2 - RELÓGIOS

Para melhor descrição do circuito de RELÓGIOS, este será subdividido em Osciladores, Divisores e Seletor de Relógio.

### III.2.1 - Osciladores

Para obtermos relógios de frequências estáveis e precisas, utilizamos osciladores a cristal.

A configuração utilizada para confecção desses osciladores se baseia num Colpitts modificado. Assim sendo, à princípio, o oscilador é um circuito sintonizado que procura "amarrar" a frequência fundamental do cristal. Como podemos verificar pelo circuito básico utilizado, dado na Fig. III.2 abaixo, o cristal permite uma realimentação entre o divisor capacitivo e o emissor do transistor NPN, na configuração base comum, fazendo com que o circuito oscile na frequência série do cristal.

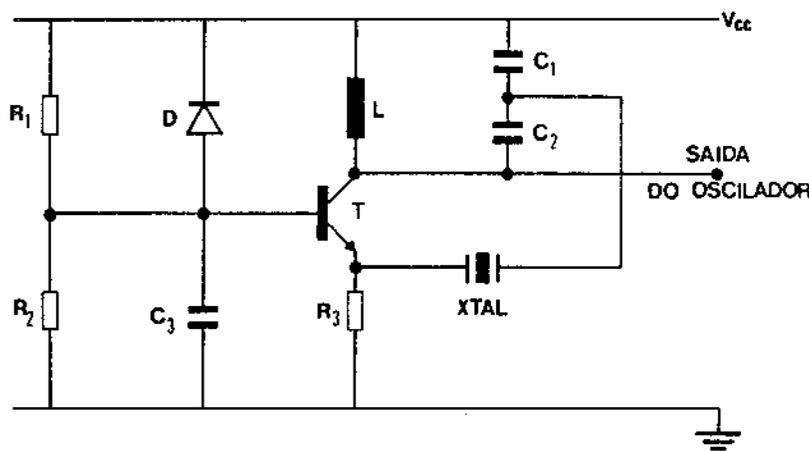


Fig. III.2 - Oscilador Colpitts a cristal

Quando trabalhamos com cristais para operarem na sua frequência fundamental, este tipo de circuito é bastante eficiente, apresentando uma boa estabilidade de frequência.

Numa primeira aproximação, podemos obter uma relação entre os componentes do circuito tanque L, C<sub>1</sub> e C<sub>2</sub>, considerando -se que o XTAL está curto-circuitado, de tal forma que a frequência de oscilação do circuito Colpitts pode ser determinada. A frequência de oscilação então será dada por:

$$f_0 \cong \frac{1}{2\pi \sqrt{L \frac{C_1 C_2}{C_1 + C_2}}}$$

No projeto do circuito tanque, os valores dos elementos reativos  $L$ ,  $C_1$  e  $C_2$  devem obedecer essa relação desde que a frequência  $f_0$  seja a frequência de ressonância série do cristal. Na prática, no entanto, verifica-se que há somente uma aproximação desse resultado.

Quando o cristal é adicionado ao circuito, conforme a Fig. III.2, este tenderá a oscilar na frequência série do cristal, pois neste caso ainda a resistência série do cristal é relativamente baixa, recaindo no caso anterior.

Os demais elementos resistivos do circuito oscilador são para polarização e o diodo  $D$  para prevenção de transientes na tensão de polarização.

Como este circuito não permite uma boa drenagem de corrente e sua forma de onda não é compatível com TTL, como nos é necessário, utilizamos um seguidor de emissor, que, além destas exigências, permite isolar o circuito oscilador do divisor utilizado. Para implementar o seguidor, utilizamos um transistor PNP rápido, que fornece uma onda de saída, como mostrada na Fig. III.3 abaixo.

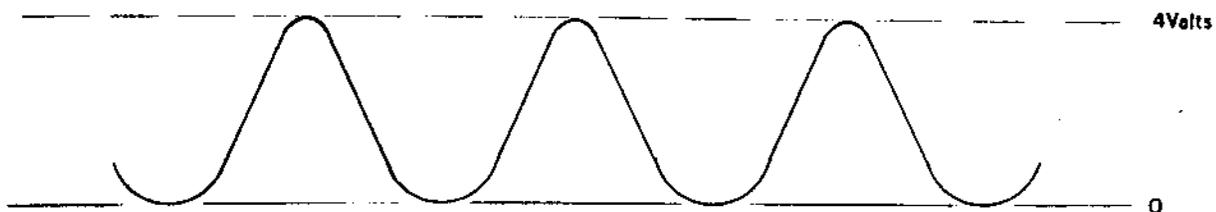


Fig. III.3 - Forma de onda no emissor do circuito seguidor

Geralmente a frequência de oscilação série do cristal não é exatamente a frequência padrão especificada, por isto um ajuste se faz necessário. Este ajuste pode ser realizado por meio de um capacitor variável de até 50pF (normalmente em série com o cristal).

Para os relógios de 2.048KHz e 8.448KHz, os osciladores projetados e construídos têm frequências de 4.096KHz e 16.896KHz respectivamente. Isto, de certo modo, traz uma vantagem para a realização de um bom relógio, como veremos a seguir. O oscilador para o relógio de 34.368KHz não foi implementado por várias razões que não serão descritas aqui.

O esquema básico dos osciladores projetados com os valores dos componentes utilizados é dado na Fig. III.4.

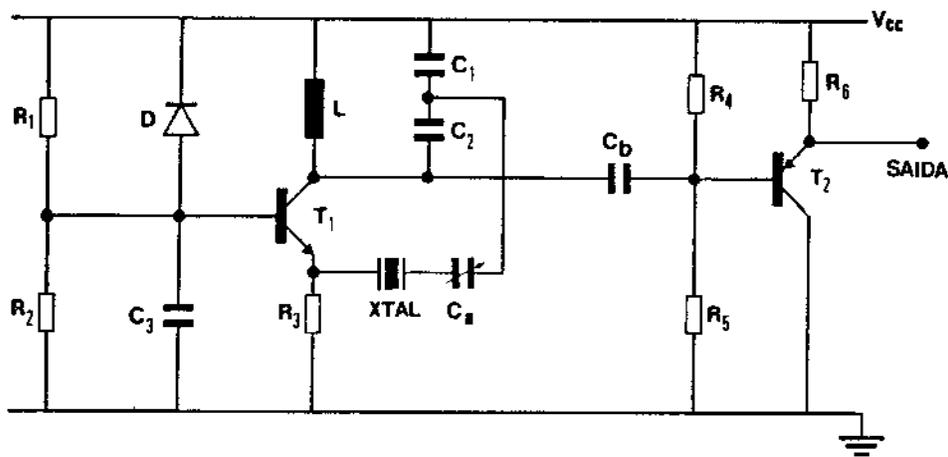


Fig. III.4

OSCILADOR DE 4.096KHz

$R_1 = 1K$	$R_2 = 3K$	$R_3 = 1K6$	$R_4 = 22K$	$R_5 = 5K6$
$C_1 = 150pF$	$C_2 = 10pF$	$C_3 = .1\mu$	$C_a = 33pF$	$C_b = .1\mu$
$L = 150\mu H$	$D = 1N4148$	$T_1 = 2N2222$	$T_2 = 2N2907$	

XTAL = 4.096KHz

OSCILADOR DE 16.896KHz

$R_1 = 1K$	$R_2 = 3K$	$R_3 = 270$	$R_4 = 33K$	$R_5 = 5K6$
$C_1 = 330p$	$C_2 = 33p$	$C_3 = .1\mu$	$C_a = 27p$	$C_b = .1\mu$
$L = 2,2\mu H$	$D = 1N4148$	$T_1 = 2N2222$	$T_2 = 2N2907$	

XTAL = 16.896KHz

Fig. III.4 - Osciladores Implementados

Uma análise completa do circuito oscilador é encontrada ma (Ref. 1).

III.2.2 - Divisores

A onda obtida na saída do oscilador, como mostra a Fig. III.3, antes de ser dividida por 2, sofre um quadramento por meio de um gate inversor do tipo Schottky. A saída deste gate possui uma saída de frequência idêntica à do circuito oscilador e um duty

cycle que, em geral, não é exatamente 50%. Todavia, após a divisão por 2 a frequência será metade da de entrada e o duty cycle de 50%, independente do duty cycle de entrada. Para se ter uma idéia melhor do processo, é dado a seguir o comportamento das formas de onda como exemplo.

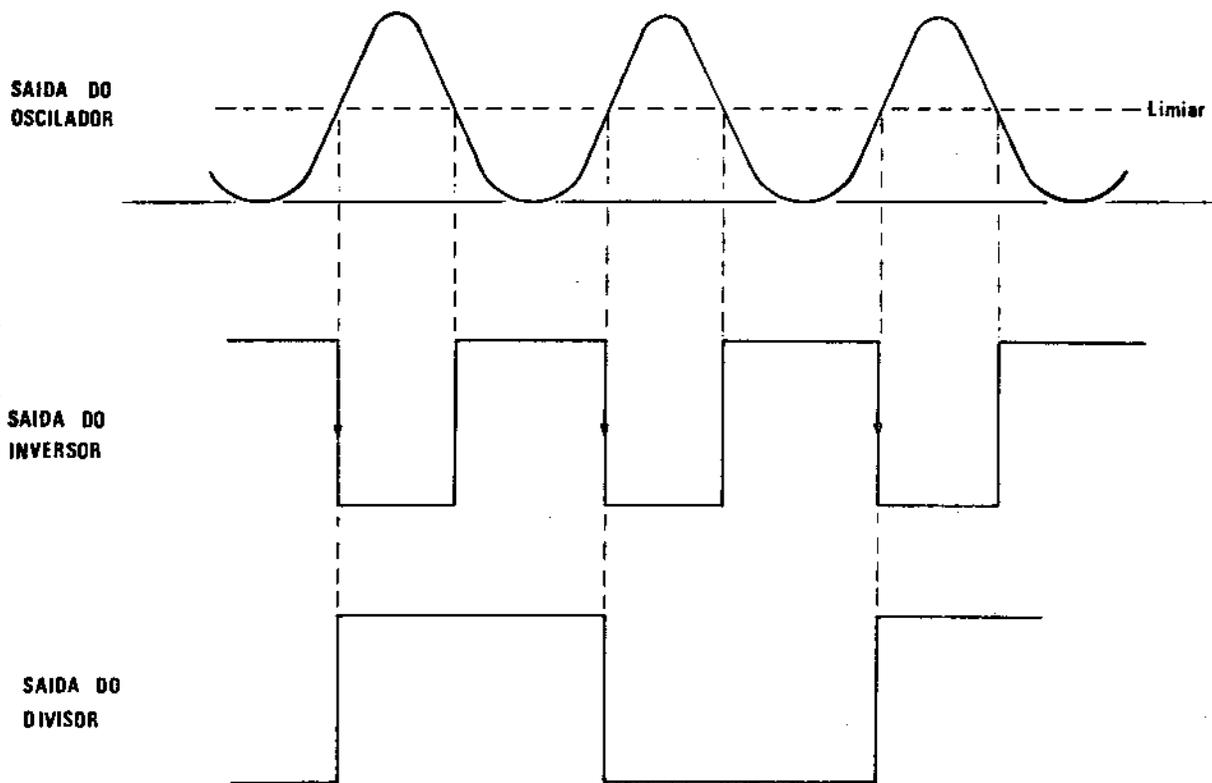


Fig. III.5 - Obtenção da Onda de Relógio

Verifica-se então que, mesmo que o duty cycle da saída do inversor não seja de 50%, o divisor se incumba de quadrar a onda, ao mesmo tempo que divide a sua frequência.

Para impletarmos o divisor por 2, utilizamos um Flip-Flop JK na configuração adequada, conforme a tabela verdade dada na Tabela I.

CK	J	K	PR	CL	Q	$\bar{Q}$
↓	H	H	H	H	MUDA DE ESTADO	

FFJK SN74S112  
H = Nível Lógico 1

Tabela I

Desta forma, a onda de relógio REL, na frequência desejada, é obtida na saída Q do Flip-Flop, enquanto que a onda de relógio

gio invertida  $\overline{REL}$  é dada pela saída  $\overline{Q}$ . A Fig. III.6 mostra o gate quadrador e divisor por 2 implementado.

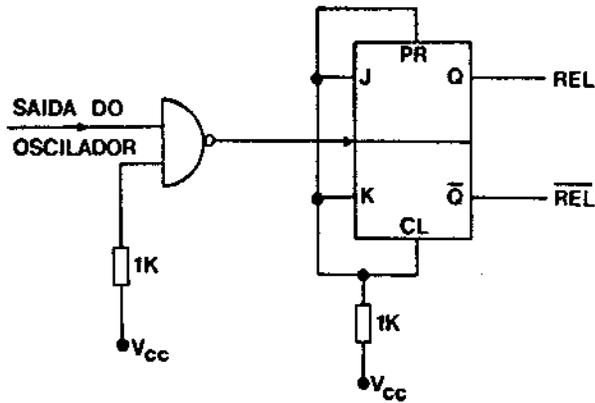


Fig. III.6 - Circuito quadrador e divisor por 2

As frequências nominais, com as respectivas tolerâncias especificadas pela CCITT, são:

- 2.048KHz  $\pm$  50ppm
- 8.448KHz  $\pm$  30ppm
- 34.368KHz  $\pm$  20ppm

Na implementação do oscilador para o relógio de 34MHz de vemos, a princípio, utilizar um cristal que opera em sobre-tom (3ª harmônica) com frequência nominal de 34.368KHz, não havendo portanto necessidade de se dividir por 2 a onda do oscilador. Isto impedirá que se realize um perfeito quadramento da mesma. Para se conseguir ondas de relógio exatamente 180° fora de fase pode-se utilizar gates OU-EXCLUSIVO para inversão e não inversão da onda de saída do circuito oscilador (Vide circuitos "RELÓGIOS").

### III.2.3 - Circuito Seletor de Relógio

O circuito seletor da frequência de relógio é descrito a seguir. O circuito é composto de gates AND/NOR que recebem as saídas dos divisores por 2, após os circuitos osciladores e, comandado pela chave seletora de velocidade localizado no PF, determina a saída correspondente do relógio de frequência selecionada.

Como vimos, a chave tem 4 posições:

- $F_1 \rightarrow 2.048KHz$
- $F_2 \rightarrow 8.448KHz$
- $F_3 \rightarrow 34.368KHz$
- $F_4 \rightarrow EXT$

Quando selecionamos qualquer uma das 4, a correspondente posição da chave é "aterrada", enquanto que as demais permanecem em nível alto (lógica 1). A partir destas considerações, o circuito seletor implementado é dada na Fig. III.7.

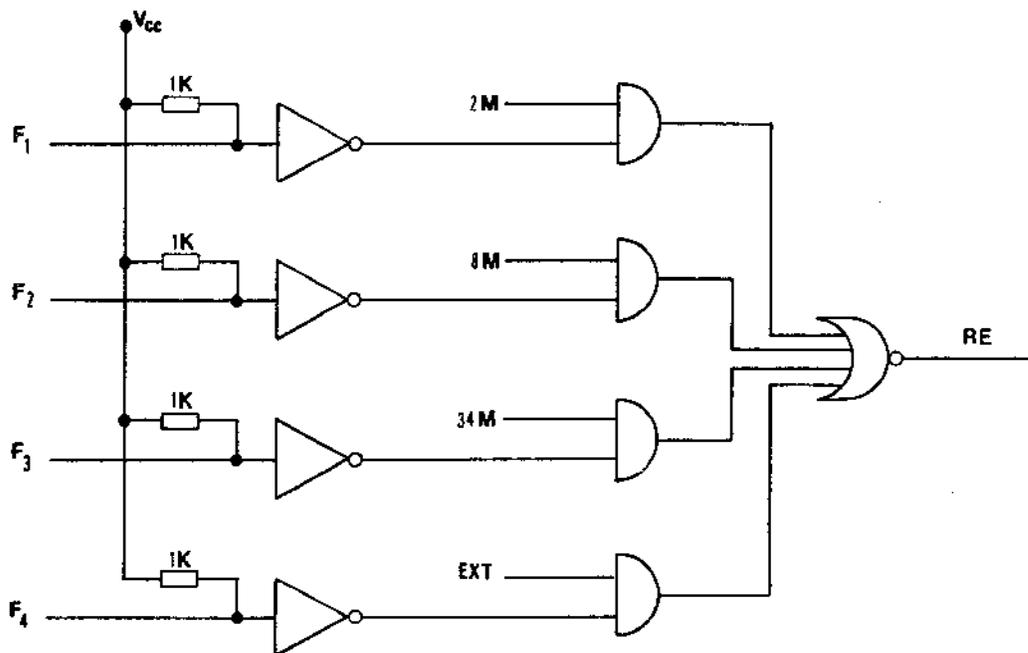


Fig. III.7 - Circuito Seletor da Frequência de Relógio

Suponha, por exemplo, que desejamos selecionar o relógio de frequência 2.048KHz. Com o seletor posicionado em  $F_1$ , a saída do inversor correspondente estará em nível alto, enquanto as demais estarão em nível baixo. Isto permite então que somente o AND que tem a onda 2M à sua entrada não seja inibido. A onda de saída RE (RELÓGIO ESTÁVEL) é dada pela onda invertida do relógio 2M.

Para se obter a onda  $\overline{RE}$ , um gate AND/NOR adicional se faz necessário. Neste caso, as ondas de entrada do circuito seletor são ondas invertidas em relação às anteriores.

#### III.2.4 - Circuito Seletor de Jitter

Para implementarmos a seleção do relógio de linha (RL), afetado ou não com jitter, mais dois gates AND/NOR são utilizados. Como foi exposto no Capítulo II, a partir do RE é obtido o relógio com jitter (RJ) no gerador de jitter. O RL poderá ser então simples

mente o RE, se selecionado ESTÁVEL, ou o RJ, se selecionado JITTER.

O controle se faz da seguinte forma:

$$J_1 = \begin{cases} "1" \rightarrow \text{ESTÁVEL} \\ "0" \rightarrow \text{JITTER} \end{cases}$$

e para isto utilizamos o seguinte circuito:

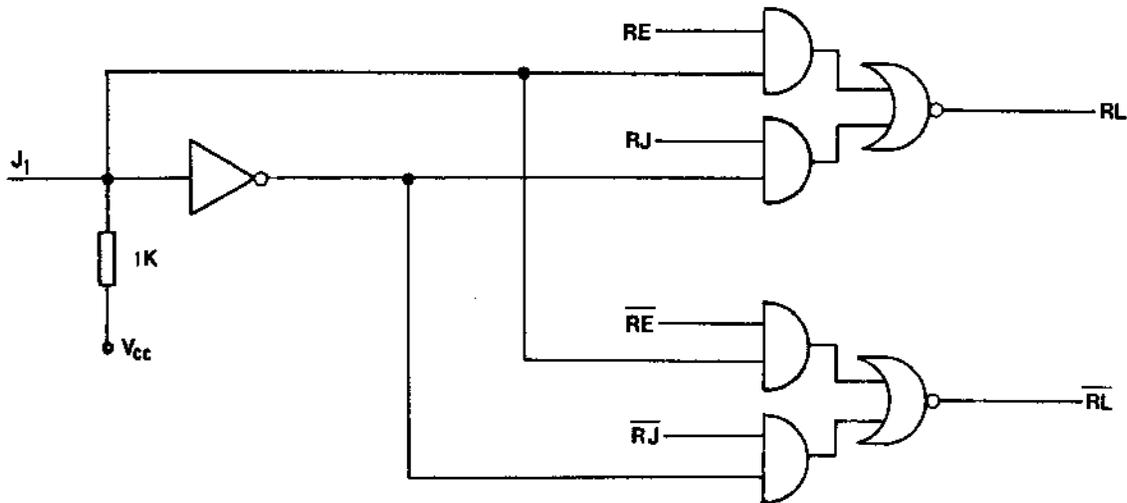
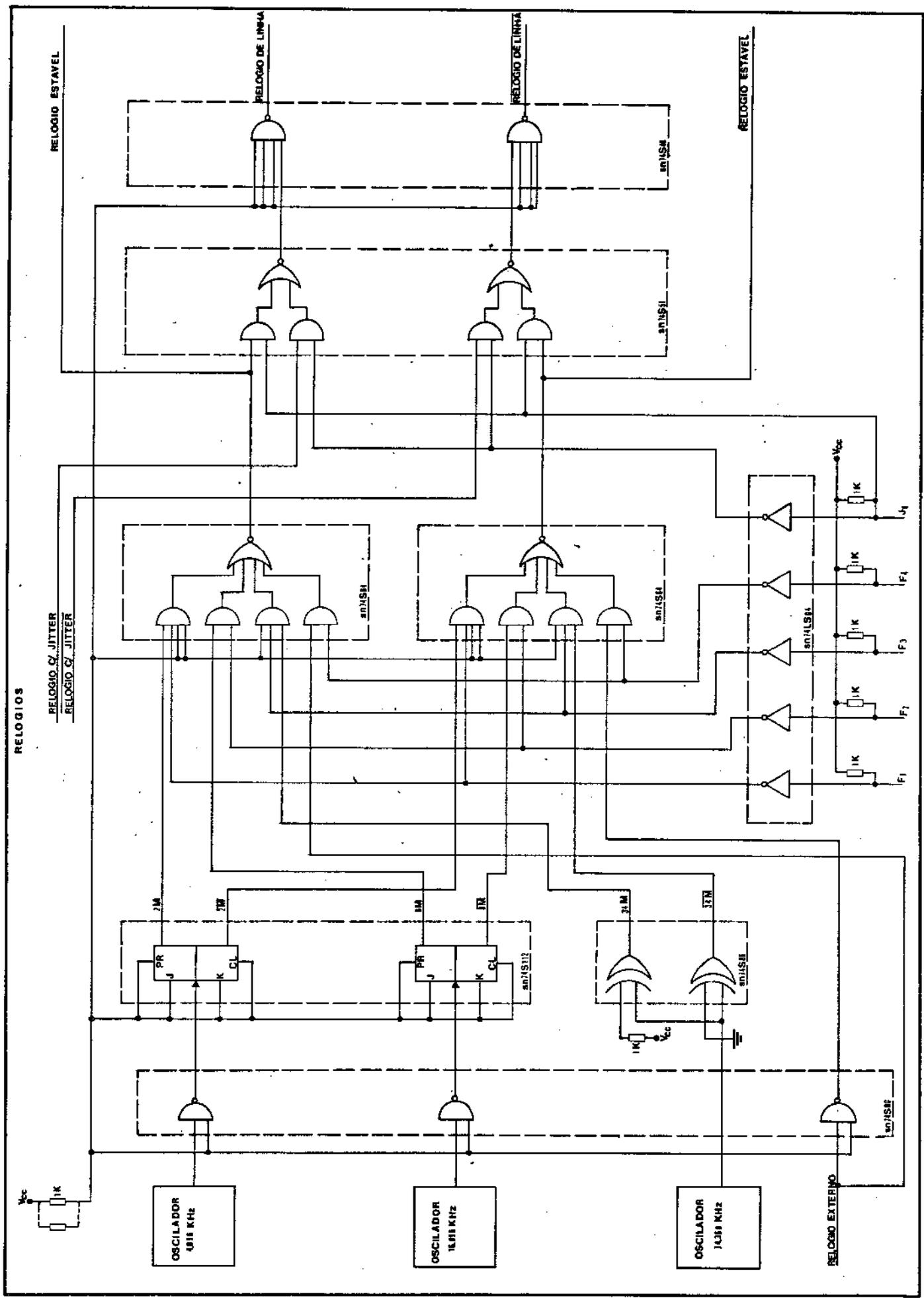


Fig. III.8 - Circuito Seletor do Relógio Com/Sem Jitter

Quando selecionado ESTÁVEL, temos  $J_1 = "1"$ ; portanto a saída do inversor está em nível lógico "0", fazendo com que as ondas RJ e  $\overline{RJ}$  sejam inibidas. O RL adquire a forma do RE. No caso inverso, quando selecionamos JITTER, temos  $J_1 = "0"$ , permitindo que o RL tenha as mesmas variações de fase que o RJ.

O relógio de linha RL ( $\overline{RL}$ ) deve operar com um grande fan-out de saída, pois será acoplado a vários circuitos, como vimos no Capítulo II. Para propiciar este fan-out, um Buffer, constituído pelo gate NAND SN74S40, é utilizado.



### I.3 - GERADOR DE PALAVRAS A & B

O circuito gerador de palavras se baseia no seguinte princípio: janelas de tempo são abertas a cada período da onda de relógio para permitirem a passagem dos bits "1" ou "0", conforme selecionado no PF, num ciclo que se repete a cada 16 períodos da respectiva onda de relógio. Como resultado, obtemos uma palavra repetitiva de 16 bits.

Para implementarmos este gerador de palavras, são necessários três circuitos com funções básicas e determinadas: um circuito sequencial, um circuito iniciador e outro de passagem.

Com o circuito sequencial, geramos as janelas de tempo que permitem a passagem de cada bit. Este circuito deve fornecer a seguinte tabela verdade:

Tabela II

	$A_1$	$A_2$	$A_3$	.....	$A_{16}$
16 ESTADOS	1	0	0		0
	0	1	0		0
	0	0	1		0
	⋮	⋮	⋮		⋮
	0	0	0.....		1
16 ESTADOS	1	0	0.....		0
	⋮	⋮	⋮		⋮
	⋮	⋮	⋮		⋮

Um circuito simples que realiza esta função é um shift - register de 16 estágios, realimentado do último para o primeiro, como mostra a Fig. III.9.

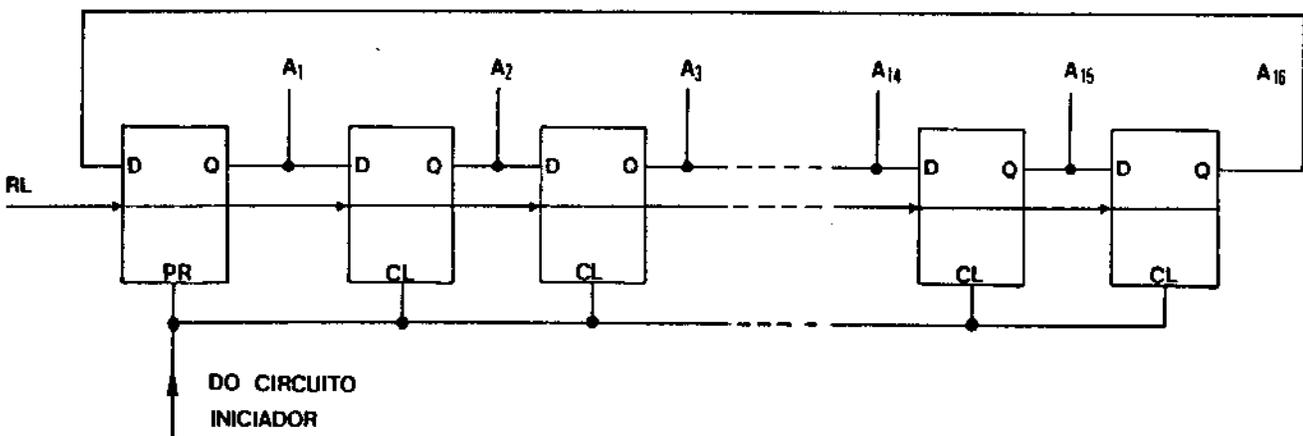


Fig. III.9 - Circuito Sequencial

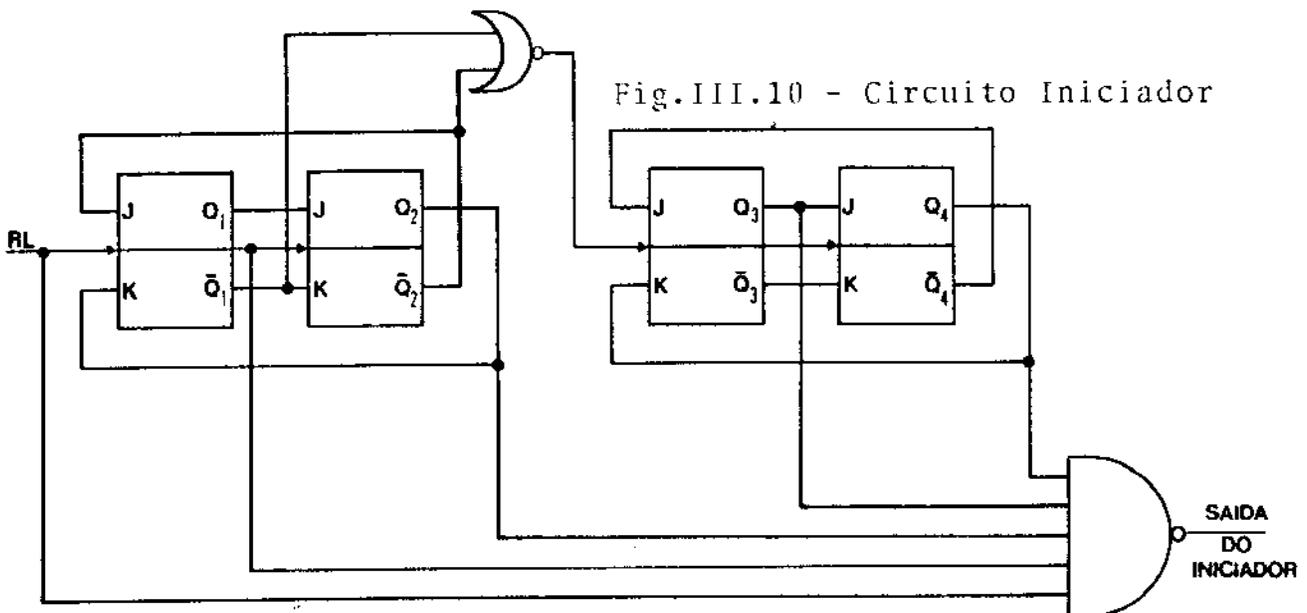
A saída de cada estágio (Flip-Flop D-FFD), corresponderá uma coluna da Tabela II. Para que isto seja realmente verdade, de veremos garantir que a condição inicial do circuito seja um dos 16 estados da tabela. Para isto, é necessário utilizar o circuito de nominado "INICIADOR", que atuará sobre o shift-register, garantindo que a tabela verdade seja obedecida.

Este circuito iniciador fornecerá um pulso negativo (lógica "0") a cada 16 períodos do relógio. Com este pulso, atuaremos sobre o PRESET do primeiro FFD e sobre os CLEAR's dos 15 FFD restantes. A tabela verdade de interesse do FFD utilizado, dada abaixo, mostra de que maneira o circuito iniciador permite que a tabela II seja obedecida.

PRESET	CLEAR	RL	D	Q	$\bar{Q}$	FFD SN74S175
H	L	X	X	L	H	
L	H	X	X	H	L	H = "1"
H	H	↑	L	L	H	L = "0"
H	H	↑	H	H	L	

Quando o circuito iniciador fornece um pulso negativo, a saída do primeiro estágio vai para nível alto (H), enquanto que as saídas dos demais estágios vão para nível baixo (L). Esta condição representa o primeiro dos 16 estados do ciclo. Este pulso negativo tem duração de apenas uma janela de relógio e portanto somente age neste intervalo. Quando retorna ao nível alto, permite que o shift-register funcione normalmente, shiftando o estado alto "1" a cada subida da onda de relógio.

Para implementarmos o circuito INICIADOR, realizamos uma divisão por 16 da onda de relógio RL, utilizando para isto dois contadores Ring Johnson módulo 4. Cada contador permite uma divisão por 4 da onda de relógio. O circuito é dado na Fig. III.10, a seguir.



As formas de onda de alguns pontos do circuito são apresentadas na Fig. III.11, abaixo.

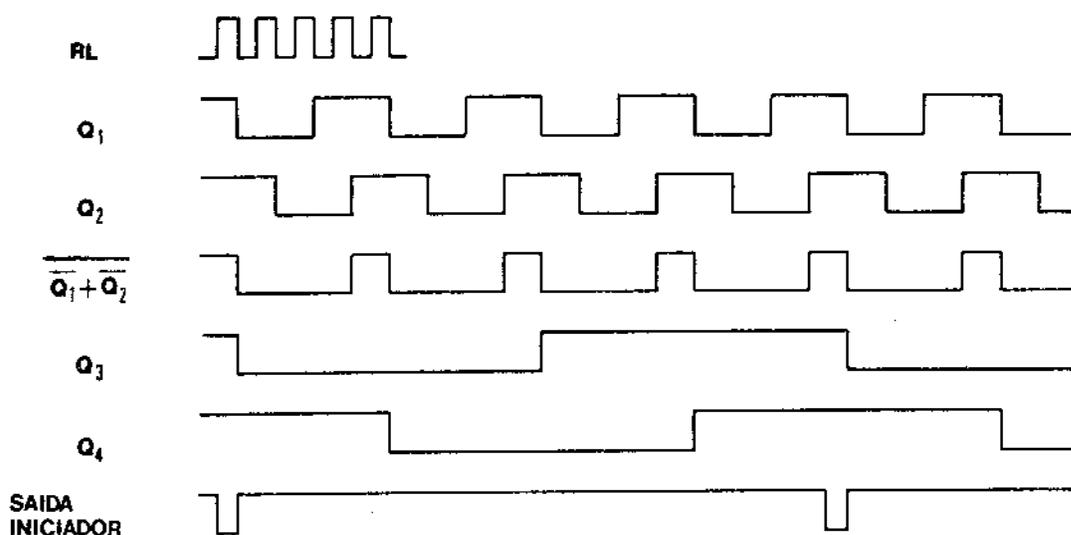


Fig. III.11 - Formas de Onda do Circuito INICIADOR

Somente o primeiro pulso do circuito tem efeito prático. Isto porque, dada a condição inicial (1<sup>a</sup> linha da Tabela II), o circuito sequenciador shift register mantém o ciclo automaticamente.

As janelas de tempo então geradas,  $A_i$  onde  $1 \leq i \leq 16$ , permitem a passagem dos níveis lógicos "1" ou "0" selecionados no PF. Para se implementar este circuito de passagem, utilizamos gate AND/NOR cujas entradas são as janelas de tempo  $A_i$  e os níveis lógicos selecionados. Como são 16 janelas de tempo, necessitamos de 4 gates AND/NOR SN74S64 para a implementação. O esquema para obtenção da palavra A de 16 bits é apresentado na Fig. III.12.

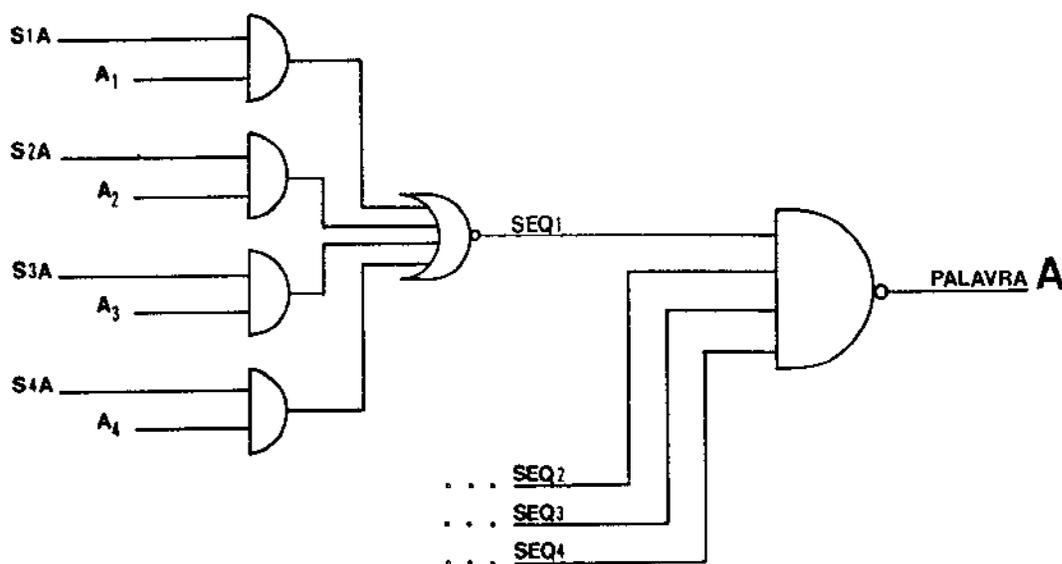


Fig. III.12 - Circuito de Passagem

Esse esquema representa o circuito de passagem para os 4 primeiros bits da palavra A (SEQ 1). Mais três circuitos idênticos são necessários para permitir a passagem dos 12 bits restantes (SEQ 2; SEQ 3 e SEQ 4).

A cada janela de tempo  $A_i$ , o valor selecionado na chave  $S_{iA}$  correspondente é obtido, com valor invertido, na saída do circuito. As saídas dos gates AND/NOR são então somadas num gate Nand, fornecendo, em sequência, os 16 bits da palavra A.

Quando as quatro janelas de tempo nas entradas de um dos gates AND/NOR não estão ativas (lógica "0"), a saída está em nível alto. Isto acontecerá sempre com três das quatro saídas  $SEQ_i$ , pois a janela de tempo "alta" só poderá ocorrer numa das entradas de um gate AND/NOR num dado instante. Desta forma, teremos sempre três entradas do Nand em nível alto e a outra com o valor de um dos quatro bits correspondentes, permitindo assim que se obtenha uma nova inversão da saída SEQ e se tenha sequencialmente os 16 bits da palavra com o nível lógico correto de acordo com o selecionado.

Para permitir um ressincronismo e um período idêntico a cada um dos bits da palavra, a saída do gate Nand é copiada por um FFD acionado pelo RL.

Um circuito de passagem idêntico é necessário para se obter a palavra B. As mesmas janelas de tempo  $A_i$  são utilizadas para permitir a passagem dos níveis lógicos selecionados nas chaves  $S_{iB}$ . Um FFD também realiza o ressincronismo dos bits da palavra B com o relógio RL.

### Ondas de Sincronismo

Algumas ondas devem ser geradas para possibilitarem, posteriormente, a obtenção dos padrões alternativos. Estas ondas de sincronismo devem ter propriedades tais que a alternância entre as palavras A e B, geradas neste circuito, possa ser realizada sincronamente. Estas ondas de sincronismo são denominadas:

SINC(1)

SINC(2)

SINC(3)

A onda SINC(1) deverá ter uma variação de nível lógico baixo para alto exatamente no final de uma das janelas de tempo  $A_i$ , para comandar um FFD que fará a alternância entre as palavras A e B como veremos a seguir. Por conveniência, escolhemos a janela de tempo  $A_i$ .

A mesma função é realizada pela SINC(2), que deverá comandar um FFJK. Por isso, a variação de níveis lógicos de alto para baixo neste caso, deverá ocorrer no mesmo instante que a onda SINC(1).

Estas duas ondas permitirão obter também as ondas de Trigger dos padrões alternativos.

A onda SINC(3) é gerada para comandar o relógio de um contador síncrono que, em conjunto com o seletor do valor "n", vai gerar períodos regulares dos padrões alternativos que dependam da variável "n". Esta onda de sincronismo deverá ativar a saída do contador síncrono antes que sejam obtidas as ondas SINC(1) e SINC(2). Assim sendo, a onda SINC(3) é gerada utilizando-se as janelas de tempo  $A_{14}$  e  $A_{15}$ . A Fig. III.13 mostra a implementação realizada e as respectivas formas de onda.

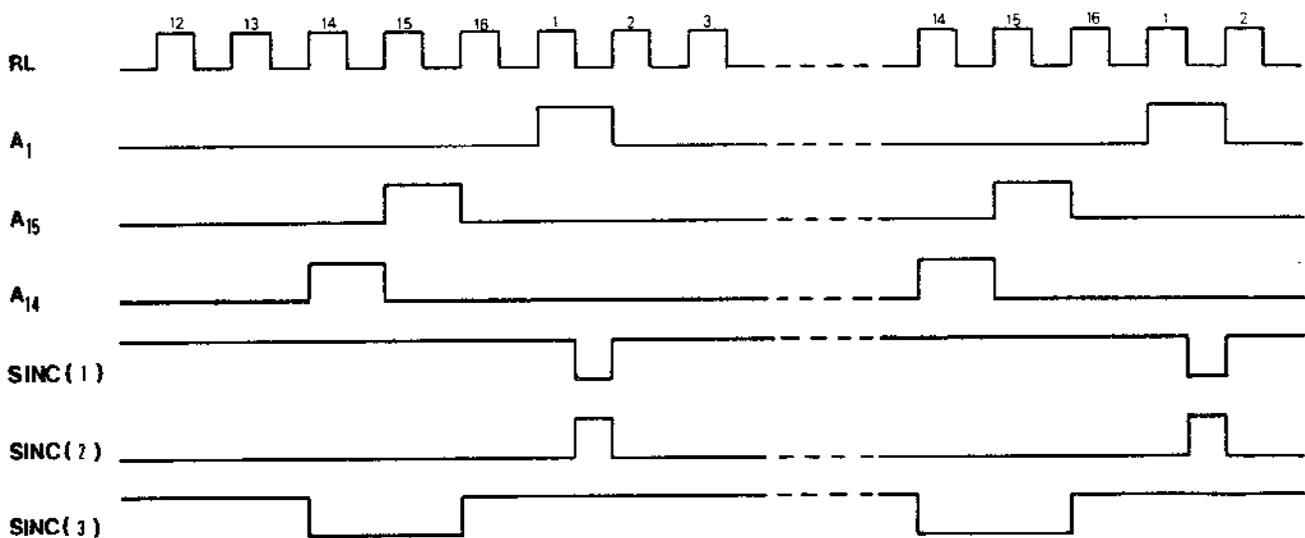
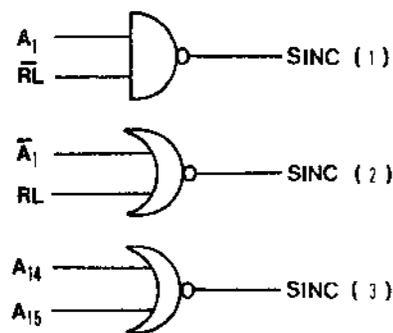
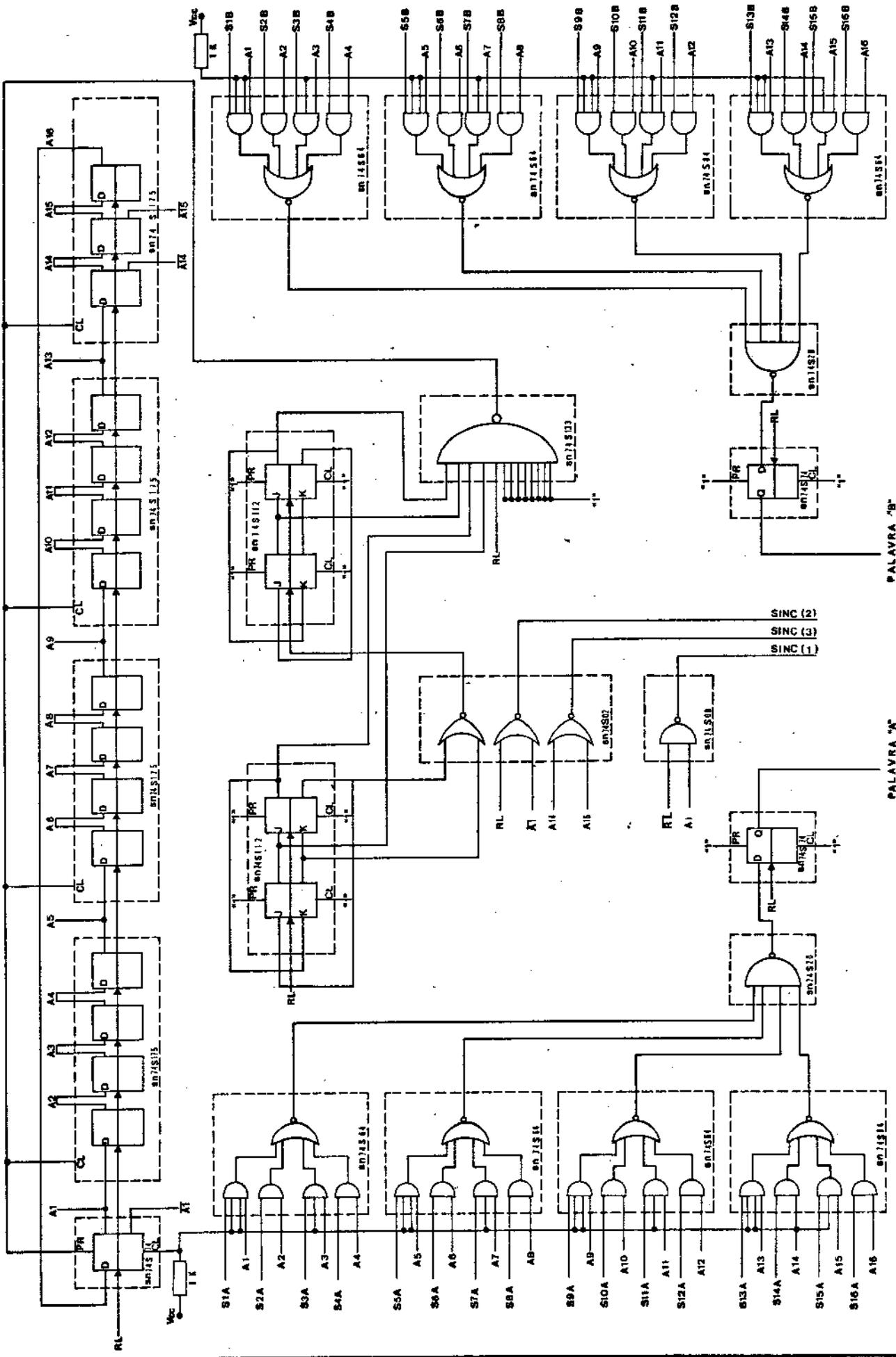


Fig. III.13 - Ondas de Sincronismo

Na descrição do circuito ALTERNADOR será entendida melhor a utilidade destas ondas de sincronismo.

GERADOR DE PALAVRAS "A" & "B"



PALAVRA "B"

PALAVRA "A"

#### I.4 - ALTERNADOR

Com o circuito anterior, o Gerador de Palavras, podemos gerar duas palavras independentes com 16 bits cada. Veremos agora que, através do circuito ALTERNADOR, será possível realizar uma alternância entre essas duas palavras, e com isto gerarmos uma grande variedade de seqüências binárias.

Podemos selecionar 7 alternativas padrões por meio deste circuito, que são enumerados a seguir:

$P_1$  : A

$P_2$  : B

$P_3$  : AnB

$P_4$  : (n+1)A(n+1)B

$P_8$  : 10An10B

$P_9$  :  $10^2An10^2B$

$P_{10}$  :  $10^3An10^3B$

A escolha de uma ou outra saída é realizada na chave seletora de padrões, como vimos quando descrevemos o PF.

Além da chave seletora que determina o padrão de saída (uma das alternativas acima), uma outra chave está diretamente ligada a este circuito: é a chave que estabelece o valor numérico "n", posicionando-a entre 1 e 9.

##### III.4.1 - Alternativas $P_1$ e $P_2$

Quando  $P_1$  ou  $P_2$  é selecionada, a palavra A ou B, respectivamente, recebidas do circuito gerador de palavras deverá ter caminho livre até a saída do circuito. Um circuito bem simples, que realiza esta função, é dado a seguir na Fig. III.14.

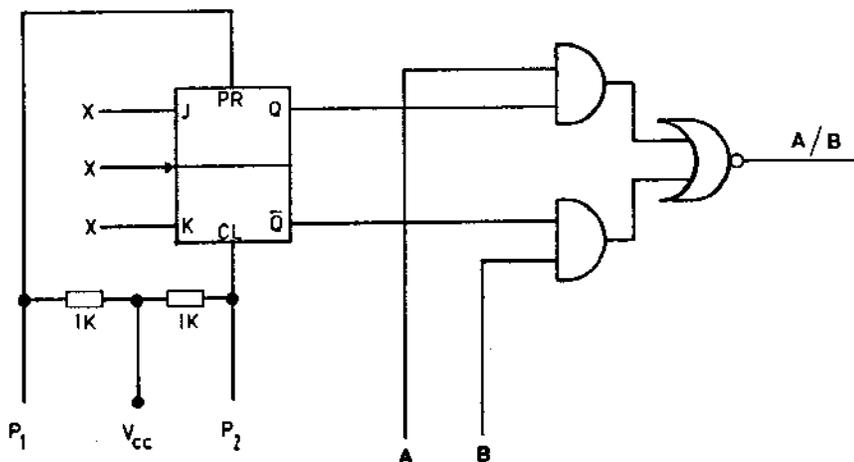


Fig. III.14 - Circuito para as alternativas  $P_1$  e  $P_2$

O Flip-Flop utilizado é o SN74S112, cuja tabela verdade de interesse é apresentada abaixo:

ENTRADAS					SAÍDAS	
PR	CL	CK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H

X=Irrelevante

Tabela IV

Verifica-se, pela tabela verdade acima, que:

1 - quando  $P_1$  é selecionada, esta posição é "aterrada". Com isto, temos PR=L, enquanto CL=H. Isto significa que Q=H e  $\bar{Q}$ =L. Desta forma, a palavra A passa pelo circuito, enquanto que a B é inibida.

2 - quando  $P_2$  é selecionada, esta posição é "aterrada". Com isto, PR=H e CL=L. Pela tabela IV temos, nessas condições, Q=L e  $\bar{Q}$ =H. Assim, a palavra B passa pelo circuito, enquanto que a A é inibida.

A inversão pelo gate AND/NOR será desfeita posteriormente.

### III.4.2 - Alternativas P3 e P4

Para realizarmos estas alternativas, o circuito se torna mais complexo. Mas, na realidade, o seu princípio de funcionamento é simples, como veremos a seguir.

Para trabalharmos com a variável "n", um circuito de controle se faz necessário. Na implementação deste circuito, utilizamos um codificador decada/binário, seguido de um contador síncrono, como mostra a Fig. III.15.

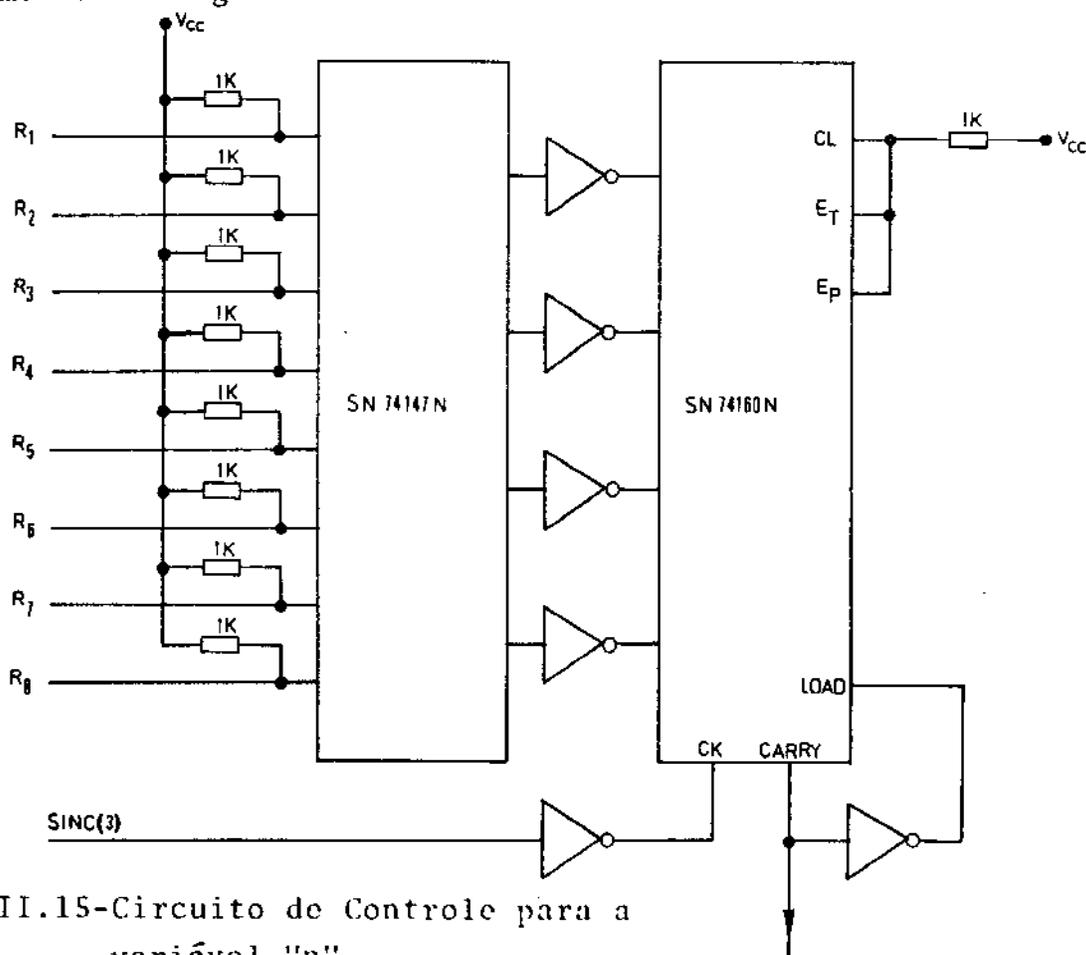


Fig. III.15-Circuito de Controle para a variável "n"

O integrado SN74147N é um codificador 10/4, cuja tabela verdade é a seguinte:

ENTRADAS									SAÍDAS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	L	L	H	H	H
H	H	H	H	H	H	H	L	H	L	H	H	H
H	H	H	H	H	H	L	H	H	H	L	L	L
H	H	H	H	H	L	H	H	H	H	L	L	H
H	H	H	H	L	H	H	H	H	H	L	H	L
H	H	H	L	H	H	H	H	H	H	L	H	H
H	H	L	H	H	H	H	H	H	H	H	L	L
H	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Tabela V

O integrado SN74160N é um contador síncrono de 4 bits. No caso, a saída que nos interessa é o CARRY, como será visto a seguir.

Faremos agora uma análise do circuito da Fig. III.15. Quando selecionamos um dado valor de  $n$ , uma das posições  $R_i$  é aterrada, enquanto as outras sete posições permanecem em nível alto ( $V_{cc}$ ). Desta forma, podemos utilizar a tabela verdade do SN7414N dada acima para obtermos a seguinte tabela dos valores "n":

$R_1$	$R_2$	$R_3$	$R_4$	$R_5$	$R_6$	$R_7$	$R_8$	$R_9$	Valor "n"
1	1	1	1	1	1	1	1	0	→ Não utilizada
1	1	1	1	1	1	1	0	1	→ n = 1
1	1	1	1	1	1	0	1	1	→ n = 2
1	1	1	1	1	0	1	1	1	→ n = 3
1	1	1	1	0	1	1	1	1	→ n = 4
1	1	1	0	1	1	1	1	1	→ n = 5
1	1	0	1	1	1	1	1	1	→ n = 6
1	0	1	1	1	1	1	1	1	→ n = 7
0	1	1	1	1	1	1	1	1	→ n = 8
1	1	1	1	1	1	1	1	1	→ n = 9

Tabela VI

As saídas codificadas em BCD são então levadas ao contador síncrono, cujo relógio é a onda de sincronismo SINC(3). Para ativar corretamente o contador, as saídas do codificador devem sofrer uma inversão, como mostra a Fig. III.15. Com os controles CLEAR, Enable T e Enable P do contador em nível alto, poderemos obter na saída CARRY, as seguintes formas de onda, conforme selecionamos o valor de  $n$ :

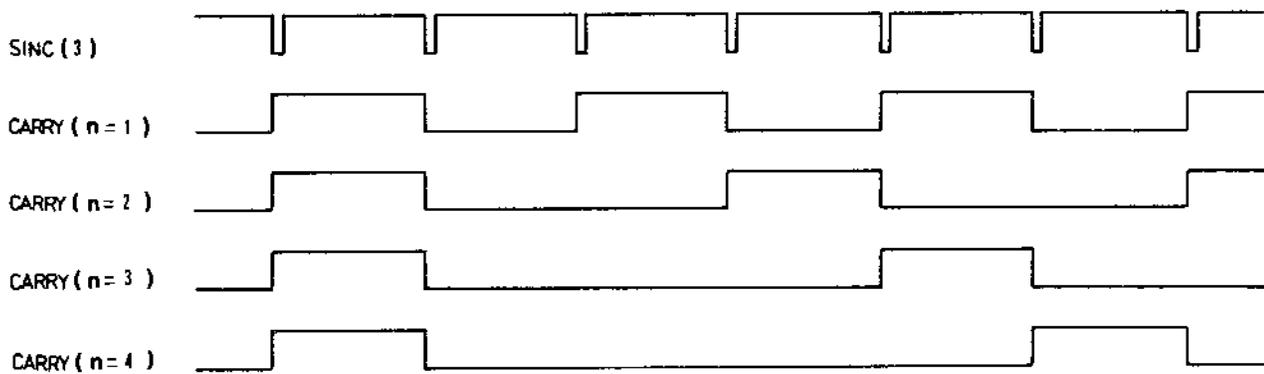


Fig. III.16 - Saída CARRY para alguns valores de  $n$

Como se pode verificar, essa saída tem condições de fornecer janelas de tempo para realizarmos as alternativas  $A \cdot B$  e  $(n+1)A \cdot (n+1)B$ . A maneira como é utilizada esta onda de controle CARRY pode ser visualizada pelo circuito da Fig. III.17.

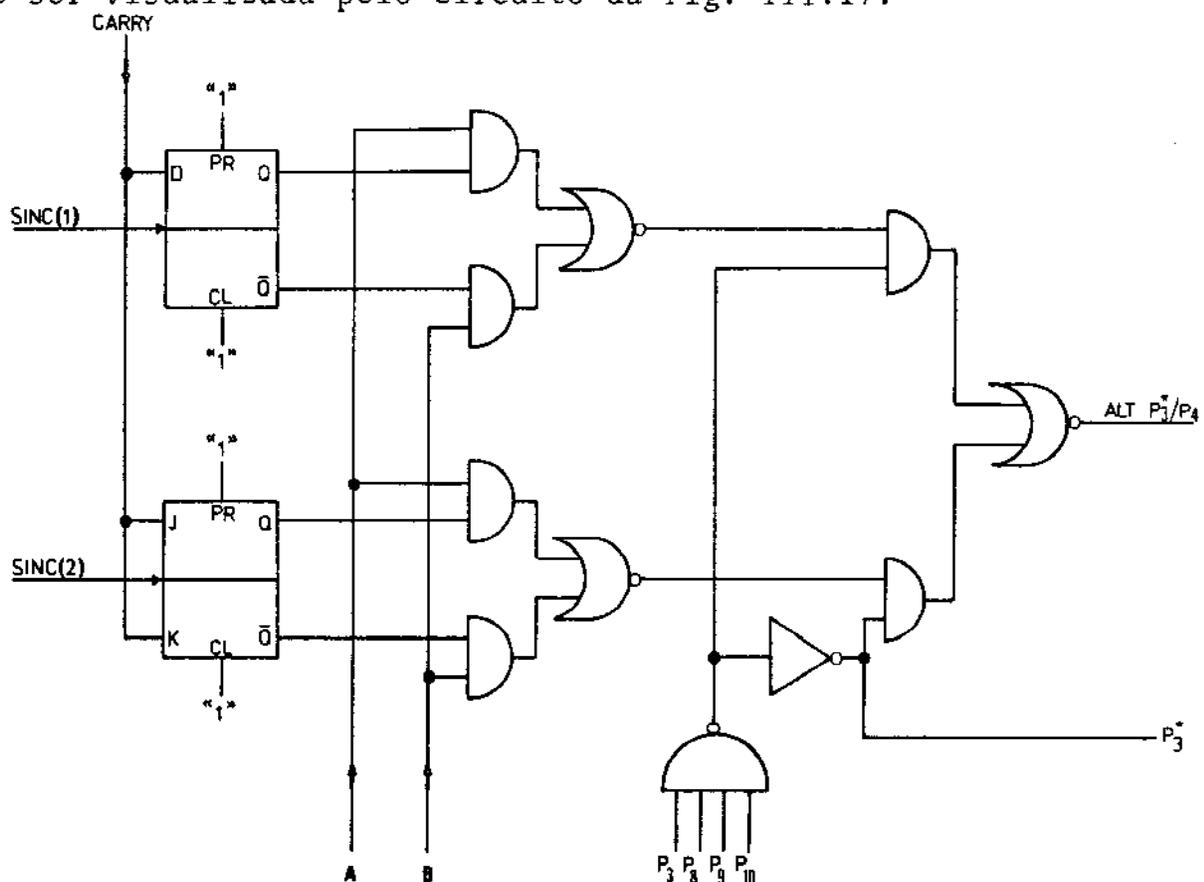


Fig. III.17 - Circuito para as alternativas  $P_3$  e  $P_4$

Esse circuito será também utilizado para obtermos as alternativas do tipo  $10^i A_n 10^i B$ , onde  $1 \leq i \leq 3$ , como veremos posteriormente. A saída  $P_3^*$ , que no caso representa a escolha de qualquer uma das alternativas  $P_3, P_8, P_9$  ou  $P_{10}$ , será utilizada para determinar corretamente a alternativa de saída no circuito ENTRADA/SAÍDA e para seleção automática do Trigger. Verifica-se que somente quando selecionamos  $P_3, P_8, P_9$  ou  $P_{10}$  temos  $P_3^*$  em nível lógico "0".

As ondas de sincronismo SINC(1) e SINC(2), como já foram apresentadas, são janelas de tempo durante o estado alto  $A_1$  do circuito sequencial do Gerador de Palavras. Estas ondas são então utilizadas como relógios para o comando de comutação das palavras.

Conforme o circuito acima, ao selecionarmos a posição  $P_3$  ( $P_3 = "0"; P_8 = P_9 = P_{10} = "1"$ ), referente à alternativa  $A_n B$ , a saída do gate Nand vai para nível "1", permitindo que somente a saída do FFD tenha continuidade pelo circuito através do gate AND/NOR, enquanto que a saída do gate AND/NOR que recebe as saídas do FFJK fica inibida.

Isto também ocorrerá quando selecionamos  $P_8, P_9$  e  $P_{10}$ .

O FFD utilizado responde à subida da onda de relógio, copiando a entrada D. Assim sendo, a onda de controle CARRY é obtida na saída Q após cada subida da onda SINC(1). Com isto, temos as seguintes formas de onda em alguns pontos do circuito da Fig. III.17 (Exemplo para  $n = 2$ ).

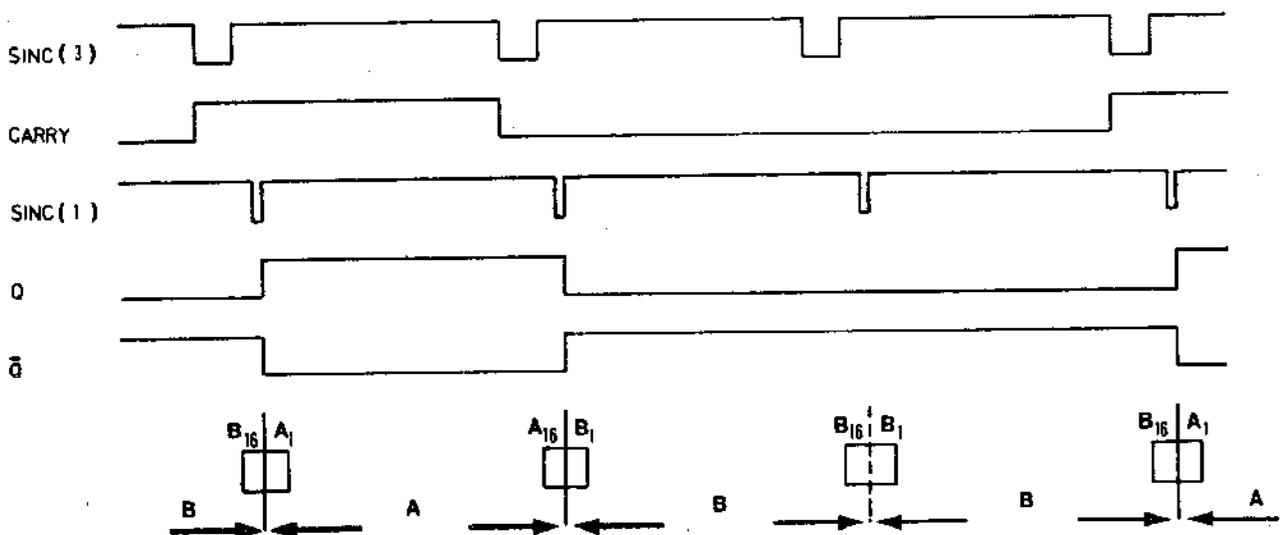


Fig. III.18 - Formas de onda para a alternativa  $P_3$

A saída  $Q$  (e  $\bar{Q}$ ) do FFD são síncronas com o início e término das palavras A e B. Note-se que a saída  $Q$  comanda a passagem da palavra A e a saída  $\bar{Q}$  comanda a passagem da palavra B. Desta forma, a passagem da palavra A se dá durante o estado alta da saída  $Q$ , que corresponde ao tempo em que a onda CARRY esteve alta também, enquanto que a palavra B fica inibida por  $\bar{Q}$ . Por sua vez, a passagem da palavra B se dá durante o estado alto da saída  $\bar{Q}$ , que corresponde ao tempo em que a onda CARRY permanece baixa, enquanto que a palavra A fica inibida por  $\bar{Q}$ . Então, conforme variamos  $n$ , variamos as janelas de tempo  $Q$  e  $\bar{Q}$  e com isto a alternativa  $A_n B_n$  é conseguida.

Agora, para obtermos a alternativa  $(n+1)A(n+1)B$ , a posição  $P_4$  deve ser selecionada. Esta posição não faz parte deste circuito; ela age somente no circuito ENTRADA/SAÍDA, conforme será visto na ocasião.

Considere então o circuito da Fig. III.17, no qual foi selecionada a posição  $P_4$ . Com isto, a saída  $P_3^*$  está alta, pois  $P_3 = P_8 = P_9 = P_{10} = "1"$ , fazendo com que a saída do FFD seja inibida, enquanto que a do FFJK não. Assim sendo, vejamos o que ocorre com as formas de onda da saída do FFJK.

A onda de relógio é a SINC(2) e as entradas J e K estão ativadas pela onda CARRY. Como fazemos  $J = K = CARRY$ , a saída  $\bar{Q}$  do FF mudará de estado na descida da onda de relógio toda vez que na subida da mesma tivermos a onda CARRY em nível alto e, por outro lado, a saída  $Q$  permanecerá no estado anterior quando a onda CARRY estiver baixa. Para melhor visualização do que ocorre, daremos um exemplo a seguir para os casos em que  $n = 1$  e  $n = 2$ .

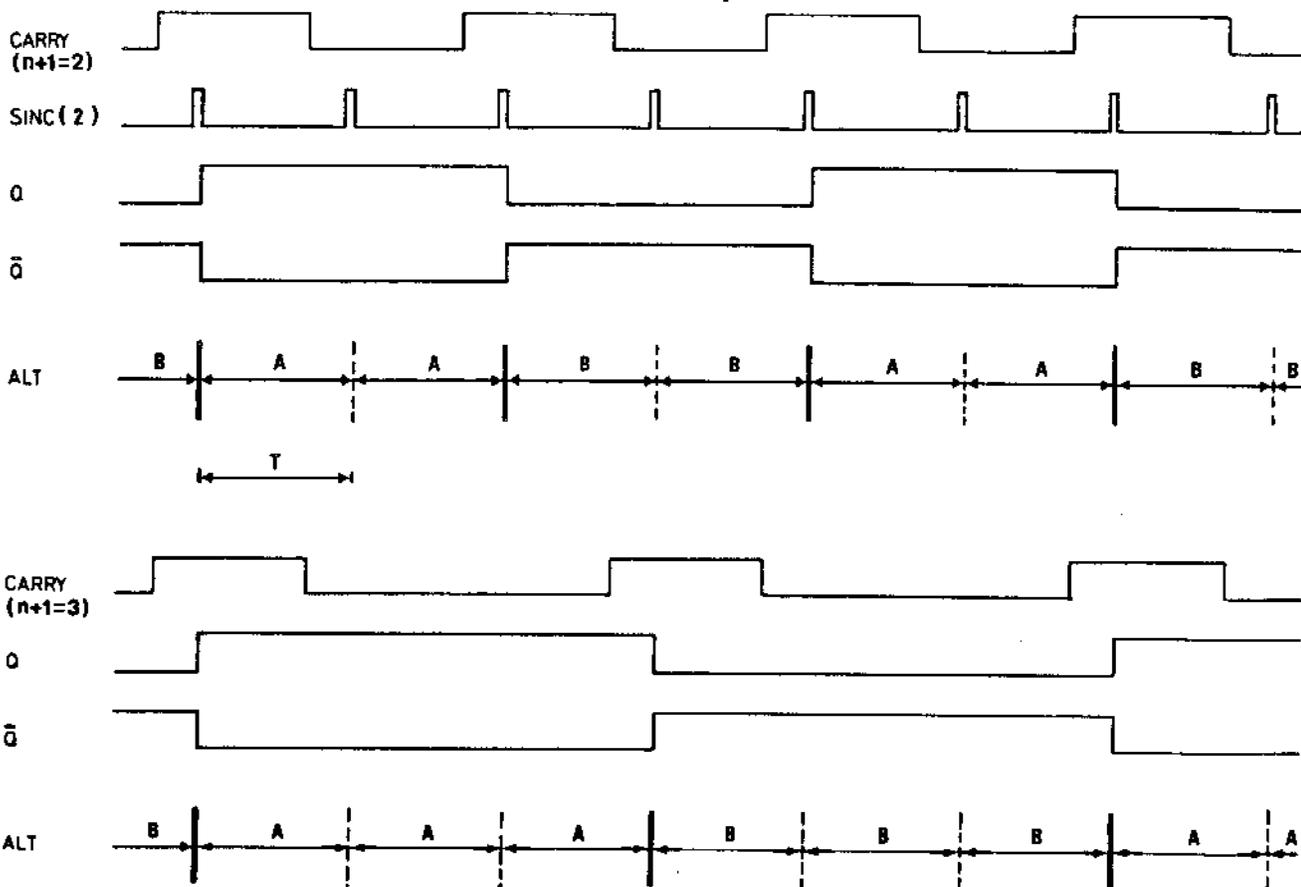


Fig. III.19 - Formas de Onda para a alternativa  $P_4$

Como podemos verificar, a forma de onda Q na saída do FFJK é quadrada, o que nos permitirá realizar a alternativa  $(n+1)A(n+1)B$ . Ao passarmos a onda CARRY pelo FFJK acionado pela SINC(2), a saída Q passou a acupar um período de tempo T a mais (cada período T é o determinado para a duração de uma palavra de 16 bits, como mostra a figura anterior), fazendo com que o  $\underline{n}$  da alternativa anterior  $P_3$  valha  $n+1$  para esta alternativa  $P_4$ .

As ondas Q e  $\bar{Q}$  do FFJK são utilizadas para comutar as palavras A e B da mesma forma que no caso anterior, como pode ser visto na Fig. III.17.

### III.4.3 - Alternativas $P_8$ , $P_9$ e $P_{10}$

Estas alternativas são uma variante da  $P_3$ . Basicamente, para obtê-las, necessitamos realizar divisões por 10 na onda de sincronismo SINC(3), de acordo com a alternativa requerida. A Fig. III.20 mostra o circuito adotado.

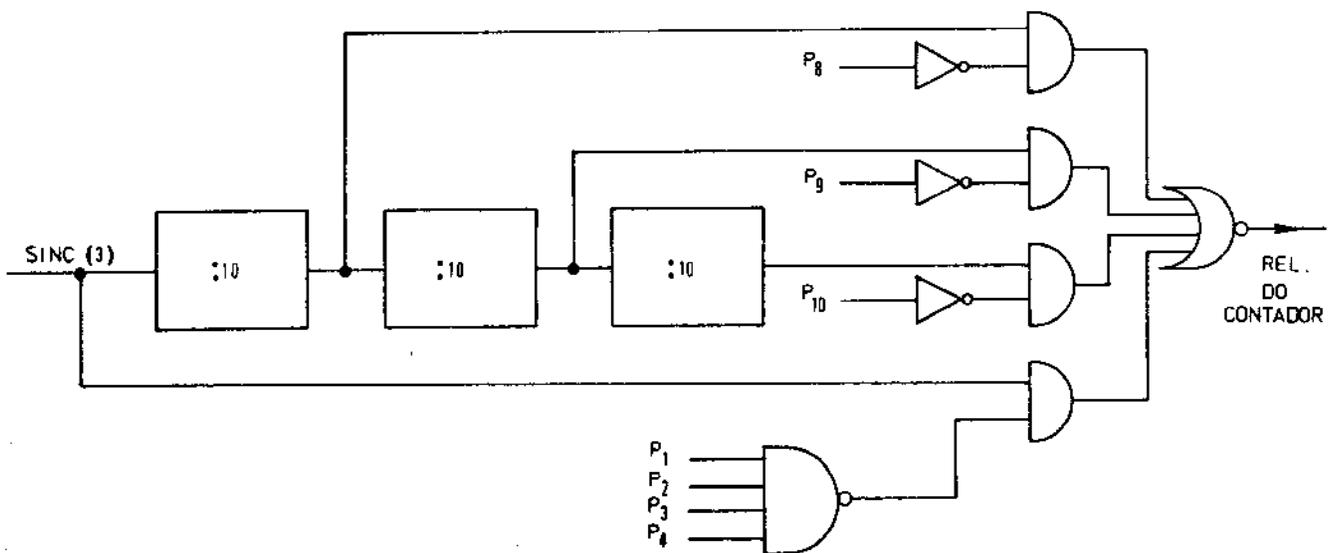


Fig. III.20 - Circuito para as alternativas  $P_8$ ,  $P_9$  e  $P_{10}$

Quando selecionada uma das quatro primeiras alternativas, a saída do gate Nand estará em nível alto, permitindo que a própria onda SINC(3) comande o relógio do Contador. A inversão aplicada aqui, pelo gate AND/NOR na onda SINC(3), equivale à inversão já utilizada anteriormente (Vide Fig. III.15). Neste caso, as divisões da onda SINC(3) são inibidas no gate AND/NOR, pois as posições  $P_8$ ,  $P_9$  e  $P_{10}$  estão altas.

Quando  $P_8$  é selecionada, a saída do inversor correspon

dente estará alta, permitindo que a saída do gate AND/NOR seja a onda SINC(3) dividida por 10 e com a inversão necessária. Desta forma, geramos uma onda CARRY, no contador síncrono, com períodos 10 vezes maior que no caso anterior ( $P_1$ ,  $P_2$ ,  $P_3$  e  $P_4$ ), possibilitando realizar a alternativa 10An10B. Voltando à Fig. III.17, verifica-se que, para  $P_8$ , a saída do gate Nand vai para nível "1", como ocorrerá para  $P_3$ , permitindo obter um mesmo tipo de padrão.

Resultados idênticos são conseguidos para as alternativas  $P_9$  e  $P_{10}$ . Nestes casos, a onda de sincronismo SINC(3) sofre divisões de  $10^2$  e  $10^3$ , respectivamente.

Para implementarmos os divisores por 10, utilizamos o integrado SN7490 na configuração dada na Fig. III.21.

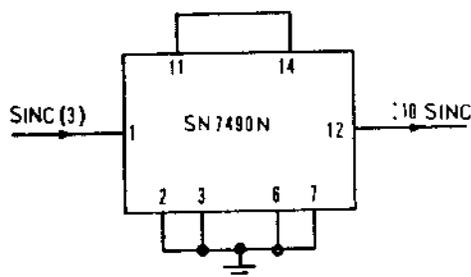


Fig. III.21 - Divisor por 10

Uma simplificação do circuito final implementado é agora adotada. Para isto, vide Fig. III.14 e Fig. III.17. Podemos utilizar o mesmo FFJK para realizar a seleção das alternativas  $P_1$  e  $P_2$  ou da alternativa  $P_4$ . Verifica-se que o circuito necessário para os dois casos é basicamente o mesmo. Assim sendo, basta conectarmos a entrada  $P_1$  no PRESET e a entrada  $P_2$  no CLEAR do FFJK da Fig. III.17. A saída do gate AND/NOR correspondente tem continuidade pelo circuito, pois não é inibida no ponto  $P_3^*$  (isto porque, quando selecionamos  $P_1$ ,  $P_2$  ou  $P_4$ , temos  $P_3^* = "1"$ ).

#### III.4.4 - Trigger

Para verificarmos as formas de onda do Alternador de Palavras num osciloscópio, devemos gerar pulsos de gatilhamento.

Como para o circuito Alternador temos vários padrões alternativos diferentes, correspondentes pulsos de trigger devem ser gerados.

O mesmo pulso pode ser utilizado quando selecionamos  $P_1$  ou  $P_2$ . No caso das alternativas  $P_3$ ,  $P_4$ ,  $P_8$ ,  $P_9$  e  $P_{10}$ , devemos notar

que, como a sequência padrão se modifica para cada valor  $n$ , também o trigger deverá ser modificado.

O circuito utilizado para se gerar o pulso de trigger é dado na Fig. III.22, abaixo:

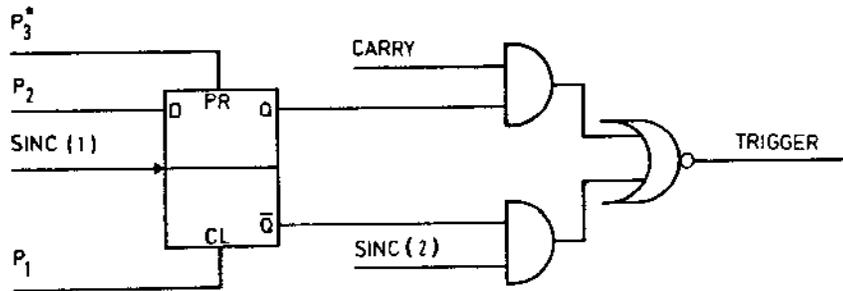


Fig. III.22 - Trigger para os padrões alternativos

Utilizamos o FFD SN74S74 cuja tabela verdade de interes se é dada na tabela abaixo:

Tabela VII

PR	CL	CK	D	Q	$\bar{Q}$	FFD SN74S74
H	L	X	X	L	H	
L	H	X	X	H	L	
H	H	↑	L	L	H	
H	H	↑	H	H	L	

Quando selecionamos  $P_1$ , temos:

$$\begin{matrix} CL = L \\ PR = H \end{matrix} \implies \left\{ \begin{matrix} Q = L \\ \bar{Q} = H \end{matrix} \right.$$

Logo, o pulso de Trigger é a onda SINC(2).

Quando selecionamos  $P_2$ , temos:

$$\begin{matrix} CL = H \\ PR = H \\ D = L \end{matrix} \implies \left\{ \begin{matrix} Q = L \\ \bar{Q} = H \end{matrix} \right.$$

Logo, também neste caso, o pulso de trigger é a onda SINC(2).

A onda SINC(2) tem um pulso positivo no início de cada palavra A (ou B). Portanto, esta onda é a mais indicada para Trigger

quando selecionamos a palavra A ou B na saída.

Quando é selecionada a posição  $P_3^*$ , que corresponde a qualquer uma das alternativas  $P_3$ ,  $P_8$ ,  $P_9$  ou  $P_{10}$ , temos os seguintes estados no circuito:

$$\begin{array}{l} PR = L \\ CL = H \end{array} \implies \left\{ \begin{array}{l} Q = H \\ \bar{Q} = L \end{array} \right.$$

Logo, o pulso de trigger será a onda CARRY.

Ao selecionar  $P_4$ , ficamos com:

$$\begin{array}{l} CL = H \\ PR = H \\ D = H \end{array} \implies \left\{ \begin{array}{l} Q = H \\ \bar{Q} = L \end{array} \right.$$

Aqui também o trigger é a onda CARRY.

A onda CARRY é indicada para realizar o trigamento das alternativas  $P_3$ ,  $P_4$ ,  $P_8$ ,  $P_9$  e  $P_{10}$ , devido ao fato desta onda ter a mesma característica que qualquer uma destas alternativas selecionadas.



## II.5 - GERADOR PSEUDO-ALEATÓRIO

### III.5.1 - Introdução

O Gerador Pseudo-Aleatório projetado fornece uma sequência binária de  $(2^{15}-1)$  ou  $(2^{22}-1)$  bits de comprimento, conforme desejado. Sequências pseudo-aleatórias deste tamanho conseguem simular satisfatoriamente o tráfego de dados num canal real em sistemas de baixa e alta velocidade, respectivamente.

O princípio básico do Gerador Pseudo-Aleatório é a realização da soma das saídas dos  $n$  estágios de um shift-register, como mostra a Fig. III.23. A possibilidade da ocorrência de estados nulos em todos os estágios deve ser eliminada. A razão para isto, vem do fato de que, se todos os estágios estiverem baixos, a realização não conseguirá desfazer esta condição. Desta forma, poderemos obter então uma sequência padrão pseudo-aleatória repetitiva de comprimento  $2^n-1$  bits.

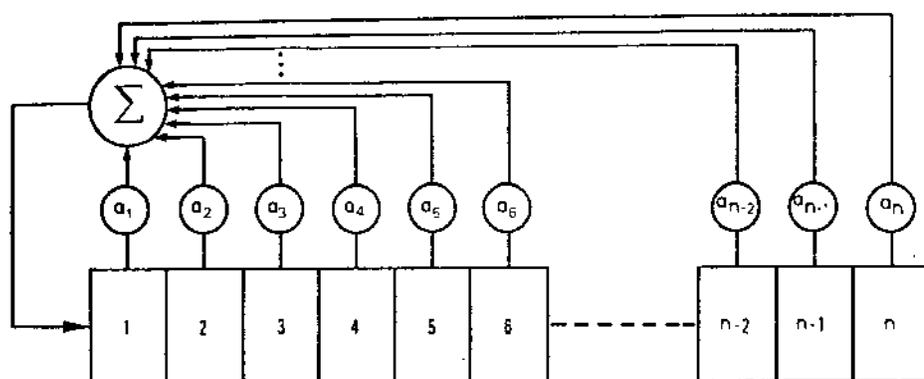


Fig. III.23 - Princípio do Gerador Pseudo-Aleatório

Os índices  $a_i$ ,  $1 \leq i \leq n$ , são 0 ou 1, dependendo do número de estágios. Como é mostrado no APÊNDICE A, conseguimos obter a sequência de máximo comprimento bastando para isso realimentar a soma da saída de apenas alguns estágios, conforme o valor  $n$ . Para os casos de interesse, em que  $n = 15$  e  $n = 22$  (a CCITT recomenda utilizar  $n \geq 15$ ), é necessário somente a realimentação dos dois últimos estágios.

Pela Fig. III.23 acima, a saída do gerador pode ser tomada em qualquer um dos estágios.

Para que se tenha uma idéia de como ocorrem os  $2^n-1$  estados do gerador, damos a seguir um exemplo simples, considerando o

caso em que  $n = 4$ . A realimentação dos dois últimos estágios é realizada com um gate OU-EXCLUSIVO como mostra a Fig. III.24.

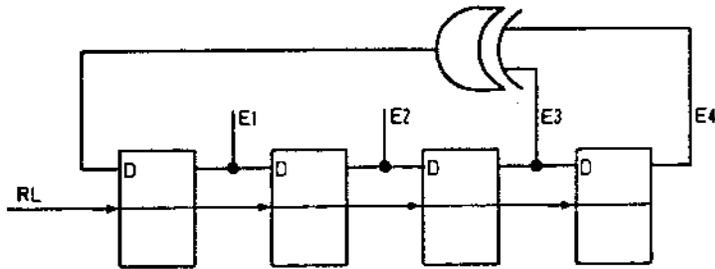


Fig. III.24 - Gerador Pseudo-Aleatório de 4 estágios

A princípio, suporemos que a condição inicial do shift-register não seja a sequência 0000. Existe uma forma de eliminar a inércia do circuito, se por acaso esta condição ocorrer, por meio de um circuito que denominaremos AUTO INICIADOR, que será descrito posteriormente.

Seja então 1000 o estado inicial do shift-register. A tabela VIII dada abaixo mostra a sequência de estados após cada pulso de relógio RL e o valor correspondente da realimentação OU-EXCLUSIVO.

	$E_1$	$E_2$	$E_3$	$E_4$	OU-EXCLUSIVO		
	1	0	0	0	0	← ESTADO INICIAL	
$2^4 - 1$ estados	0	1	0	0	0		
	0	0	1	0	1		
	1	0	0	1	1		
	1	1	0	0	0		
	0	1	1	0	1		
	1	0	1	1	0		
	0	1	0	1	1		
	1	0	1	0	1		
	1	1	1	0	1		
	1	1	1	1	0		
	0	1	1	1	0		
	0	0	1	1	0		
	0	0	0	1	1		
	1	0	0	0	0	0	← ESTADO INICIAL
	0	1	0	0	0		

Tabela VIII

Pela tabela VIII pode-se entender como a sequência de  $2^4-1$  estados diferentes se repete indefinidamente. Note que cada saída do shift-register é idêntica à anterior defasada por um período da onda de Relógio. Por isso é que a saída do Gerador pode ser tomada em qualquer um dos estágios ou até mesmo na realimentação do circuito.

A proposição nossa agora é mostrar como, utilizando esse princípio, desenvolvemos o gerador pseudo-aleatório de 15 e 22 estágios. O intuito inicial é o da utilização de um único shift-register de 22 estágios para se obter as duas sequências padrões. O comando para seleção de um ou outro comprimento da sequência pseudo-aleatória é realizado pela chave seletora no PF.

A Fig. III.25 mostra então a idéia utilizada para se obter as duas sequências de comprimentos diferentes com o mesmo shift-register:

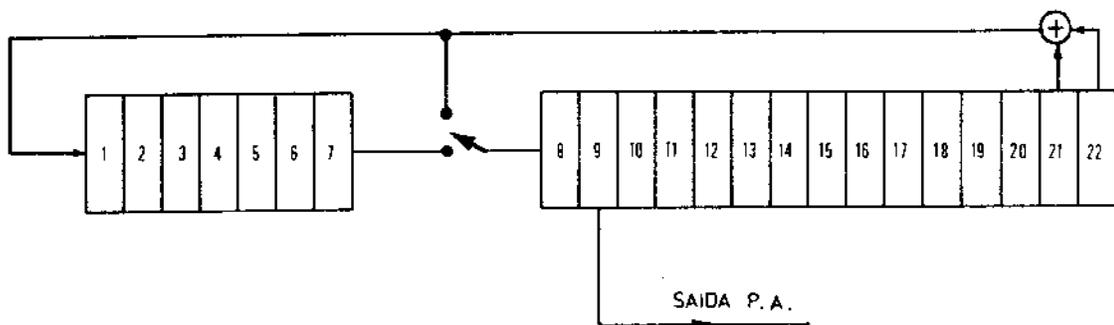


Fig. III.25 - Esquema básico do Gerador P.A. implementado

Ao selecionarmos a sequência P.A. (15), a chave seletora entre os estágios 7 e 8 do shift-register permitirá a realimentação do somador para o estágio 8. Desta forma, a saída do gerador pseudo-aleatório será uma sequência de comprimento  $2^{15}-1$ .

Ao selecionarmos a sequência P.A. (22), a chave seletora permitirá a realimentação normal entre os estágios 7 e 8. Com isto, teremos uma saída pseudo-aleatória de comprimento  $2^{22}-1$ .

Para realizarmos a implementação da chave seletora, entre os estágios 7 e 8, um circuito eletrônico deve ser projetado. Este circuito, em conjunto com a chave seletora no PF, deve realizar o objetivo desejado.

### III.5.2 - Implementação do Gerador Pseudo-Aleatório

O esquema do circuito implementado é mostrado na Fig. III.26.

Quando  $P_5$  ou  $P_6$  é selecionada, o shift-register deve gerar uma sequência de mesmo comprimento. A inclusão da região de zeros (porção estática) será realizada posteriormente e só ocorrerá quando selecionada  $P_6$ . Como há, então, necessidade de que o caminho da realimentação seja o mesmo tanto para  $P_5$  (P.A. (15)) como para  $P_6$  (P.A. (15) + ESTÁTICO), utilizamos um gate AND para assegurar esta condição.

As mesmas características são obtidas quando selecionamos  $P_{11}$  (P.A. (22)) ou  $P_{12}$  (P.A. (22) + ESTÁTICO).

A entrada AUTO-INICIADOR no gate NAND1, conectado à realimentação OU-EXCLUSIVO, pode ser considerada aqui como um ponto de nível lógico "1". Esta entrada evitará que o shift-register permaneça com todos os estágios nulos se por acaso esta condição ocorrer. Posteriormente, verificar-se-á que realmente é esse o estado permanente da entrada AUTO-INICIADOR.

A realimentação pelo OU-EXCLUSIVO é realizada com uma das entradas invertidas para compensar a inversão do gate NAND1. (Pela álgebra de Boole temos:  $B_{21} \oplus B_{22} = \overline{B_{21}} \oplus \overline{B_{22}}$ )

Para implementarmos os 7 primeiros e 14 últimos estágios do shift-register utilizamos FFD que fazem parte do integrado .... SN74S175, enquanto que os estágios 8 e 8\* são implementados com FFD do integrado SN74S74. A tabela verdade de interesse para os dois são dadas nas tabelas III e VII, respectivamente.

Quando selecionamos  $P_5$ , temos:

$$P_5 = L \quad (P_6 = P_{11} = P_{12} = H)$$

Com isto, as saídas Q dos 7 primeiros estágios vão para nível baixo ( $Q_1 = Q_2 \dots Q_7 = L$ ) e a saída Q do FF8\* para nível alto ( $Q_{8*} = H$ ), enquanto que o FF8 funciona normalmente. Com a saída alta do FF8\*, o gate NAND2 funciona simplesmente como inversor da saída  $\bar{Q}$  do FF8.

A realimentação dos dois últimos estágios é então processada do FF8 para os FF seguintes, obtendo-se a sequência P.A. (15). Tomamos a saída  $\bar{Q}_{FF8}$  para compensar a inversão pelo NAND2.

Quando selecionamos  $P_6$ , o circuito opera de maneira idêntica.

Vejamos agora o que ocorre quando é selecionada a posição  $P_{11}$ . Pela tabela verdade do SN74S74 (Tabela III), verifica-se que quando  $P_{11}$  é selecionada, faz-se com que o CLEAR do FF8 fique

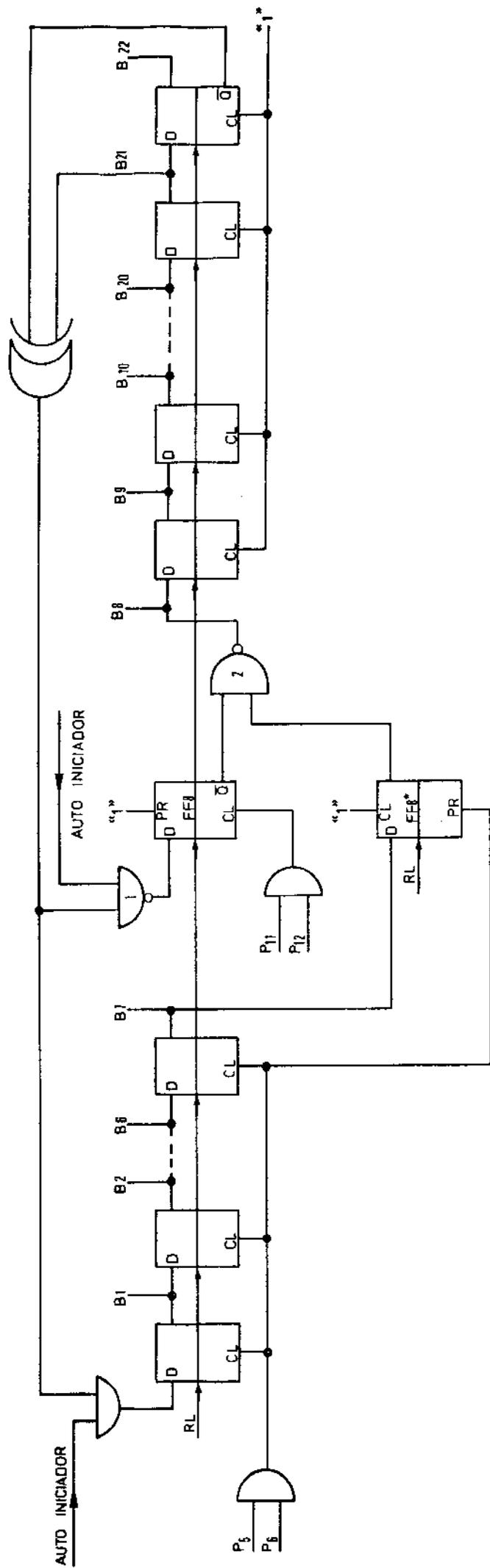


Fig. III.26 - Gerador Pseudo-Aleatório de 15 e 22 estágios Implementado

em nível baixo e conseqüentemente a sua saída Q em nível baixo também. No entanto, a saída  $\bar{Q}$  fica em nível alto permitindo que o NAND2 funcione como inversor da onda que vem do FF8\*.

A realimentação OU-EXCLUSIVO é agora shifitada pelos 7 primeiros estágios, visto que as posições  $P_5$  e  $P_6$  estando altas, permitem que os FF funcionem normalmente. Desta forma, obtemos uma seqüência P.A. de comprimento  $2^{22}-1$  bits, por meio da realimentação pelos 22 estágios do shift-register. A saída pode ser tomada no mesmo estágio do caso anterior (P.A. (15)).

Quando selecionamos  $P_{12}$ , o funcionamento do circuito é exatamente o mesmo.

### III.5.3 - Trigger

Um pulso de trigger é obtido a cada repetição da seqüência pseudo-aleatória, para possibilitar o gatilhamento correto da seqüência num osciloscópio e, também, como veremos posteriormente, para gerar o pulso RESET ESTÁTICO que permitirá incluir regiões de zeros na seqüência.

Podemos conseguir o pulso de trigger, na implementação mais simples, se verificarmos que a cada seqüência repetitiva teremos um e somente um estado onde todos os estágios do shift-register estarão nível alto. Esta condição, naturalmente, só ocorre uma vez durante a seqüência.

Para implementarmos esta idéia, necessitamos então realizar a soma de todas as saídas do shift-register. No entanto, para o circuito gerador já esquematizado, como mostra a Fig. III.26, um cuidado deve ser tomado. Verifique-se que quando selecionamos  $P_5$  (ou  $P_6$ ), as saídas Q dos 7 primeiros estágios vão para nível baixo, enquanto que os 15 estágios restantes operam normalmente. Quando é selecionada  $P_{11}$  (ou  $P_{12}$ ), os 7 primeiros estágios passam a integrar a realimentação, mas shifitando os dados com lógica invertida, por motivo já explicado anteriormente, enquanto que os demais 15 estágios funcionam corretamente. Assim é que, considerando-se estes fatos, podemos obter o pulso de trigger adequado, independente do comprimento da seqüência gerada P.A. (15) ou P.A. (22), utilizando o integrado SN74S133 que contém um NAND de 13 entradas como mostra a Fig. III.27.

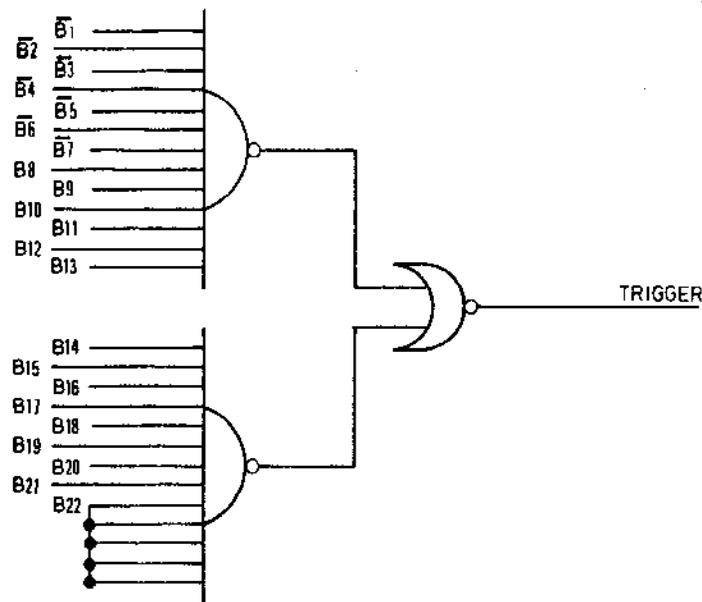


Fig. III.27 - Obtenção do Pulso de Trigger

Neste circuito, somente quando tivermos todas as entradas em nível alto é que obteremos um pulso positivo na saída do gate NOR. Pela álgebra de Boole, temos:

$$\text{TRIGGER} = \overline{B_1} \cdot \overline{B_2} \dots \overline{B_7} \cdot B_8 \cdot B_9 \cdot B_{10} \dots B_{21} \cdot B_{22}$$

$$= (\overline{B_1} \cdot \overline{B_2} \dots \overline{B_7} \cdot B_8 \cdot B_9 \dots B_{13}) + (B_{14} \cdot B_{15} \dots B_{21} \cdot B_{22})$$

#### III.5.4 - Circuito AUTO-INICIADOR

Como mencionamos anteriormente, devemos eliminar a possibilidade de ocorrer estados nulos nas saídas de todos os estágios do shift-register, para que o gerador não permaneça indefinidamente nessa condição.

Uma maneira simples para se evitar esse problema é conseguida através do circuito denominado AUTO-INICIADOR.

Este circuito se compõe de um integrador cuja saída é invertida como mostra a Fig. III.28, abaixo.

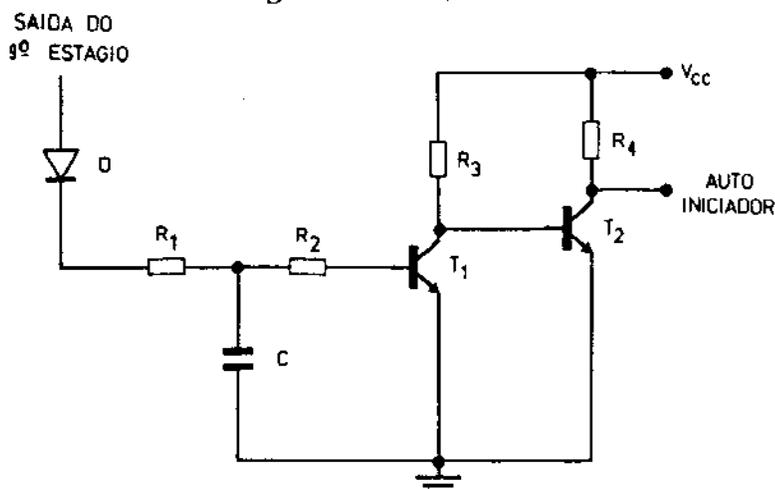


Fig. III.28 - Circuito AUTO-INICIADOR

A entrada do circuito é ligada diretamente à saída do 9º estágio do shift-register e a sua saída é ligada ao NAND1 juntamente com a realimentação OU-EXCLUSIVO (Vide Fig. III.26).

Suponhamos, inicialmente, que todos os estágios do shift-register estejam em nível baixo. A saída do 9º estágio fará com que o transistor  $T_1$  vá para o corte e o transistor  $T_2$  para a saturação. Logo, a saída do AUTO-INICIADOR estará em nível baixo. Esta condição, à entrada do NAND1, implica num nível alto na sua saída. Este nível é shifitado pelo FF8 fornecendo nível baixo na sua saída  $\bar{Q}$ . Esta, por sua vez, leva o NAND2 para nível alto, permitindo que o mesmo seja então shifitado pelos estágios restantes. Neste ponto, o circuito AUTO-INICIADOR já não se faz mais necessário, visto que uma condição diferente da nula foi dada ao shift-register. No entanto, verifica-se que o circuito, por si só, restringe seu efeito até o momento em que o primeiro nível lógico alto chega à saída do 9º estágio. Um pulso positivo na entrada do circuito AUTO INICIADOR carrega o capacitor C através do diodo D e resistor  $R_1$ . Para que a carga seja rápida, tomamos a constante de tempo  $R_1C$  baixa. O capacitor se carregando leva o transistor  $T_1$  para a saturação e, conseqüentemente, o transistor  $T_2$  para o corte, fazendo com que o NAND1 funcione como inversor da realimentação. Se a constante de tempo de descarga do capacitor for bastante alta, esta condição perdurará por muito tempo, permitindo que o circuito AUTO - INICIADOR se mantenha em nível alto. Para isto, devemos projetar o integrador de tal forma que ele mantenha a saída do AUTO INICIADOR em nível alto, pelo menos durante o intervalo de 22 bits após o primeiro pulso recebido.

Para o caso em que a frequência de relógio é 2.048KHz, temos:

$$t_{22\text{bits}} = 22 \times 488 \times 10^{-9} \text{ seg} \approx 1,07 \times 10^{-5} \text{ seg.}$$

Para o circuito implementado, temos:

$$\tau = R_2C = 10^5 \times 10^{-7} = 10^{-2} \text{ seg}$$

logo,  $\tau \gg t_{22\text{bits}}$ , o que nos garante, folgadoamente, que o circuito AUTO INICIADOR se manterá alto até receber o próximo pulso.

Desta forma, o circuito AUTO INICIADOR permite que, ao ligarmos o equipamento, o gerador funcione perfeitamente.

### III.5.5 - Operação do Circuito Gerador P.A. em conjunto com o Circuito P.A./ESTÁTICO

Como já foi bastante comentado na introdução, é interessante, em muitos casos, que parte da sequência pseudo-aleatória seja substituída por uma pequena quantidade de bits nulos.

Desta forma, um circuito que denominamos PSEUDO-ALEATÓRIO/ESTÁTICO, deverá ser interligado ao gerador P.A. para que possamos introduzir essas regiões de zeros.

A maneira pela qual realizamos estas regiões na sequência P.A. será agora apresentada. O circuito P.A./ESTÁTICO será descrito posteriormente, só nos interessando saber, por enquanto, que o circuito fornece um pulso RESET ESTÁTICO cuja posição depende do comprimento da porção de zeros conforme selecionada no PF.

O circuito então utilizado tem, de forma simplificada, o seguinte esquema:

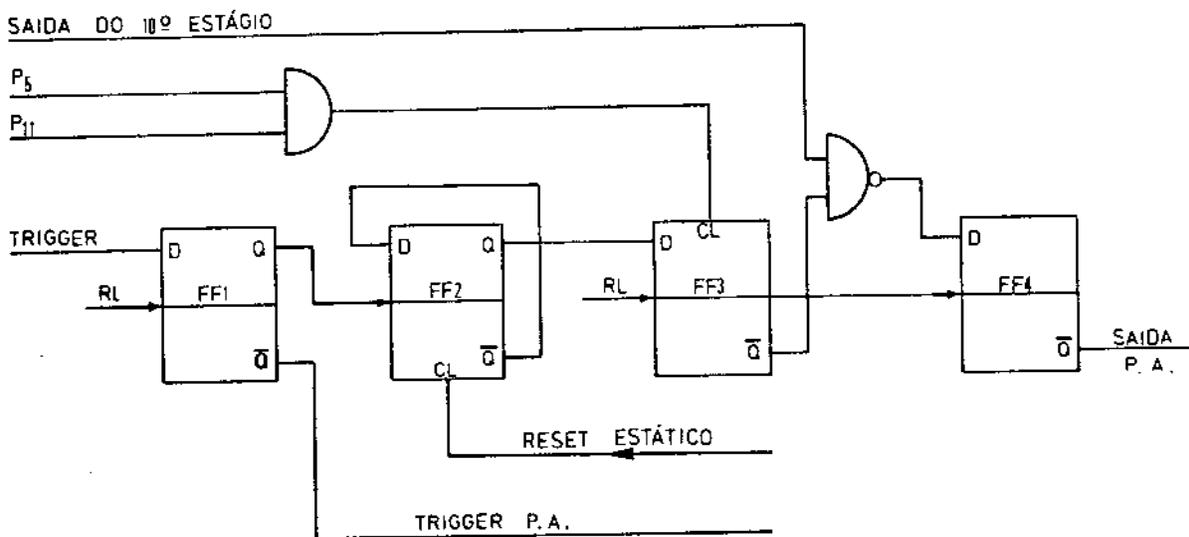


Fig. III.29 - Controle para as alternativas P.A.

Quando  $P_5$  ou  $P_{11}$  é selecionada, o CLEAR do FF3 vai para nível baixo e com isto a sua saída  $\bar{Q} = H$  (Vide Tabela VII), permitindo que o sinal P.A. passe pelo NAND, sendo sincronizado com o RL por meio do FF4.

Ao selecionarmos uma das posições  $P_6$  ou  $P_{12}$ , o CLEAR do FF3 fica em nível alto, fazendo com que a sua saída  $\bar{Q}$  dependa da saída Q do FF2.

Verifique agora que a saída do FF2 é uma onda quadrada se considerarmos que a sua onda de CLEAR (RESET ESTÁTICO) está per

manentemente alta. A forma de onda na saída Q do FF2 seria então como mostrada na Fig. III.30.

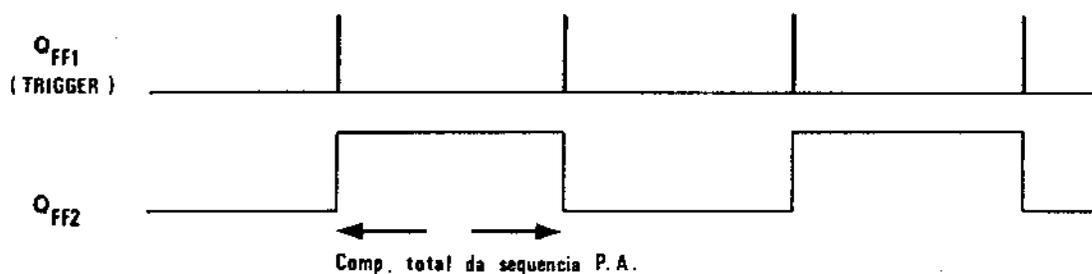
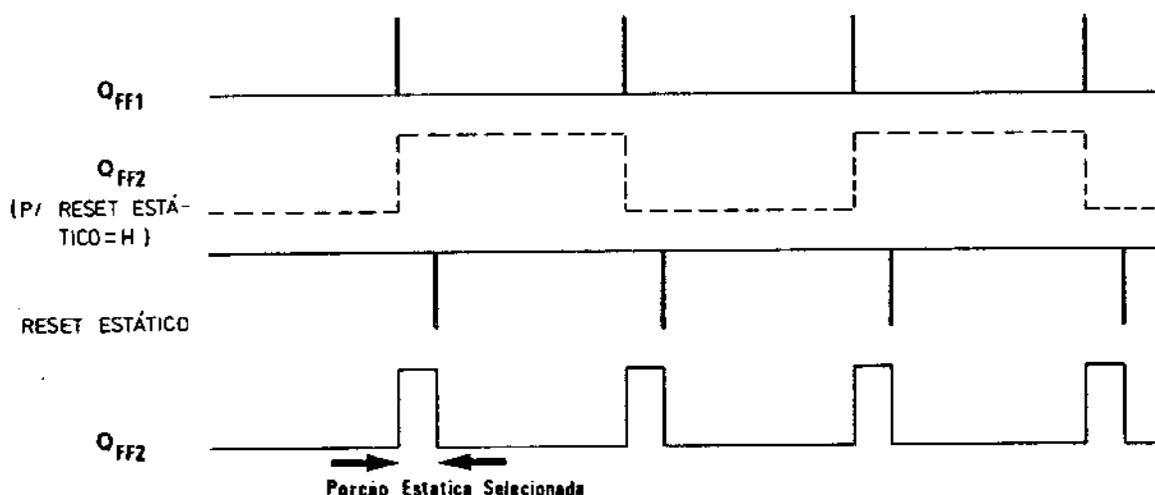


Fig. III.30 - Saídas dos FF2 e FF3 para RESET ESTÁTICO=H

A idéia de como o pulso RESET ESTÁTICO age sobre a forma de onda  $Q_{FF2}$  será dada agora e depois explicaremos de que maneira a onda resultante atua sobre o sinal P.A., fornecendo uma região estática de zeros.

Como já foi dito acima, o pulso RESET ESTÁTICO depende apenas do comprimento da região estática selecionada no PF. Conforme selecionamos determinado comprimento, a posição do pulso é deslocada sempre em relação à posição de transição da onda  $Q_{FF2}$  (esta transição ocorre após o pulso de trigger; vide Fig. III.30).

Assim sendo, consideremos que foi selecionado um comprimento estático qualquer. O pulso RESET ESTÁTICO será tal que obteremos as seguintes formas de onda no circuito de controle:



Figl III.31 - Formas de onda no circuito de controle para um dado comprimento selecionado.

De acordo com o circuito da Fig. III.29, verifica-se que a saída  $Q_{FF3}$  é uma cópia da entrada  $Q_{FF2}$ . Como a saída  $\bar{Q}_{FF3}$  é utilizada para a passagem da onda P.A., obtemos as seguintes formas de onda pelo restante do circuito de controle.

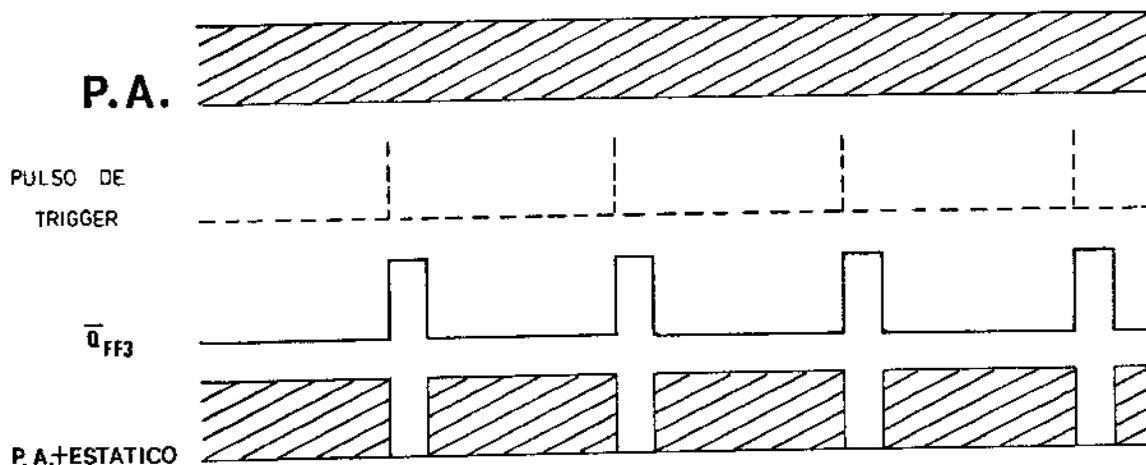


Fig. III.32 - Obtenção da alternativa P.A. + ESTÁTICO

Como podemos verificar, a saída  $\bar{Q}$  do FF4 será a sequência pseudo-aleatória interrompida a intervalos regulares (variáveis). Esta é a saída P.A. + ESTÁTICO. O comprimento desta região é controlado pela posição do pulso RESET ESTÁTICO fornecido pelo circuito PSEUDO-ALEATÓRIO/ESTÁTICO.

Esta região pode ter um comprimento desde 0 até 999 bits na sequência máxima pseudo-aleatória de  $2^{15} - 1$  ou  $2^{22} - 1$  bits.

### III.5.6 - Ondas de Controle

Para se obter o pulso RESET ESTÁTICO no circuito P.A./ ESTÁTICO, se faz necessário gerar algumas ondas de controle.

#### ENABLE ESTÁTICO

Esta onda é obtida a partir do pulso de trigger da sequência P.A. e tem a função de determinar o início da região Estática de zeros, a ser gerada no circuito referente. Para isto, o pulso de trigger gera, a princípio, uma onda quadrada por meio do FF2, conforme a Fig. III.29. A saída deste FF é a onda ENABLE ESTÁTICO (Vide Fig. III.31).

#### CLEAR U, D e C

Estas ondas são geradas a partir do próprio pulso RESET ESTÁTICO. Este é copiado por um FFD, cuja saída invertida fornece,

através do gate NOR, o mesmo pulso RESET ESTÁTICO, mas defasado de um período da onda de relógio. Estas ondas resetarão os divisores por 10 do circuito P.A./ESTÁTICO. A obtenção destes pulsos é mostrada na Fig. III.33.

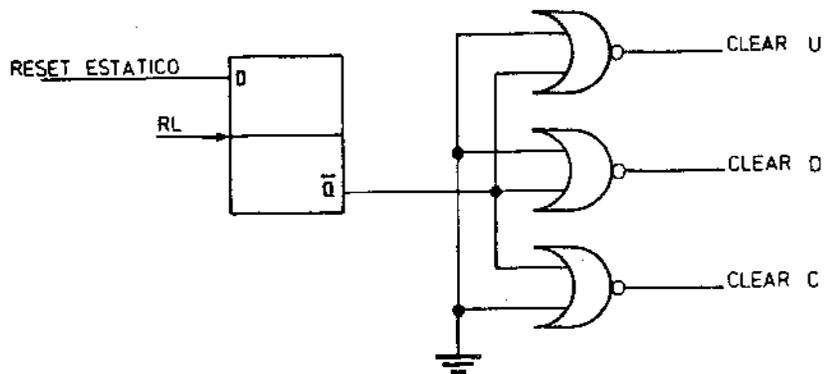


Fig. III.33 - Ondas de Controle CLEAR U, D e C



## I.6 - PSEUDO ALEATÓRIO/ESTÁTICO

Como já foi bastante evidenciado anteriormente, este circuito tem a função principal de fornecer condições para que o circuito GERADOR PSEUDO-ALEATÓRIO seja inibido durante uma certa quantidade de bits. Esta inibição, que denominamos de porção estática, é uma região de zeros de comprimento selecionado no PF.

Quando descrevemos o circuito gerador pseudo-aleatório, salientamos que o pulso RESET ESTÁTICO atuava sobre a sequência aleatória originando a porção estática. Agora descrevemos como, através do circuito P.A./ESTÁTICO, geramos o pulso RESET ESTÁTICO de acordo com o comprimento desejado.

No PF, temos uma chave decimal seletora do comprimento da região estática. Por meio dela, podemos selecionar um comprimento até 999 bits para a região estática. Esta chave contém um codificador decimal/binário de acordo com a tabela verdade abaixo:

DECIMAL	SAÍDAS			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Tabela IX

A chave contém 3 dígitos decimais. Cada dígito decimal tem sua saída codificada em BCD de acordo com a tabela acima.

Uma maneira encontrada para se realizar o circuito P.A./ESTÁTICO, operando conjuntamente com estas chaves decimais, é mostrada a seguir na Fig. III.34.

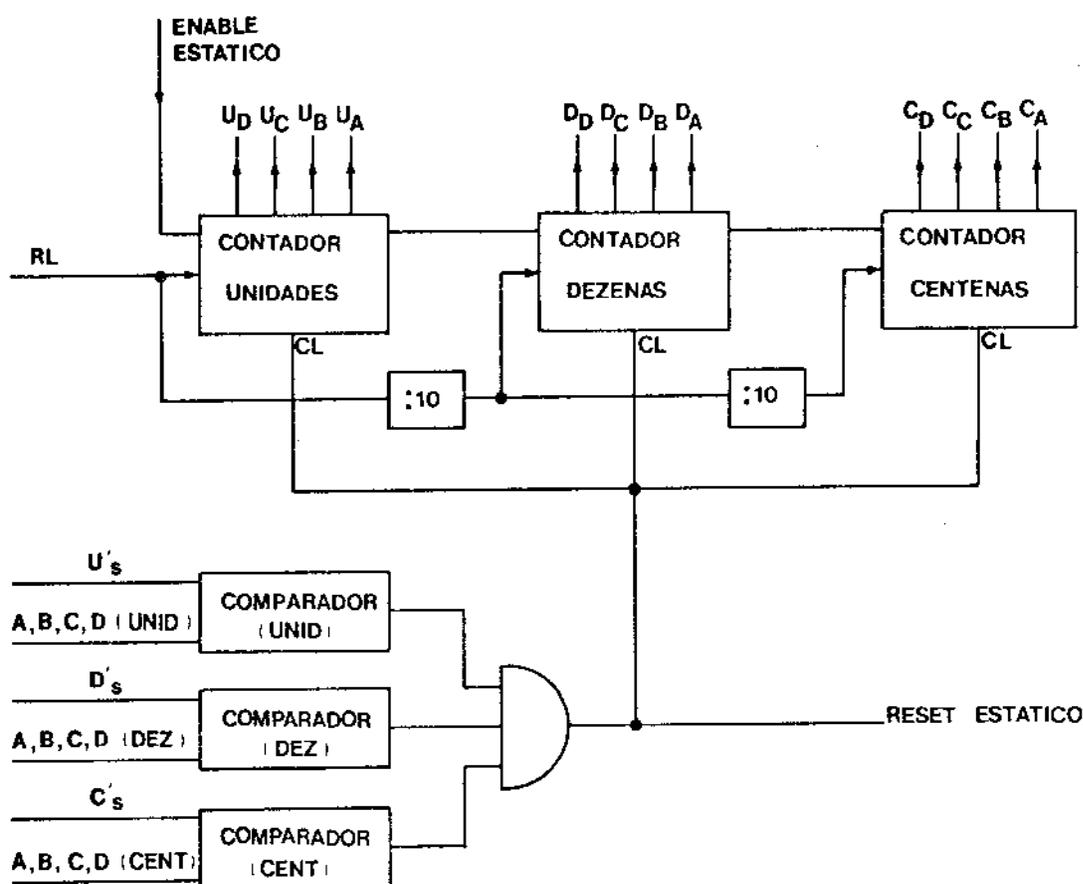


Fig. III.34 - Diagrama em blocos do circuito  
P.A./ESTÁTICO

Inicialmente, procuraremos descrever a função de cada bloco, dando a seguir a função geral do circuito.

Através do circuito Contador decimal (Unidades), obtemos quatro saídas BCD, síncronas com o relógio de linha RL, cuja tabela verdade é idêntica à Tabela IX.

Com o circuito Contador decimal (Centenas), obtemos ou tras quatro saídas BCD, cujos estados têm períodos 10 vezes maior que os do contador decimal (Unidades), pois o RL está dividido por 10 neste caso. Portanto, a mesma tabela verdade acima é válida para as saídas  $D_A$ ,  $D_B$ ,  $D_C$  e  $D_D$ .

Identicamente para o Contador decimal (Centenas), obtemos quatro saídas BCD, sendo que agora a contagem está sincronizada com o RL dividido por 100.

Desta forma, conseguimos obter três circuitos contadores decimais com saídas BCD, cujas formas de onda estão relacionadas com o RL, RL dividido por 10 e RL dividido por 100, respectivamente.

A razão desta configuração se deve ao fato de estarmos interessados na realização de comparação com as saídas BCD das chaves decimais do seletor do comprimento da região estática, para obtermos o pulso RESET ESTÁTICO.

Os circuitos Comparadores (Unidade, Dezena, Centena) são simplesmente gates OU-EXCLUSIVO, através dos quais realizamos as comparações entre as saídas das chaves seletoras, que estão codificadas em BCD, com as saídas BCD dos contadores decimais de Unidade, Dezena e Centena, obtidos pelo procedimento acima. Ao somar as saídas dos Comparadores, obtemos o pulso RESET ESTÁTICO. Este pulso ainda é utilizado para resetar os contadores decimais por meio das saídas CLEAR U, C e D, fazendo-os reiniciar a contagem quando solicitado pela onda ENABLE ESTÁTICO. Com isto, o pulso RESET ESTÁTICO tem um pequeno tempo de duração, mas o suficiente para realizar sua finalidade.

Quando utilizamos o pulso RESET ESTÁTICO para descrever a sua função no circuito GERADOR P.A., dissemos que o mesmo somente tinha sua posição deslocada em relação a onda ENABLE ESTÁTICO, conforme o comprimento da região estática selecionada. Então, de acordo com o comprimento selecionado, os circuitos Comparadores fornecerão à sua saída formas de onda tais que provocarão a ocorrência do pulso RESET ESTÁTICO em determinada posição, em múltiplos do período do RL, condizentes com o comprimento selecionado.

Suponhamos que seja selecionado o comprimento estático zero (000). Desta forma, a chave seletora fornece todas as saídas codificadas BCD baixas. Como na implementação dos circuitos comparadores foram utilizados gates OU-EXCLUSIVO, as entradas que vêm dos contadores decimais têm passagem inalterada pelo circuito. Com isto, as saídas dos comparadores não têm simultaneamente níveis altos e, portanto, a onda RESET ESTÁTICO permanece inativa.

Considere-se agora, como exemplo, que foi selecionado o comprimento 010. Desta forma, a chave seletora fornece saídas codificadas BCD

0	1	0
0 0 0 0	0 0 0 1	0 0 0 0

Para este caso, quando foi realizada a comparação entre esses estados e as ondas dos contadores decimais, o Comparador das dezenas fornecerá uma forma de onda diferente do caso anterior (000), na posição relativa à  $D_A$  (pois estamos comparando  $D_A$  com A, nível agora alterado). Assim, haverá uma coincidência de níveis à saída dos comparadores na posição  $D_A$ . Como  $D_A$  apresenta um pulso alto exatamente após 10 períodos da onda RL, o mesmo ocorrerá com o pulso RESET ESTÁTICO. Como este pulso também é utilizado para resetar os

contadores decimais, o mesmo volta logo após ao estado anterior.

Como se pode verificar pela Fig. III.34, a contagem dos contadores decimais depende do estado de onda ENABLE ESTÁTICO. Através da Fig. III.31, onde temos as formas de onda RESET ESTÁTICO e  $Q_{FF2}$  que utilizamos como ENABLE ESTÁTICO, poderemos entender alguns pontos importantes da lógica do circuito. Transcrevemos aqui essas formas para melhor visualização:

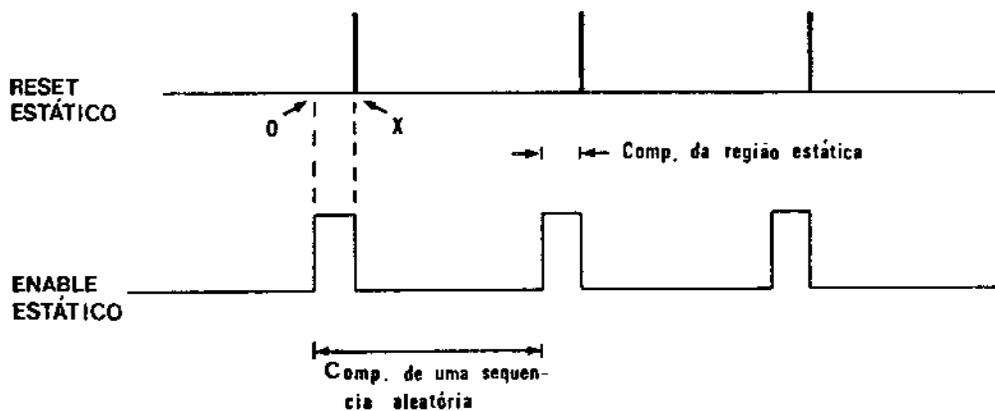


Fig. III.35 - Ondas ENABLE e RESET ESTÁTICO

Para os Contadores decimais, enquanto o ENABLE ESTÁTICO está alto, a contagem é realizada normalmente. Quando ela muda para nível baixo, os contadores são resetados (as saídas vão para nível baixo) permanecendo nessa condição até que novamente o nível alto da onda ENABLE seja adquirido. Por isso é que, logo após a ocorrência do pulso RESET ESTÁTICO, os contadores são resetados e não reiniciam uma nova contagem até que o período total da sequência P.A. seja efetuado. Pela figura acima, podemos verificar então que, conforme o comprimento da porção estática selecionada, alteramos a distância entre  $X$  e a posição  $0$ , que ocorre após a onda de trigger da sequência P.A.

Descrevemos agora o circuito Comparador que é mostrado na Fig. III.36, onde  $U_A$ ,  $U_B$ ,  $U_C$  e  $U_D$  são saídas BCD do Contador decimal (unidades) e A, B, C e D são as saídas BCD da chave seletora.

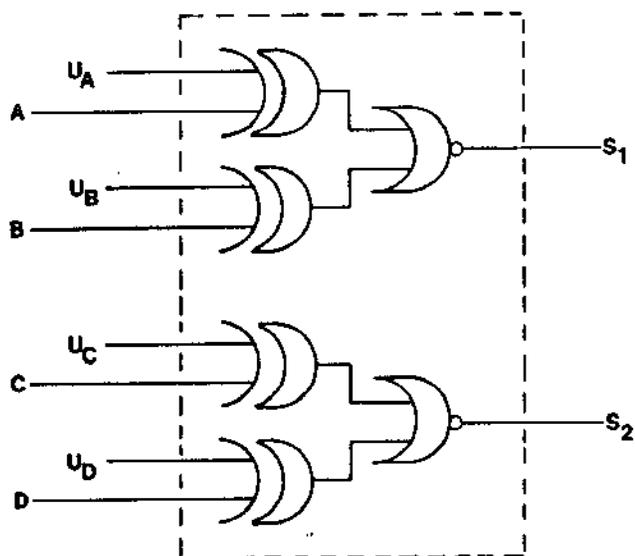


Fig. III.36 - Circuito Comparador das Unidades

O mesmo tipo é utilizado para o Comparador das dezenas e centenas.

As saídas  $S_i$ ,  $1 \leq i \leq 6$ , são então levadas a um gate Nand depois da ressincronizadas pelo RL, por meio de FFD. Utilizamos um gate Nand na implementação para realizar a lógica correta do circuito proposto. O esquema é mostrado na Fig. III.37, abaixo.

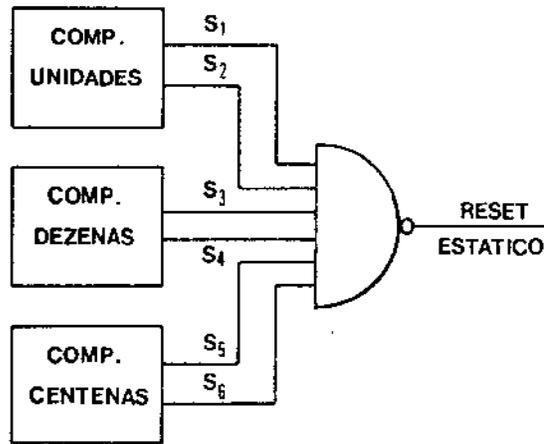


Fig. III.37 - Obstrução do RESET ESTÁTICO

Exemplificando, apresentamos a seguir o caso em que selecionamos o comprimento estático 10. Para isso, construímos uma tabela verdade onde são fornecidas as saídas dos Contadores decimais dos Comparadores, da chave seletora e o pulso RESET ESTÁTICO.

	UNIDADE												DEZENA				CENTENA				RESET ESTÁTICO													
	U <sub>D</sub>	U <sub>C</sub>	U <sub>B</sub>	U <sub>A</sub>	D <sub>D</sub>	D <sub>C</sub>	D <sub>B</sub>	D <sub>A</sub>	C <sub>D</sub>	C <sub>C</sub>	C <sub>B</sub>	C <sub>A</sub>	D <sub>U</sub>	C <sub>U</sub>	B <sub>U</sub>	A <sub>U</sub>	D <sub>D</sub>	C <sub>D</sub>	B <sub>D</sub>	A <sub>D</sub>		D <sub>C</sub>	C <sub>C</sub>	B <sub>C</sub>	A <sub>C</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>5</sub>	S <sub>6</sub>			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1		
1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	
3	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	
4	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1	
5	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
7	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1	1
9	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
10 →	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0
11	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1	1	1

$$S_1 = (U_A \oplus A_U) + (U_B \oplus B_U)$$

$$S_2 = (U_C \oplus C_U) + (U_D \oplus D_U)$$

$$S_3 = (D_A \oplus A_D) + (D_B \oplus B_D)$$

$$S_4 = (D_C \oplus C_D) + (D_D \oplus D_D)$$

$$S_5 = (C_A \oplus A_C) + (C_B \oplus B_C)$$

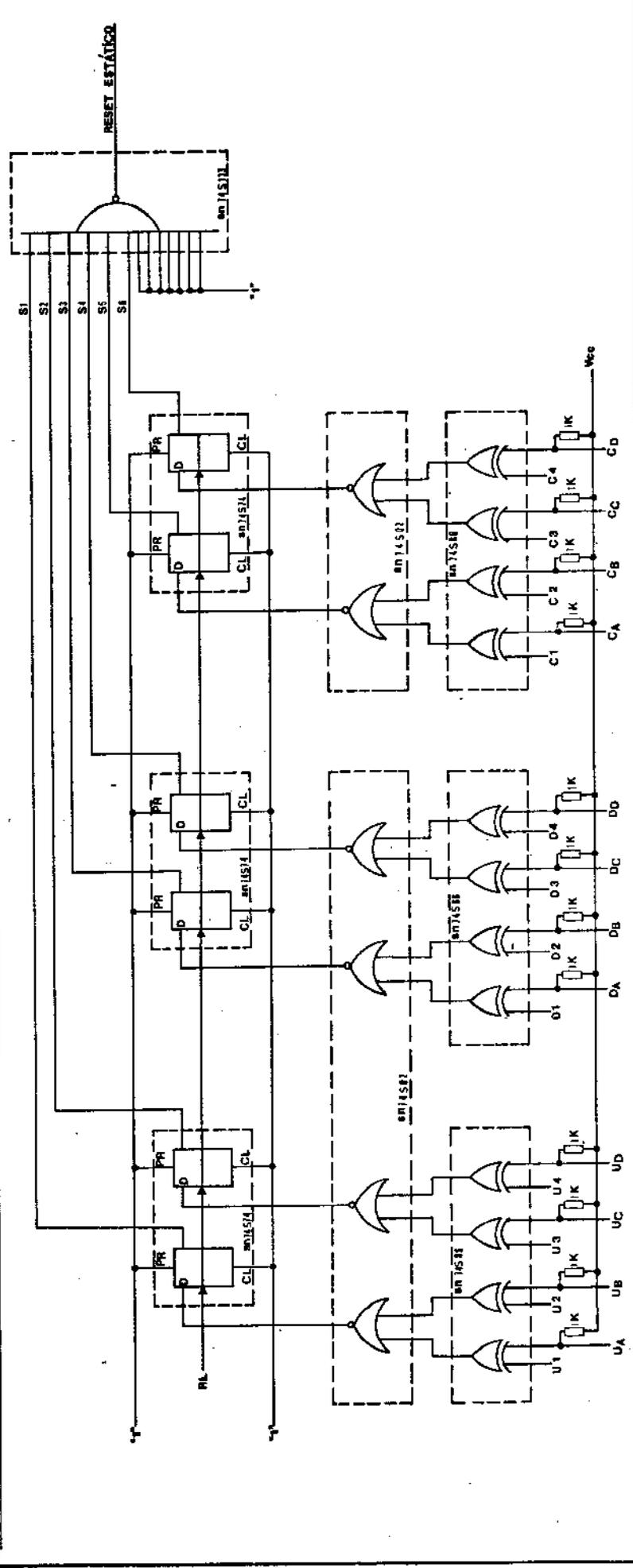
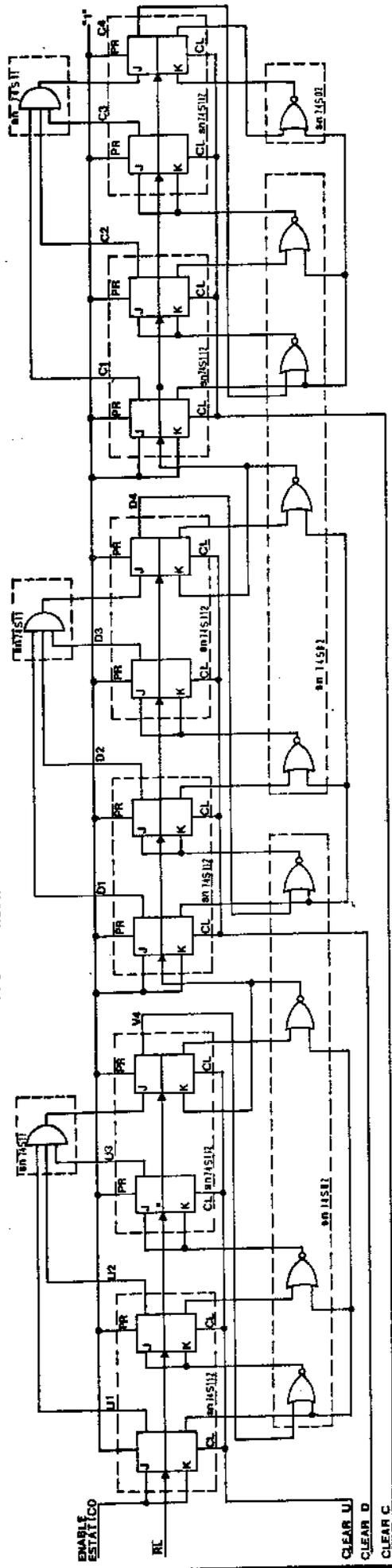
$$S_6 = (C_C \oplus C_C) + (C_D \oplus D_C)$$

$$\text{RESET ESTÁTICO} = S_1 S_2 S_3 S_4 S_5 S_6$$



Como se pode verificar, as saídas  $U_1$ ,  $U_2$ ,  $U_3$  e  $U_4$  seguem a Tabela IX, que era requerida para as saídas dos Contadores. A saída  $RL\div$  fornece um pulso positivo a cada 10 períodos da onda  $RL$ , podendo então atuar como divisor por 10 da frequência de relógio. Para os contadores de dezenas, a contagem será realizada a cada pulso da onda  $RL\div$ , implicando na obtenção das saídas  $D_1$ ,  $D_2$ ,  $D_3$  e  $D_4$  com a mesma tabela verdade das saídas do contador das unidades, mas com uma frequência 10 vezes menor. Identicamente, ocorre para o contador das centenas.

PSEUDO ALEATORIO - ESTÁTICO



## II.7 - CIRCUITO ENTRADA/SAÍDA

Este circuito tem a finalidade de permitir a saída binária e trigger correspondente, conforme o que foi selecionado no PF e também proteger as entradas externas e as saídas que são realizadas por meio de conectores BNC.

Pelo esquema geral apresentado na Fig. III.1, pode-se verificar que este circuito recebe os padrões alternativos e os pseudo-aleatórios, além dos respectivos pulsos de trigger, gerados nos circuitos correspondentes. As entradas externas binária, trigger e de relógio, também chegam a este circuito através de conectores BNC. Desta forma, é necessário então, através de um circuito selector, providenciar corretamente a saída binária com o seu respectivo trigger. Este circuito realizará esta função além do que protegerá estas e outras entradas e saídas, não permitindo possíveis danificações dos circuitos integrados, se por ventura ocorrerem alterações bruscas, externamente, nos níveis da tensão de trabalho via conexões BNC.

Por meio deste circuito, conectamos as seguintes entradas externas:

BINÁRIO EXTERNO  
RELÓGIO EXTERNO  
TRIGGER EXTERNO

As saídas por conectores BNC são as seguintes:

BINÁRIO  
RELÓGIO DE LINHA  
RELÓGIO ESTÁVEL  
TRIGGER  
RELÓGIO CONVERTIDO  
BINÁRIO CONVERTIDO

As entradas externas permitem introduzir no equipamento um sinal binário de formato qualquer e o correspondente pulso de trigger. No entanto, quando um sinal binário externo é utilizado, o relógio externo síncrono também deve ser introduzido pelo BNC RELÓGIO EXTERNO. Por outro lado, o relógio externo pode ser utilizado independentemente para gerar os possíveis padrões internos.

Através da saída BINÁRIO, obtemos qualquer uma das 12 sequências padrões do equipamento. Em conjunto, na saída TRIGGER temos o pulso correspondente ao padrão selecionado. As duas ondas de

relógio, RELÓGIO DE LINHA e RELÓGIO ESTÁVEL, também são disponíveis na saída. O RL pode ser selecionado com ou sem jitter. No caso em que for selecionado o RL com jitter, o sinal binário de saída também conterá jitter. Em hipótese alguma o RE conterá jitter. Este será útil quando se necessitar de um relógio de referência durante a realização de testes.

As duas outras saídas, BINÁRIO CONVERTIDO e RELÓGIO CONVERTIDO, vêm da INTERFACE DE ENTRADA e são, respectivamente, o sinal recebido da linha após a decodificação e o relógio extraído desse mesmo sinal.

### III.7.1 - Circuitos de Proteção

Todas as entradas e saídas do equipamento por meio de conectores BNC são realizadas com circuitos de proteção.

#### Circuito de Proteção para as Entradas

Este circuito, cujo esquema é dado na Fig. III.40, não permite que tensões abaixo de  $\approx -0,7V$  ou acima de  $\approx 5,7V$  danifiquem os integrados TTL.

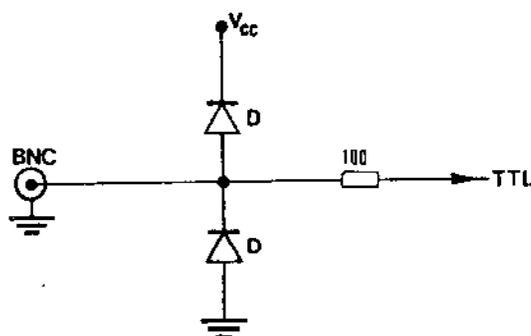


Fig. III.40 - Circuito de Proteção para as Entradas

O resistor de  $100\Omega$  limita a corrente de entrada do TTL.

#### Circuito de Proteção para as Saídas

Este circuito também limita os níveis de tensão às possíveis ligações errôneas realizadas nestas saídas. O circuito é idêntico ao de entrada e é dado na Fig. III.41, abaixo.

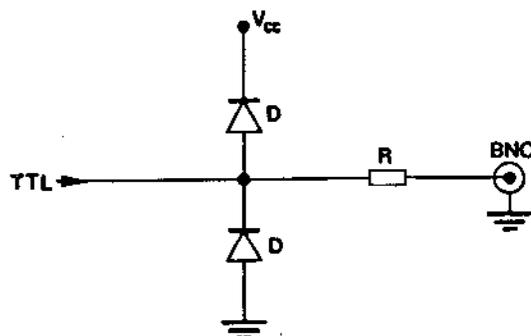


Fig. III.41 - Circuito de Proteção para as Saídas

O resistor R limita a corrente de saída e permite obter um nível de tensão adequado para uma carga ligada à saída BNC.

Para um valor  $R = 27\Omega$ , temos na saída um nível de tensão de 2V se a carga for de  $50\Omega$  ou ainda 2,37V se a carga for  $75\Omega$ .

Para que as saídas tenham alta capacidade de drenagem de corrente (alto fan-out), utilizamos gates Buffer SN74S40 antes dos circuitos de proteção.

### III.7.2 - Circuito de Controle para Entradas e Saídas

Nesta seção, descreveremos os circuitos para seleção correta do padrão de saída com o trigger correspondente.

Para obtermos a saída BINÁRIO, um circuito AND/NOR é utilizado, como mostra a Fig. III.42. Como já foi bastante comentado anteriormente, é possível a escolha entre 12 padrões, dos quais 7 são alternativos, 4 pseudo-aleatórios e 1 externo.

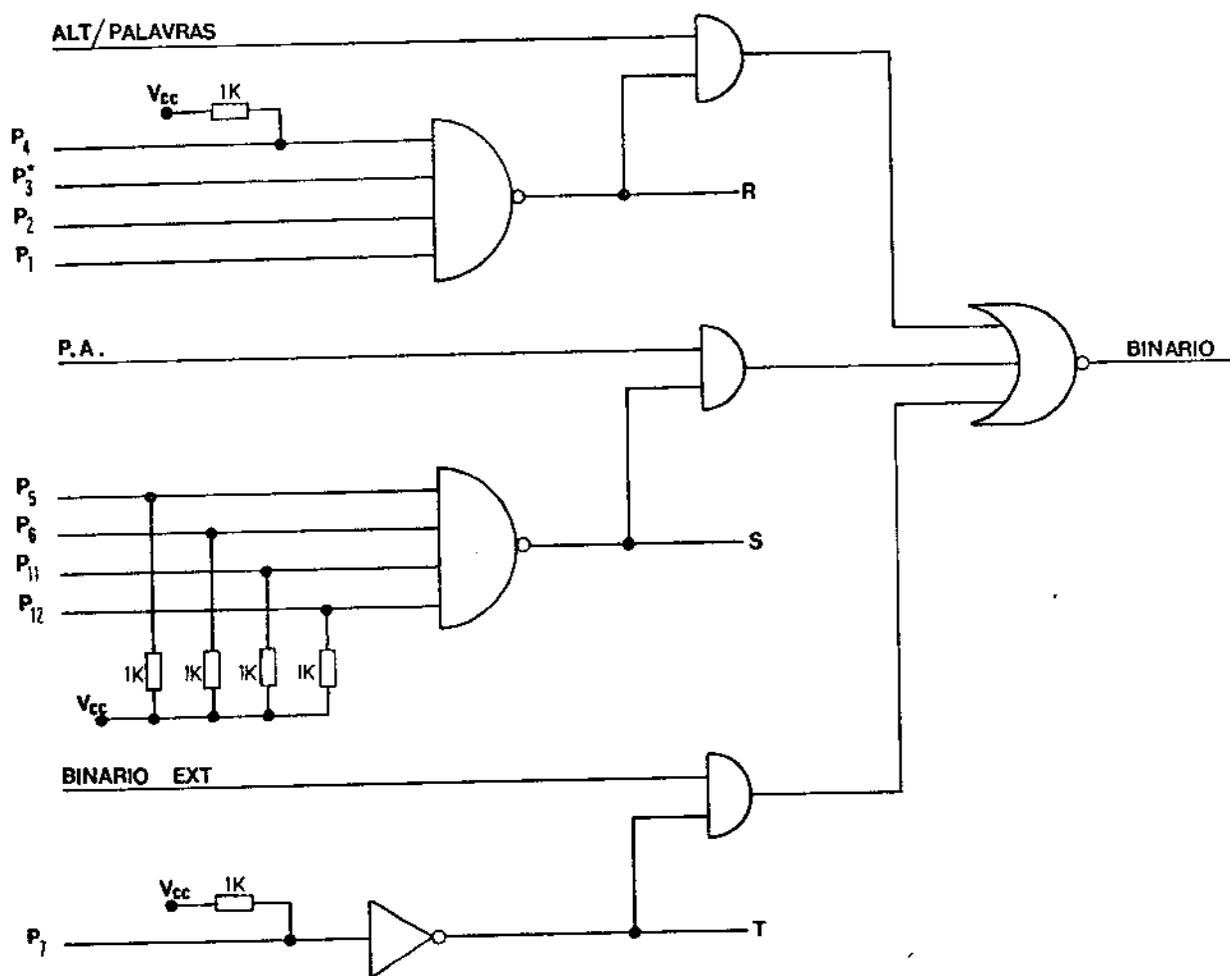


Fig. III.42 - Circuito para seleção da saída BINÁRIO

As posições  $P_i$  são as mesmas já utilizadas nos circuitos geradores correspondentes.

O formato ALT/PALAVRA é gerado pelo circuito ALTERNADOR que, como vimos, possui sete possibilidades:

$P_1, P_2, P_3, P_4, P_8, P_9$  e  $P_{10}$ .

O formato P.A., gerado pelo circuito GERADOR PSEUDO - ALEA TÓRIO, pode ser selecionado numa das quatro possibilidades:  $P_5, P_6, P_{11}$  e  $P_{12}$ .

O último formato possível é obtido externamente por meio da posição  $P_7$ .

Nota-se então, pelo circuito da Fig. III.42, que ao ser selecionada qualquer saída Alternativa  $P_1, P_2, P_3^* (\equiv P_3, P_8, P_9, P_{10})$  e  $P_4$ , nos pontos R, S e T tem-se a seguinte lógica:

R = H

S = L

T = L

Desta forma, somente um dos formatos alternativos terá pasagem pelo gate AND/NOR, enquanto que os outros dois padrões serão inibidos. A saída BINÁRIO, neste caso, será um formato Alternativo.

Quando for selecionada qualquer possibilidade pseudo-alea tória, teremos nos pontos R, S e T:

R = L

S = H

T = L

A saída BINÁRIO será agora um dos 4 formatos pseudo - alea tórios, conforme for selecionado numa das posições  $P_5, P_6, P_{11}$  ou  $P_{12}$ .

Para a última possibilidade, EXTERNO, teremos:

R = L

S = L

T = H

E, neste caso, a saída BINÁRIO será o próprio padrão externo.

A inversão das ondas pelo gate AND/NOR será desfeita pelo gate Buffer SN74S40.

Para ordenar corretamente a saída do padrão binário sele cionado, utilizamos os pontos R, S e T do circuito anterior. Através

de um gate AND/NOR, como mostra a Fig. III.43, conseguimos corresponder a saída TRIGGER com a respectiva saída BINÁRIO selecionada.

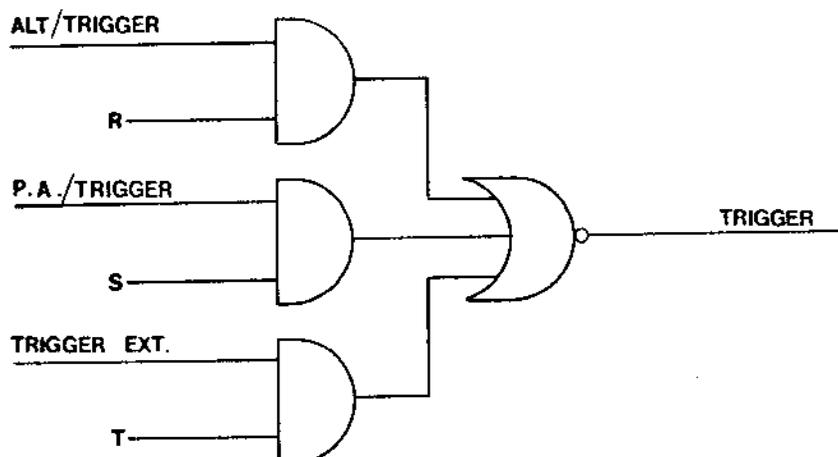


Fig. III.43 - Seletor do Trigger de Saída

Quando selecionamos um padrão alternativo, temos  $R = H$  ;  $S = L$ ;  $T = L$ . A saída TRIGGER é dada então pelo trigger do padrão alternativo selecionado.

Para os padrões pseudo-aleatório, teremos  $R = L$ ;  $S = H$  ;  $T = L$ . Com isto, a saída é dada pelo trigger da sequência pseudo-aleatória selecionada.

Quando utilizamos o padrão externo, temos  $R = L$ ;  $S = L$  ;  $T = H$ , permitindo que a saída seja o próprio trigger externo.

A inversão das ondas pelo gate AND/NOR também será desfeita posteriormente pelo Buffer SN74S40.

O circuito que nos fornece o Relógio de saída é agora descrito. Temos aqui duas possibilidades: relógio interno ou externo . Para os dois casos poderemos realizar ou não a sua inversão.

A implementação adota mais uma vez os gates AND/NOR e o esquema final é apresentado na Fig. III.44, a seguir.

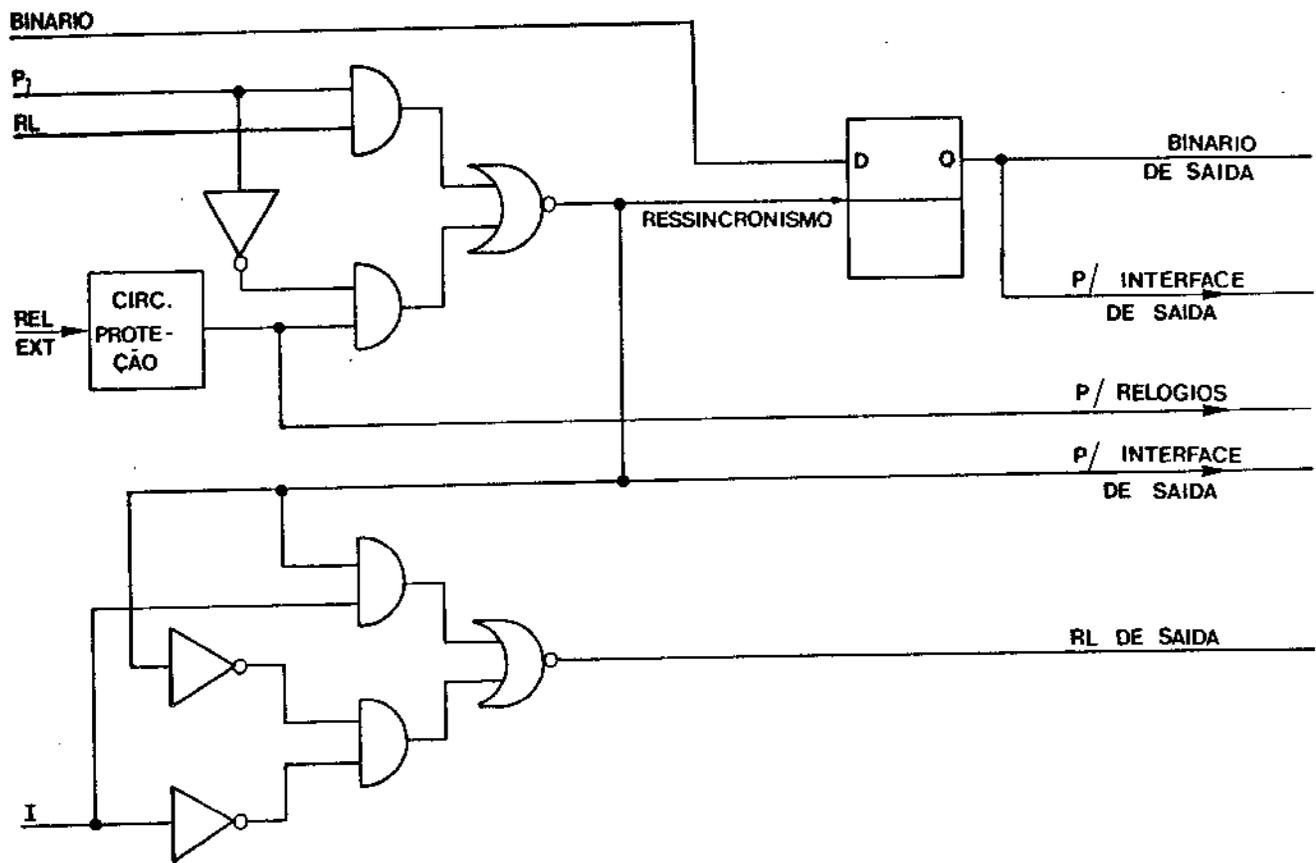


Fig. III.44 - Circuito Seletor do Relógio de Saída

O RELÓGIO EXTERNO, após o circuito de proteção, é levado ao circuito de RELÓGIOS, cuja utilidade já foi explicada anteriormente.

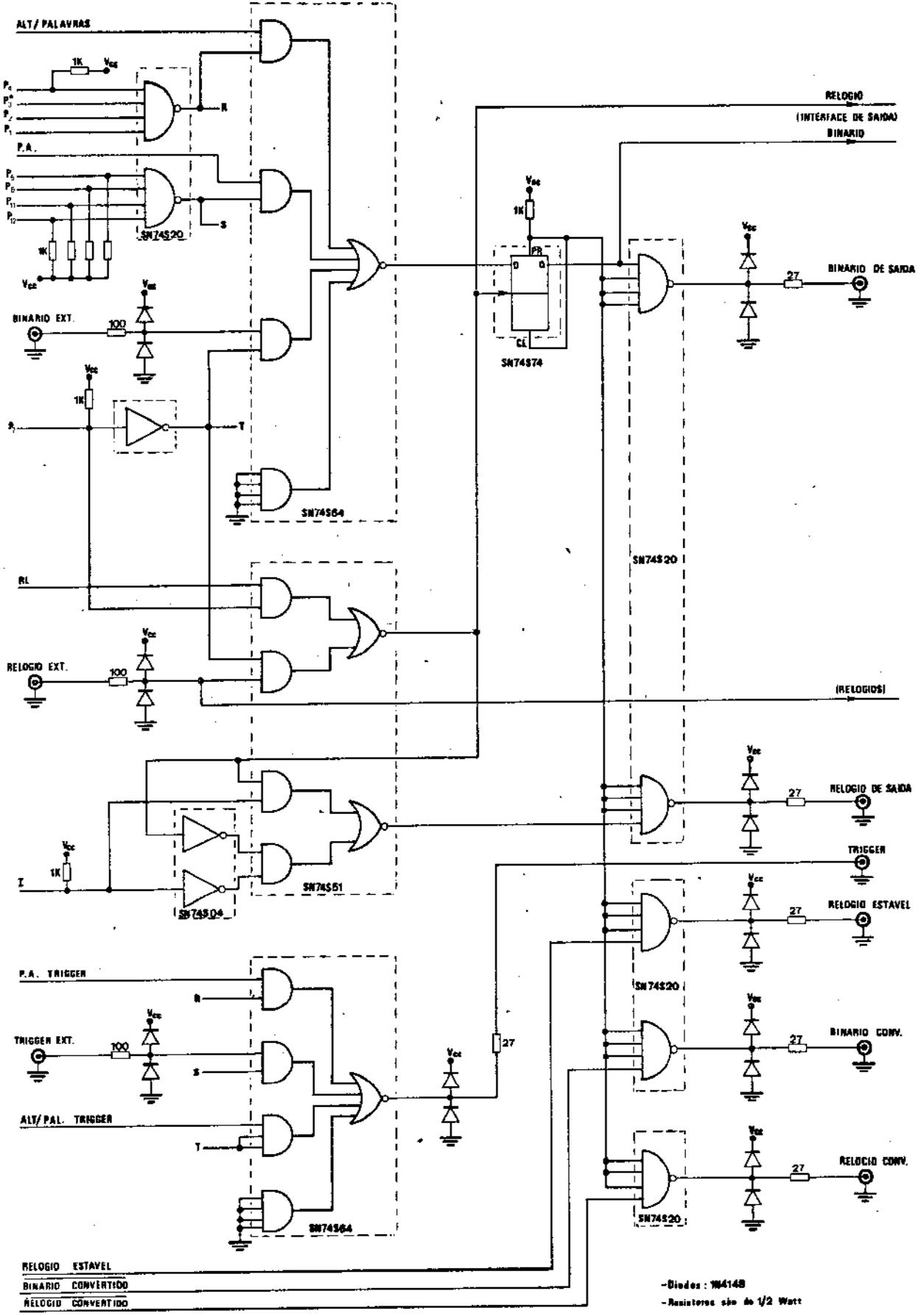
Dissemos também que quando uma sequência binária externa fosse selecionada, o relógio externo também deveria ser selecionado. Isto ocorre para a alternativa  $P_7$ , quando o RL interno é inibido, permitindo a passagem do REL EXT, como se pode verificar pelo circuito acima. Em caso contrário, ou seja, quando um dos outros 11 padrões internos for selecionado, poderemos ter ainda, na saída, o relógio externo, que é introduzido no circuito de RELÓGIOS pela posição  $F_4$  da chave seletora de velocidades, como vimos na seção III.2. O gate AND/NOR fornece uma inversão na onda de relógio. No entanto, isto é necessário, visto que a onda binária também sofreu inversão idêntica ao passar pelo gate AND/NOR correspondente, conforme mostra a Fig. III.42. A onda de relógio então obtida fará um ressinchronismo da palavra binária por meio de um FFD antes de sua saída do equipamento por conector BNC.

Antes da saída da onda de Relógio para o Buffer e o circuito de Proteção, um outro gate AND/NOR permitirá a inversão ou não da onda RL de Saída. Esta inversão, como mostra a Fig. III.44, não atua sobre a onda de relógio que ressinchroniza a palavra binária de saída, mas somente sobre a onda RL de saída via conector BNC.

Normalmente, a onda BINÁRIO DE SAÍDA tem seus instantes de subida coincidentes com os da onda RELÓGIO DE SAÍDA. Isto é obtido pelo circuito da Fig. III.44 quando  $I = H$ , ou seja, não optamos pela inversão da onda RL DE SAÍDA.

No entanto, quando desejamos que a onda seja invertida, permitindo então que os instantes de subida da onda binária se dêem na descida da onda de relógio, a posição  $I$  deve ser selecionada. Neste caso, temos  $I = L$  e pelo circuito acima nota-se que a onda RL será invertida no gate Inversor à entrada do AND/NOR.

O sinal BINÁRIO e o correspondente RELÓGIO são levados ao circuito INTERFACE DE SAÍDA para providenciar o sinal ternário AMI ou HDB3, como descreveremos posteriormente.



CIRCUITO ENTRADA/SAIDA

## III.8 - DETETOR DE ERRO

### III.8.1 - Introdução

O circuito DETETOR DE ERRO deverá indicar falhas unitárias na transmissão e recepção do sistema MCP, mostrando no display a quantidade cumulativa ou a velocidade (taxa) dos erros durante um intervalo de tempo definido.

Para se testar o sistema MCP, uma sequência pseudo-aleatória de dados deve ser utilizada. Esta sequência é codificada em AMI ou HDB3, no próprio equipamento de teste, e então transmitida pelo MUX-DEMUX do sistema. Ao ser recebida, ela é decodificada e então comparada com outra sequência pseudo-aleatória de mesmo padrão, também gerada no próprio equipamento.

O detetor projetado deverá ser utilizado com o padrão pseudo-aleatório P.A. (15).

Basicamente, o DETETOR DE ERRO se encaixa no seguinte esquema, dentro das condições de teste então propostas:

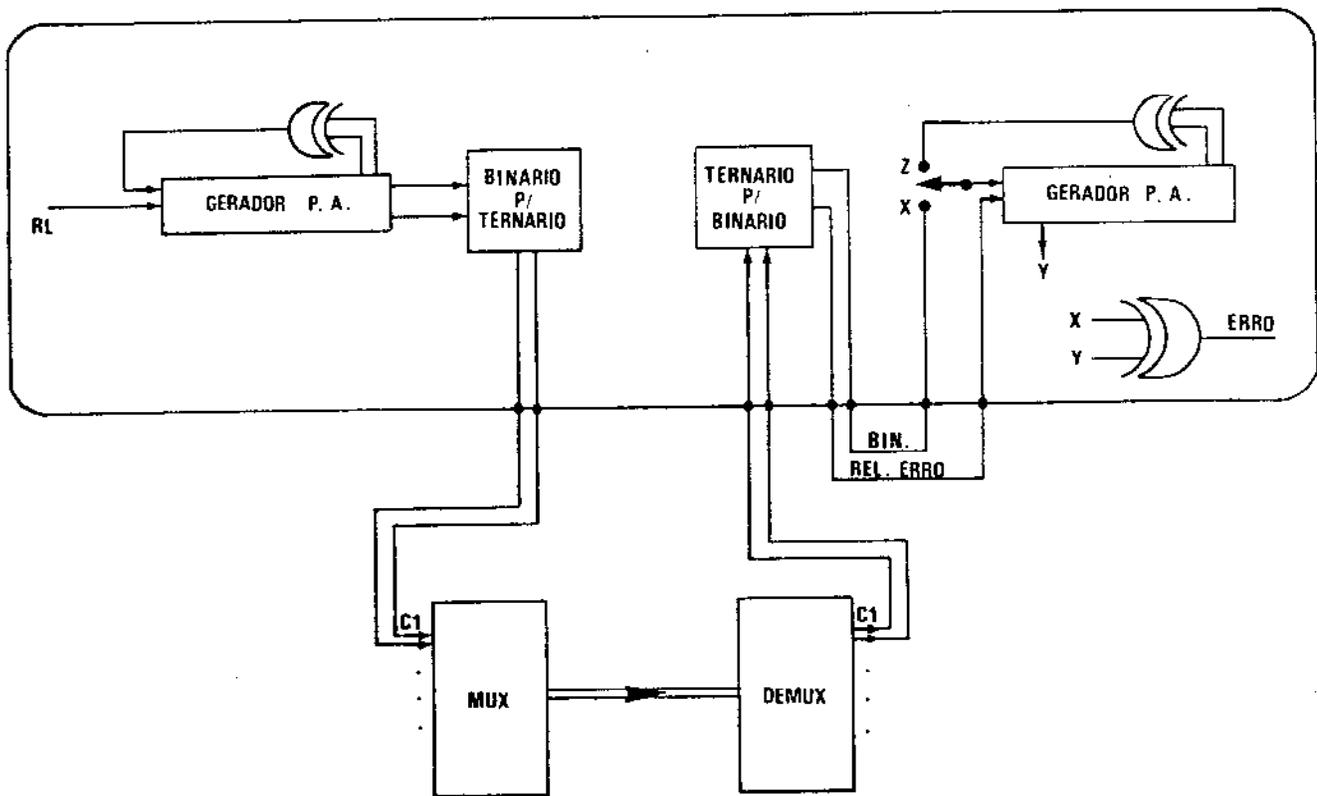


Fig. III.45 - Filosofia da Utilidade do Detetor de Erro

A sequência binária e o relógio recebidos, após a decodificação, deverão sincronizar o GERADOR P.A. do DETETOR DE ERRO. A grande dificuldade do circuito é se obter esse sincronismo.

Para se detetar a ocorrência dos possíveis erros, é realizada uma comparação bit a bit da sequência recebida X com uma sequência de mesmo padrão Y. Para isto deveremos comparar os bits de mesma posição. Se os bits comparados não forem idênticos, isto é, se  $X \neq Y$ , ou seja,  $x_i \neq y_i$  para algum  $i$ , o circuito comparador acusará um ERRO. Um circuito contador será então implementado para registrar dos ERROS e então levá-los a um DISPLAY no PF.

No esquema apresentado na figura anterior, uma chave síncrona seleciona a entrada do primeiro estágio do GERADOR P.A. Quando é selecionada a realimentação OU-EXCLUSIVO Z, o shift register de 15 estágios se comporta como um gerador pseudo-aleatório. Quando selecionamos a entrada binária recebida, X, os 15 estágios se comportam como um shift register absorvendo a sequência recebida da linha. Suponhamos então que a chave está dirigida para a entrada binária. Com isto, o shift register é preenchido com o padrão recebido. Se agora a chave é mudada para a realimentação OU-EXCLUSIVO, a sequência aleatória deve continuar a mesma e se a comparação da saída do gerador P.A. com a sequência recebida for feita, poderemos detetar os possíveis erros ocorridos.

Note que se a sequência recebida contiver inúmeros erros, a condição fornecida ao shift register, quando este passar a receber a realimentação OU-EXCLUSIVO, será um estado diferente daquele que realmente deveria ser recebido e provavelmente os erros detetados serão em maior número que os reais. Para haver sincronismo, os 15 primeiros bits de X introduzidos no shift register não podem conter erros. Para sanar este problema, um outro circuito se faz necessário para complementar a boa performance do detetor de erro. Este circuito deverá detetar essa falta de sincronismo e comandar a chave para a posição X de tal forma que o circuito se transforme novamente em shift register e parta de uma nova condição, que, espera-se, seja correta.

### III.8.2 - Projeto do Circuito Detetor de Erro

A seguir descreveremos a implementação do Detetor de Erro, explicando como conseguimos realizar cada circuito com sua função específica e como os problemas acima foram resolvidos.

O gerador P.A. foi realizado com a mesma estrutura do circuito GERADOR PSEUDO-ALEATÓRIO. São 15 FFD para constituir o shift register de 15 estágios, com realimentação OU-EXCLUSIVO dos dois últimos estágios.

Para a implementação da chave que comanda a entrada do shift register, será necessário utilizar um multivibrador que nos forneça um sinal de baixa frequência, pelo qual será realizado o posicionamento da chave. A frequência do multivibrador, cuja saída é compatível com TTL, foi tomada em 1KHz e a razão deste valor será entendida no decorrer da descrição do detetor de erro.

O circuito tem então o esquema mostrado na Fig.III.46. Para estudo da chave, a posição INT não nos é ainda de interesse; por isso, consideraremos por enquanto que INT está em nível alto (H). Na saída do NAND1, teremos simplesmente a onda do Multivibrador invertida.

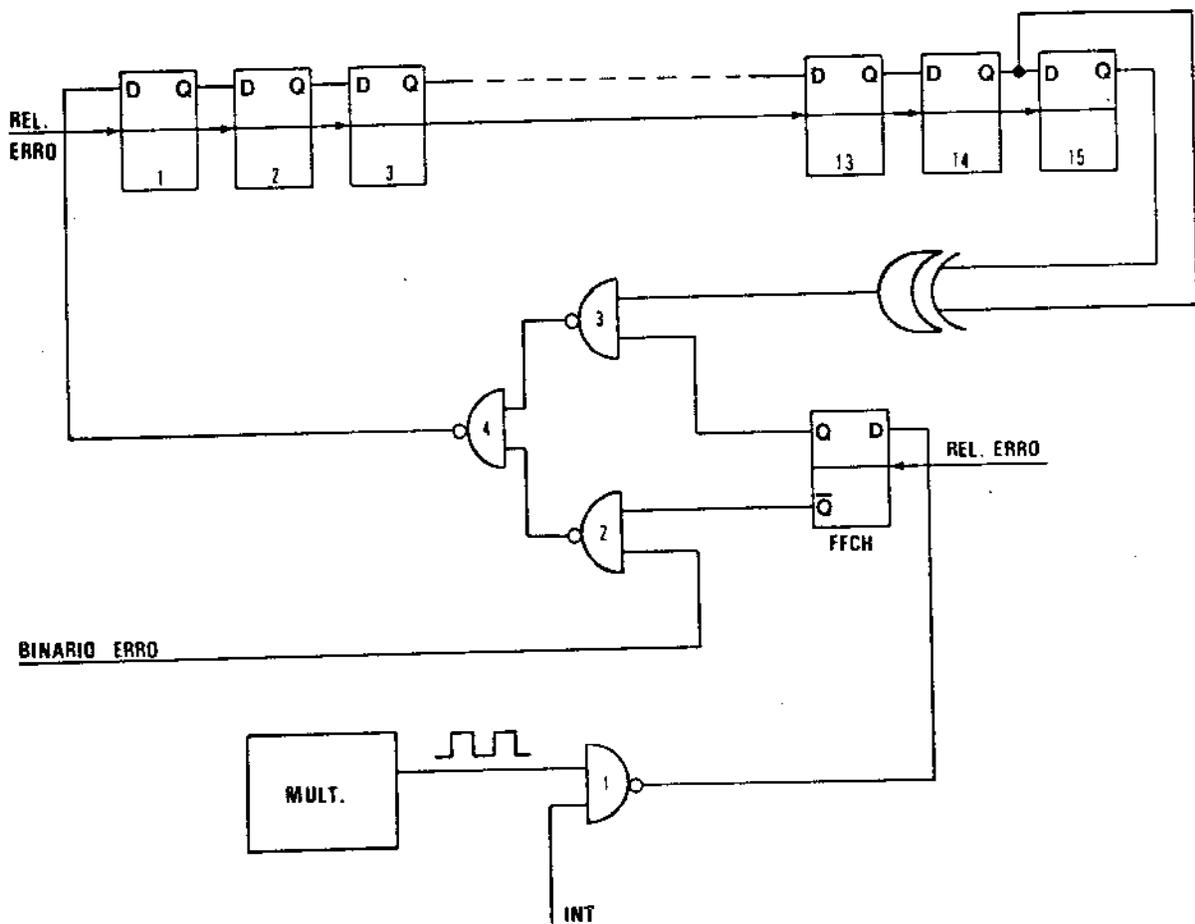


Fig.III.46 - Gerador P.A. e chave para sincronismo

Consideremos os níveis à saída do gate NAND1. Quando a saída deste estiver alta, para o FFCH teremos

$$Q = H$$

$$\bar{Q} = L$$

Com isto, o gate NAND2 é inibido e a realimentação OU-EXCLUSIVO para o shift-register é processada.

Quando a saída do gate NAND1 vai para o nível baixo, por

influência do Multivibrador, as saídas do FFCH são

$$Q = L$$

$$\bar{Q} = H$$

Neste caso, o NAND3 é que será inibido, permitindo que o sinal binário recebido (BINÁRIO ERRO) seja introduzido no shift register.

Desta maneira, podemos então compreender como funciona a chave à entrada do shift register.

Podemos também verificar agora que a entrada INT realiza a definição de qual sinal será introduzido no shift register. Note-se que, se tivermos  $INT = L$ , o gate NAND1 terá sua saída em nível alto e desta forma, o shift register será realimentado com o OU-EXCLUSIVO. Assim sendo, a entrada INT se torna deveras importante e será ela que nos indicará a obtenção ou não do sincronismo. Ela atuará de modo que quando o sincronismo for obtido, permanecerá em nível baixo, mantendo o comando da chave para proporcionar a realimentação OU-EXCLUSIVO.

O circuito que nos fornece o sinal INT, e pelo qual será realizada a verificação do sincronismo, é apresentado na Fig.III.47.

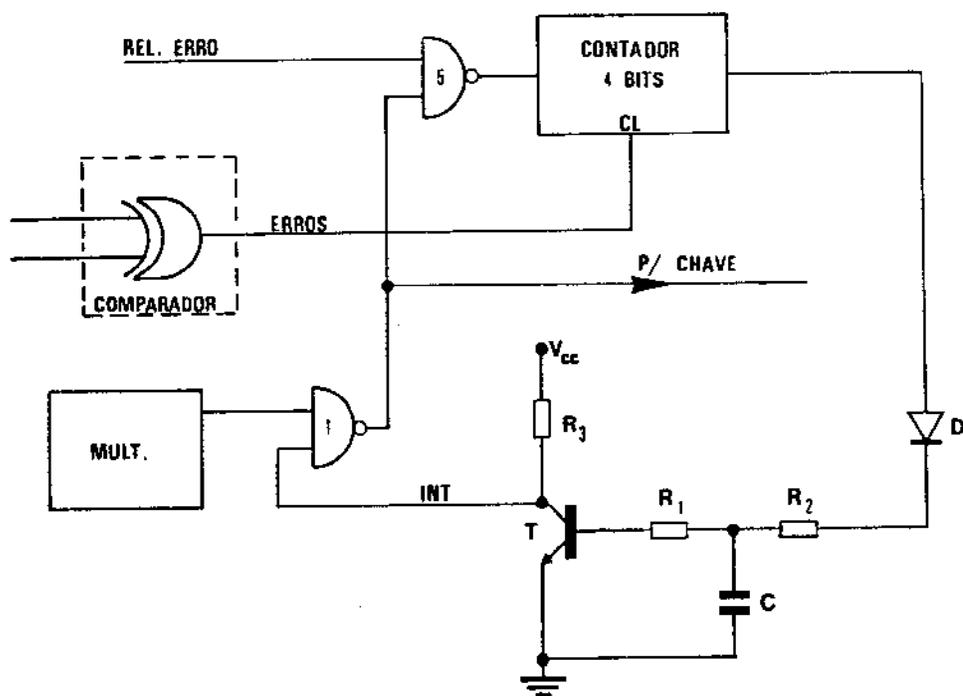


Fig. III.47 - Circuito para verificação do Sincronismo

As entradas do comparador são, respectivamente, o sinal Binário recebido e a saída do primeiro estágio do shift register.

Para compreensão do circuito, suponhamos inicialmente que não hajam erros detetados pelo comparador. Assim, a sua saída está baixa e o clear não atua sobre o Contador. Consideremos também que a saída INT do integrador esteja alta. A saída do gate Nand1 neste caso será a onda invertida do Multivibrador. Quando esta saída estiver alta, a onda de relógio (RELÓGIO ERRO) não é inibida no gate Nand5, possibilitando o Contador de 4 bits realizar sua contagem. Após 16 períodos da onda de relógio, o gate And fornece um pulso positivo que ativa o integrador, fazendo com que a saída INT vá para nível baixo, ou seja,  $INT = L$ . Com isto, a saída do Multivibrador fica inibida no gate Nand1 que passa a ter sua saída sempre alta. A constante de tempo do integrador é tal que permite que a saída INT permaneça alta se durante um determinado intervalo de tempo não ocorrer um grande número de erros. O que acontece é que, se muitos erros forem detetados, a saída do comparador estará durante muito tempo em nível alto, resetando o contador e não permitindo que o mesmo forneça pulsos para ativar o Integrador e este inibir o gate Nand1.

Verifica-se então que, se muitos erros ocorrerem, a saída do integrador sobe, portanto,  $INT = H$ , o que fará com que a saída do gate Nand1 seja novamente a onda invertida do Multivibrador. Se este estiver alto, a saída do gate Nand1 estará baixa e o gate Nand5 será inibido, fazendo com que o contador não seja acionado e, consequentemente, o integrador se manterá em nível alto. Por outro lado, a saída do Nand1 estando baixa, fará com que a chave comande a entrada do shift register para a sequência binária recebida. Quando a saída do Multivibrador retornar ao nível baixo, a saída do Nand1 vai para o nível alto. Com isto, a chave comandará a realimentação OU-EXCLUSIVO para o shift register e o contador reiniciará a contagem. O contador tem então um tempo de  $0,5 \text{ milisegundos } [1/2 \cdot 10^{-3} \text{ seg}]$  para ativar o integrador, desde que realmente o sincronismo tenha sido obtido e que, com isto, a saída do Nand1 seja agora mantida sempre alta.

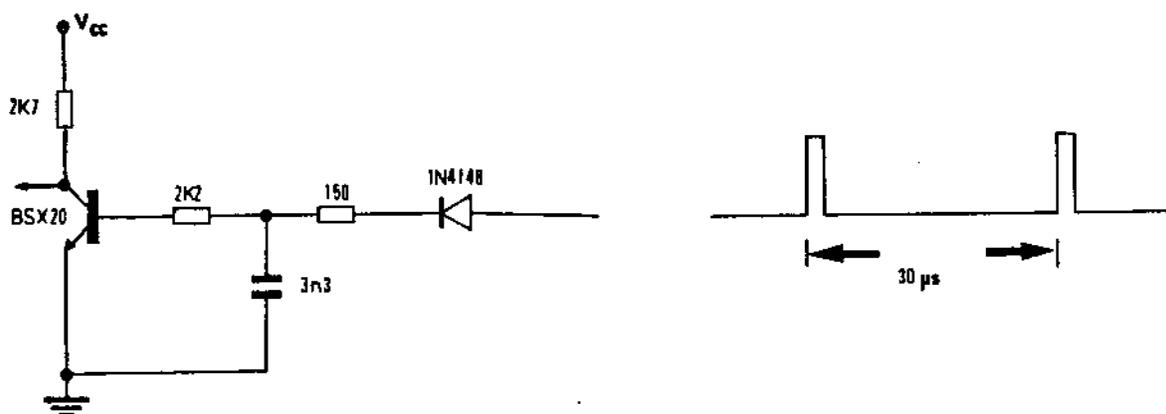


Fig:III.48 - Circuito Integrador

O integrador implementado permite que se tenha pulsos à sua entrada com um espaçamento de até  $30\mu\text{seg} [= 3R_1C]$ .

Para este caso, a saída INT se manterá baixa se ocorrerem menos que as seguintes quantidades de erros consecutivos nesse intervalo:

$$2M \rightarrow \left( \frac{30 \times 10^{-6}}{500 \times 10^{-9}} - 16 \right) \text{erros} = 44 \text{ erros}$$

$$8M \rightarrow \left( \frac{30 \times 10^{-6}}{125 \times 10^{-9}} - 16 \right) \text{erros} = 224 \text{ erros}$$

$$34M \rightarrow \left( \frac{30 \times 10^{-6}}{30 \times 10^{-9}} - 16 \right) \text{erros} = 984 \text{ erros}$$

onde consideramos que a duração de cada erro é de 100% do período da onda de relógio e 16 é o número de períodos necessárias para o Contador fornecer um pulso ao Integrador.

Dentro então da respectiva frequência de trabalho, se ocorrerem menos erros que esse número máximo, o detetor se manterá em sincronismo. Esses números são razoáveis, visto que se ocorrerem, o sistema em teste estará, seguramente, aquém das especificações. Considere-se, por exemplo, o caso em que há ocorrência de um erro a cada 16 bits recebidos. Com este desempenho do sistema, o circuito de detetor de erro não conseguiria manter, ou pelo menos encontrar, o sincronismo. No entanto, essa taxa de erro do sistema estaria muito aquém das especificações ( $> 10^{-3}$ ).

Alguns pontos importantes na implementação são agora descritos.

Primeiramente, vamos descrever como realizamos a comparação bit a bit, levando em conta que esta deve ser feita com o sinal binário recebido e a sequência gerada de maneira síncrona. O circuito esquematizado é dado na Fig. III.49.

A sequência BINÁRIO-ERRO recebida é introduzida no FFA, sendo ressincronizada pelo RELÓGIO ERRO.

As saídas  $Q_B$  e  $Q_1$  serão os pontos utilizados para comparação. O FFB é necessário para possibilitar que, na subida da onda de relógio, tenhamos o mesmo bit, tanto na saída  $Q_B$  como na  $Q_1$ . A saída  $Q_1$  é a saída do primeiro estágio do shift register e a saída  $Q_B$  é a sequência binária recebida.

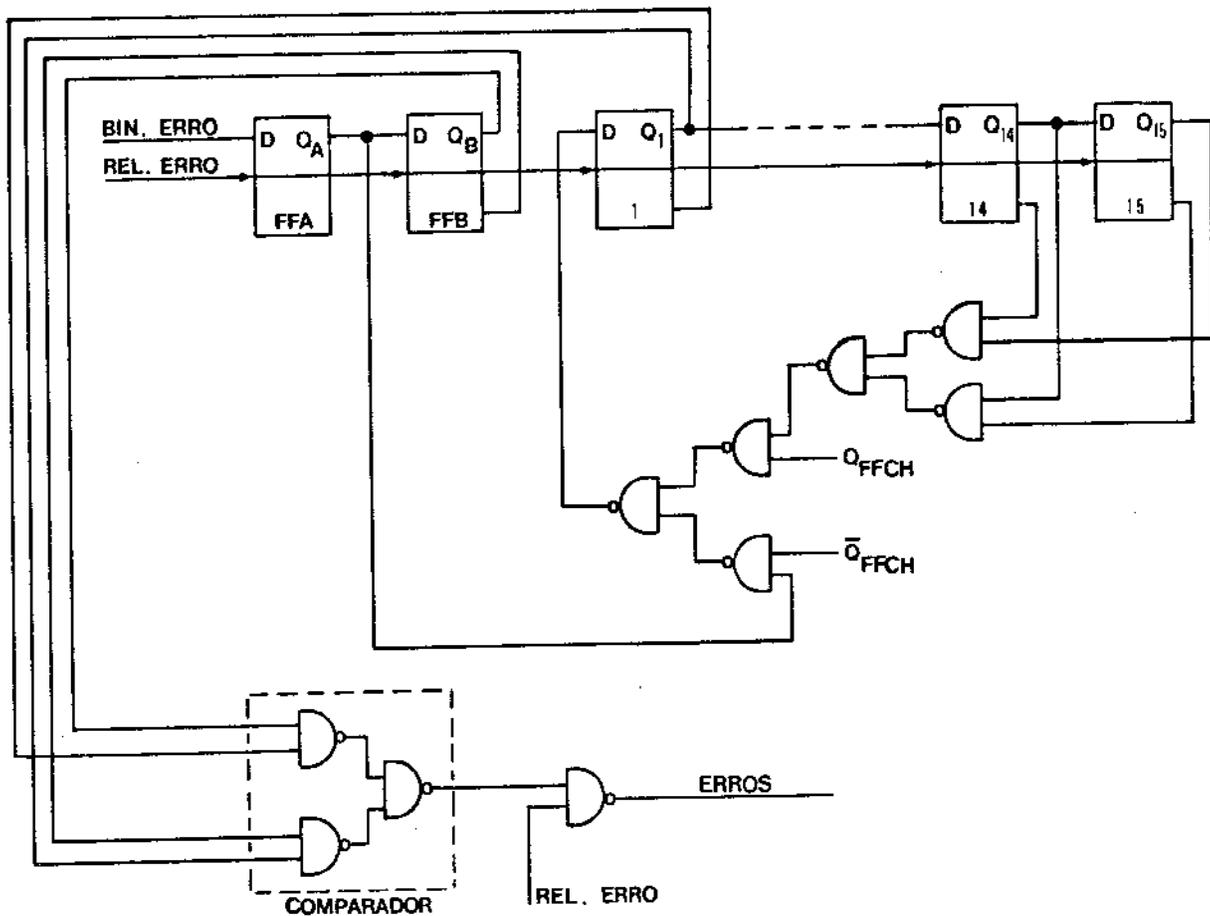


Fig. III.49 - Implementação utilizada para realizar a Comparação Síncrona

Se a chave estiver comandando a entrada da sequência binária, note-se que a saída  $Q_A$  e  $Q_1$  são as mesmas formas de onda, com um pequeno delay de diferença devido aos gates Nand. Com o relógio estas ondas são sincronizadas e como teremos  $Q_B = Q_1$ , nenhum erro será acusado.

Quando a chave comandar a realimentação OU-EXCLUSIVO, a comparação ainda é feita utilizando  $Q_B$  e  $Q_1$ , só que agora estas ondas são geradas por circuitos distintos e, ao compará-las, os possíveis erros serão detetados.

Para implementarmos o comparador utilizamos gates Nand ao invés do gate OU-EXCLUSIVO. A razão disto se deve ao fato de estarmos interessados num atraso menor pelas realimentações e circuito comparador. (Atrasos típicos: OU-EXCLUSIVO = 7nseg; dois gates NAND em cascata = 6nseg). Pela álgebra de Boole temos:  $A \oplus B = A\bar{B} + \bar{A}B = \overline{A.B.\bar{A}B}$ .

Para permitir que a onda ERROS de saída possa ativar um circuito de contagem dos erros, é necessário que esta onda seja somente a onda de relógio para obtermos duty cycle de 50%.

Discutiremos agora a implementação do Contador de 4 bits.

Para este, utilizamos componentes discretos Schottky, de tal forma que o circuito funcione em alta frequência (34M). Com FFJK SN74S112 realizamos divisões sucessivas por 2 da onda de relógio, enquanto que a saída do comparador atua sobre o CLEAR de cada um dos FFJK. O circuito contador é mostrado na Fig. III.50.

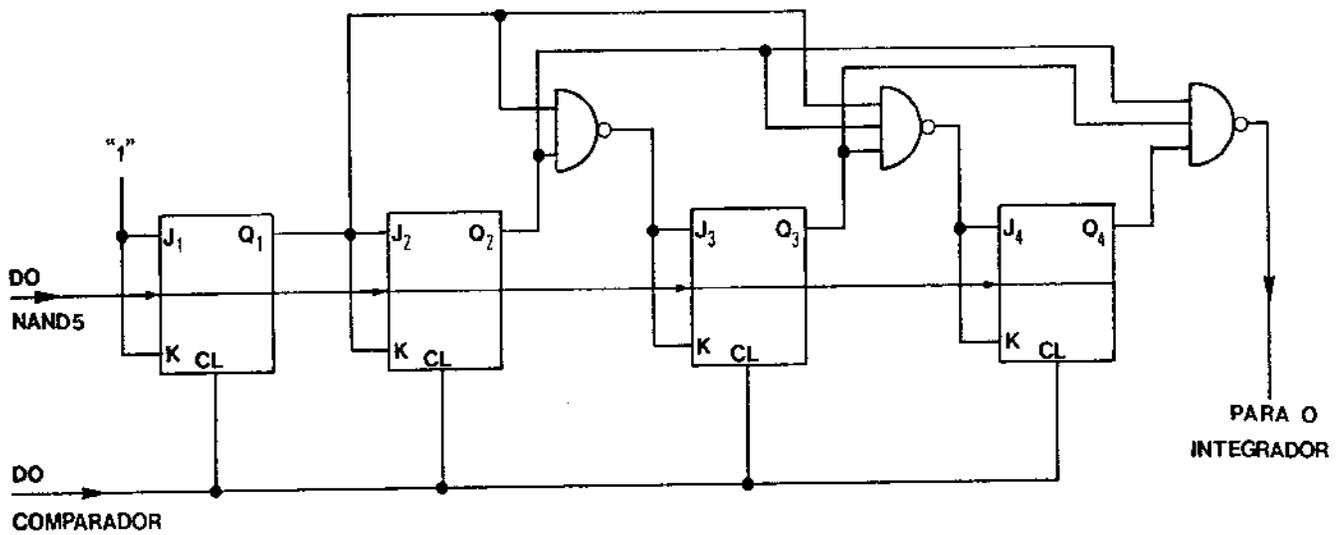


Fig. III.50 - Contador de 4 bits

As formas de onda em alguns pontos do circuito, supondo que a saída do comparador está alta, são dadas a seguir na Fig. III.51.

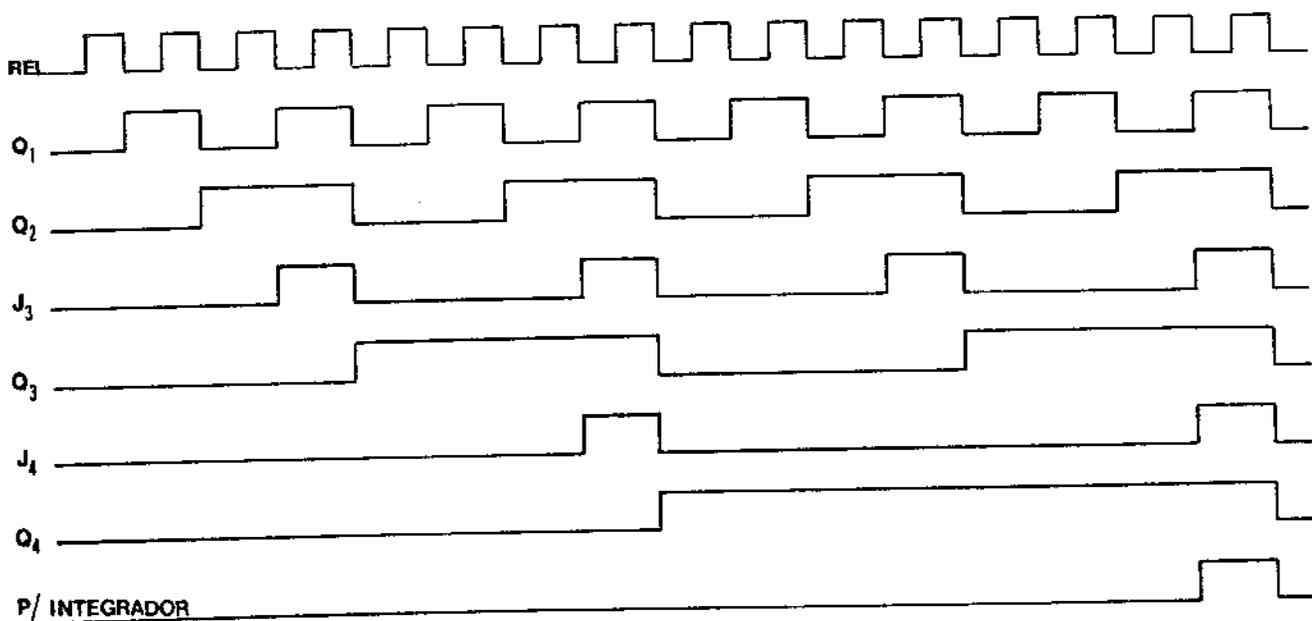


Fig. III.51 - Formas de onda do Contador 4 bits

## Multivibrador

O Multivibrador foi implementado com um Timer LM555 na configuração astável, como mostra a Fig. III.52, abaixo.

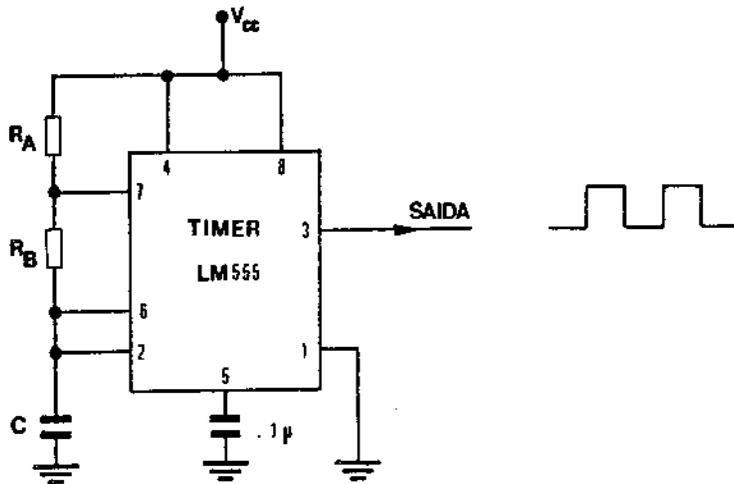


Fig. III.52 - Multivibrador

A frequência de oscilação é dada por:

$$f \cong \frac{1,44}{(R_A + 2R_B)C}$$

e o duty cycle da onda na saída é dada por:

$$D = \frac{R_B}{R_A + 2R_B}$$

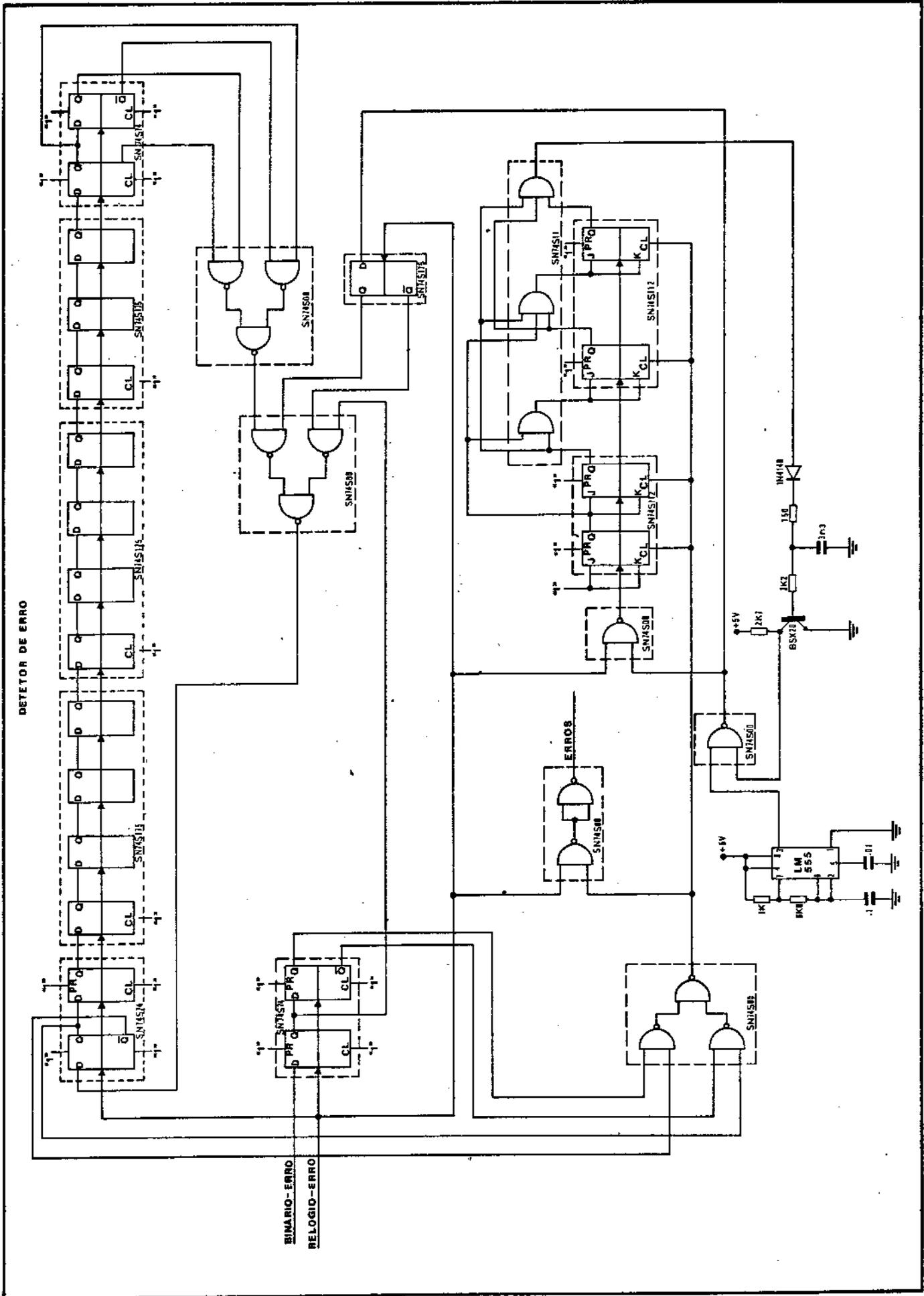
Como estamos interessados em obter uma onda quadrada de frequência 1KHz, utilizamos:

$$R_A = 1K$$

$$R_B = 6K8$$

$$C = .1\mu F$$

Utilizando-se esta onda, o circuito detetor de erro poderá realizar 500 procuras de sincronismo por segundo, o que nos parece razoável para alcançar o seu objetivo.



DETECTOR DE ERRO

BIMARIO-ERRO  
RELOGIO-ERRO

ERROS

## III.9 - CONTROLE DO DISPLAY

### III.9.1 - Introdução

Este circuito é uma interface entre o Detetor de Erro e o Display no PF. A sua função será a de fornecer a contagem cumulativa ou a velocidade da ocorrência dos erros detetados.

A chave seletora CONTA/TAXA, localizada no PF, seleciona uma dessas duas funções. Quando for selecionada a posição CONTA, um circuito de controle ativará o Contador para relatar a contagem dos erros, desde 0 até 999, sendo resetado automaticamente quando reinicia uma nova contagem. Desta forma poderemos saber, diretamente no Display, o momento da ocorrência dos erros no sistema em teste. Quando selecionamos TAXA, o circuito Contador realiza a contagem dos erros ocorridos num período equivalente a  $10^6$  bits, fornecendo no Display a quantidade de erros em  $10^6$ . Esquemáticamente o circuito é mostrado na Fig. III.53.

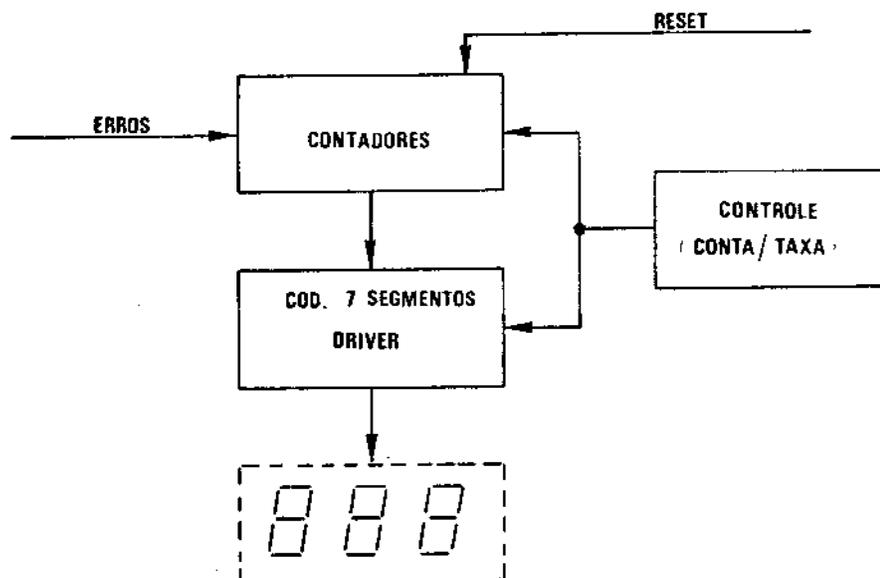


Fig. III.53 - Esquema do circuito Controle do Display

Os erros detetados chegam diretamente aos contadores do circuito. O controle atua sobre os contadores e circuitos codificadores. Ao ser selecionada a posição CONTA, o controle atua sobre os circuitos permitindo que os contadores estejam permanentemente ativos e os codificadores recebem o tráfego de dados do contador.

Para o caso em que a posição TAXA é selecionada, o circuito de controle fará com que os contadores estejam ativos durante os intervalos de tempo correspondentes a  $10^6$  bits, enquanto que os codificadores registrarão o valor da contagem obtida somente

no final de cada um desses intervalos, mantendo-a inalterada no restante do tempo.

O codificador de 7 segmentos, além de realizar a codificação 4/7 e drenar os leds do Display, dispõe de uma entrada para controle (ENABLE) que permite copiar ou armazenar os dados de entrada.

A entrada RESET possibilita resetar os contadores quando desejado.

### III.9.2 - Circuitos

Para descrevermos a implementação do circuito CONTROLE DO DISPLAY, analisaremos cada bloco do esquema da Fig. III.53 separadamente.

#### Contadores

Os contadores são implementados a partir de três integridades SN7490 que são contadores decimais assíncronos, com saídas BCD. O integrado possui também algumas entradas de controle, como mostra a sua tabela verdade dada abaixo.

ENT	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	R <sub>4</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L	H	H	L	X	L	L	L	L
1	L	L	L	H	H	H	X	L	L	L	L	L
2	L	L	H	L	X	X	H	H	H	L	L	H
3	L	L	H	H	X	L	X	L	CONTA			
4	L	H	L	L	L	X	L	X	CONTA			
5	L	H	L	H	L	X	X	L	CONTA			
6	L	H	H	L	X	L	L	X	CONTA			
7	L	H	H	H								
8	H	L	L	L								
9	H	L	L	H								

Tabela X

Como podemos verificar, o controle de contagem e reset dos contadores pode ser realizado da seguinte forma: mantemos R<sub>3</sub> e R<sub>4</sub> em nível baixo e controlamos a contagem por R<sub>1</sub> e R<sub>2</sub>. Quando R<sub>1</sub> e R<sub>2</sub> estão altos, o contador é resetado, mas quando estão baixos, a contagem é acionada. Desta forma, o circuito contador implementado é mostrado a seguir na Fig. III.54.

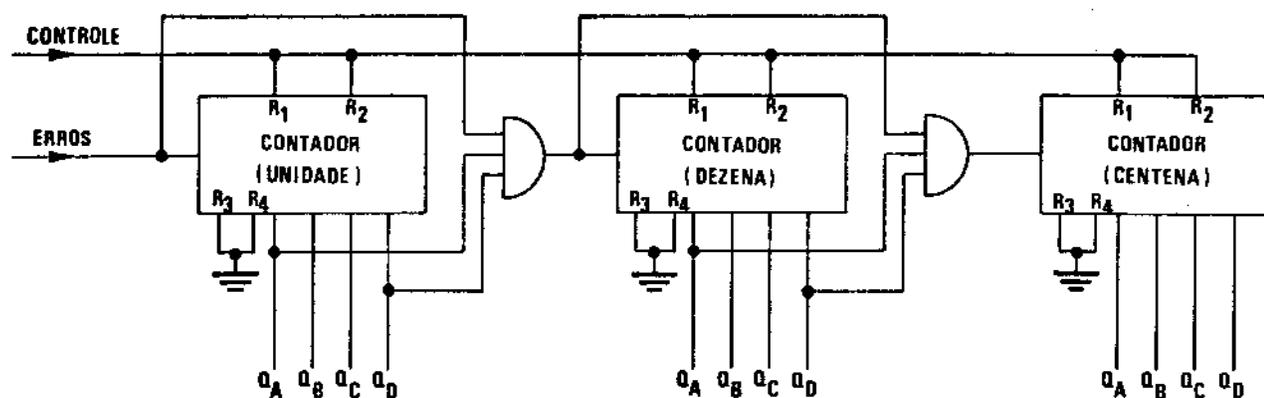


Fig. III.54 - Contador

Um gate AND possibilita que um Contador transfira uma unidade para o outro somente após 10 pulsos recebidos.

### Codificador 7 Segmentos e Driver

O integrado utilizado que satisfaz plenamente os requisitos deste bloco é o componente 9368 da Fairchild, cuja tabela verdade é a seguinte:

	RBI	$E_L$	D C B A	a b c d e f g	DISPLAY
0	L	X	L L L L	L L L L L L L	APAGADO
0	H	L	L L L L	H H H H H L H	0
1	X	L	L L L H	L H H L L L L	1
2	X	L	L L H L	H H L H H L H	2
3	X	L	L L H H	H H H H L L H	3
4	X	L	L H L L	L H H L L H H	4
5	X	L	L H L H	H L H H L H H	5
6	X	L	L H H L	H L H H H H H	6
7	X	L	L H H H	H H H L L L L	7
8	X	L	H L L L	H H H H H H H	8
9	X	L	H L L H	H H H L L H H	9
X	X	H		$Q_0$	$Q_0$

Tabela XI 9368 COD 7 SEG

O integrado é constituído internamente com circuitos latches para armazenamento dos dados. Como podemos verificar pela tabela acima, quando a entrada ENABLE ( $E_L$ ) está baixa, os latches são ativados, agindo de modo transparente entre os dados recebidos do contador e o codificador 7 segmentos. No entanto, quando a entrada ENABLE vai para nível alto, os latches armazenam o valor

anterior da contagem. Esta entrada será então utilizada para o controle desejado.

A entrada RBI não é de interesse mas, para funcionamento satisfatório do componente, deverá ficar em nível alto.

Pode-se também verificar que as saídas do codificador são ativas quando estão em nível alto. Por isso, deve ser utilizado um Display numérico que seja ativo para níveis altos. A Fig. III.55 abaixo mostra o esquema de ligações entre o Codificador e o display numérico NSN74N da National:

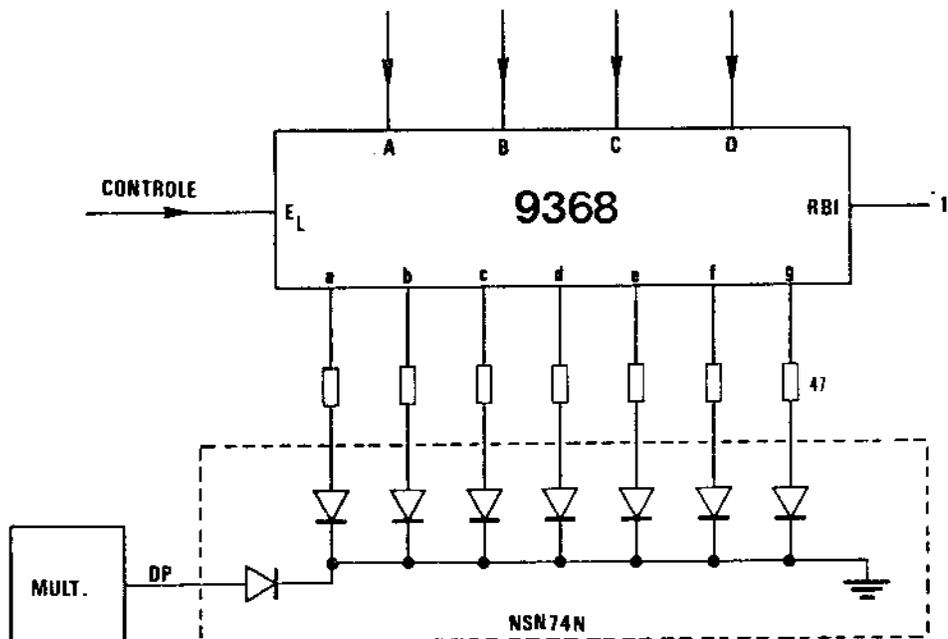


Fig. III.55 - Codificador 7 Segmentos e Display numérico

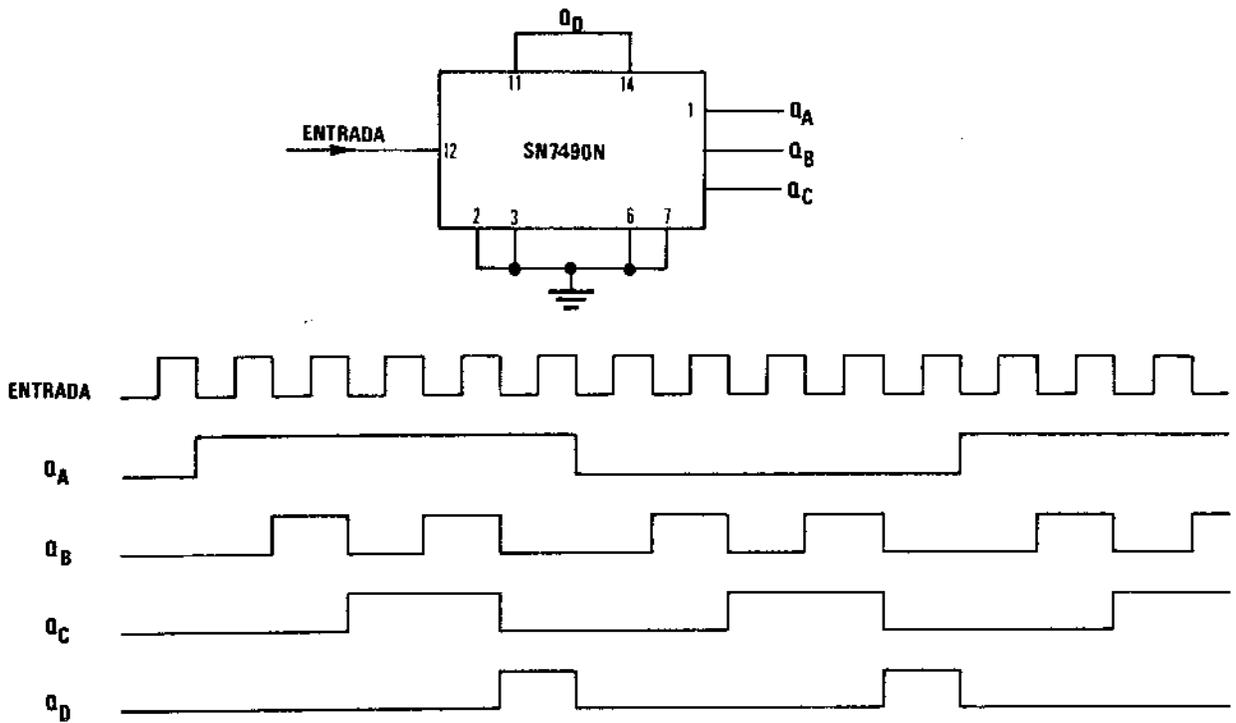
Para ajuste da luminosidade de cada led do Display, foram utilizados resistores de 47 .

Este Display contém ponto decimal (DP) ao qual ligamos um multivibrador de baixa frequência (2,3 Hz) para que o led DP fique piscando intermitentemente.

### Controle

Para realizar o circuito de controle, é necessário obter-se uma base de tempo de período equivalente a  $10^6$  bits. Como este período deve ser obtido independente da frequência de trabalho, a melhor maneira de se implementar esta base de tempo é dividir a onda de relógio. Como cada bit tem duração de um período da onda de relógio, basta então realizarmos uma divisão da onda de relógio por  $2 \times 10^6$ , como veremos a seguir. Para realizarmos uma

divisão por  $10^6$ , utilizamos 6 divisores por 10 em cascata. O primeiro divisor por 10 é implementado com componentes discretos FFJK, para permitir que o circuito possa trabalhar em 34M. Nos demais, são utilizados os integrados SN7490, na configuração dada na Fig. III.56 abaixo, com as respectivas formas de onda que são de interesse para entendimento do circuito de controle.



Fi. III.56 - Divisor por 10 e respectivas ondas de saída

A saída  $Q_A$  é tomada como saída divisora por 10 da onda de entrada. No entanto, enquanto esta onda está alta (ou baixa), temos um intervalo de tempo equivalente a 5 períodos da onda de entrada. Isto quer dizer que os 6 divisores por 10 em cascata fornecerão uma onda idêntica a  $Q_A$ , cujo meio período equivalerá a  $5 \times 10^5$  bits. Então uma divisão por 2 extra se faz necessário. A razão desta discussão se deve ao fato de que, como vimos acima, os contadores estão ativos somente quando a entrada de controle está baixa (que equivale no caso, à metade do período da onda  $Q_A$ ). Para implementarmos a última divisão por 2, empregamos ainda um SN7490, do qual utilizamos a saída  $Q_D$ , que nos fornece os períodos desejados com maior espaçamento entre eles.

No caso em que o circuito de controle determina a medida da velocidade dos erros (TAXA), o registro e armazenamento desse valor deve ser realizado no final do período da leitura nos contadores. Assim é que uma outra onda de controle deve ser gerada.

Realizamos então uma soma de três ondas para obter um pulso suficientemente fino no final do período de cada contagem, como mostra a Fig. III.57.

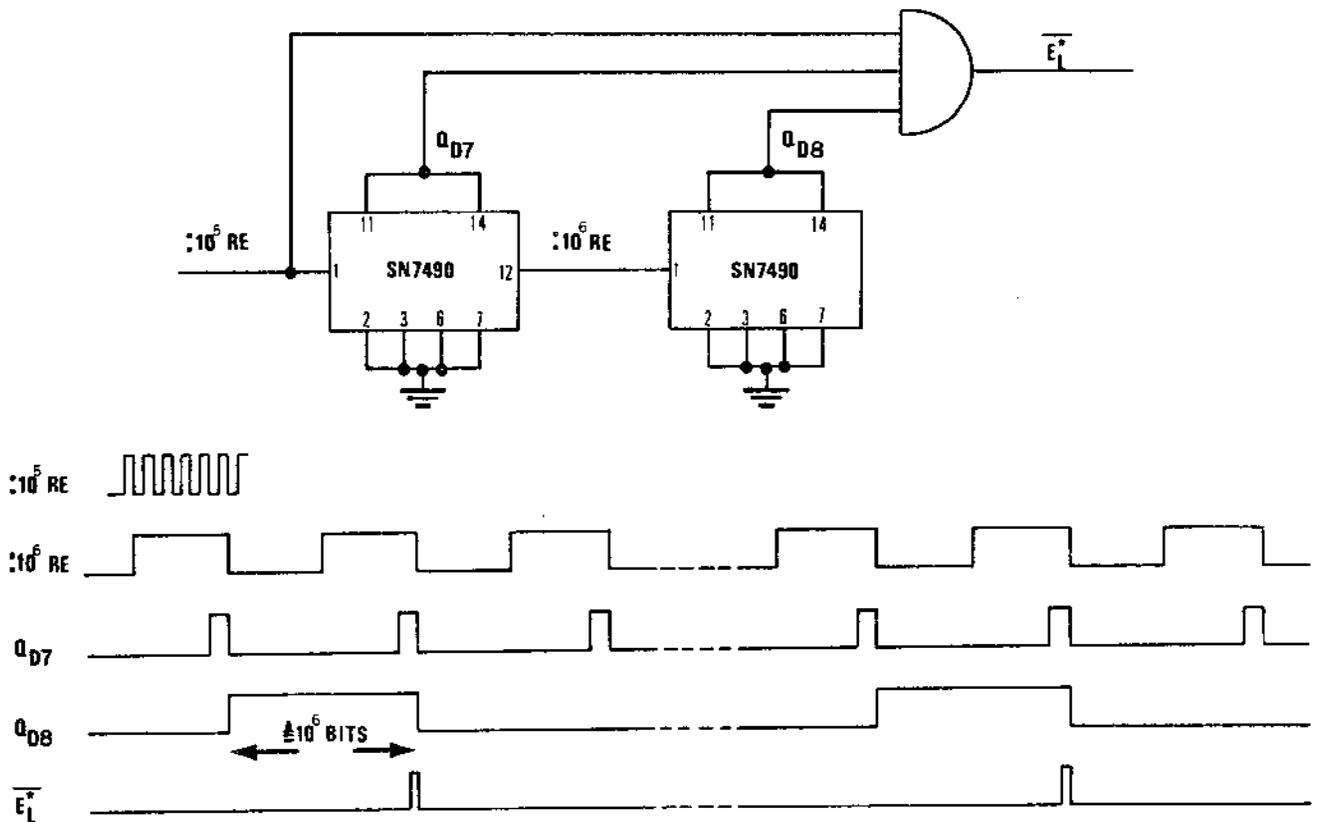


Fig. III.57 - Circuito e Ondas para o controle TAXA

A onda  $Q_{D7}$  é utilizada como base de tempo para leitura dos contadores, enquanto que a onda  $\overline{E_L^*}$  proporciona o controle de registro e leitura do integrado 9368 no final do período de contagem.

A lógica correta, assim como o controle utilizando - se estas ondas, é descrito a seguir por meio da Fig. III.58.

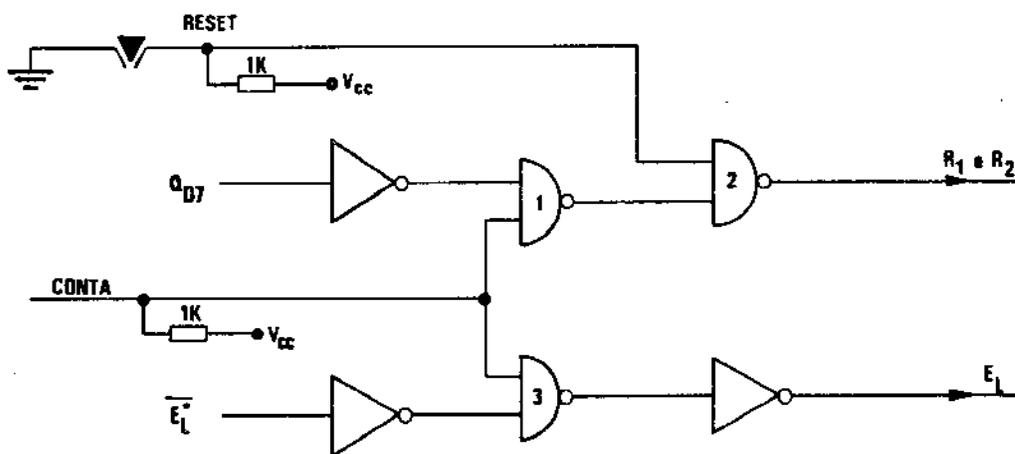


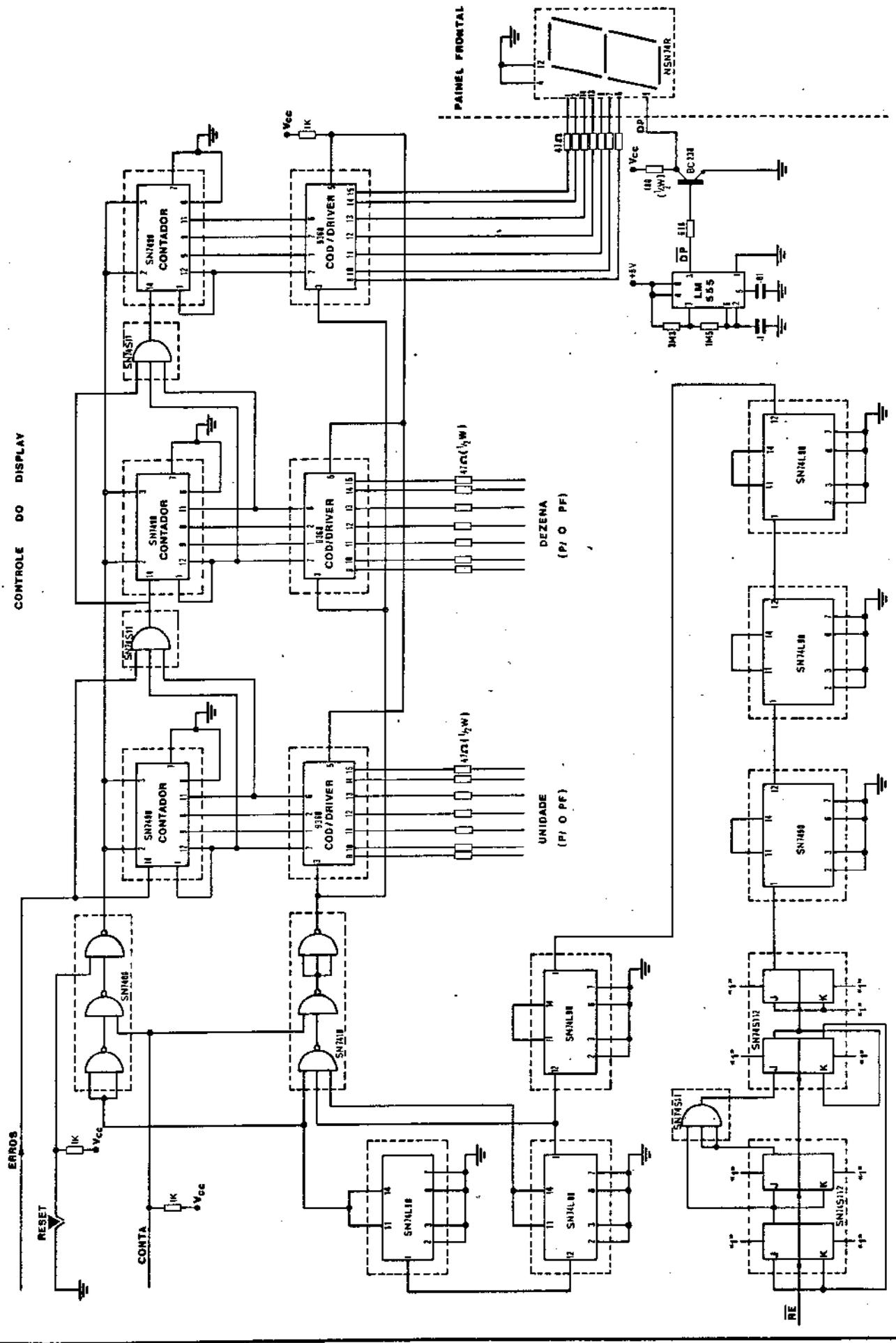
Fig. III.58 - Circuito para o controle CONTA/TAXA

Verifica-se, pelo circuito da Fig. III.58, que quando selecionamos CONTA, inibimos tanto o Nand1 como o 3. Enquanto o RESET não é acionado, na saída do Nand2 temos nível baixo, permitindo que os contadores contem normalmente. Para o mesmo caso, a saída do Nand3 está alta e portanto temos  $E_L = L$ , o que permite que tenhamos no Display o resultado da contagem a todo instante.

Se o botão RESET é pressionado, a saída do Nand2 vai para nível alto, resetando os contadores.

Quando selecionamos TAXA, a posição CONTA fica em nível alto, fazendo com que os gates Nand1 e 3 funcionem como simples inversores. Na saída do gate Nand2, teremos a onda  $Q_{D7}$  invertida, permitindo que os contadores estejam ativos durante os períodos de nível baixo, que são justamente equivalentes a  $10^6$  bits. Durante o tempo em que a onda está alta, os contadores estão resetados. Por outro lado, na saída  $E_L$  temos a onda  $\bar{E}_L^*$  invertida. Como ela está em sincronismo com  $Q_{D7}$ , possibilitará que a entrada de controle ENABLE do COD 7 SEG copie os dados no final da contagem e os armazene até o próximo final do período de contagem.

CONTROLE DO DISPLAY



### III.10 - GERADOR DE JITTER

#### III.10.1 - Geração de Jitter

Nos sistemas MCP é indispensável a realização de testes de aceitação de jitter de entrada. O jitter, que podemos descrever como sendo uma modulação angular do sinal, surge em sistemas de transmissão digital contendo inúmeros repetidores (jitter de linha - JL) ou em sistemas Multiplex com bits de recheio (jitter de tempo de espera - JTE). O jitter total no receptor pode alcançar amplitudes muitas vezes maior que um time-slot, contendo desde baixíssimas frequências (JTE) até dezenas de KHz (JL em repetidores na frequência de 2.048KHz).

Desta forma, faz-se necessário a implementação de um gerador de jitter que possa gerar sinais digitais com uma amplitude e frequência de jitter controláveis, dentro das necessidades práticas.

A modulação em fase, empregada para se gerar o jitter, pode utilizar qualquer tipo de sinal. Geralmente é empregada a modulação senoidal para realização de testes do sistema. Poder-se-ia também utilizar ruído aleatório que simularia com mais realidade o caso prático.

O gerador de jitter implementado é capaz de operar até 100KHz (frequência de jitter) apresentando uma amplitude máxima até 16 dígitos (pico a pico). Com isto podemos testar a aceitação de jitter de qualquer sistema, contando-se com toda essa gama de amplitudes e frequências de jitter que o gerador pode oferecer. Algumas razões, é claro, nos levaram a implementar um gerador com essas características. Através de estudos teóricos já realizados e através de testes já feitos, foi verificado que tais características são necessárias ao gerador (Vide {Ref.3}).

O gerador de jitter utiliza o princípio de funcionamento do PLL (Phase-Locked-Loop). Da teoria de PLL, sabemos que a fase do sinal de saída do OCV (Oscilador Controlado por Voltagem) é controlada pela fase do sinal de entrada. Desta forma, a saída do OCV tende a seguir a frequência do sinal de entrada, requerendo para isto que haja uma alteração na diferença de fase entre os sinais de entrada e saída (Vide {Ref.2}).

O PLL se compõe de três elementos básicos, arranjados da seguinte forma:

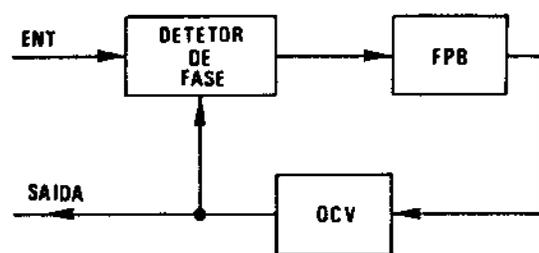


Fig. III.59 - Diagrama do Phase Locked Loop

A função de cada elemento é explicada a seguir.

O detetor de fase compara as fases dos sinais de entrada e saída, produzindo o sinal de erro que depois de filtrado pelo FPB, é aplicada ao OCV.

O OCV é um oscilador cuja frequência depende da tensão aplicada. Conforme ocorre uma variação desta tensão, a frequência se altera proporcionalmente. É estabelecido então uma região de operação para o OCV. Podemos entender isto por meio da curva característica do OCV em função da tensão aplicada, como mostra a Fig. III.60.

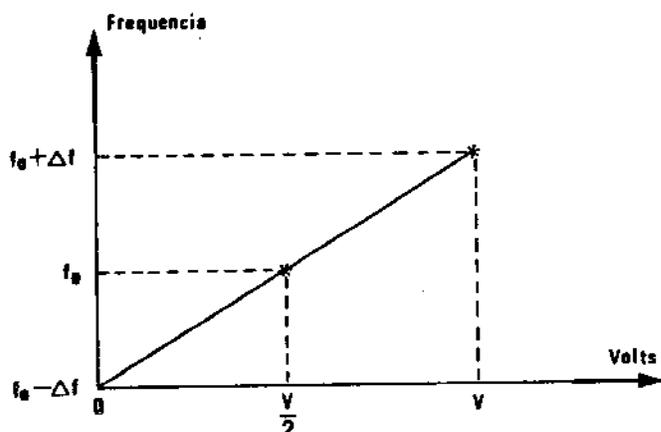


Fig. III.60 - Característica do OCV (Oscilador Controlado por Voltagem)

OBS: Poderíamos ter também uma característica inversa, ou seja, um decréscimo da frequência conforme o aumento da tensão aplicada.

O ponto de operação nominal do OCV é  $f_0$ , correspondente à tensão de controle  $V/2$ . Se a tensão de controle cair para zero, a frequência do OCV cai para  $f_0 - \Delta f$  e se a tensão subir para  $V$ , a frequência do OCV vai para  $f_0 + \Delta f$ .

É deste modo que o sinal da saída do Filtro Passa-Baixas

atua sobre o OCV, fazendo com que este siga a frequência de entrada do Detetor de Fase conforme a diferença de fase varia com a frequência do sinal de entrada.

Atente-se então para o fato de que, se a frequência do sinal de entrada varia, o detetor de fase acusa esta variação produzindo uma variação em sua tensão de saída. Esta, por sua vez, sendo filtrada pelo FPB, fornece um sinal de erro proporcional, que aplicado ao OCV, faz com que este altere sua frequência de operação, procurando-se ajustar à frequência do sinal de entrada. Para cada frequência então, ocorre uma diferença de fase entre a entrada e a saída. Assim sendo, surge a idéia de que, se houver uma variação extra (perturbação) da tensão de controle sobre o OCV, o mesmo tenderá a acompanhar esta variação através do deslocamento de fase do seu sinal de saída. Este não altera sua frequência de operação, desde que a frequência de entrada se mantenha inalterada. Isto pode ser melhor entendido através do diagrama de blocos abaixo.

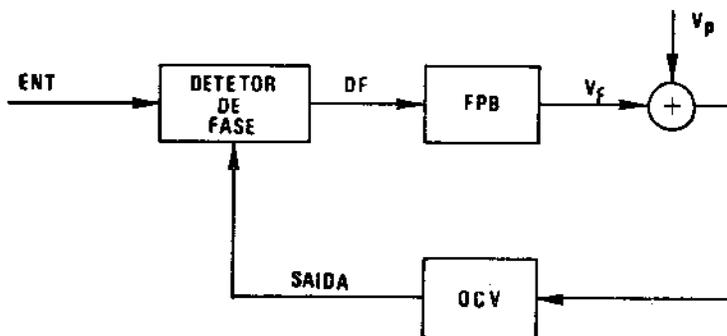


Fig.III.61 - Princípio básico do Gerador de Jitter

Suponhamos que o sinal de entrada esteja na frequência central de operação e a perturbação  $V_p$  seja nula (0 Volts). Com isto, a saída do OCV estará também na mesma frequência do sinal de entrada. Sabendo-se, desde já, que o Detetor de Fase foi implementado com um gate OU-EXCLUSIVO, teremos as seguintes formas de onda no circuito para este caso.

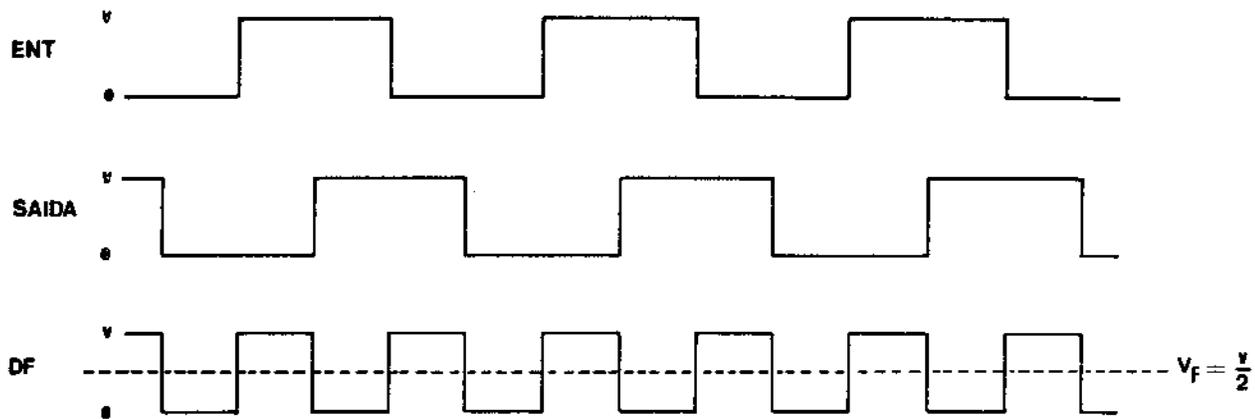


Fig. III.62 - Ondas no PLL Gerador de Jitter na Frequência Nominal  $f_0$ , para  $V_p=0$ .

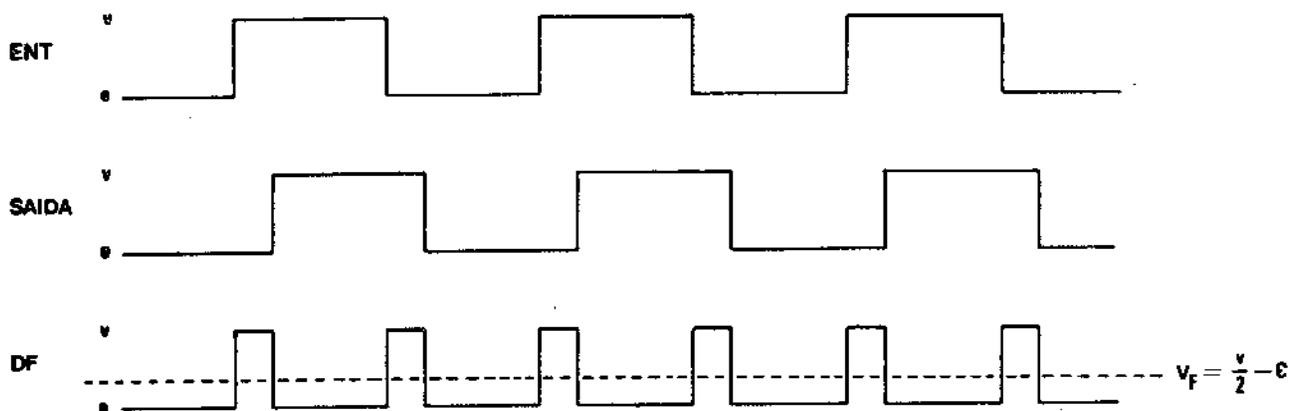
Note-se então que o detetor de fase é tal que a saída do OCV está defasada de  $\pi/2$  do sinal de entrada, para proporcionar, na saída do FPB, um sinal de tensão média  $V_F=V/2$ , como vimos na Fig. III.60.

Examinaremos agora a influência de um sinal  $V_p \neq 0$  sobre o sinal de saída do OCV.

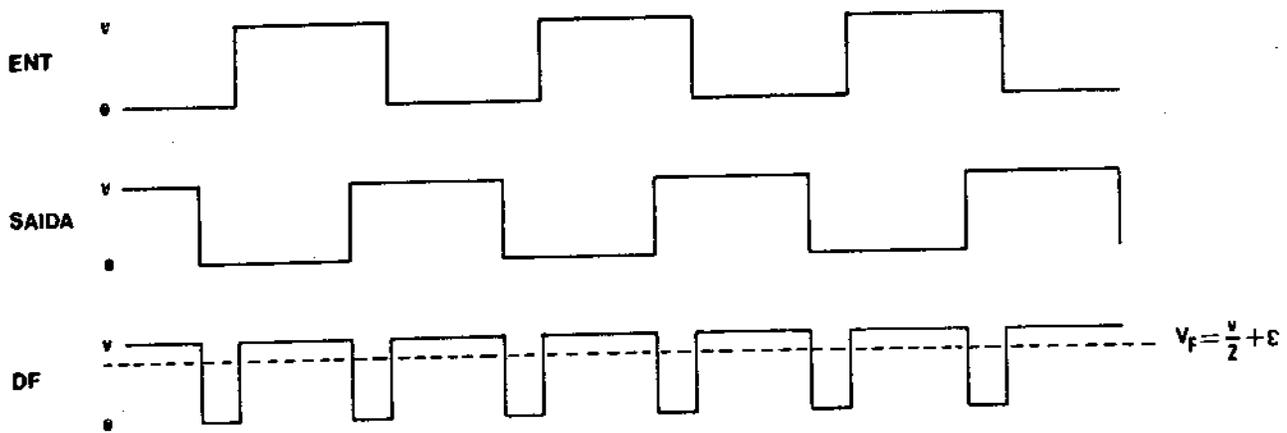
Seja inicialmente um sinal  $V_p$  constante no tempo. Se, além da tensão de erro  $V_F$ , for introduzido um sinal dc à entrada do OCV, sua frequência de operação é alterada. No entanto, como a frequência do sinal de entrada permanece estável em  $f_0$ , o detetor de fase agirá no sentido de gerar um sinal de erro capaz de trazer o OCV para a mesma frequência do sinal de entrada. Em regime, a saída do FPB será uma tensão tal que somada a  $V_p$  resulta em  $V/2$ , como vimos. A saída do OCV estará defasada de 0 a  $\pi/2$  do sinal de entrada, conforme o valor de  $V_p$ .

Devemos ter em mente que, sem alterarmos a frequência  $f_0$  do sinal de entrada o sinal de erro que é sempre levado ao OCV é  $V/2$ , em regime.

Neste caso, as ondas no circuito PLL Gerador de Jitter têm as seguintes configurações:



a)  $V_p = \epsilon$



b)  $V_p = -\epsilon$

Fig. III.63 - Ondas no PLL para  $V_p \neq 0$

Para o caso b, onde  $V_p$  é uma tensão dc negativa, a saída do OCV estará defasada de  $\pi/2$  a  $\pi$  do sinal de entrada.

Consideremos agora o caso mais interessante e importante para o circuito: a entrada  $V_p$  será uma variação senoidal. Fica fácil o entendimento do circuito se pensarmos no sinal senoidal como um sinal dc variando lentamente no tempo. Sejam então os vários pontos determinados no senóide, num período de tempo  $2\pi$ .

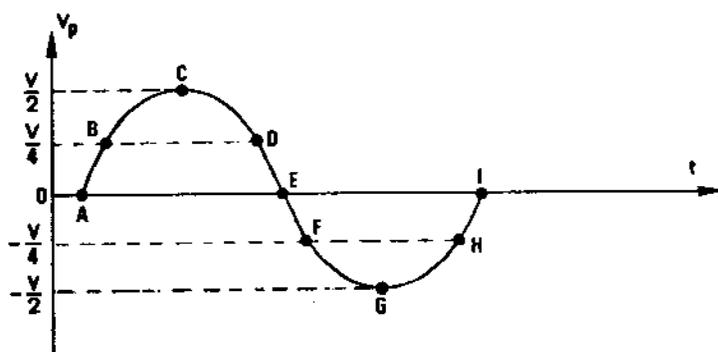


Fig. III.64 - Perturbação Senoidal

Quando  $V_p = V_A (=V_E=V_I=0)$  estamos no primeiro caso já examinado. Neste caso, a saída do OCV estará defasada de  $\pi/2$  em relação à entrada.

Quando  $V_p = V_B (=V_D)$  podemos considerar que a perturbação é uma entrada dc de valor  $V/4$ . Neste caso, a saída do OCV estará defasada de  $\pi/4$  em relação à entrada.

Para o caso em que  $V_p = V_C = V/2$ , a diferença de fase entre o sinal de entrada e a saída do OCV será zero, pois a tensão  $V/2$  necessária para manter o OCV na frequência do sinal de entrada é totalmente obtida de  $V_p$ .

Quando  $V_p = V_F (=V_H)$  a tensão de perturbação é  $V_p = -V/4$ . Com isto, a diferença de fase entre os sinais será de  $3\pi/4$ .

Para  $V_p = V_G = -V/2$ , o sinal de erro deverá ser  $V$ , para que tenhamos  $V - V/2 = V/2$  na entrada do OCV. Com isto, a diferença de fase entre os sinais será  $\pi$ .

Os resultados acima são concentrados na tabela abaixo.

Ponto	Tensão $V_p$	$\Delta\theta$
A	0	$\pi/2$
B	$V/4$	$\pi/4$
C	$V/2$	0
D	$V/4$	$\pi/4$
E	0	$\pi/2$
F	$-V/4$	$3\pi/4$
G	$-V/2$	$\pi$
H	$-V/4$	$3\pi/4$
I	0	$\pi/2$

Tabela XII

Se agora tomarmos  $V_p$  realmente como um sinal senoidal, a diferença de fase tomará valores contínuos com a tensão  $V_p$ . Desta forma, é fácil verificar que a diferença de fase entre o sinal de saída e o de entrada variará senoidalmente com o sinal senoidal na entrada  $V_p$ . Assim sendo, obtemos um sinal de saída modulado em fase que, como vimos, pode ser utilizado como um sinal de jitter.

Para o caso acima (Tabela XII), conseguimos obter uma amplitude de jitter de 0,5 dígitos (pico a pico), ou seja, uma variação de fase de  $\pi$  radianos. No entanto, em muitos testes práticos se faz necessário gerar um sinal de jitter com amplitudes de alguns dígitos. Para isto, dividimos a frequência dos sinais à entrada do detetor de fase, como exemplificaremos a seguir para o caso em que é realizada uma divisão por 2 das respectivas ondas:

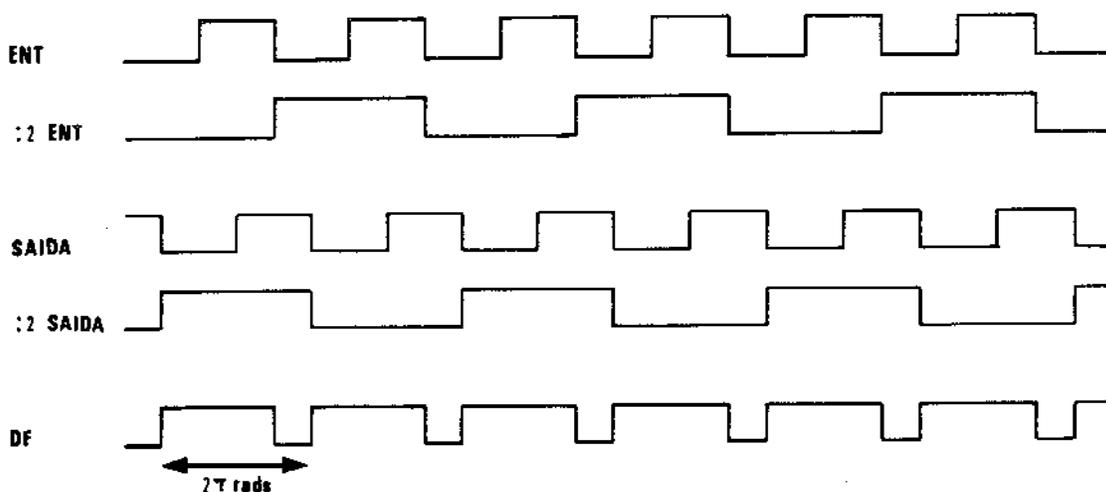


Fig.III.65 - Maneira de se obter uma maior amplitude de jitter

Neste caso, a saída do detetor de fase pode variar de 0 até  $2\pi$  radianos, para termos uma tensão de erro, depois do FPB, de 0 até V volts respectivamente. Desta forma, a fase do sinal na saída do OCV variará de 0 a  $2\pi$  radianos em relação ao sinal de entrada, o que corresponde a um jitter de 1 dígito de amplitude de (pico a pico).

Conforme dividimos a frequência dessas ondas, conseguimos multiplicar pelo mesmo fator a amplitude do jitter gerado. No nosso caso, realizamos uma divisão por 32 para obtermos um jitter com amplitude de até 16 dígitos pico a pico ( $32\pi$  radianos).

### III.10.2 - Projeto do PLL Gerador de Jitter

Após as elucidações feitas, consideramos o projeto propriamente dito do PLL Gerador de Jitter. O diagrama de blocos do circuito é dado a seguir na Fig. III.66.

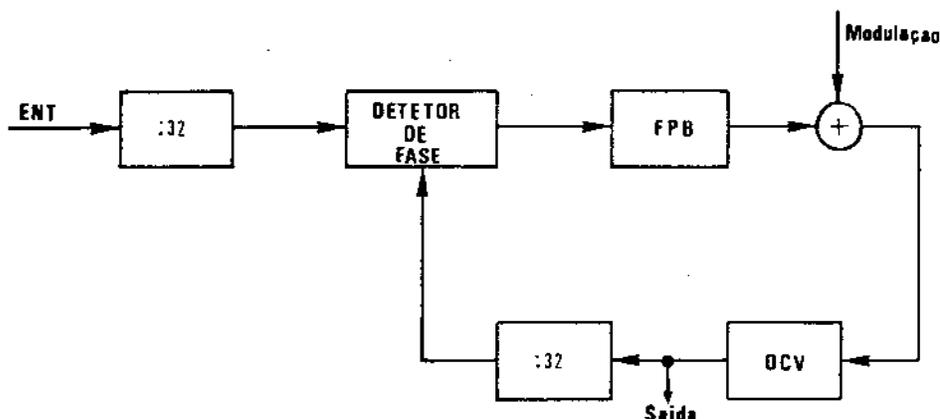


Fig. III.66 - Diagrama em blocos do PLL GERADOR DE JITTER

Dois circuitos distintos, baseados no esquema acima, foram implementados: um para o gerador de jitter na frequência de 2.048KHz e outro para 8.448KHz.

O princípio de funcionamento do circuito foi dado pelas explicações anteriores. O porquê da divisão por 32 também já foi esclarecido. Para realizarmos estas divisões, utilizamos os integridos SN7493 e o SN74LS74, contador binário e FFD respectivamente. Com o Contador obtemos a divisão por 16 e com o FFD completamos a divisão por 32. A Fig. III.67 mostra a implementação deste bloco.

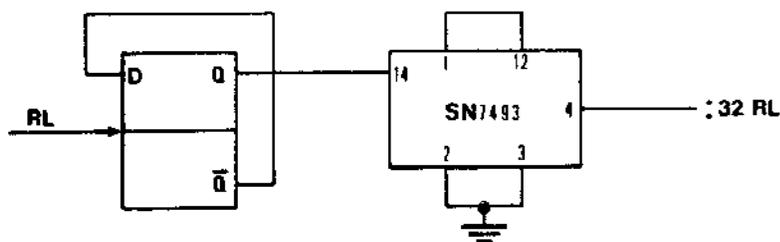


Fig. III.67 - Divisor por 32

O filtro passa-baixas se constitui de um RC na configuração já conhecida:

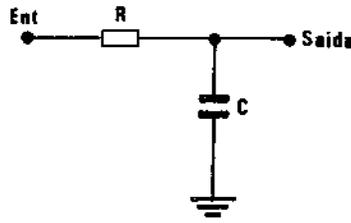


Fig. III.68 - Filtro Passa-Baixas

Para o filtro implementado, utilizamos

$$R = 10K\Omega$$

$$C = 1nF,$$

o que nos dá uma frequência de corte em 16KHz, aproximadamente.

O detetor de fase, como já foi bastante evidenciado acima, foi implementado com o gate OU-EXCLUSIVO que preenche todos os pré-requisitos necessários.

Da prática, sabemos que nos níveis TTL são aproximadamente 0 Volts e 3,8 Volts. Desta forma, poderemos ter até 3,8 Volts na saída do FPB que serão então aplicados ao OCV, juntamente com o sinal de perturbação  $V_p$ . No entanto, dependendo da sensibilidade do OCV utilizado, não é necessário que se tenha tal variação na tensão de controle, como veremos a seguir. Com isto, a implementação do somador dependerá da sensibilidade e ponto de operação do OCV.

Definimos sensibilidade do OCV como a sua variação de frequência por unidade de tensão aplicada.

Neste tipo de aplicação (geração de jitter), é preciso fazer uso de um OCV de alta sensibilidade.

Para a sua implementação fazemos uso então do OCV integrado SN74LS324 da TEXAS INSTRUMENTS, que apresenta alta sensibilidade e pode operar até uma frequência de 30MHz. Para estabelecermos a frequência de saída do componente, é necessário apenas um capacitor de ajuste conectado externamente. Poderíamos, no entanto, utilizar um cristal piezoelétrico, se desejássemos grande estabilidade em frequência. Mas, como esse não é o nosso interesse, e, ainda por outro lado, como o range de operação do OCV fica reduzido com o cristal, preferimos utilizar apenas um capacitor variável de ajuste. Além das entradas para conexão do capacitor, o integrado possui outras três entradas para controle da forma e frequência do sinal de saída, como mostra a Fig. III.69, a seguir.

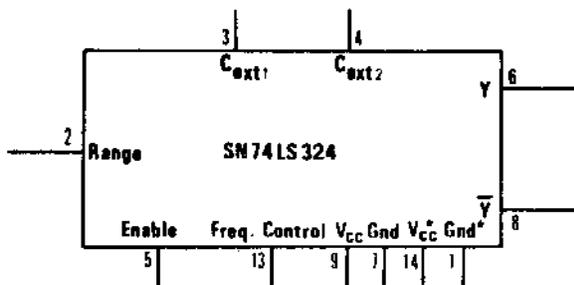


Fig. III.69 - OCV integrado utilizado

A única entrada de interesse é RANGE. Através dela, conseguimos operar normalmente o OCV, variando a frequência de saída conforme a tensão aplicada. A entrada ENABLE mantemos em nível baixo (com ENABLE em nível alto, a saída Y é mantida alta e a  $\bar{Y}$  é mantida baixa). A entrada FREQ. CONTROL é mantida também em nível baixo, permitindo então somente a ação da entrada RANGE para operação desejada do OCV.

A alimentação do componente é composta por dois conjuntos de Vcc e terra. Pelos pinos 1 e 14 (GND e Vcc) são alimentados o circuito de ENABLE e seções de saída do componente. Com os pinos 7 e 9 (GND\* e Vcc\*) são alimentados o oscilador e circuitos para controle de frequência do componente.

Como o integrado pode operar até 30MHz, poderá ser utilizado para implementar os OCV's dos PLL Geradores de Jitter em 2.048KHz e 8.448KHz.

Conseguimos a operação do OCV nestas frequências com o auxílio de um trimmer (5-25pF) de ajuste entre os pinos 3 e 4.

As saídas Y e  $\bar{Y}$  já são compatíveis com TTL. Esta característica simplifica bastante o circuito, visto que o PLL projetado possui um processamento das ondas quase totalmente digital.

#### Medida da Sensibilidade do OCV

##### a) OCV para 2.048KHz

Para se ter uma idéia da sensibilidade do OCV, realizamos uma medida prática dessa característica. No procedimento realizado, fixamos inicialmente a entrada RANGE em 2 Volts e ajustamos o trimmer para a saída em 2MHz aproximadamente. A razão disto se deve ao fato de que, quando o OCV operar no circuito, essas devem ser, aproximadamente, suas condições de funcionamento.

Feito isso, realizamos uma variação da tensão de controle sobre a entrada RANGE, desde 0 até 4 Volts, e medimos a frequência correspondente do sinal de saída. Obtivemos então a se

guinte curva da sensibilidade do OCV, para operar em 2MHz:

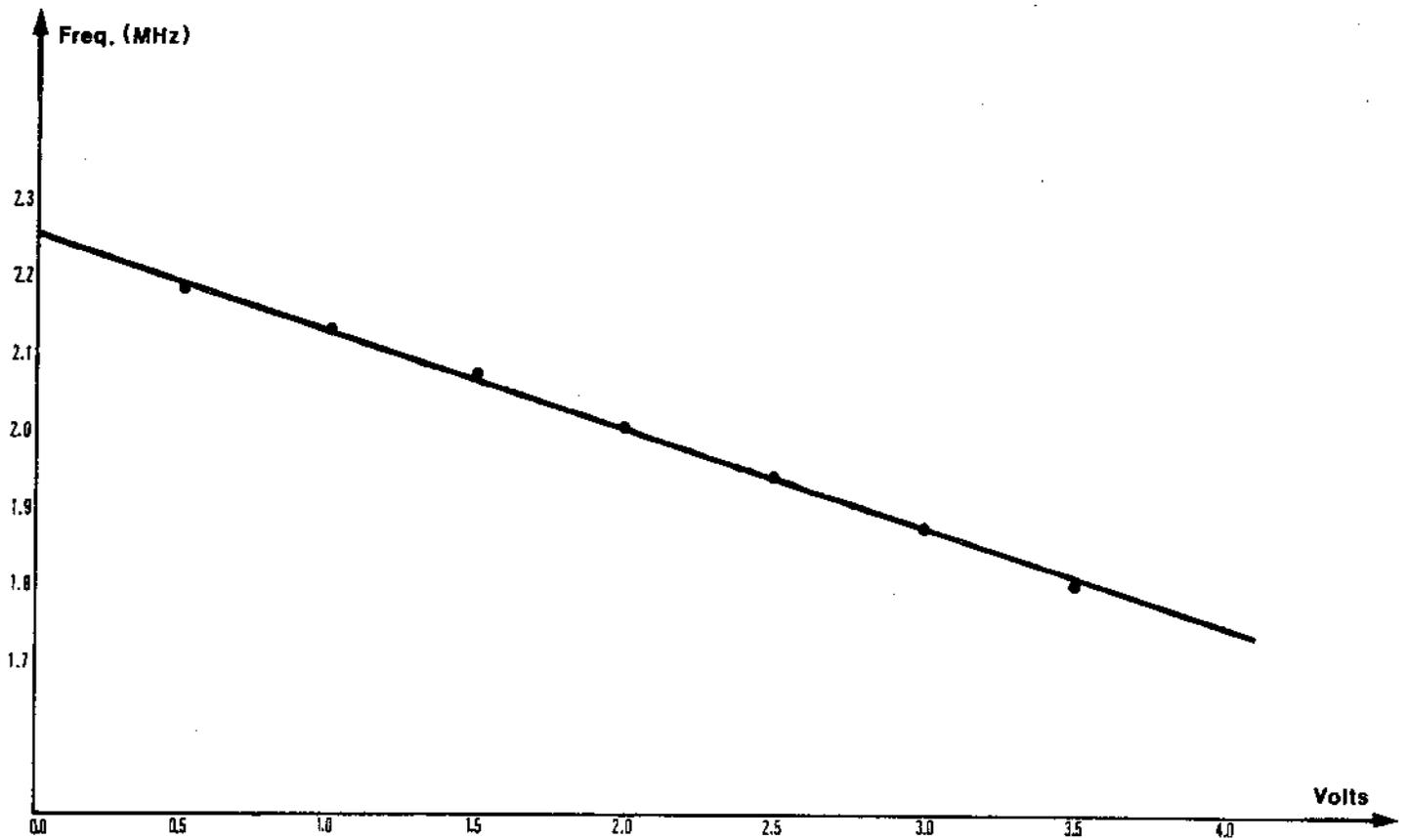


Fig. III.70 - Curva da Sensibilidade do OCV em 2MHz

Como se pode verificar, o componente é de alta sensibilidade, o que nos propiciará gerar uma amplitude de jitter bastante elevada.

A tensão então necessária para o ajuste na frequência central é tirada do gráfico: cerca de 1,75 Volts. Este valor é importante para a característica do somador, como veremos posteriormente.

b) OCV para 8.448KHz

A obtenção da curva de variação da frequência do OCV, em função da tensão aplicada, segue o mesmo procedimento utilizado anteriormente para a frequência 2.048KHz.

Obtivemos então a seguinte curva:

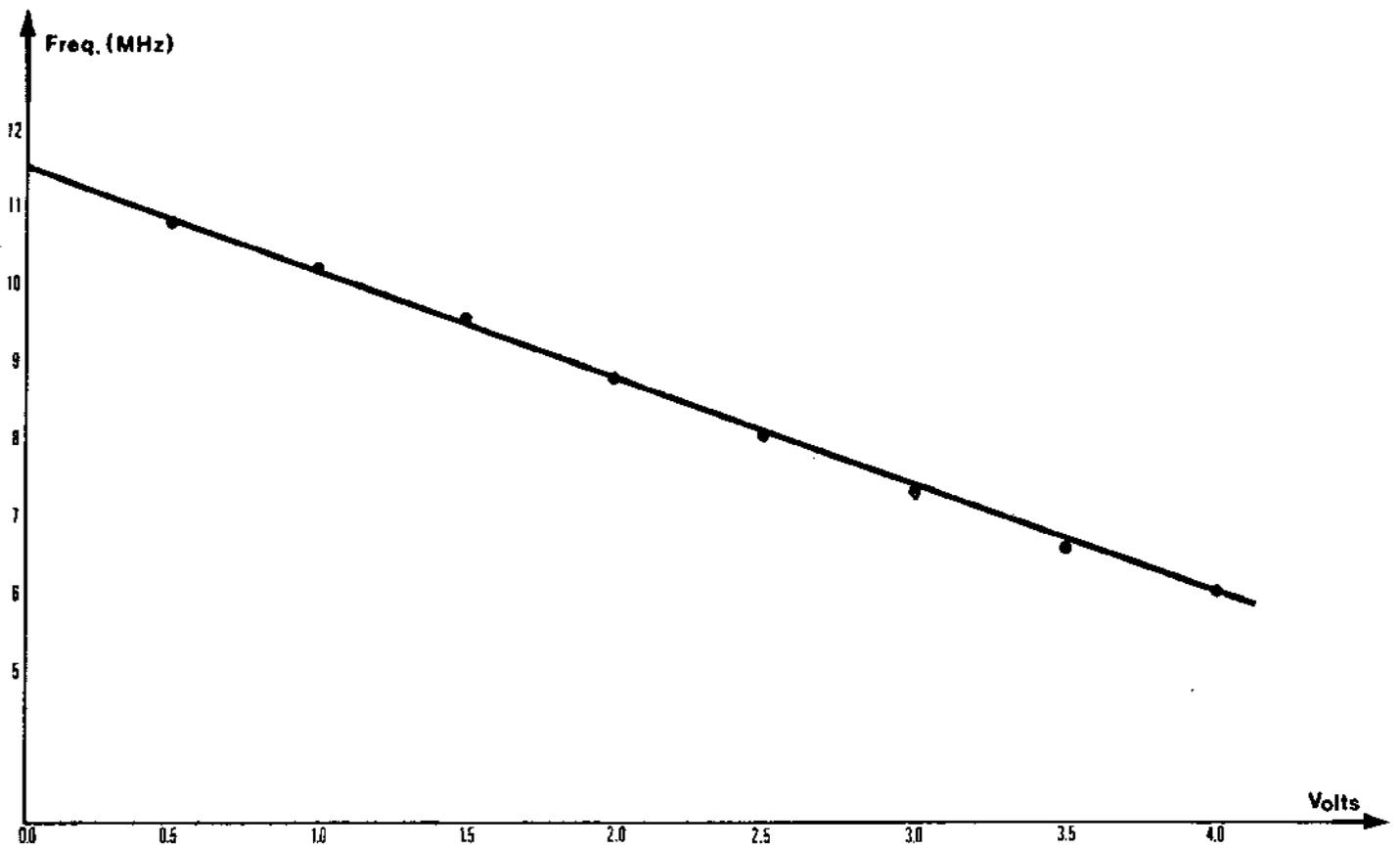
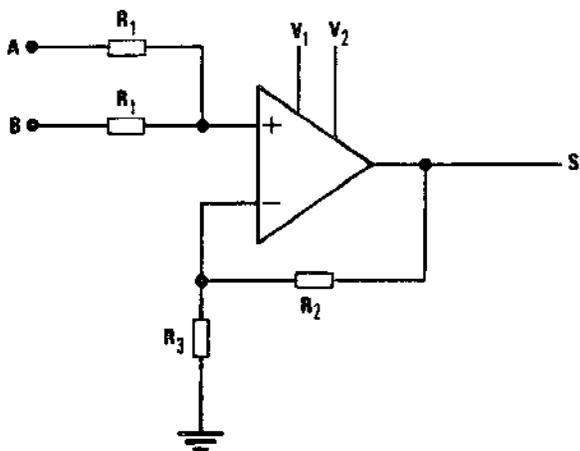


Fig. III.71 - Curva da Sensibilidade do OCV em 8.448KHz

Do gráfico obtemos uma tensão de 2,2 Volts necessária na entrada RANGE para o OCV operar em 8.448KHz.

Assim sendo, fica bastante fácil a implementação do último bloco do circuito, que é o somador. Para isto, utilizamos um amplificador operacional LM741 na sua configuração de somador não inversor. Esta configuração é dada abaixo na Fig. III.72.



O ganho do somador é dado por  $G = R_2/R_1$ .

$$V_1 = 8 \text{ Volts}$$

$$V_2 = -5 \text{ Volts}$$

Fig. III.72 - Somador

A entrada A vem do FPB e a entrada B é o sinal de perturbação que provocará o jitter na saída do OCV. A saída S será o sinal de controle para o OCV.

Levando-se em conta que o sinal de controle se situa entre os níveis TTL (tensão  $V/2$ ), como obtivemos nas curvas acima, o somador pode ser implementado com ganho unitário. Desta forma, utilizamos  $R_1 = R_2 = R_3 = 100k$ .

Quando o OCV em conjunto com o somador, for conectado ao circuito final, será necessário um ajuste do trimmer, para levar o OCV ao seu ponto nominal de operação. Isto é conseguido quando, sem modulação externa e com a entrada na frequência nominal de operação, obtivermos uma onda quadrada na saída do detetor de fase, como mostra a Fig. III.62.

Para assegurar que o loop se mantenha sincronizado, conforme a amplitude e frequência são aumentadas, é necessário que cada estágio seja bem desacoplado.

Para finalizar este item, damos a seguir um exemplo da forma como se apresenta o jitter gerado sobre um sinal de referência estável:

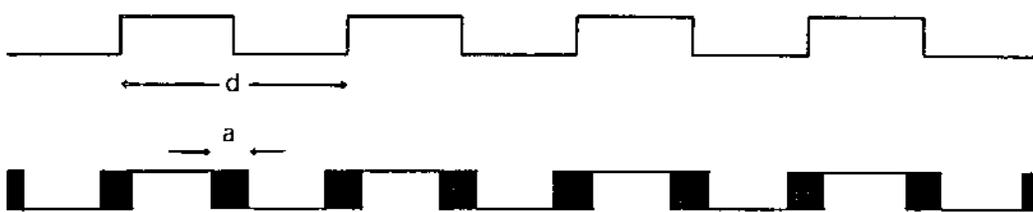


Fig. III.73 - (a) Sinal digital com e sem jitter

A largura  $d$  é definida como um período ou um dígito. A largura  $a$  é definida como a amplitude pico a pico do jitter.

A sequência instantânea da onda com jitter, de acordo com a figura acima, é apresentada a seguir.

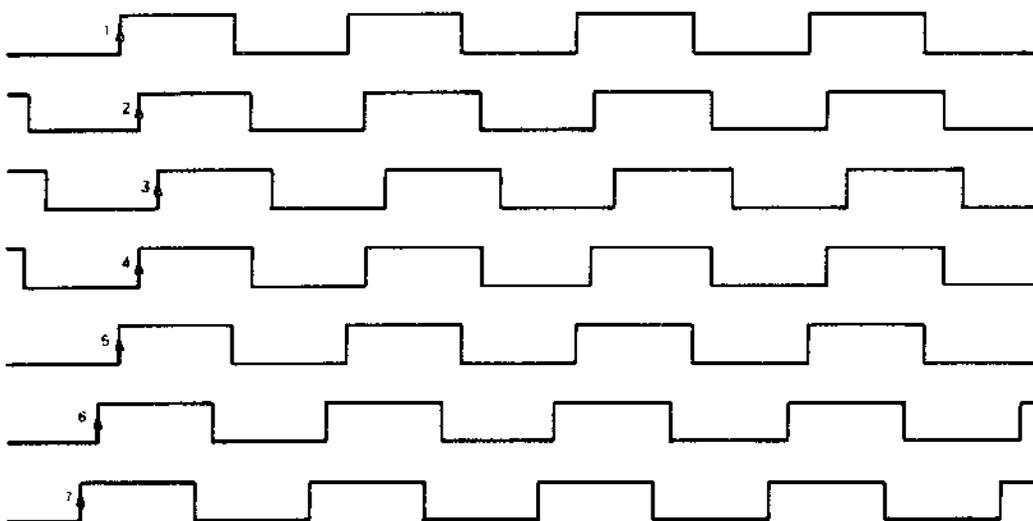


Fig. III.73(b) - Sequências instantâneas da onda Com Jitter

Temporalmente temos:  $t_1 \rightarrow t_2 \rightarrow t_3 \rightarrow \dots \rightarrow t_7$ .

A rapidez com que a onda percorre o intervalo  $a$  é a frequência de jitter do sinal. Na figura acima desprezamos a variação na largura dos pulsos dentro de cada período da onda. Isto, de certo modo, é razoável, pois a frequência de jitter é muito menor que a frequência do sinal.

### III.10.3 - Conexão dos PLL's Geradores de Jitter com os outros circuitos do Equipamento

Por meio do seletor ESTÁVEL/JITTER no PF, podemos selecionar o relógio com ou sem jitter, como foi explicado no Capítulo II.

O relógio de entrada para o GERADOR DE JITTER é o próprio RE, gerado a partir dos osciladores no circuito de Relógios, ou coletado externamente pela entrada RELÓGIO EXTERNO.

Deparamos agora com um problema em relação à seleção do relógio com jitter na saída, ou seja, a maneira pela qual poderemos selecionar o relógio com jitter nas frequências de 2.048KHz e 8.448KHz ou numa frequência externa. A seleção para frequência externa poderá ser feita quando estivermos interessados numa pequena variação em torno das frequências nominais. Esta variação pode chegar a  $\pm 100$ KHz sem alterar muito as características do gerador de jitter. Para o PLL Gerador de Jitter implementado, conforme nos desviamos da frequência de operação, a amplitude máxima do jitter que pode ser gerado diminui.

A maneira então utilizada para interligar os PLL's Geradores de Jitter ao circuito RELÓGIOS é mostrada na Fig.III.74.

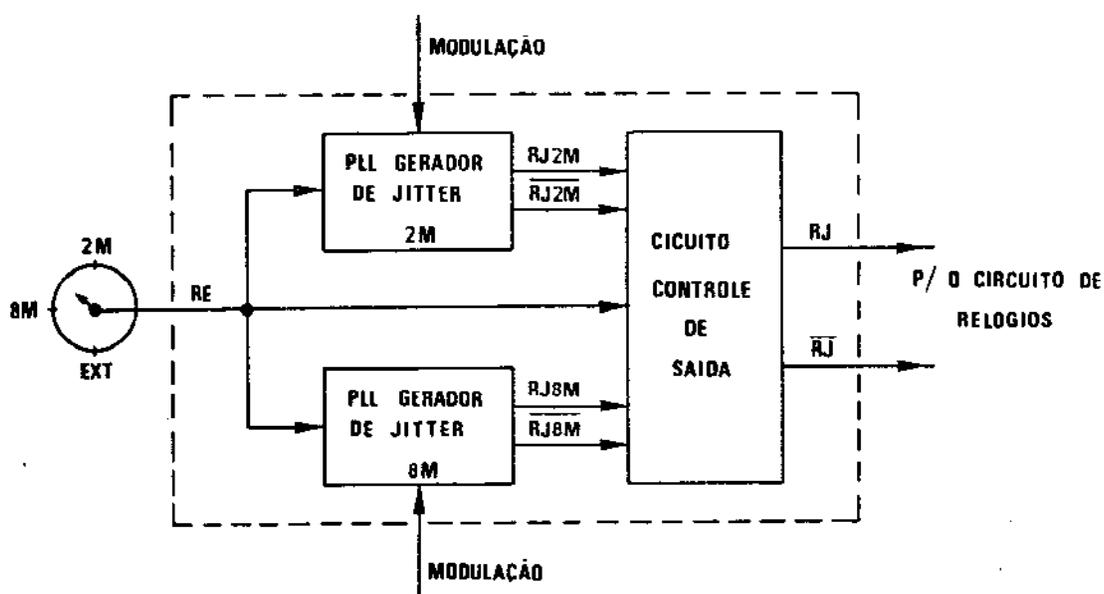


Fig.III.74 - Esquema do circuito GERADOR DE JITTER

O circuito de controle de saída serve para selecionar RJ e  $\overline{\text{RJ}}$  de acordo com a frequência de linha (2M, 8M ou EXT). O problema surge unicamente pelo fato de termos a entrada externa. Esta poderá tanto estar em torno de 2.048KHz, como em torno de 8.448KHz, e por isso devemos providenciar uma forma de distingui-las para controlar a frequência de saída de acordo com a de entrada.

A maneira como faremos isto será utilizando um circuito Discriminador de Frequência, fornecendo uma dada lógica conforme a frequência de entrada. A Fig. III.75(a) mostra a implementação deste circuito discriminador.

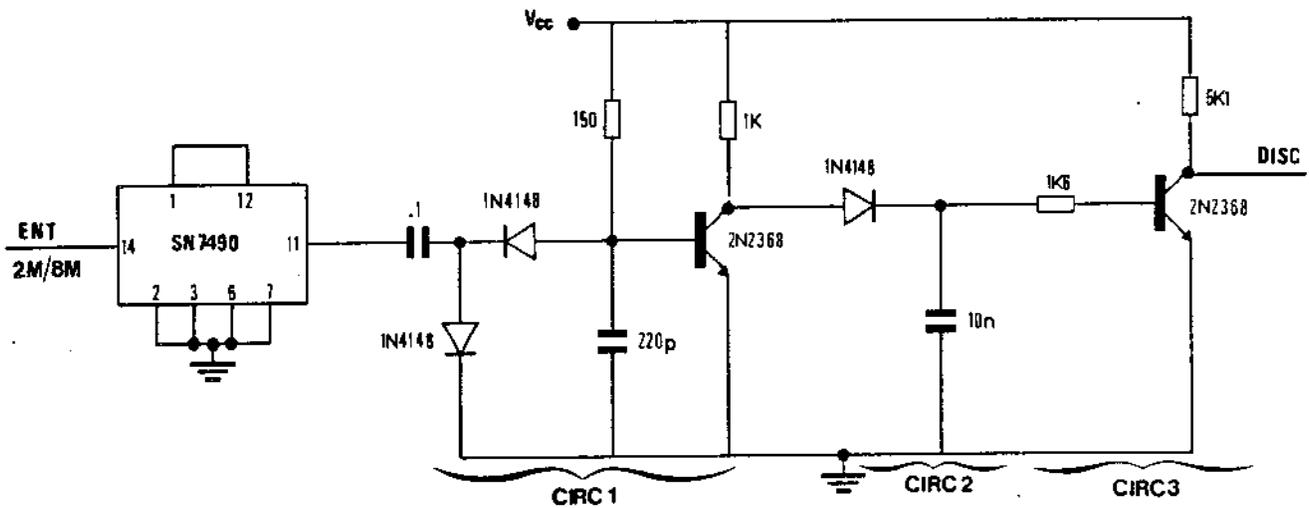


Fig. III.75(a) - Discriminador

Com o contador decimal SN7490 obtemos na sua saída, pino 11, uma divisão por 10 da onda de relógio, conforme a Fig. III.75 (b) abaixo:

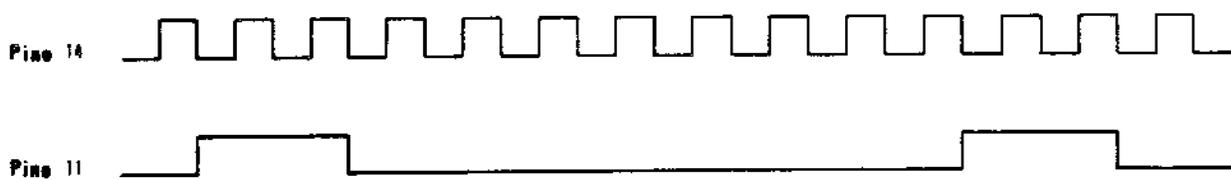


Fig. III.75(b) - Entrada e Saída do SN7490

Esta onda é levada ao CIRC1 que fornece no coletor do primeiro transistor, um pulso de largura de 200ns na descida do sinal que vem do contador, se a frequência de relógio por 2.048 KHz, e fornece nível baixo ( $\approx 0$  Volts) se a frequência de relógio por 8.448KHz.

Do coletor desse transistor, o sinal passa por um dete

tor de pico (CIRC2) que tem a função de detetar o valor de pico desse sinal. Desta forma, obteremos um nível alto quando a frequência for 2.048KHz e um nível baixo quando a frequência for 8.448 KHz. O circuito CIRC3 isola e casa o CIRC2 com o restante do circuito de controle, que são gates TTL.

Como resultado, temos a seguinte lógica oferecida pelo circuito discriminador:

ENT = 2.048KHz → DISC = L

ENT = 8.448KHz → DISC = H

Pensando-se na operação do circuito discriminador, com frequência externa diferente dos padrões acima, podemos considerar os seguintes ranges de frequência em que vale a lógica DISC:

ENT com  $600\text{KHz} < f_{\text{EXT}} < 2400\text{KHz}$  → DISC = L

ENT com  $f_{\text{EXT}} > 2400\text{KHz}$  → DISC = H

Com a saída DISC do CIRC3, podemos então realizar um circuito lógico de controle que fornece a saída correta de um dos PLL geradores de jitter na frequência do relógio de linha selecionado. Utilizamos para isto o integrado SN74S51 como mostra a Fig. III.76.

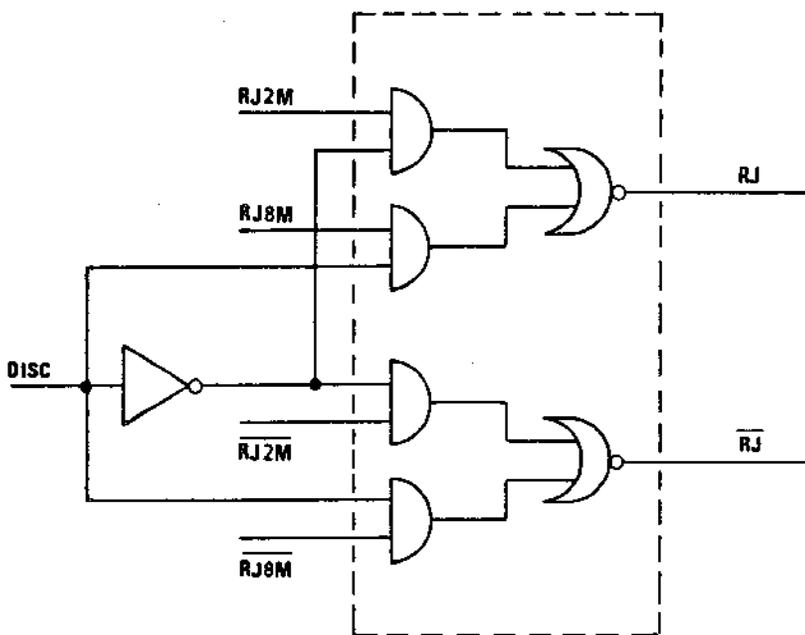


Fig. III.76 - Circuito Seletor de Relógio de Saída do Gerador de Jitter

As saídas RJ e  $\overline{\text{RJ}}$  são dadas por  $\overline{\text{RJ2M}}$  e RJ2M, respectivamente, quando tivermos DISC = L; e as saídas serão  $\overline{\text{RJ8M}}$  e RJ8M, respectivamente, quando DISC = H.

As ondas RJ2M e  $\overline{\text{RJ2M}}$  são as saídas do PLL Gerador de Jitter em 2M e as ondas RJ8M e  $\overline{\text{RJ8M}}$  são as saídas do PLL Gerador de Jitter em 8M.

As ondas RJ e  $\overline{\text{RJ}}$  são levadas ao circuito de RELÓGIOS para propiciar a alternativa JITTER da chave seletora correspondente.

#### III.10.4 - Saída para verificação da amplitude do Jitter gerado nos PLL's Geradores de Jitter 2M/8M

O circuito AND/NOR mostrado na Fig. II.77 permite que se verifique, externamente, a amplitude do jitter gerado no circuito. Como veremos posteriormente, quando utilizarmos o circuito gerador de jitter, será conveniente sabermos a amplitude do jitter contido no relógio de saída. Para isto, tomamos as saídas dos detetores de fase dos PLL's geradores de jitter e, com o auxílio da onda DISC, estabelecemos a correspondente onda na saída. Um circuito de proteção é utilizado antes do conector BNC. Este, por hora, será instalado na parte traseira do equipamento, pois não constava no projeto inicial. A amplitude do jitter gerado pode ser medida diretamente sobre a onda de saída do detetor de fase do PLL do gerador de jitter.

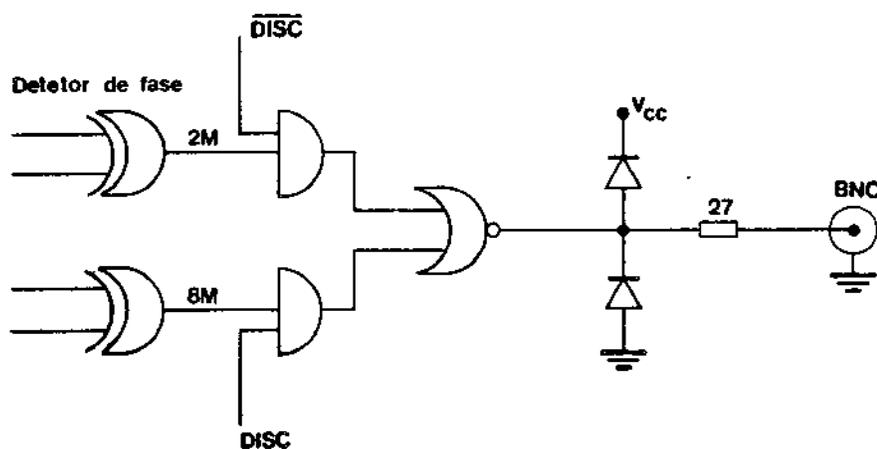
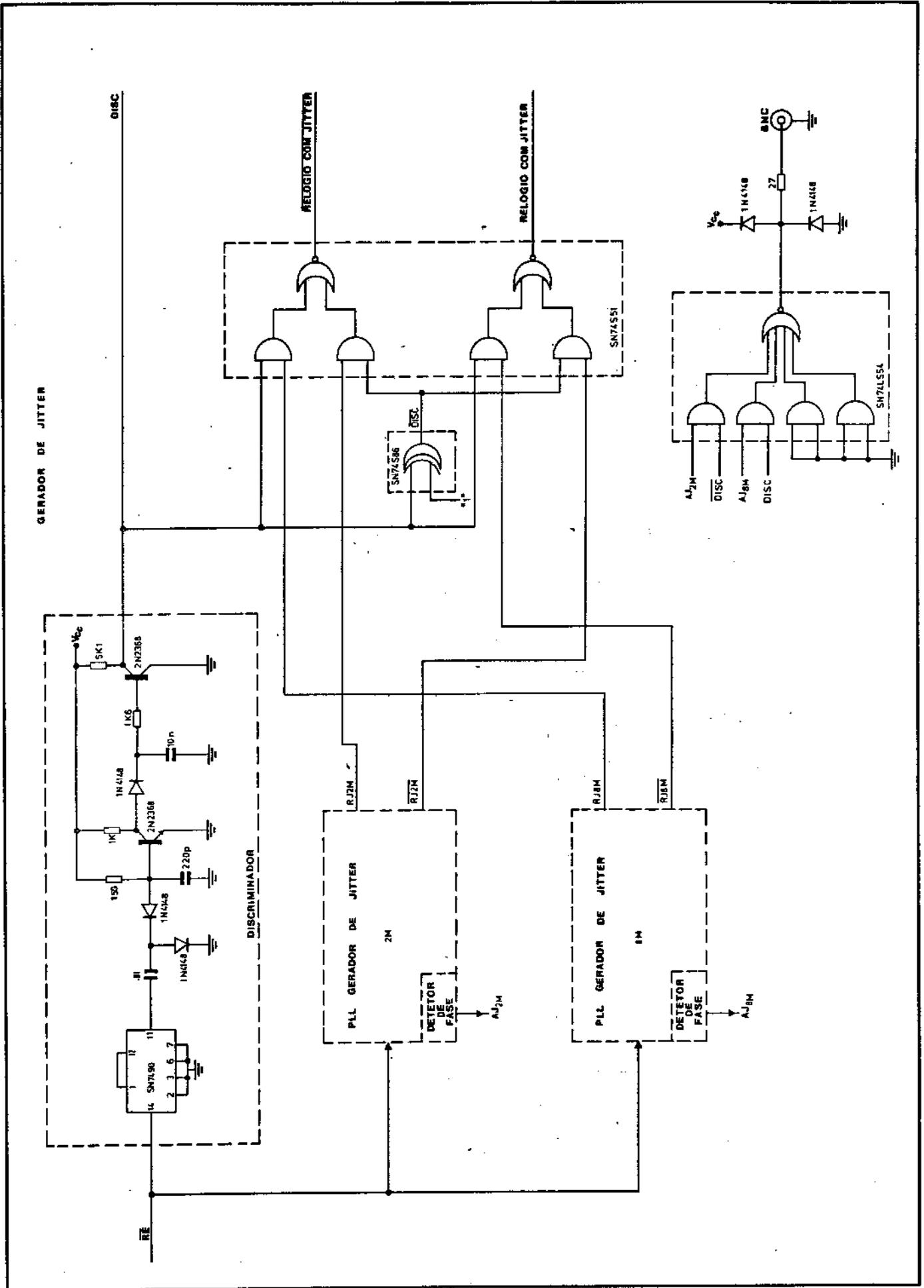


Fig. III.77 - Saída BNC para averiguação da amplitude do jitter gerado





## II.11 - MEDIDOR DE JITTER

### III.11.1 - Introdução

O medidor de jitter tem como objetivo a medida do valor de pico da amplitude de jitter. O circuito implementado tem condições de medir variações de fase na onda de relógio de até meio dígito. Nos casos práticos verificados e conhecidos, a amplitude máxima do jitter de tempo de espera não vai além desse valor. Para amplitudes maiores que 1/2 dígito, a medida pode ser feita com o auxílio de osciloscópio.

É implementado, então, um único medidor para frequências padrões de 2.048KHz e 8.448KHz, ou para pequenas variações em torno destas. No entanto, a característica do circuito deverá ser alterada, quando permutamos essas duas frequências, para obtermos uma melhor performance do medidor. Para que possamos utilizar um único circuito medidor, se faz necessário realizar um controle de entrada que permite estabelecer uma onda para medida com praticamente a mesma frequência, independentemente se o sinal recebido está em 2.048KHz ou 8.448KHz. Isto é conseguido por meio de um divisor por quatro da onda de relógio quando a frequência desta for 8.448KHz. Desta forma, teremos uma onda de entrada em 2.048KHz ou 2.112KHz, para o outro caso. Estas considerações serão dadas com mais detalhes no final da seção III.11.3.

Esquemáticamente, o medidor apresenta o seguinte diagrama em blocos:

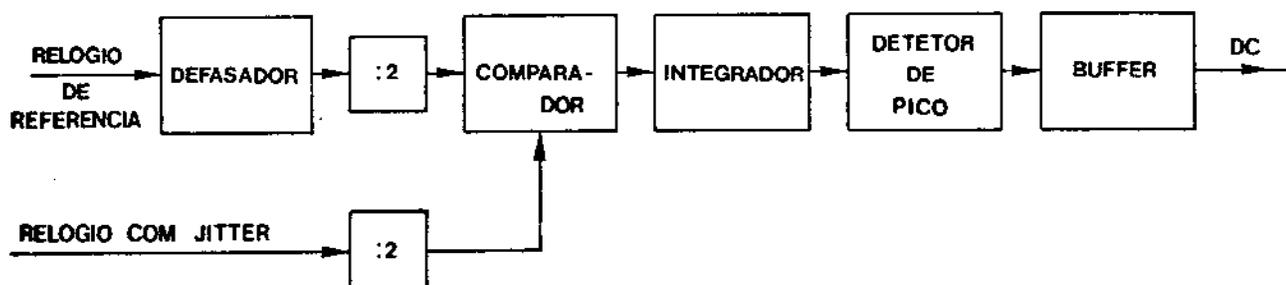


Fig. III.78 - Diagrama em blocos do Medidor de Jitter

O que pretendemos com o circuito é obter uma tensão dc que seja proporcional à amplitude de jitter. Para isto, realizamos uma comparação do relógio com jitter e outro de referência e sem jitter. Desta comparação, resulta somente a modulação de fa

se do relógio com jitter em relação ao relógio de referência. Esta diferença passa por um integrador que gera uma rampa proporcional a sua largura. Detetamos então a altura desta rampa, que corresponde à amplitude de jitter em termos de tensão dc.

A diferença entre as duas ondas à entrada do comparador representará a modulação de fase do relógio com jitter somente quando estas duas ondas estiverem em fase (em média). Para permitir o ajuste de fase, um circuito Defasador da onda de referência é utilizado.

Com a divisão por 2, as ondas de relógio passam a ter duty cycle idênticos, permitindo que a comparação forneça somente o desvio de fase correspondente à amplitude do jitter que queremos medir.

Todo o processo é exemplificado a seguir pelas formas de ondas:

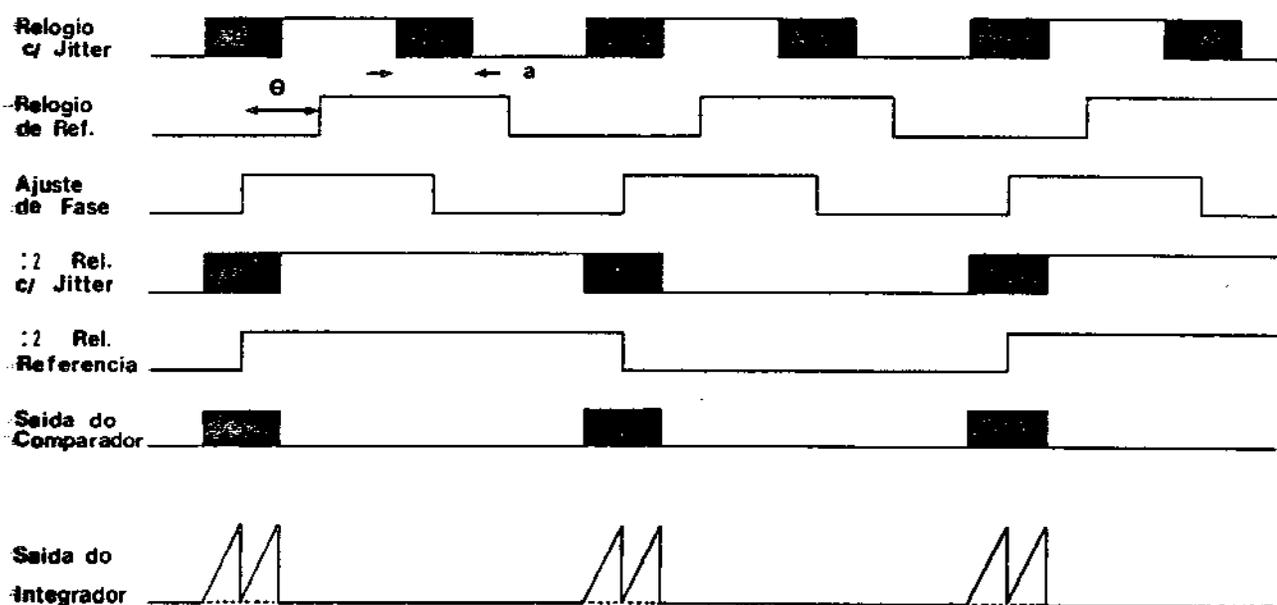


Fig.III.79 - Formas de onda para o processo de medida de jitter

"a" = amplitude de jitter (pico a pico).

$\theta$  = diferença de fase média entre os dois relógios.

A razão da saída do integrador conter duas rampas será melhor entendida posteriormente.

No tempo, a onda de relógio com jitter tem, exageradamente, o seguinte aspecto:



No entanto, como a frequência do jitter é muito menor que a do relógio, a variação da janela de tempo da onda, pode ser desprezada. Assim, podemos considerar que a onda de relógio com jitter simplesmente "balança" no tempo.

### III.11.2 - Circuitos do Medidor de Jitter

#### Defasador

Como provavelmente o relógio com jitter terá uma diferença de fase média com relação ao relógio sem jitter de referência, diferença esta que não podemos determinar a princípio, se faz necessário utilizar um circuito defasador que poderá providenciar o ajuste de fase entre os dois relógios. Pelas formas de onda da Fig. III.79, pode-se verificar que, para o comparador utilizado, devemos ter os dois relógios exatamente em fase para se obter somente a modulação de fase.

O defasador deve possibilitar então um ajuste de  $0^\circ$  até  $360^\circ$ . O circuito implementado utiliza o componente JFET que, na configuração abaixo, permite atrasar até  $180^\circ$  o sinal de saída em relação ao de entrada, por meio da variação do potenciômetro P (que altera a constante de tempo RC). Com dois circuitos desses em cascata, poderemos ter defasagem de até  $360^\circ$

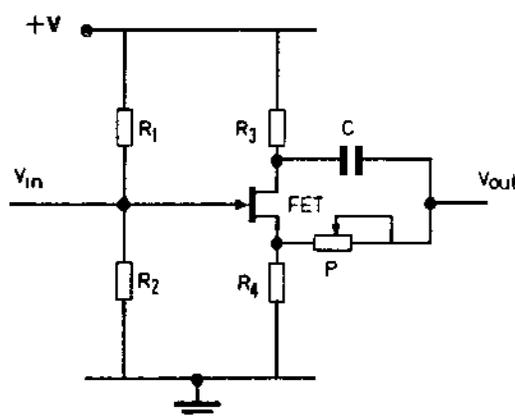


Fig. III.80 - Circuito Defasador de  $0^\circ$  até  $180^\circ$

Como para este tipo de circuito é conveniente trabalharmos com sinais senoidais, providenciaremos um circuito tanque na entrada do circuito defasador para filtrar a fundamental. A entrada  $V_{in}$  poderá receber tanto um sinal em 2.048KHz como 2.112 KHz (ou ainda pequenas variáveis destas). Assim sendo, projetamos o tanque para sintonia em 2.080KHz.

Na saída dos dois defasadores simples em cascata, utilizamos um outro JFET para isolar estes estágios do circuito de

saída, composto de um transistor na configuração emissor comum, que nos permite obter uma onda com níveis TTL. O circuito completo é dado a seguir na Fig. III.81.

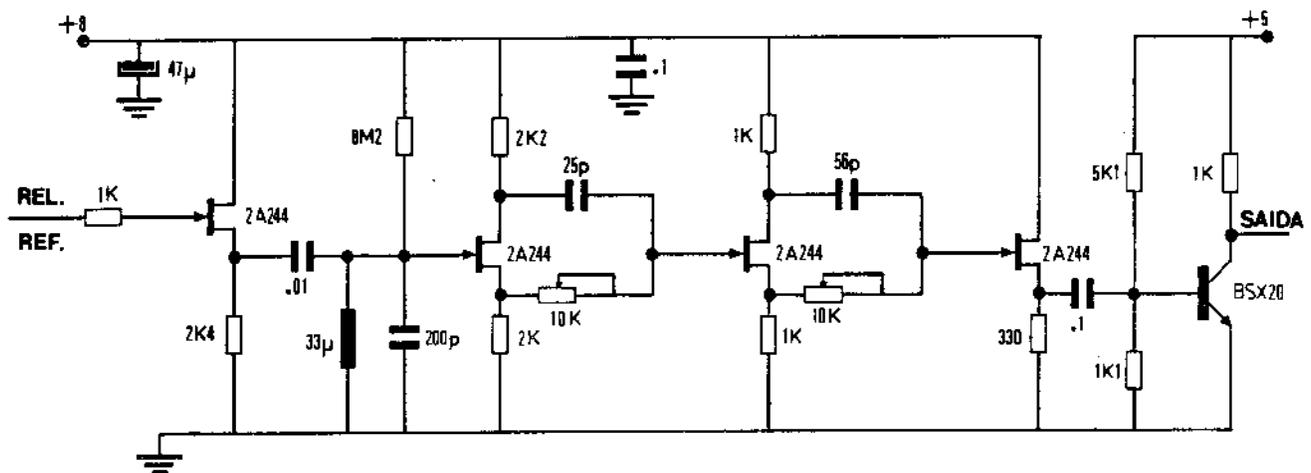


Fig.III.81 - Circuito Defasador Completo

Com este circuito obtém-se um sinal na saída defasado desde  $0^{\circ}$  até  $360^{\circ}$  do sinal de entrada (REL. DE REF.), além da defasagem natural de  $180^{\circ}$  pelo transistor de saída. Esta inversão é bastante útil, pois será necessário que uma das ondas à entrada do comparador esteja invertida em relação à outra (contrariando o exemplo dado na Fig.III.79), pois o integrador implementado trabalha com pulsos negativos, como veremos posteriormente.

### Divisor por 2

A divisão por 2 das ondas de relógio é utilizada para tornar iguais os duty cycles das ondas à entrada do comparador. Se estas ondas de relógio, ao serem comparadas, tiverem duty cycles diferentes, a medida realizada estará errada.

Para implementarmos o divisor por dois utilizamos o integrado SN74S112, contendo 2 FFJK. A configuração do divisor é a mesma do circuito RELÓGIOS (Vide Fig.III.6).

### Comparador

O comparador é o dispositivo que fornece somente a quantidade de jitter do relógio de entrada com jitter. De acordo com as formas de onda dadas na Fig. III.79, o componente que realiza essa função é gate OU-EXCLUSIVO. Conforme a sua lógica, temos nível alto de saída quando as entradas são diferentes. Desta forma se ajustarmos as ondas de entrada em contrafase, por motivo já dado acima, a saída do comparador fornecerá níveis baixos (pulsos negativos) característicos da modulação em fase do jitter na res

pectiva onda de entrada. O integrado SN74S86 é então utilizado.

### Integrador

A função do integrador é gerar uma rampa de amplitude proporcional à modulação em fase. O integrador deverá ter uma varredura bastante linear para que a escala de leitura do medidor também seja linear. O circuito implementado, dado na Fig. III.82, apresenta essa característica e será descrito a seguir.

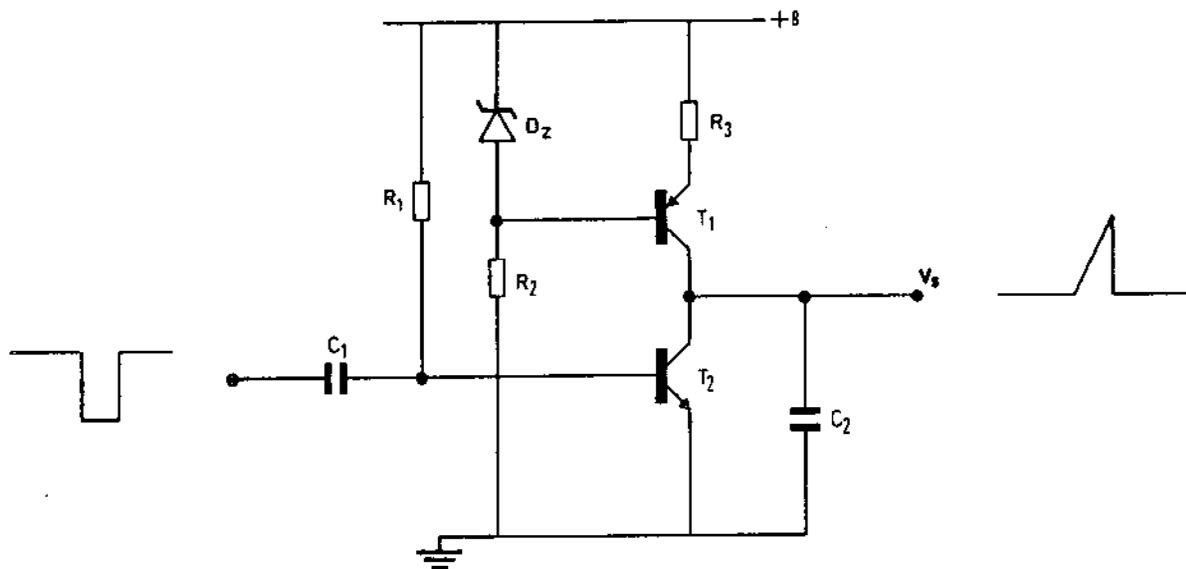


Fig.III.82 - Integrador

Este é um circuito típico para varredura linear. A rampa na saída é proporcional à largura de um pulso negativo à sua entrada.

A função de  $C_1$  é a de acoplamento. O transistor  $T_2$  funciona como uma chave. Enquanto o pulso de entrada está alto, a saída se mantém baixa; quando o pulso na entrada vai para nível baixo (0 Volts), o transistor  $T_2$  vai para o corte permitindo a carga do capacitor  $C_2$ . O transistor  $T_1$  mais o diodo zener  $D_z$ ,  $R_2$  e  $R_1$  constituem uma fonte de corrente que será responsável pela carga de  $C_2$  enquanto  $T_2$  está cortado.

Desta forma a tensão na saída pode ser calculada por

$$V_S = 1/C_2 \int I dt \quad (1)$$

Se a corrente  $I$  de carga do capacitor  $C_2$  for constante, teremos:

$$V_S = It/C_2 \quad (2)$$

ou seja, a tensão na saída será uma função linear do tempo, como queremos.

Na fonte de corrente, o transistor  $T_1$  aplica uma tensão  $(V_Z - 0,7)$  Volts sobre o resistor  $R_3$ , enquanto ele opera como seguidor de emissor. Desta forma, a corrente de emissor será dada por

$$I_E = \frac{V_Z - 0,7}{R_3} \cong I_C \cong I \quad (3)$$

Assim, com as equações (2) e (3) podemos calcular o circuito que fornecerá uma rampa de amplitude  $V_S$  de acordo com o tempo de duração do pulso de entrada.

### Cálculos

a) Para a frequência 2M.

Queremos medir uma amplitude de pico do jitter de até 0,5 dígitos ( $t \cong 244\text{ns}$ ).

A essa amplitude máxima corresponderá uma tensão de saída  $V_S = 6$  Volts.

Dados:  $V_{CC} = 8$  Volts;  $V_Z = 2,4$  Volts;  $V_{BE} \cong 0,7$  Volts para o transistor PNP 2N2907 utilizado.

Tomando-se  $R_3 = 1\text{K}\Omega$ , a equação (3) fornece

$$I = \frac{2,4 - 0,7}{10^3} = 1,7\text{mA}$$

De (2), temos

$$C_2 = \frac{I}{V_S} t = \frac{1,7 \times 10^{-3}}{6} \times 244 \times 10^{-9} = 69,2\text{pF}$$

Para polarização do diodo zener, calculamos o valor de  $R_2$  a seguir. O diodo utilizado é o 1N5521 de 0,5W.

$$\text{Logo, } R_{2(\text{min})} = \frac{V^2}{P} \cong 11,5$$

Tomamos  $T_2 = 160\Omega$ .

b) Para a frequência 8M.

O pulso de jitter a ser medido poderá ter até  $t = 60\text{ns}$ , correspondente a 0,5 dígito nessa frequência.

Como utilizamos o mesmo circuito tanto para medidas do sinal em 2M como em 8M, a única característica a ser mudada é a

da resposta do integrador às máximas amplitudes do jitter. Esta característica é então alterada com o capacitor  $C_2$ .

Para as condições acima e considerando-se  $t = 60\text{ns}$ , temos:

$$C_2 = \frac{I}{V_S} t = \frac{1,7 \times 10^{-3}}{6} \times 60 \times 10^{-9} = 17\text{pF}$$

Como se pode verificar, o valor de  $C_2$  deverá ser alterado dependendo da frequência de trabalho. Para isto, uma chave foi providenciada na ponte traseira do equipamento, de tal forma que as condições acima sejam satisfeitas, como mostra a figura abaixo (das verificações práticas os valores de  $C_2$  foram mudados para se obter as características requeridas).

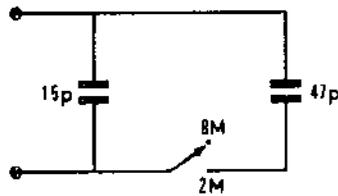


Fig.III.83 - Mudança da característica da Resposta do Integrador

Quando trabalharmos na frequência de 2M a chave deve ser fechada, fornecendo  $C_2 = (15 + 47)\text{pF} = 62\text{pF}$ . Para a frequência de trabalho em 8M, a chave deve ser aberta, fazendo com que  $C_2 = 15\text{pF}$ , como é necessário.

Uma análise das ondas obtidas na saída do integrador, durante a fase de medidas, é apresentada a seguir.

Consideremos então os relógios de entrada com e sem jitter (Fig.III.84(a)), e as ondas após o ajuste de fase e a divisão por 2 das ondas à entrada do comparador (Fig.III.84(b)).

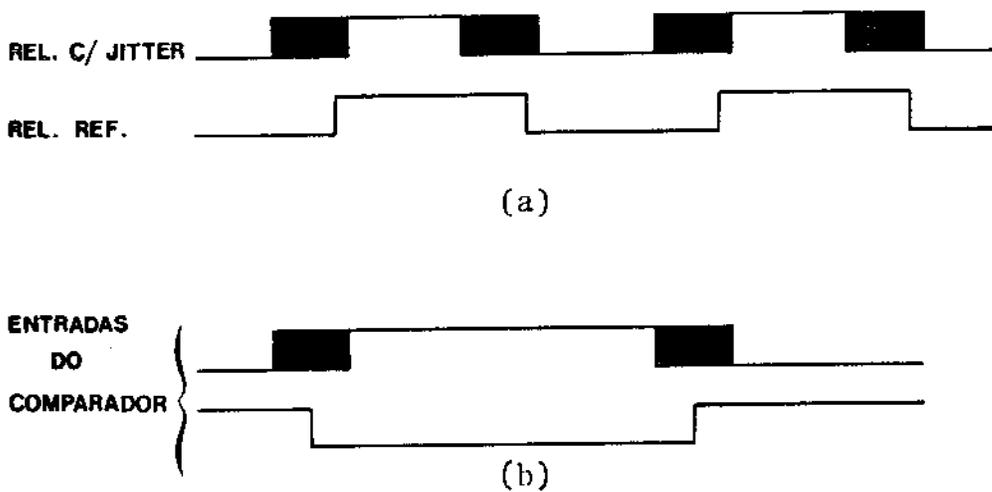


Fig. III.84 (a) e (b)

A partir de alguns valores instantâneos da fase da onda com jitter, em relação à onda de referência, obtemos a seguir as respectivas ondas na saída do comparador e do integrador, como mostra a Fig. III.84(c).

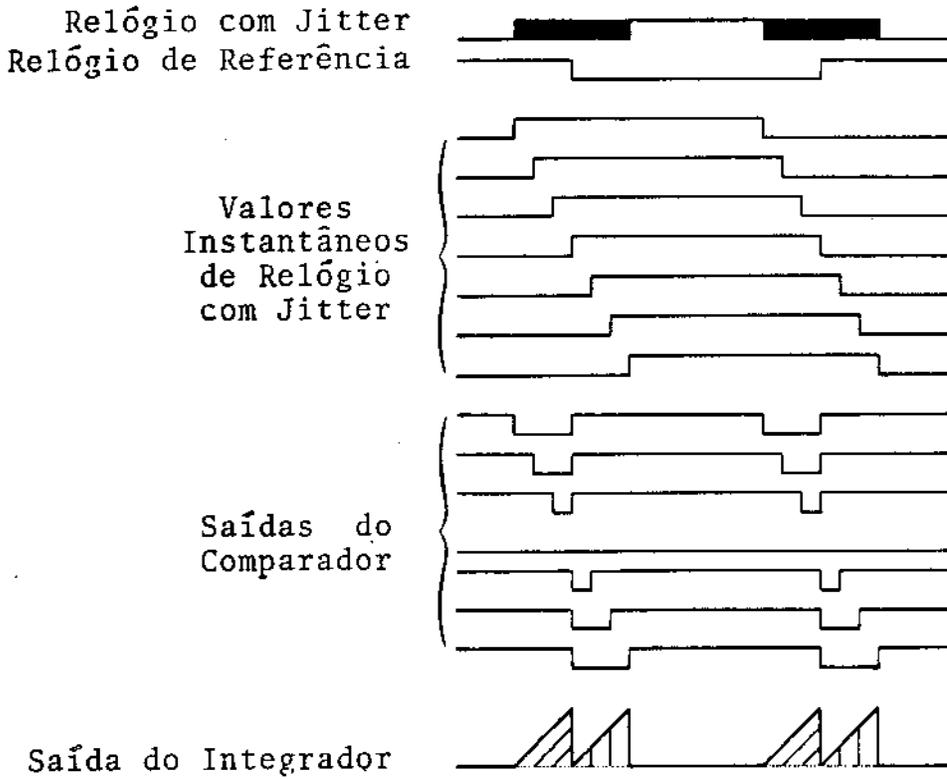


Fig.III.84 (c) - Valores instantâneos das ondas em alguns pontos do circuito Medidor de Jitter.

Uma visualização no tempo de saída do integrador é dada, exageradamente, na onda a seguir.

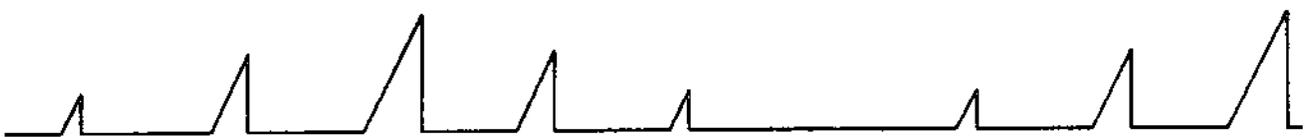


Fig.III.85 - Saída do Integrador

Como se pode ver, o que se obtém na saída do integrador são duas rampas, cada uma referente à integração da amplitude de "pico" do jitter.

Se a onda de relógio de referência for ajustada exatamente em fase (em média) com o relógio com jitter, as duas rampas adjacentes terão a mesma amplitude. No entanto, se o ajuste não for central, uma das rampas terá maior amplitude que a outra, como mostra a Fig. III.86 a seguir.

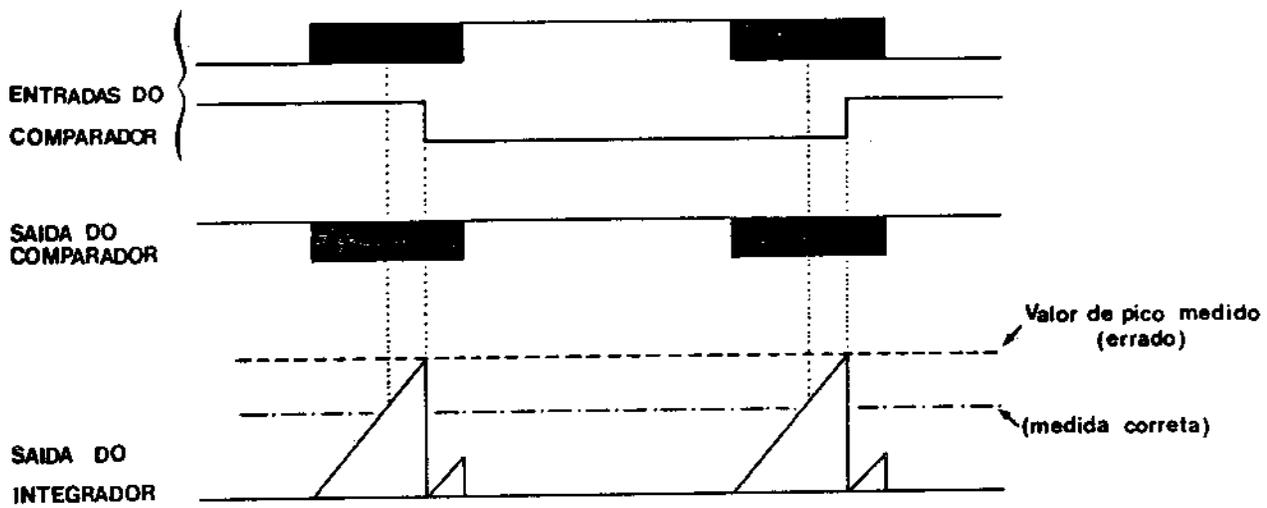


Fig. III.86 - Saída do Integrador para um ajuste de fase incorreto

Assim, através do ajuste do defasador poderemos estabelecer o valor exato da amplitude do jitter em termos de tensão dc. Basta, para isso, determinar a menor tensão na saída que corresponderá ao ajuste exato quando a onda de relógio de referência estará em fase com o relógio com jitter.

#### Detetor de Pico

A função do detetor de pico é determinar o valor da rampa gerada no integrador. Para implementarmos o detetor, utilizamos o circuito retificador abaixo:

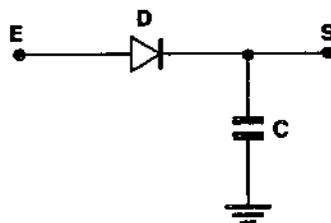


Fig.III.87 - Detetor de Pico

A saída do integrador é levada à entrada E do detetor. Conforme a amplitude da rampa aumenta, o capacitor vai se carregando até assumir o valor máximo. Quando a rampa cai para nível zero, o diodo fica reversamente polarizado, não permitindo a descarga do capacitor, mantendo o valor de pico da rampa. Evidentemente, o detetor deve ter uma constante de tempo para descarga do capacitor. O circuito buffer acoplado, a seguir, complementa a característica da resposta em frequência do detetor de pico. Um capacitor de  $0.1\mu\text{F}$  mostrou-se adequado para a implementação. Um diodo de germânio também é conveniente para este tipo de aplicação.

## Buffer

Para não carregarmos o circuito detetor de pico e fornecer uma baixa impedância de saída com alta drenagem, um circuito buffer, é então utilizado. Implementamos este buffer com o amplificador operacional LM741 na configuração seguidor não inversor, como mostra a Fig. III.88.

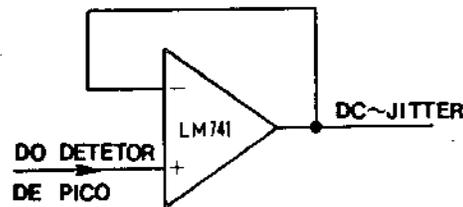


Fig.III.88 - Buffer

### III.11.3 - Controle de Entrada do Circuito Medidor de Jitter

Como já foi citado na Capítulo II, podemos selecionar três tipos de medidas de jitter: Calibrado, Interno e Externo. Um circuito de controle então se faz necessário, para que possamos comandar o circuito medidor para um desses três tipos de medida.

Quando selecionamos CALIBRADO, a entrada do medidor fica sendo o próprio sinal de referência (relógio estável). Selecionando INTERNO, a entrada é a saída do Gerador de Jitter, e ao selecionarmos EXTERNO, a entrada é um relógio externo para medida.

Implementamos o circuito seletor da mesma forma já utilizada no circuito de RELÓGIOS, utilizando agora um ship SN74LS54, como mostra a Fig. III.89.

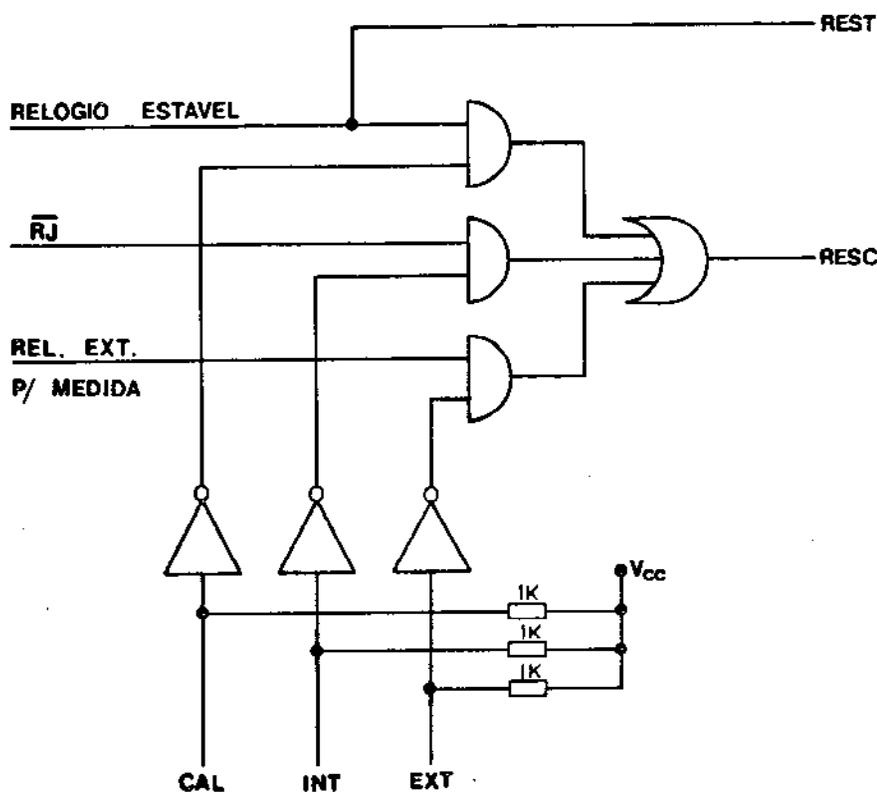


Fig.III.89 - Circuito Seletor de Entrada

A saída REST é o próprio Relógio estável, enquanto que a saída RESC será uma das entradas conforme selecionada uma das três posições da chave.

Como descrevemos anteriormente, por meio de um circuito na entrada, estabeleceremos o processamento dos sinais pelo medidor, de tal forma que quando a frequência de operação for 2.048KHz (ou variações em torno desta), introduziremos o próprio sinal no circuito medidor. No entanto, se a frequência de operação for 8.448KHz (ou pequenas variações em torno dela), uma divisão por 4 da onda será realizada para obtermos um sinal de 2.112 KHz. O esquema deste circuito é mostrado na Fig. III.90, a seguir.

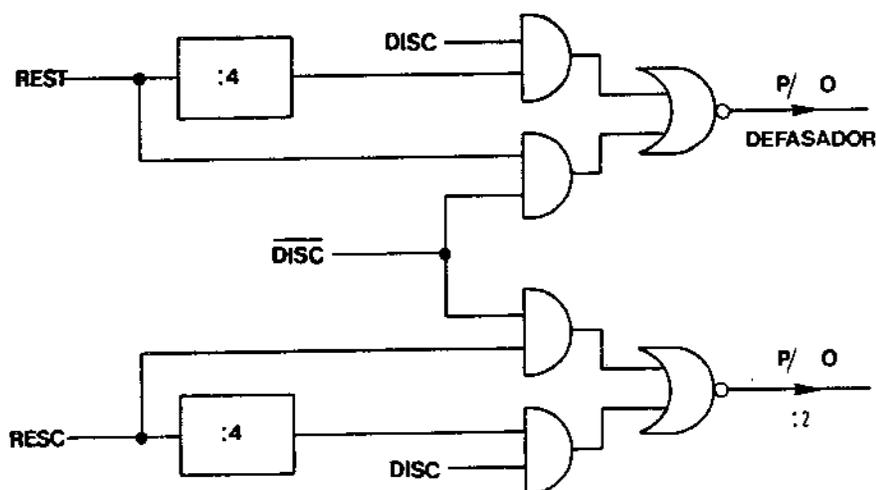


Fig. III.90 - Circuito para controle da frequência de entrada do circuito medidor

Fazemos uso do circuito discriminador, cuja função foi descrita na secção III.10.3.

Logo, se a frequência de operação for 2.048KHz, as saídas estarão em 2.048KHz. Quando a frequência de operação for 8.448 KHz, as saídas estarão em 2.112KHz.

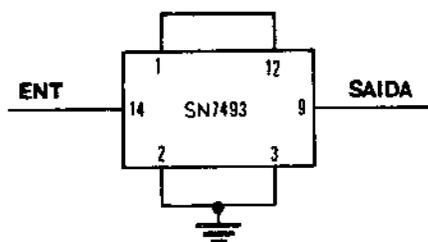
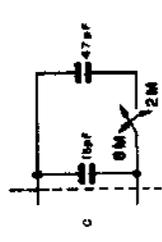
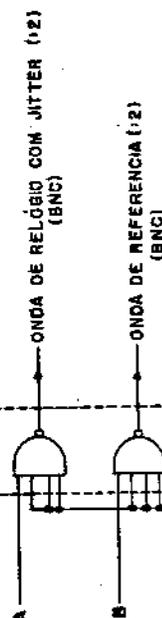
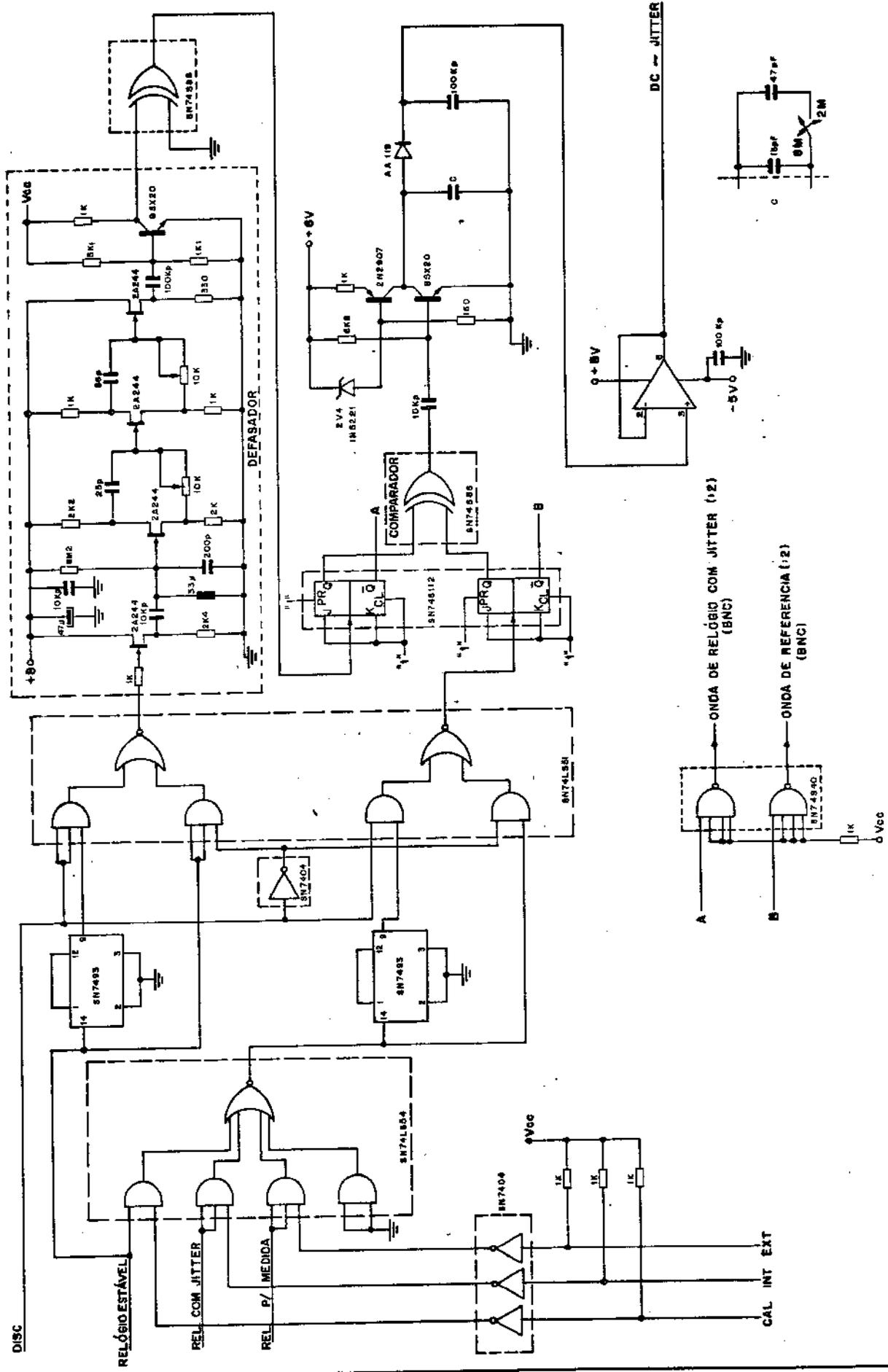


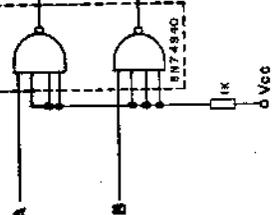
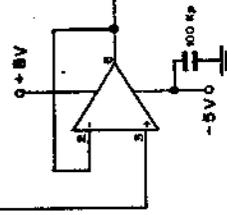
Fig. III.91 - Divisor por 4

A saída do Medidor de Jitter pode ser tomada no PF por meio do conector BNC denominado MEDIDOR.

MEDIDOR DE JITTER



DC JITTER



CAL INT EXT

VCC

## II.12 - INTERFACE DE SAÍDA

### III.12.1 - Introdução

Por meio do circuito INTERFACE DE SAÍDA podemos obter, externamente do equipamento (conector BNC), a saída ternária codificada em AMI ou HDB3. O padrão é o mesmo selecionado para a saída binária. A sequência ternária pode ser escolhida com bits de duty cycle 100% (NRZ) ou 50% (RZ) através da chave seletora RZ/NRZ no PF.

Fisicamente, este circuito se compõe de um codificador AMI/HDB3 e um transformador de saída para  $75\Omega$ . Apesar do circuito codificador ter sido projetado para trabalhar também na frequência de 34M, realizamos por ora somente um transformador de saída que opera até a frequência de 10MHz (Saída BNC 2M+8Mbits/s).

Entende-se por codificação AMI (Alternate Mark Inversion) a transformação de uma sequência binária em ternária, bastando para isso alternar uma a uma polaridade dos pulsos dentro da sequência. A Fig. III.92 abaixo mostra um exemplo.

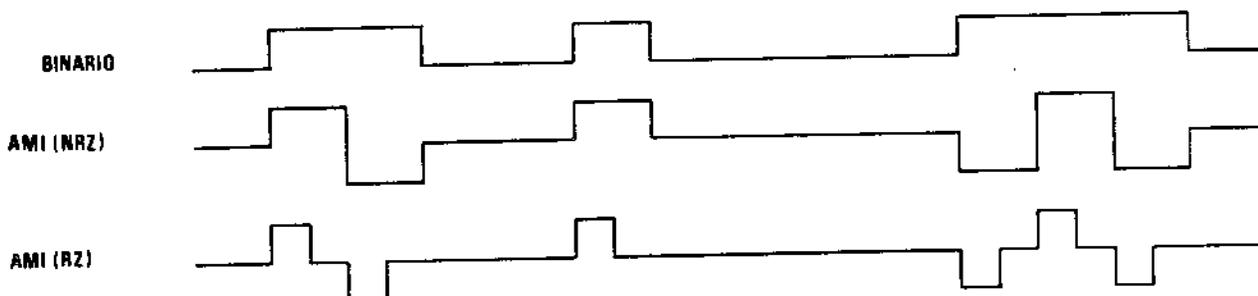


Fig. III.92 - Codificação AMI

A codificação HDB3 (High Density Binary 3) diferencia-se da AMI por não permitir que haja uma sequência de 4 ou mais zeros no sinal bipolar. Para isto, é necessário que o codificador HDB3 identifique estas posições e introduza pulsos de violação que poderão ser retirados na decodificação.

A regra de codificação HDB3 é sintetizada no parágrafo seguinte:

"Toda sequência de 4 zeros será substituída por 000V ou  $V*00V$ . A sequência 000V ou  $V*00V$  será usada de tal forma que o número de pulsos normais B entre quaisquer duas sequências sucessivas de pulsos V seja ímpar. Com isto, os pulsos de violação V formam também uma sequência bipolar."

nomenclatura  $\left\{ \begin{array}{l} V = \text{violação ímpar} \\ V^* = \text{violação par} \\ B = \text{pulso bipolar normal} \\ 0 = \text{zero} \end{array} \right.$

Como ilustração, indicamos a seguir um exemplo da codificação HDB3.

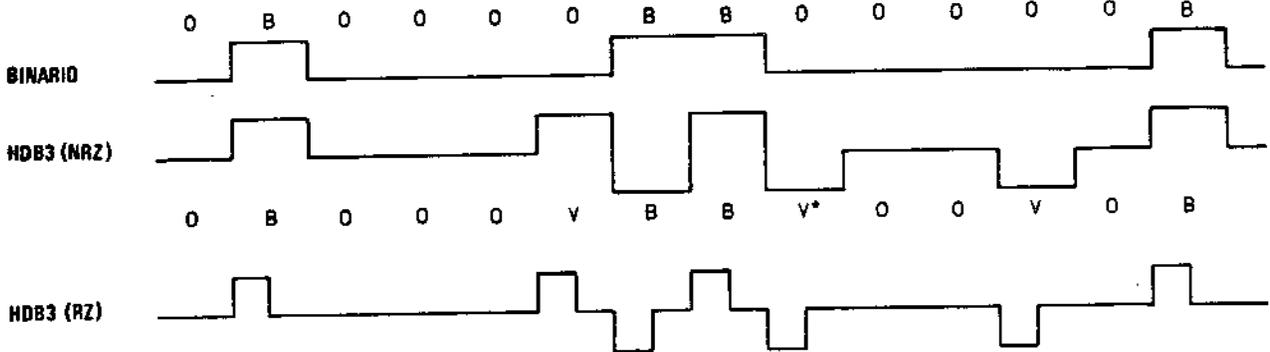


Fig. III.93 - Codificação HDB3

Sem entrarmos mais em detalhes sobre os códigos, iremos direto à implementação do circuito codificador AMI/HDB3. A REFERÊNCIA (7) esclarecerá o leitor sobre esse assunto.

Por meio de um único circuito, podemos realizar os dois tipos de codificação. Como veremos, o codificador AMI é uma pequena parte do codificador HDB3.

### III.12.2 - Codificador AMI

O circuito é facilmente implementado se verificarmos que a cada pulso B recebido, a sua polaridade deve ser invertida em relação à anterior. Um circuito com memória, que pode ser um FFJK, realiza esta função. O codificador AMI tem então a configuração mostrada na Fig. III.94.

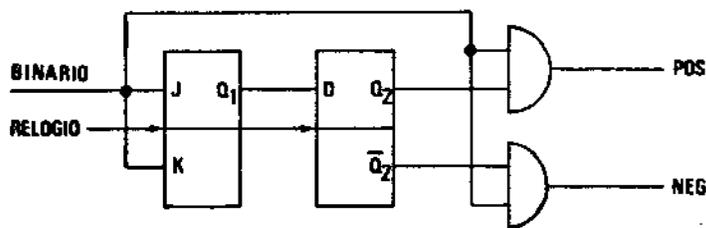


Fig. III.94 - Circuito Codificador AMI

As formas de onda no circuito, para um exemplo do processo de codificação, são dadas na Fig. III.95.

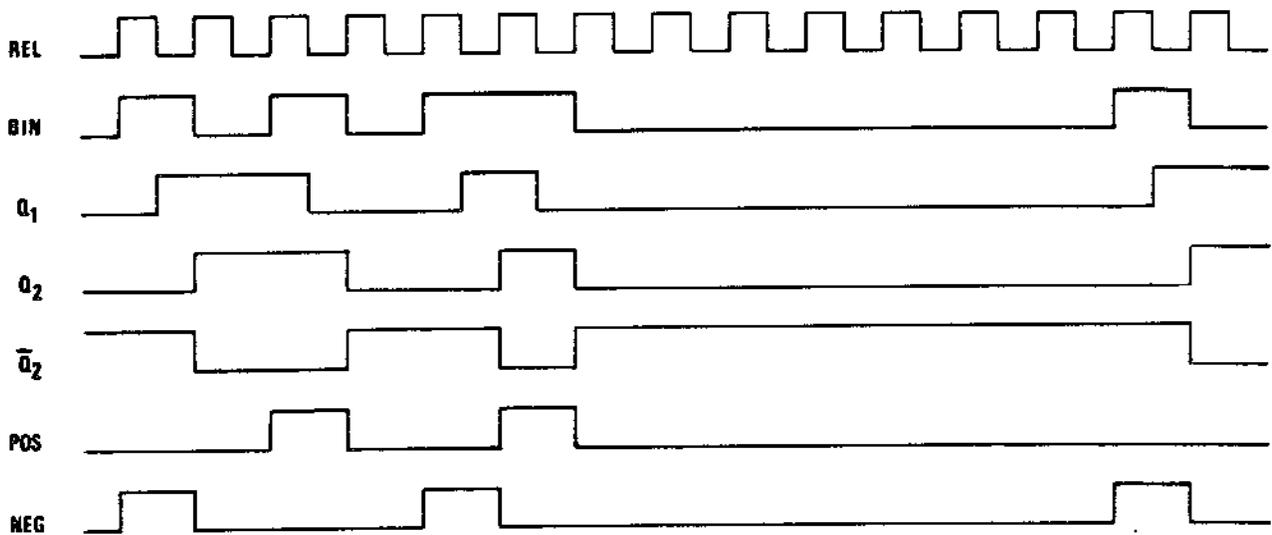


Fig.III.95 - Formas de onda do Codificador AMI

A sequência binária recebida do circuito ENTRADA/SAÍDA está em sincronismo com a subida da onda de relógio. O FFD não seria necessário se fosse utilizado o relógio invertido.

As saídas POS e NEG do codificador estão em NRZ. Para obtermos as saídas em RZ basta adicionar a onda de relógio às saídas do codificador. Isto será discutido posteriormente quando descrevermos o controle RZ/NRZ.

### III.12.3 - Codificador HDB3

O circuito codificador HDB3 deverá detectar toda sequência com mais de 3 zeros e introduzir pulsos de violação quando necessário.

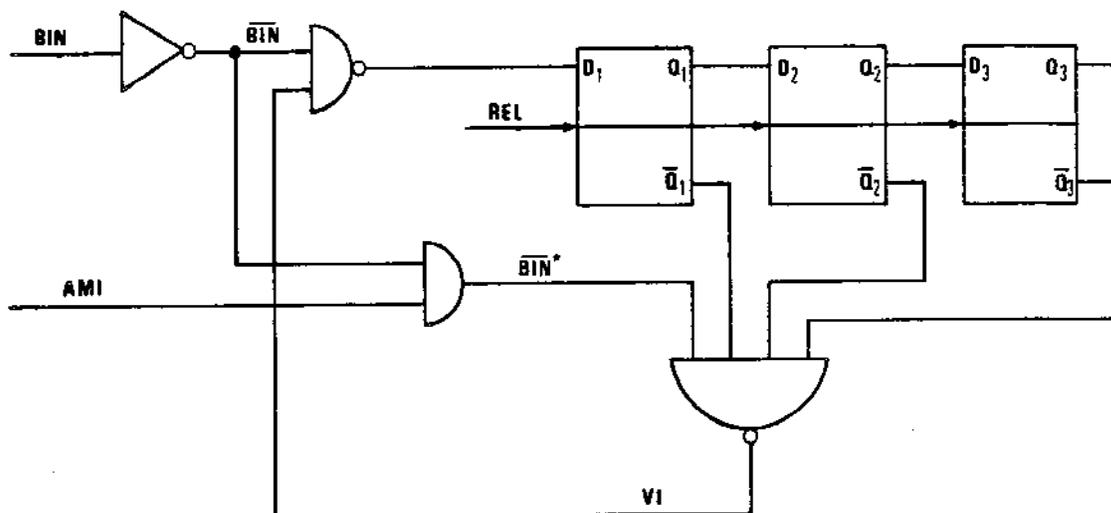


Fig. III.95 - Circuito detetor das Violações Ímpares



lações ímpares, não serão inseridas violações pares, pois, neste caso, as violações ímpares já formam uma sequência bipolar própria.

Para implementarmos esta parte do circuito codificador, devemos atentar para o fato de que o mesmo verificará as posições em que, após a última violação ímpar, deve existir um número ímpar de pulsos normais até a próxima violação. Se isto não acontecer, o circuito deverá inserir a violação par na posição adequada. Por meio do circuito dado na Fig. III.98, podemos determinar as posições em que devem ser então inseridas as violações pares.

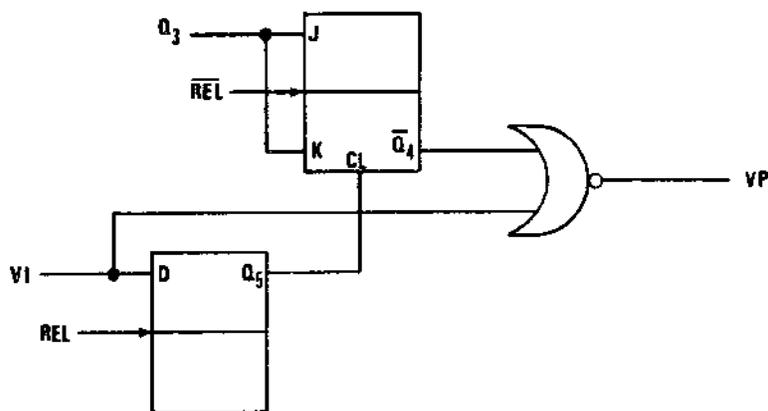


Fig.III.98 - Circuito Detetor de Violações Pares

A onda  $Q_5$  leva a saída  $\bar{Q}_4$  do FFJK para nível alto a cada violação ímpar. Por outro lado, o FFJK muda de estado a cada pulso da onda  $Q_3$ . Desta forma, ao somarmos a saída  $\bar{Q}_4$  com  $Q_5$ , conseguimos determinar a necessidade da violação par toda vez em que ocorrerem um número par de pulsos normais entre duas violações ímpares.

Um exemplo ilustrativo é dado a seguir. Suponha que a sequência binária a ser codificada não contém mais de 3 zeros. Logo não existem violações ímpares inseridas na sequência normal ( $Q_3$ ). Com isto a onda VI está sempre alta e consequentemente a saída VP do gate NOR estará sempre baixa (se uma das entradas do gate NOR está alta a sua saída está baixa), indicando que não há necessidade da inserção da violação par.

Continuando o exemplo, consideremos agora uma sequência binária com 4 ou mais zeros, mas onde não haja necessidade das violações pares.

Sequência binária: 0000BBB00000B0....

Verifique então que a saída VP se mantém baixa, indicando que não há violação par na sequência, conforme a Fig.III.99.

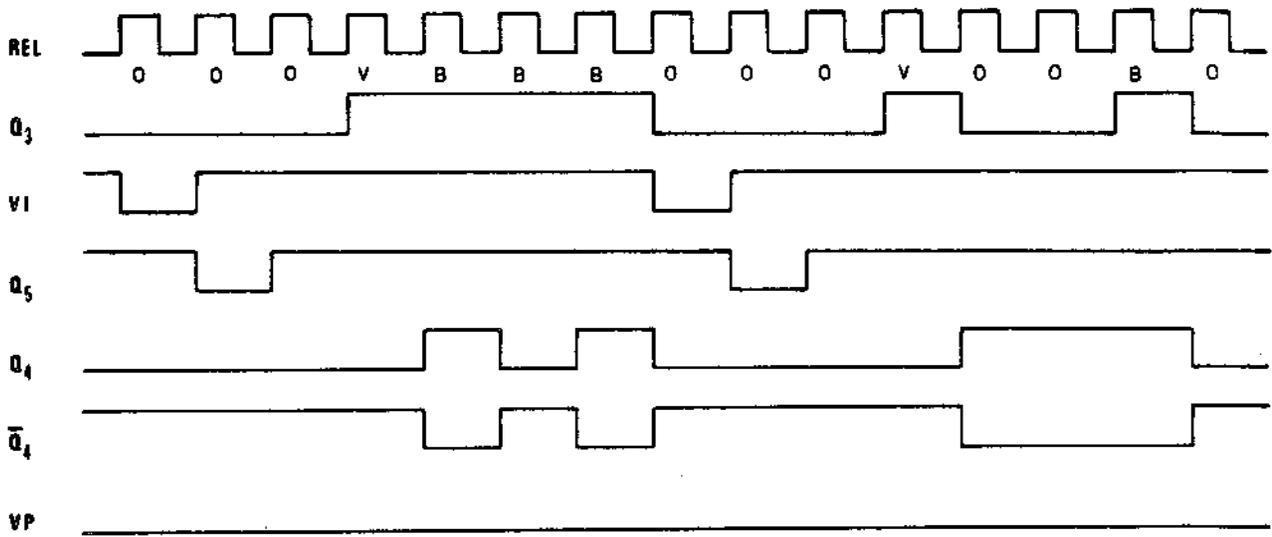


Fig.III.99 - Ondas para codificação HDB3 onde não há necessidade da inserção de violações pares.

Consideremos agora uma sequência onde haja necessidade da inserção de violações pares: 0000BB00000000....

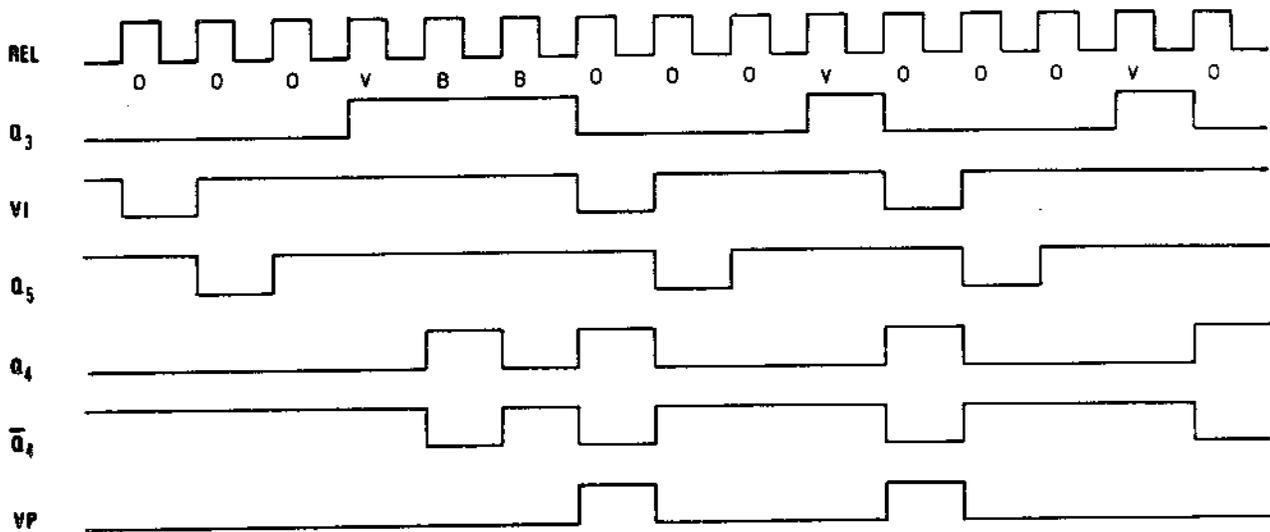


Fig.III.100 - Ondas para codificação HDB3 onde há necessidade da inserção de violações pares.

Neste exemplo, podemos verificar que há necessidade de duas violações pares cujas posições foram detetadas pelo gate NOR.

Desta forma, conseguimos determinar quando e onde precisam ser inseridas violações pares na sequência. Resta agora incluir estas violações à onda  $Q_3$  para obtermos uma onda que contenha todos os pulsos possíveis da saída bipolar. Para isto, somamos a onda  $Q_3$  e a onda VP por meio de um gate OR, obtendo a onda BIP. Para separarmos os pulsos positivos dos negativos da sequên

cia binária, agora codificada em HDB3, não podemos continuar invertendo os pulsos como no caso AMI. Precisamos gerar outra onda que controlará a polaridade correta de saída dos pulsos ternários. Obtemos esta onda somando  $\bar{Q}_5$  com BIP, como mostra a Fig. III.101.

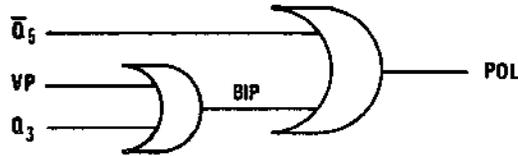


Fig. III.101 - Circuito para controle da polaridade do sinal HDB3.

Ao somarmos a onda BIP com  $\bar{Q}_5$ , que indica as violações ímpares, obtemos a onda POL que faz com que um FFJK a seguir memoriza o mesmo estado para correspondentes violações par e ímpar.

Para obtermos os pulsos de saída POS e NEG de codificação HDB3, utilizamos o circuito mostrado na Fig. III.102 abaixo:

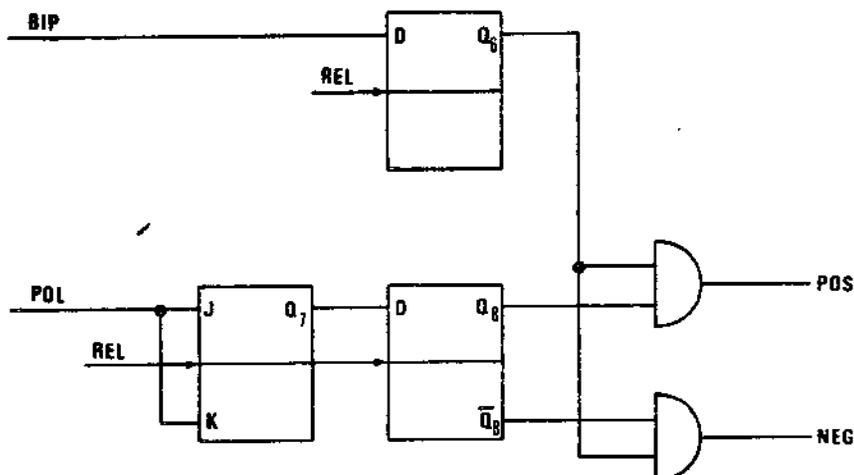


Fig. III.102 - Saídas binárias POS e NEG

O FFD6 realiza um ressincronismo da onda BIP que indica todos os possíveis pulsos da sequência ternária. O conjunto FFJK 7 e FFD8 é idêntico ao codificador AMI, fornecendo a alternância da polaridade correta dos pulsos de saída.

Pode-se agora verificar que o conjunto FFD6, FFJK 7 e FFD8 também pode ser utilizado para a codificação AMI, bastando para isto que as respectivas entradas dos FFD6 e FFJK 7 sejam a sequência binária de entrada (Vide Fig. III.94). Isto simplifica o controle do circuito para a seleção do código de saída, conforme selecionado no PF.

### III.12.4 - Controle AMI/HDB3 e RZ/NRZ

Para realizarmos o controle AMI/HDB3, utilizamos então a entrada seletora AMI no circuito detetor das violações ímpares, dado na Fig. III.95. Verifique que ao selecionarmos AMI (isto implica que esta posição está em nível baixo), a saída do gate AND inibirá o comparador, fazendo com que a sua saída VI vá para nível alto. Desta forma, não são inseridas violações ímpares (e, consequentemente, violações pares) na sequência binária. Com isto, o sinal binário da entrada tem passagem livre pelo shift register, de tal forma que as ondas BIP e POL sejam exatamente a sequência binária original. Daí para diante o circuito se comporta como o codificador AMI da Fig. III.94.

Para a implementação da alternativa RZ/NRZ, basta somarmos ou não a onda de relógio na sequência de pulsos POS e NEG, como mostra a Fig. III.102, a seguir.

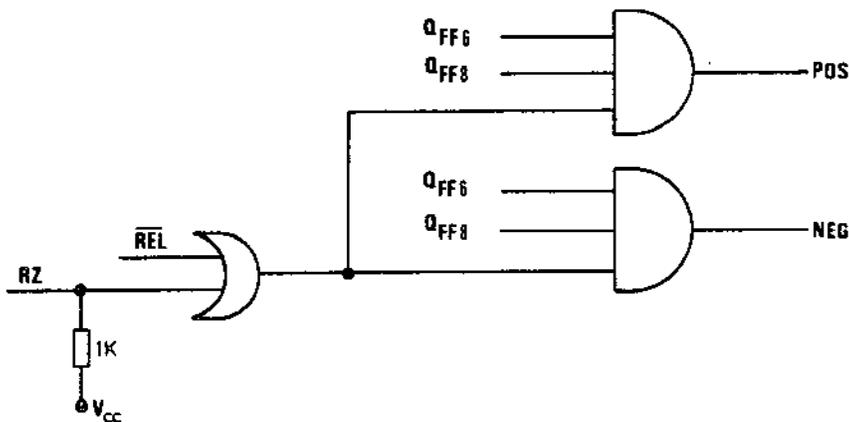


Fig. III.103 - Controle RZ/NRZ

Quando quisermos a saída bipolar em que os pulsos tenham 100% de duty cycle (NRZ), selecionamos NRZ e portanto teremos nível alto na posição RZ, fazendo com que a saída do gate OR esteja sempre alta, de tal forma que os pulsos na saída continuem com duty cycle 100%. Ao selecionarmos RZ, esta posição vai para nível baixo, permitindo que a onda de relógio seja somada às ondas POS e NEG, obtendo-se pulsos na saída com 50% de duty cycle.

### III.12.5 - Transformador de Saída

Um transformador de saída, que fornece os pulsos em formato bipolar para a linha, é interligado aos pontos POS e NEG do codificador AMI/HDB3.

O transformador foi polarizado de tal forma que o sinal de saída obedeça as especificações de nível de tensão e duty

cycle para uma carga de  $75\Omega$ . Para a sua construção física, utilizamos 3 enrolamentos de 11 voltas como mostra o seguinte esquema:

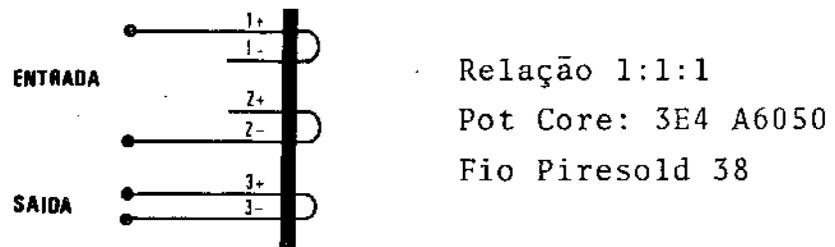


Fig. III.104 - Enrolamento do Transformador

O circuito de saída implementado tem a configuração da Fig. III.105.

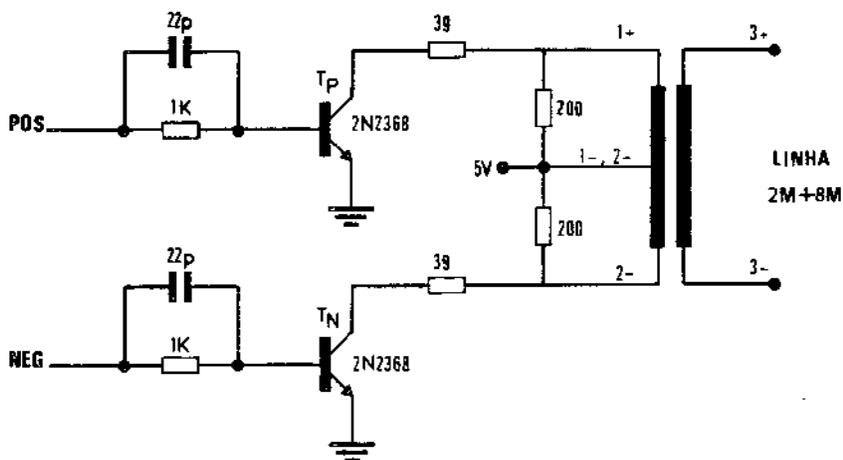


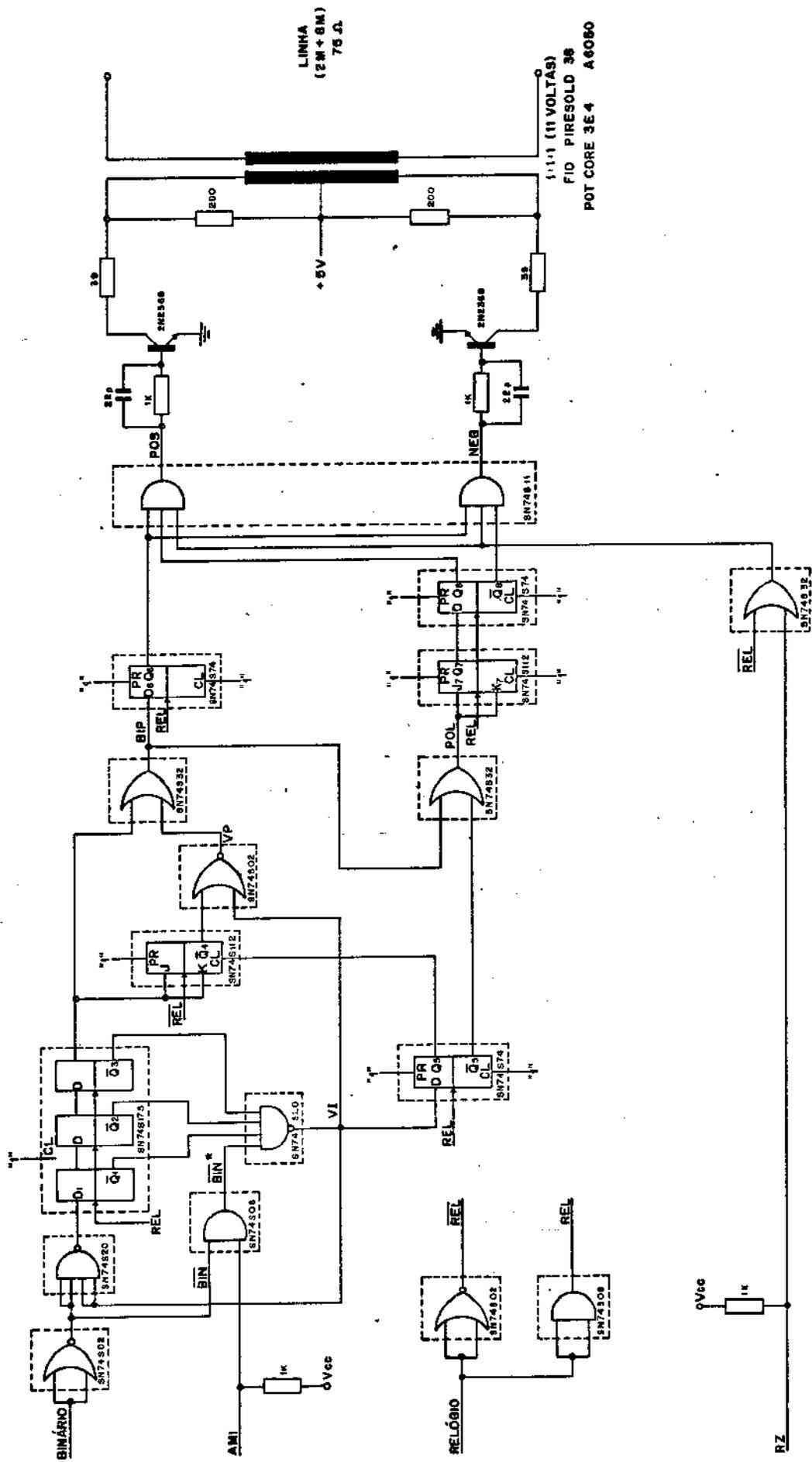
Fig. III.105 - Circuito transformador de saída

Os transistores funcionam em corte-saturação. Quando na saída do codificador houver um pulso positivo POS, o transistor  $T_p$  é levado à saturação (o capacitor na base auxilia a rapidez da transição). Com isto surge uma diferença de potencial no enrolamento 1+1- durante o pulso e, pelo efeito de transformador, o pulso é obtido na saída pelo enrolamento 3+3-. O circuito funciona identicamente para um pulso negativo NEG, devido a simetria do circuito. Mas neste caso, a polaridade induzida na saída estará invertida em relação a anterior.

O circuito acima não apresenta uma impedância de saída de  $75\Omega$ , nem no corte nem na saturação dos transistores, mas isto não é realmente necessário, pois o que realmente interessa é obter o pulso de saída dentro da "máscara" especificada.

Para o nível de tensão do pulso de saída, temos uma especificação de  $2,37 \pm .237$  Volts.

(CODIFICADOR AMI/HDB3) INTERFACE DE SAÍDA



## II.13 - INTERFACE DE ENTRADA

### III.13.1 - Introdução

A interface de entrada recebe o sinal bipolar da linha (que deverá estar em RZ) através de um transformador de entrada. Após a retificação do sinal, extraímos a onda de relógio na sua frequência fundamental. Esta onda de relógio, que denominamos RELOGIO CONVERTIDO, em conjunto com o sinal retificado são introduzidos num decodificador para obtermos o sinal binário correspondente, que chamamos de BINÁRIO CONVERTIDO.

Esta interface operará somente para as frequências básicas 2.048KHz e 8.448KHz. Assim sendo, implementamos dois extra<sup>tos</sup> de relógio, um para cada um dessas frequências, e um circuito de controle como mostra o esquema completo da interface, dado na Fig. III.106.

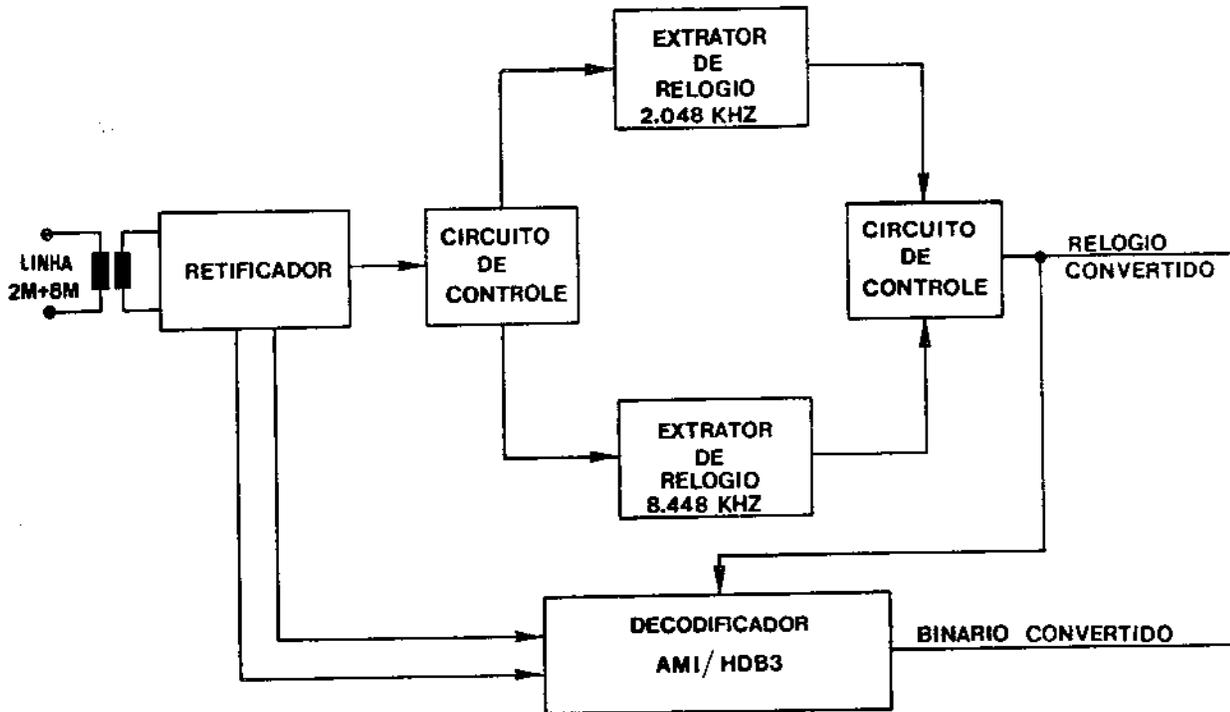


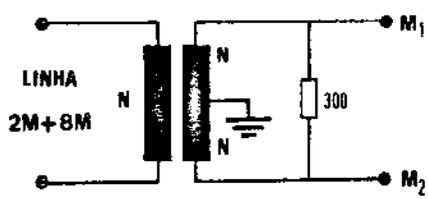
Fig. III.106 - Diagrama em blocos da Interface de Entrada

O funcionamento da interface de entrada é dada a seguir onde procuramos descrever separadamente cada bloco do esquema acima.

### III.13.2 - Transformador de Entrada

Para construção do transformador de entrada utilizamos o mesmo material do transformador da interface de saída.

A preocupação maior aqui é fazer o transformador operar com uma impedância de entrada de exatamente  $75\Omega$ . Para isto a configuração utilizada é dada na Fig. III.107 abaixo.



$N$  = número de volts em cada enrolamento ( $N=11$ )

Fig. III.107 - Transformador de Entrada

A impedância vista na entrada do transformador é dada por

$$Z_{ENT} = \frac{N}{2^2 N} \times 300 = 75\Omega$$

### III.13.3 - Circuito Retificador

O circuito retificador tem a função de "regenerar" os pulsos recebidos e, após a retificação dos mesmos, somá-los para ativar o circuito extrator de relógio, possibilitando obter a frequência fundamental do sinal de entrada.

O circuito é dado na Fig. III.108 abaixo.

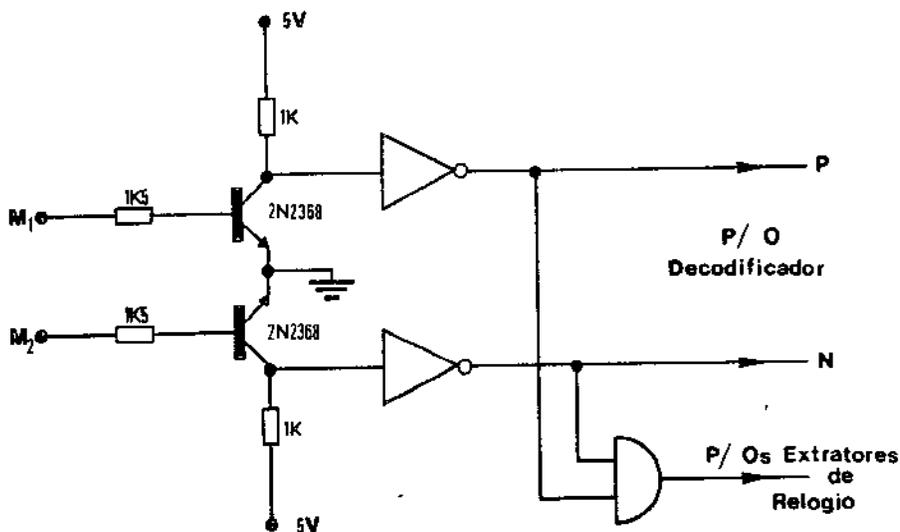


Fig. III.108 - Circuito Retificador

Devido ao efeito transformador, os pulsos  $M_1$  e  $M_2$  são positivos em relação ao terra. Desta forma, os transistores de entrada funcionam em corte-saturação. Quando houver um pulso em  $M_1$ , o transistor correspondente irá para a saturação. O inversor seguinte elimina a inversão dada pelo transistor. O mesmo ocorre para um pulso na posição  $M_2$ , devido à simetria do circuito.

Após a retificação e "regeneração", os pulsos são leva

dos ao decodificador para obtermos a sequência binária original. Como o decodificador necessita da onda de relógio correspondente, somamos as saídas dos inversores, de acordo com a figura anterior, obtendo-se uma sequência mais densa para ativar os circuitos extratores de relógio.

### III.13.4 - Extratores de Relógio

Para implementarmos o extrator de relógio, necessitamos inicialmente obter a frequência da sequência recebida para depois realizar um quadramento da onda.

Estruturalmente, os circuitos são idênticos para os extratores de 2.048KHz e 8.448KHz. Assim sendo, descreveremos a seguir, a configuração do circuito, fazendo observações quando das diferenças existentes entre os dois extratores.

Para extrairmos a frequência fundamental do sinal recebido, fazemos uso de um circuito tanque, como nos mostra a Fig. III.109.

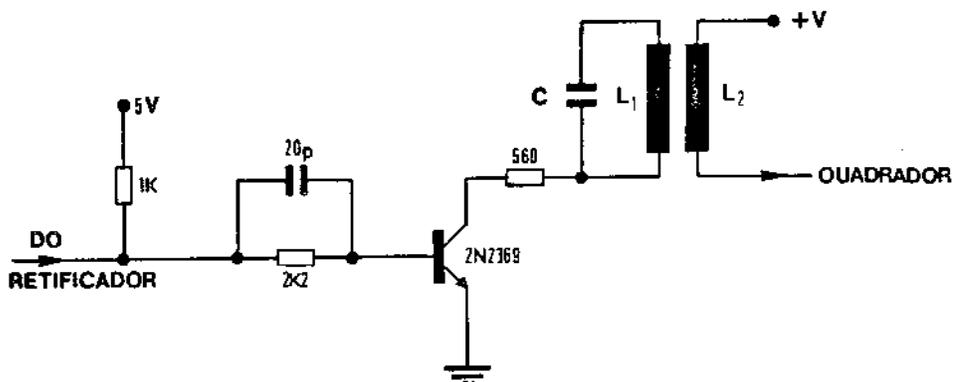


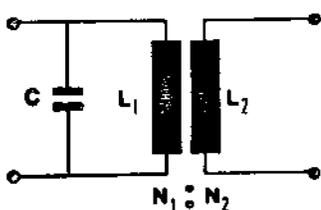
Fig.III.109 - Circuito tanque

A tensão +V de polarização do secundário é obtida do circuito quadrador.

O transistor opera como uma chave, enquanto que o circuito tanque se compõe de  $L_1$  e C. Um transformador com relação  $N_1:N_2$  é utilizado de tal forma que o fator de qualidade não seja muito afetado quando o circuito tanque é conectado ao circuito quadrador.

Daremos a seguir o projeto do circuito tanque para cada uma das frequências básicas.

a) 2.048KHz



Pot core  $K_1$  40

Fio LITZ 7X41

Fig.III.110 - Transformador para o circuito tanque

Utilizamos uma relação de  $N_1/N_2 = 12/6 = 2$  entre os enrolamentos do primário e secundário. Com esta relação, a impedância do circuito quadrador, refletida sobre o circuito tanque, é multiplicada por um fator 4.

O pot core tem um  $A_L = 40\text{nH}$ . Desta forma, a indutância do primário vale

$$L_1 = N_1^2 A_L = 5,76\mu\text{H}.$$

Esta indutância foi medida num Q-meter fornecendo o valor de  $6\mu\text{H}$  e um fator de qualidade  $Q = 150$ . Para este indutor ressoar em  $2.048\text{KHz}$ , um capacitor de  $1040\text{pF}$  é necessário. Como por meio do ajuste de núcleo do transformador conseguimos uma variação de  $\pm 3\%$  no valor da indutância, um capacitor de  $1000\text{pF}$  (valor comercial) pode ser utilizado.

b)  $8.448\text{KHz}$

O transformador utilizado para esta frequência é idêntico ao anterior. A relação de espiras foi mantida a mesma, mas foi tomada uma indutância menor para o tanque, tentando manter o compromisso entre a relação  $L_1/C$  e o fator de qualidade do circuito.

Utilizamos  $N_1 = 8$  e  $N_2 = 4$  espiras.

Desta forma, a indutância do primário vale

$$L_1 = N_1^2 A_L = 2,54\mu\text{H}.$$

Medindo-se esta indutância no Q-meter, obtivemos  $2,8\text{H}$  e um fator de qualidade  $Q = 130$ . O capacitor necessário para ressoar na frequência de  $8.448\text{MHz}$ , com este indutor, é de  $125\text{pF}$ . Levando-se em conta a variação de  $L_1$ , por meio do ajuste de núcleo, utilizamos um capacitor de  $120\text{pF}$  (valor comercial).

Passaremos a descrever agora o circuito quadrador que tem a função de quadrar a onda senoidal no circuito tanque. O circuito implementado é apresentado na Fig. III.111.

O valor de  $R$  depende da frequência de operação. O Transistor  $T_1$  funciona na configuração seguidor de emissor, fornecendo uma alta impedância de entrada ( $Z_{ENT} \approx \beta R_E \approx 10^5\Omega$ ).

O sinal oscilante da saída do secundário do transformador, acoplado à base de  $T_1$ , excursionará sobre a tensão  $+V$  que polariza o outro terminal.

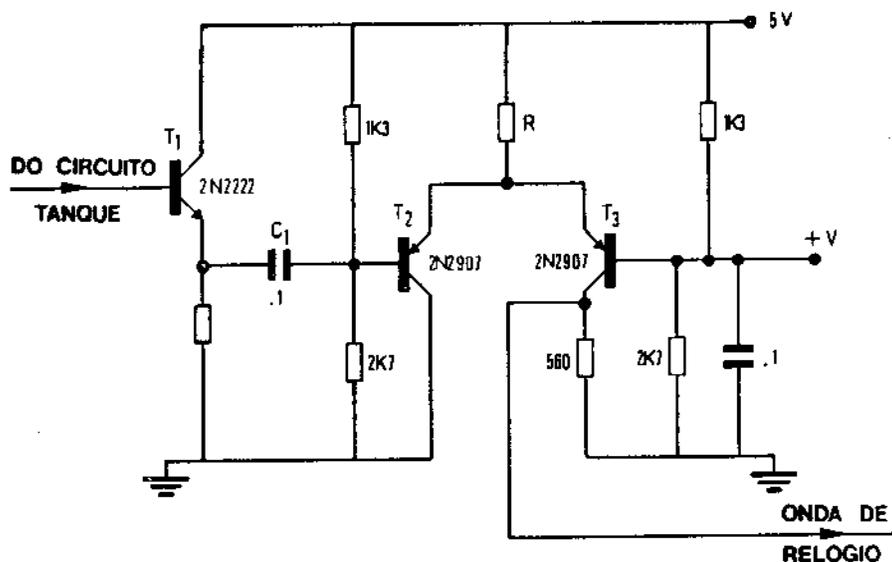


Fig.III.111 - Circuito Quadrador

Esta tensão +V, obtida do divisor resistivo na base de  $T_3$ ; vale 3,4 Volts.

O capacitor  $C_1$  acopla o seguidor de emissor ao estágio diferencial. Este estágio tem entrada e saída não balanceadas. Esta configuração permite obtermos boa estabilidade térmica, faixa larga e consegue um bom isolamento da saída com o sinal de entrada.

O resistor R funciona como fonte de corrente do estágio diferencial. O valor de R para o quadrador em 2MHz é de  $120\Omega$ , enquanto que para 8MHz é de  $220\Omega$ .

A onda de relógio é obtida sobre o resistor de 560 no coletor  $T_3$ . Esta onda já apresenta uma forma regular (quadrada) e com níveis TTL.

Após o circuito de controle, a onda de relógio é levada ao decodificador. Esta onda, RELÓGIO CONVERTIDO, deve ter variação de estado no meio dos pulsos do retificador que entram no circuito decodificador. Isto é necessário para eliminar os problemas ocasionados quando do acúmulo de jitter na onda de relógio recuperado, quando ocorrer uma baixa densidade de pulsos na sequência recebida. Se a onda de relógio subiu no meio dos pulsos, como mostra a Fig. III.112, a entrada do circuito decodificador poderá copiar normalmente as saídas do circuito retificador.

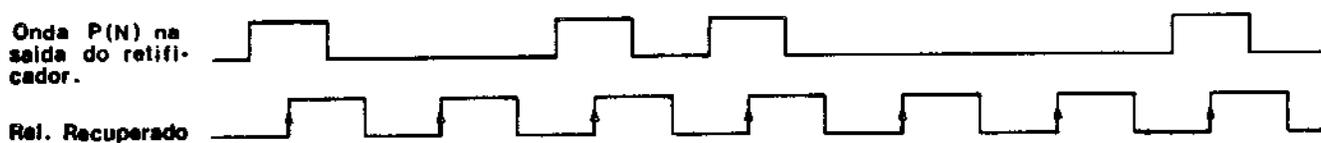


Fig.III.112 - Posicionamento para a onda de Relógio

Para este ajuste utilizamos gates de "atraso". Estes são adicionados entre a saída do quadrador e a entrada do circuito decodificador. No extrator para 8MHz não houve necessidade deste atraso. No entanto, para o circuito de 2MHz precisamos atrasar a onda de relógio de 60nseg. Este atraso foi implementado por meio de 6 gates do tipo LS (cada inversor fornece um atraso típico de 10nseg.).

### III.13.5 - Circuito de Controle

Este circuito controla a entrada e a saída de cada um dos extratores de relógio. Isto é necessário pelo fato de que se o sinal recebido está em 2.048KHz, o sinal retificado deve ser encaminhado ao extrator de relógio de 2.048KHz e a saída deste ao decodificador, enquanto que o extrator de relógio de 8.448KHz é inibido. O mesmo ocorre se a frequência de sinal de entrada está em 8.448KHz.

Para realizar este controle utilizamos mais uma vez o sinal discriminador implementado no circuito Gerador de Jitter. Por meio desse sinal, denominado DISC, temos

DISC = L se  $f = 2.048\text{KHz}$

DISC = H se  $f = 8.448\text{KHz}$

O esquema abaixo mostra a implementação realizada para o circuito de controle.

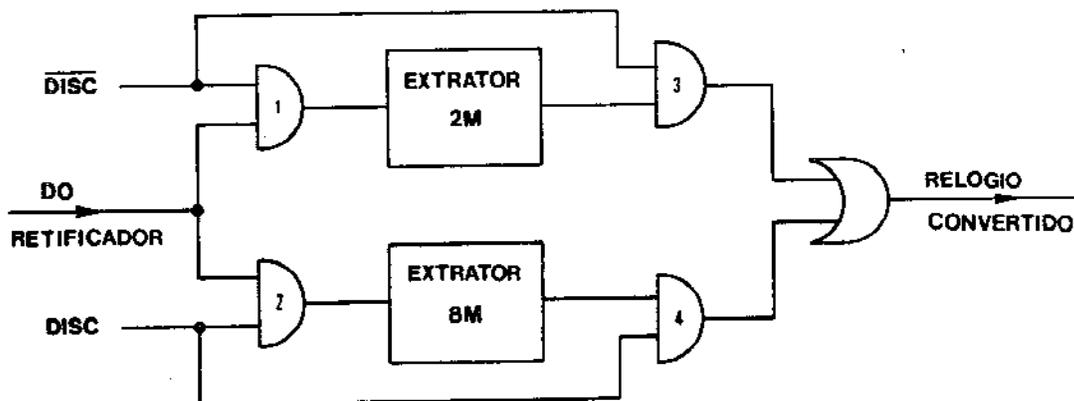


Fig.III.112 - Circuito de controle

Quando o sinal de entrada está em 2.048KHz, os gates 2 e 4 são inibidos, permitindo que o RELOGIO CONVERTIDO esteja na frequência de 2.048KHz.

Quando o sinal de entrada está em 8.448KHz, são os gates 1 e 3 a serem inibidos, fazendo com que o RC seja a saída do extrator em 8M.

A saída RELÓGIO CONVERTIDO, além de ativar o circuito decodificador, é levada para o exterior do equipamento por meio do conector BNC. Para isto realizamos ainda uma inversão da onda RC antes de levá-la ao circuito ENTRADA/SAÍDA, onde sofrerá nova inversão pelo gate Buffer antes do conector BNC (Vide circuito ENTRADA/SAÍDA).

### III.3.6 - Decodificador AMI/HDB3

O decodificador implementado é bastante simples. É baseado no circuito utilizado no sistema MCP de 8Mbits/s.

Para realizar o ressinchronismo das ondas P e N (saídas do retificador) com a onda de relógio RC, dois FFD são empregados. O nosso intuito é, a partir dessas duas ondas, obter uma onda idêntica à saída do comparador onde detetávamos as violações ímpares, conforme a Fig. III.95 do circuito codificador HDB3. O circuito que realiza esta função é apresentado na Fig. III.114.

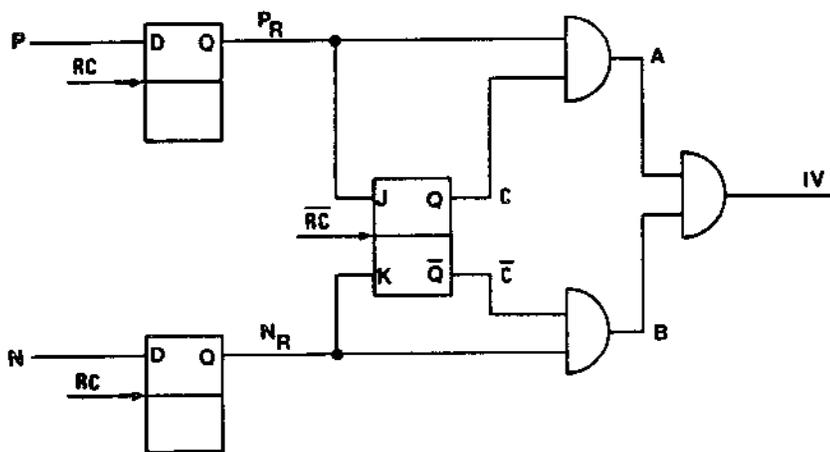


Fig. III.114 - Circuito Extrator das violações ímpares

No ponto A obtemos as violações inseridas na onda P. e quanto que em B obtemos as violações na onda N. Em IV temos todas as violações ímpares possíveis contidas no sinal ternário recebido.

Para entendimento do circuito acima, propomos um exemplo ilustrativo. Suponhamos inicialmente que o sinal ternário é um padrão originariamente denso onde não existem mais do que três zeros. Desta forma, não houve necessidade da inserção de violações na sequência. Se assim é, não existem pulsos consecutivos de

mesma polaridade e isto faz com que o FFJK mude de estado a cada pulso recebido, conforme a Tabela XIII do FFJK para as únicas ocorrências possíveis no circuito:

J	K	RC	Q	$\bar{Q}$
H	L	↓	H	L
L	H	↓	L	H
L	L	↓	$Q_0$	$\bar{Q}_0$

Tabela XIII

As formas de onda seguintes exemplificam o problema.

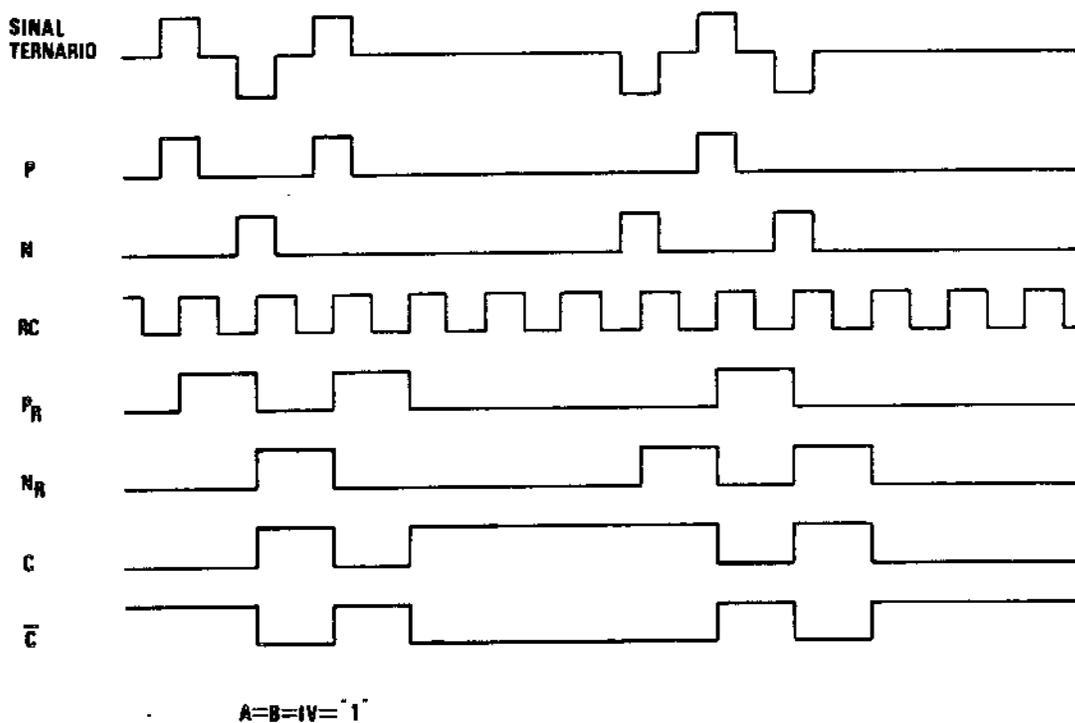


Fig.III.115 - Formas de onda no circuito extrator das VI para o caso em que não há violações na sequência.

Como era de se esperar, a onda IV obtida está sempre alta, indicando que não houve violação na sequência recebida.

Vejamos agora o que ocorre se a sequência contém uma violação ímpar. Primeiramente, verifique-se que, se isto ocorrer, teremos dois pulsos consecutivos de mesma polaridade. O FFJK não mudará de estado durante a violação, sendo então possível determiná-la como mostra o seguinte exemplo:

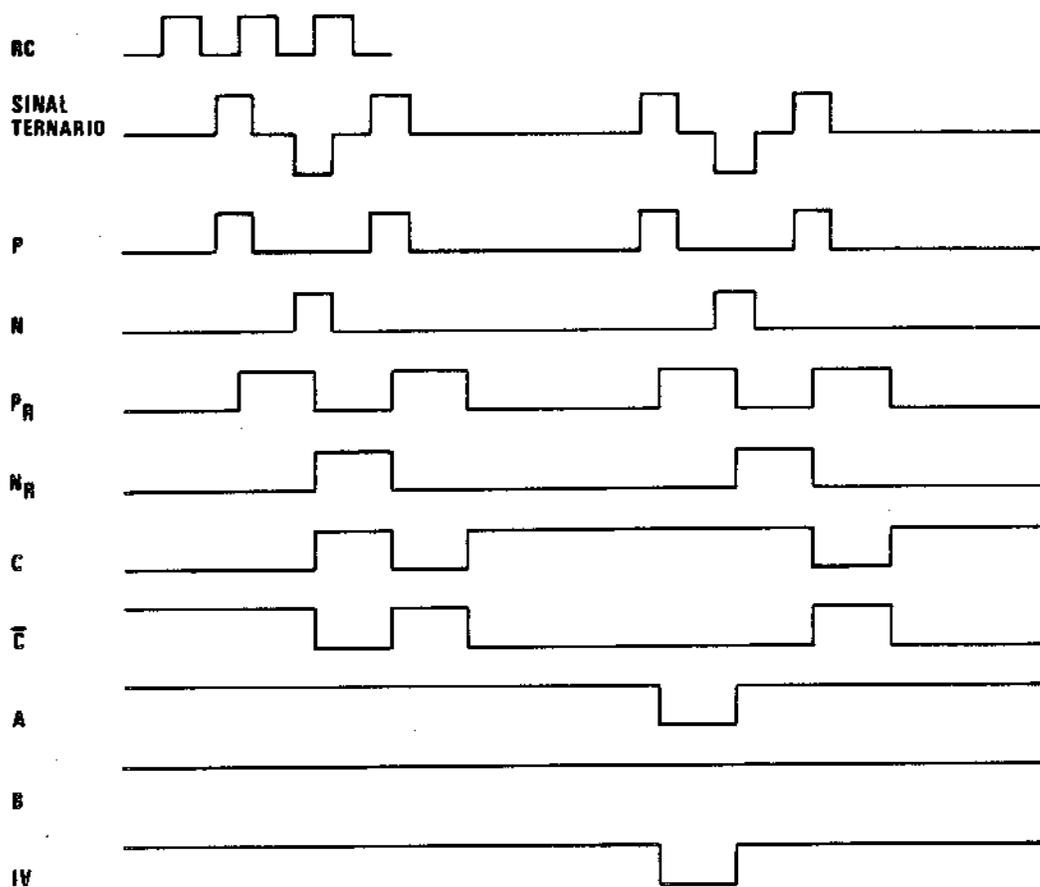


Fig. III.116 - Formas de onda no circuito extrator das VI para o caso em que há uma violação ímpar.

Verifique-se agora que a onda IV indica exatamente o local da ocorrência da violação ímpar, pelo simples fato do FFJK permanecer no mesmo estado anterior, devido à sequência de pulsos com mesma polaridade.

Desta forma, conseguimos detectar facilmente as violações ímpares inseridas na sequência recebida.

Para a detecção das violações pares, fica fácil a implementação do circuito se o seguinte fato for verificado: se ocorrer uma violação par, esta deverá estar posicionada 3 bits antes da violação ímpar, como mostra o exemplo abaixo:

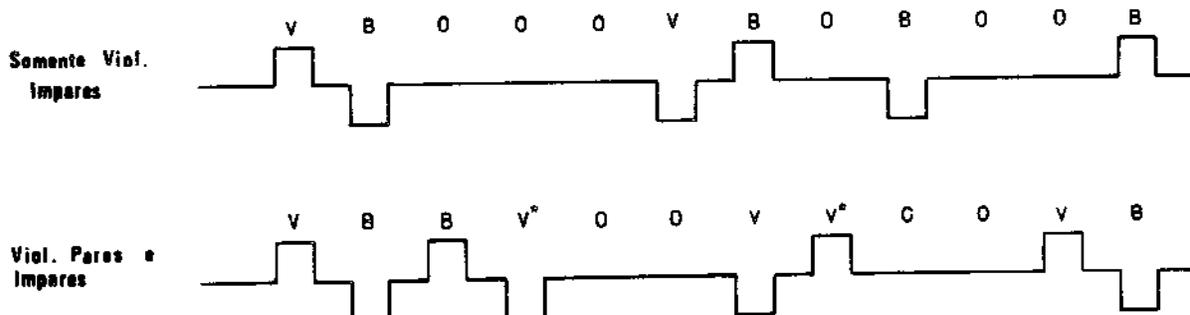


Fig. III.117 - Posição da Violação Par em relação à ímpar

Por outro lado, verifique-se que, se somente houve violações ímpares, no terceiro bit anterior não pode haver senão um bit zero. Assim sendo, pode-se projetar o circuito restante de tal forma que, desde que uma violação ímpar seja detetada, as pares sejam eliminadas, mesmo que não existam. Para isto, utilizamos um shift-register que permite zerar o terceiro bit anterior à violação ímpar, como mostra a Fig. III.118:

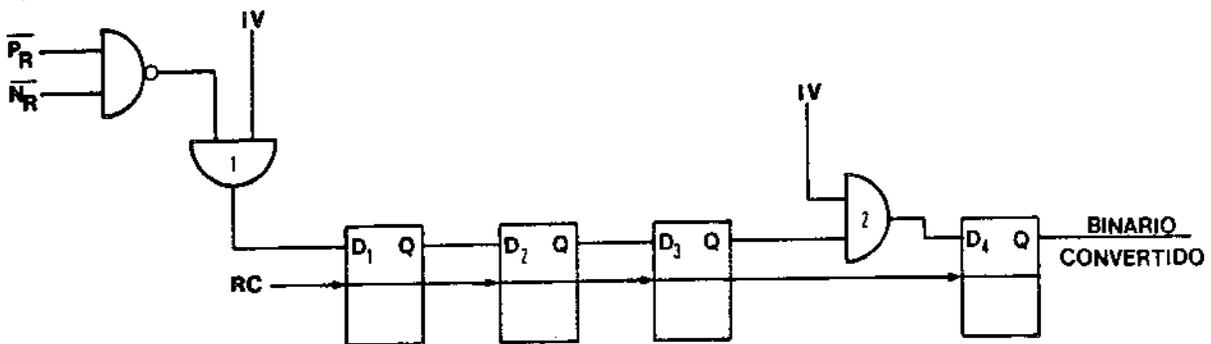


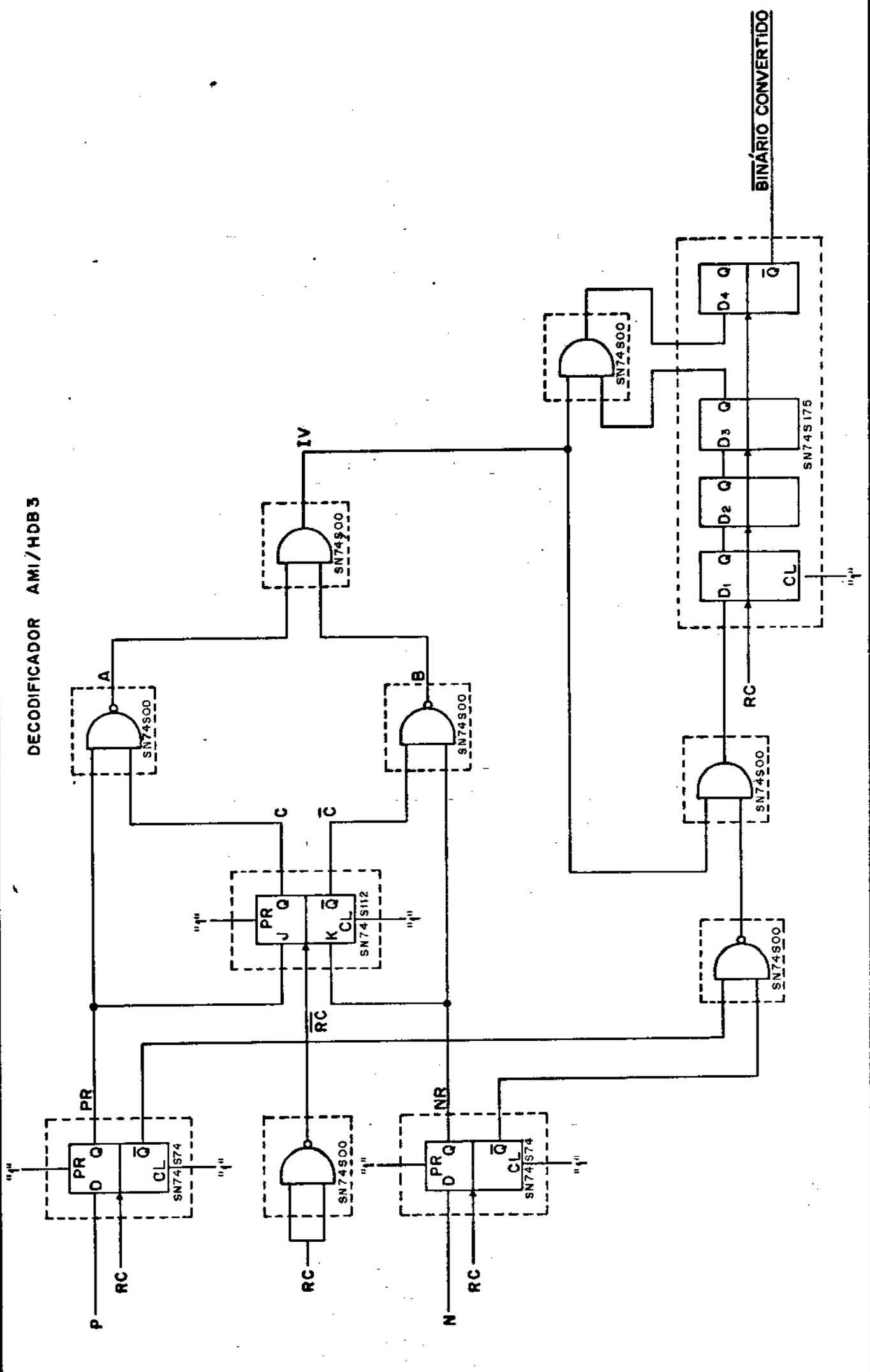
Fig. III.118 - Circuito para eliminação das Violações pares e ímpares

Por meio do gate Nand somamos os sinais  $P_R$  e  $N_R$  retificados, obtendo-se uma sequência idêntica à onda BIP do circuito codificador (Vide Fig. III.101). Ao somarmos a saída do Nand com a onda IV, eliminamos as violações ímpares da sequência. Com os três estágios seguintes os shift-register, atrasamos em 3 bits a sequência e ao somá-la novamente com a onda IV, zeramos este bit, que poderá ou não conter violação par. Com o último estágio do shift-register, realizamos um ressincronismo da onda binária de codificada com o relógio recuperado.

Com esta configuração, é possível decodificarmos tanto sinais AMI como HDB3. Como para os sinais AMI não existem pulsos consecutivos de mesma polaridade, o circuito funciona simplesmente como um somador das ondas P e N, que é realizada pelo gate Nand, como mostra a figura acima. A saída BINÁRIO CONVERTIDO é levada ao circuito ENTRADA/SAÍDA onde, após o circuito protetor, pode ser tomada externamente por meio do conector BNC. Para eliminar a inversão da onda pelo circuito Buffer, utilizamos então a saída BINÁRIO CONVERTIDO invertida, que é dada por  $\bar{Q}$  do quarto FFD do shift-register.



DECODIFICADOR AMI/HDB3



## III.14 - FONTE DE ALIMENTAÇÃO

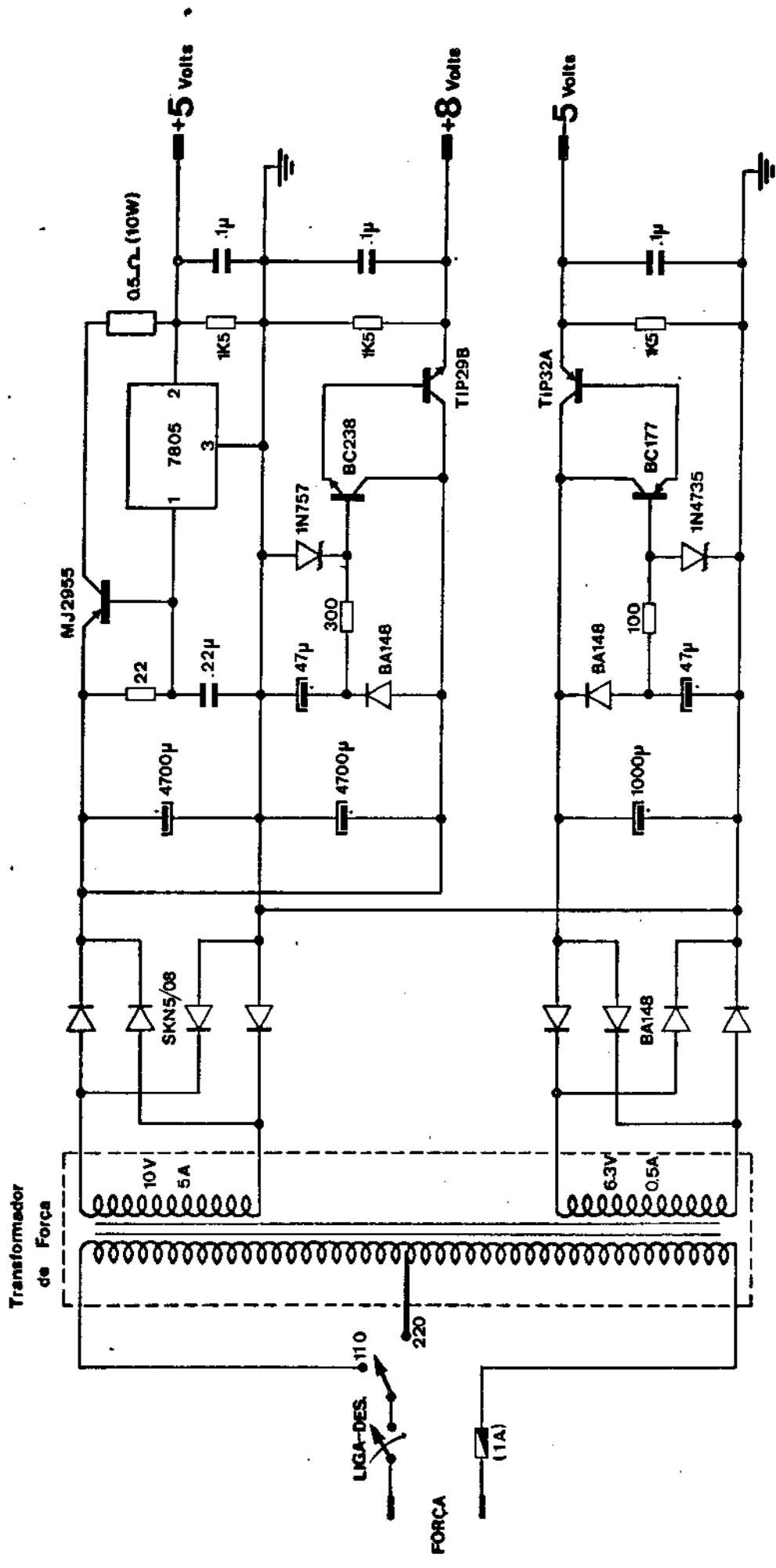
Foram implementadas três fontes reguláveis de tensão : uma de +5 Volts para alta capacidade de corrente de saída e outras duas, de +8 e -5 Volts, para baixa corrente de saída.

A fonte de +5 Volts, que alimentará todos os circuitos digitais, foi implementada a partir de um regulador de tensão integrado (7805 da Fairchild). Como o regulador opera para uma corrente de saída máxima de 1,0A, utilizou-se ainda um transistor de potência ao qual cabe fornecer a corrente necessária para alimentação dos circuitos (em torno de 3,5A).

As fontes de +8 e -5 Volts que alimentam parte dos circuitos Gerador e Medidor de Jitter, foram implementadas utilizando diodos zener como reguladores de tensão.

O transformador de força foi construído especialmente para esta fonte. A tensão AC de entrada pode ser selecionada 110/220 Volts. No secundário temos dois enrolamentos, sendo um de maior porte (10V/5A) e outro de menor porte (6,3V/0,5A).

O esquema do circuito implementado para as fontes é fornecido a seguir, e maiores comentários são dispensados.



FONTE DE ALIMENTAÇÃO

CAPÍTULO IV

RESULTADOS PRÁCTICOS

## IV.1 - INTRODUÇÃO

Neste capítulo apresentamos os resultados práticos obtidos na implementação final do equipamento, no que concerne à característica de alguns circuitos e desempenho de outros. Para completar, fornecemos uma grande quantidade de fotos, onde mostramos as formas de onda em vários pontos dos circuitos. Muitos destes resultados ajuda-nos a comprovar o projeto proposto e, por outro lado, permite-nos utilizar adequadamente o equipamento.

A enumeração dos resultados segue uma ordem de apresentação idêntica à do capítulo anterior.

## IV.2 - RESULTADOS PRÁTICOS

Os primeiros resultados são do circuito de RELÓGIOS. Um item bastante importante, que está diretamente ligado a este circuito, é o que estabelece a frequência nominal dos relógios implementados. À temperatura ambiente de 25°C, obtivemos:

RELÓGIO	FREQUÊNCIA A 25°C
2M	2.048.020 Hz
8M	8.448.049 Hz

Tabela IV.1

A variação desses valores com a temperatura se mostrou pouco sensível e por isso deixamos de anotá-la aqui.

A Fig. IV.1 mostra as formas de onda obtidas na saída do circuito oscilador de 4,096MHz e a correspondente onda de relógio em 2,048MHz. Na Fig. IV.2, temos as formas de onda na saída do circuito oscilador de 16,896MHz e a onda de relógio em 8,448MHz na saída do flip-flop divisor por 2.

Para o circuito seguinte, o GERADOR DE PALAVRAS A & B, fornecemos formas de onda em vários pontos, como mostram as três figuras seguintes. Na Fig. IV.3 apresentamos o relógio de linha (RL), a saída do circuito iniciador e a primeira e última saídas do shift-register de 16 estágios do sequenciador. Na figura seguinte, Fig. IV.4, são apresentadas as palavras A e B de saída do circuito em relação ao RL e a saída do primeiro estágio do shift-

register. As palavras A e B selecionadas no PF para exemplo são da das a seguir:

A : 1000011011110000

B : 0111001010100111

Na Fig. IV.5 são fornecidas as formas de onda de sincronismo geradas neste circuito e que servem de controle para o circuito ALTERNADOR.

Por meio de uma verificação prática, constatou-se que este circuito pode operar perfeitamente até uma frequência externa de 41MHz, o que permite utilizar os padrões A e B gerados para teste dos sistemas MCP até 3<sup>a</sup> ordem, como era o intuito inicial.

Para o circuito ALTERNADOR apresentamos a seguir uma tabela completa da frequência de comutação entre os possíveis padrões alternativos em função da frequência de relógio. Para as alternativas dependentes do valor "n", a frequência da comutação também é dada em função de "n".

FREQ. RELÓGIO (KHz)	2.048	8.448	34.368
PADRÃO ALTERNATIVO	FREQ. COMUTAÇÃO (KHz)	FREQ. COMUTAÇÃO (KHz)	FREQ. COMUTAÇÃO (KHz)
A	128	528	2.148
B	128	528	2.148
AnB	$\frac{128}{(n+1)}$	$\frac{528}{(n+1)}$	$\frac{2.148}{(n+1)}$
(n+1)A(n+1)B	$\frac{128}{2(n+1)}$	$\frac{528}{2(n+1)}$	$\frac{2.148}{2(n+1)}$
10An10B	$\frac{128}{10(n+1)}$	$\frac{528}{10(n+1)}$	$\frac{2.148}{10(n+1)}$
10 <sup>2</sup> An10 <sup>2</sup> B	$\frac{128}{10^2(n+1)}$	$\frac{528}{10^2(n+1)}$	$\frac{2.148}{10^2(n+1)}$
10 <sup>3</sup> An10 <sup>3</sup> B	$\frac{128}{10^3(n+1)}$	$\frac{528}{10^3(n+1)}$	$\frac{2.148}{10^3(n+1)}$

Tabela IV.2

Essa frequência de comutação é a frequência com que o padrão alternativo se repete numa unidade de tempo. Por exemplo, se selecionamos 10An10B com n=9, teremos o padrão 10A90B se repetindo (comutando) 1280 vezes por segundo. Evidentemente, haverá uma mesma frequência de comutação entre os 10A e os 90B do padrão alternativo selecionado.

Para este circuito, fornecemos as figuras de número 6 a 9 que nos mostram as formas de onda em alguns pontos do circuito ALTERNADOR. Em todas as figuras apresentamos a onda SINC(3) a partir da qual geramos as demais. Os padrões A e B são os gerados no circuito GERADOR DE PALAVRAS A & B e são idênticos aos utilizados acima como exemplo. A máxima frequência de operação deste circuito é também de 41MHz, como a do gerador de palavra.

Os próximos resultados apresentados se referem ao circuito GERADOR PSEUDO-ALEATÓRIO. Alguns cálculos básicos foram realizados para caracterizar o gerador implementado.

Para o padrão pseudo-aleatório P.A. (15), temos uma sequência de comprimento:

$$(2^{15} - 1) \text{ bits} = 32.767 \text{ bits,}$$

enquanto que para o padrão P.A. (22) o comprimento da sequência atinge:

$$(2^{22} - 1) \text{ bits} = 4.194.303 \text{ bits.}$$

A frequência de repetição destes padrões, assim como o seu período, é apresentada a seguir como função das frequências nominais do sistema MCP.

PADRÃO	$2^{15} - 1$		$2^{22} - 1$	
	FREQUÊNCIA (KHz)	PERÍODO ( $10^{-3}$ seg)	FREQUÊNCIA DE REPETIÇÃO (Hz)	PERÍODO (seg)
2048	15,99	62,54	2,048	0,488
8448	3,87	258,40	0,495	2,020
34368	0,96	1041,67	0,122	8,196

Tabela IV.3

Outro ponto importante dentro da ocorrência da sequência pseudo-aleatória é a determinação do máximo número de níveis altos consecutivos e do máximo número de níveis baixos consecutivos . A tabela abaixo fornece estes valores para o respectivo padrão:

	$2^{15} - 1$	$2^{22} - 1$
Nº máximo de níveis altos consecutivos	15	22
Nº máximo de níveis baixos consecutivos	14	21

Tabela IV.4

A Fig. IV.10 ilustra a saída P.A. do circuito juntamente com o RL e a saída do 10º estágio do shift-register.

As saídas BNC do circuito ENTRADA/SAÍDA apresentam os seguintes níveis de tensão conforme a carga externa:

Carga Externa ( $\Omega$ )	Nível de Tensão (Volts)
50	1.9
75	2.3

Tabela IV.5

Estas saídas BNC são mostradas na Fig. IV.11 , enquanto que nas Figs. IV.12 e IV.13 apresentamos algumas delas em função das ondas no circuito propriamente dito.

Para o circuito DETETOR DE ERRO foi realizada uma comprovação do seu desempenho utilizando-se as próprias ondas de saída do equipamento. O teste se resume em introduzir as saídas BNC BINÁRIO e RELÓGIO DE LINHA nas entradas BNC BINÁRIO-ERRO e RELÓGIO-ERRO, respectivamente. O padrão selecionado deve ser o P.A. (15) + ESTÁTICO. Ao se selecionar o comprimento estático 13, consegue-se gerar um único bit alto da sequência pseudo-aleatória de saída. Desta

forma a sequência normal se diferencia desta por este bit agora mudado de valor. Assim, o detetor de erro deverá acusar um erro a cada período da sequência pseudo-aleatória. A velocidade de erro neste caso é de  $30 \times 10^{-6}$ , ou seja, 30 erros a cada  $10^6$  bits (cada sequência contém 32.767 bits, logo em  $10^6$  bits temos aproximadamente 30 sequências de mesmo período). O valor desta taxa de erro foi comprovado no teste. Podemos ainda estender a verificação e ao selecionarmos a posição CONTA, uma medida cumulativa dos erros num intervalo de tempo pode ser realizada. Para uma frequência de 2,048 MHz, devemos ter acumulados 625 erros durante 10 segundos.

A comprovação do perfeito funcionamento do circuito CONTROLE DO DISPLAY já pode ser verificada pelo teste descrito acima. Por meio dele pode-se verificar que as ondas de controle de leitura e armazenamento dos contadores e codificadores 7 segmentos/Driver estão dentro das previsões do projeto.

Os resultados apresentados a seguir são do circuito GERADOR DE JITTER. As figuras de número 14 a 17 mostram algumas formas de onda do circuito.

Por meio da saída BNC, à qual conectamos a saída do detetor de fase do PLL gerador de jitter correspondente à frequência selecionada (2M/8M), podemos verificar externamente a amplitude do jitter gerado no circuito. Esta saída BNC muitas vezes se faz necessária, pois a partir de amplitude de jitter superior a 1 dígito fica difícil a medida desta com o auxílio do osciloscópio, quando selecionamos o relógio de saída com jitter. No teste de aceitação, descrito no capítulo seguinte, esta saída será de muita utilidade prática.

O desempenho dos PLL's geradores de jitter foi obtido medindo-se a máxima amplitude possível de ser gerada como função da frequência de jitter. O sinal modulador senoidal externo deve apresentar uma amplitude média de 3,3 Vpp para obtermos estes valores máximos da amplitude do jitter gerado.

O gráfico dado na Fig. IV.27 mostra o desempenho obtido. Verifica-se que para o PLL gerador de jitter em 2M, pode-se obter uma amplitude de 16 dígitos até a frequência de 8KHz, decaindo posteriormente a 1.2 dígitos em 100KHz. Para o PLL gerador de jitter em 8M, no entanto, consegue-se obter a amplitude máxima de 16 dígitos até a frequência de 40KHz, decaindo a seguir para 3.5 dígitos em 100KHz. Para frequências abaixo de 1Hz, não mostradas no gráfi

co, o desempenho do gerador continua excelente, fornecendo uma amplitude de jitter até 16 dígitos.

Do circuito MEDIDOR DE JITTER vários pontos são mostrados nas figuras de número 18 a 20. Nelas podemos visualizar as mesmas formas de onda já descritas no capítulo anterior. Na Fig. IV.20 temos o relógio de referência ( $\overline{RE}$ ) e o relógio com jitter para medida, divididos por 2 e as correspondentes saídas do comparador e do integrador. Esta figura ilustra o caso em que não houve um ajuste de fase, fornecendo, conseqüentemente, na saída do integrador, rampas adjacentes com valores de pico diferentes.

Como foi bastante comentado na ocasião, o medidor de jitter foi projetado para medidas da amplitude do jitter de pico até 0,5 dígitos. Assim é que por meio do gráfico da Fig. IV.28 fornecemos a correspondência "Tensão DC  $\longleftrightarrow$  Amplitude do Jitter de Pico" realizada pelo circuito implementado. A Fig. IV.28(a) é válida para o caso em que a frequência de trabalho é 2048KHz (capacitor C do integrador é igual a 62pF), enquanto que a Fig. IV.28(b) foi obtida para a frequência de 8.448KHz (onde C=15pF).

Como era do intuito do projeto, obteve-se uma resposta bastante linear para o circuito, apesar de não se garantir essa linearidade para pequenas amplitudes do jitter a ser medido. No entanto, o desempenho geral do medidor pode ser considerado satisfatório, mesmo porque correspondeu plenamente em testes práticos já realizados.

As formas de onda para o circuito INTERFACE DE SAÍDA são apresentadas nas figuras de número 21 a 24. As duas primeiras se referem à codificação AMI, enquanto que as duas seguintes são para a codificação HDB3. Nas Figs. IV.23 e IV.24 fornecemos a saída BNC LINHA (2M+8M) para os casos em que temos a codificação HDB3/NRZ de um padrão alternativo e a codificação HDB3/RZ de um padrão pseudo-aleatório, respectivamente.

A saída ternária BNC LINHA (2M+8M) da INTERFACE DE SAÍDA está rigorosamente dentro das especificações da máscara estabelecida para o pulso do sinal de saída.

O nível de tensão do pulso de saída sobre uma carga de  $75\Omega$  é de 2,37 Volts (a especificação é de  $2,37 \pm 0,237$  Volts). A largura dos referidos pulsos tem também os valores nominais especificados. Estes valores, tomados na altura média do pulso de saída, são os seguintes:

FREQUÊNCIA	LARGURA DO PULSO (nseg)
2,048MHz	244
8,448MHz	59

AMI/HDB3  
(RZ)

Tabela IV.6

Para o circuito INTERFACE DE ENTRADA são fornecidas as figuras de número 25 e 26. Na primeira, apresentamos a entrada BNC LINHA (2M+8M) do circuito e as respectivas saídas BINÁRIO CONVERTIDO e RELÓGIO CONVERTIDO pelos conectores BNC. Na seguinte, temos as ondas de saída do retificador do circuito tanque e onda de relógio (saída do Quadrador) na frequência de 2,048MHz.

Uma medida de fator de qualidade dos circuitos tanque que compõem o extrator de relógio em 2M e 8M resultou nos seguintes dados:

FREQUÊNCIA	Q
2,048MHz	140
8,448MHz	90

Tabela IV.7

Finalizando, apresentamos as características principais das fontes de alimentação implementadas.

Tensão Nominal (Volts)	Corrente Fornecida	
	Operação em Baixa Freq.	Operação em Alta Freq.
+5,0	3,6 A	4,0 A
+7,8	55 mA	55 mA
-5,0	2 mA	2 mA

Tabela IV.8

Esses dados se referem às condições em que a frequência de operação dos circuitos do equipamento é baixa (2,048MHz), e no caso em que a sequência é alta (34,368MHz), respectivamente.

A regulação da fonte de +5 Volts é excelente. Verificou-se que a queda de tensão de saída da fonte é de apenas 100mV quando em plena carga (circuitos do equipamento).

### V.3 - MÁXIMA FREQUÊNCIA DE OPERAÇÃO DOS CIRCUITOS IMPLEMENTADOS

Com o auxílio de um relógio externo de frequência ajustável até 50MHz, verificamos até que frequência alguns dos circuitos implementados podem operar. A tabela abaixo mostra os resultados obtidos:

CIRCUITO	MÁX. FREQ. OPERAÇÃO (MHz)
GERADOR DE PALAVRAS A&B	41,0
ALTERNADOR	41,0
GERADOR P.A.	37,7
P.A./ESTÁTICO	37,7
CIRCUITO ENTRADA/SAÍDA	41,0
DETETOR DE ERRO	34,8
CONTROLE DE DISPLAY	34,8
INTERFACE DE SAÍDA*	41 p/ AMI; 35 p/ HDB3

\*Refere-se ao Codificador AMI/HDB3.

Os demais circuitos (INTERFACE DE ENTRADA, MEDIDOR E GERADOR DE JITTER) operam somente em 2,048 e 8,448MHz.

Fig. IV.1

2M  
(saída do FF:2)

saída do circuito  
Oscilador 4,096MHz

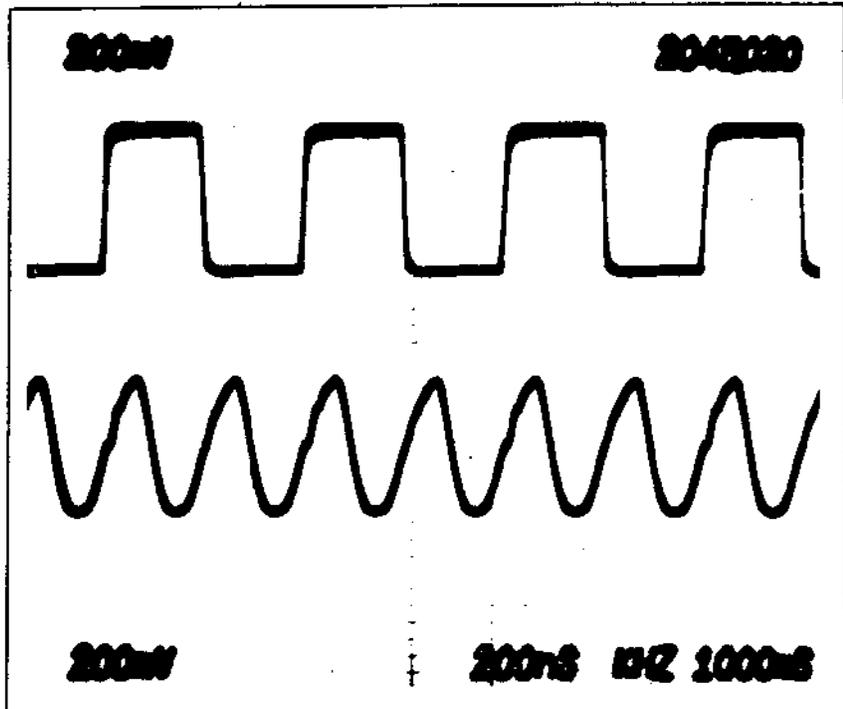


Fig. IV.2

8M  
(saída do FF:2)

saída do circuito  
Oscilador 16,896MHz

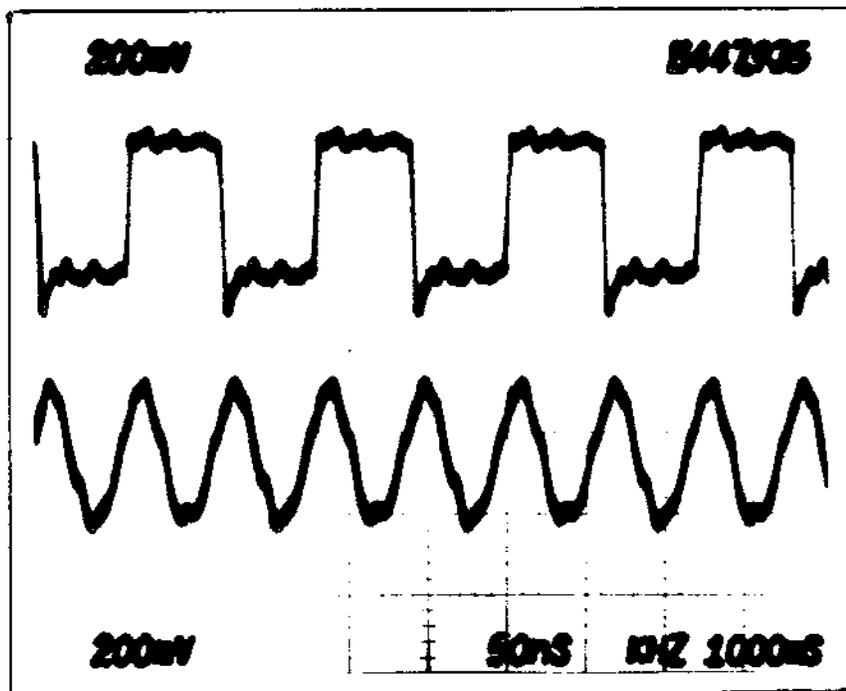


Fig. IV.3

saída do circuito  
iniciador

RL

A1

A16

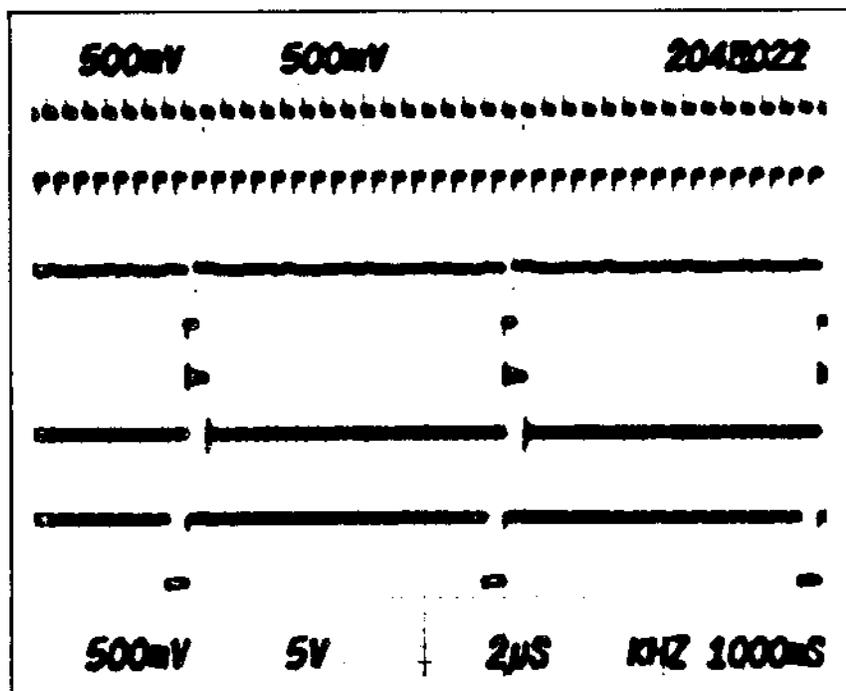


Fig. IV.4

Palavra A  
(1000011011110000)

Palavra B  
(0111001010100111)

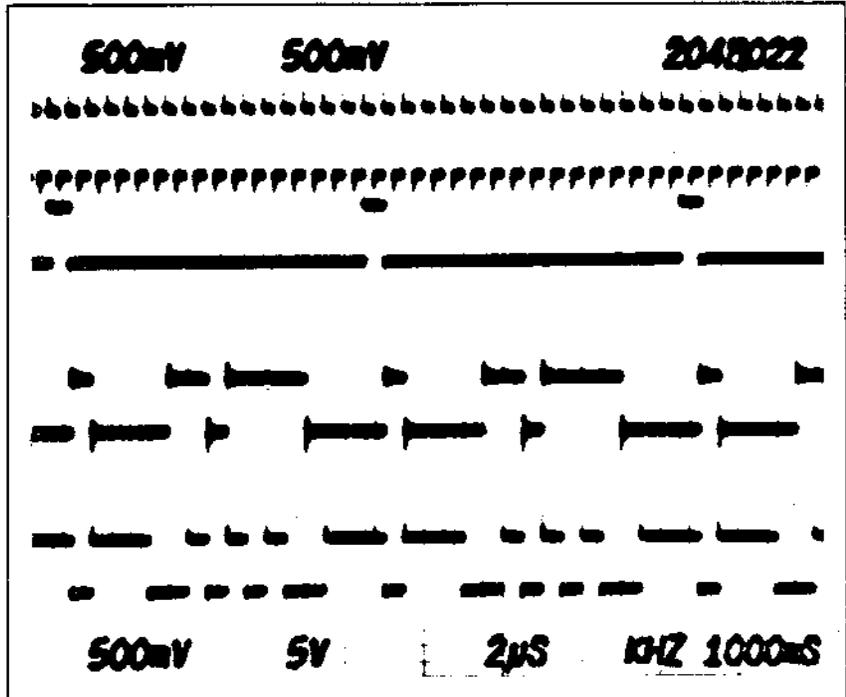


Fig. IV.5

SINC(1)

SINC(2)

SINC(3)

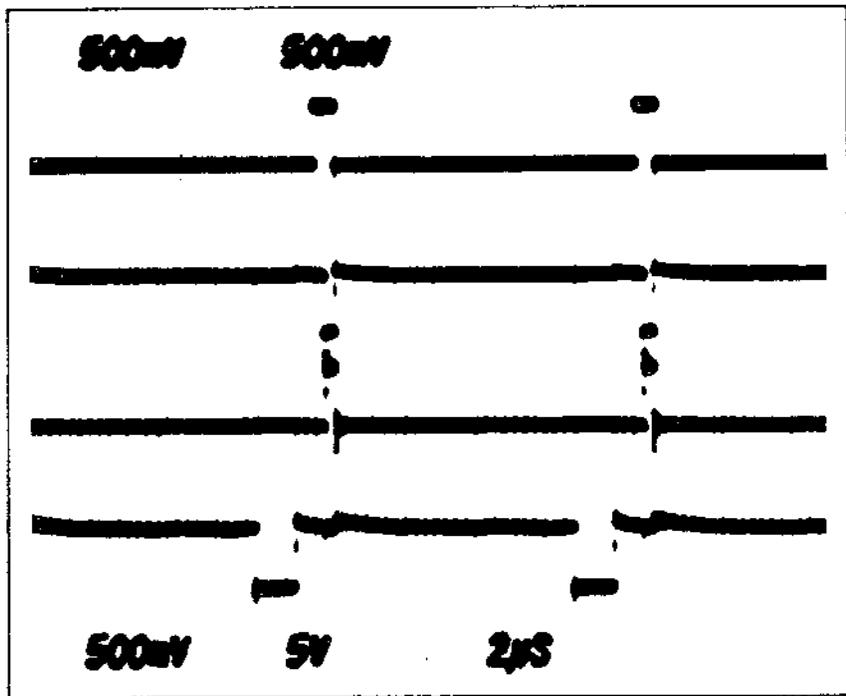


Fig. IV.6

SINC(3)

Palavra A

ALT/PALAVRA

TRIGGER

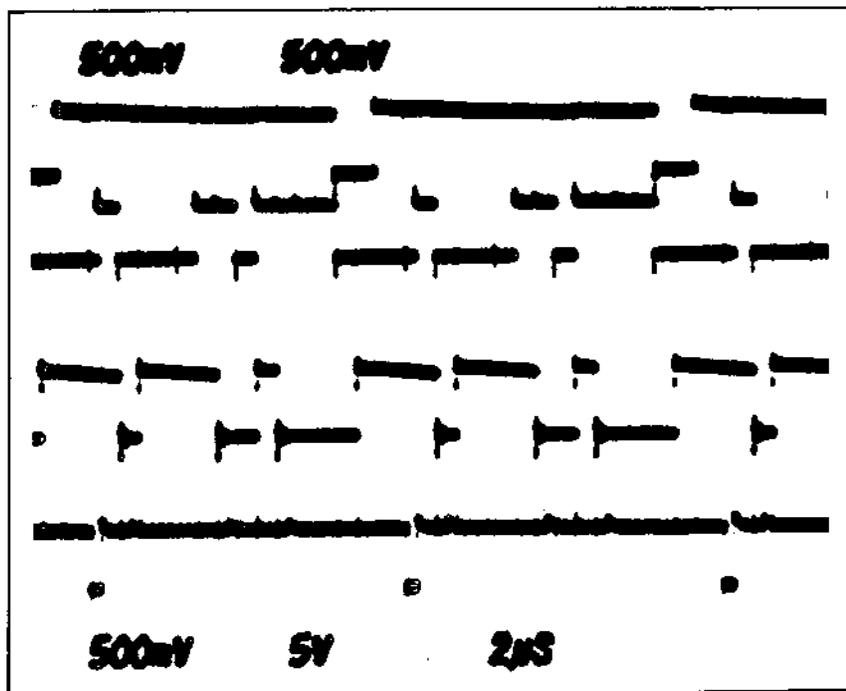


Fig. IV.7

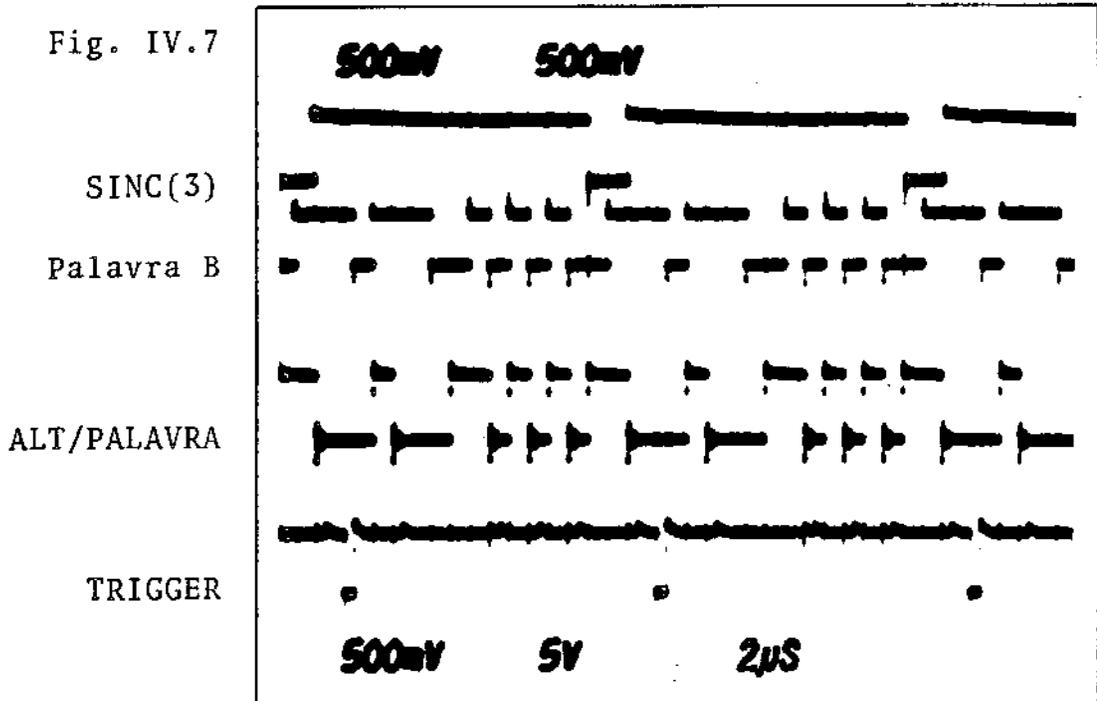


Fig. IV.8

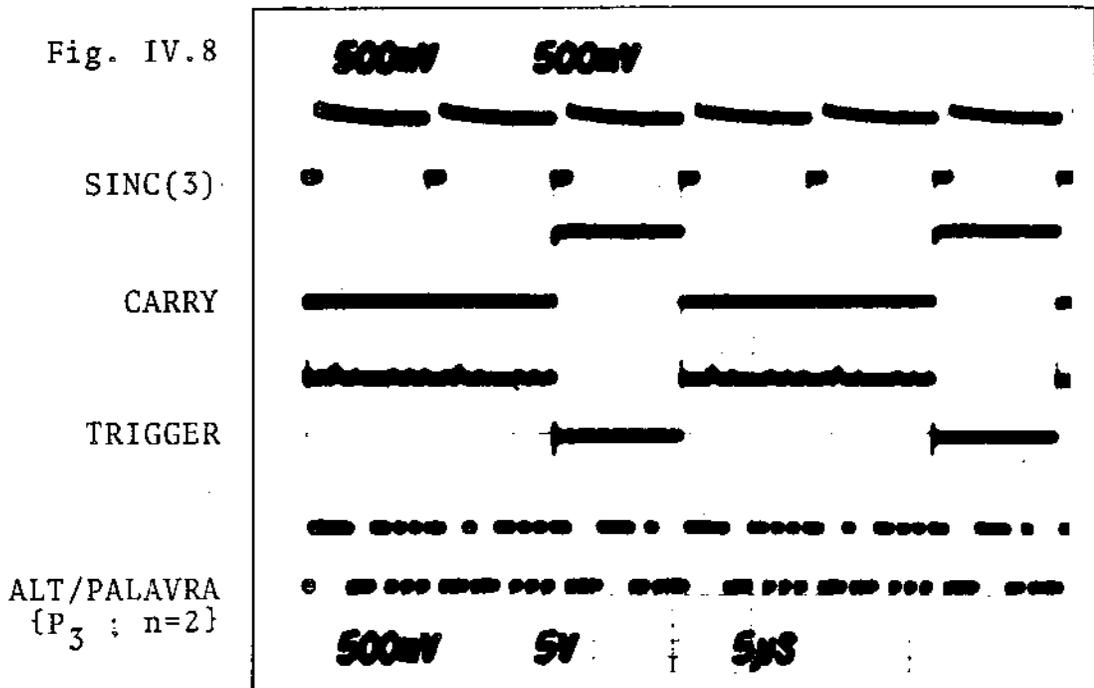


Fig. IV.9

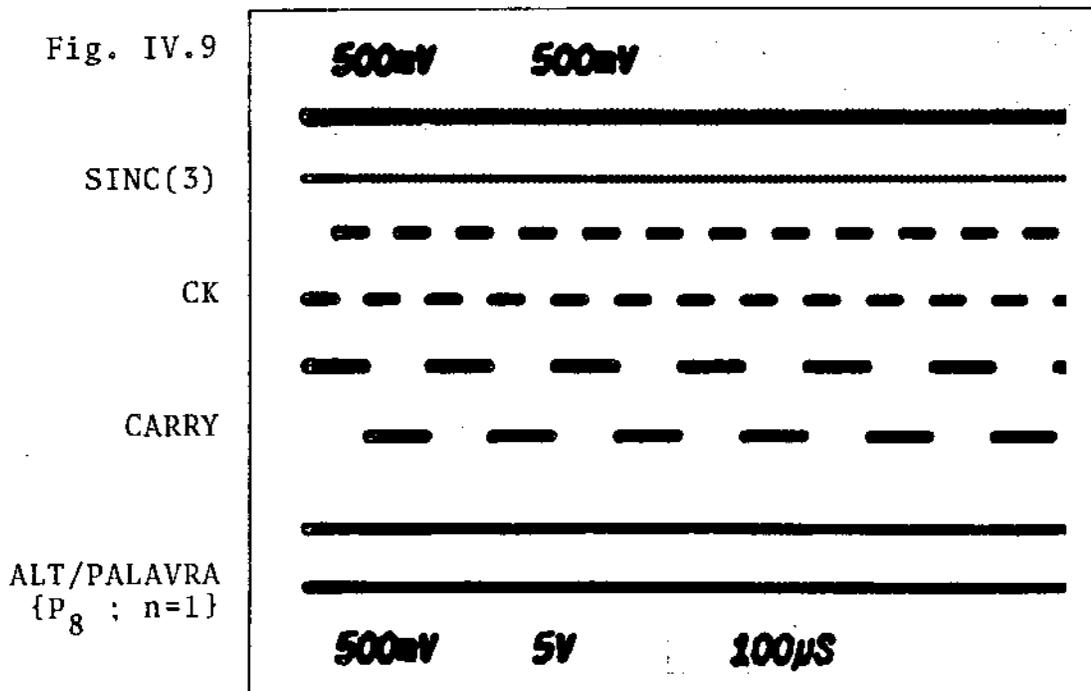


Fig. IV.10

RL

B10

Saída P.A.

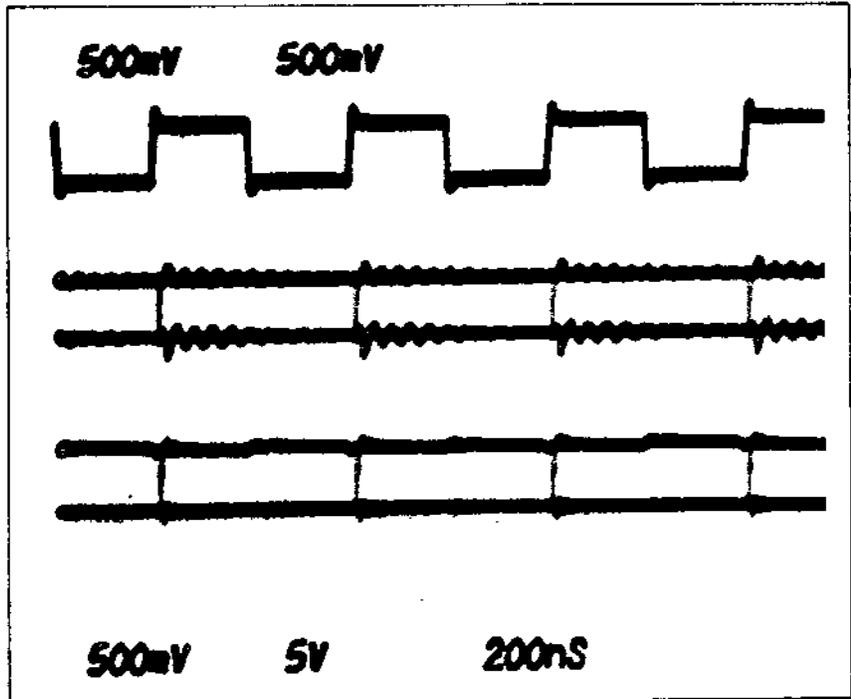


Fig. IV.11

RL

RE

BINÁRIO

TRIGGER  
{saídas BNC sobre 1MΩ}

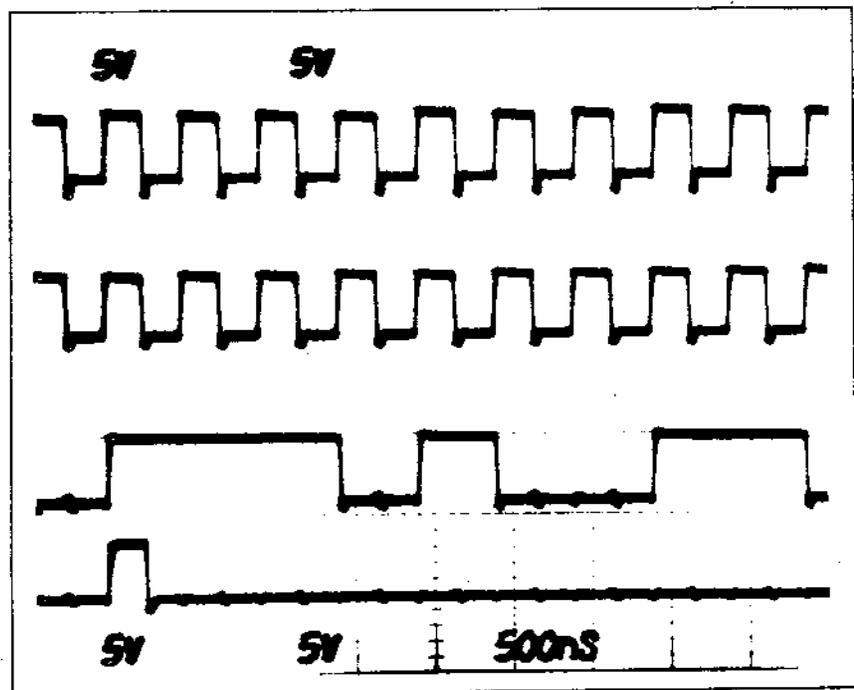


Fig. IV.12

P.A.  
(entrada)

RL

BINÁRIO  
{saída BNC sobre 75Ω}

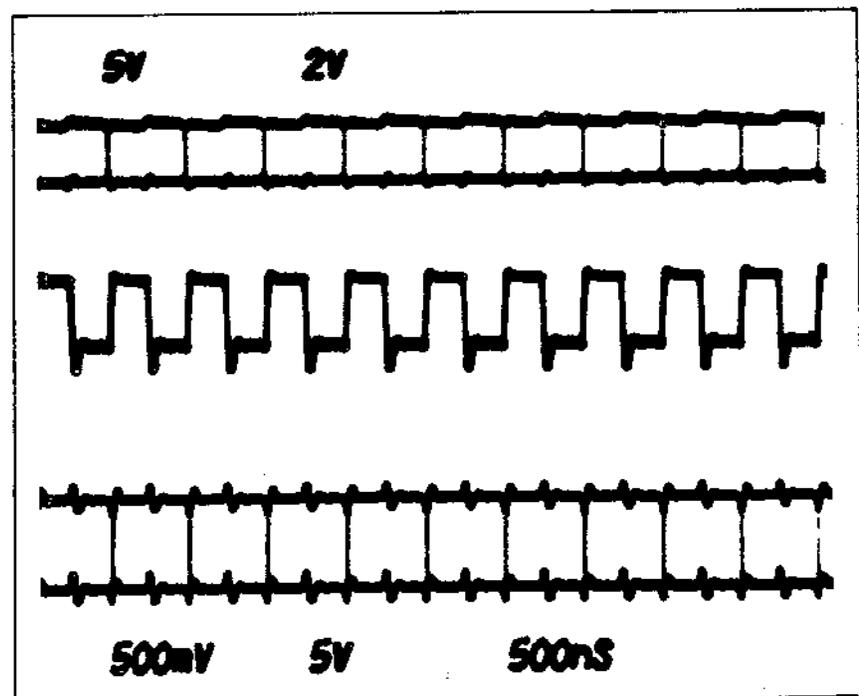


Fig. IV.13

ALT/PALAVRA  
(entrada)

RL

BINÁRIO  
{saída BNC sobre 75Ω}

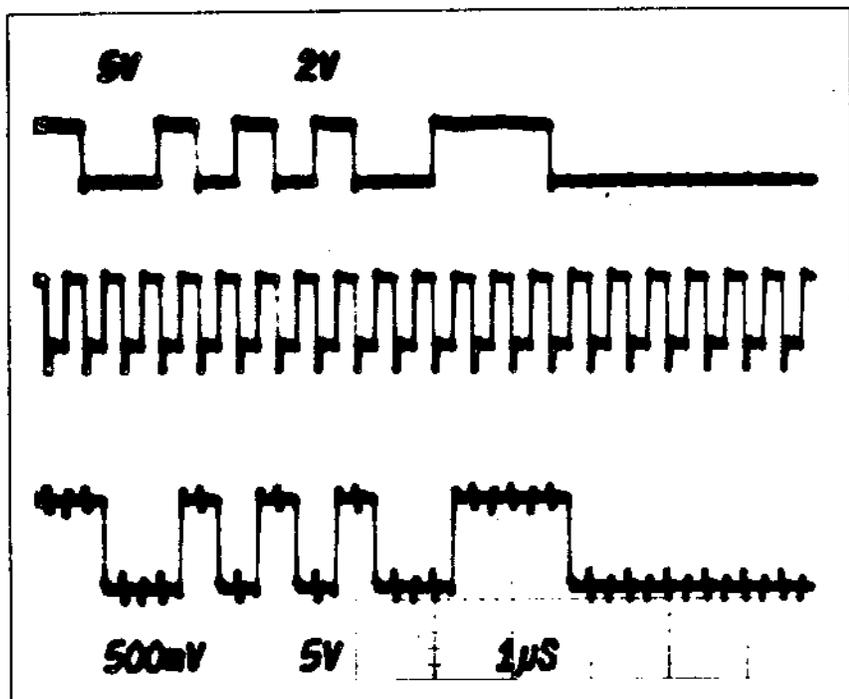


Fig. IV.14

Saída do  
DETETOR DE FASE

$\overline{RE}$

$\overline{RE}:32$

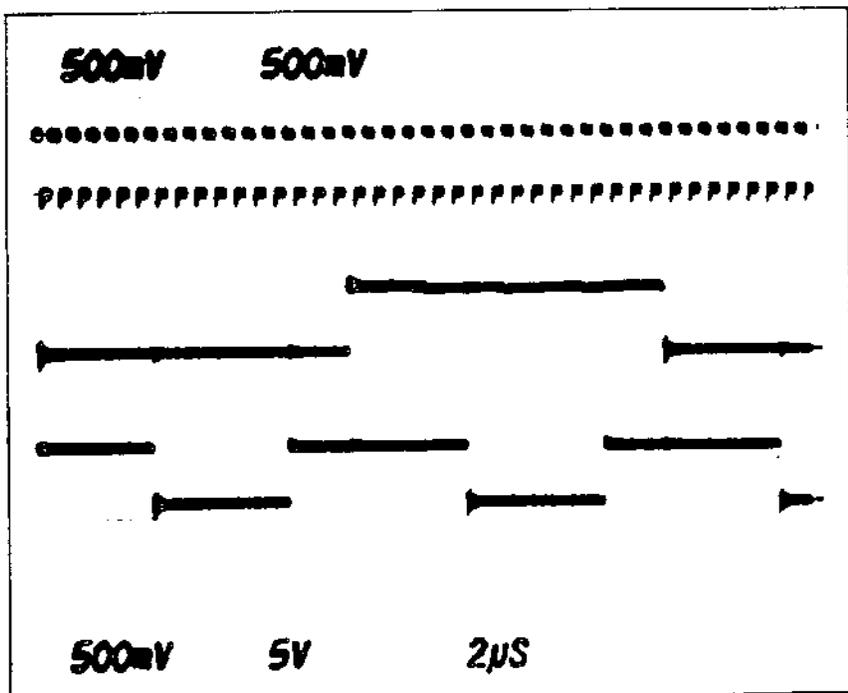


Fig. IV.15

Saída do  
COMPARADOR DE FASE  
{Amplitude do jitter gerado  
}  $\cong 5$  dígitos pp. }

$\overline{RE}$

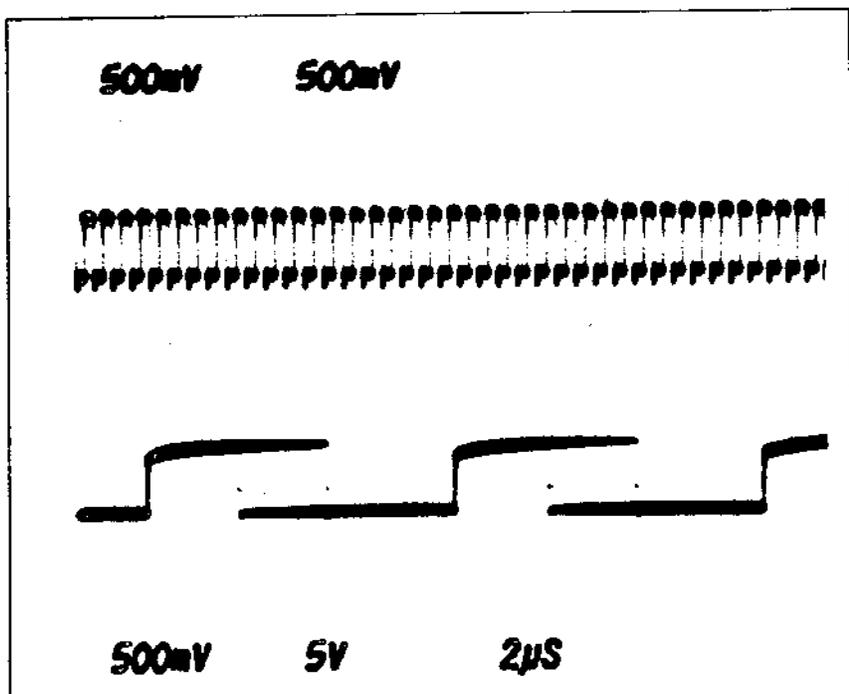


Fig. IV.16

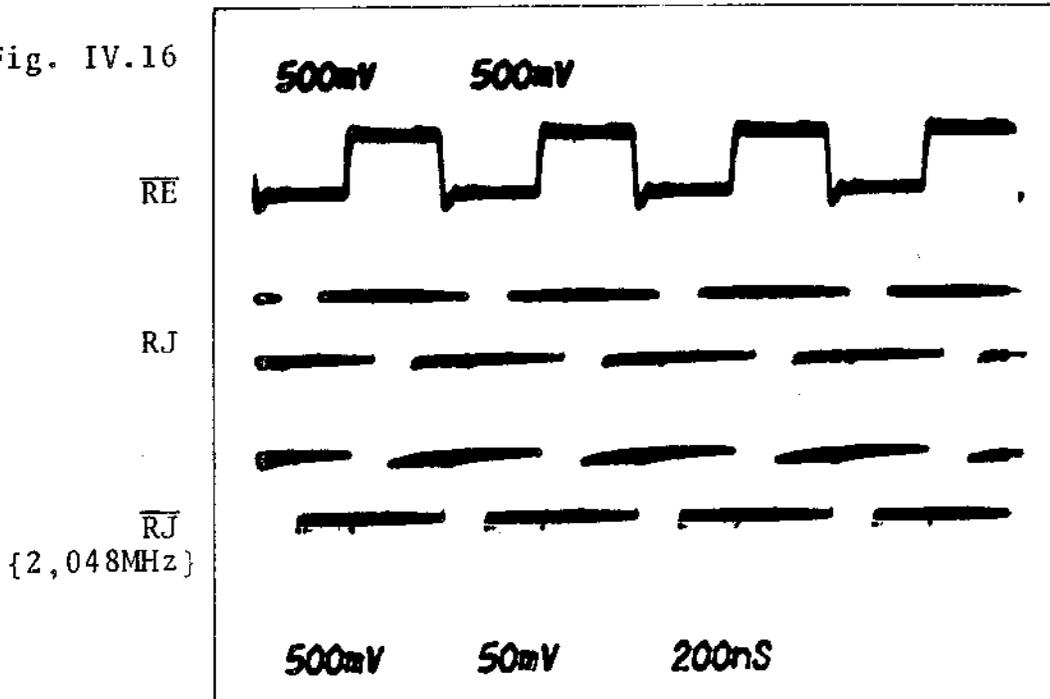


Fig. IV.17

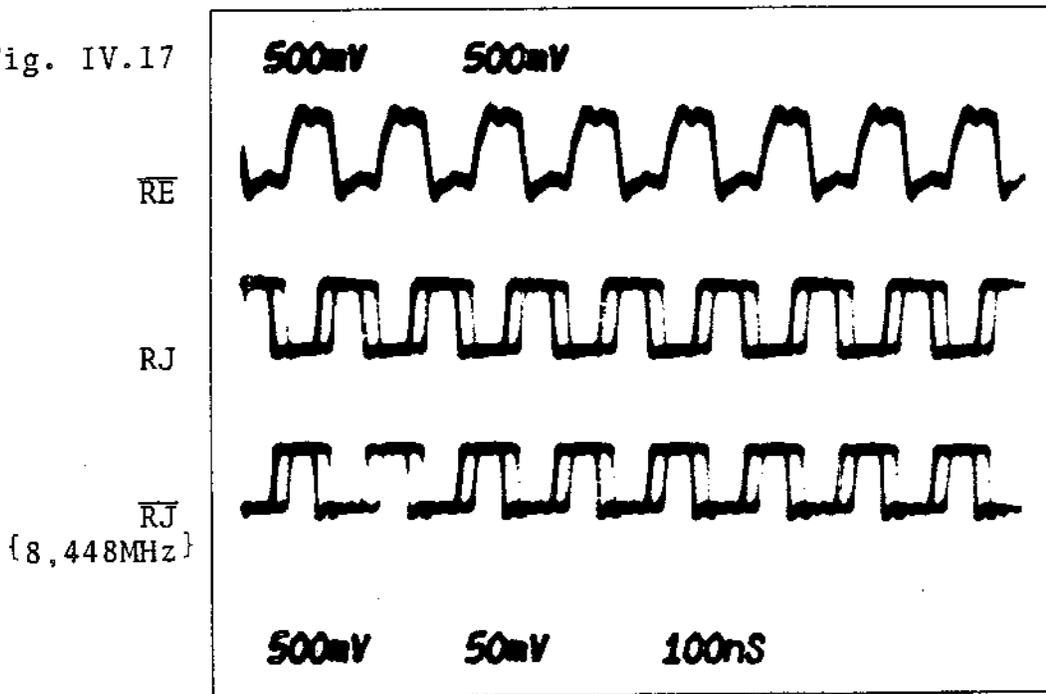


Fig. IV.18

Entrada do Circuito  
DEFASADOR

Saída do Circuito  
DEFASADOR

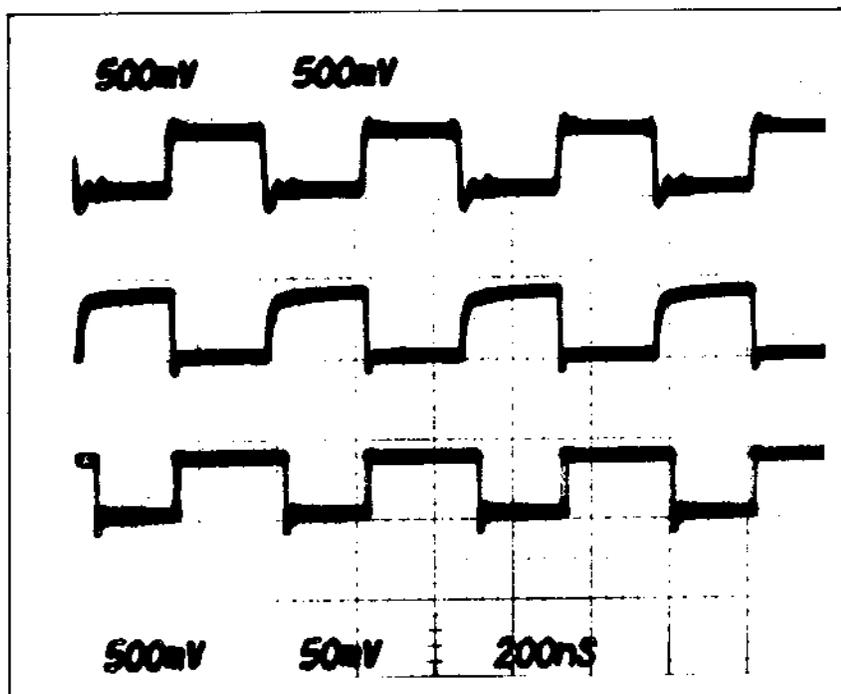


Fig. IV.19

RE  
Entrada do Circuito  
DEFASADOR  
RE:2  
(Saída do circuito  
DEFASADOR:2)  
RELÓGIO p/ Medida:2

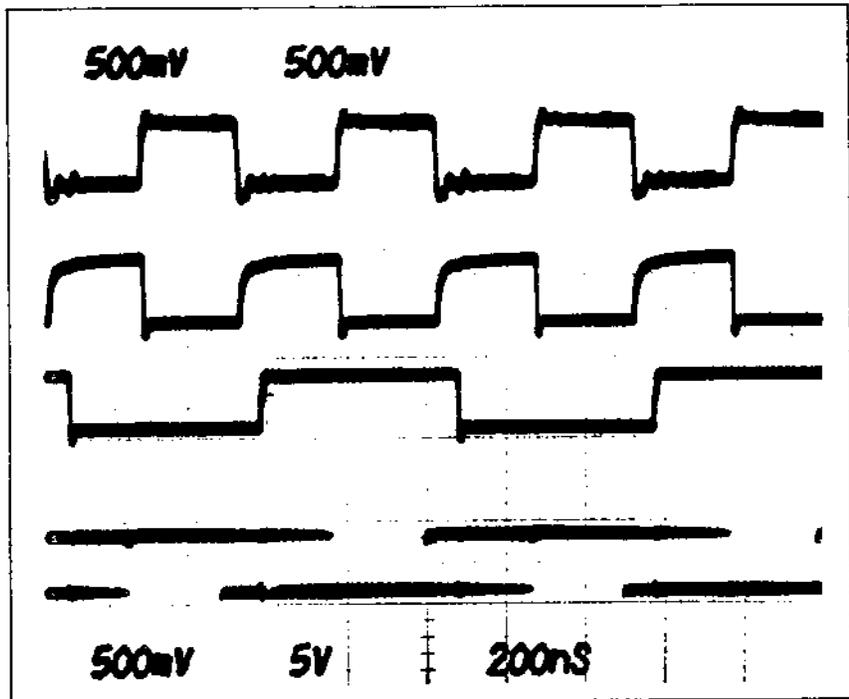


Fig. IV.20

RE:2  
RELÓGIO p/ Medida:2  
Saída do COMPARADOR  
Saída do INTEGRADOR  
{ Note que o ajuste }  
{ está incorreto }

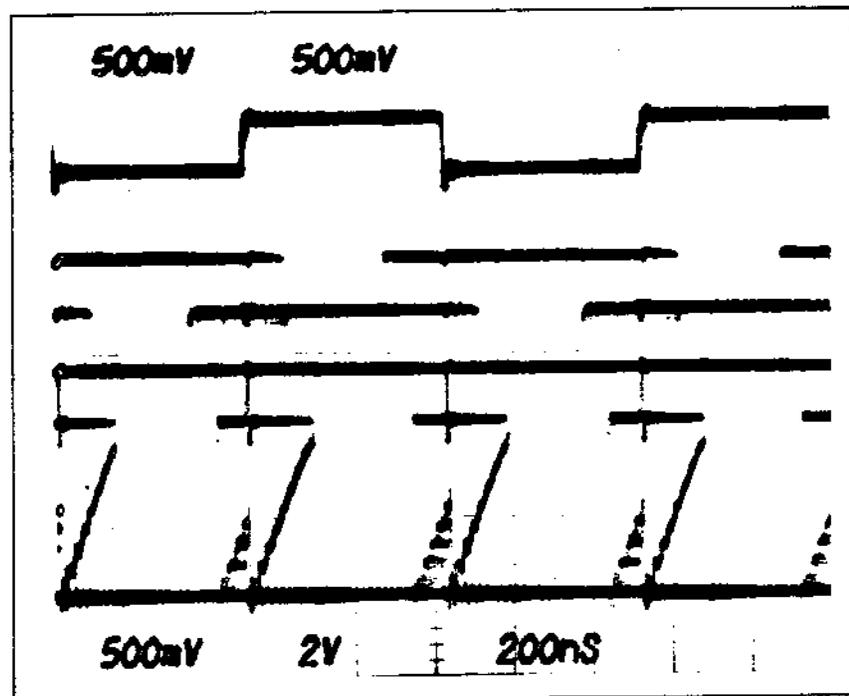


Fig. IV.21

BINÁRIO  
RELÓGIO  
POS.  
NEG.

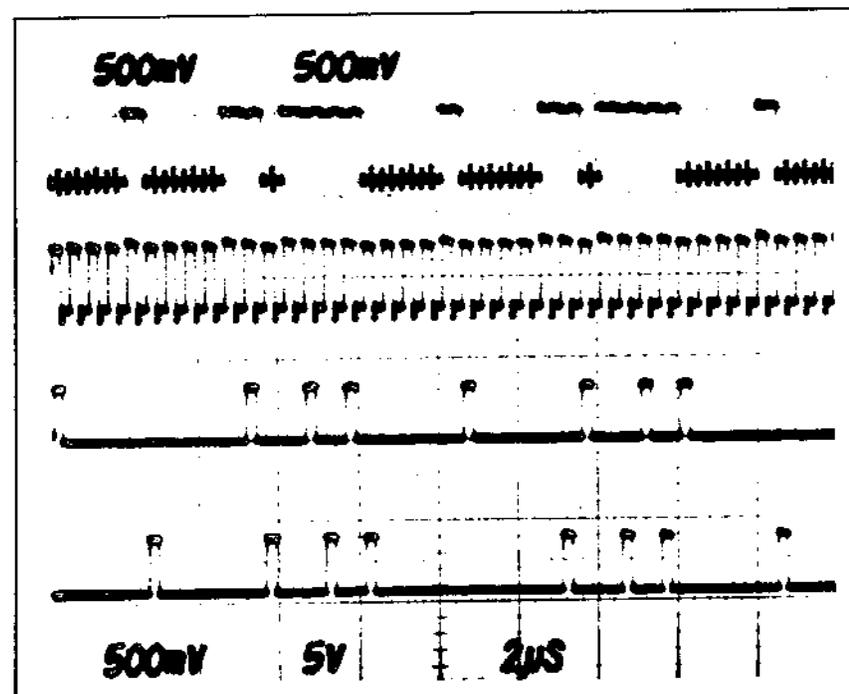


Fig. IV.22

Saída LINHA (2M+8M)  
AMI/RZ  
(BNC 75Ω)

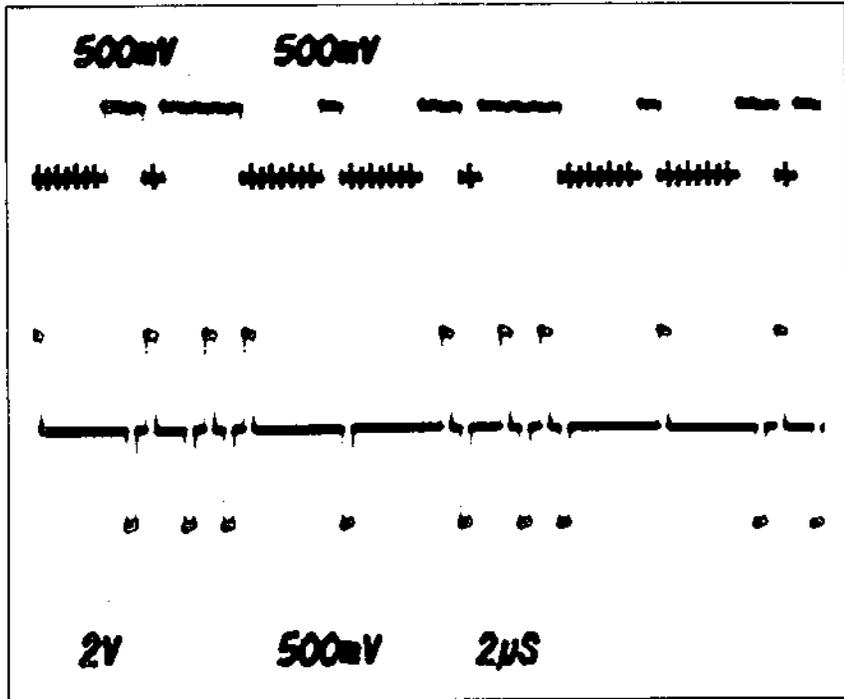


Fig. IV.23

Saída LINHA (2M+8M)  
HDB3/NRZ  
(BNC 75Ω)

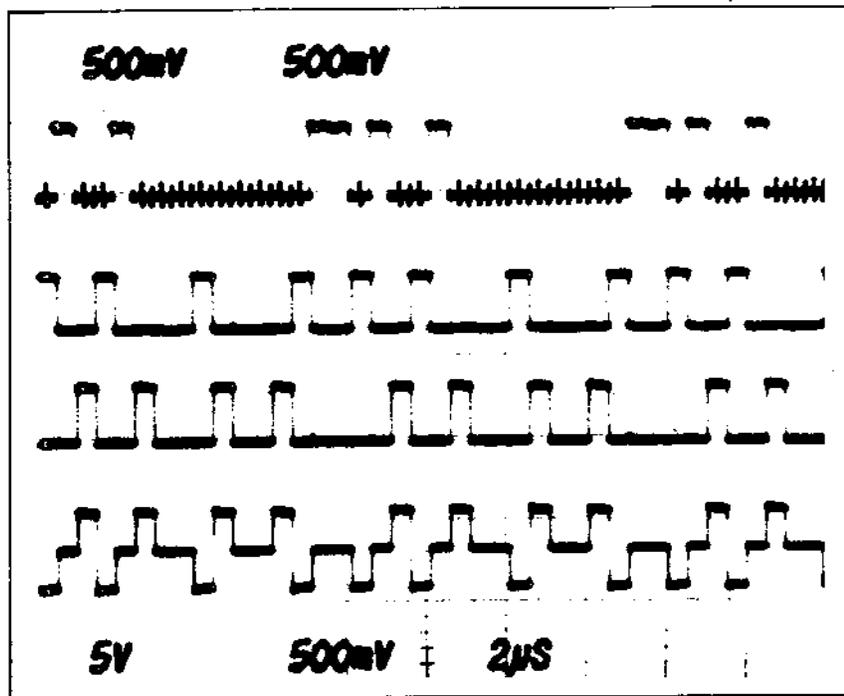


Fig. IV.24

Saída LINHA (2M+8M)  
HBD3/RZ  
(BNC 75Ω)

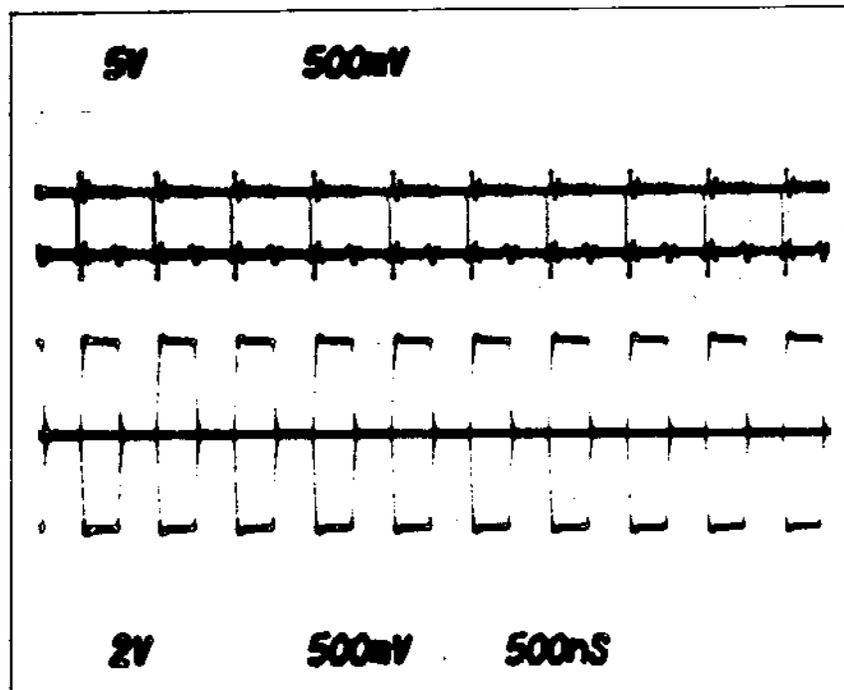


Fig. IV.25

LINHA (2M+8M)  
(Entrada)

RELÓGIO CONVERTIDO

BINÁRIO CONVERTIDO

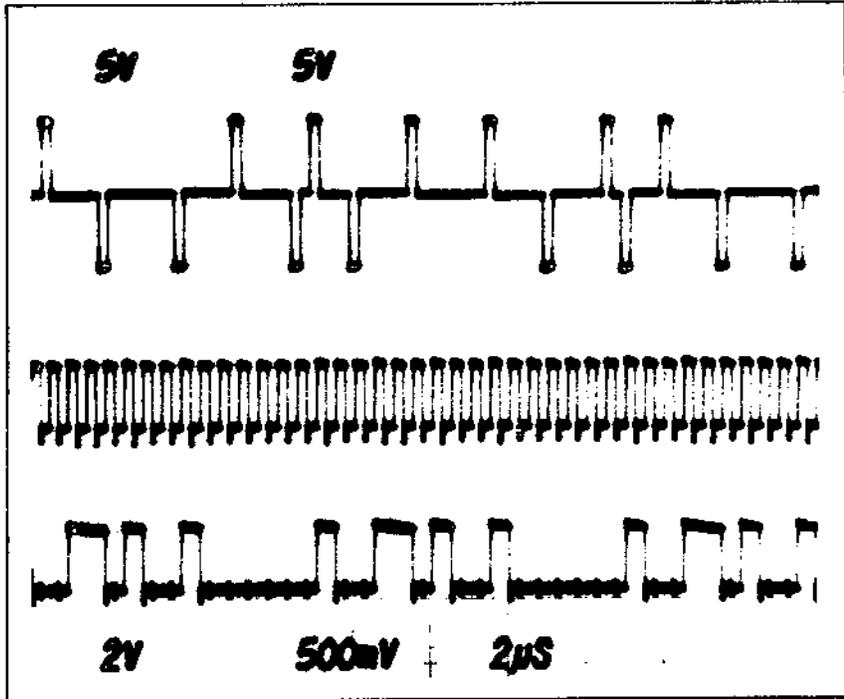


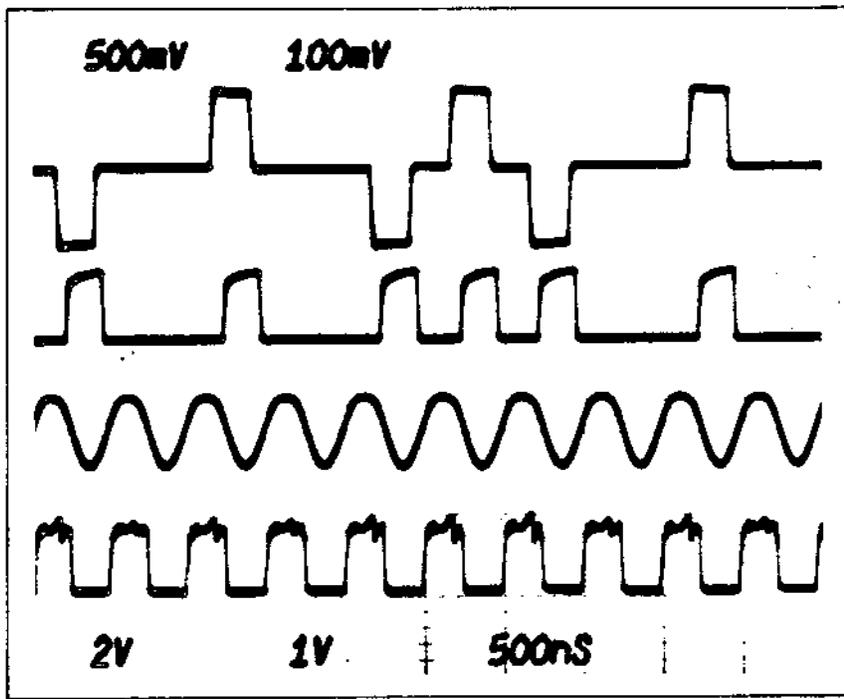
Fig. IV.26

LINHA (2M+8M)  
(Entrada)

Onda Retificada

Saída do Circuito  
Tanque

Saída do Quadrador  
{2,048MHz}



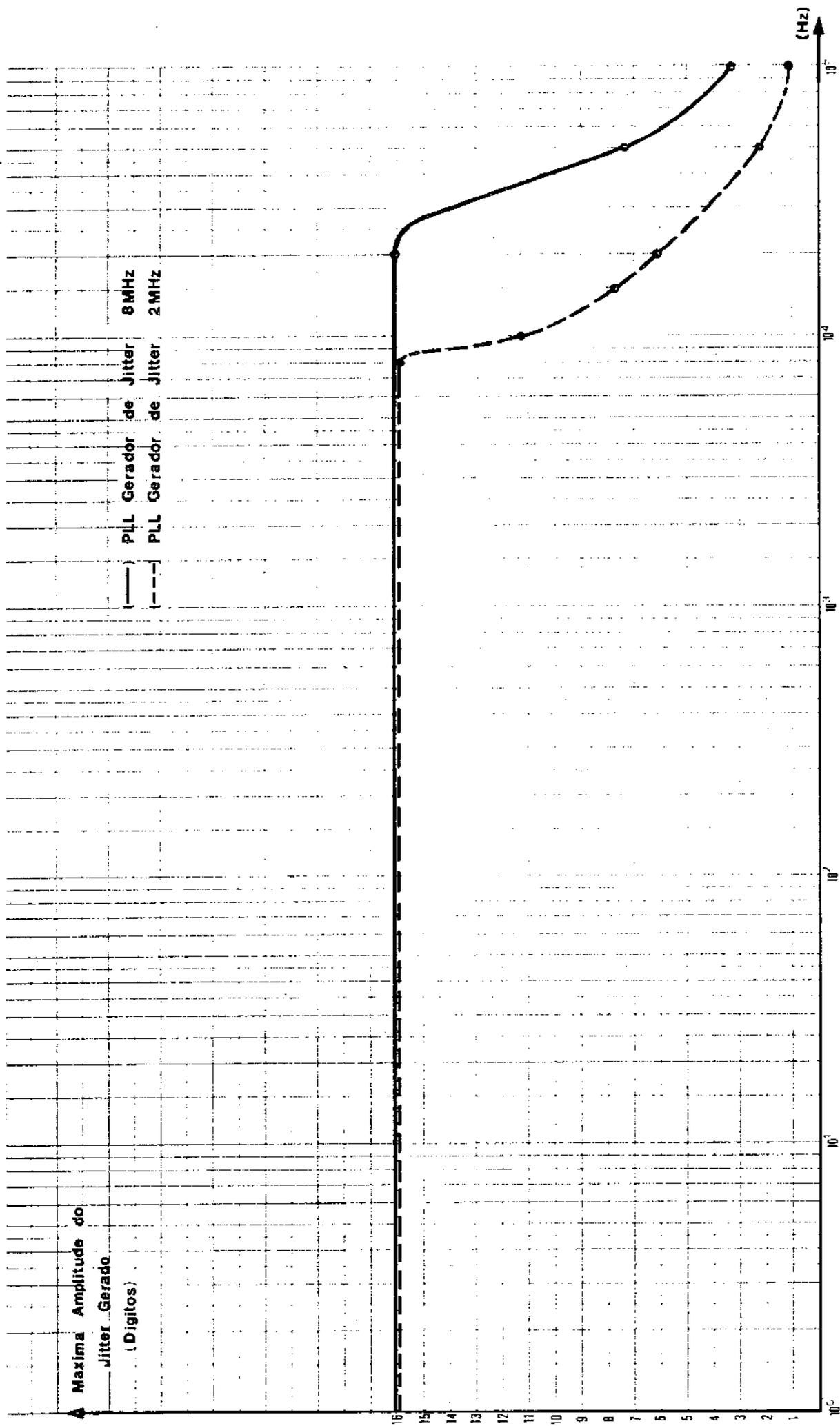
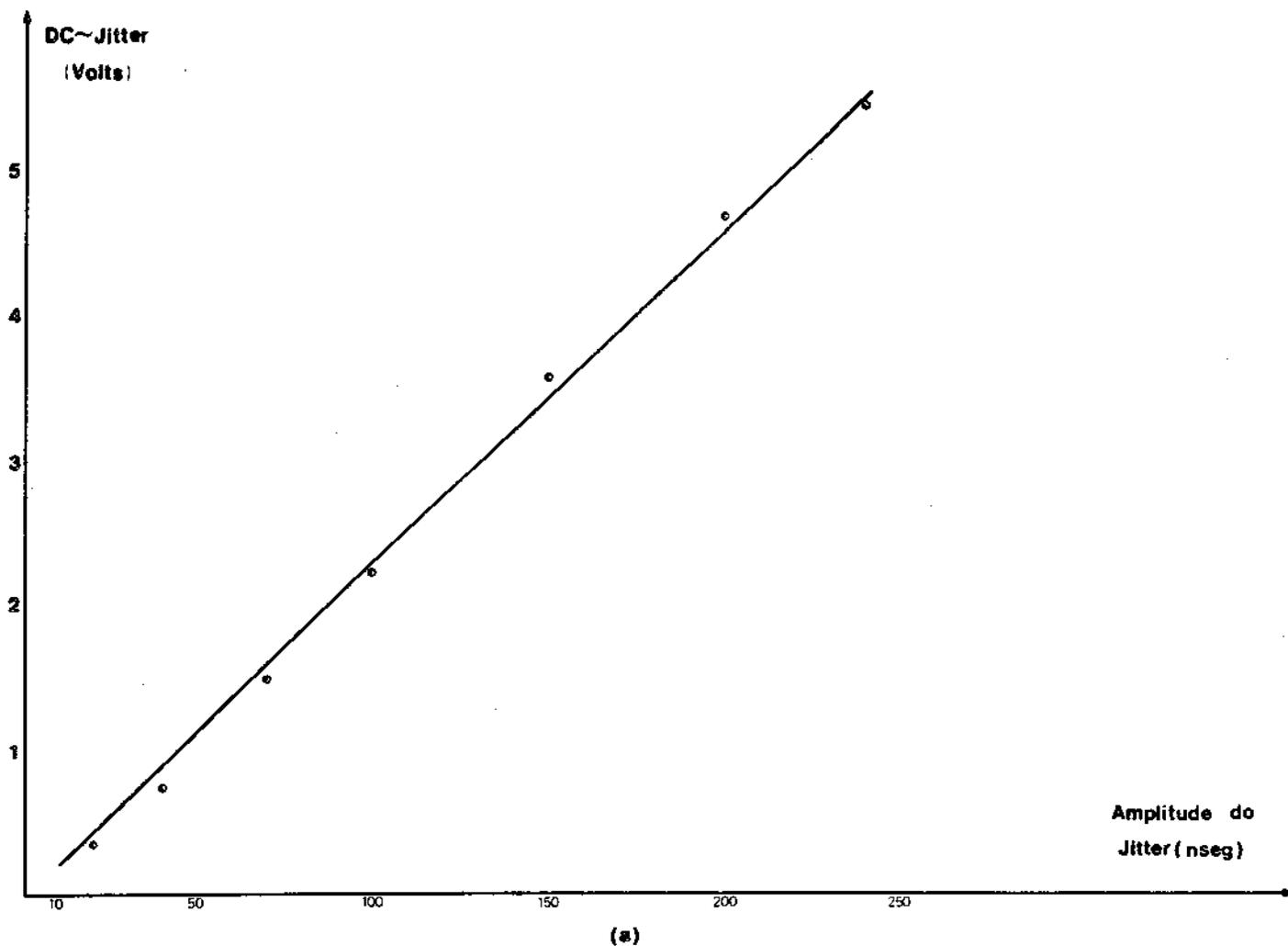
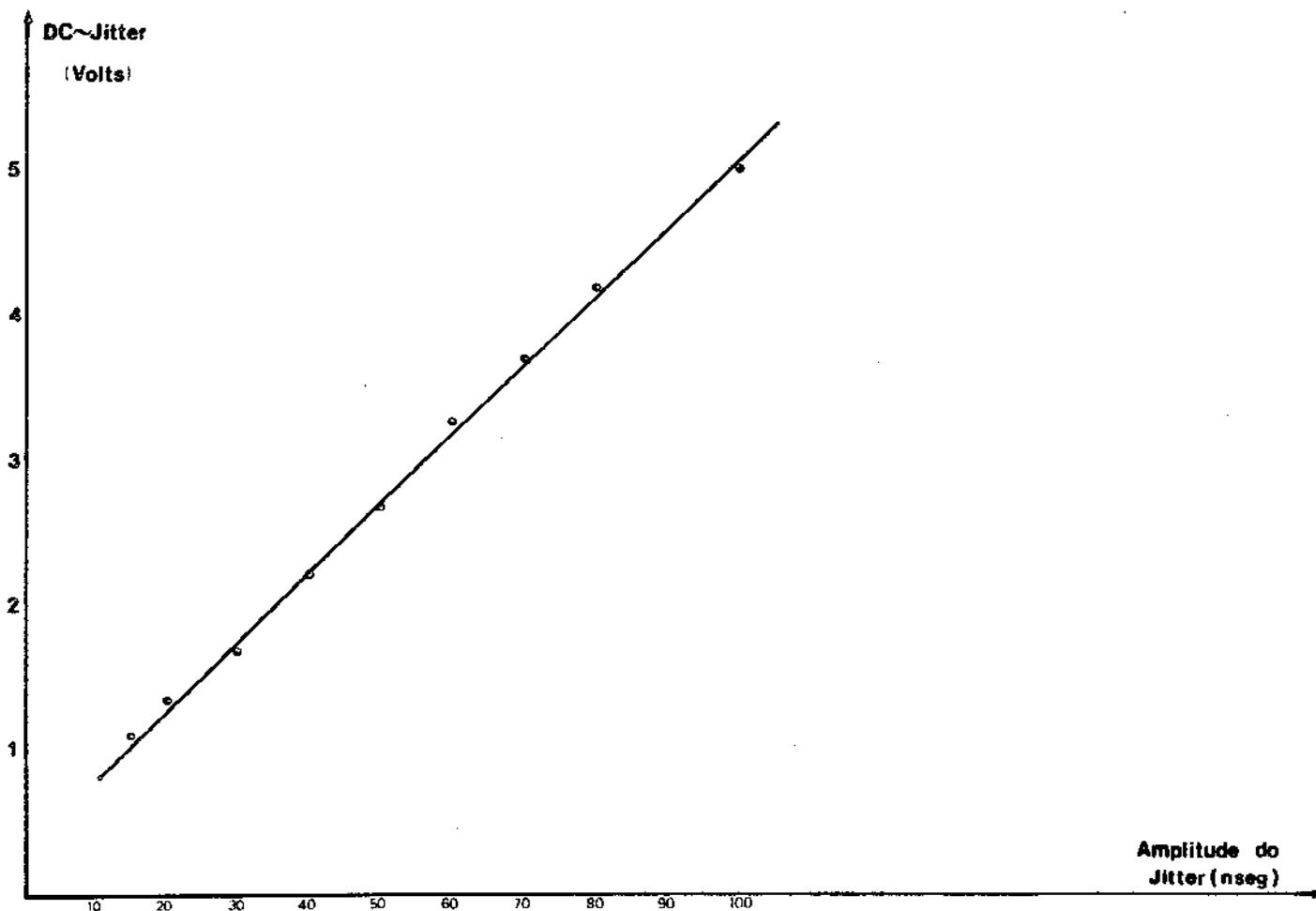


Fig. IV.27 - Máxima Amplitude do Jitter gerado em função da Frequência de Jitter.



(a)



(b)

Fig. IV.28 - Função de transferência do Medidor de Jitter  
(a) em 2,048MHz ; (b) em 8,448MHz

CAPÍTULO V

MEDIDAS E TESTES COM O EQUIPAMENTO

## V.1 - INTRODUÇÃO

Até este ponto, o trabalho se concentrou numa descrição geral sobre a constituição física e elétrica do equipamento de teste. Vários circuitos específicos foram projetados e otimizados. Como resultado, obteve-se um equipamento sem similar na área de comunicações digitais. Fica então a pergunta: como utilizar e onde aplicar toda sua potencialidade? Evidentemente, todas as funções projetadas tiveram uma finalidade premeditada e consequentemente, deverão ser úteis em um ou mais testes em que o equipamento pode se envolver.

O número de testes que se pode fazer sobre um sistema multiplex digital não chega a ser muito elevado. Alguns testes são necessários durante a fase de projeto, outros durante a fase final de especificações. Um equipamento de teste como este ajuda nas duas fases na maior parte desses testes. Uma pequena lista de les será descrita a seguir. Estes de forma nenhuma completam uma lista de todos os testes que poderiam ser realizados. A elaboração desses fica a critério do usuário.

A filosofia dos testes é proposta, mas, é claro, algumas modificações podem ser efetuadas. No entanto, como a maioria destes testes se baseiam nos já realizados em outros laboratórios onde se projetou o mesmo sistema, e considerando-se ainda a nossa experiência adquirida em tais testes, talvez pouca coisa possa ser modificada.

Na lista de testes proposta, procurou-se fornecer de forma rápida e sucinta, como realizar o teste ou medida em questão. Um diagrama em blocos do esquema de montagem também é apresentado em conjunto com uma tabela dos controles das chaves e ajustes para operação correta do equipamento de testes.

Para completar, em muitos casos, é dada uma ideia de qual deve ser o desempenho do sistema em testes por meio de especificação dos órgãos oficiais.

Na Fig. V.1 temos então a relação dos testes descritos. Nesse quadro, encontramos um resumo das condições para realizar tais testes.

As Figs. V.2 e V.3 mostram, respectivamente, a sequência de controles possíveis que podem ser feitos no equipamento para qualquer tipo de teste e um quadro onde são apresentadas algumas características importantes dos sistemas MCP de 2<sup>a</sup>, 3<sup>a</sup> e 4<sup>a</sup> ordem.

TESTE PROPOSTO	PADRÃO UTILIZADO	SELECCIONA	OUTROS EQUIPAMENTOS NECESSÁRIOS
MEDIDA DA TAXA DE ERRO	$2^{15} - 1$	TAXA ( $10^{-6}$ )  (Vide V.2.1)	-
ACEITAÇÃO DE JITTER	$2^{15} - 1$	CONTA/ TAXA  GERADOR DE JITTER (Vide V.2.2)	- OSCILADOR DE AUDIO- FREQUÊNCIA
MEDIDA DE JITTER DE TEMPO DE ESPERA	$2^{15} - 1 / 2^{22} - 1$	-  MEDIDOR DE JITTER (Vide V.2.3)	- SINTETIZADOR DE FRE- QUÊNCIA - PLOTTER
MEDIDA DA FUNÇÃO DE TRANSFERÊNCIA DO SISTEMA MULTIPLEX	$2^{15} - 1 / 2^{22} - 1$	-  GERADOR DE JITTER (Vide V.2.4)	- OSCILADOR DE A.F. - OSCILOSCÓPIO
FAIXA DE RETENÇÃO E CAPTURA DE PLL	$2^{15} - 1$	CONTA  (Vide V.2.5)	- SINTETIZADOR DE FRE- QUÊNCIA
MEDIDA DO FATOR DE QUALIDADE DE UM CIRCUITO TANQUE	$AnB / (n+1)A(n+1)B$	-  (Vide V.2.6)	- OSCILOSCÓPIO
ACEITAÇÃO E GERAÇÃO DE JITTER EM REPLICADORES REGENERATIVOS (1ª ORDEM)	$10^3 An10^3 B / (n+1)A(n+1)B$	-  (Vide V.2.7)	- OSCILOSCÓPIO
CROSSTALK	$2^{15} - 1$	TAXA ( $10^{-6}$ )  (Vide V.2.8)	- OUTRAS 3 UNIDADES DO EQUIPAMENTO DE TESTE

Fig. V.1 - QUADRO DE TESTES

RELÓGIOS		PADRÕES BINÁRIOS		PADRÕES TERNÁRIOS		MEDIDOR DE JITTER		DETETOR DE ERRO	
SELECCIONE		SELECCIONE		SELECCIONE		SELECCIONE		UTILIZE	
2048KHz (INTERNO)	ESTÁVEL OU C/ JITTER INVERTIDO	A	16 BITS DO CONJUNTO DA PALAVRA A						
	NORMAL OU INVERTIDO	B	16 BITS DO CONJUNTO DA PALAVRA B						
		AnB	VALOR "n"	AMI	RZ ou NRZ				RESET
8448KHz (INTERNO)	"	nAnB	"						
		10nA10nB	"						
		10 <sup>2</sup> An10 <sup>2</sup> B	"				INTERNO		
		10 <sup>3</sup> An10 <sup>3</sup> B	"						
34.368KHz* (INTERNO)	"	PSEUDO-ALEATÓRIO(15)	-	HDB3	"			TAXA	"
		PSEUDO-ALEATÓRIO(22)	-						
		P.A.+PORÇÃO ESTÁTICA	COMPRIMENTO ESTÁTICO				EXTERNO		
EXTERNO	"	EXTERNO	RELÓGIO EXTERNO						

\* Não consta ainda do equipamento.

Fig. V.2 - SEQUÊNCIA DE CONTROLES POSSÍVEIS DO EQUIPAMENTO DE TESTE

	8 Mbits/s	34 Mbits/s	140 Mbits/s
FREQUÊNCIA DO TRIBUTÁRIO (Kbits/s)	2.048	8.448	34.368
TOLERÂNCIA DO TRIBUTÁRIO (ppm)	50 ( $\approx$ 100Hz)	30 ( $\approx$ 250Hz)	20 ( $\approx$ 700Hz)
FREQUÊNCIA RESULTANTE (LINHA) (Kbits/s)	8.448	34.368	139.264
TOLERÂNCIA DA FREQUÊNCIA DE LINHA (ppm)	30 ( $\approx$ 250Hz)	20 ( $\approx$ 700Hz)	15 ( $\approx$ 100Hz)
FREQUÊNCIA DE QUADRO (Hz)	9.962,2 $\pm$ 0,3	22.375,0 $\pm$ 0,4	47.562,8 $\pm$ 0,7
FREQUÊNCIA DE JUSTIFICAÇÃO (Hz)	4.226,4 $\pm$ 163,4	9.750 $\pm$ 422,6	19.934,4 $\pm$ 1203,2
RAZÃO NOMINAL DE JUSTIFICAÇÃO ( $\rho$ )	0,4242	0,4357	0,4191
VARIAÇÃO DE $\rho$	0,4078 a 0,4406	0,4168 a 0,4546	0,3938 a 0,4444
MÁXIMA AMPLITUDE DE JITTER (TEÓRICO) NA SAÍDA (EM DÍGITOS PICO-PICO)	$\approx$ 0,15	$\approx$ 0,15	$\approx$ 0,20

Fig. V.3 - CARACTERÍSTICAS DOS SISTEMAS MCP DE 2<sup>a</sup>, 3<sup>a</sup> e 4<sup>a</sup> ORDENS

## V.2 - TESTES E MEDIDAS PROPOSTAS

### V.2.1 - Medida da Taxa de Erro

A medida da taxa de erro do sistema MCP em teste pode ser realizada conforme mostra a Fig. V.4. Para este tipo de teste é aconselhável utilizar um trem de dados pseudo-aleatório para simular o caso real. Como o detetor de erros implementado no equipamento somente trabalha para sequencias de comprimento  $(2^{15}-1)$ bits, este padrão deve ser selecionado.

Para esta medida, utilizamos o relógio estável cuja frequência somente depende da ordem do sistema MCP em teste. Este relógio gera a sequência P.A. selecionada que é codificada em AMI ou HDB3 e então introduzida num dos canais tributários do Multiplexador. A correspondente saída do Demultiplexador é levada novamente ao equipamento de teste, onde, por meio da Interface de Entrada, o sinal é decodificado e recuperada a onda de relógio que alimentará o detetor de erro. Este acusará então os possíveis erros ocorridos na sequência ao passar pelo MUX-DEMUX do sistema sob teste. O controle de leitura de erros TAXA/CONTA é selecionado e monitorando-se o display no painel frontal do equipamento verifica-se o desempenho do sistema.

#### Observações:

- a) Nos casos em que estamos interessados somente no teste do sistema multiplex em que não fazem parte as interfaces de entrada e saída, de forma idêntica podem ser eliminadas as interfaces do equipamento de teste.
- b) A medida da taxa de erro, como descrita acima, se estende a qualquer outro tipo de sistema compatível.

### V.2.2 - Medida da Aceitação de Jitter

A aplicação de uma modulação senoidal de fase no sinal de entrada do sistema multiplex é uma técnica bastante simples para determinarmos a máxima aceitação de jitter pelo sistema.

A Fig. V.5 ilustra o esquema necessário para este tipo de medida. Este esquema é uma modificação do utilizado para medida da taxa de erro.

O modulador senoidal permite-nos obter um relógio com jitter de amplitude e frequência desejadas. Este relógio, por sua

vez, gera sobre a sequência pseudo-aleatória um sinal com as mesmas características de jitter. Esta sequência P.A. é então introduzida no sistema multiplex em teste. No caso em que as interfaces de entrada e saída fazem parte do multiplex, da mesma forma devemos utilizar as interfaces do equipamento de teste.

O sinal coletado na saída do demultiplexador é devolvido ao equipamento onde é comparado com uma sequência idêntica de mesmo padrão (P.A. (15)) para avaliação dos eventuais erros ocorridos.

A medida se resume em, para uma dada frequência, aplicar uma amplitude de jitter (com o auxílio do modulador senoidal) até que ocorram erros no sistema multiplex.

Um gráfico onde relacionamos a máxima amplitude de jitter aceitável (tolerável) pelo sistema em função da sua frequência pode ser elaborado. Para se ter uma idéia do desempenho do multiplex, o resultado obtido deve ser comparado com as especificações recomendadas pelos órgãos oficiais (Vide item 2.1 do Apêndice B).

### V.2.3 - Medida do Jitter de Tempo de Espera

Para a medida do jitter de tempo de espera a montagem ilustrada na Fig. V.6 deve ser elaborada. A medida é feita sobre o relógio recuperado no PLL que faz parte do demultiplexador. Este relógio é comparado com o relógio estável de entrada do sistema e as suas variações de fase são transformadas em variações de amplitude pelo circuito medidor de jitter que faz parte do equipamento de teste.

Na medida prática fica interessante obter-se a característica de jitter para todo range de variação da razão de justificação  $\rho$  em que o sistema deverá operar. Desta forma, se torna necessário variar a frequência do relógio tributário (sistema de ordem imediatamente inferior), para varrer todo range da razão  $\rho$ , mantendo fixa a frequência do relógio do sistema de ordem superior. O caso inverso também pode ser adotado ou ainda pode-se realizar variações simultâneas nas duas frequências. A alternativa mais simples e recomendada é a de se manter fixa a frequência do tributário e variar-se a frequência do sistema de ordem superior. Isto permitirá que o controle para ajuste de fase no equipamento de teste não seja solicitado a todo momento. A razão disto se de

ve ao fato do relógio de saída do demultiplexador não apresentar variações de fase (erro estático) em relação ao relógio do tributário, quando a frequência deste é mantida estável. Assim, uma vez ajustada a fase entre os dois relógios, o comparador do medidor de jitter terá condições de detectar somente as variações de fase devido ao jitter de tempo de espera.

Um sintetizador de frequência é utilizado para providenciar a variação de frequência do multiplexador.

A característica do jitter de tempo de espera pode ser obtida plotando-se a saída do medidor de jitter no eixo Y de um traçador de curvas em função da variação de frequência do sintetizador que comanda o eixo X do traçador. Neste tipo de teste, é conveniente que a varredura do sintetizador seja lenta para permitir uma boa precisão da medida. Pela experiência prática já adquirida em testes realizados é recomendado utilizar-se uma varredura da ordem de 1Hz/segundo na variação de frequência do sintetizador {Vide Ref. 3}.

O gráfico resultante dará o valor da amplitude do "jitter de pico" em função da razão de justificação  $\rho$ . Este tipo de característica tem importância quando se quer ter uma idéia da máxima amplitude do jitter de saída do demultiplexador, ou ainda, quando na fase de projeto, precisa-se escolher a combinação de fases ideal para o comparador que compõe o demultiplexador.

Na tabela abaixo fornecemos a variação de frequência do sistema de ordem superior necessária para cobrir toda variação da razão de justificação  $\rho$  especificada {Vide Fig. V.3}, e no item 2.2 do Apêndice B temos as recomendações do máximo jitter de saída do demultiplexador.

FREQUÊNCIA (KHz)	RAZÃO DE JUSTIFICAÇÃO ( $\rho$ )	$\Delta f$ CORRESPONDENTE (KHz)
Trib.: 2.048 Linha: 8.448	$0,4078 < \rho < 0,4406$	$8.447,3 < f < 8.448,7$ $\Delta f = \pm 0,7$
Trib.: 8.448 Linha: 34.306	$0,4168 < \rho < 0,4546$	$34.366,25 < f < 34.369,75$ $\Delta f = \pm 1,75$
Trib.: 34.368 Linha: 139.264	$0,3938 < \rho < 0,4444$	$139.259,1 < f < 139.268,9$ $\Delta f = \pm 4,9$

#### V.2.4 - Medida da Função de Transferência do Sistema Multiplex

A medida da Função de Transferência do sistema (ganho de jitter versus frequência de jitter) está ilustrada na Fig. V.7. Este tipo de medida também pode ser realizada para o PLL operando isoladamente. Os resultados obtidos nos dois casos são bastante semelhantes.

Como sabemos, o PLL é caracterizado por uma função de transferência semelhante à de um filtro passa-baixas. No entanto, a sua característica pode ser tal que haja amplificações excessivas de jitter em dadas frequências. Somente a medida dessa característica poderá esclarecer o fato.

O método de medida se resume em injetar um trem de dados, de preferência pseudo-aleatório, com modulação de fase senoidal de baixa frequência (poucos Hertz) no sistema Multiplex (ou no PLL isolado, se for o caso). Com o osciloscópio, monitoramos a onda de entrada juntamente com o relógio recuperado no PLL. Uma amplitude de jitter de 0,5 a 0,8 dígitos é conveniente para a medida. O jitter de entrada, sendo de baixa frequência, será transmitido pelo demultiplexador que faz parte do sistema. Com o aumento da frequência do jitter de entrada, este será atenuado conforme o valor da frequência de corte do PLL.

A medida da Função de Transferência pode ser feita por simples observação no osciloscópio. Para isto, mede-se a amplitude do jitter nas ondas de entrada e saída para cada valor da frequência de jitter no sinal de entrada. Um gráfico resultante do ganho de jitter em dB (relação logarítmica entre a amplitude do jitter de saída e o de entrada) em função da frequência do jitter deve ser plotado. Em particular, para o PLL isolado, o resultado obtido pode ser comparado com as especificações recomendadas, apresentadas no item 2.3 do Apêndice B.

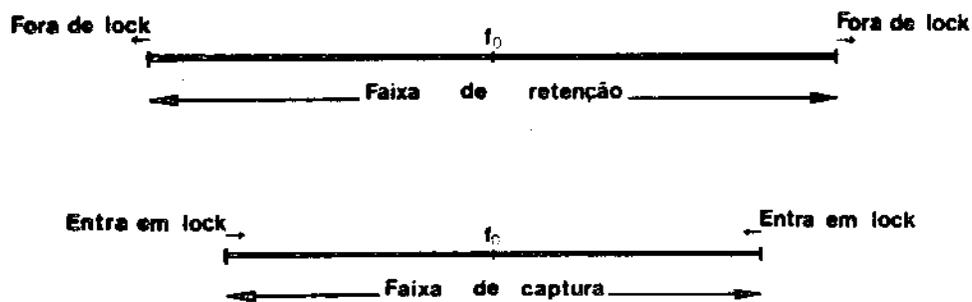
#### V.2.5 - Faixa de Retenção e Captura do PLL

Uma especificação importante que o PLL deve enfrentar

é da sua faixa de captura mínima.

Normalmente, o relógio do canal tributário contém uma certa tolerância permitida (Vide Fig. V.3) sobre a qual ainda de vemos considerar uma tolerância de igual valor do OCV que compõe o PLL. Desta forma, o projeto final do PLL deverá ter como mínima faixa de captura uma tolerância duas vezes superior à do relógio do tributário.

Podemos obter a faixa de retenção verificando até que frequência o PLL se mantém locado quando, a partir da frequência central de operação, aumentamos ou diminuímos a frequência do tributário. Para obtermos a faixa de captura, verificamos a partir de que frequências (superior e inferior) o PLL loca quando diminuimos ou aumentamos respectivamente a frequência do tributário após ter saído fora de lock.



No projeto inicial do PLL a verificação desta característica pode ser realizada isoladamente do conjunto final (multiplex). Neste caso, como o relógio de entrada do PLL será um relógio perfeito (ausência dos "buracos" que ocorrem no caso real) as faixas a serem obtidas serão superiores àquelas que realmente são conseguidas quando o PLL está operando no equipamento multiplex. Assim sendo, a especificação final deverá ser dada para o último caso.

Para a obtenção prática destes valores, o esquema de montagem é, a princípio, idêntico ao utilizado em V.2.1 (Fig.V.4). Para este caso, no entanto, o relógio interno do equipamento de teste deve ser substituído por um sintetizador externo, por meio do qual estabeleceremos a variação de frequência do canal tributário. Em resumo, a medida dessas faixas é conseguida da forma descrita a seguir. A partir da frequência nominal do tributário, aumentamos lentamente a sua frequência com o auxílio do sintetiza

dor acoplado à entrada de relógio externo do equipamento de teste. O display deverá estar sendo monitorado para determinarmos os limites das faixas. Para a frequência em que o display informar o início da ocorrência de erros, determinamos o limite superior da faixa de retenção. Anotamos então a frequência do sintetizador. Diminuindo-se agora a frequência, numa operação que requer uma variação bastante lenta da frequência para que possa haver uma acomodação de fases do PLL, determinamos o limite superior da faixa de captura no momento em que o detetor deixa de acusar algum erro. Com a diminuição da frequência aquém da nominal, obtemos da mesma forma os respectivos limites inferiores da faixa de retenção e da faixa de captura.

Com maior interesse, comparamos a faixa de captura obtida com os valores dados na tabela abaixo, que pensamos serem os melhores especificados para funcionamento adequado do PLL no sistema.

FREQUÊNCIA DO TRIBUTÁRIO (KHz)	TOLERÂNCIA DO TRIBUTÁRIO (ppm)	MÍNIMA FAIXA DE CAPTURA ESTIPULADA (ppm)
2.048	+ 50	+ 100
8.448	+ 30	+ 60
34.368	+ 20	+ 40

Na realização final do projeto, o limite mínimo, estabelecido acima, deverá ser adotado.

#### V.2.6 - Medida do Fator de Qualidade de um Circuito Tanque

O método proposto para medida do fator de qualidade é bastante simples e rápido. A medida é realizada diretamente sobre o circuito tanque. A Fig. V.8 mostra a montagem que pode ser feita para a medida desse fator.

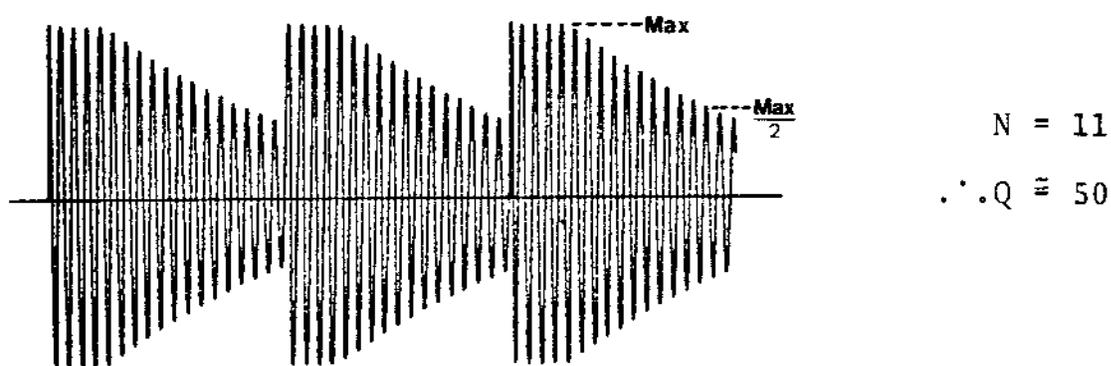
Nesta medida devemos utilizar um dos padrões alternativos gerados pelo equipamento de teste. O padrão escolhido deverá conter longas sequências de zeros para que o tanque deixe de ser ativado e possamos medir o seu fator de qualidade por meio do de

caimento exponencial da oscilação do circuito. O padrão alternativo AnB ou (n+1)A(n+1)B pode ser selecionado, permitindo-nos gerar longas sequências de zeros (geralmente uma sequência de 40 zeros consecutivos é suficiente para a medida).

Para o cálculo do fator de qualidade, basta observarmos o número de períodos (N) até que a amplitude da oscilação senoidal caia para metade de seu valor máximo e multiplicá-lo pelo fator 4,532, ou seja,

$$Q \cong 4,532 N$$

como ilustra a figura abaixo:



A demonstração deste cálculo é dada no Apêndice C.

#### V.2.7 - Aceitação e geração de Jitter em repetidores regenerativos (Sistema de 1ª Ordem)

Com a realização do teste proposto a seguir, poder-se-á averiguar se o fator de qualidade do circuito tanque da extração de relógio do regenerador é satisfatório. Este valor não deve ser tão alto de tal forma que o regenerador não consiga acompanhar as variações de fase que ocorrem no sinal devido às sucessivas regenerações ao longo da linha, nem muito baixo para eliminar a possibilidade de acúmulo de jitter causado pela conversão de amplitude para fase na extração de relógio.

O esquema de montagem para este teste é o mesmo já utilizado em V.2.6 (Fig. V.8). Neste caso, no entanto, precisamos trocar o relógio interno por um externo (sintetizador) para o ajuste de alguns valores apropriados de frequência. O próprio relógio externo (saída BNC RELÓGIO DE LINHA) gatilhará o osciloscópio, enquanto que a saída do regenerador comandará uma das entradas ver

ticais do osciloscópio.

Inicialmente selecionamos no equipamento de teste, a alternativa  $10^3A10^3B$  com  $n=1$ , que nos permite obter uma frequência de comutação de 64Hz entre os padrões A e B, quando a frequência de relógio é 2,048MHz {Vide Tabela IV.2}. A palavra A se constitui num padrão cheio (11....1), enquanto que B é um padrão esparsos (00....01). O padrão ternário selecionado é o AMI. Alterando-se a frequência de relógio para 2,068MHz, no osciloscópio deverá ser verificado que a marca do padrão mais esparsos se apresenta com um "atraso" em relação à do padrão cheio. Alterando-se agora a frequência de relógio para 2,028MHz e a frequência de comutação entre os padrões A e B para 12,8KHz (isto é conseguido selecionando-se a alternativa  $(n+1)A(n+1)B$  com  $n=4$  no equipamento de teste {Vide Tabela IV.2}), poderemos considerar que o fator de qualidade é satisfatório se o "atraso" diminuir de 10% a 50% em relação ao caso anterior.

Outro teste que pode ser efetuado é descrito a seguir. Utilizamos uma frequência de comutação entre padrões de 64Hz, obtida como descrito acima. Para este caso, ajustamos a frequência do relógio externo no valor da frequência nominal do sistema (2,048 MHz  $\pm$  100Hz). As palavras A e B devem ser selecionadas entre as da tabela abaixo. Para cada duas palavras escolhidas, uma para A e outra para B, anota-se o "desvio" entre as marcas dos dois padrões. Em qualquer caso, este "desvio" não deve ser superior a 20 nseg.

Padrões do teste para escolha de A e B:

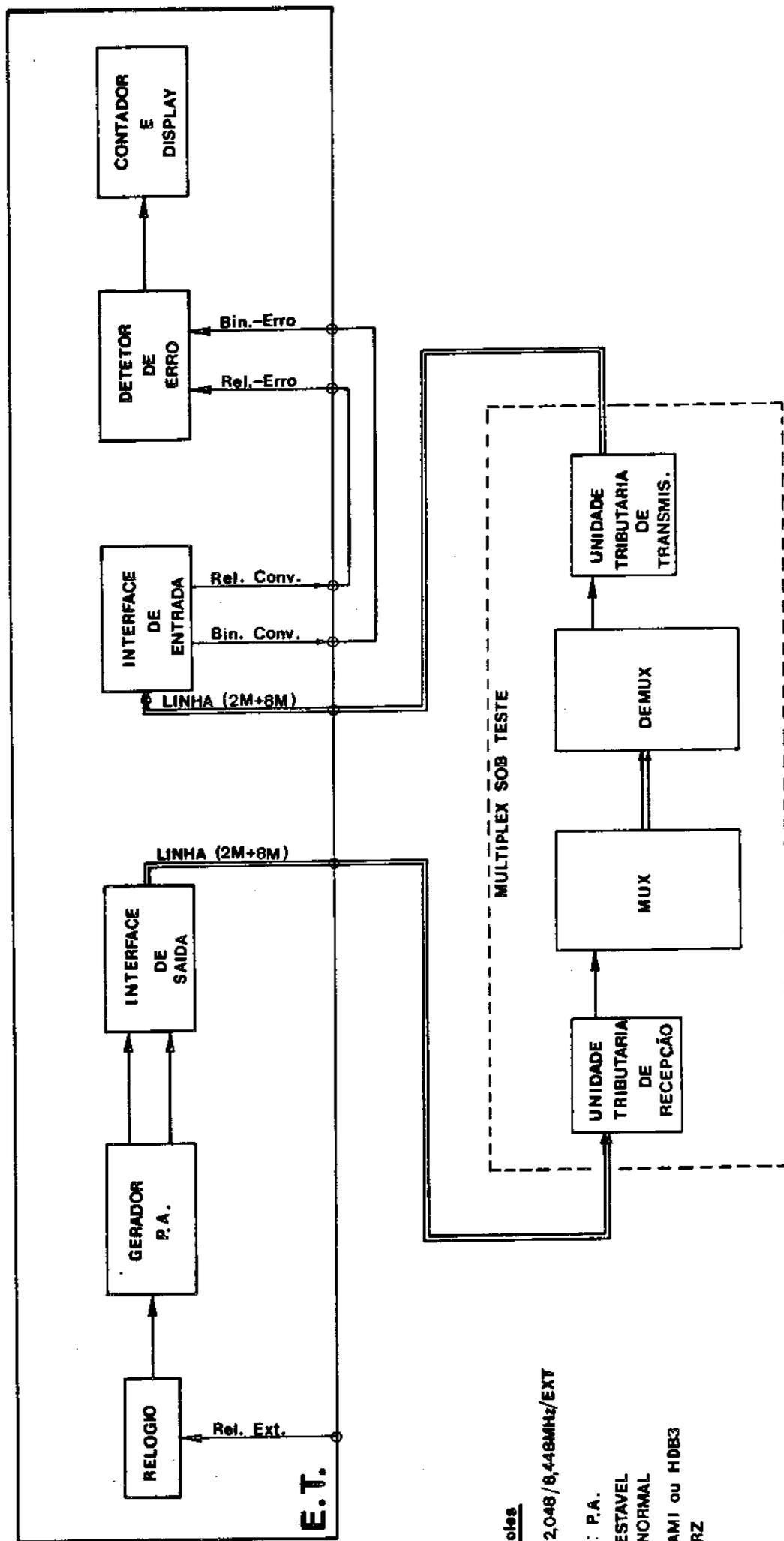
1	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	1	0	0
1	0	0	1	0	0	1	0	1	0	0	1	0	0	1
1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	0	0	0	1	1	0	0	0	0	0
1	1	1	0	0	0	0	0	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0	1	1	1	1	0	0	0
1	1	1	1	1	0	0	0	1	1	1	1	1	0	0
1	1	1	1	1	1	0	0	1	1	1	1	1	1	0

#### V.2.8 - Crosstalk

Do projeto dos sistemas multiplex sabemos que os cartões dos canais tributários são idênticos e geralmente são dispostos adjacentes uns aos outros dentro do sub-rack. Esta disposição pode facilmente gerar problemas de crosstalk entre os canais. Este crosstalk aparecerá devido principalmente a elementos sensíveis como o PLL, circuito sintonizado do extrator de relógio na interface de entrada, etc, que estão dispostos mais ou menos próximos.

O teste proposto poderá ajudar na escolha da disposição mais conveniente para redução do crosstalk.

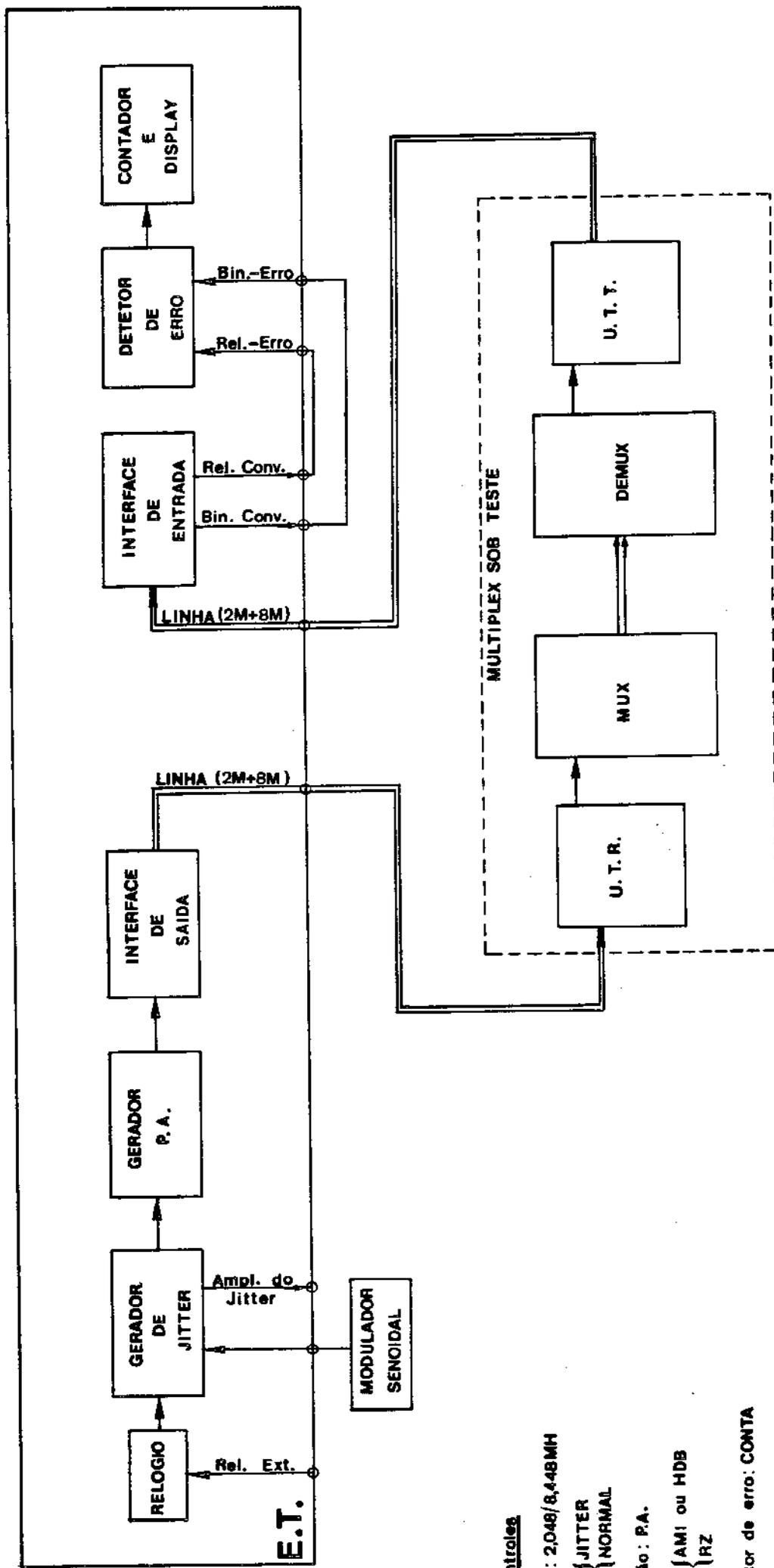
Basicamente, o esquema de montagem é o ilustrado na Fig. V.4. Para este teste, no entanto, é necessário alimentar os demais três canais tributários do sistema multiplex com padrões também pseudo-aleatório. Supondo que cada canal tributário tenha uma taxa de erro abaixo da máxima especificada, a nova taxa obtida, quando os quatro canais estão sendo utilizados simultaneamente, dará uma idéia da intensidade do crosstalk. Se este acarretar uma alta taxa de erro, aquém das especificações, evidentemente uma outra disposição entre os cartões do multiplex deverá ser escolhida. A solução final ficará a cargo da administração que aprovará o sistema.



**Controles**

- Freq.: 2,048 / 8,448 MHz / EXT
- Padrão: P.A.
- Rel. { ESTAVEL  
          NORMAL
- Cod. { AMI ou HDB3  
          RZ

Fig. V.4 - MEDIDA DA TAXA DE ERRO



Controles

• Freq.: 2,048/8,448MH

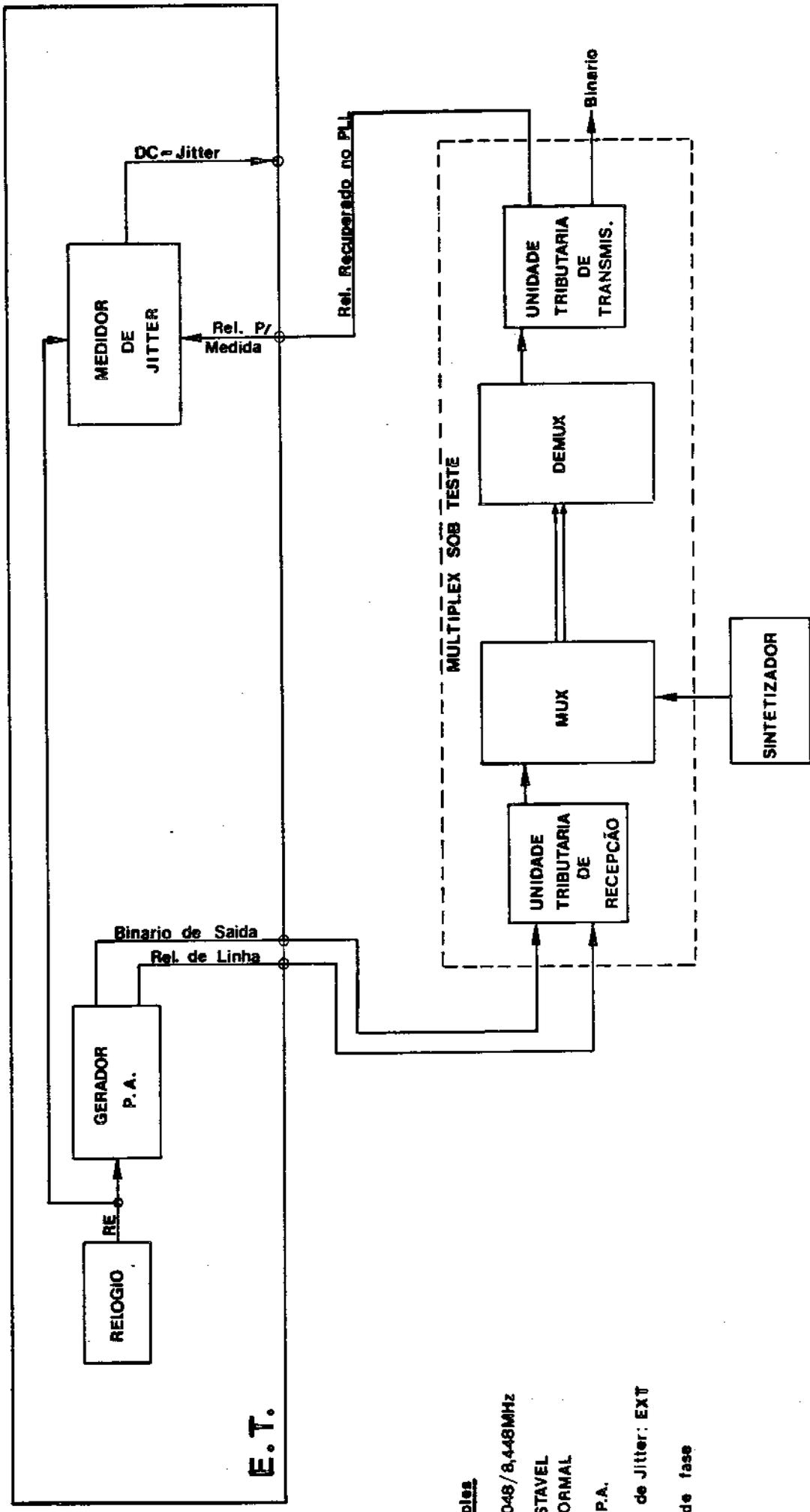
• Rel. { JITTER  
      { NORMAL

• Padrão: P.A.

• Cod. { AMI ou HDB  
      { RZ

• Detetor de erro: CONTA

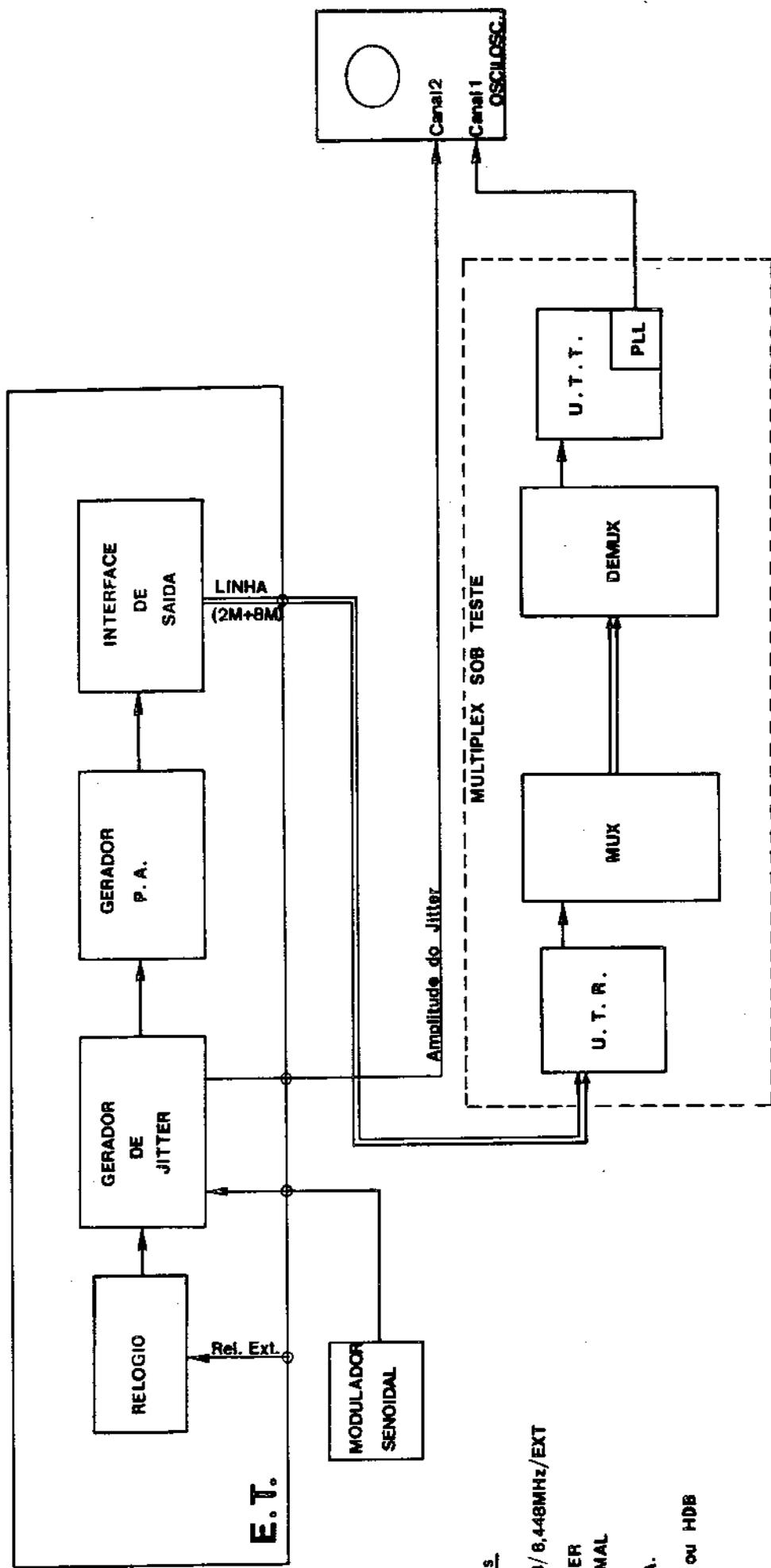
Fig. V.5 - ACEITAÇÃO DE JITTER



**Controles**

- Freq.: 2048/8,448MHZ
- Rel. { ESTAVEL  
          NORMAL
- Padrão: P.A.
- Medidor de Jitter: EXT
- Ajuste de fase

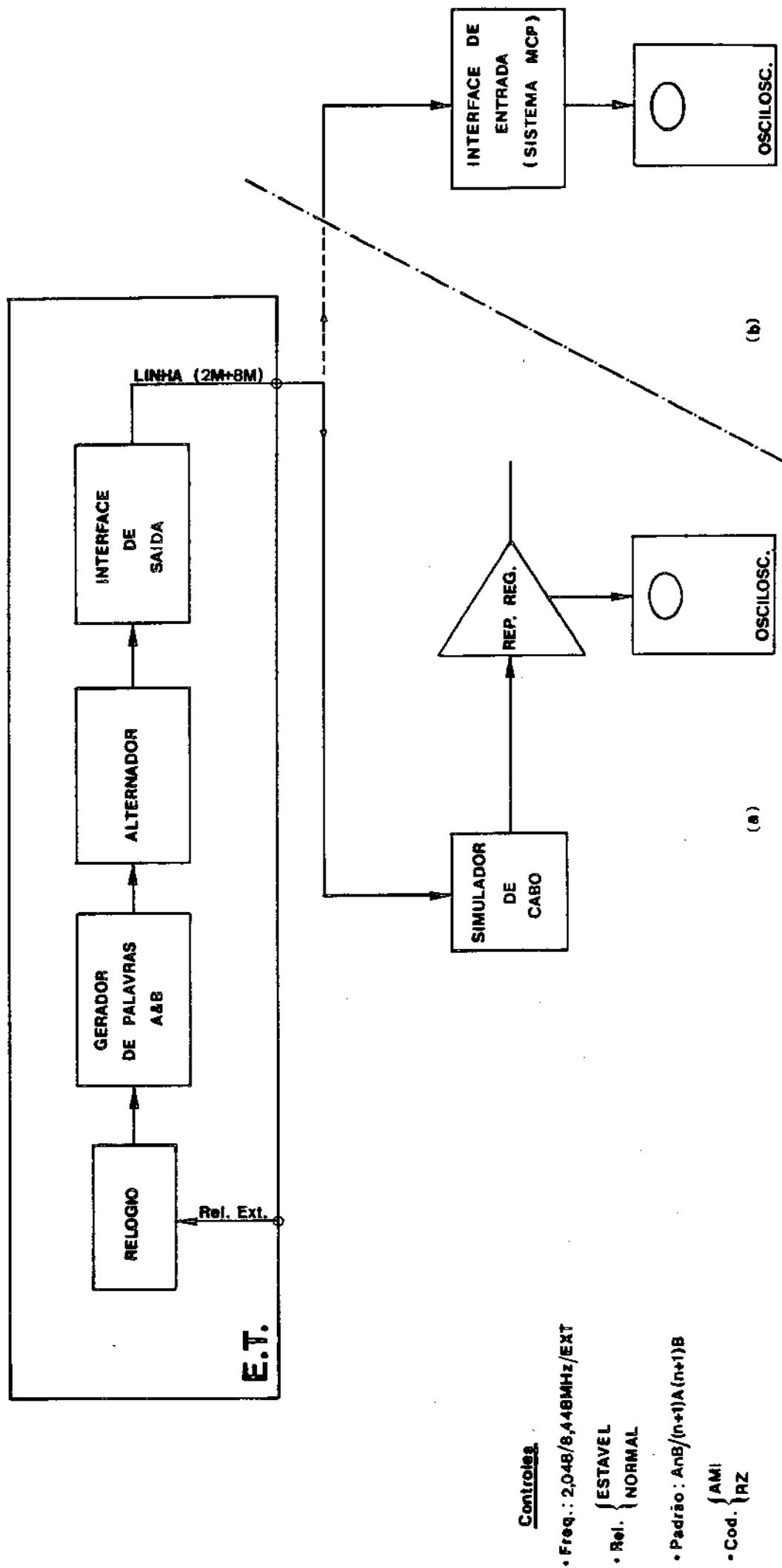
Fig. V.6 - MEDIDA DO JITTER DE TEMPO DE ESPERA



Controles

- Freq.: 2,048/ 6,448MHz/EXT
- Rel. { JITTER  
          NORMAL
- Padrão: P.A.
- Cod. { AMI ou HDB  
          RZ

Fig. V.7 - MEDIDA DA FUNÇÃO DE TRANSFERÊNCIA DO SISTEMA MULTIPLEX



Controles

- Freq.: 2,048/8,448MHz/EXT
- Rel. { ESTAVEL  
          NORMAL
- Padrão: AnB/(n+1)A(n+1)B
- Cod. { AMI  
          RZ

Fig. V.8 - MEDIDA DO FATOR DE QUALIDADE DE UM CIRCUITO TANQUE:

(a) REPETIDOR REGENERATIVO

(b) INTERFACE DE ENTRADA

APÊNDICES

A   B   C

## APÊNDICE A

### NOÇÕES TEÓRICAS SOBRE A GERAÇÃO DE SEQUÊNCIAS PSEUDO-ALEATÓRIAS

Neste apêndice são apresentados vários resultados importantes sobre os Shift-Registers geradores de sequências pseudo-aleatórias. Trataremos apenas do caso binário, embora existam resultados semelhantes para o caso geral de sinais multiníveis (q-ário).

Inicialmente descrevemos algumas propriedades estatísticas das sequências puramente aleatórias (sequências de Bernoulli). Estas propriedades são então comparadas com as das sequências pseudo-aleatórias geradas por Shift-Registers.

A seguir são apresentadas as condições necessárias e suficientes para que um Shift-Register de  $n$  estágios gere uma sequência de máximo comprimento  $(2^n - 1)$ . Apresentamos, finalmente, uma listagem de vários polinômios simples, de graus menores que 34, que correspondem às realimentações dos Shift-Registers de máximos comprimentos.

#### A.1 - PROPRIEDADES ESTATÍSTICAS DAS SEQUÊNCIAS ALEATÓRIAS

O exemplo mais simples de geração de uma sequência binária puramente aleatória, pode ser obtido com arremessos de uma moeda ideal, onde cara equivalerá a 1 e coroa a -1.

Às sequências obtidas desta maneira, podemos associar as seguintes propriedades que caracterizam a aleatoriedade 16 :

- 1 - O número de caras é aproximadamente igual ao número de coroas.
- 2 - Surtos de caras consecutivas, ou de coroas consecutivas, ocorrem com frequência, onde surtos curtos ocorrem com mais frequência que surtos longos. Mais precisamente, aproximadamente metade dos surtos tem comprimento 1, um quarto tem comprimento 2, um oitavo tem comprimento 3, e assim por diante.
- 3 - As sequências possuem uma função de auto-correlação bem característica, com um pico na origem e um decaimento rápido nas extremidades.

A função de auto-correlação  $R(\tau)$  de uma sequência de números reais  $\{a_n\} = \{a_0, a_1, a_2, \dots\}$  é definida por:

$$R(\tau) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N a_n a_{n+\tau}$$

contanto que o limite exista.

Para o caso particular em que  $\{a_n\}$  é uma sequência periódica de período  $p$ , temos:

$$R(\tau) = \frac{1}{p} \sum_{n=1}^p a_n a_{n+\tau}$$

Como  $\{a_{n+\tau}\}$  pode ser pensada como um deslocamento de fase da sequência  $\{a_n\}$ ,  $R(\tau)$  caracteriza a quantidade de similaridade entre as sequências  $\{a_n\}$  e  $\{a_{n+\tau}\}$ . O valor de  $R(\tau)$  é máximo para  $\tau = 0$  e, se  $\{a_n\}$  for aleatória,  $R(\tau)$  é muito pequeno para outros valores de  $\tau$ .

## A.2 - PROPRIEDADES ESTATÍSTICAS DAS SEQUÊNCIAS PSEUDO-ALEATÓRIAS

Uma sequência periódica  $\{a_n\}$ , onde  $a_n = \pm 1$ , é dita pseudo-aleatória se:

R1 - Em cada período, a diferença absoluta entre o número de +1's e o número de -1's é menor ou igual a 1, isto é,

$$\left| \sum_{n=1}^p a_n \right| \leq 1.$$

R2 - Em cada período, metade dos surtos tem comprimento 1, um quarto tem comprimento 2, um oitavo tem comprimento 3, e assim por diante, desde que o número de surtos indicados seja maior que 1.

R3 - A função de auto-correlação  $R(\tau)$  é dada por:

$$R(\tau) = \frac{1}{p} \sum_{n=1}^p a_n a_{n+\tau} = \begin{cases} 1 & \text{se } \tau = 0. \\ K/p & \text{se } 0 < \tau < p. \end{cases}$$

Exemplo: Seja  $\{a_n\} = 1 \ 1 \ 1 \ -1 \ 1 \ -1 \ -1$ , onde  $p = 7$ .

A propriedade R1 é satisfeita, pois existem 4 +1's e 3 -1's. Existem 4 surtos, metade tem comprimento 1 e um quarto tem comprimento 2, sendo assim R2 é satisfeita.

A auto-correlação é 1 para  $\tau = 0$  e  $-1/7$  para  $\tau \neq 0$ , assim R3 é satisfeita com  $K = -1$ .

Portanto  $\{a_n\}$  é pseudo-aleatória.

Golomb [16] prova que a sequência gerada por um Shift-Register de máxima sequência satisfaz R1, R2 e R3 com  $K = -1$ .

Podemos concluir, portanto, que à medida que  $p$  tende a infinito, a estatística das sequências pseudo-aleatórias dos Shift Registers aproxima-se da estatística das sequências puramente aleatórias.

### A.3 - CONDIÇÕES NECESSÁRIAS E SUFICIENTES PARA A GERAÇÃO DE SEQUÊNCIAS PSEUDO-ALEATÓRIAS DE MÁXIMO COMPRIMENTO

Condições necessárias e suficientes para que um Shift-Register de  $n$  estágios gere uma sequência de máximo comprimento  $(2^n - 1)$ , podem ser encontradas em Petterson and Weldon [17], ou em Golomb [16]. Estes resultados são reproduzidos aqui de uma maneira simplificada, isto é, sem entrar em detalhes de álgebra e Campos de Galois.

Considere o Shift-Register binário de  $n$  estágios, mostrado na Fig. A.1, onde cada coeficiente multiplicador,  $h_i$ , é um elemento do campo binário  $\{0,1\}$  ou Campo de Galois  $GF(2)$ . Ao valor  $h_i = 0$  corresponde um circuito aberto e ao valor  $h_i = 1$  corresponde de um curto circuito.

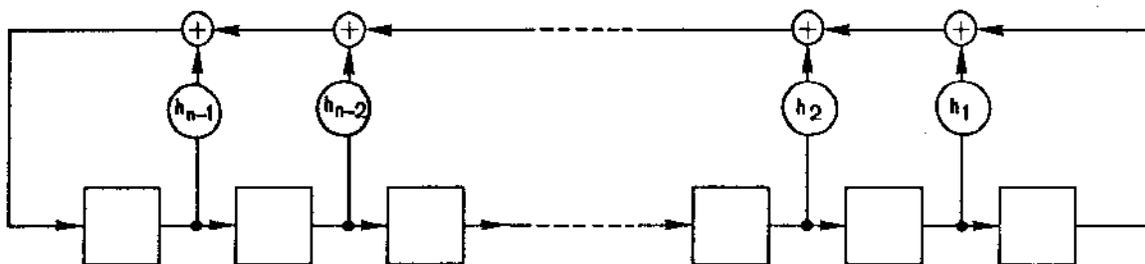


Fig. A.1 - Diagrama em blocos do Shift-Register

Aos coeficientes  $h_i$ 's podemos associar um polinômio de grau  $n$ , dado por:

$$h(X) = X^n + h_{n-1} X^{n-1} + h_{n-2} X^{n-2} + \dots + h_2 X^2 + h_1 X + 1$$

Suponhamos inicialmente que  $h(X)$  seja irredutível sobre  $GF(2)$ , isto é,  $h(X)$  não contém fatores com coeficientes no campo binário  $GF(2)$ . Então, o conjunto de polinômios com coeficientes em  $GF(2)$  módulo  $h(X)$  forma um campo de extensão, denominado Campo de Galois de grau  $n$  sobre  $GF(2)$ , ou simplesmente  $GF(2^n)$ .

Cada elemento de  $GF(2^n)$  é um polinômio com coeficientes binários e cujo grau é menor ou igual a  $n-1$ . Seja  $g(X)$  um polinômio genérico em  $GF(2^n)$ , onde

$$g(X) = g_{n-1} X^{n-1} + g_{n-2} X^{n-2} + \dots + g_2 X^2 + g_1 X + g_0$$

Ao polinômio  $g(X)$  podemos associar um vetor binário de  $n$  componentes, dado por

$$(g_{n-1}, g_{n-2}, \dots, g_2, g_1, g_0)$$

Assim,  $GF(2^n)$  pode ser considerado como sendo um conjunto de vetores binários de  $n$  componentes. Pode-se mostrar que  $GF(2^n)$  é o espaço vetorial composto de todos os vetores binários de  $n$  componentes, isto é,  $GF(2^n)$  contém  $2^n$  elementos.

Seja  $\alpha$  um elemento que representa a Classe de Resíduo que contém  $X$ , isto é,  $\alpha$  é um polinômio da forma

$$X + q(X)h(X)$$

onde  $q(X)$  é um polinômio qualquer com coeficientes em  $GF(2)$ . Então, é fácil ver que  $h(\alpha)$  é um polinômio múltiplo de  $h(X)$ , isto é,

$$h(\alpha) = 0 \quad \text{módulo } h(X)$$

Quando todo elemento diferente de zero de  $GF(2^n)$  puder ser representado como uma potência de  $\alpha$ , isto é, como  $\alpha^j$  para algum  $j$ , diz-se que o polinômio  $h(X)$  é primitivo.

Exemplo: Seja  $h(X) = X^3 + X + 1$ . Pode-se verificar que  $h(X)$  é irredutível, portanto ele gera o campo de extensão  $GF(2^3)$ .

Se  $\alpha = X + q(X)h(X)$ , então  $h(\alpha) = 0$ , isto é,

$$\alpha^3 + \alpha + 1 = 0$$

ou  $\alpha^3 = \alpha + 1$

Assim temos:

$$\alpha^0 = 1 = 0 0 1$$

$$\alpha^1 = \alpha = 0 1 0$$

$$\alpha^2 = \alpha^2 = 1 0 0$$

$$\alpha^3 = \alpha + 1 = 0 1 1$$

$$\alpha^4 = \alpha^2 + \alpha = 1 1 0$$

$$\alpha^5 = \alpha^2 + \alpha + 1 = 1 1 1$$

$$\alpha^6 = \alpha^2 + 1 = 1 0 1$$

$$\alpha^7 = 1 = 0 0 1$$

Vemos assim que qualquer elemento diferente de zero de  $GF(2^3)$  pode ser expresso como uma potência de  $\alpha$ , portanto  $h(X)$  é primitivo.

Utilizando os resultados de Peterson and Weldon {17}, ou de Golomb {16}, podemos enunciar, finalmente:

TEOREMA: A condição necessária e suficiente para que um Shift-Register de  $n$  estágios gere uma sequência de máximo comprimento, é que o polinômio das realimentações,  $h(X)$ , seja primitivo.

Na tabela A.1 são apresentados alguns polinômios primitivos simples de graus  $\leq 34$ .

Os polinômios que utilizamos no circuito implementado foram:

$$h(X) = X^{15} + X + 1$$

e  $h(X) = X^{22} + X + 1$

TABELA A.1

n = 2	$h(X) = X^2 + X + 1$
n = 3	$h(X) = X^3 + X + 1$
n = 4	$h(X) = X^4 + X + 1$
n = 5	$h(X) = X^5 + X^2 + 1$
n = 6	$h(X) = X^6 + X + 1$
n = 7	$h(X) = X^7 + X + 1$
n = 8	$h(X) = X^8 + X^4 + X^3 + X^2 + 1$
n = 9	$h(X) = X^9 + X^4 + 1$
n = 10	$h(X) = X^{10} + X^3 + 1$
n = 11	$h(X) = X^{11} + X^2 + 1$
n = 12	$h(X) = X^{12} + X^6 + X^4 + X + 1$
n = 13	$h(X) = X^{13} + X^4 + X^3 + X + 1$
n = 14	$h(X) = X^{14} + X^8 + X^6 + X + 1$
n = 15	$h(X) = X^{15} + X + 1$
n = 16	$h(X) = X^{16} + X^{12} + X^3 + X + 1$
n = 17	$h(X) = X^{17} + X^3 + 1$
n = 18	$h(X) = X^{18} + X^7 + 1$
n = 19	$h(X) = X^{19} + X^5 + X^2 + X + 1$
n = 20	$h(X) = X^{20} + X^3 + 1$
n = 21	$h(X) = X^{21} + X^2 + 1$
n = 22	$h(X) = X^{22} + X + 1$
n = 23	$h(X) = X^{23} + X^5 + 1$
n = 24	$h(X) = X^{24} + X^7 + X^2 + X + 1$
n = 25	$h(X) = X^{25} + X^3 + 1$
n = 26	$h(X) = X^{26} + X^6 + X^2 + X + 1$
n = 27	$h(X) = X^{27} + X^5 + X^2 + X + 1$
n = 28	$h(X) = X^{28} + X^3 + 1$
n = 29	$h(X) = X^{29} + X^2 + 1$
n = 30	$h(X) = X^{30} + X^{23} + X^2 + X + 1$
n = 31	$h(X) = X^{31} + X^3 + 1$

$$n = 32 \quad h(X) = X^{32} + X^{22} + X^2 + X + 1$$

$$n = 33 \quad h(X) = X^{33} + X^{13} + 1$$

$$n = 34 \quad h(X) = X^{34} + X^{27} + X^2 + X + 1$$

## APÊNDICE B

### ESPECIFICAÇÕES DO JITTER EM EQUIPAMENTOS MULTIPLEX DE 1<sup>a</sup>, 2<sup>a</sup>, 3<sup>a</sup> E 4<sup>a</sup> ORDEM

#### 1 - FILOSOFIA DAS ESPECIFICAÇÕES

Os sistemas digitais MCP consistem de seções multiplexadoras, demultiplexadoras e interfaces. Cada uma tem limites máximos na tolerância do jitter de entrada e um mal funcionamento do sistema irá ocorrer se esses limites forem ultrapassados. Torna-se então necessário sabermos quais são esses limites, de tal forma que possamos medi-los na prática para assegurar um ótimo desempenho do equipamento. Entretanto, é necessário de antemão especificar e medir, se for necessário, as propriedades de transferência e geração de jitter de cada seção, de modo que, em operação normal, a tolerância de entrada não tenha significativa probabilidade de ser excedida.

A tolerância do jitter de entrada do multiplex, por exemplo, influencia no máximo comprimento de linha, circuitos extratores de relógio nos regeneradores e interfaces, formato de quadro e tamanho de memória do próprio multiplex e demultiplex. Na maioria dos sistemas práticos de transmissão, o número relativamente grande de regeneradores, comparados com o equipamento terminal, é um fator dominante no projeto do sistema. Evidentemente, o equipamento multiplex com uma pequena tolerância máxima no jitter de entrada pode restringir o projeto de todos os repetidores. Por outro lado, o equipamento multiplex poderia ser projetado para aceitar o máximo no caso de um longo comprimento de linha, mas requeria para isso um inaceitável tamanho de memória que seria impraticável realizar. É evidente, entretanto, que um meio termo deve ser adotado.

As especificações propostas dadas a seguir são fornecidas pela UNITED KINGDOM POST OFFICE (UKPO), de novembro de 1.976 (Vide Ref. 8); elas são baseadas em valores de "jitter" que poderiam ser encontrados na prática para regeneradores de projetos econômicos, tendo circuitos de baixo fator de qualidade e assumindo-se que o sinal transmitido é aleatório. Estas especificações apresentadas se baseiam então em resultados de muitos anos de estudo e pesquisa de jitter nos sistemas MCP e poderão ser recomendadas pela CCITT futuramente.

## 2 - JITTER EM EQUIPAMENTOS MULTIPLEX DIGITAIS

Apresentamos as especificações do jitter:

- a) na entrada do equipamento multiplex para indicar a mínima aceitação de jitter que deve ser apresentada pelo equipamento.
- b) na saída do equipamento multiplex para indicar o máximo jitter que pode ser introduzido pelo próprio equipamento.
- c) pelo sistema, por meio da característica de transferência de entrada e saída do equipamento.

### 2.1 - Mínima aceitação de jitter na entrada do Multiplex

Vários fatores limitam a amplitude máxima do jitter que o MUX/DEMUX podem tolerar.

Esses fatores são:

- Capacidade da memória elástica para absorver jitter de alta frequência.
- Características elétricas do equipamento: frequência de justificação e de quadro (o processo de justificação é capaz de absorver o jitter de baixa frequência).
- Características dos circuitos extratores de relógio de interface do equipamento. Este restringe o jitter tolerável de alta frequência.

No entanto, apesar dessas restrições quanto à máxima amplitude aceitável do jitter, uma especificação da mínima aceitação é adotada levando-se em conta um determinado comprimento de linha, onde fazem parte um número relativamente grande de repetidores regenerativos.

O gráfico a seguir mostra a MÍNIMA ACEITAÇÃO DE JITTER que o sistema multiplex deverá apresentar, proposto pela UKPO.

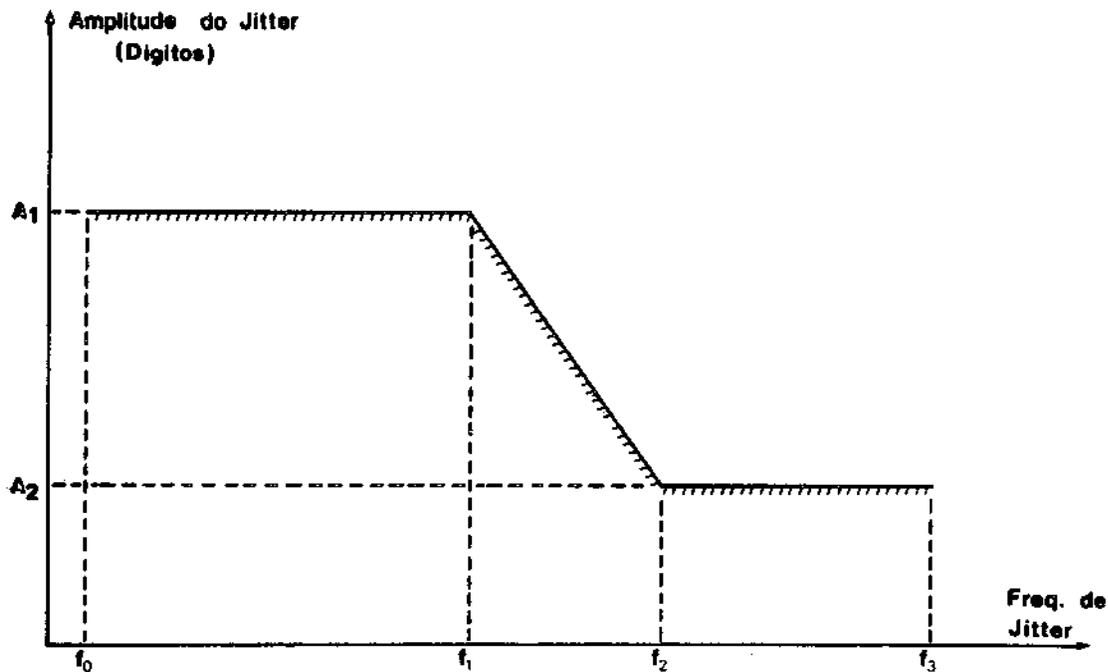


Fig. B.1 - MÁSCARA DA MÍNIMA ACEITAÇÃO DE JITTER EM SISTEMAS DE 1<sup>a</sup>, 2<sup>a</sup>, 3<sup>a</sup> E 4<sup>a</sup> ORDEM.

Essa "máscara" (característica mínima da amplitude do jitter na entrada do equipamento em função da frequência de jitter) estabelece os limites adotados e que foram determinados razoáveis à qualquer sistema multiplex digital real. Os valores de  $f_0$ ,  $f_1$ ,  $f_2$  e  $f_3$  com os respectivos valores de amplitude  $A_1$  e  $A_2$  são dados na tabela 1 abaixo. A UKPO propõe que a máscara deve ser flexível para baixas frequências até  $f_0$ . O valor sugerido para  $f_0$  é 5Hz.

Tabela 1

VELOCIDADE DE INFORMAÇÃO Kbit/seg.	VELOCIDADE DE SÍMBOLO DE LINHA Kbaud	Nº DE REPETIDORES	$A_1$ (Dígitos)	$A_2$ (Dígitos)	$f_1$ KHz	$f_2$ KHz
2.048	2.048	50	1.5	0.2	3.9	30
8.448	8.448	50	1.5	0.2	16	120
34.368	34.368	70	1.9	0.2	52	490
139.264	104.448	200	4.3	0.27	93	1500

OBS: Para o sistema de 4<sup>a</sup> ordem, o código de linha é o 4B3T e portanto a velocidade de símbolo da linha é 3/4 da velocidade de informação. Algumas companhias também utilizam este código para o sistema de 3<sup>a</sup> ordem.

A frequência  $f_3$  proposta é igual a  $5f_2$ .

## 2.2 - Máximo jitter de saída do Demultiplexador na ausência de jitter na entrada do sistema

Esta máxima amplitude é diretamente dependente das características elétricas do sistema. O jitter introduzido no demultiplexador tem várias componentes:

- jitter devido à rotina de inserção das palavras de alinhamento de quadro e dos dígitos de serviço e de justificação (Frequência = múltiplo inteiro da frequência de quadro).
- jitter de justificação (Frequência =  $\rho$  x frequência de quadro, onde  $\rho$  = razão de justificação).
- jitter de tempo de espera (Baixa frequência).

As duas primeiras componentes são de alta frequência comparada à frequência de corte do PLL. Elas serão filtradas no sistema e absorvidas pela memória.

Desta forma, resulta praticamente o jitter de tempo de espera que compõe o então chamado jitter residual de saída do demultiplexador. A Tabela 2 mostra o valor máximo da amplitude desse jitter residual como função da frequência do canal tributário.

FREQUÊNCIA DO TRIBUTÁRIO Kbit/seg.	MÁXIMO JITTER DE SAÍDA (Dígitos pico-a-pico)
2.048	0.20
8.448	0.20
34.368	0.25

Tabela 2

## 2.3 - Função de Transferência do PLL do Demultiplexador

Além da especificação do máximo jitter de saída do demultiplexador é também essencial determinar a função de transferência do jitter pelo demultiplexador ou, mais precisamente, a função de transferência do Phase-Locked-Loop projetado para reduzir a amplitude do jitter causado pela remoção dos bits de controle de quadro e de justificação. Este PLL utiliza geralmente um filtro passa-baixas e sua função de transferência não deve apresentar, a prin

cípio, nenhuma amplificação na faixa de passagem. O ganho de jitter do PLL precisa ser controlado em cada estágio de uma cadeia de equipamentos multiplex para prevenir excessivas amplitudes de jitter acumulado no caminho.

É então proposto que a amplificação permitida não exceda 0,5dB.

A figura abaixo mostra a máscara proposta para a função de transferência do PLL.

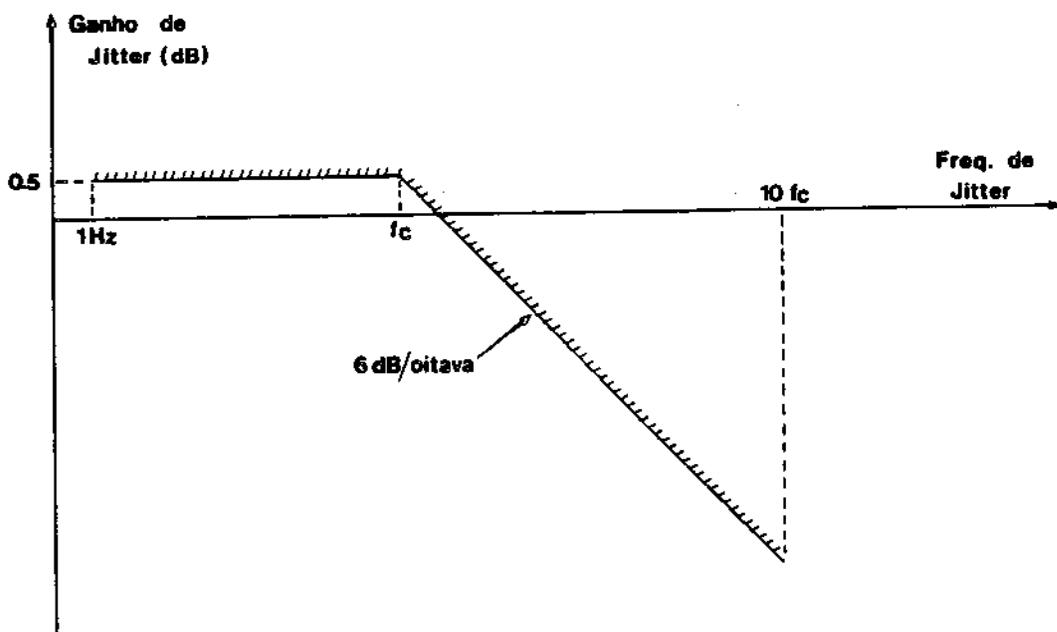


Fig. B.2 - MÁSCARA DA FUNÇÃO DE TRANSFERÊNCIA DO PLL PARA SISTEMAS DE 2<sup>a</sup>, 3<sup>a</sup> E 4<sup>a</sup> ORDEM.

As frequências de 1Hz e  $10f_c$  são sugeridas como limites de medida. A frequência de corte  $f_c$  é especificada a seguir.

#### Largura de Faixa

A largura de faixa do PLL pode ser também especificada. Sabe-se que esta largura de faixa não tem nenhum efeito na máxima amplitude residual do jitter de tempo de espera (este máximo é obtido para jitter de muito baixa frequência que não pode ser filtrado), mas pode ser usada para reduzir o jitter residual da saída do demultiplexador quando a sua frequência é alta.

A largura de faixa de 30Hz foi proposta pela recomendação G742 da CCITT para os sistemas de 2<sup>a</sup> ordem. Esta largura permite que o jitter de quadro e justificação seja reduzido à aproximadamente 0,022 dígitos pico-a-pico. Aplicando este critério para

as outras ordens na hierarquia, obtemos os valores da tabela 3.

FREQ. DO TRIBUTÁRIO Kbit/seg.	FREQ. DE CORTE DO PLL $f_c$ (Hz)
2.048	30
8.448	65
34.368	160

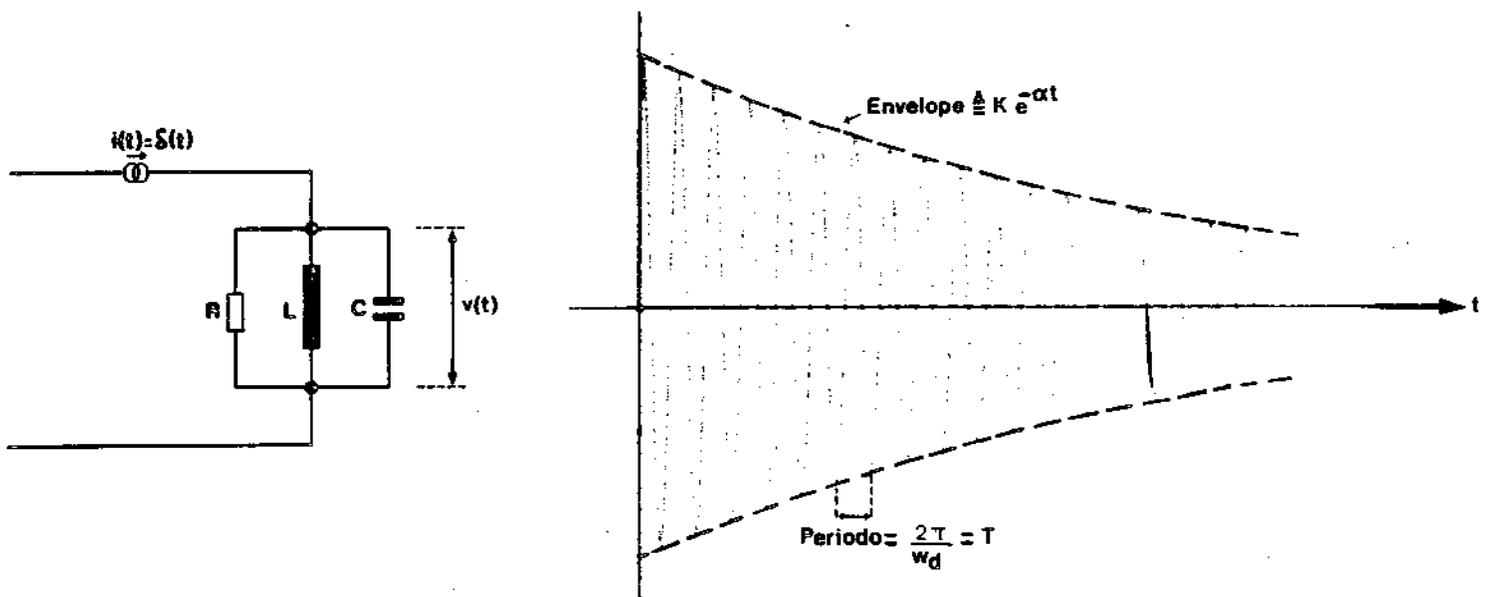
Tabela 3

OBS: A frequência de corte  $f_c$  não é a frequência de 3dB, mas sim a frequência a partir da qual o ganho cai 6dB/oitava.

## APÊNDICE C

### CÁLCULO DA EXPRESSÃO DO FATOR DE QUALIDADE EM FUNÇÃO DO NÚMERO DE PERÍODOS DE DECAIMENTO APÓS UMA EXCITAÇÃO SOBRE O CIRCUITO TANQUE

A figura abaixo mostra a resposta de um circuito tanque a partir de uma excitação  $\delta(t)$ :



$$v(t) = K e^{-\alpha t} \cos(\omega_d t - \theta)$$

onde:

$$\left\{ \begin{array}{l} \omega_0 = \{1/LC [1 - 1/(2Q)^2]\}^{1/2} \\ Q = \omega_0/2\alpha \\ K = \sqrt{L/C} \omega_0^2/\omega_d \\ \theta = \text{tg}^{-1} 1/2Q \end{array} \right.$$

A relação entre  $\omega_d$  e  $\omega_0$  é dada por:

$$\omega_d^2 \hat{=} \omega_0^2 - \alpha^2$$

Podemos aproximar  $\omega_d \hat{=} \omega_0$ , pois

$$\omega_d^2 = \omega_0^2 - \omega_0^2/(2Q)^2 = \omega_0^2 [1 - 1/(2Q)^2]$$

Para  $Q \gg 1 \Rightarrow \omega_d \cong \omega_0$ .

O valor de  $\alpha$  pode ser obtido a partir de  $Q$  e  $\omega_0$ . Desta forma, escrevemos a equação da envoltória como:

$$K e^{-\alpha t} \cong 1/C e^{-(\omega_0/2Q)t}$$

Quando a amplitude desta envoltória cair para a metade de seu valor máximo, teremos:

$$K e^{-(\omega_0/2Q)t} = 1/2 K e^{-(\omega_0/2Q)t}$$

Então:

$$(\omega_0/2Q)t = \ln 2 \cong 0,693$$

Sendo  $\omega_0 = 2\pi f_0 = 2\pi/T$ , temos:

$$Q = 2\pi / (2 \times 0,693) t/T = 4,532 t/T$$

A relação  $t/T$  nos dá o número de períodos até a envoltória atingir a metade de seu valor máximo. Então, denominando  $N = t/T$ , obtemos finalmente:

$$Q \cong 4,532 N$$

CAPÍTULO VI

CONCLUSÕES

O objetivo deste trabalho foi apresentar o projeto de um equipamento de teste para sistemas multiplex MCP. Procurou-se dar ênfase às noções práticas de elaboração do equipamento, mesmo porque não houve necessidade da apresentação de deduções ou estudos teóricos muito complexos. Com isto, introduziu-se de forma adequada uma conceituação prática dos requisitos para os testes necessários. Pensamos que desta forma o trabalho torna-se acessível a todos.

O desempenho do equipamento de teste construído pôde ser avaliado durante os testes do primeiro protótipo do sistema multiplex de 120 canais telefônicos (Vide Ref.3 e Ref.15). Durante essa fase, ficou bastante evidente a importância do equipamento: de um lado, pode ser ele o único com condições de realizar tais testes, e por outro, devido à eficiência com que se prestou às medidas.

Uma visão ampla sobre o equipamento de teste projetado e implementado foi apresentada nos capítulos anteriores. Detalhes de seu projeto, modos de operação e os resultados finais de sua implementação estão aí documentados. Baseados principalmente nos testes propostos e/ou feitos sobre o protótipo do sistema MCP de 120 canais (8 Mbits/s), foram apresentados também uma descrição rápida dos mesmos e fornecidas algumas especificações sobre resultados de medidas que por ventura sejam realizadas no futuro.

Nos parágrafos que se seguem, tentaremos discorrer sobre mais alguns detalhes técnicos da implementação física do equipamento e discutir rapidamente algumas conclusões importantes sobre o trabalho realizado.

Como já foi visto, o equipamento de teste contém muitos circuitos que compõem seu subrack. Alguns deles desempenharam funções próprias; outros trabalham em conjunto, desenvolvendo funções paralelas. No projeto de cada um deles, procurou-se aliar a simplicidade ao melhor desempenho possível. Logo após o projeto, foi desenvolvida a construção do circuito por meio de uma técnica particular de lay-out, onde, numa placa de circuito impresso padrão, os integrados são dispostos ordenadamente e as suas interligações são feitas com fio especial (AWG 30), obtendo-se rapidamente a confecção dos circuitos. Após a construção, realizou-se testes sobre os mesmos e procurou-se verificar se cada circuito desempenhava as funções propostas, a partir das formas de onda projetadas ou esperadas. Graças à técnica empregada para confecção dos cir

cuitos, as modificações que eventualmente foram necessárias puderam ser realizadas rapidamente, permitindo chegar a uma solução eficiente do circuito projetado.

Somente alguns dos circuitos ofereceram problemas ao passarem da fase de projeto (papel) para a implementação. Poucos deles ainda possuem parte dos problemas que não puderam ser solucionados. Exemplos disto são os PLL's Geradores de Jitter que apresentam geração de jitter espontânea de baixa amplitude e alta frequência, cujo motivo se deve, aparentemente, a ruído e interferência no loop que compõe o circuito. A solução, neste caso, seria a elaboração de um lay-out que permitisse bons desacoplamentos e onde se pudesse eliminar quaisquer tipos de interferência nos loops desses PLL's. Esse problema e alguns outros de menor porte poderão ser resolvidos quando, numa fase de especificação rigorosa, for construído um novo protótipo do equipamento.

Na parte mecânica, alguns problemas foram encontrados durante a sua construção e as inovações que necessitaram ser efetuadas foram, de uma forma ou de outra, acrescentadas. Notadamente, podemos relacionar as saídas BNC, por meio das quais teremos acesso a alguns pontos importantes de certos circuitos (Gerador e Medidor de Jitter), introduzidas na parte traseira do equipamento, assim como os dissipadores da fonte de alimentação que não haviam sido considerados no projeto inicial.

Na elaboração de um novo protótipo, muitas modificações e aprimoramentos podem ser feitos no que se refere, principalmente, à mecânica do equipamento, à qual se estudaria uma estrutura mais adequada com relação a vários aspectos falhos neste protótipo. Uma sugestão para melhor disposição do subrack, com ligações entre painel frontal e circuitos, seria aquela em que essas ligações fossem efetuadas diretamente, bastando para isso inverter a ordem em que as placas são introduzidas na caixa metálica. Com esta mudança, as placas de circuitos poderão ser removidas do equipamento sem a necessidade de se retirar o painel frontal, como acontece neste protótipo. Neste tipo de solução, também evitaríamos as extensas ligações por meio de cabos coaxiais entre as entradas e saídas dos circuitos e os conectores BNC. Evidentemente, soluções mais adequadas ou favoráveis podem ser adotadas.

Poderia-se sugerir ainda que se implementasse partes do equipamento que desenvolvessem somente algumas das suas várias funções. Com isto, criaríamos módulos em que houvessem apenas os

geradores e codificadores de palavras, ou detetor de erro ou mediador e gerador de jitter, ou ainda combinações destes. De certa forma, o intuito do projeto inicial seria desfeito, mas, ao criarmos estes módulos, estaríamos permitindo, da mesma forma, que a Hewlett Packard ou Marconi, que o equipamento encontrasse aplicações em outras áreas técnicas.

Como conclusão final, poderíamos evidenciar a importância do equipamento para o know-how brasileiro na área de transmissão digital. Nossa contribuição consistiu não só na assimilação de conhecimentos mas, também, na elaboração de novas idéias e na solução dos problemas tecnológicos decorrentes.

## REFERÊNCIAS BIBLIOGRÁFICAS

- {REF 1} - PRADO LOPES, L.C. e SCARABUCCI, R.R. - "Controle e Multiplexagem em Sistemas MCP de 2<sup>a</sup> Ordem" - FEC - UNICAMP - Julho/77.
- {REF 2} - AQUINO, L.A.C. e WALDMAN, H. - "Minimização de Jitter em Sistemas MCP de 2<sup>a</sup> Ordem através de Phase Locked Loop" - FEC - UNICAMP - Abril/77.
- {REF 3} - MALAVAZZI, H.J. e SCARABUCCI, R.R. - "Sincronização de Sinais Plesiocronos pelo Método de Justificação Positiva em Sistemas MCP-120" - FEC - UNICAMP - Agosto/77.
- {REF 4} - OWEN, F.E.E. - "Seminários sobre Transmissão Digital" - FEC UNICAMP - Julho/76.
- {REF 5} - EDWARDS, A.K. - "Jitter Characteristics of Asynchronous Digital Multiplexers" - [Appendix 1: The Test Equipment] - STL - Outubro/72.
- {REF 6} - GRUBER, J.G. - "Generation and Measurement of Phase Jitter using Phase Locked Loop Techniques" - IEEE Transactions on Instrumentations and Measuring, vol. 24, n°2, Junho/75.
- {REF 7} - PATTERN GENERATION & ERROR DETECTOR - INSTRUCTION MANUAL, Type TF2808/1 - MARCONI INSTRUMENTS LTD.
- {REF 8} - JITTER PERFORMANCE OF SECOND, THIRD AND FOURTH ORDER DIGITAL MULTIPLEX EQUIPMENTS - Source: UNITED KINGDOM POST OFFICE, Digital sub-group meeting-Paris, 17 a 23/Nov/76.
- {REF 9} - JITTER SPECIFICATIONS FOR DIGITAL MULTIPLEX EQUIPMENTS - Contribution from the Italian Administration - Com.XVII - n° 1-E.
- {REF 10}- "Supplement of the TTL Data Book for Design Engineers" - 2<sup>a</sup> edição (1976) - Texas Instruments Incorporation.
- {REF 11}- "The Linear Integrated Circuits Data Catalog" - Fairchild Semiconductor - Fevereiro/73.
- {REF 12}- "Linear Integrated Circuits" - National - Fevereiro/75.
- {REF 13}- ZUFFO, J.A. - "Subsistemas Digitais e Circuitos de Pulso" - vol. 1 e 2.
- {REF 14}- CHARLES, A.; DESOER & ERNESTS, KUT - "Basic Circuit Theory" - International Student Edition, 1969.

- {REF 15} - ARANTES, D.S. et.al. - "Características do primeiro protótipo de sistema multiplex de 120 canais telefônicos construído no Brasil" - FEC - UNICAMP - RT-43 - Junho/78.
- {REF 16} - GOLOMB, S.W. - "Shift-Register Sequences" - Holden-Day, Inc., 1967.
- {REF 17} - PETERSON, W.W. and E.J. WELDON, Jr. - "Error-Correcting Codes" - The MIT Press, USA, 1972.