

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA DE CAMPINAS
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MATRIZ DE COMUTAÇÃO
DE UMA CPA-TEMPORAL

MICHEL DAQUD YACOB

Orientador: HERMANO DE M.F. TAVARES

Tese de Mestrado apre-
sentada à Faculdade de
Engenharia da Universii
dade Estadual de Campii
nas.

Y1m

4907/BC

UNICAMP
BIBLIOTECA CENTRAL
MARÇO - 1983

A

meu pai Daoud Yacoub
minha mãe Helena Salun
Victor A.V. Díaz, brilhante
e estimado colega,
dedico este trabalho.

AGRADECIMENTOS

Ao professor Hermano Tavares pela orientação, amizade, incentivo e sobretudo apoio com o que foi possível levar a cabo este trabalho.

A Victor A. V. Díaz pelas palavras de estímulo, dedicação, sugestões, revisão dos originais e participação ativa no desenvolvimento do "hardware" da matriz.

A Bruno Souza Vianna pelas valiosas sugestões e revisão dos originais.

A Marcel Palandi Cavaletti pela participação ativa no desenvolvimento do "software" de controle da matriz.

A Miguel de Jesus Perdigueiro pelas valiosas sugestões e colaborações.

A Isidro Lopes da Silva pela dedicação no projeto do PLL.

A Jacek Gregory Prorok pela colaboração nos cálculos e geração das amostras de voz atenuadas.

A Valdir Dias com quem meus primeiros trabalhos em CPA-T foram iniciados.

A Maria Cristina Baraldi e Miriam Santos pelo paciente trabalho de datilografia.

A Celso Lamônica Ribeiro e Eduardo dos Santos Martarello pela confecção dos desenhos.

A todos os colegas do Departamento de Comutação que participaram do projeto do Protótipo A-1 do Sistema TROPICO e a tantos quantos colaboraram na elaboração deste trabalho.

RESUMO

O Centro de Pesquisa e Desenvolvimento - CPqD - da TELEBRÁS através do seu Departamento de Comutação - DCO - vem, desde a sua criação, concentrando esforços com intuito de desenvolver os elementos de uma família de Central por Programa Armazenado - CPA - Temporal brasileira; o Sistema TROPICO.

Neste trabalho apresenta-se o projeto da matriz de comutação de tal sistema levando-se em conta o "hardware" e "software" de controle envolvidos.

O pequeno número de placas diferentes, englobando funções variadas no tratamento de um grande número de enlaces, e sua modularidade, dando uma flexibilidade de adaptação às mais variadas demandas de tráfego, são as principais características da matriz. Tais características propiciam um controle e uma manutenção bastante simples além do custo industrial competir com o dos equipamentos produzidos no exterior.

ABSTRACT

The Switching Department (DCO) of the Research and Development Center (CPqD) of TELEBRÁS has, since its creation, concentrated its efforts on the development of a Brazilian family of Time Division Stored Program Control (TDSPC) telephone exchanges, the TROPICO System.

The work presented here concerns the design of the switching matrix of this system, including both the hardware, and the control software aspects of the designs.

The small number of different circuit boards, covering the various functions necessary for the handling of a large number of links, and the modularity of the structure permitting the flexibility for accomodating the widest variations in traffic patterns, are the principal characteristics of the switching matrix. These characteristics also allow for relatively simple control and maintenance, not to mention a production cost competitive with equipment produced abroad.

PREFÁCIO

A matriz de comutação do Sistema TROPICO - MACO - ,objeto deste trabalho, é fruto de pesquisa e desenvolvimento em laboratório de diferentes arquiteturas de sistemas de comutação que resultaram em protótipos com os quais realizaram-se experiências de modo a colherem-se subsídios que assinalavam a viabilidade de tais projetos.

Tais arquiteturas evoluíram de forma a acompanhar às necessidades brasileiras e aos recursos disponíveis.

A matriz de comutação descrita neste trabalho é parte do Protótipo A-1 que, montado e testado nos laboratórios do CPqD, evoluirá até um modelo apto a ser industrializado.

Esta tese traça os passos seguidos, a partir das especificações impostas e recursos disponíveis, para se chegar à matriz de comutação do Sistema TROPICO além de detalhar todo o projeto "hardware" e "software" da mesma.

Assim o Capítulo I mostra um pequeno histórico das centrais telefônicas e o aparecimento das CPA's temporais.

No Capítulo II introduz-se a teoria que envolve as CPA's temporais propendendo-se para a estrutura da MACO.

O Capítulo III apresenta o Sistema TROPICO com o objetivo de situar a MACO no mesmo.

O Capítulo IV apresenta a MACO com suas características gerais, partição funcional, configurações exibidas, expansão, detecção de falhas além de outros tópicos.

Os Capítulos V, VI e VII detalham respectivamente as placas SPS, ECT e CTR que constituem tal matriz.

O Capítulo VIII mostra os problemas da expansão da matriz, as soluções adotadas para a interligação entre os módulos e os cálculos.

los que determinam as faixas de comprimento dos cabos de interligação.

O Capítulo IX apresenta em linhas gerais a estrutura "software" do Sistema TROPICO detalhando o "software" de controle da MACO.

Em algumas partes deste trabalho foi usado um mesmo símbolo para representar mais que uma grandeza; no entanto em cada lugar tais símbolos são redefinidos. Esperamos que isto não perturbe o entendimento do mesmo.

ÍNDICE

Prefácio

Capítulo	Pág.
I - INTRODUÇÃO	
I.0 - Matriz de Comutação	1
I.1 - A Evolução da Comutação	4
I.2 - A Era da Eletrônica	5
I.2.1 - Transmissão Digital	5
I.2.2 - Comutação Digital	6
I.3 - Vantagens dos Sistemas de Comutação Digital	7
I.3.1 - Vantagens Técnicas	7
I.3.1.1 - Para os Assinantes	7
I.3.1.2 - Para o Operador	7
I.3.1.3 - Para o Instalador	7
I.3.2 - Vantagens Econômicas	7
I.4 - Conclusão	8
II - COMUTAÇÃO DIGITAL	
II.0 - Introdução	9
II.1 - Comutação Envolvendo Tempo e Espaço	9
II.2 - O Comutador Espacial ou Estágio S	12
II.3 - O Comutador Temporal ou Estágio T	13
II.3.1 - Descrição dos Blocos Funcionais	16
II.3.2 - Controle da Comutação	17
II.3.2.1 - Escrita Sequencial	17
II.3.2.2 - Escrita Controlada	18
II.4 - Estruturas de Matrizes de Comutação Digital	20
II.5 - Estrutura T para Vários Enlaces	21
II.6 - Controle	26
III - O SISTEMA TROPICO	
III.0 - Epítome	28
III.1 - Introdução	28
III.2 - Estrutura "Hardware" do TROPICO	29
III.2.1 - Estrutura de Sincronismo	34

III.2.1.1 - Geração	34
III.2.1.2 - Distribuição	35
III.2.2 - Estrutura de Sinalização	37
III.2.3 - Estrutura de Voz	39
III.2.3.1 - Enlaces Intramodulares	39
III.2.3.2 - Enlaces Intermodulares	40
III.2.3.3 - A Matriz de Comutação	41
IV - A MATRIZ DE COMUTAÇÃO DO SISTEMA TROPICO	
IV.0 - Epítome	42
IV.1 - Características Gerais	42
IV.2 - Partição Funcional	49
IV.3 - Modularidade e Expansão	60
IV.3.1 - Configuração do TROPICO	60
IV.3.2 - Os Problemas da Expansão	63
IV.3.2.1 - Implementação do "Strap"	65
IV.4 - Habilitação da IAP	74
IV.5 - Atenuação Programada	76
IV.5.1 - Implementação	76
IV.5.2 - Cálculo da Atenuação	79
IV.5.3 - Procedimento	82
IV.6 - Detecção de Falhas	86
IV.6.1 - Teste de Relógio	87
IV.6.2 - Memórias de Controle	88
IV.6.2.1 - Teste Contínuo	88
IV.6.2.2 - Teste a Pedido	89
IV.6.3 - Caminho de Voz	89
IV.6.3.1 - Teste Contínuo	91
IV.6.3.2 - Teste a Pedido	94
IV.7 - Descrição Sucinta de uma Chamada Bem Sucedida	99
V - PLACA DE CONVERSÃO SÉRIE-PARALELO-SÉRIE - SPS	
V.0 - Introdução	102
V.1 - Características	102
V.2 - Estrutura Interna	107
V.3 - Descrição de Funcionamento	110
V.3.1 - Considerações Gerais	110
V.3.2 - Defasagem Programada	115

V.4 - PROM de Atenuação	116
V.5 - Endereços e Relógio para as IAP's	116
V.6 - Cabeação MACO-IAP's	117
V.7 - Descrição dos Sinais	117
V.8 - Implementação	121
VI - PLACA ESTÁGIO DE COMUTAÇÃO TEMPORAL - ECT	
VI.0 - Introdução	124
VI.1 - Características	124
VI.2 - A ECT em Blocos	131
VI.2.1 - Amostrador de Entrada	131
VI.2.2 - Detetor de Paridade de Entrada	131
VI.2.3 - Memória de Comutação	132
VI.2.4 - Registrador de Saída	132
VI.2.5 - Gerador de Endereçamento	132
VI.2.6 - Gerador de Fases	132
VI.2.7 - Detetor de Paridade de Saída	132
VI.3 - Descrição do Funcionamento dos Blocos	133
VI.3.1 - Amostrador de Entrada	133
VI.3.2 - Detetor de Paridade de Entrada	134
VI.3.3 - Memória de Comutação	137
VI.3.4 - Registrador de Saída	138
VI.3.5 - Gerador de Endereçamento	138
VI.3.6 - Gerador de Fases	143
VI.3.7 - Detetor de Paridade de Saída	145
VI.4 - Implementação	145
VII - PLACA DE CONTROLE - CTR	
VII.0 - Introdução	146
VII.1 - Características	146
VII.1.1 - Geração de Fases	146
VII.1.2 - Interface com CIS	151
VII.1.3 - Memórias de Controle	151
VII.1.4 - Inversor de Paridade	152
VII.1.5 - Detetor de Número de Canal com Paridade Errada (DNCPE)	153
VII.1.6 - Alarmes de Paridade	153

VIII.3.3 - O Modelo da Matriz de Comutação	240
VIII.3.3.1 - As Equações do Modelo	245
VIII.3.3.2 - Aproximação do Pior Caso	247
VIII.3.3.2.1 - Para K Par	247
VIII.3.3.2.2 - Para K Ímpar	247
VIII.3.3.2.3 - Faixas de Comprimentos Permissíveis	248
VIII.3.3.3 - Aproximação Estatística Gaussiana	248
VIII.3.3.3.1 - Para K Par	248
VIII.3.3.3.2 - Para K Ímpar	
VIII.3.3.3.3 - Faixas de Comprimentos Permissíveis	249
VIII.4 - Conclusão	255
IX - O "SOFTWARE"	
IX.0 - Epítome	257
IX.1 - Introdução	257
IX.2 - "Software" do TROPICO R	260
IX.3 - "Software" do Sistema Básico	261
IX.4 - BCM	263
IX.5 - As Rotinas de Tratamento do "Hardware"	266
IX.5.1 - TEMP	266
IX.5.2 - DECAN	267
IX.5.3 - RESGE	267
IX.5.4 - ELMCC	268
IX.5.5 - ELMCA	271
IX.5.6 - ELMCI	273
IX.5.7 - TESMCX	275
IX.5.8 - DSMCR	275
IX.5.9 - INVPA	276

IX.5.10 - TESMEC	280
IX.6 - Os Processos	282
IX.6.1 - BCMI	282
IX.6.2 - BCML	284
IX.6.3 - BCMD	286
IX.6.4 - BCMC	287
IX.6.5 - BCMF	292
IX.6.6 - BCMB	294
IX.6.7 - BCMP	296
IX.6.8 - BCMO	298
IX.6.9 - BCMA	300
IX.7 - Desenvolvimento	301
Anexo 1	303
Anexo 2	304
Anexo 3	306
Referências	308

CAPITULO I

INTRODUÇÃO

I.0 - Matriz de Comutação

A interligação de dois aparelhos telefônicos pode ser efetuada diretamente, através de uma linha de dois condutores.

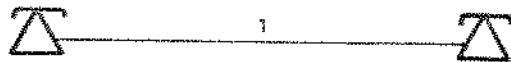


Figura 1.1

A introdução de mais um telefone neste sistema significa a necessidade de mais duas linhas, de forma que todos fiquem interligados.

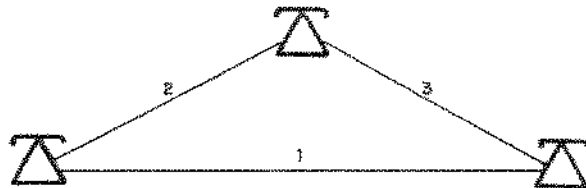


Figura 1.2

Colocando-se um quarto aparelho neste sistema, necessitar-se-iam de 6 linhas de interligação

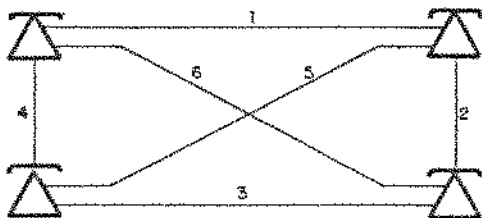


Figura 1.3

A interligação deste sistema de linhas ponto a ponto para n telefones requeriria um número de $n.(n-1)/2$ linhas de interligação. Este tipo de sistema é conhecido como "circuito de comutação não central" e requer $(n-1)$ chaves comutadoras por telefone, como é mostrado em detalhe para o apa-

relho de número 5 da figura 1.4, onde tem-se uma matriz de comutação para oito telefones.

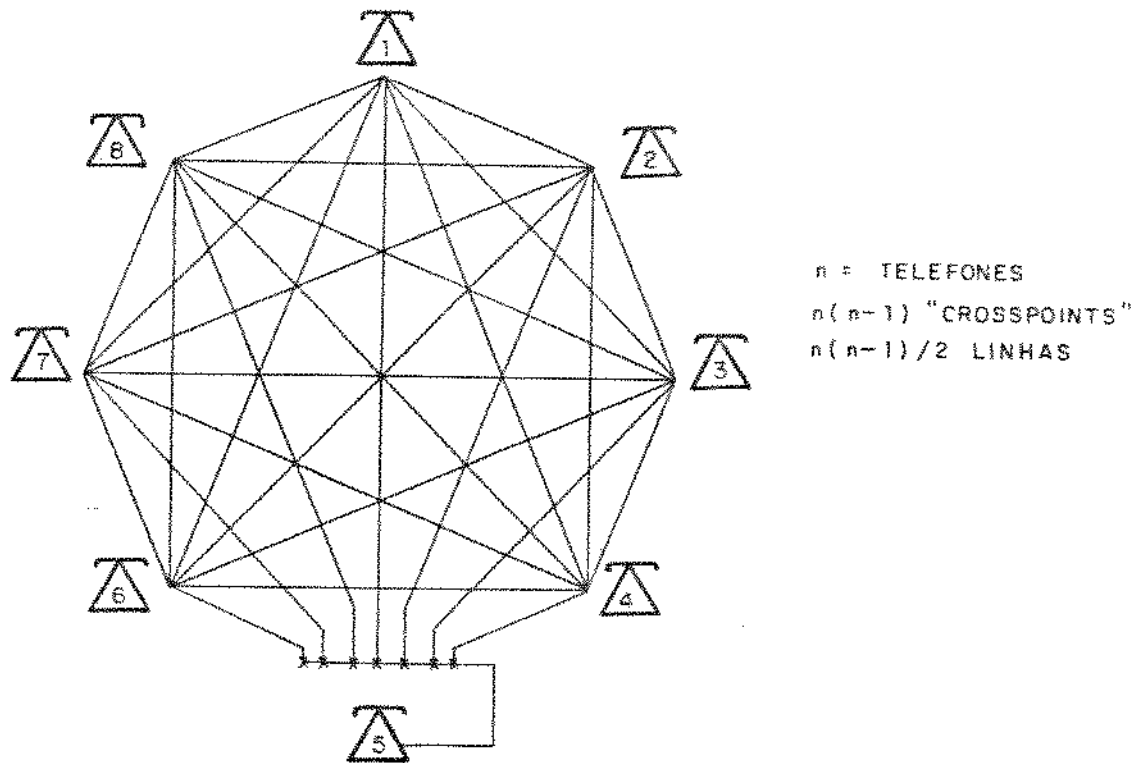
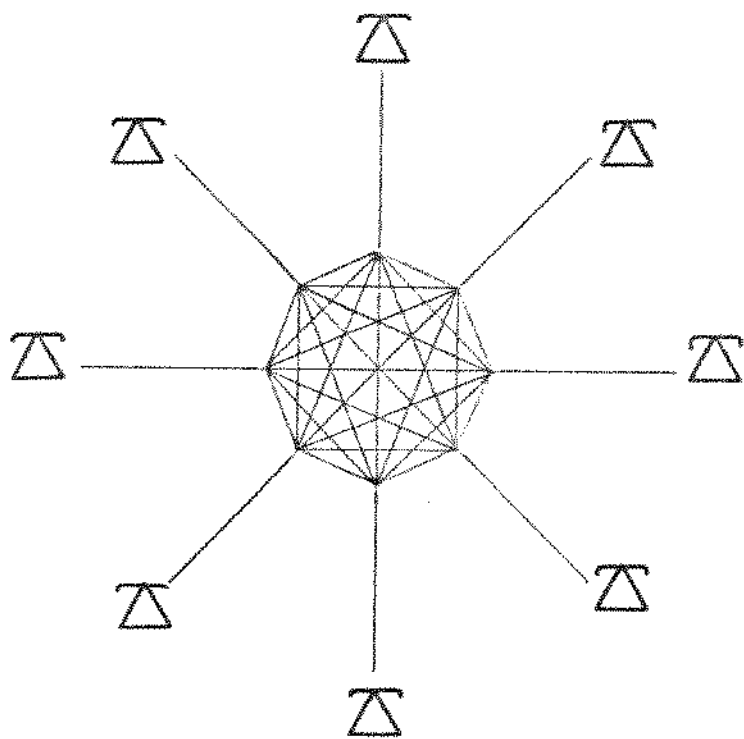


Figura 1.4

As chaves comutadoras usadas para fechar os caminhos são conhecidas como "crosspoints". Portanto este sistema não central requer $n(n-1)$ "crosspoints". Nota-se, pois, que acima de uns poucos telefones este sistema torna-se inviável devido à sua grande complexidade e ao seu custo muito elevado. Daí surge a necessidade de se centralizar a matriz de comutação (figura 1.5).

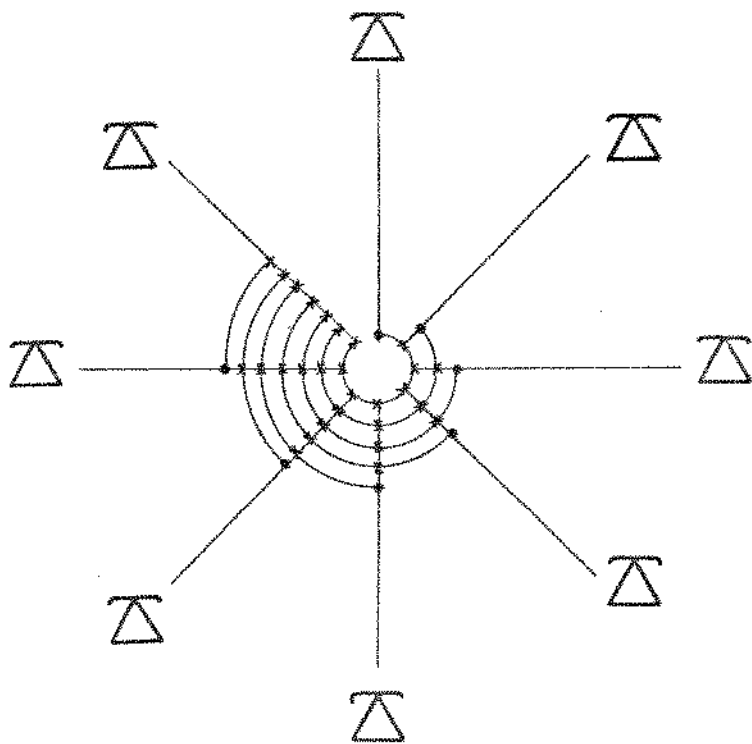
O aparelho é ligado a apenas uma linha, mas o número de "crosspoints" ainda permanece o mesmo. A diferença é que os "crosspoints" podem ser operados remotamente, de forma manual ou automática.



n TELEFONES
 n LINHAS
 $n(n-1)$ "CROSSPOINTS"

Figura 1.5

No entanto é possível reduzir-se à metade o número de "crosspoints" $(n(n-1)/2)$, já que, por ser o controle centralizado, uma conexão pode ser feita pelo acionamento de apenas 1 "crosspoint" (figura 1.6)



n TELEFONES
 n LINHAS
 $n(n-1)/2$ "CROSSPOINTS"

FIGURA 1.6

I.1 - A Evolução de Comutação

Não constitui-se uma tarefa árdua determinarem-se as datas iniciais da invenção, ensaio ou aplicação comercial de um serviço telefônico, mas a data do seu final é indefinida. O ano de pico em termos do número de linhas em serviço talvez seja a melhor medida, já que aí estabelece-se o início do declínio daquela era.

Em 1878 surgiu a primeira mesa comutadora dando início à chamada "Era Manual". Essa era teve o seu auge por volta de 1938. Os problemas e limitações da comutação manual mostraram que a comutação automática, cujos equipamentos passaram a fazer parte da chamada "Era da Comutação Eletromecânica, se fazia necessária. No entanto o primeiro sistema de comutação deste tipo foi inventado em 1879 e no fim do século passado o sistema passo-a-passo criado por A. Strowger foi introduzido no serviço telefônico. A necessidade crescente dos serviços telefônicos torna-se evidente com o correr dos anos e cada vez mais linhas devem ser introduzidas no sistema, o que torna a velocidade de comutação um fator que deve ser levado em conta. Assim na década de 50 surgem os primeiros sistemas de comutação que utilizam o princípio do seletor de barras cruzadas - Seletor "Crossbar". A velocidade conseguida por eles se deve ao fato de não serem utilizados mecanismos relativos ou deslizantes como nos anteriores. A evolução desse sistema levou à utilização dos relés "reed" onde tem-se mais estágios de menor tamanho o que leva esse sistema a ter uma eficiência muito grande. No entanto o uso e o desenvolvimento dos setores "crossbar" e dos relés "reed" chegaram ao limite de sua capacidade. A aplicação da eletrônica surge como um fator de redução dos custos, incremento e melhoramento dos recursos de um sistema de comutação. Dessa forma surgem os diodos a gás para substituírem os relés ou funcionarem como um possível "crosspoint".

O avanço das técnicas de estado sólido e, em particular, dos circuitos integrados em larga escala (LSI) sugere o emprego dos mesmos em substituição aos comumente usados.

Em 1959 Vaughn dos Laboratórios Bell propôs um sistema telefônico usando transmissão e comutação digital. No entanto, nessa época, a tecnologia LSI era cara o que tornava impraticável a realização de sua idéia. Com o barateamento dos custos dos circuitos integrados começa a tornar-se viável o seu uso em comutação. A curva da figura 1.7 ilustra essa idéia.

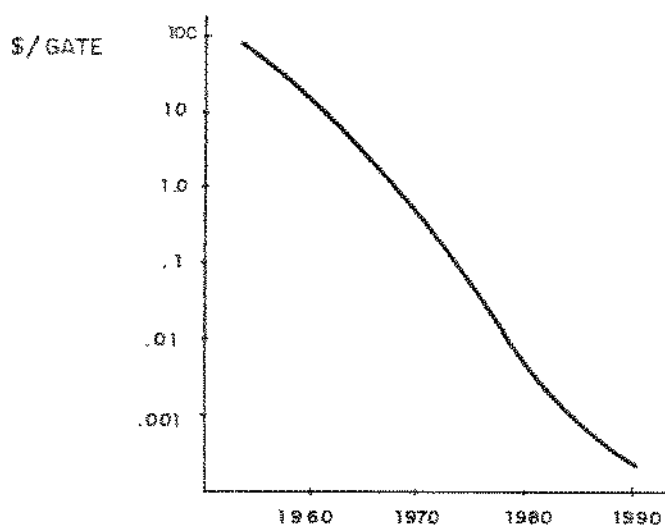


Figura 1.7

I.2 - A Era da Eletrônica

O desenvolvimento ocorrido nas técnicas de estado sólido torna econômico a utilização das mesmas num sistema telefônico. A introdução da eletrônica em telefonia pode ser dividida em duas etapas: transmissão digital e comutação digital.

I.2.1 - Transmissão Digital

Os sinais de voz são transformados para a forma digital, através dos conversores A/D, multiplexados no tempo e transmitidos para a central. O uso dessa transmissão permite economizar enlaces, como ilustra a figura 1.8

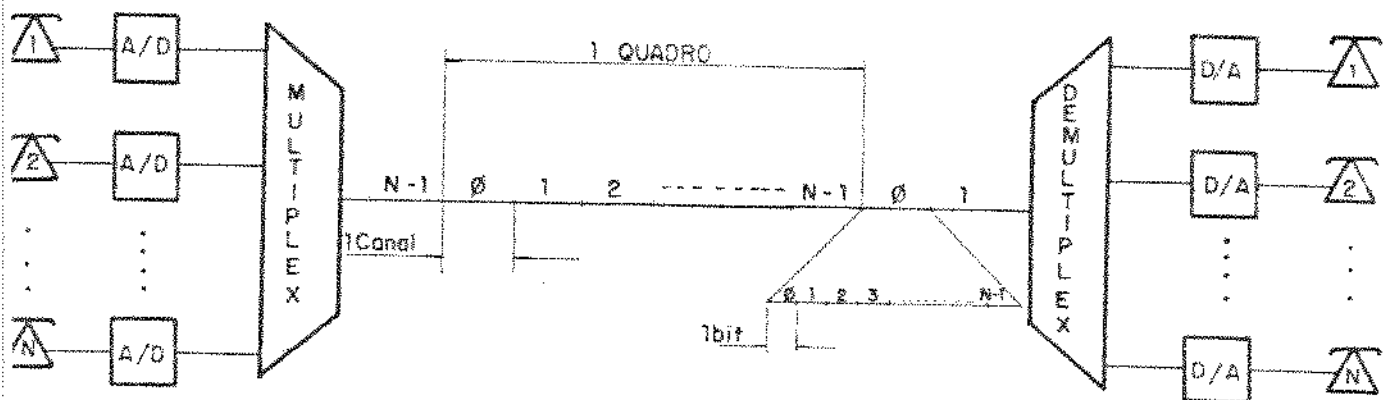


Figura 1.8

A figura 1.8 ilustra um exemplo de N sinais de voz sendo convertidos para digital e multiplexados através de um único enlace composto de N canais de m bits cada.

Atualmente a transmissão utilizada no Brasil e em muitos países da Europa é a PCM onde um quadro que se repete numa frequência de 8KHz, é composto de 32 canais e cada canal contendo 8 bits, o que dá uma frequência de transmissão de 2,048 Mbits/s.

1.2.2 - Comutação Digital

O uso dessa transmissão por divisão de tempo permite economizar enlaces, mas não reduz o alto custo dos "crosspoints". Os sinais digitais ao chegarem na matriz de comutação são convertidos para analógicos e comutados através dos equipamentos eletromecânicos espaciais já mencionados. Como resultado, o custo da matriz não é alterado. Esse custo é proporcional ao número de "crosspoints" da matriz o que, na verdade representa 40% do valor total da rede telefônica - (ref. 14). A alteração desse custo pode ser conseguida usando-se comutação que envolva tempo e espaço, pois essa técnica permite trabalhar diretamente com os sinais digitais e dividir no tempo o uso dos

caminhos de comutação existentes entre os "crosspoints".
Dessa forma surgem os "Sistemas de Comutação Digital".

I.3 - Vantagens dos Sistemas de Comutação Digital

I.3.1 - Vantagens Técnicas

I.3.1.1 - Para os assinantes

- Conexão rápida de uma chamada
- Inclusão de novos serviços (discagem abreviada, conferência, transferência de chamada, etc.)
- Alta confiabilidade

I.3.1.2 - Para o operador

- Centralização dos dados, processamento e gravação
- Redução do "staff" (maior nível de automação)
- Manutenção simplificada graças aos diagnósticos dados pela própria central

I.3.1.3 - Para o instalador

- Flexibilidade de uso e adaptabilidade para equipamentos já existentes
- Instalação fácil e rápida
- Dimensões reduzidas

I.3.2 - Vantagens Econômicas

- Multiplicação da capacidade de tráfego
- Economia de espaço
- Matrizes temporais são mais compactas que as eletromecânicas; a redução do espaço ocupado é de 1:10 se comparada com a central "crossbar" (ref.14)
- Custos menores de operação
- O gerenciamento e manutenção são centralizados, empregando menos pessoas, e mais eficiente.
- Planejamento acurado
- Cálculos precisos de expansões no equipamento são grandemente facilitados pelas facilidades de medição e observação do tráfego.

- Baixo investimento

O sistema é barato considerando a sua eficiência e sofisticação

- Confiabilidade

A matriz de comutação passa a representar 5 a 10% do custo total da rede. Isto vem possibilitar que ela seja construída com redundância o que permite aumentar a confiabilidade do sistema. A redundância pode ser feita através da duplicação ou mesmo triplicação da mesma

- Modularidade

A técnica digital facilita a construção da rede de comutação em módulos. Isto permite a contínua adaptação do equipamento ao aumento da capacidade de tráfego o que na verdade corresponde a um investimento que seja proporcional às necessidades exigidas.

I.4 - Conclusão

As teorias de transmissão por divisão de tempo, codificação digital, lógica de controle eletrônico e controle de detecção de erro se juntaram há um longo tempo. O advento do computador digital e o subsequente amadurecimento da arte do "software", a crescente necessidade de transmissão de dados e a utilização de circuitos integrados em larga escala (LSI) fazem essas combinações teóricas economicamente viáveis para substituírem equipamentos analógicos pelos digitais.

A real oportunidade apresentada pelo advento e evolução das técnicas de comutação digital é a sua quase inimaginável flexibilidade de arranjos estruturais permitindo a construção de sistemas economicamente viáveis numa grande faixa de tamanho.

A comutação digital é realmente a chave para a revolução das telecomunicações e para o perfeito casamento da computação e telecomunicações.

CAPITULO II

COMUTAÇÃO DIGITAL

II.0 - Introdução

Baseado nas aplicações das técnicas digitais, o termo "comutação digital" tem tido um destacado uso. Contudo, este termo não só se refere à rede para comutar sinais digitais, mas também ao processo de controle digital que tem sido uma característica da comutação desde a sua origem. A idéia de se usar memórias de acesso aleatória e lógica de semi-condutor facilitou a introdução do controle programado e em tempo real. Esta técnica conhecida como "controle por programa armazenado - C.P.A" tem se tornado um dos principais usos das técnicas digitais de comutação. Para muitos o termo "Sistema de Comutação Digital" tem um significado mais restrito, qual seja, que sinais digitais são separados no tempo ou multiplexados numa via comum através do Sistema de Comutação. Estritamente falando este é o Sistema de Comutação Digital por divisão do tempo ou temporal.

Neste trabalho o termo "Comutação Digital" será utilizado no seu sentido amplo além de ser confundido com "Comutação Temporal", "CPA Temporal" e "Rede Temporal".

II.1 - Comutação Envolvendo Tempo e Espaço

Seja uma matriz de comutação possuindo N enlaces bidirecionais transportando informações na forma digital. Na verdade esses enlaces são constituídos de 2 vias:

- a que chega a matriz e que será chamada de "via de transmissão" e
- a que sai da matriz e que será chamada de "via de recepção".

Os canais de mesmo número em enlaces de entrada e saída de mesmo número transportam informação de um mesmo terminal a ele alocado. Assim a informação transmitida pelo terminal x chega a matriz de comutação pelo canal y do enlace z da

via de transmissão; a informação comutada para o mesmo a ele chegará através do canal y do enlace z da via de recepção.

Cada enlace possui C canais temporais.

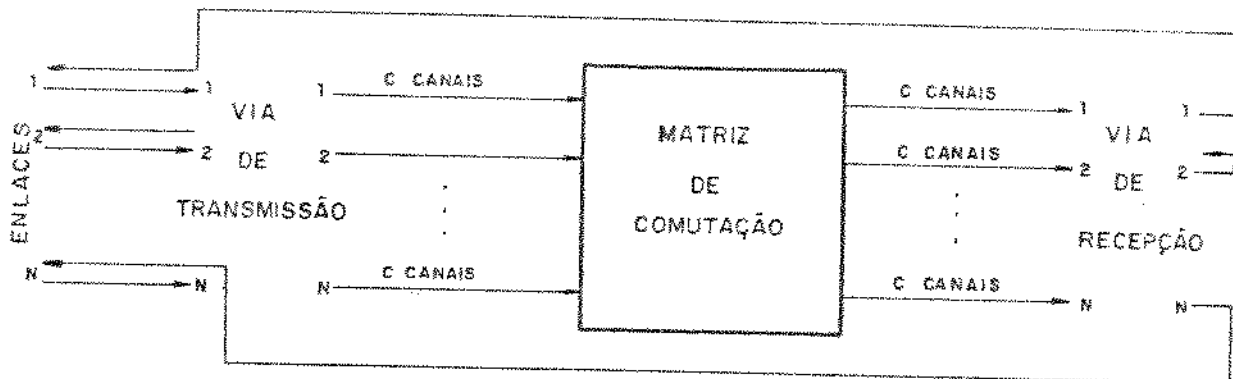


Figura 2.1

O problema se resume em projetar uma matriz de comutação que permita comutar qualquer canal de qualquer via de transmissão com qualquer canal de qualquer via de recepção.

Para se realizar uma comutação entre um canal A do enlace N com um canal B do enlace M devem ocorrer duas operações básicas:

- a) o canal A , que ocupa o intervalo de tempo A , deve ser deslocado de seu intervalo de tempo para ocupar o do B e vice versa. Dessa forma o conteúdo do canal A é colocado no canal B e vice-versa. Tal operação é conhecida como T e o órgão que a realiza é chamado de "comutador temporal" ou "estágio T ".
- b) deve haver a passagem física do conteúdo do canal A para o enlace que contém o canal B e vice-versa. Tal operação é conhecida como S e o órgão que a realiza é chamado "comutador espacial" ou "estágio S ".

As figuras seguintes ilustram essas operações.

Na figura 2.2 tem-se uma operação T onde canais A e B do mesmo enlace são comutados entre si. No final da operação o conteúdo de A(x) é colocado no canal B, e o conteúdo de B (y) é colocado em A.



Figura 2.2

A figura 2.3 mostra uma operação S onde os canais A dos enlaces N e M são comutados entre si. No final da operação o conteúdo do canal A(x) do enlace N é colocado no do enlace M e o do canal A (y) do enlace M é colocado no do enlace N.

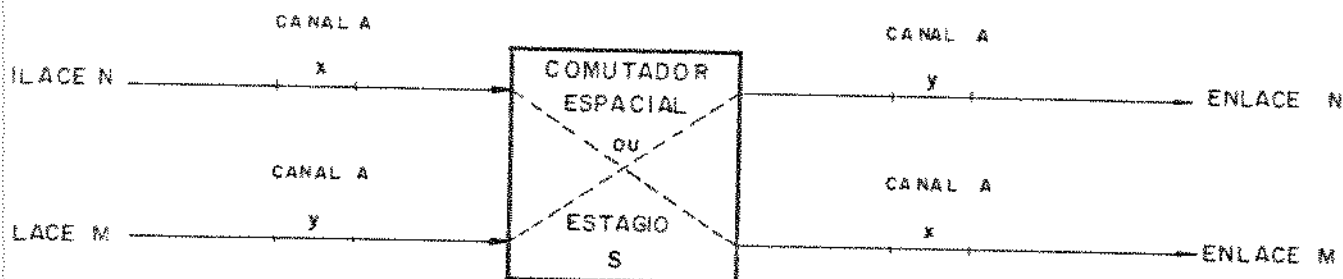


Figura 2.3

A figura 2.4 ilustra as operações T e S realizadas conjuntamente onde o canal A do enlace N é comutada com o B do enlace M.

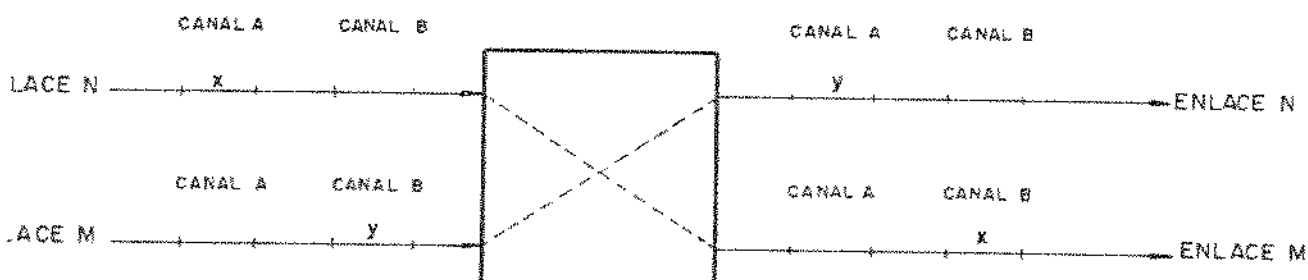


Figura 2.4

11.2 - O Comutador Espacial ou Estágio S

O Estágio S é realizado por meio de matrizes espaciais, isto é, arranjos de nós capazes de conectar um conjunto de vias (linhas) com outro (colunas) em diferentes conexões a cada intervalo de tempo.

Seja, pois, um estágio S com n entradas e m saídas. Este Estágio é equivalente a uma matriz $n \times m$. Essa matriz constitui-se de m multiplex $n \times 1$. Para cada multiplex (MUX) $n \times 1$ existe uma memória de controle (MCR) que comanda o seu multiplex. Cada memória de controle contém tantas posições quantos forem os números de canais de cada via que acessa essa matriz. A largura da memória deve ser suficiente para conter uma palavra que consegue endereçar uma das n vias que à matriz chegam. Dessa forma para um estágio S $n \times m$ com vias de c canais devem-se ter:

- m multiplex $n \times 1$
- m memórias de controle
- cada memória de controle deverá ter c posições de palavras de $(\log_2 n)$ bits ou seja $c \times (\log_2 n)$ bits.

Um contador de canal (contador módulo c) fornece o endereço de leitura para essas memórias.

As vias de transmissão devem estar sincronizadas a nível de quadro, o que significa que num dado intervalo de tempo, todas as vias apresentam o mesmo número de canal. A cada via de saída é associado um multiplex $n \times 1$.

Como é mostrado na figura 2.5 a via de número x ($x=1,2,\dots,n$) é ligada nas entradas x de todos os multiplex.

Seja, como exemplo, comutar canal \emptyset da via 1 com canal \emptyset da via 2. Para isso escreve-se na posição \emptyset da MCR 2 o valor 1. Assim quando o MCR 2 (que está associada ao MUX que tem como via de saída a de número 2) for lida na posição \emptyset (então está ocorrendo o canal \emptyset) o seu conteúdo que é 1 vai endereçar o MUX 2 fazendo com que a sua entrada de número 1

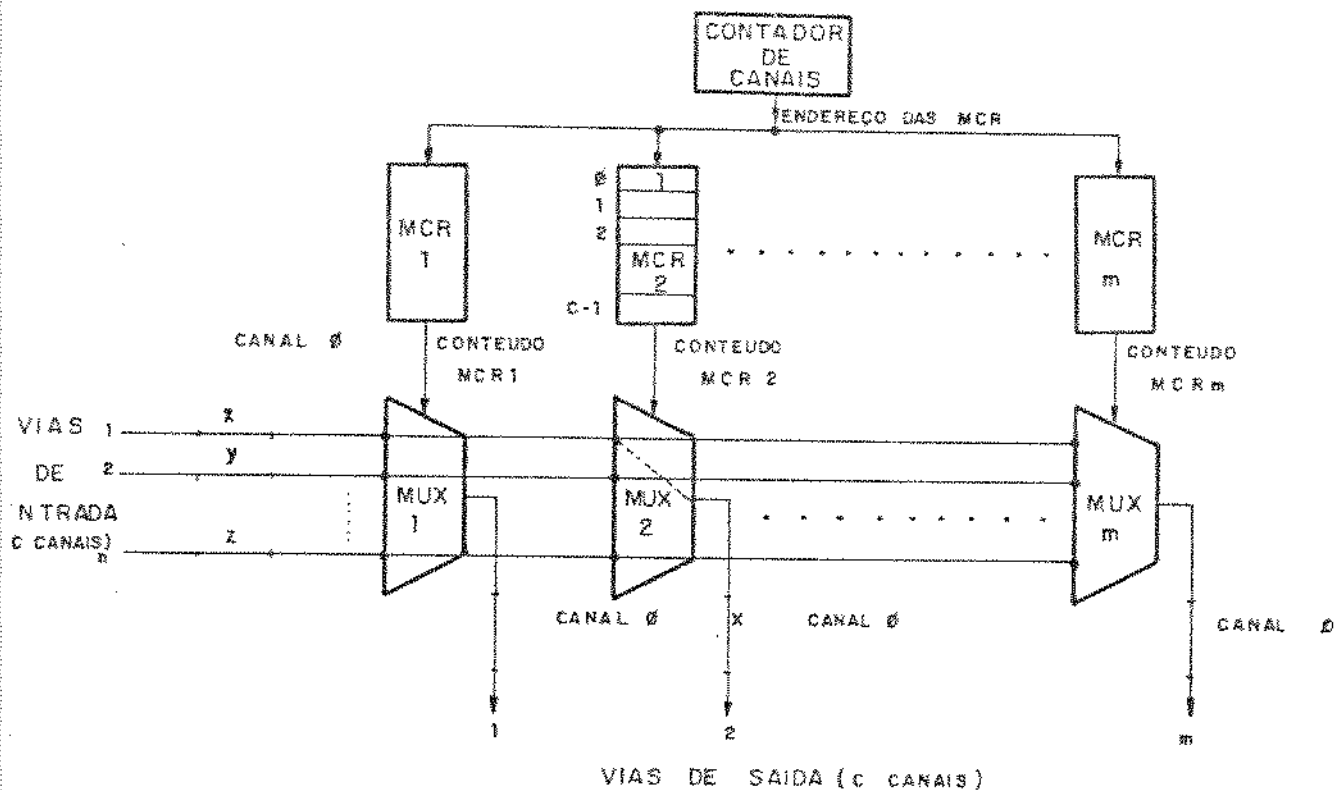


Figura 2.5

(via 1) atinja a saída (via 2) quando o conteúdo do canal \emptyset (x) da via 1 sai no canal \emptyset da via 2. Isto se repete a todo quadro, até que a conexão seja desfeita. Deve-se notar que só se comutam canais de mesmo número numa estrutura como esta.

II.3 - O Comutador Temporal ou Estágio T

A comutação temporal é realizada armazenando-se a informação de um canal, ou seja, de um intervalo de tempo e retransmitindo-a em outro. Isto pode ser obtido por diferentes meios como se seguem:

- linhas de atraso digital; se d é o atraso digital, o canal r de entrada é comutado com o canal $r+d$;
- memórias RAM capazes de armazenar amostras de um subquadro. Neste caso podem-se conectar apenas canais desse subquadro;

- memórias RAM capazes de armazenar todas as C amostras de um quadro. Dessa forma é possível conectarem-se quaisquer dois canais.

Chamar-se-ão as RAM's que armazenam as amostras de voz de "memória de comutação - MCV".

Associada a cada memória de comutação existe uma memória de controle, aqui chamada de "memória de controle de comutação-MCC", que endereça apropriadamente a MCV durante as operações de escrita e leitura da mesma.

Um comutador T deve ter ainda um "buffer" de recepção da via de transmissão já que essa linha pode não operar em sincronismo com a central.

A figura 2.6 mostra um comutador temporal em blocos.

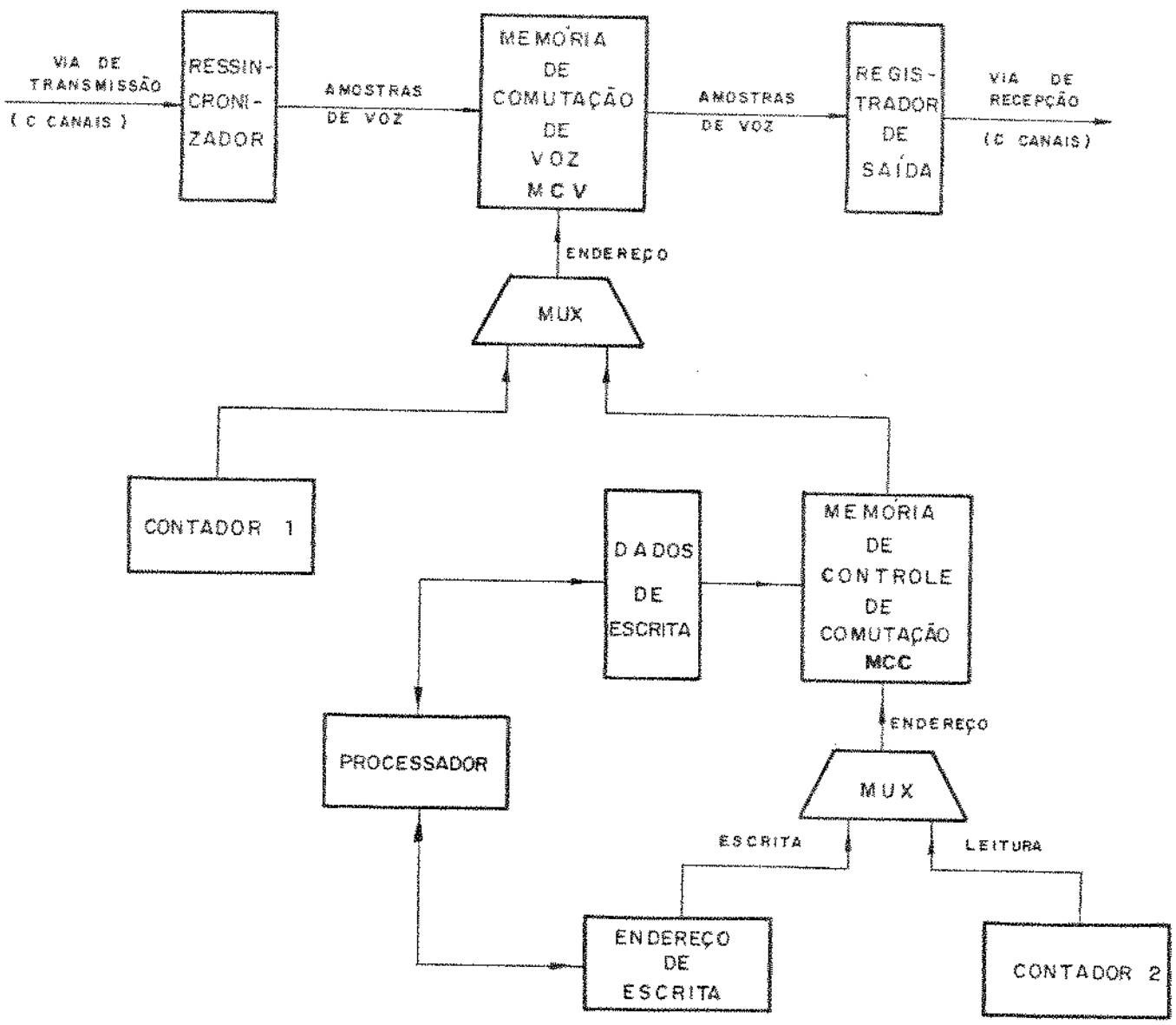


FIGURA 2.6

II.3.1 - Descrição dos Blocos Funcionais

O Ressincronizador sincroniza os canais das vias de transmissão com o relógio da central local. Além disso ele transforma as amostras, que estão em série, para paralelo já que as memórias de circuito integrado tem acesso paralelo.

A Memória de Comutação de Voz deve poder armazenar todos os C canais de m bits de um quadro. Dessa forma o tamanho (N_v bits) dessa memória deve ser $C \times m$. No caso de um enlace PCM, $N_v = 32 \times 8$.

A Memória de Controle de Comutação deve poder controlar a comutação de todos os C canais armazenados na MCV; isso determina que o seu comprimento deve ser C posições. Esse controle deve ser de tal forma que o seu conteúdo seja capaz de endereçar qualquer um dos C canais armazenados na MCV o que lhe dá uma largura de $(\log_2 C)$ bits. Concluindo o tamanho (N_c bits) da MCC é $C \times \log_2 C$.

Os Contador 1 e Contador 2 são contadores módulo C e um vai estar contando defasadamente em relação ao outro já que se um está sincronizado com os canais da via de transmissão, o outro o estará com a via de recepção e vice-versa. Isto, na verdade, vai depender do tipo de controle adotado.

Todos os processos que envolvem os blocos descritos são sequenciais, ou seja, uma vez estabelecida uma conexão esta se repete a cada quadro e fica indefinidamente feita. A única maneira de se perturbar esse sequenciamento é com uma intervenção externa. Essa intervenção é provocada por um Processador que, na verdade, controla todo o estabelecimento de uma conexão. A forma com que ele o faz é alterando-se o conteúdo da MCC, como será explicado a seguir.

II.3.2 - Controle da Comutação

Os nomes dados aos controles referem-se ao processo de escrita na MCV. Dessa forma existem dois tipos de controle:

- a) Escrita Sequencial
- b) Escrita Controlada

II.3.2.1 - Escrita Sequencial

Utilizando-se esse processo o Contador 1 estará sincronizado com os canais da via de transmissão e fornecerá endereço de escrita para a MCV. Assim os canais que chegam são armazenados sequencialmente na mesma, ou seja, o conteúdo do canal \emptyset é armazenado na posição \emptyset , o do 1 na posição 1 e assim sucessivamente. O Contador 2 estará sincronizado com os canais da via de recepção e fornece o endereço de leitura para a MCC.

Seja, como exemplo, comutar canal A com canal B. O Processador escreve no endereço A da MCC o valor B e na posição B da MCC o valor A. Quando o Contador 2 endereçar a posição A da MCC significa que o canal A vai estar ocorrendo na via de recepção; a posição A é lida e a MCC fornece o valor B; B será o endereço de leitura da MCV que fornecerá o conteúdo do canal B. Dessa forma o conteúdo do canal B será colocado no canal A. A conexão no sentido inverso (B para A) é semelhante. A figura 2.7 mostra a situação das memórias neste caso.

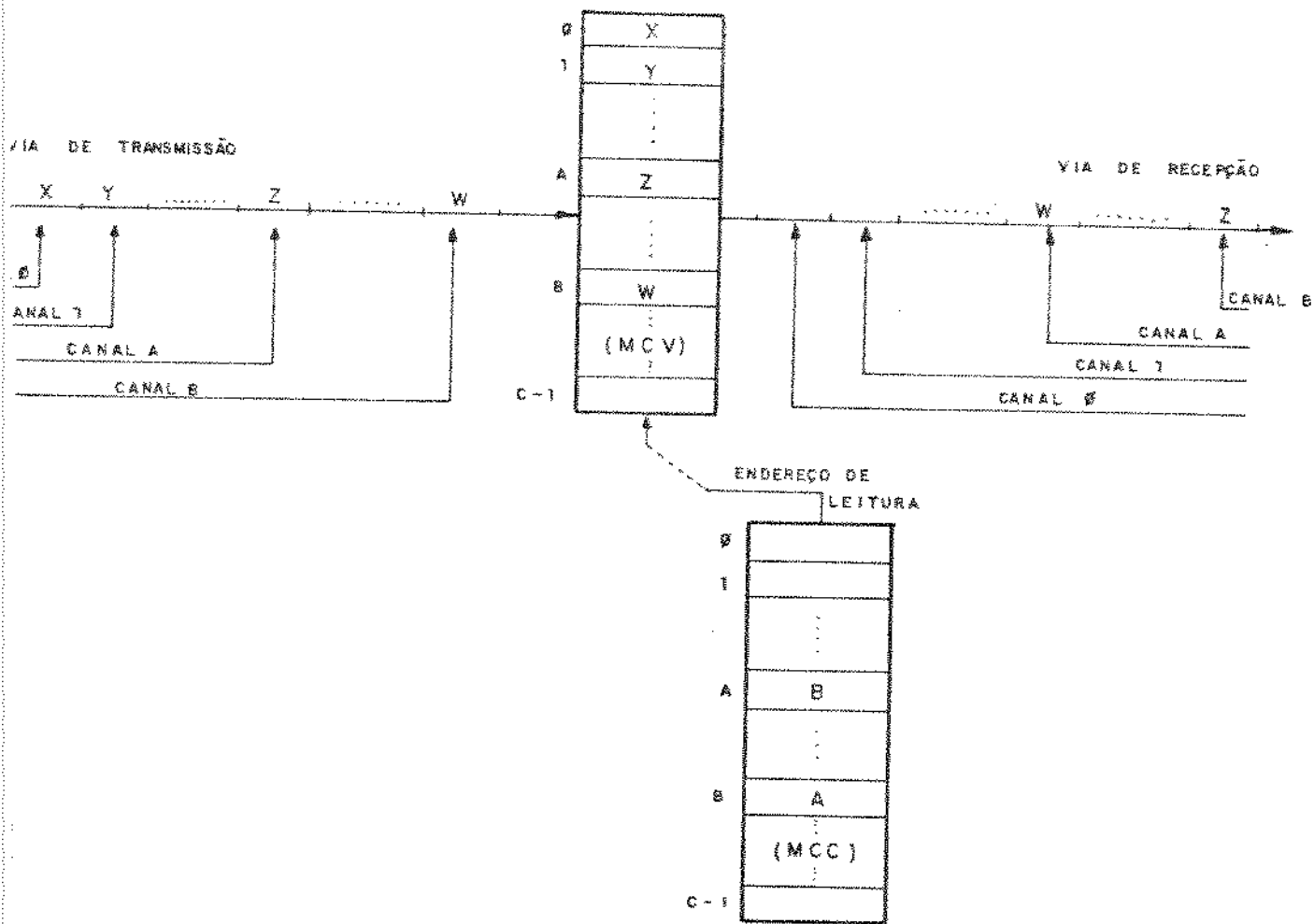


Figura 2.7

II.3.2.2 - Escrita Controlada

Nesse processo o Contador 1 estará sincronizado com os canais da via de recepção e fornecerá endereço de leitura para a MCV. Contador 2 estará sincronizado com os canais da via de transmissão e fornece endereço de leitura para MCC. Neste caso a comutação já ocorre na escrita da MCV.

Seja, como exemplo, comutar canal A, com canal B. Da mesma forma, o Processador escreve no endereço A da MCC o valor B e na posição B da MCC o valor A. Quando

o Contador 2 endereçar a posição A significa que está ocorrendo o canal A na via de transmissão; a posição A é lida e a MCC fornece o valor B; B será o endereço de escrita da MCV que armazenará nessa posição o conteúdo do canal A. A conexão em sentido inverso (B para A) é semelhante. A figura 2.8 ilustra esta situação.

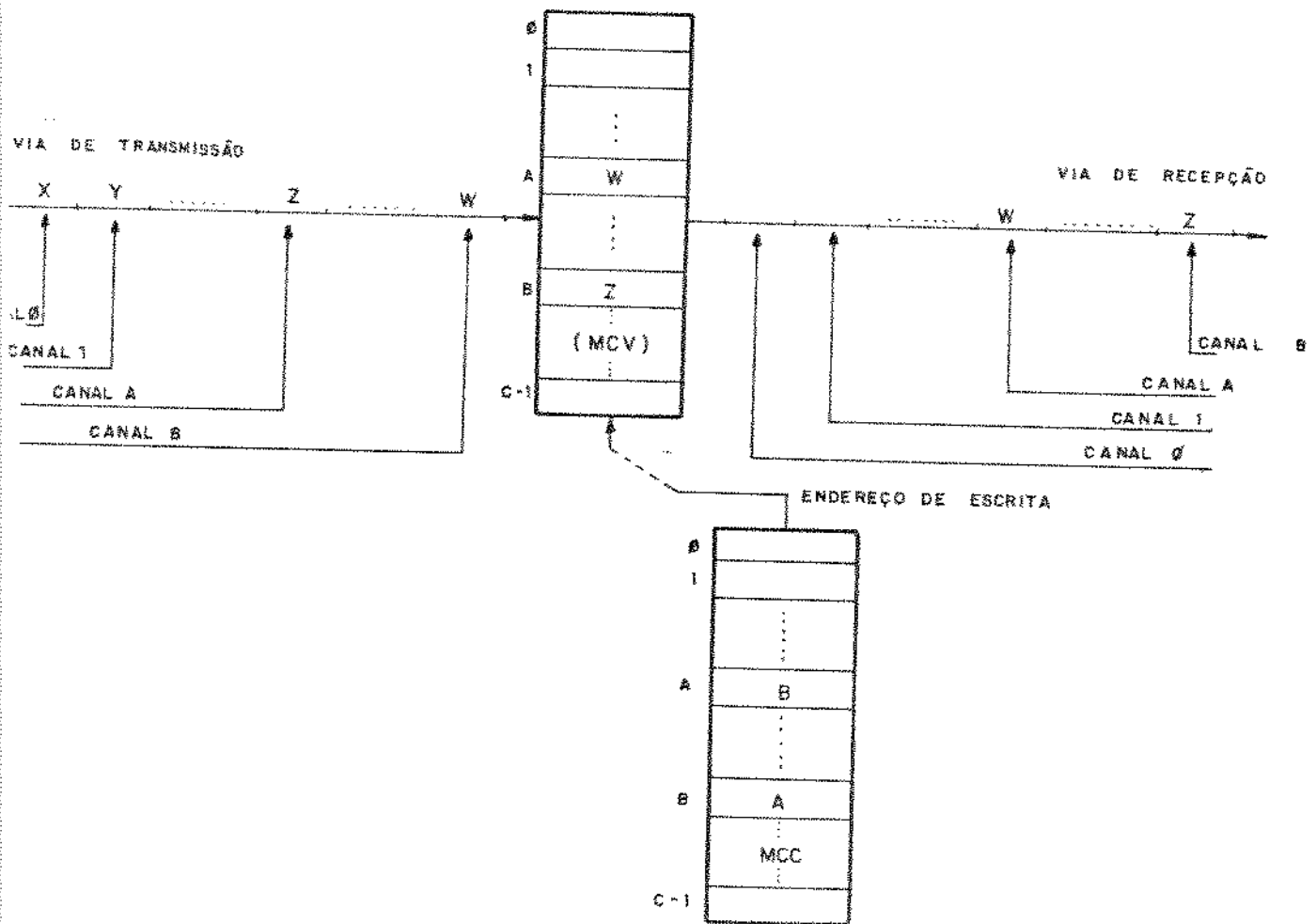


Figura 2.8

O processo da escrita sequencial proporciona um maior controle dos canais da via de recepção já que é possível jogar o conteúdo de um canal da de trans-

missão para tantos quantos se queira na via de recepção bastando para isso pre-ender-se as devidas posições da MCC com o número daquele canal.

II.4 - Estruturas de Matrizes de Comutação Digital

Existe um número grande de estruturas em que uma matriz de comutação digital pode se apresentar. Essas estruturas podem ser classificadas em diversos grupos básicos dependendo do número de estágios T e S utilizados. Algumas das mais populares são listadas a seguir:

- T
- TST
- TSSST
- STS
- SSTSS
- TSTST

Como foi visto anteriormente uma estrutura tipo T é completamente não bloqueante, ou seja, qualquer canal da via de transmissão pode ser sempre conectado a qualquer um da via de recepção, existindo assim um caminho pela matriz que os conecte. Como será visto a seguir, o crescimento de uma rede de tipo T exige que as memórias envolvidas sejam rápidas e em número elevado. As limitações da tecnologia e os custos envolvidos foram fatores preponderantes para que as estruturas multiestágios surgissem tentando solucionar o problema do crescimento das centrais. Neste contexto a estrutura TST aparece como a mais popular delas por apresentar um controle mais simples que as demais multiestágios.

No entanto com o aparecimento de novas técnicas de circuitos integrados apresentando memórias cada vez mais rápidas e o progressivo barateamento dos mesmos (veja Figura 1.7) voltou-se a pensar nas estruturas unicamente tipo T, cujo controle é extremamente simples.

II.5 - Estrutura T Para Vários Enlaces

Seja o "comutador temporal" descrito na seção II.3 considerado agora como uma caixa preta.

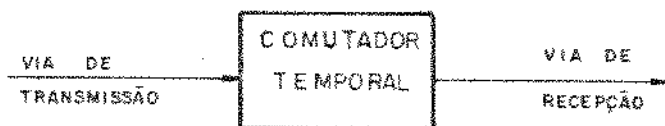


Figura 2.9

Dispondo-se de memórias suficientemente grandes e rápidas é possível acrescentarem-se enlaces nesse comutador bastando para isso incluírem-se um bloco multiplex para as vias de transmissão e um demultiplex para as de recepção.

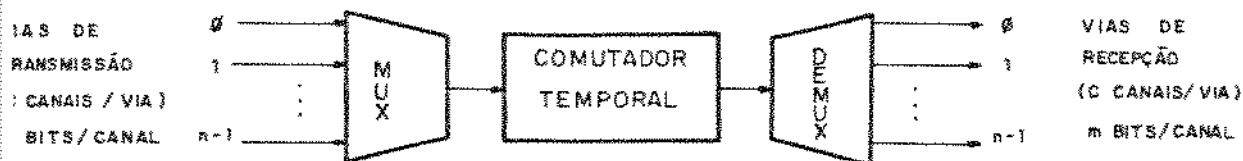


Figura 2.10

Nesse caso a MCV deve conter $n \times C$ posições de m bits; a MCC deve ser de $n \times C$ posições de $\log_2 (m \times C)$ bits.

A configuração mostrada na figura 2.10 define uma célula de comutação (CC). O número n de enlaces por módulo depende da velocidade de operação das memórias. Seja t_t a duração de um quadro de C canais. A frequência f de multiplexação ou demultiplexação é dada por:

$$f = \frac{n \times C}{t_t} \quad (2.1)$$

ou seja o tempo de tratamento de canal t_c é:

$$t_c = \frac{t_t}{n \times C} \quad (2.2)$$

Durante o tempo t_c a MCV deve ser escrita e lida o que divide por dois o seu tempo de acesso (t_a). Dessa forma determina-se t_a como:

$$t_a < \frac{t_t}{2nxC} \quad (2.3)$$

Para enlaces PCM tem-se $t_t = 125\mu s$ e $C = 32$. Um número razoável de enlaces seria $n=16$ o que dá $t_a < 122ns$.

Tendo-se n como um número ótimo de enlaces por célula não significa que esse é o número máximo de enlaces da matriz de comutação. Através da inclusão de outras células de comutação é possível expandir-se tal matriz sendo que o passo da expansão será sempre n , ou seja, o número total de enlaces da matriz será um múltiplo de n . A expansão é conseguida da seguinte forma:

Considere-se a célula de comutação da figura 2.10 como uma caixa preta.



Figura 2.11

A figura 2.11 mostra uma matriz T $n \times n$.

Para se conseguir uma matriz T $2n \times 2n$ utilizando-se células de comutação $n \times n$ é necessário terem-se quatro dessas células interligadas como mostra a figura 2.12.

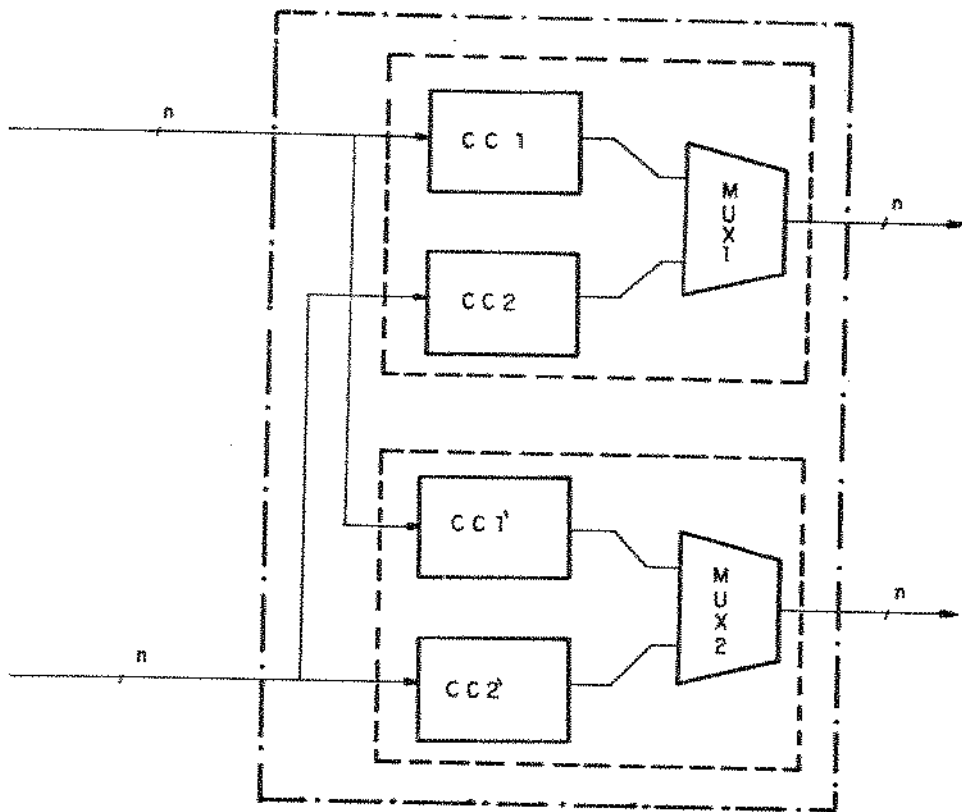


Figura 2.12

Na figura 2.12 CC1, CC2, MUX1 definem o "bloco de comutação 1" enquanto que CC1', CC2', MUX2 definem o "bloco de comutação 2". Portanto um bloco de comutação contém todas as amostras de voz de toda a matriz de comutação. Isto significa que o bloco de comutação, tendo controle sobre todos os seus canais consegue comutar para qualquer um dos mesmos qualquer canal de toda a matriz.

Raciocínio análogo pode ser aplicado para o caso em que se queira uma matriz $3n \times 3n$ com um conjunto de células $n \times n$. Nessas circunstâncias ter-se-ão três blocos de comutação com cada bloco contendo três conjuntos de células $n \times n$, ou seja, a matriz terá 9 células de comutação.

Dessa maneira deduz-se que o número de células de comutação (Cc) numa matriz é igual ao quadrado do número de blocos de comutação (Bc) da matriz, ou seja,

$$C_c = B_c^2 \quad (2.4)$$

Da mesma forma, o número de células de comutação (C_c) por bloco de comutação é igual ao número de blocos de comutação (B_c) da matriz.

Na verdade tentou-se simplificar a teoria de expansão de matriz; no entanto um fato que deve ser levado em consideração é que a MCC de um bloco é comum a todas as C_c 's que nele existem. O número de posições da MCC para um módulo de comutação com B_c células de comutação de n enlaces de C canais é $n \times C$ contendo palavras de $\log_2(n \times C \times B_c)$ bits ou seja a MCC tem um tamanho $n \times c \times \log_2(n \times c \times B_c)$.

Resumem-se a seguir algumas propriedades de uma rede de comutação tipo T:

1. O tamanho da MCV (N_v bits) de uma célula de comutação cresce linearmente com o número de enlaces que acessam essa célula. Sendo m o número de bits por canal, C o número de canais por enlace e n o número de enlaces tem-se:

$$N_v = (n \times C) \times m \quad (2.5)$$

No caso de enlaces PCM:

$$N_v = (n \times 32) \times 8 \quad (2.6)$$

2. O tamanho da MCC (N_c bits) também cresce com n obedecendo a relação:

$$N_c = (n \times C) \times \log_2(n \times C \times B_c) \quad (2.7)$$

3. Sejam: B_c = número de blocos de comutação da matriz;
 C_c = número de células de comutação da matriz
 n = número de enlaces por célula de comutação;
 E = número de enlaces da matriz
 N_v = número de bits da MCV de uma célula de comutação;

Nm = o número de bits de MCV da matriz.

Seja a tabela 1

Bc	Cc	E	E/n	Nn
1	1	n	1	Nv
2	4	2n	2	4Nv
3	9	3n	3	9Nv
4	16	4n	4	16Nv
5	25	5n	5	25Nv
⋮	⋮	⋮	⋮	⋮

Tabela 1

$$Nm = Cc \cdot Nv \tag{2.8}$$

de (2.4)

$$Nm = Bc^2 \cdot Nv \tag{2.9}$$

$$\text{mas } Bc = \frac{E}{n} \tag{2.10}$$

então

$$Nm = \left(\frac{E}{n} \right)^2 Nv \tag{2.11}$$

Estabelecendo-se a dimensão de uma célula de comutação tem-se que n e Nv são constantes o que implica no raciocínio que uma rede tipo T apresenta uma lei de expansão não linear.

4. O tamanho da MCC de um bloco de comutação (N_c) é $n \times C \times B_c$ x $\log_2 (n \times C \times B_c)$ sendo:

n = número de enlaces por célula de comutação;

C = número de canais por enlace;

B_c = número de células por módulo;

$$\text{com } B_c = \frac{E}{n}$$

tem-se:

$$N_c = n \times C \times \log_2(C \times E) \quad (2.12)$$

Fixando-se uma célula de comutação tem-se n e C constantes e então N_{cc} crescerá com o logaritmo da expansão da matriz.

5. Um estágio T pode introduzir um máximo de quase um quadro de atraso numa dada amostra.

II.6 - Controle

O controle de uma rede temporal é diretamente influenciado pela tendência geral nas indústrias de semicondutores e computadores. A descentralização está sendo largamente adotada para se aproveitar ao máximo o baixo custo dos microprocessadores e memórias. No entanto os processos administrativos e as tarefas de manutenção são ainda centralizadas. Os elementos de controle passam a fazer parte da matriz evitando-se circuitos de interfaceamento. Uma grande vantagem da descentralização é que os elementos do controle por programa armazenado podem acessar diretamente e controlar as partes da matriz eliminando-se "overhead" de troca de mensagens.

A descentralização tem influenciado diretamente na estrutura do "software". Esta influência é no sentido de simplificá-lo em comparação com os sistemas de comutação centralizados.

Os processadores distribuídos executam a maioria das tarefas de tempo real. Isto, acoplado ao fato de que cada processador tem responsabilidade sobre uma parte limitada do sistema, remove uma grande carga do "software" preparando-o para poder obedecer às regras de estruturação. Assim a estrutura de software fica relativamente simples. Observam-se neste tipo de estrutura os recursos de "interrupt" e "polling", que programados convenientemente podem diminuir o "overhead" do sistema, aumentando a sua eficiência.

Em geral permitem-se interrupções em processos não de tempo real (como por exemplo, os processos de operação e manutensão), o mesmo não acontecendo com os de tempo real (processos telefônicos) que devem ser executados livremente numa sequência. Isto é facilitado pela alta velocidade dos circuitos periféricos que, no caso da matriz de comutação, operam aproximadamente na mesma velocidade básica dos elementos de processamento.

Além dos processos telefônicos o "software" deve conter ainda programas de controle para verificar o perfeito funcionamento dos circuitos. Detetando-se falha, programas de isolação de falhas mais específicos devem ser deflagrados de modo a se tentar localizar circuitos em falha e informar ao operador a situação dos mesmos. Nesse caso acionam-se as unidades lógicas de reserva automaticamente ou, dependendo do caso, através da intervenção do operador.

CAPITULO III

O SISTEMA TRÓPICO

III.0 - Epítome

Este capítulo apresenta a Família TRÓPICO de equipamentos de comutação telefônica do tipo CPA temporal, que vem sendo desenvolvida no Centro de Pesquisa e Desenvolvimento (CPqD) da TELEBRÁS.

O objetivo deste capítulo é situar a matriz de comutação que é o propósito deste trabalho de tese, no Sistema TRÓPICO para o qual ela foi projetada.

III.1 - Introdução

Uma família de sistemas de comutação é constituída de elementos que atendam as diferentes necessidades do mercado. Os elementos são construídos a partir de um conjunto mínimo de blocos, blocos esses que convenientemente agrupados determinam algumas configurações diferenciando assim um elemento do outro.

Desta forma os elementos da família TRÓPICO e suas capacidades em termos de assinantes ou troncos são:

1. Concentrador ou TRÓPICO-C com 192 assinantes
2. Central Local de Pequeno Porte ou TRÓPICO-R com 1K assinantes
3. Local/Tandem ou TRÓPICO-L com 60K assinantes
4. Trânsito ou TRÓPICO-T com 50K troncos.

O Sistema TRÓPICO apresenta uma série de características estruturais, entre as quais destacam-se:

1. Conversões A/D e D/A efetuadas a nível de terminal, com todo o tratamento do sinal da voz sendo feito de forma digital internamente ao equipamento;
2. Controle distribuído e descentralizado;

3. As funções de controle são realizadas por grupos de processadores trabalhando em partição de carga, disputando novas chamadas entre si, porém sem qualquer troca de mensagens de atualização já que o estado fica armazenado na própria periferia;
4. No caso de falha em um de seus processadores o sistema o isola não lhe permitindo tratar novas chamadas; os n-1 processadores continuam operando e o sistema permanece com sua capacidade nominal; somente uma falha adicional, no mesmo grupo de processadores, faz com que o sistema passe a operar com capacidade reduzida;
5. As estruturas de voz e sinalização são completamente separadas entre si;
6. Para qualquer tipo de terminal que o sistema abrigue existe uma única interface - Interface Padrão Hardware (IPH) - através da qual ele se liga ao sistema. Da mesma forma o "Software" que trata um determinado tipo de terminal se interconecta ao resto do sistema através da Interface Padrão Software (IPS).

Os itens seguintes versarão sobre todos os elementos da Família TRÓPICO, exceção feita ao Concentrador já que este não é equipado com a matriz de comutação.

III.2 - Estrutura "Hardware" do TRÓPICO

Uma Central TRÓPICO é construída a partir de módulos construtivos básicos que são agrupados convenientemente de modo a atender à capacidade exigida. Existem apenas dois módulos construtivos no Sistema TRÓPICO:

- Módulo de Terminais - MT
- Módulo de Comutação - MC

O módulo de terminais agrupa os diversos tipos de terminais tratados pela central e o seu controle.

O módulo de comutação é centralizado e a ele se atribuem as seguintes funções:

- comutação bidirecional de voz e dados
- controle da sinalização entre processadores
- geração e distribuição de sincronismo.

De acordo com o princípio de partição de carga e degradação suave em presença de falhas, o MC é triplicado através de três planos - A, B, C - completamente independentes entre si. Desta forma o TRÓPICO está preparado para suportar uma capacidade extra de sobrecarga de tráfego de 50%, ou seja, apenas dois (2) planos são suficientes para sua capacidade de tráfego nominal. A figura 3.1 mostra a estrutura básica do TRÓPICO.

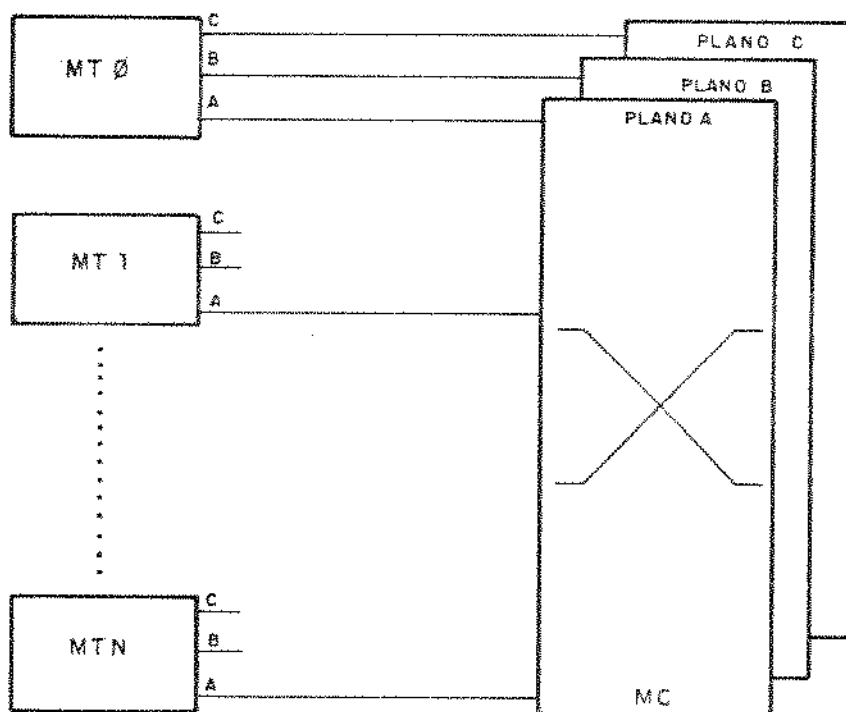


Figura 3.1

Além da independência dos três planos existe também a independência entre as três funções supra citadas. Desta forma é possível separar o "hardware" do TRÓPICO em três estruturas básicas:

- Estrutura de Sinalização

- Estrutura de Sincronismo
- Estrutura de Voz

Nessas estruturas destacam-se os seguintes órgãos:

- Placa de Terminal - T
- Processadores
- Interface de Acesso aos Planos - IAP
- Gerador de Sincronismo - GSN
- Matriz de Comutação - MACO

As Placas Terminais são responsáveis pela interface entre a central e os terminais. Desta maneira, tomando o nome do terminal para quem serve de interface, têm-se os Terminais de Assinantes, Troncos Analógicos, Troncos Digitais, Receptores MFC, Enviadores MFC, Juntões Especiais, etc.

Os Processadores são responsáveis pelo controle da central. Existem três diferentes em toda a Central, com todos eles baseados no mesmo microprocessador 8085:

1. Controlador com Interface Série-CIS
A CIS contém a IPH ou interface 1 e é responsável pelo controle dos Terminais.
2. Controlador com Interface Paralela-CIP
A CIP contém uma interface paralela ou interface 2 e é responsável pelo controle de periféricos que acessam a central, como os de operação e manutenção - OM.
3. Controlador da Via de Sinalização-CVS
O CVS é responsável pelo controle da via através da qual os CIS's e CIP's se ligam, ou seja, ele promove a "conversação" entre processadores.

A Interface de Acesso aos Planos-IAP- provê meios para que qualquer um dos planos do MC possa ser

alcançado pelas CIS's ou CIP's.

O Gerador de Sincronismo-GSN- gera relógios e sin cronismos para toda a central.

A Matriz de Comutação-MACO- é responsável pela comutação de canais temporais que a ela chegam através de enlaces PCM de 32 canais.

A figura 3.2 mostra a estrutura do TRÓPICO-R com maior detalhe, onde V, R e S são as vias de Voz, Sincronismo e Sinalização respectivamente.

No TRÓPICO-R têm-se no máximo 63 módulos construtivos. Um MT suporta até 4 CIS's ou CIP's. Cada CIS controla até 8 Placas de Terminais; cada uma dessas placas controla até 16 terminais.

A MACO, no que diz respeito a controle, comporta-se como uma Placa de Terminal sendo portanto con trolada pelo CIS, fazendo com que a MC tenha pon tos comuns com os MT's, como as 3 IAP's e 3 CIS's cada um controlando um plano da MACO.

Descrevem-se sucintamente, a seguir, as três es truturas do TRÓPICO.

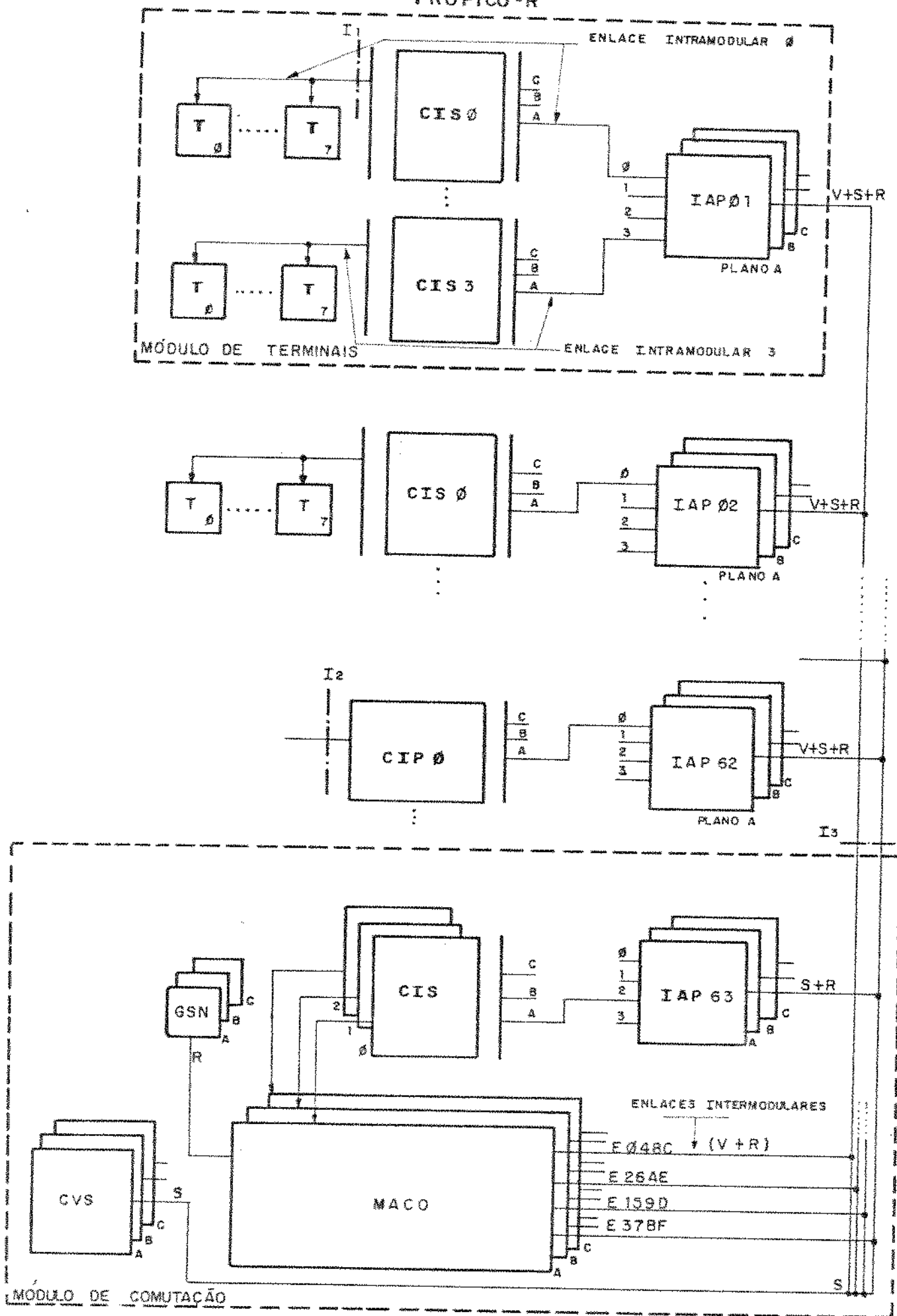


FIGURA 3.2

III.2.1 - Estrutura de Sincronismo

Uma central de comutação digital deve funcionar síncronamente, ou seja, o instante da possível ocorrência dos eventos tem instantes determinados. Tais instantes são definidos numa estrutura de quadro, canal e bit. Um quadro tem uma duração de 125 μ s, ou seja, a sua taxa de ocorrência é 8000 quadros por segundo. As taxas de bits são sempre sub-múltiplas de 4,096Mbits/s o que dá, quando associado a sinal, um número múltiplo de 8 bits por canal. Existe ainda o superquadro que ocorre a cada 4096 quadros, ou seja, a cada 0,512 segundo.

A estrutura de sincronismo divide-se em geração e distribuição.

III.2.1.1 - Geração

A geração do sincronismo é feita por um sistema triplicado constituído de três placas GSN situadas no Módulo de Comutação.

Cada placa GSN possui um oscilador com frequência nominal de 8,192 MHz a partir da qual geram-se relógios de 2,048MHz e os sincronismos de quadro e superquadro.

O GSN gera um único sinal contendo a informação de bit, quadro e superquadro. Na verdade esse sinal é um relógio de 2,048MHz carente de um pulso a cada início de quadro e de dois pulsos a cada início de superquadro (que coincide com o do quadro). Esse sinal ficou conhecido como "Relógio com Buraco".

Cada GSN recebe dos outros dois um "Relógio com Buraco" que juntamente com o seu, vão servir de entrada de um "circuito votador" (vide capítulo VII) cuja saída servirá de referência para o seu PLL (Phase Locked Loop). Dessa maneira, os três GSN's convergem para a situação em que seus relógios estejam em fase, o que ainda acontece com dois deles se um estiver fora de serviço.

O TRÓPICO poderá sincronizar-se com outras centrais bastando, para isso, substituir os GSN's pelas Unidades de Sincronismos (USN). Cada USN, com seu microprocessador, controlará o seu sincronismo a partir de uma ou mais referências externas podendo para isso utilizar diferentes algoritmos.

III.2.1.2 - Distribuição

Do ponto de vista da estrutura de sincronismo distinguem-se os seguintes tipos de placas:

- Geradoras
- Regeneradoras
- Repetidoras
- Usuárias

Como Geradoras existem apenas os GSN.

As Regeneradoras recebem relógio triplicado e através de um "votador" obtêm a referên-

cia do seu PLL que gera um relógio cuja frequência seja um múltiplo da obtida. Recuperam ainda os sincronismos de quadro e superquadro e dispõem de "buffers" para alimentar outras placas com as fases geradas.

As Repetidoras simplesmente "bufferizam" os sinais para enviá-los a outras placas.

As Usuárias utilizam, para operações internas, os sinais enviados pelas demais.

Os processadores do CIS, CIP e CVS possuem osciladores próprios trabalhando assincronamente com o resto do sistema. No entanto todo o meio de comunicação entre eles e o meio externo se faz sincronamente com o relógio da central.

Cada um dos três GSN's enviam o "Relógio com Buraco" para a MACO. Na MACO eles são recebidos por uma placa regeneradora, que gerando sinais de sincronismos, os distribui internamente à MACO e ao CVS.

A MACO, possuindo 4 grupos de enlaces intermodulares, envia para cada um deles, através de suas placas repetidoras, sinais de sincronismos de quadro

e superquadro superpostos, além de relógio de 4,096MHz. Esses sinais chegam aos respectivos grupos de IAP's com ligações tipo "bus".

Cada uma das três placas IAP's (que é repetidora) de um MF gera um "Relógio com Buraco" e o envia às 4 CIS de seu módulo.

A CIS (regeneradora) envia para as Placas de Terminais (usuárias) relógio de 2,048MHz e sincronismo de canal zero.

A utilização dos circuitos geradores, receptores, transmissores e meio de transmissão obedece a um rígido estudo de "atraso de sinais" que não cabe ser detalhado neste trabalho.

III.2.2 - Estrutura de Sinalização

A troca de mensagem entre processadores requer a chamada "Estrutura de Sinalização" onde destacam-se os seguintes órgãos:

CIS e/ou CIP, IAP e CVS.

O CVS é o responsável pelo controle da sinalização entre todos os demais processadores, CIS's ou CIP's. Cada plano de sinalização é controlado por um CVS e funciona independentemente do outro, em partição de carga.

Os CIS's ou CIP's ligam-se a qualquer um dos planos através das IAP's que se conectam ao

CVS através de vias de sinalização distribuídas em "bus".

Através dessas vias estabelece-se todo o protocolo de sinalização do sistema.

A seguir descreve-se sucintamente, a sequência de operações executadas no estabelecimento de uma conversação entre os processadores CIS-A e CIS-B, no caso em que for bem sucedida:

1. CIS-A solicita às três IAP's a tomada da via de sinalização;
2. Na varredura cíclica das IAP's pelos CVS's, um deles deteta essa solicitação selecionando a CIS-A para transmissão;
3. CIS-A desativa solicitação dos outros planos e envia o 1º byte que é o MC de destino;
4. CVS confirma recebimento do 1º byte;
5. CIS-A envia 2º byte que é o processador de destino (CIS-B);
6. CVS seleciona CIS-B para recepção;
7. CIS-B confirma;
8. CVS envia confirmação para CIS-A e comuta as vias de transmissão e recepção;
9. CIS-A repete o 2º byte (endereço da CIS-B);
10. CIS-B confirma e, a partir daí, CIS-A envia os demais bytes sempre com confirmação da CIS-B;
11. O 32º e último byte enviado contém o "check sum" da mensagem;
12. CIS-B envia confirmação de "check sum";
13. CIS-A desativa solicitação;
14. CVS libera CIS-A e CIS-B;
15. CVS volta a varrer as IAP's.

III.2.3 - Estrutura de Voz

Os meios providos para estabelecerem-se conexões entre os diversos tipos de terminais no TRÓPICO constituem a "Estrutura de Voz" embora transitem por eles, além dos de voz, outros tipos de sinais que aqui serão chamados " sinais de voz ". A conexão entre dois terminais, A e B, é sempre bidirecional (de A para B e de B para A) e os sinais percorrem 5 trechos:

1. Enlace intramodular A - enlace do MT-A;
2. Enlace intermodular A - enlace entre MT-A e MC;
3. Caminho na MACO;
4. Enlace intermodular B - enlace entre MC e MT-B;
5. Enlace intramodular B - enlace do MT-B.

A figura 3.2 elucidada o conceito desses enlaces.

Um sinal enviado de A para B percorre os caminhos 1, 2, 3, 4, 5 sequencialmente e o inverso de B para A.

III.2.3.1 - Enlaces Intramodulares

Cada CIS oferece às Placas Terminais (T) por ela controladas um enlace intramodular constituído de 2 vias (dados e voz) de transmissão (de T para CIS) e 2 vias (dados e voz) de recepção (do CIS para T), cada uma com 32 canais a 2,048Mbits/s.

Canais de mesmo número nas vias de transmissão e recepção transportam informações originadas e terminadas respectivamente no mesmo terminal.

Em geral o acesso aos 32 canais pode ser feito por qualquer terminal; o controle desse acesso é feito pelo CIS.

Cada enlace intramodular tem acesso a três intermodulares, um em cada plano de voz. O número destes 3 enlaces em seus respectivos planos é o mesmo. Esse acesso é apropriado pelas IAP's que não introduzem nenhuma comutação temporal de modo que cada canal de um enlace intramodular pode ser conectado unicamente ao canal de mesmo número em um dos 3 intermodulares acessíveis.

III.2.3.2 - Enlaces Intermodulares

Os enlaces intermodulares são as ligações entre os MT's e MC's na estrutura de voz. Cada enlace é constituído de uma via de transmissão (MT para MC) e recepção (MC para MT).

Cada enlace intermodular contém 32 canais a uma taxa de 4,096Mbits/s, portanto, capaz de transportar informações de voz e dados numa mesma via o que é feito em 2 nos MT's. Essas multiplexação e demultiplexação são feitas pelas IAP's.

O TRÓPICO R trata 16 enlaces, em cada plano, numerados de 0 à 15. Esses enlaces dividem-se em 4 grupos e são chamados E048C, E26AE, E159D

e E37BF e contêm respectivamente os enlaces 0, 4, 8, 12; 2, 6, 10, 14; 1, 5, 9, 13; 3, 7, 11, 15. Cada MT tem acesso a um único grupo desses em qualquer plano. Os enlaces ligam-se às IAP's por um "bus".

Para cada grupo de enlaces existe uma via com sinal de relógio de 4,096MHz e outra com sincronismos de quadro e superquadro, já citados anteriormente, além de uma via de recepção, chamada "via de habilitação" cujos canais contêm o endereço das IAP's daquele grupo. A configuração com que se apresentam as IAP's em que várias se ligam num único "bus" corresponde ao que se chama "multiplex distribuído". O controle desse multiplex é feito pelo MC através da "via de habilitação" pela qual permite-se identificar qual IAP está apta a tomar o "bus" num dado instante de canal.

Cada IAP é identificada por 4 bits o que permite um endereçamento de até 16 IAP's por grupo num dado MT.

III.2.3.3 - A Matriz de Comutação

A Matriz de Comutação é objeto deste trabalho e terá os seus "hardware" e "software" detalhados nos capítulos seguintes.

CAPITULO IV

A MATRIZ DE COMUTAÇÃO DO SISTEMA TROPICO

IV.0 - Epítome

Este capítulo tem por objetivo descrever a matriz de comutação do Sistema TROPICO chamando a atenção para suas peculiaridades que a fazem diversa das demais. Começa por descrever as suas características gerais partindo em seguida para expor a maneira como foram distribuídas as suas funções de modo a atender as especificações impostas; detalha ainda a implementação adotada para realização de tais serviços.

IV.1 - Características Gerais

A matriz de comutação é a porção funcional de uma central telefônica responsável pelo estabelecimento de caminhos que interconectam pontos que através de um meio físico qualquer acessam a mesma. No caso de central digital esses meios físicos são enlaces contendo informações na forma digital, onde mais comumente se apresentam na forma PCM, cujos canais temporais são os ditos pontos. Na verdade cada canal PCM transporta informação de voz de um assinante que a ele foi alocado, ou sinalização entre centrais, ou dados convenientemente condicionados de modo que quaisquer outros tipos de terminais possam comunicar entre si.

A matriz de comutação do Sistema TROPICO-MACO contém em seus canais sinais de voz, sinalização e dados como será descrito adiante.

De acordo com os princípios de partição de carga sem comunicação de atualização e degradação suave em presença de falhas que nortearam o projeto do Sistema TROPICO, a MACO, como membro da Estrutura de Voz do Módulo de Comutação, que ainda comporta as Estruturas de Sincronismo e Sinalização, é triplicada, ou seja, é realizada em três planos completamente independentes entre si de forma que na presença de

falha simples os outros dois planos continuam operando normalmente já que esta é a sua capacidade nominal. Isto quer dizer que em condições normais a MACO, tanto quanto o MC está preparado para suportar uma capacidade extra de sobrecarga de tráfego de até 50%. Na falha de duas MACOs, a única operante funcionará com sua capacidade de tráfego nominal reduzida à metade. A independência dos três planos é tal que canais de enlaces de um plano não podem ser conectados com os de outro. A figura 4.1 mostra a ligação de um módulo de terminais-MT aos planos A, B e C da MACO. Assim um assinante A ao qual tenha sido alocado um canal de um

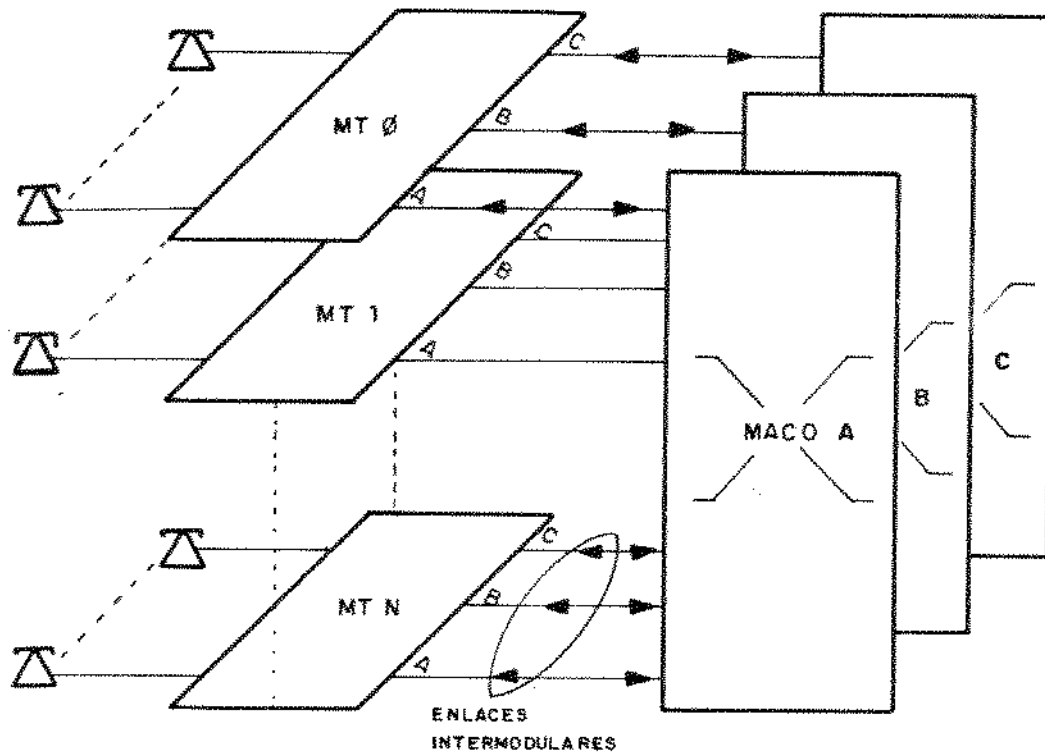


Figura 4.1

enlace intermodular que pertence a um dado plano da MACO poderá se comunicar com o assinante B se a este for possível alocar um canal de um enlace do mesmo plano.

Cada plano da MACO tem uma capacidade de tratar 256 enlaces que transportam sinais de voz e dados na forma digital. No caso de sinais de voz utiliza-se a codificação PCM lei A padronizada pelo CCITT (recomendação G.711). Nessa codifi

cação os sinais de voz são amostrados a uma taxa de 8000 amostras por segundo sendo a cada amostra associada uma palavra de 8 bits. Desse modo esses enlaces tem uma capacidade de 64 Kbits/s. A amostragem permite a multiplexação temporal de vários sinais numa única via. A CCITT padroniza também, pela recomendação G.732 a estrutura de quadros, em que 32 sinais são multiplexados sendo a cada sinal associado um conjunto de 8 bits chamado canal. Apesar da padronização ter sido originalmente criada para ser usada na transmissão entre centrais, com a digitalização das mesmas, como decorrência natural, tem sido adotada também na comutação.

Associados aos 8 bits de voz há um conjunto de 8 bits de dados disponíveis para serem utilizados para qualquer aplicação. Na verdade apenas um deles já tem função específica, qual seja, a de servir de paridade dos bits do canal de voz a que pertence como parte da redundância adotada para se detectar falhas no sistema, como será detalhado mais adiante. Os bits de dados e voz são intercalados no canal e transmitidos a uma frequência de 4,096 MHz. Essa transmissão, quando entre diferentes módulos físicos, se dá através de cabos de pares balanceados para se garantir maior imunidade a ruídos. A excitação dessas linhas é feita através dos chamados "Line-drivers" que transformam os sinais da forma TTL para a diferencial. A recepção dos sinais na forma diferencial é feita pelos "Line-receivers" que o transformam para a TTL.

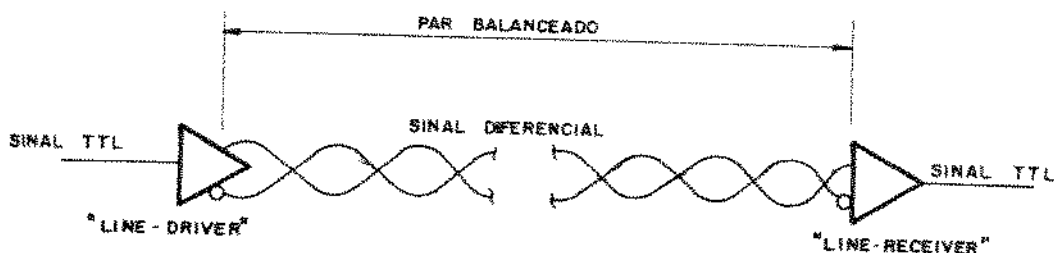


Figura 4.2

A via de transmissão do enlace intermodular parte da IAP e chega à MACO; a correspondente via de recepção parte da MACO e chega à IAP. Um enlace intermodular é compartilhado por várias IAP's através de um "bus 3-state" ao qual elas se ligam. Devido ao fato das IAP's não serem órgãos "inteligentes" a tomada do bus num dado intervalo de tempo não é feita por elas. No entanto, esta ação poderia ser feita pela CIS do módulo de terminais ao qual a IAP pertence. No entanto isto diminuiria a confiabilidade do sistema já que uma CIS danificada poderia ocupar esse bus durante qualquer intervalo de tempo o que o inutilizaria para as demais CIS's que a ele teriam acesso. O controle então é feito pela MACO através de enlaces chamados "Enlaces de Habilitação" que partem da MACO e chegam às IAP's. Esse controle será detalhado adiante.

A MACO é uma matriz tipo T com acessibilidade plena e bloqueio nulo, ou seja, todos os seus 8192 canais podem ser comutados através de 4096 conexões bidirecionais ou 8192 unidirecionais. Dos 16 bits de cada canal apenas 12 são comutados sendo 8 de voz e 4 de dados, um dos quais é a paridade. Tem-se portanto 3 bits de reserva para futuras aplicações.

A MACO provê meios, ainda, de se poder atenuar programadamente, qualquer um de seus canais. Essa atenuação varia de 0 db a 15 db em passos de meio em meio db. É possível inserir uma configuração de bits - o padrão de canal livre - nos seus canais.

Obedecendo aos princípios de expansibilidade, controle distribuído e descentralizado, e degradação suave em presença de falha a matriz de comutação é um sistema modular, cada módulo aqui chamado de "Bloco de Comutação". A cada "Bloco de Comutação" - BC - é associada uma CIS que suporta o "software" de controle e supervisão de todo o processo de comutação na MACO. Essa CIS é subequipada já que não possui suas partes que tratam os enlaces intermodulares. A interliga -

ção da MACO à CIS é feita através da Interface-1 por cujas vias o seu processador acessa os recursos disponíveis na MACO. Essas vias são :

- via de dados enviados da CIS para MACO;
- via de dados enviados da MACO para CIS;
- via de pulsos de escrita da CIS para MACO;
- ponteiros para habilitar a MACO a ser acessada pela CIS;
- via de endereço que determina a função dentro da MACO, a ser tratada.

Através destas vias a CIS escreve ou lê dados na matriz de comutação.

A comunicação da CIS da MACO com as demais CIS do sistema é feita da forma já descrita no Capítulo III. Essa comunicação, controlada pelo CVS, é feita através das IAP's como mostra a figura 4.3 detalhada para o TROPICO R.

Um importante papel é desempenhado pela matriz de comutação na chamada "Estrutura de Sincronismo". O órgão responsável pela geração do sincronismo é o GSN que, como se sabe, é triplicado. Cada um dos 3 GSN's envia relógio e sincronismo ("relógio com buraco") a cada um dos 3 planos da MACO. Portanto cada plano recebe, através de pares balanceados, três "relógios com buraco". A triplicação do sincronismo aumenta a confiabilidade do sistema e garante que uma falha simples em um deles não vai afetar o bom funcionamento do mesmo até que esta falha seja reparada antes que outra ocorra. A partir desses sinais a MACO gera todas as fases necessárias e as distribui entre suas placas e as demais de seu módulo.

Sinais de sincronismo partem da MACO e chegam às IAP's que os distribui às CIS dos respectivos módulos. Isto é válido também para as do módulo de comutação o que garante um sincronismo dos sinais da interface-1 com os da MACO. A figura 4.4 elucidada esse fato.

TROPICO - R

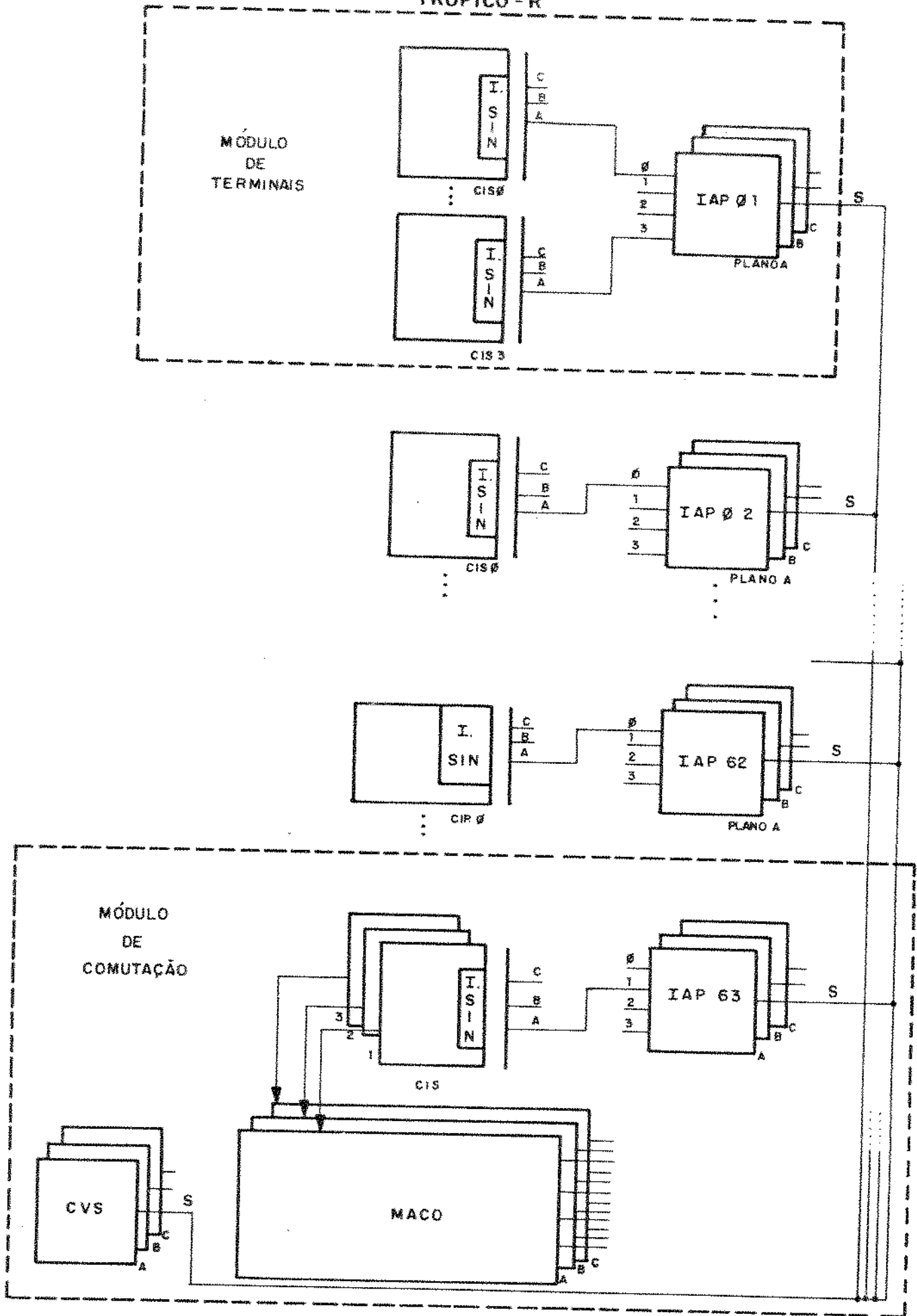


FIGURA 4.3

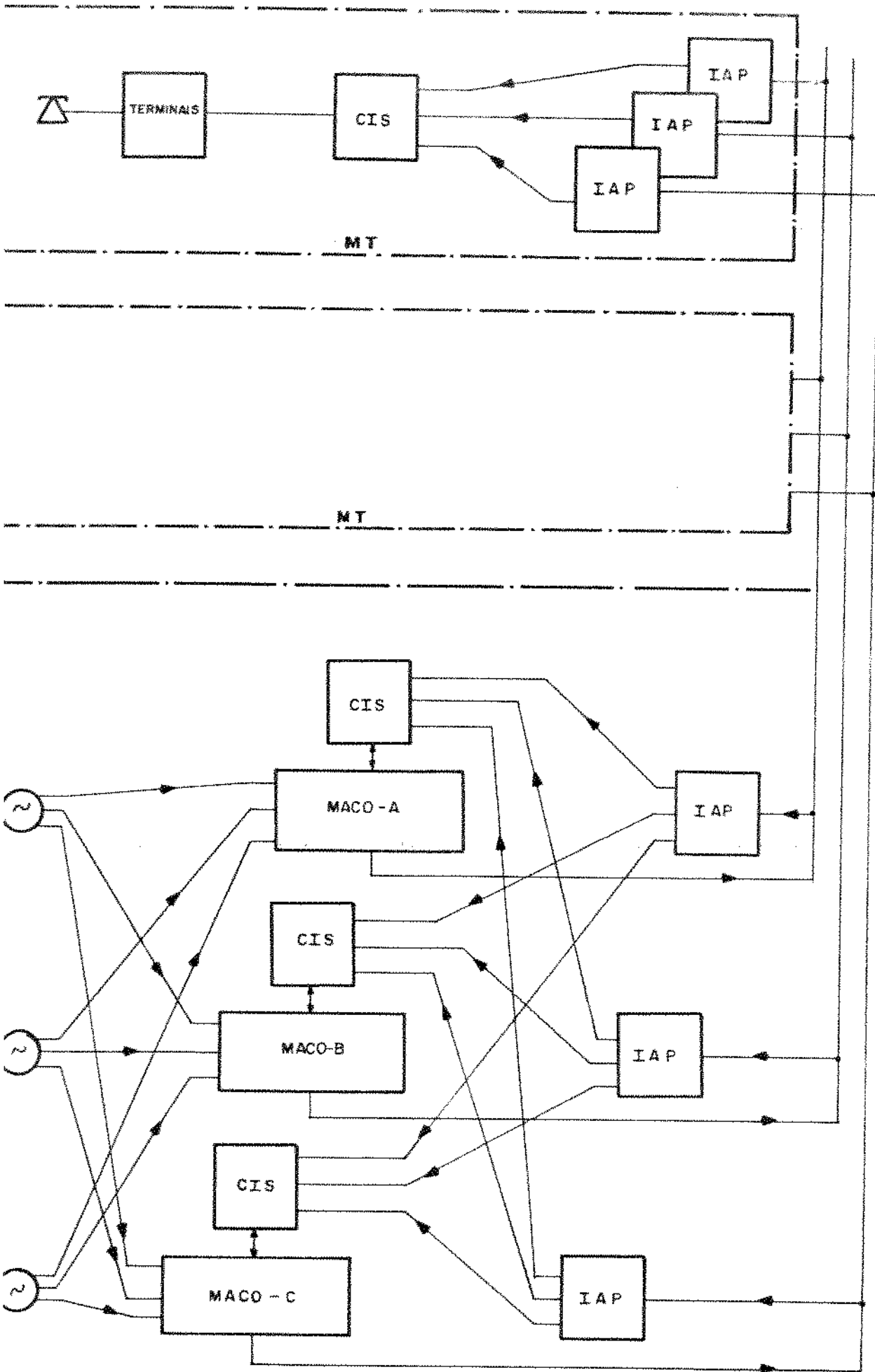


FIGURA 4.4

IV.2 - Partição Funcional

A matriz de comutação do Sistema TROPICO é uma estrutura tipo T com acesso pleno e bloqueio nulo. Nesse tipo de estrutura distinguem-se três funções básicas que contribuem poderosamente na determinação de sua configuração interna. São elas:

- Interfaceamento com Módulo de Terminais
- Armazenamento dos canais temporais
- Controle de comutação

O órgão responsável pelo interfaceamento com módulo de terminais (IMT) é a porta de acesso à matriz de comutação. É por ele que os enlaces intermodulares se conectam à matriz. Assim as vias de transmissão dos n enlaces que chegam à matriz e seus canais são tratados convenientemente de modo a estarem aptos a percorrerem os caminhos na matriz. Esse tratamento em geral se resume numa simples conversão série paralela dos canais e a multiplexação dos mesmos através de uma via (que vai constituir o Enlace Interno) embora outras funções possam ser incluídas. A multiplexação implica num aumento da velocidade dessa via que deverá atingir o Armazenador de Canais Temporais (ACT). Ainda sob sua responsabilidade encontra-se demultiplexação dos canais comutados que chegam do ACT e as suas conversões de paralelo para série, quando, através das vias de recepção, partirão da matriz para atingir o módulo de terminais.

O órgão responsável pelo armazenamento dos canais (ACT) recebe-os na forma paralela armazenando-os nas suas memórias RAM chamadas Memória de Comutação de Voz - MCV. Através de sinais de controle processa-se a comutação e o ACT deixará os seus canais disponíveis para serem tratados pelo IMT.

O processo da comutação é gerenciado pelo Controlador da Comutação (CCM) onde se situam as Memórias de Controle de Comutação - MCC. Dai partem sinais que atingem o ACT e con

trolam a comutação. O CCM serve de interface entre a matriz de comutação e seu processador de controle. A figura 4.5 mostra a matriz de comutação com seus blocos funcionais e suas respectivas interligações.

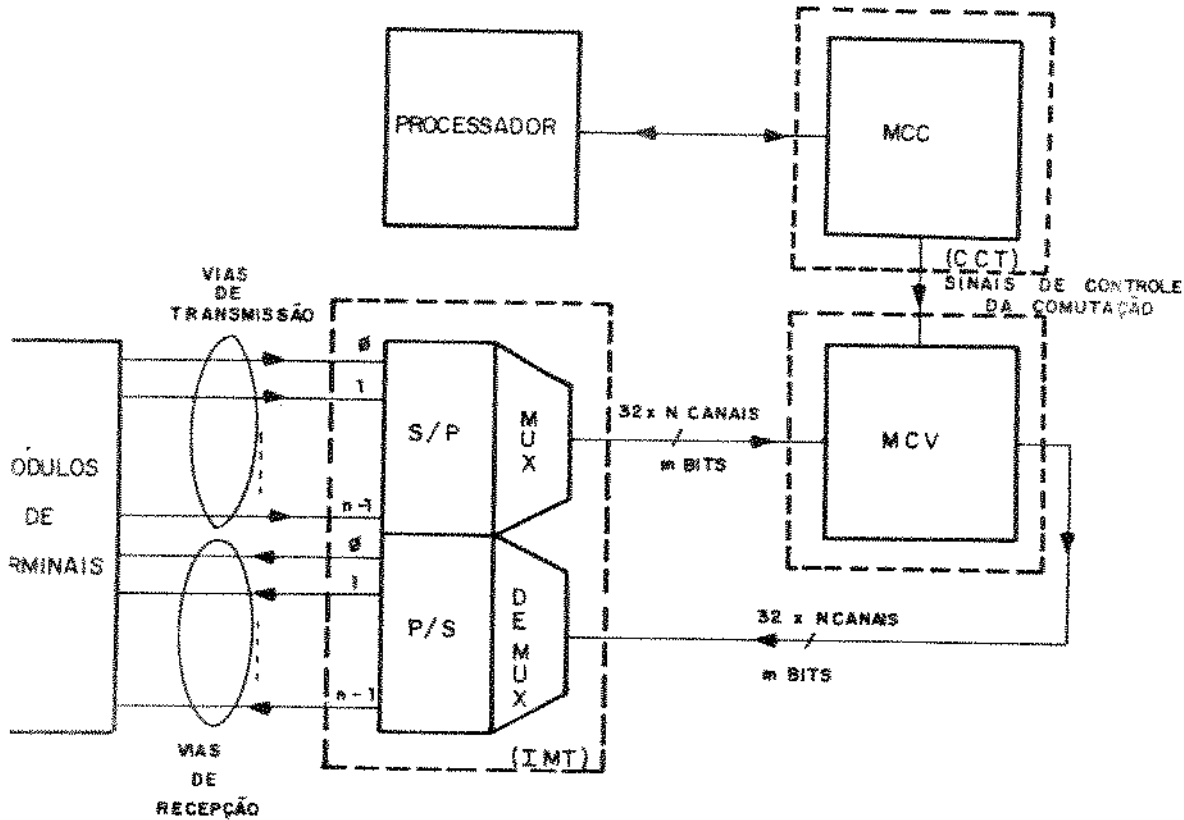


Figura 4.5

A multiplexação dos canais na forma paralela numa única via de acesso às memórias de armazenamento implica numa velocidade de transmissão proporcional ao número total de canais que por ela passam o que restringe o número de enlaces que tem acesso à mesma. Assim para 256 enlaces de 32 canais cada com o quadro durando 125µs a equação (2.1) fornece a velocidade dessa via:

$$f = \frac{n \times C}{t_t} = \frac{256 \times 32}{125 \mu s}$$

$$f = 65,536 \text{ MHz} \quad (4.1)$$

E o tempo de acesso das memórias de armazenamento seria por (2.3)

$$t_a = \frac{t_t}{2 \times m \times c} = \frac{125}{2 \times 256 \times 32}$$

$$t_a < 7,3 \text{ ns} \quad (4.3)$$

Os valores obtidos tornam inviável a construção de tal matriz com os componentes elétricos atualmente disponíveis. A solução é, então, dividir essa via em várias outras que trabalham em paralelo com intuito de compatibilizar os tempos de acesso com os recursos oferecidos atualmente. Dessa forma chega-se a um número de 16 dessas vias com cada uma delas operando a uma frequência f e as memórias de armazenamento tendo um tempo de acesso t_a :

$$f = 4,096 \text{ MHz} \quad (4.3)$$

$$t_a = 122 \text{ ns} \quad (4.4)$$

Dividir essa via em 16 outras significa terem-se 256/16 IMT's como mostra a figura 4.6.

O cálculo do tempo de acesso das memórias leva em consideração o fato que elas trabalharão em paralelo o que implica que essa matriz deve conter também 16 ACT que serão controlados por 16 CCT. Uma configuração da matriz com 1 IMT, 1 ACT e 1 CCT forma o que foi definido no Capítulo II como Bloco de Comutação. Dessa forma a matriz do TROPICO tem na sua capacidade máxima 16 Blocos de Comutação por plano. Sendo C_c o número de células de comutação numa matriz e B_c o número de blocos de comutação nessa matriz, de acordo com (2.4) tem-se

$$C_c = B_c^2$$

Na matriz do TROPICO isto significa que existirão 256 células de comutação o que se traduz em 16 células por bloco. A figura 4.7 mostra a interligação desses órgãos.

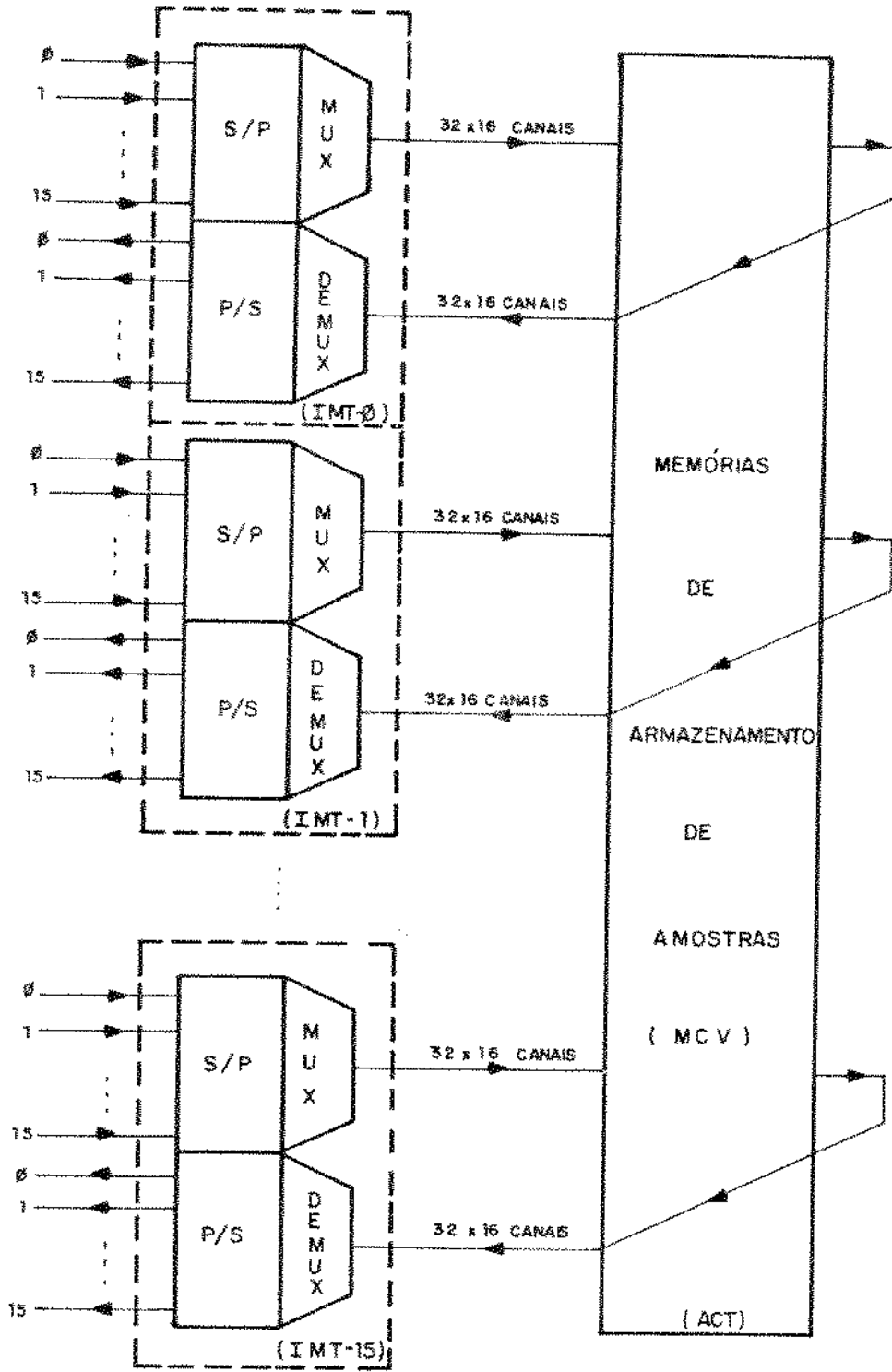


FIGURA 4.6

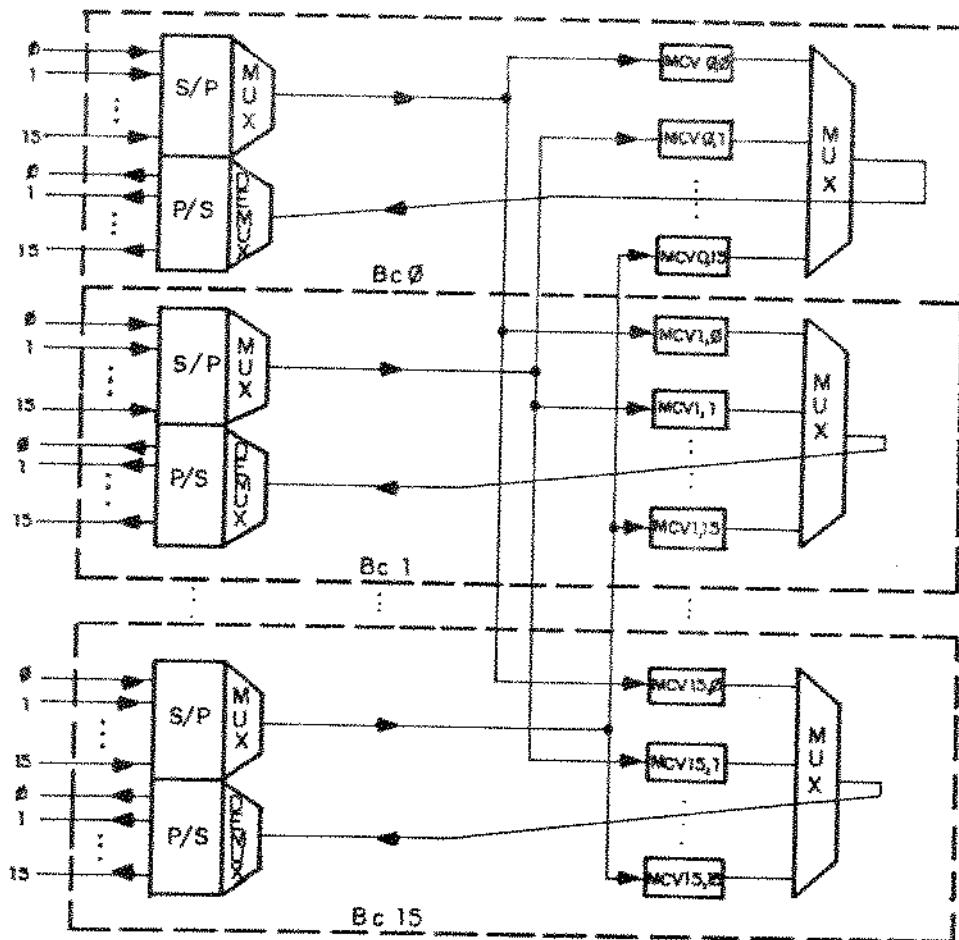


Figura 4.7

Cada célula de comutação armazena os canais de um IMT. Como tem-se 16 delas num bloco isto significa que cada bloco contém todas as amostras de voz de toda a matriz de comutação a cada instante. É possível, pois, comutarem-se quaisquer canais dentro da matriz. Assim, a $MCV_{i,j}$ do bloco de comutação i armazena 16 x 32 canais do bloco j . A figura 4.8 mostra um bloco de comutação com todos os seus órgãos funcionais. Note-se que apesar de um bloco de comutação armazenar $(16 \times 32) \times 16$ canais e ter apenas (16×32) canais que saem, não existe concentração, já que, olhando-se o bloco de comutação como uma caixa preta (figura 4.8) ele tem 16 vias de transmissão e 16 de recepção correspondente aos 16×32 canais que entram e 16×32 que saem. Isto significa que os 512 canais que entram podem ser comutados com os 512 que saem da matriz.

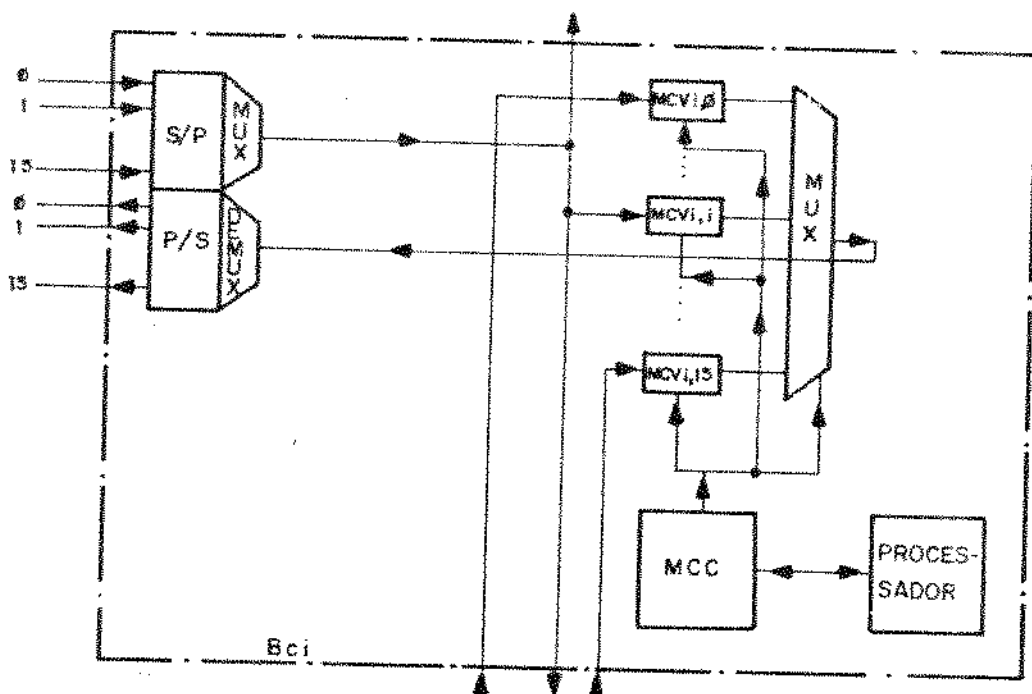


Figura 4.8

Um canal é identificado pelo seu número no enlace (C), pelo enlace (E) e bloco de comutação (B) a que pertence. Seja, pois, comutar o canal $B_i E_x C_y$ com o $B_j E_z C_w$. Deve-se, então escrever na posição $E_x C_y$ da MCC do bloco B_i o valor $B_j E_z C_w$; escreve-se na posição $E_z C_w$ do B_j o valor $B_i E_x C_y$. Assim quando a MCC de B_i for endereçada para leitura na posição $E_x C_y$ o seu conteúdo ($B_j E_z C_w$) servirá de endereço para as MCV's e MUX; $E_z C_w$ constitui-se no endereço de leitura de todas as MCV's que disporão nas suas saídas os conteúdos do canal $E_z C_w$, ou seja, o MUX terá em suas entradas todos os canais $E_z C_w$ de todos os blocos; B_j , sendo o endereço do MUX, fará aparecer em sua saída o conteúdo do canal $E_z C_w$ do bloco B_j . Processo semelhante ocorre com a MCC do B_j . A figura 4.9 ilustra este fato.

De acordo com a equação (2.7) uma MCC de um bloco de comutação deverá ser de N_c bits, onde:

$$N_c = (n \times C) \log_2 (n \times c \times B_c)$$

$$N_c = (16 \times 32) \times \log (16 \times 32 \times 16)$$

$$N_C = 512 \times 13 \text{ bits}$$

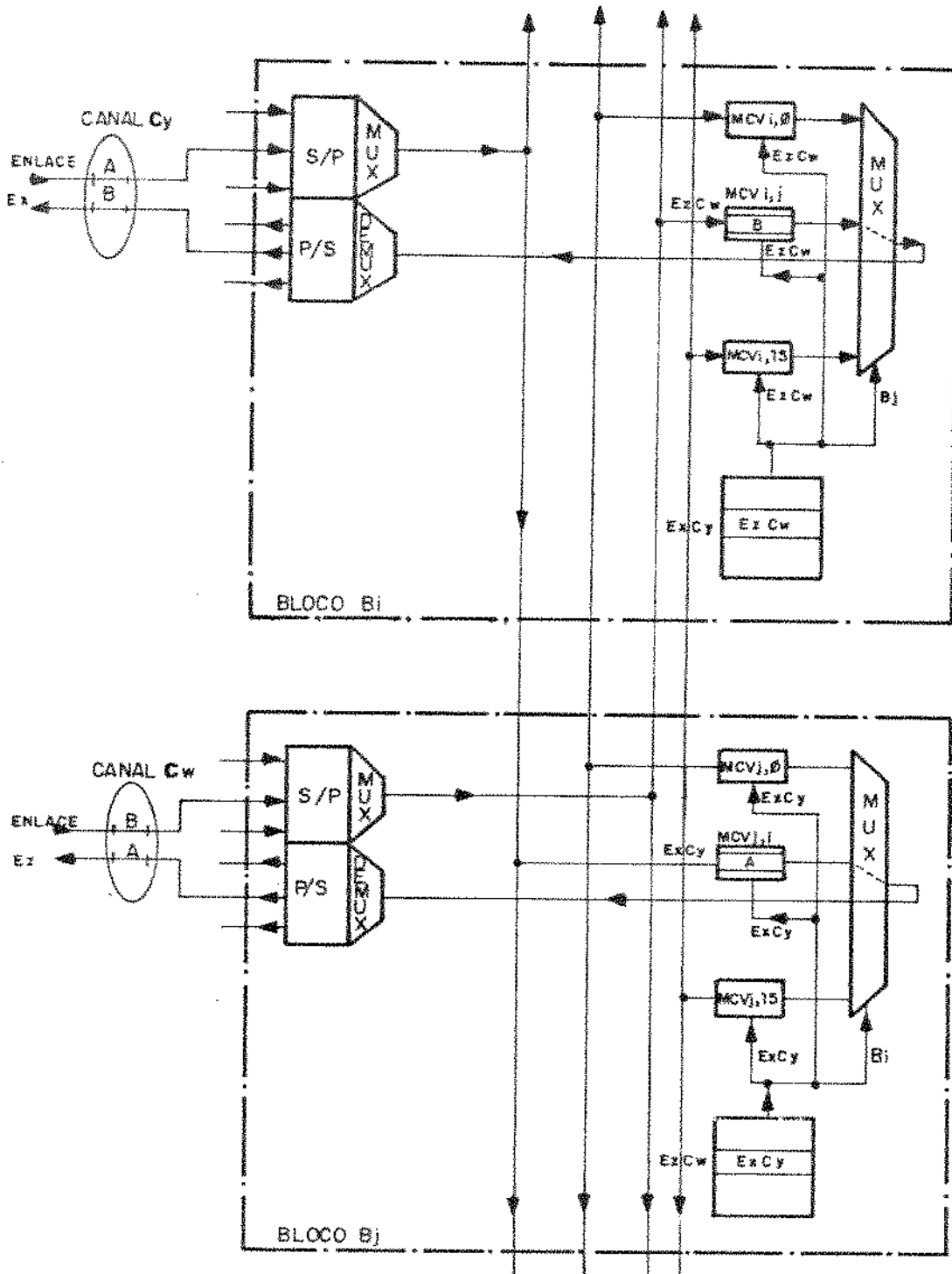


Figura 4.9

A MACO deve comutar 12 bits por canal; então de acordo com a equação (2.5) uma MCV de uma célula de comutação deve conter N_v bits, onde:

$$N_v = (n \times c) \times m$$

$$N_v = 16 \times 32 \times 12$$

$$N_v = 512 \times 12 \text{ bits}$$

Um bloco de comutação da MACO terá, então, 16 MCV's de 512 x 12 bits.

O passo seguinte ao da determinação das funções básicas é então distribuí-las em placas. É interessante que as placas sejam o menos diferenciadas possível o que contribui sensivelmente no custo industrial das mesmas. No entanto existem fatores limitantes que influenciam diretamente nesse item. Estes fatores se relacionam com as características da placa padrão utilizada para toda a central e são:

- número máximo de componentes por placa;
- número máximo de pinos de entrada e saída da placa;
- potência máxima suportada na placa

Os primeiros 2 fatores são limitações físicas da própria placa, enquanto que o terceiro depende do distanciamento entre placas, ventilação utilizada, ou seja, relaciona-se com a mecânica adotada para a construção da central.

Para o Sistema TROPICO adotou-se uma placa padrão de 34x23 cm com capacidade para 112 CI's (até 20 pinos) montados em "wire-wrap". A placa tem ainda 128 pinos de entrada/saída com ligações feitas apenas por trás do bastidor. A potência dissipada por placa é de 15W.

No caso das placas da MACO os fatores limitantes foram principalmente pinos externos e logo em seguida a potência.

Levando-se em consideração todos esses fatores chegou-se à seguinte partição funcional por bloco de comutação:

- as funções de interfaceamento com o módulo de terminais

- ficaram distribuídos em 2 placas chamadas SPS-0 e SPS-1;
- as funções de armazenamento dos canais temporais ficaram a cargo de 8 placas chamadas ECT-0, 1, ..., 7;
- as de controle de comutação foram colocada em uma única placa chamada CTR.

Como processador de controle, já sabido anteriormente, usou-se a CIS.

Dessa forma cada SPS - Placa de Conversão Série-Paralelo - Série - trata 8 enlaces sendo que a SPS-0 o faz para os pares, e a SPS-1 para os ímpares. Uma ECT - Estágio de Comutação Temporal - recebe canais na forma paralela de 2 blocos de comutação. A CTR - Placa de Controle - serve de interface entre a CIS e a MACO e contém as memórias de controle de comutação, além de desempenhar funções de controle sobre processos envolvidos com a supervisão da comutação, como será visto adiante. A figura 4.10 mostra um bloco de comutação da MACO.

Na figura 4.10 os multiplex desenhados em linhas pontilhadas indicam uma multiplexação feita através de um "bus 3-state". Assim as saídas paralelas das SPS's são curto circuitadas e uma única via sai de ambas para atingir a sua respectiva ECT. Da mesma forma nas ECT's onde ocorrem 2 níveis de multiplexação:

- o primeiro entre as 2 memórias de armazenamento (MCV) de cada placa;
- o segundo entre as 8 placas.

Dessa maneira as SPS's recebem numa única via os canais, na forma paralela, comutados.

Como a CTR é uma placa única, nela ficam as funções que devem ser centralizadas. Assim os sincronismos enviados pelos GSN's chegam à MACO pela CTR que os processa e distribui para as demais placas do seu módulo; monitora as falhas que ocorrem nas SPS's ou ECT's. Já as SPS's, servindo de

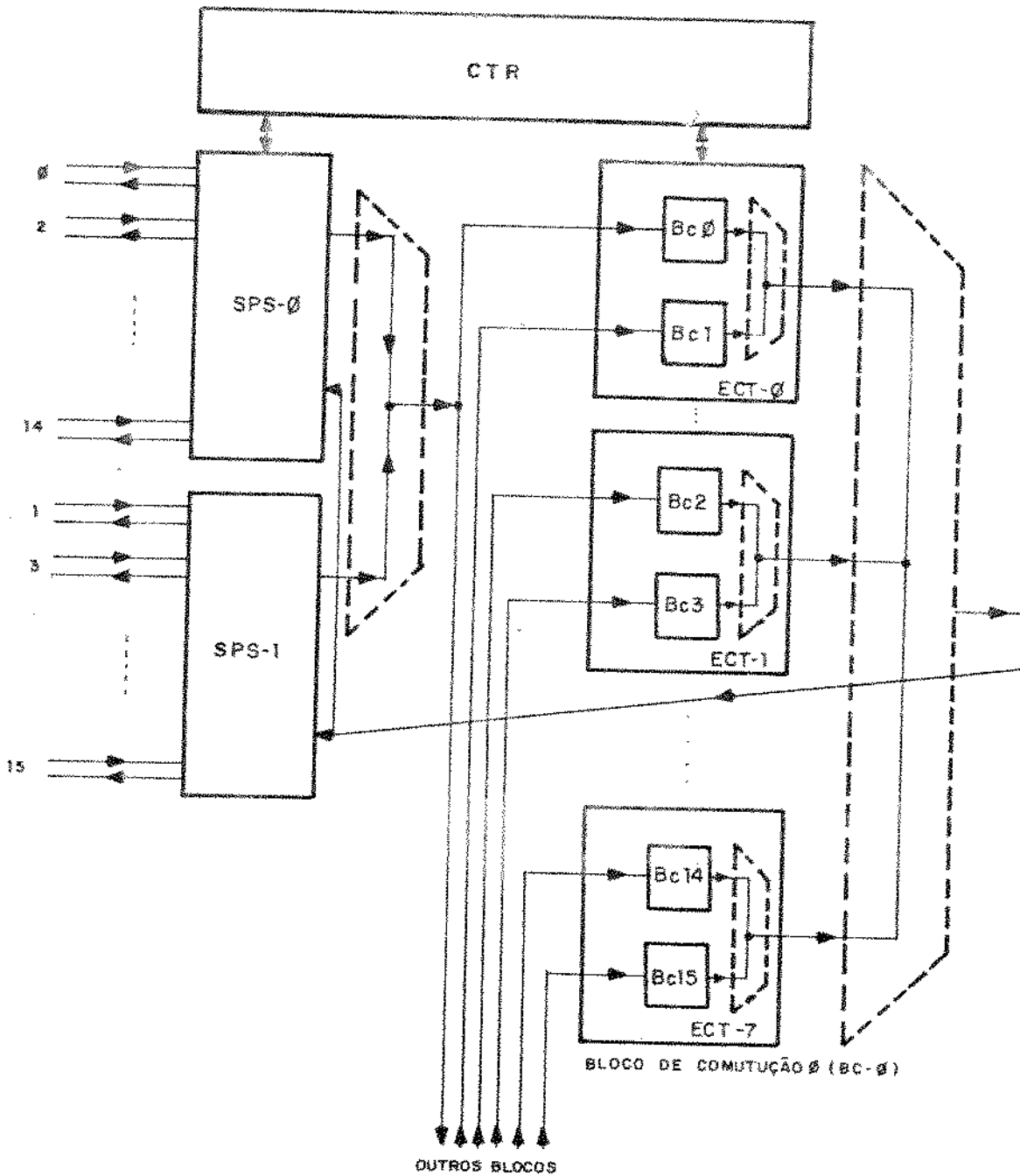


Figura 4.10

interface com o Módulo de Terminais envia a estes os sincronismos necessários. A figura 4.11 mostra um bloco de comutação e suas interligações.

MC - DETALHAMENTO DA MACO

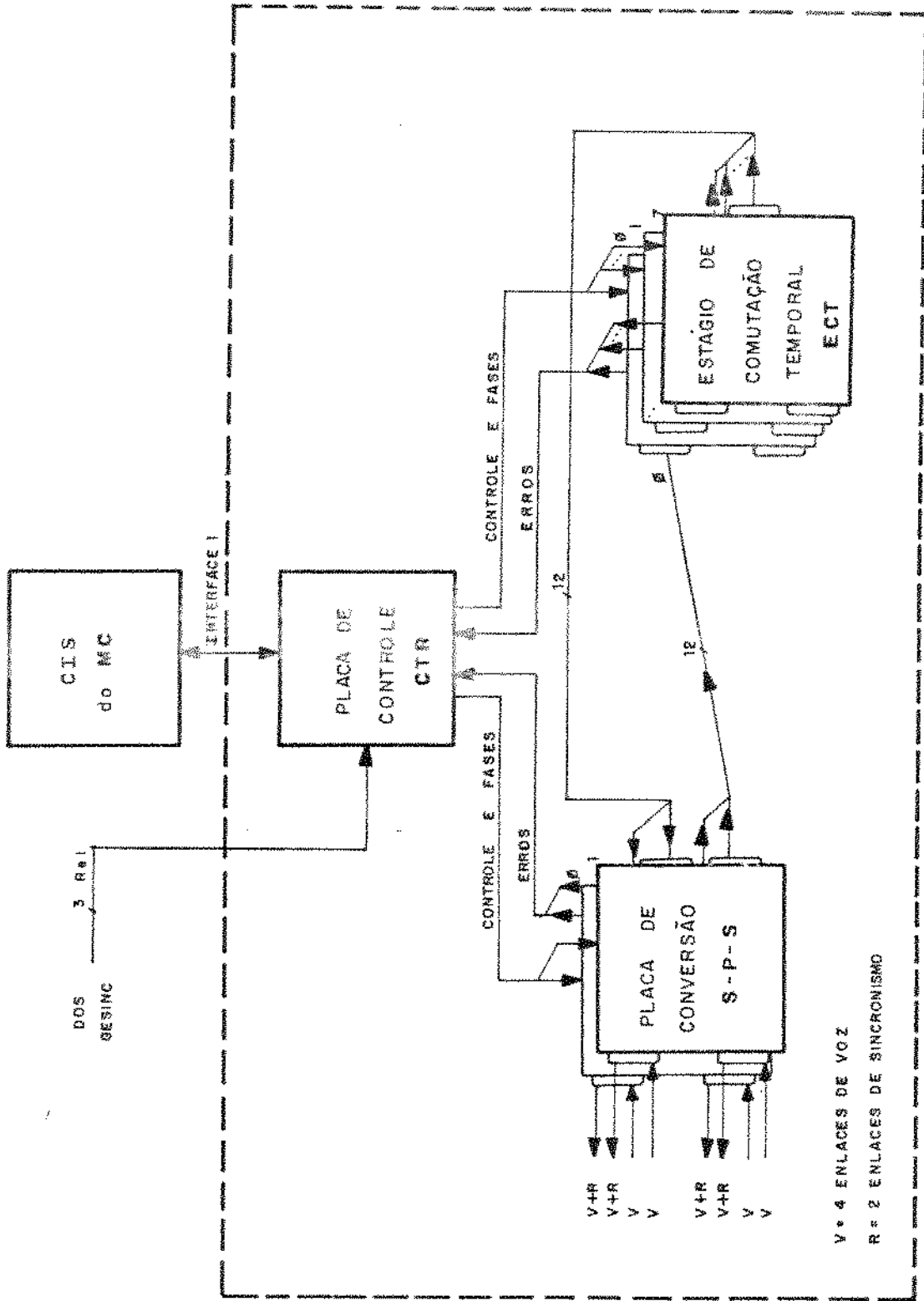


FIGURA 4.11

IV.3 - Modularidade e Expansão

IV.3.1 - Configuração do TROPICO

A matriz de comutação é um sistema modular com suas placas projetadas de modo a oferecer a facilidade de , a partir de uma configuração mínima , poder expandir-se de acordo com a demanda de tráfego telefônico que do equipamento é exigida. Para isso além das placas a serem acrescentadas deve-se equipar o sistema com o "software" que as trata.

Na sua configuração mínima, conhecida com Meio Módulo de Central - MMC-a MACO se apresenta com as seguintes placas:

- 1 SPS;
- 1 ECT;
- 1 CTR.

Nessa conformação ela estará apta a tratar 8 enlaces PCM, ou seja, 256 canais. A sua expansão pode ser feita acrescentando-se uma placa SPS o que duplica a capacidade de tratamento de canais (512) formando Um Módulo de Central - UMC. A UMC é possível conectar MMC ou UMC através da sua ECT que é capaz de tratar 2 módulos.

O crescimento da matriz é feito em passos de 256 canais.

No TROPICO R cada plano da MACO possui uma única ECT. Utilizando-se várias ECT's é possível interligar até 16 módulos formando-se assim o TROPICO L. Associado a cada módulo de central tem-se, por plano, um número de placas ECT igual à metade do número total de módulos se esse número é par ou à metade mais meio se esse número é ímpar. Assim uma central TROPICO-L pode ter desde uma ECT, quan-

do constituída de 1 ou 2 módulos, até 8 ECT's por módulo quando constituída de 16 módulos.

A figura 4.12 mostra um plano do TROPICO-L na sua configuração máxima.

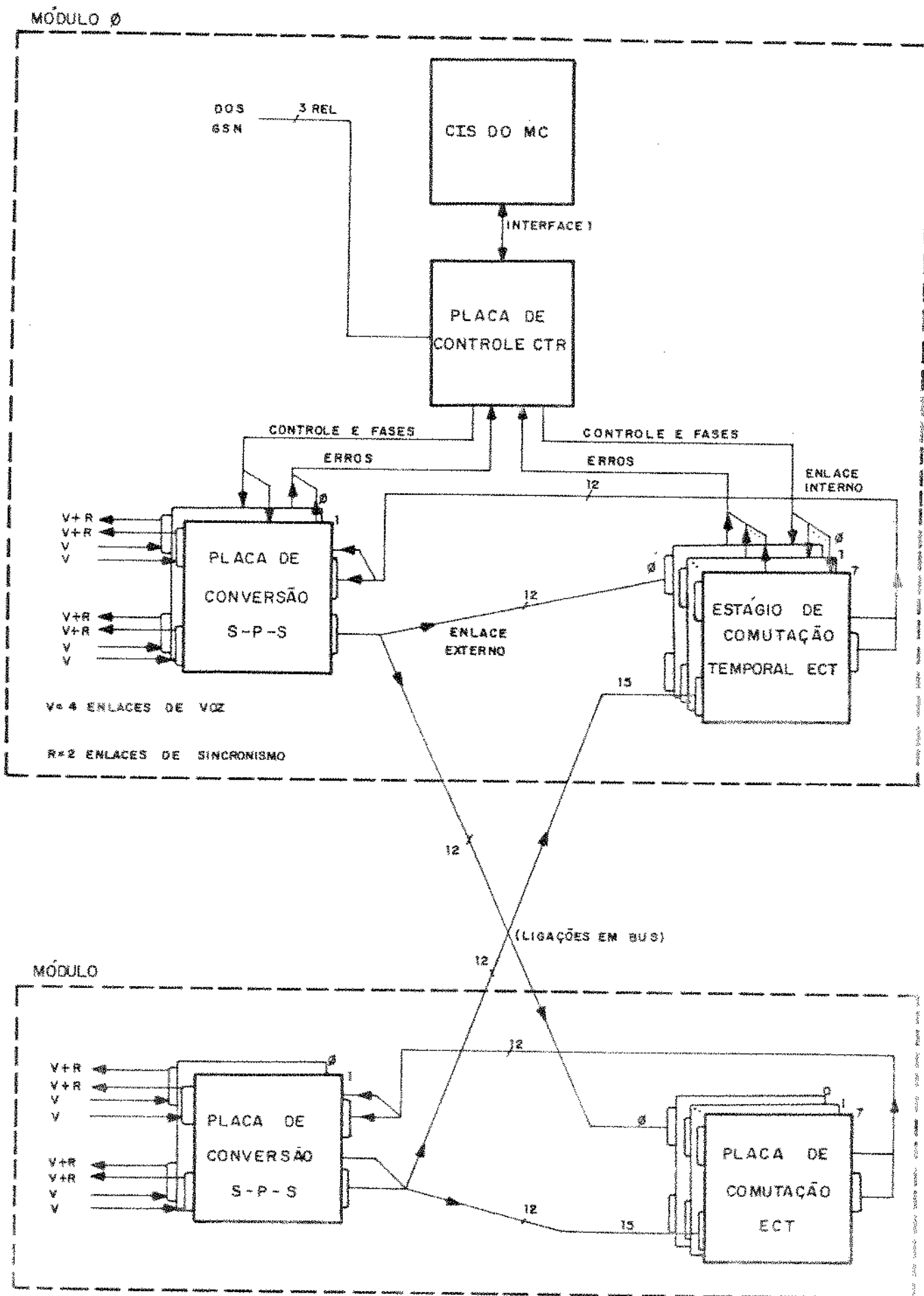


FIGURA 4.12

IV.3.2 - Os Problemas da Expansão

A expansão da capacidade de uma central implica no acréscimo de módulos que fisicamente começam a se distanciar entre si. Esse distaciamento entre os blocos que se comunicam provoca uma diferença de fases dos relógios e sincronismos entre eles; além disso o tempo de chegada dos sinais a um módulo proveniente dos demais, é dependente da posição relativa deste aos outros. Isto significa que os sinais enviados das SPS's dos outros módulos a um determinado podem chegar em tempos diferentes à ECT's deste. Prevendo-se o posicionamento destes módulos é possível conhecer os atrasos inerentes a cada um dos demais e prover circuitos que permitam a programação das ações a serem tomadas. No entanto isto é uma tarefa, que do ponto de vista da instalação e manutenção do equipamento, é desaconselhável já que é complicada. Adotou-se uma solução que, para um dado módulo, os sinais transmitidos de todos os demais para este chegam ao mesmo tempo com a compenção da diferença de fases e sincronismos entre eles. O detalhamento desta solução encontra-se no Capítulo VIII.

A despeito disso persiste um outro problema:

a amostragem correta de sinais transmitidos de um a outro bloco vai depender dos elementos envolvidos no caminho do sinal e relógio; esses elementos se constituem nos circuitos e cabos por onde é feito tal percurso. Conhecendo-se as placas envolvidas conhecem-se os circuitos, ficando o tamanho dos cabos, como a variável determinante na obtenção da amostragem correta dos sinais.

Seja a transmissão de um sinal de um órgão i a um j.

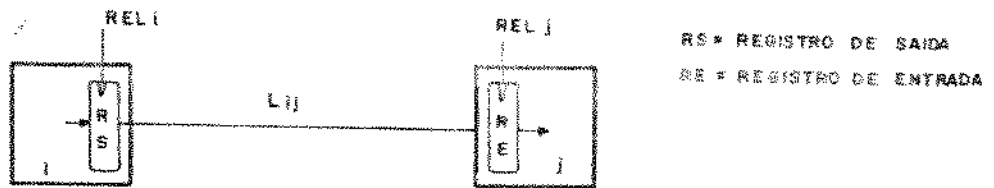


Figura 4.13

Seja ainda L_{ij} um comprimento tal que a seguinte relação de fases se verifica:

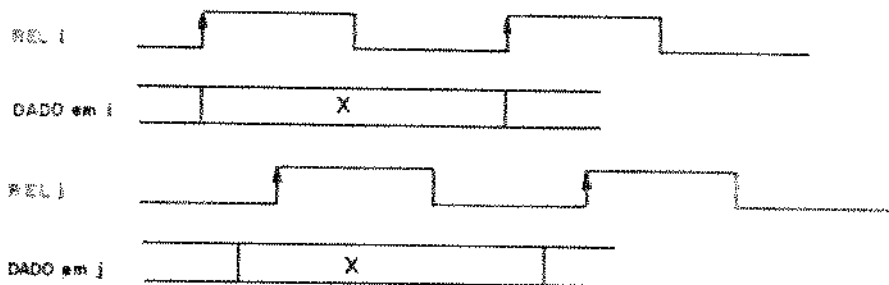


Figura 4.14

A figura 4.14 mostra o caso em que a mesma borda do relógio (Rel i) que transmitiu o sinal do órgão i pode ser usada para copiá-lo no "j". No entanto com o crescimento da central (aumento de L_{ij}) o atraso na transmissão pode ser tal que a seguinte relação se verifique.

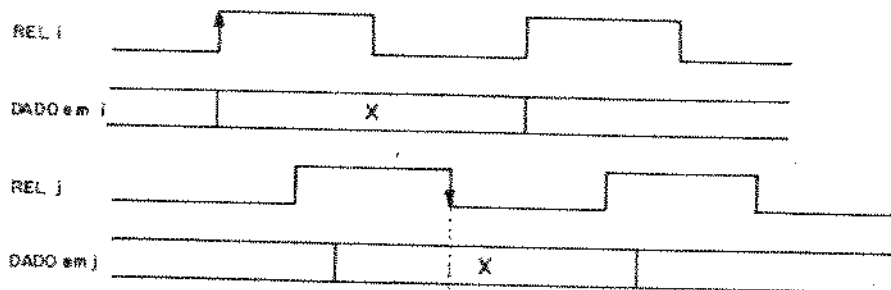


Figura 4.15

Nesse caso a primeira borda do Rel j já não é capaz de copiar o sinal recebido ficando isso a cargo da próxima borda (a de descida, por exemplo).

Para comprimentos maiores ainda de L_{ij} somente a K é-sima borda será capaz de copiar o dado. Isto significa que o crescimento da central, determinado pelo comprimento dos cabos de interligação entre módulos, é função do número de bordas (k) de relógio envolvidas para a amostragem correta do sinal. Um estudo envolvendo todos estes conceitos está feito no Capítulo VIII onde se tem as faixas de cabos a serem instalados em função de K .

O órgão receptor deve estar preparado a acompanhar o crescimento da central de forma que meios sejam providos para se saber qual a borda apta a copiar o sinal para aquele comprimento de cabo. Isto significa que um "circuito com atraso programado" deve estar presente para poder compensar os atrasos dos cabos. A esse circuito dá-se, neste trabalho, o nome de "strap". Assim para determinada faixa de comprimento da central deve-se programar o atraso através do "strap". Para um outro comprimento de uma outra faixa, o "strap" deve ser reprogramado de forma que o atraso devido a linha de transmissão mais o imposto pelo "strap" deve ser constante. O "strap" é colocado na entrada do registro do órgão j (RE).

IV.3.2.1 - Implementação do "strap"

A implementação do "strap" pode ser feita através do cascadeamento de registros de amostragem cujos relógios se alternam em normal e invertido como é visto na figura 4.16.

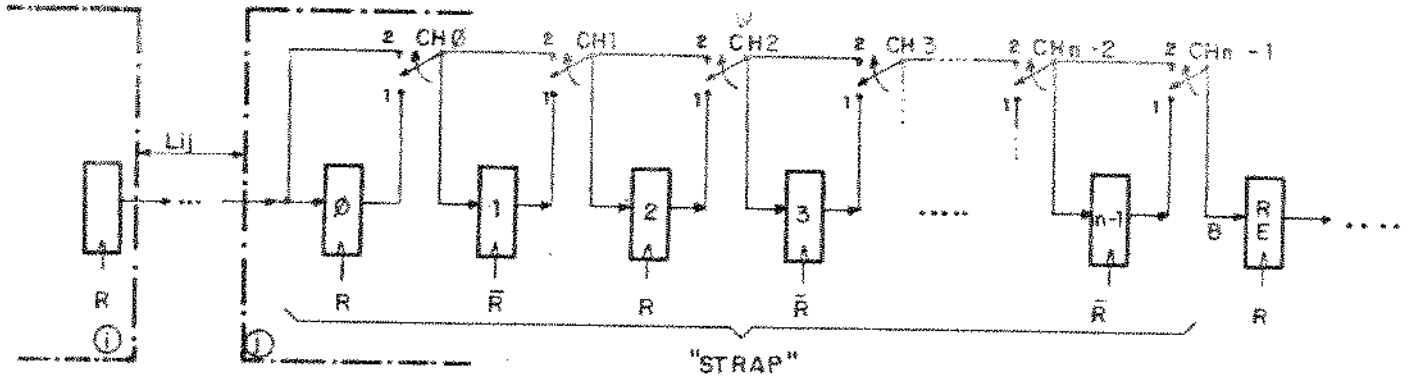


Figura 4.16

Sendo L_{ij} o atraso imposto pela linha de transmissão, K o número de semiperíodos ($T/2$) de relógio e C o atraso devido aos circuitos envolvidos, o atraso total entre os pontos A e B é dado por:

$$L_{ij} + K \frac{T}{2} + C = \text{constante} \quad (4.5)$$

De (4.5) tem-se: quanto maior a central (maior L_{ij}) menor o número de chaves que devem ficar na posição 1 (menor o valor de K) e vice-versa. Cada valor de K define uma faixa de comprimento da linha de transmissão. Cada faixa é pois, compensada por um atraso ou não imposto no registro.

Dessa forma tem-se :

Faixa de L_{ij}	K	Chaves na Posição 2	Tamanho da Central
1º	0	nenhuma	menor tamanho
2º	1	CH0	↓ maior tamanho
3º	2	CH0, CH1	
4º	3	CH0, CH1, CH2	
...	
nº	n-1	CH0, CH1, CH2, ..., CH _{n-2}	
(n+1)º	n	CH0, CH1, CH2, ..., CH _{n-2} , CH _{n-1}	

Tabela 1

No caso da MACO o órgão receptor é a ECT que é comum a dois módulos; para cada módulo entram 12 bits que devem passar pelo "strap" já que este estará localizada na mesma. Assim cada chave CHx ($x = 0, 1, \dots, n-1$) mostrada na figura 4.16 corresponde na verdade a um conjunto de 12 chaves. Isto significa que a configuração proposta na figura 4.16 deve ser otimizada quanto ao número de chaves utilizadas. Chega-se, então, a uma outra configuração do "strap" mostrada na figura 4.17.

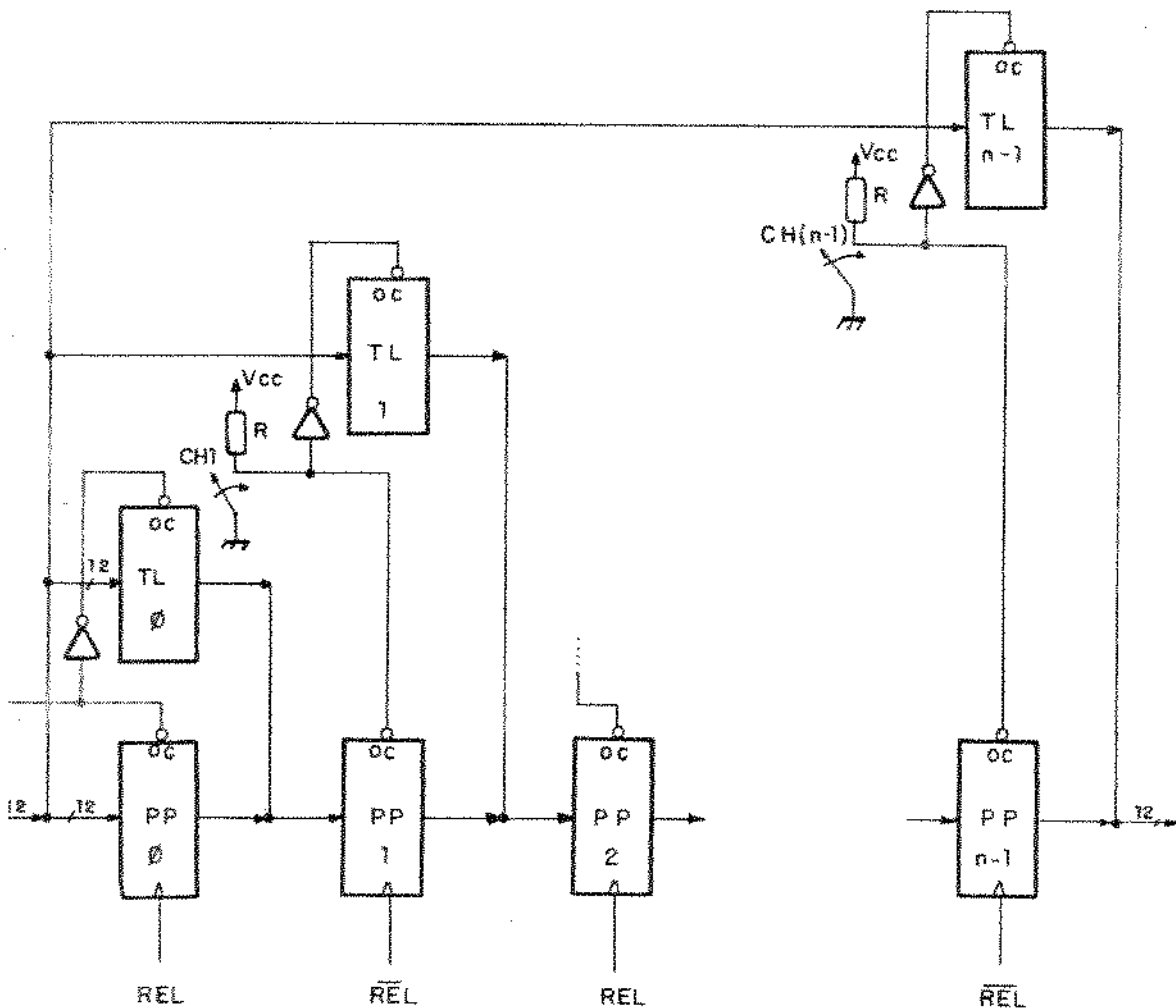


Figura 4.17

Na figura 4.17 PP é um registro paralelo e TL é um "Transparent-Latch"; OC é o controle "3-state" das saídas dos PP e TL.

Para CH na posição "fechada" o sinal passa pelo PP com TL tendo sua saída no nível de alta impedância; para CH na posição "aberta" o sinal passa pelo "Latch" ficando o PP com sua saída em alta impedância.

Nessa configuração apenas uma chave deve ser ligada caso se queira expandir a central, pois, cada TL, da maneira como se liga, é capaz de "by-passar" todos os PP de número menor ou igual ao seu. Dessa forma tem-se:

Faixa de L_{ij}	K	Chave na posição aberta	Tamanho da Central
1 \varnothing	\varnothing	nenhuma	menor tamanho ↓ maior tamanho
2 \varnothing	1	CH \varnothing	
3 \varnothing	2	CH1	
4 \varnothing	3	CH2	
⋮	⋮	⋮	
(n+1) \varnothing	n	n-1	

Tabela 2

A presença do "strap" na entrada da ECT garante que os canais que a ela chegam sejam armazenados nas suas devidas posições das MCV. Como foi exposto no Capítulo II a MCV é mapeada da seguinte forma:

CONTEUDO DO CANAL ENLACE	
\varnothing	\varnothing : \varnothing
1	\varnothing : 1
2	\varnothing : 2
⋮	⋮
16	1 : \varnothing
17	1 : 1
⋮	⋮
509	31 : 29
510	31 : 3 \varnothing
511	31 : 31

Figura 4.18

A chegada do canal na ECT está sincronizada com um contador que dá o endereço de escrita na MCV. Isto significa que os deslocamentos de meio período de relógio nos dados de chegada à ECT não tem influência na posição que estes ocuparão na MCV, pois, ainda estão dentro do intervalo permitido para tal canal o que é garantido pela ressincronização do mesmo pelo RE da ECT. No entanto, a presença dos registros de deslocamentos de meio período se deve ao fato de se poder ter uma expansão mais gradual (de meio em meio período de relógio) da central. Os registros de deslocamento de um período estão intimamente relacionados com o posicionamento no canal na MCV. Dessa forma é possível utilizar uma configuração de "strap" em que os meios períodos sejam dados pelos PP e TL, e os de um período pelo contador que fornece endereço de escrita para a MCV (Figura 4.19).

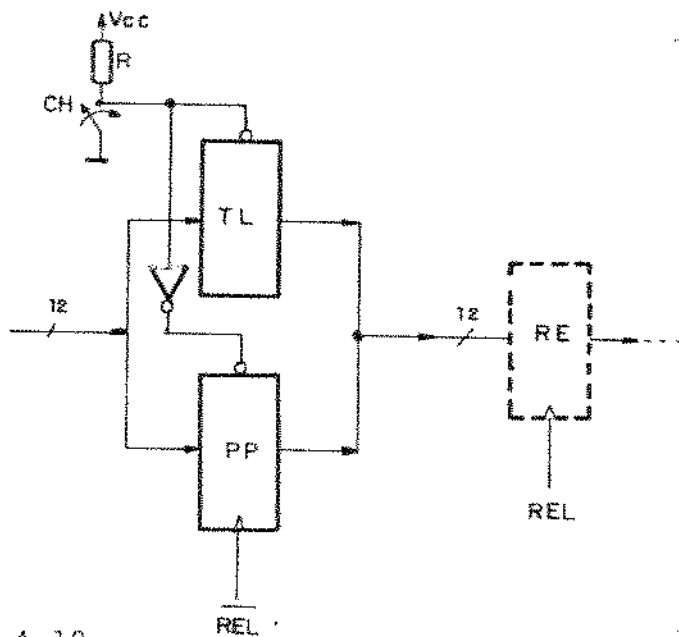


Figura 4.19

A seguir apresenta-se uma tabela que relaciona as faixas de comprimento da li-

nha com a posição da chave do deslocador de meio período (Meio Deslocador-MD) e o valor que deve ser deslocada a contagem do contador de canais da MCV.

Faixa de L_{ij}	K	Chave do MD	Delocamento do Contador
1 \varnothing	\emptyset	Fechada	\emptyset
2 \varnothing	1	Aberta	\emptyset
3 \varnothing	2	Fechada	1
4 \varnothing	3	Aberta	1
5 \varnothing	4	Fechada	2
6 \varnothing	5	Aberta	2
...
(n+1) \varnothing	n (par)	Fechada	n/2
(n+1) \varnothing	n (ímpar)	Aberta	n/2 - 0,5

Tabela 3

O deslocamento no contador pode ser dado por um somador que some o seu conteúdo com o valor do deslocamento ou por um somador que some o valor com que ele é carregado inicialmente com o do deslocamento como mostra a figura 4.20.

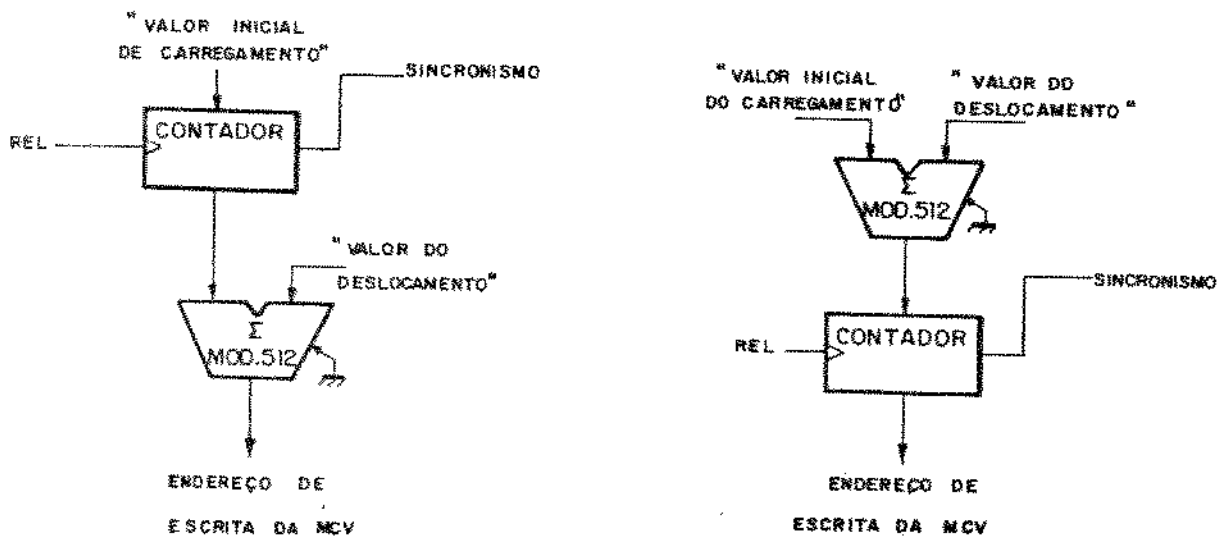


Figura 4.20

Utilizando-se as configurações das figuras 4.19 e 4.20 a MCV terá seu conteúdo como mostra a figura 4.18. Até agora controlou-se a escrita na MCV. No entanto é possível obter-se resultado semelhante controlando-se a leitura da mesma.

Para isso utiliza-se ainda o meio deslocador e a compensação do deslocamento de um período será dado na leitura.

Seja o caso em que não haja nenhum atraso dos canais que chegam a ECT. Então a MCV terá um mapeamento como mostra a figura 4.18 e o contador que lhe fornece endereço de escrita está sincronizado com os canais de forma que isso aconteça. No entanto com o aumento de central, com a linha impondo-lhes um atraso de "d" períodos inteiros de relógio, os canais passam a ser armazenados na MCV com o deslocamento d , ou seja, o canal \emptyset de enlace \emptyset do enlace \emptyset estará armazenado na posição $\emptyset + d$, canal \emptyset do enlace 1 na posição $1 + d$ e assim por adiante como mostra a figura 4.21.

O valor $x + d$ explicita uma soma módulo 512. Dessa maneira ao endereço de leitura da MCV deve ser somado o valor do deslocamento, conhecido pelo atraso do cabo.

O endereço de leitura da MCV é dado pelo conteúdo da memória de controle de comutação - MCC. A soma então pode ser feita diretamente em "hardware" utilizando-se um circuito somador como mostra a figura 4.22.

POSICÃO	CONTEUDO DO CANAL ENLAÇE
$[0 + d]$	$0 : 0$
$[1 + d]$	$0 : 1$
$[2 + d]$	$0 : 2$
	\vdots
$[16 + d]$	$1 : 0$
$[17 + d]$	$1 : 1$
	\vdots
$[30 + d]$	$31 : 30$
$[31 + d]$	$31 : 31$

Figura 4.21

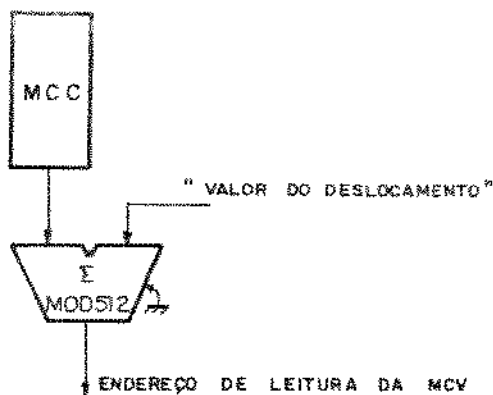


Figura 4.22

No entanto esta soma pode ser feita em "software" economizando-se circuitos em "hardware". A tabela 4 mostra a relação entre as faixas de L_{ij} , K e deslocamento a ser dado no endereço de leitura da MCV (DEL).

Faixa de L _{ij}	K	Chave de MD	DEL
1º	0	Fechada	0
2º	1	Aberta	0
3º	2	Fechada	1
4º	3	Aberta	1
5º	4	Fechada	2
6º	5	Aberta	2
⋮	⋮	⋮	⋮
(n+1)º	n (par)	Fechada	n/2
(n+1)º	n (ímpar)	Aberta	n/2 - 0,5

Tabela 4

O meio deslocador juntamente com o deslocamento implementado em "software" compõe o chamado "strap-hardware-software" (SHS) utilizado na MACO.

A implementação do SHS é feita através de chaves que exprimem em binário o valor de "K"; o bit menos significativo dessa palavra serve de controle do meio deslocador; se for igual a "1" os dados são amostrados pelo PP; se for "0" passam pelo TL. A palavra é lida pelo processador que a divide por 2 (desloca para a direita) para em seguida somá-la ao número do canal que vai servir de conteúdo da memória de controle de comutação. A figura 4.23 mostra o hardware e o software envolvidos na implementação da SHS.

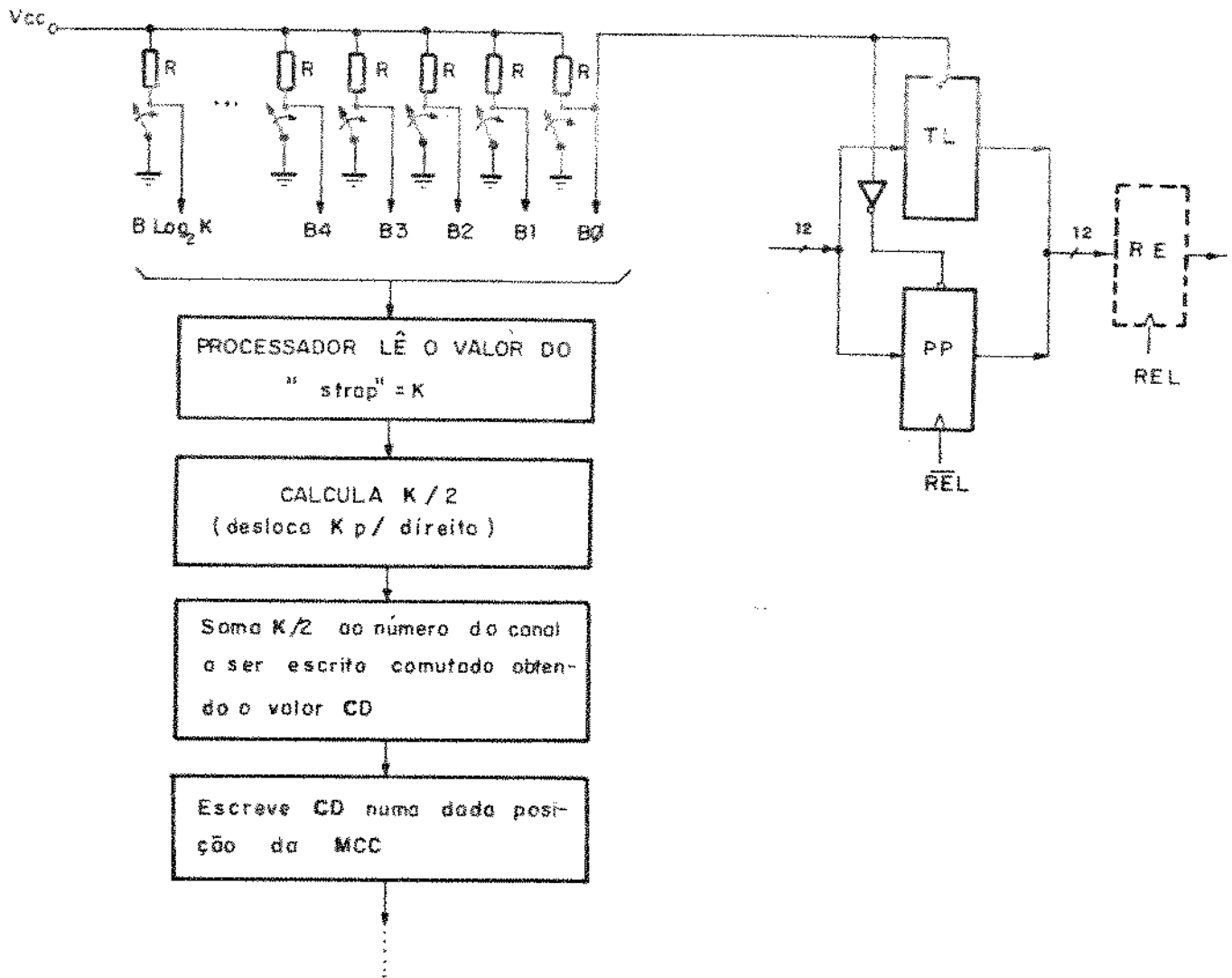


Figura 4.23

IV.4 - Habilitação da IAP

Os enlaces intermodulares são distribuídos entre as IAP's que a eles tem acesso através de ligações tipo "bus" através de "Line drivers 3-state".

No sentido MT para MC o bus e os drivers a ele ligados formam um multiplex que permite o acesso de vários enlaces intermodulares a um intermodular. O controle da multiplexação é feito pela MACO através de vias de habilitação que partem do MC e chegam ao MT através de pares balanceados.

Devido a limitações de endereçamento, pinos externos e cabeaçaõ cada IAP trata 4 enlaces de voz. Desta forma um

conjunto de IAP's se ligará ao mesmo grupo de 4 enlaces. Para esse grupo é dedicado uma via de habilitação. Como um módulo de comutação de um plano tem 16 enlaces, então, 4 vias de habilitação por módulo de um plano serão necessários para controlar todas as IAP's.

As vias de habilitação contem endereços das IAP's transmitidos a uma frequência de 4,096 MHz. A posição relativa do número da IAP dentro de um canal de 16 bits identifica o enlace a ser acessado. Como são 4 enlaces por grupo de IAP, um canal é dividido com 4 intervalos para identificar os enlaces, o que determina o número máximo de IAP's por grupo de enlaces. Esse número é 16 já que cada um dos intervalos no canal tem 4 bits, ou seja, uma IAP é identificada por 4 bits.

Sejam E_x, E_y, E_z, E_w os 4 enlaces de um grupo de IAP's, onde $x < y < z < w$; sejam ainda $\emptyset, 1, 2, 3$ os bits que identificam a IAP. A figura 4.24 mostra uma via de habilitação para esse grupo de enlaces e num dado canal a posição relativa do endereço das IAP's identificado para os enlaces.

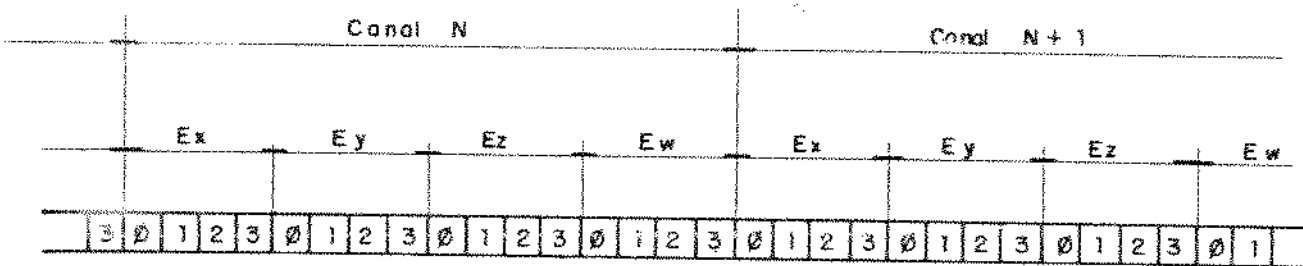


Figura 4.24

Para cada canal a IAP identifica o seu número e pela posição relativa desse número no canal ela determina qual o enlace que deve ser tomado por ela no instante daquele canal.

O controle da via de habilitação é feito por uma memória RAM conhecida como Memória de Controle de IAP-MCI. Existe

uma MCI por módulo que trata 512 canais. Portanto, como para cada canal ela deve conter o número da IAP que tomará o "bus" naquele instante, o seu tamanho é 512 x 4. A sua leitura é cíclica e síncrona com os canais que partem das IAP's para o MC. A escrita nessa memória é feita sob intervenção do processador (CIS).

A habilitação da tomada do bus pela IAP para um dado canal é conhecida como "alocação do canal".

IV.5 - Atenuação Programada

IV.5.1 - Implementação

As amostras PCM contidas nos canais de voz pertencentes aos enlaces intermodulares que chegam a MACO podem sofrer atenuação. Essa atenuação é programada e pode variar de 0 db a 7 db em passos de 1/2 em 1/2 db. Além disso pode ser inserido em cada canal atenuação infinita que corresponde a um padrão de canal livre adotado pelas normas CCITT. Assim existem 16 valores de atenuação codificados pois, em 4 bits.

O controle da atenuação é feito por uma memória RAM chamada Memória de Controle de Atenuação-MCA. Cada posição da MCA está relacionada com os canais que chegam à matriz e contem o código da atenuação que devem sofrer aqueles canais. Cada módulo de 512 canais tem uma MCA de 512 x 4 bits.

Seja ATEN o valor em db da atenuação e CODAT o código de atenuação; então:

$$ATEN = \begin{cases} CODAT/2 & \text{para } CODAT = 0, 1, 2, \dots, 14 \\ \infty & \text{para } CODAT = 15 \end{cases}$$

A MCA é lida sequencialmente com seu endereço de leitura sincronizado com os canais que chegam à MACO.

Uma maneira simples de se implementar a atenuação programada é armazenar em uma memória todas as possíveis amostras de voz atenuada de 0 db a 7 db além do padrão de canal livre.

A amostra PCM é composta de 8 bits um dos quais é o bit de sinal; não é necessário armazenar o bit de sinal cujo lugar é ocupado pelo de paridade das amostras atenuadas. Assim a largura da Memória de Atenuação - MAT - é de 8 bits.

Para um dado valor de atenuação os 7 bits de voz fornecem 128 possíveis combinações; como existem 16 níveis de atenuação a MAT terá 128 x 16 posições.

A MAT é dividida, pois, em 16 segmentos, cada qual contendo 128 amostras de voz convenientemente atenuadas. A implementação da MAT é feita com PROM de 2,048 x 8 bits.

A cada canal que chega a MACO, a MCA é lida fornecendo o código de atenuação para PROM onde será apontado um dos seus 16 segmentos; dentro de tal segmento os 7 bits de amplitude de voz apontarão o seu correspondente valor já atenuado.

A figura 4.25 mostra o mapeamento da MCA e MAT.

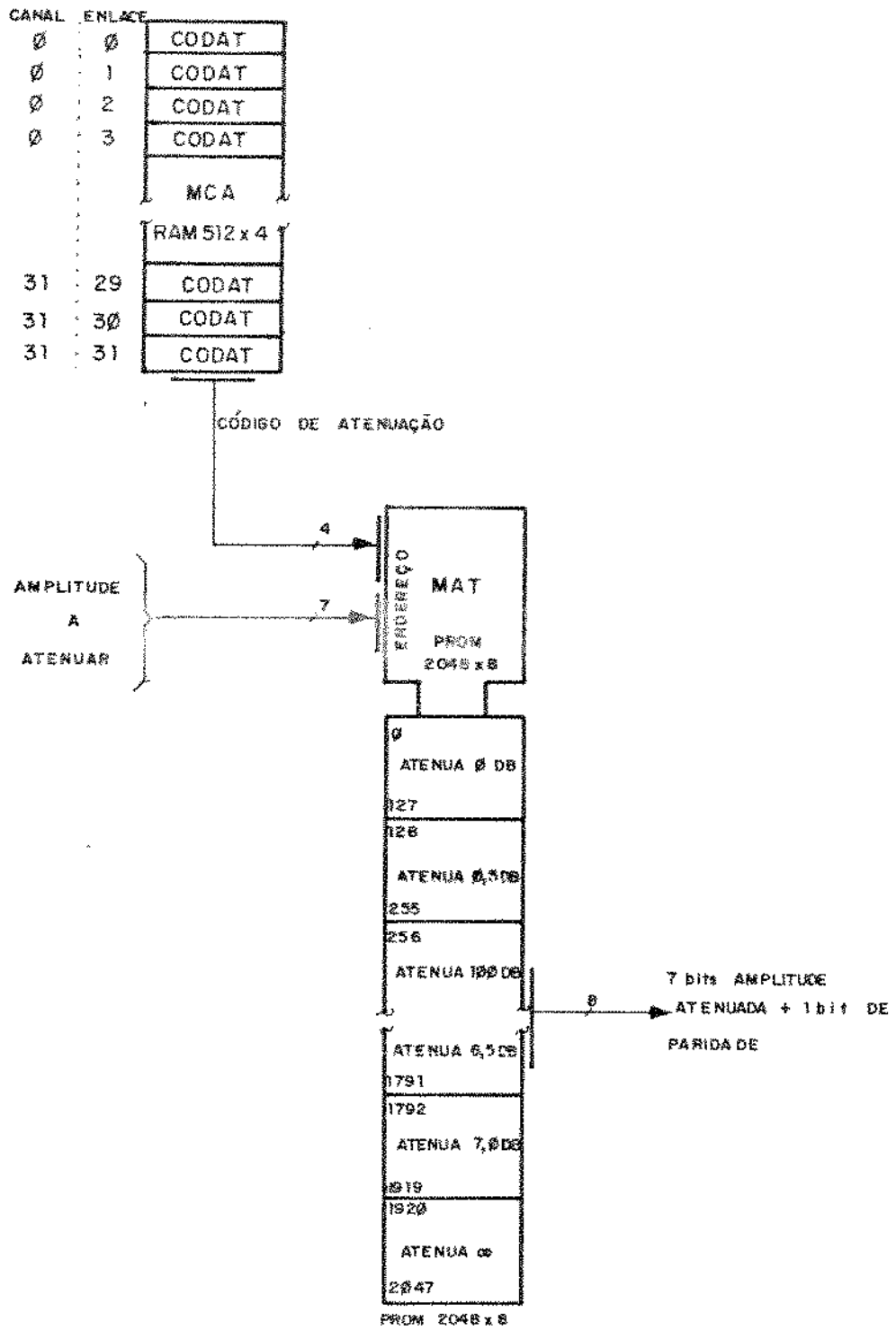


FIGURA 4.25

IV.5.2 - Cálculo da Atenuação

As amostras PCM de voz que chegam à MACO tem os seus bits pares invertidos e obedece à Lei A da Com pansão da CCITT recomendação G.711.

Os gráficos da figura 4.26 a seguir mostram a maneira como uma atenuação de uma amostra é calculada.

Dada uma amplitude de uma amostra PCM de entrada:

- Invertem-se os seus bits pares;
- A partir desse valor (que está numa escala compandida) obtem-se o seu correspondente na escala linear no gráfico Escala Compandida x Escala Linear;
- Esse valor linear através da "reta de atenuação" corresponde a um "valor linear atenuado" no gráfico Amplitude Linear Atenuada x Escala Linear;
- Dado o valor linear atenuado obtem-se o seu correspondente na escala compandida do gráfico da Escala Compandida x Escala Linear;
- Os seus bits pares são invertidos obtendo-se a amplitude da amostra PCM atenuada.

A seguir mostra-se um fluxograma utilizado para o cálculo das amostras atenuadas agora com as expressões matemáticas utilizadas onde V_x ($x=0, 1, \dots, \dots, 7$) são bits de voz.

CALCULO DAS AMOSTRAS PCM ATENUADAS NA PROM

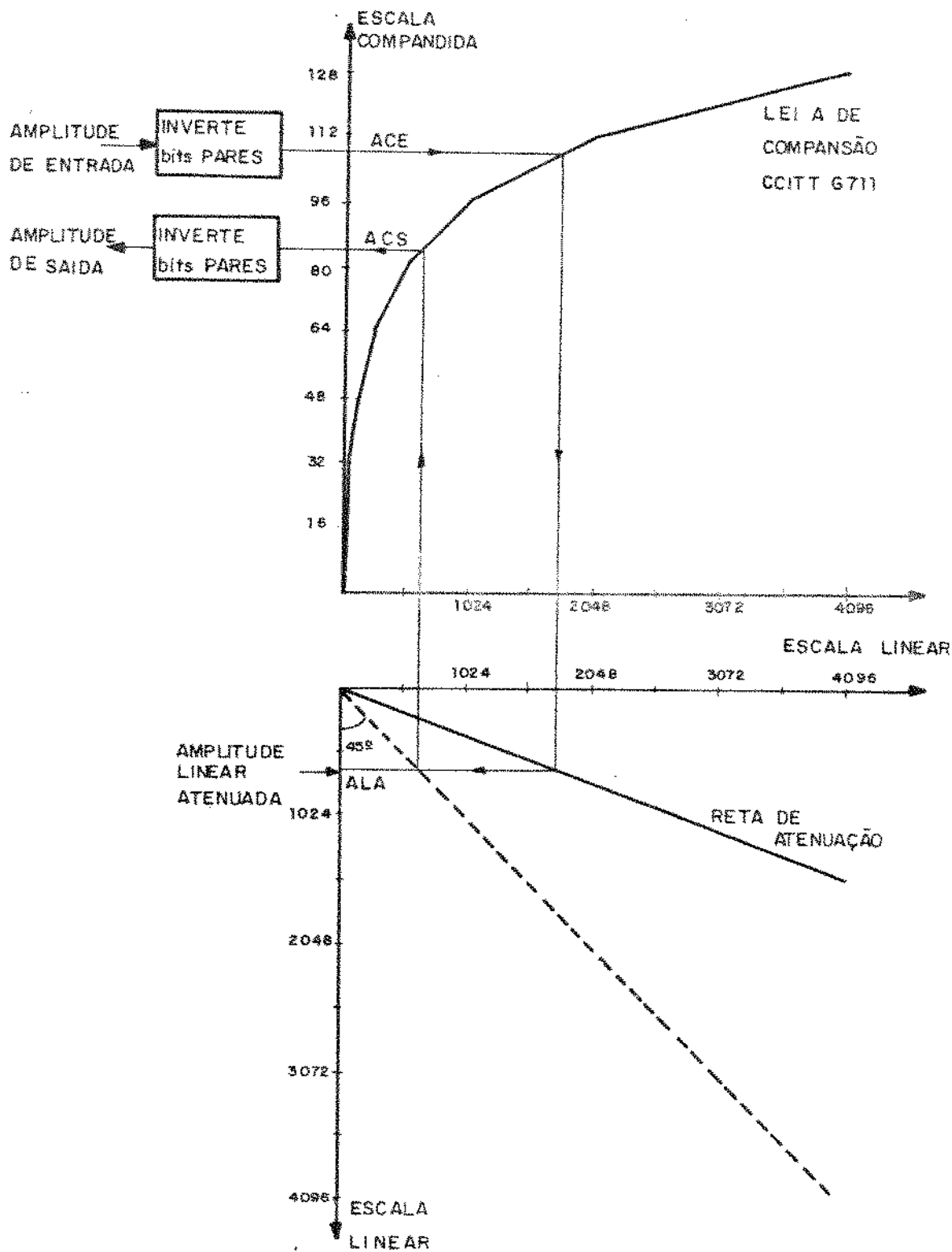
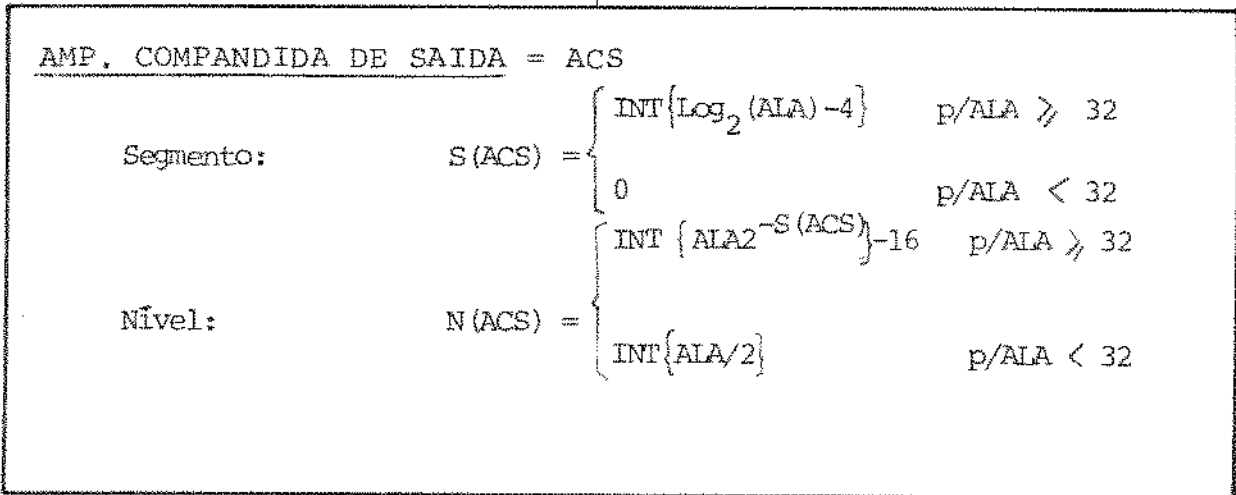
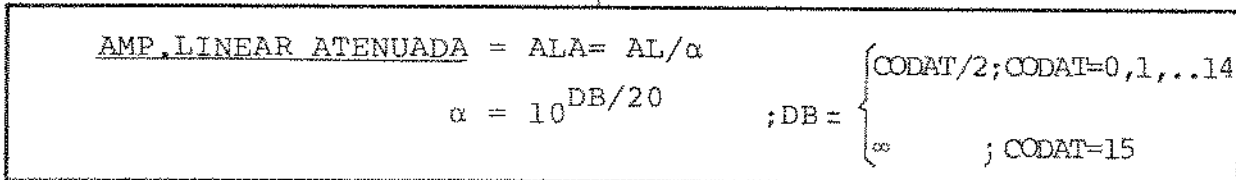
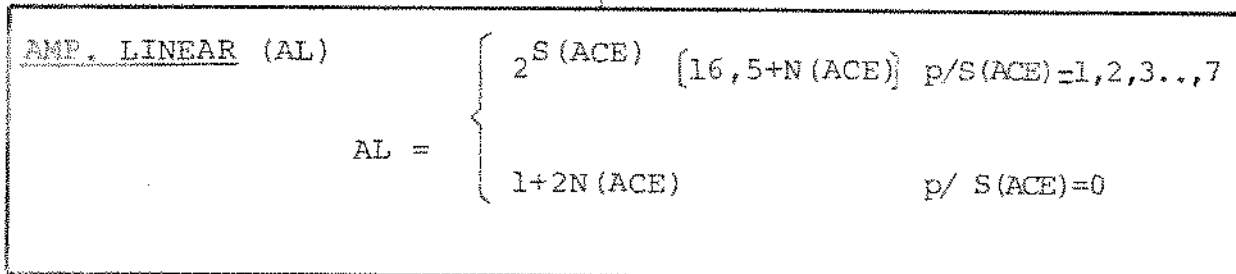
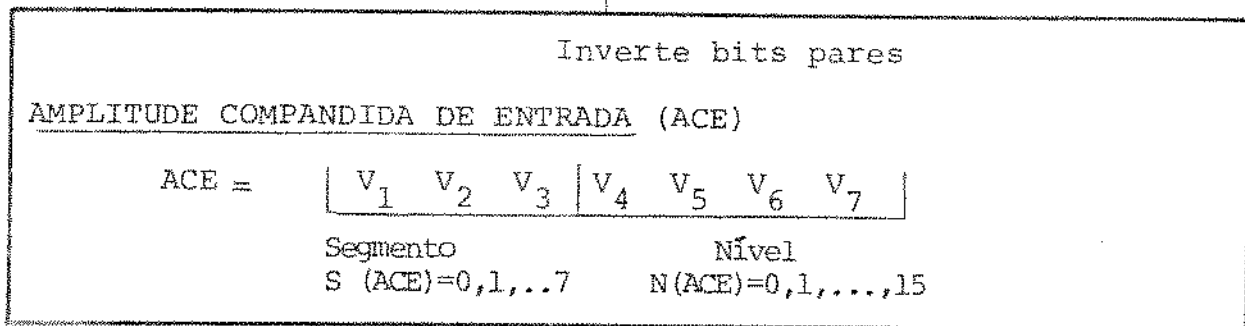
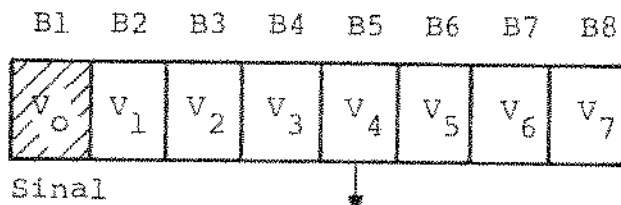


FIGURA 4.26

EXPRESSÕES PARA O CÁLCULO DA AMPLITUDE ATENUADA



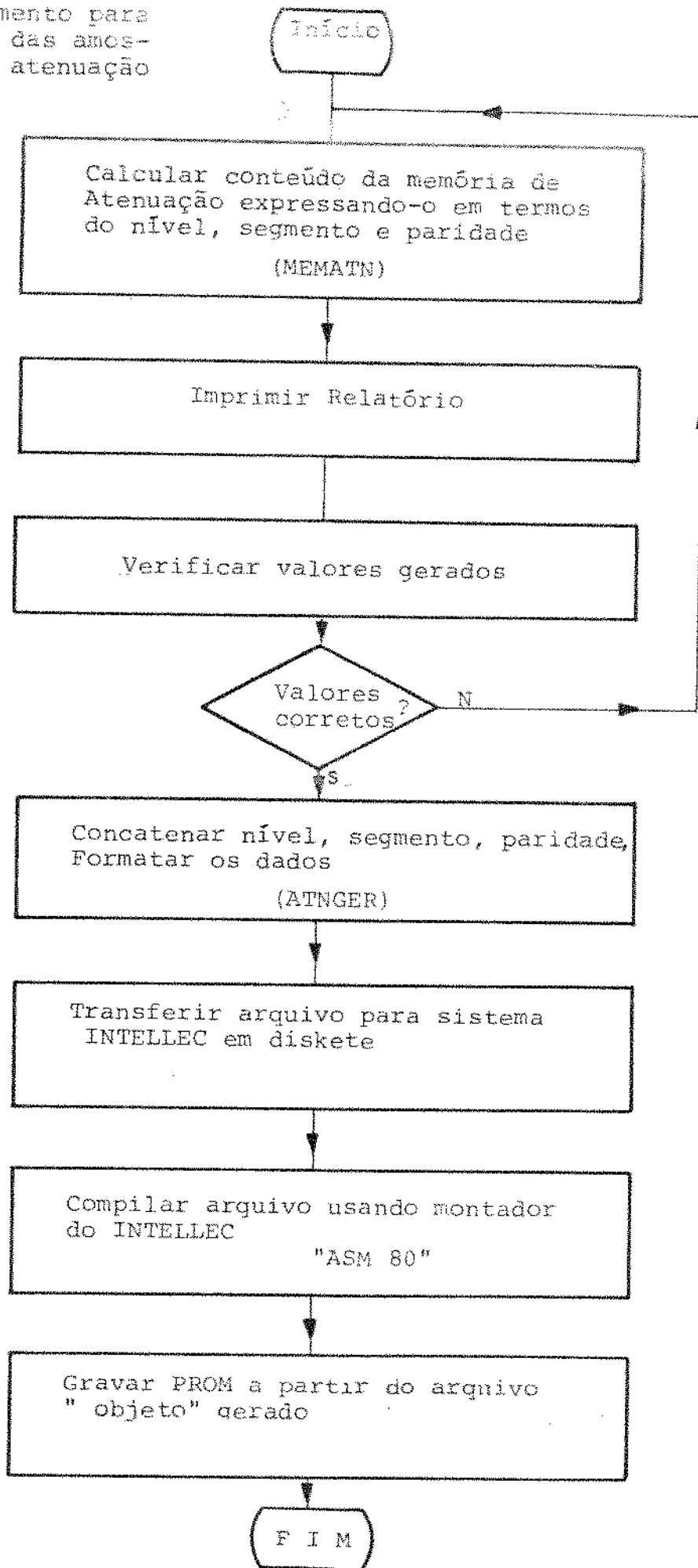
IV.5.3 - Procedimento

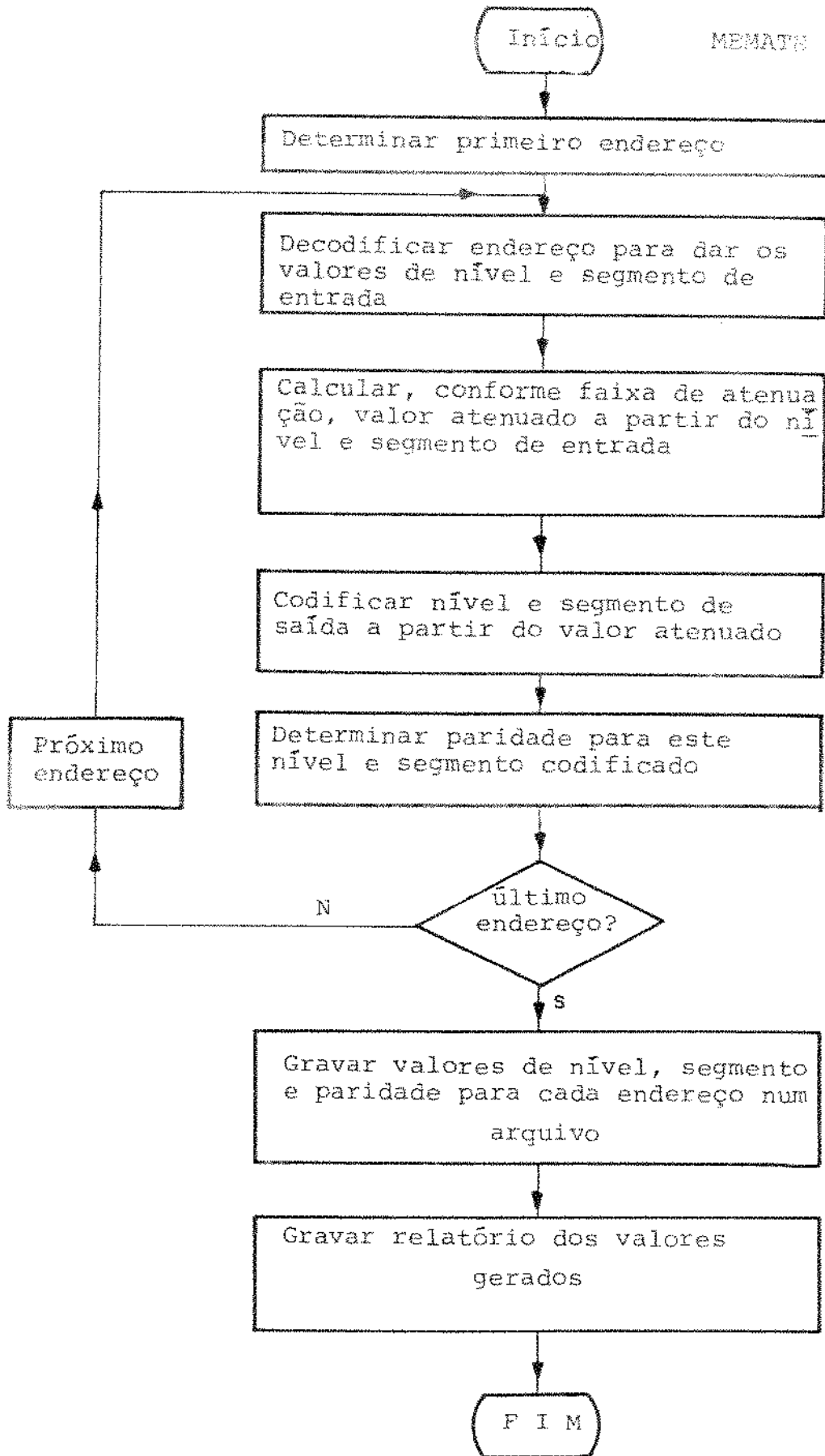
Para calcular as amostras de voz atenuadas utilizam-se de 2 programas rodados no computador PDP11, além do Sistema de Desenvolvimento INTELLEC para gravar a PROM.

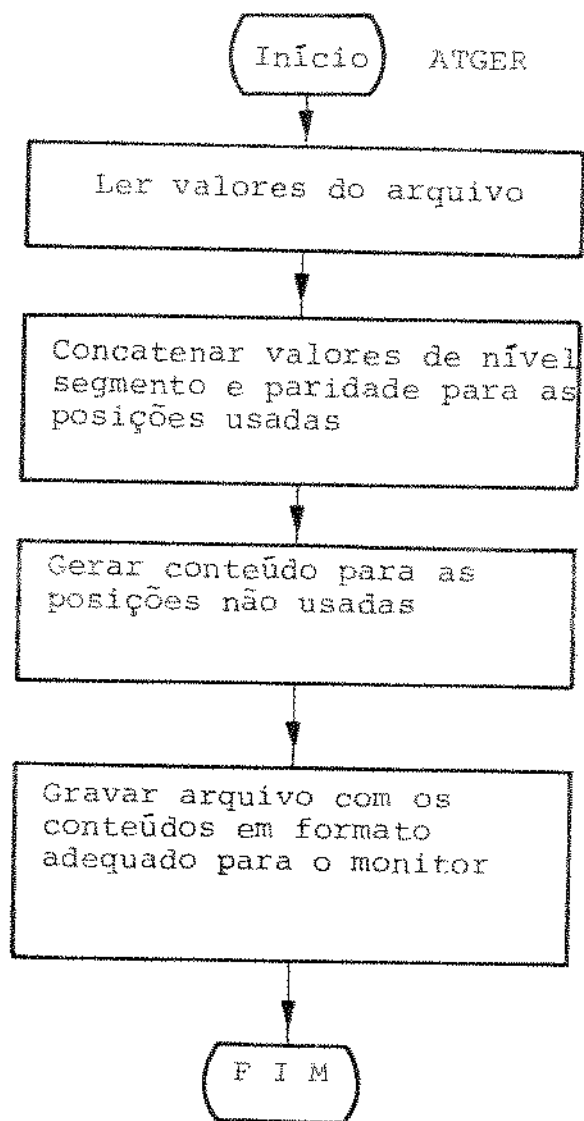
Os fluxogramas do procedimento utilizado e dos programas desenvolvidos (MEMATN e ATNGER) encontram-se a seguir.

No anexo 2 estão as listagens dos programas.

Procedimento para
cálculo das amos-
tras de atenuação







IV.6 - Detecção de Falhas

A matriz de comutação foi projetada de forma que as placas que a constituem ou mesmo funções que elas englobam pudessem ser testadas. Na verdade cada Bloco de Comutação é responsável pela detecção de falha em suas placas sendo que alarmes provenientes de outros blocos são enviados para o órgão responsável pela análise global de falhas. Cabe neste ponto a distinção entre os seguintes termos:

- erro: é uma incorreção não frequente no funcionamento do sistema devido a um fenômeno transitório qualquer;
- falha: é uma incorreção no funcionamento do sistema devido a fenômenos não transitórios;
- alarme: é um sinal que indica a ocorrência de erro ou falha.

Na verdade a distinção entre erro e falha vai depender do tipo de tratamento dado ao alarme; uma incorreção que ocorra com baixa frequência pode ser devido a uma real falha; nesse caso o "software" de controle, através de seus contadores de erro, deve estar preparado para, levando-se em conta estudos a respeito feitos, definir o limiar do número de erros ocorridos num dado intervalo de tempo para poder considerá-lo uma falha.

Na matriz de comutação distinguem-se dois tipos de testes:

- Testes Contínuos
- Testes a Pedido

Nos testes contínuos os circuitos de detecção de erro estão sempre aptos a acionar seus alarmes; uma vez ocorrido o erro, o correspondente sinal põe em ação um circuito que registra essa ocorrência deixando o alarme a disposição do processador para ser tratada. Um fato a ressaltar é que esses circuitos são acionados pelo primeiro erro e uma vez detetado este, ele não registra os demais que possam ocorrer; para tal os circuitos devem ser reiniciados pela CIS.

Nos testes a pedido o propósito é de se testar uma função lógica ou circuito num dado instante. Assim sob a intervenção do processador acionam-se os circuitos de teste cujos resultados obtidos são comparados com os esperados tomando-se a decisão em "software".

Embora haja dois tipos distintos de teste os circuitos que participam de um podem também fazê-lo em outro.

Em toda a matriz de comutação distinguem-se as seguintes funções lógicas testáveis:

- Relógio
- Memórias de Controle
- Caminho de Voz

IV.6.1 - Teste de Relógio

A matriz de comutação recebe de cada um dos 3 Geradores de Sincronismo (GSN), através de pares balanceados, o sinal de relógio e sincronismo denominado "relógio com buraco". Esses relógios, chamados de fases A, B e C, são as entradas do "circuito votador" cuja saída é a função maioria de A, B e C.

O alarme de relógio será acionado se houver erro em qualquer uma das fases, ou seja, desconsiderando-se falhas duplas, o circuito detetor de erro indicará a ocorrência de erro se qualquer uma das fases for diferente das demais.

A frequência do sinal monitorado (relógio com buraco) é 2,048 MHz o que implica em que a frequência de amostragem de erro no mesmo deva ser feita com 4,096 MHz para que os pulsos positivo e negativo sejam observados.

Na construção do circuito de detecção de falha utilizaram-se funções lógicas do próprio "votador" pa

ra que assim o mesmo fosse testado. Dessa forma um alarme acionado por falha de relógio deixa sob suspeita as seguintes funções:

- qualquer uma das 3 fases de relógio
- circuito votador.

O alarme fica disponível para que o processador o leia e/ou "limpe"-o. Tem-se, pois aqui o teste contínuo.

IV.6.2 - Memórias de Controle

A matriz de comutação é provida de três tipos de memórias de controle:

- Memória de Controle de Comutação
- Memória de Controle de Atenuação
- Memória de Controle de IAP

Essas memórias são lidas sequencialmente e escritas sob a intervenção do processador. Nelas distinguem-se os dois tipos de testes já citados.

IV.6.2.1 - Teste Contínuo

O endereço e o dado de escrita dessas memórias é fornecido pelo processador. Assim em cada processo de escrita é gerada pelo processador, a paridade do dado a ser escrito nas mesmas. Portanto cada posição dessas memórias, contém como redundância, a paridade da palavra que ali está armazenada. Dessa forma toda vez que essas memórias forem lidas é verificada a paridade da posição lida e um único alarme é acionado indicando erro em qualquer uma das três memórias. Esse alarme fica à disposição do processador para ser lido e/ou "limpado".

IV.6.2.2 - Teste a Pedido

Cada memória de controle possui um circuito que armazena o último dado nela escrito. Assim quando o processador atualiza uma posição de uma dada memória, aproveitando-se do fato do endereço de escrita ficar ainda presente depois da ocorrência do pulso de escrita, o dado que acabou de ser armazenado na memória é lido da mesma e guardado num registro. Este ficará disponível para ser lido pelo processador.

IV.6.3 - Caminho de Voz

Define-se como "caminho de voz" ao percurso feito pelos sinais de voz e dados contidos nos canais dos enlaces PCM pela matriz de comutação.

O caminho de voz é feito através das placas SPS e ECT. Qualquer uma dessas placas pode ser representada em grandes blocos como mostra a figura 4.27.

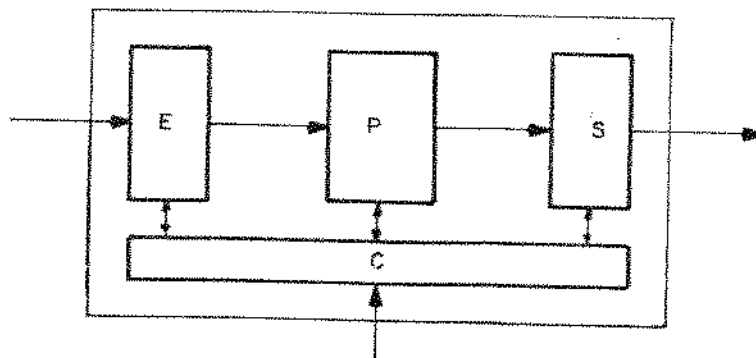


Figura 4.27

Na figura 4.27 tem-se:

- E = circuitos que tratam sinais que entram na placa;
- S = circuitos que tratam sinais que saem da placa;
- C = circuitos que controlam a placa
- P = circuitos que processam os sinais de entrada for

necendo uma saída.

Como se está interessado no estudo dos caminhos de voz deixar-se-ã de representar o bloco C. A título de se detalhar um pouco mais cada placa represen - tam-se na figura 4.28 a SPS e ECT.

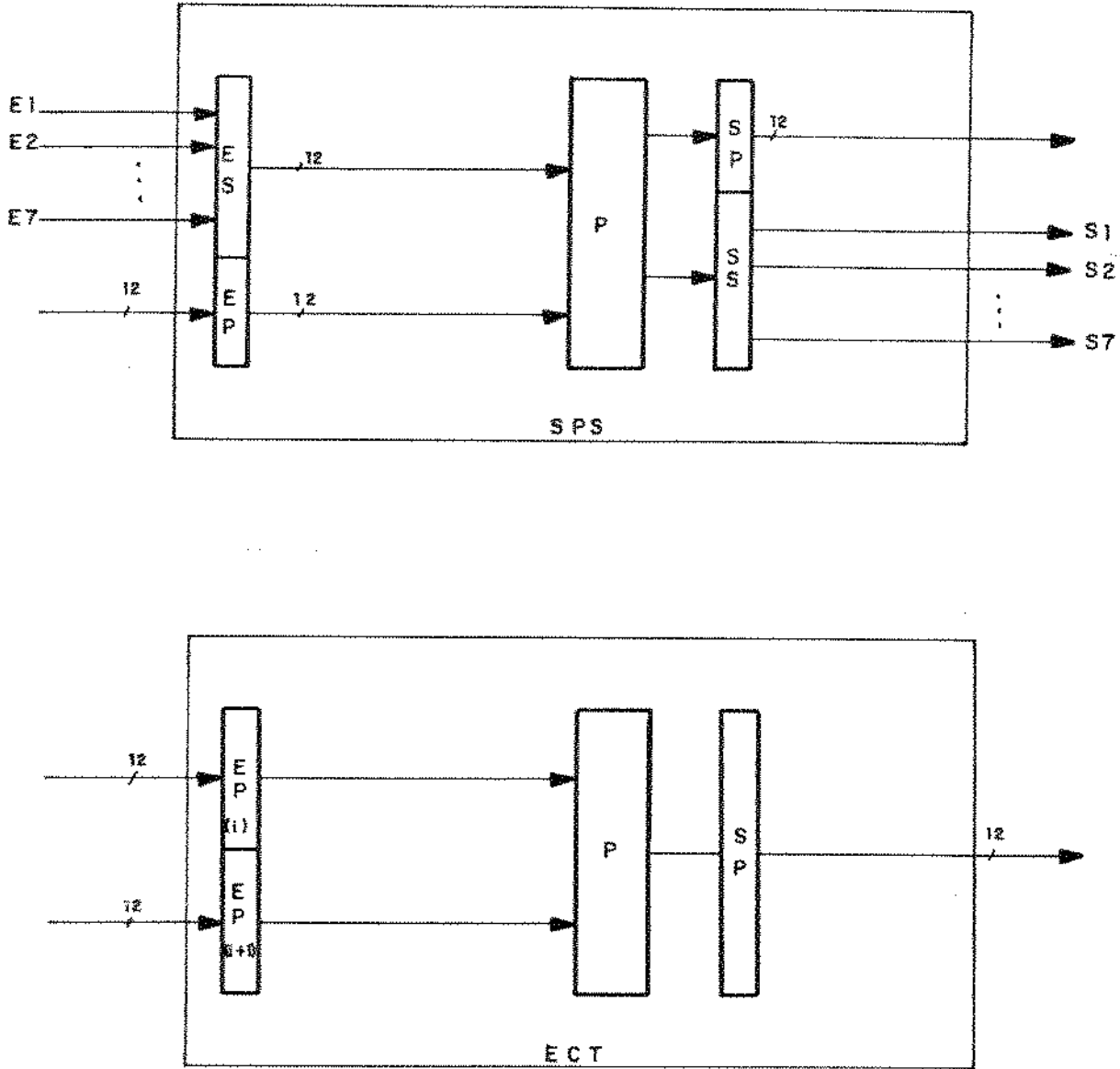


Figura 4.28

Na figura 4.28 tem:

ES = entrada série;

EP = entrada paralela;

SS = saída série;
SP = saída paralela.

IV.6.3.1 - Teste Contínuo

As duas SPS's de um módulo de comutação tem as suas saídas paralelas ligadas a um "bus" único que, através de cabo, é ligado à entrada paralela da ECT de seu módulo e na dos demais. A saída paralela da ECT se liga à entrada paralela da SPS do seu módulo completando o caminho de voz mostrado na figura 4.29.

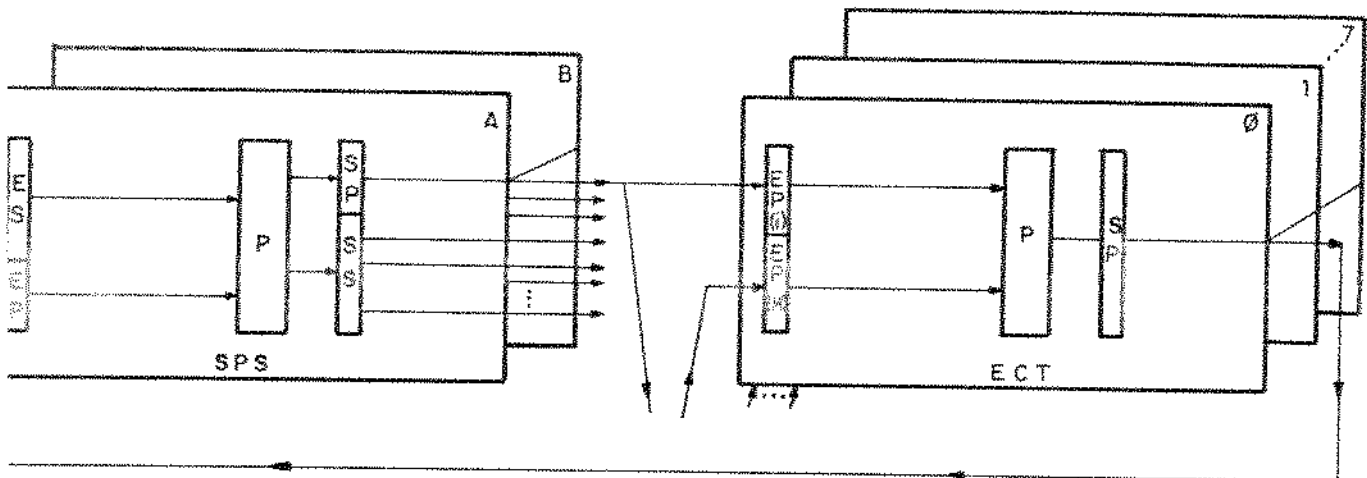


Figura 4.29

O objetivo é tentar identificar placas ou funções com erro. Assim monitoram-se os pontos de entrada e saída das placas.

A redundância utilizada é a paridade dos bits de voz. Desta forma um bit de paridade dos de voz acompanham-nos durante todo o percurso pela matriz de comutação a cada canal, sendo testado nos pontos relacionados a seguir.

Os canais dos enlaces que chegam à SPS transportam os bits de paridade de voz; esses bits são gerados

a cada canal pela CIS do respectivo módulo de terminais. Após a conversão série-paralelo dos canais testam-se a suas paridades através de um "Detetor de Paridade" (DP). A saída do detetor de cada uma das SPS é multiplexada e enviada a um circuito que é acionado caso haja erro em qualquer um dos canais. Nesse caso ele armazena o número do canal cuja paridade está errada. A esse circuito dá-se o nome de "Detetor de Número de Canal com Paridade Errada" (DNCPE). Com isso, é possível através de uma análise acurada em "software" detetarem-se enlaces, IAP's, CIS ou entrada da SPS em falha.

A partir desse ponto uma nova paridade é gerada para cada canal através de um "gerador de paridade" (GP) e o acompanha pelo caminho restante. O motivo dessa geração na entrada da matriz de comutação se deve ao fato de isolá-la do sistema restante, ou seja, uma falha da CIS ou IAP que a ela se liga não se propagaria para dentro da matriz o que influenciaria inclusive nos outros módulos que se conectam a este dificultando a análise da falha. A geração da paridade na entrada da matriz pode ser controlada por um sinal que indica se essa paridade deve ser par ou ímpar, ou seja, se ela deve ser normal ou invertida.

O sinal depois de processado encontra-se disponível na saída da placa onde novamente é verificada a sua paridade através de um "detetor". A saída do detetor da SPS-Ø é curto circuitada com a da SPS-1 e esse sinal demultiplexado na CTR vai acionar 2 dispositivos que armazenarão o alarme da SPS-Ø (A) e da SPS-1 (B) e deixá-los disponíveis para serem lidos ou "limpados".

Um diagrama em blocos mais completo da SPS pode ser visto na figura 4.30 chamando-se a atenção para os seus pontos de teste.

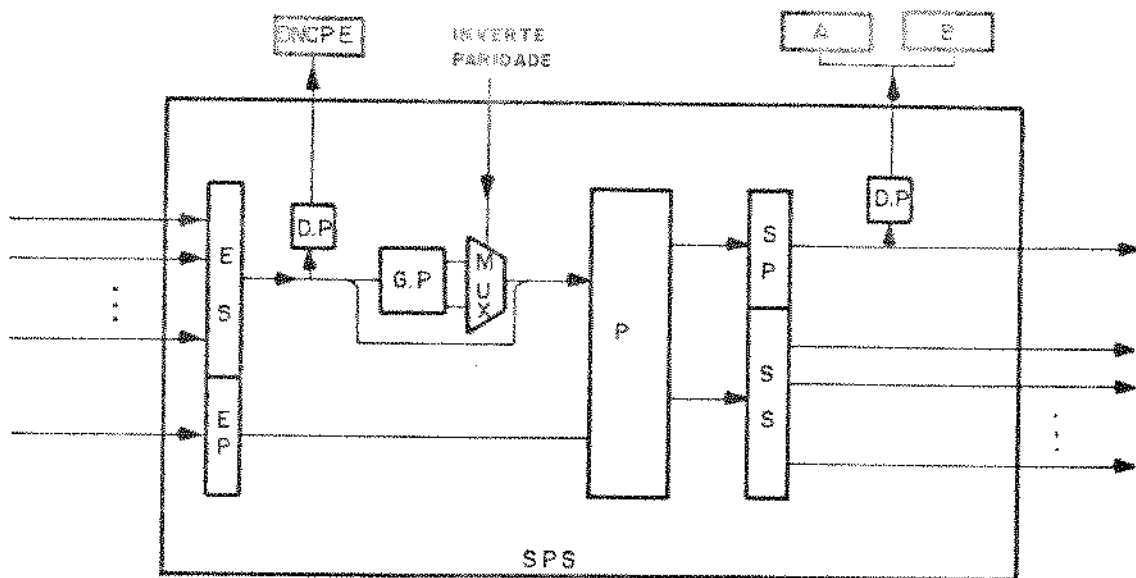


Figura 4.30

O sinal de voz partindo das SPS's chegam a ECT onde é verificada a sua paridade através de um D.P. Como cada entrada da ECT é comum a duas SPS's dois dispositivos armazenarão os alarmes relativos à SPS-0 e SPS-1. No entanto cada ECT é comum a 2 módulos o que resulta em 4 desses dispositivos. Na saída da ECT um outro D.P. é colocado e o seu sinal de saída é multiplexado com os das demais, servindo esse sinal de estímulo a um DNCPE. Assim, com o número do canal armazenado com paridade errada é possível, através de uma análise em "software" detectar-se qual ECT está danificada. Um diagrama mais completo da ECT é mostrado na figura 4.31.

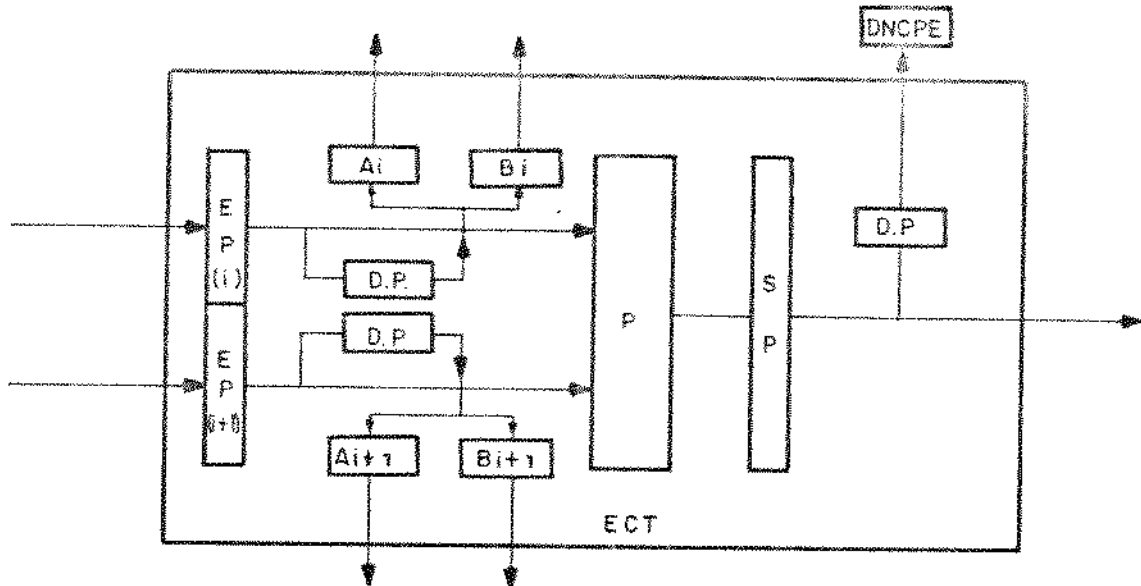


Figura 4.31

Na figura 4.31 $i=0, 2, 4, \dots, 14$ e i e $(i+1)$ identificam o módulo que está ligado à ECT.

Todos os circuitos de detecção de alarme quando "limpados" já estarão aptos a monitorar futuros erros.

IV.6.3.2 - Teste a Pedido

O teste a pedido, utilizando o caminho de voz, é conhecido como "Teste de Continuidade" ou "Teste de Conexão", pois é acionado quando quer-se testar a continuidade de uma conexão entre dois canais quaisquer.

Além dos circuitos de alarme citados no item anterior esse teste utiliza o "Inversor de Paridade" (I.P). O I.P. é um circuito programável e acionado pela CIS. Ele armazena o número do canal cuja paridade deve ser invertida; quando acionado, na ocorrência do mesmo na entrada das SPS um sinal é enviado a ela invertendo-se a paridade desse canal.

A "desinversão" ocorre sob a interferência da CIS que desprograma o I.P .

A seguir descreve-se o Teste de Continuidade.

Seja uma comutação bidirecional entre o canal C do enlace X (canal CX) e o canal E do enlace Y (canal EY). A CIS do MC que controla o canal CX programa o I.P para inverter a sua paridade. Assim, como CX está conectado com EY a paridade invertida de CX vai sair no canal EY e então um DNCPE deverá armazenar o valor EY. Esse canal ao chegar à CIS do módulo de terminais é percebido pela mesma como sendo um canal com paridade errada; este é o sinal para que esta CIS inverta a paridade do canal EY que caminha até a matriz de comutação; na entrada da matriz um outro DNCPE é excitado e armazena o valor EY.

Processo idêntico é iniciado pela CIS do MC que controla EY quando os DNCPE's da saída e entrada da matriz armazenarão o valor CX. Desta forma testa-se todo o caminho bidirecional de voz entre 2 canais comutados. Esse teste é ilustrado na figura 4.32.

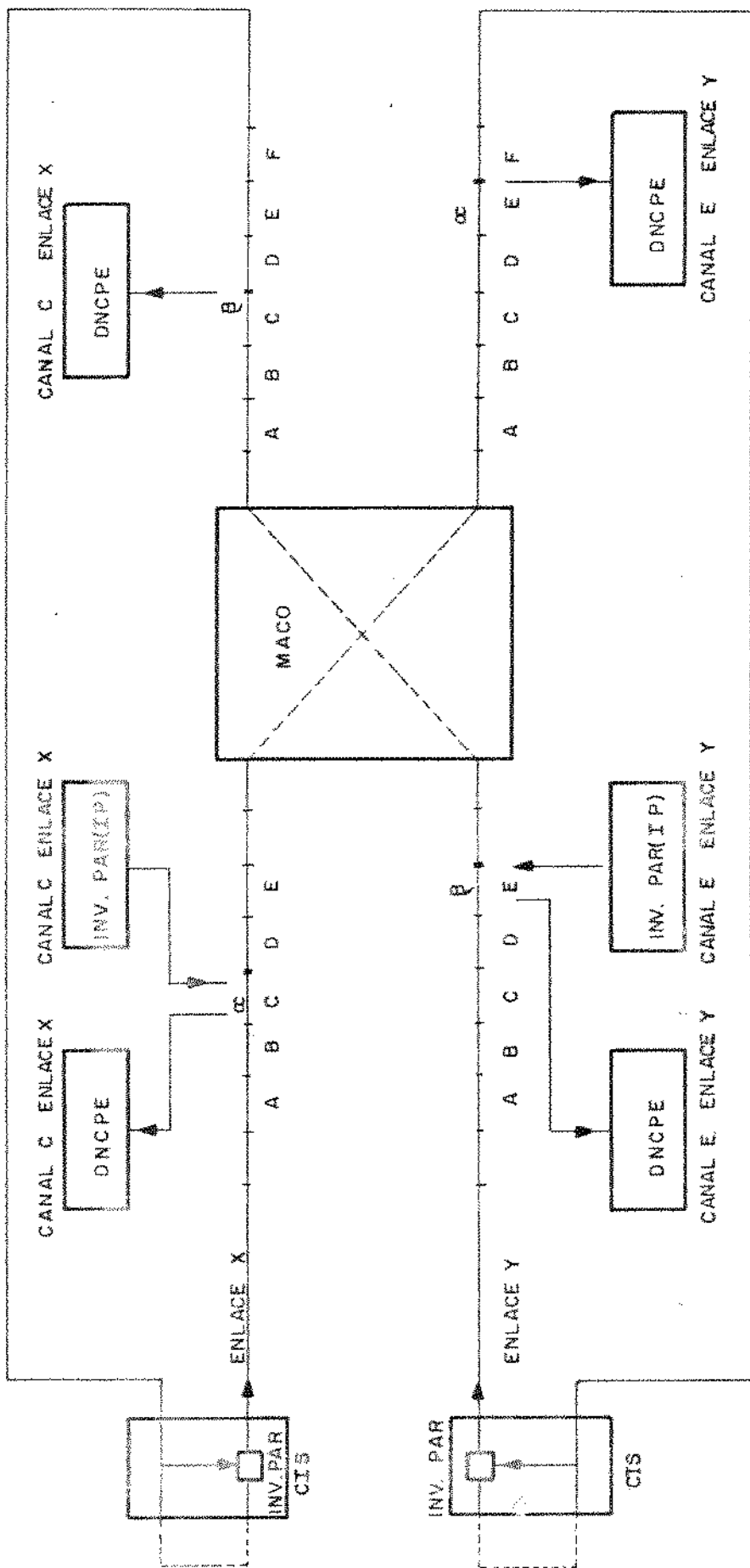
Quando os canais CX e EY pertencem ao mesmo módulo o teste é feito em duas etapas já que a CIS que os controla é a mesma. Assim na primeira etapa inverte-se a paridade de CX e os DNCPE detetam os valores EY na entrada e saída da matriz. Na 2a. etapa inverte-se em EY e deteta-se em CX.

Quando CX e EY pertencem a módulos diferentes a CIS que controla CX inverte a paridade no mesmo e deteta em CX na entrada e saída da MACO; a CIS que controla EY inverte a paridade em EY e deteta em EY.

Ao se fazer um teste de conexão os registros de alarme da entrada e saída das placas são excitados

dependendo do módulo e placa SPS a que os canais envolvidos pertencem. Dessa forma tem-se a tabela 5 onde são mostradas as possíveis conexões entre os canais CX e EY e os alarmes que são acionados.

Nas 2 primeiras colunas tem-se o módulo (nom) e a placa SPS (\emptyset ou 1) a que pertencem os canais; nas 2 próximas colunas tem-se os alarmes que são acionados nos módulos (N ou M) relativos às placas SPS (\emptyset ou 1) nas 2 seguintes tem-se o módulo a que pertencem os DNCPE.



COMUTAÇÃO : CANAL C, ENLACE X → CANAL E ENLACE Y
 CANAL E, ENLACE Y → CANAL C ENLACE X

DNCPE = Nº DO CANAL COM
 PARIDADE ERRADA

FIGURA 4.32

CX	EY	Alarme na saída da SPS	Alarme na Entrada da ECT	DNCPE da ECT	DNCPE da SPS
NØ	NØ	NØ	NØ	N	N
NØ	M1	NØ	NØ	N	N
NØ	NØ	NØ	MØ	M	M
NØ	M1	NØ	MØ	M	M
N1	NØ	N1	N1	N	N
N1	M1	N1	N1	N	N
N1	NØ	N1	M1	M	M
N1	M1	N1	M1	M	M
MØ	NØ	MØ	NØ	N	N
MØ	M1	MØ	NØ	N	N
MØ	NØ	MØ	MØ	M	M
MØ	M1	MØ	MØ	M	M
M1	NØ	M1	N1	N	N
M1	M1	M1	N1	N	N
M1	NØ	M1	M1	M	M
M1	M1	M1	M1	M	M

Tabela 5

IV.7 - Descrição Sucinta de Uma Chamada Interna Bem Sucedida

A seguir descrevem-se sucintamente os passos encadeados quando um assinante A (ASS A) quer se conectar ao assinante B (ASS B). O intuito dessa descrição é mostrar os diversos períodos da evolução de uma chamada chamando-se a atenção para os fenômenos desencadeados dentro da matriz de comutação. Dessa forma somente os processos envolvendo a MACO serão ligeiramente mais detalhados ficando os outros a um nível suficiente para garantir o entendimento com os conhecimentos até aqui adquiridos.

Sejam CIS A e CIS B os controladores dos ASS A e ASS B respectivamente. Seguem-se, então, os passos da chamada bem sucedida:

1. ASS A - Tira o fone do gancho
2. CIS A - Deteta fone fora do gancho e passa para processo de alocação de canal.

Comunica-se com a CIS de uma das MACOs enviando pedido de alocação de canal e "status" de ocupação dos canais do seu enlace intramodular.

3. CIS MACO - Escolhe canal livre que coincida com um dos canais livres do enlace intramodular da CIS A.

Seja C o canal do enlace X tal canal livre.

O canal CX é alocado, ou seja, a IAP-A é habilitada a tomar a via X no instante C.

Isto significa escrever no endereço CX da memória do controle de IAP o valor IAP A, onde é verificada a escrita.

Informa à CIS A

4. CIS A - Insere tom de discar e espera o início de disca-

gem. Reconhecido o 1º dígito suspende o tom e envia dígito para registro (REG). Com os dígitos descobre o destino (CIS B e ASS B)

- REG - Envia sinal para CIS B indicando assinante chamado e plano para comutar.
5. CIS-B - Solicita para CIS da MACO indicada canal livre, enviando "status" de ocupação do seu enlace intramodular.
6. CIS MACO - Escolhe Canal livre que coincida com um dos canais do enlace intramodular da CIS B.

Seja E o canal do enlace Y tal canal livre. O canal EY é alocado, ou seja a IAP-B é habilitada a tomar a via Y no instante E. Isto significa escrever no endereço EY da memória de controle do IAP o valor IAP-B, onde é verificada a escrita.

Informa à CIS-B

7. CIS B - Insere tom de campanha e manda a CIS-A inserir retorno de campanha.
8. ASS B - Tira o fone do gancho
9. CIS B - Suspende o envio de tons
- Envia à CIS da MACO comando para comutar CX e CY.
10. CIS MACO - Comuta canais CX e EY

Insere atenuação nos canais CX e EY de acordo com o valor solicitado. Se nada foi pedido insere-se atenuação nula.

Isto significa escrever nas posições CX e EY da memória de controle de atenuação os valores respectivos programados. Verifica as escritas.

Comuta canais CX e EY, ou seja, escreve na po

sição CX da memória de controle de comutação
do valor EY e na posição EY o valor CX.

Verifica as escritas

Faz o Teste de Continuidade entre os canais
CX, EY e EY, CX.

11. Conversação
12. ASS A - Repõe o fone no gancho
13. CIS A - Deteta fone no gancho
Avisa CIS B
14. CIS B - Solicita à CIS da MACO desconexão dos canais CX
e EY
15. CIS MACO - Insere atenuação infinita nos canais CX e EY
Comuta CX com CX e EY com EY
Desloca CX e EY habilitando para esses canais u-
ma IAP inexistente.
16. ASS B - Repõe o fone no gancho.

No caso em que qualquer um dos testes feitos no processo da
conexão dos canais detetar erro, é respondido ao órgão soli-
citante o insucesso de tal transição e outras providências
são tomadas.

CAPITULO V

PLACA DE CONVERSÃO SÉRIE- PARALELO - SÉRIE-SPS

V.0 - Introdução

A placa de conversão série-paralelo - série-SPS-é a interface entre o Módulo de Terminais (MT) e a Matriz de Comutação (MACO).

De uma forma geral as suas funções consistem em:

- receber as 8 vias de transmissão dos enlaces intermodulares;
- transformar os canais que chegam da forma serial para paralela;
- verificar a paridade dos bits de voz desses canais;
- gerar uma nova paridade;
- inverter programadamente, a paridade de um dado canal;
- inserir programadamente, atenuação nos canais;
- transmitir os canais, de forma paralela, para todos os Módulos de Comutação onde esses canais serão recebidos por uma ECT;
- receber os canais, de forma paralela e já comutados, das ECT's do módulo a que pertencem;
- transformar esses canais da forma paralela para serial;
- transmitir os canais através das 8 vias de recepção dos enlaces intermodulares.

A Matriz de Comutação, MACO, contém duas placas de conversão série-paralelo, paralelo-série, SPS, denominadas SPS-0 e SPS-1. Essas duas placas são idênticas, no entanto, elas operam defasadamente, essa defasagem sendo programada pelos cabos que a elas se ligam e pela fiação do painel tra-seiro.

V.1 - Características

A SPS recebe oito enlaces de pares balanceados a 4,096MHz dos MT's. Esses enlaces contêm 32 canais que se repetem a

cada 125µs (1 quadro). Cada canal, portanto, é constituído de 16 bits que se alternam em voz e dado sendo o primeiro o de dado, e o último de voz.

Dos 8 bits de dados apenas o último tem uma função específica, qual seja, paridade par dos 8 bits de voz; os 7 restantes não assumem nenhuma função podendo fazê-lo dependendo das necessidades que possam surgir. Na figura 5.1 apresenta-se um canal.

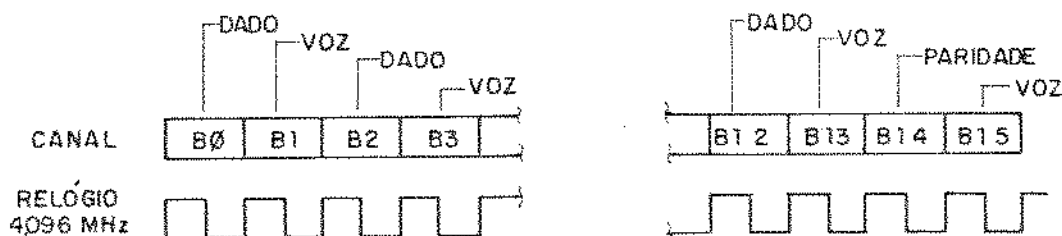
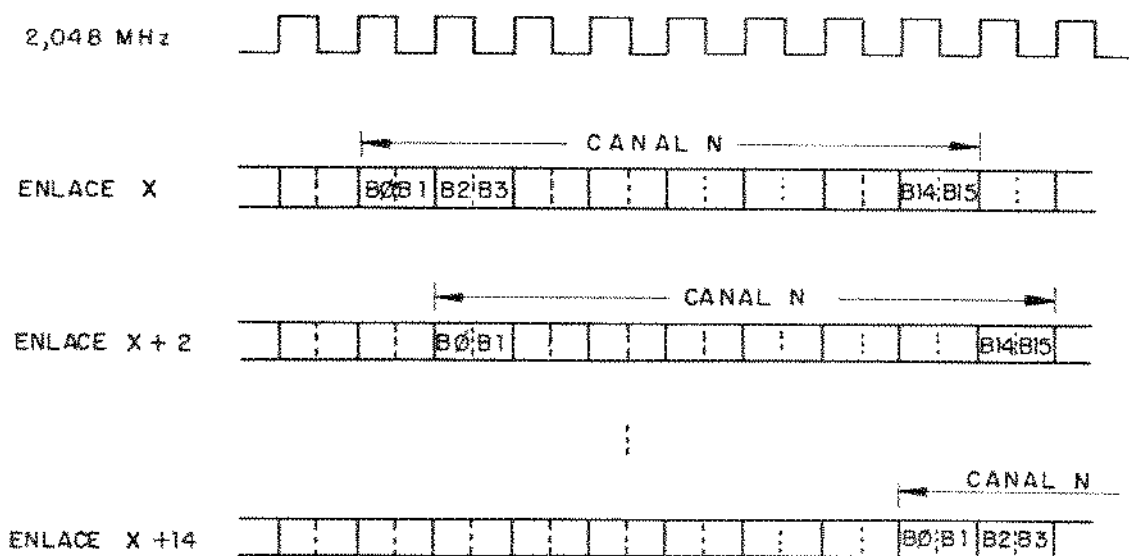


Figura 5.1

Um enlace de número X está defasado do enlace X + 2 de um período do relógio de 2,048MHz, como mostra a figura 5.2 .



ONDE X=0 PARA SPS-0
e X=1 PARA SPS-1

Figura 5.2

No entanto, para X par, os enlaces de número X e X + 1 estão em fase; cabe à SPS-0 operar com os de numeração par (0, 2, 4, ..., 14) e a SPS-1 com os de ímpar (1, 3, 5, ..., 15).

A SPS transforma a informação serial para paralela, sendo em seguida detectada a paridade par de cada canal e enviada à CTR.

Uma nova paridade é gerada para cada canal. Esta pode ser invertida através de um sinal de controle que vem da CTR a 4,096MHz.

A parte relativa à voz de cada canal pode ser atenuada de 0 (zero) a 7 (sete) dB com intervalo de meio dB; além disso, um padrão de bits, o qual convencionou-se chamar "Atenuação Infinita", pode ser inserido, resultando em 16 níveis de atenuação. Essa atenuação é programada por canal através de quatro bits de controle que chegam à SPS a uma frequência de 4,096MHz, vindos da CTR.

Dos 16 bits obtidos da conversão série-paralela dos canais, apenas 12 (8 de voz, 1 de paridade e 3 de dados) são transmitidos para ECT. A transmissão é feita por pares balanceados. Uma detecção de paridade é feita antes da transmissão balanceada e enviada à CTR.

Todos os sinais transmitidos pela SPS-0 à CTR ou ECT são multiplexados com os correspondentes sinais da SPS-1 através de vias "3-state". Esta defasagem é facilitada pelo fato das duas SPS's operarem defasadamente.

As SPS's recebem das ECT's do seu módulo, 12 bits (8 de voz, 1 de paridade e 3 de dados) a 4,096MHz, transformando-os para série e transmitindo-os por 8 enlaces de pares balanceados a 4,096MHz para os MT's sendo que a relação de fases entre os mesmos é a mesma da já descrita para os enlaces que chegam.

Quatro bits que dão a habilitação das IAP's são recebidos da CTR a 4,096MHz e transmitidos na mesma frequência através de dois enlaces de pares balanceados para os MT's.

As SPS's recebem, ainda, da CTR e transmitem para os MT's, através de 4 pares balanceados, 2 sinais de sincronismo de quadro - superquadro e 2 de relógio de 4,096MHz.

Assim a SPS se comunica com o meio externo através das seguintes interligações, ilustradas nas figuras 5.3 e 5.4 :

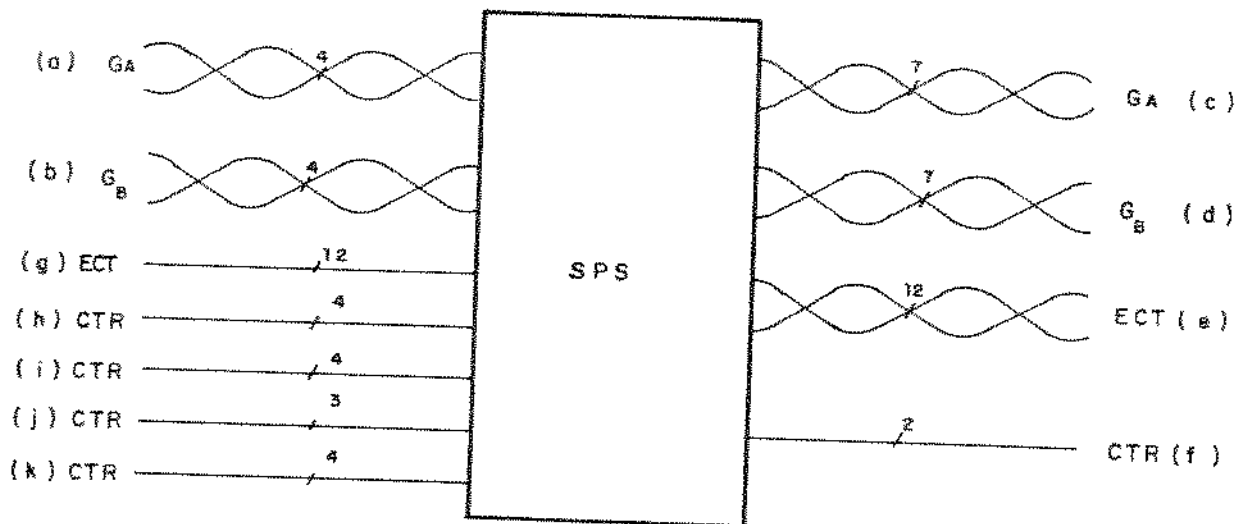


Figura 5.3

SPS

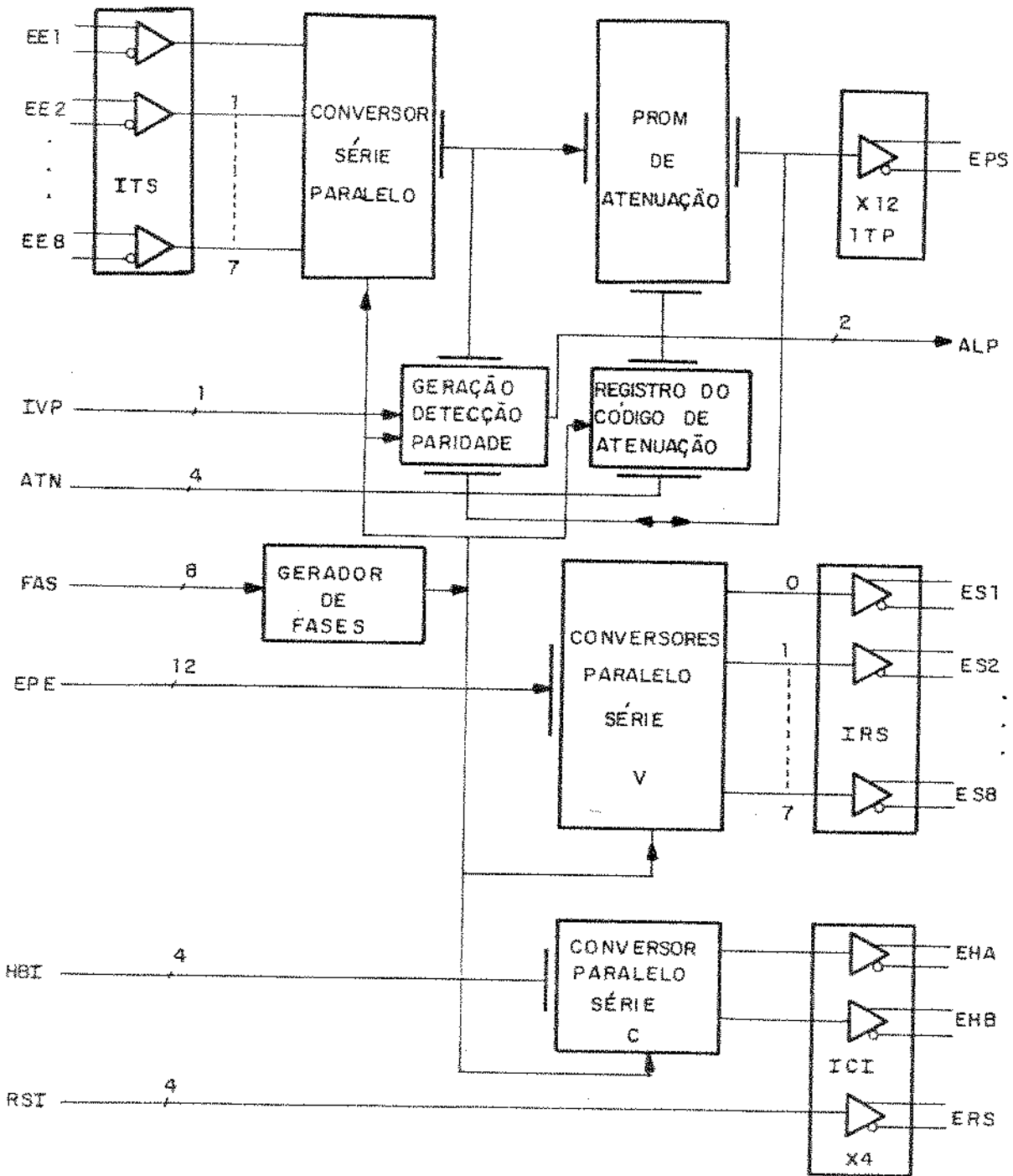


FIGURA 5.4

- (a) Recebe 4 enlaces de voz/dado através de pares balanceados de um grupo de IAP's aqui denominado GA (EE1 a EE4).
- (b) Recebe 4 enlaces de voz/dado através de pares balanceados de um outro grupo de IAP's, aqui denominado GB (EE5 a EE8).
- (c) Envia 4 enlaces de voz/dado (ES1 a ES4), 1 de habilitação de IAP (EHA), 1 de sincronismo e 1 de relógio (ERS) através de pares balanceados ao GA.
- (d) Envia 4 enlaces de voz/dado (ES5 a ES8), 1 de habilitação de IAP (EHB), 1 de sincronismo e 1 de relógio (ERS) através de pares balanceados ao GB.
- (e) Envia 12 pares balanceados para ECT correspondentes aos 12 bits de um canal na sua forma paralela (EPS).
- (f) Envia 1 par de alarmes de paridade para a CTR (ALP).
- (g) Recebe 12 bits de voz/dado da ECT (EPE).
- (h) Recebe 4 bits de controle de atenuação da CTR (ATN).
- (i) Recebe 4 bits de habilitação de IAP da CTR (HBI)
- (j) Recebe relógios e sincronismo da CTR, para serem transmitidos às IAP's (RSI).
- (k) Recebe relógios e sincronismo (FAS), para operações internas e comando de inversão de paridade da CTR (IVP).

V.2 - Estrutura Interna

A SPS pode ser vista em grandes blocos como mostra a figura 5.4 .

O diagrama apresentado, na verdade, explicita os blocos funcionais, e não a maneira como eles foram implementados; por exemplo, os blocos "Conversores-Série-Paralelo" e "Conversores-Paralelo-Série" foram implementados com circuitos comuns como será detalhado no próximo item; no entanto, para melhor entendimento, eles foram divididos em dois.

Descrevem-se a seguir, em linhas gerais, tais blocos:

- ITS - Interface de Transmissão Série

É constituído de "line receivers" e recebe 8 enlaces de pares balanceados contendo voz e dados a 4,096MHz. Os 16 bits de voz e dados de cada canal estão entrelaçados sendo o primeiro bit o de dado e o último o de voz. Apenas os 4 últimos bits de dados são utilizados, sendo o último, o de paridade relativa aos 8 de voz; os outros 3 ainda não têm função. Um enlace está defasado do outro de um período de relógio de 2,048MHz.

- Conversor Série-Paralelo

Contém um conjunto de 8 circuitos conversores sêrie-paralelo para 16 bits cada. Além de converter os sinais dos enlaces de sêrie para paralelo esse bloco multiplexa esses sinais sendo esse processo cadenciado por fases convenientemente geradas pelo "Gerador de Fases". Dos 16 bits paralelos obtidos pela conversão, apenas 12 servem de saída desse bloco.

- PROM de Atenuação

Contém os valores correspondentes às atenuações (de 0 dB a 7 dB em intervalos de 0,5 dB e "atenuação infinita") do módulo da amplitude das amostras de voz e suas respectivas paridades.

- ITP - Interface de Transmissão Paralela

É constituída de "line-drivers" que transmitem informação de voz e dados em paralelo, a uma taxa de 2,048MHz para as ECT's através de 12 enlaces de pares balanceados. Esses enlaces são multiplexados com a outra SPS.

- Conversor Paralelo-Série V

Contém um conjunto de 8 conversores paralelo-sêrie de 16 bits cada; recebe 12 bits de voz e dados coo

mutados vindos das ECT's a 4,096MHz. Essa informação é amostrada a 2,048MHz em fases opostas por cada uma das SPS's e carregada nos conversores paralelo-série de acordo com fases convenientemente geradas pelo "Gerador de Fases".

- IRS - Interface de Recepção Série

Constitui-se de "line-drivers" que transmitem voz e dados a uma taxa de 4,096MHz através de 8 enlaces de pares balanceados. Os 16 bits de voz e dados de cada canal estão entrelaçados, sendo o primeiro de dado e o último de voz. Apenas os 4 últimos bits de dados tem relevância sendo que o último é o de paridade dos 8 de voz desse canal. Os três bits restantes são apenas de reserva. Cada enlace encontra-se defasado do seguinte de um período de relógio de 2,048MHz.

- Gerador de Fases

Recebe um sincronismo de quadro da CTR, além de relógios de 2,048MHz, 4,096MHz convenientemente atrasados e gera todos os sinais de controle para os outros blocos.

- Conversor Paralelo Série C

Contém um conjunto de 2 conversores paralelo-série de 4 bits cada. Carrega 4 bits de endereço de IAP e os transmite em série a 4,096MHz.

- ICI - Interface de Controle das IAP's

É constituído de 2 "line-drivers" que, através de 2 enlaces de pares balanceados envia a 4,096MHz, endereços das IAP's habilitadas. Constitui-se ainda de 4 "line-drivers" para os sinais de sincronismo e relógio transmitidos para as IAP's.

- Geração Detecção de Paridade

Detecta paridade na saída dos conversores série-

paralelo e envia o alarme, multiplexado com o da outra SPS, para a CTR; gera nova paridade que pode ser invertida através do comando IVP. Detecta paridade na saída do bloco "Atenuação" e envia o alarme, multiplexado com o da outra SPS, para a CTR.

- Registro do Código de Atenuação

Amostra a 2,048MHz em fases opostas por cada uma das SPS's, o código de atenuação relativo a cada canal.

V.3 - Descrição de Funcionamento

V.3.1 - Considerações Gerais

A descrição que se segue baseia-se no "Diagrama de Blocos" (D.B) mostrado na figura 5.9 e no "Diagrama de Sinais no Tempo" do Anexo 1.

Embora as funções de conversão série-paralelo e paralelo-série estejam representadas em blocos diferentes no diagrama em blocos apresentado na figura 5.4, elas são realizadas por circuitos comuns, aproveitando-se as facilidades dos componentes disponíveis, como será visto a seguir.

Os sinais DPETVDX*, IPETVDX* do D.B, correspondem aos oito enlaces de pares balanceados que chegam à SPS. Cada par depois de passar pelo seu respectivo "line-receiver" se transforma num único sinal chamado agora de PETVDX* .

Esses enlaces estão defasados entre si de 1 período de relógio de 2,048MHz, e carregam informações de voz e dados a uma taxa de 4,096MHz. Cada enlace contém por canal, 8 bits de voz e 8 de dados entrelaçados, sendo o primeiro bit de dados e o último de voz. Mais tarde será justificada a ra-

ção dessa ordem.

O fato dos enlaces serem defasados da maneira su
pra citada facilita a implementação da conversão
série-paralela, uma vez que o instante em que o
conteúdo do conversor série-paralelo é completado
com os 16 bits de um canal é diferente para cada
enlace. Assim dado que o canal A do enlace X aca
bou de ser convertido de série para paralelo numa
borda do relógio de 2,048MHz, na próxima borda o
canal A do enlace X+1 estará pronto para ser tra-
tado e assim por diante, até que o canal A do en-
lace X+7 também o estará depois de 7 pulsos de
2,048MHz. No próximo instante, ou seja, no próxi-
mo pulso de 2,048MHz o canal A+1 de enlace X já
estará disponível em paralelo para ser tratado.

A informação paralela vinda da ECT (sinais PVT7/0
e PDT3/0) a 4,096MHz é amostrada a 2,048MHz por
cada uma das duas SPS's com a fase conveniente a-
través do registrador RSPS do D.B . .

A partir daí, a informação relativa a cada canal
é carregada no correspondente conversor paralelo-
série. Isto significa que num dado instante a amos
tra é carregada no conversor número X que tem co-
mo saída o enlace X (sinal PERVDX); no instante se
guinte outra amostra é carregada no conversor X+1,
o que significa que também os enlaces de saída es
tão defasados entre si de um pulso de 2,048MHz; o
processo é cíclico e então o registro X será car-
regado novamente depois de 7 pulsos de 2,048MHz.

Os blocos "Conversor Série-Paralelo" e "Conversor
Paralelo-Série V" do diagrama em blocos apresenta-
do na figura 5.4 correspondem aos RESPSX* vistos
no D.B . Cada RESPSX constitui-se de 2 registrado-
res universais 74LS299 que apresentam entrada sé-

rie e saída paralela, entrada paralela e saída série embora as 8 entradas e 8 saídas paralelas sejam comuns.

As 16 entradas/saídas de cada um dos registros RESPSX são curto circuitadas com as dos 7 restantes formando um "bus" de 16 fios através do qual, utilizando-se do "3-state" dos registros, multiplexam-se as informações paralelas de saída dos mesmos, através da habilitação conveniente de cada um deles. Esse "bus" é ainda partilhado pelas 16 saídas dos 2 registradores paralelo-paralelo (74LS374) que formam o bloco RSPS do D.B (ver Anexo 1). Dessa forma, apesar das entradas e saídas paralelas da informação de voz e dado poderem ser tratadas a 2,048MHz, o "bus" descrito operará a 4,096MHz já que têm-se entrada e saída compartilhando as mesmas vias.

A solução que utiliza apenas 2 "chips" 74LS299 por enlace para implementar os registros RESPSX elimina a necessidade de registros de espera mas impõe restrições ao valor da defasagem entre as vias de transmissão e recepção do mesmo número que deve ser de 15, mais um múltiplo de 16 bits. Isto porque quando os 16 bits de um canal estão disponíveis no "bus" PV00/13 PD00/13 eles são amostrados pelo RSSP e no instante seguinte um canal deve ser carregado no mesmo registrador RESPSX, do qual foi feita a leitura, para ser transformado para série.

A figura 5.5 mostra a defasagem entre as vias de transmissão e recepção do mesmo RESPSX.

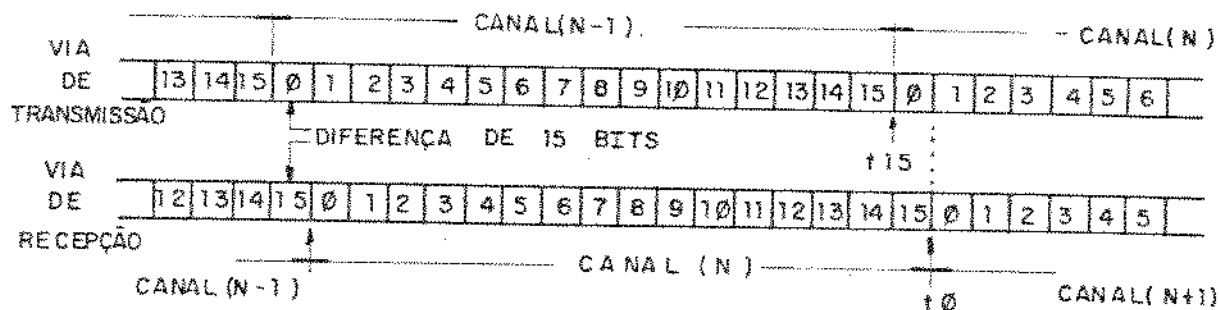


Figura 5.5

No instante T_{15} o último bit do canal (N-1) é transformado para paralelo; no instante T_0 o canal (N+1) é carregado, nos mesmos registros, para ser transformado para série, saindo já o bit 0 desse canal.

Um fato que deve ser levado em consideração é que o primeiro bit de cada canal que chega à SPS (Bit0) é perdido já que esse bit seria copiado pelo registrador série-paralelo no instante T_0 que é justamente o instante em que um canal é carregado em paralelo para sair em série. Dessa forma o primeiro bit de um canal não pode ser de voz, já que não é admissível, perdê-lo; impõe-se então, que o primeiro bit seja de dados (que não deve transportar nenhuma informação), o segundo de voz e assim por diante tendo-se dado e voz intercalados como mostra a figura 5.6 .

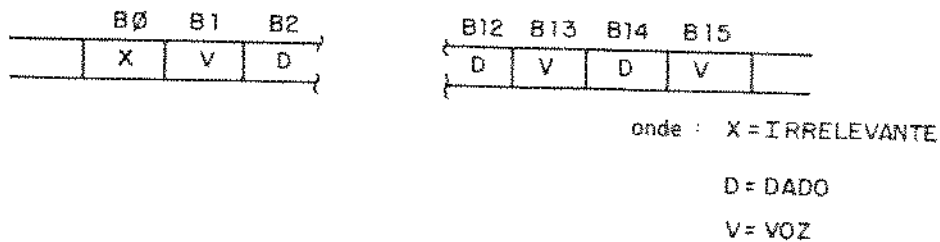


Figura 5.6

Como apenas os 15 últimos dos 16 bits dos canais das vias de transmissão são aproveitados, o sinal PD00, que representa o primeiro bit dos canais paralelos, não deve propagar para frente, para ser comutado. O mesmo não se aplica no sentido contrário quando todos os 16 bits podem ser utilizados.

O processo de conversão série-paralelo e paralelo-série é descrito a seguir:

- os canais da via de transmissão são transformados de série para paralelo;
- no décimo quinto pulso do relógio P4A de cada canal é dado um "output control" no par de 74LS299 respectivo quando o "bus" PV00/13 e PD00/13 é tomado por eles;
- a informação paralela disponível nesse "bus" é amostrada pelo registrador RSSP a uma frequência de 2,048MHz;
- a informação paralela vinda da ECT já está estável no bloco RSPS e tomará o "bus" imediatamente após este ter sido liberado;
- nesse instante é dado um "load" no respectivo par de registros 74LS299 quando esta informação é carregada para ser transformada para a forma serial na via de recepção.

Assim, por exemplo, se o RESPS0 tomou a via, o dado disponível na mesma será lido pelo RSSP e a via é liberada; neste instante ela é tomada pelo RSPS e um "load" deverá ocorrer no RESPS0 quando a informação disponível será carregada pelo P4A no mesmo. O processo é sequencial e cíclico com uma periodicidade de 256KHz que é a frequência dos sinais NOC0/7 e PLD0/7; no entanto o "output control" do RSPS é de 2,048MHz já que ele é comum a toda a via.

Para gerar os sinais de controle, um contador módulo 8 (CONTSPS) é utilizado; esse contador é carregado com o número 7 a cada pulso de sincronismo já que quando este sincronismo está presente é o RESPS7 que vai tomar a via com o sinal NOC7 e vai ser carregado com o PLD7. De maneira análoga o CONTSPS é "gatilhado" por uma fase conveniente do 2,048MHz.

V.3.2 - Defasagem Programada

Um módulo da MACO contém no máximo 2 SPS's. Os 8 enlaces da SPS0 são síncronos e em fase com os respectivos da SPS1. Para a MACO tudo se passa como se existisse uma única SPS com 16 enlaces.

Isto significa que os circuitos que interfaceiam as placas da MACO com as SPS's deverão operar a uma frequência de 4,096MHz. Com o objetivo de se implementarem as SPS-0 e SPS-1 de forma idêntica é fazer com que os sinais que chegam à SPS-0, vindos das outras placas da MACO, estejam em fase com os respectivos da SPS-1 e vice-versa. No entanto, outra maneira mais eficiente de realizar esta interface, é impor que os circuitos que a realizam, operem em contrafase nas SPS-0 e SPS-1. Isto é conseguido através da inclusão de um registrador (REPROM) que na SPS-0 é gatilhado por um relógio de 2,048MHz e na SPS-1 pelo 2,048MHz invertido. Assim, para os circuitos que operam em contrafase os relógios de 2,048MHz estão invertidos na SPS-0 com relação à SPS-1. Isto é implementado através de programação no painel traseiro onde as SPS-0 e SPS-1 tem seus lugares determinados. No D.B os sinais que estão complementados numa SPS com relação a outra, levam um "*" no lado superior direito, tais como N2B*, P2A*; na SPS-0 esses sinais são N2B e P2A e na SPS-1 são P2B e N2A respectivamente.

V.4 - PROM de Atenuação

As amostras de voz são lidas pelo registrador REEPROM e os 7 bits de voz (o bit de sinal não entra) vão servir de endereço da PROM de Atenuação.

Verifica-se a paridade dos bits de voz e essa informação é multiplexada entre as 2 SPS formando o sinal PARSPS que é enviado à CTR a 4,096MHz.

Os 7 bits de voz se juntam aos 4 do código de atenuação (PAT 10/7) que vem da CTR e são copiados pelo REEPROM. A PROM de atenuação não contém bit de sinal de voz, no lugar do qual tem-se a paridade dos 7 de voz. O bit de sinal se junta aos 7 que saem da PROM formando a palavra de voz atenuada. Uma paridade nova é gerada a partir da que está sendo gravada na PROM e do bit de sinal através de um "ou exclusivo" desses 2 sinais gerando o PARIROM. Da mesma forma, 3 bits de dados daquele canal passam direto para se juntar aos 7 de voz, 1 de sinal de voz, 1 de paridade formando uma palavra de 12 bits que será lida pelo RSPROM a uma frequência de 2,048MHz.

A paridade gerada pode ser invertida através do sinal PINVP que vem da CTR. Esse sinal em "0" deixa a paridade gerada passar; ele em "1" inverte a paridade.

Na saída do "RSPROM" a paridade é verificada e multiplexada com a da outra SPS em 4,096MHz.

Os 12 bits de informação passam por "line-drivers" e são multiplexados com os da outra SPS formando um "bus" de 12 sinais de 4,096MHz que constitui o "enlace externo".

V.5 - Endereços e Relógios para as IAP's

A SPS recebe ainda 4 bits de endereços das IAP's vindos da CTR (PIAP0/3) e os lê através do bloco REIAP. Transforma essa informação para série através dos blocos RPSIAP0/1

levando em cada canal, endereço de 4 IAP's. Como existem 2 enlaces de endereço, no total têm-se 8 endereços de IAP's por canal. Isso pode ser visto na figura 5.7 .

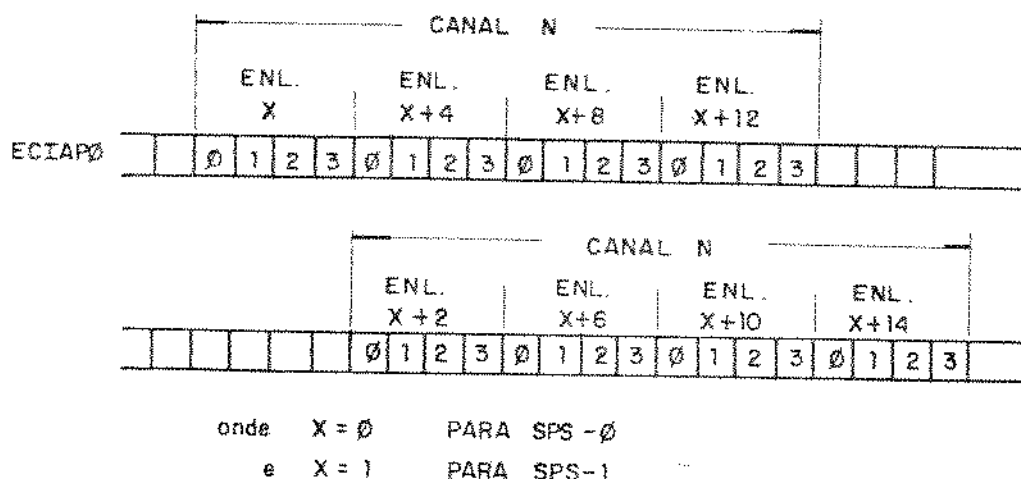


Figura 5.7

Os bits 0, 1, 2, 3 são os endereços das IAP's. Cada grupo de 4 bits vai habilitar a IAP no instante do canal N do enlace determinado pela posição desses 4 bits como mostra a figura 5.7 .

Os sinais de "load" desses registradores são de uma frequência de 1,024MHz e são chamados de PLDIAPA e PLDIAPB.

Os sinais de relógio e sincronismo podem ser vistos no anexo 2.

V.6 - Cabeação MACO - IAP's

A figura 5.8 mostra a cabeação da MACO-IAP.

V.7 - Descrição de sinais

SINAL	SIGNIFICADO
PVT0, ...7	Voz de transmissão (amostra de voz vinda da ECT)
(D/I)ETV0,2, ...,A, ...,E	Via de transmissão de voz e da-

CABEAÇÃO MC-IAP'S

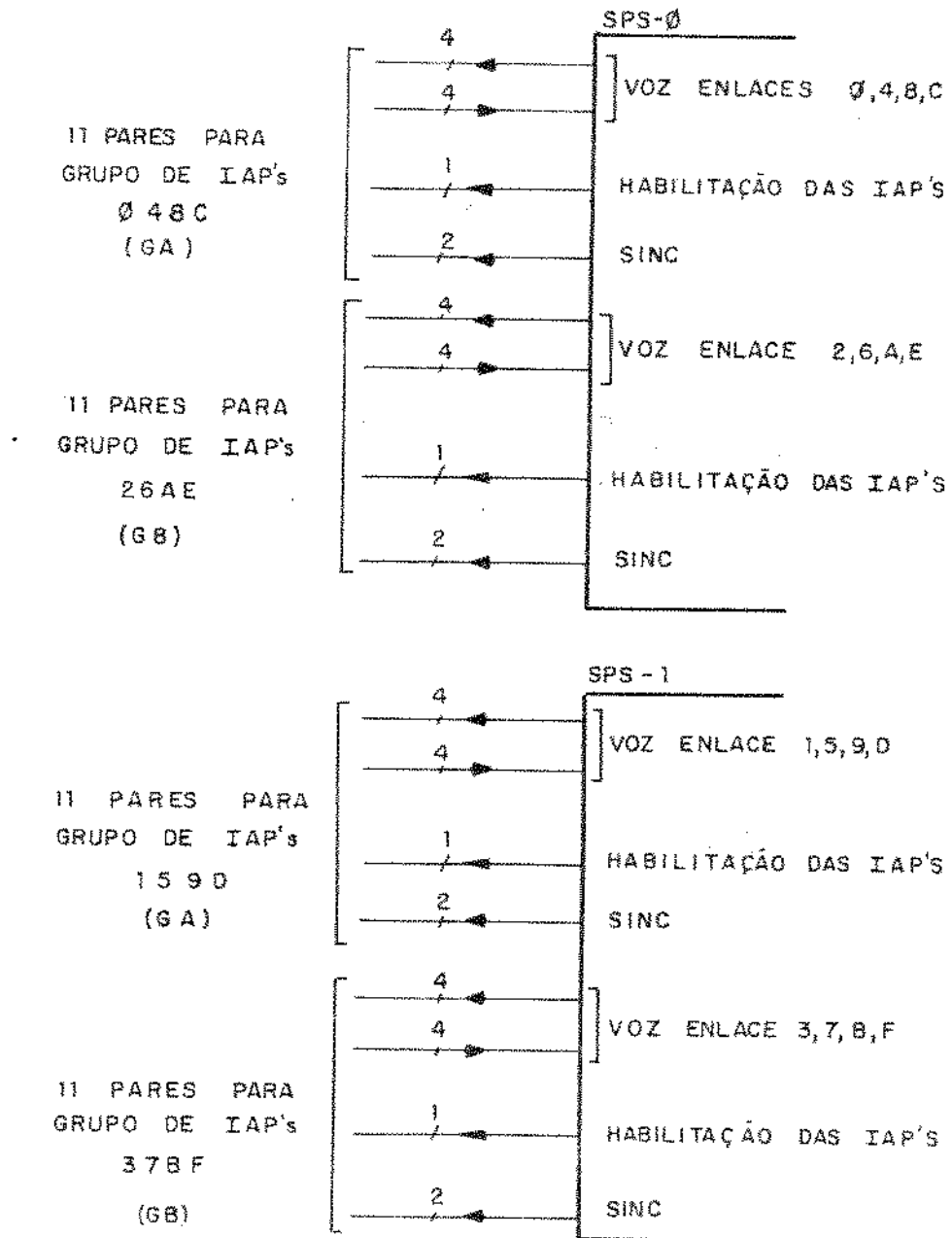


FIGURA 5.8

	dos (par balanceado vindo da IAP)
PLD0,2,...,A,...,E	Load (load dos registradores paralelo-série)
NOC0,2,...,A,...,E	Output CONTROL (output CONTROL dos registradores paralelo-série)
PN4A	Sinal N4A invertido
PETVD0,2,...,A,...,E	Via de Transmissão de Voz e Dados (saída dos "line-receivers")
PV00...13	Voz na saída/entrada dos registradores série-paralelo-série
PD00...13	Dado na saída/entrada dos registradores série-paralelo-série
PERVD0,2,...,A,...,E	Via de Recepção de Voz e Dado (entrada dos "line-drivers")
PDT0,...,3	Dados vindos da ECT
PN2B	Sinal N2B invertido
NP2BAB	Sinal P2BAB invertido
NP2B	Sinal P2B invertido
PVR0,...,7	Voz de Recepção (bits de voz convertidos de série para paralelo)
PDR4,...,7	Dado de Recepção (bits de dados convertidos de série para paralelo)
PAT7,...,10	Código de Atenuação vinda da CTR
NSQSA,B	Sincronismo de Quadro e Superquadro transmitido ao grupo de IAP's A e B respectivamente
PATN0,...,10	Endereço da Memória de Atenuação
PATNA,B,C	Dados de Recepção Ressincronizado com PATN0,...,10
PATNVS	Bit de Sinal de Voz Ressincronizado com PAT0,...,10

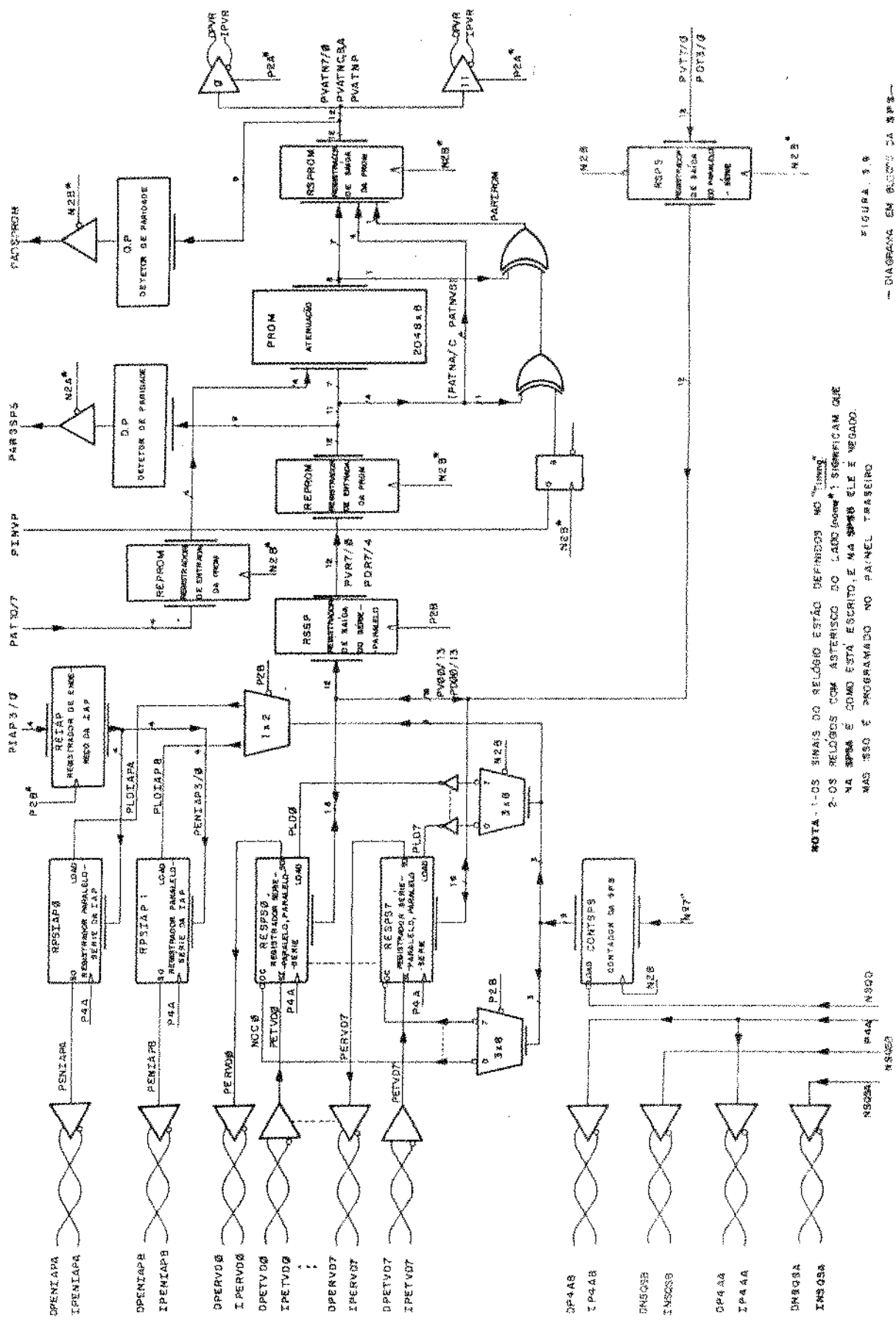
PPETVD	Paridade dos Canais do Enlace de Transmissão de Voz e Dado
NP2AAB	Sinal P2AAB invertido
PENIAPA,B	Enlace de Controle do Conjunto de IAP's A e B respectivamente
(D/I)IAPA,B	Enlace de pares balanceados do sinal PENIAPA,B
(D/I)P4A (A,B)	Sinal P4A balanceado transmitido para o conjunto de IAP's A e B
PARSSPS	Paridade de saída dos registradores série-paralelo-série
(D/I)PERVDO,2,...,A,...,E	Via de Recepção de Voz/dado (par balanceado indo para as IAP's)
PINVP	Inverte Paridade (sinal de controle vindo da CTR para inverter ou não a paridade)
N4A	Sinal de 4,096MHz invertido com relação ao P4A
N2B	Sinal de 2,048MHz com 90 graus de atraso com relação ao N2A e invertido com relação ao P2B
P2B	Sinal de 2,048MHz com 90 graus de atraso com relação ao P2A e invertido com relação ao N2B
N2AAB	Sinal N2A para SPS0 e P2A para SPS1
P2AAB	Sinal P2A para SPS0 e N2A para SPS1
N2BAB	Sinal N2B para SPS0 e P2B para SPSB
P2BAB	Sinal P2B para SPSA e N2B para SPS1
NSQD	Sincronismo de Quadro Deslocado

PIAP0,....,3	Endereço de controle da IAP vindo da CTR
PN2BAB	Sinal N2BAB invertido
PN2AAB	Sinal N2AAB invertido
PENIAP0,....,3	Sinal PIAP0,....,3 "regatilhado"
PLDIAPA,B	Load dos registradores paralelo série de endereço do conjunto de IAP's A e B
NLD0,....,7	Sinais PLD0,....,7 invertidos
PVAT	Amplitude de voz atenuada na saída da PROM
PIP	Sinal PINP "regatilhado"
PAINV	Paridade invertida ou não
PARIROM	Paridade da voz atenuada com o sinal
PVATN0,....,7	Voz atenuada
PVATNP	Sinal PARIROM "regatilhado"
PVATNA,B,C	Dados a serem transmitidos para ECT
PALROM	Alarme de paridade da voz atenuada
PARSROM	Alarme de paridade da voz atenuada multiplexada entre as 2 SPS's
(D/I)PVRX0,....,7	Sinais PVATAN0,....,7 balanceados (vão para ECT)
(D/I)PPRX	Paridade dos sinais D/IPURX0,....,7 (vai para ECT)
D/IPDRX0,1,2	Sinais PVATNA,B,C balanceados (vão para ECT)

V.8 - Implementação

A SPS foi implementada na placa padrão já descrita, tendo as seguintes características:

- Número de CI's	46
- Potência: Máxima -	13,314 W
Típica -	8,407 W
- Número de Pinos: Para cabo -	68
Externos	
Painel tra	
seiro -	25
Alimentação	
(5Volts) -	4
Terra	4
Total	101



NOTA - 1-OS SINAIS DO RELOGIO ESTÃO DEFINIDOS NO "MINUTO"
 2-OS RELOGIOS COM ASTERISCO DO LADO ESQUERDO SIGNIFICAM QUE
 NA SPSB E COMO ESTA ESCRITO, E NA SPSB ELE E NEGADO.
 MAS ISSO E PROGRAMADO NO PAINEL TRASEIRO

FIGURA 3.9

DIAGRAMA EM BLOCOS DA SPSB

CAPITULO VI

PLACA ESTÁGIO DE COMUTAÇÃO TEMPORAL - ECT

VI.0 - Introdução

A placa Estágio de Comutação Temporal - ECT - é responsável pelo estabelecimento da comutação temporal, ou seja, ela provê meios para que um dado canal pertencente a um certo enlace de um dado módulo seja comutado para um canal de um enlace do módulo a que pertence.

De uma forma geral as suas funções consistem em:

- receber 2 enlaces externos (provenientes das SPS's) que contêm os canais na sua forma paralela;
- amostrar essas informações com uma fase conveniente ("strap hardware");
- verificar a paridade das informações amostradas;
- armazenar essas informações sequencialmente em suas memórias;
- comutar os canais sob o comando da CTR;
- verificar a paridade dos canais comutados;
- enviar os canais comutados, na sua forma paralela para as SPS's do módulo a que pertence.

Cada plano da Matriz de Comutação, MACO, comporta de uma (na sua configuração mínima) a oito (na sua configuração máxima) placas ECT cognominadas de ECT-0, ECT-1, ..., ECT-7.

VI.1 - Características

O conjunto de placas ECT associado a cada plano do módulo de central recebe um enlace de voz (enlace externo) de 512 canais de cada um dos módulos de central (MCE's) inclusive do seu próprio módulo. Cada ECT recebe enlaces externos de até dois MCE's como mostra a figura 6.1. Cada canal desses enlaces é formado por 12 bits, sendo 8 de voz, 1 de paridade relativa aos bits de voz e 3 de dados associados à voz.

ECT

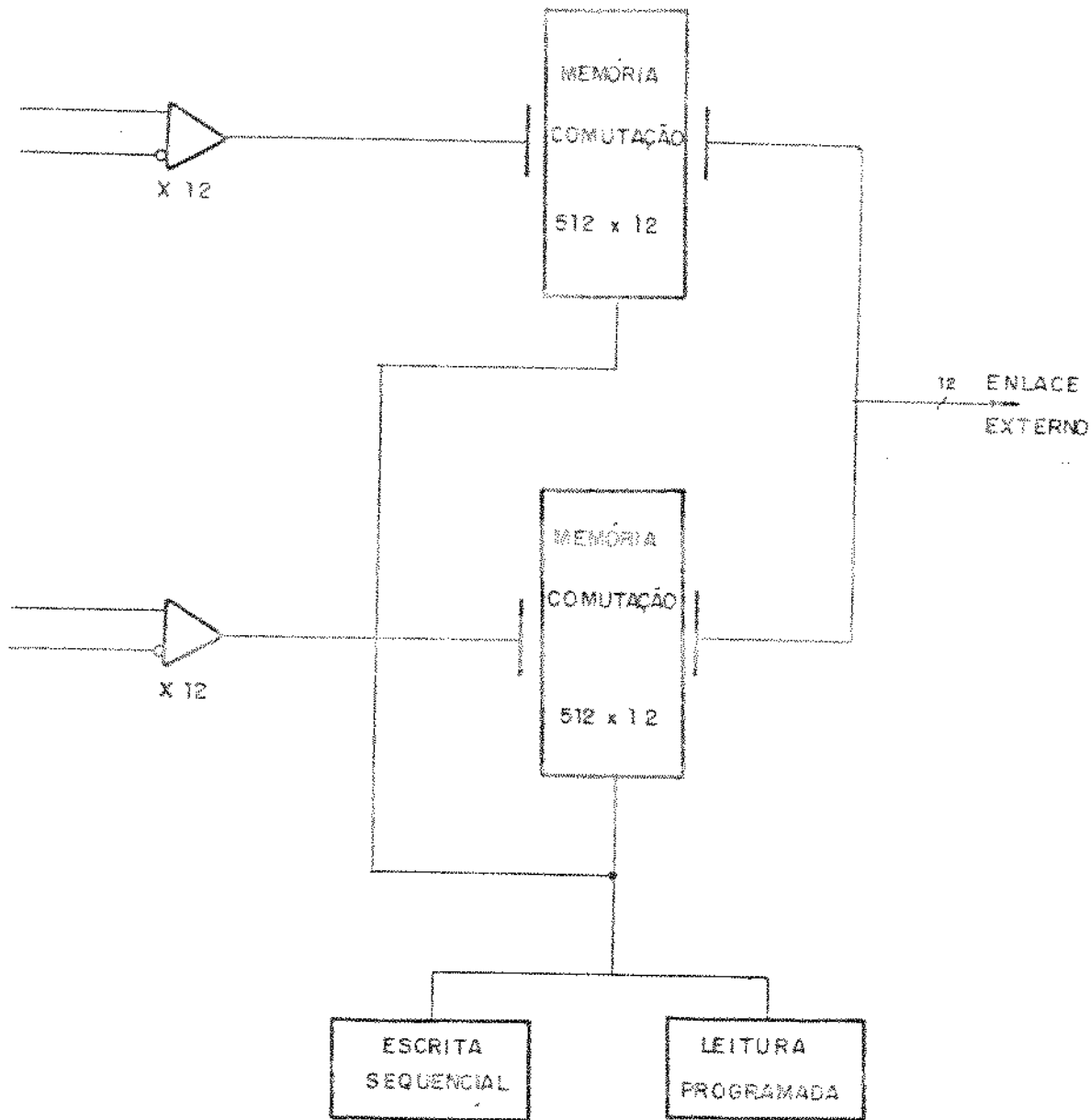


FIGURA 6.1

A transmissão desses bits é paralela de modo que a cada um é dedicado, um meio físico de transmissão. Um enlace (enlace interno), também de 512 canais, de 12 bits e transmitidos em modo paralelo, resultante da comutação, sai do grupo de placas ECT relativo a cada módulo. Doze saídas de cada placa, uma para cada bit, são multiplexadas em 12 fios que formam o enlace de saída do grupo.

Para cada enlace de entrada têm-se uma memória RAM (de 512 posições de 12 bits) de comutação temporal. Conseqüentemente numa placa ECT encontram-se duas memórias de comutação (MCV).

Os conteúdos dos canais dos enlaces externos são escritos ciclicamente nas respectivas memórias sob o endereçamento dado por um contador binário cíclico módulo 512, síncrono com a temporização da central recebida da CTR.

Toda a informação dos enlaces de voz proveniente de todos os módulos de central é registrada e, portanto, disponível no conjunto de placas ECT de cada um desses módulos, que formam a central TRÓPICO-L. Por exemplo, numa central com 10 módulos, ter-se-iam 5 placas ECT por módulo e por plano, cada uma com 2 memórias RAM. Em cada uma dessas memórias seriam registrados os 512 canais do respectivo enlace de entrada de modo que no total 5120 canais de toda a central estariam armazenados em cada um dos 10 módulos. Apesar de cada módulo possuir um único enlace de 512 canais de saída, isto não significa que exista concentração de 5120 para 512, já que pensando na MACO como um todo o número de canais que entram é igual ao que saem; nesse exemplo esse número seria 5120.

A comutação temporal é realizada nas memórias RAM, nas quais os conteúdos dos canais se encontram registrados sequencialmente, através da leitura não sequencial, que se segue a ordem de saída ditada pelo controle de comutação. Tal controle é exercido pela Memória de Controle de Comutação da CTR que contém a ordem de endereçamento de lei-

tura. Tal ordem é atualizada pela CIS a cada início ou fim de uma chamada escoada pela MACO.

A cada período de canal (que corresponde a um período de relógio 4,096MHz) é feita uma escrita em cada uma das memórias de comutação. Nesse mesmo período de canal é aproveitada unicamente a leitura de uma das memórias de comutação (ou seja, de um dos enlaces externos) que é habilitada a tomar nesse canal o enlace interno.

A multiplexação das saídas das memórias de comutação é realizada em 2 passos; o primeiro entre as duas memórias de cada placa ECT, pela habilitação da saída "3-state" de uma única a cada canal cujo conteúdo é armazenado durante um período de 4,096MHz num registrador paralelo-paralelo de saída; o segundo passo é realizado pela habilitação da saída "3-state" do registrador de saída de uma única ECT a cada canal, multiplexando diretamente no enlace interno.

Como a cada canal é aproveitada a leitura de uma única MCV, o endereçamento de leitura de todas as memórias é o mesmo, diferindo unicamente nos ponteiros de seleção do "3-state" das memórias RAM e dos registradores de saída das placas ECT.

Todos os enlaces Externos, na entrada das placas ECT de um MCE, encontram-se em sincronismo de canal e quadro. Nas placas SPS o atraso entre o instante de ocorrência de um canal na sua saída para o enlace Externo e o instante de ocorrência do canal de mesmo número na entrada do enlace Interno deve ser fixa. A soma dos atrasos de transmissão dos enlaces externos e internos (com relação à temporização desse módulo de central) e do atraso introduzido entre o instante de entrada de um canal na placa ECT e a saída do canal de mesmo número no enlace interno deve ser fixa. O atraso de transmissão do enlace interno é praticamente fixo já que a ligação é feita entre o conjunto de placas ECT e as placas SPS's do mesmo módulo de central,

que se encontram no mesmo sub-bastidor. O atraso dos enlaces externos pode variar numa faixa, bastante grande, dependendo do número de módulos de central e, portanto, do tamanho do TRÓPICO-L. O atraso introduzido pela placa ECT deve ser também variável, de uma forma programável, sob o comando de sinais recebidos da CTR de modo a permitir uma compensação do atraso de transmissão.

Na entrada da placa ECT, é possível introduzir, ou não, sob o comando da placa CTR, uma amostragem nos enlaces externos com a borda de descida do sinal de relógio a 4,096MHz, P4A. O sinal, amostrado ou não dessa forma, é a seguir amostrado pela subida do mesmo relógio. Isto garante que para qualquer fase do sinal de entrada este pode ser amostrado corretamente.

Após a amostragem com a subida do relógio, o número total de semi-períodos de bit de atraso entre a placa SPS do mesmo módulo de central e a saída do correspondente amostrador será par. Para obter o número fixo de semi-períodos de "bit" de atraso que a placa ECT deve completar, o endereçamento de leitura é alterado (deslocado através da soma de constantes) na placa CTR conforme descrição feita no capítulo VII.

Os canais tanto dos enlaces Externos, assim como os internos, são divididos em quadros de 512 canais cada um. A taxa de quadros é conseqüentemente de 8000 quadros por segundo. Sendo os canais numerados de 0 a 511, o canal n de placa ECT de número i ($i = 0, 1, \dots, 7$) do módulo de central K ($K = 0, 1, \dots, 15$) corresponde ao canal "C" do enlace intermodular "e" do módulo de central $2i$ para o primeiro enlace externo, do módulo de central $2i+1$ para o segundo enlace externo, e do módulo de central K para o enlace interno. Os valores de "C" e "e" são dados por:

$$C = \text{INT}\{n/16\} \quad (6.1)$$

$$e = n - C \cdot 16 \quad (6.2)$$

Tal correspondência entre "n", "c" e "e" é dada em função do modo como os 16 enlaces intermodulares são multiplexados nas placas SPS de onde são enviados aos estágios de comutação temporal (placas ECT).

Valores pares de n correspondem sempre a valores pares de e, de modo que canais de número par dos enlaces da placa ECT correspondem sempre a enlaces intermodulares de número par. Da mesma forma, canais de número ímpar correspondem a enlaces intermodulares de número ímpar.

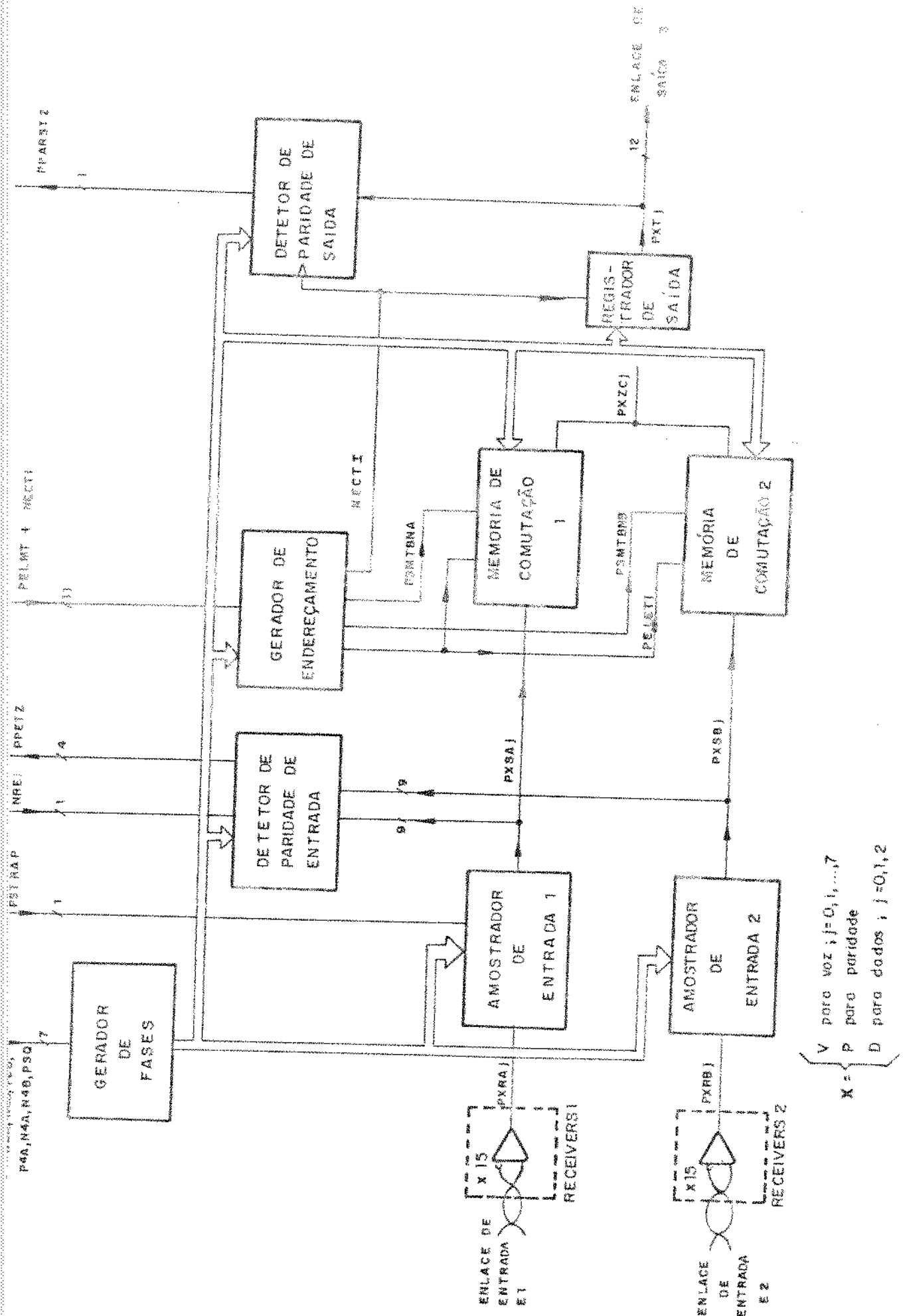
Os enlaces intermodulares de número par são tratados e multiplexados pela SPS-0 e os de número ímpar pela SPS-1.

A paridade dos enlaces externos é testada a cada canal antes das amostras serem armazenadas nas MCV's.

O bit de paridade e, conseqüentemente o teste de paridade, são relativos unicamente ao bit de voz. O teste é realizado separadamente para os canais de número par, ou seja, os relativos à SPS-0 e para os de número ímpar, ou seja, os relativos à SPS-1.

Um circuito detetor de paridade é utilizado para cada enlace externo e 2 "flip-flops" por enlace armazenam os erros relativos à SPS-0 ou 1 daquele enlace. Quando há um erro num dado canal o correspondente "flip-flop" tem seu estado 0 levado para 1. Os quatro sinais de indicação de erro (dois de cada enlace) são fornecidos à placa CTR através de "buffers 3-state" cujas saídas se ligam às de outras ECT's do mesmo módulo de central. A cada ECT (ECT_i), é enviado um sinal NRE_i que permite habilitação do respectivo conjunto de "buffers". Na transição desse sinal, quando ele pára de habilitar o determinado conjunto de "buffer", os quatro "flip-flops" de indicação de erro de paridade são limpidos através de um circuito que deteta essa transição.

Na saída da ECT é realizado nos canais de enlace Interno,



$X = \begin{cases} V & \text{para voz ; } j=0, i, \dots, 7 \\ P & \text{para paridade} \\ D & \text{para dados ; } j=0, 1, 2 \end{cases}$

FIGURA 6.2

um teste de paridade. O correspondente sinal de indicação de erro é fornecido através de um "bus 3-state" ao qual se ligam todas as ECT's daquele módulo. O sinal que controla o acesso ao "bus" de paridade é o mesmo que habilita a tomada do enlace interno pela correspondente placa através do seu registrador de saída. Desse modo, quando a placa ECTi é habilitada num canal a tomar o "bus" do enlace interno, é também habilitada para que a paridade dos bits de voz do correspondente canal seja indicada no "bus" de paridade. O eventual erro de paridade é então registrado na CTR.

VI.2 - A ECT em Blocos

A figura 6.2. apresenta a ECT em diagrama de blocos, descritos a seguir.

VI.2.1 - Amostrador de Entrada

São dois blocos iguais, um para cada enlace externo. Cada um possui dois estágios; o primeiro, sob o comando do sinal PSTRAP0 amostra ou deixa de amostrar os sinais dos enlaces externos com a borda de subida do sinal N4A. Este primeiro estágio constitui-se no "strap-hardware". O segundo estágio amostra o sinal na saída do primeiro com a borda de subida do sinal P4A.

VI.2.2 - Detetor de Paridade de Entrada

Num primeiro estágio deteta a paridade, a cada canal, das palavras de 9 bits (8 de voz e um de paridade) que chegam a ECT. A ocorrência de qualquer erro é registrado em um dos quatro "flip-flops" a isso dedicados. Através de um conjunto de "buffers 3-state" esses sinais são habilitados ou não a tomar o "bus" através do qual podem ser lidos pela CIS. O fim da habilitação dispara um circuito que limpa os tais "flip-flops".

VI.2.3 - Memória de Comutação

Existem dois blocos, um para cada enlace externo. Cada bloco é uma RAM 512x512, onde a cada período de 4,096MHz são realizadas uma escrita e uma leitura. As escritas são sequenciais e as leituras são controladas. O endereçamento das memórias é dado pelo "Gerador de Endereçamento" que também habilita a cada canal um dos dois blocos a tomar o "bus" por ambos compartilhado.

VI.2.4 - Registrador de Saída

Constitui-se num registrador paralelo-paralelo, no qual são carregados a cada período de relógio de 4,096MHz, os 12 bits correspondentes a cada canal comutado. Possui saída "3-state" controlada pelo sinal NECTI.

VI.2.5 - Gerador de Endereçamento

Possui um contador que, sincronizado pelo sincronismo de quadro da central proveniente da CTR, gera os endereços cíclicos de escrita. Recebe também, da CTR, os endereços de leitura gerados pela Memória de Controle de Comutação. Utilizando dois registradores paralelo-paralelo com saída "3-state" realiza-se a multiplexação dos dois endereços (leitura e escrita) fornecendo num único "bus" tais endereços à Memória de Comutação.

VI.2.6 - Gerador de Fases

Recebe os sinais de sincronismo da CTR e gera os sinais de fases necessários para o funcionamento da placa ECT.

VI.2.7 - Detetor de Paridade de Saída

Deteta a cada canal a paridade de 9 bits (8 de voz e um de paridade); tal paridade é fornecida através de um "buffer 3-state" para a CTR. A to

mada desse "bus" é feita pelo sinal NECTI.

VI.3 - Descrição do Funcionamento dos Blocos

VI.3.1 - Amostrador de Entrada

O bloco Amostrador de Entrada possui 2 estágios: o primeiro estágio é constituído de um "latch" transparente e um registrador paralelo-paralelo, ambos de 12 bits e com saída "3-state" (cada um formado por 1 1/2 integrado de 8 bits) ligados em paralelo conforme figura 6.3;

o segundo estágio é formado por um registrador paralelo-paralelo, também de 12 bits e que tem como entradas as saídas do primeiro estágio.

O sinal PSTRAP0 determina, no primeiro estágio, se a saída compartilhada deve ser tomada pelo "latch" ou pelo registrador. Esse sinal é enviado da CTR onde é gerado a partir de chaves de contato. Como explicado anteriormente essas chaves fazem parte do "strap-hardware-software-SHS" sendo este o S.H. A programação do sinal PSTRAP0 depende do tamanho da central. No primeiro estágio, quando o "latch" transparente é selecionado, os sinais do respectivo enlace de entrada não sofrem nenhuma amostragem. Por outro lado, quando um registrador é selecionado, os sinais sofrem uma amostragem com as bordas de subida do sinal do relógio N4A (complemento do P4A).

O circuito "Amostrador de Entrada" permite, dessa forma, em primeiro lugar, que os sinais na entrada da placa ECT sejam corretamente lidos independentemente do atraso sofrido na transmissão. Em segundo lugar garante que o atraso que os sinais possuem na saída do bloco amostrador com relação ao sincronismo de quadro seja igual a um número inteiro e par de semi-períodos de bit.

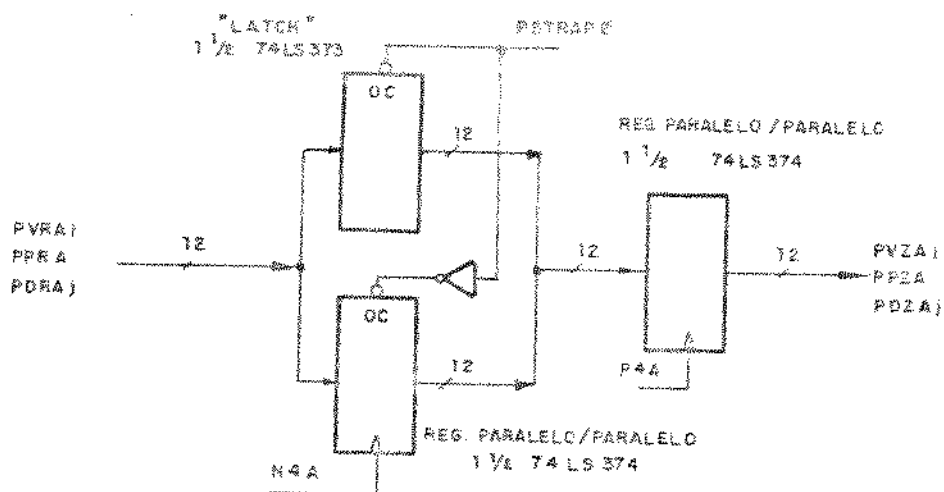


Figura 6.3

VI.3.2 - Detetor de Paridade de Entrada

O bloco é composto de duas partes, uma relativa a cada enlace Externo, mais uma parte comum a ambos. A parte comum, formada por um CI detetor de paridade (74LS280) verifica a cada canal, a paridade (par) dos sinais de voz de entrada. A parte correspondente a cada enlace Externo é constituída de dois "flip-flops" J.K, uma porta NAND, um "flip-flop" D e dois "buffers 3-state". Um "flip-flop" J.K, gatilhado pela descida do sinal do relógio P2B, registra os erros de paridade acusados pelo detetor nos canais pares. O segundo "flip-flop" J.K gatilhado pela descida do relógio N2B, registra erros de paridade acusados pelo detetor, nos canais ímpares.

O diagrama de estados do registrador de erros realizado pelo "flip-flop" J.K é dado pela figura 6.5 :

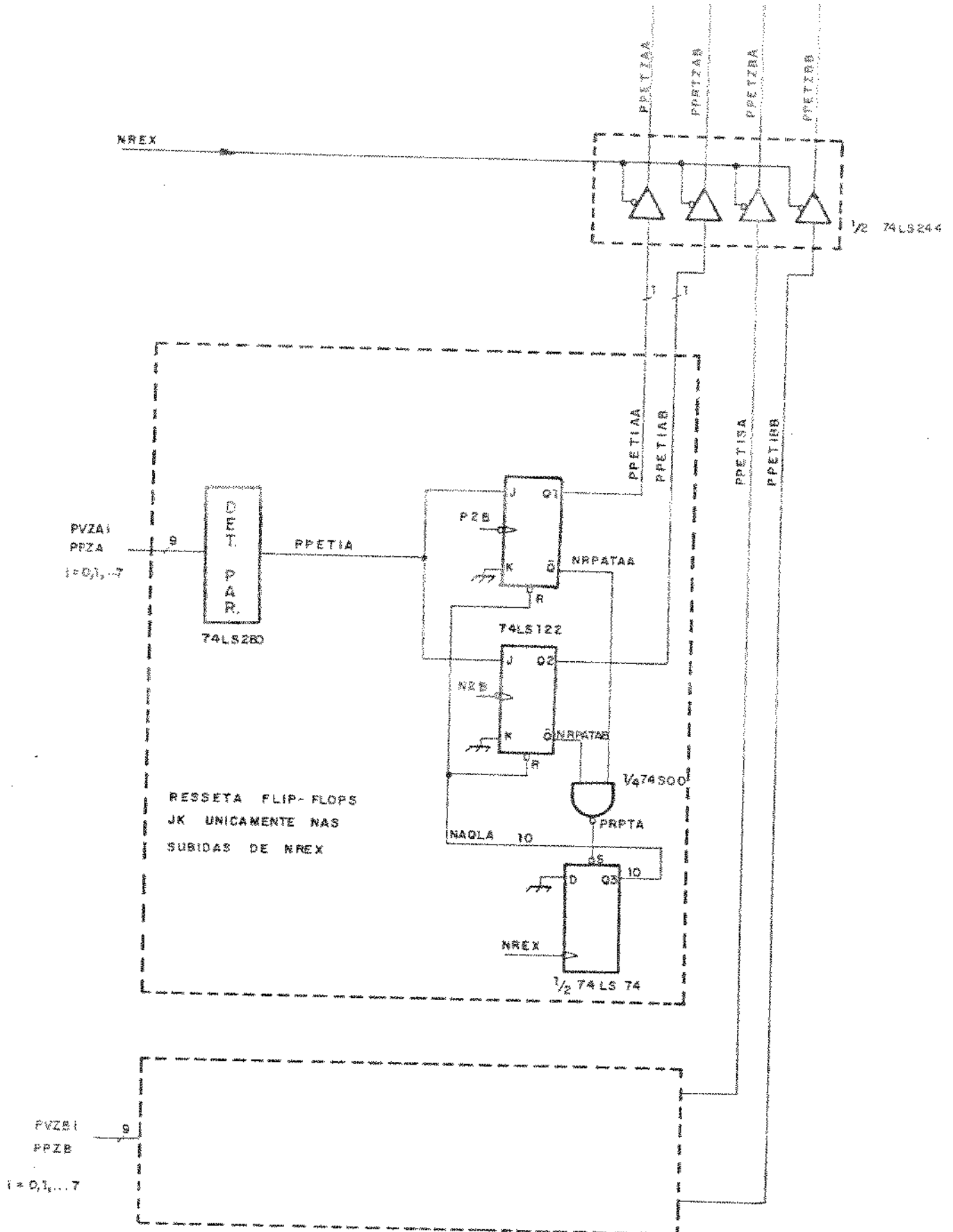


FIGURA 6.4

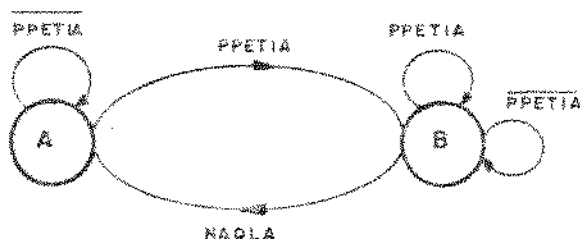


Figura 6.5

O diagrama mostra que, uma vez acusada uma falha (PPE7IA), o "flip-flop" J.K fica no estado B (Q=1), só saindo dele quando for limpo pelo sinal NAQLA (para o enlace externo 1 ou NAQLB para o 2).

As saídas dos "flip-flops" J.K podem ser lidas pela CIS através de um conjunto de "buffers 3-state" (1/2 CI 74LS244) cujas saídas se ligam a um "bus" comum a todas as ECT's do mesmo módulo de central.

O sinal NREX (x = 0,1,...,7) habilita, quando se encontra no nível lógico zero, a tomada desse "bus" pela ECT de número x, ou seja, NRE0 habilita a ECT0, o NRE1, a ECT1 e assim por diante, sendo essas habilitações exclusivas.

A subida do sinal NREX (saída da condição de habilitação) é utilizada para limpar os "flip-flops" J.K. Quando os dois flip-flops estão sem armazenar erro (Q=0), o "flip-flop" D se mantém "setado" e a subida de NREX não é notada pelo mesmo. Quando um dos J.K, ou os dois, registram um erro (Q=1) o "flip-flop" D tem a sua entrada "S"

em 1 o que significa que ele aceita a subida do sinal NREX. Quando esta subida ocorre ele força o nível lógico "0" nas entradas de "reset" dos "flip-flops" J.K e permanece nesse estado até que os dois "flip-flops" tenham sido limpos voltando, pois, ao estado inicial. Toda vez que a CIS lê esses registros eles são automaticamente limpos.

VI.3.3 - Memória de Comutação

É uma memória RAM 512x512 constituída de 6 CI's 93L422 (RAM de 256x4). Havendo um bloco MCV para cada enlace Externo. Num período de quadro os correspondentes 512 canais do enlace relativo a esse quadro são escritos em posições sucessivas da memória.

Em cada período de canal são estabelecidas duas regiões; a primeira se destina a realização de uma escrita e a segunda de uma leitura na memória. Em correspondência com estas regiões são alternadamente fornecidas, pelo bloco "Gerador de Endereçamento", os endereços de escrita e leitura.

Dependendo do atraso de transmissão dos sinais nos enlaces externos é programado um valor K tal que o conteúdo do canal j ($j = 0, 1, \dots, 511$) é armazenado na posição $j+K$ ($K = 0, 1, \dots, 7$). Em cada quadro existe uma correspondência entre o número do canal de saída i e o número do de entrada $j(i)$ que deve ser para ele comutado. Como o canal $j(i)$ é escrito na posição $j(i) + K$, no período de canal em que deve ser lido da memória de comutação o canal i de saída, é fornecido à memória o endereço $j(i) + K$.

Na primeira região a escrita é habilitada pelo

nível lógico "0" na entrada \bar{W}/R dos CI's da memória, correspondente ao sinal NESC. Simultaneamente o bloco "Gerador de Endereçamento" fornece o endereço de escrita.

Na segunda região, correspondente a NESC=1 é fornecido à MCV o endereço de leitura. As saídas das duas memórias são ligadas a um "bus". Além dos 9 bits, comuns ao endereçamento das duas memórias um décimo bit (sinal PSMTBNA) habilita uma única memória a tomar o "bus" a cada canal. Na região de escrita, a escrita ocorre em ambas as memórias. Na região de leitura, no entanto, é realizada unicamente a leitura de uma das memórias.

VI.3.4 - Registrador de Saída

É formado por um registrador paralelo-paralelo, com controle de saída "3-state", implementado através de 1 1/2 CI's 74LS374. Nele são amostrados os sinais lidos das memórias através do relógio P4A cuja borda de subida se encontra na região de leitura das mesmas. O sinal NECTI fornecido, através do "Gerador de Endereçamento" pela CTR controla as saídas do registrador. As saídas desse registrador se ligam às das outras ECT's formando o enlace interno de canais comutados que chega à SPS. O sinal NECTI habilita a ECT a tomar ou não esse enlace.

VI.3.5 - Gerador de Endereçamento

O esquema simplificado do Gerador de Endereçamento é apresentado na figura 6.6. Constitui-se de um contador binário de 9 bits e dois registradores paralelo-paralelo de 12 bits. O contador é implementado com os CI's 74LS161 e um inversor. A cada pulso de sincronismo de quadro o contador é carregado com o número "472" indicando o

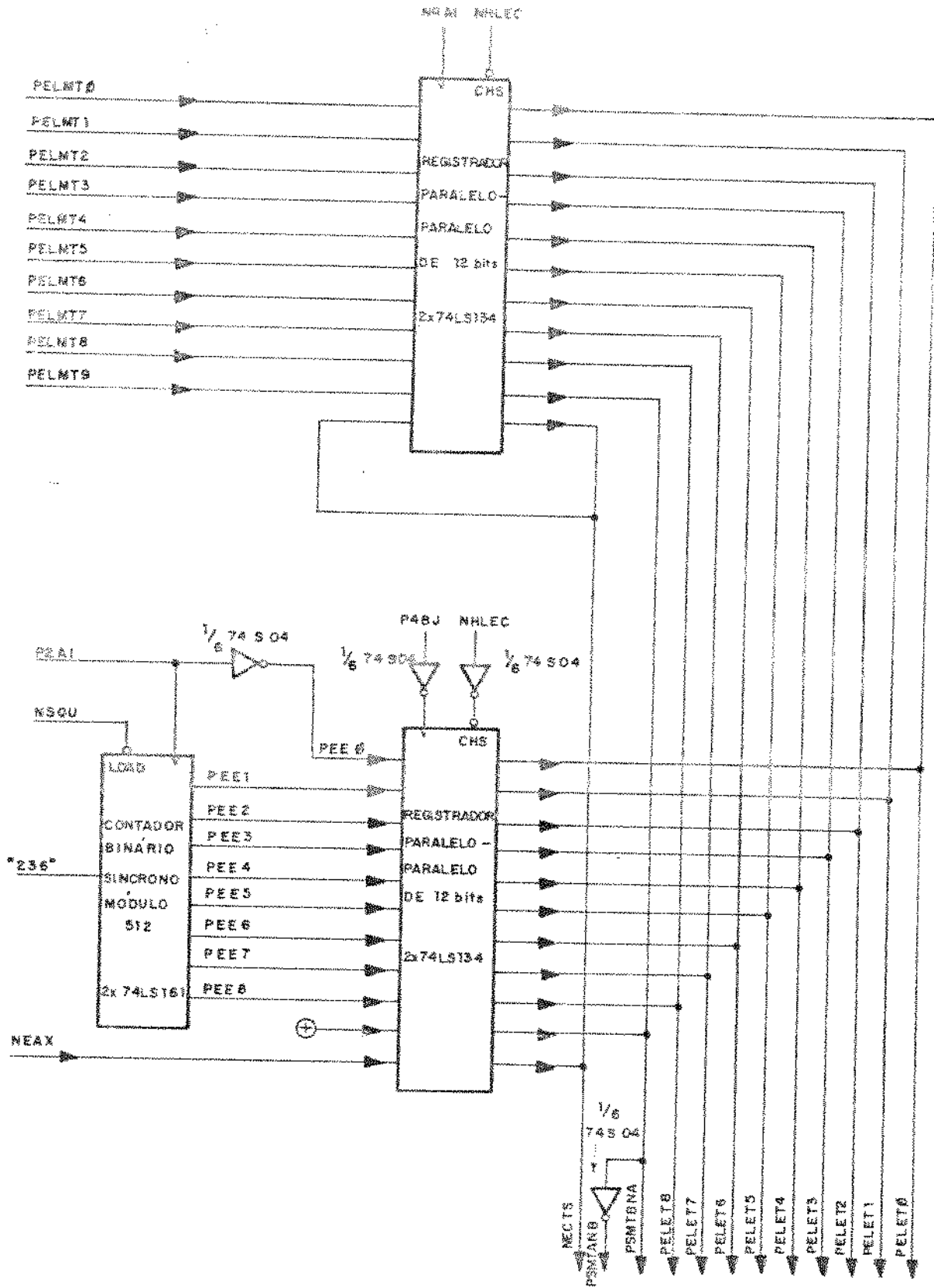


FIGURA 6.6

número do canal relativo a esse instante quando o atraso de transmissão é mínimo. As saídas desse contador servem de endereço de escrita das memórias de comutação; o endereço de leitura é fornecido pela CTR. Ambos os endereços são multiplexados através de registradores "3-state". O bloco Gerador de Endereçamento é também utilizado para "bufferizar" o sinal NECTX que controla a tomada do enlace interno e do "bus" de erro de paridade de saída da ECTX.

O contador, que funciona a 4,096MHz, é implementado por 2 contadores binários de 4 bits ligados em cadeia e gatilhados pelo relógio de 2,048 MHz (P2A). As oito saídas do contador fornecem, então, os 8 "bits" mais significativos (dos 9 necessários) do endereço. O "bit" menos significativo é o próprio $\overline{P2A}$. O carregamento do número "472" passou a ser feito então com o "236" no contador dos 8 "bits" mais significativos.

A figura 6.7 mostra o diagrama de sinais no tempo relativos ao bloco "Gerador de Endereçamento".

A multiplexação realizada através do controle das saídas "3-state" dos registradores deve ser tal que a saída de cada registrador seja habilitada unicamente quando o sinal se encontra estável nos "flip-flops" internos ao registrador, ou seja, nenhum comando de carregamento deve ser feito enquanto as saídas do mesmo são habilitadas a tomar o bus de endereçamento compartilhado. Por exigência dos CI's utilizados para implementar o bloco "Memória de Comutação" (RAM 93L422) é necessário que seja respeitado um conjunto de margens de tempo em torno dos intervalos de escrita e leitura, de modo que as regiões

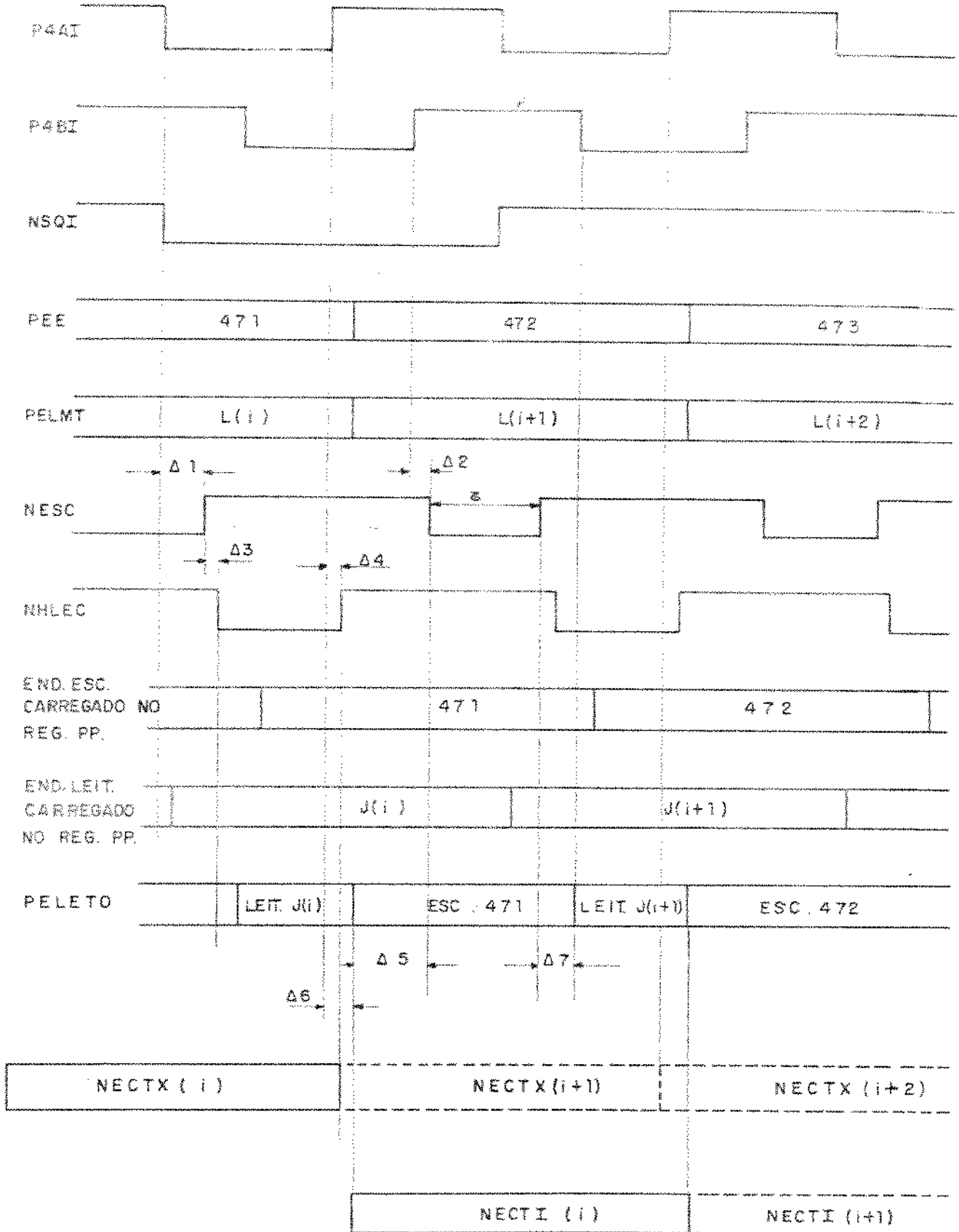


FIGURA 6.7

de habilitação de escrita devem conter o sinal NESC, e a de leitura a borda de subida do relógio P4A.

A tabela 1 fornece os valores mínimo, típico e máximo para os atrasos $\Delta 1, \Delta 2, \dots, \Delta 7$ e para o intervalo τ que são importantes com relação as margens a serem respeitadas. No cálculo desses valores supõe-se atraso desprezível entre P4A e N4A e entre P4B e N4B.

	Mínimo (ns)	Típico (ns)	Máximo (ns)	É importante com relação a
$\Delta 1$	14,5	32	49,5	τ
$\Delta 2$	5	10	15	$\tau, \Delta 5$
$\Delta 3$	5	10	15	$\Delta 7$
$\Delta 4$	8	19	30	$\Delta 5$
$\Delta 5$	15,5	27	38,5	Set-up time de escrita das RAM's
$\Delta 6$	20	39	58	Hold time do registrador de saída
$\Delta 7$	17	30	43	Hold time de escrita das RAM's
τ	61,5	83	105,5	Largura mínima do pulso de escrita das RAM's

Tabela 1

Os sinais PSMTBNA e PSMTANB controlam as saídas "3-state" das memórias de comutação.

Os registradores do "Gerador de Endereçamento" são utilizados também para "bufferizer" o sinal

NECTX e gerar o sinal NECTI que controla o acesso ao enlace interno e ao "bus" de erro de paridade. Inicialmente o "bit" NECTX(i) do sinal NECTX, relativo ao canal i, é carregado no registrador de endereçamento de escrita. Quando ele é disponível na saída do mesmo é carregado, com a borda de subida de NHLEC no registrador de endereçamento de leitura de modo que o correspondente "bit" NECTI(i) é disponível durante todo o período de relógio de 4,096MHz, em que o bit L(i), lido da memória de comutação é disponível no registrador de saída.

VI.3.6 - Gerador de Fases

O esquema do bloco "Gerador de Fases" é mostrado na figura 6.8 . A placa ECT recebe 7 fases de sincronismo da placa CTR, cada uma das quais é "bufferizada" na entrada da placa por um inversor "schottky" (74S04). Os sinais NESC e NHLEC utilizados para habilitação de escrita nas memórias de comutação e multiplexação entre os registradores do bloco "Gerador de Endereçamento" respectivamente foram representados na figura 6.7 . Três inversores "Low power schottky" (74LS04) são utilizados para atrasar as subidas do sinal NESC e conseqüentemente aumentar a largura do pulso de escrita (representada como τ na figura 6.7) que deve ser maior que 55ns. O sinal NESC tem suas descidas definidas pelas subidas de P4B, de modo que a escrita nas memórias se dá aproximadamente no segundo "quadrante" de cada período de P4A. O endereçamento de escrita deve ser mantido após o fim do pulso de escrita (do sinal NESC) por mais o "Address Hold Time" (TWHA) das memórias que é, no pior caso, de 10 ns (na figura 6.7 representado por $\Delta 7$). Para garantir essa margem, as descidas do sinal NHLEC que a determinam são definidas pelas subidas do

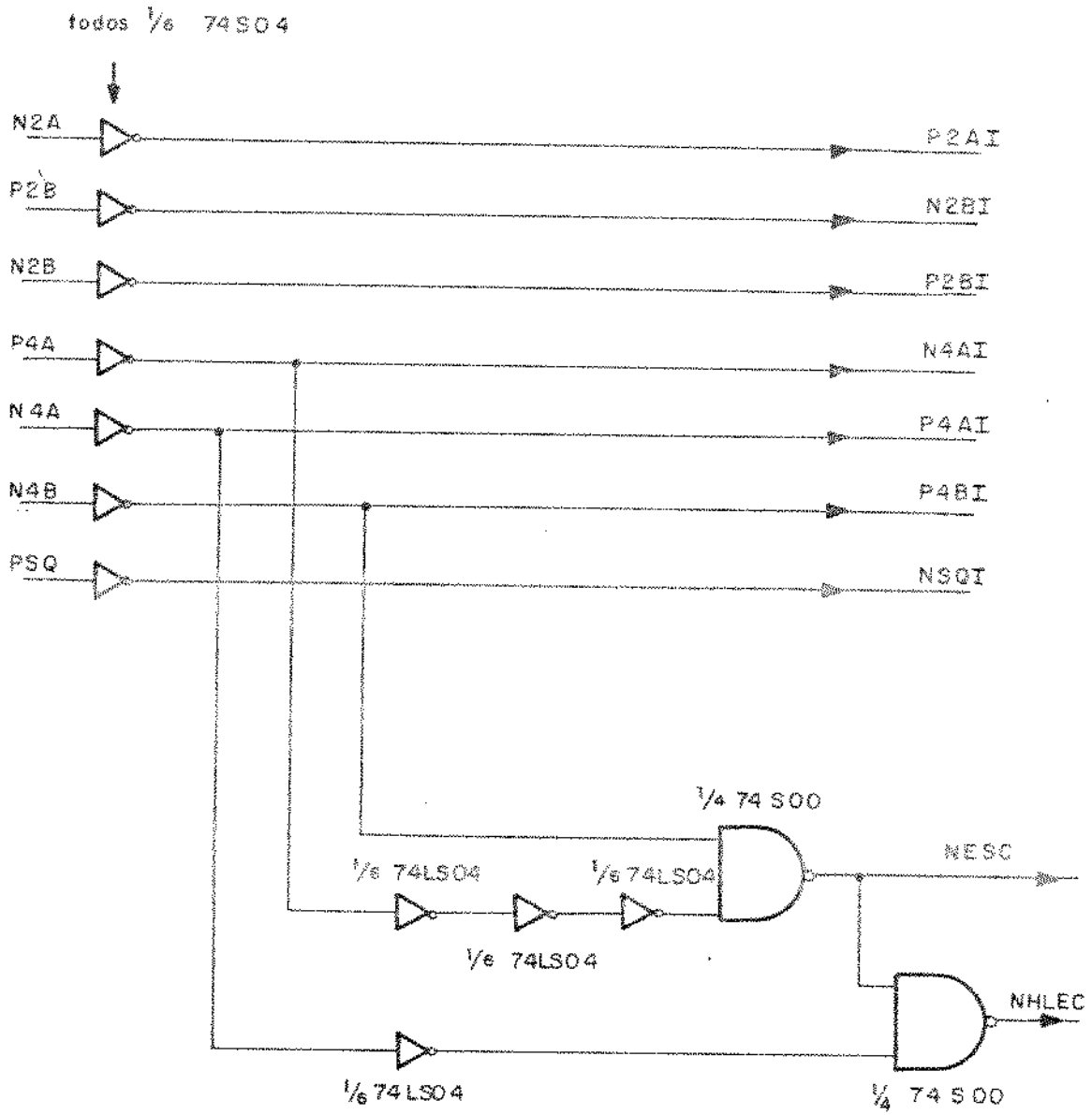


FIGURA 6.8

sinal NESC, já que:

$$NHLEC = \overline{NESC.P4A}$$

VI.3.7 - Detetor de Paridade de Saída

É formado por um detetor de paridade 74LS280 cuja saída acusa os canais de saída nos quais o número de "bit" "1" dentre os 9 de voz e paridade é ímpar, ou seja, há erro.

O sinal NECTI, fornecido pela CTR, através do "Gerador de Endereçamento" controla o acesso do sinal de erro ao bus de erro de paridade.

O sinal de erro de paridade vai servir de excitação ao circuito "Detetor do Número de Canal com Paridade Errada" (DNCPE) situada na CTR.

VI.4 - Implementação

A ECT foi implementada numa placa padrão tendo as seguintes características:

- Número de CI's		46
- Potência: Máxima		13,468W
	Típica	8,974W
- Número de Pinos: Para Cabo		48
	Externos	
	Painel Traseiro	36
	Alimentação (5 volts)	4
	Terra	4
	Total	92

CAPITULO VII

PLACA DE CONTROLE - CTR

VII.0 - Introdução

O objetivo da CTR é servir de interface entre um processador (CIS) e toda a matriz de comutação, ou seja, através dela será exercido todo o controle (de onde vem seu nome) de uma comutação telefônica e de todos os processos envolvidos com tal ação, envolvendo inclusive detecção de falhas. Além disso a CTR é responsável pela geração das fases de relógio utilizadas na MACO e pelo controle da expansão dos módulos da matriz.

Um módulo da matriz de comutação deverá conter apenas um CTR que proverá meios de controlar 2 SPS's e 8 EXT's.

VII.1 - Características

A seguir descrevem-se as funções exercidas pela CTR.

VII.1.1 - Geração de Fases

A CTR é responsável pela geração de fases de relógio para toda a matriz de comutação. No entanto estas fases deverão estar sincronizadas com o relógio da central. Para isso a CTR recebe do gerador de sincronismo um relógio e um sincronismo que na verdade se constituem num único sinal.

Esse sinal é uma onda quadrada de frequência 2,048MHz e a cada período de 8KHz falta-lhe um pulso que é o sincronismo de quadro; a cada 4096 quadros falta-lhe um outro pulso, que se segue ao de quadro, o que se constitui no sincronismo de superquadro. A figura 7.1 mostra o sinal enviado do GSN para a CTR, o que se convencionou chamar "Relógio com Buraco", onde X indica a posição do sincronismo de qua

dro, ou seja, esse pulso não existe a cada 8KHz.

O Y indica a posição do sincronismo de superquadro, ou seja, esse pulso não existe a cada 4096 quadros (512ms).

Por confiabilidade a CTR recebe esse sinal triplicadamente o que é feito da seguinte forma:

- cada um dos três GSN's envia a CTR, através de enlaces de pares balanceados, o relógio com "buraco".

A CTR utilizando detecção de maioria, obtém o sinal "votado" o que serve para sincronizar um "phase locked loop" (PLL). A presença do PLL se deve ao fato de eliminar "spikes" gerados pelo circuito "detetor de maioria". Além disso, o PLL oscila numa frequência de 16,384MHz para gerar as fases suficientes para a operação de todo um MC.

É provido de circuito que deteta falha em qualquer um dos 3 "Relógios com Buraco" entrantes ou no próprio detetor de maioria.

A CTR recupera o sincronismo de quadro e superquadro que serão utilizados pelo MC. Além disso outros dois sincronismos são gerados para serem enviados às IAP's; um deles se destina a um grupo de IAP's comuns a 4 enlaces PCM de voz, e o outro ao outro grupo. Um está defasado com relação ao outro de um pulso de 2,048MHz. Um outro sincronismo chamado de "defasado" é enviado à SPS e está atrasado com relação ao sincronismo recuperado de 1,5 pulso de 4,096MHz.

Relógio de 4,096MHz zero grau, 4,096MHz noventa graus, 2,048MHz zero grau, 2,048MHz noventa graus, são gerados a partir dos 16,384MHz do PLL. Esses relógios, invertidos e/ou não são distribuídos pelo MC., já que a CTR é responsável pela distribuição dos mesmos.

A figura 7.2 mostra todas essas fases.

Onde:

P2SA/B/C: Relógio com "buraco" enviado dos GSN's para a CTR.

PSQ : Sincronismo de quadro recuperado na CTR.

O sincronismo de superquadro recuperado na CTR, se encontra na mesma posição, embora ocorra com menos frequência, evidentemente.

NSQSA : Sincronismo de quadro/superquadro enviado ao grupo de IAP's comuns a 4 enlaces PCM de voz.

NSQSB : Idem ao anterior, só que para o outro grupo de IAP's.

P4A : Relógio de 4,096MHz com zero grau de defasagem.

P4B : Relógio de 4,096MHz com noventa graus de defasagem.

P2A : Relógio de 2,048MHz com zero grau de defasagem.

P2B : Relógio de 2,048MHz com noventa graus de defasagem.

Os sinais P2AAB, N2AAB, P2BAB, N2BAB são exatamente iguais aos P2A, N2A, P2B, N2B respectivamente, mas recebem nomes diferentes devi-

"RELOGIO COM BURACO"



FIGURA 7.1

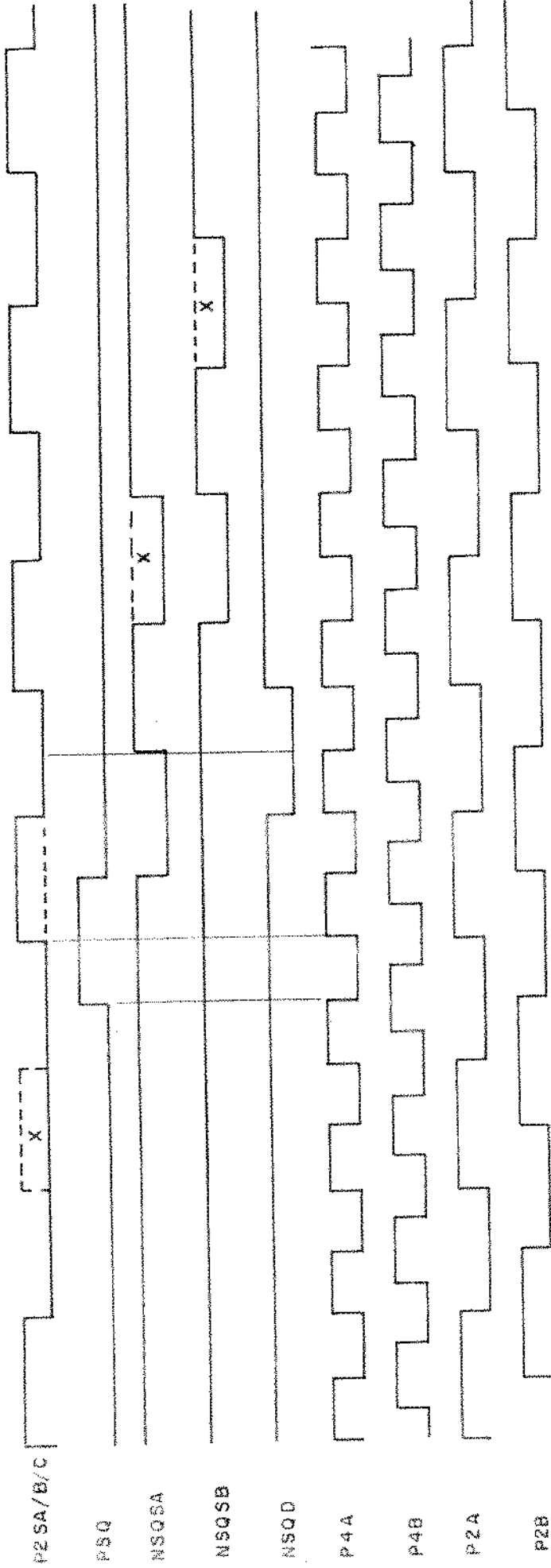


FIGURA 7.2

do ao fato de eles definirem, através da fiação do painel traseiro, quem é SPS-0 ou SPS-1. Assim se no pino XYZ da SPS-0 entra o sinal P2AAB, nesse mesmo pino da SPS-1 entrará o sinal negado, ou seja, N2AAB e assim por diante. Deve-se chamar a atenção que isto é válido apenas para os sinais cujos nomes terminem em AB como os acima citados. A explicação dessa necessidade está descrita no capítulo V (Placa SPS).

A seguir têm-se uma tabela dos sinais e das placas que os utilizam internamente.

SINAIS	CTR	ECT	SPS-0	SPS-1	CVS
PSQ		x			x
NSQ	x				
NSQD			x	x	
NSQA			x	x	
NSQB			x	x	
P4A	x	x			
N4A	x	x	x	x	
P4B	x				
N4B	x	x			
P2A					
N2A		x			x
P2B	x	x	x	x	
N2B	x	x	x	x	x
P2AAB			x	x	
N2AAB			x	x	
P2BAB			x	x	
N2BAB			x	x	

Tabela 1

Os sinais que são utilizados internamente à CTR e que vão para outras placas deverão utilizar "buffers" diferentes.

VII.1.2 - Interface com CIS

A CTR, sendo a interface entre a CIS e a matriz de comutação, provê meios para que esse processador possa acessar todos os recursos da mesma, isto é, a Interface com a CIS deve conter os meios para que o processador da CIS possa, através de interface 1, escrever nos registros e ler dos registros da CTR.

VII.1.3 - Memórias de Controle

A CTR conterá 3 grupos de memórias:

- Memória de Controle de Comutação - MCC
- Memória de Controle de Atenuação - MCA
- Memória de Controle das IAP's - MCI

Essas memórias controlam todos os 512 canais de um MC. . Dessa forma a MCC tem 512x14 bits. Um dos 14 bits é o de paridade. Os outros 13 são os endereços de leitura das memórias de comutação das ECT's, onde 3 seleciona rão 1 das 8 placas de ECT, 1 indica um dos 2 grupos de memórias de comutação dentro de uma ECT, e os 9 restantes apontam para um dos 512 canais armazenados dentro do grupo selecionado.

A MCA terá 512x6 bits. Quatro dos 6 bits são o código de atenuação; 1 é de paridade desses quatro, e o outro é o de "habilitação de captura de canal com paridade errada na entrada da SPS".

O código de atenuação é enviado às SPS's do

respectivo módulo.

A MCI terá 512x5 bits, onde 4 são o endereço da IAP, que são enviados às SPS's do respectivo módulo, e um de paridade desses endereços.

Todas essas memórias são lidas sequencialmente através de um contador módulo 512 que opera a uma frequência de 4,096MHz. A escrita nas mesmas ocorre sob a intervenção do processador (CIS) e constitui-se num processo exclusivo, o que significa que uma vez por ele selecionada uma das memórias, a escrita ocorrerá apenas nela. O método utilizado para se escrever na memória é o da comparação, ou seja, dado que se queira escrever na posição X de uma delas, apenas no instante de ocorrência do endereço X, fornecido pelo contador, ela será escrita. Um circuito de verificação de escrita é provido para cada uma das memórias; uma vez ocorrida uma escrita ele registra o conteúdo armazenado naquele instante e o deixa disponível para ser lido pela CIS.

É verificada a paridade de todos esses dados, à medida que as memórias forem lidas; o alarme deverá ser armazenado e colocado à disposição para ser lido e/ou "apagado".

VII.1.4 - Inversor de Paridade

Um circuito é provido para, dado um número de um canal, inverter a paridade do mesmo no instante da sua ocorrência, dado que o processador tenha habilitado essa inversão.

Assim um sinal é enviado às SPS's que o amostrarão no instante conveniente. A maneira de inibir esse processo é enviar um "desabilita"

pelo processador para a CTR.

VII.1.5 - Detetor do Número de Canal com Paridade Errada (DNCPE)

O DNCPE é habilitado ou desabilitado pelo processador. Supondo que esse circuito tenha armazenado um número de canal x num processo anterior, a partir do instante em que o circuito foi habilitado inicia-se a procura de um canal cuja paridade esteja errada começando-se pelo canal $x+1$, podendo inclusive voltar a pegar o canal x , se esse estiver com a paridade errada e todos os outros canais não estiverem. Uma vez detetado esse número de canal o circuito "para" e o deixa disponível para leitura, voltando a operar depois de habilitado.

Na CTR dois DNCPE deverão ser providos:

- um para canais na entrada da SPS.
- outro para canais na saída da ECT.

O correspondente da ECT tem como sinal de ativação o alarme de paridade vindo da saída da ECT; o da SPS é excitado pelo alarme de paridade vindo da entrada da SPS juntamente com um bit de "habilita" que é armazenado em cada posição da memória de controle de atenuação.

VII.1.6 - Alarmes de Paridade

Todos os alarmes de paridade da MACO são acessados pelo processador através da CTR, isto é, são lidos ou limpos convenientemente.

Esses alarmes estão espalhados pela MACO, como é o caso dos contidos na ECT, embutidos em outras funções, como é o caso dos DNCPE já descritos, ou simplesmente armazenados diretamente

te na CTR como é o caso a seguir.

A CTR provê registros para armazenar, deixar disponíveis para leitura e limpeza, alarmes de paridade correspondentes à saída das SPS's (SPS-0 e SPS-1). O sinal de alarme chega à CTR através de um único fio onde são multiplexados os sinais das SPS's.

VII.1.7 - "Strap"

Quatro chaves de 2 posições servem de "strap" (veja capítulo IV). A palavra formada por essas chaves está disponível para leitura do processador.

Essas chaves compõem o que foi chamado de "strap hardware-software" (SHS).

O bit menos significativo do "strap" é enviado à ECT e se constitui no "strap hardware" já que este bit seleciona a borda (de subida ou descida) do relógio que copia a informação que chega à ECT, vinda da SPS. Os outros 3 bits constituem o "strap software" que é na verdade o deslocamento que deve ser dado ao dado de escrita na Memória de Controle de Comutação.

VII.2 - Estrutura Interna

As funções desempenhadas pela CTR são praticamente independentes entre si. Assim, as funções descritas no item anterior (VII.1) podem ser desempenhadas por blocos relativamente independentes entre si.

A CTR é composta pelos seguintes blocos:

- Interface com CIS
- Gerador de Fases
- Inversor de Paridade

- Detetor do Número do Canal com Paridade Errada
- Alarmes
- "Strap"
- Memórias de Controle

Devido ao assincronismo entre o "software" de controle dos processos de comutação e o instante da ocorrência dos canais na MACO, no detalhamento dos circuitos que compõem a CTR identificou-se um outro bloco para compatibilizar tais ações, qual seja, o bloco "Escrevedor nas Memórias de Controle".

A figura 7.3 mostra o diagrama em blocos da CTR.

VII.3 - Descrição do Funcionamento

Descrevem-se a seguir os blocos que compõem a CTR:

VII.3.1 - Interface com CIS

A CTR se liga à CIS através da interface-1 cujos recursos estão descritos no item IV.1 .

A figura 7.4 mostra com algum detalhe o bloco "Interface com CIS".

Todos os sinais que vão da CIS para CTR e vice-versa passam por um "buffer" inversor ou não de acordo com a conveniência.

NDAD13-é o ponteiro de escrita; dessa forma todos os 16 possíveis acessos de escrita em registros da CTR são feitos através desse sinal que habilitará um demultiplex que será descrito adiante;

NDAD12-é o ponteiro de leitura; assim todos os 16 possíveis acessos de leitura dos registros da CTR são feitos através desse sinal que ha-

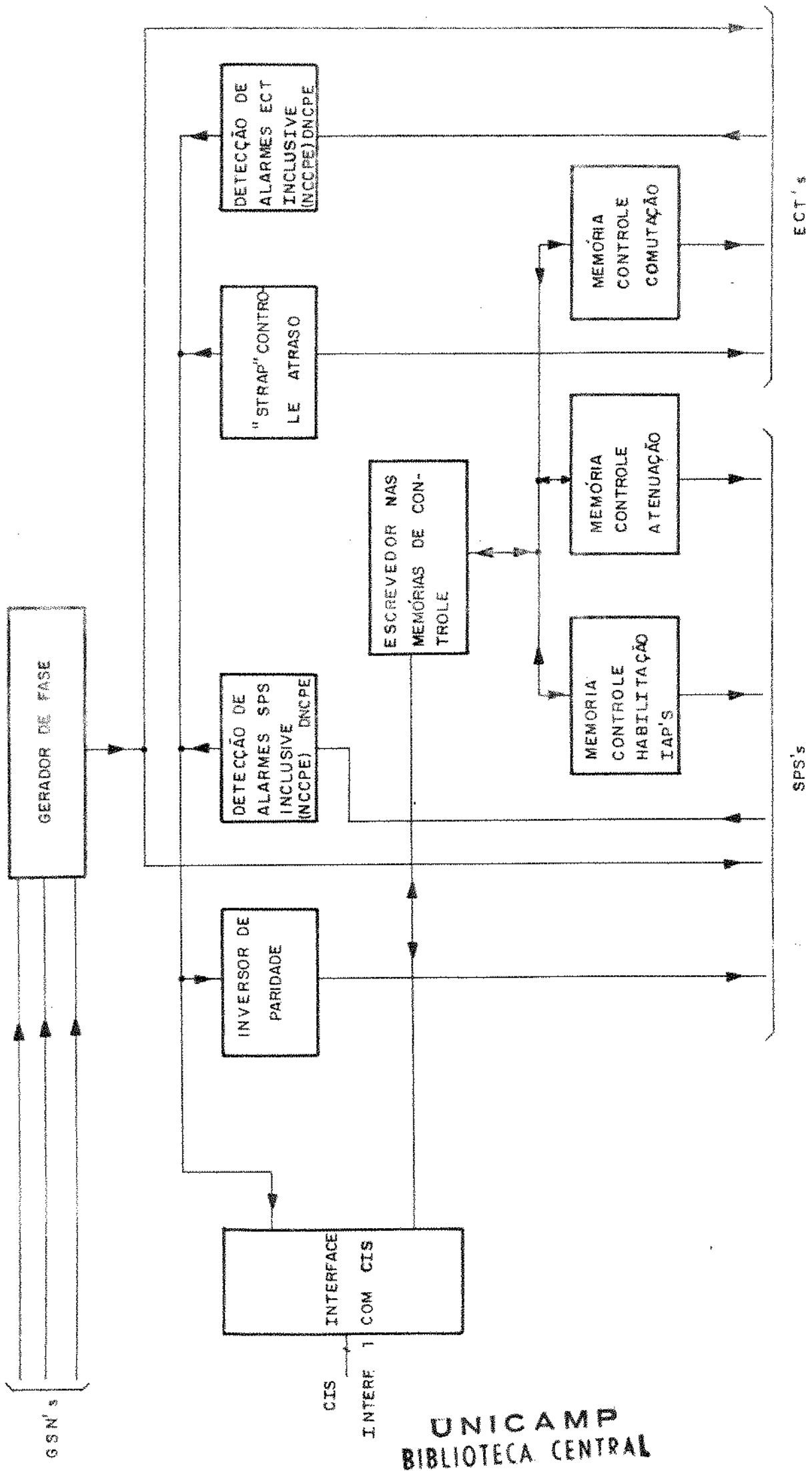


FIGURA 7.3

UNICAMP
BIBLIOTECA CENTRAL

bilitará um demultiplex e um multiplex que se rão descritos adiante;

NEAPD, NT2, NT1, NT0-são sinais que endereçam um registro dentro da CTR para escrita ou leitura, sendo que eles se apresentam respectivamente do mais para o menos significativo;

NWE-é um sinal de escrita que nesse tipo de acesso pode ter de 1 a 8 pulsos sincronizados com o relógio P2B; o número de pulsos é programável em software;

NEAPC, NEAPB, NEAPA-endereçam um bit dentro de um registro selecionado para leitura;

NDADAR-é a via de recepção de dados, ou seja, é a via pela qual os dados chegam à CTR vindos da CIS;

NDADAT-é a via de transmissão de dados, ou seja, é a via pela qual os dados vão da CTR para CIS.

Da maneira como está implementada a CTR, apenas seis registros são acessados para serem escritos; assim um demultiplex 3 x 8 foi utilizado, sendo que 2 de seus pinos de saída estão abertos. A escrita de dados se processa da seguinte forma:

- o ponteiro NDAD13 é ativado (nível lógico "0") e habilita um dos 3 "enables" do demultiplex 3 x 8;
- o bit mais significativo do endereço do registro dentro da placa (NEAPD) é ativado habilitando o segundo "enable" deste demultiplex;
- os bits NT2, NT1, NT0 endereçam o demux;

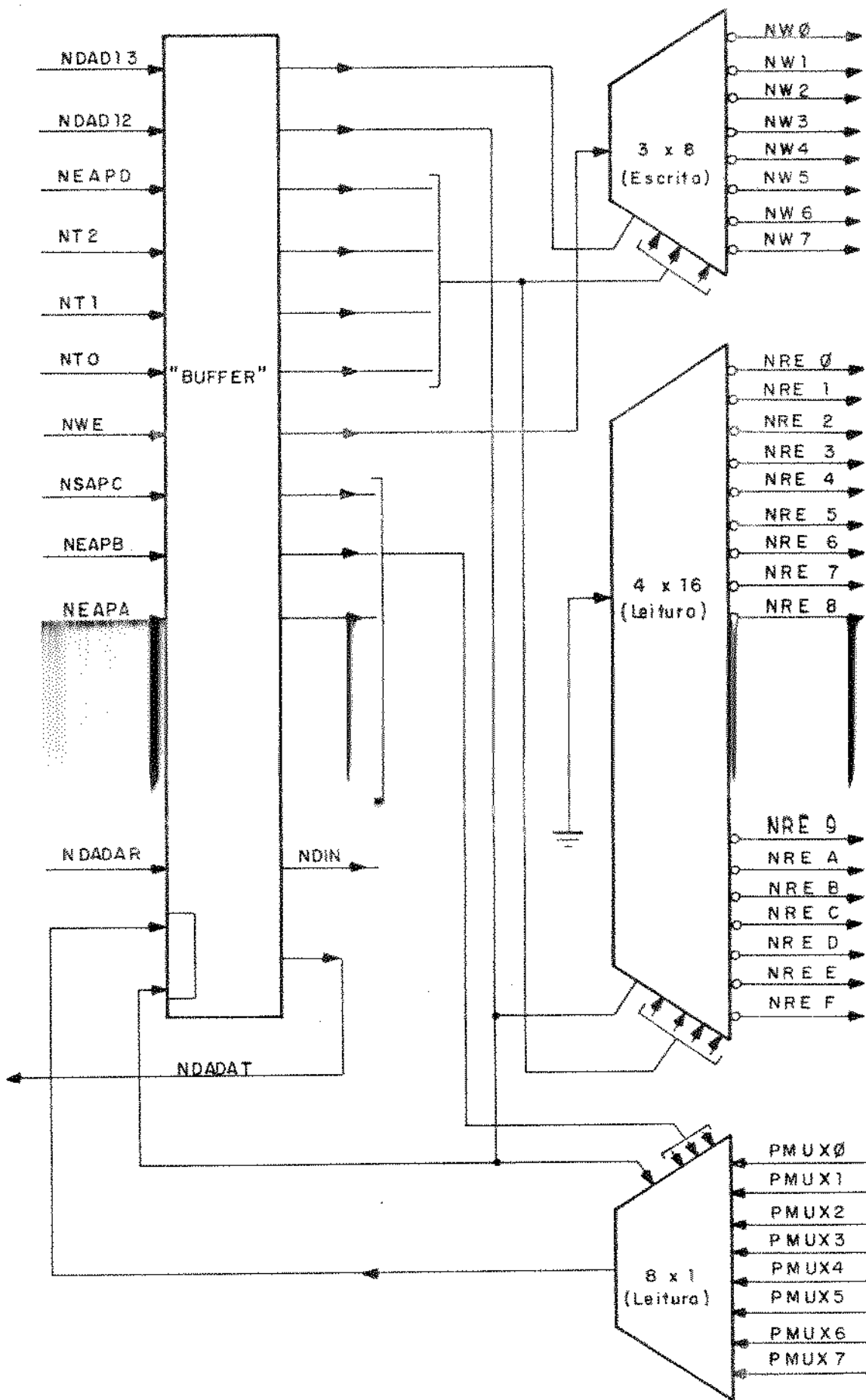


FIGURA 7.4

- os dados começam a ser recebidos pela via de recepção (NDADAR) à medida que vão sendo enviados pulsos de escrita (NWE) que habilitam a terceira entrada de "enable" do demux;

Assim os sinais NW0, 1, ... , 7 serão pulsos que terão a duração do NWE. Os pulsos NW0, 1, ... , 7 serão os "clocks" dos registros de escrita, onde estarão armazenados os dados enviados pela CIS.

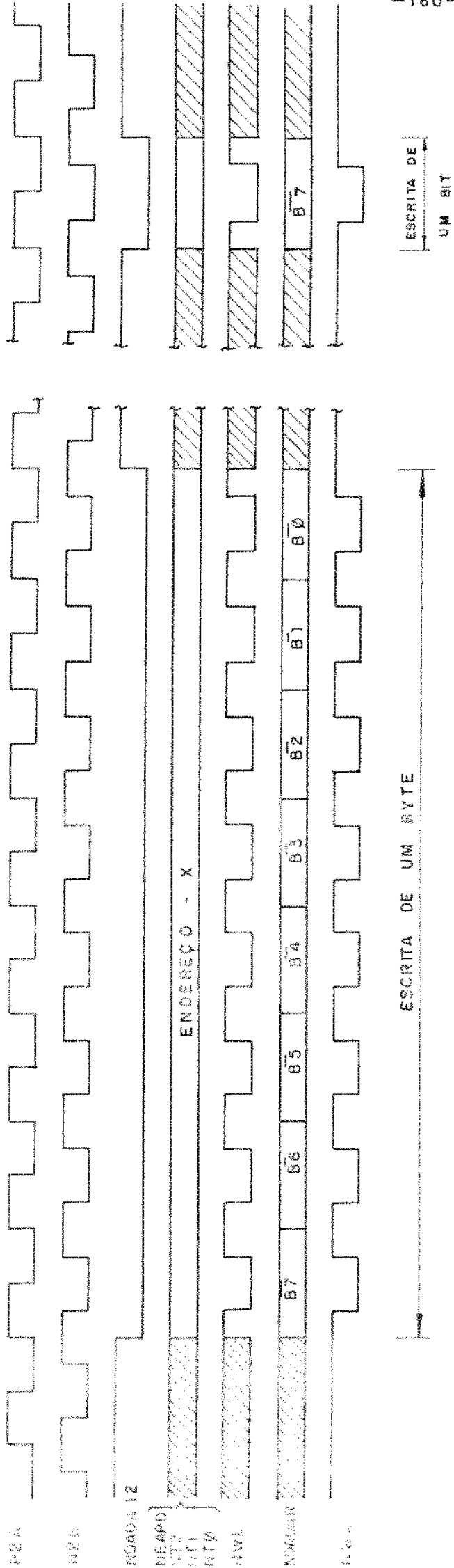
É interessante ressaltar que pelo fato da interface-1 ser do tipo serial, um registro de escrita pode ser acessado várias vezes através do mesmo endereço, sem que isto venha prejudicar um dado armazenado anteriormente no mesmo. O tamanho do registro determina o tipo de acesso (bits/acesso) e o número deles feitos no mesmo. Assim um registro de 9 bits deve ter um acesso de 8 bits e mais um de um bit; um registro de 16 bits deve ter 2 acessos de 8 bits cada.

A figura 7.5 mostra o diagrama de tempo de uma escrita.

A CTR coloca à disposição da CIS 16 registros para serem lidos. As 8 saídas desses registros formam um "bus-three-state" nomeado de PMUX0, 1, ... , 7; esse bus constitui a entrada de um multiplex 8 x 1, cuja saída fornece dados seriais para serem lidos pela CIS. Na verdade essa saída é "bufferizada" para formar o sinal NDADAT, que é uma via de transmissão de dados "three-state". A leitura de dados se processa da seguinte forma:

- o ponteiro NDAD12 é ativado (nível lógico 0) e habilita um dos 3 "enables" do demulti

INTERFACE COM CIS - ESCRITA DE UM BYTE ou UM BIT.



X = 0, 1, ..., 15

NEAPD, NT2, NT1, NT0, CÓDIGO DE X do MAIS para o MENOS significativo.

FIGURA 7.5

plex 4 x 16 da figura 7.4; além disso o multiplex 8 x 1 é habilitado e o sinal NDADAT sai da condição de "three-state" formando a via de transmissão de dados;

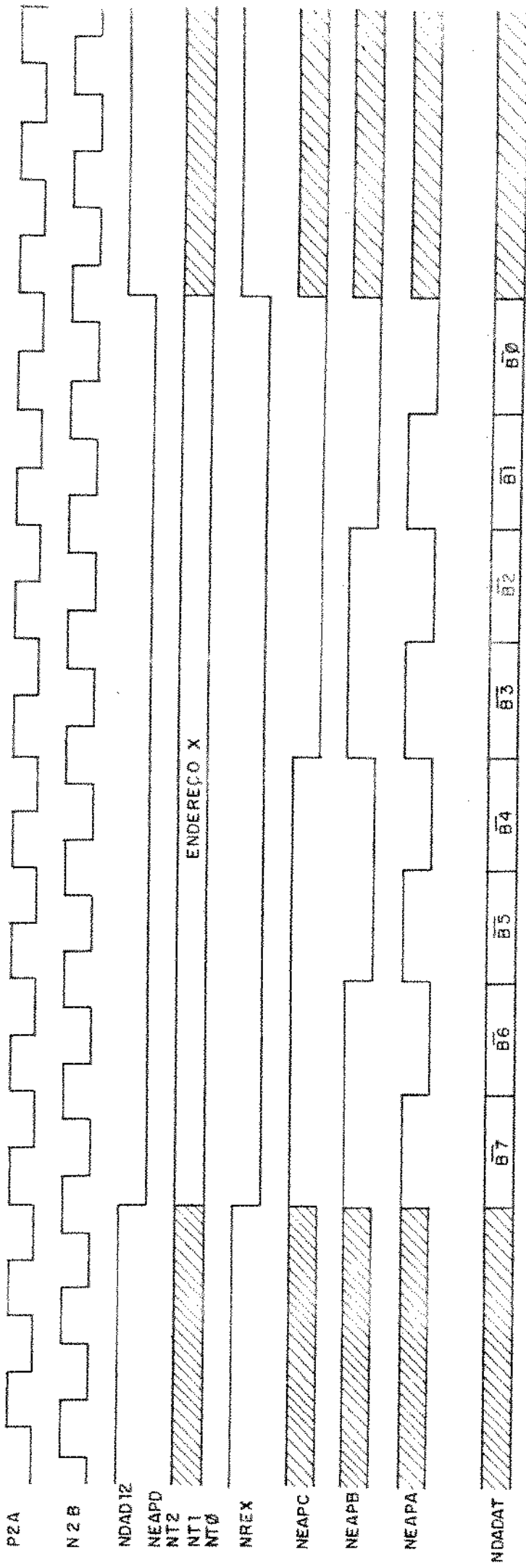
Os bits de endereço NEAPD, NT2, NT1 e NT0 fazem com que um dos sinais NRE0,1,...,F seja ativado. Cada sinal NRE0,1,...,F é ligado a um "output control" do registro de leitura respectivo, o que significa que uma vez ativado, esse registro toma a via PMUX0, 1, ..., 7, mostrando os seus dados. A partir daí a variação dos sinais NEAPC, NEAPB, NEAPA faz com que cada uma das entradas do mux 8 x 1 seja mostrada na saída, ou seja, os dados disponíveis na via PMUX0, 1, ..., 7, vão aparecendo sequencialmente em NDADAT e enviados à CIS. Isso pode ser visto no diagrama de sinais no tempo mostrado na figura 7.6.

Deve ser salientado que os sinais NW0, 1, ..., 7 correspondem aos endereços 0, 1, ..., 7 respectivamente dentro da CTR dado que o ponteiro NDAD13 (endereço 13) tenha sido acionado. Da mesma forma com os sinais NRE0, 1, ..., F, quando NDAD12 (endereço 12) tenha sido ativado.

O mapeamento dos registros de escrita da CTR encontra-se na tabela 2.

Na tabela 2, B7, 6, ..., 0 é o "byte" preparado em "software" no processador para ser escrito nos registros da CTR através da interface-1. Os nomes contidos nessa tabela e que estão abaixo de B7, 6, ..., 0 são os sinais obtidos nos registros depois de serem escritos através dos respectivos pulsos NW0, 1, ..., 5.

INTERFACE COM CIS LEITURA DE BYTE



$B_i = \text{PMUX}_{i,j} = 0, \dots, 7$

$X = 0, 1, \dots, 15$

NEAPD, NT2, NT1, NT0, - CODIGO DE X, do MAIS para o MENOS significativo.

FIGURA 7.6

Seguem-se as descrições desses sinais:

PD8, 7, ..., 0:

- Endereço de escrita das memórias de controle (Comutação, Atenuação, IAP) ou o número do canal cuja paridade deve ser invertida. Os bits aqui descritos aparecem na ordem decrescente de sua significância;

PMCVAIL, 0:

- Número da memória de controle a ser acessada onde:

PMCVAIL	PMCVAI0	Memória de Controle
0	0	Comutação
0	1	Atenuação
1	0	IAP
1	1	X

De acordo com os tipos de acessos citados acima, os bytes escritos através de NW1 tomam significados diferentes. Assim descrevem-se os seus significados para o acesso em cada uma das memórias.

- Acesso à Memória de Controle de Comutação:

PDMCC, ..., 9 - Número do módulo a que pertence o canal a ser comutado;

PDMC8, ..., 4 - Número do canal em um enlace a ser comutado;

PDMC3, ..., 0 - Número do enlace a que pertence o canal a ser comutado;

- Acesso à Memória de Controle de Atenuação:

PDMC4, ..., 1 - Código de atenuação

PDMC0 - Habilita o DNCPE relativo à SPS

a observar a paridade de um dado canal;

- Acesso à Memória de Controle da IAP:

PDMC4,...,1 - Número da IAP a ser habilitada;

PDMC0 - Valor zero;

Para qualquer tipo de acesso vale o sinal seguinte:

PPMC - Paridade do dado escrito nesse registro retirando-se o número da memória;

NENPE - Habilita captura do canal com paridade errada na entrada da SPS através da escrita do valor "0" (desabilita com "1");

NENPS - Habilita captura do canal com paridade errada na saída da ECT através da escrita do valor "0" (desabilita com "1");

O sinal NW2 inicializa o "circuito escrevedor nas memórias de controle"; o NW3 limpa os alarmes de paridade das memórias de controle e saída da SPS-0 e SPS-1.

Todos os sinais acima foram escritos na ordem decrescente da significância dos bits.

A tabela 3 apresenta o mapeamento dos registros de leitura da CTR.

Na tabela 3 B7,6,...,0 é o byte armazenado em "software" no processador depois de lido da CTR.

Os nomes contidos nessa tabela e que estão abaixo de B7,6,...,0 são os sinais dos registros a serem lidos do seu respectivo "buffer"

através dos sinais NRE0, 1, ..., F.

Os sinais NRE0, 1, ..., 7 são destinados a leitura de alarmes de paridade armazenados nas ECT's 0, 1, ..., 7 respectivamente. Assim existe um "bus three-state" de 4 bits ao qual se ligam todas as oito ECT's de um módulo de MC. Dessa forma quando o sinal NREN é acionado a ECTN (N = 0, 1, ..., 7) toma esse "bus" e seus dados são lidos pela CIS através da CTR, já que esse "bus" entra na CTR através de um "buffer", cujas saídas ajudam a formar o "bus" PMUX0, 1, ..., 7 já anteriormente citado. Qualquer sinal NREN que acione uma ECTN, também o faz na CTR, de modo que o "buffer" destinado a "receber" os sinais da ECT toma o "bus" PMUX0, 1, ..., 7 para que esses sinais sejam lidos.

Seja N o número da ECT (N = 0, 1, ..., 7); seguem-se as descrições dos sinais:

- PPETZAA - Alarme de paridade na entrada da ECTN referente à SPS-0 do módulo 2N;
- PPETZAB - Alarme de paridade na entrada da ECTN referente à SPS-1 do módulo 2N;
- PPETZBA - Alarme de paridade na entrada da ECTN referente à SPS-0 do módulo 2N+1;
- PPETZBB - Alarme de paridade na entrada da ECTN referente à SPS-1 do módulo 2N+1;
- PMCVC, ..., 9 - Número do módulo a que pertence o canal comutado;
- PMCV8, ..., 4 - Número do canal dentro de um enlace comutado;

TABELA 3

LEITURA	B7	B6	B5	B4	B3	B2	B1	B0
NRE0	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE1	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE2	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE3	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE4	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE5	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE6	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE7	-	-	-	-	PPETZBB	PPETZBA	PPETZAB	PPETZAA
NRE8	PMVC	PMCVB	PMCVA	PMCV9	PMCV8	PMCV7	PMCV6	PMCV5
NRE9	-	-	PMCV4	PMCV3	PMCV2	PMCV1	PMCV0	PPMCV
NREA	-	-	PMCA4	PMCA3	PMCA2	PMCA1	PMCA0	PPMCA
NREB	-	-	-	PMCI4	PMCI3	PMCI2	PMCI1	PPMCI
NREC	-	PHCONT	PFAREL	PPSPSA	PPSPSB	PPBOBY	PPES	PPEE
NRED	PCPEE7	PCPEE6	PCPEE5	PCPEE4	PCPEE3	PCPEE2	PCPEE1	PCPEE0
NREE	PCPES8	-	-	PSTRAP3	PSTRAP2	PSTRAP1	PSTRAP0	PCPEE8
NREF	PCPES7	PCPES6	PCPES5	PCPES4	PCPES3	PCPES2	PCPES1	PCPES0

- PMCV3, ..., 0 - Número do enlace a que pertence o canal comutado;
- PPMCV - Paridade de PMCVC, ..., 0;
- PMCA4, ..., 0 - Código da atenuação;
- PPMCA - Paridade do código de atenuação;
- PMCI4, ..., 1 - Número da IAP;
- PPMCI - Paridade do número da IAP;
- PPEE - Alarme de paridade na entrada das SPS's; "flag" que em "1" indica a captura do canal com paridade errada na entrada das SPS's.
- PPES - Alarme de paridade na saída das ECT's; "flag" que em "1" indica a captura do canal com paridade errada na saída das ECT's;
- PPBOBY - Alarme de paridade dos dados das 3 memórias de controle;
- PPSPSA - Alarme de paridade na saída da SPS-0;
- PPSPSB - Alarme de paridade na saída da SPS-1;
- PFAREL - Alarme de relógio;
- PHCONT - "flag" que em "1" indica que uma dada memória de controle já foi escrita;
- PSTRAP3, ..., 0 - São os pontos de programação "por contato" que adaptam a MACO a diferentes atrasos de transmissão nos enlaces intermodulares;
- PCPEE8, ..., 4 - Número do canal dentro de um enlace, cuja paridade está errada capturado na entrada da SPS;

PCPEE3,...,0 - Número do enlace cujo canal está com paridade errada capturado na entrada da SPS.

PCPES8,...,4 - Número do canal dentro de um enlace, cuja paridade está errada capturada na saída da ECT;

PCPES3,...,0 - Número do enlace cujo canal está com paridade errada capturado na saída da ECT.

Todos os sinais aqui descritos o foram na ordem decrescente da significância de seus bits.

Pelos diagramas de tempo das figura 7.5 e 7.6 mostra-se que os dados e os endereços da interface 1 estão sincronizados com o relógio P2A enquanto que o pulso de escrita está sincronizado com o relógio P2B.

VII.3.2 - Gerador de Fases

Afim de gerar fases sincronamente com a central, esse bloco recebe sincronismo de quadro, sincronismo de superquadro e relógio de 2,048 MHz; na verdade esses três sinais são enviados pela GSN através de um meio físico único, ou seja, os sincronismos e relógio chegam à CTR de cada GSN por um único enlace. Isso é conseguido da seguinte maneira:

Uma onda quadrada de 2,048MHz perde um pulso a uma frequência de 8KHz, o que dá o sincronismo de quadro; a cada 4096 quadros falta a essa onda um outro pulso, que se posiciona logo após ao "sincronismo de quadro", o que se constitui no sincronismo de superquadro.

Esse é o chamado "relógio com buraco" que po-

de ser visto na figura 7.1 .

Esse sinal é transmitido através de pares balanceados já que o GSN pode se situar em gavetas diferentes em relação à gaveta de um dado MC. A figura 7.7 mostra com algum detalhe o bloco "Gerador de Fases".

VII.3.2.1 - Detetor de Maioria e Monitoração de Erro

Por confiabilidade esse sinal é triplicado, ou seja, cada um dos três GSN's envia um "relógio com buraco" para a CTR através de enlaces de pares balanceados. Esses sinais são recebidos na CTR por três "line-receivers" em cujas saídas têm-se os sinais com nível TTL. Esses sinais são chamados P2SA, P2SB e P2SC.

Caso haja falha em um dos relógios, o módulo ainda deve operar, isto é, se 3 ou 2 relógios estão corretos (portanto a maioria) um deles deverá servir de referência para a geração de fases internas. Para isto os três "relógios com buraco" constituem as entradas do circuito "detetor de maioria" que obedece à especificação imposta. A função "deteção de maioria" é dada pela seguinte equação booleana:

$$V = A.B + A.C + B.C$$

onde A, B, C são os sinais de entrada do detetor de maioria e V é a saída.

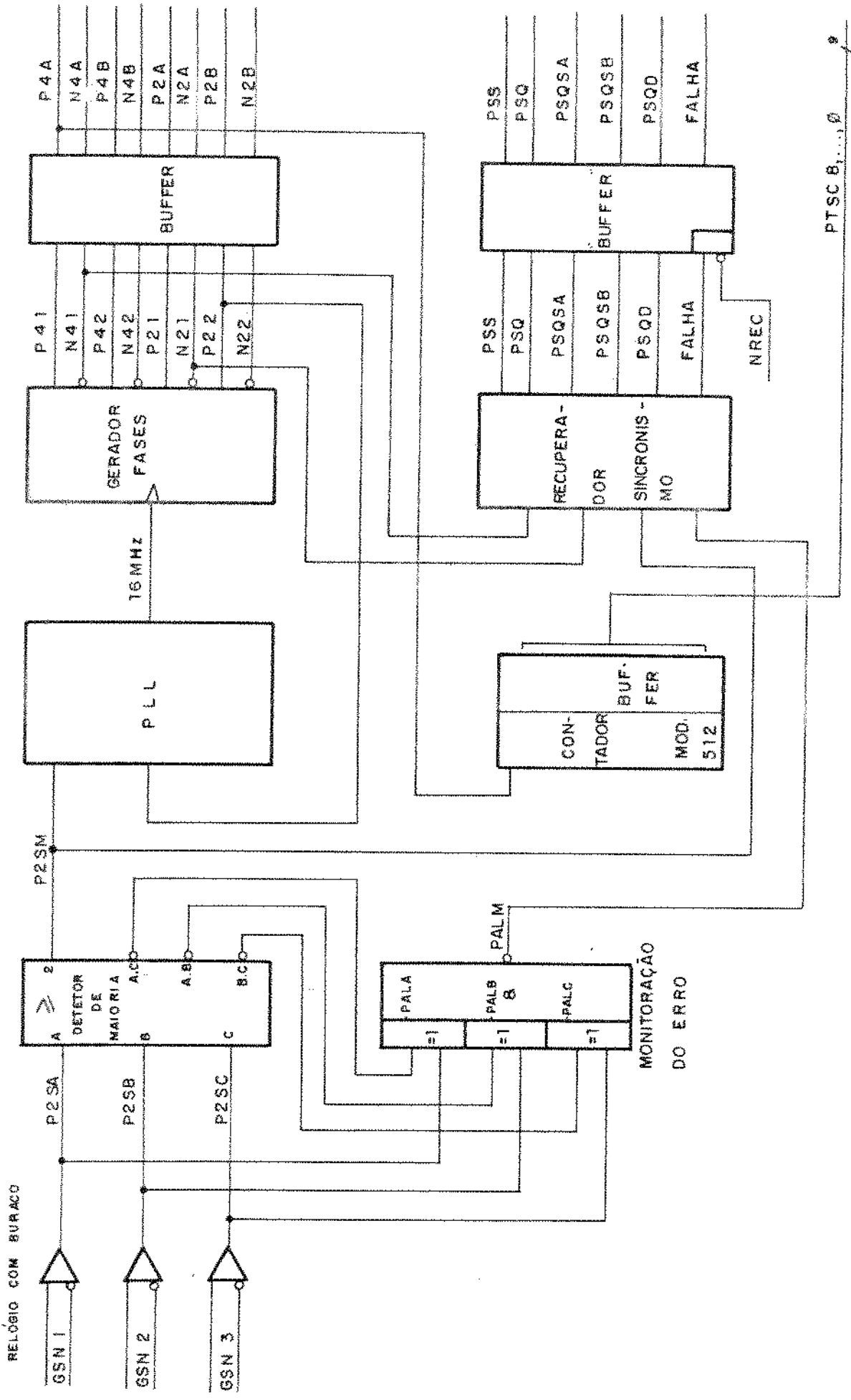


FIGURA 7.7

Uma vez "votada a maioria" o sinal de saída do detetor (P2SM) será a referência de um PLL que oscilará em 16,348MHz, que é a frequência requerida para serem separadas as fases convenientes.

Os 16,348MHz servirão de excitação para um circuito Gerador de Fases mostrado no diagrama em blocos deste item. Este circuito é responsável pela geração de 8 fases de relógio, sendo 4 normais e 4 invertidas.

Essas fases são:

- 4,096MHz zero grau nomeado P41 o normal e N41 o invertido;
- 4,096MHz noventa graus nomeado P42 o normal e N42 o invertido;
- 2,048MHz zero grau nomeado P21 o normal e N21 o invertido;
- 2,048MHz noventa graus nomeado P22 o normal e N22 o invertido;

Os sinais acima citados são "bufferizados" para uso interno à CTR e para distribuição pelas placas que deles necessitem; no entanto para um ou outro fim os "buffers" utilizados são distintos.

Geradas todas as fases de relógio uma delas vai ser utilizada para recuperar o sincronismo.

Assim para se obter um pulso de

sincronismo de 244 ns, um relógio de 4,096MHz (N41) é utilizado, e então recupera-se o sincronismo de quadro (PSQ) e superquadro (PSS). Além disso um sincronismo de quadro deslocado (PSQD) é obtido para ser enviado às SPS's. Outros 2 sincronismos (PSQSA e PSQSB) são gerados para serem enviados às SPS's de onde partirão para as IAP's. Esses sinais conterão um pulso de quadro e outro de superquadro além de estarem defasados de um período de relógio de 2,048MHz um do outro. O PSQSA é enviado para o grupo de IAP's comuns aos enlaces de número 0,4, 8,12 e 1,5,9,13, enquanto que PSQSB vai para o grupo de IAP's comuns aos enlaces de número 2,6,10,14 e 3,7,11,15.

A detecção de falhas nas fases ou na detecção de maioria é feita da seguinte maneira:

- Seja A, B, C as fases que chegam à CTR.

Acusar-se-á falha se qualquer uma delas for diferente das duas outras. A tabela verdade abaixo mostra essa situação onde F é a função falha:

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

A monitoração de erro é feita através do sinal PALM, que na ausência de falha está em zero. Este sinal assumirá o valor 1 quando da ocorrência das seguintes falhas:

a) qualquer uma das fases de relógio incluindo:

- falha no GSN;
- transmissão do GSN à CTR;
- falha no "line-receiver" da CTR.

b) qualquer produto da função detecção de maioria.

Como a frequência do sinal monitorado (relógio com buraco) é 2,048 MHz a amostragem da falha deve ser feita no dobro da frequência (4,096 MHz) para que se garanta que tanto o pulso positivo quanto o negativo esteja sendo observado, isto é, caso haja falha no primeiro ou segundo semiciclo esta será detectada. Isto é conseguido como mostra a figura 7.8 .

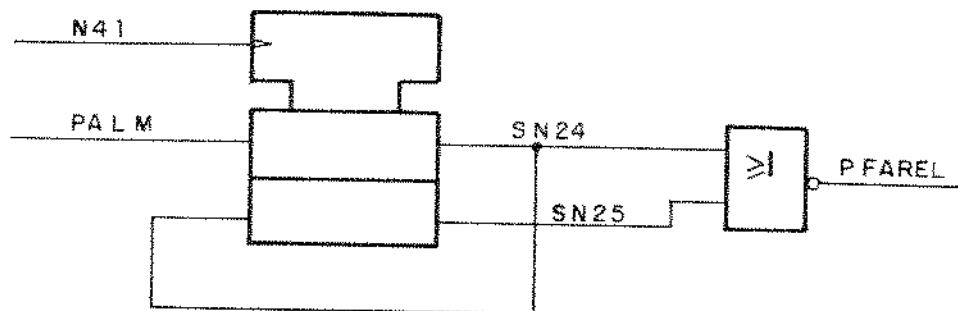


Figura 7.8

Portanto um nível "um" em PALM fará com que PFAREL vá a "zero" o que expressa a situação de falha. Este sinal aciona um "flip-flop", que armazena a falha.

A informação de falha, PFAREL, é colocada através do bloco "Interface com a CIS" à disposição da CIS que poderá lê-la a qualquer instante através da ativação do sinal de leitura NREC.

VII.3.2.2 - Contador

A geração de fases também é responsável pelo provimento de endereços sequenciais de leitura para as memórias de controle. Um módulo da MACO controla 16 enlaces de 32 canais PCM a 2,048MHz o que dá um total de 512 canais que devem, portanto, ser monitorados a 4,096MHz. Disso conclui-se que as memórias de controle deverão ser "varridas" por 512 endereços a uma frequência de 4,096MHz. O órgão responsável pelo fornecimento dos endereços a essas memórias é um contador síncrono módulo 512 (contador mestre) que é sincronizado pelo sinal de sincronismo de quadro (NPSQ). Isto significa que a cada período de 8KHz ele é carregado com o valor "511" a partir do qual ele passa a contar. Esse número 511 foi determinado como se segue (veja Anexo 1):

- relativamente ao sinal de sincronismo de quadro recuperado nas placas de terminais que tratam o enlace zero, foi fixado o instante de ocorrência do canal zero na entrada das mesmas; através da construção de um "timing" que leva em conta todo o caminho percorrido por esse canal, desde a matriz de comutação até às placas de terminais, determinou-se sua posição no tempo na correspondente via de recepção da SPS; pela correlação existente entre o endereço de leitura da Memória de Controle de Comutação, dado pelo contador mestre, e a ocorrência dos canais na saída da MACO, determinou-se o valor de sua contagem quando acontece um sincronismo de quadro na CTR; pelo "timing" do Anexo 1 esse valor é 511, que é o número com que o contador mestre deve ser carregado no instante do sincronismo de quadro na CTR (sinal NPSQ).

Devido ao modo como foi construída a MACO, ou seja, os mesmos canais dos 16 enlaces vão sendo tratados sequencialmente, a contagem se processa da seguinte forma:

- os quatro bits menos significativos do contador referem-se ao número do enlace, e os cinco mais significativos ao número do canal no dado enlace.

Isso é o que se convencionou chamar número do canal "hardware"; o número do canal software é o contrário:

- os cinco bits menos significativos do contador referem-se ao número do canal num enlace, e os quatro mais significativos ao número do enlace.

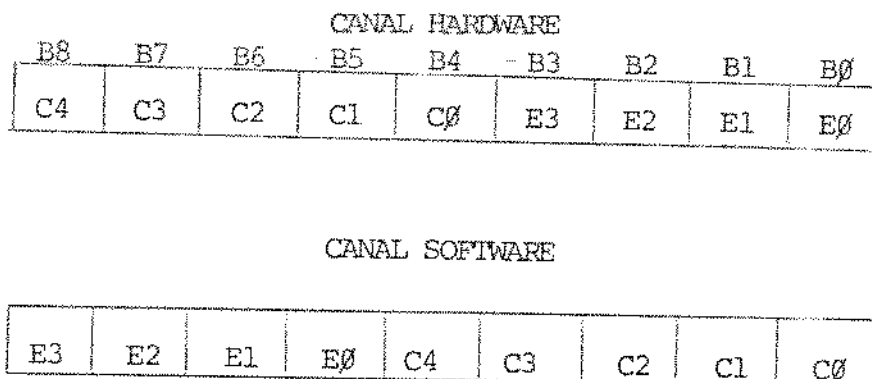


Figura 7.9

Onde:

B8, ..., 0 = bits do contador;

C4, ..., 0 = número do canal de enlace;

E3, ..., 0 = número do enlace.

VII.3.2.3 - Gerador de Fases

Este circuito tem por objetivo gerar 4 fases de relógio para serem usadas pela MACO. A partir de um relógio de frequência X de excitação ele gera as seguintes fases:

- X ÷ 4 com 0°
- X ÷ 4 com 90°

- $X \div 8$ com 0°
- $X \div 8$ com 90°

Estas fases são mostradas a seguir:

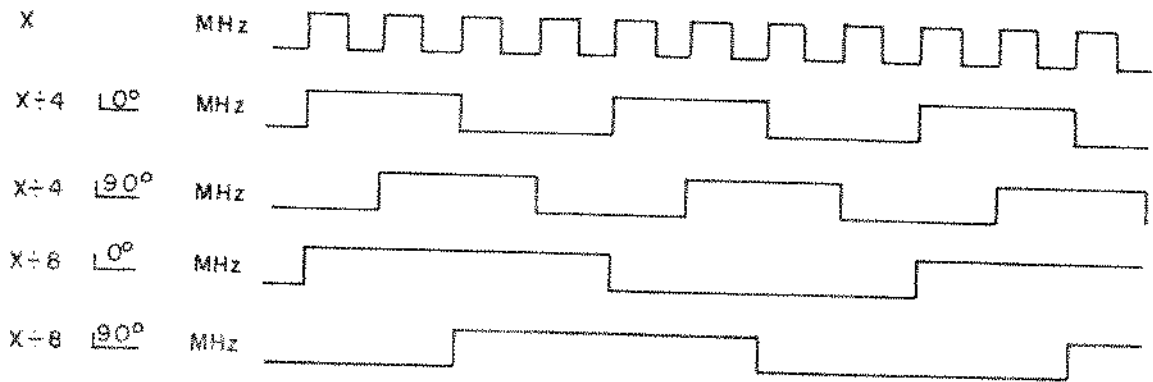


Figura 7.10

A implementação desse circuito foi feita através de máquina sequencial cujo diagrama de estados correspondente às formas de onda apresentadas é mostrado na figura 7.11 .

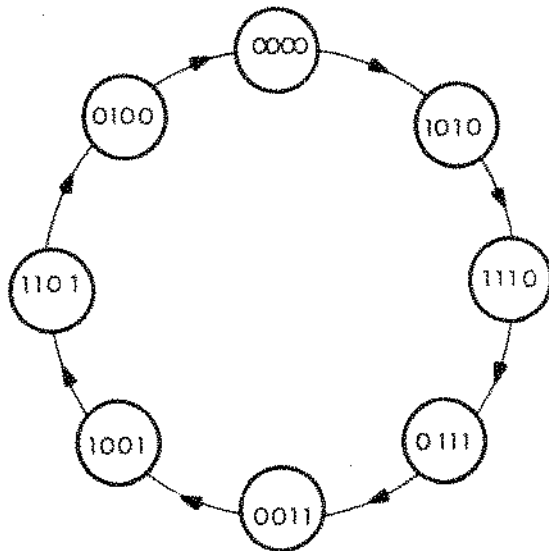


Figura 7.11

No diagrama apresentado do mais pa-
ra o menos significativo represen-
tam-se as fases $X \div 4 \begin{matrix} 0^0 \\ 90^0 \end{matrix}$,
 $X \div 8 \begin{matrix} 0^0 \\ 90^0 \end{matrix}$ e

Utilizando-se "flip-flops" tipo D,
através da tabela do próximo esta-
do e considerando os estados que
não aparecem no diagrama como "don't
care state" chegam-se às sequin-
tes expressões lógicas:

$$D_0 = \overline{Q_2 \cdot Q_0} \cdot \overline{Q_2 \cdot Q_1} \quad (7.2)$$

$$D_1 = \overline{Q_2 \cdot Q_0} \cdot \overline{Q_2 \cdot Q_1} \quad (7.3)$$

$$D_2 = Q_3 \quad (7.4)$$

$$D_3 = \overline{Q_2} \quad (7.5)$$

Nas equações mostradas Q_3 , Q_2 , Q_1
e Q_0 são o estado atual constitu-
indo-se nas próprias saídas dos
"flip-flops" utilizados; D_3 , D_2 ,
 D_1 e D_0 são o estado futuro cons-
tituindo-se nas respectivas entra-
das de tais "flip-flops".

Sintetizada a máquina verificou -
se que os "don't care states" le-
varam, no próximo ciclo do "clock",
aos estados pelos quais a máquina
deve passar, como mostra o seu
diagrama de estados final a figu-
ra 7.12 .

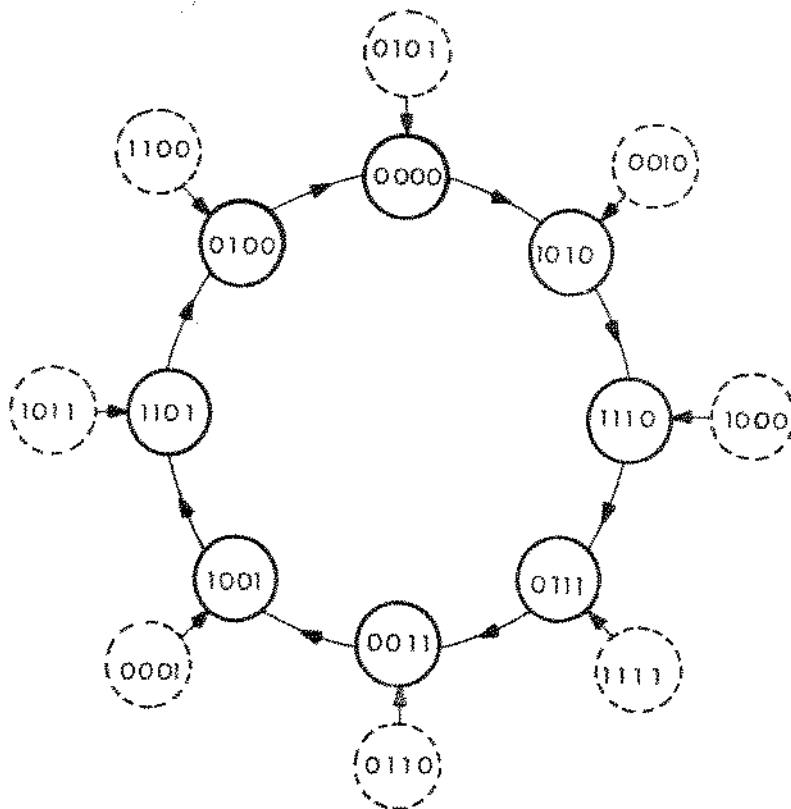


Figura 7.12

A frequência de excitação do circuito é de 16,348MHz o que gera as seguintes fases:

- 4,096 | 0' | MHz
- 4,096 | 90' | MHz
- 2,048 | 0' | MHz
- 2,048 | 90' | MHz

VII.3.2.4 - Recuperador de Sincronismo

Este circuito, a partir do "relógio com burado", extrai o sincronismo de quadro (PSQ) e superquadro (PSS) além de gerar outros sincronismos utilizados pelas SPS's e IAP's.

O recurso utilizado foi uma máquina de estados que tem como sinal de entrada o "relógio com buraco" (P2SM) sincronizado com a borda de subida do relógio 2,048 \times 90° MHz (P2B) como mostra a figura 7.13 onde aparecem ainda os sincronismos de quadro (PSQUA) superquadro (PSSQUA) recuperados.

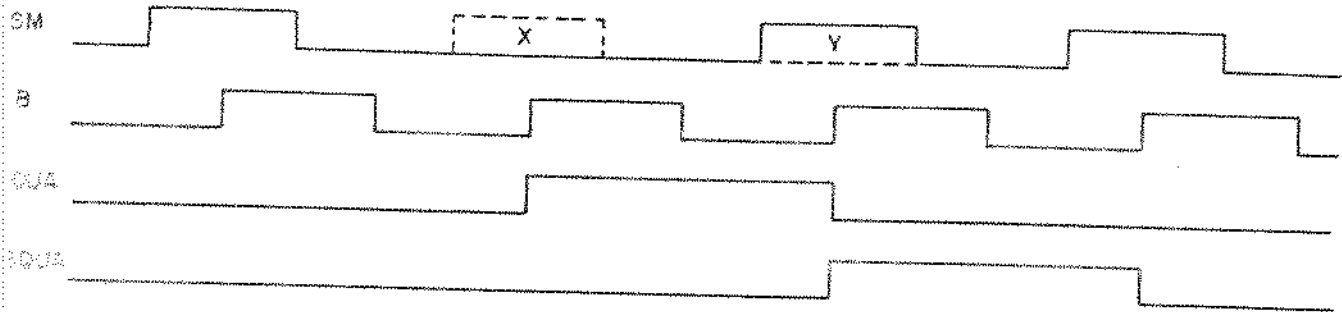


Figura 7.13

A figura 7.14 apresenta o diagrama de estados da máquina sequencial.

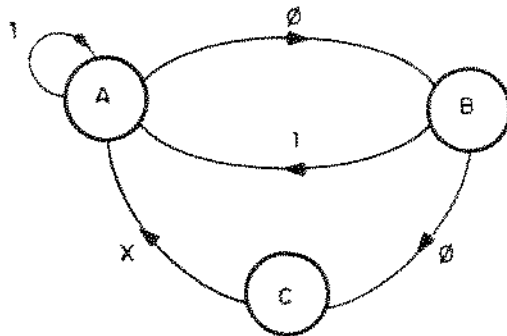


Figura 7.14

Atribuindo os códigos 00, 01 e 10 aos estados A, B e C respectivamente, sintetizou-se a máquina deixando o estado 11 como "don't care state".

Utilizaram-se "flip-flops" tipo D para implementar a máquina, onde Q_1 e Q_0 representam os estados atuais constituindo-se nos sinais PSQUA e PSSQUA respectivamente, e D_1 e D_0 os estados futuros. As expressões lógicas obtidas são:

$$D_1 = P2SM + \overline{Q_0} \quad (7.6)$$

$$D_0 = \overline{P2SM + Q_1 + Q_0} \quad (7.7)$$

O diagrama de estados final é mostrado na figura 7.15.

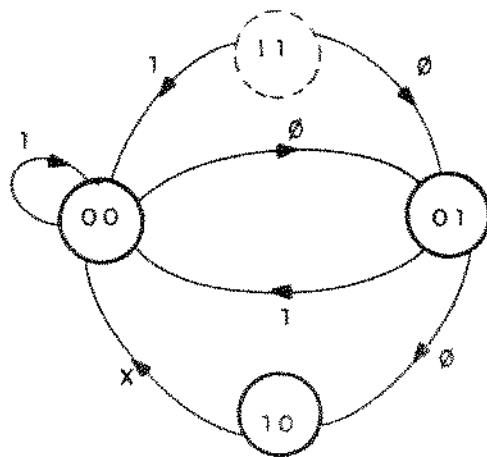


Figura 7.15

No caso da CTR o pulso do sincronismo deve comportar apenas uma borda do relógio de 4,096MHz, ou seja, ele deve ter 244ns e não 488 ns para que os contadores que dele se utilizam possam funcionar na frequência especificada (4,096MHz). Dessa forma utiliza-se a configuração mostrada na figura 7.16.

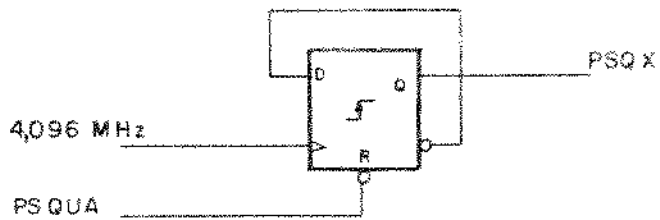


Figura 7.16

Na figura 7.17 o sincronismo de quadro "estreitado" situando-se entre as bordas de subida de N4B é mostrado.

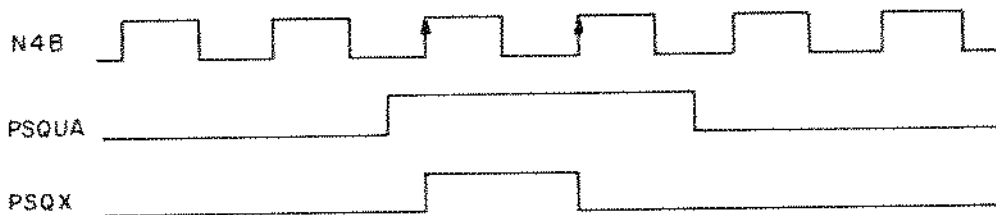


Figura 7.17

Utilizando-se uma fase adequada de 4,096MHz é possível posicionar o sincronismo de quadro de acordo com a conveniência, podendo após o seu "estreitamento", deslocá-lo para outras posições através de registradores de deslocamento, método usado na CTR para se gerar os sinais PSQ, NSQD, NSQSA e NSQSB.

VII.3.2.5 - "Phase Locked Loop" - PLL

O PLL da CTR foi implementado com

o integrado NE564 (Signetics) em cuja estrutura identificam-se todos os elementos componentes de um PLL, quais sejam:

- comparador de fases
- filtro passa baixas
- "voltage controlled oscillator"
- VCO.

A montagem utilizada foi a recomendada pelo fabricante e os sinais de entrada e saída podem ser vistos na figura 7.18

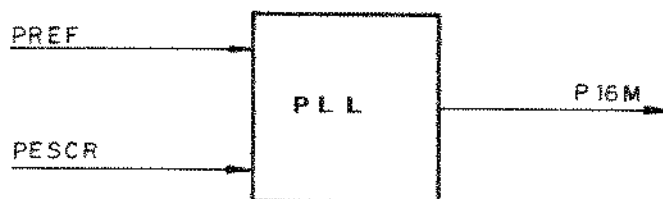


Figura 7.18

onde:

- PREF é o sinal de referência, sendo o " relógio com buraco " (P2SM) que sai do " Detetor de Maioria ";
- PESCR é o escravo, sendo o relógio de 2,048MHz (P22) obtido do "Gerador de Fases";
- P16M é o sinal de 16,348MHz gerado pelo PLL.

A configuração utilizada faz com que o escravo (P22) pare atrasado

de 90° com relação à referência (PREF).

A determinação dos componentes (resistores e capacitores) foi feita levando-se em conta o fato que o escravo não percebesse a ausência de pulso da referência além do que a frequência de corte do filtro fosse maior que a faixa de captura desejada. Para um degrau de frequência maior que 12,5KHz não é garantida a captura.

VII.3.3 - Inversor de Paridade

A figura 7.19 mostra com algum detalhe o bloco Inversor de Paridade.

A CIS escreve no registro "bobina" (veja descrição do circuito escrevedor das memórias de controle) o número do canal a ter invertida a paridade; na verdade esse número não é direto, ou seja, quando se quer inverter a paridade no canal X, o número a ser escrito na "bobina" é $y = x - 477$ ou $x + 35$ módulo 512, além do que deve-se inverter o bit mais significativo. O deslocamento (+35 ou -477) dado ao número do canal se deve ao fato de existir uma defasagem entre o instante de ocorrência do canal na SPS e o valor da contagem do contador mestre da CTR (veja Anexo 1). O "bit" mais significativo do número do canal deve ser invertido para compatibilizar a lógica "hardware" utilizada para este circuito. Depois de escrito o número do canal na "bobina", a CIS escreve "0" no "flip-flop" 1 da figura 7.19 que é o sinal de "habilita" do circuito inversor de paridade. A saída invertida desse "flip-flop" é

usada para habilitar o comparador; esse comparador passa a comparar o canal escrito na "bobina" com o que está ocorrendo naquele instante na entrada da SPS que de certa forma está relacionado com a contagem do contador da CTR. Quando ocorrer o canal esperado, a saída $x=y$ do comparador vai para "1" durante o instante de tempo daquele canal (244ns); esse pulso é ressinchronizado através do "flip-flop" 2 e enviado às SPS's através de um "buffer" inversor cuja saída recebeu o nome de PINVP. Portanto a frequência do sinal PINVP é 8KHz (ocorre um a cada trama) e dura 244ns. Esse sinal continua ocorrendo, ou seja, a paridade continua sendo invertida, até que o circuito seja desabilitado, o que ocorre quando a CIS escreve o valor "1" no "flip-flop" 1.

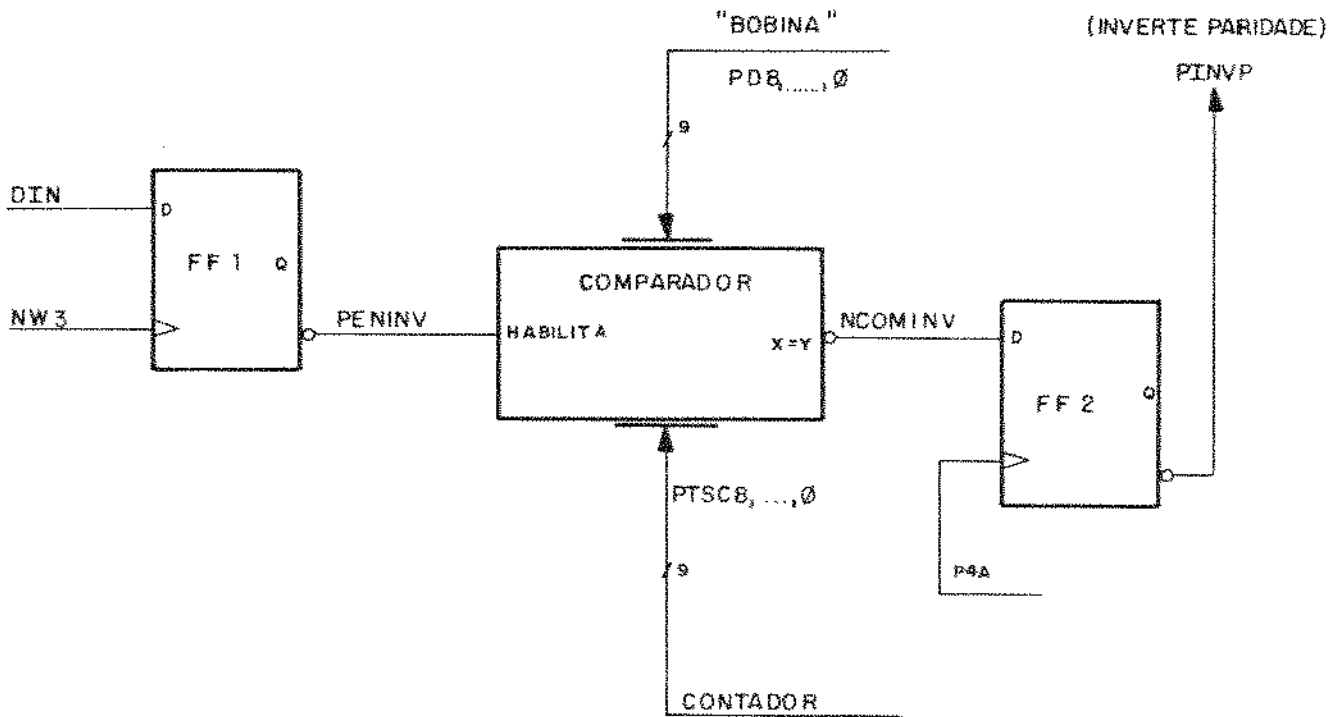


Figura 7.19

Devido ao fato desse circuito se situar na CIR ele funciona a 4,096MHz o que dá o tamanho do sinal PINVP. Esse sinal é enviado às SPS's onde é copiado por um relógio de 2,048MHz, ou seja, ocorre a demultiplexação do mesmo já que o relógio na SPS-0 é o normal e na SPS-1 é o invertido.

O diagrama de tempo do Inversor de Paridade é mostrado na figura 7.20 .

VII.3.4 - Detetor do Número do Canal com Paridade Errada (DNCPE)

A descrição a seguir refere-se ao diagrama de blocos mostrado na figura 7.21 sem se levar em conta, a porta AND que se encontra representada com linhas tracejadas.

A função do circuito é:

- uma vez habilitado pela CIS ele passa a procurar um canal, cuja paridade esteja errada; a pesquisa é feita a partir do último canal detetado, podendo inclusive armazená-lo novamente dado que naquela trama só existe ele com paridade errada; quando um canal é detetado, o seu número fica armazenado e a pesquisa pára, podendo prosseguir apenas com a reiniciação do circuito pela CIS.

A implementação do circuito foi feita através de registradores, comparadores, "buffer's" e flip-flop. Os três flip-flops fazem parte de uma máquina sequencial que controla o circuito, e cujos estados serão descritos mais adiante.

A presença do "flip-flop" (FF)3 se deve ao fato de o comparador ser um circuito combinacio

INVERSOR DE PARIDADE

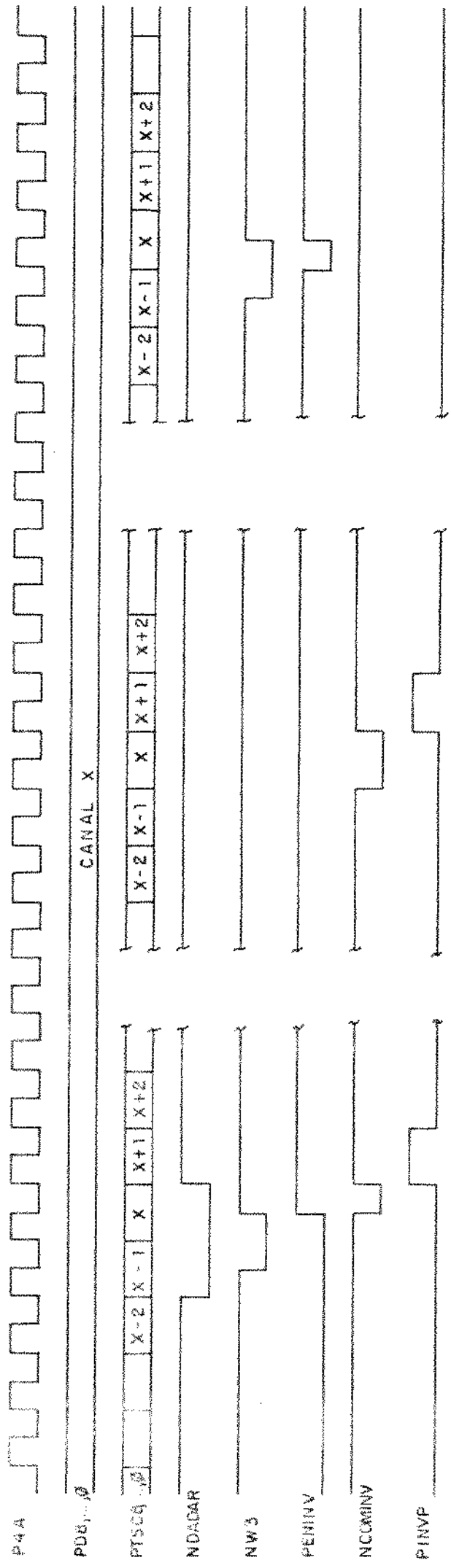
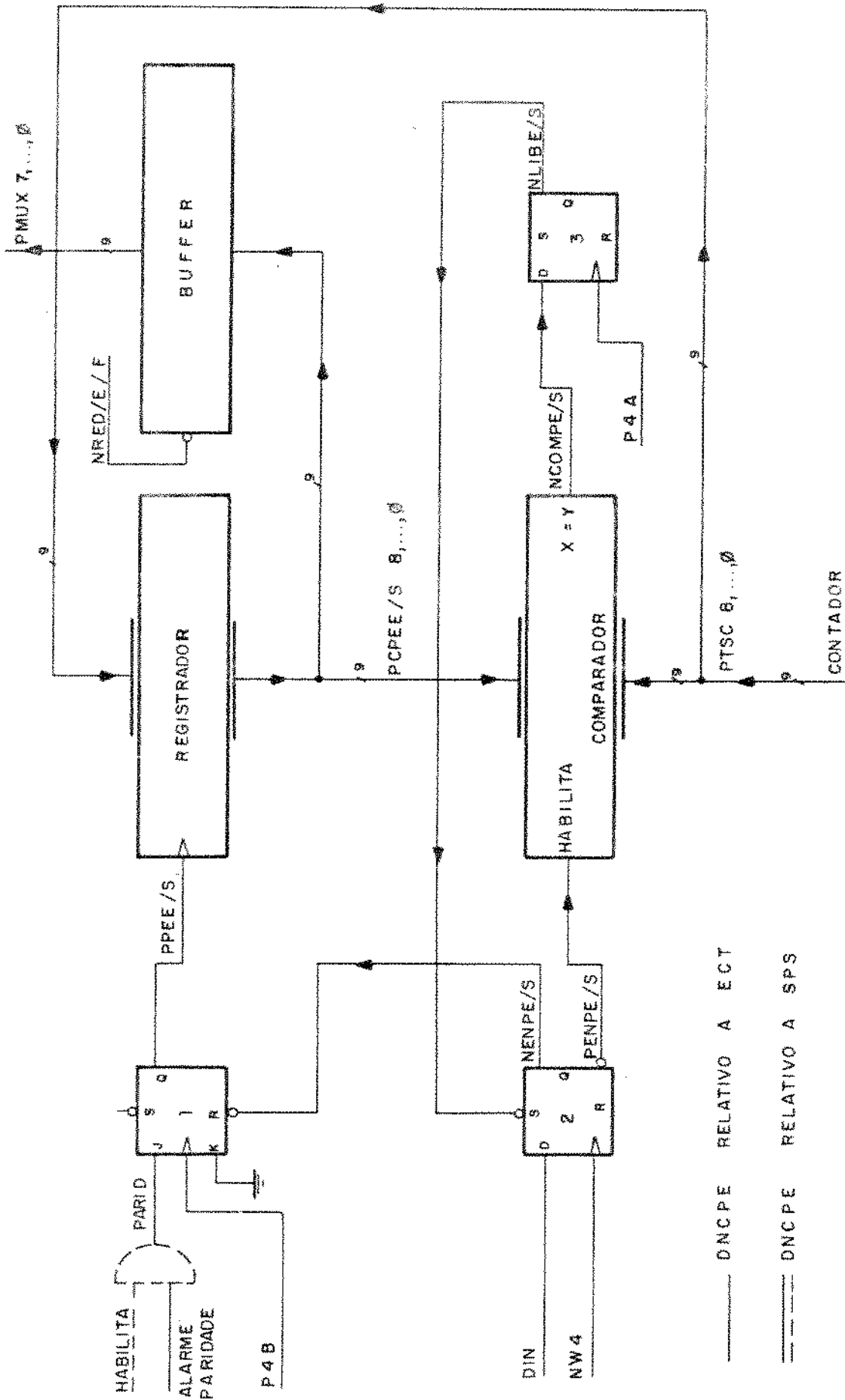


FIGURA 7.20



_____ DNCPE RELATIVO A ECT
 - - - - - DNCPE RELATIVO A SPS

FIGURA 7.21

nal cuja saída pode gerar "spikes" com a mudança de suas entradas, o qual poderia mudar o estado do FF2 através da entrada "set". Dessa forma só quando ela estiver estável é que seria copiada pelo FF3, e assim garantir o funcionamento correto do circuito. A outra função do FF2 está implícita a seguir.

O estado de repouso desse circuito é:

PPEE/S=1, PENPE/S=0, NLIBE/S=1

Nesse estado o bloco REGISTRADOR tem um número de canal armazenado o que permanece o mesmo, já que seu "clock" (PPEE/S) está em "um" e não sairá desse estado devido a configuração em que se encontra esse FFJK, a não ser que se ja "resetado"; o comparador está desabilitado e o FF2 está apto a ser escrito.

A CIS, pela interface 1, escreve "0" no FF2 fazendo NENPE/S=0 que "reseta" o FF1 (PPEE/S=0); com PENPE/S=1 o comparador está apto a iniciar a comparação. O circuito permanece nesse estado onde compara-se o número do canal armazenado no REGISTRADOR com o conteúdo do contador que de certa forma está relacionado com o canal que está ocorrendo naquele instante na entrada da SPS ou na saída ECT. Quando ocorrer o dado canal, o comparador fornece através do sinal NCOMPE/S o valor "0" durante aquele intervalo de tempo (244ns); esse pulso é copiado no seu final pelo FF3 fazendo NLIBE/S=0 que "seta" o FF"; assim PENPE/S vai para "0" inibindo nova comparação; NENPE/S vai para "1" liberando o FF1; com o comparador inibido, no próximo pulso de 4,096MHz o sinal NLIBE/S vai para 1 liberando o FF2 que fica apto novamente para ser escrito pela CIS; o FF1 agora pas

sa a aguardar o instante em que sua entrada "J" vai para 1; note-se aqui que qualquer que seja o instante que isso ocorra o canal armazenado no "registrador" já ocorreu naquela trama já que o FF3 deu um atraso de um pulso de 4,096MHz depois da ocorrência do mesmo registrada pelo sinal NCOMPE/S do "comparador".

Quando a entrada "J" do FF1 estiver em "1" significa que está ocorrendo um canal com paridade errada e ele deve ser capturado; assim o sinal PPEE/S vai para "1", o que serve de "clock" do "registrador" que tem como entrada a saída do contador; então fica armazenado nele o novo número do canal com paridade errada. Esse é o estado de repouso do circuito em que esse número fica disponível para ser lido pela CIS através do bloco "buffer" cuja saída está ligada no bus "PMUX7,...,0".

O diagrama de estados da máquina que controla esse circuito é mostrado pela figura 7.22. A tabela 3 tem os códigos dos estados e as ações tomadas.

O DNCPE implementado para monitorar canais na saída das ECT's tem na entrada "J" do FF1 o alarme de paridade vindo dos canais comutados na saída das ECT's. Todos os canais que saem das SPS's já o fazem com uma paridade gerada nessas placas, ou seja, a paridade que chega com o canal só serve para verificação da redundância. Portanto, qualquer canal na saída das ECT's deverá estar com a paridade correta a não ser que haja algum erro ou ela tenha sido invertida.

No caso da paridade da entrada das SPS's isso

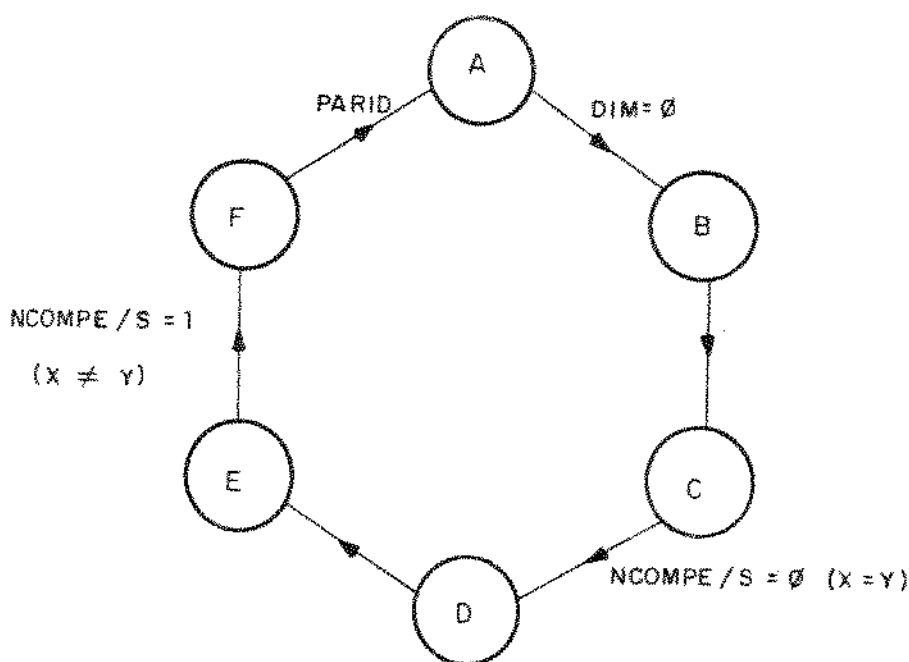


Figura 7.22

NOME	PPEE/S	ENPE/S	NLIBE/S	DESCRIÇÃO
A	1	1	1	Mantém número canal detetado (x), inibe comparação aguarda inicialização (UP)
B	1	0	1	Intermediário
C	0	0	1	Mantém número canal detetado (x), habilita comparação
D	0	0	0	Intermediário
E	0	1	0	Aguarda canal com paridade errada (a partir de x+1) Inibe comparação, inibe interferência do processador (libera detecção de canal com paridade errada)
F	0	1	1	Aguarda canal com paridade errada libera interferência do processador.

Tabela 3

não ocorre, pois nem todos os canais estão alo-
cados; quando o canal não está alocado signi-
fica que o "bus" de enlace de voz que sai das
IAP's e chega às SPS's fica em alta impedância
o que pode significar paridade errada. Para
contornar isso, a MACO tem armazenados quais
os canais que estão alocados, ou seja, quais
os canais cuja paridade pode ser observada.
Isso é provido através de um bit que fica ar-
macenado na Memória Controle de Atenuação, que
é uma memória cujo conteúdo está intimamente
ligado aos canais que chegam à SPS para sofre-
rem atenuação. No diagrama em blocos esse é o
bit "habilita".

Dessa forma só quando o canal estiver alocado
(PMCA0=0) e houver paridade errada nesse ca-
nal é que o REGISTRADOR armazenará o seu núme-
ro.

Ao canal do circuito DNCPE referente à SPS
deve ser adicionado o valor -37 ou +475 mó-
dulo 512. Isto porque quando o sinal "PARID",
correspondente ao erro de paridade do canal X
é amostrado, o contador mestre está apontando
o número X-475. O mesmo raciocínio se aplica
ao canal armazenado pelo DNCPE referente à
ECT, ao qual se deve ser adicionado o valor-2
ou +510 (vide Anexo 1).

A figura 7.23 mostra o diagrama de tempo do
DNCPE.

VII.3.5 - Alarmes

O armazenamento do alarme pode ser feito den-
tro ou fora da CTR. O segundo caso é o parti-
cular da entrada das ECT's. Cada ECT é comum
a 2 módulos de MC, e cada módulo contém 2 SPS;

DETECTOR DO NÚMERO DE CANAL COM PARIDADE ERRADA

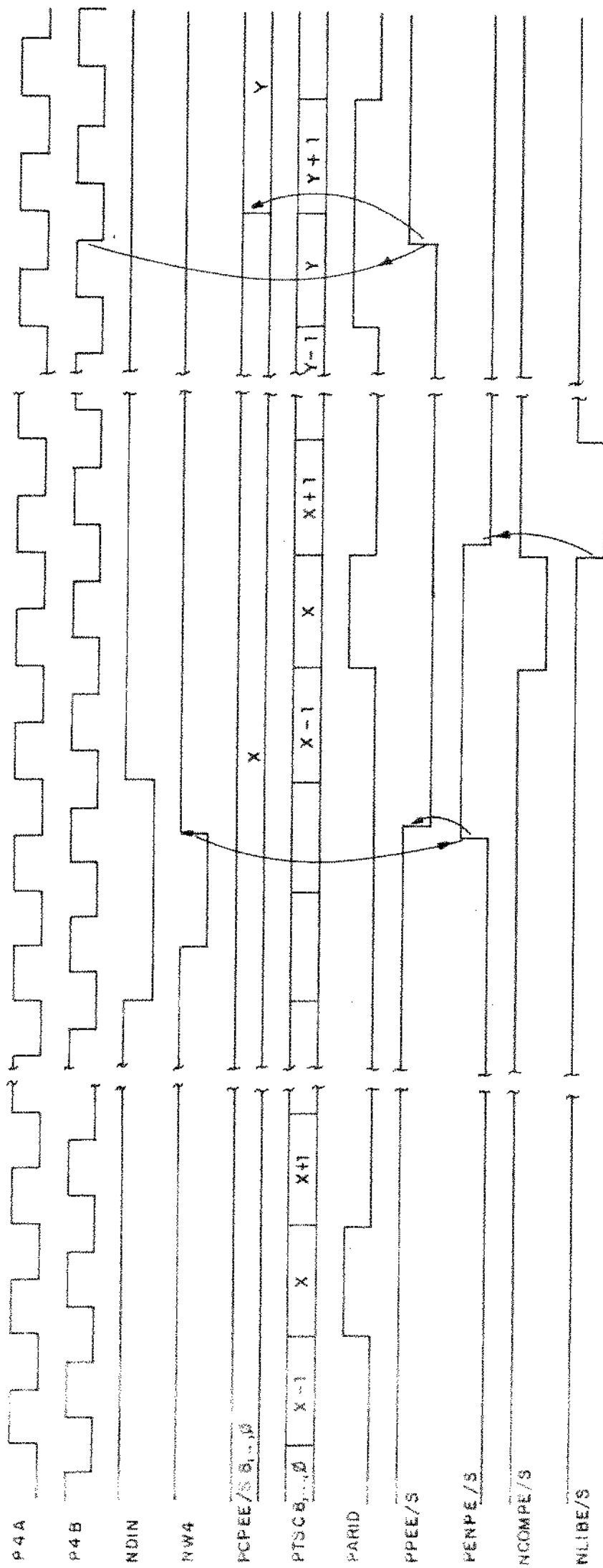


FIGURA 7.23

na entrada da ECT verifica-se a paridade dos sinais que saem das SPS's para ela, dando um total de 4 alarmes por ECT, o que totalizam 32 por módulo; isto torna inviável a centralização do armazenamento na CTR optando-se pelo mesmo mas em cada ECT. No caso em que o armazenamento é feito pela própria CTR a falha é enviada para a mesma e ela provê "flip-flops" para esse fim. Os alarmes são os seguintes:

- falha de paridade na entrada da SPS (PPEE); esse sinal é utilizado para excitar o respectivo DNCPE; portanto, através do número do canal detetado identifica-se a SPS em falha.
- falha de paridade na saída SPS; esse sinal é copiado por um relógio de 2,048MHz num flip-flop (PPSPSA) e pelo seu barrado em outro (PPSPSB); portanto um se refere à SPS-0 e o outro à SPS-1;
- falha de paridade na saída da ECT (PPES); esse sinal serve de excitação do circuito DNCPE respectivo, cujo canal detetado identifica a ECT em falha;
- falha de paridade referente ao conteúdo das memórias de controle (PPBOBY);
- falha de relógio (PFAREL).

Todos esses "flags" quando em "1" indicam falha, com excessão do "flag" do relógio, cuja falha é indicada em "0".

VII.3.6 - "Strap"

Para prover a facilidade de expansão da central através de acréscimos de módulos, quatro pontos de programação por contato ("STRAP") foram construídos como mostra a figura 7.24.

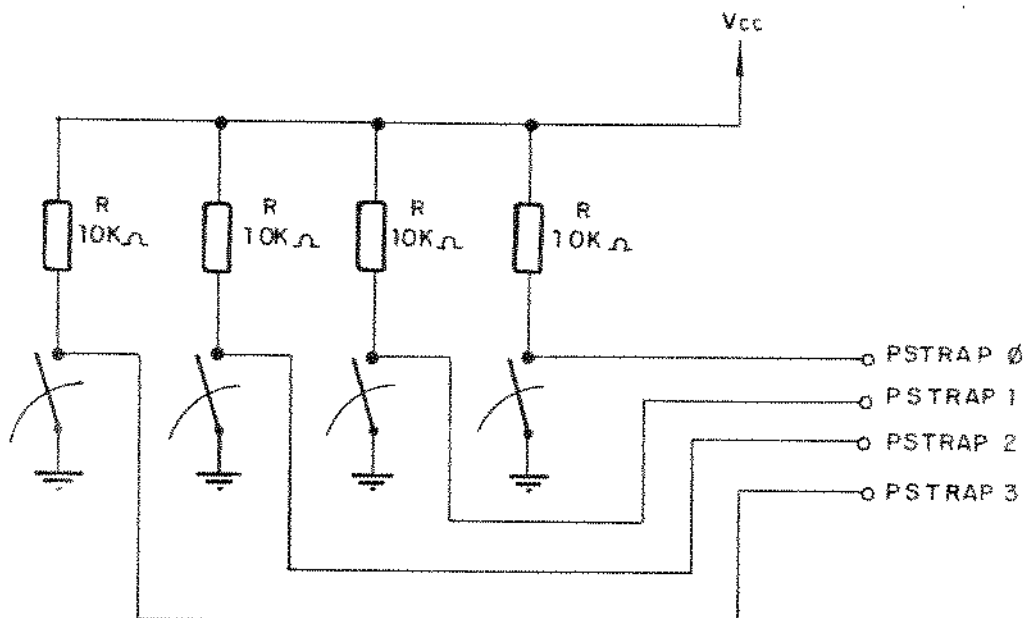


Figura 7.24

Esses pontos permitem a programação de 16 códigos. O bit menos significativo (PSTRAP0) se destina às ECT's de seu módulo, onde ele controla os blocos "Amostrador de Entrada", onde determina se os sinais que vêm da SPS's devem ser copiados na borda de subida ou descida. Esse bit é o que convencionou-se chamar "Strap Hardware". Os outros 3 (PSTRAP-3,2,1) são o chamado "Strap Software" e ficam à disposição da CIS para serem lidos. Eles vão indicar o deslocamento a ser dado no conteúdo da MCC, o que na verdade é proporcional ao atraso introduzido pelos enlaces intermodulares.

Atualmente esses pontos de programação foram feitos com chaves "ON-OFF" "DIP SWITCH". Portanto, uma vez determinado o tamanho da central, essas chaves são programadas em todas as CTR's e só serão reprogramadas no caso em que a alteração do tamanho vigente ultrapassar o permitido para esta programação.

VII.3.7 - Escrevedor das Memórias de Controle

O esquema do bloco é apresentado na figura 7.25 incluindo as memórias de controle. O esquema do sub-bloco "Gerador de Pulso de Escrita" é por sua vez apresentado na figura 7.26 .

As escritas nas três memórias de controle (comutação, MCC, atenuação, MCA, e habilitação das IAP's, MCI) são realizadas utilizando-se o mesmo circuito escrevedor. Uma única escrita é, no entanto, realizada em uma memória em cada ciclo de escrita. O processo de escrita consiste de quatro passos:

passo a) Armazenamento num registrador série paralelo ("Registrador SP") de 16 posições, de uma palavra formada de dois campos, um cujo tamanho depende da memória em que deve ser realizada a escrita e outro de tamanho fixo. O primeiro campo consiste do conteúdo a ser carregado e tem 5 bits no caso da MCI (memória de controle de IAP's), 6 no caso de MCA (memória de controle de atenuação) e 14 no caso da MCC (memória de controle de comutação).

O segundo campo, formado sempre por dois bits, contém o número da memória em que a escrita deve ser realizada. O armazenamento do Registrador SP é serial e o primeiro campo é armazenado antes que o segundo. O armazenamento é tal que os dois bits do segundo campo acabam localizados na primeira e segunda posições do registrador.

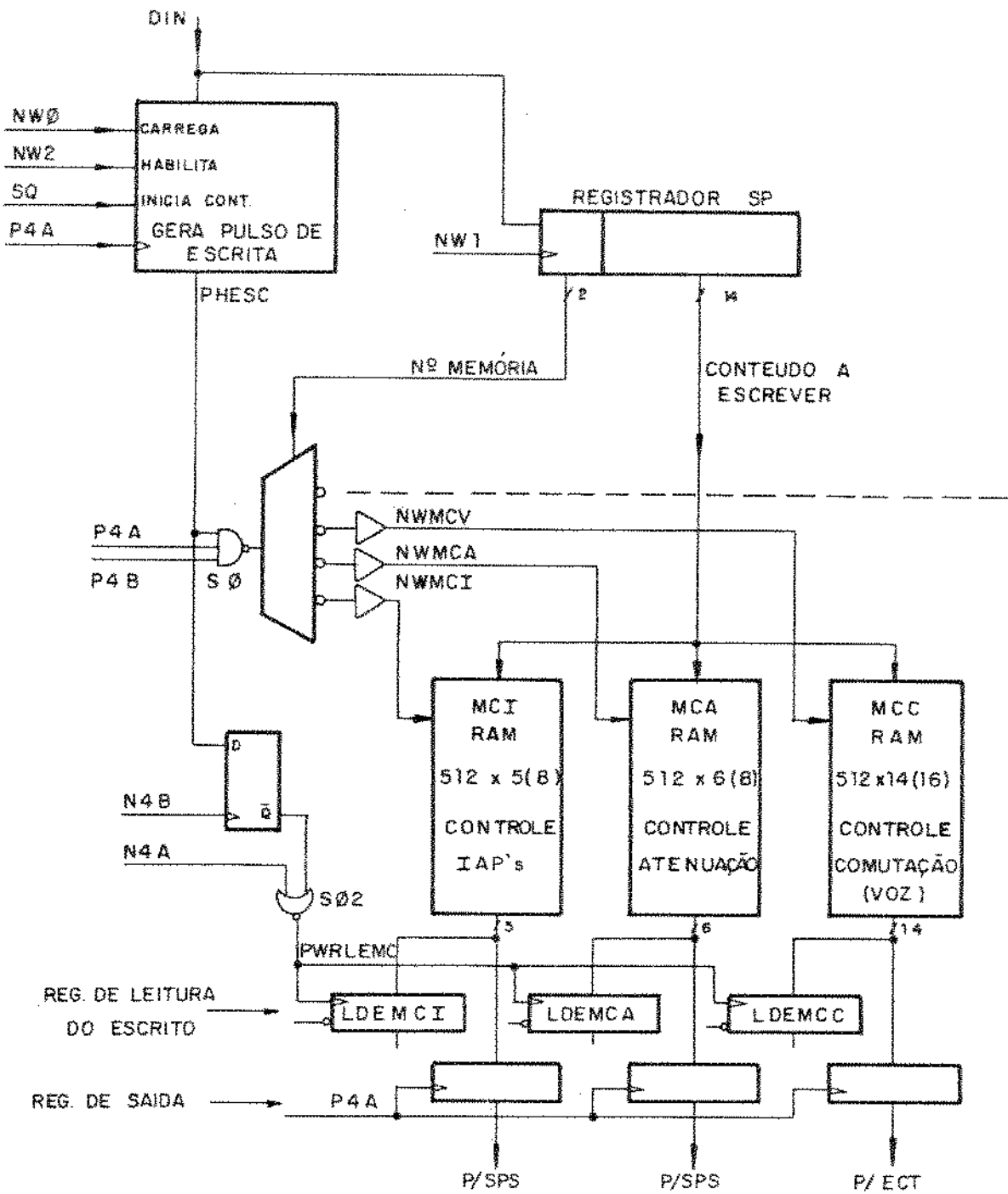


FIGURA 7.25

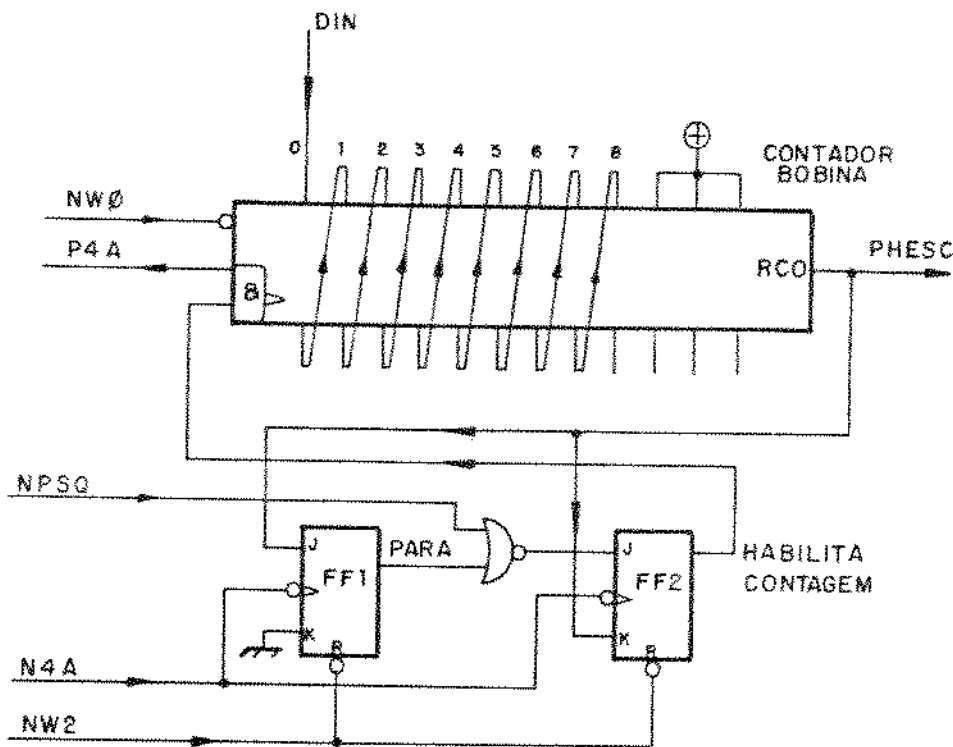


Figura 7.26

As saídas paralelas do Registrador SP, relativas ao conteúdo a ser carregado, correspondem às entradas paralelas das memórias de controle, sendo comuns às 3 memórias. Como o número de bits das palavras nessas memórias é diferente de uma memória para outra, unicamente os primeiros bits necessários, dos 14 disponíveis no registrador, são aproveitados em cada uma delas. Os bits relativos ao número da memória a ser escrita são utilizados para, através de um demultiplexador, conduzir o pulso de escrita, gerado no passo C, a essa memória.

passo b) Armazenamento série num registrador pertencente ao sub-bloco Gerador de

Pulso de Escrita do complemento do número da "posição da memória na qual a escrita deve ser realizada".

Tal registrador é implementado por meio de um contador com carregamento paralelo (chamado "bobina" pela forma em que suas saídas e entradas paralelas são interligadas), que ora funciona como registrador e ora como contador conforme será mostrado mais adiante.

passo c) Consiste na escrita propriamente dita. O circuito de Geração de Pulso de Escrita, uma vez ativado, gera um único pulso exatamente no período de bit em que o contador mestre (do bloco Gerador de Fases) endereça às memórias com o número da posição na qual deve ser realizada a escrita.

Cada período de relógio de 4,096MHz (P4A) é dividido em duas regiões, uma em que pode ser realizada uma escrita e outra em que sempre é realizada uma leitura das memórias de controle. A leitura das três memórias é realizada em todo o período de relógio dos endereços cíclica e sequencialmente, apontados pelo contador mestre. A escrita, por outro lado, é realizada uma única vez e numa única memória a cada ciclo de escrita pelo processador através do bloco Interface com a CIS.

Cada ciclo de escrita tem uma duração

aproximadamente de até 2 quadros, ou seja, 250 microsegundos.

passo d) Leitura do escrito. Associado a cada memória de controle há um registrador paralelo-paralelo (Registrador de Leitura do Escrito" ou "Registrador LDE") em que é armazenado, após cada escrita, o conteúdo lido da mesma posição em que a escrita foi realizada. A palavra armazenada no registrador LDE relativa à memória de controle em que foi feita a escrita fica então disponível para ser fornecida ao processador através do bloco Interface com a CIS. Dessa forma, o processador tem meios de verificar as escritas realizadas.

A partir do pulso de escrita é gerado um outro pulso, cuja subida, que dispara os registradores LDE, se dá no mesmo período de bit do pulso de escrita. Conseqüentemente o endereço, tanto durante a escrita como a leitura, para o registrador do LDE é o mesmo. A escrita se dá antes que a leitura, portanto o conteúdo lido e carregado no registrador LDE deve ser o mesmo que o escrito na memória. O sinal que dispara os registradores LDE é comum aos registradores das três memórias de controle. Conseqüentemente quando uma escrita é realizada numa memória, os três registradores são a seguir carregados com os conteúdos das posições correspondentes ao endereço em que se dá a escrita de suas

respectivas memórias. O processador, que sabe em qual memória foi realizada a escrita, sabe portanto em qual registrador LDE faz a verificação.

A figura 7.27 mostra, como exemplo, o diagrama de tempos do carregamento de um conteúdo "c" de 6 bits do sinal NDIN na posição "406" na memória de Controle de Atenuação. No passo a, o sinal NW1 fornecido pelo bloco Interface com a CIS apresentando um trem de 8 pulsos com cujas subidas dispara o registrador SP, permite a entrada de 8 bits no mesmo.

Os 2 últimos bits carregados (PMCVAI0, PMCVAI1) correspondem ao número de memória de controle, sendo o último correspondente ao bit menos significativo do número. Os números das memórias MCI, MCA e MCC são 2, 1 e 0 respectivamente, conseqüentemente o último e penúltimo bits carregados no registrador SP são 1 e 0 respectivamente, já que a escrita deverá ser feita na MCA.

No passo b, o sinal NW0 fornecido pelo bloco Interface com a CIS, apresenta primeiro um único pulso e depois um trem de 8 pulsos contemporâneos com o endereço, complementado bit a bit fornecido serialmente no sinal NDIN, do número da posição de memória em que a escrita deve ser feita. Tais pulsos permitem o carregamento desse endereço complementado no

EX: ESCRITA DO CONTEUDO "C" NA
 POSIÇÃO "406" DA MEMORIA DE
 ATENUAÇÃO

PASSO c

PASSO b

PASSO a

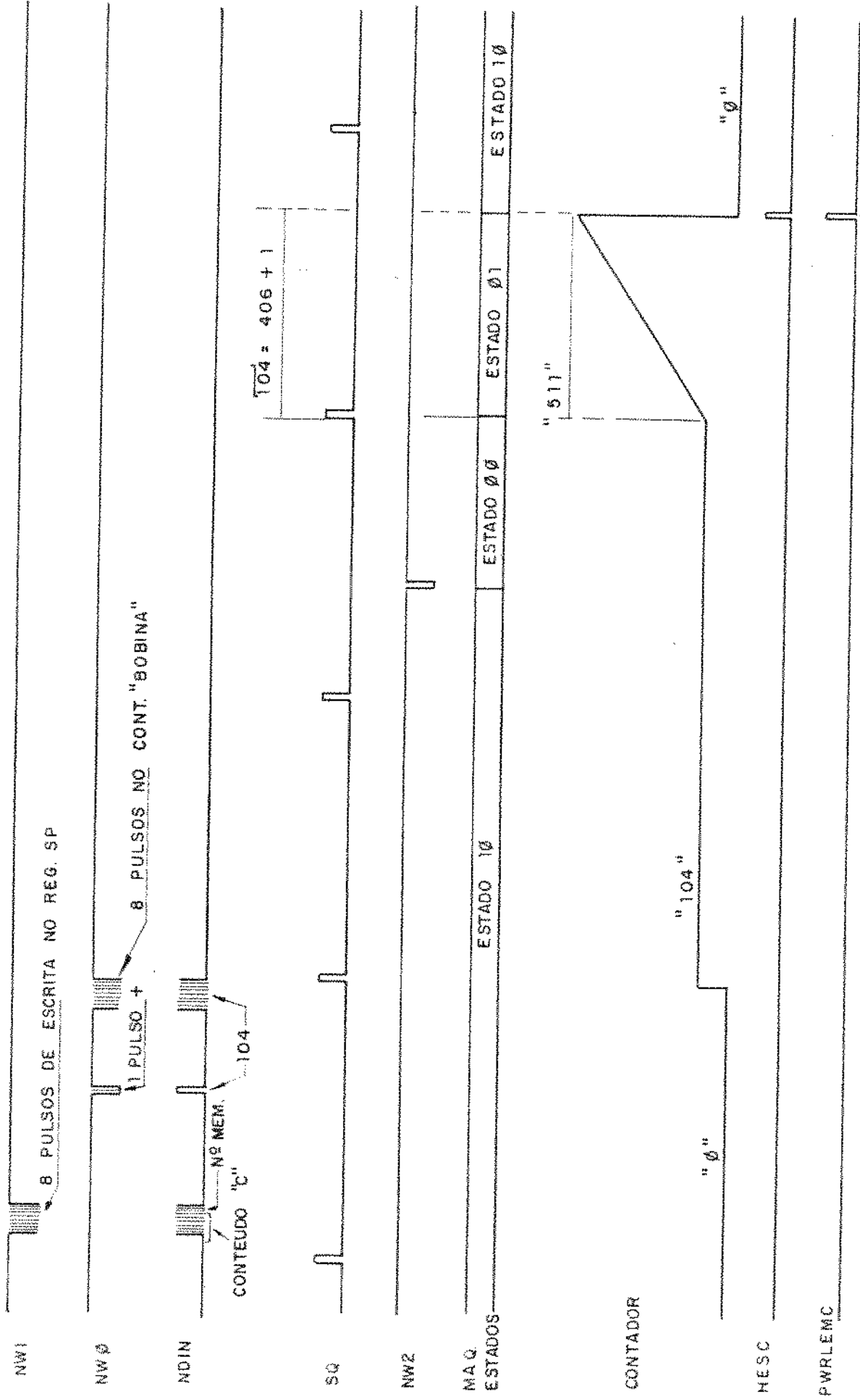


FIG. 7-27 DIAGRAMA DE TEMPO DO BLOCO ESCRIVADOR DAS MEMÓRIAS DE CONTROLE

contador "bobina" conforme será explicado mais adiante. O endereço N em que a escrita deve ser realizada, é no nosso exemplo $N = 406$, e o complemento bit a bit de $N+1$ é $(N+1)'=104$. O bit mais significativo é carregado primeiro, de modo que os bits fornecidos são 001101000 (nessa ordem).

No passo c, o sub-bloco "Gerador de Pulso de Escrita" é ativado por um pulso no sinal NW2 fornecido pelo bloco "Interface com a CIS". Conforme será descrito, o funcionamento desse sub-bloco é tal que o pulso do sinal NW2 dispara uma máquina de 3 estados que passa do estado "PARADO" (10) em que a contagem do contador "bobina" é inibida para o estado "ESPERA SQ" (00) no qual o contador continua inibido e assim se mantém até o acontecimento de um pulso no sinal NPSQ (sincronismo de quadro complementado) fornecido pelo bloco Gerador de Fases. Acontecendo um pulso no sinal NPSQ a máquina passa ao estado "CONTA" (01) e o contador "bobina" conta a partir do número nele carregado, 104, até chegar no último estado (111).

Quando, e unicamente quando, o contador "bobina" atinge o último estado, durante um período de bit, a saída ripple-carry-out do último CI que o implementa vai para 1, ou seja, o sinal PHESC correspondente a essa saída apresenta um pulso. O contador volta ao estado "PARADO" e para de con-

tar. O pulso no sinal PHESC se dá no período de bit de número $511-(N+1)'$ dentro do quadro, ou seja, quando o contador de endereçamento das memórias de controle se encontra apontando esse endereço. Como $511-(N+1)' = N+1$ o pulso se dá no período de bit $N+1-1$, $N=406$ do contador mestre já que este se encontra 1 período de bit deslocado com relação ao sincronismo NPSQ.

Tal pulso, invertido e estreitado pelo produto NAND do sinal PHESC com os sinais de relógio PN4A e PN4B (NAND 74S10 da figura 7.25) é conduzido por um demultiplex de 4 saídas para a memória de controle apontado pelos dois bits do registrador SP, que no caso, sendo 01, apontam a memória MCA. As saídas do demultiplex que habilitam a escrita nas memórias MCI, MCA e MCC correspondem aos sinais NWMCI, NWMCA, e NWNCV.

No passo d, o sinal PWRLEMC gerado a partir do produto do resultado da amostragem do sinal PHESC com as bordas de subida do sinal N4B (no flip-flop tipo D) com o sinal N4A, apresenta um pulso com uma subida que se dá após o fim do pulso que habilita a escrita (no sinal NWMCA) mas ainda dentro do mesmo período de bit. Conseqüentemente o endereço apontado nas memórias de controle é o mesmo em que aquele em que a escrita foi realizada e o dado recém escrito deve estar disponível para leitura. Assim a trans-

missão de subida no sinal PWRLEMC consegue carregar esse conteúdo no Registrador de Leitura do Escrito. Os registradores de Leitura do Escrito são implementados pelos blocos LDEMCC para a MCC, LDEMCA para a MCA e LDEMCI para a MCI.

VII.3.7.1 - Sub-bloco "Gera Pulso de Escrita"

O esquema e o diagrama de estados do sub-bloco são apresentados nas figuras 7.26 e 7.28 respectivamente. É formado basicamente por um contador e 12 bits e uma máquina de estados.

O contador, chamado de "Contador Bobina" é um contador síncrono que permite o carregamento paralelo, síncrono com as subidas do relógio, quando a sua entrada "LOAD" apresenta nível lógico "0". Utilizando a entrada menos significativa do contador como entrada série e ligando cada saída paralela à entrada paralela correspondente à próxima posição do contador é implementado, quando o sinal "LOAD" se mantém baixo, um registrador série-paralelo, já que a cada subida do relógio o dado na primeira entrada paralela é carregado e o conteúdo do contador é deslocado para a direita. Esse tipo de ligação, levou pela semelhança no esquema ao nome "Bobina". As últimas 3 das 12 entradas paralelas do contador são sempre mantidas no si

nal lógico 1, de modo que, tudo se passa como se se tivesse um contador de 9 bits.

A máquina formada por 2 flip-flops tipo JK e uma porta NOR (veja figura 7.26) possui 3 estados 10, 00 e 01 e implementa o diagrama de estados da figura 7.28. Cada círculo do diagrama de estados representa, do lado esquerdo, o estado da máquina de estados e do direito o estado do contador.

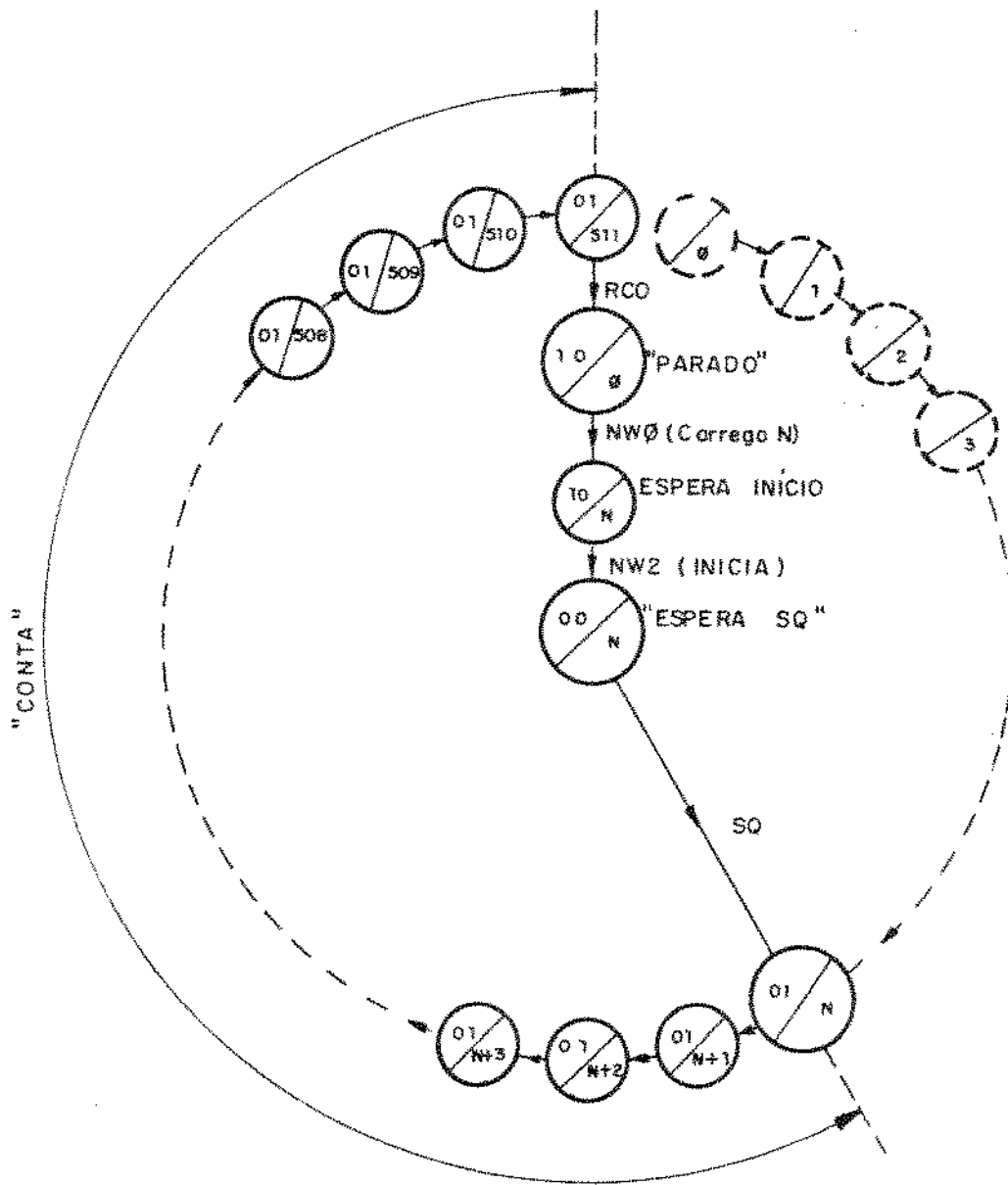


Figura 7.28

Supondo inicialmente a máquina no estado "PARADO", os flip-flops FF1 e FF2 se encontram nos estados 1 e 0 respectivamente e consequentemente o contador inibido para a contagem.

Um pulso negativo no sinal NW2 leva os dois flip-flops ao estado 0 ("ESPERA SQ"). Tanto no estado "PARADO" como no estado "ESPERA SQ", a saída do FF2 é zero, e portanto o "ripple-carry-out" (sinal PHESC) é também zero. Estando no estado 2, "ESPERA SQ", o acontecimento de um pulso no sinal NPSQ leva FF2 para o estado 1, o que habilita a contagem. Quando o contador atinge o último estado os flip-flops FF1 e FF2 são levados para os estados 1 e 0 respectivamente, e a máquina volta ao estado "PARADO".

VII.3.8 - Memórias de Controle

Um módulo de comutação é comum a 512 canais PCM de 2,048MHz. Tendo uma posição associada a cada canal as memórias deverão conter 512 palavras cada uma e serem varridas (lidas ou escritas) a uma frequência de 4,096MHz.

- Memória de Controle de Comutação - MCC

O controle de uma comutação em uma matriz tipo T é feito por memórias RAM. O tipo de controle adotado foi, como descrito anteriormente da forma:

Escrita sequencial e leitura controlada na memória de comutação.

A escrita na memória de comutação é sequencial e seu endereço é dado por um contador que está sincronizado com os canais que chegam, enquanto que sua leitura é controlada pela memória de controle de comutação, cujo conteúdo serve de endereço para a memória de comutação. Tal memória de controle é lida sequencialmente e esta sequência deve ser a mesma da sequência dos canais que saem da matriz de comutação.

Portanto a MCC tem leitura sequencial e suas posições estão relacionadas com os canais que saem da matriz de comutação. Assim têm-se a seguinte tabela de correspondência:

POSIÇÃO	CANAL	ENLACE (NA SAÍDA)
0	0	0
1	0	1
2	0	2
-	-	-
-	-	-
-	-	-
15	0	15
16	1	0
17	1	1
18	1	2
-	-	-
-	-	-
-	-	-
509	31	13
510	31	14
511	31	15

Tabela 4

Dessa forma a posição 0 da MCC deverá conter o número do canal que deverá sair do canal 0 de enlace 0 de saída e assim por diante.

O contador que fornece o endereço de leitura para a MCC está sincronizado dessa maneira.

O módulo da MACO pode se conectar a 15 outros módulos; nesse caso um canal de um dado módulo pode se conectar com canais do mesmo ou de outros módulos, o que dá um total de 16. Portanto, cada palavra da MCC deve conter:

- 4 bits que identificam o módulo a que pertence o canal a ser comutado;
- 4 bits que identificam o enlace a que pertence o canal a ser comutado;
- 5 bits que identificam o canal a ser comutado.

Além disso 1 bit de redundância é usado como paridade dos outros 13 já citados.

Portanto a MCC é organizada com 512x14 bits

O conteúdo da MCC vai servir de endereço de leitura das memórias de comutação que estão distribuídas em 8 placas ECT's cada uma das quais contendo 2 conjuntos de memórias de 512x12. A saída de dados das ECT's está ligada em um "bus"; esse "bus" será tomado pela placa que for selecionada. Assim, 3 bits do conteúdo da MCC se destinam a endereçar 1 das 8 ECT's, o que é feito da seguinte forma (vide figura 7.29):

- os 3 sinais de saída da MCC, PMCVC, PMCVB e PMCVA depois de ressinchronizados passam a se chamar PELMTC, PELMTB, PELMTA que servirão de endereço para o codificador binário/octal (3x8) 74LS138, cujas 8 saídas seguirão individual e respectivamente para cada uma das 8 ECT's. Dessa forma, apenas

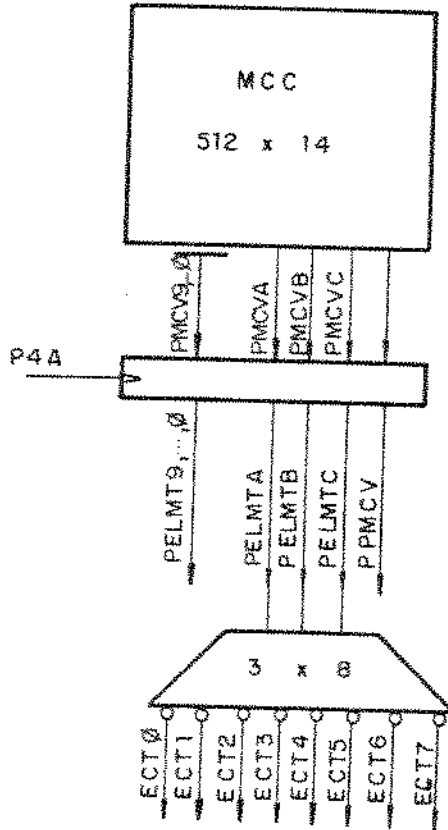


FIGURA 7.29

1 ECT é selecionada a tomar o "bus". Os 10 bits de endereço restantes são comuns a todas as ECT's; o bit mais significativo (PELMT9) selecionará um dos 2 conjuntos 512x12, já citados, e os outros 9 indicarão o canal dentro dele.

- Memória de Controle de Atenuação - MCA

Qualquer canal controlado pela MACO poderá sofrer atenuação programada. Essa atenuação deve ser aplicada aos canais que chegam a um módulo de comutação, ou seja, ao serem enviados às ECT's, já sofreram atenuação. Isto significa que os endereços da MCA estão relacionados com os canais que são tratados nas SPS's para as quais os seus conteúdos devem ser enviados.

O endereço de leitura da MCA é dado pelo mesmo contador que o faz em relação à MCC, portanto, deduz-se que a posição 0 dela "não" deverá tratar o canal 0 do enlace 0 já que os canais que saem da MACO (com os quais esse contador está sincronizado) estão adiantados em relação aos que nela chegam, o que deverá provocar um mapeamento não muito "didático" da MCA. Isto poderia ser compensado em "hardware" com o acréscimo de circuito; no entanto optou-se pela correção software, o que vem simplificar a CTR.

Essa correção consiste em se dar o deslocamento necessário em "software" através de operações de adição que serão descritas mais tarde.

Desta forma o mapeamento da MCA ficou da seguinte forma:

POSIÇÃO	CANAL	ENLACE (DE CHEGADA)
0	29	13
1	29	14
2	29	15
-	-	-
-	-	-
-	-	-
35	0	0
36	0	1
37	0	2
-	-	-
-	-	-
-	-	-
509	29	10
510	29	11
511	29	12

Tabela 5

Dado um canal x a atenuação correspondente está na posição x+35 na MCA (veja Anexo 1).

A atenuação de um canal qualquer pode variar de 7 db a 0 db em passos de 0,5 db; além disso pode ser inserida também uma atenuação infinita. Nesse caso têm-se 16 valores que podem ser codificados em 4 bits, o que é dado pela seguinte fórmula:

$$\begin{aligned} \text{ATENUAÇÃO} &= \\ &= \begin{cases} \text{Código}/2 - & \text{para código} = 0,1,\dots,14 \\ \text{Infinito} - & \text{para código} = 15 \end{cases} \end{aligned}$$

A atenuação infinita corresponde a um padrão fixo. Os códigos estão armazenados na MCA e são atualizados por canal a pedido (o "soft

ware" se encarrega disso). Esses códigos se rão a parte mais significativa do endereço da PROM de atenuação. Assim, quando o canal x estiver presente o "bus" de endereço dessa PROM, a posição x+35 da MCA também deverá estar dando àquele canal a atenuação programada.

Além do código, a MCA também conterá a paridade deste que é escrita com o mesmo e gerada em software.

Como já se sabe, a MCA está sincronizada com os canais que acessam a MACO; existe o circuito "Detetor do Número do Canal com Paridade Errada" monitorando os canais que chegam à SPS e, como foi explicado no item correspondente, apenas os canais alocados devem ser observados; dessa forma um bit (PMCA0) indicará se o canal ocorrente está ou não apto a ser monitorado. Este bit, por conveniência, foi incluído na MCA.

Conclui-se que uma palavra da MCA deve conter 6 bits, o que dá o seu tamanho 512 x 6 bits.

- Memória de Controle de IAP - MCI

Um enlace PCM que chega à SPS é na verdade um "bus", onde se ligam várias IAP's. O comando de tomada desse bus por uma delas é controlado pelo MC. A alocação de um canal é exatamente isso:

- a MACO determina a cada ocorrência do canal qual deve ser a IAP habilitada a tomar o "bus". Isso é provido através de 2 enlaces de controle que saem da SPS com destino à IAP's e que contêm a cada canal o

endereço de uma delas. Maiores detalhes sobre esses enlaces podem ser encontrados no capítulo V .

Os endereços da MCI estão relacionados com os canais que chegam à MACO, mas devem estar adiantados com relação a eles, pois ao atingí-la eles já deverão estar alocados ou não conforme programação feita. Assim a MCI é lida, o seu conteúdo (endereço da IAP) vai para SPS sendo transformado de paralelo para série chegando às IAP's; a IAP reconhecendo o seu endereço habilita o canal naquele instante e este aponta a SPS.

O endereço de leitura da MCI é dado pelo mesmo contador que o faz em relação as outras memórias de controle. Dessa forma como no caso da MCA, a posição zero "não" corresponde ao canal 0 enlace 0 que deve ser alocado, havendo um deslocamento; isso poderia ser compensado em hardware, o que implicaria no acréscimo de circuito, ou em "software", que foi a opção adotada por ser mais eficiente e flexível. Observando-se o "timing" correspondente, o mapeamento da MCI ficou da seguinte forma:

POSIÇÃO	CANAL	ENLACE
0	31	4
1	31	5
2	31	6
-		
-		
-		
12	0	0
13	0	1
14	0	2
-	-	-

-	-	-
-	-	-
509	31	1
510	31	3
511	31	3

Tabela 6

Dado um canal X, o número da IAP que vai tomar o bus naquele instante está contido na posição $x+12$ da MCI (veja Anexo 1).

A MCI além de conter o código da IAP (4 bits) ainda tem a paridade deste que é gerada em "software". O seu tamanho é, pois, 512×5 .

A leitura de todas essas memórias é feita pelo mesmo contador, sendo portanto, sequencial a uma taxa de 4,096MHz. A escrita nas mesmas é menos frequente e ocorre por interferência do "software", ou seja, quando se pretende escrever nessas memórias o circuito ESCREVEDOR nas memórias de controle é acionado, sendo o processo seguinte:

A CIS através da Interface 1

- escreve no registro, através do sinal NW1, os dados a serem armazenados na memória além de identificar em qual delas isto ocorrerá;
- escrever na "bobina", através do sinal NW0 o endereço da memória selecionada;
- aciona o circuito através do sinal NW2.

A escrita é feita pelo processo de comparação, ou seja:

- quer-se escrever no endereço x; quando o contador estiver apontado para o mes-

mo, o período de 4,096MHz que usualmente é utilizado para leitura, é "robado" e utilizado para escrita quando um pulso é dado na memória respectiva. Portanto, uma escrita pode demorar até 1 quadro para se completar a partir do momento em que o circuito se sincronizar com o contador da CTR; no entanto, este sincronismo pode ocorrer um quadro depois que ele foi liberado pelas CIS através do NW2, o que dá o total de 2 quadros a partir do momento em que a CIS libera a escrita.

Os registros envolvidos são comuns a todas as memórias de controle fazendo com que o processo de escrita seja exclusivo, ou seja, apenas uma memória pode ser acessada por vez através de uma seleção em "hardware" programada por "software".

Para verificação da escrita existem registros que armazenam o conteúdo escrito; toda vez que uma memória é escrita, no fim desse intervalo, como o endereço de escrita ainda está estável e o pulso de escrita já desapareceu, a memória passa a ser lida naquele endereço que agora mostra o seu conteúdo atualizado; o circuito fornece um pulso que copia esse dado lido e o armazena no registro respectivo deixando esse dado à disposição da CIS para ser lido. O pulso fornecido pelo circuito (PWRLEMC) é comum aos três registros de armazenamento o que faz com que a cada ciclo de escrita todos os registros sejam atualizados com o conteúdo do endereço respectivo, o que no entanto não afeta a verificação da

escrita já que isto é feito apenas na memória em que se escreveu.

Como foi descrito anteriormente, a paridade está presente nas três memórias de controle; no entanto a sua verificação é feita num circuito único, o que geraria também alarme único, ou seja, não se é possível identificar qual memória apresenta falha de paridade.

A verificação da paridade é feita a toda leitura dessas memórias (4,096MHz) e o erro, uma vez que ocorra, é armazenado num flip-flop que o deixa a disposição da CIS para ser lido ou "limpado".

VII.4 - Diagrama de Contorno

A figura 7.30 apresenta o diagrama de contorno da CTR.

VII.5 - Implementação

A CTR foi implementada numa placa padrão tendo as seguintes características:

- Número de CI's		83
- Potência: Máxima		16,767W
	Típica	10,880W
- Número de Pinos: Para Cabo		18
	Externos	
	Painel Traseiro	57
	Alimentação (5volts)	4
	Terra	4
	Total	83

DIAGRAMA DE CONTORNO

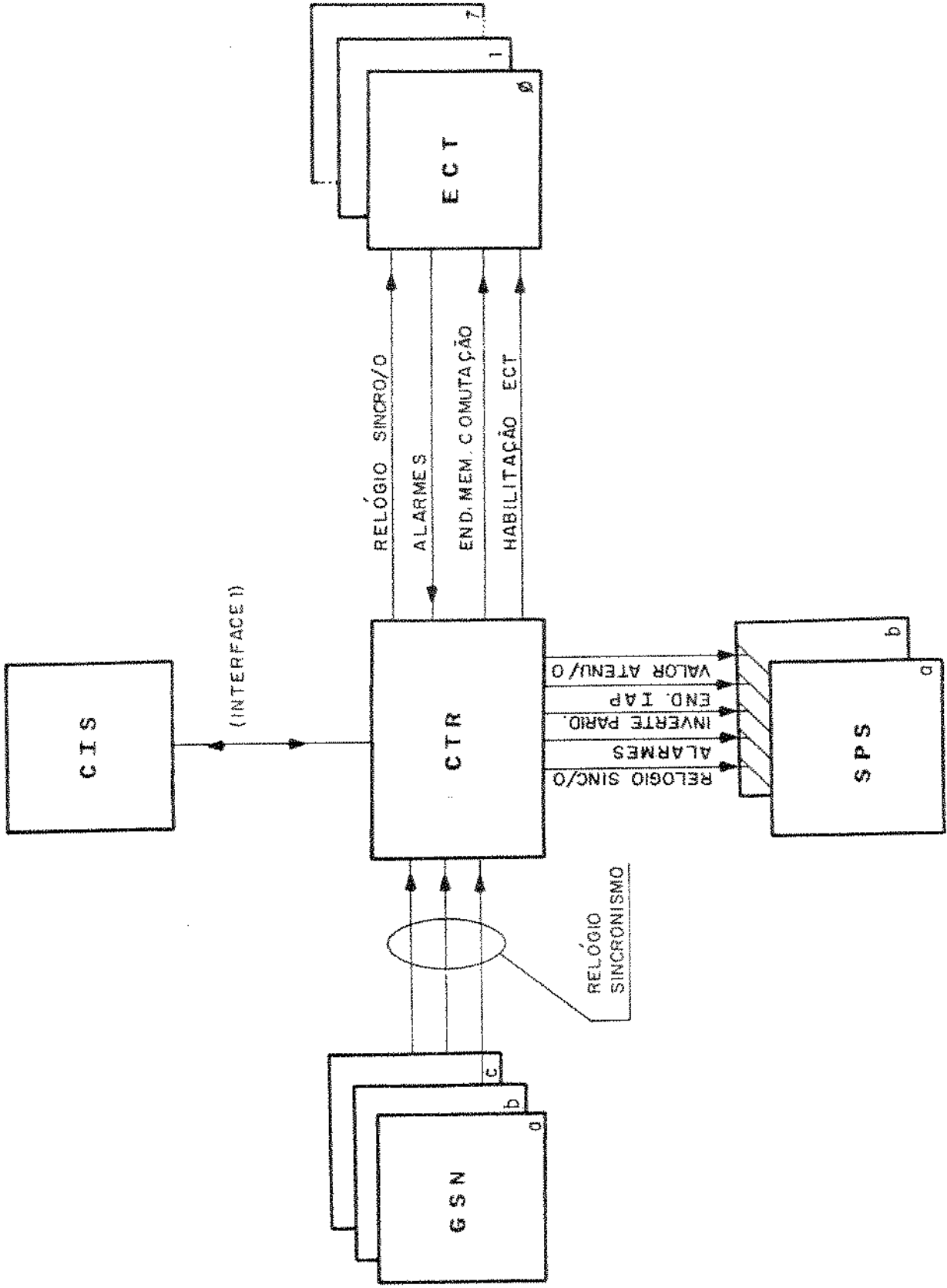


FIGURA 7. 30

CAPITULO VIII

CABEAÇÃO ENTRE MÓDULOS

VIII.0 - Epítome

Este capítulo tem por objetivo mostrar a solução adotada para a interligação entre módulos da central TRÓPICO destacando os módulos de comutação. Mostra ainda os métodos utilizados para o cálculo do tamanho dos cabos a serem utilizados bem como, e por decorrência, o número de "straps" para as diversas situações de expansão da central.

VIII.1 - Introdução

Desde que existem diferenças nas distâncias entre os módulos e o gerador de sincronismo (GSN), as fases dos sinais de sincronismo serão diferentes de um módulo para outro. Além disso, sinais que caminham de um a outro módulo sofrerão nesses trajetos, novos atrasos.

O atraso total de um dado sinal pode então ser diferente do atraso do relógio incumbido de amostrá-lo. Essa diferença de fase deve ser limitada em todos esses casos, a uma faixa que garanta a amostragem correta dos sinais. Por isso é necessário tanto determinar-se a topologia da distribuição dos sinais, de modo a minimizar essas diferenças de fase, como limitar os atrasos médios, máximos e mínimos de um módulo a outro dentro de limites convenientes, o que fixa o comprimento dos cabos que interligam esses módulos entre si e com o gerador de sincronismo.

VIII.2 - Distribuição dos Sinais

O problema se resume em como distribuir, através de cabos, os sinais de relógio de um órgão central (GSN) e sinais de um módulo para vários outros módulos. Uma solução seria a "distribuição em estrela" em que todos os

cabos tendo o mesmo comprimento imporiam um atraso igual em todos os módulos como mostra a figura 8.1 .

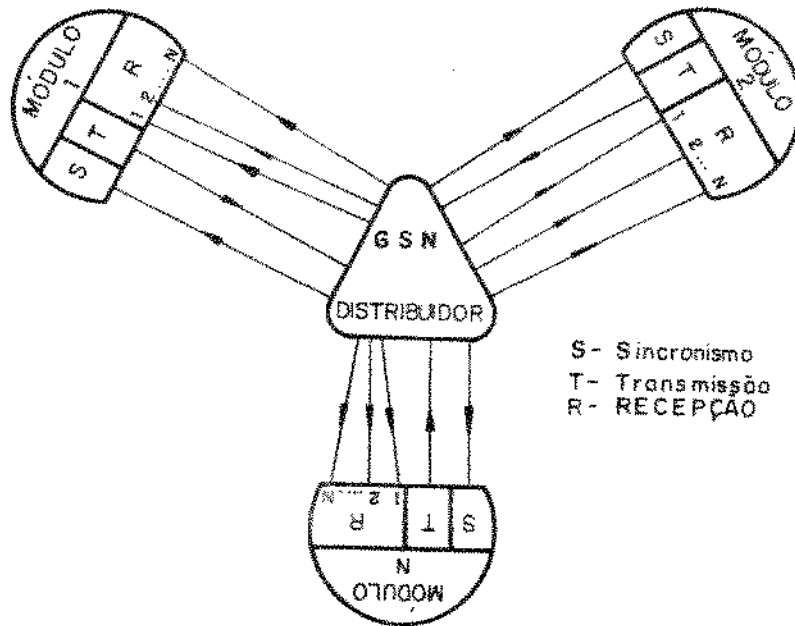


Figura 8.1

No entanto essa solução é dispendiosa devido ao elevado número de cabos e ao custo do distribuidor. O fato da disposição das centrais ser geralmente em fileiras e não circular, como mostra a figura 8.1, implica que os cabos entre o bastidor e alguns módulos serão muito maiores do que a distância entre eles. Devido a isto, a organização da distribuição dos cabos fica comprometida.

A solução adotada para o TRÓPICO foi a "distribuição em bus" em que os sinais passam por todos os módulos sequencialmente como mostra a figura 8.2 .

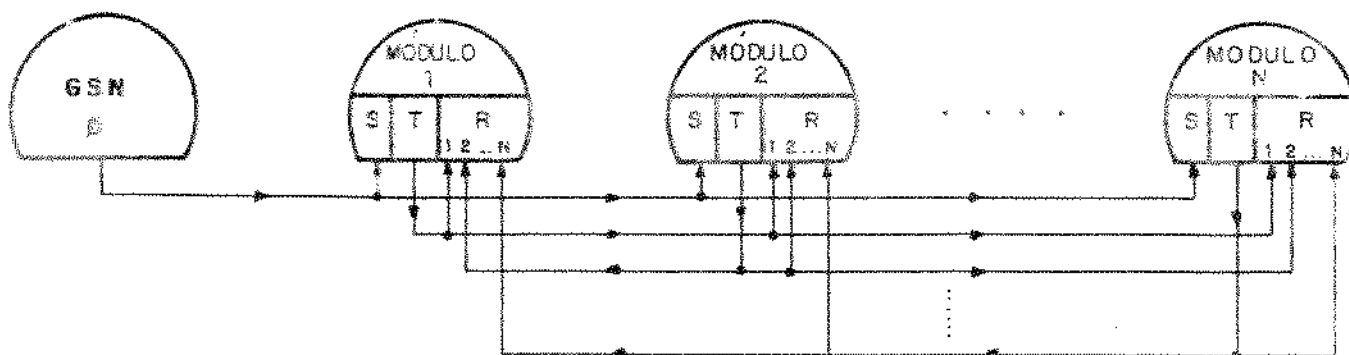


Figura 8.2

A configuração mostrada é econômica embora implique numa programação complicada dos "straps" (ver capítulo IV) já que as fases de chegada dos sinais a um módulo dependem da posição deste com relação aos demais. Assim, supondo-se que os módulos estejam distantes do GSN, considerado como origem, na proporção de seus números, os sinais de sincronismo no módulo i terão um atraso Δ_i , onde Δ é o atraso de transmissão entre 2 módulos vizinhos. O atraso de transmissão do módulo i ao j será de $\Delta|i-j|$ e conseqüentemente o atraso total do sinal enviado do módulo i ao j será $\Delta(i+|i-j|) + C$, onde C é um atraso constante interno ao módulo.

Dessa forma em cada módulo, os sinais que chegam dos outros estarão em fases diferentes entre si e com relação ao sincronismo local que tem um atraso Δ_j . A figura 8.3 mostra os atrasos sofridos pelo sincronismo em cada módulo e por um sinal que sai do módulo 1 e vai até o N e por outro que sai do N e chega ao 1.

Utilizando-se da "distribuição em bus modificada", é possível solucionar os problemas introduzidos pela "distribuição em bus" citados anteriormente. Essa modificação consiste em fazer com que o sinal que sai de um módulo i acompanhe o trajeto dos sinais de sincronismo até o módulo N e só depois disso entre nos outros módulos sempre na seqüência, $1, 2, \dots, i, \dots, N$ conforme figu

ra 8.4 .

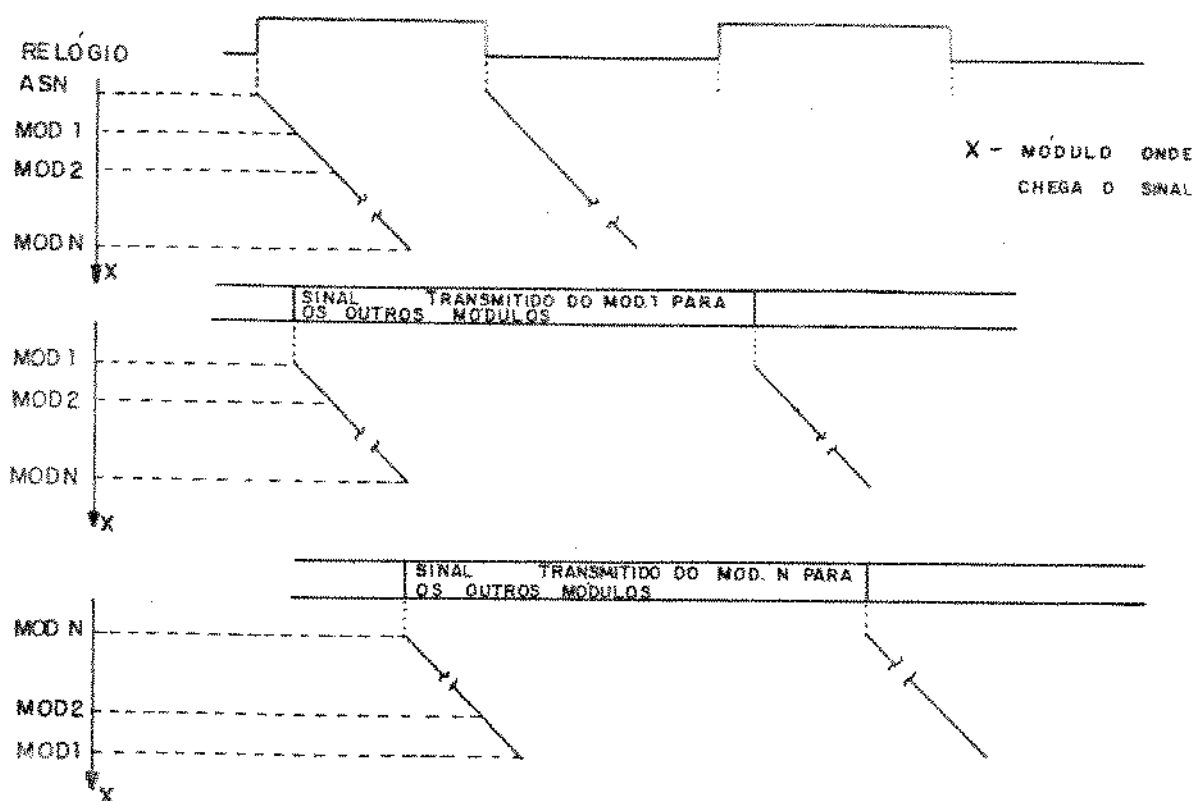


Figura 8.3

Depois de acompanhar os sinais de sincronismo até o módulo N, os sinais gerados por todos os módulos terão o mesmo atraso. No caso da distância de origem (GSN) proporcional ao número do módulo, esse atraso seria $\Delta L \cdot i + \Delta L(N-i) + C = \Delta L \cdot N + C$. A partir desse ponto todos os cabos seguem o mesmo trajeto passando só então a distribuir os sinais nos módulos, sempre na ordem $1, 2, \dots, N$, ou seja, na mesma sequência em que os sinais de sincronismo são distribuídos. Com isso, garante-se não só que a fase de todos os sinais que entram num módulo é a mesma (sem se considerar o problema da dispersão) como que a diferença de fase entre esses sinais e os sinais de sincronismo é o mesmo em todos os módulos.

Numa configuração genérica o sinal gerado pelo módulo i e entrando no módulo j tem um atraso com relação à

origem (GSN) dado por:

$$d_{ij} = \Delta L_{\emptyset i} + C + \Delta L_{ij}$$

onde:

$L_{\emptyset i}$ = comprimento dos cabos entre GSN e o módulo i

L_{ij} = comprimento dos cabos entre os módulos i e j

ΔL = atraso devido ao comprimento L

C = atraso interno ao módulo (igual em todos os módulos)

Por sua vez:

$$\Delta L_{ij} = \Delta L_{iN} + \Delta L_v + \Delta L_{lj} \quad (8.1)$$

onde:

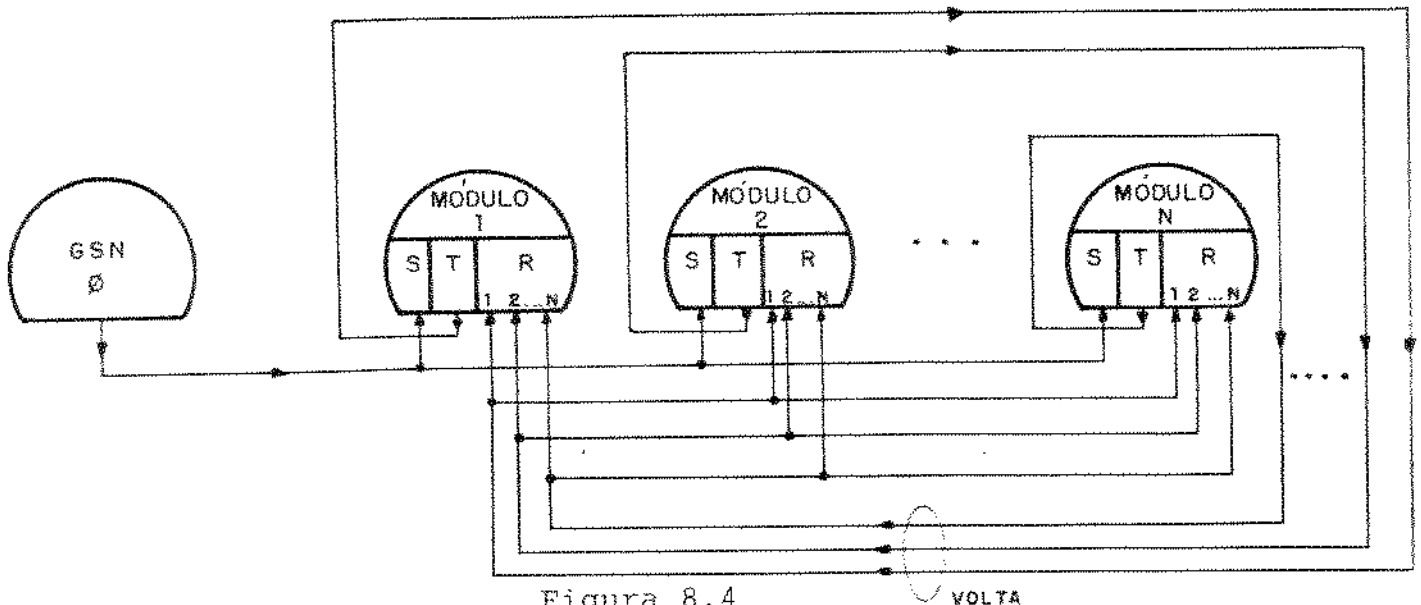
ΔL_v = atraso da "volta" do módulo N ao módulo 1

tem-se então:

$$d_{ij} = \Delta L_{\emptyset i} + C + \Delta L_{iN} + \Delta L_v + \Delta L_{lj}$$

Considerando-se que o atraso no cabo é proporcional ao seu comprimento, chega-se a:

$$\begin{aligned} d_{ij} &= \Delta(L_{\emptyset i} + L_{iN}) + \Delta L_v + \Delta L_{lj} + C = \\ &= \Delta L_{\emptyset N} + \Delta L_v + C + \Delta L_{lj} \end{aligned} \quad (8.2)$$



Em outras palavras isto significa que todos os sinais de dados transmitidos para o módulo j (inclusive dele próprio) chegam a ele no mesmo instante. Variando-se j o instante de chegada variará com j , ou seja, esses sinais, embora estando em fase entre si em cada módulo terão a diferença de fase de um módulo para outro. A figura 8.5 mostra esses fatos.

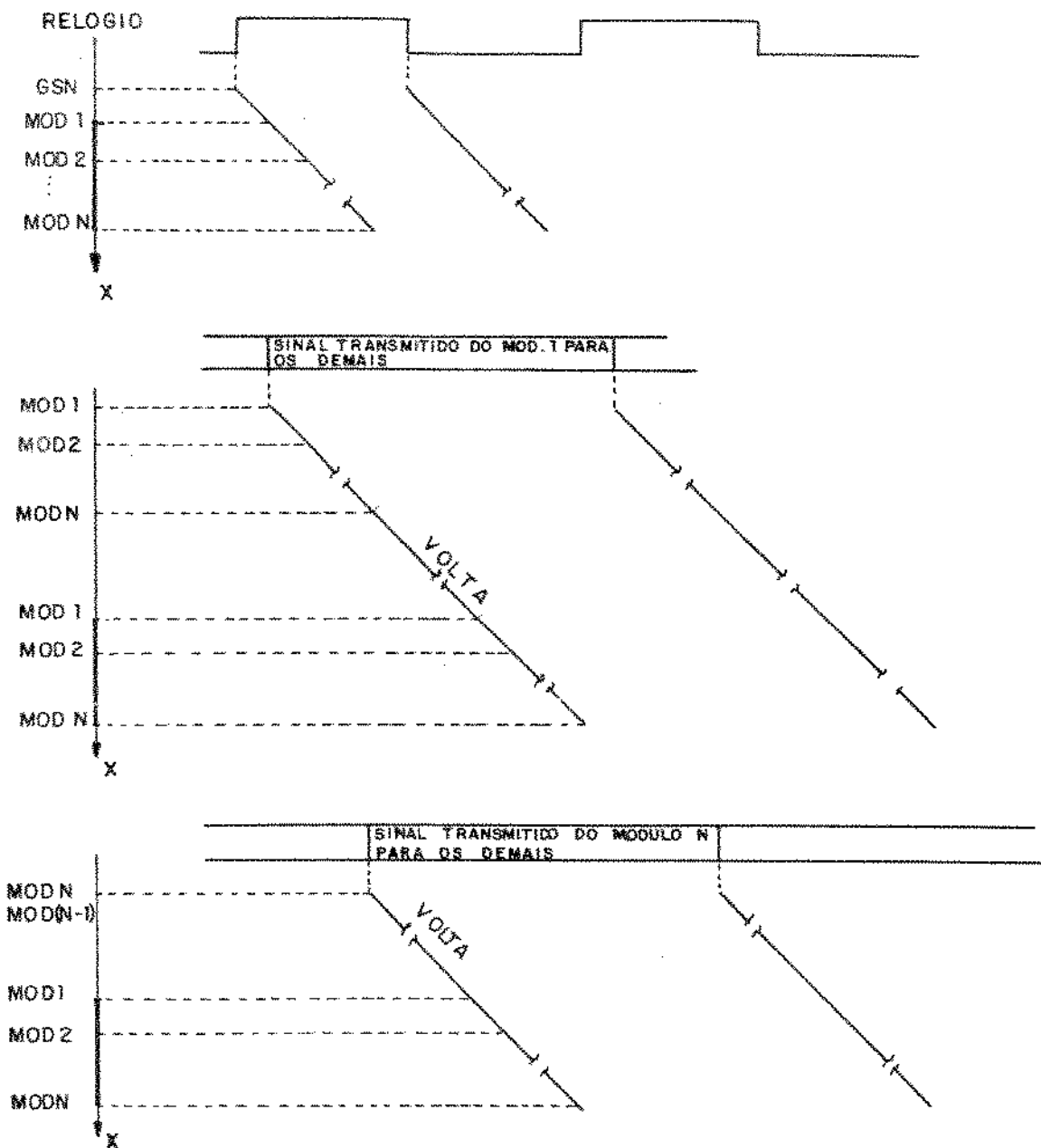


Figura 8.5

Na figura 8.5 o grifo no eixo x indica o sinal entrando no módulo.

Na expressão (8.1) é interessante notar que para $i = j$

$$\begin{aligned} \Delta L_{ii} &= \Delta L_{iN} + \Delta L_V + \Delta L_{ii} = \\ &= \Delta(L_{1i} + L_{iN}) + \Delta L_V = \\ &= \Delta L_{1N} + \Delta L_V = \Delta(L_{1N} + L_V) \end{aligned}$$

ou seja, é igual e constante para qualquer i . Sendo L_{1N} o comprimento de "ida" do módulo 1 ao módulo N, $L_{1N} + L_V$ é comprimento total L_c ("ida e volta") da central. Usando-se esse conceito, o atraso d_{ij} pode também ser escrito como:

$$d_{ij} = \Delta L_c + \Delta L_{\emptyset j} + C$$

onde:

$$\Delta L_{\emptyset j} = \text{atraso do GSN ao módulo } j$$

Isto evidencia o fato de que o atraso dos sinais no módulo j é função do tamanho da central, já que este tamanho afeta tanto L_c como $L_{\emptyset j}$.

VIII.3 - Cálculo dos "Straps" e Comprimento dos Cabos

VIII.3.1 - O Problema

Deseja-se projetar um mecanismo de atraso programável ("strap") a ser usado em cada módulo e que permita a adaptação da central aos possíveis comprimentos da mesma.

Considere-se a diferença de atraso entre os dados recebidos num módulo j e o relógio no mesmo, que é dada nominalmente por:

$$\delta\Delta = (\Delta L_c + \Delta L_{\emptyset j} + C) - \Delta L_{\emptyset j} = \Delta L_c + C$$

e determinem-se os valores extremos de tal diferença. O "strap" consiste num mecanismo que no caso de máxima diferença de atraso $\text{MAX} \{\delta\Delta\}$, não introduz nenhum atraso adicional nos dados e, no caso de valores menores

de diferença de atraso, introduz uma sequência de K amostragens com bordas de relógio alternadamente de subida e descida de modo que após tais amostragens a diferença de atraso seja aproximadamente igual à do caso de máximo.

O problema se resume primeiro em se determinar qual é o valor máximo de K de amostragens necessárias, dados os possíveis tamanhos da central e segundo, levando-se em conta as dispersões dos atrasos, em se determinar os possíveis valores de comprimento da central para os quais é possível uma amostragem sem erros.

Esse tipo de problema pode ser estudado utilizando-se do modelo da figura 8.6 .

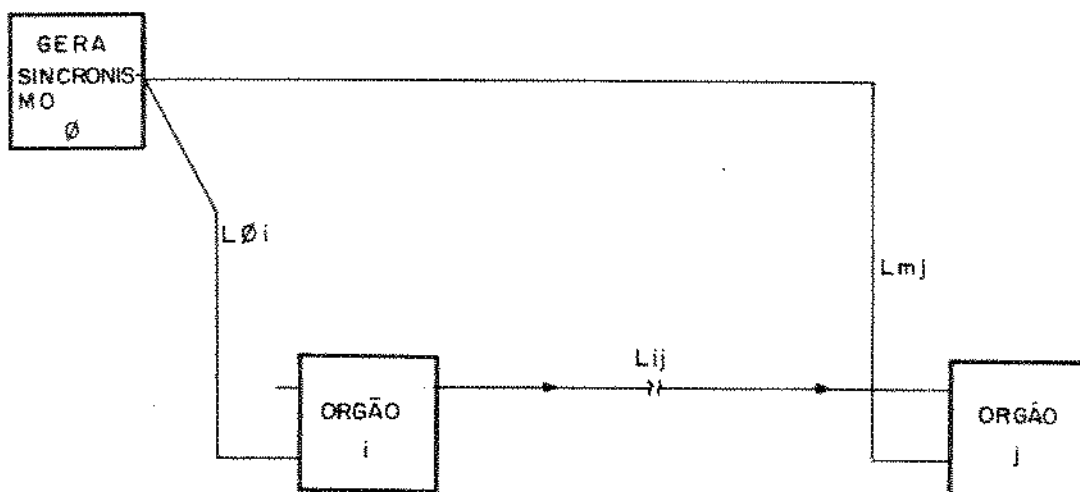


Figura 8.6

Sejam:

- ΔRel_i = atraso do relógio em i
- ΔDad_{ij} = atraso do dado em j (vai de i para j)
- T = período do relógio

A amostragem correta é feita se o dado que chega em j for copiado por uma das bordas do relógio de j . Isso leva, conforme figura 8.7, às seguintes inequações:

$$\Delta Rel_i + \Delta Dad_{ij} \leq \Delta Rel_j + K \frac{T}{2} \quad (8.3)$$

$$\Delta Rel_i + \Delta Dad_{ij} + T \geq \Delta Rel_j + K \frac{T}{2} \quad (8.4)$$

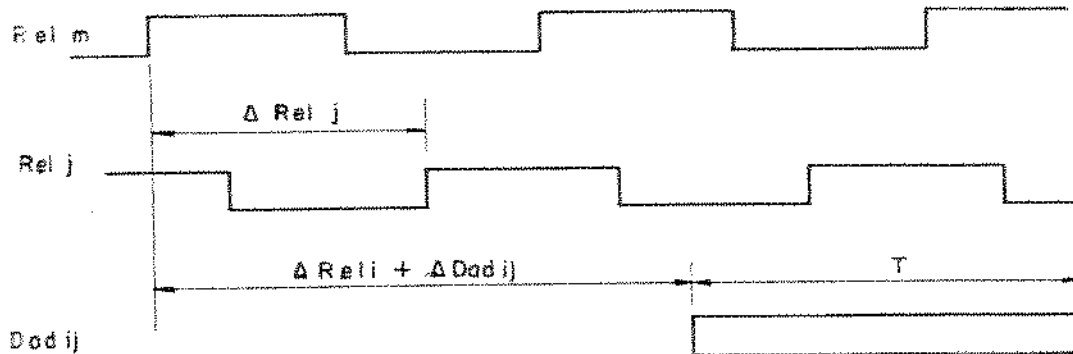


Figura 8.7

A resolução dessas duas inequações leva a solução do problema proposto.

VIII.3.2 - Métodos

A determinação da faixa de comprimento dos fios de transmissão através dos limites de atrasos que devem ser observados levando-se em conta as exigências de "lay-out" e mecânica do sistema será analisada neste trabalho através de dois métodos:

- Aproximação do Pior Caso
- Aproximação Estatística Gaussiana

Na Aproximação do Pior Caso consideram-se todos os componentes do circuito de transmissão e recepção apresentando atrasos de

propagação extremos (máximos ou mínimos) que implicam na situação mais crítica, de modo que as inequações (8.3) e (8.4) sejam obedecidas na situação:

$$(\Delta Rel_i + \Delta Dad_{ij}) \max \leq (\Delta Rel_j) \min + K \frac{T}{2} \quad (8.3')$$

$$(\Delta Rel_i + \Delta Dad_{ij}) \min + T \geq (\Delta Rel_j) \max + k \frac{T}{2} \quad (8.4')$$

Na Aproximação Estatística Gaussiana supõem-se que todos os atrasos são variáveis aleatórias (V.A) distribuídas gaussianamente com valores médios e desvios padrões conhecidos. Tal suposição é baseada na análise das medidas efetuadas em componentes TTL (referência 34) e é utilizada por fabricante de equipamentos de telecomunicações (referência 33). A partir das inequações (8.3) e (8.4) que caracterizam os limites de amostragem, os comprimentos máximos e mínimos dos cabos de transmissão são explicitados como funções dos atrasos do restante dos componentes. Tais valores máximos e mínimos sendo funções de V.A são também V.A. Em função de seus valores médios (μ) e desvios padrões (τ) calculam-se os comprimentos dos fios que, com uma dada probabilidade, satisfazem as condições de amostragem. Nesse método utilizar-se-ão os seguintes teoremas:

1. Se X_1 tem distribuição $N(\mu_1, \tau_1^2)$, X_2 com $N(\mu_2, \tau_2^2)$, ..., X_n com $N(\mu_n, \tau_n^2)$ e $Y = X_1 + X_2 + \dots + X_n$, então Y tem distribuição $N(\mu_1 + \mu_2 + \dots + \mu_n, \tau_1^2 + \tau_2^2 + \dots + \tau_n^2)$
2. Se X tem distribuição $N(\mu, \tau^2)$ e $Y = aX+b$, então Y tem distribuição $N(a\mu + b, a^2\tau^2)$.

Nos cálculos a seguir considera-se "a" (o atraso por metro na linha) como uma variável não aleatória, já que isto tornaria as variáveis não gaussianas complicando os cálculos. Assumem-se valores a_{\max} e a_{\min} dependendo da condição a ser satisfeita de modo a ter margens de segurança maiores que as obtidas considerando "a" como V.A .

Para se estudar o problema proposto será considerado um modelo mais completo mostrado na figura 8.8 .

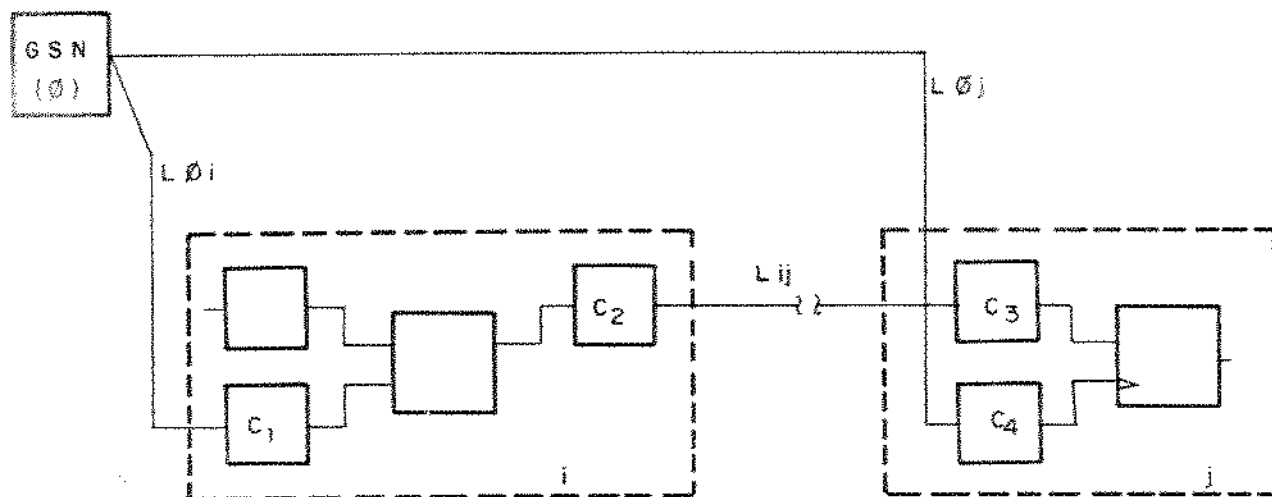


Figura 8.8

A figura ilustra o fato de o relógio além de sofrer o atraso da linha ($L_{\emptyset i}$ e $L_{\emptyset j}$) ainda passa por circuitos que vão lhe impor atrasos adicionais (C_1, C_4); fato semelhante ocorre com os dados que passam por C_2 (que inclui o atraso do amostrador em i), L_{ij} e C_3 . Dessa maneira pode-se escrever:

$$\Delta Rel_i = \Delta C_1 + \Delta L_{\emptyset i} \quad (8.5)$$

$$\Delta Dad_{ij} = \Delta C_2 + \Delta L_{ij} + C_3 \quad (8.6)$$

$$\Delta Rel_j = \Delta C_4 + \Delta L_{\emptyset j} \quad (8.7)$$

As equações acima podem ser substituídas diretamente em (8.3) e (8.4) obtendo-se:

$$\Delta L_{\phi i} + \Delta L_{ij} + \Delta L_{\phi j} \leq \Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + K \frac{T}{2} \quad (8.8)$$

$$\Delta L_{\phi i} + \Delta L_{ij} - \Delta L_{\phi j} \geq \Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + \left(\frac{K}{2} - 1\right)T \quad (8.9)$$

Fazendo:

$$\Delta L = \Delta L_{\phi i} + \Delta L_{ij} + \Delta L_{\phi j} \quad \text{tem-se} \quad (8.10)$$

$$\Delta L \leq \Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + K \frac{T}{2} = \Delta L_{\max} \quad (8.11)$$

$$\Delta L \geq \Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + \left(\frac{K}{2} - 1\right)T = \Delta L_{\min} \quad (8.12)$$

$$\text{Mas } \Delta L = a \cdot L \quad (8.13)$$

$$\text{Então } \Delta L_{\max} = a_{\max} \cdot L_{\max} \quad (8.14)$$

$$\text{e } \Delta L_{\min} = a_{\min} \cdot L_{\min}$$

Considera-se ainda um erro de 1% no comprimento dos cabos devido a erro de medida durante a confecção dos mesmos. Então:

$$L_{\max} = 1,01L \quad (8.15)$$

$$\text{e } L_{\min} = 0,99L \quad (8.16)$$

Assim as equações (8.11) e (8.12) ficam:

$$L_{\max} = \frac{1}{1,01a_{\max}} \left[\Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + K \frac{T}{2} \right] \quad (8.17)$$

$$L_{\min} = \frac{1}{0,99a_{\min}} \left[\Delta C_4 - \Delta C_1 - \Delta C_2 - \Delta C_3 + \left(\frac{K}{2} - 1\right)T \right] \quad (8.18)$$

O comprimento l a ser determinado será:

$$l_{\min} \leq l \leq l_{\max} \quad (8.19)$$

Para cada valor de K inteiro determina-se l_{\max} e l_{\min} tendo-se, pois, o intervalo de comprimento da linha daquele K .

VIII.3.2.1 - Aproximação do Pior Caso

Nesse método as equações (8.11) e (8.12) se tornam:

$$\Delta L \leq \Delta L_{\max} = \Delta C_{4\min} - \Delta C_{1\max} - \Delta C_{2\max} - \Delta C_{3\max} + K \frac{T}{2} \quad (8.20)$$

$$\Delta L \geq \Delta L_{\min} = \Delta C_{4\max} - \Delta C_{1\min} - \Delta C_{2\min} - \Delta C_{3\min} + \left(\frac{K}{2} - 1\right)T$$

ou seja:

$$L_{\max} = \frac{1}{1,01a_{\max}} \left[\Delta C_{4\min} - \Delta C_{1\max} - \Delta C_{2\max} - \Delta C_{3\max} + K \frac{T}{2} \right] \quad (8.21)$$

e

$$L_{\min} = \frac{1}{0,99a_{\min}} \left[\Delta C_{4\max} - \Delta C_{1\min} - \Delta C_{2\min} - \Delta C_{3\min} + \left(\frac{K}{2} - 1\right)T \right] \quad (8.22)$$

VIII.3.2.2 - Aproximação Estatística Gaussiana

Nesse método L_{\max} , L_{\min} , ΔC_1 , ΔC_2 , ΔC_3 , ΔC_4 são consideradas variáveis aleatórias de média μL_{\max} , μL_{\min} , $\mu \Delta C_1$, $\mu \Delta C_2$, $\mu \Delta C_3$, $\mu \Delta C_4$ e variância $\tau^2 L_{\max}$, $\tau^2 L_{\min}$, $\tau^2 \Delta C_1$, $\tau^2 \Delta C_2$, $\tau^2 \Delta C_3$ e $\tau^2 \Delta C_4$ respectivamente.

Assim, utilizando os teoremas citados, têm-se das equações (8.11) e (8.12) :

$$\mu L_{\max} = \frac{1}{1,01a_{\max}} [\mu \Delta C_4 - \mu \Delta C_1 - \mu \Delta C_2 - \mu \Delta C_3 + K \frac{T}{2}] \quad (8.23)$$

$$\tau^2 L_{\max} = \left(\frac{1}{1,01a_{\max}}\right)^2 [\tau^2 \Delta C_4 + \tau^2 \Delta C_1 + \tau^2 \Delta C_2 + \tau^2 \Delta C_3] \quad (8.23)$$

$$\mu L_{\min} = \frac{1}{0,99a_{\min}} [\mu \Delta C_4 - \mu \Delta C_1 - \mu \Delta C_2 - \mu \Delta C_3 + \left(\frac{K}{2}-1\right)T] \quad (8.25)$$

$$\tau^2 L_{\min} = \left(\frac{1}{0,99a_{\min}}\right)^2 [\tau^2 \Delta C_4 + \tau^2 \Delta C_1 + \tau^2 \Delta C_2 + \tau^2 \Delta C_3] \quad (8.26)$$

Definindo:

$$\mu \Delta C_{\max} = \frac{1}{1,01a_{\max}} [\mu \Delta C_4 - \mu \Delta C_1 - \mu \Delta C_2 - \mu \Delta C_3] \quad (8.27)$$

$$\alpha = 1,01 a_{\max} \quad (8.28)$$

$$\mu \Delta C_{\min} = \frac{1}{0,99a_{\min}} [\mu \Delta C_4 - \mu \Delta C_1 - \mu \Delta C_2 - \mu \Delta C_3 - T] \quad (8.29)$$

$$\beta = 0,99a_{\min} \quad (8.30)$$

tem-se :

$$\mu L_{\max} = K \frac{T}{2\alpha} + \mu \Delta C_{\max} \quad (8.31)$$

$$\mu L_{\min} = K \frac{T}{2\beta} + \mu \Delta C_{\min} \quad (8.32)$$

VIII.3.2.2.1 - Procedimento

Sendo L_{\max} uma V.A com distribuição $N(\mu L_{\max}, \tau^2 L_{\max})$ a sua função distribuição de probabilidade (f.d.p.) - $f(l_{\max})$ - e a probabilidade de um dado comprimento de cabo ser menor que $L_{\max} - P(l_{\max} < L_{\max})$ - são dadas por:

$$f(l_{\max}) = \frac{1}{\sqrt{2\pi} \cdot \tau L_{\max}} \exp\left(-\frac{1}{2} \left[\frac{l_{\max} - \mu L_{\max}}{\tau L_{\max}}\right]^2\right) \quad (8.33)$$

$$P(l_{\max} \leq L_{\max}) = \int_{l_{\max}}^{\infty} f(t) dt \quad (8.34)$$

$P(l_{\max} \leq L_{\max})$ é a probabilidade da inequação (8.3) ser satisfeita (grau de Confiança, CL_{\max}), ou seja, de não se ter erro na amostragem por a borda $K \frac{T}{2}$ se encontrar além do início do intervalo em que o dado é definido. As figuras 8.9 e 8.10 mostram os gráficos de $f(l_{\max})$ e $P(l_{\max} \leq L_{\max})$.

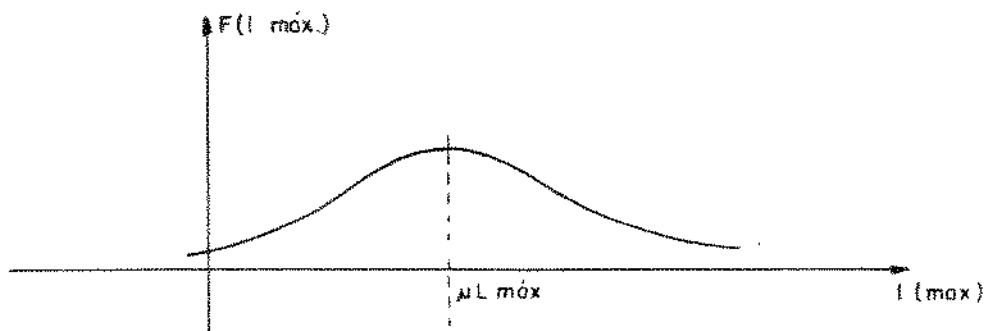


Figura 8.9

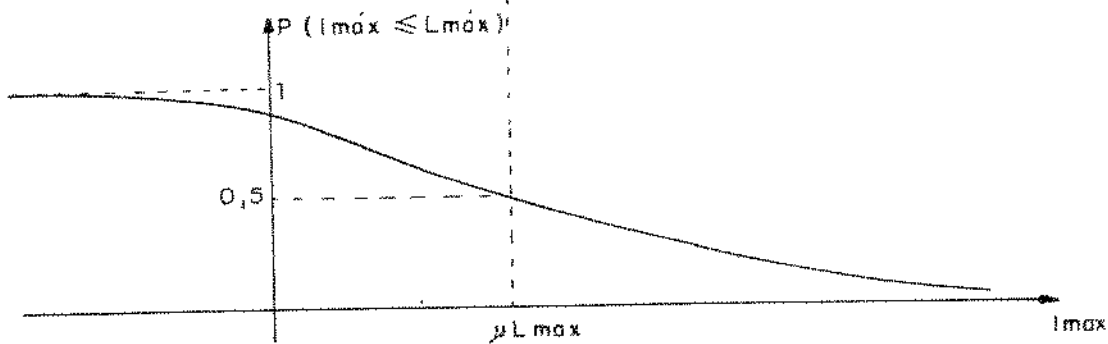


Figura 8.10

Da mesma forma tem-se L_{\min} com distribuição $N(\mu L_{\min}, \sigma^2 L_{\min})$ com $f(L_{\min})$ e $P(L_{\min} \geq L_{\min})$ dados por:

$$f(L_{\min}) = \frac{1}{\sqrt{2\pi}L_{\min}} \exp\left(-\frac{1}{2} \left[\frac{L_{\min} - \mu L_{\min}}{\sigma L_{\min}}\right]^2\right) \quad (8.35)$$

$$P(L_{\min} \geq L_{\min}) = \int_{-\infty}^{L_{\min}} f(t) dt \quad (8.36)$$

$P(L_{\min} \geq L_{\min})$ é a probabilidade da inequação (8.4) ser satisfeita (grau de Confiança, CL_{\min}), ou seja, de não se ter erro na amostragem por a borda $K\frac{T}{2}$ se encontrar alguém do fim do intervalo em que o dado é definido. As figuras 8.11 e 8.12 mostram os gráficos de $f(L_{\max})$ e $P(L_{\max} \leq L_{\max})$.

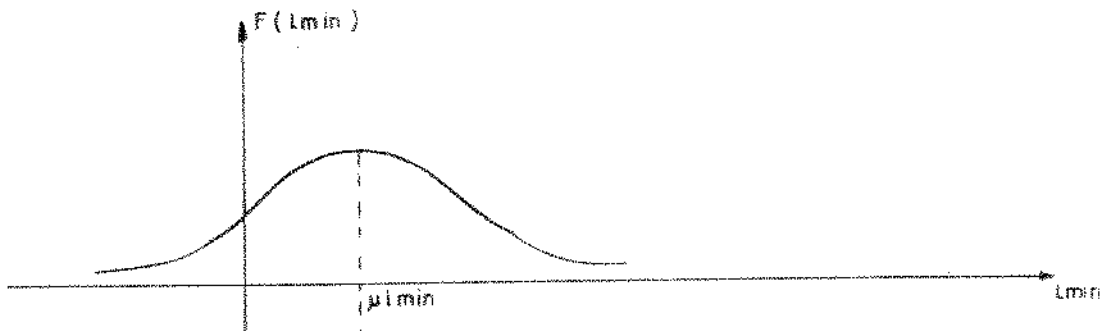


Figura 8.11

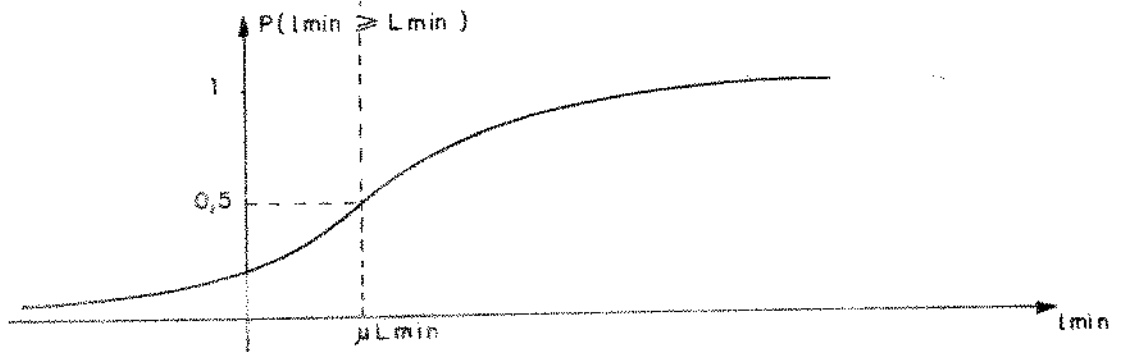


Figura 8.12

Para um dado valor de K determina-se μL_{\max} e μL_{\min} ; para uma probabilidade de amostragem de erro, determinam-se l_{\max} e l_{\min} obtendo-se a faixa de variação da linha de transmissão.

Das equações (8.23) a (8.26), pode ser verificado que $\tau^2 L_{\max}$ e $\tau^2 L_{\min}$ independem de K , portanto $f(l_{\max})$ e $f(l_{\min})$ mantêm a mesma "forma para todo valor de K ".

É possível verificar que $f(l_{\min})$ se desloca mais rapidamente para a direita do que $f(l_{\max})$ com o aumento de K , ou seja, μL_{\min} cresce mais rapidamente que μL_{\max} já que verifica-se a relação seguinte:

$$\beta < \alpha \tag{8.37}$$

Para uma dada probabilidade de amostragem sem erro, tem-se que l_{\min} e l_{\max} variam linearmente com K como mostram as equações:

$$l_{\max} = l_{\max\emptyset} + K \frac{T}{2\alpha}, \text{ onde } l_{\max\emptyset} = l_{\max} \text{ p/ } K = \emptyset \tag{8.38}$$

$$l_{\min} = l_{\min\emptyset} + K \frac{T}{2\beta}, \text{ onde } l_{\min\emptyset} = l_{\min} \text{ p/ } K = \emptyset \tag{8.39}$$

Isto significa que dada uma probabilidade de amostragem de erro, a faixa de valores permitidos para o comprimento da linha $(l_{\max} - l_{\min})$ diminui com o aumento de K até chegar a zero e depois ficar negativa. Esse fato limita o tamanho máximo da central para aquela probabilidade.

Das expressões (8.38) e (8.39) verifica-se que para

$$K > \frac{2 \alpha \beta}{T(\alpha - \beta)} (l_{\max\emptyset} - l_{\min\emptyset})$$

tem-se $l_{\max} < l_{\min}$ e, conseqüentemente, para a probabi-

lidade de amostragem sem erro especificada não existe nenhum comprimento de cabo possível para tais valores de K .

Fixando-se $u_{L_{max}}$ e $u_{L_{min}}$ têm-se que quanto menor probabilidade de amostragem sem erro, maior será a faixa ($l_{max} - l_{min}$). Basta então saber qual é o grau de confiança com que o sistema deve trabalhar para determinar-se o seu tamanho com as devidas faixas para cada K . A figura 8.13 ilustra o que foi dito.

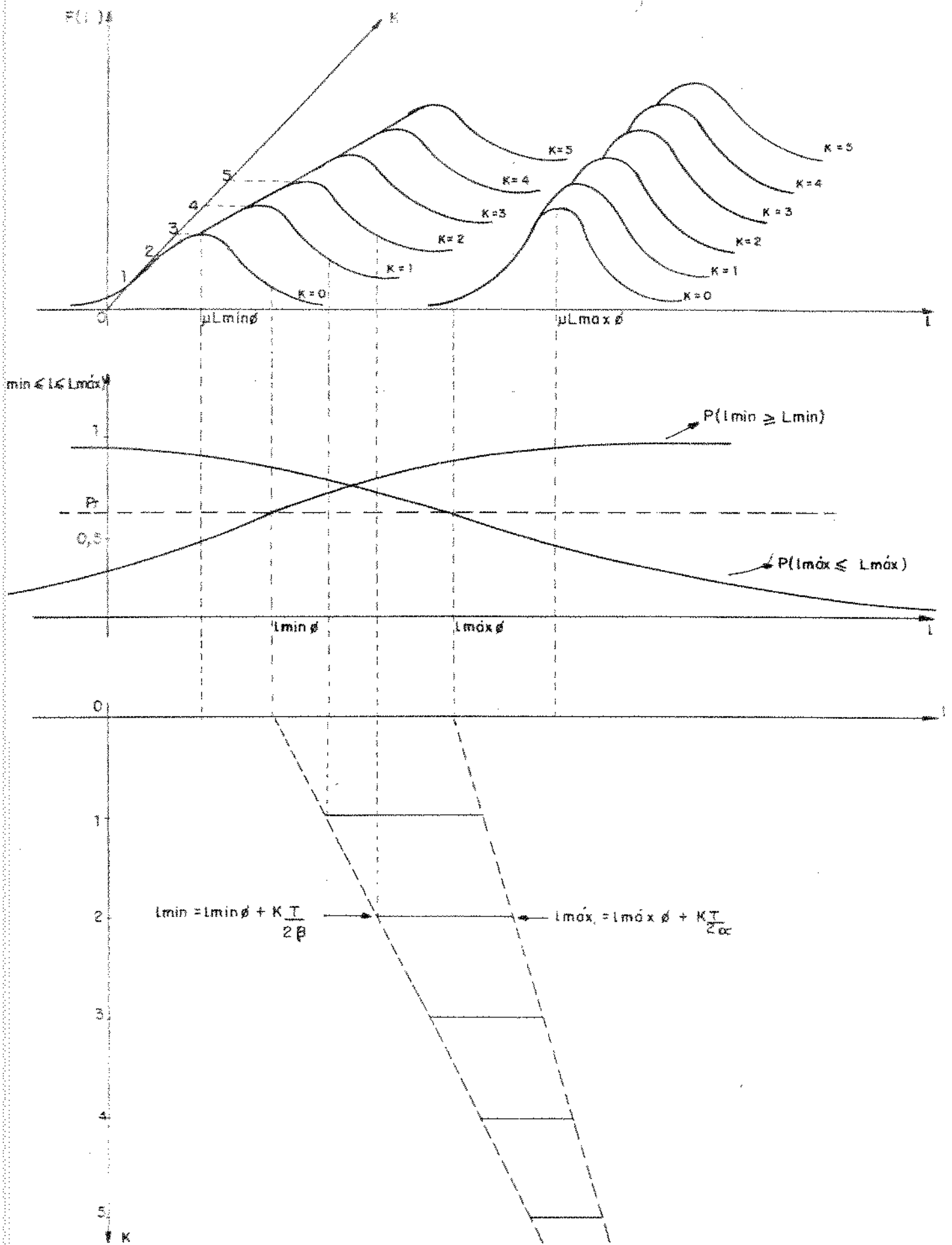


FIGURA 8.13

VIII.3.3 - O Modelo na Matriz de Comutação

O modelo proposto no item III.1 é semelhante ao utilizado na matriz de comutação.

Os sinais de sincronismo saem do GSN através de um bus pelo qual são distribuídos os blocos de comutação. Em cada bloco esses sinais são recebidos pela CTR do mesmo, onde há um processamento dos mesmos, sendo as necessárias fases de relógio geradas e enviadas às respectivas placas SPS's e ECT's de seu bloco. As SPS's enviam sinais de voz e dados para a ECT de seu bloco e para cada uma dos outros blocos. Segue-se, então, o estudo dos cabos e atrasos de transmissão de sinais de voz e dados do bloco i ao bloco j dado que estes blocos recebem sinais de sincronismo do GSN. A distribuição de sinais entre estes blocos é mostrada na figura 8.14 .

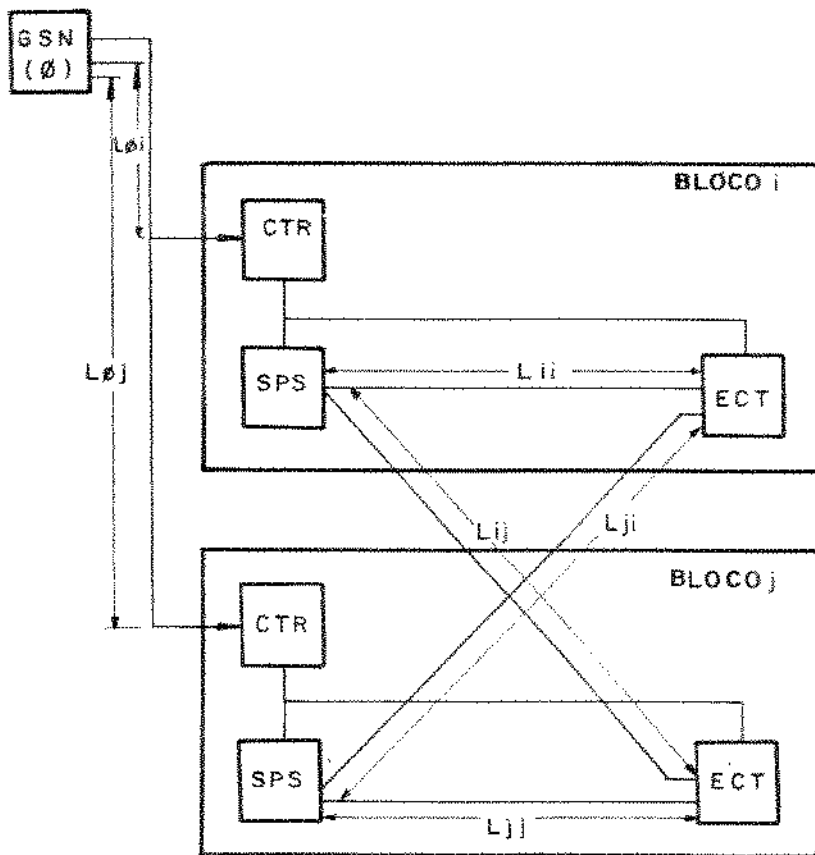


Figura 8.14

A seguir detalham-se os caminhos percorridos pelos sinais de sincronismo e voz dentro das placas.

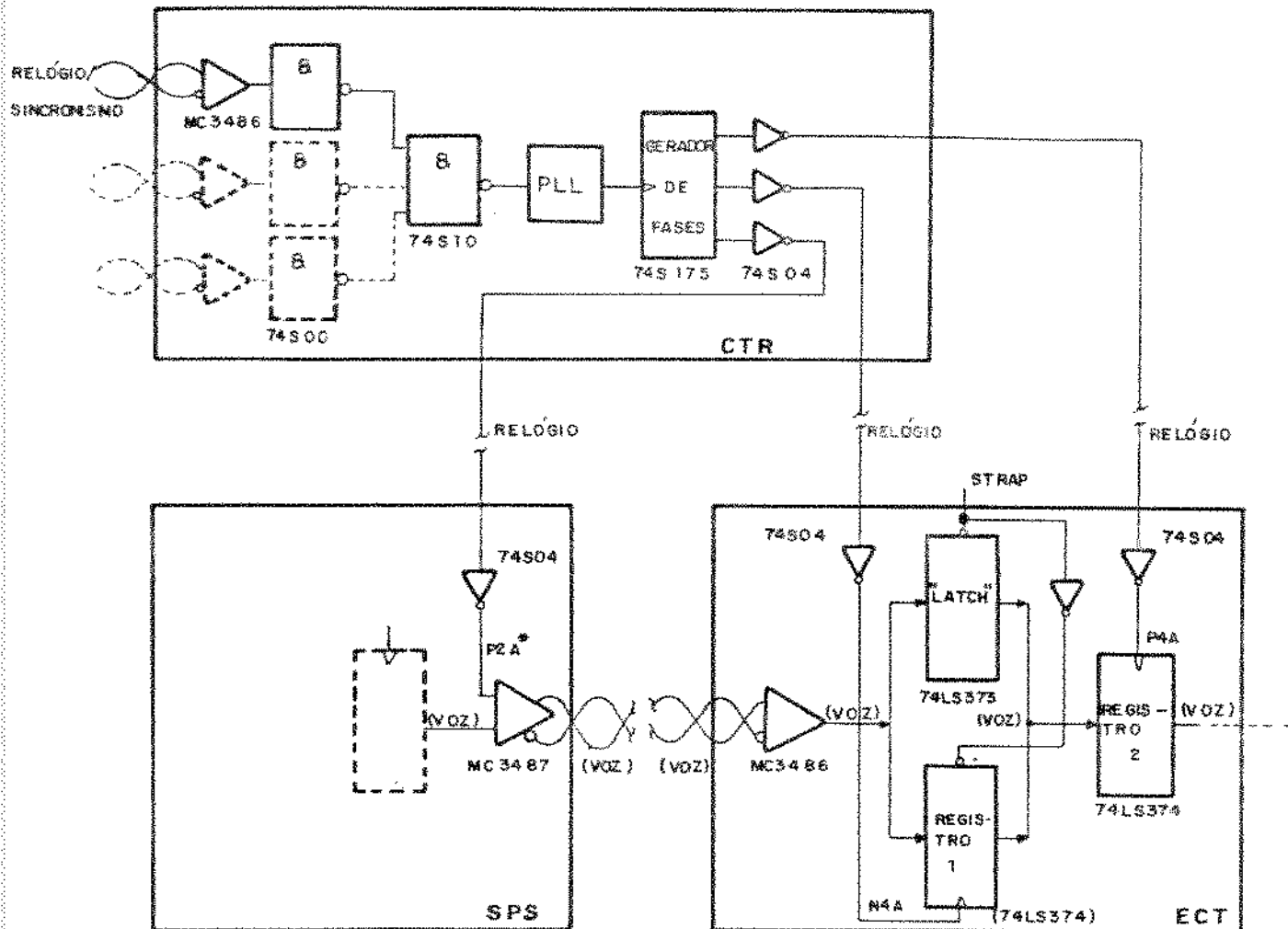


Figura 8.15

Na figura 8.15 representou-se apenas uma SPS. Na verdade podem existir até 2 SPS's , num bloco de comutação. Como se sabe, os sinais de voz que saem das mesmas para as ECT's são multiplexados numa única via (enlace Externo) a uma frequência de 4,096 MHz o que dá um período de 244ns por canal. Na ECT os sinais de voz podem percorrer dois

caminhos:

- para o sinal "strap" em zero, o sinal de voz passa pelo "latch" transparente atingindo o registro 2; nesse caso K (número de bordas positivas ou negativas do relógio) é par.
- para o sinal "strap" em "um", a voz é amostrada pelo registro 1 atingindo a seguir o registro 2; nesse caso K é ímpar.

Maiores detalhes sobre o controle do sinal "strap" podem ser vistos no item IV.3.2.1 .

A tabela 1 mostra as características dos atrasos dos componentes na transmissão. De acordo com a referência 34, os valores μ e τ podem ser obtidos em função dos valores dados pelo fabricante como μ = valor típico e 3τ = valor máximo - valor típico.

Na tabela 1 têm-se:

- t_{plh} : tempo para o sinal ir do nível "Low" para "High";
- t_{phl} : tempo para o sinal ir do nível "High" para "Low";
- HDT : "Hold Time";
- SUT : "Set Up Time";
- m : mínimo;
- μ : média (típico);
- M : máximo .

TABELA 1

COMPO- NENTE	T _{PLH} (ms)				T _{PHL} (ms)				HDT (ms)				SUT (ms)				PIOR CASO (ms)			
	m	μ	M	σ ²	m	μ	M	σ ²	m	μ	σ ²	m	u	M	σ ²	m	μ	M	σ ²	
74S00	3	4,5	6	0,25	3	5	7	0,44	-	-	-	-	-	-	-	3	5	7	0,44	
74S04	3	4,5	6	0,25	3	5	7	0,44	-	-	-	-	-	-	-	3	5	7	0,44	
74S10	3	4,5	6	0,25	3	5	7	0,44	-	-	-	-	-	-	-	3	5	7	0,44	
74LS175	4	8	12	1,78	6	11,5	17	3,36	3	-	-	5	-	-	-	4	10,5	17	4,69	
74LS373	1	5	9	1,78	5	9	13	1,78	10	-	-	0	-	-	-	1	7	13	4	
74LS374	2	15	28	18,78	10	19	28	9	0	-1	0,11	20	18	16	0,44	2	15	28	18,78	
MC3486	13	25	37	16	13	25	37	16	-	-	-	-	-	-	-	13	25	37	16	
MC3487	5	15	25	11,11	5	15	25	11,11	-	-	-	-	-	-	-	5	15	25	11,11	
PLL	-5	0	5	2,78	-5	0	5	2,78	-	-	-	-	-	-	-	-5	0	5	2,78	
DCR	-6	0	6	4	-6	0	6	4	-	-	-	-	-	-	-	-6	0	6	4	

As colunas do "Pior Caso" foram obtidas como se segue:

$$m = m (t_{pLH}, t_{pHL}) \quad (8.40)$$

$$M = M (t_{pLH}, t_{pHL}) \quad (8.41)$$

$$\mu = \frac{m + M}{2} \quad (8.42)$$

$$\tau = \frac{M - \mu}{3} \quad (8.43)$$

O item DCR (Duty Cycle do Relógio) indica a variação da largura dos pulsos do relógio que chega à CTR. Portanto, juntamente com o atraso inerente ao PLL existirá um outro que é devido ao Δ Duty Cycle já que este serve de referência ao PLL. Este atraso é a metade daquele do Δ Duty Cycle como mostra a figura 8.16.

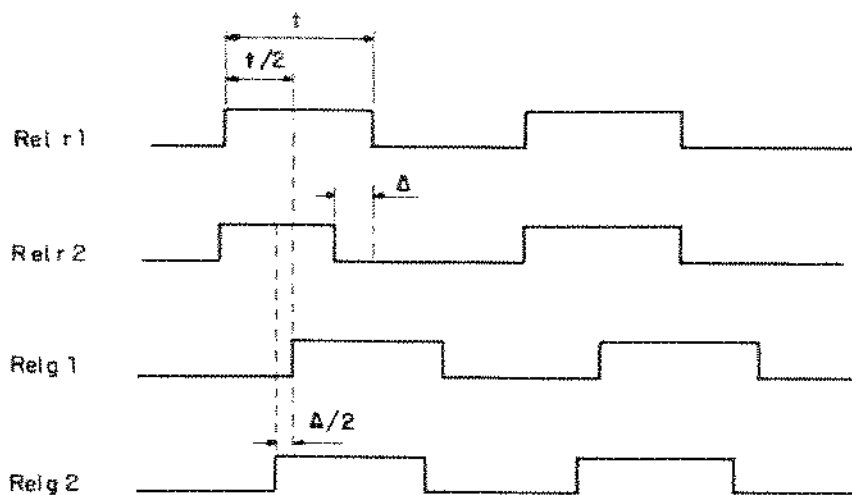


Figura 8.16

Na figura 8.16 Relr₁ é o relógio de referência do PLL à partir do qual gera o Relg₁, cuja borda de subida está no meio do pulso positivo de Relr₁; Relr₂ é o relógio de referência com um "duty cycle" Δ segundos menor que o Relr₁; assim, o relógio gerado pelo PLL -

Relg₁ -, à partir da referência Relr₂, esta
rá A/2 segundos através da relação à
Relg₁ .

VIII.3.3.1 - As Equações do Modelo

As equações referentes ao modelo utiliza-
do para a matriz de comutação são semelhar-
tes às deduzidas no item VIII.3.2 onde
identificam-se as seguintes relações:

$$\Delta C_1 = \Delta_{MC3486} + \Delta_{74S00} + \Delta_{74S10} + \Delta_{PLL} + \Delta_{DCR/2} + \Delta_{74S175} +$$

$$+ \Delta_{74S04} + \Delta_{74S04} \quad (8.44)$$

$$\Delta C_2 + \Delta C_3 = (\Delta C_2 + \Delta C_3)_{K \text{ IMPAR}} = \Delta_{MC3487} + \Delta_{MC3486} + \Delta_{SUP74LS374}$$

$$(8.45)$$

$$(\Delta C_2 + \Delta C_3)' = (\Delta C_2 + \Delta C_3)_{K \text{ PAR}} = \Delta_{MC3487} + \Delta_{MC3486} +$$

$$+ \Delta_{74LS373} + \Delta_{SUP74LS374} \quad (8.46)$$

$$\Delta C_4 = \Delta_{MC3486} + \Delta_{74S00} + \Delta_{74S10} + \Delta_{PLL} + \Delta_{DCR/2} +$$

$$+ \Delta_{74S175} + \Delta_{74S04} + \Delta_{74S04} \quad (8.47)$$

A tabela 2 mostra os valores mínimo, típico,
máximo e variância das equações (8.44) à
(8.45).

	m (ns)	u (ns)	M (ns)	τ^2 (ns) ²	τ (ns)
ΔC_1	21	50,5	90	26,23	5,12
$(\Delta C_2 + \Delta C_3)$	34	58	82	27,55	5,25
$(\Delta C_2 + \Delta C_3)'$	35	65	95	31,55	5,62
ΔC_4	21	50,5	90	26,23	5,12

Tabela 2

Para obtenção da Tabela 2 foram utilizadas as colunas do "Pior Caso" da Tabela 1.

A rigor deveria ser feita a análise separadamente para bordas de subida e de descida dos dados e depois escolher os limites mais estreitos (maior dos mínimos e menor dos máximos) para as faixas de comprimentos. A utilização do pior caso simplifica o trabalho e leva a valores pouco diferentes sempre pessimistas com relação aos obtidos pela análise separada para bordas de subida e descida.

Devido à configuração assumida para a distribuição de cabos, têm-se, para os blocos i e j , de acordo com o item VIII.2, as seguintes relações:

$$L_{\emptyset i} + L_{ii} = L_{\emptyset j} + L_{ij} \quad \text{ou} \quad L_{ii} = L_{\emptyset j} + L_{ji} - L_{\emptyset i} \quad (8.48)$$

e

$$L_{\emptyset i} + L_{ij} = L_{\emptyset j} + L_{jj} \quad \text{ou} \quad L_{jj} = L_{\emptyset i} + L_{ij} - L_{\emptyset j} \quad (8.49)$$

Na verdade tanto L_{ii} quanto L_{jj} dão o comprimento que a central deve assumir, ou seja,

$$L = L_{ii} = L_{jj} \quad (8.50)$$

Através de experiências realizadas em laboratórios (referência 32) com os tipos de linha a serem utilizadas para a transmissão de sinais chegaram-se aos seguintes valores para o máximo (a_{\max}) e mínimo (a_{\min}) atrasos da mesma:

$$a_{\max} = 5,4 \text{ ns/m}$$

$$a_{\min} = 4,9 \text{ ns/m}$$

A frequência de transmissão de sinais das SPS's para as ECT's é de 4,096MHz o que implica em que

$$T = (4.096)^{-1} \mu s = 244ns$$

VIII.3.3.2 - Aproximação do Pior Caso

VIII.3.3.2.1 - Para K Par

Utilizando a equação (8.21) e os valores da Tabela 2, têm-se :

$$\begin{aligned} L_{\max} &= \frac{1}{1,01a_{\max}} \left(-164 + \frac{K}{2} T\right) \\ L_{\max} &= 0,18 \cdot (-164 + K122) \\ L_{\max} &= -29,52 + 21,96K \end{aligned} \quad (8.51)$$

À partir da equação (8.22) têm-se :

$$\begin{aligned} L_{\min} &= \frac{1}{0,99a_{\min}} \left[34 + \left(\frac{K}{2} - 1\right)T\right] \\ L_{\min} &= 0,21 \left[34 + \left(\frac{K}{2} - 1\right) 244\right] \\ L_{\min} &= -44,10 + 25,62K \end{aligned} \quad (8.52)$$

VIII.3.3.2.2 - Para K Ímpar

Da mesma forma que no item anterior

$$\begin{aligned} L_{\max} &= \frac{1}{1,01a_{\max}} \left(-151 + \frac{K}{2} T\right) \\ L_{\max} &= 0,18(-151 + 122K) \\ L_{\max} &= -27,18 + 21,96K \end{aligned} \quad (8.53)$$

$$\begin{aligned} L_{\min} &= \frac{1}{0,99a_{\min}} \left[35 + \left(\frac{K}{2} - 1\right)T\right] \\ L_{\min} &= 0,21 \left[35 + \left(\frac{K}{2} - 1\right) 244\right] \\ L_{\min} &= -43,89 + 25,62K \end{aligned} \quad (8.54)$$

VIII.3.3.2.2 - Faixas de Comprimento Permissíveis

A seguir apresentam-se os comprimentos máximos e mínimos que a central pode assumir em função de K . Utilizaram-se as equações (8.51), (8.52), (8.53) e (8.54) para tal.

K	L _{max} (m)	L _{min} (m)
0	-29,52	-44,10
1	- 5,22	-18,27
2	14,40	7,14
3	38,70	32,97
4	58,32	58,38
5	82,62	84,21
6	102,24	109,62

Tabela 3

VIII.3.3.3 - Aproximação Estatística Gaussiana

Utilizaram-se, como na análise de pior caso, os valores das colunas do "Pior Caso" da Tabela 1. Portanto nos cálculos seguintes introduzem-se, de forma a simplificá-los, os valores de pior caso para as constantes multiplicativas (α^{-1} e β), o que implica no aumento da margem de segurança dos resultados obtidos.

VIII.3.3.3.1 - Para K Par

À partir das equações (8.23) e (8.24) e dos valores da Tabela 2, têm-se:

$$L_{\max} = \frac{1}{1,01\alpha_{\min}} \left[\mu AC_4 - \mu AC_1 - \mu AC_2 - \mu AC_3 + K \frac{T}{2} \right]$$

$$\begin{aligned} uL_{\max} &= 0,18 - (65 + K122) \\ uL_{\max} &= -11,7 + 21,96K \end{aligned} \quad (8.55)$$

$$\begin{aligned} \tau^2 L_{\max} &= \left(\frac{1}{1,01a_{\max}} \right)^2 \left[\tau^2 \Delta C_4 + \tau^2 \Delta C_2 + \tau^2 \Delta C_3 + \tau^2 \Delta C_1 \right] \\ \tau^2 L_{\max} &= 2,72 \quad , \quad \tau L_{\max} = 1,65 \end{aligned} \quad (8.56)$$

As equações (8.25) e (8.26) fornecem:

$$\begin{aligned} uL_{\min} &= \frac{1}{0,99a_{\min}} \left[u\Delta C_4 - u\Delta C_1 - u\Delta C_2 - u\Delta C_3 + \left(\frac{K}{2} - 1 \right) T \right] \\ uL_{\min} &= 0,21 \left[-65 + \left(\frac{K}{2} - 1 \right) 244 \right] \\ uL_{\min} &= -64,89 + 25,62K \end{aligned} \quad (8.57)$$

$$\begin{aligned} \tau^2 L_{\min} &= \left(\frac{1}{0,99a_{\min}} \right)^2 \left[\tau^2 \Delta C_4 + \tau^2 \Delta C_2 + \tau^2 \Delta C_3 + \tau^2 \Delta C_1 \right] \\ \tau^2 L_{\min} &= 3,70 \quad , \quad \tau L_{\min} = 1,92 \end{aligned} \quad (8.58)$$

VIII.3.3.3.2 - Para K Ímpar

Da mesma maneira utilizada para o item anterior têm-se :

$$\begin{aligned} uL_{\max} &= 0,18 (-58 + 122K) \\ uL_{\max} &= -10,44 + 21,96K \end{aligned} \quad (8.59)$$

$$\tau^2 L_{\max} = 2,59 \quad , \quad \tau L_{\max} = 1,61 \quad (8.60)$$

$$\begin{aligned} uL_{\min} &= 0,21 \left[-58 + \left(\frac{K}{2} - 1 \right) 244 \right] \\ uL_{\min} &= -63,42 + 25,62K \end{aligned} \quad (8.61)$$

$$\tau^2 L_{\min} = 3,53 \quad , \quad \tau L_{\min} = 1,88 \quad (8.62)$$

VIII.3.3.3.3 - Faixas de Comprimentos Permissíveis

Os comprimentos máximos e mínimos, que determinam as faixas de comprimento da central são determinados a partir da mé

dia, do desvio padrão e do grau de confiança (probabilidade) que se especifique. Assim, a tabela 4, mostra para os vários K's os valores de L_{max} , L_{min} obtidos a partir das equações (8.55) a (8.62).

K	μL_{min}	σL_{min}	μL_{mox}	σL_{mox}
0	-64,92	1,92	-11,70	1,65
1	-37,81	1,88	11,53	1,61
2	-13,65	1,92	32,25	1,65
3	13,45	1,88	55,48	1,61
4	37,62	1,92	76,14	1,65
5	64,72	1,88	99,42	1,61
6	88,99	1,92	120,14	1,65
7	115,99	1,88	143,37	1,61
8	140,16	1,92	164,08	1,65
9	167,26	1,88	187,31	1,61
10	191,43	1,92	208,03	1,65
11	218,53	1,88	231,26	1,61
12	242,70	1,92	251,97	1,65
13	269,80	1,88	275,20	1,61
14	293,97	1,92	295,92	1,65
15	321,07	1,88	319,15	1,61

Tabela 4

Com os dados da tabela 4 para um valor de K , obtêm-se um μL e o seu correspondente r ; para uma dada probabilidade calcula-se l ; assim para um dado K , μL_{\max} e rL_{\max} e um certo grau de confiança, a resolução da equação (8.33) leva a obtenção de l_{\max} ; da mesma forma com $K, \mu L_{\min}, rL_{\min}$ e o grau de confiança especificado a partir da equação (8.35) obtêm-se l_{\min} .

A resolução das equações (8.33) e (8.35) implica, na verdade, no cálculo da integral inversa cuja solução é obtida através do cálculo numérico com aproximações feitas através de operações com polinômios. A aproximação utilizada é mostrada a seguir (referência 32).

Seja uma distribuição normal mostrada na figura 8.17 .

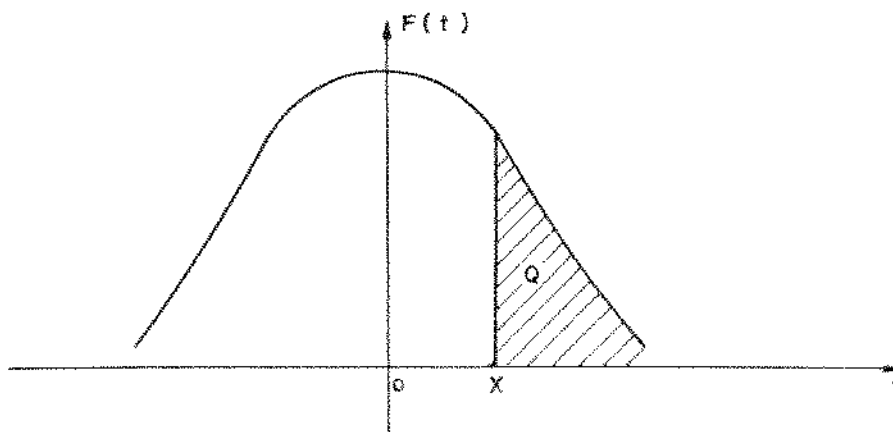


Figura 8.17

A área hachurada na figura 8.17 é dada por:

$$Q = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} e^{-t^2/2} dt \quad (8.63)$$

A função I que relaciona Q , como variável independente, com $x(x = I(Q))$ é chamada "Integral Normal Inversa". Para $0 < Q < 0,5$ (isto é, para $x \geq 0$) pode ser utilizada a aproximação:

$$x = I(Q) \quad \text{para } 0 < Q < 0,5 \quad (8.64)$$

onde

$$I(Q) = t - \frac{C_0 + C_1 t + C_2 t^2}{1 + d_1 t + d_2 t^2 + d_3 t^3} + E(Q) \quad (8.65)$$

onde por sua vez

$$E(Q) < 4,5 \cdot 10^{-4}$$

$$t = \sqrt{\ln \left[\frac{1}{Q^2} \right]}$$

$$C_0 = 2,515517 \quad d_1 = 1,432788$$

$$C_1 = 0,802853 \quad d_2 = 0,189269$$

$$C_2 = 0,010328 \quad d_3 = 0,001308$$

A área não hachurada é dada por:

$$\bar{Q} = 1-Q = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^x e^{-t^2/2} dt \quad (8.66)$$

Pela simetria da distribuição gaussiana têm-se, para $0 < \bar{Q} < 0,5$ (ou seja, para $x < 0$) a seguinte relação:

$$x = -I(\bar{Q}) \quad \text{para } 0 < \bar{Q} < 0,5 \quad (8.67)$$

Através da aplicação da função "Integral Normal Inversa" às expressões (8.34) e (8.36), podem ser determinados os valores l_{\max} e l_{\min} respectivamente.

Na verdade está-se interessado em graus

de confiança C próximos de 1 (geralmente $C \geq 1-10^{-3}$). A aproximação proposta para a "Integral Normal Inversa" vale unicamente para valores do argumento menores que 0,5 sendo, portanto, mais interessante trabalhar com o complemento do grau de confiança que será designado por "Grau de Erro" E ($E=1-C$). Das expressões 8.34 e 8.36 têm-se respectivamente para l_{\max} e l_{\min}

$$EL_{\max} = 1 - CL_{\max} = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\frac{l_{\max} - \mu L_{\max}}{\tau L_{\max}}} e^{-t^2/2} dt; \quad 0 < EL_{\max} \leq 0,5 \quad (8.68)$$

$$EL_{\min} = 1 - CL_{\min} = \frac{1}{\sqrt{2\pi}} \int_{\frac{l_{\min} - \mu L_{\min}}{\tau L_{\min}}}^{\infty} e^{-t^2/2} dt; \quad 0 < EL_{\min} \leq 0,5 \quad (8.69)$$

Pela analogia de EL_{\max} e \bar{Q} nas expressões (8.68) e (8.66) e de EL_{\min} e Q nas expressões (8.69) e (8.63) têm-se :

$$\frac{l_{\max} - \mu L_{\max}}{\tau L_{\max}} = - I (EL_{\max}) \quad (8.70)$$

$$\frac{l_{\min} - \mu L_{\min}}{\tau L_{\min}} = I (EL_{\min}) \quad (8.71)$$

e conseqüentemente

$$l_{\max} = - \tau L_{\max} \cdot I (EL_{\max}) + \mu L_{\max} \quad (8.72)$$

$$l_{\min} = \tau L_{\min} \cdot I (EL_{\min}) + \mu L_{\min} \quad (8.73)$$

Através dos dados da tabela 4, das equações (8.65), (8.72) e (8.73) obtêm-se a tabela 5.

K	E	10^{-2}	10^{-3}	10^{-4}	10^{-5}	10^{-6}	10^{-7}	10^{-8}	10^{-9}
	L (m)								
0	L máx.	-	-	-	-	-	-	-	-
	L mín.	-	-	-	-	-	-	-	-
1	L máx.	7,78	6,55	5,54	4,66	3,88	3,16	2,50	1,87
	L mín.	-33,44	-32,00	-30,82	-29,79	-28,87	-28,04	-27,26	-26,53
2	L máx.	28,41	27,15	26,11	25,26	24,41	23,67	22,99	22,35
	L mín.	-9,18	-7,72	-6,51	-5,46	-4,52	-3,67	-2,88	-2,13
3	L máx.	51,73	50,50	49,90	48,61	47,83	47,11	46,45	45,82
	L mín.	17,82	19,26	20,44	21,47	22,39	23,22	24,00	24,73
4	L máx.	73,52	72,47	71,10	70,01	69,05	68,22	67,31	66,04
	L mín.	42,09	43,55	44,76	45,81	46,75	47,60	48,39	49,14
5	L máx.	95,67	94,44	93,43	92,55	91,77	91,05	90,39	89,76
	L mín.	69,09	70,53	71,71	72,74	73,66	74,49	75,27	76,00
6	L máx.	116,30	115,04	114,00	113,10	112,30	111,56	110,88	110,24
	L mín.	93,46	94,92	96,13	97,18	98,12	98,97	99,76	100,51
7	L máx.	139,62	138,39	137,38	136,50	135,72	135,00	134,34	133,71
	L mín.	120,36	121,80	122,98	124,01	124,93	125,76	126,54	127,26
8	L máx.	160,24	158,98	157,94	157,04	156,24	155,50	154,82	154,18
	L mín.	144,63	146,09	147,30	148,35	149,29	150,14	150,93	151,68
9	L máx.	183,56	182,33	181,32	180,44	179,66	178,94	178,28	-
	L mín.	171,63	173,07	174,25	175,28	176,20	177,03	177,81	-
10	L máx.	204,13	202,93	201,89	200,99	-	-	-	-
	L mín.	195,90	197,36	198,57	199,62	-	-	-	-
11	L máx.	227,51	226,28	-	-	-	-	-	-
	L mín.	222,90	224,34	-	-	-	-	-	-
12	L máx.	248,13	-	-	-	-	-	-	-
	L mín.	247,17	-	-	-	-	-	-	-

TABELA 5

VIII.4 - Conclusão

A análise feita pelo método da Aproximação do Pior Caso é muito rigorosa impondo uma condição que dificilmente será encontrada, ou seja, a de que todos os elementos envolvidos na transmissão e recepção dos sinais tenham seus atrasos numa situação tal que colaborem, dentro de suas respectivas faixas, da forma mais negativa, para o funcionamento da matriz, isto é, para alguns elementos o atraso deve ser máximo e para outros deve ser mínimo. Por este método a distância máxima entre os módulos de comutação é 38,70m obedecendo as faixas de comprimento máximo e mínimo dados pela tabela 3.

A análise pelo método da Aproximação Estatística Gaussiana é mais real e leva em consideração algumas situações de pior caso, ou seja, esse método, a título de simplificação dos cálculos, impõe certas condições de pior caso restringindo as faixas de comprimento.

Considerando uma probabilidade de erro de 10^{-5} , a análise da tabela 5 leva a se concluir que a distância máxima entre os módulos de comutação deve ser 200,99m sendo isto perfeitamente compatível com a mecânica da central TRÓPICO. As faixas de comprimento permissíveis são mostradas na coluna $E = 10^{-5}$ da tabela 5.

Dessa forma, o número máximo de semiperíodos de relógio que os sinais devem ser atrasados na ECT é 10 ($K=10$ para $E=10^{-5}$). A implementação do "circuito amostrador" na entrada da ECT é feita de forma a se ter $K=2$ quando as chaves que compõem o SHS estiverem programadas com valor zero. Isto significa que o número N de borda de relógio programáveis é dado por:

$$N = K-2 \quad (8.74)$$

O valor N será no máximo 10, então o SHS deverá ser

implementação com 4 chaves "on-off" conforme mostra o capítulo VII .

CAPITULO IX

O "SOFTWARE"

IX.0 - Epítome

Este capítulo tem por objetivo mostrar em linhas gerais a estrutura do "software" do TROPICO-R chamando-se a atenção para o "software" relacionado com a matriz de comutação, detalhando-se o tratamento intimamente ligado ao seu "hard-ware".

IX.1 - Introdução

A partir de um conjunto de especificações o Sistema TROPICO foi particionado em sub-sistemas e descrito em Linguagem de Especificação e Descrição de Sistemas - LEDES (veja Anexo 3).

Cada sub-sistema foi sendo sucessivamente subdividido até se chegar a nível de Bloco Funcional (BF) que é caracterizado por conter um conjunto de processos afins e que atuam sobre uma mesma base de dados que detem informação sobre um recurso a ser controlado. A esse recurso dá-se o nome de indivíduo. São exemplos de indivíduos assinantes, troncos, registros, rotas, etc. A partir dos BF's passa-se à fase de implementação quando são identificados vários Blocos de Implementação (BI) "Software" e "Hardware". Os BI's "hardware" se interligam através da Interface Padrão Hardware, enquanto que os "Software" o fazem através da Interface Padrão "Software" que são um conjunto de rotinas comuns a todo o sistema.

O Sistema TROPICO possui uma infraestrutura de comunicação entre BI's que constitui-se numa pequena parte do sistema presente em todos os processadores. A figura 9.1 ilustra as diversas possibilidades de comunicação entre BI's sendo válida qualquer combinação entre elas.

O controle de comunicação entre BI's fica à carga do Núcleo cuja estrutura é mostrado na figura 9.2. Nessa estru-

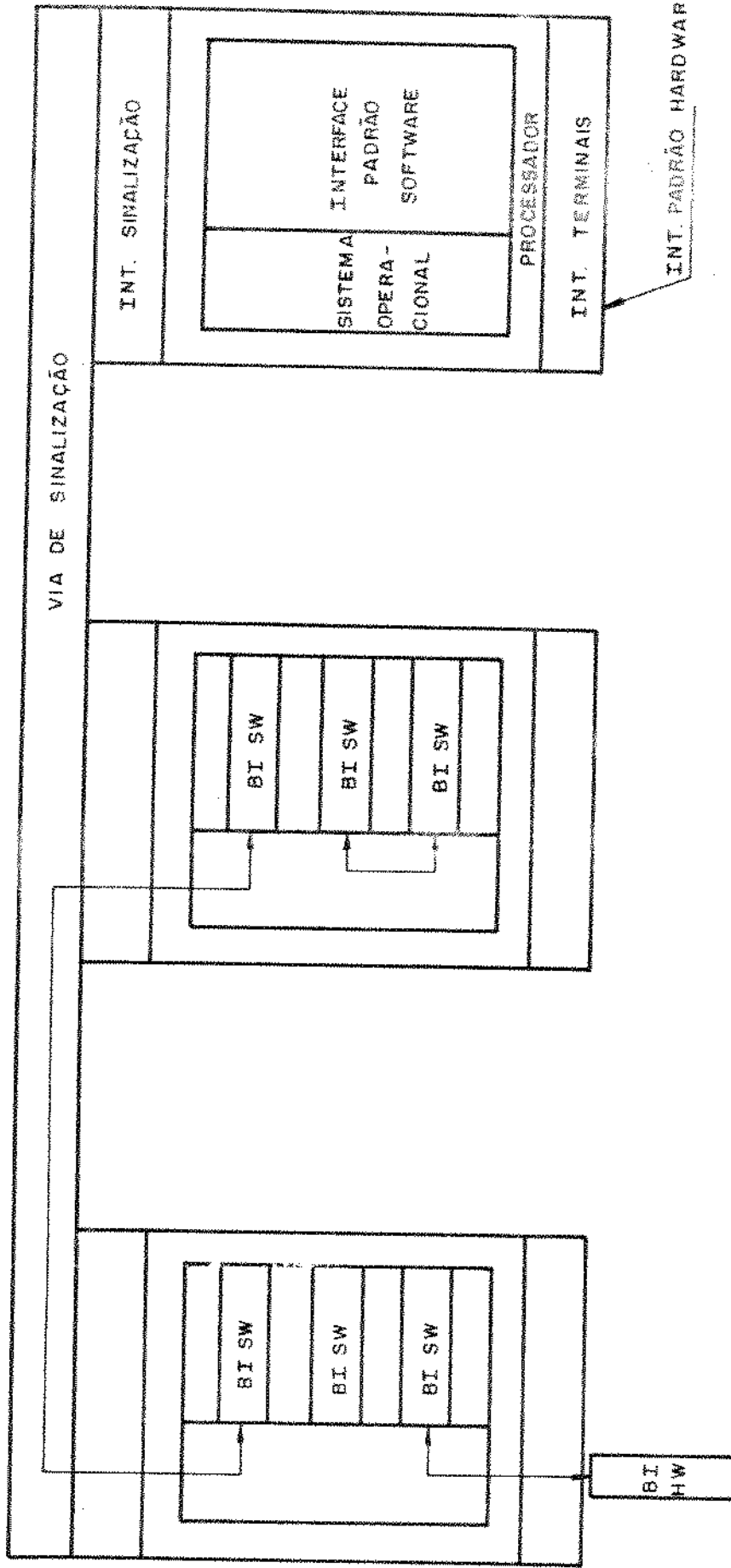


FIGURA 9.1

ESTRUTURA DE COMUNICAÇÃO ENTRE BLOCOS DE IMPLEMENTAÇÃO

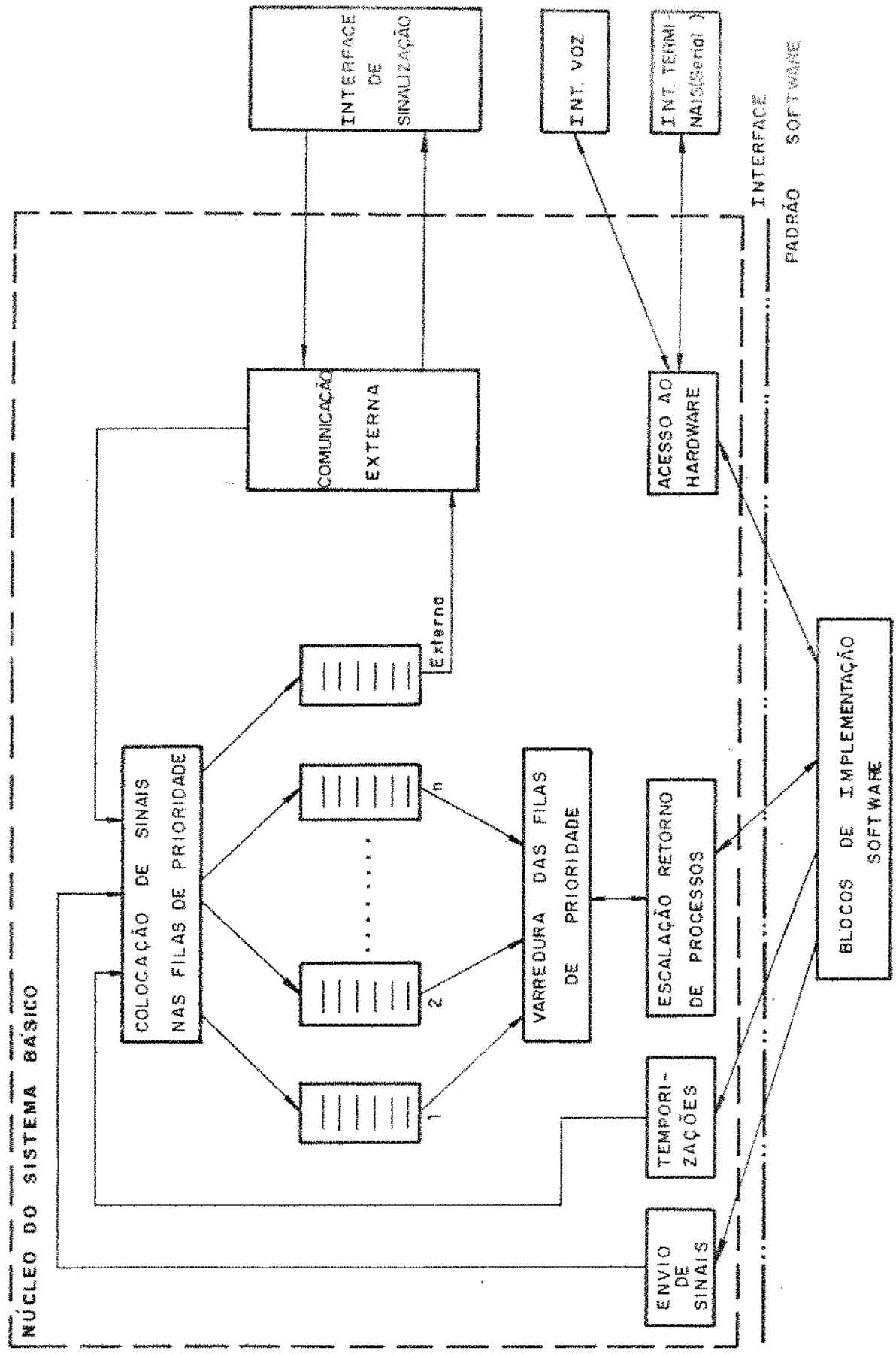


FIGURA 9.2
ESTRUTURA SOFTWARE DO NÚCLEO

tura identificam-se as seguintes funções:

- . Comunicação entre processos através de:
 - varredura das filas;
 - escalação de processos;
 - geração de sinais;
 - colocação de sinais nas filas;
 - retorno de processos;
 - envio de sinais externos;
 - recepção de sinais externos.

- . Controle de temporização através de:
 - execução de temporização;
 - solicitação de temporização;
 - cancelamento de temporização;
 - renovação de temporização.

- . Controle de "polling" através de:
 - colocação de processos em "polling";
 - retirada de processos de "polling".

- . Iniciação/Reiniciação através de:
 - teste de aceitação do processador;
 - iniciação de Núcleos;
 - ativação da iniciação dos BI's.

- . Interface com "hardware" através de:
 - leitura e escrita nos terminais através da interface-1.

IX.2 - "Software" do TROPICO-R

A família TROPICO é composta por um conjunto de elementos que são caracterizados conforme as funções a serem desempenhadas e seus tamanhos. No entanto um conjunto básico de funções é comum a todos esses elementos que são equipados com o "hardware" e "software" relativos a suas aplicações. Assim o "software" foi dividido em:

- "Software" do Sistema de Aplicação;

- "Software" do Sistema Básico.

Ao "software" da Aplicação couberam as seguintes funções:

- Processamento de chamadas onde se distinguem:
 - . encaminhamento, estabelecimento e supervisão de chamadas;
 - . roteamento;
 - . tarifação.

- Medição de Tráfego, onde se distinguem:
 - . teste de linha;
 - . supervisão de órgãos comuns;
 - . supervisão de rotas;
 - . administração de dados;
 - . controle de E/S.

- Dados Permanentes, onde se distinguem:
 - . Categoria de assinantes;
 - . número de equipamento/lista;
 - . valores de taxaço.

Ao "software" do sistema básico couberam as funções:

- Comutação e seu controle;
- Controle e administração dos processadores;
- Controle e administração do calendário;
- Supervisão e tratamento de falhas e alarmes.

IX.3 - "Software" do Sistema Básico

Para a execução de suas funções o "software" do sistema básico conta com os seguintes BI's:

BAL, BCI, BCL, BCM, BPR e BRF

BAL (Controlador de Alarmes)

Coleta informações de falhas dos processadores acionando as indicações correspondentes num painel central.

BCI (Controlador de Canal na CIS)

Aloca ou desloca canais de voz aos terminais conectados a CIS

BCL (Calendário)

Fornece informações de dia/hora/minuto e mantém uma agenda onde são registradas as ações a serem executadas.

BCM (Controlador de Canal na MACO)

Aloca, desaloca, comuta, descomuta e supervisiona os canais na MACO.

BPR (Controlador de Processadores)

Informa a localização dos BI's "software" no sistema.

BRF (Controlador do Registro de Falha)

Registra e/ou cancela as falhas dos BI's de um processador e as informa ao operador quando solicitada.

A tabela 1 mostra a localização dos BI's nas respectivas CIS.

BI'S \ CIS	TERMINAIS	REGISTRO	OM	MC	CVS
APLICAÇÃO	X	X	X		
NÚCLEO	X	X	X	X	X
BAL			X		
BCI	X				
BCL			X		
BCM				X	
BRF	X	X	X	X	X
BPR	X	X	X	X	X

Tabela 1

IX.4 - BCM

O BCM é o BI responsável pelo controle dos canais na MACO, canais estes que se constituem nos seus indivíduos. Dessa forma o BCM controla 512 indivíduos, correspondentes aos canais tratados em um módulo de comutação.

Os processos do BCM administram as seguintes estruturas:

- Base de Dados Individuais (BDI);
- Base de Dados Comuns (BDC);
- "Hardware" da MACO (HWM).

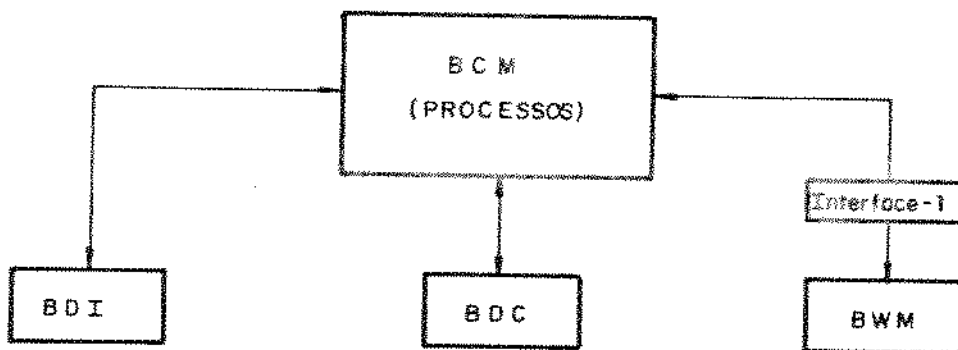


Figura 9.3

A BDI contém informações referentes a cada um dos 512 canais da MACO, sendo elas:

- a) COC - Condição de Ocupação do Canal - indica se o canal está livre, ocupado ou comutado (1 byte);
- b) CAC - Número da CIS que Alocou o Canal (1 byte);
- c) CAS - Número do Canal Associado - indica o canal com o qual está comutado (2 bytes);
- d) VCO - Variação da Condição de Ocupação do Canal - indica se o canal passou de livre para ocupado, ou de ocupado para livre (1 byte)

- e) COA - Condição de Ocupação Anterior - indica se o canal
✓ estava livre, ocupado ou comutado (1 byte);
- f) PTC - Indicação de Falha em Teste de Continuidade - (1
byte);
- g) CTC - Número da CIS com Falha em Teste de Continuidade
(4 bytes);
- h) ATN - Código da Atenuação (1 byte)
- i) ICE - Número da IAP que tem o Canal em Enlace (1 byte).

Dos campos citados o ATN encontra-se no "hardware" da MACO, enquanto que o CAS e ICE estão no "hardware" e nas memórias da CIS; os demais ficam exclusivamente nas memórias da CIS. A BDI ocupa 5682 "bytes".

A BDC contem informações de ordem geral utilizadas na avaliação de desempenho, detecção e correção de falhas da MACO, sendo elas:

- a) CCE - Controlador de Comutações Existentes;
- b) FCC - Indicador de Falha em Escrita na Memória de Controle de Comutação (1 byte);
- c) FCA - Indicador de Falha em Escrita na Memória de Controle de Atenuação (1 byte);
- d) FCI - Indicador de Falha em Escrita na Memória de Controle de IAP (1 byte);
- e) COE - Codificação de operação dos Enlaces - indica se o enlace está ativo ou bloqueado (2 bytes);
- f) RFB - Registro de Falha do BCM - indica falha nos vários pontos da MACO (1 byte);
- g) CPI - Canais com Paridade Incorreta (2 bytes);
- h) CBE - Número da CIS com Aviso de Bloqueio de Enlace (64 bytes);
- i) IFL - Número das IAP's em Falha (2 bytes);
- j) EFL - Número dos Enlaces em Falha (8 bytes);
- k) RCF - Registro de Cancelamento de Falha - indica se determinada falha ou sua ausência já foi notificada ao órgão competente ou não (1 byte);

O CCE é utilizado para medição de tráfego.

O RFB indica as seguintes falhas:

- Paridade Errada na entrada da SPS;
- Paridade Errada na saída da ECT;
- Paridade Errada nos dados das memórias de controle;
- Paridade Errada na saída da SPS-Ø;
- Paridade Errada na saída da SPS-1;
- Relógio/Sincronismo;
- Paridade na entrada da ECT correspondendo à SPS-Ø;
- Paridade na entrada da ECT correspondendo à SPS-1.

Os CPI são registros contidos na placa CTR.

Os 64 bytes do CBE dividem-se em 16 grupos de 4, cada grupo correspondendo a um enlace.

O valor "8" para IFL e EFL corresponde a 50% das IAP's ou enlaces instalados que estão em falha, sendo o limite permitido.

A BDC possui então 92 bytes nas memórias da CIS.

O HWM é controlado pela CIS através da interface-1.

Através de escrita e leitura dos registros e memórias da MACO exercem-se as funções de gerenciamento de seus canais. Para tal identificaram-se as seguintes tarefas básicas que convenientemente combinadas executam qualquer função relacionada com a comutação e seu controle:

- a) Temporização;
- b) Decodificação dos canais;
- c) Iniciação dos circuitos de memória;
- d) Escrever/ler na Memória de Controle de Comutação;
- e) Escrever/ler na Memória de Controle de Atenuação;
- f) Escrever/ler na Memória de Controle da IAP;
- g) Executar teste nas memórias de controle

- h) Desmarcar todas as conexões;
- i) Inverter paridade num dado canal;
- j) Testar mecanismo de inversão de paridade.

IX.5 - As Rotinas de Tratamento do "Hardware"

As tarefas citadas no item anterior deram origem a rotinas, cujas descrições se seguem. Como essas rotinas estão intimamente ligadas ao "hardware" os termos aqui usados se referem aos circuitos descritos nos Capítulos V, VI e principalmente VII. Os fluxogramas apresentados tem o intuito de simplesmente mostrar a sequência de operações realizadas sem se preocupar com formalismos que poderiam dissimular tais operações.

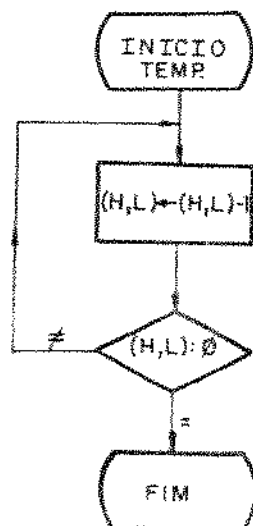
IX.5.1 - TEMP

- Função: Temporiza um dado evento
- Entrada: (H,L) contem o valor a ser temporizado
- Saída : nenhuma
- Descrição: A partir do cálculo do tempo de execução do "loop" dessa rotina determina-se a relação entre o tempo a ser contado (t) e o número de "Loops" (n) a serem feitos o que corresponde ao valor passado no par (H,L). Assim:

$$N = \lceil (1/3,072)t - 47 \rceil / 5 \quad (9.1)$$

onde t é dado em micro segundos.

- Fluxograma:



IX.5.2 - DECAN

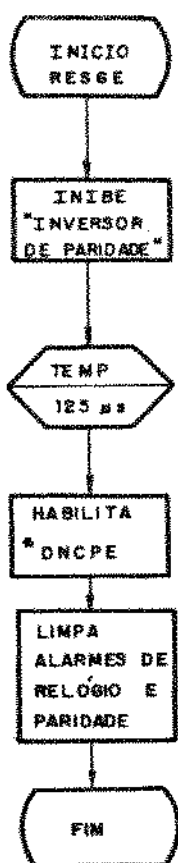
- Função: Compatibiliza número do canal dado em "software" e o utilizado no "hardware"
- Entrada: (D,E) Número do canal dado em "software"
- Saída: (D,E) Número do canal utilizado em "hardware"
- Descrição: O que se denomina por número do canal em um dado módulo é uma palavra composta por um campo de 4 "bits" para identificar o enlace e um de 5 "bits" para identificar o canal dentro do enlace.

Por lógica hierárquica o "software" compõe essa palavra com campo do enlace como o mais significativo e o do canal com o menos; por simplificação de circuito o "hardware" utiliza o contrário.

IX.5.3 - RESGE

- Função: "Limpa" todos os alarmes das placas da MACO
- Entrada: nenhuma
- Saída: nenhuma
- Descrição: Para se garantir que o "reset" realmente limpará os alarmes é necessário inibir o circuito "Inversor de Paridade" e esperar que as amostras da memória de comutação sejam renovadas, o que acontece depois de um tempo de um quadro (125µs)

- Fluxograma:



IX.5.4 - ELMCC

Função: Escreve um dado em uma posição da Memória de Controle de Comutação (MCC). Lê o dado escrito e faz a verificação.

Entrada: (B,C) Número do canal comutado (dado da MCC)

(D,E) Número do canal comutador (endereço da MCC)

Saída: (A) Escrita OK ou Não OK

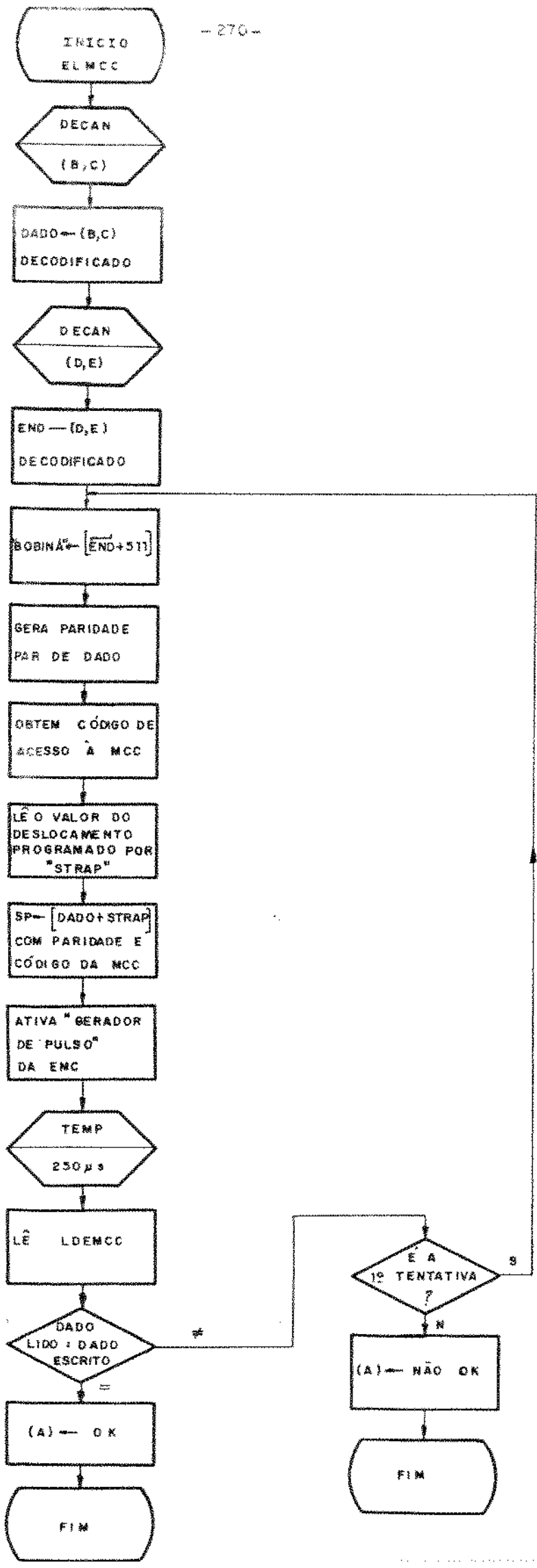
Descrição: A escrita na MCC envolve o circuito "Escrevedor nas Memórias de Controle" (EMC) onde se identificam o contador "Bobina", o registro de dado (SP) e o "Gerador de

* DNCPE - Circuito Detetor de Número de Canal com Paridade Errada

Pulsos" (GPS). Além disso tem o registro (LDE MCC) que captura o dado escrito na MCC. No fluxograma, "strap" é o valor do "strap" programado na CTR. As razões dos deslocamentos e inversões podem ser obtidas no Capítulo VII.

A temporização de 250 μ s equivale a 2 quadros que é o tempo máximo que qualquer memória de controle CTR gasta para ser escrita, sendo 125 μ s o tempo em que o GPS pode gastar esperando o sincronismo de quadro para ativar a contagem na "Bobina"; os outros 125 μ s podem ser gastos pela contagem dessa "Bobina".

A notação \bar{N} indica complemento de um N e $[N]$ indica soma módulo 512.



IX.5.5 - ELMCA

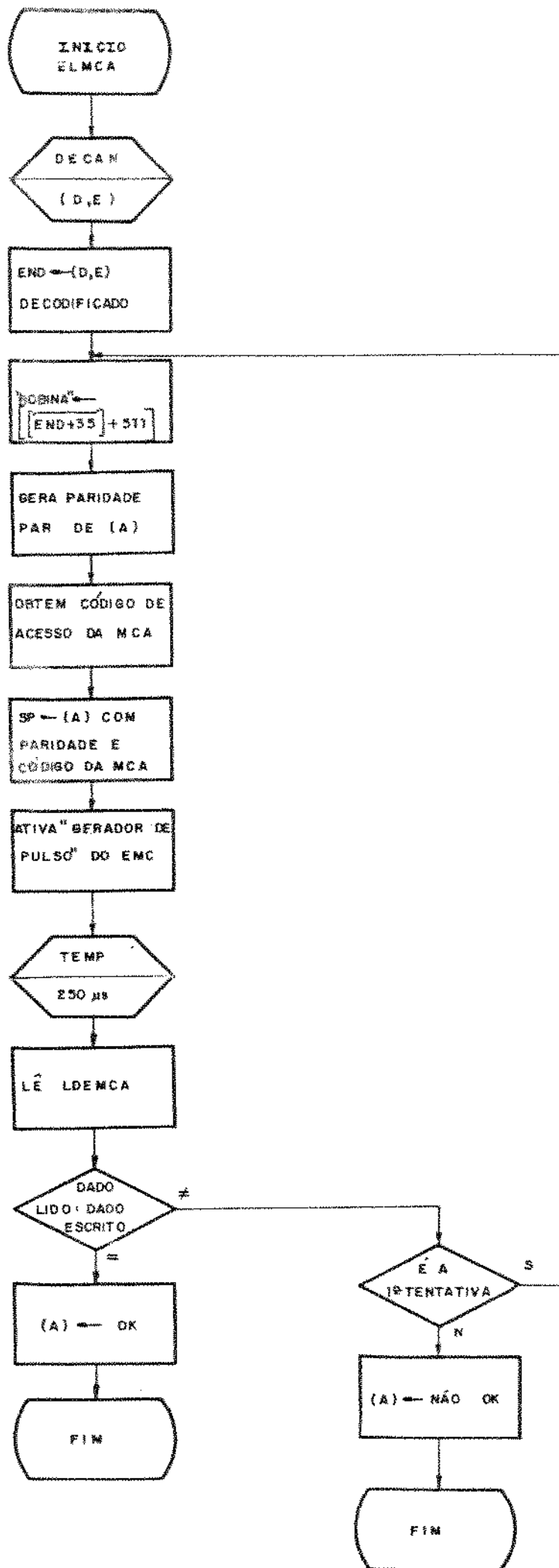
Função: Escreve um dado em uma posição da Memória de Controle de Atenuação (MCA). Lê o dado escrito e faz a verificação.

Entrada: (A) Código de Atenuação

(D,E) Número do Canal a ser atenuado

Saída: (A) Escrita OK ou Não OK

Descrição: As observações feitas no item IX.5.4 são válidas aqui com a diferença notada para LDEMCA sendo o registro que captura o dado escrito na MCA.



IX.5.6 - ELMCI

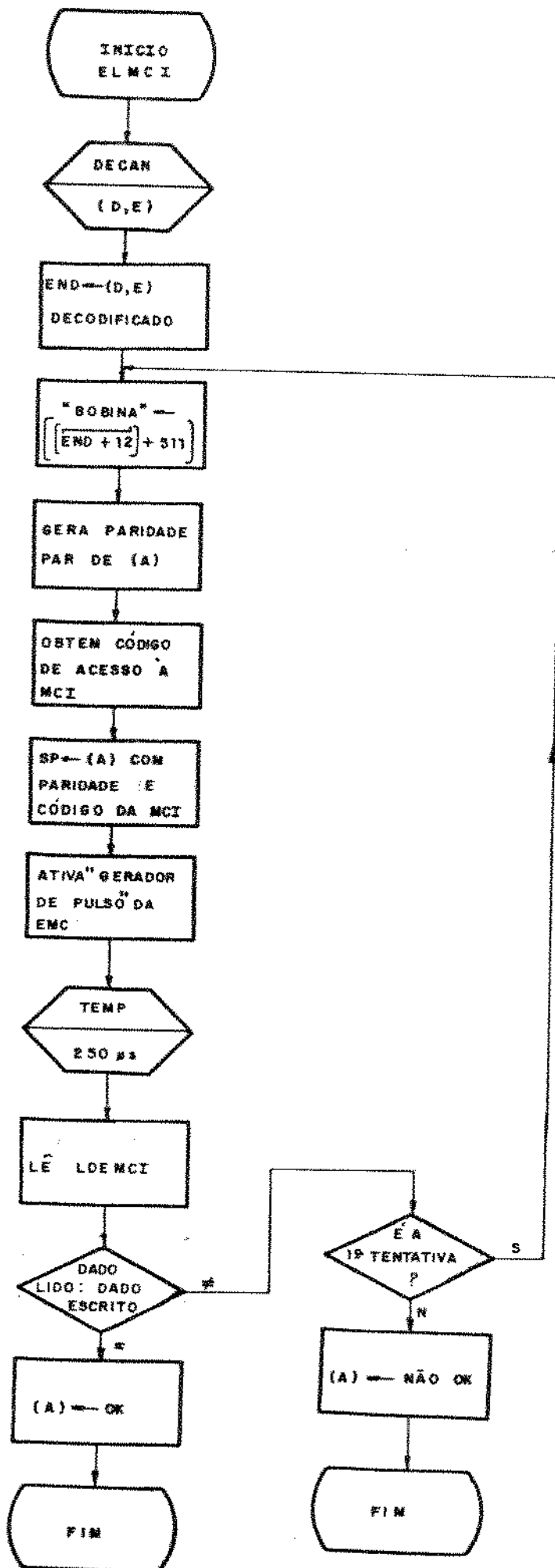
Função: Escreve um dado em uma posição da memória de controle de IAP (MCI). Lê o dado escrito e faz a verificação.

Entrada: (A) Número da IAP

(D,E) Número do canal a ser alocado

Saída: (A) Escrita OK ou Não OK

Descrição: Idem ao item IX.5.5 com LDEMCI sendo o registro que captura o dado escrito na MCI.



IX.5.7 - TESMCX

- Função: Testa todas as memórias de controle da MACO

- Entrada: Nenhuma

- Saída: (A): B₇B₆B₅B₄B₃B₂B₁B₀

Falha de Escrita na MCC
Falha de Escrita na MCA
Falha de Escrita na MCI

- Descrição: O teste das memórias consiste em escrever e verificar a escrita em todas as posições de todas elas. Caso haja erro em qualquer posição de qualquer uma delas identifica-se a memória, notificando-se tal erro. O teste só pára se em todas elas for verificado erro. Sendo m o número de bits de cada palavra da memória, em cada posição são escritos os m bits menos significativos do endereço que aponta para tal posição juntamente com a respectiva paridade. Tal teste utiliza as rotinas ELMCC, ELMCA e ELMCI. Levando-se em conta que cada memória de controle tem 512 posições e que a escrita na mesma pode ser tentada 2 vezes tem-se, no pior caso 3072 execuções de tais rotinas o que faz com que a TESMCX chegue a durar 1 segundo.

IX.5.8 - DSMCR

- Função: Desmarca todas as conexões

- Entrada: Nenhuma

- Saídas: Idênticas às do TESMCX

- Descrição: A desmarcação de um canal consiste em:
- escrever $\emptyset\emptyset\emptyset_H$ na posição da MCC endereçada por esse canal; isto significa comutar esse canal com o zero já que o canal zero não é utiliza-

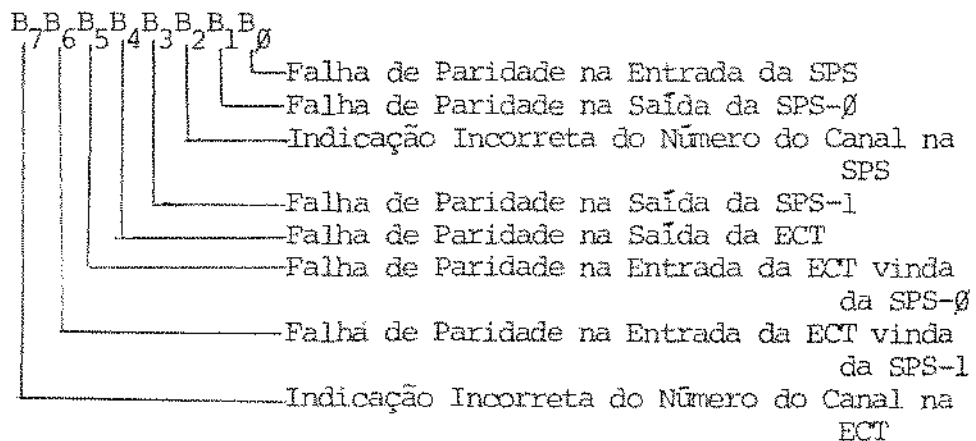
- do para voz;
- . escrever $\emptyset F_H$ na posição da MCA endereçada pelo canal; isto significa inserir atenuação infinita no mesmo;
- . escrever $\emptyset \emptyset_H$ na posição da MCI endereçada pelo canal; isto significa habilitar a IAP número " \emptyset " para tomar esse canal no "bus", no entanto a IAP zero não se conecta ao "bus" de enlaces intermodulares o que implica na liberação desse canal.

As ações descritas acima são feitas para os 512 canais do módulo.

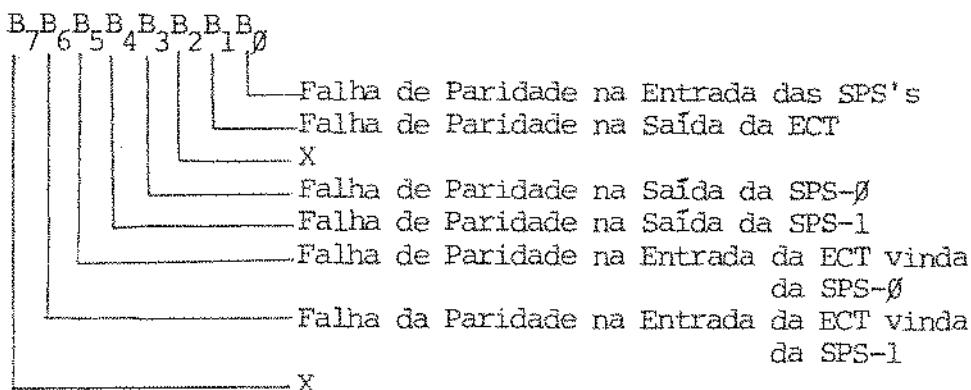
A DSMCR utiliza a ELMCC, ELMCA e ELMCI, e a sua duração máxima, portanto igual a da TESMCX.

IX.5.9 - INVPA

Função: Inverter a paridade de um dado canal
Entrada: (B,C): Número do canal de inversão
(D,E): Número do canal de detecção
Saída: (A) : Indicações de falhas do teste de inversão, sendo elas:



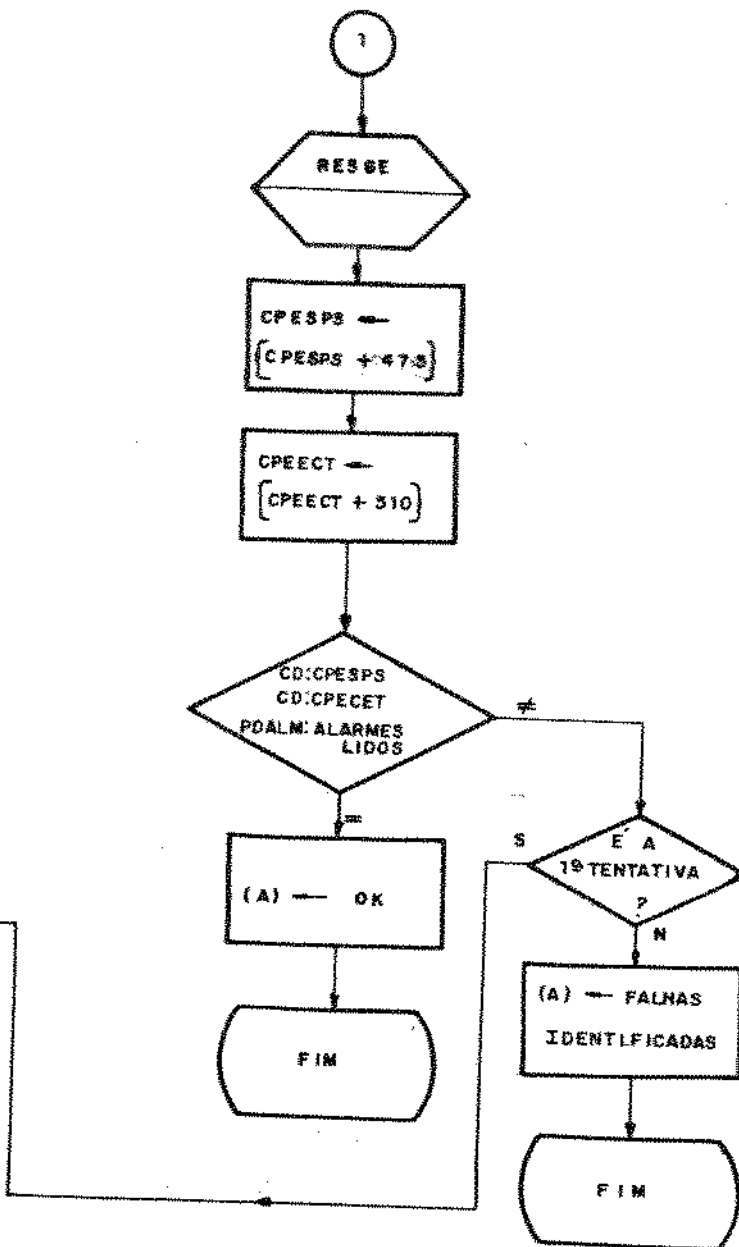
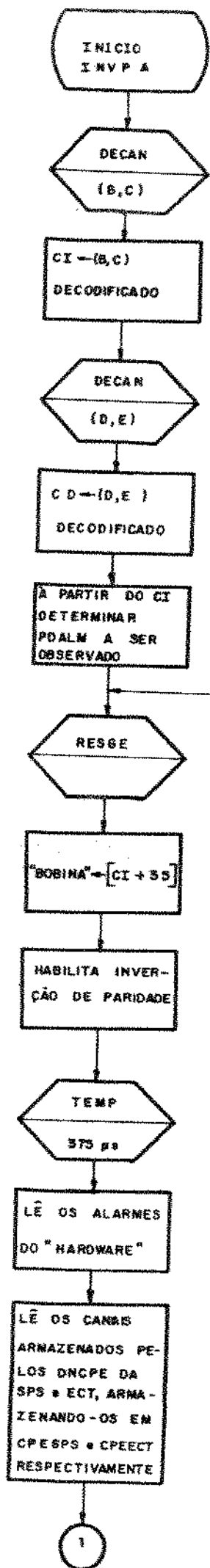
Descrição: Quando é invertida a paridade de um dado canal (CI) o percurso desse canal pela MACO será monitorado por detetores de paridade que acusarão falha, e por circuitos que armazenam o número do canal cuja paridade está errada (DNCPE) que se encontram na entrada da SPS e saída da ECT. Dependendo de onde parta o canal de inversão (CI) determinados alarmes, serão acionados ou não, isto é, se o CI pertence à SPS-0 ou SPS-1 somente os alarmes referentes à placa a que ele pertença serão ligados. Identificando-se a placa, pelo número do canal, determina-se o padrão de alarmes (PDALM) que deve ser acionado. O PDALM de um canal da SPS-0 é 2B_H e da SPS-1 é 53_H como pode ser visto pelos alarmes lidos do "hardware", mostrados a seguir:



Os deslocamentos dados nos canais de inversão e lidos dos DNCPE são para compensar atrasos impostos pela simplificação do "hardware".

A temporização é calculada partindo-se do princípio que, uma vez habilitado o circuito inversor de paridade, leva-se até 1 quadro para que o canal com paridade invertida seja armazenado na memó-

ria de comutação e mais outro para ser lido; a partir daí existe um tempo para chegar à CIS e retornar à SPS completando o circuito.



IX.5.10 - TESMEC

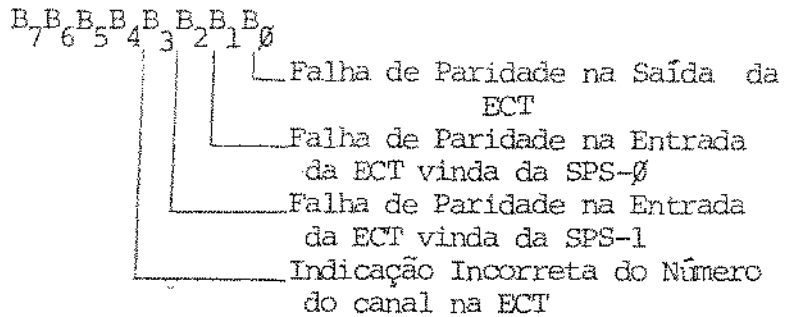
Função: Testa mecanismo de inversão de paridade

Entrada: Nenhuma

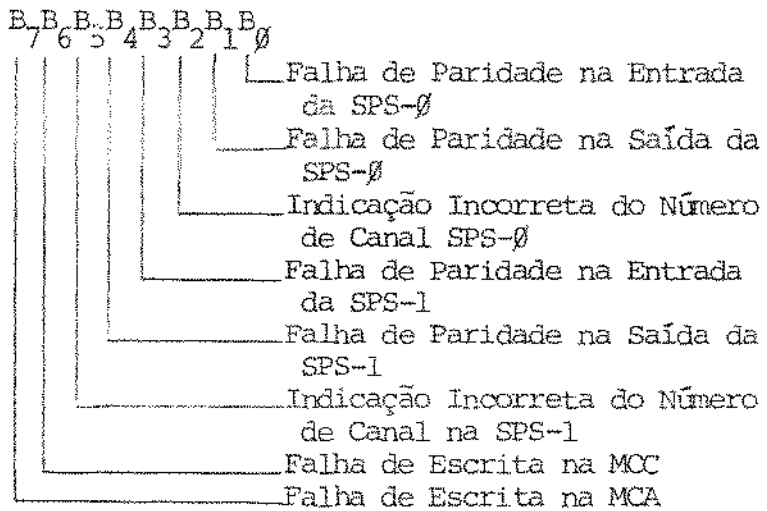
Saída: (A): Teste OK ou Não OK

(H,L):Indicação de falha, sendo elas:

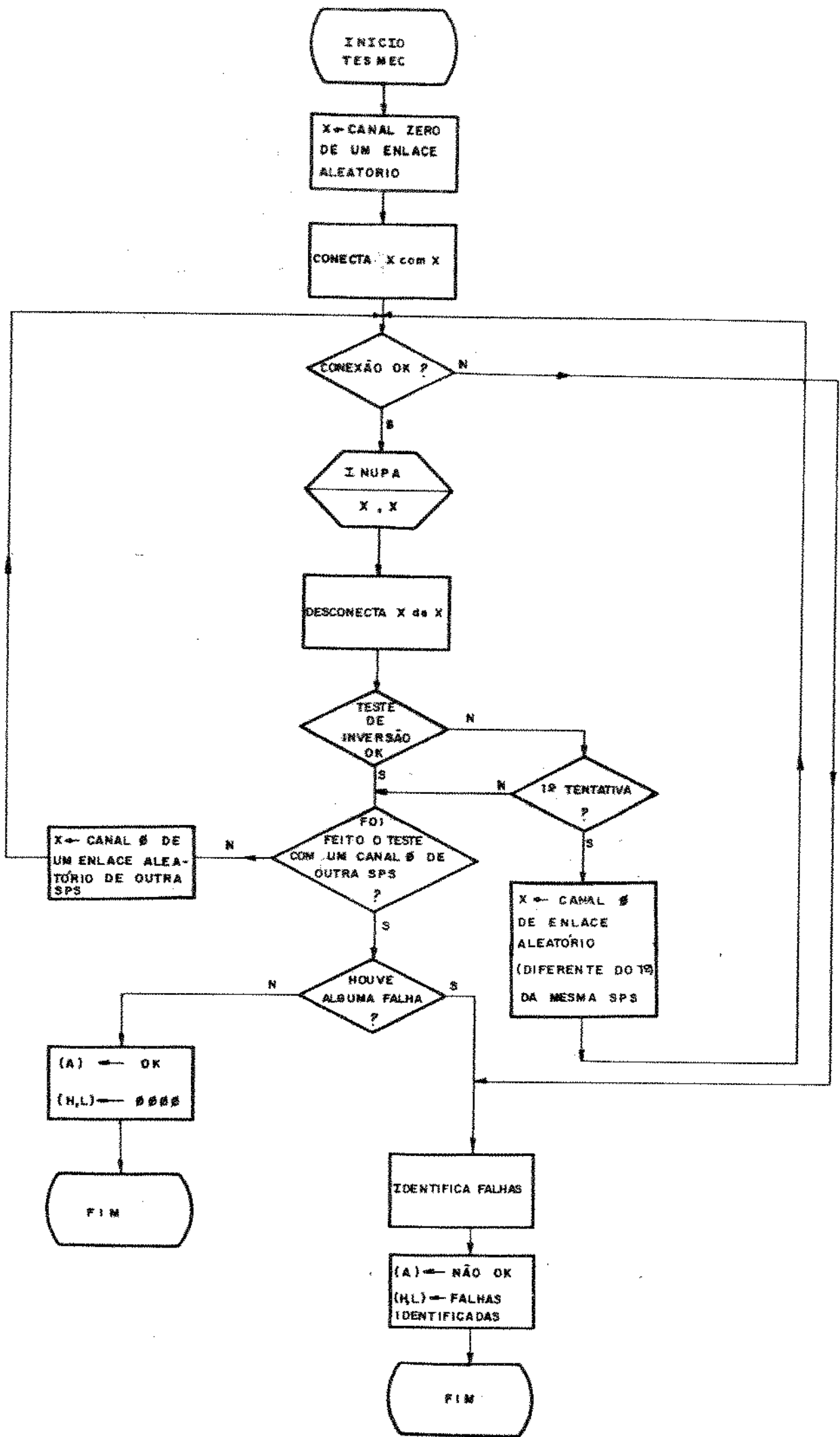
(H):



(L):



Descrição: Os canais zero de qualquer enlace não são utilizados para conversação, portanto, eles o podem ser para realização de testes. O TESMEC faz o teste com um canal zero aleatório da SPS-0 e com outro da SPS-1. Para isso é necessário comutar dois canais; seja X o canal escolhido; comuta-se X com X inserindo nele atenuação nula.



IX.6 - Os Processos

As funções atribuídas ao BCM são executadas através dos seguintes processos:

BCMI, BCML, BCMD, BCMC, BCMF, BCMB, BCMP, BCMO, BCMA

A seguir descrevem-se esses processos, chamando-se a atenção para o fato de que, o nível de detalhamento apresentado permite que suas funções sejam identificadas por simples inspeção; isto significa que um aprofundamento maior, não mostrado neste trabalho, é necessário para que, a partir do fluxo em LEDS, seja possível codificá-los.

IX.6.1 - BCMI

Função: Iniciar o BCM

Estado: Repouso

Entrada: INICIA

Saídas: INICOK- "Iniciação OK"

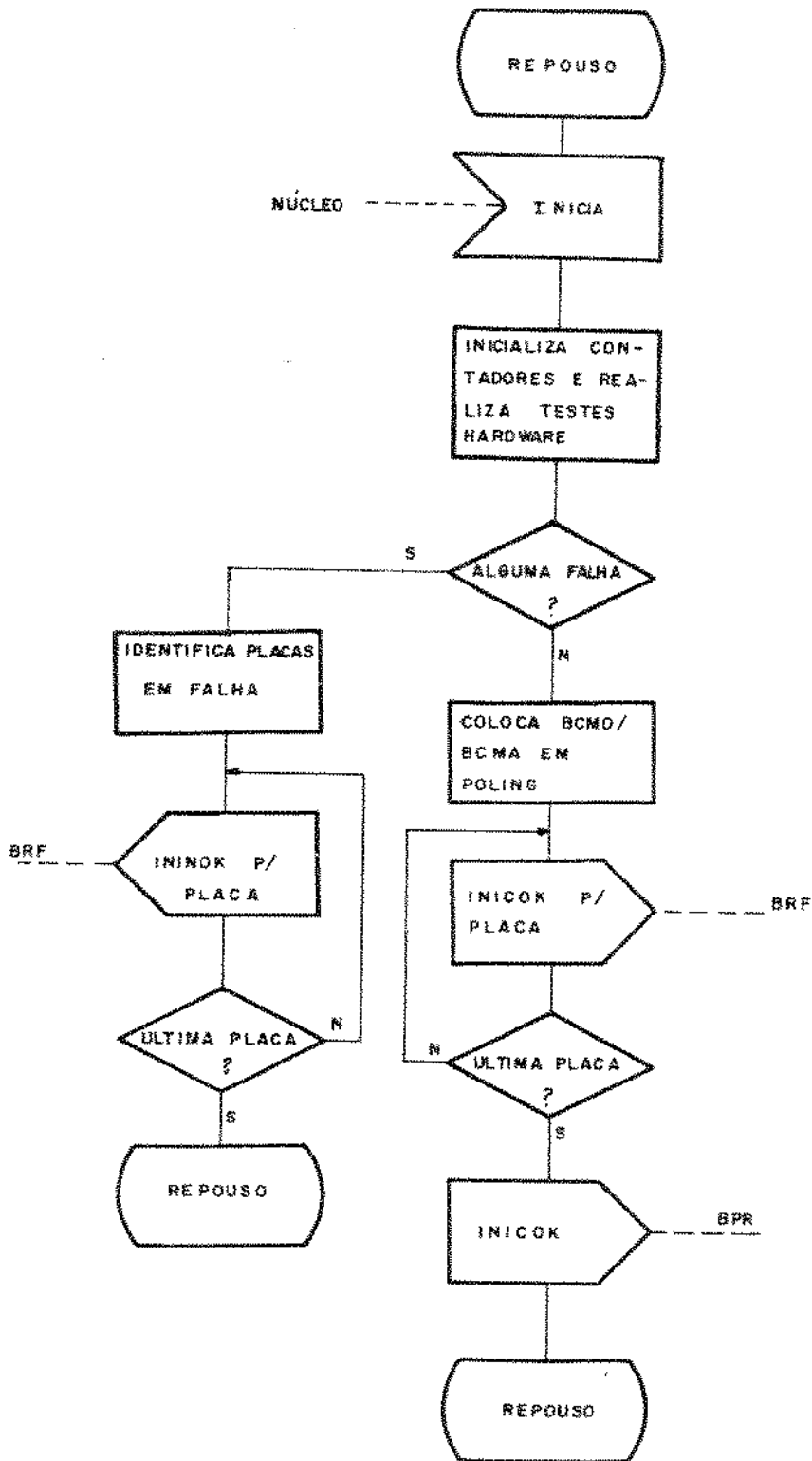
ININOK- "Iniciação Não OK"

Contem identificação das placas ou funções falhas.

Descrição: Inicia a base de dados do BCM zerando os contadores; testa as memórias de controle;
Testa o mecanismo de inversão de parada;
Testa o relógio e sincronismo.

O bom funcionamento dessas funções indica que a MACO está apta a entrar no sistema. Caso haja alguma falha, providências são tomadas no sentido de identificá-la e corrigí-la. A reentrada no sistema implica em se rodar inicialmente o BCMI verificando as condições da MACO.

PROCESSO: BCMI - INICIAÇÃO DO BCM



IX.6.2 - BCML

Função: Alocar Canais na MACO

Estado: Repouso

Entradas: ALCOCA: "Aloca Canal"

Transporta a condição de ocupação dos 32 canais de um dado enlace intramodular.

COCAUM: "Aloca um Canal"

Contem o número do canal e a CIS à qual ele vai ser alocado.

CONDAL: "Condição de Alocação"

Traz o número do canal para o qual quer se verificar a sua condição de ocupação.

Saídas: NUMCAN: "Número do Canal"

Contem o número do canal alocado

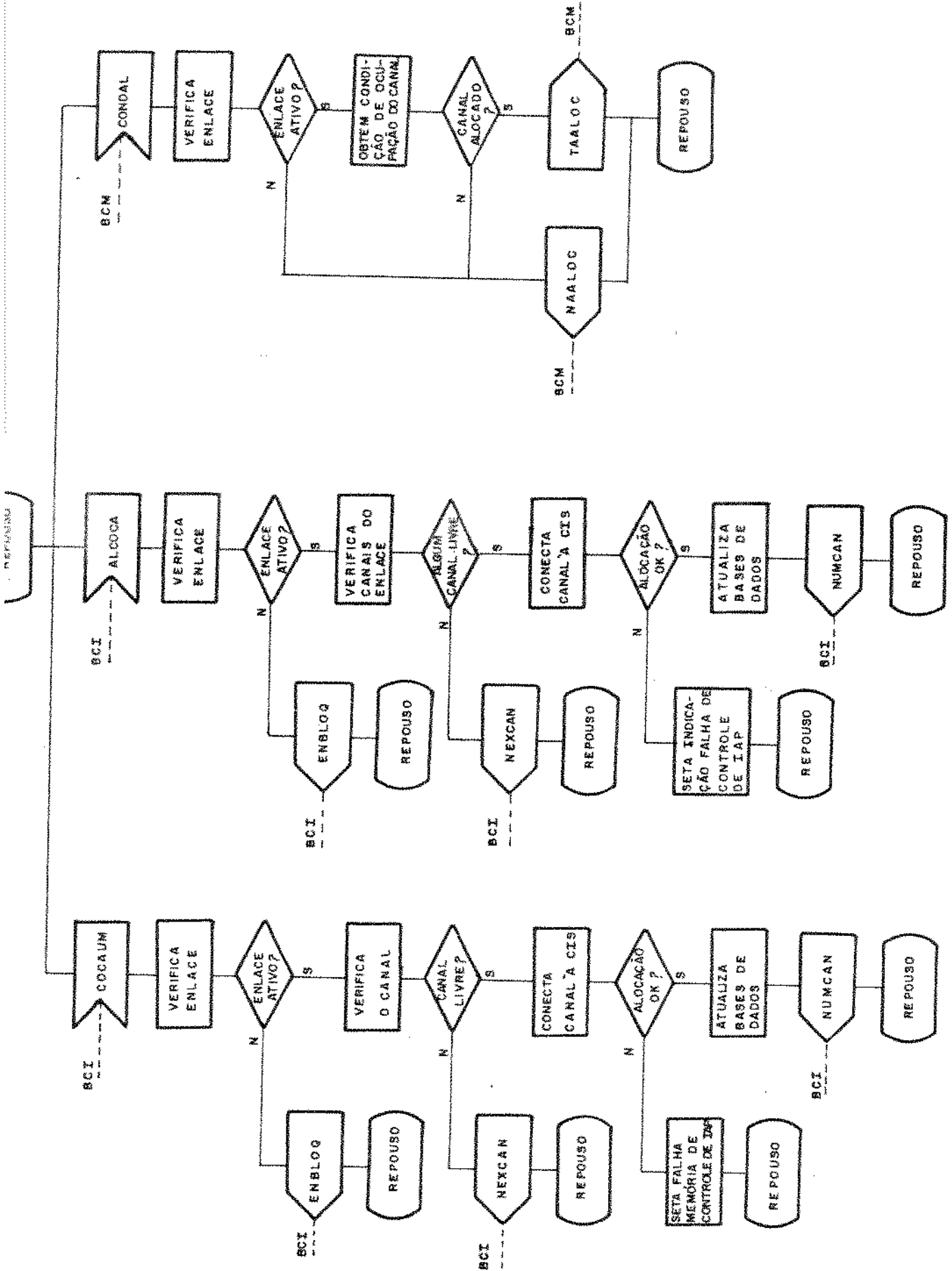
NEXCAN: " Não Existe Canal"

TAALOC: " Está Alocado"

NAALOC: " Não Está Alocado"

ENBLOQ: " Enlace Bloqueado".

Descrição: Uma das funções desse processo é pes -
quisar um canal livre no enlace inter-
modular que coincida com o de mesmo n^u
mero no intramodular alocando-o, caso
exista, à dada CIS. Alocar o canal sig-
nifica escrever na Memória de Controle
de IAP (MCI) na posição correspondente
ao número do canal o código IAP a qual
se liga a CIS. Além disso, é possível
alocar-se um canal sem se pesquisar um
livre, o que é feito para canais de tron-
cos digitais.



IX.6.3 - BCMD

Função: Desloca Canais da MACO

Estado: Repouso

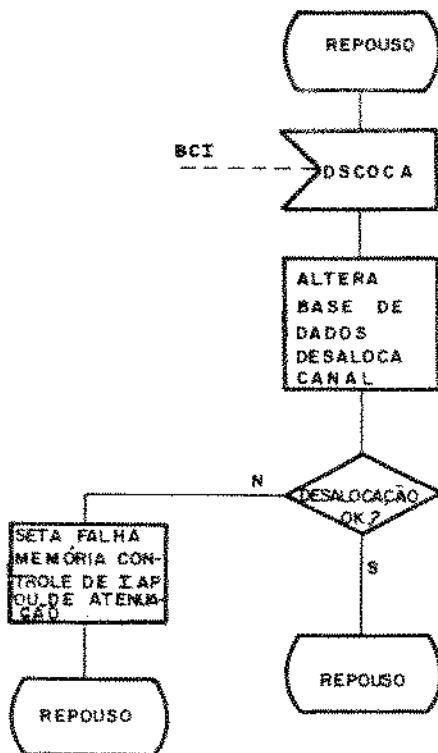
Entrada: DSCOCA - "Desconecta Canal"

Contem o número do canal a ser desalocado.

Saída: Nenhuma

Descrição: A desalocação de um canal consiste em aloca-lo a uma IAP inexistente e inserir-lhe atenuação infinita.

PROCESSO: BCMD - Desalocador de Canais do MC



IX.6.4 - BCMC

Função: Comuta, Libera Canais na MACO

Estados: Repouso, Comutado, Atenuado

Entradas: COMUTA - "Comutar canais A e B"

Contem os números dos canais A e B para serem comutados. É feito um sentido da conexão (A para B);

COMUTI - "Comutar B e A"

Contem o número dos canais B e A para serem comutados. É feito outro sentido de conexão (B para A);

DESCAN - "Desconecta Canal A"

Contem número do canal a ser desconectado. É desfeito um sentido da conexão;

INAPRO - "Insere Atenuação"

Contem o canal e a atenuação a ser nele inserida;

DESCAI - "Desconecta Canal B"

Contem o canal a ser desconectado. É desfeito outro sentido da conexão;

REAPRO - "Retira Atenuação"

Contem o canal no qual será inserida atenuação nula;

Saídas: COMUTI - "Comutar canais B e A"

Sinal gerado internamente para fazer a comutação no outro sentido (B para A);

DESCAI - "Desconecta canal B"

Sinal gerado internamente para desfazer o outro sentido da conexão;

COMUOK - "Comutação OK"

COMUNO - "Comutação Não OK"

Descrição: Comutar A e B significa escrever na posição A da MCC o valor B e inserir atenuação nula em A. Liberar uma comutação de um canal A, é comutá-lo com zero, alocá-lo para uma IAP inexistente e inserir-lhe atenuação infinita.

Retirar atenuação de um canal significa inserir-lhe uma atenuação nula.

Dado que se queira comutar A e B o processo BCMC faz a comutação em um sentido (A para B) e gera um sinal interno para fazer o outro (B para A).

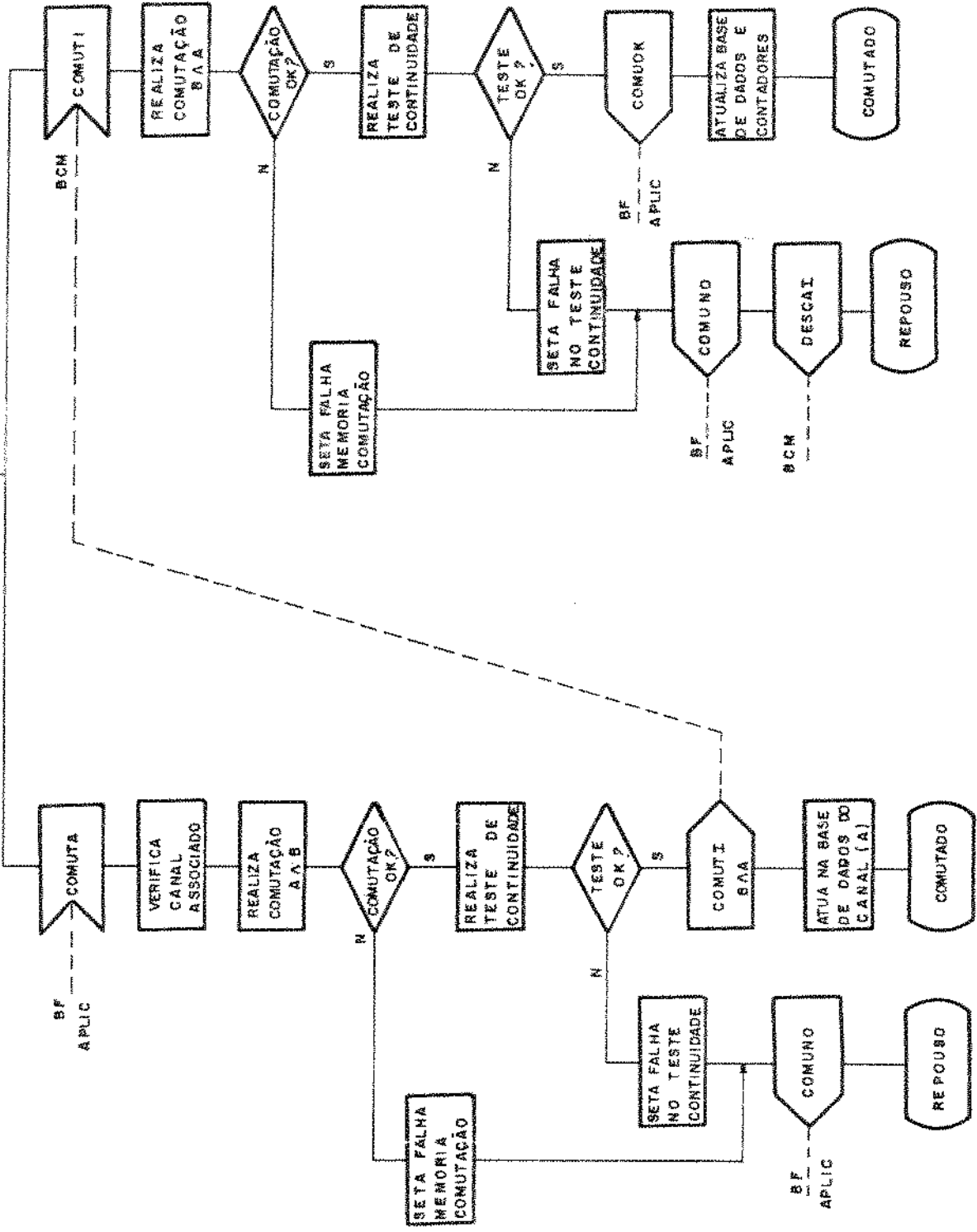
Da mesma forma isto ocorre para a desconexão .

Na descrição LEDS esses sinais internos tem o seu destino mostrado em traçado.

O BCMC:

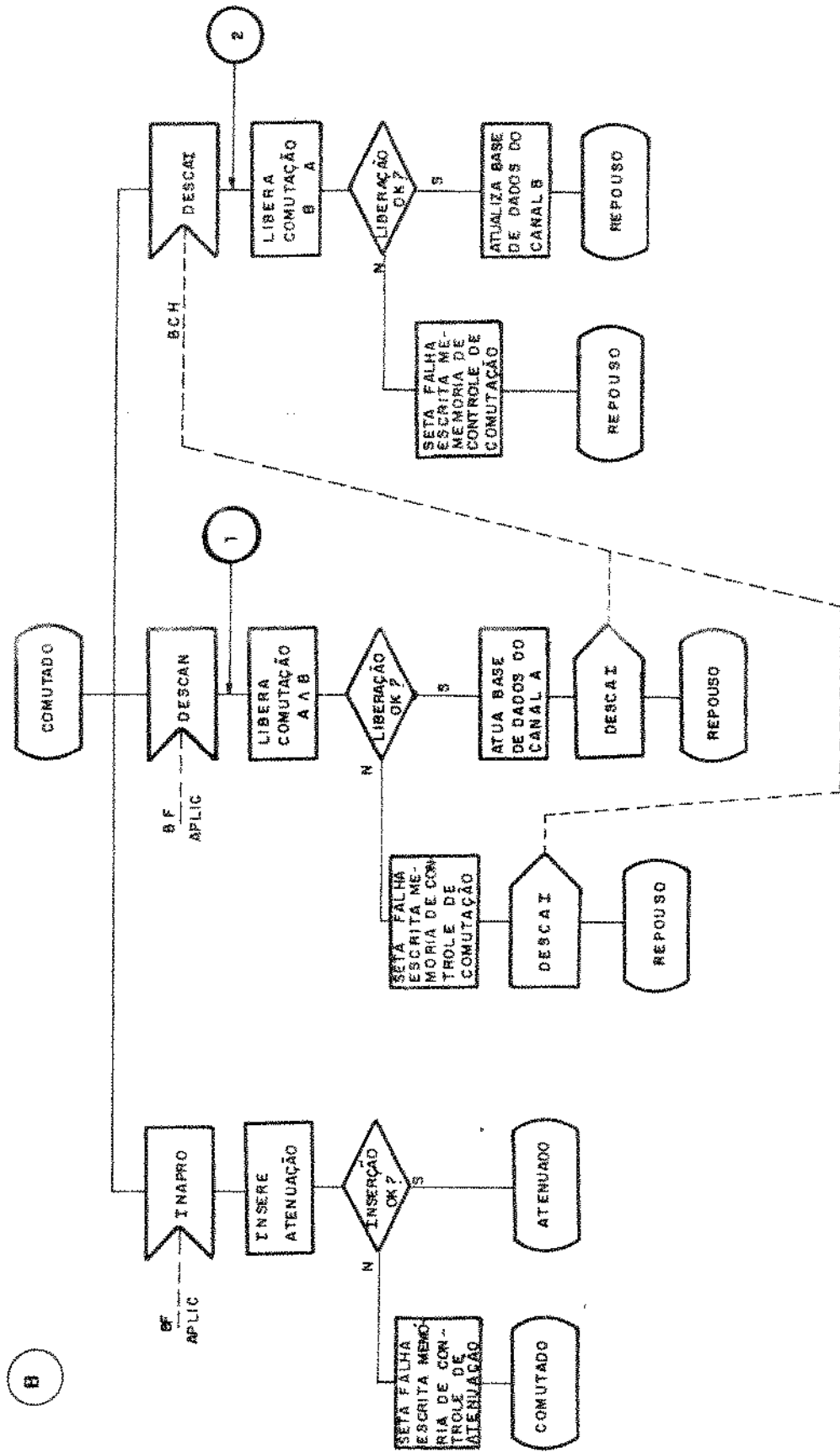
- comuta canais previamente alocados;
- insere atenuação programável em canais comutados;
- retira atenuação de canais atenuados;
- libera comutação de canais.

REPOUSO



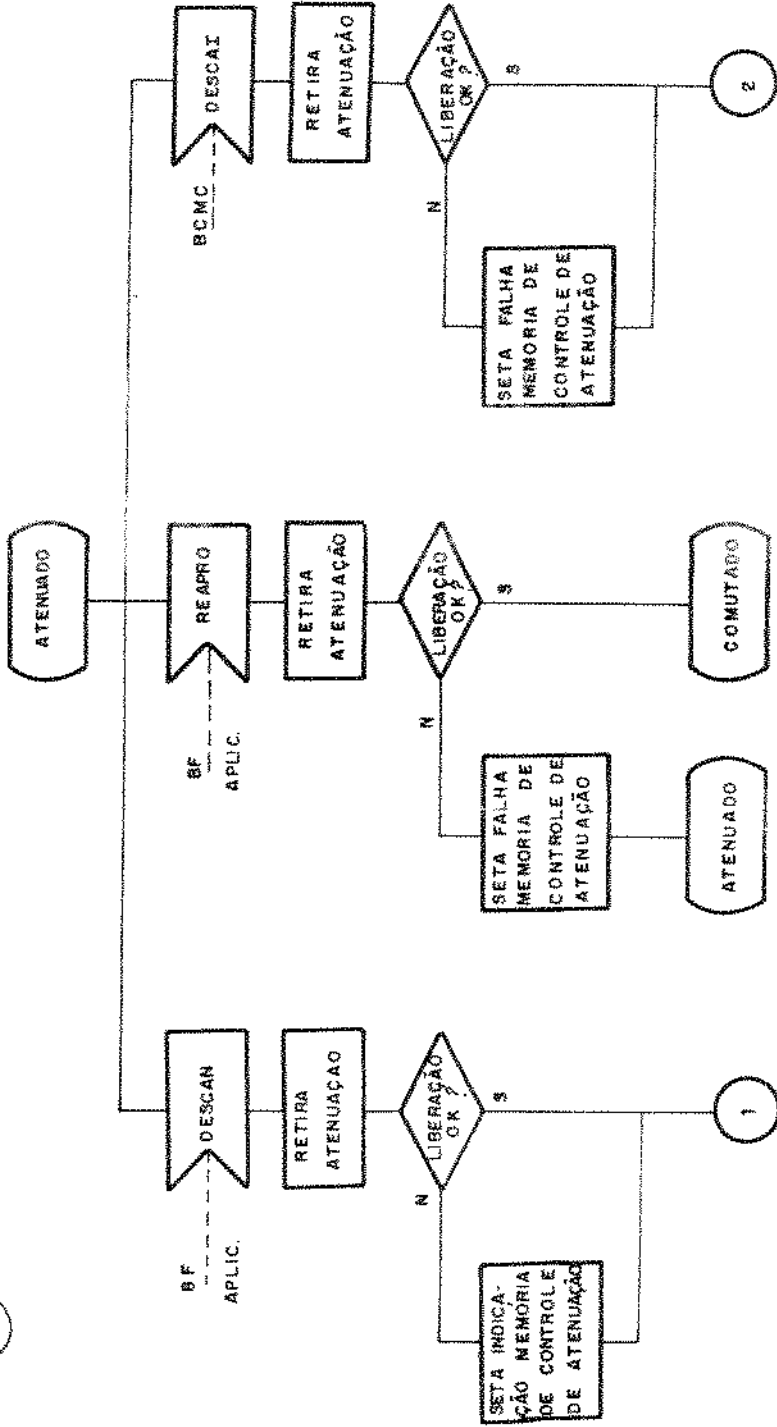
A

PROCESSO : BCMC - COMUTAO / LIBERAR CANAIS DO MC



PROCESSO: BCMC - COMUTAR / LIBERAR CANAIS DO MC

C



IX.6.5 - BCMF

Função: Cancela falha em IAP/enlace fornecendo seus números;

Fornece número de comutações executadas.

Estado: Repouso

Entradas: EREFAS: "Envia Registro Secundário da Unidade de Supervisão"

Este sinal solicita cancelamento de falha em IAP (unidade de supervisão 25) ou enlace (unidade de supervisão 24);

LECOEX: "Ler Contador de Conexões Existentes"

Saídas: FIMOPE: "Fim de Operação"

Este sinal indica que não existe mais IAP ou enlace com indicação de falha ou que foi cancelada falha em IAP ou enlace, ou que a unidade de supervisão não é reconhecida;

REGFAL: "Registro de Falha"

Este sinal indica que a última IAP ou enlace teve sua falha cancelada;

COMUEX: "Comutações Existentes"

Este sinal contém o número de comutações existentes.

Descrição: Este processo é acionado pelo operador que, através de um BI da Aplicação -AOP- ordena o cancelamento de possíveis falhas em IAP ou enlace acusadas pelo BCM. Além disso, para análise de estatística, é solicitado o número de comutações existentes.

IX.6.6 - BCMB

Função: Bloqueia e desbloqueia enlaces

Estado: Repouso

Entradas: DESBEN - "Desbloquear Enlace"

Contem o número do enlace a ser desbloqueado;

BLOENL - "Bloquear Enlace"

Contem o número do enlace a ser bloqueado.

Saídas: FIMOPE - "Fim de Operação"

Indica recebimento da mensagem;

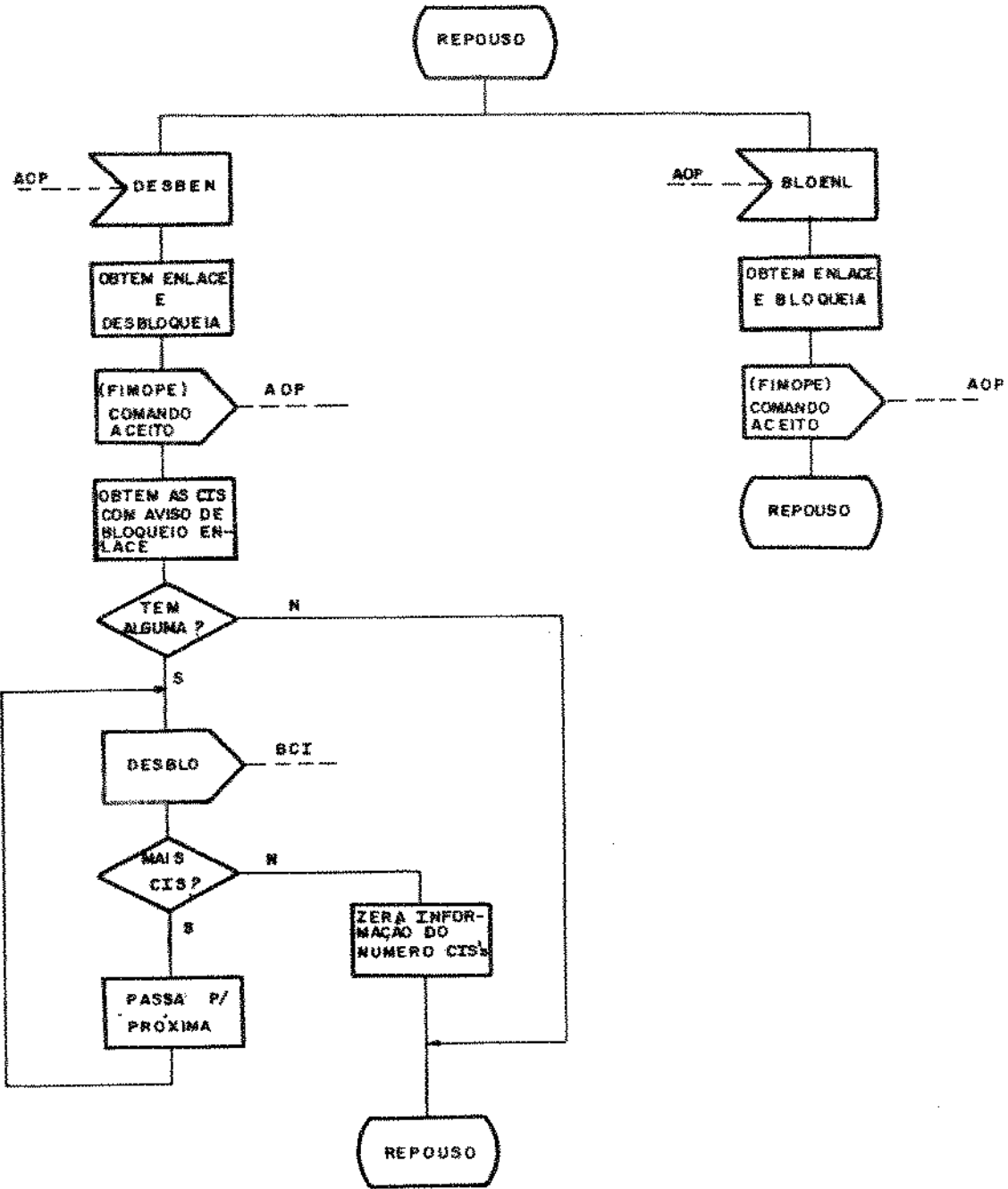
DESBLO - "Desbloqueado Enlace"

Descrição: Quando do reparo de alguma CIS o enlace pertencente à mesma não deve ser utilizado. Desta forma ele é bloqueado.

A partir do instante em que estiver liberado, é desbloqueado e todas as CIS que o compartilham são avisadas de sua liberação.

Os comandos de bloquear e desbloquear são dados pelo operador.

PROCESSO: BCMB - BLOQUEIA E DESBLOQUEIA ENLACES



IX.6.7 - BCMP

Função: Libera canais associados a um processador

Estado: Repouso

Entrada: BLOPRO - "Bloqueio do Processador"

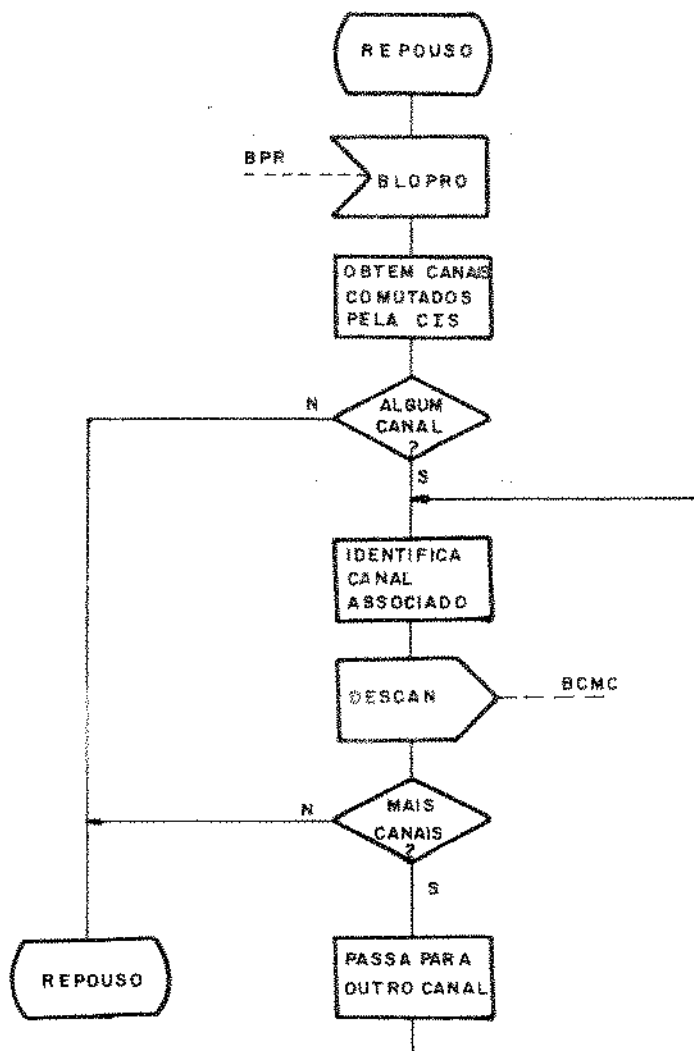
Contem número da CIS bloqueada

Saída: DESCAN - "Desconecta Canal"

Contem número do canal a ser des
conectado (apenas um sentido da
conexão)

Descrição: Por ocasião da danificação de um pro -
cessador (CIS) todos os canais por ela
ocupados devem ser descomutados a fim
de liberá-los. Assim são obtidos os ca
nais do lado A da conexão para os quais
se gera o sinal DESCAN, que no proces -
so BCMP descomuta os dois lados.

PROCESSO: BCMP - LIBERA CANAIS ASSOCIADOS A UM PROCESSADOR BLOQUEADO.



IX.6.8 - BCMO

Função: Libera canais alocados e não comutados

Estado: Repouso

Entrada: POLING

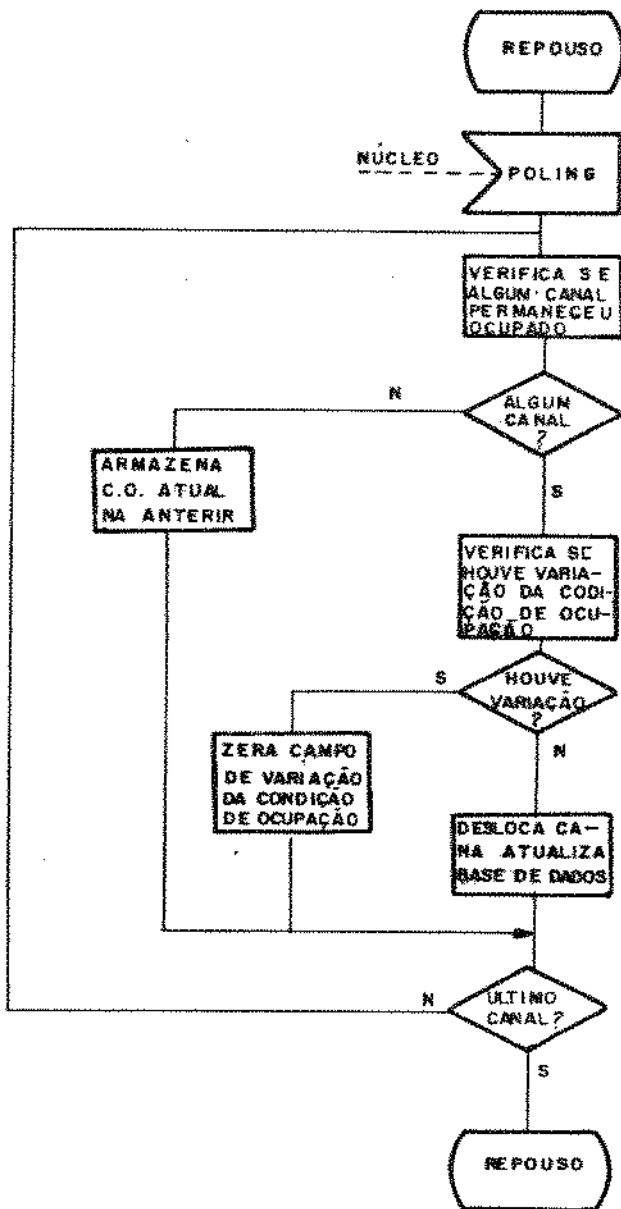
Saída: Nenhuma

Descrição: No andamento normal de uma chamada, o canal é alocado e em seguida comutado.

A alocação e comutação estão contidos em processos diferentes e a sequência de ocorrência das ações é na ordem que foi descrita.

Assim pode ocorrer o fato de um canal ser alocado, por perda do sinal de "COMUTA", não ser comutado. Isto significa que, apesar de não estar sendo usado, aquele canal está ocupado. Este processo verifica a cada 1 minuto se um canal que estava alocado permaneceu alocado; se isto aconteceu supõe-se que o sinal de COMUTA tenha sido perdido e então é desalocado este canal.

PROCESSO: BCMO - LIBERA CANAIS ALOCADOS E NÃO COMUTADOS



IX.6.9 - BCMA

Função: Verifica indicadores de alarmes da MACO

Estado: Repouso

Entradas: POLING

TSTMEC - "Teste do Mecanismo de Paridade"

FIMTES - "Fim do Teste"

Contem o resultado do teste de mecanismo de paridade

Saída: TSTMEC - "Teste do Mecanismo de Paridade"

FIMTES - "Fim do Teste"

REGFAL - "Registro de Falha"

Contem o tipo de falha ocorrida.

Descrição: O BCMA é o processo que identifica as falhas na MACO e nos seus periféricos, através da análise dos alarmes nela disponíveis.

Foi dividido em 3 transições pelo fato do tempo necessário à sua execução ser grande. Assim a cada 50 segundos recolhe os alarmes da MACO gerando um sinal interno para testar o mecanismo de paridade. De posse de todos esses dados começam-se as análises dos alarmes através das quais é possível identificarem-se as seguintes falhas:

- Placa SPS-0
- Placa SPS-1
- Placa ECT
- Placa CTR
- Ligação SPS-0 com ECT
- Ligação SPS-1 com ECT
- Teste de Conexão
- Sincronismo

A filosofia de operação e manutenção (OM) adotada impõe que uma falha seja notificada ao órgão competente apenas uma única vez, mesmo que ela persista. No caso do seu desaparecimento isto também deve ser notificado.

Para isso um registro de cancelamento de falhas (CANCEL) armazena a condição de cancelamento de dada falha e o procedimento adotado é como se segue:

Condição de Cancelamento (CC)	Alarme	BCMA
0	0	Repouso
0	1	Coloca CC em 1; Envia REGFAL identificando a falha
1	0	Coloca CC em 0; Envia REGFAL cancelando a falha
1	1	Repouso

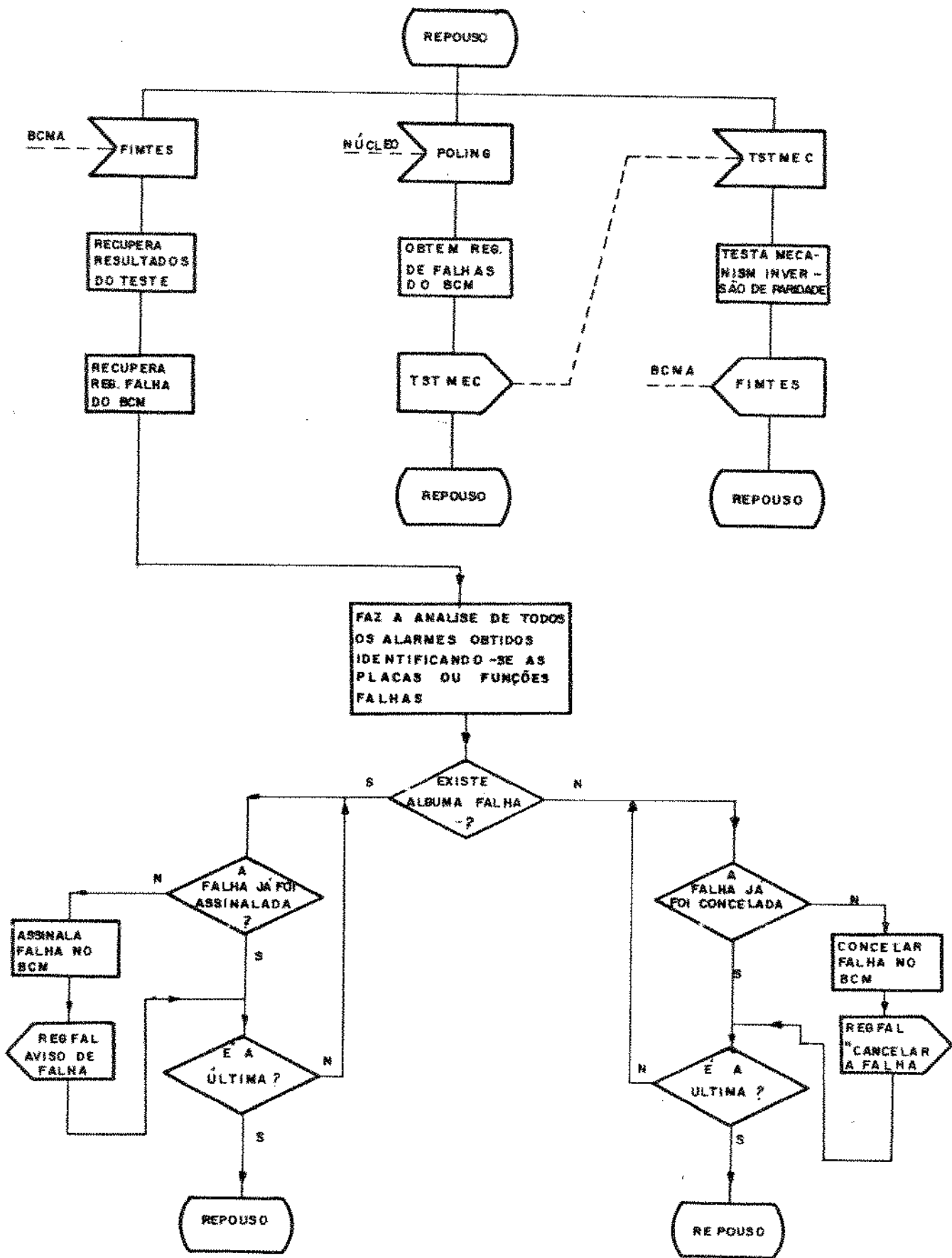
Para cada uma das falhas presentes ou ausentes existe um REGFAL.

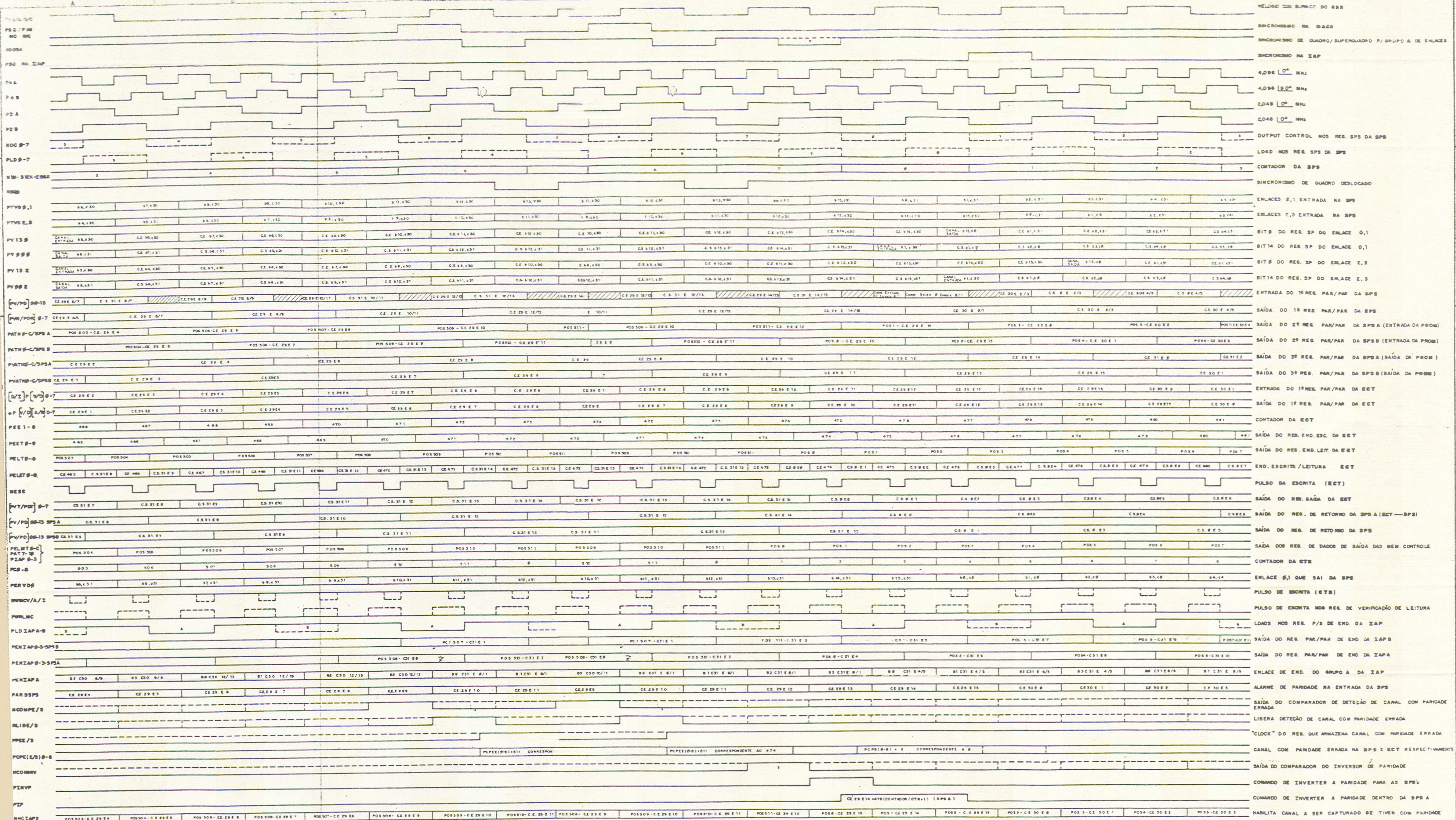
IX.7 - Desenvolvimento

O BCM foi implementado utilizando-se de recursos de edição desenvolvidos no PDP-11 além de testadores do BI's. A linguagem utilizada foi o Assembly do 8085 com o sistema operacional CP/M rodado no Sistema de Desenvolvimento INTELLEC-80/85 e GEPETO.

O BCM do TROPICO-R é composto de uma área de 8 Kbytes de dados e 8 Kbytes de programa.

PROCESSO: BCMA - VERIFICA INDICADORES DE ALARMES DO MC





ENCÍCLO 0 1 2 3 4 5 6 7	EMP. C EMP. D EMP. E EMP. F EMP. G EMP. H	EMP. I EMP. J EMP. K EMP. L EMP. M EMP. N	EMP. O EMP. P EMP. Q EMP. R EMP. S EMP. T	EMP. U EMP. V EMP. W EMP. X EMP. Y EMP. Z	UNIDADE DE COMUTAÇÃO		PÁGINA A-1 FOLHAS 1/1
					EMP. A EMP. B EMP. C EMP. D EMP. E EMP. F EMP. G EMP. H EMP. I EMP. J EMP. K EMP. L EMP. M EMP. N EMP. O EMP. P EMP. Q EMP. R EMP. S EMP. T EMP. U EMP. V EMP. W EMP. X EMP. Y EMP. Z		

KAN IV=PLUS V02=51 15:45:51 02-OCT-81
IN.FTA /TR:BLOCKS/WE

PROGRAM MEMATN

C

C PROGRAMA PARA GERAR CONTEUDOS DA MEMORIA DE ATENUACAO DO MC DO
C PRIMEIRO PROTOTIPO DA CENTRAL RURAL.

C

INTEGER S, SEGIN, SEG, SEGOUT

INTEGER N, NIVIN, NIVEL, NIVOUT

INTEGER P, PRDE

DIMENSION S(16,8,16), N(16,8,16), P(16,8,16)

C

C ASSINAR ARQUIVO DE SAIDA DE CONTEUDOS DA MEMORIA, E
C ARQUIVO DE RELATORIO

C

CALL ASSIGN(1,'SY:MEMATN.VAL',13)

CALL ASSIGN(2,'SY:MEMATN.REL',13)

C

C GERAR TODOS OS ENDEREÇOS DA MEMORIA DE ATENUACAO EM TERMOS DE:

C 1) FAIXA DE ATENUACAO

C 2) SEGMENTO

C 3) NIVEL

C

DO 1000 IATT=1,16

DO 1000 SEGIN=1,8

C

C PASSAR P/ UMA NOVA PAGINA DO RELATORIO A CADA 4 VALORES DE SEGMENTO

C

IF (MOD(SEGIN,4).EQ.1) WRITE (2,810)

#10

FORMAT (1H1//5X,' ENDEREÇO',5X,' AMOSTRA',5X,'AMPL. ATEN.',

1 5X,' CODIF.',1//5X,' A S N ',5X,' S N ',

2 21X,' P S N '1//)

DO 1000 NIVIN=1,16

C

C DECODIFICAR AMOSTRA, OBTENDO VALORES DOS CAMPOS SEGMENTO E NIVEL

C

CALL DECOD(SEG, NIVEL, SEGIN, NIVIN)

C

C DETERMINAR VALOR ABSOLUTO DA AMOSTRA ATENUADA A PARTIR

C DESTES VALORES DE SEGMENTO E NIVEL, E A FAIXA DE ATENUACAO

C E GUARDAR TEMPORARIAMENTE EM 'ATENU'

C

ATENU = ATEN(SEG, NIVEL, IATT)

C

C CODIFICAR ESTE VALOR DE AMOSTRA EM VALORES PARA O SEGMENTO E

C PARA O NIVEL, NA FORMA QUE SERAO ARMazenADOS NA MEMORIA DE ATENUACAO

C

CALL COD(SEGOUT, NIVOUT, ATENU)

C

C DETERMINAR A PARIDADE (PARIDADE PAR) PARA ESTES VALORES DE

C SEGMENTO E NIVEL

C

PRDE = PARID(SEGOUT, NIVOUT)

C

C ENVIAR OS VALORES DETERMINADOS PARA O RELATORIO P/ VERIFICACAO

C

WRITE (2,800) IATT-1, SEGIN-1, NIVIN-1, SEG, NIVEL, ATENU,

1 PRDE, SEGOUT, NIVOUT

AN J=PLUS VOZ=BI 15:43:51 UZ=UCT=0
N,PTD /FM:ELUCKS/*F

END FORRAT (5X,303,6X,203,7X,F7.2,7X,303)

C
C ARMAZENAR EM VETORES OS VALORES A SEREM GRAVADOS, RESPEITANDO
C A ASSOCIACAO COM A FAIXA DE ATENUACAO E A AMOSTRA ORIGINAL

P(NIVIN, SEGIN, IATI) = PRDE
S(NIVIN, SEGIN, IATI) = SEGOUT

1000 N(NIVIN, SEGIN, IATI) = NIVOUT

C GRAVAR OS VETORES NO ARQUIVO DE SAIDA

*WRITE (1) P, S, N

C FIM DO PROGRAMA

STOP
END

ANEXO 3

LINGUAGEM DE ESPECIFICAÇÃO E DESCRIÇÃO DE SISTEMA - LEDS

3.1 - Introdução







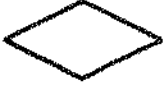

LEDS é uma linguagem usada para especificar e descrever a lógica de processos funcionais de um modo independente das técnicas de implementação, sendo baseado em "máquinas de estado". Ela é capaz de descrever funções telefônicas de uma maneira facilmente compreendida pelo pessoal de telefonia e tornou-se uma recomendação CCITT para desenvolvimento de CPA temporal.

3.2 - Conceitos

- Processo - é o objeto que faz uma função lógica. Cada processo é reportado como uma máquina de estados. Cada estado pode ser alcançado qual quer outro através de uma série de transições.
- Transição - é uma sequência de ações que ocorrem quando o processo muda de um estado para outro.
- Estado - é uma condição em que as ações de um processo ficam suspensas esperando um sinal de entrada.
- Sinal - é um veículo que transporta informação entre processos.
- Saída - é uma ação que gera um sinal que vai servir de entrada de um dado processo.
- Decisão - é uma ação em que um dos vários caminhos é escolhido para se continuar a transição
- Tarefa - é uma ação dentro de uma transição que não seja nem saída nem decisão.
- "Save" - é usado para salvar o sinal de ser descartado. Isto significa que o sinal não será tratado naquele instante, mas ficará esperando para ser recebido até que um novo estado seja alcançado.

3.3 - Representação Gráfica

Uma representação em LEDS é feita através de símbolos gráficos, cada um representando um dos subconceitos do processo, conectados linhas. Estes símbolos são:

-  - Estado
-  - Sinal de Entrada Externo
-  - Sinal de Entrada Interno
-  - Tarefa
-  - Sinal de Saída Externo
-  - Sinal de Saída Interno
-  - Decisão
-  - "Save"

REFERÊNCIAS

1. M.T. Hills
"Telecommunications Switching Principles"
MI Press, 1979
2. Amos E. Joel, Jr.
"What is Telecommunications Circuit Switching?"
Proceedings of the IEEE, Vol. 65, nº 9, September 1977
3. J. Gordon Pearce
"The New Possibilities of Telephone Switching"
Proceedings of the IEEE, nº 9, September 1977
4. Michael J. Marcus
"The Theory of Connecting Network and their Complexity: A Review"
Proceedings of the IEEE, Vol. 65, nº 9, September 1977
5. Alessandro Bellman, Guido Granello, Alberto C. Resta
"Considerations on Analog and Digital Electronic Switching Network and Their Applications"
Proceedings of the IEEE, Vol. 65, nº 9, September 1977
6. Shuji Tomita, Ken-Ichi Yukimatsu, Toshiro Mizuno, Moriharu Miyaho
"Some Aspects of time-Division Data Switch Design"
Proceedings of the IEEE, Vol. 65, nº 9, September 1977
7. Amos E. Joel, Jr.
"Digital Switching-How it has Developed"
IEEE Transactions on Communications, Vol.27, nº 7, July 1979
8. P. Charransol, J. Hauri, C. Athènes, D. Hardy
"Development of a Time Division Switching Network Usable in a Very Large Range of Capacities"
IEEE Transactions on Communications, Vol. 27, nº 7, July 1979

9. H. Sueyoshi, N. Shimasaki, A. Kitamura, T. Yamaguchi
"System Design of Digital Telephone Switching System - NEAX61"
IEEE Transactions on Communications, Vol. 27, nº 7, July 1979
10. Oliver Louvet, Alain Roche
"Les Réseaux de Connexion Numériques"
L'Écho des Recherches, Juillet 1977
11. P. Voyer, M. Ballard, B. Ledie
"Réseaux de Connexion Temporales à Grande Capacité"
Communication & Électronique nº 43, Octobre 1973
12. Arthur A. Collins, Robert D. Pedersen
"A Time for Innovation"
13. Adalton Pereira Toledo
"Noções de Comutação Telefônica"
McGraw-Hill do Brasil, Ltda, 1975
14. Valdir Dias
"Rede de Comutação Temporal"
CPqD-TELEBRÁS, Relatório Técnico 013/78
15. Valdir Dias
"Critérios para Escolha de uma Estrutura de Comutação Temporal"
CPqD-TELEBRÁS, Relatório Técnico 014/78
16. C. Denis Hall
"Digital Switching-Forces which Shape its Future"
IEEE Transactions on Communications, Vol.Com.27, nº 7, July 1979
17. Carlindo Hugueney Junior
"TROPICO - A Família CPA-T Brasileira"
CPqD-TELEBRÁS

18. José Roberto G. dos Santos, Víctor A. Valenzuela Díaz
"Determinação dos Comprimentos dos Fios de Interligação das Interfaces do 1º PD do Sistema TROPICO 1200"
CPqD-TELEBRÁS
19. Paul L. Meyer
"Probabilidade, Aplicações à Estatística"
Ao Livro Técnico S.A. E. Editora da Universidade de São Paulo RJ/1969
20. Michel Daoud Yacoub
"Placa Conversores Série-Paralelo-Série - Especificação de Característica"
CPqD-TELEBRÁS
21. Michel Daoud Yacoub
"Placa Conversores Série-Paralelo-Série- Descrição de Produto"
CPqD-TELEBRÁS
22. Michel Daoud Yacoub
"Placa Conversores Série-Paralelo-Série - Relatório Técnico de Projeto Memorial de Cálculo"
CPqD-TELEBRÁS
23. Michel Daoud Yacoub
"Placa Conversores Série-Paralelo-Série - Diagrama em Blocos"
CPqD-TELEBRÁS
24. Víctor A. Valenzuela Díaz
"Placa Estágio de Comutação Temporal - Especificação de Características"
CPqD-TELEBRÁS
25. Víctor A. Valenzuela Díaz
"Placa Estágio de Comutação Temporal - Descrição de Produto"
CPqD-TELEBRÁS

26. Michel Daoud Yacoub
"Placa Controlador do Módulo de Comutação - Especificação de Características"
CPqD-TELEBRÁS
27. Michel Daoud Yacoub, Víctor A. Valenzuela Díaz
"Placa Controlador do Módulo de Comutação - Descrição de Produto"
CPqD-TELEBRÁS
28. Michel Daoud Yacoub, Víctor A. Valenzuela Díaz
"Placa Controlador do Módulo de Comutação - Diagrama de Sinais no Tempo"
CPqD-TELEBRÁS
29. Michel Daoud Yacoub, Víctor A. Valenzuela Díaz
"Placa Controlador do Módulo de Comutação - Diagrama em Blocos"
CPqD-TELEBRÁS
30. Bruno Souza Vianna, Miguel de J. Perdigueiro, Michel Daoud Yacoub, Valdir Dias, Víctor A. Valenzuela Díaz
"Manual de Projeto de Sistemas - Estrutura Física"
CPqD-TELEBRÁS
31. José Roberto Centelhas
"Manual de Projeto de Sistemas - Formato do BI Software"
CPqD-TELEBRÁS
32. Milton Abramowitz and Irene Stegun
"Normal and Gaussian Probability Functions",
"Inverse Normal Integral", Capítulo 6
Handbook of Mathematical Functions Dover Publications, Inc.
N.Y. 1970

33. Cássio Sarmiento Garcia
"Testes de Atrasos em Cabos"
CPqD-TELEBRÁS

34. J. Pehrson
"Tutorial Example of Stastictical Timing Calculation"
Ellemtel, 1975

35. José Roberto G. dos Santos, Víctor A. Valenzuela Díaz
"Medidas e Estimativas de Parâmetros da f.d.p. Normalizada
dos Atrasos em Circuitos Integrados TTL-LS"
PD.02.TL.000.0001 - CPqD-TELEBRÁS

36. Valdir Dias
"Descrição Funcional do BCM"
PD.22.TR.SBI.0040-A - CPqD-TELEBRÁS