



Universidade Estadual de Campinas

Faculdade de Engenharia Elétrica e de Computação

Departamento de Semicondutores, Instrumentação e Fotônica

PROJETO DE UMA FONTE DE TENSÃO DE REFERÊNCIA DO TIPO BANDGAP EM TECNOLOGIA CMOS

Autor:

JOÃO PAULO CERQUINHO CAJUEIRO

Orientador:

Carlos Alberto dos Reis Filho

Dissertação Submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial para a obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof.^o Dr. Carlos Alberto dos Reis Filho.

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho – FEEC/UNICAMP

Prof. Dr. Peter Jurgen Tatsch–FEEC/UNICAMP

Dr. Fabiano Fruett

Campinas, Maio de 2002

RESUMO

Este trabalho visa o projeto e a implementação de uma fonte de referência do tipo *bandgap* em tecnologia CMOS. Ele apresenta um estudo da literatura existente sobre o assunto bem como uma discussão sobre as melhores formas de implementação.

Esta dissertação se divide em 6 capítulos, sendo o primeiro uma análise do conceito geral de um *bandgap* e uma rápida introdução quanto ao trabalho que foi proposto de ser realizado.

Do segundo capítulo em diante trata-se do sistema implementado, apresentando justamente nele o circuito proposto. No terceiro capítulo é feita uma análise dos erros existentes no sistema e são apresentadas formas de como reduzi-los. O quarto capítulo é dedicado à descrição do processo de implementação da estrutura adotada.

No quinto capítulo apresentamos os resultados obtidos, tanto por simulação quanto por experiências práticas com o circuito desenvolvido. As conclusões formam o sexto e último capítulo.

ABSTRACT

This work aims at the project and implementation of a bandgap voltage reference source in CMOS technology. It presents a summary of commonly adopted bandgap circuits, as well as a discussion over their features.

This text is divided in 6 chapters, the first one being an introduction of the concept of a bandgap circuit.

The second chapter is an overview of the proposed circuit. In the third chapter, an analysis of possible errors in the system is done and ways to minimize them are shown. The fourth chapter is dedicated to describe the process of implementation of the adopted structure.

In the fifth chapter we show the obtained results, by simulation and by practical experiences with the circuits that have been made. The conclusions obtained from these data forms the sixth and last chapter.

*"Nós somos o que nós fazemos repetidamente.
Excelência, então, não é um ato, mas um hábito"*
Aristóteles

*A minha família, a Deus e ao povo brasileiro
por serem quem são e por quem eu sou.*

Agradecimentos:

Agradeço principalmente a minha família, meu pai Luiz Cajueiro Barbosa Filho, minha mãe Maria de Fátima Cerquinho Cajueiro, meus irmãos Ana Cristina Cerquinho Cajueiro e Luiz Eduardo Cerquinho Cajueiro, pelo apoio incondicional que eu sempre tive em toda minha vida.

Ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, por todo o conhecimento compartilhado.

Aos meus amigos do laboratório Magneti-Marelli, André Couto (o Mano), Wilson (Virso), Marcelo, Murilo (Peçanha), Paulo Augusto (Nerso), Marcos Pelícia, Roberto (Sensacional), Renata, Luís Alberto (Beto), Dulciane (Dulce), Fernando (Castaaaaldo), Leandro, Jorge e Tiago, pelo prazer que foi trabalhar com eles.

Às Instituições UNICAMP e CENPRA (antigo CTI), pelo auxílio no trabalho, e ao Instituto Eldorado, pelo apoio financeiro.

Aos centros acadêmicos da Unicamp, por todas as festas que me permitiram manter a sanidade.

Aos moradores da República Ting, que me suportaram sob o mesmo teto ao longo de quase todo o período de duração do mestrado.

A todos os amigos que deixei em Recife, mas que nunca esqueci ou esquecerei.

À Recife, aonde um dia a saudade me levará de volta em seus braços.

A Deus, porque ele é muito bom.

Sumário:

Capítulo 1 - Introdução	1
Capítulo 2 – Estudo da Topologia Proposta	3
Capítulo 3 – Análise de Erro e Sensibilidade.....	11
Capítulo 4 – Implementação do Circuito	17
4.1 - Bipolares	18
4.2 – Fonte de Corrente.....	19
4.3 – Projeto do Amplificador.....	23
4.4 – Resistências	32
4.5 – Circuito Final – O Protótipo Integrado.....	39
4.6 – Protótipo Misto.....	44
Capítulo 5 – Resultados Teóricos e Experimentais.....	47
5.1 – Variação em Temperatura.....	47
5.2 – Rejeição da Fonte.....	52
5.3 – Análise DC	53
5.4 – Ruído	56
Capítulo 6 – Conclusões.....	58
Bibliografia.....	60

Capítulo 1

Introdução

Fontes de tensão de referência são elementos de suma importância em sistemas de conversão analógico-digital (A/D) e digital-analógico (D/A). No segundo caso isto é óbvio pois cada amostra na saída de um conversor D/A é, em realidade, um múltiplo de uma tensão de referência local. Já no primeiro caso, a conversão A/D é efetuada por meio de comparações entre a tensão analógica na entrada com valores conhecidos (fixos e estáveis), onde surge novamente a necessidade de uma fonte de referência. É importante frisar que um dos fatores que limitam a precisão de um conversor é justamente a tensão de referência.

O princípio em que se baseiam as fontes de referência do tipo *bandgap* foi introduzido por Hibiber em 1964^[1]. Posteriormente Widlar criou o conceito de *bandgap* e desenvolveu uma versão integrada^[2], no que foi seguido por vários outros. Atualmente são inúmeras as diferentes versões deste circuito, muitas delas usando a tecnologia CMOS. Este tipo de circuito tem como característica gerar uma tensão constante independente da temperatura e da tensão de alimentação e com um valor bem conhecido, que é a tensão equivalente à energia da banda proibida do silício extrapolada para 0K (de aproximadamente 1,25V). Daí vem seu nome, pois a banda proibida tem o nome em inglês de *bandgap*.

Essas fontes se baseiam no fato de que a tensão base-emissor (V_{BE}) é uma tensão composta por um valor constante e bem definido (V_{GO}) e por uma componente que decresce de forma aproximadamente linear com a temperatura, como já foi demonstrado

por Widlar^[3]. Para anular este decaimento, deve-se adicionar uma tensão que tenha um coeficiente térmico positivo, o que é perfeitamente possível de ser obtido através de uma diferença de V_{BE} 's de transistores com diferentes densidades de corrente, que é uma tensão proporcional à temperatura em Kelvin (em inglês, *Proportional To the Absolute Temperature* – PTAT). Este princípio é mostrado pela equação 1.1, onde V_{REF} é justamente a saída do circuito.

$$V_{REF} = V_{BE} + k\Delta V_{BE} \cong V_{GO} \quad \text{eq. 1.1}$$

Mas, essas fontes de referência apresentam um erro intrínseco, causado principalmente pela não-linearidade do V_{BE} com a temperatura. Isto cria, junto com outras não linearidades, uma curvatura com concavidade para baixo, que representa uma variação que pode chegar até a 20mV na faixa de -40 a 120 graus Celsius.

Uma forma de se reduzir este erro e que já foi utilizado em algumas implementações^[4] é o da inserção de um termo quadrático com concavidade oposta à da saída do *bandgap*, desta forma diminuindo sua variação com a temperatura. De fato, não é necessário realmente um termo quadrático, mas basta que tenha um comportamento parecido com uma parábola, ou seja, basta que este termo tenha uma concavidade voltada para cima. Neste trabalho é apresentada uma nova idéia de como acrescentar este termo.

Tendo em vista estas considerações, este trabalho tem como objetivo o projeto de uma fonte de tensão de referência do tipo *bandgap* estável em temperatura e implementada em tecnologia CMOS.

Capítulo 2

Estudo do Circuito Proposto

O primeiro aspecto a ser observado para o projeto do circuito é a tecnologia na qual o mesmo será implementado. No caso presente, é usada a tecnologia CMOS poço N de 0,6 μ m da *Austria Mikro Systems* (AMS), cujas características são encontradas em material da própria AMS^[5,6].

Para o tipo de fonte de referência que é a proposta deste trabalho e levando-se em conta que é utilizado um processo CMOS, a primeira escolha a ser feita refere-se ao tipo de dispositivo a ser utilizado para gerar as tensões V_{BE} e ΔV_{BE} , dado que a tecnologia somente permite a construção de dispositivos bipolares com limitações.

Os dispositivos que podem ser utilizadas para gerar um V_{BE} num processo CMOS são o próprio transistor MOS operando em fraca inversão, o transistor bipolar lateral e o transistor bipolar vertical.

No primeiro caso, utilizam-se transistores MOS polarizados no limiar da saturação ($V_{DS} \cong V_{GS} - V_T$). Nesta situação o canal não está muito bem formado e a condução se dá prioritariamente por meio de difusão e não de deriva, assim como ocorre nos transistores bipolares^[7]; polarizado desta forma, a corrente de dreno do transistor obedece a uma função exponencial e tem comportamento com a temperatura similar a de um bipolar, o que capacita seu uso em um *bandgap*^[8,9]. Apesar disso, a polarização do MOS nesta região exige certos cuidados no sentido de garantir sua operação na condição desejada, o que

dificulta muito o projeto do circuito. Além disso, a operação do MOS sob esta polarização determina o emprego de correntes em níveis baixos (nano Ampères).

A segunda alternativa é o transistor bipolar lateral, que se trata de um dispositivo de 5 terminais (emissor, base, coletor, *gate* e substrato)^[10]. Com a devida polarização de *gate* e substrato, os demais terminais atuam como um transistor bipolar. Na tecnologia disponível, que utiliza poços N, consegue-se obter apenas transistores laterais PNP. Estes transistores têm um β que depende da polarização do *gate*, sendo geralmente pequeno devido a relativamente grande largura da base, o que causa muita perda de corrente para o substrato. Este é um bom dispositivo quando é imprescindível a utilização de um transistor bipolar sem um terminal coletor ou emissor preso ao substrato e cuja corrente seja maior que as encontradas em um MOS em fraca inversão. Existem na literatura alguns exemplos de seu uso em fontes de referência^[11,12].

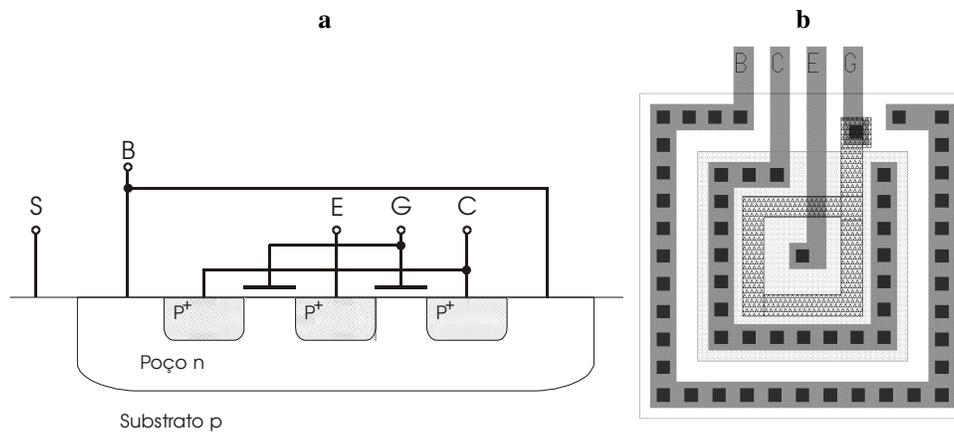


Figura 2.1: Estrutura de um transistor bipolar lateral. a) corte vertical. b) layout.

A terceira alternativa é a de um transistor bipolar vertical, que utiliza uma difusão de dreno como emissor, um poço como base e o substrato como coletor. Este último elemento é justamente o responsável pela perda de corrente no transistor lateral e é, de fato, um transistor bipolar convencional mas com a óbvia limitação de ter o coletor preso ao substrato.

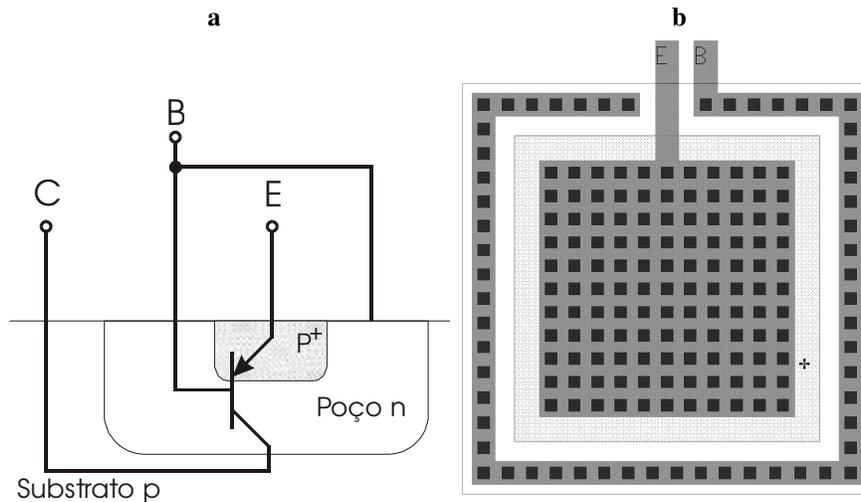


Figura 2.2: Estrutura de um transistor bipolar lateral. a) corte vertical. b) layout.

Destas três opções, a mais simples de ser implementada e controlada é a terceira, o transistor bipolar vertical, que já foi utilizado em algumas implementações de *bandgaps* MOS^[12,13].

A escolha deste tipo de transistor para gerar as tensões V_{BE} e ΔV_{BE} limitam a implementação do circuito, pois há a limitação dos coletores dos transistores estarem presos ao substrato.

Como consequência imediata deste fato, tem-se que não é possível controlar diretamente as correntes de coletor dos transistores por não se dispor de acesso a estes terminais. Isto implica em um controle das correntes de emissor com a suposição de que fazendo estas correntes serem iguais, as de coletor também sejam (ou seja, garantir β igual em ambos os transistores). Tendo isto em vista, a estrutura proposta por nós é aquela mostrada na figura 2.3.

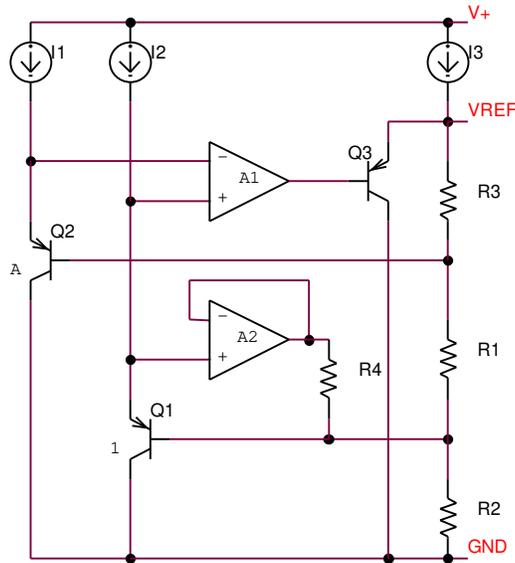


Figura 2.3: Estrutura proposta

Neste circuito, I_1 e I_2 são fontes de corrente idênticas e podem ser implementados por simples resistores desde que os potenciais nos respectivos terminais inferiores sejam mantidos invariáveis um em relação ao outro. Para isto, o amplificador A_1 , de alto ganho, vai comandar Q_3 de modo a desviar corrente de I_3 e estabilizar as tensões de base de Q_1 e Q_2 para que as tensões nos seus emissores sejam iguais. Como Q_2 é A vezes menor que Q_1 , uma tensão ΔV_{BE} (PTAT) se desenvolve sobre o resistor R_1 . O amplificador A_2 sofre uma realimentação unitária e com isto a tensão sobre R_4 é justamente V_{BE1} . Considerando todos os elementos ideais e que a corrente de base dos transistores é nula, a saída V_{REF} assume a seguinte expressão:

$$V_{REF} = \frac{R_1 + R_2 + R_3}{R_1} \Delta V_{BE} + \frac{R_2}{R_4} V_{BE1} \quad \text{eq. 2.1}$$

A eq. 2.1 pode ser claramente reconhecida como a equação de um *bandgap* com a diferença que existe agora um ganho sobre V_{BE1} (R_2/R_4), o que permite a obtenção de uma saída estabilizada numa tensão diferente de V_{GO} .

Este circuito é baseado no circuito de Dobkin^[14], com a diferença que enquanto naquele circuito havia a necessidade de um terceiro transistor bipolar para gerar a tensão V_{BE} , no circuito proposto usa-se um V_{BE} do mesmo transistor presente na geração do ΔV_{BE} .

Para permitir isso, há a necessidade do novo amplificador A2, com o bônus da possibilidade de gerar uma referência com qualquer valor e não apenas com V_{GO} . Observe-se que o transistor bipolar Q3 não é parte essencial do projeto, funcionando apenas como o estágio de saída de A1. Foi escolhido neste caso um transistor bipolar devido a sua maior transcondutância, que é bem útil neste caso.

Atribuindo valores ao circuito ($R2=R4=60k\Omega$, $R3=25k\Omega$ e $R1=15k\Omega$, $I1=I2=10\mu A$, $I3=30\mu A$, $A=20$), podemos traçar um gráfico da tensão sobre R1 e sobre R4 e os seus respectivos comportamentos com a temperatura por meio de uma simulação com ELDO (figura 2.4).

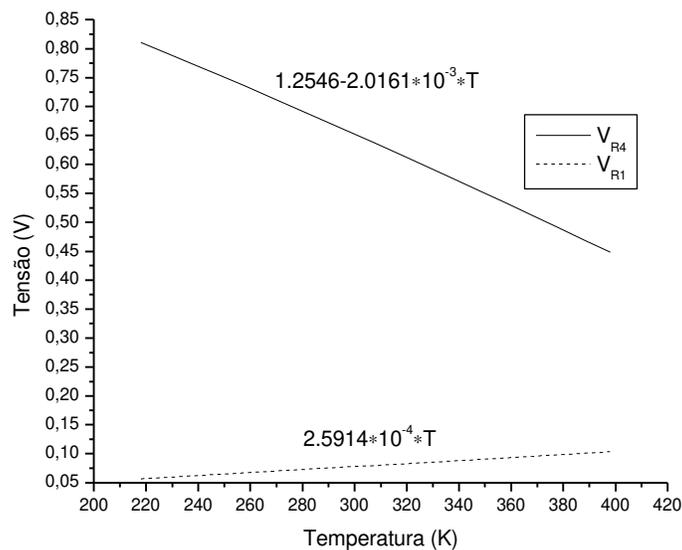


Figura 2.4: Resultados de simulação das tensões sobre R1 e R4 no circuito proposto.

A partir da própria figura 2.4, pode-se calcular V_{R1} e V_{R4} como retas em função da temperatura (em Kelvin). V_{R4} teria o valor de 1.2546V em zero Kelvin (o que corresponde aproximadamente a V_{GO}) e com um decaimento de aproximadamente 2mV/K, o que comprova que esta tensão segue o comportamento de um V_{BE} . Já ΔV_{BE} é igual a $[(k/q) \cdot \ln(20)] \cdot T = 2.58154 \cdot 10^{-4} \cdot T$, o que corresponde aproximadamente à variação de V_{R1} com a temperatura ($2,5914 \times 10^{-4} \text{V/K}$) mostrando que V_{R1} é ΔV_{BE} .

Pode-se, ainda, nesta simulação, observar as correntes de base I_{B1} e I_{B2} na figura 2.5 e comprovar que elas são muito próximas uma da outra. Por conta disto o erro causado por controlar I_E e não I_C é desprezível.

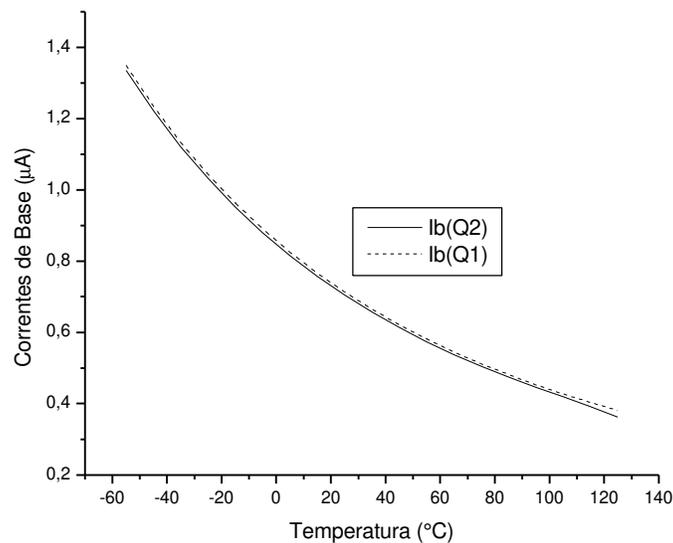


Figura 2.5: Correntes de Base de Q1 e Q2 (simulação).

Porém, observando-se mais atentamente o circuito da figura 2.3, verifica-se que as correntes de base dos transistores Q1 e Q2 atuam diretamente sobre os resistores que controlam a saída. Como já foi observado, R1 e R4 têm a tensão fixa por ΔV_{BE} e V_{BE1} respectivamente, isto faz com que as correntes de base não influenciem nas correntes que vão passar por eles. Aplicando-se a lei das correntes de Kirchoff nos nós das bases de Q1 e Q2, calculam-se as correntes que fluem em R2 e R3.

$$I_{R2} = I_{R1} + I_{R4} + I_B \quad \text{eq. 2.2}$$

$$I_{R3} = I_{R1} - I_B \quad \text{eq. 2.3}$$

(considerando $I_{B1}=I_{B2}=I_B$ em 2.2 e 2.4)

Com isso obtêm-se uma nova equação para a saída:

$$V_{REF} = \frac{R1 + R2 + R3}{R1} \Delta V_{BE} + \frac{R2}{R4} V_{BE1} + (R2 - R3) I_B \quad \text{eq. 2.4}$$

Pela análise da equação 2.4 vê-se que é muito fácil anular o efeito da corrente de base, bastando apenas que R2 tenha o mesmo valor que R3. Todavia, uma melhor observação da figura 2.5 mostra que I_B apresenta uma concavidade voltada para cima, ou seja, oposta à de V_{BE} . Isso abre a possibilidade de, trabalhando as relações de resistores, fazer com que uma concavidade anule a outra, obtendo então uma fonte de referência tipo *bandgap* com correção de curvatura.

Para isto, é obrigatório levar-se em conta a variação da resistência com a temperatura uma vez que I_B aparece na saída multiplicada por uma resistência e não por uma relação de resistores. Desta forma, a variação dos resistores não é mais compensada, o que foi considerado durante o projeto e simulação. Deve-se também saber se a variação dos valores de β de transistores fabricados próximos entre si é pequena o suficiente para que esta análise seja válida. Isto infelizmente não pode ser verificado.

Simulou-se o sistema da figura 2.3, utilizando $R2=R3=R4=60k\Omega$, $I1=I2=10\mu A$, $I3=30\mu A$ e relação de áreas $A=20$ e ajustou-se R1 para obter a saída o mais estável possível, obtendo-se então o valor de $17,73k\Omega$ para este resistor. A curva da tensão V_{REF} obtida com estes valores pode ser visualizada na figura 2.6, onde se observa um comportamento típico de um *bandgap*, sem nenhuma influência da corrente de base.

Simulou-se em seguida o circuito com R3 igual a $45k\Omega$ e novamente ajustando R1 para minimizar a variação de V_{REF} , conseguiu-se com um R1 de $14,83k\Omega$ outra resposta, também mostrada na figura 2.6.

Esta última difere da anterior em três características: apresenta uma variação bem menor, tem um valor médio maior (indicando a soma de outro termo na saída) e apresenta o pico em uma temperatura diferente (pois como a curvatura de I_B não é idêntica a de V_{BE} , o pico é deslocado na soma até ocorrer uma situação como a da figura 2.6).

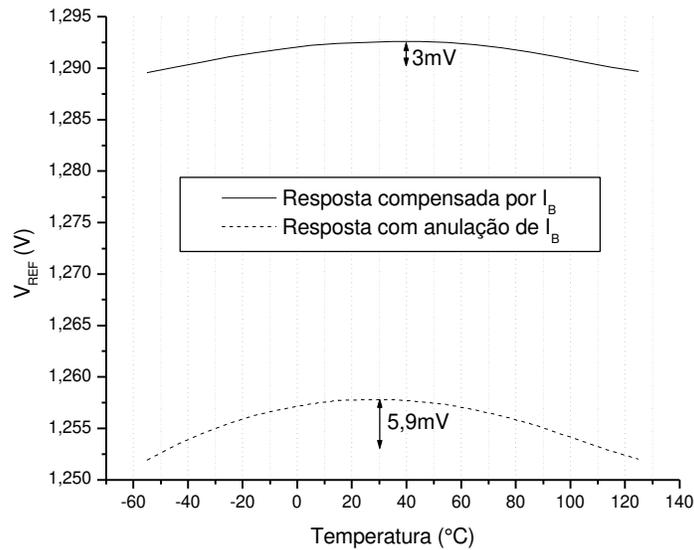


Figura 2.6: Simulação do *bandgap* com elementos ideais.

Comprova-se assim a possibilidade de compensar a curvatura deste circuito através do uso das correntes de base. Imagina-se que se possa diminuir ainda mais a variação de V_{REF} com o uso de outros valores de $R3$, mas isso não foi implementado por motivos a serem explicados mais adiante neste texto.

Capítulo 3

Análise de Erro e Sensibilidade

No estudo feito até o presente momento, exceto pela presença das correntes de base (um β não infinito) dos transistores, todos os elementos foram considerados como ideais. Mas, na verdade, várias não idealidades de um circuito real modificam as características observadas. Algumas destas são:

- Descasamento entre os resistores.
- Descasamento entre os transistores bipolares.
- Não-idealidade das fontes de corrente.
- *Offset* dos amplificadores.
- Ganho finito dos amplificadores
- Corrente de base não nula.
- Influência da tensão de alimentação na saída.

Todos esses efeitos podem ser estudados separadamente e acrescentados na equação 2.1.

Considere-se inicialmente que os dois amplificadores têm *offsets* V_{OS1} e V_{OS2} . Desse modo tem-se uma mudança na tensão sobre R1 e R4 e a tensão de saída passa a ser

$$V_{REF} = (\Delta V_{BE} + V_{OS1}) \cdot A + (V_{BE1} + V_{OS2}) \cdot B \quad \text{eq. 3.1}$$

Onde $A = \frac{R1 + R2 + R3}{R1} \approx 9$ e $B = \frac{R2}{R4} = 1$.

Com isto, se esta equação for extrapolada para $T=0K$ (apenas para facilitar a observação do erro), obtemos

$$V_{REF}(0K) = V_{OS1} \cdot A + (V_{GO} + V_{OS2}) \cdot B \quad \text{eq. 3.2}$$

Para efeito de cálculo, considerou-se as tensões de offset, $V_{OS1}=V_{OS2}=4mV$. Com isso $V_{REF}(0K)=V_{GO}+40mV$, ou seja, um erro 10 vezes maior que os *offsets* dos amplificadores. Isso supondo que os *offsets* sejam constantes com a temperatura. Mas esta é uma boa aproximação no caso de um amplificador MOS diferencial, pois neste caso o *offset* seria devido a um ΔV_{GS} , que é causado principalmente por um ΔV_T dos transistores e portanto praticamente constante com a temperatura.

A fim de evitar este problema, pouco se pode fazer além de tentar produzir um amplificador com um menor *offset* possível, com especial cuidado no operacional da realimentação, pois seu *offset* é multiplicado por 9.

Para melhor observar o efeito das correntes de base nos resistores de saída do circuito, estas correntes foram escritas como funções dos β 's e das correntes de emissor:

$$I_B = \frac{I_E}{1 + \beta} \quad \text{eq. 3.3}$$

E com isto o efeito destas correntes sobre os resistores pode ser expresso por:

$$V_{IB,R} = R2 \cdot \frac{I_1}{1 + \beta_1} - R3 \cdot \frac{I_2}{1 + \beta_2} \quad \text{eq. 3.4}$$

Pode-se então dizer que I_2 é igual a I_1 com uma diferença ΔI ; idem com β . Pode-se ainda considerar que os resistores têm uma diferença de seu valor calculado ΔR_1 e ΔR_2 .

Para o cálculo aproximado destes erros nestas equações, o melhor é linearizá-las em β . Com isso chegamos a equação 3.5:

$$\begin{aligned} & R2 \cdot \frac{I_1}{1 + \beta_1} - R3 \cdot \frac{I_2}{1 + \beta_2} \cong \\ \cong & (R2 + \Delta R2) \cdot \frac{I_1}{1 + \beta_1} - (R3 + \Delta R3) \cdot \frac{I_1 + \Delta I}{1 + \beta_1} + (R3 + \Delta R3) \cdot \frac{I_1 + \Delta I}{(1 + \beta_1)^2} \cdot \Delta \beta \end{aligned} \quad \text{eq. 3.5}$$

Como os erros são pequenos e portanto os termos em que aparecem erros ao quadrado podem ser desprezados, chega-se a uma equação com todos os erros induzidos pela existência de correntes de base:

$$V_{\text{erro,IB}} = \Delta R2 \cdot \frac{I_1}{1 + \beta_1} + \Delta R3 \cdot \frac{I_1}{1 + \beta_1} + R3 \cdot \frac{\Delta I}{1 + \beta_1} + R3 \cdot \frac{I_1}{(1 + \beta_1)^2} \cdot \Delta \beta \quad \text{eq. 3.6}$$

Para transistores MOS adjacentes, de mesma geometria e com igual polarização, existe uma variação de corrente de aproximadamente 1% na tecnologia utilizada^[6], o que neste caso vai nos ocasionar um erro de 214 μ V.

A diferença entre os β 's pode ser devida ao descasamento entre transistores e a diferença de densidade de corrente neles (que é da ordem de 20, uma vez que a área de Q2 é 20 vezes maior do que a de Q1). Uma diferença da ordem de 5% (estimativa pessimista) resulta em um erro de 994 μ V.

Como já foi dito, consegue-se fazer com que a saída seja (aproximadamente) independente da temperatura justamente através da relação entre os resistores. Observe-se, porém, que no caso de se cancelar o efeito de I_B , não importa o exato valor dos resistores, mas basta que o erro na resistência seja proporcional em todos os resistores. Com isso pode-se inclusive aceitar que os resistores variem com a temperatura (o que de fato acontece) e tem-se apenas de se certificar que os resistores variem na mesma taxa.

Para garantir que os resistores tenham características as mais idênticas possíveis, deve-se dispô-los os mais próximo possível uns dos outros no chip, pois sabe-se que resistores projetados para ter o mesmo valor apresentam uma diferença média de 1% entre

si^[6]. Então, se fizermos o *bandgap* com R2 igual a R3 (para cancelar o efeito da corrente de base), nosso erro será de 0.23% deste termo (49μV).

Para o caso de utilizar I_B na compensação de temperatura, o erro de resistência passa a ser equivalente ao erro causado por uma resistência única, que é de 10%, onde então teremos um erro de 2.14mV, que é o maior erro que temos devido a I_B mas mesmo assim é comparável a vários dos erros que temos. Esta análise mostra que, numa primeira aproximação, o uso de I_B na tensão de saída não ocasiona grande erro, sendo, assim, aceitável.

Se for possível também que os resistores apresentem um centróide comum, melhor para que não variem uns em relação aos outros.

A equação original do *bandgap* (2.1) pode ser acrescida de termos devidos a diferenças entre as correntes de polarização dos bipolares e variação nos β 's:

$$V_{REF} = A \cdot \left[\Delta V_{BE} + V_T \ln \left(\frac{I_2}{I_1} \right) + V_T \ln \left(\frac{1 + 1/\beta_1}{1 + 1/\beta_2} \right) \right] + B \cdot \left[V_{BE1} + V_T \ln \left(\frac{1}{1 + 1/\beta_1} \right) \right] \text{ eq. 3.7}$$

O β varia de 8 a 18 (em 300K, para o dispositivo e tecnologia utilizados)^[6] e que gera um erro no valor medido de V_{BE1} devido justamente a não ser possível controlar a corrente I_C e sim I_E . Usando estes valores na eq. 3.7, obtêm-se um erro de $-1.92 \pm 1\text{mV}$ em 300K. O comportamento do β na temperatura pode (e deve) ser levado e conta de modo que os 1.92mV sejam de fato um termo a mais em V_{REF} e temos então um erro não sistemático de $\pm 1\text{mV}$.

Além disso, há mais um termo em β que vai afetar a componente do V_{BE} , mas apenas se houver variação do β entre os transistores. Esta diferença já foi estimada em 5%, o que gera um erro de 880μV.

A diferença entre as correntes, como já foi visto, é de aproximadamente 1%, isto causa um erro de 2,35mV.

Das equações de V_{BE1} e ΔV_{BE} , podem ser obtidas informações importantes sobre a sensibilidade destes termos com a relação de áreas (*área*) e com I_{S1} .

$$\frac{\partial}{\partial \text{área}} \Delta V_{BE} = \frac{V_T}{\text{área}} \therefore \Delta(\Delta V_{BE}) = \frac{V_T}{\text{área}} \cdot \Delta \text{área} \quad \text{eq. 3.8}$$

$$\frac{\partial}{\partial I_{S1}} V_{BE1} = \frac{V_T \cdot I_{S1}}{I_1} \cdot \frac{-I_1}{I_{S1}^2} = \frac{-V_T}{I_{S1}} \therefore \Delta(V_{BE1}) = \frac{-V_T}{I_{S1}} \cdot \Delta I_{S1} \quad \text{eq. 3.9}$$

$$\frac{\partial}{\partial I_1} V_{BE1} = \frac{V_T \cdot I_{S1}}{I_1} \therefore \Delta(V_{BE1}) = \frac{V_T \cdot I_{S1}}{I_1} \cdot \Delta I_1 \quad \text{eq. 3.10}$$

A relação de áreas é 20, mas o $\Delta \text{área}$ é um parâmetro desconhecido. Supondo que esta variação seja de 5%, têm-se um erro de 65 μ V no ΔV_{BE} , o que implica um erro total de 585 μ V. Já I_{S1} tem um valor típico de 1,081 $\times 10^{-16}$ A com uma variação de $\pm 5,4 \times 10^{-17}$ A; utilizando estes números na equação 3.9, consegue-se uma incerteza de 13mV, o que é bastante grande comparado com os valores obtidos devidos a outros erros.

Da equação 3.10 ainda não é possível dizer muito, pois não é conhecido I_1 ou do que esta corrente depende; mas só pelo fato de que este erro tem I_{S1} como numerando, já é possível afirmar que ele é muito pequeno.

Unindo todos estes termos obtêm-se a equação 3.11, a partir da qual pode-se observar o efeito de cada erro:

$$V_{REF} = A \cdot \left[V_{OS1} + V_T \ln \left(\frac{I_2}{I_1} \right) + V_T \ln \left(\frac{1 + 1/\beta_1}{1 + 1/\beta_2} \right) \right] + B \cdot \left[V_{OS2} + V_T \ln \left(\frac{1}{1 + 1/\beta_1} \right) \right] + R2 \cdot \frac{I_1}{1 + \beta_1} - R3 \cdot \frac{I_2}{1 + \beta_2} + A \cdot \Delta V_{BE} + B \cdot V_{BE1} \quad \text{eq. 3.11}$$

Com tudo isso, podemos fazer uma conta aproximada do erro total do *bandgap*:

$$V_{erro} = \pm 1,0023 \cdot (36\text{m} + 2,35\text{m} + 880\mu + 585\mu + 4\text{m} + 1\text{m} + 13\text{m})\text{V} \pm 2,3\mu\text{V} \quad \text{eq. 3.12}$$

$$\pm (214\mu + 994\mu + 2,14\text{m})\text{V} = \pm 61,3\text{mV}$$

O termo de 1.92mV devido ao β no V_{BE1} não foi introduzido em V_{erro} por ser constante. Com isto observamos claramente que o pior erro num *bandgap* é o *offset* do amplificador operacional A1.

A primeira vista trata-se apenas de um *offset* perfeitamente ajustável por *trimming*. Mas no processo de *trimming*, não se conhece a existência do *offset* e normalmente o *trimming* é feito ajustando-se apenas o coeficiente A, responsável por ΔV_{be} . Se o *trimming* for realizado em apenas uma temperatura, não é possível evitar o erro devido ao gradiente de temperatura, tal como é mostrado na figura 3.1.

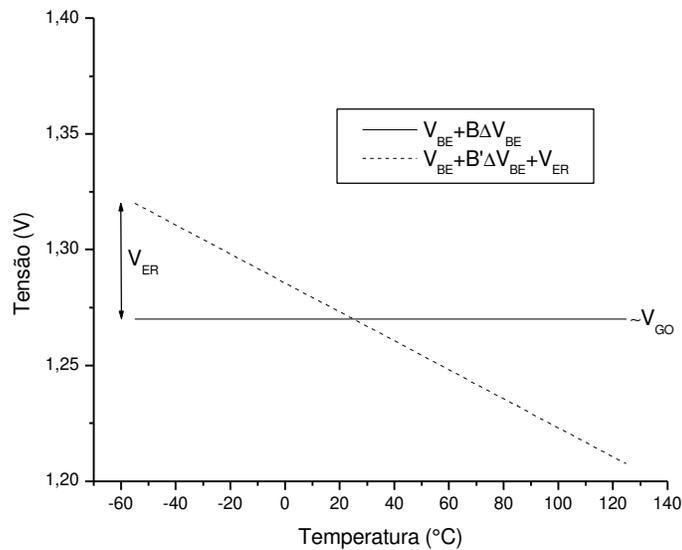


Figura 3.1: Erro devido ao *trimming* num só ponto.

O que leva a necessidade de um processo de *trimming* mais preciso e mais complexo, de preferência levando em conta a variação do circuito em toda faixa de temperatura, que foi justamente o procedimento realizado neste trabalho.

Capítulo 4

Implementação do Circuito

Para a implementação deste sistema, foi utilizada uma metodologia de projeto *top-down*, na qual inicialmente pensa-se no funcionamento do sistema como um todo e depois se particiona o sistema em blocos (Capítulo 2) e finalmente passa-se ao projeto destes blocos. Ao final, com todos blocos já prontos, eles são reunidos formando o sistema.

Na figura 2.3 podem ser identificados os blocos que fazem parte do sistema. São eles: os transistores bipolares, que são as fontes das tensões ΔV_{BE} e V_{BE1} ; as fontes de corrente; os amplificadores e, não muito visível na figura 2.3 como sendo um bloco, o conjunto de resistores. Este capítulo tem o propósito de detalhar o projeto de cada um destes blocos e sua união final no sistema completo.

Há ainda na secção 4.6, a descrição de um protótipo misto, que usa alguns componentes integrados e outros discretos, que foi feito anteriormente ao circuito integrado para observar a viabilidade da idéia.

4.1 – Bipolares

Os transistores bipolares são o principal bloco do circuito, por isso deve-se ter um cuidado especial em sua implementação. Como já foi dito no Capítulo 2, o tipo de bipolar escolhido foi o vertical; na tecnologia AMS 0.6 μ m CMOS, temos disponível para *layout* e simulação uma célula padrão deste tipo de dispositivo, o VERT15. Este transistor, cujo *layout* é mostrado na figura 2.2 (b), apresenta um emissor de tamanho 15 μ m por 15 μ m, daí seu nome. Suas principais características são uma corrente de saturação de aproximadamente 1×10^{-16} A e um β típico de 13.

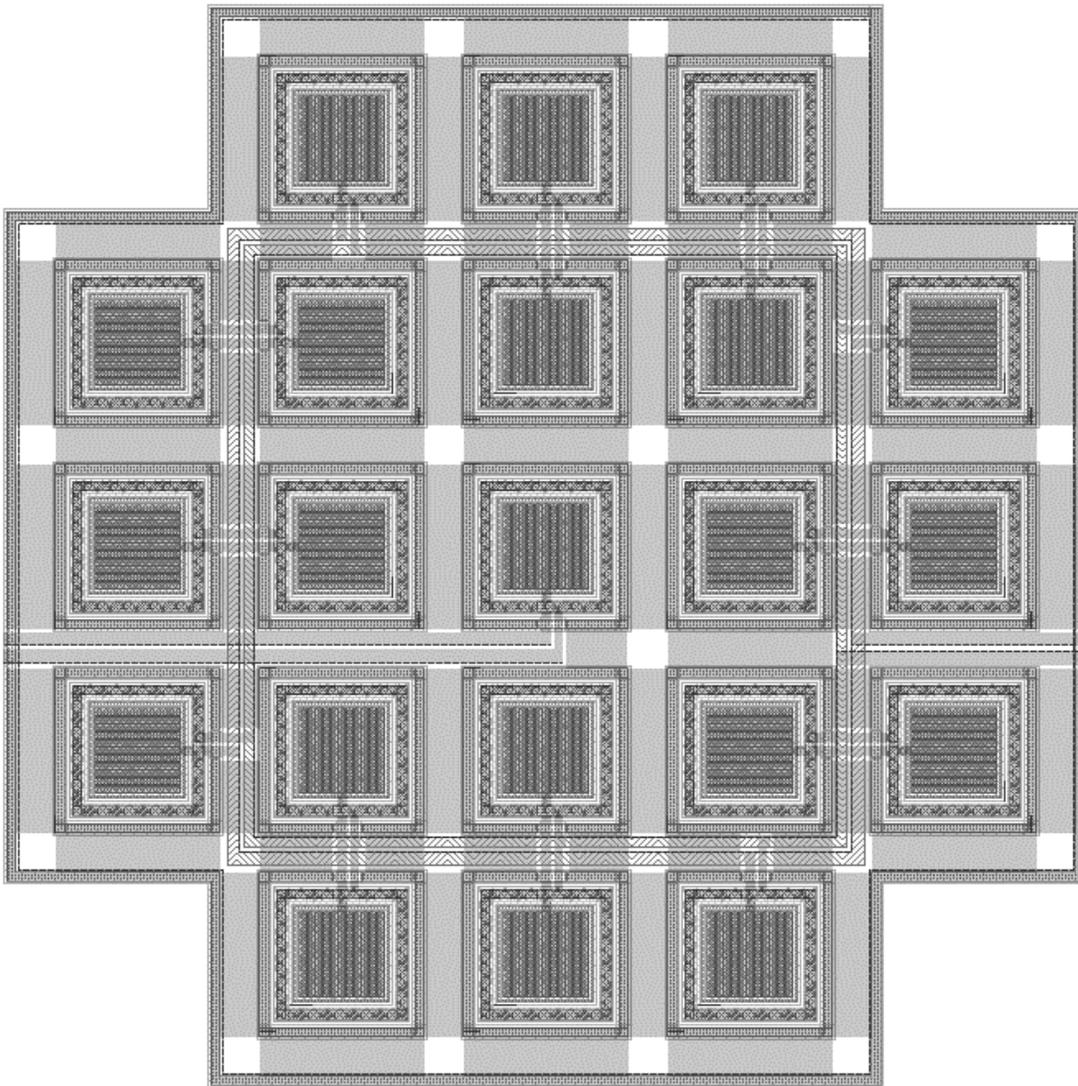


Figura 4.1: *Layout* de Q1 e Q2.

A relação de áreas dos transistores foi escolhida para ser 20. É um número inteiro pois assim podemos fazer o transistor maior como 20 réplicas em paralelo do menor, evitando assim o erro por defeitos de fronteira^[15]. Foi escolhido 20 porque $\ln(20) \cong 3$, o que permite fazer algumas aproximações no início do projeto do circuito.

Como é importante que os transistores fiquem próximos uns aos outros e tenham um centróide comum, foi escolhido o *layout* da figura 4.1 para os transistores. O transistor central é o Q1 enquanto que os outros 20 transistores tem seus emissores e suas bases comuns, formando então Q2, com área de emissor 20 vezes maior que Q1.

4.2 - Fonte de Corrente

As fontes de corrente utilizadas no circuito são todas espelhos de uma única fonte. Destas fontes, as mais críticas são claramente as que geram as correntes de polarização dos bipolares. Porém, observando a figura 4.2 que mostra justamente estas duas fontes implementadas por espelhos de corrente comuns, vemos que, com o sistema funcionando corretamente, os transistores que compõem estas fontes ficam com seus terminais sob as mesmas tensões e portanto tem virtualmente a mesma corrente de dreno. Devido a este fato, pode ser usado um simples espelho e não algo mais complexo como um cascode ou um espelho de Wilson.

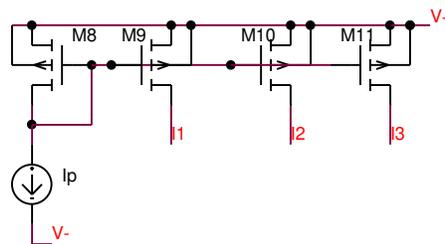


Figura 4.2: Fontes de corrente implementados por espelhos.

Existe porém, um outro ponto do circuito onde a fonte de corrente é muito importante que é na saída. Neste ponto a fonte de corrente aparece como o elemento entre a

tensão de alimentação positiva e a saída, e que no caso da fonte ser um simples espelho cria um acoplamento capacitivo através das capacitâncias do transistor, o que deteriora a rejeição da alimentação em altas frequências. Como estas altas frequências se encontram acima de 1MHz, este problema não foi levado em conta no projeto, mas caso o *bandgap* tenha uma finalidade em circuitos que operem em frequências mais altas que estas, deve-se trocar o tipo de espelho de corrente por um mais robusto, sofrendo com isso uma perda na mínima tensão de alimentação do circuito uma vez que o espelho passaria a necessitar de mais tensão de polarização agora.

A fonte de corrente I_P é um elemento crítico no projeto da fonte de tensão, pois deve ser bem estável em relação a tensão da alimentação. Não há, realmente, uma grande necessidade de que ela seja perfeitamente estável em temperatura mas sim que seu comportamento em função da temperatura seja previsível de modo a pudermos compensá-lo. As formas de resolver este problema mais encontradas na literatura são circuitos adicionais que gerem uma corrente PTAT^[13] ou o uso da própria tensão V_{REF} como referência para a corrente.^[4] A primeira solução não é difícil de ser engendrada uma vez que na própria concepção de um *bandgap* aparecem, não raro, ramos cuja corrente é PTAT, além do quê, esta técnica gera, como é óbvio, uma corrente com comportamento muito bem definido (PTAT) apresentando como maior desvantagem o fato de requerer quase sempre um circuito relativamente grande (quase outro *bandgap*).

Já a solução baseada na utilização da própria saída como referência para a corrente, apresenta inconvenientes diferentes. Entre eles o fato de que como acrescentamos uma realimentação (I_P gera V_{REF} que é referência para I_P), devemos ter cuidado para que o circuito não estabilize em um ponto diferente daquele esperado (com V_{REF} na tensão de *bandgap*), sendo muitas vezes necessário algum esquema para que o circuito inicie corretamente e não permaneça em algum estado indesejado. Outra desvantagem deste circuito é o fato de ser muito difícil ter uma corrente perfeitamente estável com a temperatura, uma vez que isto implicaria em termos um elemento transconductor totalmente independente da temperatura, o que não acontece no caso de usarmos resistores e muito menos transistores. O ponto a favor desta implementação é a simplicidade que é possível alcançar.

Neste projeto, pensando principalmente no tamanho final do circuito e com a intenção de fazê-lo o menor possível, optamos pela simplicidade e por conta disto a fonte de corrente foi implementada de acordo com a segunda alternativa dentre as apresentadas.

Na figura 4.3 temos o circuito proposto para polarização das fontes de corrente. A saída V_B se refere a tensão a ser ligada aos *gates* dos transistores que espelham I_{D3} .

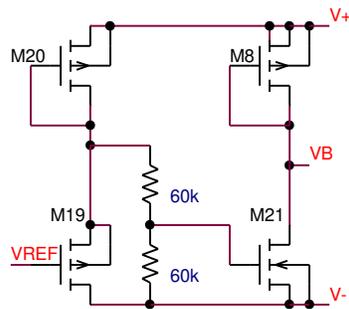


Figura 4.3: Fonte de corrente proposta para o *bandgap*.

Observe no circuito que V_{REF} passa por um simples seguidor de fonte (e portanto é acrescido de um V_{TP}) e esse sinal vai através de um divisor resistivo até o *gate* de M4, onde gera a corrente de polarização I_P . Podemos então ver que I_P é:

$$I_P = K_N \cdot \frac{W_4}{L_4} \cdot \left(\frac{V_{REF} + V_{TP}}{2} - V_{TN} \right)^2 \quad \text{eq. 4.1}$$

Analisando este circuito por meio de um simulador (ELDO), e supondo que V_{REF} permanece constante (o que é o intuito primeiro do sistema), podemos estudar a variação de I_P na temperatura (figura 4.4):

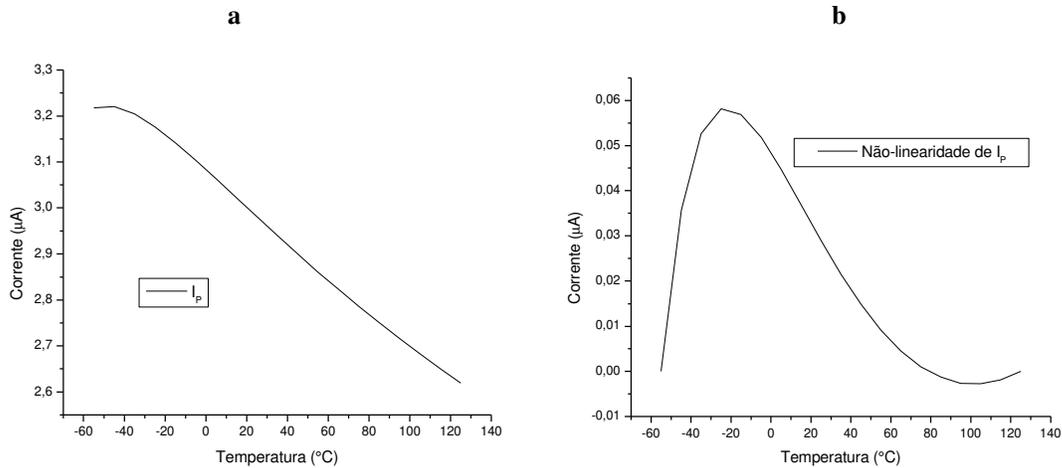


Figura 4.4: Simulação da corrente de polarização. a) Em função da temperatura. b) Não linearidade de I_P em função da temperatura.

Observamos então na Figura 4.4 (a) que I_P varia de aproximadamente $2,6\mu\text{A}$ a $3,2\mu\text{A}$, variação esta que pode ser decomposta em uma parte linear com a temperatura e mais uma parte não-linear (figura 4.4 (b)). Mas qualquer variação linear com a temperatura pode ser compensada através de uma mudança no ganho sobre ΔV_{BE} ; por esta razão é que devemos apenas nos preocupar com a não-linearidade de I_P , que corresponde a 60nA .

Utilizando a equação 3.11, obtêm-se um erro devido a I_P de $62 \times 10^{-21} \text{V}$. Portanto, desprezível.

Podemos ver que o erro causado por esta irregularidade da corrente é, em realidade, bem pequeno e não compromete o sistema como um todo, o que permite o uso da fonte de corrente assim como foi proposta.

Na figura 4.5 temos o *layout* desta fonte de corrente.

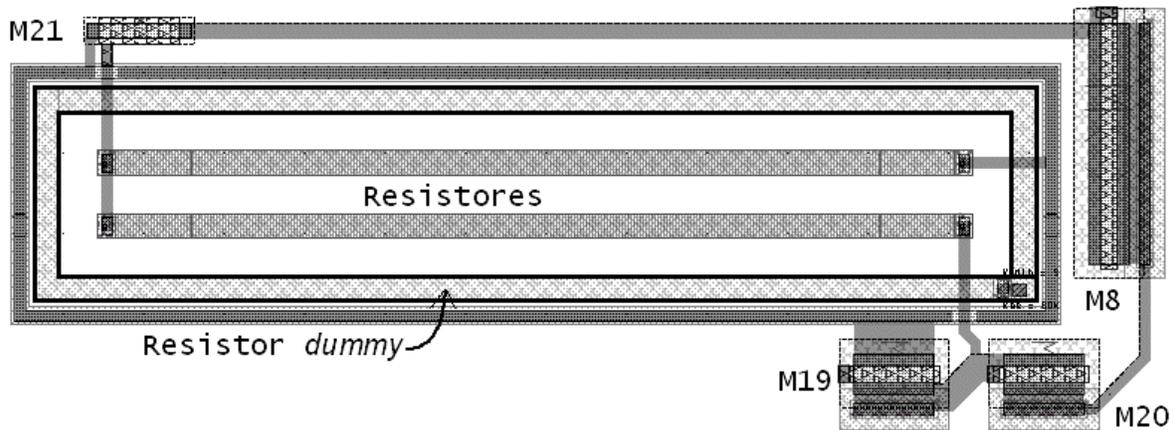


Figura 4.5: *Layout* da fonte de corrente.

Os objetos maiores são os dois resistores de $60\text{k}\Omega$ envoltos por um dispositivo *dummy* e um anel de guarda. Em cima à esquerda se encontra o transistor M21, no lado direito, na vertical, está M8 e os dois de baixo são, da esquerda para a direita, M19 e M20. No *gate* de M19 entra o sinal V_{REF} e na linha comprida de metal que liga M21 a M8 temos o sinal de polarização V_B que alimenta os espelhos que são as fontes de corrente do circuito.

4.3 - Projeto do amplificador.

Como já visto, o amplificador utilizado no *Bandgap* é um dos elementos mais importantes pelo fato de que o erro devido ao *offset* do amplificador em geral é o maior erro que ocorre num *bandgap*; para tanto o amplificador a ser usado deve ser uma estrutura de alto ganho (de modo que a tensão entre seus terminais de entrada seja praticamente zero quando realimentado) e com um extremo cuidado no *layout* para minimizar o *offset* aleatório.

O *offset* aleatório é causado principalmente por diferenças entre os dois pares de transistores do estágio de entrada (o par diferencial e a carga ativa), sabe-se que gradientes de concentração de impurezas e/ou espessura do óxido de porta, etc, causam diferenças nas

características de elementos supostamente idênticos, ao que se somam distorções devidas a gradientes térmicos do circuito. Todos esses fatores contribuem para o aumento do *offset* aleatório em um par diferencial.

Para diminuir este efeito deve-se tomar duas medidas simples mas que podem dificultar o *layout* do circuito: posicionar os transistores o mais próximos um do outro quanto for possível para diminuir o efeito do gradiente e posicioná-los de tal forma que eles tenham um centróide comum,^[15] fazendo assim com que o gradiente afete todos os elementos do mesmo jeito (numa aproximação de primeira ordem). Um *layout* de par diferencial que respeita essas regras (e também serve para a carga ativa) é o chamado par cruzado (*cross-quad*),^[16] que apresenta os dois transistores divididos em 4, assim como mostra a figura 4.6.

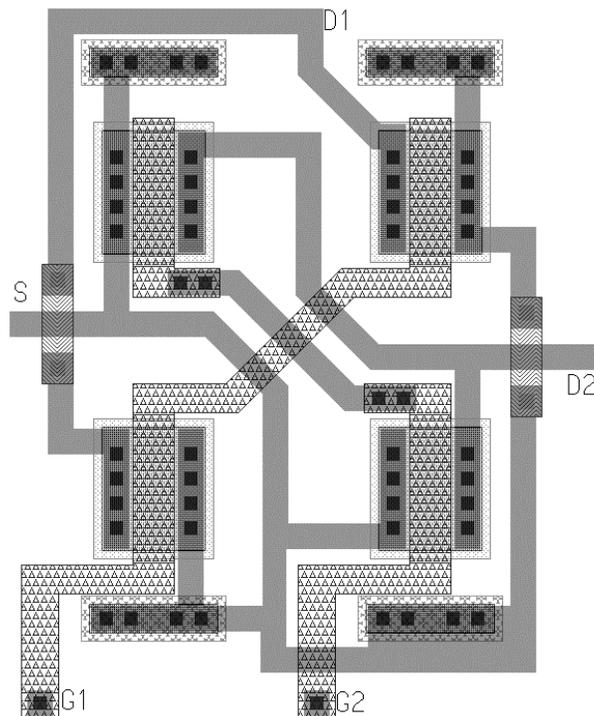


Figura 4.6: *Layout* de um par cruzado (*cross-quad*)

O tipo de amplificador escolhido para ser utilizado foi um simples OTA (Operational Transconductance Amplifier), que tem uma estrutura bastante simples com o *offset* sistemático anulado por pequenas e simples relações entre transistores, pode ser facilmente compensado em frequência e apresenta poucos elementos casados, o que minimiza o risco de *offset* por descasamento. Este tipo de amplificador não apresenta um

estágio de saída, que seria imprescindível numa aplicação que exigisse muita corrente, mas como esse não é o caso, o estágio de saída foi dispensado.

A figura 4.7 mostra um esquema de um OTA simples, composto simplesmente de um estágio de entrada diferencial com carga ativa, um segundo estágio do tipo fonte comum e fontes de corrente. No caso, como os amplificadores estão inseridos num circuito maior, as fontes de corrente são simplesmente espelhos da fonte de corrente do circuito e neste diagrama temos apenas a tensão de polarização destes espelhos, V_B .

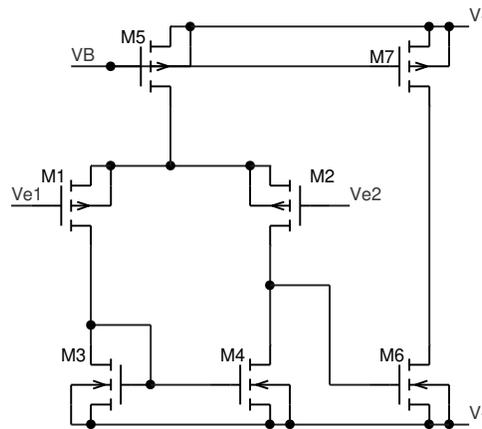


Figura 4.7: Um simples OTA.

Um OTA tem um *offset* sistemático já há muito compreendido e basta seguir algumas regras facilmente encontradas na literatura para fazer um projeto de um OTA que não apresente *offset* sistemático. ^[17]

Seguindo estas duas regras e escolhendo valores que garantissem um bom ganho ao amplificador, lembrando que o circuito do *bandgap* tem um V_B que gera uma corrente de aproximadamente $5\mu\text{A}$ em um transistor de $L=2\mu\text{m}$ e $W=30\mu\text{m}$, geramos uma corrente de $20\mu\text{A}$ no primeiro estágio e $30\mu\text{A}$ no segundo. Este valor de corrente do segundo estágio é importante pois deve ser suficiente para o que estiver após o amplificador. No caso do amplificador ser o A1, isto não é limitante pois a saída de A1 comanda a base de Q3 e vai portanto receber corrente e não fornecer, além do que, a corrente na base de Q3 é da ordem de unidades de microAmpères e portanto uma ordem de grandeza abaixo da gerada pela saída do amplificador. Já se o amplificador for o A2, então ele irá fornecer corrente para R4, como já vimos, R4 tem $60\text{k}\Omega$ de resistência e a tensão sobre ele é V_{BE1} , que alcança um

máximo de aproximadamente 0.8V em -55°C , o que resulta numa corrente de aproximadamente $13\mu\text{A}$ que é perfeitamente suportada pelo amplificador. Foi usado em todos os transistores um L de $2\mu\text{m}$; a tabela 4.1 mostra a largura dos transistores pertencentes ao OTA.

Transistor	W(μm)
M1	32
M2	32
M3	20
M4	20
M5	120
M6	60
M7	180

Tabela 4.1: Largura dos transistores do OTA

Isso permite o cálculo do ganho DC em malha aberta de nosso amplificador pela fórmula:

$$G = (g_{m_1} \cdot r_{d_1} // r_{d_3}) \cdot (g_{m_6} \cdot r_{d_6} // r_{d_7}) \quad \text{eq. 4.2}$$

Foi considerado $g_{m1}=g_{m2}$, $r_{d1}=r_{d2}$ e $r_{d3}=r_{d4}$ (ou seja, que M1 é idêntico a M2 e M3 é idêntico a M4). Os g_m 's e r_d 's são obtidos através de simulação no ELDO. Com isso obtemos um ganho em malha aberta de aproximadamente 96dB. Caso seja inserida uma carga na saída de $60\text{k}\Omega$, este ganho sofre uma queda para 79dB

Um outro fator muito importante em um amplificador é sua resposta em frequência. Uma estrutura como esta apresenta vários pólos que, se estiverem muito próximos, podem causar um comportamento oscilatório quando o circuito estiver realimentado, pois, como afirma o critério de Nyquist “se o deslocamento do ganho de malha é maior ou igual a 180° na frequência onde o ganho de malha for unitário (0dB), então o sistema é instável”.

Cada um dos nós do circuito apresenta um pólo respectivo definido pela capacitância e resistência deste nó ($\omega_p = 1/RC$) e os pólos que dominam o comportamento do circuito são os de menor frequência por ocorrerem justamente onde o ganho é maior. Observa-se claramente que estes pólos são gerados nos pontos de alta impedância do circuito. No caso de um OTA, são o dreno de M4 e a saída. Os pólos destes pontos podem

ser calculados levando-se em conta as capacitâncias intrínsecas e parasitas dos transistores. No dreno de M4 temos a capacitância intrínseca C_{GS6} e mais capacitâncias extrínsecas, como C_{BD4} , e C_{GD6} , das quais a última tem uma influência grande no sistema devido ao efeito Miller. Na saída as capacitâncias presentes são C_{BD6} e C_{BD5} .

Novamente por simulação, achamos os valores destas capacitâncias, como se pode ver na tabela 4.2. Com estes valores e com os de impedâncias, podemos calcular os lugares aproximados dos 2 principais pólos do circuito.

Capacitâncias (femtoFarad)	
C_{GS6}	199,78
C_{GD6}	35,149
C_{BD6}	66,37
C_{BD5}	154,98
C_{BD4}	22,804

Tabela 4.2: Valores das capacitâncias do circuito.

$$f_{P1} \cong \frac{1}{2\pi} \left[\frac{g_{DS4} + g_{DS2}}{C_{GS6} + \left(\frac{g_{M6}}{g_{DS6} + g_{DS5}} + 1 \right) C_{GD6}} \right] = 95\text{kHz} \quad \text{eq. 4.3}$$

$$f_{P2} \cong \frac{1}{2\pi} \left(\frac{g_{DS6} + g_{DS5} + 1/R_L}{C_{BD6} + C_{BD5} + C_{GD6}} \right) = 12\text{MHz} \quad \text{eq. 4.4}$$

Como esses dois pólos estão próximos demais um do outro, a defasagem do circuito aumenta rapidamente para 180° e basta mais um pequeno deslocamento de fase de um terceiro pólo ou de algum zero no lado direito para que o circuito fique instável. Fazendo uma simulação no ELDO do circuito em malha aberta com uma carga de $60\text{k}\Omega$ (equivalente a carga do amplificador 2) podemos ver que o circuito apresenta uma margem de fase negativa (de aproximadamente -15°), demonstrando que ele de fato é instável e que realmente necessita compensação.

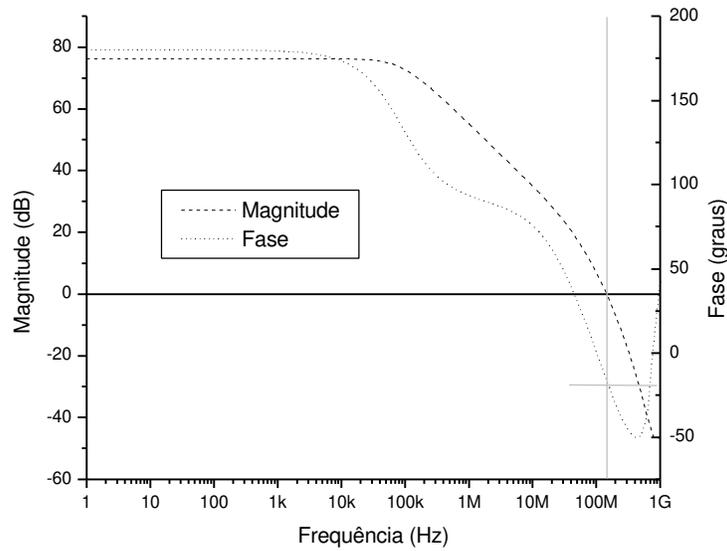


Figura 4.8: Diagrama de Bode do amplificador sem compensação

Um método muito comum para estes casos é a chamada compensação por efeito Miller, que consiste na inserção de um capacitor de realimentação (C_C) no segundo estágio do amplificador (justamente entre os pontos de alta impedância) (figura 4.9); isto faz com que os pólos sejam afastados (e por isso esta técnica também é chamada de *pole splitting*) e com um capacitor de apenas 3pF conseguimos fazer com que o ganho, ao alcançar o segundo pólo, já seja baixo o suficiente para que o sistema não fique instável.

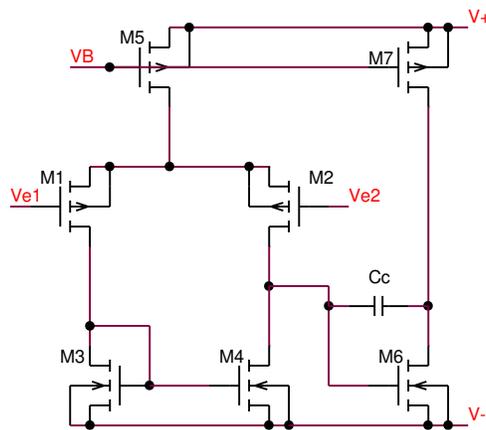


Figura 4.9: OTA compensado com capacitor Miller

Infelizmente a inserção do capacitor, além de modificar a posição dos pólos, cria um acoplamento capacitivo entre o primeiro estágio e a saída, o que se traduz na função de

resposta final parece a de um sistema de primeira ordem, com uma margem de fase de aproximadamente 90° e com queda de 20dB/década. Seguindo o método já explicado anteriormente, obtemos os valores de $W=120\mu\text{m}$ e $L=2\mu\text{m}$ para M_C e de fato constatamos em simulação a ausência do zero criado pelo capacitor.

O diagrama de Bode do amplificador com compensação foi obtido por simulação e é mostrado na Figura 4.11. Note como o primeiro pólo foi deslocado de aproximadamente 100kHz para próximo de 1kHz e o segundo, que antes se encontrava antes dos 100MHz, se acha agora além dos 100Mhz. Note ainda a ausência de qualquer zero na faixa de interesse. Com isso conseguimos um amplificador com um ganho de praticamente 80dB e com um produto ganho-banda próximo de 10Mhz, especificações estas que o qualificam perfeitamente para seu uso no *bandgap*.

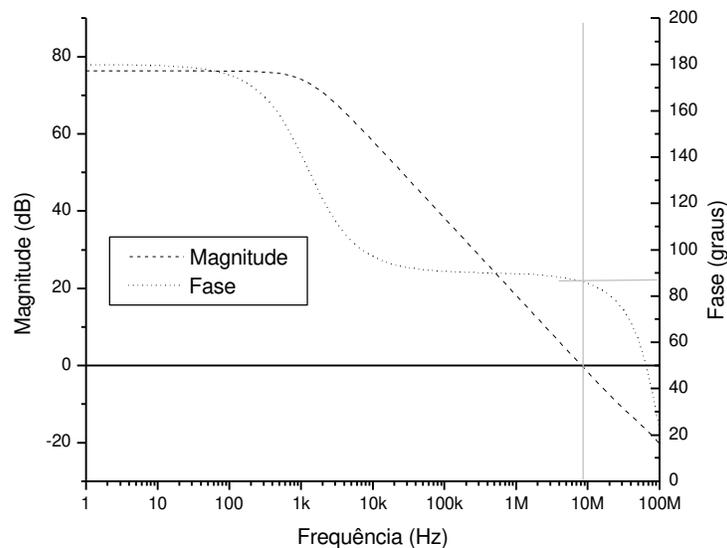


Figura 4.11: Diagrama de Bode do amplificador com compensação

Este é, por fim, o amplificador projetado, cujo *layout* pode ser visto na figura 4.12.

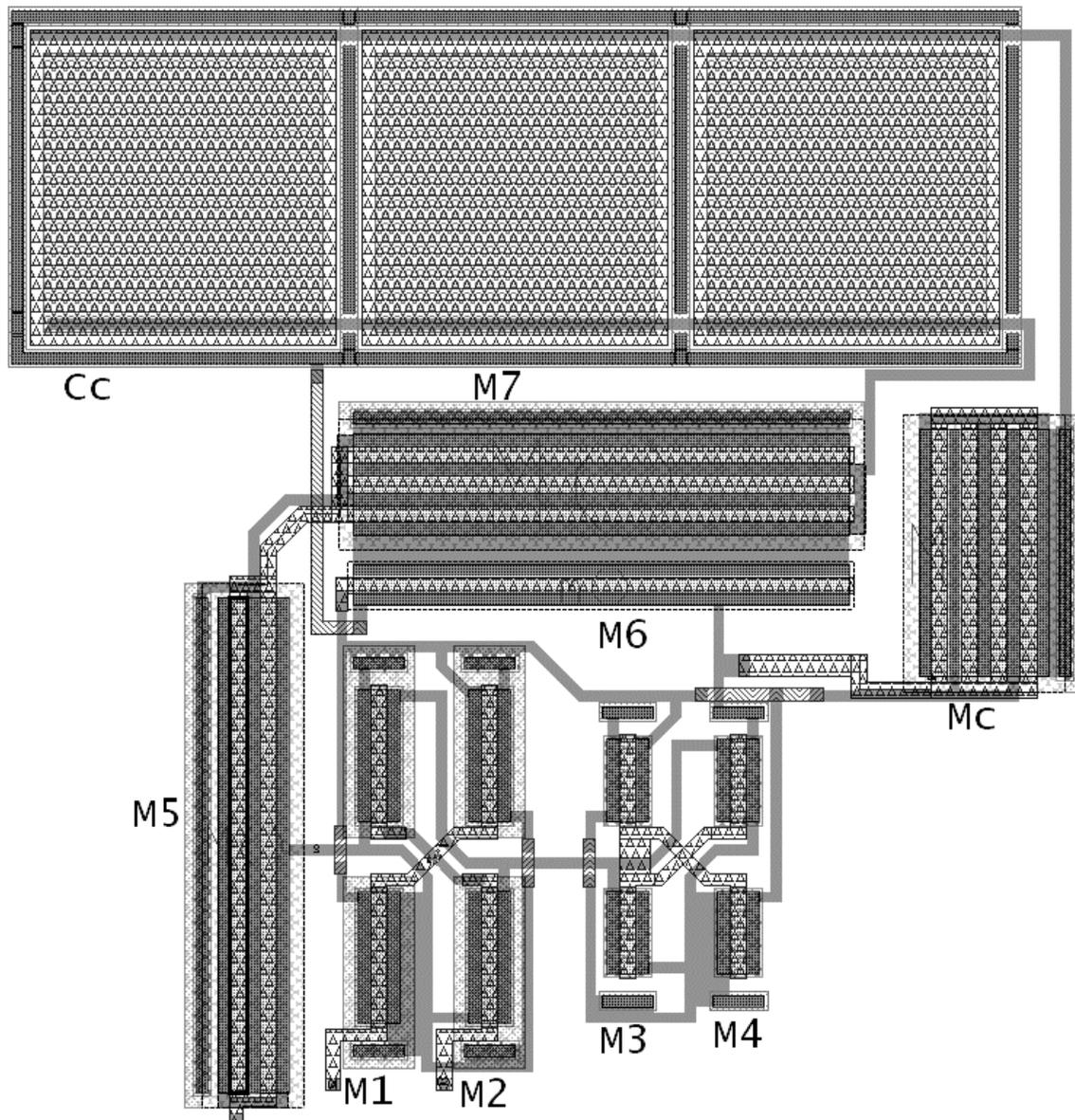


Figura 4.12: *Layout* do OTA.

Note nesta figura os pares diferenciais de entrada e da carga ativa implementados como *cross-quads*; o capacitor é o elemento visível na parte superior da figura e note-se que ele tem um tamanho comparável ao do resto do amplificador. Os elementos acima dos *cross-quads* são os 2 transistores de saída M_6 e M_7 . Note que M_6 é formado por 3 transistores em paralelo o que o torna três vezes maior que M_7 . O transistor à esquerda é a fonte de corrente do par diferencial M_5 e o transistor do lado direito é o elemento de compensação M_c .

4.4 - Resistências

Como no circuito se utilizam resistências de valores relativamente grandes, da ordem de dezenas de kiloOhms, foram utilizados materiais com alta resistência de folha para implementá-los. Na tecnologia utilizada, apenas os resistores de poço N (RNWELL) e de poly (silício poli-cristalino) de alta resistência (RHPOLY) têm esta característica, apresentando resistências de folha de $1.1\text{k}\Omega/\square$ e $1.2\text{k}\Omega/\square$, respectivamente, enquanto que os outros materiais apresentam resistências de folha da ordem de dezenas de Ohms por quadrado ou menores. A figura 4.13 apresenta o *layout* típico destes resistores.

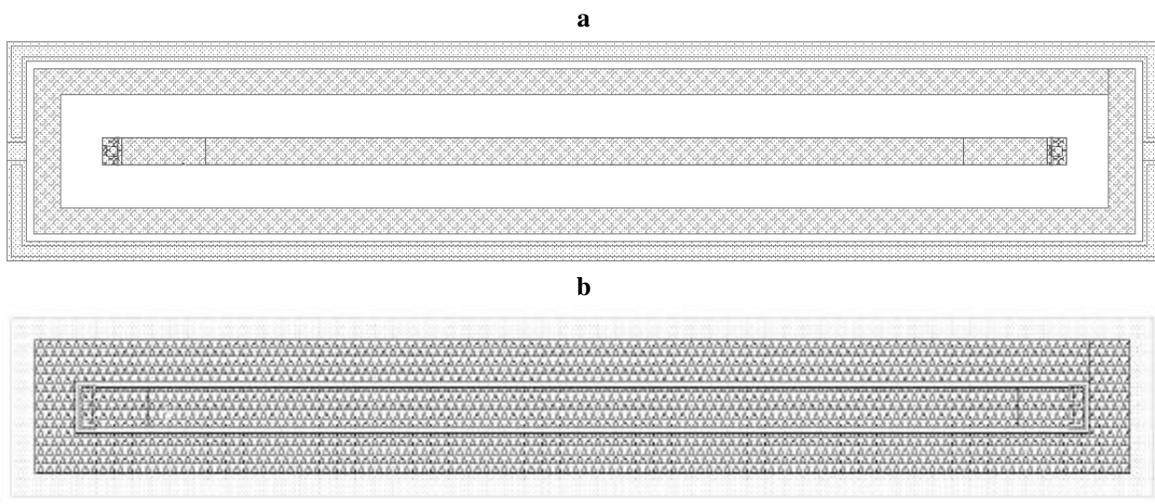


Figura 4.13: *Layout* dos resistores (a) RNWELL e (b) RPOLYH.

Os resistores em si encontram-se no centro das estruturas das figuras 4.13 (a) e (b). Em volta dos resistores, há um resistor *dummy*, que é um resistor desconectado cuja finalidade é a de diminuir o efeito de bordas nos resistores. Quando se trata de uma estrutura com mais de um resistor, o dummy é colocado em volta para garantir que cada resistor útil esteja cercado de resistores e, desse modo, fazer com que as condições de construção sejam iguais para todos os resistores. No RNWELL, encontra-se ainda um anel de guarda em volta da estrutura. Ele existe pois o RNWELL é muito dependente da

polarização do substrato. No RPOLYH, note-se a existência de uma camada sobre toda a estrutura; esta é a camada que define que aquele POLY vai ser de alta resistência.

O poço N existe em qualquer processo CMOS que utilize substrato P. Já a camada de poly de alta resistividade é específica para implementação de resistores de valores altos e só é presente em algumas tecnologias. Isto cria uma vantagem econômica para o uso do poço N, pois permite que o *bandgap* possa ser fabricado em qualquer processo CMOS. Como esta camada não existe com a intenção específica de fazer resistores, o RNWELL tem uma grande desvantagem técnica em relação ao uso do RPOLYH, que são principalmente a dependência com a polarização de substrato e a não-linearidade com a temperatura.

O RNWELL apresenta um coeficiente térmico de $0,66\%/^{\circ}\text{C}$. Este coeficiente, porém, é uma linearização da verdadeira variação da resistência de substrato pela temperatura. Michejda e Kim^[19] já mostraram para um resistor de poço P que sua relação com a temperatura é dada por $R(T) = R_0T^{2,2}$. Não é absurdo supor que um resistor de poço N sofra variação parecida (mesmo que o coeficiente não seja exatamente 2.2). Pior do que isto é o fato de que um resistor de poço é, em realidade, um JFET, que tem como *gate* o substrato. Isto faz com que sua resistência seja suscetível às tensões nos seus terminais em relação ao substrato, o que é especialmente ruim em nosso projeto uma vez que temos vários resistores que precisam ter relações de resistências bem fixas e que estão polarizados distintamente em relação ao substrato.

Já o RPOLYH tem um coeficiente térmico de $-0,1\%/^{\circ}\text{C}$ e não sofre quaisquer variações com a tensão de substrato. Contra ele pesa o fato de que sua resistência tem um espalhamento maior que a do RNWELL, sofrendo variações de $\pm 0,2\text{k}\Omega/\square$ contra $\pm 0,1\text{k}\Omega/\square$ do RNWELL. Este maior espalhamento não afeta o coeficiente de casamento dos resistores (que é definido pelo ΔR que ocorre entre dois resistores iguais e próximos um do outro), que é praticamente igual para os dois tipos de resistores (0,23% para os resistores do tamanho utilizado). Por este fato o espalhamento maior só vai afetar o circuito quando de sua versão com correção de curvatura, pois nesse caso entram na conta os valores absolutos dos resistores e não apenas as relações de resistência.

Por fim, foi decidido implementar duas versões do circuito, uma utilizando RPOLYH, devido a sua maior confiabilidade, e outra com o RNWELL, por se tratar de um elemento mais facilmente implementável, aumentando a utilidade do *bandgap*.

Devido a grande influência que a relação de resistências tem no circuito, um dos pontos que norteou a escolha dos valores de resistência foi a possibilidade de que os resistores pudessem ser feitos por associações série/paralelo de um único valor, pois desse modo minimizamos o erro devido a diferença que existe entre a geometria do elemento implementado e das máscaras que o definem^[15]. No nosso caso, com a exceção de R1, todos os resistores têm resistências tais que podem ser feitos a partir de associações de resistores de 60k Ω ou 30k Ω . Neste sentido, seria útil também fazer todos os resistores com um centróide comum, pelas mesmas razões que nos fizeram implementar Q1 e Q2 com um centróide comum.

Nas normas de processo e de regras de *layout* da AMS^[5], é recomendado que os resistores do tipo RNWELL sejam feitos com uma largura de 3 μm e os do tipo RPOLYH com uma largura de 0.6 μm . Por conta de efeitos de borda, estas larguras têm um valor efetivo de 1.75 μm e 0.5 μm respectivamente. Devido a este mesmo efeito e na intenção de diminuir erros, é também recomendado que a razão L/W dos resistores seja maior do que cinco. No caso do RNWELL, foi escolhido um resistor padrão de 60k Ω , que tem as dimensões de L=105 μm e W=3 μm . Já no caso do RPOLYH, foram utilizados resistores de 30k Ω , que apresenta as dimensões de L=12,5 μm e W=0.6 μm .

Devido às variações nos vários elementos do circuito, todo *bandgap* precisa ser ajustado ao final de sua fabricação para ter o mínimo de variação com a temperatura. Normalmente isto é feito pelo ajuste do valor de um resistor que atue no ganho do ΔV_{BE} , controlando a curvatura total do circuito. No nosso circuito, o método escolhido para ajuste não foi diferente.

O resistor escolhido deve ser tal que não interfira no ganho de V_{BE1} , o que imediatamente exclui R2 e R4. Dentre R3 e R1, o primeiro afeta também o termo relativo à corrente de base, enquanto que o segundo apenas influencia no ganho de ΔV_{BE} , afetando

apenas um termo com um controle melhor do efeito da variação do resistor na saída. Por isso R1 foi escolhido.

A técnica de ajuste escolhida foi bastante simples. Consiste simplesmente de dividir o resistor R1 em duas partes: um resistor fixo R1_1 de valor 10k Ω e outro variável que consiste de um resistor (R1_2) de valor tal que a soma dele com R1_1 seja maior que a resistência calculada para R1. Três chaves fazem com que outros resistores entrem ou não em paralelo com R1_2 de modo que escolhendo quais chaves estão abertas ou fechadas conseguimos variar o valor da resistência do conjunto R1 em torno do valor calculado. Este esquema é mostrado na figura 4.14.

Note-se que, para facilitar o design, os resistores de ajuste Rt1, Rt2 e Rt3 foram feitos de valores facilmente implementáveis a partir de associações de resistores de 60k Ω ou 30k Ω .

Para o circuito utilizando o cancelamento das correntes de base (R2=R3=60k Ω), o erro é menor, como já visto. Isto faz com que possamos trabalhar com uma faixa mais estreita de variação. Para este caso foi calculado um R1 de 17,27k Ω para ambos os tipos de resistor, o que implementamos com um R1_2 de 9,524k Ω e Rt's de 30, 60 e 120k Ω . No caso do sistema compensado em temperatura pelas correntes de base, é esperado que o erro seja maior, por isso implementamos um ajuste que atue numa faixa maior, trocando o Rt3 de 120k Ω (que gera uma variação bem pequena) por 15k Ω (que em paralelo com R1_2 causa uma variação bem maior). Para a versão que utiliza as correntes de base foi calculado um R1 de 13,54k Ω para o RNWELL e 14,23k Ω para o RPOLYH, o que implementamos com um R1_2 de 4,03 k Ω para o RNWELL e 5,143k Ω para o RPOLYH.

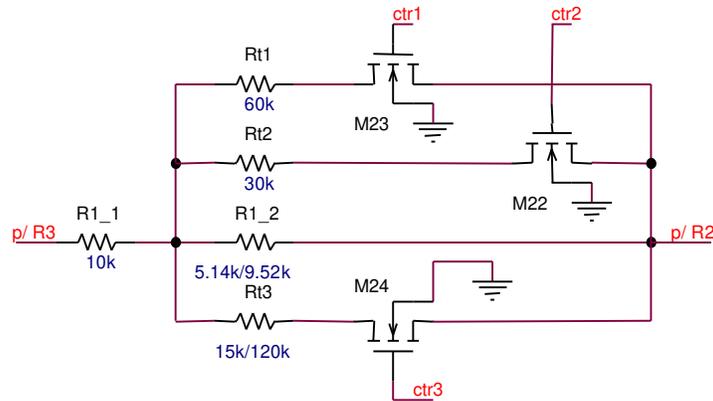


Figura 4.14: Esquema de ajuste do resistor R1.

Na tabela 4.3, têm-se o resultado da simulação do *trimming* em R1 dando uma idéia da faixa de valores que ele pode assumir.

Descompensado (kΩ)	Comp RNWELL (kΩ)	Comp RPOLYH (kΩ)	Ajuste Ctr3,ctr2,ctr1
16,17	13,265	12,764	000
16,502	13,451	12,896	001
16,865	13,652	13,036	010
17,279	13,885	13,195	011
17,71	14,111	13,345	100
18,235	14,409	13,541	101
18,828	14,742	13,753	110
19,524	15,143	14,03	111

Tabela 4.3: Valores de R1 obtidos pelo ajuste por chaves

As chaves são transistores canal N (assim como mostra a figura 4.14) com $W/L=5\mu\text{m}/1\mu\text{m}$.

As Figuras 4.15 e 4.16 mostram o *layout* final do banco de resistores feitos com RPOLYH e RNWELL respectivamente. Note que mesmo quando o resistor tem o valor de $60\text{k}\Omega$, ele é implementado por associações de resistores, pois quanto maior um resistor, menor é sua variação relativa.^[6]

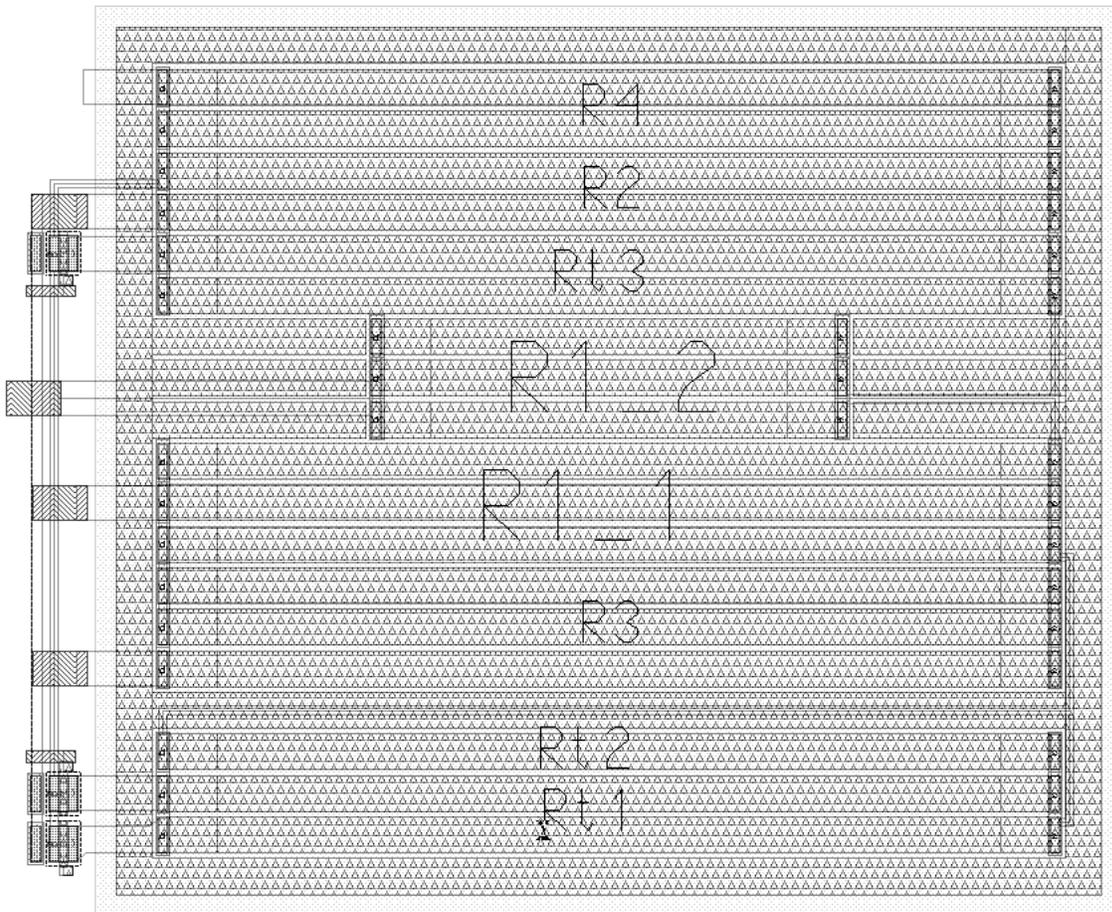


Figura 4.15: Banco de resistores RPOLYH

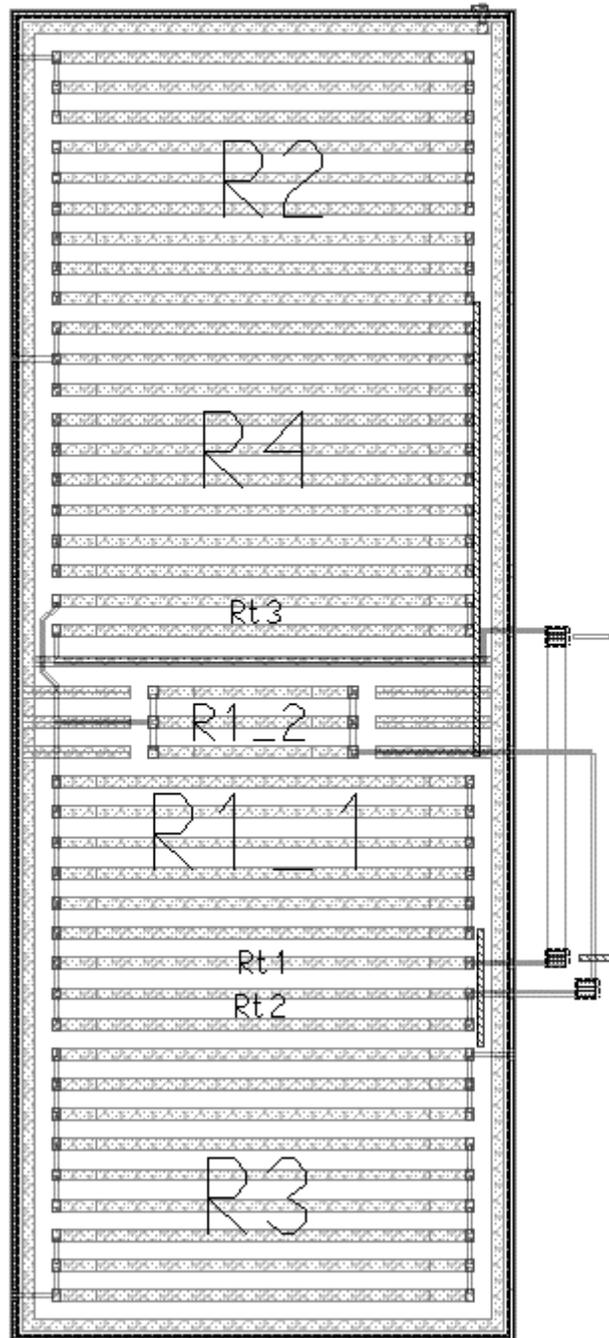


Figura 4.16: Banco de resistores RNWELL

4.5 – Circuito Final – O Protótipo Integrado

Com todos os blocos prontos, resta agora o trabalho de uni-los no circuito completo. Na figura 4.17 encontra-se o diagrama esquemático do circuito completo. Os valores de resistores aí presentes são relativos ao circuito com RPOLYH que usa compensação por corrente de base e que foi a versão escolhida para ser o protótipo.

As dimensões dos transistores MOS encontram-se em μm e os números ao lado dos bipolares referem-se a quantidade de VERT15 em paralelo que formam aquele dispositivo, o que reflete a relação entre as áreas deles.

Do *layout* do circuito existem 4 versões diferentes, usando RPOLYH ou RNWELL e com ou sem compensação por correntes de base. Os *layouts* dessas quatro configurações são mostrados nas figuras 4.18, 4.19, 4.20 e 4.21.

Nas figuras 4.22 e 4.23 têm-se duas fotos do protótipo fabricado, que, como já dito, é a versão que usa RPOLYH e tem compensação por corrente de base, sendo a primeira uma foto do circuito inteiro enquanto que a segunda mostra o detalhe dos bipolares. Este protótipo foi utilizado nos testes do circuito.

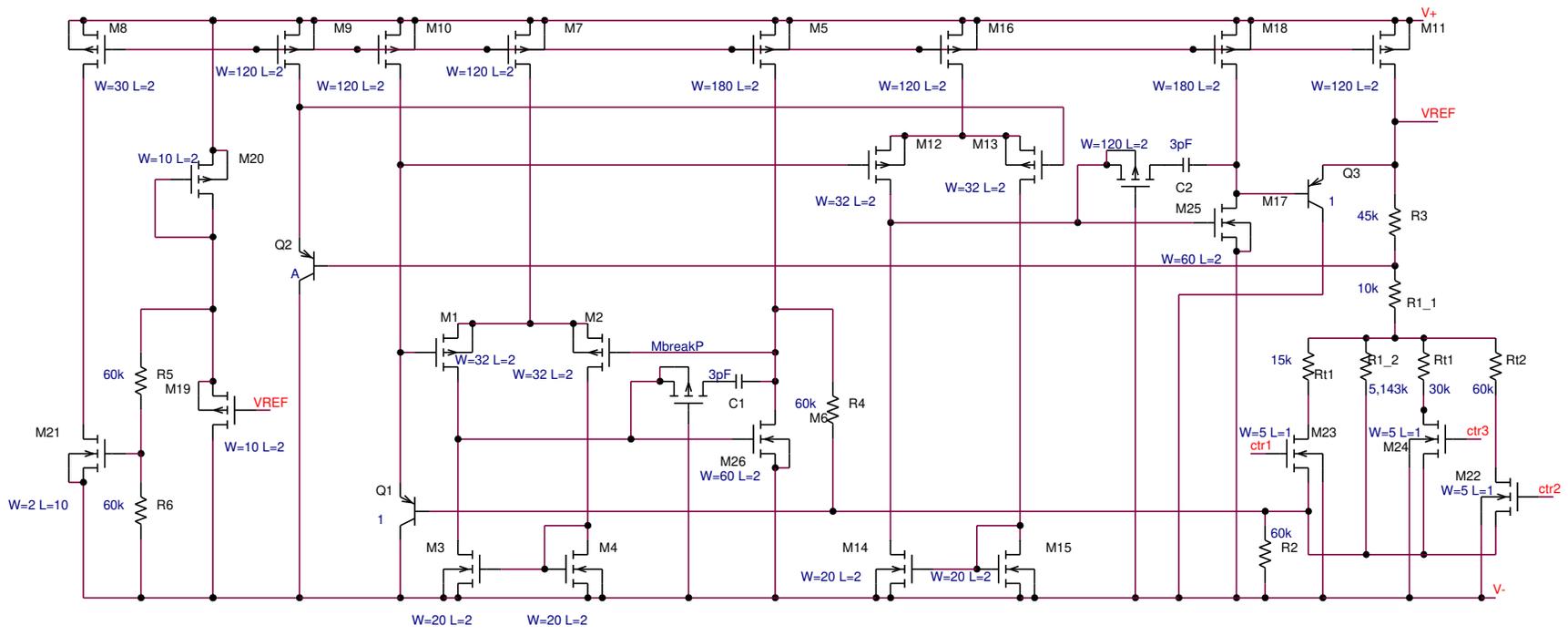


Figura 4.17: Diagrama esquemático do circuito completo

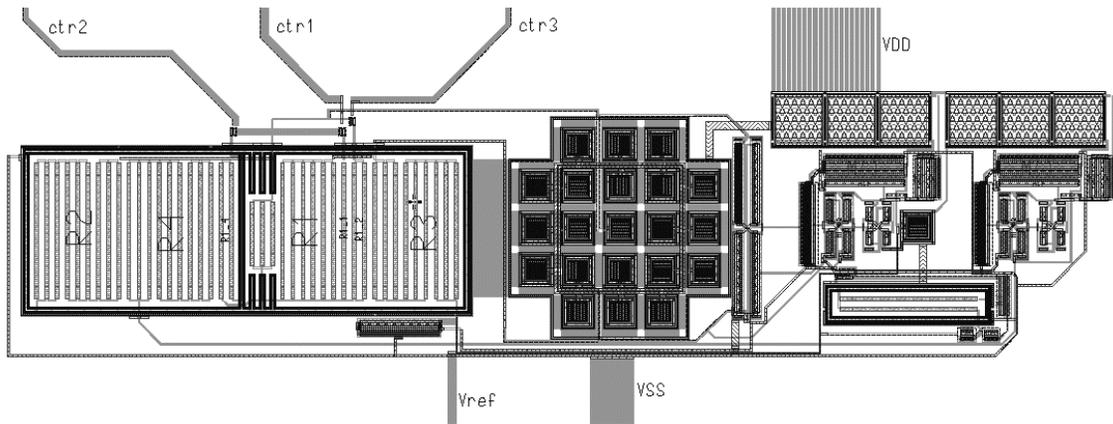


Figura 4.18: *Layout* com resistores de poço e com cancelamento das correntes de base.

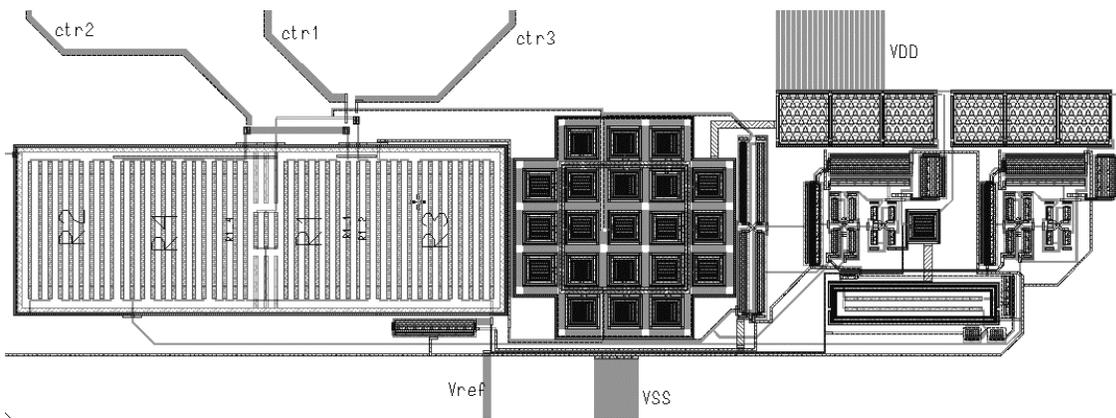


Figura 4.19: *Layout* com resistores de poço e com compensação por correntes de base.

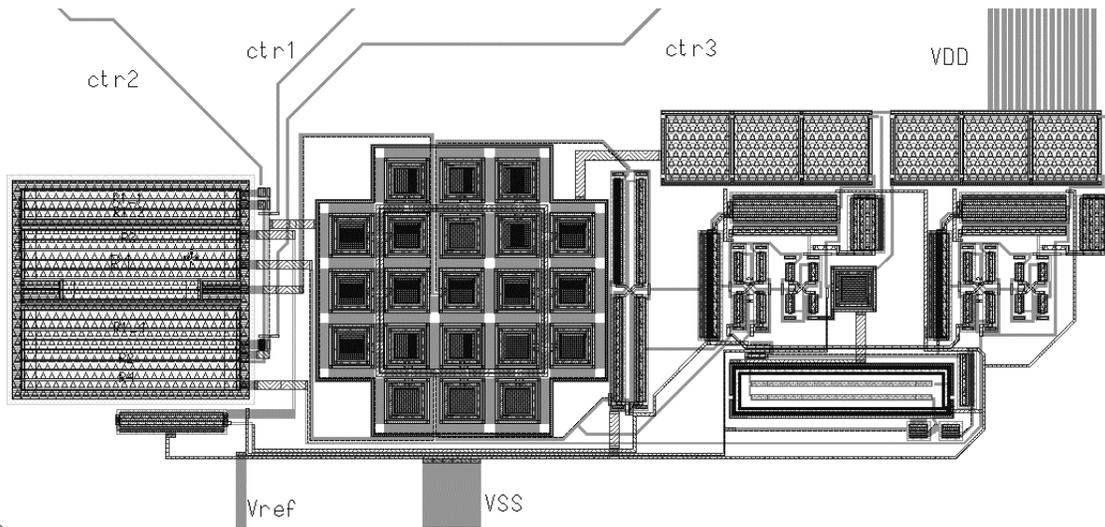


Figura 4.20: *Layout* com resistores RPOLYH e com cancelamento das correntes de base.

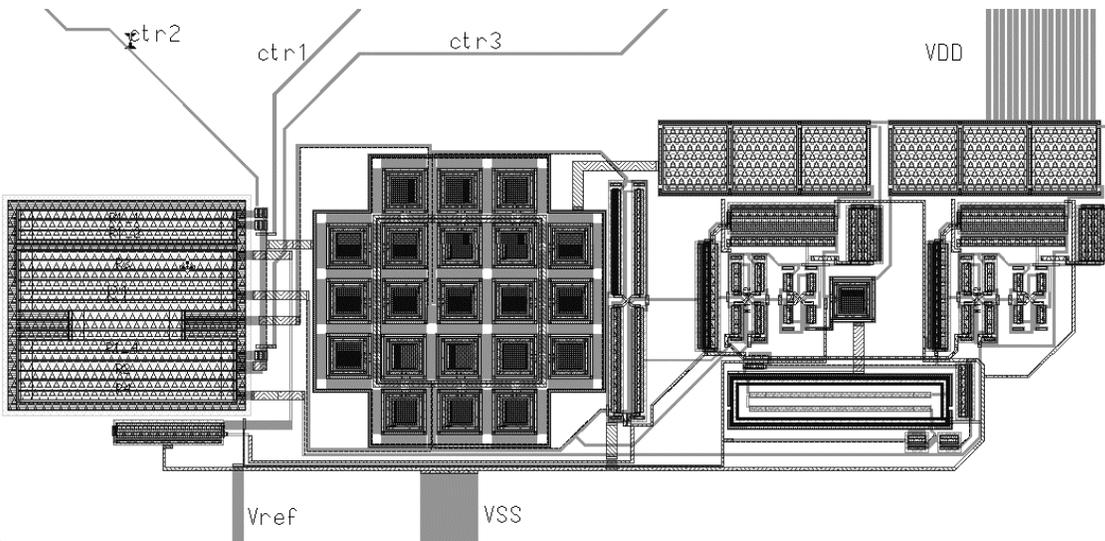


Figura 4.21: *Layout* com resistores RPOLYH e com compensação por correntes de base.

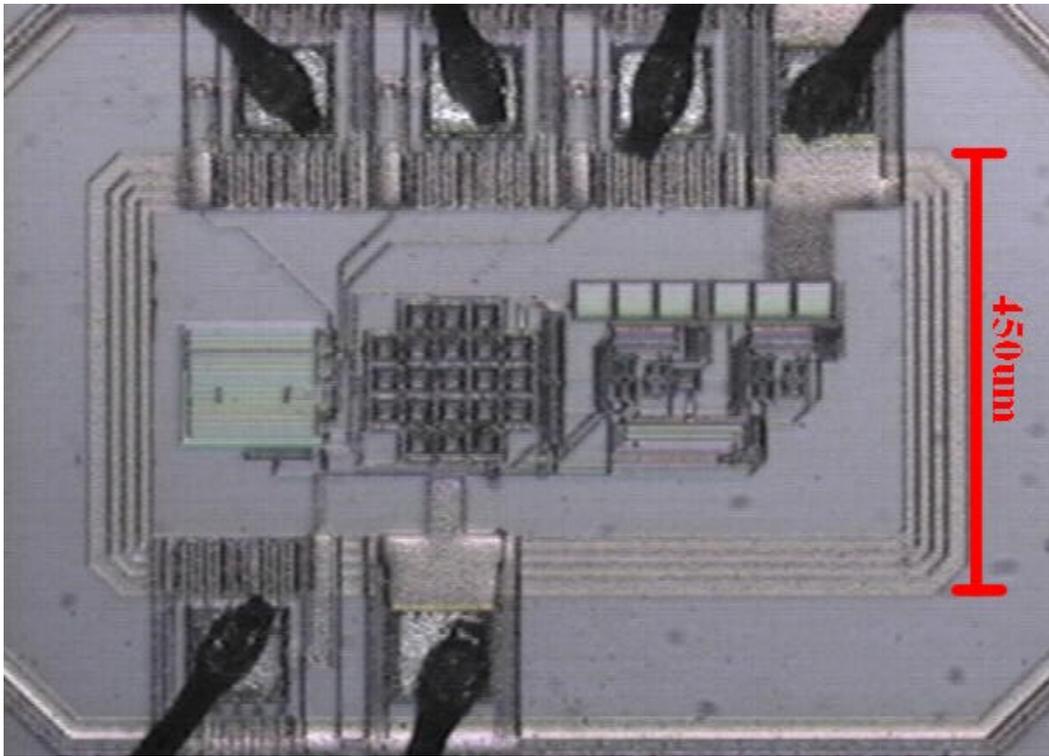


Figura 4.22: Foto do circuito.

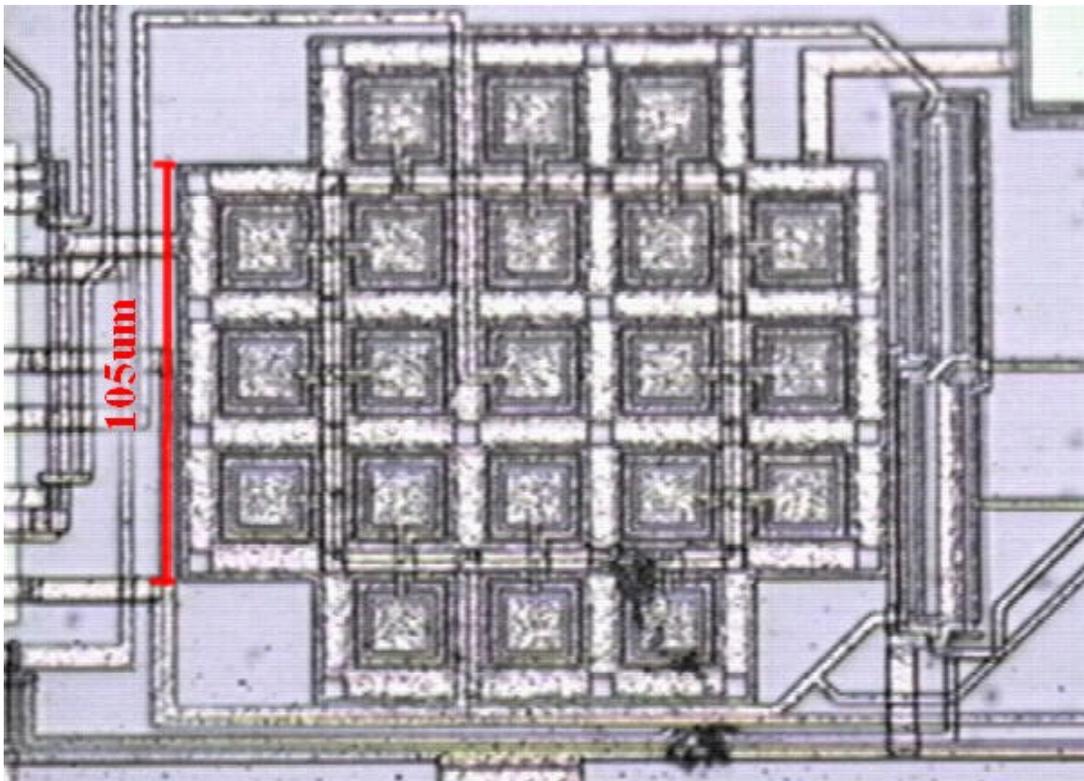


Figura 4.23: Foto em detalhe dos bipolares.

4.6 – Protótipo Misto

Para garantir a viabilidade da estrutura proposta antes de passar ao projeto da versão integrada, fez-se uso de um protótipo misto, utilizando alguns circuitos integrados e alguns outros componentes discretos.

As fontes de corrente podem ser implementadas por resistores discretos, que não são tão bons como espelhos de corrente no que se refere a regulação de linha, mas que permitem mostrar a viabilidade da estrutura. Têm-se ainda a necessidade de transistores bipolares verticais e OTAs. Com esses elementos é possível implementar um circuito como o da figura 4.24.

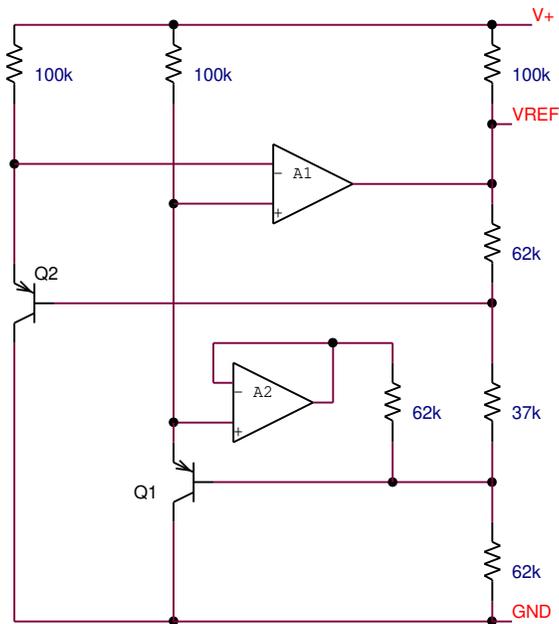


Figura 4.24: Protótipo da estrutura proposta.

Infelizmente não havia disponibilidade para o protótipo de um dispositivo do tipo VERT15, com o qual foi feito o projeto. Na falta deste elemento foi utilizado um circuito já fabricado que foi projetado pelo aluno de doutorado Luiz Alberto de Castro Almeida e que apresentava vários transistores MOS canal p com o contato de poço livre, o que permitia seu uso no modo bipolar vertical. Bastando para tanto usar o dreno e/ou fonte como emissor e o poço como base, ligando o *gate* com o emissor apenas para evitar qualquer interferência deste terminal.

Quanto aos amplificadores, era um fator importante que eles fossem CMOS, uma vez que o *offset* destes elementos é bastante significativo na resposta do sistema. Foi utilizado para este propósito um circuito já existente, projetado em tecnologia 0,8 μm por Wilson da Silva Júnior, estudante de mestrado, e que consistia de várias estruturas de transistores CMOS, tais como pares diferenciais, espelhos de corrente, entre outras. Com tais elementos, foi possível desenvolver o amplificador da figura 4.25.

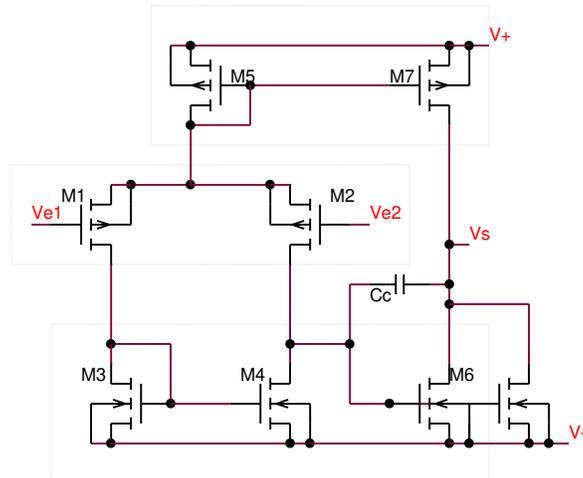


Figura 4.25: Amplificadores OTA usados no protótipo.

Todos os transistores presentes tem $W=2\mu\text{m}$ e $L=80\mu\text{m}$. O pontilhado divide os vários blocos do circuito; na interconexão entre os blocos há dois pads não mostrados no esquema, cada um dos quais contribui com uma capacitância de 4pF, o que piora a performance do circuito. Os pares M1/M2 e M3/M4 são implementados como pares-cruzados e o transistor M6 é composto de dois transistores em paralelo, assim como mostra o circuito, para eliminar o *offset* sistemático. O capacitor C_c é necessário para a estabilização do circuito e foi implementado como um elemento externo com valor de 10pF.

No teste deste circuito, foi obtido um produto ganho-banda de 80kHz e um ganho em baixa frequência superior a 100, que é um desempenho satisfatório para o protótipo do *bandgap*.

Para garantir que os bipolares verticais funcionam corretamente, foi feito um pequeno teste com base na equação de ΔV_{BE} , que pode ser escrita como:

$$\Delta V_{BE} = V_T \cdot \ln\left(\frac{J_2}{J_1}\right) = V_T \cdot \ln\left(\frac{I_2}{I_1} \cdot \frac{A_1}{A_2}\right) = V_T \cdot \ln\left(\frac{I_2}{I_1}\right) + \ln\left(\frac{A_1}{A_2}\right) \quad \text{eq. 4.6}$$

Deste modo, utilizando 2 transistores, não importando sua relação de áreas, e mantendo I_1 constante, ΔV_{BE} mantém uma relação exponencial com I_2 (numa temperatura constante). O que pode ser facilmente comprovado num gráfico semi-log.

Como no caso presente não há acesso aos coletores dos transistores, o teste foi feito com o emissor, mantendo um transistor sob corrente $I_{E1}=10\mu\text{A}$ e variando I_{E2} . Também foi observado I_{B2} , uma vez que o circuito é dependente do β se ele for muito pequeno.

O resultado deste teste pode ser observado na figura 4.26.

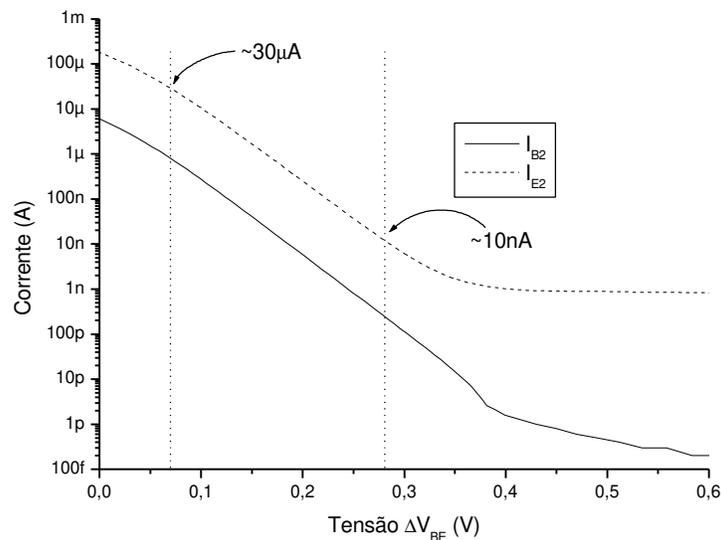


Figura 4.26: Gráfico da Variação das correntes de base e de emissor em função de ΔV_{EB} .

Neste gráfico vê-se que há uma boa linearidade na faixa entre 10nA e 30 μA , o que permite o uso destes bipolares nesta faixa de corrente. Note-se ainda que o gráfico de I_B acompanha o de I_E nesta faixa, com um β de aproximadamente 40, que é bem maior do que o β de 13 presente no modelo do VERT15. Isso mostra que é possível a utilização do bipolar vertical parasita como elemento do protótipo do circuito.

Capítulo 5

Resultados Teóricos e Experimentais

5.1 – Variação em Temperatura

Simulando o circuito com os valores calculados de resistores, obtemos as curvas da figura 5.1

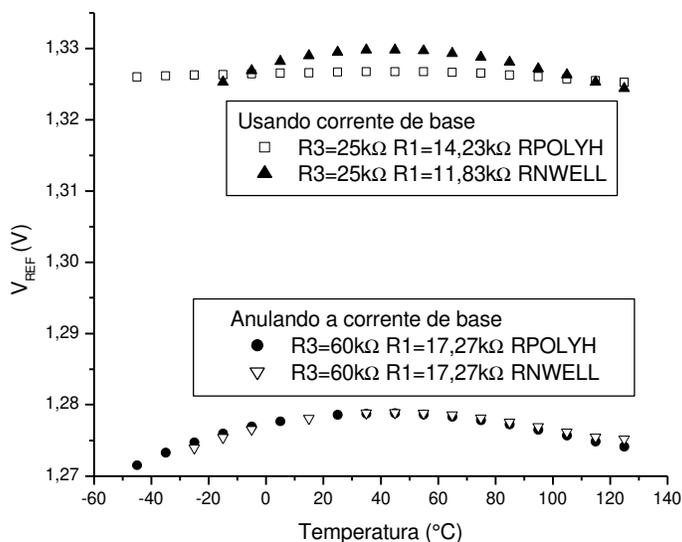


Figura 5.1: Simulação de V_{REF} em função da temperatura.

Nota-se nestas curvas que, para o $R3$ de $60k\Omega$ achou-se o mesmo $R1$ de $17,27k\Omega$ tanto para RPOLYH quanto para RNWELL, o que era de se esperar, e as curvas relativas a esses valores praticamente se sobrepõe. A tabela 5.1 apresenta os valores médios e a variação absoluta das tensões nestes 4 casos.

	R1 (k Ω)	Média (V)	Varição (mV)
RPOLYH	14,23	1,32629	1,5
	17,27	1,27642	7,27
RNWELL	11,83	1,32784	5,4
	17,27	1,27703	5,02

Tabela 5.1: Valores médios e variações da saída para diferentes valores de R1 na simulação.

Utilizando o protótipo misto, inicialmente houve um ajuste no valor de R1 até que a saída fosse estabilizada em um valor próximo à $V_{GO}=1,25V$. Com esse R1 foi feita uma série de medidas em diferentes temperaturas, cobrindo a faixa de -40 a $120^{\circ}C$. O resultado é mostrado na figura 5.2.

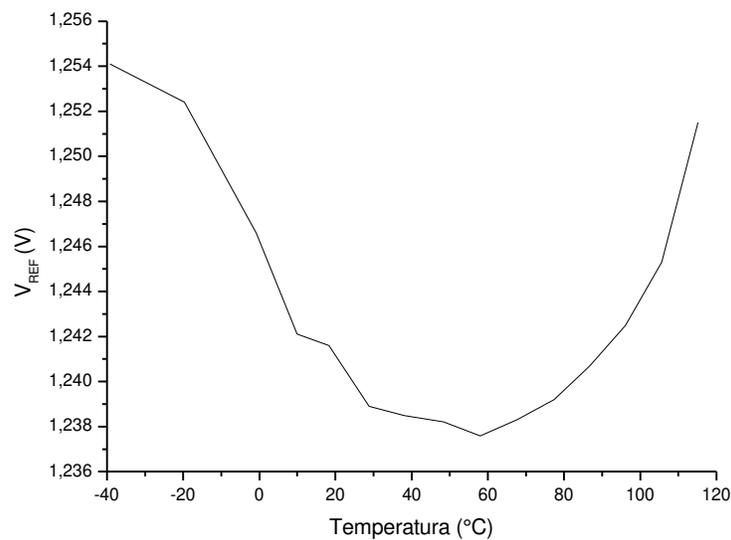


Figura 5.2: Comportamento experimental do protótipo misto do *bandgap* em temperatura.

Observe que este não é o comportamento esperado do *bandgap*, pois apesar do circuito mostrar de fato uma certa estabilização (a tensão em $-20^{\circ}C$ é praticamente igual a tensão em $120^{\circ}C$ e na faixa de 30 a $80^{\circ}C$ praticamente não há variação), a variação ainda é muito maior que a da simulação (de $16,5mV$) e, mais importante, a curvatura se apresenta invertida, indicando que há algum outro fator influenciando na saída do circuito.

Como já foi visto que um dos fatores que mais influenciam um *bandgap* é o *offset* do amplificador, foi feito um estudo do comportamento do *offset* dos amplificadores utilizados em temperatura. O resultado pode ser visto na figura 5.3.

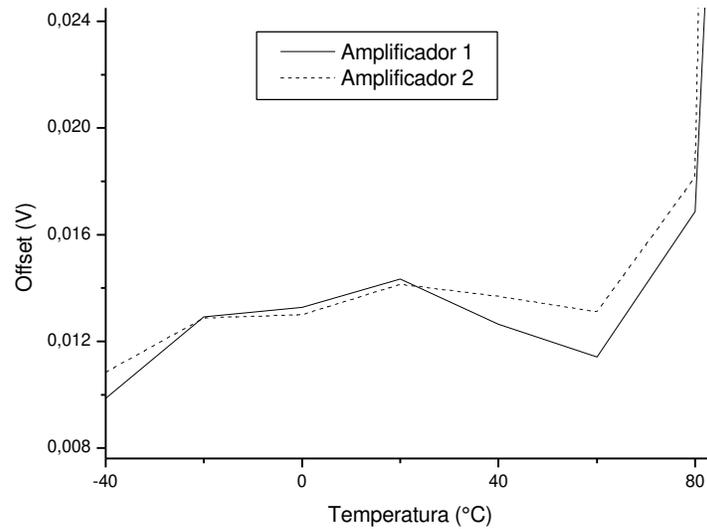


Figura 5.3: Offset dos amplificadores utilizados em função da temperatura.

Para temperaturas acima de 80°C, este *offset* é ainda maior. Mas, pode-se observar que há uma expressiva concordância destas curvas com a figura 5.2, como o pico para baixo em 60°C, o que mostra que é este efeito que mais influi no comportamento térmico do circuito. Uma provável causa para este *offset* é a existência de correntes de fuga nos transistores dos amplificadores, que aumentam com a temperatura.

No caso do *bandgap* integrado, como a tecnologia é diferente (0.6µm, enquanto que os amplificadores do protótipo foram feitos em 0.8µm), este efeito de correntes de fuga é bem menor.

No circuito integrado existe o *trimming* do resistor R1, composto por três bits de controle. No teste deste circuito, para cada temperatura foram medidas 8 diferentes tensões de saída referentes aos 8 possíveis valores de R1 de modo a descobrir qual ajuste de *trimming* garante a menor variação da tensão de saída. O resultado disto é mostrado na figura 5.4.

Observando esta figura, observa-se claramente que a saída que apresenta menor variação é aquela que tem as 3 chaves abertas (terminais ctr1, ctr2 e ctr3 em 0V). Observando-se esta curva mais atentamente (figura 5.5), nota-se que mesmo para este

ajuste ainda há uma inclinação bem perceptível na tensão de saída. Ou seja, o máximo valor possível de R1 não alcança uma variação nula (em primeira ordem).

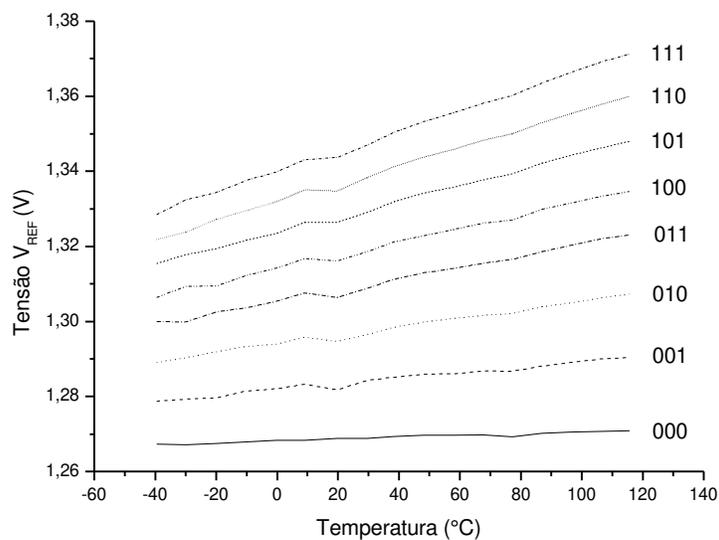


Figura 5.4: Variação da saída do circuito na temperatura para as várias possibilidades de *trimming*.

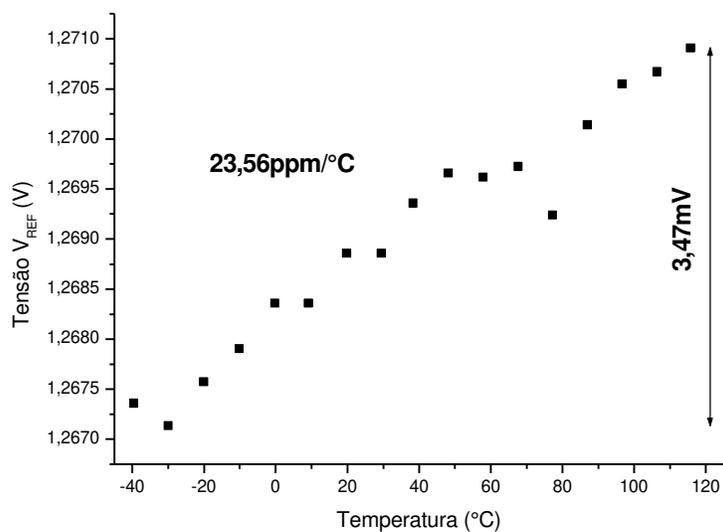


Figura 5.5: Variação da saída do circuito na temperatura para o melhor *trimming* (000).

De todo modo, a variação obtida foi de 3,77mV. O que para a faixa de -40 a 120°C equivale a $23,56 \text{ ppm}/^{\circ}\text{C}$. Se for realizada uma linearização da curva (ou seja, fazer $V'_{REF} = V_{REF} - 23,56 \times 10^{-6} T$), então obtêm-se uma variação de 1,09mV, equivalente a

6,81ppm/°C. Mas mesmo nesse caso, nota-se (pela caráter aleatório da curva) que grande parte da variação deve ser devida a erro de medida.

Mas mesmo essa variação de 23,56ppm/°C já é um ótimo resultado, pois é menor que a obtida em simulação sem correção de curvatura.

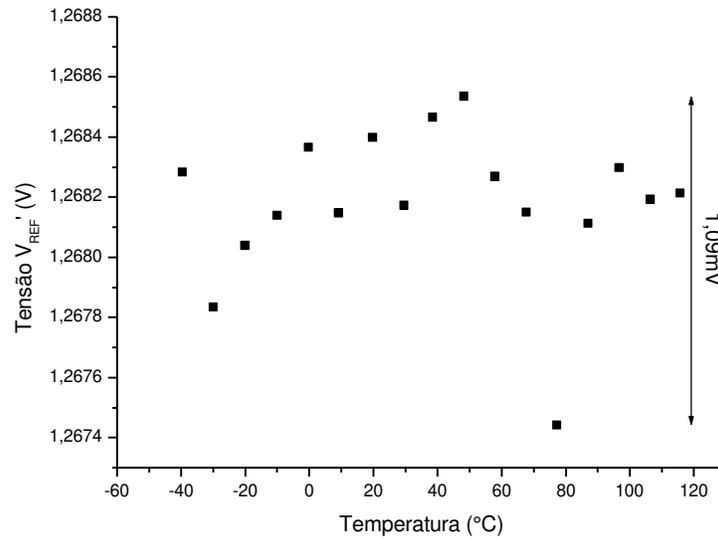


Figura 5.6: Variação da saída do circuito na temperatura para *trimming* perfeito (extrapolação).

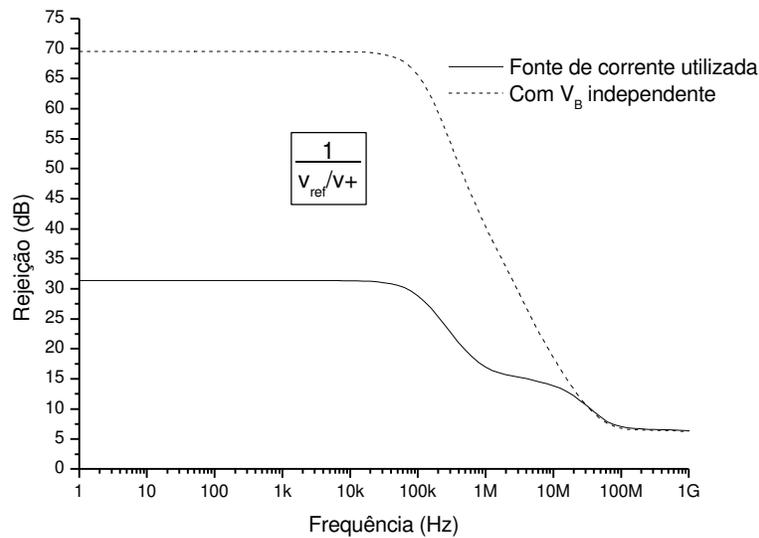


Figura 5.8: Rejeição da tensão de alimentação.

Pode-se ver na figura 5.8 que, no caso da fonte de corrente projetada, esta relação não é muito boa, onde a causa principal para isto reside na realimentação positiva da saída na fonte de corrente que faz com que qualquer mínima variação da saída seja amplificada. Para pequenas frequências o sistema apresenta uma atenuação de 31,84dB, o equivalente a aproximadamente 38 vezes, o que ainda não é uma ótima atenuação mas que já garante o funcionamento do circuito. Com o aumento da frequência a partir de 20kHz esta atenuação diminui, chegando até 6,35dB em 1GHz. No caso de V_B fixo, obtêm-se uma atenuação bem maior, de 69,51dB em baixas frequências, porém chegando a 6,2dB em 1GHz, ou seja, um valor muito próximo do conseguido com a fonte de corrente em 1GHz.

5.3 – Análise DC

Uma outra análise a ser feita é a de percorrer a tensão de alimentação pela faixa de valores possíveis e acompanhar o comportamento da saída. São pontos importantes a serem observados nesta análise, a mínima tensão necessária para o bom funcionamento do circuito e a variação da tensão de saída com a tensão de alimentação após esse valor mínimo. Na

simulação da varredura da tensão de alimentação, o resultado obtido é aquele presente na figura 5.9:

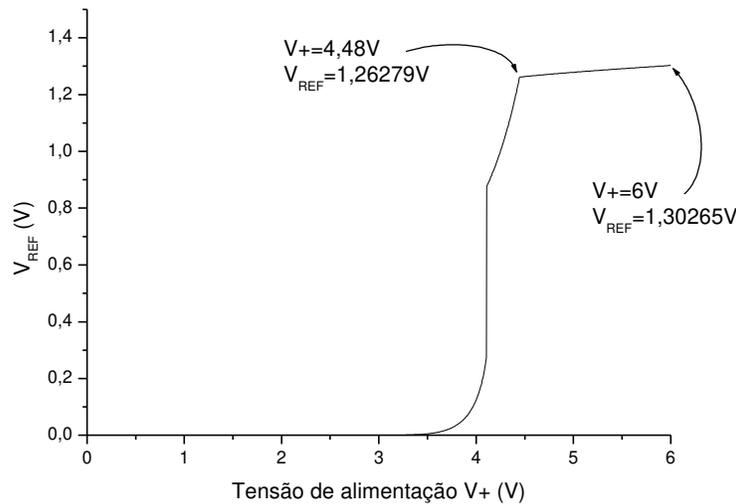


Figura 5.9: Tensão de saída em função da tensão de alimentação (simulação).

Pelos dados deste gráfico, pode-se calcular a influência da tensão de alimentação na saída calculando simplesmente o $\Delta V_{REF}/\Delta V_+$, o que resulta num valor de $2,622 \times 10^{-2}$; o inverso desse valor representa a atenuação para pequenos sinais entre V_+ e V_{REF} , que é o mesmo parâmetro já calculado na análise AC e que no caso é igual a 38,133 ou 31,6dB, o que é condizente com o valor já calculado.

Ainda pela Figura 5.9, observa-se que o circuito só vem a estabilizar em uma tensão de 4,48V. Como a tensão de operação do circuito é de 5V, este é um valor relativamente alto. Um estudo detalhado disto mostra que o principal responsável por esta tensão alta é a fonte de corrente. O transistor responsável pela corrente I_p é o M21, que é comandado pelo M19, têm-se portanto um mínimo de alimentação de um V_T do M19 até que apareça tensão no *gate* do M21 (e acompanhando a figura 5.10, vemos que V_{GS21} só aparece a partir de um V_+ de aproximadamente 0,8V). Por sua vez, esta tensão deve subir até um valor mínimo de V_T para que haja corrente I_p . Com tudo isso, a corrente de polarização só passa a existir a partir de aproximadamente 3,5V e mesmo assim com um valor muito abaixo do necessário para a correta polarização do circuito (inclusive dos amplificadores), o que causa a estabilização do circuito apenas a partir de 4,48V.

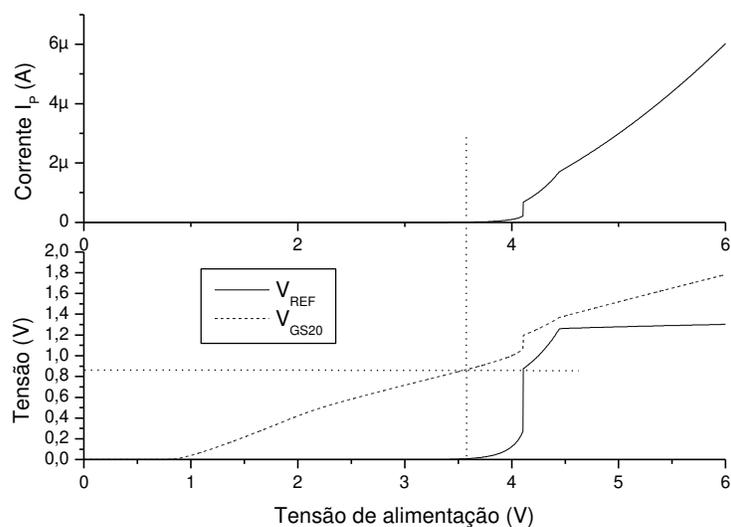


Figura 5.10: Relação da fonte de corrente com a tensão de alimentação (simulação).

A figura 5.11 mostra o resultado da varredura da tensão de alimentação do circuito integrado comparativamente com a simulação. Nota-se que, apesar do comportamento do sistema seguir a simulação, a prática apresenta um pior desempenho que a simulação. A estabilização do circuito ocorre em 4,65V enquanto que $\Delta V_{REF}/\Delta V+$ é igual a $3,859 \times 10^{-2}$, o que equivale a uma rejeição de linha de 28,27dB.

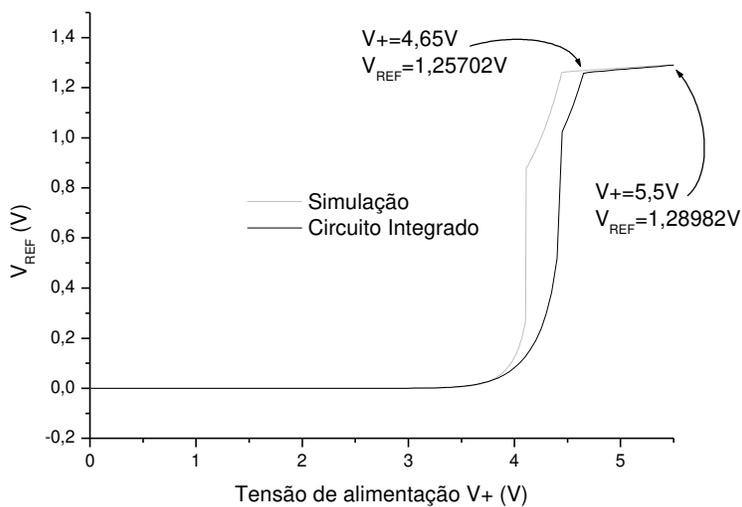


Figura 5.11: Tensão de saída em função da tensão de alimentação.

5.4 - Ruído

Ruído é uma característica importante a ser observada numa fonte de referência. Naturalmente, quanto menor for, melhor é a qualidade do sinal produzido. Para medi-lo foi utilizado um analisador de espectro, modelo HP4195A.

Na Figura 5.12 está mostrado o gráfico do ruído do sistema, onde se vê claramente um aumento do ruído em baixas frequências, relativo ao ruído de cintilação (ruído rosa). A partir de aproximadamente 35Hz têm-se praticamente ruído branco (térmico), num valor aproximado de $4\mu V_{RMS}/\sqrt{\text{Hz}}$.

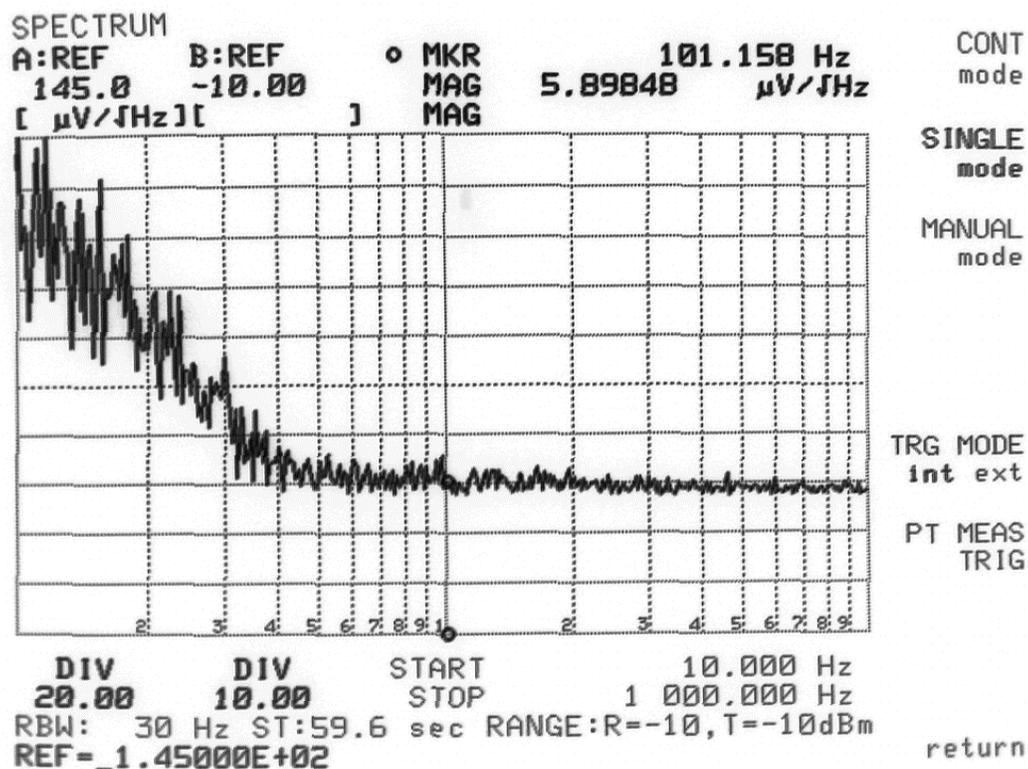


Figura 5.12: Ruído medido no protótipo integrado do *bandgap*.

Este ruído de $4\mu\text{V}_{\text{RMS}}/\sqrt{\text{Hz}}$, se considerado numa faixa de 10kHz (que é uma boa faixa de funcionamento do circuito considerando a rejeição de fonte), equivale a uma tensão de erro de 1,13mV pico a pico. Este valor equivale a aproximadamente 900 ppm da saída, o que diminui em muito a precisão do circuito. Se compararmos agora este valor com o da variação extrapolada para um *trimming* perfeito (Figura 5.6), vemos que naquele caso a variação obtida foi de 1,09mV. Daí se conclui que aquela variação não é devida apenas a erro de medida, mas tem uma componente de ruído.

Ou seja, o nível de ruído do circuito é tal que, em certas aplicações (dependendo da faixa de frequência considerada), pode limitar seu desempenho.

Capítulo 6

Conclusões

Neste trabalho foi descrito o desenvolvimento de um circuito analógico integrado, em tecnologia CMOS, que produz uma tensão de referência baseado no princípio conhecido por *bandgap*.

De modo geral, o circuito apresentou um comportamento dentro do esperado, com uma taxa de variação com a temperatura menor que $24\text{ppm}/^\circ\text{C}$, muito embora tenha apresentado um comportamento que claramente pode ser melhorado.

São principalmente dois os elementos que impedem um funcionamento ótimo do circuito: o *trimming*, que deveria abranger uma faixa maior do que a estipulada e permitir um ajuste mais preciso (deveria ter um espaçamento menor); e a fonte de corrente, responsável pela péssima rejeição de linha do circuito e por impedir o funcionamento do circuito em tensões baixas.

Infelizmente não foi possível observar a repetibilidade do comportamento do circuito em vários chips. Por isso ainda não é possível afirmar que a solução de reduzir a variação da tensão de referência por meio da corrente de base do bipolar é confiável e repetitiva, muito embora esse único resultado obtido seja bastante promissor e compatível com simulação.

Um outro fator que diminui a confiança neste resultado é a falta de um modelo físico mais acurado que garanta que a corrente de base tenha o comportamento tal que

permita seu uso como aqui proposto. O material disponível se restringe a um parâmetro de modelo SPICE relativo ao β dos transistores bipolares, obtido empiricamente.

Em se resolvendo estas pendências, ou nos casos em que variação de linha e alta tensão de funcionamento não sejam empecilhos, é perfeitamente plausível o uso deste circuito como um bloco dentro de projetos maiores.

Bibliografia

- [1] HILBIBER, D. F.; "A New Semiconductor Voltage Standard", Digest Of Technical Papers, International Solid-State Circuits Conference, pp. 32-33, Fev. 1964.
- [2] WIDLAR, R. J.; "New Developments in IC Voltage Regulators", IEEE Journal of Solid-State Circuits, vol. SC-6, pp. 2-7, Fev. 1971.
- [3] WIDLAR, R. J.; "An Exact Expression for the Thermal Variation of the Emitter Base Voltage of Bi-Polar Transistors", Proceedings IEEE, pp. 96-97.
- [4] SONG, B.; GRAY, P. R.; "A Precision Curvature-Compensated CMOS Bandgap Reference", IEEE Journal of Solid States Circuits, vol SC-18, pp. 634-643, Dez. 1983.
- [5] "0.6 μm CMOS Design Rules", #9931025 ver. 2.0, Austria Mikro Systeme.
- [6] "0.6 μm CMOS Joint Group Process Parameters", #9933011 ver. B, Austria Mikro Systeme, Out. 1998.
- [7] SWANSON, R. M.; MEINDL, J. D.; "Ion-implanted Complementary MOS Transistor in Low-voltage Circuits", Journal of Solid States Circuits, vol SC-7, pp 146-153, Abr. 1972.
- [8] TSIVIDIS, Y. P.; ULMER, R. W.; "A CMOS Voltage Reference", IEEE J. of Solid State Circuits, vol SC-9, pp 288-293, Dez. 1994.
- [9] VITTOZ, E. A.; NEYRUD, O.; "A Low Voltage CMOS Bandgap Reference", Journal of Solid States Circuits, vol SC-14, pp 573-577, Jun 1979.
- [10] VITTOZ, E. A.; "MOS Transistors Operated in the Lateral Bipolar Mode and Their Application in CMOS Technology", Journal of Solid States Circuits, vol SC- , pp , Jun 1983.
- [11] DEGRAUWE, M. G. R.; LEUTHOLD, O. N.; VITTOZ, E. A.; OGUEY, H. J.; DESCOMBES, A.; "CMOS Voltage Reference Using Lateral Bipolar Transistors", Journal of Solid States Circuits, vol SC-20, pp 1151-1157, Dez. 1985.
- [12] NICOLLINI, G.; SENDEROWICZ, D.; "A CMOS Bandgap Reference for Differential Signal Processing", Journal of Solid States Circuits, Jan 1991.
- [13] FERRO, M.; SALERNO, F.; CASTELLO, R.; "A floating CMOS Bandgap Voltage Reference for Differential Applications", Journal of Solid States Circuits, vol SC-24, pp 690-697, Jun 1989.
- [14] DOBKIN, R. C.; "Temperature Compensated Bandgap Voltage Reference", United States Patent n° 4.447.784, 7 pp., 8 de Maio 1984.
- [15] McCREARY, J. L.; GRAY, P. R.; *All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques – Part I*, IEEE Journal of Solid States Circuits, vol SC-10, pp 371-379, Dez 1975.
- [16] ALLEN, P.; HOLBERG, D.; *CMOS Analog Circuit Design*, Oxford, 1897
- [17] GRAY, P. R.; MEYER, R. G.; *Analysis and Design of Analog Integrated Circuits*, McGraw-Hill, pp 471-472
- [18] GREGORIAN, R.; TEMES, G. C.; "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, 1986.
- [19] MICHEJDA, J.; KIM, S. K.; "A Precision Bandgap Reference", IEEE Journal of Solid States Circuits, set. 1984.