

Universidade Estadual de Campinas

Faculdade de Engenharia Elétrica e de Computação - DSCE

Tese de Mestrado

Amplificador de Áudio classe D baseado em modulação Sigma-Delta destinado a Aparelhos Auditivos

Autor: Daniel Pasti Mioni

Orientador: José Antenor Pomílio

Co-orientador: Saulo Finco

Campinas, junho de 2007

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

M669a Mioni, Daniel Pasti
Amplificador de áudio classe-D baseado em modulação
sigma-delta destinado a aparelhos auditivos. / Daniel Pasti
Mioni. --Campinas, SP: [s.n.], 2007.

Orientadores: José Antenor Pomílio, Saulo Finco
Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Modulação Sigma-Delta. 2. Amplificadores de áudio
frequência. 3. Aparelhos auditivos. 4. Microeletrônica. 5.
Semicondutores complementares de oxido metálico. I.
Pomílio, José Antenor. II. Finco, Saulo. III. Universidade
Estadual de Campinas. Faculdade de Engenharia Elétrica e
de Computação. IV. Título.

Título em Inglês: A low voltage and high efficiency class-D amplifier based
on sigma-delta modulator designed for hearing-aids
applications

Palavras-chave em Inglês: Modulation, Sigma-delta, Áudio, Class-D,
Amplifier, Low Voltage, Inverter, CMOS, High
efficiency

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Edson Adriano Vendrusculo, Renato Perez Ribas, Furio

Damiani

Data da defesa: 30/07/2007

Programa de Pós-Graduação: [Engenharia Elétrica](#)

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Daniel Pasti Mioni

Data da Defesa: 30 de julho de 2007

Título da Tese: "Amplificador de Áudio Classe D Baseado em Modulação Sigma-Delta Destinado a Aparelhos Auditivos"

Prof. Dr. José Antenor Pomílio (Presidente):

Prof. Dr. Renato Perez Ribas:

Prof. Dr. Furio Damiani:

Prof. Dr. Edson Adriano Vendrusculo:

“... vem, vamos embora que esperar não é saber,
quem sabe faz a hora, não espera acontecer ...”

(Geraldo Vandré)

Agradecimentos

Agradeço aos meus pais e irmãos que sempre me apoiaram em qualquer ocasião. Minha esposa Sarah, minha filha Manuela e meu filho Gabriel, que tiveram a “santa” paciência que um mestrando necessita. Ao meu orientador e co-orientador que me auxiliaram com os estudos. Ao CNPq pelo auxílio financeiro e pela destra de Deus.

Resumo

Desenvolvemos um amplificador de áudio classe D baseado em moduladores Σ - Δ , destinado a aparelhos auditivos, a maioria dos quais utiliza baterias de 1,1V e necessita ter baixo consumo de corrente. Neste trabalho os amplificadores e comparadores foram construídos com inversores CMOS, pois um destes inversores, alimentado com uma tensão de 1,1V, pode consumir uma corrente CC tão baixa quanto 400nA, dependendo das dimensões, e proporcionar alto ganho de tensão quando polarizado em sua região linear de operação. Por estes motivos, podem substituir com vantagem amplificadores operacionais e comparadores em algumas aplicações.

Um protótipo deste circuito foi implementado com tecnologia CMOS 0,35 μ m e alcançou um rendimento de 90%.

Abstract

This thesis presents the design of a first-order Σ - Δ audio-band power amplifier optimized for hearing aid (HA) amplification. The majority of HAs use a 1.1V battery and require very low current consumption to improve battery life. This work made use of amplifiers and comparators based on CMOS inverters because such an inverter, with a 1.1V battery, can operate on a current as low as 400nA, depending on its dimensions, and provide high voltage gain when biased in their linear region. For these reasons, they can substitute with advantage operational amplifiers in some applications.

A prototype of this circuit was implemented in a monolithic chip using 0.35 μ m CMOS technology and achieved 90% of power efficiency.

Sumário

CAPÍTULO 1. Histórico	1
1.1 Período Acústico.....	1
1.2 Período do carbono.....	3
1.3 Período da válvula eletrônica.....	4
1.4 Período do transistor.....	6
1.5 Período Digital.....	10
1.6 Proposta de contribuição desta dissertação.....	12
1.7 Publicações.....	13
CAPÍTULO 2. Amplificadores de áudio utilizados em aparelhos auditivos	14
2.1 Amplificador Classe A.....	14
2.2 Amplificador Classe B e AB.....	17
2.3 Amplificador Classe D.....	22
CAPÍTULO 3. Modulações utilizadas em amplificadores Classe-D	26
3.1 Modulação PWM.....	26
3.2 Modulação Sigma-Delta.....	28
CAPÍTULO 4. Inversores CMOS	34
4.1 Curva de Transferência de Tensão.....	36
4.2 Inversores CMOS aplicado em circuitos analógicos.....	37
4.3 Análise de pequenos sinais.....	43
4.4 Resposta em frequência.....	45
CAPÍTULO 5. O circuito do amplificador	48
5.1 Implementação com inversores.....	49
5.2 Dimensionamento do inversor CMOS.....	54
5.3 Integrador.....	56
5.4 Flip Flop D.....	58
5.5 Tensão de polarização do sinal de entrada.....	60
5.6 Estágio de saída.....	61
CAPÍTULO 6. Construção do circuito integrado	69
CAPÍTULO 7. Conclusões	76
Referências bibliográficas	79
Referências da Internet	80
Anexo A	73

Lista de figuras

Figura 1 – Floral Auroles Phone [18].....	(2)
Figura 2 – Cadeira Acústica produzida em 1871 [18].....	(3)
Figura 3 – Modelo de um aparelho auditivo utilizando microfone de Graham Bell [18].....	(4)
Figura 4 – Circuito de um amplificador Classe A a válvulas eletrônicas	(5)
Figura 5 – Modelo de um A.A. ativo com válvulas eletrônicas [18]	(5)
Figura 6 - Desenvolvimento cronológico dos dispositivos ativos eletrônicos [17].....	(6)
Figura 7 – Aparelho embutido na haste dos óculos modelo Otation Listener RX [18]	(7)
Figura 8 – Exemplo de aparelho retroauricular modelo Zenith Diplomat com receptor externo.....	(9)
Figura 9 – Topologia interna de um aparelho auditivo híbrido.....	(10)
Figura 10 – Topologia de um aparelho auditivo totalmente digital [11]	(11)
Figura 11 – Configuração Classe A	(14)
Figura 12 – Simulação do valor eficaz da potência na carga e na fonte de um amplificador classe A	(15)
Figura 13 – Configuração Classe B	(16)
Figura 14 – Distorção de cruzamento presente nos amplificadores Classe B	(17)
Figura 15 – Componentes harmônicas devido à distorção de cruzamento	(17)
Figura 16 – Amplificador Classe AB	(18)
Figura 17 – Potência eficaz na fonte e na carga simulada para amplificador Classe AB	(20)
Figura 18 – Diagrama de blocos de um típico amplificador Classe D	(21)
Figura 19 – Ponte-H utilizada para converter um sinal modulado CC em CA	(22)
Figura 20 – Formas de onda de uma excitação modulada	(22)
Figura 21 – Abaixo, a tensão em cima da carga para uma modulação senoidal	(23)
Figura 22 – Circuito gerador de PWM implementado com inversor CMOS.....	(24)
Figura 23 – Formas de onda dos sinais de entrada e da saída do comparador.....	(25)
Figura 24 – Espectro de frequências do trem de pulsos de saída.....	(25)
Figura 25 – Simulação da perda do pulso devido a uma largura de pulsos muito estreita.....	(26)
Figura 26 - Esquema do modulador Sigma-Delta de 1ª Ordem.....	(27)
Figura 27 – Comportamento de um modulador SD de 1ª ordem [5].....	(27)
Figura 28 – Espectro de frequências de um modulador SD de 1ª ordem [5].....	(28)
Figura 29- Modulador Sigma-Delta de 2ª Ordem.....	(29)
Figura 30 – Curva de comparativa entre 3 tipos de modulações SD [5].....	(30)
Figura 31 – Topologia básica de um inversor CMOS.....	(31)
Figura 32 – Curva $I_D \times V_{GS}$ para o transistor NMOS e PMOS complementares	(32)
Figura 33 – Curva $I_D \times V_{GS}$ para uma porta inversora CMOS.....	(33)
Figura 34 – Curva de transferência de tensão de uma porta CMOS.....	(34)

Figura 35 – Inversor CMOS polarizado em sua região linear.....	(35)
Figura 36. – Circuito realimentado operando como amplificador.....	(36)
Figura 37 – Amplificador inversor realimentado para um $A_0 = 42dB$	(36)
Figura 38 – Topologia para aumentar o ganho em malha aberta do circuito	(37)
Figura 39 – Resposta do ganho em malha fechada para o sistema em cascata	(37)
Figura 40 – Inversor CMOS como um comparador em volta de $V_{DD}/2$	(38)
Figura 41 – Curva da corrente de um inversor CMOS em função da tensão em sua entrada	(39)
Figura 42 – Circuito equivalente para pequenos sinais de um inversor CMOS.....	(39)
Figura 43 – Capacitâncias parasitas relevantes em um inversor CMOS.....	(41)
Figura 44 – Circuito equivalente de pequenos sinais adicionado das capacitâncias parasitas	(41)
Figura 45 – Topologia do modulador SD de 1 ordem	(44)
Figura 46 – Primeira topologia implementada do modulador Sigma Delta	(45)
Figura 47 - Circuito discreto construído apenas com inversores CMOS	(46)
Figura 48 – Resposta do circuito SD sem Flip Flop D	(46)
Figura 49 – FFT do sinal de saída do modulador sem Flip Flop D	(47)
Figura 50 – Imagem do sinal de saída obtida do circuito implementado	(48)
Figura 51 – FFT obtida do circuito montado em bancada	(48)
Figura 52 – Circuito do modulador SD para implementação no chip	(48)
Figura 53 – Célula do inversor CMOS.....	(49)
Figura 54 – ponto de polarização do inversor em sua região linear	(49)
Figura 55 – Referência de tensão utilizada	(50)
Figura 56 – Circuito do integrador baseado em inversores CMOS	(50)
Figura 57 – Análise CA para o integrador da figura 55	(51)
Figura 58 – resposta ao degrau aplicado a um integrador com sua frequência de corte variando	(52)
Figura 59 – Topologia convencional do Flip Flop D	(52)
Figura 60 – Circuito da porta lógica NAND.....	(53)
Figura 61 – Flip Flop D construído para o modulador.....	(53)
Figura 62 – Sinais de entrada e saída do FFD construído	(54)
Figura 63 – Estágio de polarização do sinal de entrada	(54)
Figura 64 – Divisor resistivo implementado para polarização do sinal de entrada	(55)
Figura 65 – Fase (acima) e Magnitude (abaixo) do transdutor EF-29802-000.....	(56)
Figura 66 – Estágio de Saída na configuração ponte H com atrasos de pulso	(57)
Figura 67 – Circuito de atraso implementado no estágio de saída.....	(58)
Figura 68 – Pulsos interdigitados para evitar curto circuito na fonte de alimentação.....	(58)
Figura 69 – Sinal modulado na entrada do estágio de saída comparado com a corrente filtrada	(59)
Figura 70 – Trem de pulsos de saída do modulador implementado	(60)
Figura 71 – Sincronismo do trem de pulsos de saída com o clock do circuito	(61)

Figura 72 – Resposta do erro do circuito e sua integração	(61)
Figura 73 – Espectro espalhado do modulador	(62)
Figura 74 – Imagem do chip com os pads.....	(63)
Figura 75 – Imagem do chip sem os pads	(63)
Figura 76 – Sinal de saída diferencial do amplificador classe D fabricado	(64)
Figura 77 – Saída diferencial do estágio de saída do amplificador	(65)
Figura 78 – Espectro da forma de onda do sinal diferencial de saída do amplificador	(66)
Figura 79 – Sinais do estágio de saída filtrados por um filtro passa baixas RC	(66)
Figura 80 – Atuação do integrador do erro no circuito do modulador	(67)
Figura 81 – Estimativa da eficiência do amplificador classe D	(68)

1. Histórico

A deficiência auditiva tem sido considerada severamente incapacitante há muitos séculos. Para minimizar seus efeitos, sistemas de amplificação têm sido desenvolvidos e aprimorados até os dias de hoje [1].

A evolução das próteses auditivas pode ser dividida em cinco principais períodos: acústico, do carbono, da válvula eletrônica, do transistor e digital. A seguir serão discutidos brevemente estes cinco períodos.

1.1 Período Acústico

Talvez a primeira tentativa de amplificação auditiva acústica tenha sido simplesmente a mão em concha posicionada atrás da orelha, que coleta e reflete os sons ao redor do pavilhão auricular. Esse procedimento permite uma amplificação útil de até 10dB na faixa de banda de 1 a 3kHz. Não se sabe dizer quando o ser humano descobriu que direcionar a orelha em direção à fonte sonora e colocar a mão em concha atrás do pavilhão auricular permitia essa pequena amplificação dos sons. Há referências de que o imperador romano Adriano (117-135 d.C) utilizava desse método de amplificação [1].

A utilização de cornetas acústicas de origem animal data do século XIII, enquanto que a de cornetas acústicas manufaturas pelo homem, do século XVII. No entanto, foi somente no século XVIII e XIX que foram mais amplamente desenvolvidas e utilizadas.

Essas cornetas passaram por várias modificações físicas para que se tornassem socialmente aceitável pelos pacientes. A figura 1 mostra um modelo acústico de prótese auditiva, o Floral Aurolese Phone, desenvolvido por volta de 1802 por F. C. Rein. Essa corneta promove um ganho de até 10dB dentro da faixa de frequência de voz, como pode ser observado no gráfico da figura 1.

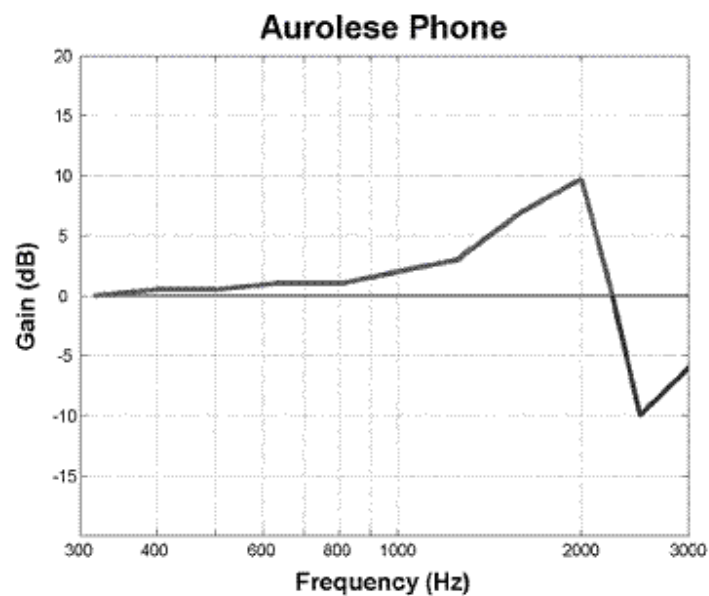
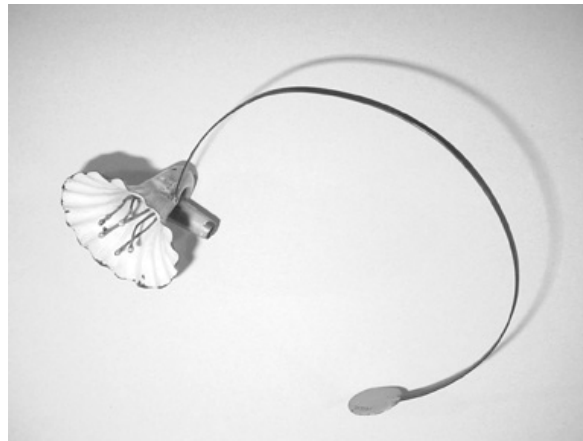


Figura 1 – Dispositivo e sua resposta em frequência [22]

Pode-se notar que o ganho é acentuado em frequências na faixa de voz. Isto ocorre devido à configuração física da corneta, na qual o diâmetro de sua abertura frontal define a faixa de frequência. Para uma resposta melhor em frequências graves esta abertura teria que ser muito maior e de certa forma impraticável para um equipamento portátil. Outros modelos foram desenvolvidos mais tarde como a cadeira acústica mostrada na figura 2, que foi desenvolvida por volta de 1871 por W. A. McKeon, sua resposta em frequências graves é superior a de cornetas pequenas.

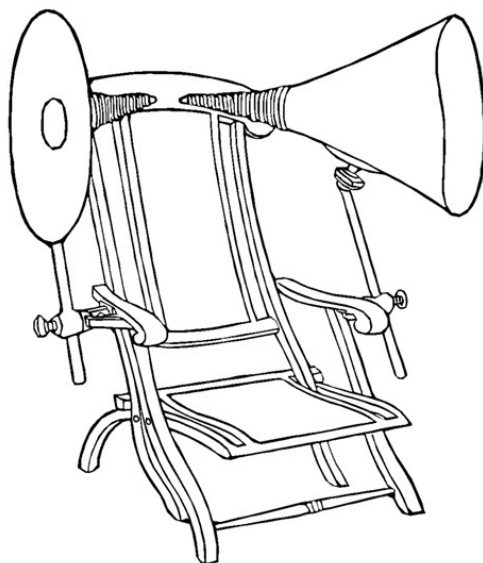


Figura 2 – Cadeira Acústica produzida em 1871 [22]

Outras cornetas acústicas foram patenteadas e desenvolvidas, como numa tentativa de torná-las discretas e eficazes. Devido às suas limitações acústicas, as cornetas não podiam atender a todas as necessidades de audição.

1.2 Período do carbono

Durante o século XX, os aparelhos auditivos migraram de acústicos para elétricos. Utilizando uma fonte de energia, o som poderia ter maior amplificação do que seus antecessores. Conseqüentemente, os aparelhos auditivos começaram a serem capazes de produzir amplificação melhor, necessária para pacientes com perdas severas de audição.

No final do século XIX, Alexander Graham Bell, descobriu o funcionamento do microfone de carbono, motivado pelos estudos sobre comunicação e telefonia em que trabalhava na época. O microfone foi utilizado para produzir o primeiro aparelho auditivo com princípio elétrico. [1]

A figura 3 mostra um dos primeiros modelos de aparelhos auditivos a partir do princípio elétrico. Ele tinha a capacidade de fornecer maior amplificação que as cornetas acústicas.



Figura 3 – Aparelho auditivo utilizando microfone de Grahman Bell [22]

Fornecendo maior amplificação, este aparelho possuía altos níveis de ruído provenientes de fontes externas e ruídos térmicos, que tornavam seu uso prolongado muito desagradável. As baterias utilizadas eram incômodas e o carbono presente no microfone era altamente sensível ao calor e ao frio.

1.3 Período da válvula eletrônica

Em 1920, com a descoberta das válvulas eletrônicas, abriu-se um novo horizonte para o desenvolvimento de aparelhos auditivos. As válvulas eletrônicas proporcionaram os primeiros circuitos eletrônicos de amplificadores de sinais, assim como o amplificador Classe A, que foi o primeiro modo de amplificação desenvolvido [21]. O circuito da figura 4 ilustra um circuito simples de um amplificador Classe A com um triodo.

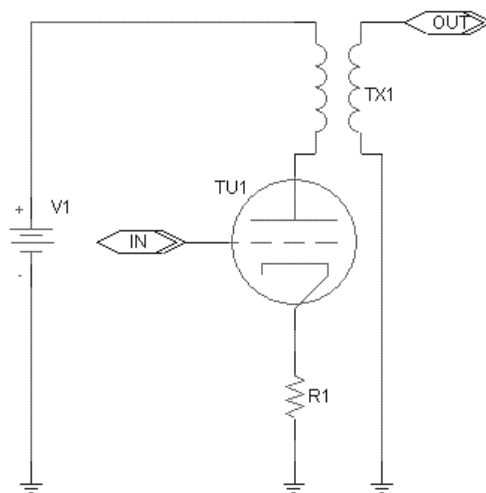


Figura 4 – Circuito de um amplificador Classe A a válvula eletrônica

Por sua característica de alta impedância de saída, as válvulas precisavam de casadores de impedâncias (TX1) para acionar um transdutor com impedância menor, como o alto-falante de saída.

Com a descoberta das válvulas, começou uma grande busca pela evolução dos aparelhos auditivos no que diz respeito à miniaturização. Até o final da década de 40, os aparelhos evoluíram muitos e as válvulas termiônicas se tornaram mais compactas [21]. Na figura 5 pode-se observar um típico aparelho utilizado na década de 30. Usava duas válvulas, além de ser acoplado externamente ao transdutor de saída e à bateria.



Figura 5 – Modelo de um Aparelho Auditivo ativo à válvulas eletrônicas [22]

No entanto, esses aparelhos ainda não incorporavam as baterias de alimentação e fios tinham que levar o sinal ao transdutor de saída ao ouvido do usuário, tornando-os, mais uma vez, incômodos.

Para alimentar um aparelho auditivo a válvulas, duas baterias eram necessárias: uma bateria para aquecer os filamentos e uma bateria para amplificar o som. As baterias tinham, no mínimo, o tamanho dos outros componentes do aparelho e pesavam por volta de 1,1kg.

1.4 Período do transistor

Um avanço muito útil para a tecnologia das próteses auditivas foi o advento do transistor em 1947, desenvolvido na Bell Telephone Labs. Não somente era consideravelmente menor do que a menor válvula, mas também muito mais eficiente.

A figura 6 mostra um diagrama cronológico e medidas dos componentes ativos utilizados em aparelhos auditivos desde 1939 até 1958.

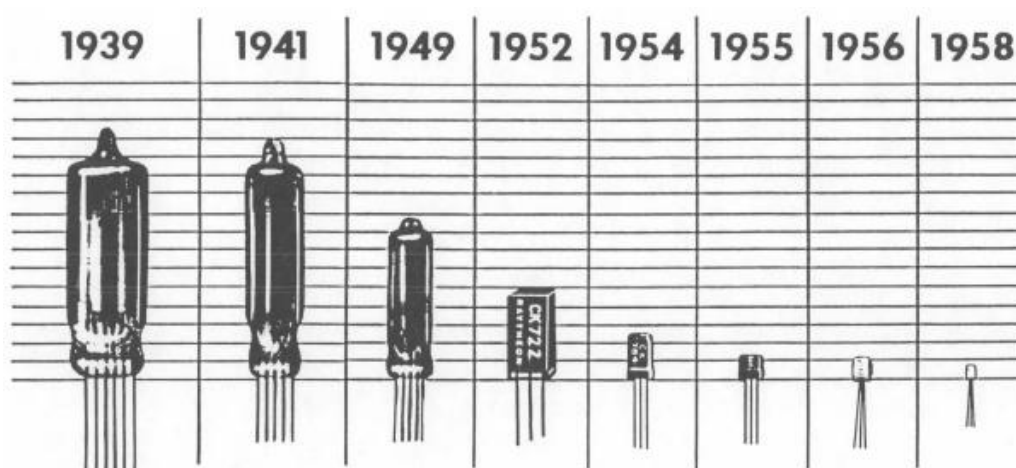


Figura 6 - Desenvolvimento cronológico dos dispositivos ativos eletrônicos [21]

Inicialmente, a substituição da válvula pelo transistor não trouxe modificações importantes no desempenho acústico das próteses auditivas, mas reduziu o custo e o tamanho da bateria. Melhorias subsequentes e a diminuição no tamanho dos transistores,

acompanhados por microfones e pilhas menores, proporcionaram uma redução no tamanho global das próteses. Com a introdução destes circuitos eletrônicos houve a possibilidade de enfatizar altas e baixas frequências, limitar o ganho e a saída máxima dos aparelhos.

Por volta de 1955, o tamanho das próteses de bolso, as únicas disponíveis até então, já estava consideravelmente reduzido. Este ano marcou o início do desenvolvimento da prótese auditiva de óculos. A prótese auditiva passou então a ocupar seu lugar junto a orelha, assim como pode ser visto na figura 7.



Figura 7 – Aparelho embutido na haste dos óculos, modelo Otariion Listener RX (CID-Goldstein Collection) [22]

Nesta prótese, os componentes eram montados dentro das duas hastes dos óculos, sendo conectados em sua parte frontal. O receptor ficava na haste oposta a do microfone. Em quatro anos as próteses auditivas de óculos foram aprimoradas, aumentando consideravelmente sua comercialização, chegando a representar em 1959, 50% dos aparelhos vendidos nos EUA. Ao longo dos anos, este índice se reduziu, representando em 1988 apenas 0,3% dos aparelhos comercializados naquele país. [1]

A prótese de óculos permitiu a utilização de CROS (Contralateral Routing of Signal) idealizado por Harford e Barry em 1965. Como o aparelho auditivo agora possuía dois *receivers* independentes (um para cada ouvido), era possível controlar individualmente o ganho, atendendo pacientes com dificuldade auditiva diferentes de um ouvido para outro.

Outra vantagem advinda da prótese auditiva de óculos foi a sua utilização junto à orelha. Desta forma, o microfone passou a ter uma localização mais favorável, próxima ao pavilhão auricular, proporcionando a eliminação de fios e de ruídos provocado pelo atrito

das roupas. Além disso, tornaram as próteses auditivas esteticamente mais aceitáveis e possibilitaram a audição binaural.

A utilização de duas próteses auditivas tornou possível a localização precisa das fontes sonoras. Essa localização é ainda melhor quando se utiliza prótese adaptada junto à orelha. Vale lembrar que duas próteses convencionais com uma distância de 18 a 25cm entre os microfones permitem melhor localização do que a adaptação monaural. Isto ocorre porque o ouvido humano percebe a localização da fonte sonora pela diferença de tempo entre a chegada do som em cada ouvido. Quando a fonte está exatamente na frente do ouvinte, o som chega ao mesmo tempo aos dois ouvidos e o cérebro reconhece o som como vindo da frente ou de trás. A concha da orelha diferencia um som vindo exatamente de trás ou exatamente da frente. Quando a fonte sonora se encontra a um ângulo qualquer à esquerda do ouvinte, o som chega primeiramente ao ouvido esquerdo e depois de um tempo ao ouvido direito, fazendo com que o cérebro reconheça o ângulo da fonte.

Com a miniaturização dos componentes das próteses foi possível reuni-los em uma só haste de óculos. Quando isso ocorreu, pareceu bastante lógico eliminar a parte frontal dos óculos e, dessa forma, originou-se a prótese retroauricular no ano de 1965, que pode ser observada na figura 8.

Em 1959, 25% das vendas de aparelhos eram representados por próteses retroauriculares, chegando em 1962 a ultrapassar as vendas das próteses de óculos. [1]

Nesta época surgiu o microfone de cerâmica, utilizado até a introdução do microfone de eletreto, em 1971. Este último tipo de microfone apresenta resposta em frequência mais ampla e constante e é menos sensível a variações de temperatura. Uma outra característica importante é sua menor sensibilidade a vibrações mecânicas em relação aos microfones magnéticos e de cerâmica. Essa menor sensibilidade às vibrações torna-se de fundamental importância nas próteses retro e intra-auriculares, uma vez que o microfone e o receptor situam-se no mesmo compartimento.

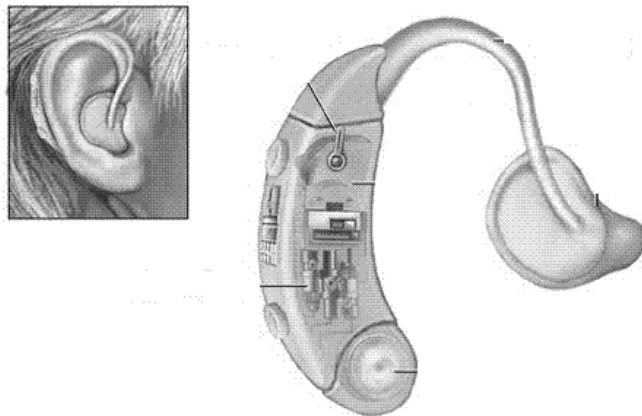


Figura 8 – Exemplo de aparelho retroauricular modelo de 1965 (Zenith Diplomat) com receptor externo [22]

A prótese auditiva retroauricular foi, durante muitos anos, o aparelho mais comercializado nos EUA. Em 1961, foram introduzidas as próteses intra-aurais constituindo, em 1985, 64,7% de todas as próteses auditivas comercializadas. As próteses auditivas intra-aurais passaram a ser ainda mais valorizadas no início da década de 60, a partir da comprovação da importância do pavilhão auricular na localização do som.

Em 1989, um circuito amplificador denominado K-AMP foi introduzido por Mead Killion. Esse amplificador foi desenvolvido com base no pressuposto de que amplificação de alta fidelidade deveria ser proporcional aos portadores de perdas auditivas. O amplificador K-AMP provê uma ênfase nas altas frequências para os sons de fraca intensidade, alterando desta forma a resposta em frequência de acordo com o sinal de entrada. Além disso, a distorção para sinais de entrada intensos é reduzida. As próteses auditivas com circuitos deste tipo possuem maior largura de banda, capaz de captar sinais de áudio em altas frequências, contribuindo para a inteligibilidade e clareza dos sons.

Desde 1998 está disponível uma versão programável dos amplificadores K-AMP, fornecendo a possibilidade de programar os ajustes de ganho, corte de baixas frequências, limiares de compressão, resposta em frequências e taxa de compressão.

O final da década de 80 e o começo da década de 90 foram marcados por uma revolução tecnológica, pois começava a ser utilizada a tecnologia digital na fabricação de próteses auditivas.

1.5 Período Digital

Com a introdução da tecnologia digital, os aparelhos analógicos sofreram modificações, tornando-se aparelhos híbridos. Tais próteses ainda hoje são comercializadas, sendo essencialmente analógicas, mas possuindo componentes digitais. Este tipo de combinação utiliza o melhor do circuito analógico e o aprimora, incorporando os benefícios da eletrônica digital. Uma topologia básica deste modelo híbrido pode ser observada na figura 9. O circuito é composto por um microfone de entrada (MIC), um pré-amplificador (Pré-Amp), um filtro sintonizável, que ajusta a faixa de frequência, um circuito de controle automático de ganho (AGC) que comprime o sinal sonoro, um amplificador de potência, um *receiver* (alto-falante) e o circuito lógico programável (memória). Neste caso, o sinal sonoro não é convertido em bits, mas todos os controles e chaveamentos de comandos são digitais. A resposta em frequência, o ganho acústico, a saída máxima, a compressão e outros parâmetros são ajustados por meio de uma conexão com uma unidade externa de programação. Possui uma memória externa na qual os ajustes são armazenados e podem ser reprogramados sempre que necessário.

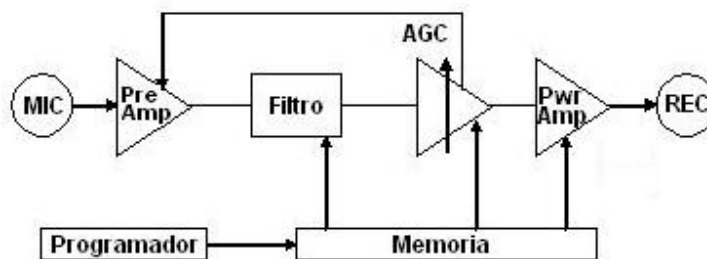


Figura 9 – Topologia interna de um aparelho auditivo híbrido

Em uma prótese auditiva analógica é necessário que os ajustes nos controles sejam realizados com o auxílio de uma pequena chave de fenda. Já nas digitalmente programáveis, uma simples conexão com a unidade de programação permite o acesso a todos os ajustes disponíveis no circuito. Sempre que necessário o sistema pode ser reprogramado ou ajustado rapidamente.

Outra grande vantagem é que a remoção dos controles mecânicos tornou os aparelhos menores, com mais parâmetros eletroacústicos que podem ser controlados, resultando em maior versatilidade e tornando o trabalho de adaptação mais individual.

Os aparelhos totalmente digitais são constituídos de um microprocessador (DSP) que faz todo o processamento digital do sinal de áudio como filtragens múltiplas do sinal, amplificadores multi-canaís, ajustes seletivos dos níveis de saída máxima, controle automático de ganho, dependendo do sinal e do ambiente acústico, sistema de compressão refinado e uma ampla variedade de efeitos.

A figura 10 mostra a topologia básica de um aparelho totalmente digital. O sinal analógico entra em um conversor A/D e o sinal codificado entra no DSP para ser devidamente processado. Uma memória EEPROM contém as instruções pré-programadas a serem realizadas pelo DSP. O sinal de áudio é convertido em um trem de pulsos (1 BIT) que aciona o amplificador Classe D de alto rendimento. Vários níveis de tensões de alimentação são distribuídos ao circuito pelo gerenciador de fonte (power management) e o clock define o sincronismo e frequência de operação do sistema.

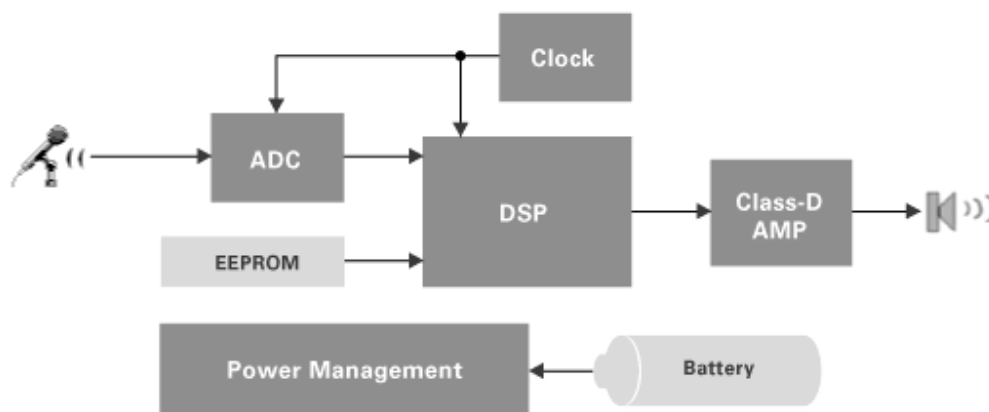


Figura 10 – Topologia de um aparelho auditivo totalmente digital [19]

Apesar de o aparelho auditivo totalmente digital possuir muitas vantagens sobre os híbridos e analógicos, possuem preço muito elevado e, pelo fato de possuírem internamente um microprocessador (DSP), a vida útil da bateria é drasticamente reduzida.

1.6 Propostas de contribuição desta dissertação

Este trabalho tem o objetivo de construir um amplificador classe-D baseado em modulação $\Sigma\Delta$, destinado a aparelhos auditivos (A.A.). O estágio de potência do amplificador é composto pelo modulador $\Sigma\Delta$ e pelo estágio de saída. O consumo de energia do modulador relativo ao estágio de potência se torna mais evidente em aplicações de baixa potência e por este motivo, deve possuir baixo consumo. Utilizando inversores CMOS com baixa tensão (1V) e operando em sua região linear, o consumo do estágio de modulação é reduzido, limitando o rendimento do circuito ao estágio de potência. Em [11] e [12] são utilizados inversores com *self-tuning*, onde os inversores possuem maior imunidade a variações da tensão de *threshold* no processo de fabricação. Neste trabalho utilizamos fontes de referência baseadas em inversores com as mesmas dimensões do inversor polarizado, fazendo com que a tensão de polarização do inversor varie juntamente com as variações da tensão de *threshold*.

Os primeiros capítulos deste trabalho foram destinados a uma abordagem teórica sobre os vários componentes utilizados na construção do amplificador. No capítulo 2, são descritas e comparadas diversas topologias de amplificadores de áudio de potência, destacando o amplificador classe D. No capítulo 3, uma descrição sobre os tipos de modulações que condicionam o sinal para o amplificador classe D, PWM e PDM. É descrito, no capítulo 4, o funcionamento dos inversores CMOS, utilizados como comparadores de tensão, amplificadores de tensão, fontes de referência e integradores, quando operados em sua região linear, mostrando suas vantagens na construção de alguns tipos de circuitos analógicos integrados. Este capítulo fundamenta todo o objetivo do trabalho, mostrando que os inversores CMOS operando com baixa tensão e em sua região linear, proporciona ao circuito baixo consumo de corrente.

No capítulo 5 é mostrada a construção do circuito, baseado em inversores CMOS, seguido de simulações e resultados dos blocos independentes e depois do sistema todo. É realizada também uma montagem em bancada com componentes discretos onde são mostrados e comentados os resultados.

A montagem e fabricação do circuito integrado são explicadas no capítulo 6, mostrando as dificuldades encontradas e resultados das medidas em bancada do CI fabricado.

1.7 Publicações

- Mioni D. P., Pomilio J. A., Finco S., “A low voltage and high efficiency audio power amplifier designed for hearing aid applications” IX Simpósio IMAPS Brasil – V Seminário ABRACI. (2006)
- Mioni D. P., Pomilio J. A., Finco S., “A low voltage and high efficiency audio power amplifier designed for hearing aid applications” COBEP – 9º Congresso brasileiro de eletrônica de potência. (2007)

2. Amplificadores de áudio utilizados em aparelhos auditivos

Um amplificador com vários estágios é geralmente exigido para liberar grandes quantidades de potência para uma carga passiva. Essa potência liberada pode tomar a forma de uma grande corrente de carga que alimenta uma pequena resistência ou impedância. Alternativamente, ela pode consistir em um sinal de tensão de grande amplitude desenvolvido através de uma resistência ou impedância de valor moderado [21]. Em ambos os casos, problemas podem surgir se o estágio de saída do amplificador for polarizado para operação linear. A potência consumida em dispositivos ativos de um amplificador linear é comparável à potência real liberada para a carga. Os dispositivos do estágio de saída devem ser capazes de dissipar seguramente esse excesso de potência. Conseqüentemente, dispositivos que ocupam grande quantidade de área de silício devem ser utilizados para atender a dissipação e a transmissão de potência para a carga.

Os amplificadores de áudio em aparelhos auditivos eram utilizados, até a década de 80, em duas configurações básicas; Classe A e Classe AB. Esses amplificadores tinham boa resposta em frequência e largura de banda, mas tinham como característica alto consumo de corrente. Os amplificadores Classe D já existiam na década de 50, implementados sem sucesso com válvulas eletrônicas devido a alta tensão e baixa corrente com que estas operavam e por não terem um chaveamento rápido conseqüentemente, seu rendimento era reduzido. Na década de 80 algumas patentes de amplificadores Classe D começaram a surgir com transistores CMOS, que tinham como característica maior rendimento relativo aos seus antecessores. Mas sua grande difusão como amplificador de alto rendimento começou no final da década de 80, quando os dispositivos se tornaram rápidos o suficiente para alcançar uma eficiência suficientemente elevada para substituir os amplificadores lineares. A seguir, serão descritas estas classes, destacando suas características.

2.1 Amplificador Classe A

O amplificador Classe A foi o primeiro introduzido em aparelhos auditivos, assim como em amplificadores de rádio e instrumentos musicais. É o menos complexo e o mais

entendido modo de amplificação. Possui baixa distorção harmônica em níveis baixos de sinal de entrada, mas tendem a ter altos níveis de distorção com altas amplitudes. Sua configuração básica é ilustrada na figura 11. O sinal de entrada V_i precisa ser polarizado com valor acima da tensão limiar de condução, V_T , do transistor para que o mesmo entre em condução e amplifique linearmente o sinal. Por este motivo uma corrente constante flui pelo resistor de carga R_L .

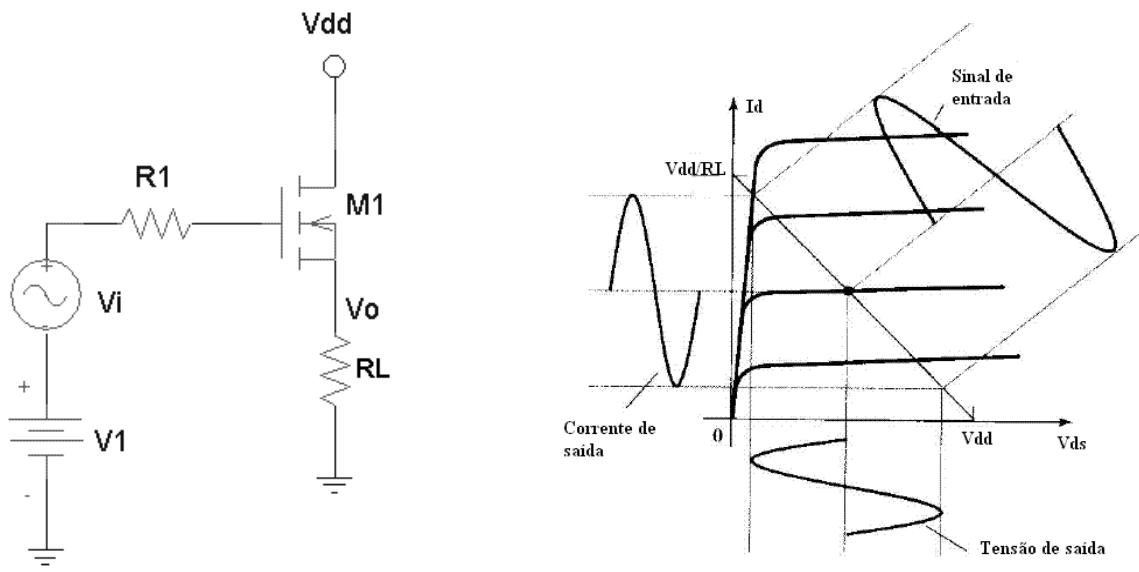


Figura 11 – Configuração Classe A

Se o amplificador da figura 11 for polarizado para amplitude simétrica máxima, então o valor de polarização V_i será aproximadamente igual a $V_{DD}/2$. Se o sinal de entrada V_i for uma senóide de magnitude V_0 , a tensão total que aparece na carga pode ser escrita como [6]

$$v_L(t) = \frac{V_{DD}}{2} + V_0 \sin \omega t \quad (1)$$

onde o primeiro termo do lado direito da equação é a componente de polarização CC e o segundo termo é relativo ao sinal de entrada. [6]

O rendimento do amplificador é definido por:

$$\eta = \frac{V_0^2}{V_{DD}^2} \quad (2)$$

Se o amplificador for excitado até seus limites de amplitude de corte e saturação V_0 pode, no máximo, ser igual a $V_{DD}/2$. Para que esta amplitude máxima, o rendimento também alcança seu valor máximo, dado por

$$\eta_{\max} = \frac{(V_{DD}/2)^2}{V_{DD}^2} = \frac{1}{4} = 25\% \quad (3)$$

Na prática, obtém-se um rendimento menor que 25% pois a saída é raramente excitada até os limites de corte e saturação em aplicações lineares.

Além do fato de o rendimento ser baixa, para um aparelho portátil, como o aparelho auditivo, esta configuração não é atrativa, pois o consumo de corrente não depende do nível de pressão sonora (NPS) incidente, mas sim da sua polarização, sendo que, mesmo num ambiente silencioso o consumo permanece o mesmo.

Na figura 12, uma simulação mostra o consumo de um amplificador típico, no qual foram medidas as potências da fonte e da carga.

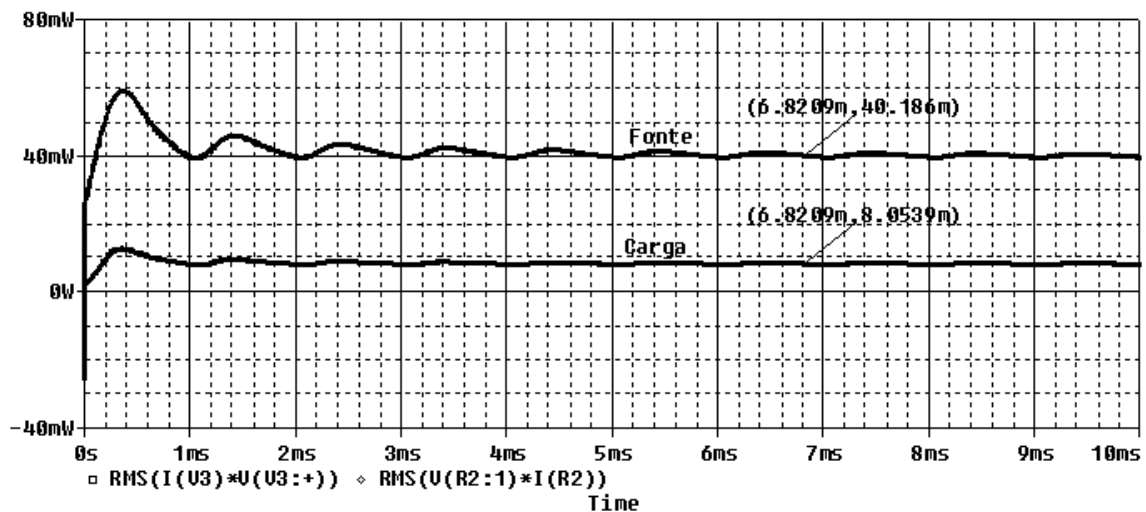


Figura 12 – Simulação do valor eficaz da potência na carga e na fonte de um amplificador classe A

Na simulação, o rendimento está por volta de 20%, utilizando dispositivos CMOS. O amplificador classe A é ainda utilizada em aparelhos auditivos de baixo custo [1], que não necessitam de grandes amplificações de sinal de áudio.

2.2 Classe B e AB

Um amplificador Classe B funciona com dois amplificadores Classe A complementares ligados em série (pelo ponto de vista da corrente), como pode ser visto na figura 13. Ele amplifica o sinal de entrada em duas partes (semi-ciclo positivo e semi-ciclo negativo) e cada transistor amplifica o sinal com uma dada polarização. É também conhecido como configuração “Push-Pull”.

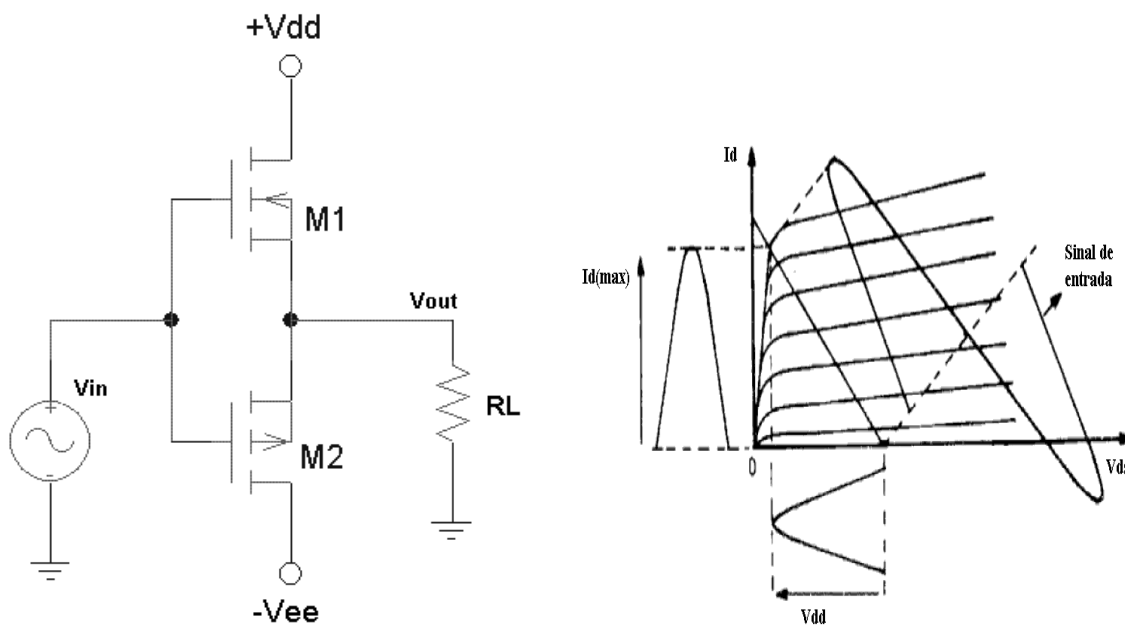


Figura 13 – Configuração Classe B

O sinal de saída para v_{in} positivo é o de um seguidor de fonte simples, isto é,

$$v_{out} = v_{in} - V_T \quad (4)$$

onde V_T é a tensão limiar dos transistores de saída.

Similarmente, quando a entrada é negativa, o transistor superior se mant ra em corte, e o dispositivo inferior ser  excitado para a regi o ativa pelo sinal de entrada. A tens o de sa da sob tais condi  es  :

$$v_{out} = -v_{in} + V_T \quad (5)$$

Observa-se que v_{out}   zero quando v_{in}   menor que V_T , o que proporciona uma distor  o t pica para este tipo de configura  o que   a distor  o de cruzamento, “crossover”. Isto ocorre pelo fato de os transistores n o estarem polarizados, de forma que o sinal de entrada deve vencer o V_T dos transistores para come ar a conduzir. Esta distor  o harm nica   predominante de ordem  mpar e pode ser observada na figura 14 para um sinal senoidal de entrada, e a FFT do sinal pode ser observado na figura 15. [6]

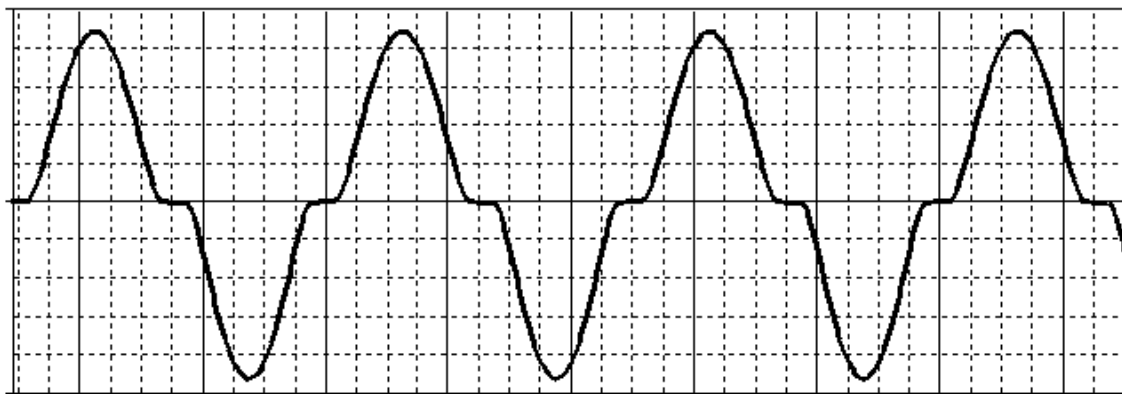
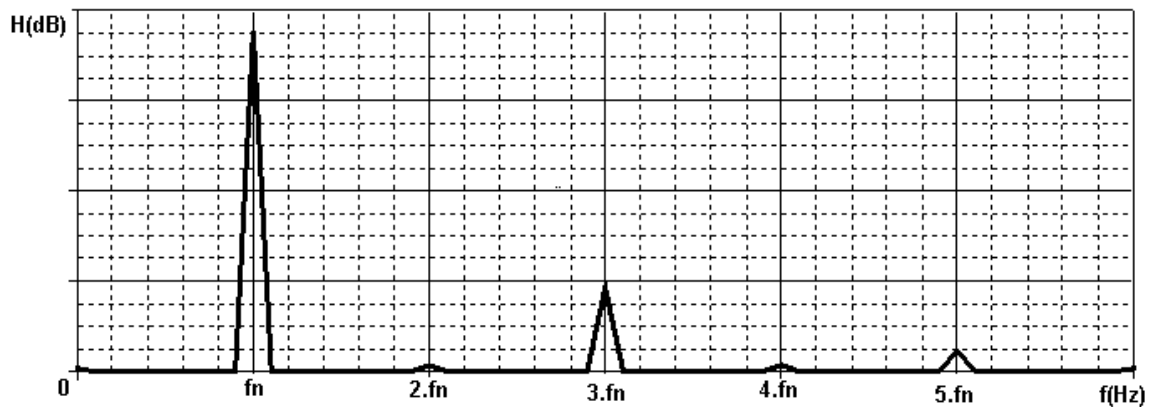


Figura 14 – Distor  o de cruzamento presente nos amplificadores Classe B



Figuras 15 – Componentes harmônicas devido à distorção de cruzamento

Para contornar este problema, uma pequena polarização na entrada do amplificador é implementada, apenas o suficiente para vencer o V_T dos transistores, surgindo a Classe AB, como pode ser visto na figura 16.

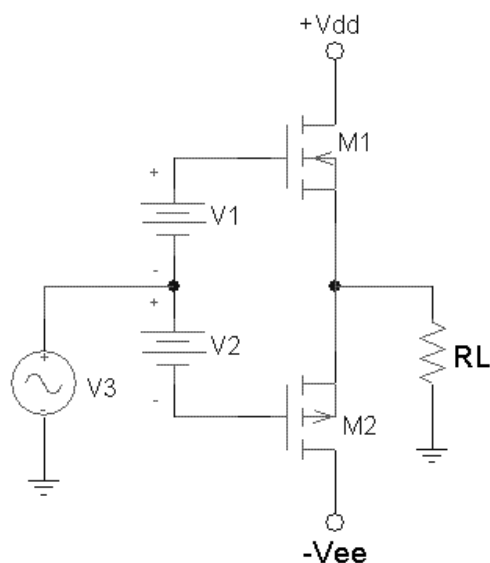


Figura 16 – Amplificador Classe AB

Tanto o amplificador Classe B quanto o Classe AB têm como característica uma grande capacidade de amplificar o sinal de entrada sem provocar altos níveis de distorção harmônica, assim como no caso dos amplificadores Classe A.

As características de potência do amplificador classe B e AB podem ser facilmente encontradas. O cálculo para as duas configurações é igual, pois a distorção de cruzamento,

presente no amplificador Classe B, não consome corrente, já que os dispositivos estão em corte. Se uma tensão senoidal de magnitude V_0 for desenvolvida numa carga resistiva R_L , a corrente na carga será:

$$i_L(t) = \frac{V_0}{R_L} \text{sen}(\omega t) \quad (6)$$

Esta corrente circulará de forma alternada por M_1 e por M_2 durante os ciclos positivos e negativos de v_{in} . A potência resultante dissipada na carga corresponde ao produto $v_L(t) \cdot i_L(t)$. O valor médio no tempo deste produto é igual a

$$P_{medio} = V_0 \text{sen}(\omega t) \left(\frac{V_0}{R_L} \text{sen}(\omega t) \right) = \frac{V_0^2}{2R_L} \quad (7)$$

Neste caso, a potência média de sinal senoidal dissipada na carga é semelhante à do amplificador Classe A.

Para encontrar a potência extraída pelo circuito das fontes de alimentação, a corrente extraída de cada fonte de tensão deve ser calculada. Para um sinal de entrada simétrico, estas componentes de corrente terão as mesmas amplitudes de pico. Se $V_{DD} = -V_{EE}$, a potência total consumida pelo circuito será igual a duas vezes a potência extraída de uma fonte. Se o sinal de saída for uma senóide de amplitude V_0 , a potência média extraída de V_{DD} sobre um ciclo senoidal será igual a [6]

$$P_{s+}(t) = \frac{1}{T} \int_0^{T/2} V_{DD} \frac{V_0}{R_L} \text{sen} \omega t (dt) \quad (8)$$

O limite superior de integração nesta equação é $T/2$, pois V_{DD} fornece potência somente quando $i_L(t)$ é positivo. A integral de $\text{sen} \omega t$ entre os limites indicados é igual a $2/\omega = T/\pi$ de modo que a equação (8) vem a ser

$$P_s = \frac{V_{DD}}{\pi} \frac{V_0}{R_1} \quad (9)$$

A potência total extraída da fonte de alimentação será duas vezes o valor obtido acima, se ambas as fontes tiverem o mesmo valor, portanto,

$$P_s = \frac{2V_{DD}}{\pi} \frac{V_0}{R_1} \quad (10)$$

Para um sinal de saída senoidal de amplitude V_0 , o rendimento do amplificador é:

$$\eta = \frac{p_L(t)}{p_S(t)} = \frac{V_0^2/2R_1}{(2V_{DD}/\pi)(V_0/R_1)} = \frac{\pi}{4} \frac{V_0}{V_{DD}} \quad (11)$$

Se a saída for excitada aos limites de amplitude simétrica máxima definida por $V_0 = \pm V_{DD}$, o rendimento η alcança o valor

$$\eta_{\max} = \frac{\pi}{4} = 78,5\% \quad (12)$$

Para a mesma potência de sinal senoidal, os amplificadores classe B e AB de par complementar têm mais do que três vezes o rendimento do seguidor Classe A polarizado linearmente.

A figura 17 mostra o resultado de uma simulação, onde estão mostradas as potências da fonte e da carga, mostrando que seu rendimento fica por volta de 70%.

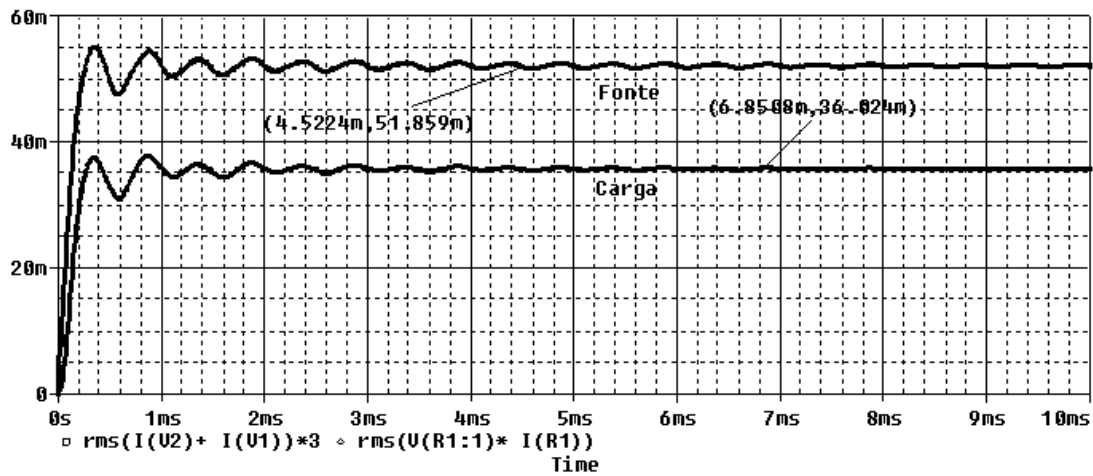


Figura 17 – Potência na fonte e na carga, simuladas para um amplificador Classe AB

Este tipo de amplificador é muito utilizado em aparelhos para pacientes que possuem surdez profunda, com grande perda efetiva da sensibilidade em toda a banda auditiva, e também como uma opção de economia de energia relativa aos amplificadores classe A [1].

2.3 Classe D

Amplificadores Classe D aproveitam a velocidade de comutação dos transistores para ter alto rendimento. Em um amplificador Classe D o sinal é codificado na forma de trem de pulsos (1 BIT), mantendo a informação do sinal analógico em seu valor médio, de forma que possa ser posteriormente decodificado.

A figura 18 mostra, de uma forma geral, a estrutura de um amplificador Classe D.

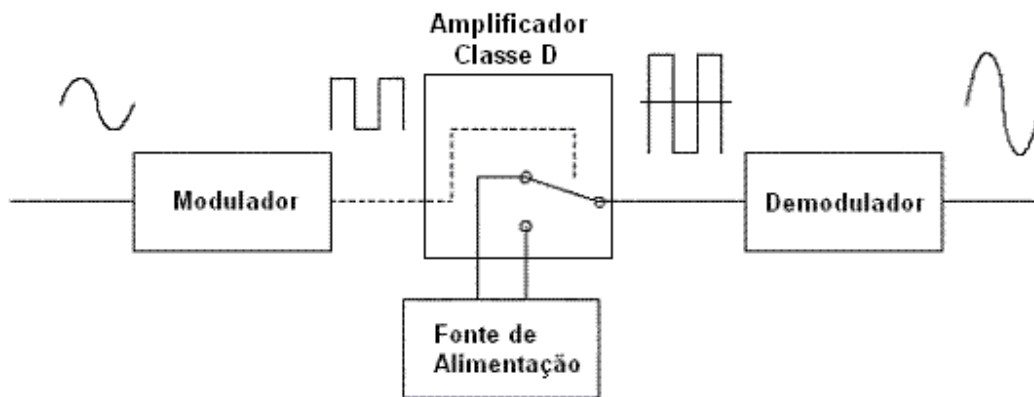


Figura 18 – Diagrama de blocos de um amplificador Classe D típico

Além do amplificador, a figura mostra também os blocos do modulador e o demodulador. Estes blocos são interfaces entre o sinal analógico e o sinal discreto, de forma que na entrada e na saída do amplificador seja observado apenas o sinal analógico. O modulador é incluído para codificar o sinal analógico em um sinal de controle a ser chaveado pelo amplificador Classe D. O demodulador é requerido para converter esse sinal codificado no sinal analógico novamente, já amplificado.

Topologias chaveadas são mais sensíveis que outras à qualidade de suas fontes de alimentação. Ruídos provenientes da fonte podem ser facilmente compensados por técnicas de realimentação em outras classes de amplificadores, no entanto, as topologias Classe D são limitadas em banda de entrada. Isso limita os tipos de realimentação disponíveis.

O trem de pulsos gerado por um codificador comuta de GND para V_{DD} , de forma que não é possível excitar uma carga que precisa de corrente alternada, assim como um alto-falante. O sistema mais utilizado em amplificadores Classe D é a chave inversora, assim como a ponte H.

O circuito de uma ponte H é mostrado na figura 19, no qual dois pares de transistores complementares são acionados para alternar a corrente de saída e acionar a carga de relativa baixa impedância.

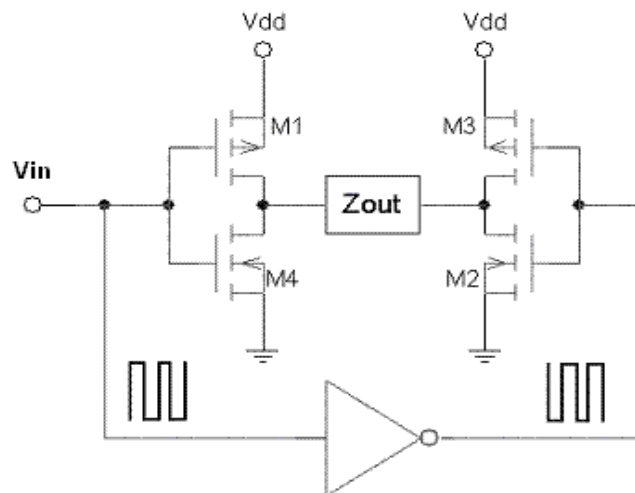


Figura 19 – Ponte-H utilizada para converter um sinal modulado CC em CA

Pelo circuito, pode-se observar que M_1 é acionado juntamente com M_2 quando o pulso de entrada é alto. Quando isso ocorre, a fonte de alimentação é conectada na carga em seu lado esquerdo, e o terra do circuito no seu lado direito. Quando o pulso é baixo, M_1 e M_2 abrem e M_3 e M_4 conduzem, fazendo com que a carga conecte-se à fonte do seu lado direito e o terra em seu lado direito, invertendo o sentido da tensão. As formas de ondas de uma simulação, na qual um trem de pulsos excita a ponte-H e a saída na carga, podem ser observadas na figura 20.

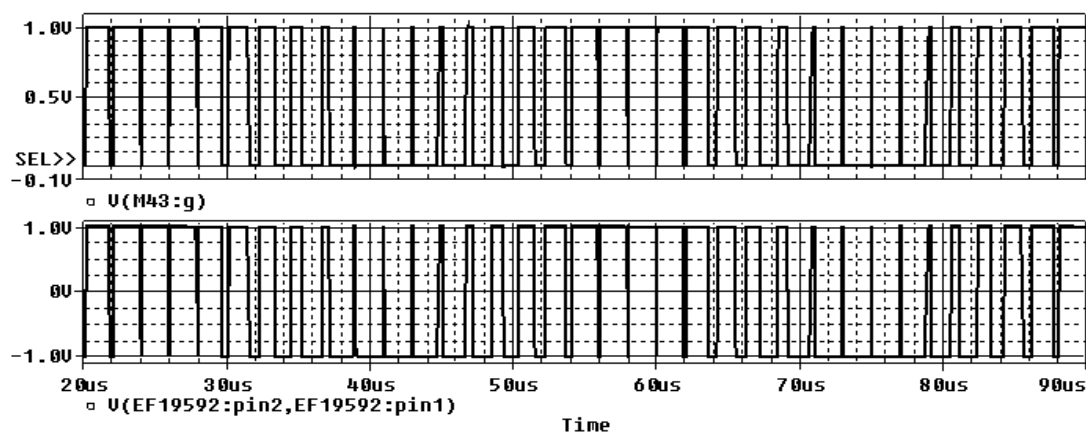


Figura 20 – Formas de onda de uma excitação modulada (acima) e a saída na carga da ponte-H para carga resistiva (abaixo)

Para esta simulação, a carga de saída é apenas resistiva, portanto a corrente na carga tem a mesma forma da tensão de saída.

Para uma carga indutiva, a corrente de carga não pode mudar imediatamente com a tensão de saída. Quando M_1 e M_2 são comutados, a energia acumulada na carga deve ser descarregada antes que M_3 e M_4 entrem em condução. O resultado de uma carga indutiva inserida no circuito da figura 19 pode ser observado na figura 21.

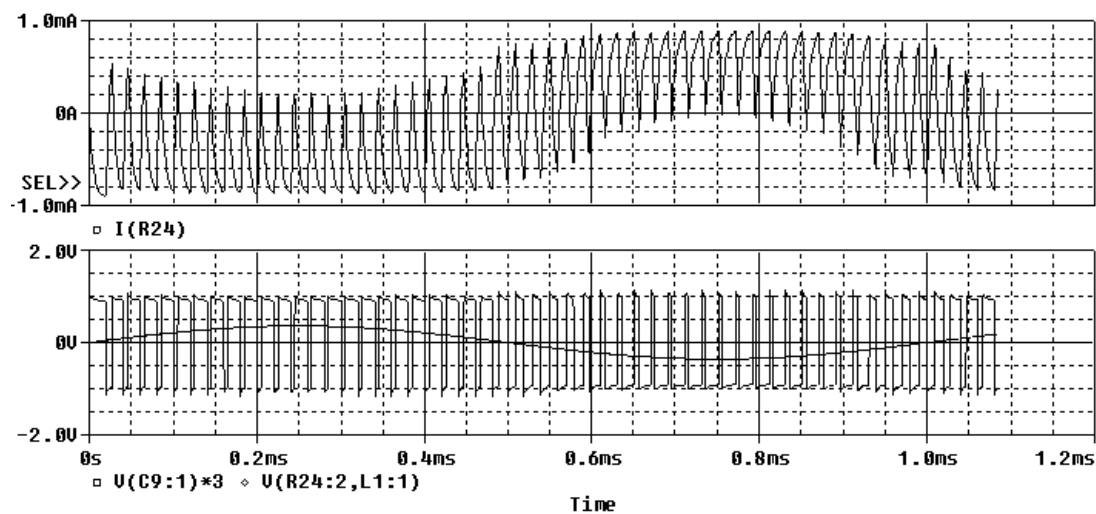


Figura 21 – Abaixo, a tensão em cima da carga para uma modulação senoidal e acima, a corrente resultante.

3. Modulações utilizadas em amplificadores Classe-D

3.1 Modulação PWM

A modulação por largura de pulso, abreviada como PWM, é um método de transmitir a informação em uma série dos pulsos. É uma técnica de modulação para gerar pulsos de largura variável que representam a amplitude de um sinal analógico de entrada.

Para uma simples análise observa-se a figura 22. Para gerar um sinal modulado PWM, compara-se o sinal de entrada com uma onda triangular ou dente de serra.

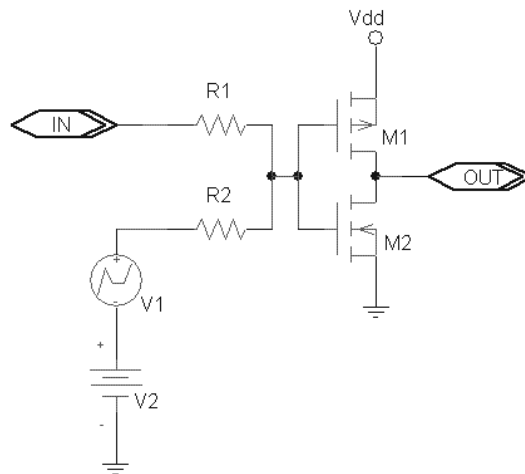


Figura 22 – Circuito gerador de PWM implementado com inversor CMOS

Quando a amplitude do sinal de entrada for maior que a do dente de serra, na saída do comparador observa-se um nível alto e quando a amplitude do sinal de entrada for menor que a do dente de serra observa-se, na saída do comparador, um nível baixo. A figura 23 mostra as formas de onda obtidas a partir do esquema da figura 22.

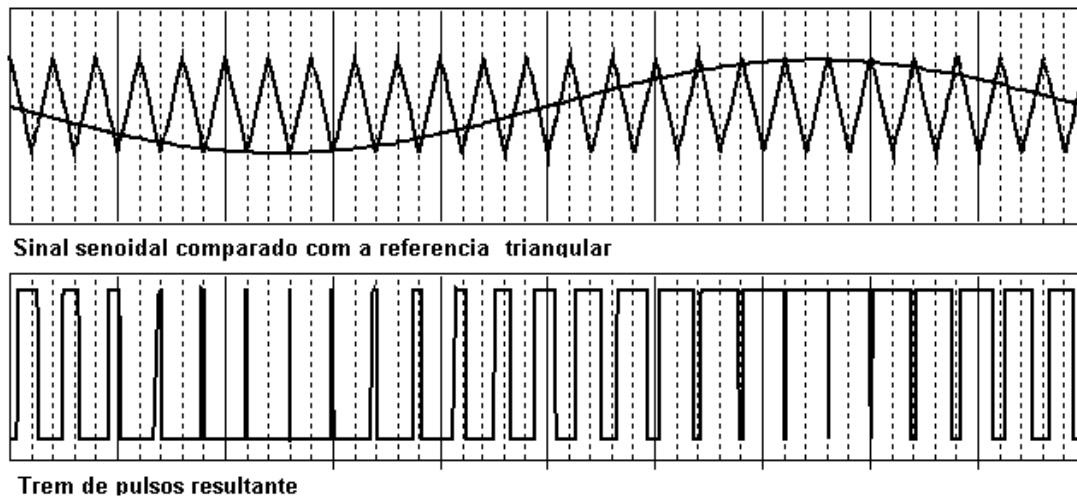


Figura 23 – Formas de onda dos sinais de entrada e da saída do comparador

O trem de pulsos resultante carrega informações sobre o sinal de entrada e a frequência de chaveamento da onda triangular usada como portadora. Uma medida de frequência do trem de pulsos é mostrada na figura 24. Nota-se que a densidade de potência espectral do sinal de chaveamento f_s é afastado da densidade de potencia espectral do sinal de entrada f_N , o que permite demodular o sinal com certa facilidade e recuperar o sinal de entrada.

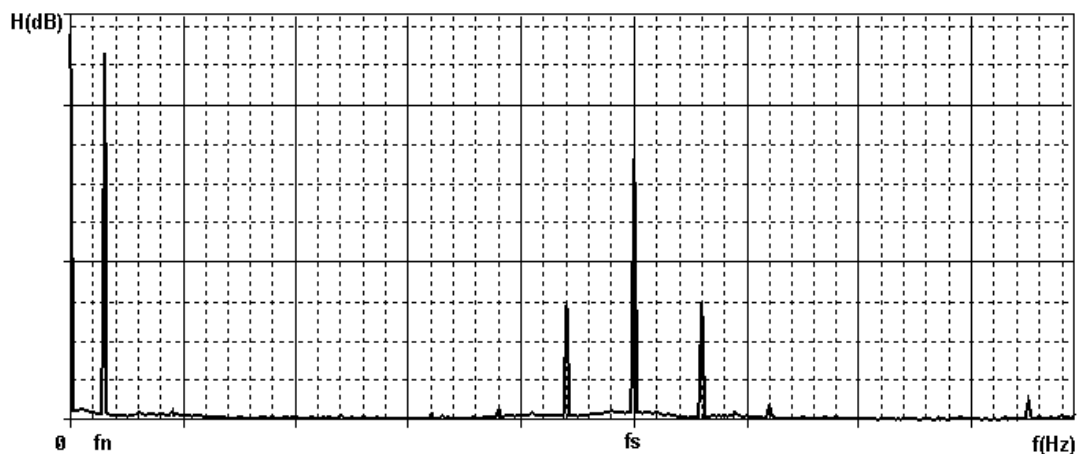


Figura 24 – Espectro de frequências do trem de pulsos de saída

A modulação PWM é atrativa em muitos casos por sua facilidade de implementação e também porque pode ser facilmente modulada em malha aberta com um sinal de referência na faixa de kHz, além de ser estável mesmo quando está perto de 100% de modulação. No entanto, existem vários problemas que limitam o uso deste tipo de modulação, como por exemplo, altos níveis de THD. A energia do sinal portador se distribui numa banda estreita de frequência, podendo causar interferência eletromagnética. [8]

Outro problema pode ser visto na figura 25. Quando a modulação está perto de 0% ou 100%, o pulso pode ser tão estreito que não tem capacidade de acionar uma chave de potência, ocorrendo a perda da informação e, conseqüentemente, gerando distorção.

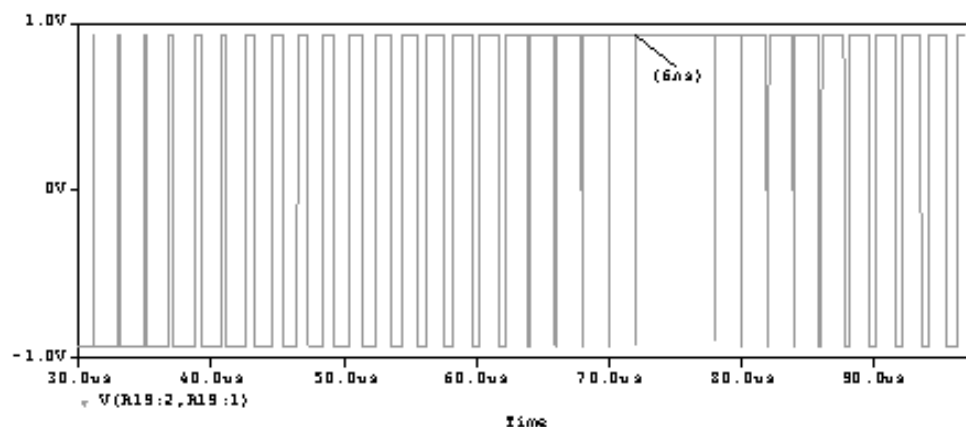


Figura 25 – Simulação da perda do pulso devido a uma largura de pulsos muito estreita

3.2 Modulação Sigma-Delta

Uma alternativa para os problemas encontrados na modulação PWM é a modulação por densidade de pulsos ou PDM (Pulse Density Modulation), no qual a densidade de pulsos num dado tempo é proporcional ao valor médio do sinal de entrada. Os pulsos de duração variável da modulação PWM não ocorrem neste caso, pelo fato de os pulsos serem quantizados em múltiplos do período do clock do modulador.

A construção básica do modulador Sigma-Delta (SDM) de primeira ordem é mostrada na figura 26. A topologia é constituída por um sistema realimentado

negativamente, e a malha é constituída de um integrador, um comparador e um Flip-Flop D (FFD). Na realimentação, um conversor D/A envia o valor médio do trem de pulsos de saída para subtrair do sinal de entrada. Um clock habilita a saída do FFD nas bordas de subida, além de definir a precisão das amostragem do sinal modulado.

Os moduladores $\Sigma\Delta$ trabalham com uma frequência de clock muito superior a frequência do sinal de banda base. Qualquer conversor AD que tenha frequência de chaveamento maior que duas vezes a frequência de Nyquist [3] é considerado como Conversor AD sobreamostrado.

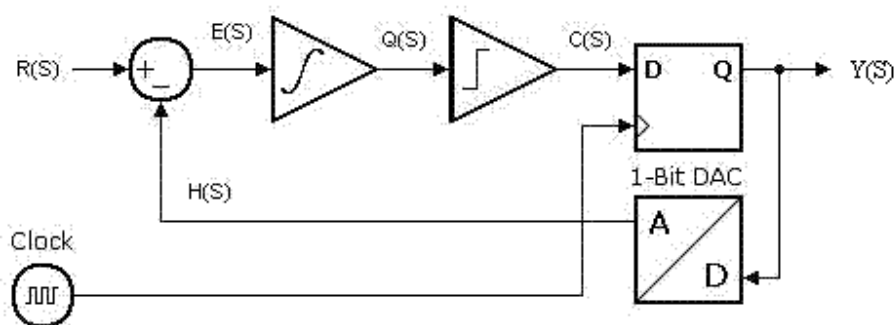


Figura 26 - Esquema do modulador Sigma-Delta de 1ª Ordem

O sistema funciona da seguinte maneira: toda vez que a integral do erro $Q(S)$ se torna maior que a referência de comparação, o nível de saída do quantizador $Y(S)$ (Latch) passa para nível alto e o erro se torna negativo. Quando a integral do erro $Q(S)$ se torna ligeiramente menor que a referência de comparação, a saída do quantizador $Y(S)$ cai para nível lógico baixo e a realimentação $H(S)$ se torna novamente positiva. Através da realimentação negativa, a integral dos sinais é mantida oscilando em torno da referência de comparação. Este procedimento pode ser observado na figura 27.

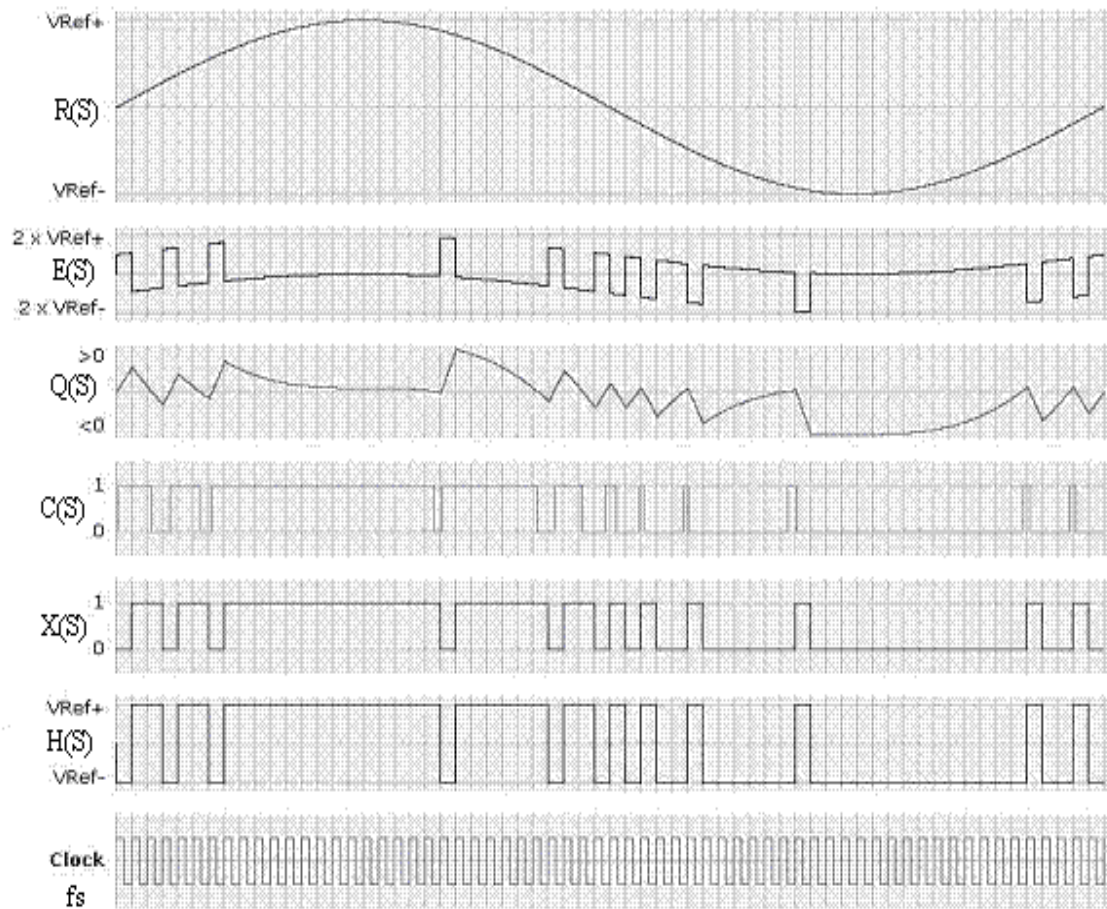


Figura 27 – Comportamento de um modulador SD de 1ª ordem [5]

A densidade de nível lógico alto (1) na saída do modulador é proporcional ao sinal de entrada. Para um incremento no sinal de entrada, o comparador aumenta a densidade de “1” na saída, e vice-versa. Somando a tensão de erro, o integrador atua como um filtro passa-baixas para o sinal de entrada e um filtro passa-altas para o ruído de quantização. Por este motivo, a maioria do ruído de quantização é alocado em altas frequências, como pode ser visto na figura 28. A sobreamostragem não alterou a potência do ruído em relação à modulação PWM, apenas sua distribuição.

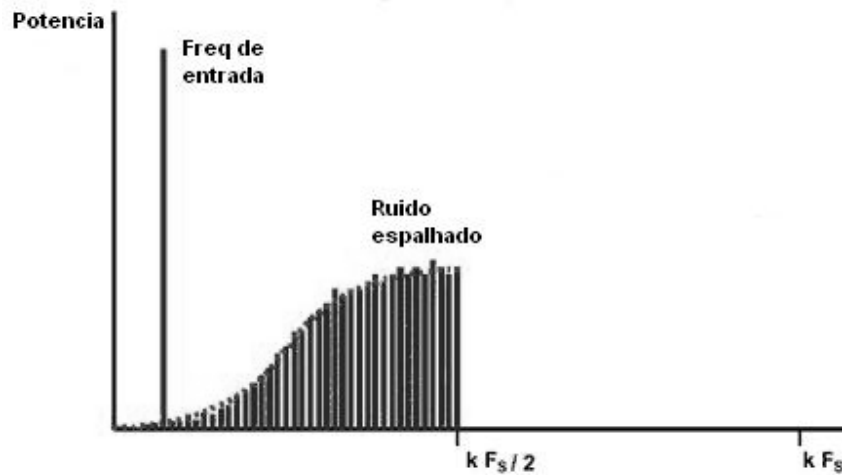


Figura 28 – Espectro de frequências de um modulador SD de 1ª ordem [5]

A relação SNR de um modulador de 1ª Ordem é dado em [2] por:

$$SNR = 30 \log OSR + 2,6(dB) \quad (13)$$

onde:

$$OSR = \frac{f_{amostragem}}{2 \cdot f_{base}} \quad (14)$$

A relação OSR é uma relação da taxa de sobreamostragem necessária que obedece ao critério de Nyquist para que não ocorra o efeito Aliasing (sobreposição da banda de amostragem com a banda de sinal). Portanto, analisando o SNR do modulador de 1ª ordem, pode-se observar que, a cada vez que a frequência de amostragem dobra de valor, ocorrerá uma melhora de 9dB na relação sinal ruído do modulador.

Adicionando-se um integrador a mais no circuito, aumentamos a ordem do modulador. Como ilustrado na figura 29, temos um modulador Sigma-Delta de 2ª ordem. A vantagem de se aumentar a ordem do modulador é a possibilidade de se aumentar ainda mais a SNR, podendo atingir com um modulador de segunda ordem até um SNR de 98dB (qualidade normalizada para faixa de áudio de CD, equivalente a 16Bits).

Para o modulador de segunda ordem [2] temos:

$$SNR = -10 \log \left(\frac{\pi^4}{5} \right) + 15,05r(dB) \quad (15)$$

Neste caso, um incremento de r , correspondente a uma multiplicação por 2 na frequência de amostragem, proporciona um aumento de 2,5 bits na resolução do modulador, ou 15dB de melhora no SNR.

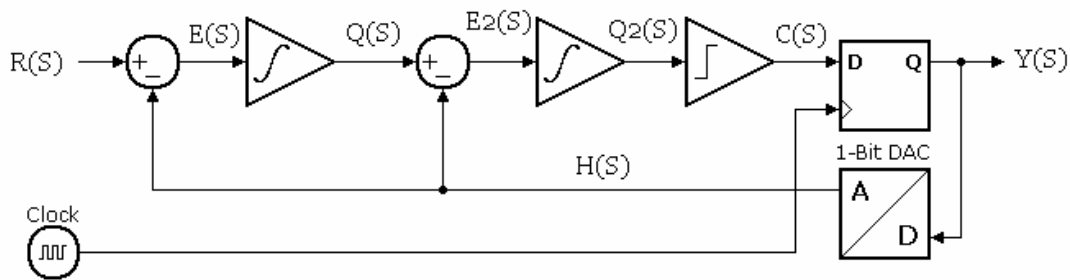


Figura 29- Modulador Sigma-Delta de 2ª Ordem

Como mencionamos, para o modulador de 1ª ordem, a cada vez que se dobra a frequência de amostragem, há um acréscimo de 9dB/oitava na relação sinal ruído, enquanto que para um modulador de 2ª ordem há um acréscimo de 15dB/oitava. Acrescentando integradores na topologia básica, pode-se aumentar a ordem do modulador indefinidamente mas, na prática, moduladores de ordem maiores que 4 começam a apresentar problemas de estabilidade. A figura 30 mostra uma comparação entre os moduladores de 1ª, 2ª e 3ª ordens, mostrando a relação de SNR por sobreamostragem. Um modulador de 3ª ordem com uma sobreamostragem de 64 vezes, pode alcançar um SNR maior que 100dB, que é suficiente para áudio com qualidade equivalente de 16Bits PCM.

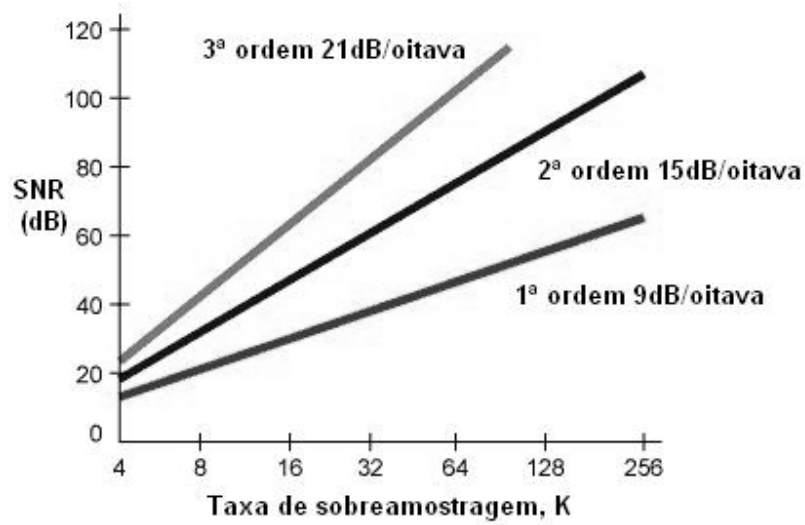


Figura 30 – Curva de comparativa entre 3 tipos de modulações SD [5]

Em moduladores $\Sigma\Delta$ de 1ª ordem, o ruído é modelado por uma função de transferência

$$H(Z) = [1 - Z^{-1}] \quad (16)$$

Em moduladores $\Sigma\Delta$ de 2ª ordem o ruído é modelado por um filtro com função de transferência

$$H(Z) = [1 - Z^{-1}]^2 \quad (17)$$

Quando a frequência de amostragem é dobrada. A relação sinal-ruído é aumentada de:

$$SNR = 10 \log(2^{2N+1}) dB \quad (18)$$

para um modulador $\Sigma\Delta$ de ordem N.

4. Inversores CMOS

O circuito de um inversor CMOS é mostrado na figura 31. Ele é formado por um transistor PMOS (M_1) e um transistor NMOS (M_2), ligados em série e com suas portas curto-circuitadas. Para um valor fixo do comprimento do canal (L), a largura (W) do transistor PMOS normalmente é de duas a três vezes o valor da largura do canal do transistor NMOS devido a diferença entre a mobilidade dos portadores do substrato P em relação ao substrato N. Esta configuração permite que o consumo de corrente seja muito pequena em aplicações digitais, nas quais o sinal elétrico aceitável a ser aplicado em sua entrada pode ser apenas V_{DD} ou GND. Portanto, enquanto um transistor satura, o outro está em corte, fazendo com que a resistência entre V_{DD} e GND seja sempre muito alta.

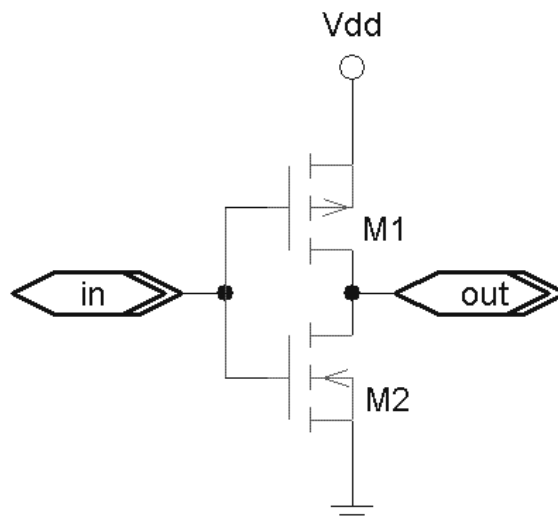


Figura 31 – Topologia básica de um inversor CMOS

Para iniciar a análise de uma porta inversora, primeiramente deve-se analisar o comportamento isolado de cada um dos transistores que compõe o circuito.

O comportamento de um transistor MOS, operando na região de saturação, é regido pela equação (19) [6]:

$$i_D = K \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 \quad (19)$$

Na figura 32, pode ser observada a curva $I_D \times V_{GS}$ dos transistores NMOS e PMOS complementares, para um valor fixo de V_{DD} . Idealmente, o cruzamento das duas curvas deveria ser em $V_{DD}/2$, pelo fato de serem complementares, mas sempre existe uma discrepância entre o valor da tensão de threshold (V_T) do transistor N e do transistor P. Esta diferença é mais perceptível quando o valor de V_{DD} for baixo (perto de 1V), pois a diferença de V_T de um transistor para outro fica por volta de 0,2V.

Este ponto de cruzamento pode ser variado conforme varia-se a razão W_n/W_p . Quando a razão cresce, a tensão na qual ocorre o cruzamento aumenta, e quando a razão diminui a tensão de cruzamento diminui. [6]

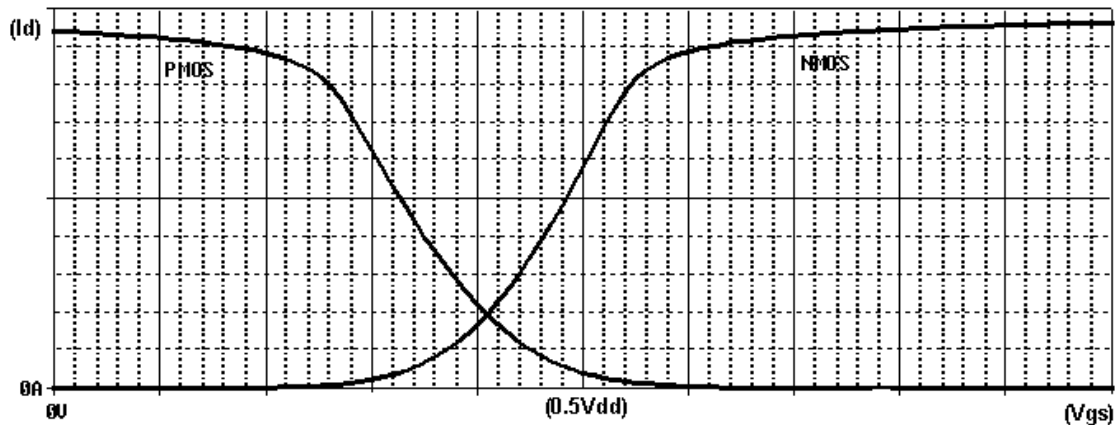


Figura 32 – Curva $I_D \times V_{GS}$ para o transistor NMOS e PMOS complementares

A figura 33 mostra a mesma curva para os transistores na configuração de inversor. Esta região é crítica, pois é onde ocorre o maior consumo de corrente. Os inversores são projetados para não trabalhar nesta região, devido à grande dissipação de potência.

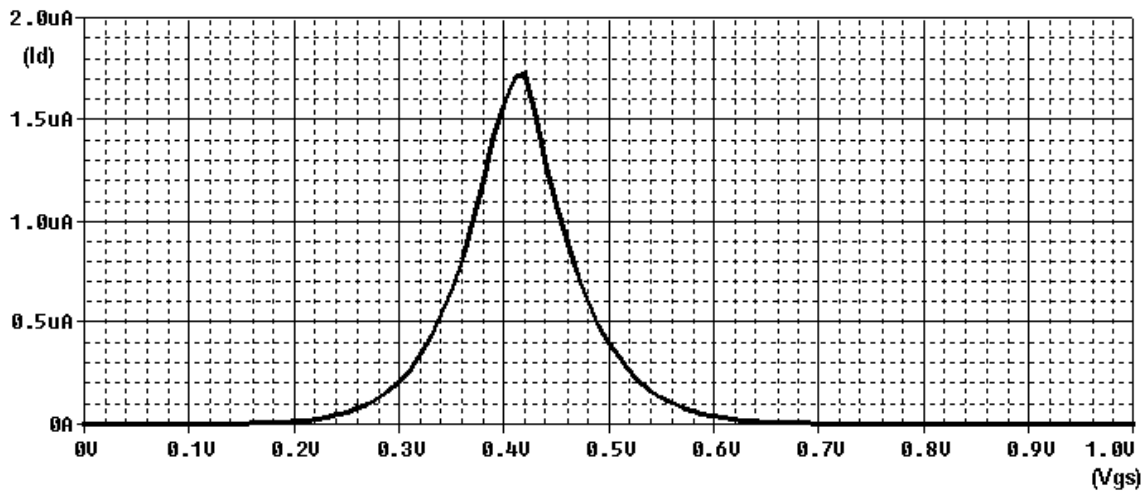


Figura 33 – Curva $I_d \times V_{gs}$ para uma porta inversora CMOS, para um inversor com

$$W_p = 1,6.W_N = 3,2\mu m \text{ e } L_p = L_N = 0,6\mu m$$

Observa-se, entretanto, que apesar da corrente quiescente ser nula para aplicações digitais, a capacidade de fornecer corrente do inversor CMOS é alta. Por exemplo, com a entrada em nível alto no circuito da figura 31, o transistor N pode drenar uma corrente de carga relativamente alta. Esta corrente pode rapidamente descarregar uma dada capacitância de carga na saída. Pela sua capacidade de “puxar” corrente para o terra, o transistor N é também conhecido como dispositivo abaixador (pull-down). De forma similar, com a entrada em nível baixo, o transistor P pode fornecer uma corrente de carga relativamente grande. Essa corrente pode carregar rapidamente uma capacitância de carga. Portanto o transistor P é também conhecido como dispositivo elevador (pull-up). Por este motivo os inversores são também muito utilizados como drivers em acionamentos de chaves de maior potência. [5]

4.1 Curva de Transferência de Tensão

Outra importante característica das portas inversoras é sua Curva de Transferência de Tensão (CTT), como mostrado na figura 34. Esta curva pode ser dividida em 5 regiões distintas de operação; A, B, C, D e E. [17]

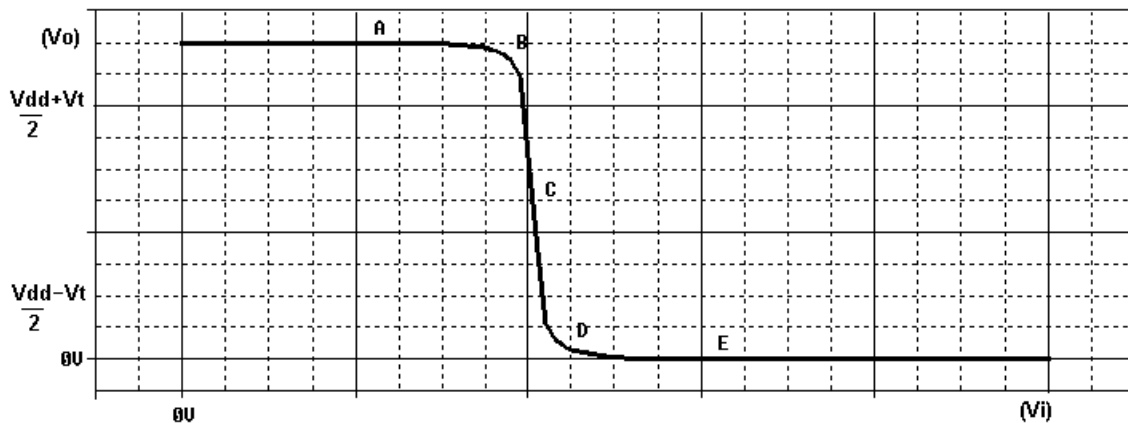


Figura 34 – Curva de transferência de tensão de uma porta CMOS para o circuito da figura 31

Na região A, o sinal de entrada está em nível lógico baixo e o transistor P está saturado, enquanto o transistor N está em corte, portanto V_{DD} é conectado à saída do inversor. Na região B, o transistor P continua saturado e o transistor N está na região linear. Esta região é conhecida como “Zona morta” pelo fato de não ser útil em aplicações digitais típicas. Na região C, ambos os transistores estão na região de saturação, e é também onde ocorre seu consumo máximo de corrente. Nesta região, o inversor tem a característica de amplificador linear, operando em classe AB. Na região D, o transistor N está saturado enquanto o transistor P está na região linear. Finalmente, na região E, o transistor N está saturado e o transistor P está em corte e GND é conectado à saída.

4.2 Inversores CMOS aplicados em circuitos analógicos

Observando a CTT característica dos inversores CMOS, nota-se que, na região C, o amplificador é linear e proporciona alto ganho de tensão. Para analisar essa região, o circuito da figura 35 é considerado. [17]

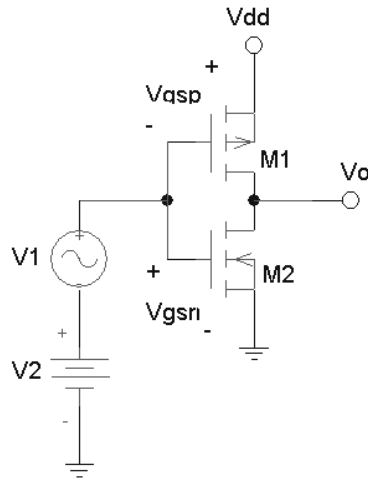


Figura 35 – Inversor CMOS polarizado em sua região linear

Para que o inversor trabalhe na região de amplificador linear, a fonte de polarização V_2 deve estar ajustada para o valor em que ambos os transistores estejam na região de saturação, que idealmente é $V_{DD}/2$, salvo as diferenças nos valores de V_T dos transistores N e P e ajustes na relação W_n/W_p .

Nestas condições, um amplificador linear baseado em inversores CMOS pode proporcionar um ganho que varia de 50 a 150, dependendo da tecnologia utilizada e considerando uma tensão de Early (V_A) elevada, a ponto de não interferir no ganho dos transistores. Dado que a faixa da tensão de entrada é muito estreita, como observado na figura 34, torna-se necessário o uso de algum tipo de realimentação para que o sistema se torne estável.

O circuito da figura 36 mostra um circuito realimentado, de forma que o ganho é definido pela equação 17:

$$A_v = -\frac{R_1}{R_2} \quad (17)$$

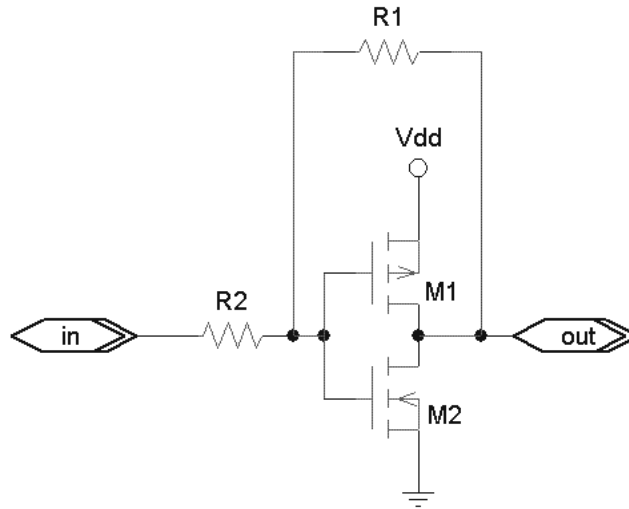


Figura 36 – Circuito realimentado operando como amplificador

A equação, para um sistema com realimentação negativa, é definida em [10] como:

$$A_f = \frac{A}{1 + AB} \quad (20)$$

Se A for o ganho em malha aberta e B o fator de realimentação, a equação mostra que, para que o circuito tenha a resposta de ganho esperada, o ganho de malha aberta A deve ser muito alto. Sendo assim, o fator de realimentação torna-se o único parâmetro que define o ganho, ou seja, $1/B$. [10]

Para o caso dos inversores, onde o ganho em malha aberta varia de 50 a 150, podemos estimar o ganho real que o sistema irá oferecer. Supondo que a relação dos resistores do circuito da figura 36 estejam configurados para obter um ganho de 10 no amplificador, temos que:

$$B = \frac{1}{10}$$

e,

$$A_f = \frac{50}{1 + 5} = 8,3 \quad \text{para } A = 50$$

$$A_f = \frac{150}{1+15} = 9,4 \quad \text{para } A = 150$$

Uma simulação mostra a resposta do circuito realimentado na figura 37. O inversor simulado tem um ganho em malha aberta de 50, ou 34dB.

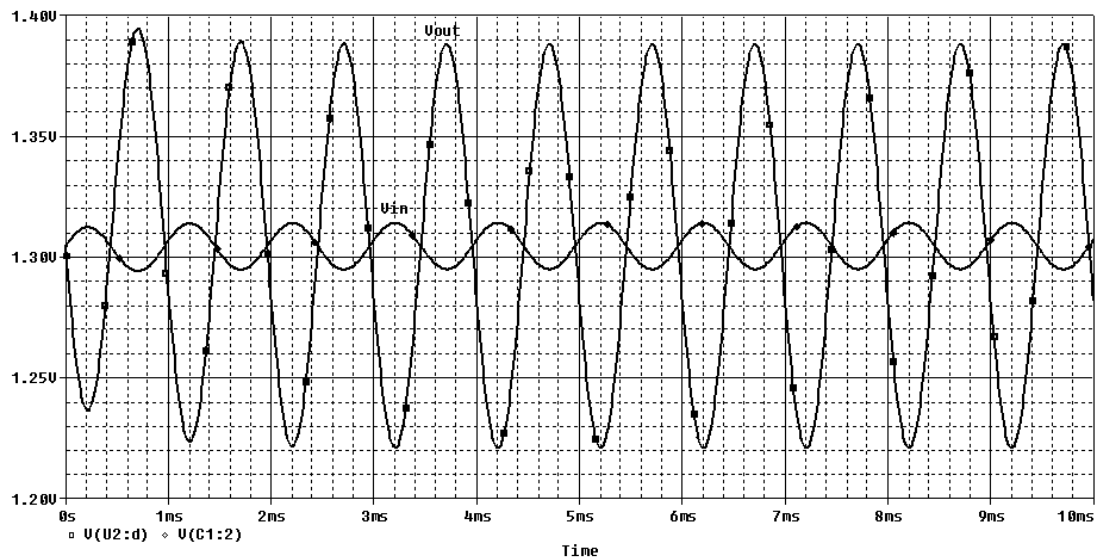


Figura 37 – Amplificador inversor realimentado para um $A = 34\text{dB}$ utilizando o inversor da figura 31

O ganho esperado era 10, mas o baixo valor de A, diminuiu-o para 8,3. Esta limitação pode ser resolvida pela adição de portas inversoras em cascata, fazendo com que seus ganhos se multipliquem, como mostrado na figura 38.

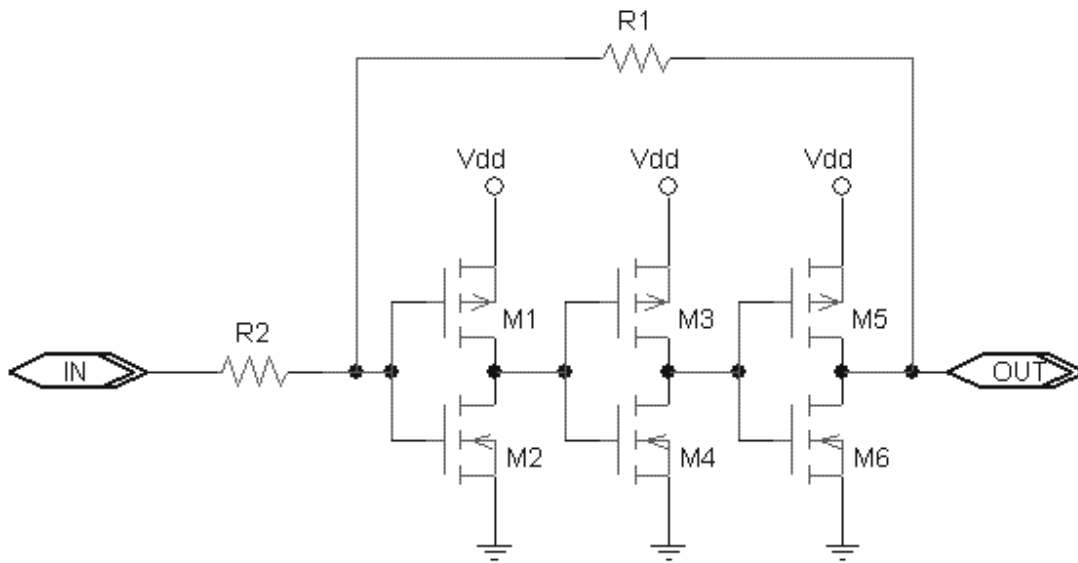


Figura 38 – Topologia para aumentar o ganho em malha aberta do circuito

Uma simulação realizada com a configuração da figura 38, com relação de resistores para obter um ganho 10, é mostrada na figura 39.

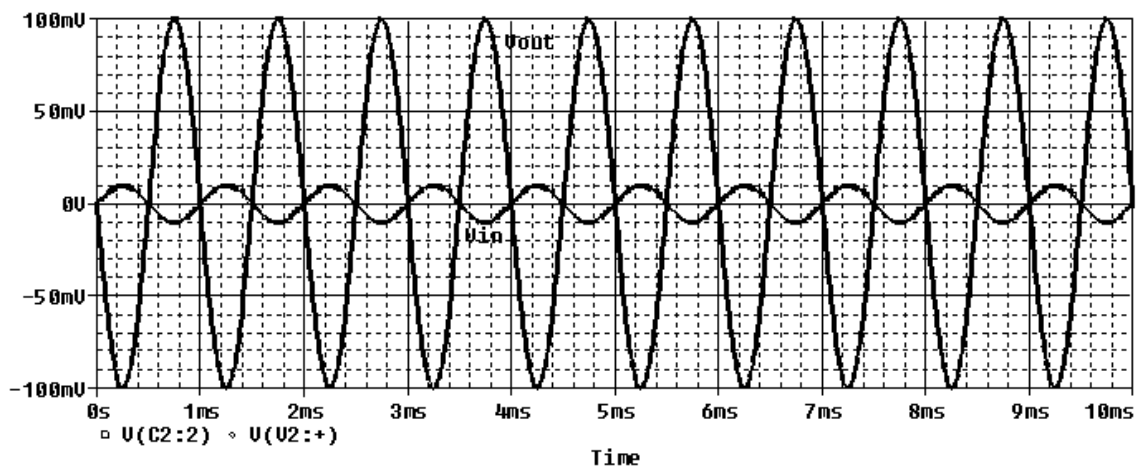


Figura 39 – Resposta do ganho em malha fechada para o sistema em cascata utilizando o inversor da figura 31

Pode-se notar que agora o ganho é definido apenas pela relação de resistências, pois o ganho A em malha aberta é muito maior que o fator de realimentação B (definido pela relação dos resistores), de modo que o ganho A da equação (20) pode ser desconsiderado.

Este ganho pode ser ajustado de forma a tornar o sistema estável para altas frequências, ou para qualquer valor de realimentação, ajustando os valores de largura e comprimento do canal dos transistores.

Este mesmo conceito pode ser aplicado para construir um comparador entre um sinal analógico e uma referencia de tensão. Com sua entrada polarizada na região de amplificador linear, um sinal qualquer na entrada pode saturá-lo para V_{DD} ou GND. Ainda, conectando vários inversores em cascata, torna a resposta do comparador mais rápida. Uma simulação feita com um comparador de 3 estágios, com uma onda senoidal de entrada, é mostrada na figura 40.

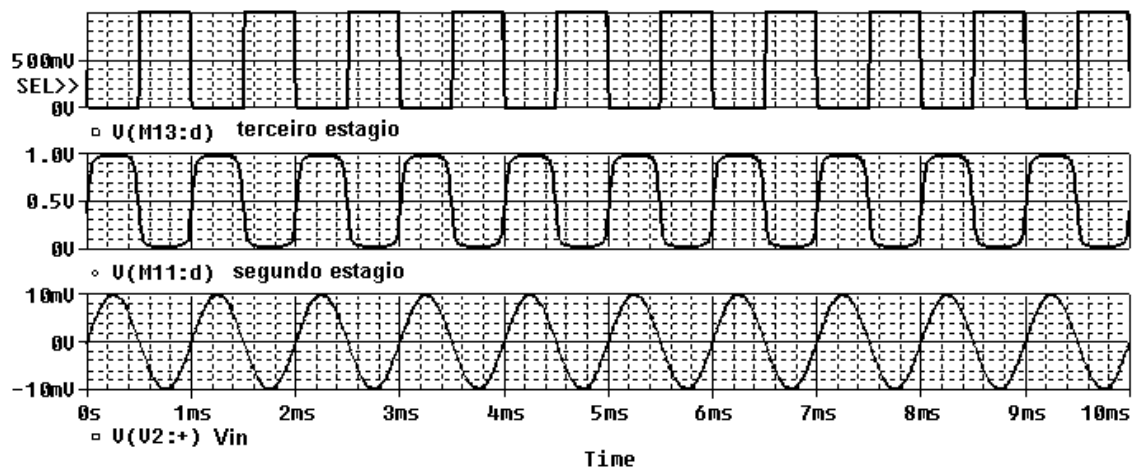


Figura 40 – Inversor CMOS como um comparador polarizado a $V_{DD}/2$

Outra característica importante dos inversores CMOS, operando em sua região linear, é seu consumo em função da tensão de alimentação. A figura 41 mostra a curva da resposta de corrente para um inversor CMOS, variando-se a tensão em sua entrada de 0 a V_{DD} , para três tensões de alimentação diferentes e com dimensões iguais. Nota-se que o pico de consumo de corrente (região linear de operação) é consideravelmente menor para uma alimentação de $1V_{CC}$, e aumenta exponencialmente com um aumento linear de V_{DD} .

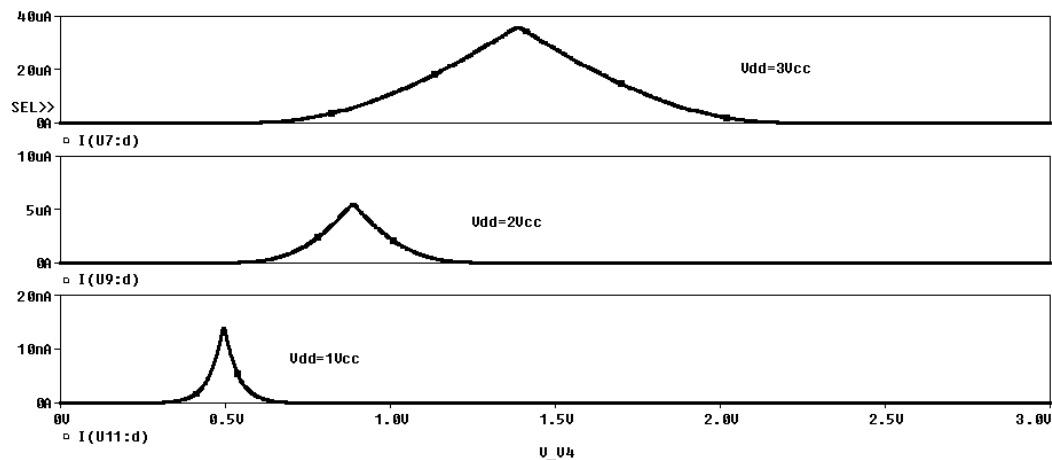


Figura 41 – Curva da corrente de um inversor CMOS em função da tensão em sua entrada para três tensões de alimentação diferentes relativo ao inversor da figura 31

É importante considerar a corrente que o inversor consome na sua região linear, pois define uma importante relação entre consumo e velocidade do mesmo. Traçando-se a curva de corrente em função da tensão de entrada mostra também o ponto de polarização do circuito quando o mesmo é realimentado, que ocorre na tensão de pico de corrente.

O circuito com inversores CMOS em cascata formam amplificadores e comparadores, quando devidamente compensados em frequência e polarizados, sendo que para este trabalho essa polarização é realizada utilizando outro inversor com a mesma dimensão. O uso destas fontes de referências será de grande importância ao circuito do modulador sigma-delta, pois o mesmo faz com que todos os inversores amplifiquem de forma linear.

4.3 Análise de pequenos sinais

Para calcular o ganho de pequenos sinais, aplicam-se as regras básicas para modelo CA e analisa-se a malha. As regras gerais são: curto-circuitar as fontes CC e refazer o circuito com os modelos de pequenos sinais. Para uma primeira análise de baixa frequência, podem-se ignorar todas as capacitâncias [5]. O circuito resultante é mostrado na figura 42.

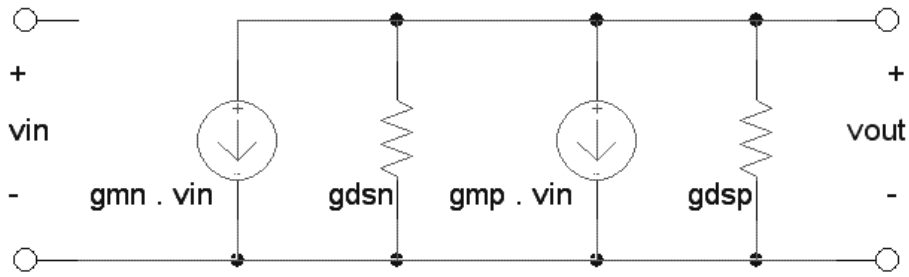


Figura 42 – Circuito equivalente para pequenos sinais de um inversor CMOS

onde

g_{mn} = transcondutância do transistor N

g_{dsn} = condutância entre dreno e fonte do transistor N

g_{mp} = transcondutância do transistor P

g_{dsp} = condutância entre dreno e fonte do transistor P

É também necessário especificar a polarização do inversor para o cálculo. Primeiramente assume-se o ponto quiescente em $v_{in}=V_{th}=v_{out}$, que corresponde ao ponto no qual ambos os transistores estão saturados e o ganho é maximizado.

Por inspeção do circuito equivalente da figura 42, pode-se observar que:

$$v_{out} = -(g_{mn} + g_{mp})v_{in}.r_o \quad (21)$$

onde

$$r_o = \frac{1}{g_{dsn} + g_{dsp}} \quad (22)$$

é a resistência total entre dreno e fonte. Portanto, o ganho para pequenos sinais e baixa frequência pode ser calculado a partir de:

$$a_v = \frac{v_{out}}{v_{in}} = -\frac{g_{mn} + g_{mp}}{g_{dsn} + g_{dsp}} \quad (23)$$

considerando que ambos os transistores estão saturados, a equação (23) pode ser rescrita na forma: [5]

$$a_v = -\sqrt{\frac{2}{I_D}} \left(\frac{\sqrt{\beta_n} + \sqrt{\beta_p}}{\lambda_n + \lambda_p} \right) \quad (24)$$

onde

$$\beta = K' \left(\frac{W}{L} \right) \quad (25)$$

e

$$K' = \mu C_{ox} \quad (26)$$

λ = fator de efeito de corpo (que em casos de canal longo podem ser desprezados)
e I_D = corrente de polarização.

4.4 Resposta em frequência

A resposta em frequência de um inversor é determinada pelas capacitâncias, como ilustra a figura 43.

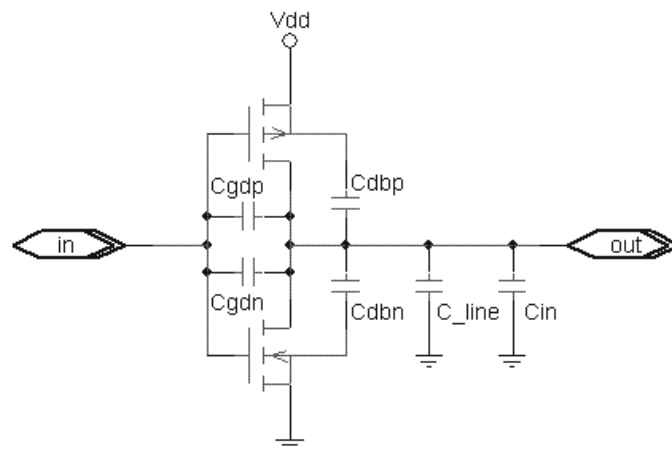


Figura 43 – Capacitâncias parasitas relevantes em um inversor CMOS

Portanto, a capacitância no nó de saída é dada por:

$$C_o = (C_{gdn} + C_{gdp}) + (C_{dbn} + C_{dbp}) + C_{line} + C_{in} \quad (27)$$

onde

C_{gdn} e C_{gdp} = capacitância parasita entre porta e dreno dos transistores N e P respectivamente.

C_{dbn} e C_{dbp} = capacitância parasita entre dreno e corpo dos transistores N e P respectivamente

C_{line} = capacitância parasita relacionada com a trilha de conexão entre dois estágios inversores

C_{in} = capacitância parasita relativa ao próximo estágio inversor

As capacitâncias de depleção são calculadas no ponto de polarização. Isso permite a construção do circuito da figura 44.

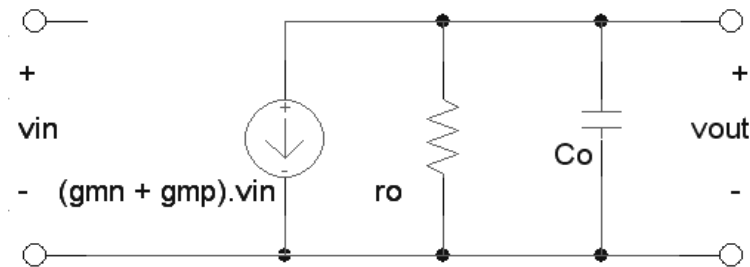


Figura 44 – Circuito equivalente de pequenos sinais adicionado das capacitâncias parasitas

Por inspeção, pode-se determinar que a tensão de saída no plano s é dada por:

$$V_{out}(s) = -(g_{mn} + g_{mp}) \left[\frac{\left(\frac{r_o}{sC_o} \right)}{r_o + \left(\frac{1}{sC_o} \right)} \right] V_{in}(s) \quad (28)$$

$$a_v(j\omega) = \frac{-(g_{mn} + g_{mp})r_o}{1 + j\left(\frac{\omega}{\omega_1}\right)} \quad (29)$$

onde

$$\omega_1 = \frac{1}{r_o C_o} \quad (30)$$

é a frequência de corte do inversor.

A resistência residual para os transistores conduzindo totalmente, r_{ds} , que é o inverso da condutância citada, g_{ds} , para cada transistor, é definida pelas equações 31 e 32, respectivamente para o transistor N e para o transistor P.

$$r_{dsn} = \frac{1}{\left[k_n \left(\frac{W}{L} \right)_n (V_{DD} - V_{tn}) \right]} \quad (31)$$

$$r_{dsp} = \frac{1}{\left[k_p \left(\frac{W}{L} \right)_p (V_{DD} - |V_{tp}|) \right]} \quad (32)$$

A análise da resposta em frequência mostra a dependência do inversor CMOS com suas dimensões. Existe um compromisso entre resposta em frequência e dimensão do transistor. Um transistor com área grande proporciona um melhor casamento entre transistores próximos no circuito integrado. Mas sua resposta em frequência fica reduzida.

O rendimento do estágio de saída do amplificador classe D é, em grande parte, definido pela resistência de dreno nos transistores de potência quando estão conduzindo. Este fator é unicamente dependente da área dos transistores, como pode ser visto nas equações (31) e (32).

5. O circuito do amplificador

O objetivo é a construção de um amplificador de alta impedância de entrada e baixa impedância de saída e potência para acionar o transdutor de saída do aparelho auditivo (receiver). Este amplificador, além de possuir suficientes linearidade, precisas possuir também alto rendimento, já que será parte de um aparelho portátil.

A banda de voz humana está dentro da faixa de 500Hz a 3300kHz, portanto não há necessidade de se projetar um amplificador que atinja toda faixa de frequência audível.

A maioria dos aparelhos auditivos utiliza atualmente técnica de modulação PWM. Isso ocorre provavelmente pela fácil implementação do circuito e pela baixa frequência de chaveamento. Uma grande desvantagem destes circuitos é que são implementados em malha aberta pagando o preço de um aumento na distorção harmônica total do sinal de áudio (THD). [11] Por este motivo a modulação $\Sigma\Delta$ se mostrou mais favorável, pois possui uma malha de realimentação que monitora as amostras do sinal de saída com o sinal de entrada, determinando a um tem de pulsos com valor médio mais próximo ao sinal analógico desta entrada.

A topologia do circuito modulador é mostrada na figura 45.

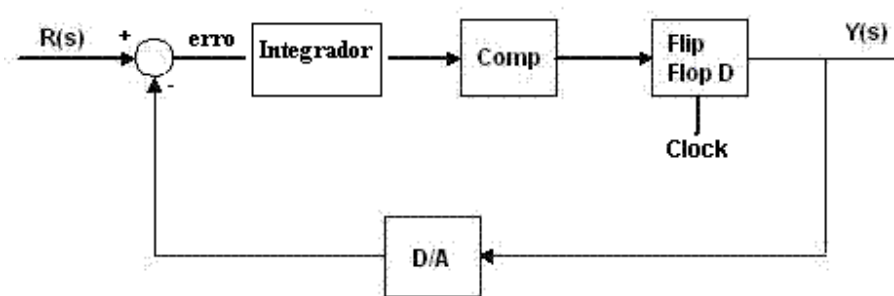


Figura 45 – Topologia do modulador SD de 1ª ordem

Um modulador Sigma-Delta de primeira ordem pode alcançar uma relação sinal ruído de: [2]

$$SNR = 30 \log OSR + 2,6 \quad (33)$$

Para o projeto, o clock escolhido foi de 1MHz, sendo que, para uma frequência máxima de 3kHz tem-se uma sobreamostragem OSR (over sampling ratio) de aproximadamente 167, já que a sobreamostragem é calculada referenciando-se ao critério de Nyquist, no qual a frequência de amostragem deve ser maior que duas vezes a maior frequência do sinal amostrado. Com este valor definido, pode-se agora estimar a relação sinal ruído de quantização esperada do modulador:

$$SNR = 30 \log \frac{1MHz}{6KHz} + 2,6 = 69,2dB \quad (34)$$

5.1 Implementação com inversores

A primeira realização prática do circuito foi baseada no circuito na figura 46. Este circuito foi dimensionado para aplicações discretas, para faixa de áudio, e pode também ser utilizado como conversor A/D, no qual o sinal analógico precisa ser processado de uma forma digital.

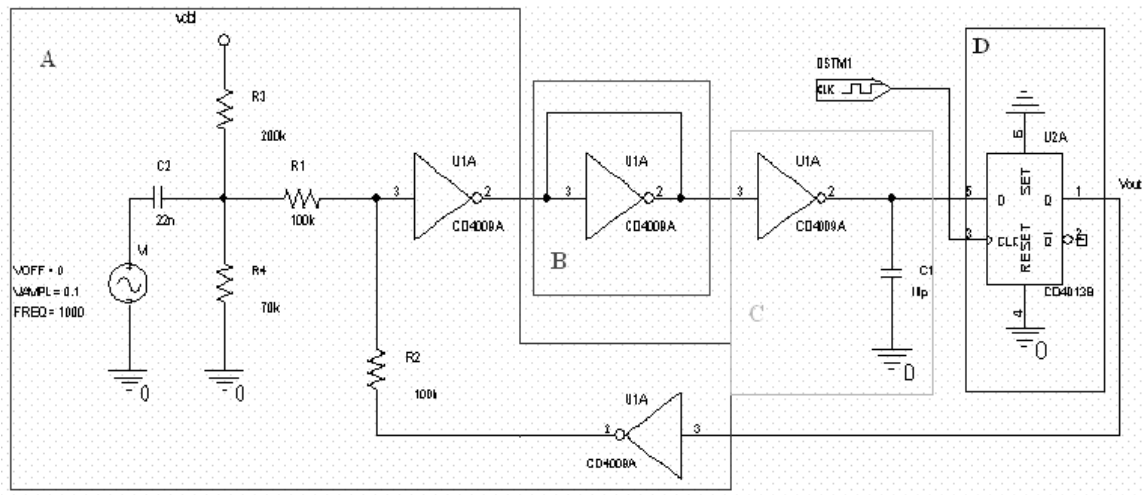


Figura 46 – Primeira topologia implementada do modulador Sigma Delta

D= Flip-Flop

A topologia utiliza dispositivos discretos, sendo que podem ser facilmente implementados em bancada. Um circuito convencional de modulador $\Sigma\Delta$ possui limitação da taxa de amostragem determinada pelo clock do sistema que aciona o FLip-Flop D. Entretanto, se o Flip-Flop D for retirado do circuito, o modulador pode ainda funcionar, entrando em uma outra classe de modulação, a chamada *Controle Bang-Bang* [11] que, realiza o chaveamento pela malha de realimentação do circuito. Na figura 47, observa-se que o Flip-Flop D foi substituído por dois inversores, de forma que o circuito oscile com sua realimentação negativa, porem com o sinal de entrada modulando os pulsos de saída.

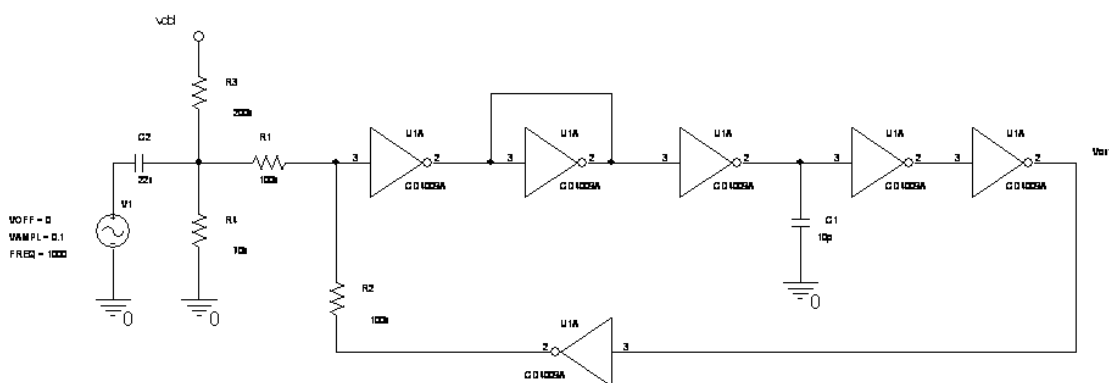


Figura 47 - Circuito discreto construído apenas com inversores CMOS

Um circuito integrado 4009 possui exatamente 6 inversores integrados no mesmo chip, portanto, o modulador pode ser implementado com apenas um CI e obter uma certa segurança de casamento, pois estão dentro de uma mesma seqüência de processo de fabricação.

A resposta do filtro pode ser observada na figura 48.

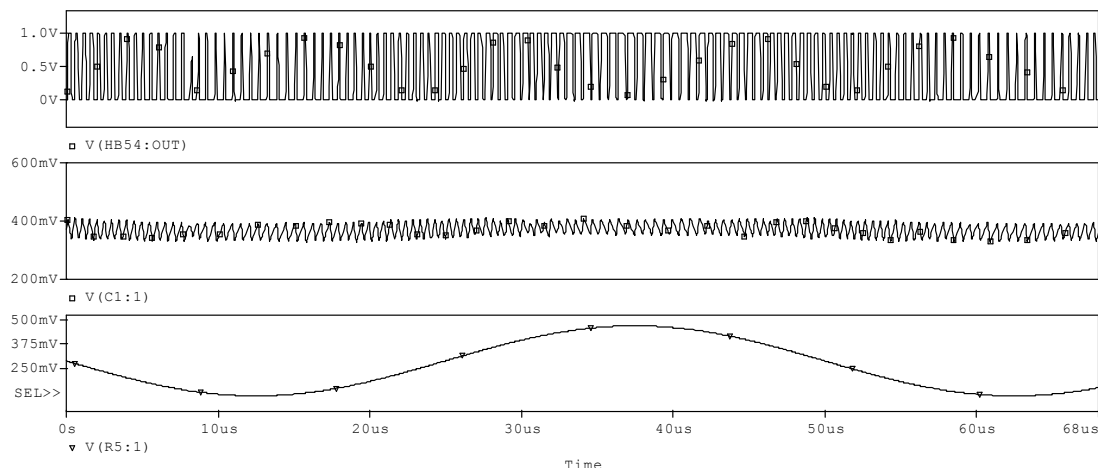


Figura 48 – Resposta do circuito SD sem Flip Flop D. A forma de onda V(HB54:OUT) mostra o trem de pulsos resultante da entrada analógica V(H5:1) e em V(C1:1) e resposta do erro filtrado pelo filtro passa-baixas

Para este sistema o funcionamento é um pouco diferente da proposta do modulador SD convencional. O integrador tem a função de determinar o período da taxa de amostragem ao invés de manter o erro próximo da sua referência. Por este motivo, a relação SNR diminui. Portanto, para este circuito, quanto menor o capacitor, maior a taxa de amostragem por período.

Na figura 49 pode-se observar a FFT do trem de pulsos de saída. O sistema, assim como em um modulador SD convencional, afasta o ruído da banda de interesse, espalhando-o em frequências muito maiores.

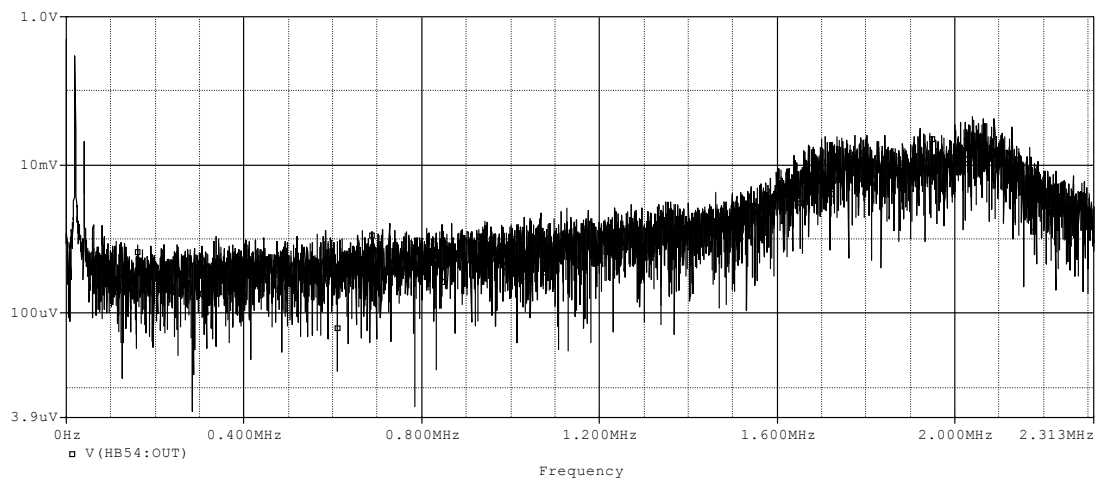


Figura 49 – FFT do sinal de saída do modulador sem Flip Flop D

O circuito foi implementado em bancada, e o resultado pode ser observado na figura 50, a entrada senoidal e a saída pulsada.

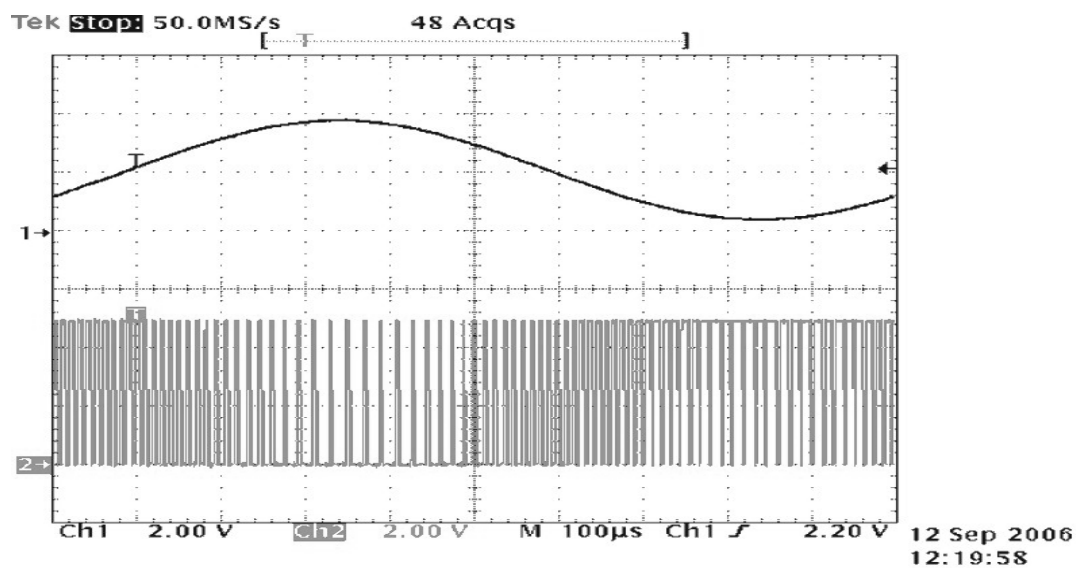


Figura 50 – Imagem do sinal de saída obtida do circuito implementado

Uma análise espectral foi também realizada e pode ser observada na figura 51. Pode-se notar que a concentração do ruído de quantização do circuito montado não é o mesmo do circuito simulado. Isto ocorre pelo fato das capacitâncias dos inversores 4009 se somarem ao capacitor do filtro passa-baixas, reduzindo as amostras do sistema.

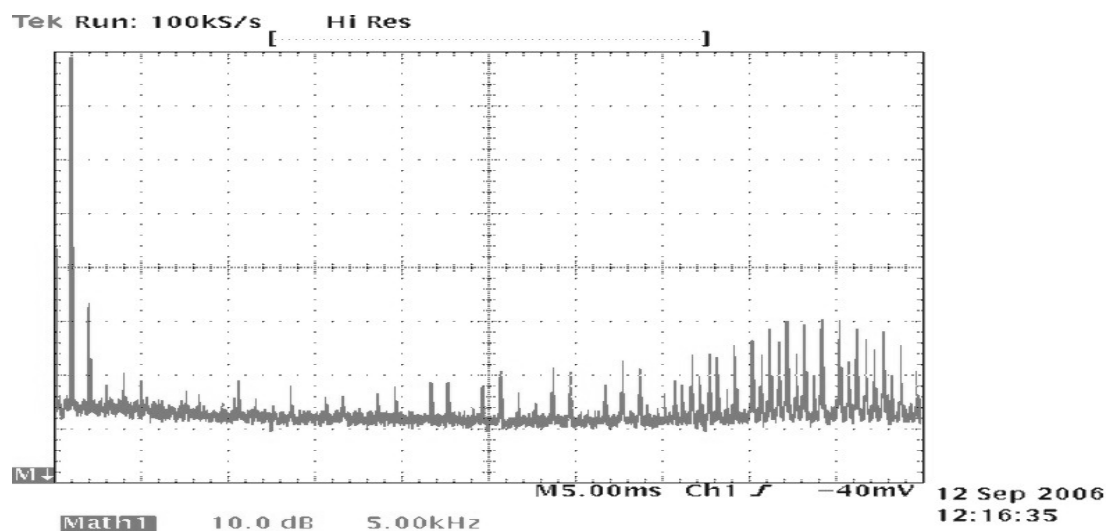


Figura 51 – FFT obtida do circuito montado em bancada

A partir destes resultados, foi realizada a implementação do circuito do modulador a ser integrado no chip. O circuito elaborado pode ser visto na figura 52. O dimensionamento dos blocos inversores (HD e HE) não é o mesmo para todo o circuito, pois há agora a implementação de um integrador no circuito, e o inversor que precede o capacitor não deve drenar excessiva corrente. O Flip Flop D foi também projetado de forma analógica e é analisado juntamente com os outros blocos a seguir.

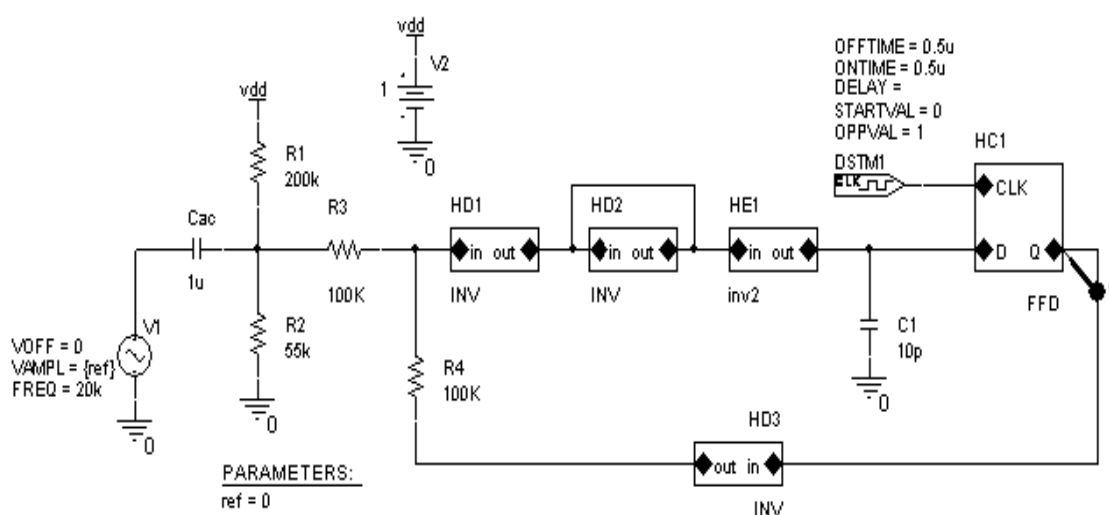


Figura 52 – Circuito do modulador SD para implementação no chip

5.2 Dimensionamento do inversor CMOS

Para otimizar seu funcionamento, os inversores devem ser dimensionados de forma a não consumirem excessiva corrente de polarização, e devem também ter capacidade de drenar corrente suficiente para que a capacitância parasita dos mesmos não seja dominante no atraso de resposta da malha. Portanto devem ter um *slew rate* elevado.

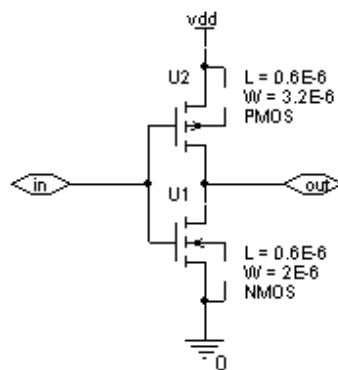


Figura 53 – Célula do inversor CMOS

Para atender estas especificações, o comprimento de canal dos inversores foi inicialmente ajustado a um valor reduzido de 0,6 μ m. O valor adotado para a largura dos transistores foi de $w_p=3,2\mu$ m e $w_n=2\mu$ m. Para estas dimensões, uma análise $I_d \times V_{in}$ é mostrada na figura 54. Pode-se notar que o ponto no qual há um maior consumo de corrente é onde o inversor irá trabalhar quando estiver polarizado.

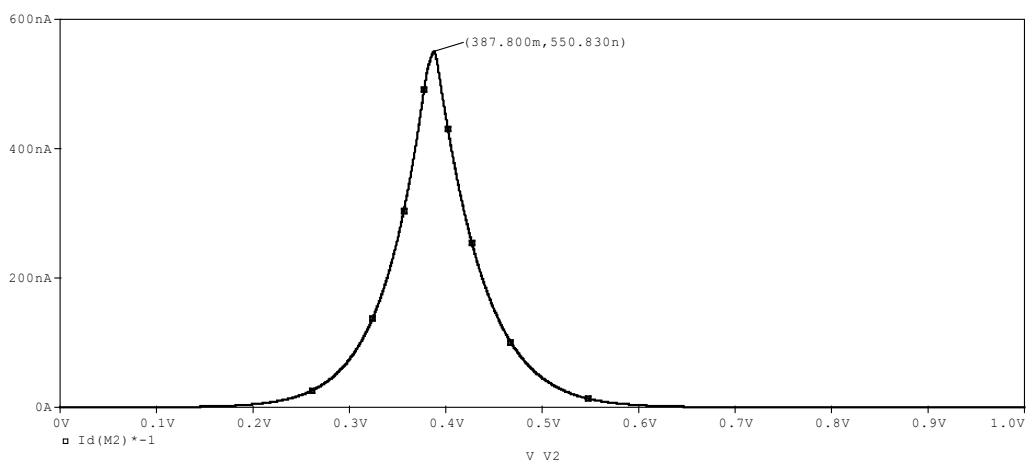


Figura 54 – Consumo de corrente do inversor em sua região linear

O circuito de polarização dos inversores pode ser visto na figura 55. Um curto circuito entre entrada e saída do inversor proporciona uma tensão de referência que polariza os inversores exatamente na sua região linear, se todos os inversores estiverem casados.

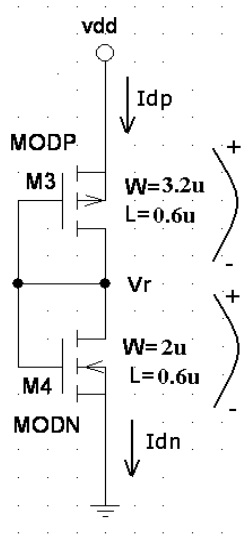


Figura 55 – Referência de tensão utilizada para polarizar o inversor

Nota-se que a corrente do transistor M3 é a mesma do transistor M4. Igualando-se a equação de corrente dos dois transistores obtemos a relação:

$$V_r = \frac{\sqrt{\beta_n} V_{tn} + \sqrt{\beta_p} (V_{DD} - |V_{tp}|)}{\sqrt{\beta_n} + \sqrt{\beta_p}} \quad (35)$$

Para o presente trabalho, a tensão de referencia obtida é de:

$$V_r = \frac{\sqrt{\frac{2}{0,6}} 115 \times 10^{-6} (0,4) + \sqrt{\frac{3,2}{0,6}} 60 \times 10^{-6} (1 - 0,6)}{\sqrt{\frac{2}{0,6}} 115 \times 10^{-6} + \sqrt{\frac{3,2}{0,6}} 60 \times 10^{-6}} = 0,4V$$

5.3 Integrador

O integrador, parte fundamental do modulador SD, é mostrado na figura 56. Para que o circuito funcione adequadamente como integrador este inversor deve ter característica de transcondutor e não de amplificador de tensão, como nos casos anteriores. Para isso, o inversor deve ser uma fonte de corrente dependente de tensão.

Para ser uma fonte de corrente, o inversor deve ter característica de alta impedância de saída, sendo que o comprimento de canal de ambos os transistores deve ser relativamente alto.

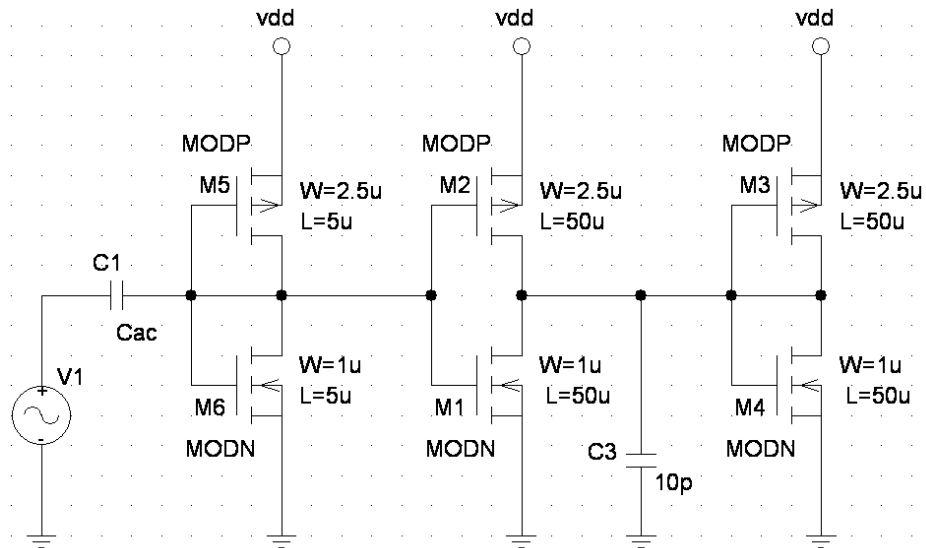


Figura 56 – Circuito do integrador baseado em inversores CMOS

As funções de transferência de um integrador e de um filtro passa-baixas são mostradas respectivamente nas equações 36 e 37;

$$FT_{\text{integrador}} = \frac{1}{s\tau} \quad (36)$$

$$FT_{PB} = \frac{1}{1+s\tau} \quad (37)$$

A figura 57 mostra a resposta em frequência do integrador. O que diferencia o integrador de um filtro passa-baixas é o fato de o integrador ter idealmente o pólo na origem, ou seja, é um filtro passa-baixas para qualquer frequência. Já o filtro passa-baixas tem o pólo na sua frequência de corte e não tem bom desempenho abaixo da frequência de corte para os moduladores sigma-delta.

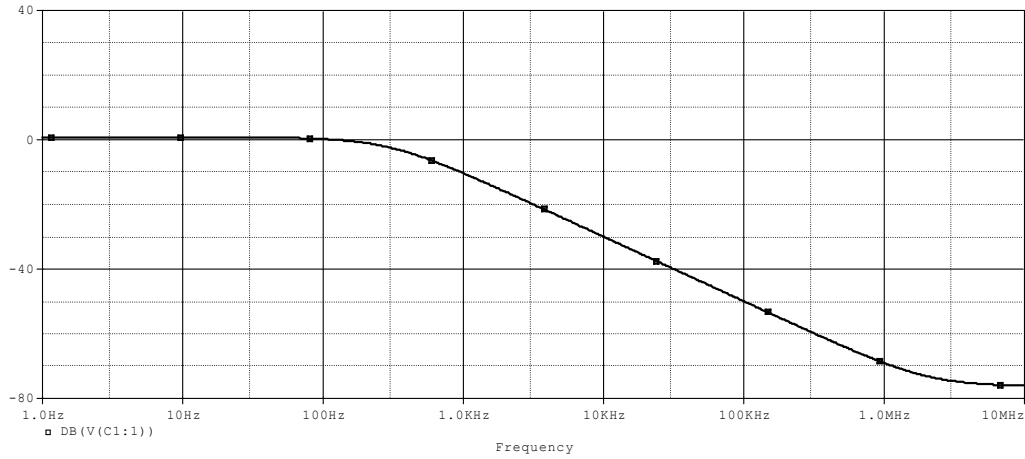


Figura 57 – Resposta em frequência do integrador da figura 56

É possível construir um integrador com baixa capacitância desde que o inversor tenha transcondutância baixa.

A resposta em frequência do integrador é dada por:

$$f_c = \frac{G_m}{2\pi C} \quad (38)$$

onde

$$G_m = \frac{1}{r_0} = \frac{1}{r_{DSM1}} + \frac{1}{r_{DSM2}} + \frac{1}{r_{DSM3}} + \frac{1}{r_{DSM4}} \quad (39)$$

As resistências entre dreno e fonte dos transistores M1, M2, M3 e M4 estão associadas em paralelo com o capacitor, proporcionando a constante τ .

5.4 Flip Flop D

A construção do Flip Flop D foi baseada na sua configuração convencional vista na figura 59.

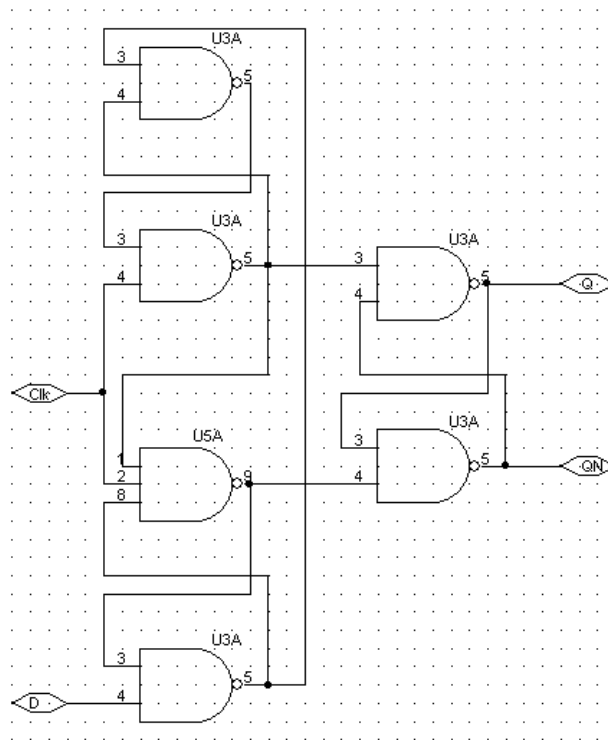


Figura 58 – Topologia convencional do Flip Flop D

O circuito é composto apenas de portas NAND e implementado na tecnologia CMOS, pode ser visto na figura 59. O circuito foi construído com as mesmas dimensões W e L dos inversores, para facilitar a implementação do layout.

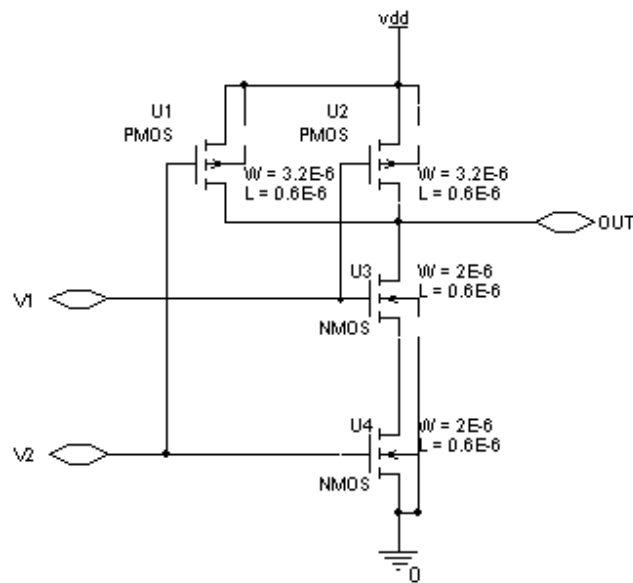


Figura 59 – Circuito da porta lógica NAND

A figura 60, mostra uma simulação realizada com o Flip Flop D (FFD), com uma tensão de alimentação de 1V, com um sinal de entrada de 100kHz e um clock de 1MHz. A saída Q armazena o sinal de entrada em toda borda de subida do clock.

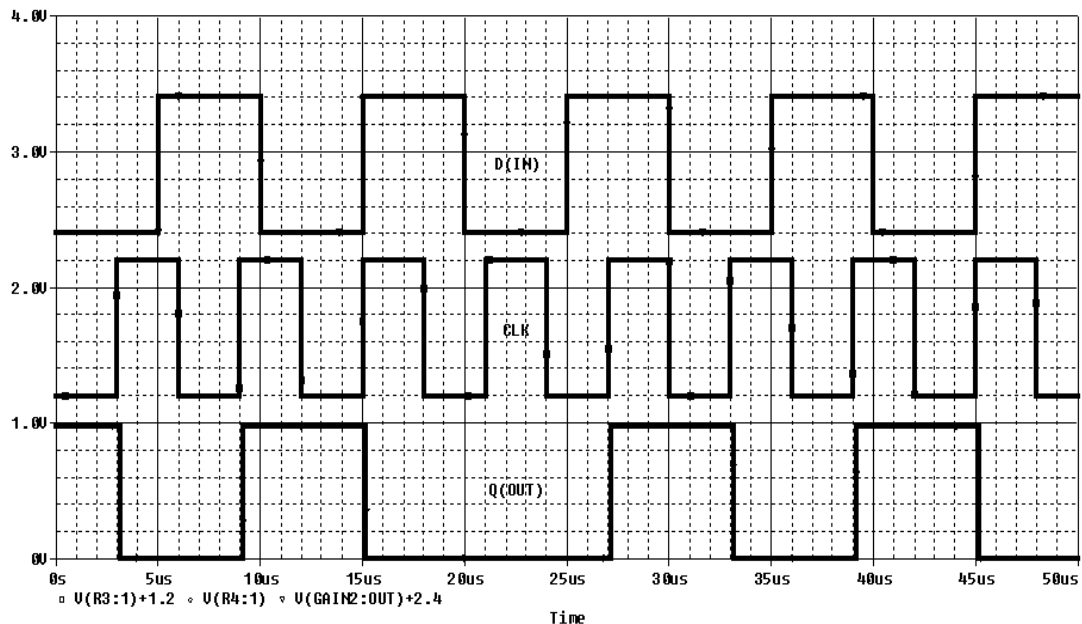


Figura 60 – Resposta do FFD, onde o clock (CLK) define a mudança de estado do sinal de entrada D(IN) para a saída Q(OUT) nas bordas de subida

5.5 Tensão de polarização do sinal de entrada

O sinal de áudio que entra no modulador deve ser polarizado de forma a excursionar igualmente entre os semiciclos positivos e negativo. O estágio de entrada pode ser observado na figura 61. Os resistores R_3 e R_4 que fazem parte do circuito somador de entrada, definem também a polarização CC na entrada de U_3 .

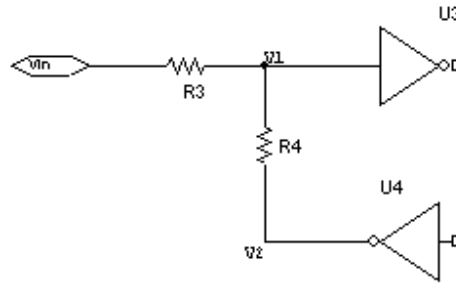


Figura 61 – Estágio de polarização do sinal de entrada

A tensão de polarização na entrada de U_3 deve ser próxima de 400mV para que o circuito funcione de forma linear. Para isso temos que a tensão de polarização na entrada do circuito deve ser: [18]

$$V_1 = \frac{R_4}{R_3 + R_4} V_{in} + \frac{R_3}{R_3 + R_4} V_2 \quad (40)$$

Os resistores adotados no projeto foram $R_3 = R_4 = 100k\Omega$, pois não devem ser maiores que as resistências de dreno dos transistores dos inversores. O valor de resistores iguais facilita o casamento na construção do layout no silício. O valor médio de V_2 deve ser de $0,5V_{DD}$, já que o mesmo carrega o sinal de saída modulado. Tendo esses valores, pode-se calcular o valor de polarização de V_{in} .

$$V_{in} = \frac{R_3 + R_4}{R_4} \left(V_1 - \frac{R_3}{R_3 + R_4} V_2 \right) \quad (41)$$

$$V_{in} = 0,274V$$

A polarização do circuito na entrada foi realizada com um simples divisor resistivo e um capacitor de desacoplamento DC, assim como pode ser visto na figura 62.

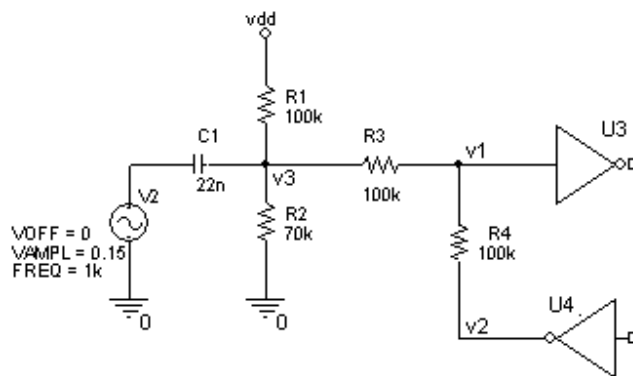


Figura 62 – Divisor resistivo implementado para polarização do sinal de entrada

Quando o divisor resistivo entra no circuito, o inversor U4 começa a fornecer corrente para os resistores R_1 e R_2 de modo que o valor obtido de polarização CC inicialmente deve ser reajustado. Por simulação, o valor necessário para de V_3 é agora 0,41V.

5.6 Estágio de saída

O estágio de saída foi projetado para acionar o transdutor modelo EF-29802-000, cedido gentilmente pela Knowles electroacoustics. Suas características podem ser observadas no apêndice A. Estão disponíveis no site da knowles modelos para

implementação em pspice, inclusive o modelo utilizado para fazer as simulações, juntamente com o estágio de saída. A figura 63 mostra a resposta em frequência da corrente no transdutor e sua fase. Pode-se observar pela fase do circuito, que em 1MHz (frequência de chaveamento) o transdutor tem característica indutiva, por este motivo o trem de pulsos pode ser diretamente acoplado ao transdutor sem causar danos ao mesmo.

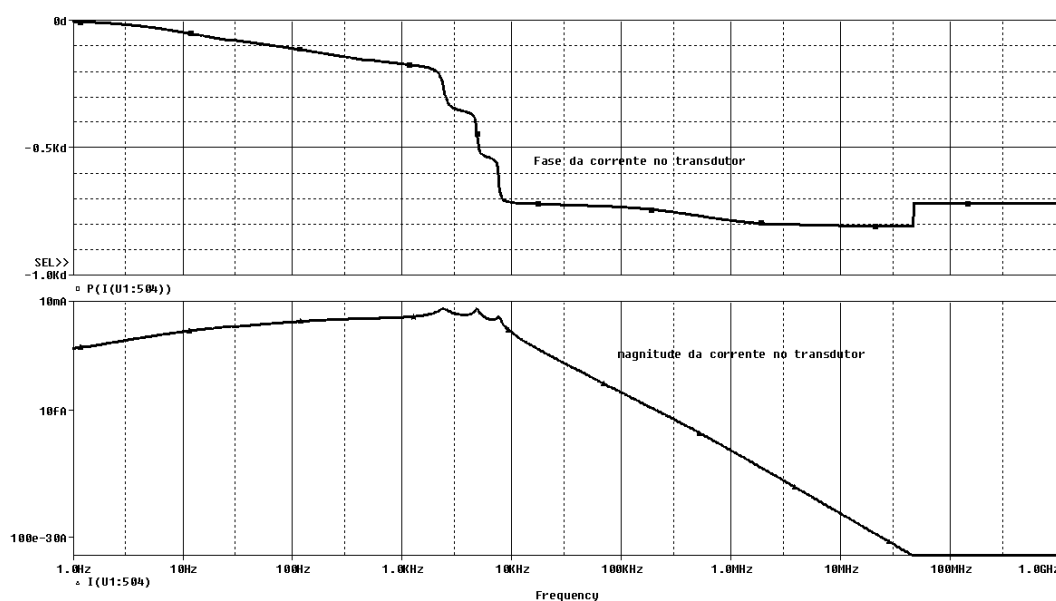


Figura 63 – Fase (acima) e Magnitude (abaixo) do transdutor EF-29802-000

Pelas especificações do transdutor, a topologia do estágio de saída pode ser construída simplesmente com inversores. O circuito pode ser visto na figura 64. O inversor composto pelos transistores M1 e M2, tem o objetivo de inverter o sinal que entra no inversor composto pelos transistores M3 e M4.

O circuito de atraso implementado tem grande utilidade para o estágio de saída, pois como a carga (transdutor) é indutiva na frequência do chaveamento, uma carga residual faz com que os transistores continuem conduzindo após o pulso comutar o sinal em suas entradas. Isso acarreta em uma grande diminuição na eficiência do amplificador, já que se M3 e M4 eventualmente conduzirem ao mesmo tempo, ocorre um curto circuito entre Vdd e GND.

O atraso proporcionado pelo sistema deve ser o menor necessário, pois uma constante de tempo alta pode aumentar a THD do sinal de áudio na saída do amplificador.

Por simulações, o melhor resultado que se obteve com esta configuração e tecnologia foi uma constante de tempo de 20ns, otimizado para maior eficiência e menor distorção harmônica.

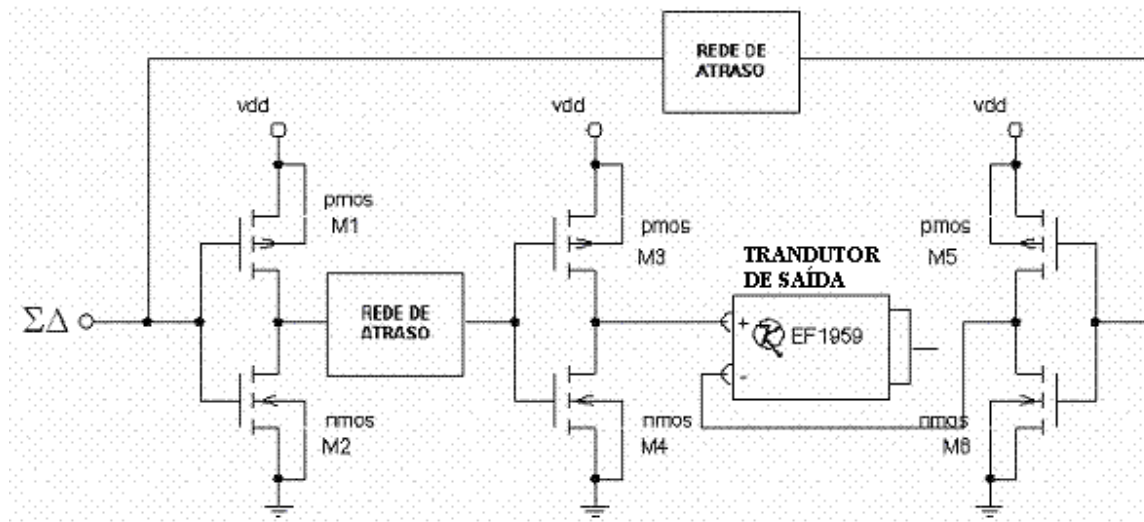


Figura 64 – Estágio de Saída na configuração ponte H com atrasos de pulso para aumentar a eficiência do sistema

A rede de atraso pode ser observada na figura 65. O circuito é composto por uma rede RC, 2 inversores e uma porta lógica AND. A malha composta por U1, R11, C6 e U2, proporcionam um atraso RC na entrada da porta de U4. Quando o nível muda de alto para baixo, o atraso RC não pode ser considerado no circuito, pois o pulso iria se sobrepor ao pulso invertido no lado oposto da ponte H, por esse motivo a outra entrada da porta AND, diretamente conectada a entrada *IN*, tem a função de levar U4 a nível baixo antes do tempo de descarregamento do capacitor C6.

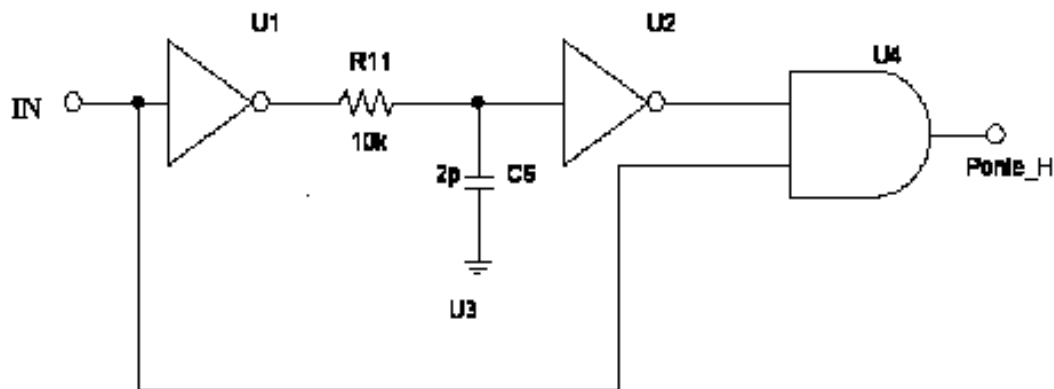


Figura 65 – Circuito de atraso implementado no estágio de saída

O resultado do circuito pode ser observado na figura 66, onde o degrau superior é o sinal de entrada da ponte H no ramo esquerdo o degrau inferior corresponde ao sinal de entrada da ponte H do lado direito. Pode ser notado que, em nenhum momento da transição o sinal do lado esquerdo tem o mesmo nível do sinal do lado direito.

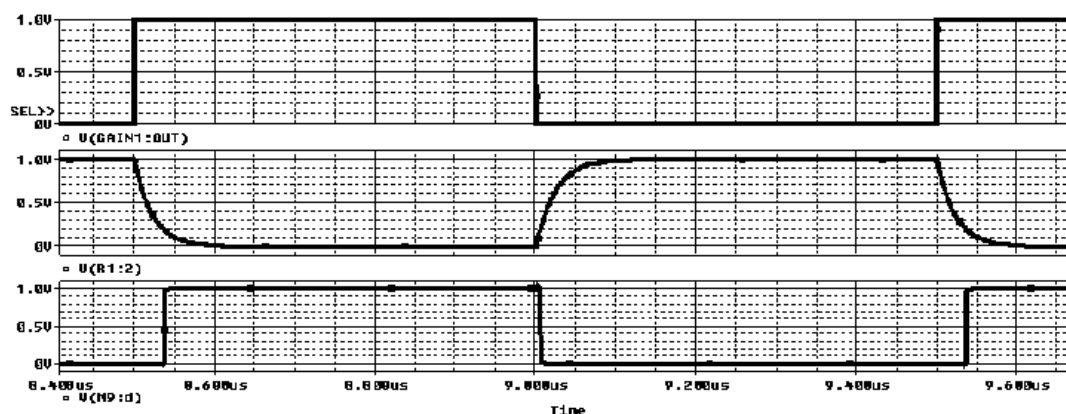


Figura 66 – Pulsos interdigitados para evitar curto circuito na fonte de alimentação

Além do circuito de atraso, outro fator que influencia muito no rendimento do amplificador é a resistência dos transistores de saída quando estão conduzindo, R_{on} . Quanto menor for essa resistência, menor será a potência dissipada nos transistores, aumentando o rendimento do amplificador. Em circuitos CMOS, conhecendo os parâmetros da tecnologia, pode-se calcular a resistência R_{on} de cada transistor. A razão de aspecto dos transistores de saída devem ser grande o suficiente para que a resistência entre dreno e

fonte, seja muito menor que a resistência ôhmica da carga. Os valores escolhidos para os transistores de saída foram $W_n = 200\mu m, W_p = 300\mu m, L_p = L_n = 0.35\mu m$. Com estes valores pode-se calcular a resistência R_{on} dos transistores.

$$r_{dsn} = \frac{1}{\left[k_n' \left(\frac{W}{L} \right)_n (V_{DD} - V_{tn}) \right]} \quad r_{dsp} = \frac{1}{\left[117e^{-6} \left(\frac{200}{0,35} \right)_n (1 - 0,45) \right]} = 27,19\Omega \quad (42)$$

$$r_{dsp} = \frac{1}{\left[k_p' \left(\frac{W}{L} \right)_p (V_{DD} - |V_{tp}|) \right]} \quad r_{dsp} = \frac{1}{\left[68e^{-6} \left(\frac{300}{0,35} \right)_p (1 - 0,60) \right]} = 42,90\Omega \quad (43)$$

A impedância do transdutor de saída é de 500Ω , e a resistência dos transistores em série é 70Ω , portanto 14% da potência entregue pela fonte é dissipada pelos transistores.

Uma simulação do circuito do estágio de saída pode ser observada na figura 67. O sinal modulado está sobreposto à corrente de saída, filtrada naturalmente pelo transdutor.

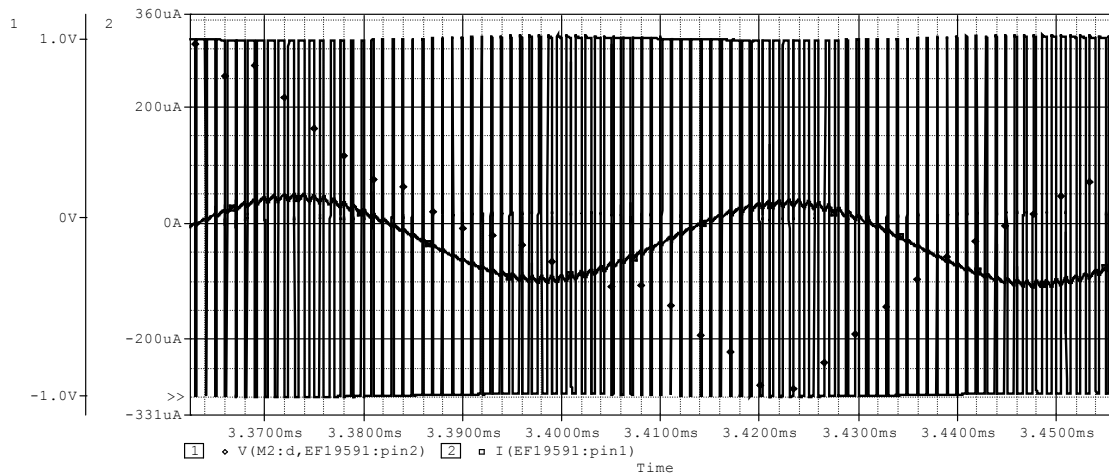


Figura 67 – Sinal modulado na entrada do estágio de saída comparado com a corrente filtrada naturalmente pelo transdutor

Com os parâmetros ajustados, uma primeira simulação pôde ser realizada e pode ser observada na figura 68. O sinal de entrada utilizado para a simulação foi de 20kHz, para que a modulação fosse visivelmente observada sobre o sinal de entrada. Pode-se notar que o trem de pulsos varia juntamente com o sinal de entrada, possuindo seu valor médio e modulado na frequência de chaveamento.

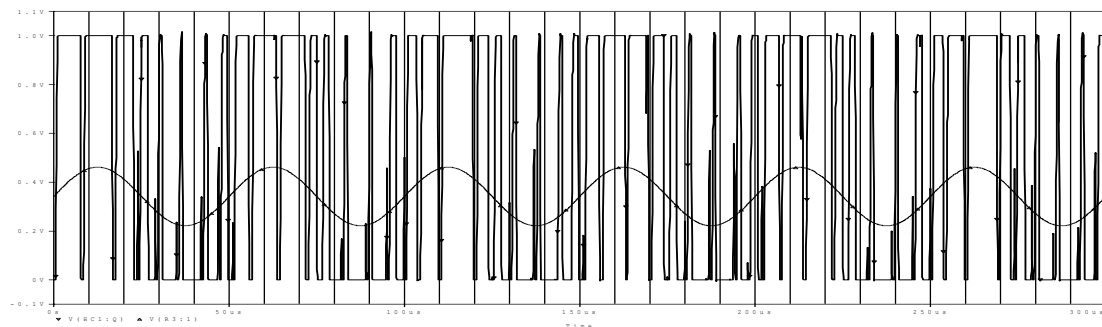


Figura 68 – Trem de pulsos de saída do modulador implementado

A figura 69 mostra o clock de 1MHz e o trem de pulsos de saída, lembrando que a largura mínima do pulso de saída em um modulador SD é duas vezes a frequência de chaveamento, pois o FFD atualiza o nível lógico na saída apenas nas bordas de subida. Isso facilitando o projeto do estágio de potência em relação a outros métodos de modulação, como mostrado anteriormente.

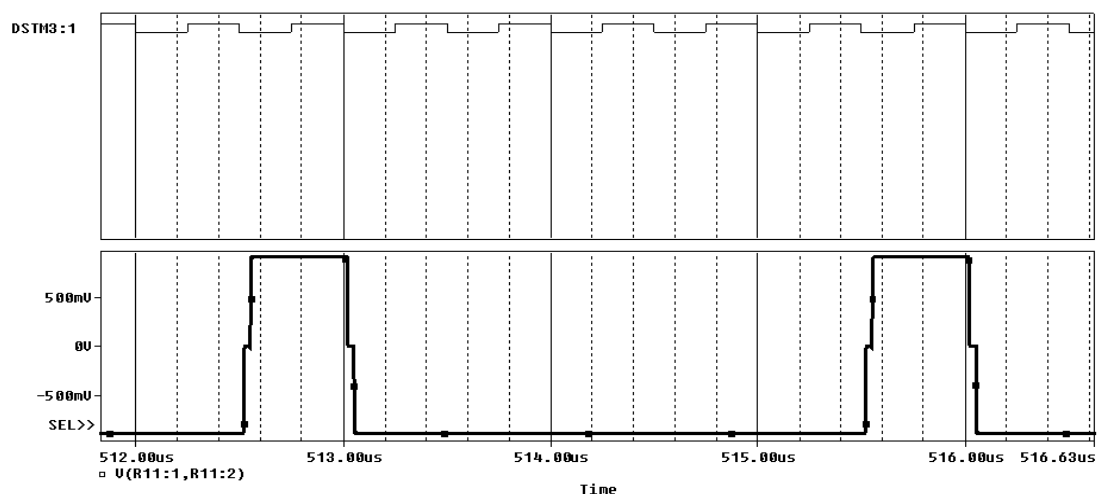


Figura 69 – Sincronismo do trem de pulsos de saída com o clock do circuito

A figura 70 mostra respectivamente, o sinal de entrada, o erro integrado e o erro gerado pelo sistema. No sinal de erro ocorre a diferença de um sinal contínuo com um sinal pulsado que carrega o valor médio do sinal de entrada.

O sinal integrado varia em torno do valor de referência do circuito (aproximadamente 400mV), sendo que a cada vez que o sinal cruza esta referência, o estado do pulso no FFD muda.

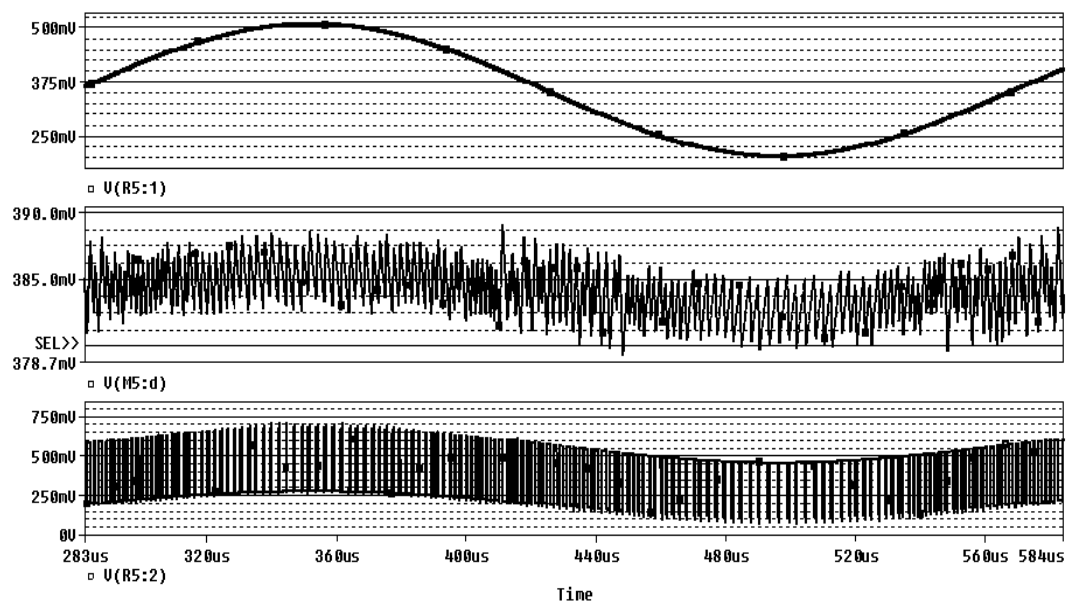


Figura 70 – Resposta do erro do circuito e sua integração

Outra importante característica do modulador pode ser vista no espectro da figura 71, onde o ruído é afastado e espalhado da banda do sinal de entrada. A ação da diferenciação e após integração do sinal, provoca uma resposta passa-baixa para o sinal e passa-alta para o ruído de quantização que cresce a uma taxa de 20dB/década.

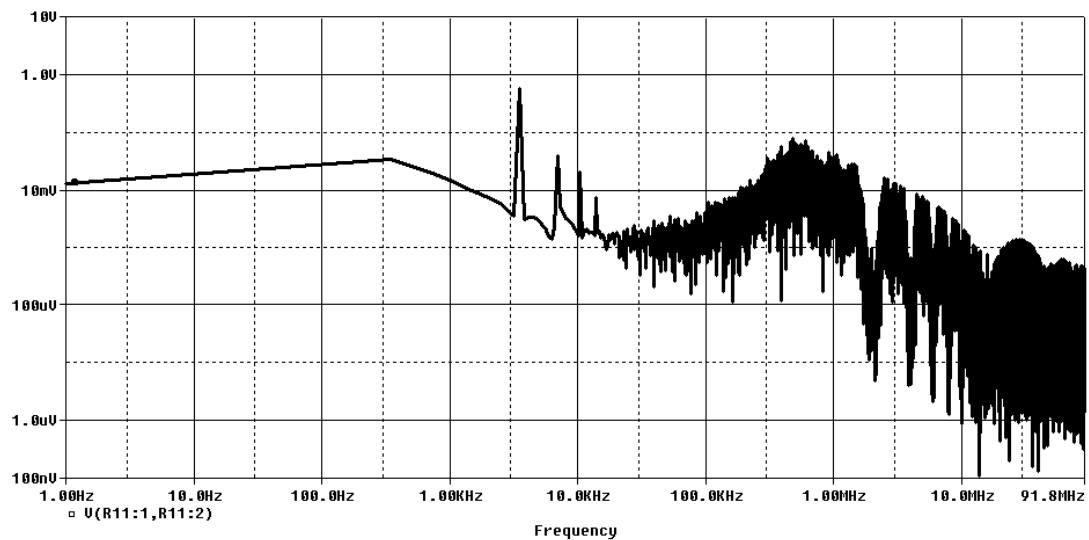


Figura 71 – Espectro de frequência do sinal de entrada

A figura 72 ilustra o rendimento o circuito, medindo-se as correntes eficazes na fonte e na carga, para $V_{dd}=1V$. Esta corrente de fonte inclui todo o circuito de modulação. Para o nível de potência considerado neste trabalho, o consumo de corrente dos componentes que fazem a modulação é responsável por uma parte considerável do consumo de corrente do sistema.

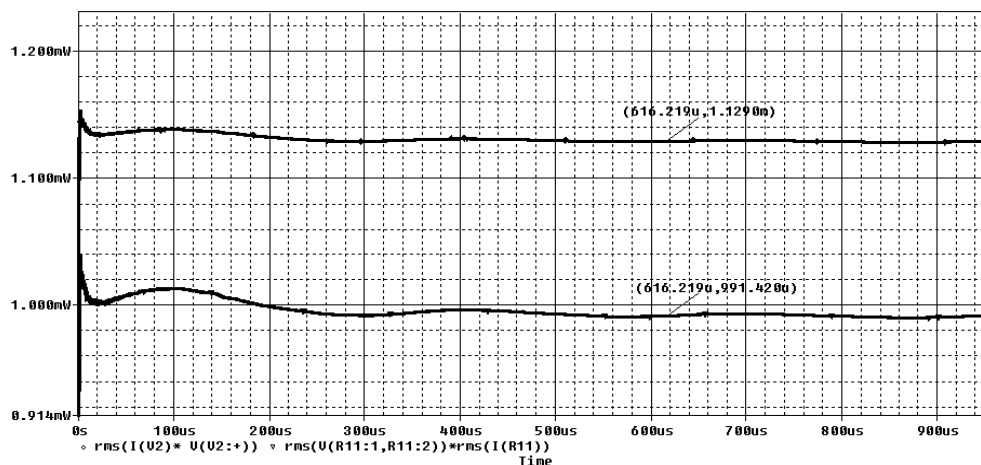


Figura 72 – Corrente na carga (abaixo) e na fonte (acima) do circuito do modulador em conjunto com o estágio de saída do amplificador

O comparador baseado em um inversor CMOS é a melhor escolha entre um comparador com entrada diferencial, para o presente projeto por 3 motivos; possui projeto mais simples, o Slew Rate não é limitado pela fonte de corrente e proporciona a maior quantidade de corrente disponível para carga e descarga para uma determinada tensão de alimentação.[13]

6. Construção e testes do circuito integrado

Depois de implementado na tecnologia AMS CMOS 0.35 μm , o layout do circuito ficou como pode ser observado na figura 73, e sem os pads na figura 74.

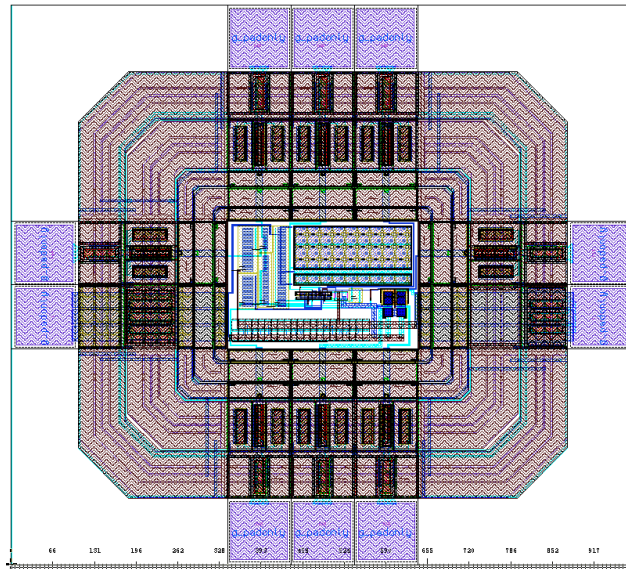


Figura 73 – Imagem do chip com os pads (1mm^2)

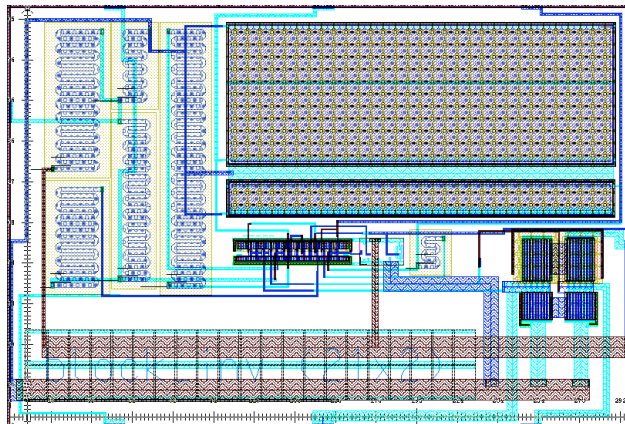


Figura 74 – Imagem do chip sem os pads ($200\mu\text{m} \times 300\mu\text{m}$)

O circuito todo ocupa uma área de $200\mu\text{m} \times 300\mu\text{m}$ desconsiderando os pads.

Para o casamento elétrico dos inversores, os mesmos foram montados em uma estrutura *array*, onde todos os transistores ficam próximos e isolados com o mínimo comprimento permitido.

O chip foi encapsulado e montado em bancada. Na figura 75 pode ser observado o funcionamento do circuito para um sinal de entrada senoidal de 10kHz (canal 1). As formas de onda resultantes (canal 3 e 4) são os sinais da saída diferencial do amplificador. As formas de onda resultantes apresentam pequenos *overshoots* de transição, que podem ter ocorrido devido ao comprimento L de canal dos inversores serem relativamente pequenos.

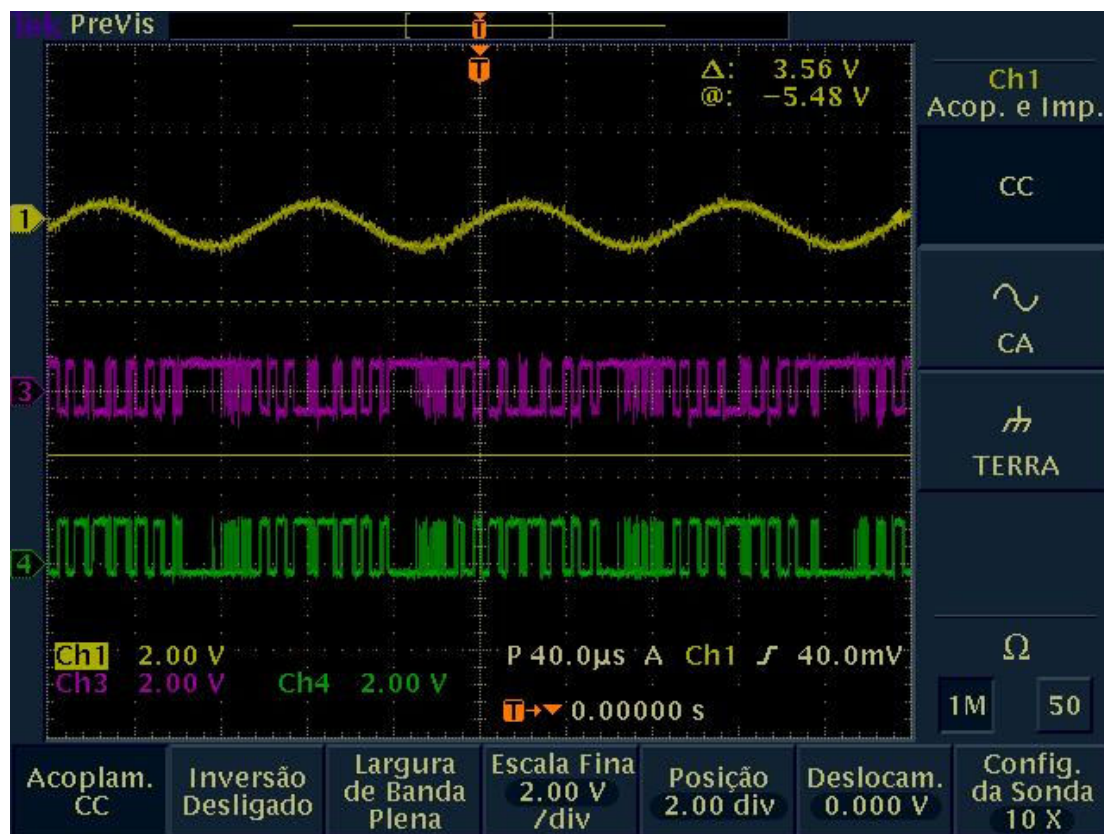


Figura 75 – Sinal de saída diferencial do amplificador classe D fabricado

A figura 76 mostra as saída do amplificador novamente e a saída diferencial. A excursão do sinal na carga será duas vezes a amplitude da fonte de alimentação. Os canais 1 e 2 mostram as saída diferenciais do amplificador enquanto a saída M é uma função matemática da diferença dos dois sinais.

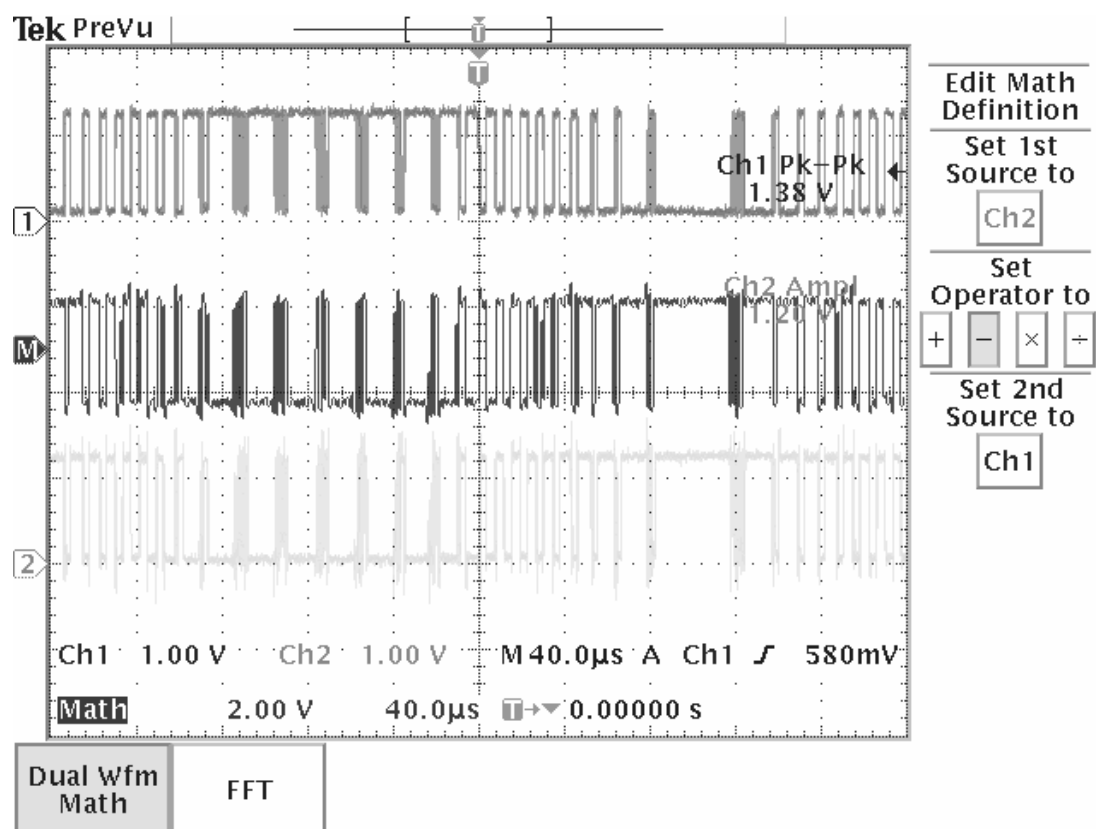


Figura 76 – Saída diferencial do estágio de saída do amplificador

Uma análise de Fourier pôde ser realizada dos pulsos de saída. A figura 77 mostra esta resposta. Pode-se notar que, como esperado, o ruído de quantização está afastado da banda do sinal de áudio e a SNR está por volta de 40dB. O ruído quantizado está espalhado em torno de 100kHz, o que não era esperado. O ruído deveria estar afastado do sinal da banda de áudio, por volta da metade da frequência do clock de chaveamento de 1MHz, ou seja, 500kHz. Este efeito pode ter sido provocado por um mau funcionamento do capacitor ou do inversor do integrador, o que diminuiu precisão do modulador.

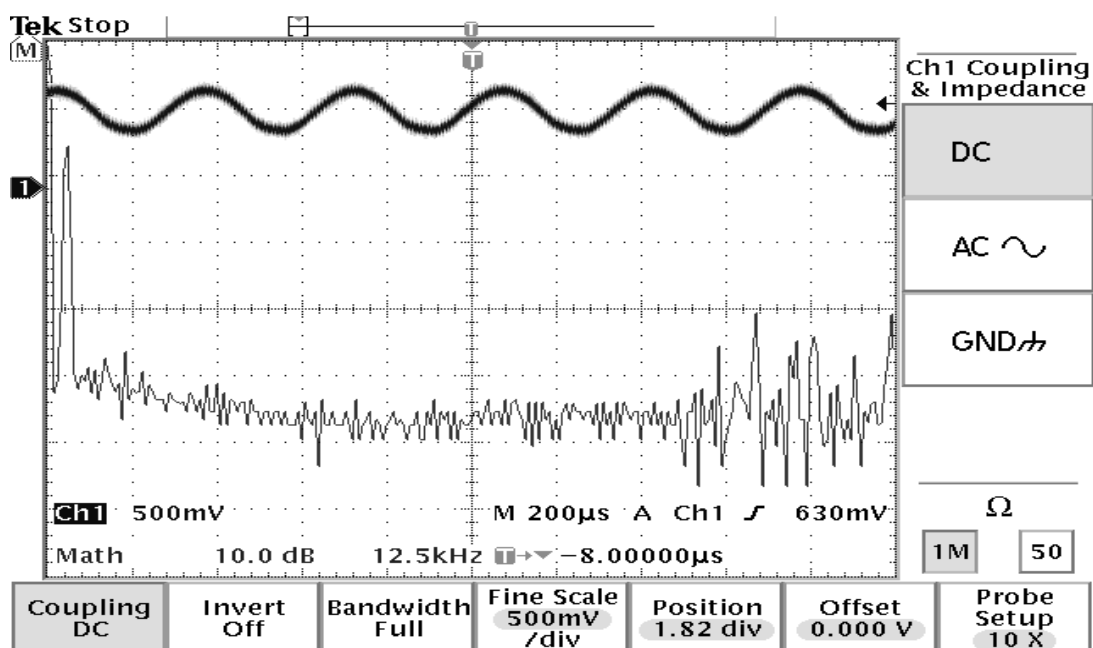


Figura 77 – Espectro de frequência da forma de onda do sinal diferencial de saída do amplificador

O sinal pôde ser totalmente recuperado, inserindo um simples filtro passa-baixas RC nas saídas do amplificador, assim como pode ser observado na figura 78.

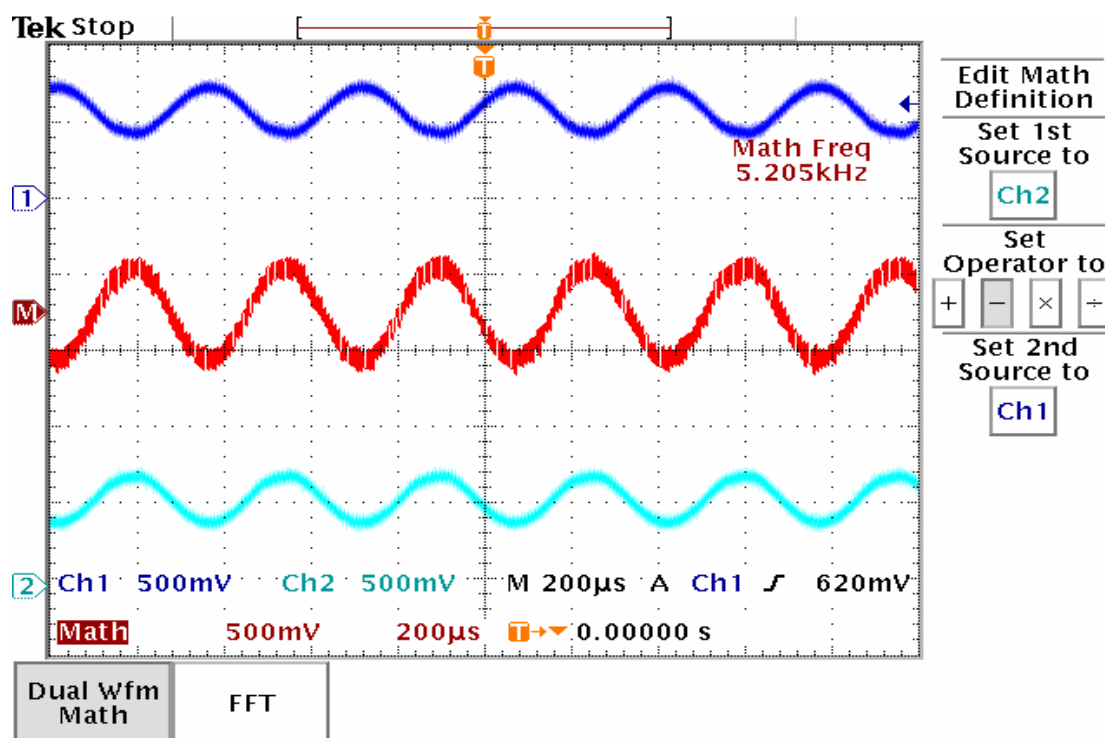


Figura 78 – Sinais do estágio de saída filtrados por um filtro passa baixas RC, onde o canal 1 e 2 são os sinais diferenciais de saída filtrados e o sinal M é a diferença entre os dois sinais

A figura 79 mostra, no canal 2, o integrador do circuito corrigindo o erro que entra na malha. Pode-se notar que a resolução do modulador ficou reduzida por causa do integrador, já que a precisão do sistema está relacionada com o quanto o erro integrado fica distante do sinal de referência, onde ocorre a comutação.

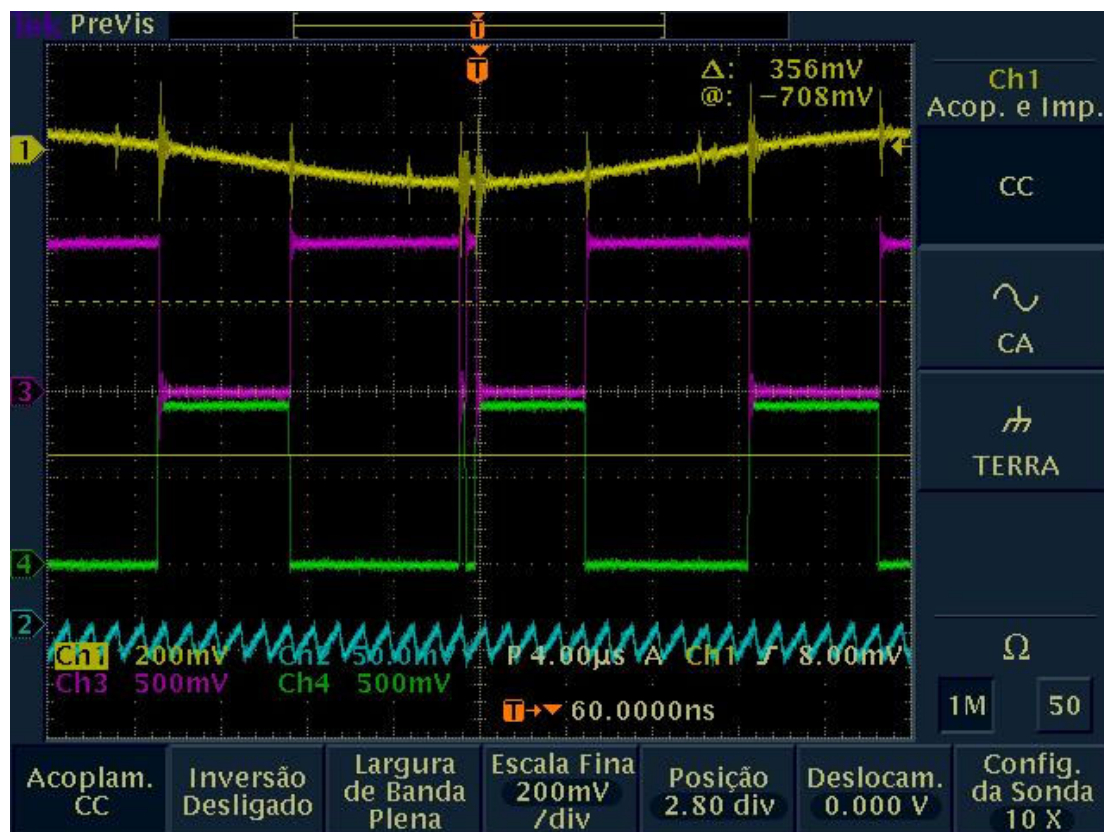


Figura 79 – Atuação do integrador do erro no circuito do modulador

A eficiência do circuito não foi alcançada como previsto. Era esperado um rendimento de 90% do amplificador, mas pelas medições foi alcançado apenas 70%. A carga utilizada no estágio de saída foi apenas de um resistor de 500 ohms, pois houve uma grande dificuldade de acoplar o transdutor, devido aos terminais de solda que os mesmos dispunham.

Utilizando um resistor em série com a carga de 6,8 ohms e um resistor de 6,8 ohms com a fonte de alimentação, pôde-se estimar o rendimento do amplificador medindo-se as tensões diferenciais sobre eles. A figura mostra os valores em V_{rms} da tensão diferencial na fonte e carga respectivamente. Estes valores variam um pouco. Fazendo uma média das variações obtemos o valor de 70% de rendimento.

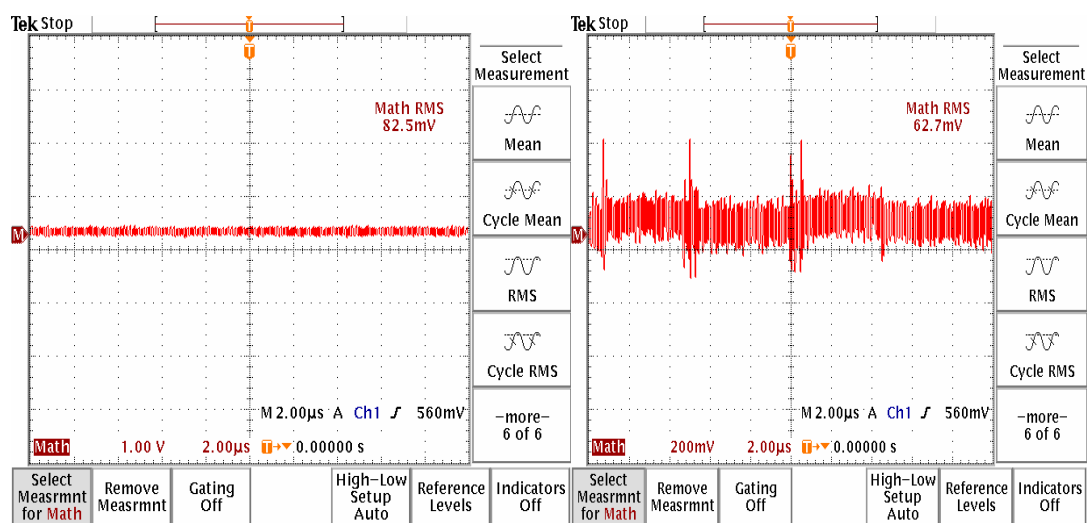


Figura 80 – Estimativa da eficiência do amplificador classe D

O consumo é relativo ao circuito todo, incluindo o modulador SD. O consumo do modulador SD é muito inferior ao consumo do estágio de potência do amplificador, pois cada inversor na região linear consome menos que 100nA. Por este motivo, a estimativa da eficiência do amplificador pôde ser feita desta maneira.

7. Conclusões

Pelos estudos realizados, medidas em bancada e prototipagem do chip, o amplificador classe D mostrou-se capaz de substituir muitas topologias de amplificação de áudio e também em aplicações operacionais.

Os amplificadores que utilizam modulação $\Sigma\Delta$ possuem vantagens sobre os moduladores por largura de pulsos, pois além de não necessitarem de um gerador de onda triangular para realizar comparação, espalham o ruído de quantização, minimizando a probabilidade de propagação de interferências eletromagnéticas dentro do chip. Ainda possuem a vantagem de alcançar alta resolução sem precisar de altas taxas de amostragem, pois o Flip Flop D, em conjunto com o integrador de erro, faz com que a densidade de pulsos seja tão precisa quanto maior for o clock do circuito, ao contrário dos moduladores por largura de pulsos, onde a comparação, em malha aberta, é a mesma para um dado período de clock. Na prática não se pode aumentar indefinidamente a frequência de uma onda triangular em um modulador PWM, pois além de acrescentar uma grande quantidade de ruído ao sistema, o rendimento do sistema cai.

A modulação implementada sem o Flip Flop D, baseado na modulação do tipo *Bang-Bang*, torna-se um oscilador em anel no qual o sinal de áudio é introduzido na malha do circuito e naturalmente modulado pelo sistema. Devido à sua fácil implementação pode ser utilizado em sistemas nos quais não se requer grande qualidade do sinal, assim como no caso de aparelhos de som para reprodução de baixa frequência (sub woofers), conversão AD para sinais de baixa frequência e em acionamentos de controles em radio frequência.

Em aparelhos auditivos, onde a faixa de frequência é estreita (500Hz a 3000Hz) um simples modulador PWM pode ser suficiente para amplificar e reproduzir com fidelidade o som, mas atualmente alguns aparelhos auditivos já estão sendo comercializados com capacidade de responder com fidelidade a toda banda audível (20Hz e 20KHz) para que o deficiente auditivo possa, além de ter capacidade de reconhecer um dialogo, também ser apto a ouvir música ou assistir a espetáculos. Para isso, moduladores SD de ordens superiores a 2 são implementados.

Para implementação em circuitos integrados, o modulador SD baseado em inversores CMOS e alimentado com $1,1V_{cc}$, mostra-se como uma proposta de baixo

consumo, como pôde ser visto nos capítulos anteriores. O dimensionamento dos transistores dos inversores determina um compromisso entre três variáveis do projeto que são; velocidade, consumo e área do chip. Para aplicações em moduladores SD, onde a frequência de chaveamento é relativamente baixa, pode-se utilizar inversores com dimensões mínimas, mas por questões de casamento (matching) dos transistores no layout, sempre adota-se uma área maior que a necessária para minimizar os erros de processos.

A eficiência do amplificador ficou abaixo da estimada pelo projeto devido a imperfeições no circuito de atraso implementado. Isso pode ter ocorrido devido aos inversores terem sido dimensionados com área pequena, o que aumenta a probabilidade de erros de casamento entre transistores não muito próximos.

Algumas propostas de modificações no circuito podem ser consideradas.

A utilização de inversores com comprimento de canal maior pode diminuir alguns problemas de “spikes” na transição dos pulsos.

Deve ser levado em consideração também um maior cuidado na montagem do layout para o integrador, pois por possuir impedância relativamente alta, pode ser susceptível a ruídos provenientes do clock do circuito e frequências múltiplas deste.

O circuito de atraso, que gera os pulsos interdigitados, deve possuir uma precisão relativamente grande na sua construção do layout, utilizando técnicas de fabricação de casamento, que não foram considerados para este chip.

Referências bibliográficas

- [1] Almeida K., Iorio M. C. M, “Próteses Auditivas, Fundamentos Teóricos e Aplicações Clínicas”, Lovise, 2ª edição, 2003
- [2] Soin R. S., Maloberti F., Franca J., “Analogue – Digital Asics, Circuit Techniques, Design Tools and Applications” Published by Peter Peregrinus LTD, 1991
- [3] Silva P. G. R., “Estudo dos limites de performance dos moduladores Sigma Delta implementados com circuito a capacitores chaveados”, tese de mestrado, Universidade Estadual de Campinas, FEEC, 1999.
- [4] Bozinis G. E., “Conversão Sigma Delta – Estimativa da resolução e otimização do filtro decimador”, tese de mestrado, Universidade Estadual de Campinas, FEEC, 1998.
- [5] Uyemura J. P., “Circuit design for CMOS VLSI”, Kluwer Academic Publisher, 1992.
- [6] Sedra/Smith, “Microeletrônica”, quarta edição, Makron Books.
- [7] K. C. Pohlmann, “Principles of Digital Audio, 3rd ed., McGraw-Hill, 1995.
- [8] Smecher G., “A low switching rate Class D amplifier”, degree these, School of Engineering Science Simon Fraser University, 2005.
- [9] Baker R. J. (et. al), “CMOS circuit design, layout and simulation”, IEEE Press Series on Microelectronics Systems, 1998.
- [10] Ogata. K. “Engenharia de Controle Moderno” Editora LTC, 3ª edição, 1998.
- [11] Ge T., Shu W., Tam M.T., Chang J.S., “ A low power voltage Class D amp based on $\Sigma\Delta$ and Bang-Bang control” IEEE International Workshop on Biomedical Circuits and Systems.
- [12] Chae Y., Kown M., Han G., “A 0.8- μm switched-capacitor $\Sigma\Delta$ modulator using a Class-C inverter” IEEE International Symposium on Circuits and Systems, 2004.
- [13] Tam M.T., Chang J.S., Tong Y.C., “ A novel self-tuning pulse width modulator based on master-slave architecture for a Class-D amplifier”. Circuit and systems, ISCAS’99. Proceedings of the IEEE International Symposium on, 1999.

Referências da Internet

- [14] <http://beckerexhibits.wustl.edu/did/>
- [15] <http://focus.ti.com/docs/solution/folders/print/273.html>
- [16] http://www.maxim-ic.com/appnotes.cfm/appnote_number/1870
- [17] <http://www.ele.uva.es/~jesus/inversores.pdf>
- [18] <http://www.ele.uva.es/~jesus/microdelta.pdf>
- [19] <http://www.hearingusa.com/circuits.htm>
- [20] <http://www.cs.tut.fi/sgn/arg/roster/1-bit/>
- [21] <http://www.knowledgeelectronics.com/engineering/pdf/Design%20Evolution%20of%20Miniature%20Electroacoustic%20Transducers.pdf>
- [22] <http://beckerexhibits.wustl.edu/did/index.htm>

Anexo A

