

Marília dos Santos *n/50,50*
Engenheira Eletricista - EFEI, 1989

PROJETO DE UM CIRCUITO SOMADOR ANALÓGICO DE
TENSÕES INTEGRADO DE BAIXO ERRO, EM TECNOLOGIA
CMOS

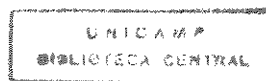
Orientador: Prof.Dr.Carlos Alberto dos Reis Filho^t
FEE/UNICAMP

Dissertação apresentada à Faculdade de Engenharia
Elétrica da UNICAMP como requisito parcial para
obtenção do título de Mestre em Engenharia Elétrica

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE MICROELETRÔNICA
LABORATÓRIO DE ELETRÔNICA E DISPOSITIVOS

Este exemplar corresponde à redação final ~~Setembro~~ *Setembro* 1994
defendida por MARILIA DOS SANTOS
e aprovada pela Comissão
Julgadora em 07 / 10 / 1994.

Orientador



Agradeço:

Ao CNPQ (Conselho Nacional de Desenvolvimento Científico e Tecnológico) pelo incentivo financeiro.

Aos grupos de Projeto, Teste e Encapsulamento de Circuitos Integrados do CTI (Centro Tecnológico de Informática - Campinas - SP) que viabilizaram a confecção e testes dos chips.

Ao meu noivo pelo apoio e paciência.

À minha família pelas orações.

Ao Prof. Carlos Alberto dos Reis Filho pela orientação, incentivo e exemplo de determinação.

Aos amigos do DEMIC (Departamento de Microeletrônica) pelo carinho.

E a todos aqueles que, de alguma forma, participaram deste trabalho.

Índice

Resumo	pg.1
--------------	------

Capítulo 1

1. Desenvolvimento de um Circuito Conversor V/I	pg.3
1.1. Estudo das Principais Configurações de Conversor V/I	pg.3
1.2. Apresentação de um Novo Circuito Conversor V/I	pg.19
1.2.1. Princípio de Funcionamento.....	pg.19
1.3. Equacionamento do Erro provocado pelo Efeito de Corpo	pg.22
1.3.1. Equacionamento do Erro desprezando o Efeito de Corpo	pg.22
1.3.2. Equacionamento do Erro considerando o Efeito de Corpo	pg.23
1.4. Simulação Elétrica do Conversor V/I	pg.28
1.4.1. Compensação do Erro provocado pelo Efeito de Corpo	pg.32
1.5. Implementação do Conversor V/I utilizando o Array CD4007	pg.44
1.6. Implementação do Conversor V/I utilizando Transistores Integrados no PMU-CMOS7	pg.51
1.6.1. Medida da Resposta a Pulso do Conversor V/I	pg.57
1.5. Teste do Conversor V/I implementado no PMU-CMOS8	pg.61

Capítulo 2

2. Espelho de Corrente	pg.68
2.1. Estudo das Principais Configurações de Espelhos de Corrente	pg.68
2.2. Escolha do Espelho de Corrente	pg.76
2.3. Teste dos Espelhos de Corrente implementados nos PMU-CMOS7 e PMU-CMOS8	pg.78
2.3.1. Espelhos de Corrente implementados no PMU-CMOS7	pg.78

2.3.2. Espelhos de Corrente implementados no PMU-CMOS8	pg.87
---	-------

Capítulo 3

3. Circuito Somador de Tensões	pg.93
3.1. Princípio de Funcionamento	pg.93
3.2. Simulação Elétrica do Circuito Somador	pg.96
3.3. Teste do Circuito Somador implementado no PMU-CMOS8	pg.100
3.3.1. Apresentação do Chip	pg.100
3.3.2. Resultados Experimentais	pg.102
4. Conclusões	pg.108
5. Apêndice A	pg.109
Referências	pg.119

Resumo

Neste trabalho é apresentado o procedimento de projeto e os resultados do desenvolvimento de um circuito somador de tensões, integrado em tecnologia CMOS, cuja faixa dinâmica dos sinais de entrada abrange os limites da fonte de alimentação.

Diferente da configuração clássica, que utiliza um amplificador operacional numa estrutura realimentada, o circuito desenvolvido opera em malha aberta e resulta da combinação de dois blocos operacionais mais simples, um conversor linear Tensão-Corrente com saídas complementares e um espelho de corrente. A soma ou subtração das tensões de entrada resulta da soma ou subtração das correntes produzidas por dois conversores lineares Tensão-Corrente as quais são refletidas sobre um mesmo conversor Corrente-Tensão (ativo ou passivo) através de espelhos de corrente.

Sob o ponto de vista sistêmico estes blocos operacionais mais simples ocupam um nível hierárquico inferior ao do circuito somador. Este, por sua vez, combinado com outros circuitos que também ocupam níveis hierárquicos de complexidade dentro de uma biblioteca de células, comporão blocos mais complexos, permitindo assim, a síntese de sistemas analógicos de forma estruturada.

O trabalho descreve as etapas de desenvolvimento do somador, onde se incluem circuitos realizados em duas rodadas do programa PMU, o CMOS-7 e CMOS-8.

O desenvolvimento do conversor linear Tensão-Corrente é descrito no Capítulo 1: O projeto deste conversor enfoca a tecnologia CMOS poço-N para a sua implementação, tendo em vista sua disponibilidade via o programa PMU. Como resultado, foi constatado que devido ao efeito de corpo nos transistores canal-N, o conversor apresenta uma não linearidade na conversão V/I , cuja amplitude ultrapassa o erro máximo correspondente à precisão de 10 bits pretendida. Para compensar este erro induzido pelo efeito de corpo é mostrado que uma simples mudança nas razões geométricas dos transistores é uma solução eficiente.

A análise e justificativas para a determinação do espelho de corrente mais apropriado são apresentadas no Capítulo 2.

A descrição do projeto, resultados de análises e medidas do circuito somador são apresentados no Capítulo 3.

O trabalho inclui, no Apêndice A, a análise do comportamento AC de um espelho de corrente simples MOS, evidenciando que em certas condições este se comporta como um sistema de fase não mínima.

Capítulo 1

1. Desenvolvimento de um Circuito Conversor V/I
 - 1.1. Estudo das Principais Configurações de Conversor V/I
 - 1.2. Apresentação de um Novo Circuito Conversor V/I
 - 1.2.1. Princípio de Funcionamento
 - 1.3. Equacionamento do Erro provocado pelo Efeito de Corpo
 - 1.3.1. Equacionamento do Erro desprezando o Efeito de Corpo
 - 1.3.2. Equacionamento do Erro considerando o Efeito de Corpo
 - 1.4. Simulação Elétrica do Conversor V/I
 - 1.4.1. Compensação do Erro provocado pelo Efeito de Corpo
 - 1.5. Implementação do Conversor V/I utilizando o Array CD4007
 - 1.6. Implementação do Conversor V/I utilizando Transistores Integrados no PMU-CMOS7
 - 1.6.1. Medida da Resposta a Pulso do Conversor V/I
 - 1.7. Teste do Conversor V/I implementado no PMU-CMOS8

1 Desenvolvimento de um Circuito Conversor Tensão-Corrente

Neste capítulo faremos, primeiramente, uma descrição resumida das principais configurações de conversores tensão-corrente existentes na literatura, por ordem cronológica, procurando destacar suas principais características. Em seguida, apresentaremos uma nova configuração de um circuito conversor tensão-corrente, mostrando o seu princípio de funcionamento, os resultados de simulação e os testes realizados para validar este novo circuito.

1.1 Estudo das Principais Configurações de Conversores V/I

Do ponto de vista de simplicidade e resposta em frequência, o par diferencial é bastante atrativo [1]. Entretanto, a não linearidade gerada pela corrente de polarização limita a capacidade de manuseio de sinal e restringe a utilização da estrutura. Considerando o par diferencial casado, operando na região de saturação, na Figura 1.1, temos como correntes de dreno dos transistores M_{A1} e M_{A2} [1],

$$I_1 = K \left[\frac{v}{2} + \sqrt{\frac{I}{K}} \sqrt{1 - \frac{Kv^2}{4I}} \right]^2 \quad (1)$$

$$I_2 = K \left[\frac{-v}{2} + \sqrt{\frac{I}{K}} \sqrt{1 - \frac{Kv^2}{4I}} \right]^2 \quad (2)$$

onde,

$$K = \mu C_{ox} \left(\frac{W}{2L} \right) \quad (3)$$

é um parâmetro de condutância associado a cada transistor.

$$v = v_1 - v_2 \quad (4)$$

é a tensão diferencial de entrada.

A corrente diferencial de saída do par diferencial será,

$$i_0 = I_1 - I_2 = 2i = Gv\sqrt{\left(1 - \frac{Kv^2}{4I}\right)} \quad (5)$$

onde:

$$G = 2\sqrt{KI} \quad (6)$$

é o parâmetro de transcondutância do par diferencial.

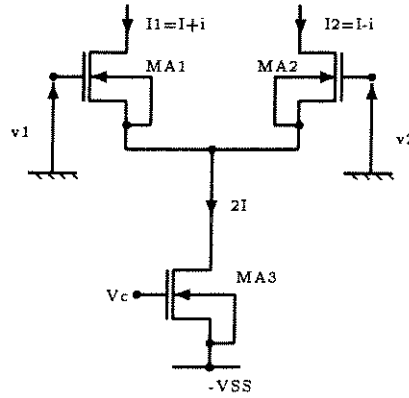


Figura 1.1 - Par diferencial Simples

Notamos na expressão para a corrente de saída (Equação 5) um termo não linear que é consequência direta da corrente constante de polarização. Essa distorção pode ser reduzida aumentando-se a corrente de polarização ou reduzindo-se a razão $\left(\frac{W}{L}\right)$.

A faixa de operação é,

$$-2\sqrt{\frac{I}{K}} < v < 2\sqrt{\frac{I}{K}} \quad (7)$$

Para uma transcondutância com erro de linearidade menor que 1%, a faixa de operação deve ser [3],

$$-0.16\sqrt{\frac{I}{K}} < v < 0.16\sqrt{\frac{I}{K}} \quad (8)$$

Considerando uma corrente de polarização $I = 20\mu A$, as dimensões dos transistores $W = 300\mu m$ e $L = 20\mu m$ e os parâmetros do PMU-CMOS8, temos como faixa de operação, para um erro de linearidade menor que 1%, para $K = 300.3 \frac{\mu A}{V^2}$,

$$-41mV < v < 41mV$$

Em 1984, Nedungadi,A.P. e Viswanathan,T.R. [1] [2] propuseram um novo circuito transcondutor com melhor linearidade e maior excursão da tensão de entrada que os circuitos que utilizam o par diferencial de fonte acoplada. O circuito está mostrado na Figura 1.2.

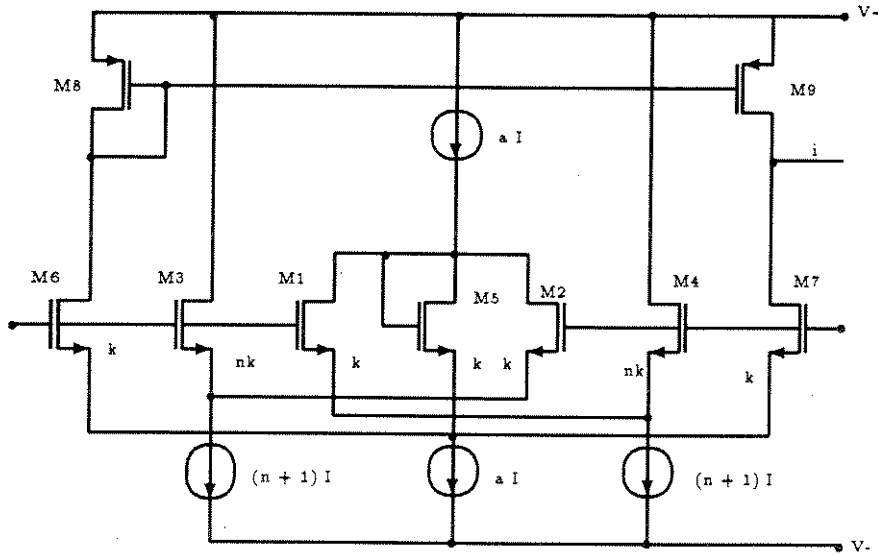


Figura 1.2 - Configuração apresentada por Nedungadi,A.P. e Viswanathan,T.R

Os transistores $M_1 - M_4$ formam uma célula com acoplamento cruzado, onde o comprimento do canal é o mesmo para os quatro transistores e a largura do canal dos transistores M_3 e M_4 é n vezes a largura do canal dos transistores M_1 e M_2 . Os transistores $M_6 - M_9$ formam um amplificador diferencial com carga ativa.

Neste circuito a corrente de saída é dada por [2]

$$i = v \sqrt{K[4I - (K - 2K')v^2]} \quad (9)$$

onde,

$$K' = \left[\frac{2n(n+1)}{(n+1)^2} \right] K \quad (10)$$

Na Figura 1.3 temos o erro de linearidade da saída em função da tensão de entrada e de n .

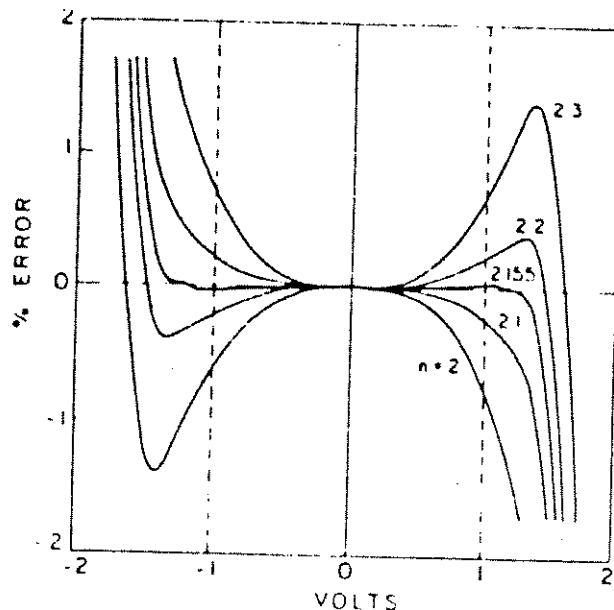


Figura 1.3 - Erro de linearidade para o circuito proposto por Nedungadi, A.P. e Viswanathan, T.R.

Para $n=2.155$ temos uma transcondutância perfeitamente linear $gm = 2\sqrt{KI}$ em uma faixa $|v| \leq 1.2\sqrt{\frac{I}{K}}$

Para $I=40 \mu A$, $\frac{W}{L} = \frac{300\mu m}{20\mu m}$ e os parâmetros do PMU-CMOS8, a faixa em que teremos uma transcondutância perfeitamente linear será, para $K = 213.9 \frac{\mu A}{V^2}$

$$-0.52V \leq v \leq 0.52V$$

R.R.Torrance, T.R.Viswanathan e J.V.Hanson [3] [4] em 1985 propuseram um circuito de baixa distorção e ampla faixa de tensão de entrada. A técnica para linearização é utilizar um par diferencial com uma realimentação negativa na forma de uma degeneração de fonte, como mostrado na Figura 1.4. Assim, a tensão de entrada, v , simplesmente se divide em v_1 e v_2 através do par de entrada formado por M_1 e M_2 e do par auxiliar formado por M_3 e M_4 de forma que:

$$v = v_1 + v_2 \quad (11)$$

e

$$\frac{v_2}{v_1} = A = \sqrt{\frac{nk_1}{k_2}} \quad (12)$$

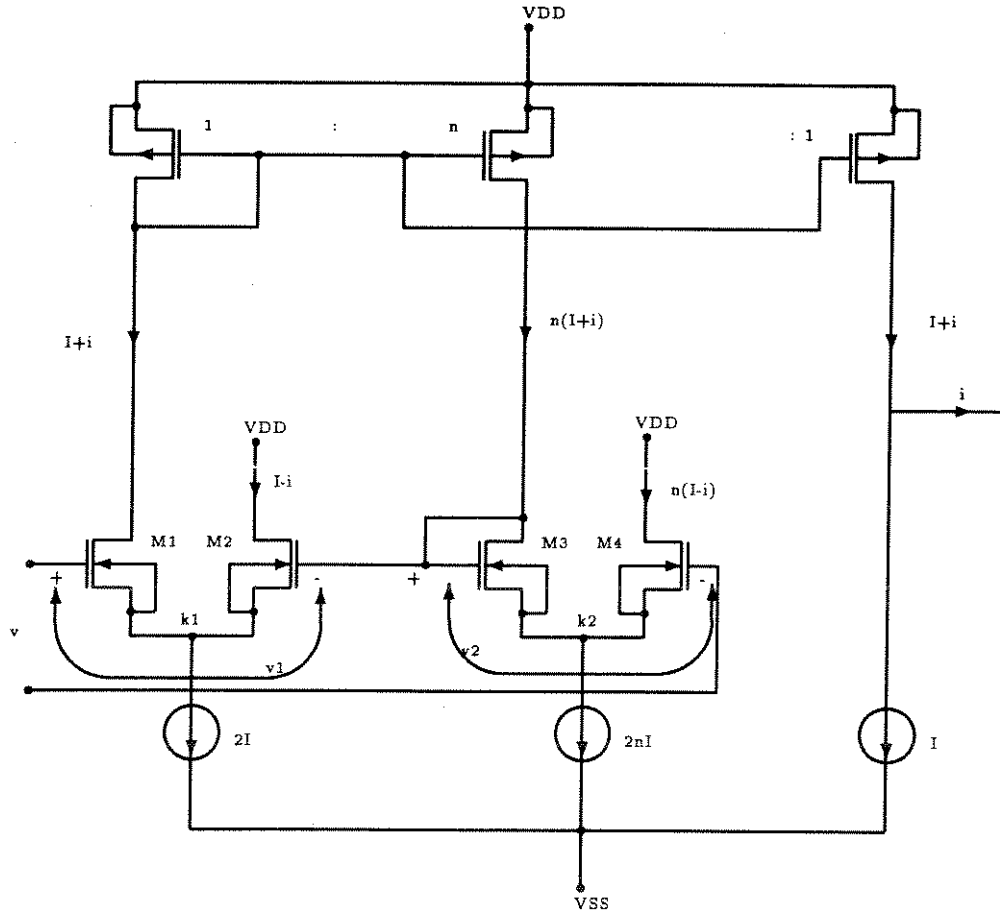


Figura 1.4- Configuração apresentada por R.R.Torrance, T.R.Viswanathan e J.V.Hanson

onde n é um fator de escala mostrado na Figura 1.4, $k_1 = \frac{\mu C_o}{2} \left(\frac{W}{L} \right)_1$ e $k_2 = \frac{\mu C_o}{2} \left(\frac{W}{L} \right)_2$.

Neste circuito a tensão aplicada no par diferencial M_1, M_2 é reproduzida de forma atenuada no par diferencial M_3, M_4 e somada à tensão diferencial em M_1, M_2 , perfazendo assim um sistema negativamente realimentado. A realimentação negativa reduz a tensão através do par de entrada do qual temos a corrente de saída :

$$i = \sqrt{k_1 I} \left(\frac{v}{1 + A} \right) \sqrt{1 - \left(\frac{k_1 v^2}{4I(1 + A)^2} \right)} \quad (13)$$

Comparando as expressões da corrente de saída para o par diferencial (Equação 5) e para o circuito proposto (Equação 13) notamos que a transcondutância diminui de um fator $(1+A)$ e o termo da distorção reduz de um fator $(1+A)^2$.

A excursão do sinal de entrada aumenta de um fator $(1+A)$,

$$-(1+A)\sqrt{\frac{2I}{K}} < v < (1+A)\sqrt{\frac{2I}{K}} \quad (14)$$

Y. Tsvividis, Z. Czarnul e S.C. Fang [5] [6] propuseram uma nova configuração em 1986 onde a transcondutância independe da corrente de polarização, os transistores operam com alto V_{GS} de maneira que as não-linearidades são diminuídas e o erro de linearidade é de 0.1% para sinais diferenciais de $2.5V_{pp}$ e menor que 1% para $5V_{pp}$. O circuito está mostrado na Figura 1.5a, sendo que M_{1A} e M_{1B} operam como seguidores de fonte e M_2 operam na região triodo. Considerando os dispositivos casados e desprezando o efeito de modulação de canal, temos:

$$i_{out} = G_c v_{in} - i_{in}(v_{in}) \quad (15)$$

onde:

$$i_{in}(v_{in}) = g\left(\frac{v_{in}}{2}\right) - g\left(\frac{-v_{in}}{2}\right) \quad (16)$$

representa uma não linearidade muito pequena que diminui com a redução do efeito de corpo e aumenta com $(V_Q + V_{SS})$ e

$$G_c = \left(\frac{W}{L}\right) \mu C'_{ox} (V_c - V_Q - V_T) \quad (17)$$

Então o circuito é um transcondutor para grandes sinais com transcondutância G_c ajustável através de V_c . O circuito sai da região linear quando M_2 está na região de saturação ou quando, o valor de i_2 se aproxima do valor de I_s .

Interconectando dois circuitos, como mostrado na Figura 1.5b e assumindo que os dois operam da mesma maneira, apenas com diferentes tensões de controle, temos:

$$i'_{out} = (G_{CA} - G_{CB})v_{in} \quad (18)$$

onde:

$$G_{CA} - G_{CB} = \left(\frac{W}{L}\right) \mu C'_{ox} (V_{CA} - V_{CB}) \quad (19)$$

é independente de V_T e insensível ao ruído de substrato (efeito de corpo).

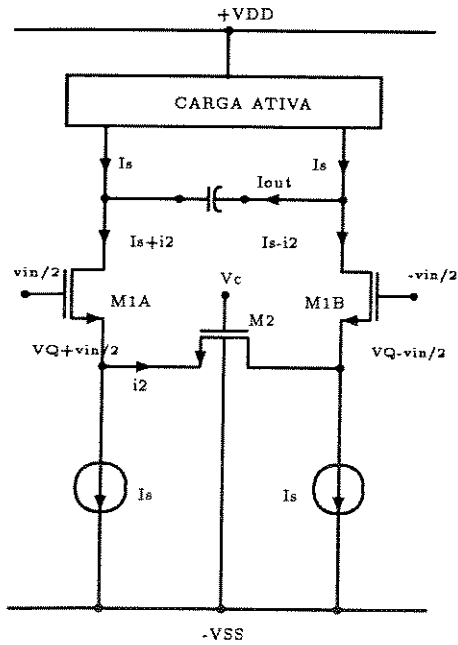


Figura 1.5a

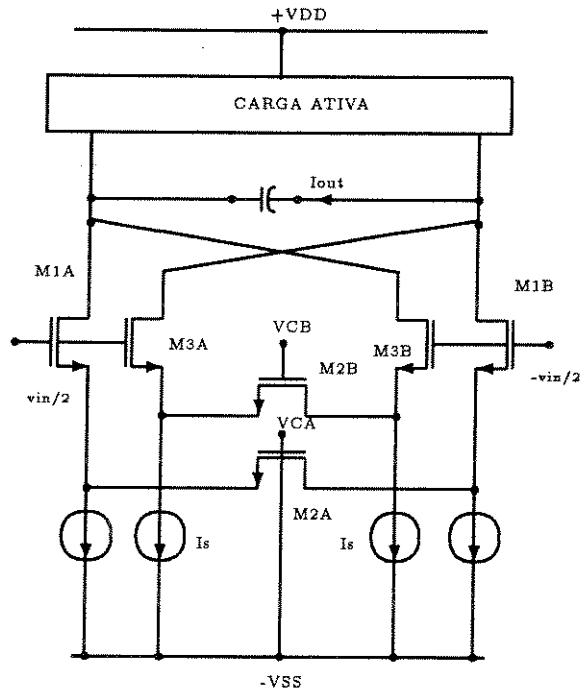


Figura 1.5b

Figura 1.5 - Configuração proposta por Y. Tsividis, Z. Czarnul e S.C. Fang

Podemos notar na Equação (18) a ausência de qualquer termo não linear.

O circuito apresentado por Park, C.S. e Schaumann, R. [7] em 1986 está mostrado na Figura 1.6 e apresenta excelente resposta em frequência e baixa distorção.

O comportamento linear depende do casamento entre os transistores PMOS e NMOS. Isto é,

$$\mu_{effN}C_{ox}\left(\frac{W}{L}\right)_N = \mu_{effP}C_{ox}\left(\frac{W}{L}\right)_P \quad (20)$$

onde a mobilidade dos elétrons e lacunas (μ_{eff}), para o transistor NMOS e PMOS, depende da dopagem, da tensão de polarização e da temperatura, o que torna difícil a linearidade do circuito na prática.

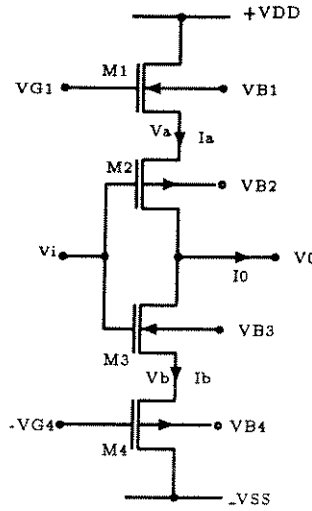


Figura 1.6- Configuração proposta por Park, C.S. e Schaumann, R.

Assumindo os transistores casados e operando na região de saturação, temos:

$$I_0 = -2K_{eff}[V_{G1} + V_{G4} - \Sigma V_T]V_i + K_{eff}[V_{G1} + V_{G4} - \Sigma V_T]\Delta V_T \quad (21)$$

onde:

$$\Sigma V_T = V_{TN1} + V_{TN3} + |V_{TP2}| + |V_{TP4}| \quad (22)$$

$$\Delta V_T = (V_{TN3} - V_{TN1}) + (|V_{TP4}| - |V_{TP2}|) + (V_{G1} - V_{G4}) \quad (23)$$

$$K_{eff} = \frac{K_N K_P}{(\sqrt{K_N} + \sqrt{K_P})^2} \quad (24)$$

onde,

$$K_{N,P} = \frac{1}{2} \left(\mu_{eff} C_{ox} \frac{W}{L} \right)_{N,P}$$

Desprezando o efeito de corpo e fazendo $V_{G1}=V_{G4}=V_G \Rightarrow \Delta V_T=0$, temos:

$$I_0 = -gm_T V_i \quad (25)$$

onde $gm_T=2K_{eff}(2V_G - \Sigma V_T)$ é o parâmetro de transcondutância que pode ser ajustado variando-se a tensão de polarização V_G .

Para a excursão do sinal de entrada, temos:

$$V_i > V_{TN3} + |V_{TP4}| - V_G \quad (26)$$

$$V_i < V_G - V_{TN1} - |V_{TP2}| \quad (27)$$

Considerando $V_{DD} = -V_{SS} = V_G = 5V$, $V_{SBN} = 4V$, $\frac{W}{L} = \frac{300\mu m}{20\mu m}$ e os parâmetros do PMU-CMOS8, temos aproximadamente a faixa,

$$-2.33V < V_i < 2.33V.$$

O circuito proposto por Evert Seevinck e Roelof F. Wassenaar [8] em 1987 apresenta uma distorção de 0.2% para sinais de entrada de $2.4V_{pp}$ e uma largura de banda (-3dB) de 20MHZ.

O circuito está mostrado na Figura 1.7, onde a corrente de saída é dada por,

$$I_{out} = I_1 - I_2 = 2\sqrt{2\beta_{eq}I_b}V_{in} = 2gbV_{in} \quad (28)$$

onde,

$$\beta_{eq} = \frac{\beta_N \beta_P}{(\sqrt{\beta_N} + \sqrt{\beta_P})^2} \quad (29)$$

Para uma corrente $I_b = 20\mu A$, $\left(\frac{W}{L}\right)_N = \left(\frac{W}{L}\right)_P = \frac{300\mu A}{20\mu A}$ e utilizando os parâmetros do PMU-CMOS8, temos,

$$\begin{aligned} -0.56V < V_{in} < 0.56V \\ -80\mu A < I_{out} < 80\mu A, \text{ para } \beta_{eq} = 105.2 \frac{\mu A}{V^2}. \end{aligned}$$

S.Szczepanski, J.Jakusz e A.Czarniak [10] em 1992, propuseram uma configuração onde a linearidade e a faixa de tensão de entrada são significativamente melhoradas. Os resultados da simulação no SPICE apresentaram, para uma alimentação de 5V, um erro de linearidade de 0.2% para uma entrada diferencial de $\pm 4V$.

O circuito está mostrado na Figura 1.8, onde temos um par diferencial formado por M_1 e M_2 e uma célula de linearização modo-corrente formada por M_3 , M_4 , M_5 e M_6 . Todos os dispositivos MOS são assumidos ter as mesmas dimensões e estarem operando na região de saturação. Assumindo todos os transistores casados, sem efeito de corpo, ou seja, o corpo ligado na fonte e desprezando o efeito de modulação de canal, temos:

$$I_{out} = I_b - I_{b*} = 2k_N(V_B - V_{SS} - 2V_{TN})V_{id} \quad (34)$$

onde:

$$k_N = \frac{\mu C_{ox} W}{2L} \quad (35)$$

$$V_{id} = V_{GS1} - V_{GS2} \quad (36)$$

é a tensão diferencial de entrada.

Desta forma temos uma transcondutância perfeitamente linear,

$$gm = 2k_N(V_B - V_{SS} - 2V_{TN}) \quad (37)$$

que pode ser ajustada variando-se a tensão de polarização V_B .

Uma variação deste circuito é mostrada na Figura 1.8b em que são acrescentados os transistores canal-p M_7 e M_8 . Neste caso, cujo equacionamento é idêntico ao anterior, a transcondutância é dada por,

$$I_{out} = 2k_{eff}(V_{GS} - V_{B2} - V_{T\Sigma} - V_{TN})V_{in}$$

onde,

$$k_{eff} = \frac{knkp}{(\sqrt{kn} + \sqrt{kp})^2}$$

e

$$V_{T\Sigma} = V_{TN} + |V_{TP}|$$

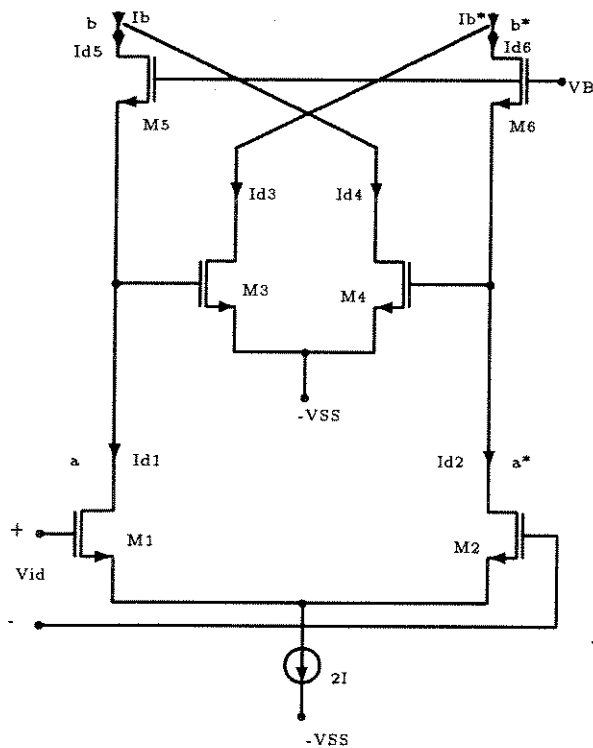


Figura 1.8a

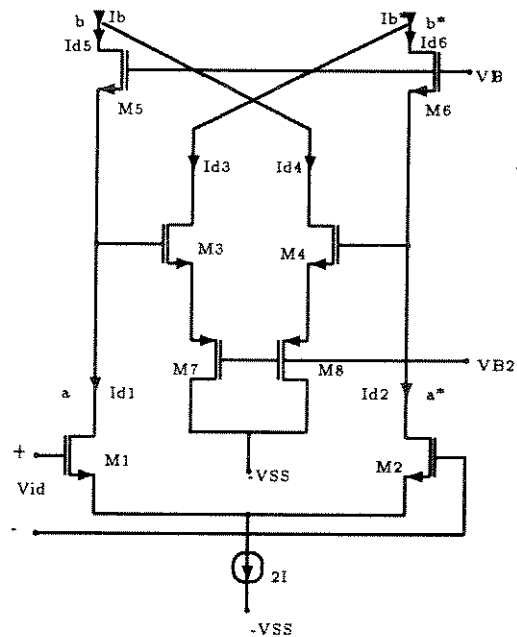


Figura 1.8b

Figura 1.8 - Configuração proposta por S.Szczepanski, J.Jakusz e A.Czarniak

A faixa de entrada linear é dada por,

$$-2\sqrt{\frac{I}{k_N}} \leq V_{id} \leq 2\sqrt{\frac{I}{k_N}} \quad (38)$$

Na Figura 1.9, temos os resultados da simulação no SPICE, que mostram a corrente de saída pela tensão diferencial de entrada e o erro de linearidade menor que 0.2% para uma faixa de 4V de entrada, correspondente ao circuito da Figura 1.8b.

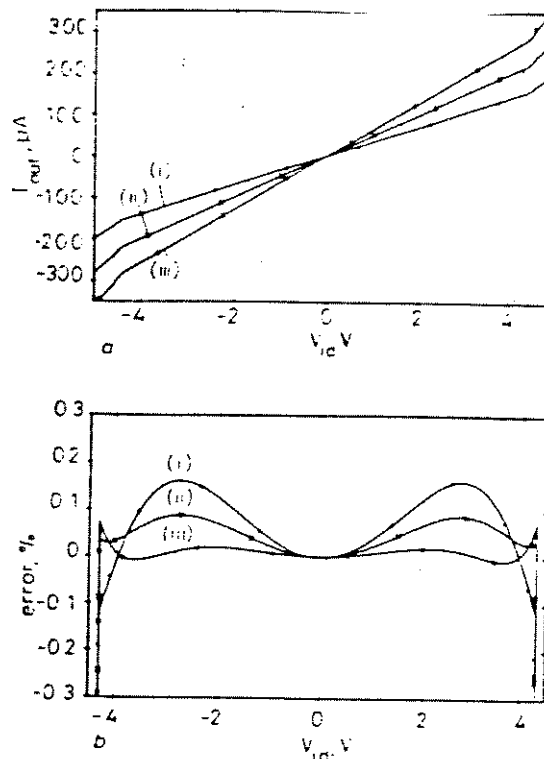


Figura 1.9 - Resultados da simulação SPICE para o circuito da Figura 1.8b

No resumo feito anteriormente para as diversas configurações de transcondutores, comentamos as principais características de cada uma, ressaltando as suas diferenças. Nas Tabelas 1.1, 1.2 e 1.3 mostramos de uma forma mais clara as equações para cada tipo de transcondutor.

Analisando os resultados apresentados nas Tabela 1.3, podemos notar que uma maior excursão no sinal de entrada dos circuitos transcondutores implica em um maior erro de linearidade. O melhor resultado, ou seja, baixo erro de linearidade e alta excursão do sinal de entrada é conseguido com o circuito proposto por Szczepanski, Jakusz e Czarniak que apresenta um erro de linearidade de 0.2% para uma tensão de entrada diferencial de 4V.

No próximo item apresentaremos um novo circuito que além de oferecer um baixo erro de linearidade, oferece, também, uma alta excursão dos sinais de entrada e saída.

Equações da corrente de saída para as principais configurações de transcondutores	
Transcondutor	Corrente de Saída
Par Diferencial	$Gv\sqrt{1 - \frac{kv^2}{4I}} \quad ; \quad G = 2\sqrt{kI}$
Configuração proposta por Nedungadi e Viswanathan em 1984	$i = v\sqrt{K[4I - (K - 2K')v^2]}$ $K' = [2n(n-1)/(n+1)^2]K$
Configuração proposta por Torrance, Viswanathan e Hanson em 1985	$i = \sqrt{K_1I} \left(\frac{v}{1+A} \right) \sqrt{1 - \left(\frac{K_1v^2}{4I(1+A)^2} \right)}$ $A = \sqrt{\frac{nK_1}{K_2}}$
Configuração proposta por Tsividis, Czarul e Fang em 1986	$\frac{W}{L} \mu C'_{ox} (V_{CA} - V_{CB})v_{in}$
Configuração proposta por Park e Schaumann em 1986	$I_0 = -gm_T V_i$ $gm_T = 2K_{eff}(2V_G - \Sigma V_T)$ $\Sigma V_T = V_{TN1} + V_{TN3} + V_{TP2} + V_{TP4} $
Configuração proposta por Seevinck e Wassenaar em 1987	$2\sqrt{2\beta_{eq}I_b}V_{in}$ $\beta_{eq} = \frac{\beta_N\beta_P}{(\sqrt{\beta_N} + \sqrt{\beta_P})^2}$
Configuração proposta por Szczepanski, Jakusz e Czarniak em 1992	$2k_N(V_B - V_{SS} - 2V_{TN})V_{id}$

Tabela 1.1 - Corrente de Saída para as principais configurações de transcondutores

Excursão da Tensão de Entrada para as principais configurações de transcondutores	
Transcondutor	Excursão da Tensão de Entrada
Par Diferencial	$-\sqrt{2}\sqrt{\frac{I}{k}} < v < \sqrt{2}\sqrt{\frac{I}{k}}$
Configuração proposta por Nedungadi e Viswanathan em 1984	$-2\sqrt{\frac{I}{k}} < v < 2\sqrt{\frac{I}{k}}$
Configuração proposta por Torrance, Viswanathan e Hanson em 1985	$-(1+A)\sqrt{\frac{2I}{k}} < v < (1+A)\sqrt{\frac{2I}{k}}$ $A = \sqrt{\frac{nK_1}{K_2}}$
Configuração proposta por Tsividis, Czarnul e Fang em 1986	$\pm 5V$
Configuração proposta por Park e Schaumann em 1986	$V_{TN3} + V_{TP4} - V_G < V_i < V_G - V_{TN1} - V_{TP2} $
Configuração proposta por Seevinck e Wassenaar em 1987	$-\sqrt{\frac{2I_b}{\beta_{eq}}} < V_{in} < \sqrt{\frac{2I_b}{\beta_{eq}}}$
Configuração proposta por Szczepanski, Jakusz e Czarniak em 1992	$-2\sqrt{\frac{I}{k_N}} < V_{id} < 2\sqrt{\frac{I}{k_N}}$

Tabela 1.2 - Excursão da Tensão de Entrada para as principais configurações de transcondutores

Outras Características dos transcondutores	
Transcondutor	Características Adicionais
Par Diferencial	$p/G = 26 \frac{\mu A}{V}$: $\Rightarrow$ 1% de linearidade p/ $3.6V_{pp}$ de entrada
Configuração proposta por Nedungadi e Viswanathan em 1984	para $ v < 0.28V_b \Rightarrow$ 1% de linearidade $p/G = 26 \frac{\mu A}{V}$: $\Rightarrow$ 1% de linearidade p/ $3.9V_{pp}$ de entrada
Configuração proposta por Torrance, Viswanathan e Hanson em 1985	$p/G = 26 \frac{\mu A}{V}$: $\Rightarrow$ 1% de linearidade p/ $2.9V_{pp}$ de entrada
Configuração proposta por Tsividis, Czarnul e Fang em 1986	0.1% de linearidade p/ entradas diferenciais de $2.5V_{pp}$ e 1% p/ $5V_{pp}$
Configuração proposta por Park e Schaumann em 1986	PSR=96 dB p/ 100Khz 93dB p/ 1Mhz 78 dB p/ 10Mhz
Configuração proposta por Seevinck e Wassenaar em 1987	Distorsão de 0.2% p/ $2.4V_{pp}$ de entrada Largura de Banda de 20 Mhz $-4I_b < I_{out} < 4I_b$
Configuração proposta por Szczepanski, Jakusz e Czarniak em 1992	Erro de linearidade de 0.2% p/ entrada diferencial de 4 V

Tabela 1.3 - Outras Características dos transcondutores

1.2 Apresentação de um Novo Circuito Conversor V/I

Neste item apresentaremos uma nova configuração de um circuito conversor tensão-corrente. Este circuito apresenta alta excursão dos sinais de entrada e de saída, baixo erro de linearidade e possibilidade de operação em alta frequência.

1.2.1 Princípio de Funcionamento

O circuito conversor tensão-corrente está mostrado na Figura 1.10. O circuito é formado por oito transistores NMOS, $M_1, M_2, \dots, M_8$, sendo que os pares de transistores M_5, M_6 e M_7, M_8 possuem os terminais de porta e fonte conectados, formando espelhos de corrente, pois possuem os mesmos valores de tensão porta-fonte (V_{GS}). A estrutura é alimentada por duas fontes de corrente de mesmo valor $2I$. A corrente da 1a. fonte, posicionada na parte superior do circuito, se divide e flui pelos transistores M_2 e M_3 , que estão ligados como diodos MOS. A corrente da 2a. fonte, posicionada na parte inferior do circuito, estabelece as correntes que fluem pelos transistores M_5 e M_6 . A conexão cruzada dos espelhos de corrente inferiores faz com que a tensão de dreno do transistor M_5 seja igual à tensão de porta do transistor M_8 , e a tensão de dreno de M_8 seja igual à tensão de porta de M_5 .

Nos circuitos mostrados nas Figuras 1.10a e 1.10b considerou-se a utilização de um processo poço-N, onde os transistores NMOS são fabricados diretamente sobre o substrato, portanto os corpos dos transistores estão ligados ao potencial de substrato $-V_{SS}$.

Na Figura 1.10a a tensão de entrada V_{in} é igual a zero, ou seja, nenhuma corrente flui pelo resistor de entrada R_{in} . Assim, temos apenas as fontes de corrente de polarização $2I$ agindo na estrutura. Como já foi dito anteriormente, os transistores M_5 e M_6 formam um espelho de corrente, então fluirá por cada um deles um valor de corrente que é metade da corrente da fonte de polarização, ou seja I . A corrente que flui pelo transistor M_1 é de mesmo valor que a que flui pelo transistor M_5 , também I . O mesmo acontece para a corrente que flui pelos transistores M_2 e M_6 . Então, se temos uma corrente de valor I fluindo pelo transistor M_2 e a fonte de polarização (superior) fornece uma corrente de valor $2I$, temos uma corrente de valor, também I , fluindo pelo transistor M_3 . Da mesma forma que o lado esquerdo do conversor V/I, formado pelos transistores M_1, M_2, M_5 e M_6 funciona, teremos no lado direito, formado pelos transistores M_3, M_4, M_7 e M_8 a corrente que flui por M_3 igual a do transistor M_7 e a do transistor M_4 igual a de M_8 . Como a corrente que flui pelo transistor M_7 é igual a I , a corrente que flui pelo transistor M_4 é de mesmo valor.

Resumindo, temos que para $V_{IN}=0$ a estrutura está em equilíbrio, ou seja, somente as correntes de polarização circulam pelo circuito e as correntes de saída no dreno do transistor M_4 (I_{D4}) e no dreno do transistor M_1 (I_{D1}) são iguais a I . Esta

Figura 1.10b

Para V_{in} diferente de zero temos uma componente incremental de corrente que flui pelo resistor de entrada R_{in} . Esta corrente provocará um desequilíbrio nas correntes de saída do conversor V/I, como mostrado na Figura 1.10b.

$$I_{D5} + I_{D6} + 2i = 2I \quad (39)$$
$$I_{D5} = I_{D6} = I_{DE} \quad (40)$$
$$2I_{DE} + 2i = 2I \implies I_{DE} = I - i \quad (41)$$

Da mesma forma, equacionando as correntes no nó formado pelos drenos dos transistores M_2 e M_3 e pela fonte de polarização $2I$, e considerando, como foi mostrado anteriormente, que a corrente que flui pelo transistor M_2 é de valor $I-i$, temos,

$$I_{D2} + I_{D3} = 2I \implies I - i + I_{D3} = 2I \implies I_{D3} = I_{DD} = I + i \quad (42)$$

Então, a corrente que flui pelos transistores do lado direito do conversor V/I (I_{DD}) é igual a $I+i$.

Concluindo, temos que a diferença das correntes de saída do conversor V/I é,

$$I_{D4} - I_{D1} = (I + i) - (I - i) = 2i \quad (43)$$

O mesmo equacionamento feito para a tensão de entrada V_{in} maior que zero, foi feito para $V_{in} < 0$ e foram obtidos os seguintes valores para as correntes do conversor V/I ,

$$I_{DE} = I + i$$

$$I_{DD} = I - i$$

e a diferença das correntes de saída,

$$I_{D4} - I_{D1} = (I - i) - (I + i) \quad (44)$$

ou seja,

$$I_{D4} - I_{D1} = -2i \quad (45)$$

Neste item foi mostrado um circuito ideal, onde as correntes de saída do conversor V/I (i_{D1} , i_{D4}), produzidas por uma tensão de entrada V_{in} , são respectivamente $i_{D1} = -i$ e $i_{D4} = i$, de tal modo que $V_{in} = 2R_{in}i$. A análise que leva a este resultado despreza os erros causados pelo efeito de corpo, efeito de modulação de canal e descasamento dos transistores.

Os efeitos de modulação de canal e descasamento entre os transistores são minimizados através do dimensionamento adequado da largura e comprimento do canal dos transistores. O efeito de corpo, entretanto, é intrínseco aos transistores de canal-N na tecnologia em que foram implementados: poço-N. Sob o ponto de vista operacional, o efeito de corpo causa uma variação da tensão no terminal onde é conectado o resistor de entrada que idealmente deve se comportar como um "terra virtual". A consequência da variação da tensão neste ponto, que doravante chamaremos de v_c ,

é deteriorar a linearidade do conversor V/I. O erro provocado pelo efeito de corpo pode ser equacionado e compensado e será o nosso próximo assunto.

1.3 Equacionamento do Erro provocado pelo Efeito de Corpo

Para um melhor entendimento, faremos primeiramente o equacionamento do erro, desprezando o efeito de corpo.

1.3.1 Equacionamento do Erro desprezando o Efeito de Corpo

Equacionando, no circuito da Figura 1.10b, a tensão de fonte do transistor M_5 , $v_{S5} = v_\epsilon$, temos:

$$v_\epsilon = v_{gs8} + v_{gs1} - v_{gs4} - v_{gs5} \quad (46)$$

Sabemos que, a transcondutância **gm** de um transistor MOS é por definição o valor da corrente incremental dividido pelo valor da variação da tensão porta-fonte que gerou esta corrente, ou seja

$$gm = \frac{i}{v_{gs}} \left| \begin{array}{l} \partial v_{DS}=0 \\ \partial v_{BS}=0 \end{array} \right. \quad (47)$$

Desprezando os efeitos de corpo e modulação de canal, ou seja $\delta V_{DS} = 0$ e $\delta V_{BDS} = 0$ e substituindo a Equação (47) na Equação (46) temos,

$$v_\epsilon = \frac{-i}{gm_8} + \frac{i}{gm_1} + \frac{i}{gm_4} - \frac{i}{gm_5} \quad (48)$$

Admitindo a seguinte expressão para **gm**,

$$gm = \frac{\delta I_D}{\delta V_{GS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) I_D} \quad (49)$$

e substituindo na Equação (48), temos que,

$$v_\epsilon = \frac{-i}{\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_8 I_{D8}}} + \frac{i}{\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_1 I_{D1}}} + \frac{i}{\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_4 I_{D4}}} - \frac{i}{\sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_5 I_{D5}}} \quad (50)$$

Considerando que todos os transistores possuem os mesmos tamanhos de largura do canal (W) e comprimento do canal (L) e as mesmas correntes de polarização, obtemos da Equação (50) que $v_e = 0$

1.3.2 Equacionamento do Erro considerando o Efeito de Corpo e de Modulação de Canal

Considerando, agora, que a corrente incremental do transistor é provocada não somente por uma variação na tensão porta-fonte, mas também por uma variação nas tensões dreno-fonte e corpo-fonte, temos os chamados efeito de modulação de canal e efeito de corpo, respectivamente. Por este motivo, equacionamos v_e utilizando o modelo para pequenos sinais da Figura 1.11 [11] para representar o transistor, onde

$$id = gm v_{gs} + gds v_{ds} + gmb v_{bs} \quad (51)$$

é a corrente incremental no dreno do transistor devida a uma variação das tensões porta-fonte (v_{gs}), dreno-fonte (v_{ds}) e corpo-fonte (v_{bs}).

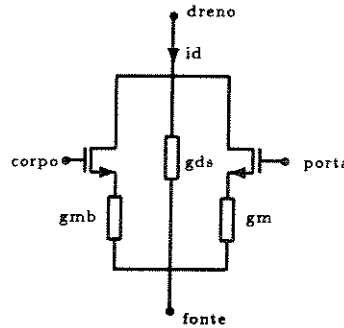


Figura 1.11 - Modelo simplificado para pequenos sinais utilizado para representar o transistor

Da Equação (51) obtemos a variação da tensão porta-fonte,

$$v_{gs} = \frac{id}{gm} - \frac{gds}{gm} v_{ds} - \frac{gmb}{gm} v_{bs} \quad (52)$$

Utilizando transistores de canal longo, de maneira que possamos desprezar o efeito de modulação de canal e considerando que o substrato está ligado em $-V_{ss}$, ou seja, a variação de tensão no corpo v_b é igual a zero, temos

$$v_{gs} = \frac{id}{gm} + \frac{gmb}{gm}v_s \quad (53)$$

onde v_s é a variação da tensão na fonte do transistor.

Substituindo a Equação (53) na Equação (46), temos

$$v_e = \frac{-i}{gm_8} + \frac{gmb_8}{gm_8}v_{s8} + \frac{i}{gm_1} + \frac{gmb_1}{gm_1}v_{s1} + \frac{i}{gm_4} - \frac{gmb_4}{gm_4}v_{s4} - \frac{i}{gm_5} - \frac{gmb_5}{gm_5}v_{s5} \quad (54)$$

Por inspeção do circuito da Figura 1.10b, temos

$$v_{s8} = 0 \quad ; \quad v_{s1} = v_{gs8} \quad ; \quad v_{s4} = v_e + v_{gs5} \quad ; \quad v_{s5} = v_e \quad (55)$$

Substituindo as expressões (55) na Equação (54), temos como expressão para v_e , considerando o efeito de corpo,

$$\begin{aligned} v_e = & \left(\frac{gm_4gm_5}{gm_4gm_5 + gmb_4gm_5 + gmb_4gmb_5 + gm_4gmb_5} \right) X \\ & \left(\frac{1}{gm_1} - \frac{1}{gm_8} - \frac{gmb_1}{gm_1gm_8} + \frac{1}{gm_4} \right) i + \\ & + \left(\frac{gm_4gm_5}{gm_4gm_5 + gmb_4gm_5 + gmb_4gmb_5 + gm_4gmb_5} \right) \left(-\frac{gmb_4}{gm_4gm_5} - \frac{1}{gm_5} \right) i \end{aligned} \quad (56)$$

que é função das transcondutâncias gm e gmb dos transistores.

Considerando como expressão para a corrente de dreno do transistor, operando na região de saturação [12],

$$I_D = \frac{\mu C_{ox} W}{2L} (V_{GS} - V_T)^2 \quad (57)$$

e reescrevendo a equação da transcondutância gm ,

$$gm = \frac{\delta I_D}{\delta V_{GS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) I_D} \quad (58)$$

é a razão entre a corrente incremental e a variação da tensão porta-fonte que provocou esta corrente,

$$\begin{aligned} gmb &= \frac{\delta I_D}{\delta V_{BS}} = \frac{\delta I_D}{\delta V_T} \frac{\delta V_T}{\delta V_{BS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) \left(\frac{\gamma}{2\sqrt{2|\varphi_F| - V_{BS}}} \right) = \\ &= gm \left(\frac{\gamma}{2\sqrt{2|\varphi_F| - V_{BS}}} \right) = gm \cdot \eta \end{aligned} \quad (59)$$

é a razão entre a corrente incremental e a variação da tensão corpo-fonte que provocou esta corrente, onde,

$$V_T = V_{To} + \gamma(\sqrt{2|\varphi_F| - V_{BS}} - \sqrt{2|\varphi_F|}) \quad (60)$$

temos que,

$$v_e = \left(\frac{1}{1 + \eta_4 + \eta_4\eta_5 + \eta_5} \right) \left[\frac{1}{gm_1} + \frac{1}{gm_4} - \left(\frac{1 + \eta_1}{gm_8} \right) - \left(\frac{1 + \eta_4}{gm_5} \right) \right] i \quad (61)$$

Para transistores idênticos, ou seja, $gm_1 = gm_4 = gm_5 = gm_8$ e $\eta_1 = \eta_4$, a expressão (61) indica que v_e é diferente de zero. No caso de amostras fabricadas através do PMU-CMOS8, em que $W = 300\mu A$ e $L = 20\mu A$, $I_D = 20\mu A$, $|V_{BS1}| = |V_{BS4}| = 8.5V$, $|V_{BS5}| = 6.5V$ e adotando os valores fornecidos pelo SPICE:

$$gm_1 = gm_4 = gm_5 = gm_8 = 1.75 \times 10^{-4} \frac{A}{V}$$

$$\begin{aligned} gmb_1 &= gmb_4 = 1.60 \times 10^{-5} \frac{A}{V} \\ gmb_5 &= 1.77 \times 10^{-5} \frac{A}{V} \end{aligned}$$

Temos que,

$$\eta_1 = \eta_4 = \frac{gmb_4}{gm_4} = \frac{1.60 \times 10^{-5}}{1.75 \times 10^{-4}} = 0.0914$$

$$\eta_5 = \frac{gmb_5}{gm_5} = \frac{1.77 \times 10^{-5}}{1.75 \times 10^{-4}} = 0.1017$$

Levando esses resultados na Equação 61, temos que

$$v_e = \left(\frac{1}{1+0.0914+0.0914 \times 0.1017+0.1017} \right) \times \left(\frac{2-2(1+0.0914)}{1.75 \times 10^{-4}} \right) i$$

Desse modo, quando a tensão de entrada do conversor V/I for igual a +2V, a corrente i será $20\mu A$, à qual corresponde $v_e = 19.7mv$. Para i igual a $10\mu A$, $v_e = 9.84mV$.

Podemos validar este equacionamento comparando o resultado obtido com simulação (varredura DC) e medidas em amostras obtidas através do PMU-CMOS8, mostrados nas Figuras 1.12 e 1.13.

Tensão no "Terra Virtual" (SPICE)

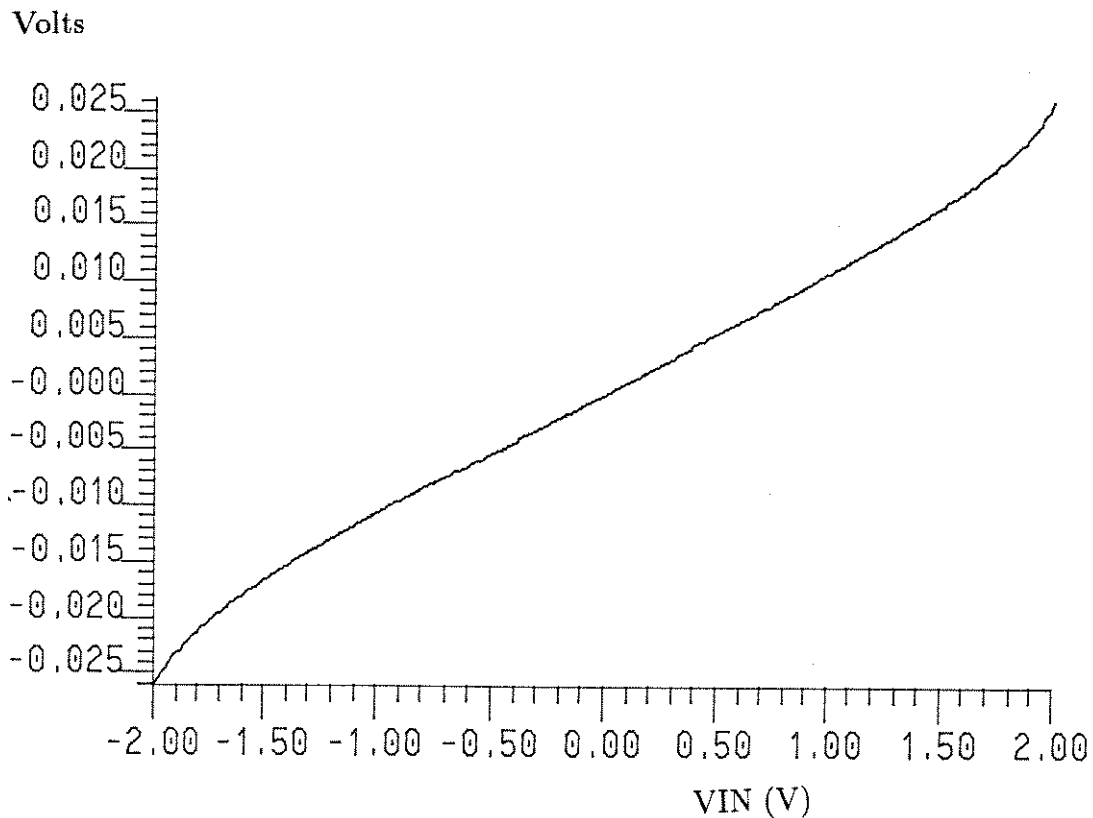


Figura 1.12 - Resultado da simulação no SPICE para a tensão no "terra virtual" (v_e) para $\frac{W}{L} = \frac{300\mu m}{20\mu m}$

Mais significativa ainda que a simulação é o resultado experimental ilustrado na Figura 1.13 utilizando-se circuitos integrados no PMU-CMOS8.

Notamos que na faixa de -1V a +1V para o sinal de entrada (V_{in}) o equacionamento é uma boa aproximação da realidade. Entretanto, na faixa de -2V a -1V e +1V a +2V o resultado dado pelo equacionamento é diferente do obtido na prática. Isto será explicado no item 2.7.

Tensão no Terra Virtual (Experimental)

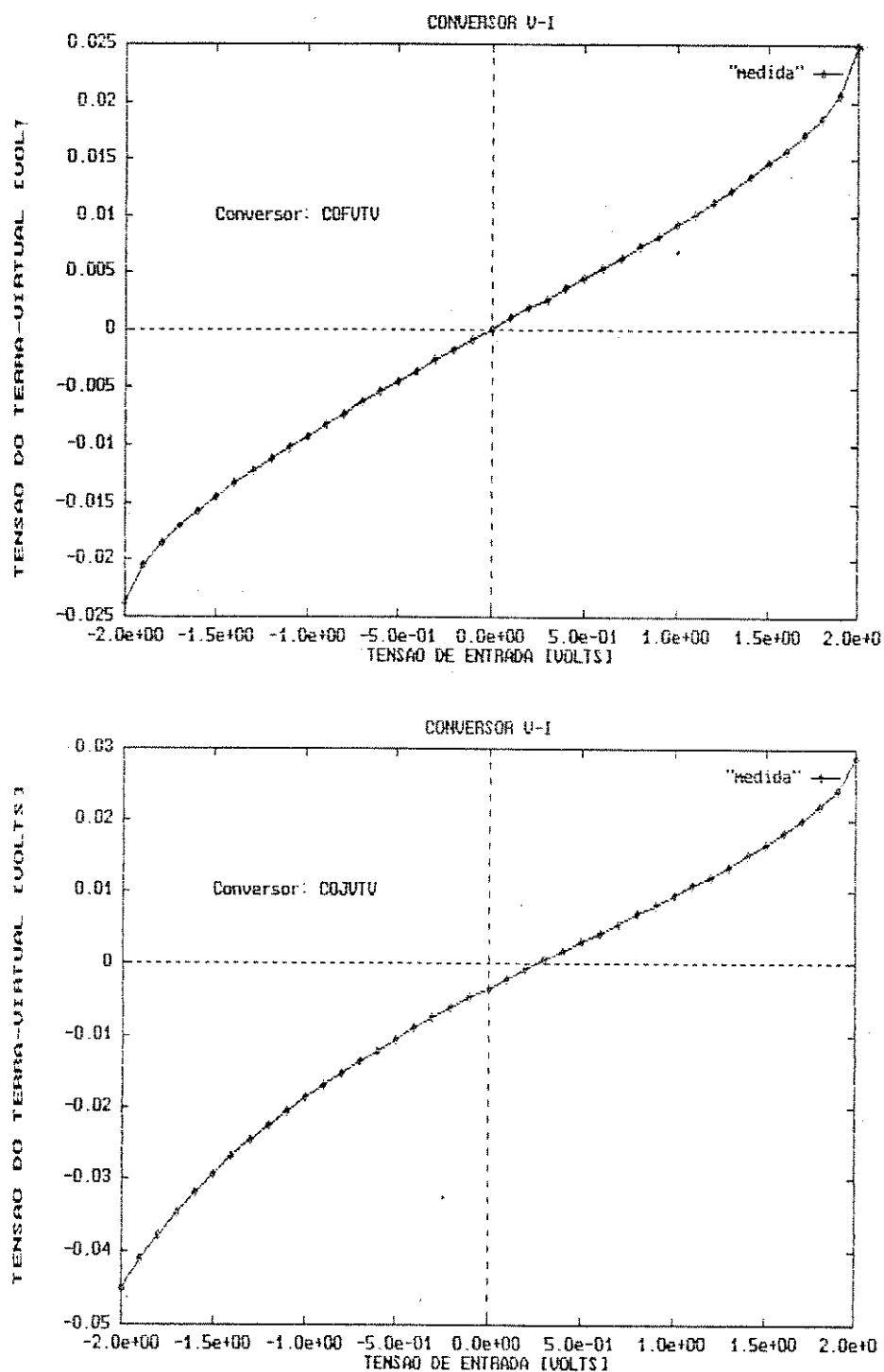


Figura 1.13 - Resultado experimental para a tensão no "terra virtual" (v_e) para $\frac{W}{L} = \frac{300\mu m}{20\mu m}$

1.4 Simulação Elétrica do Conversor V/I

Além da simulação DC, vista anteriormente, outras características do circuito foram observadas via simulação SPICE.

Traçando as curvas $(I_D \times V_{DS})_{V_{GS}}$, para diversos valores de $\frac{W}{L}$ e $V_{SB} = 5V$ para o transistor NMOS, utilizando o modelo do PMU-CMOS8 - Nível2 - Caso Típico, temos os resultados mostrados na Figura 1.14.

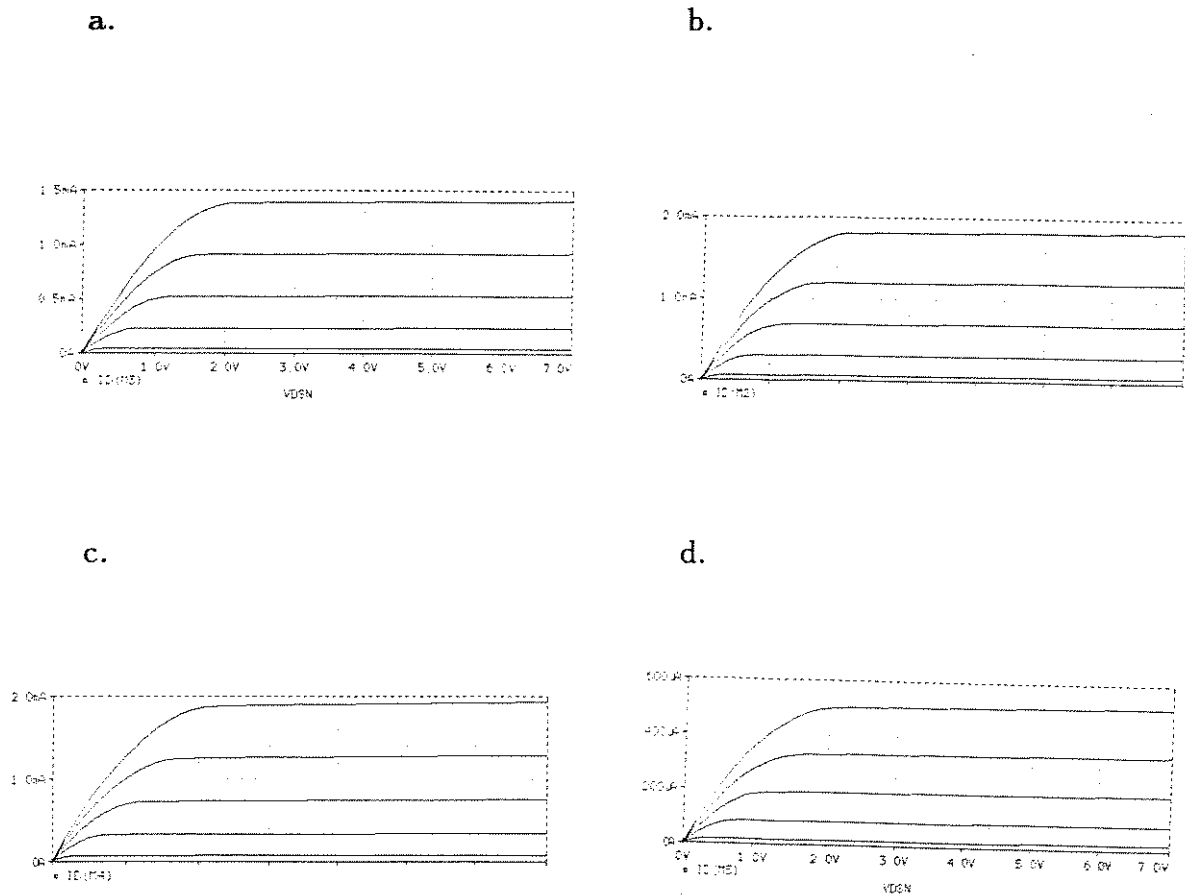
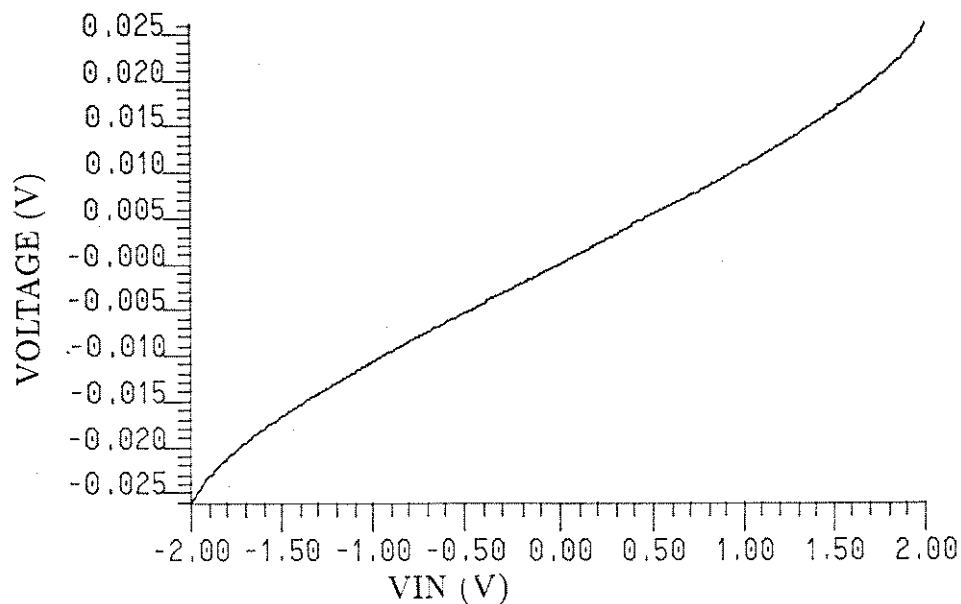


Figura 1.14 - Curvas $(I_D \times V_{DS})_{V_{GS}}$ para: a. $\frac{W}{L} = \frac{300U}{20U}$, b. $\frac{W}{L} = \frac{400U}{20U}$, c. $\frac{W}{L} = \frac{200U}{10U}$ e d. $\frac{W}{L} = \frac{50U}{10U}$

Baseado nessas curvas uma 1ª escolha para o valor da largura do canal **W** e do comprimento do canal **L** foi $\left(\frac{W}{L}\right) = \frac{300\mu m}{20\mu m}$. Para essa razão obtemos valores de tensão porta-fonte que permitem uma boa excursão do sinal na saída e um menor valor da tensão de erro (V_{S5}).

Simulando o circuito do conversor V/I mostrado na Figura 1.13b, onde: $V_{DD} = -V_{SS} = 6.5V$, $2I = 40\mu A$, $R_{in} = 50\text{ Kohm}$ e $\frac{W}{L} = \frac{300\mu m}{20\mu m}$ para todos os transistores, temos os resultados mostrados nas Figuras 1.15, 1.16 e 1.17.

Tensão no "Terra Virtual"



Correntes de Saída

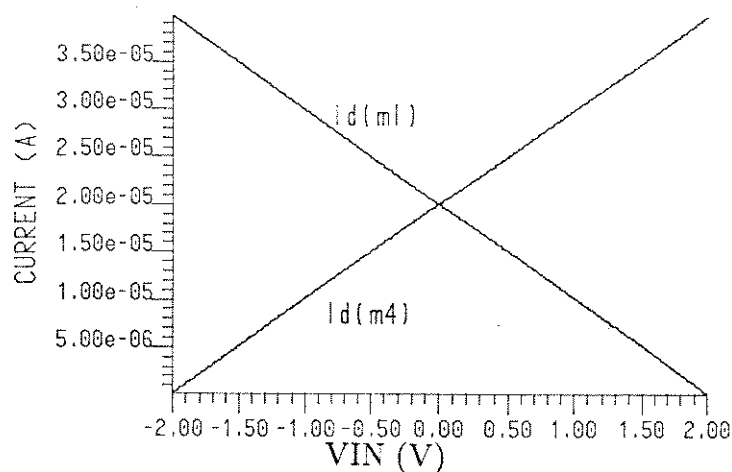


Figura 1.15 - Análise DC para $\frac{W}{L} = \frac{300\mu m}{20\mu m}$

Aplicando o sinal ($v(9)$), variando de $-1V$ a $+1V$, na entrada do conversor V/I , temos uma corrente incremental fluindo pelo resistor de entrada R_{in} ($50K\Omega$) variando de $-20\mu A$ a $+20\mu A$.

Nas saídas do conversor V/I temos as correntes nos drenos dos transistores M_1 e M_4 , que são $i(vl)$ e $i(vr)$, e variam de $(I + 10)\mu A$ a $(I - 10)\mu A$ e $(I - 10)\mu A$ a $(I + 10)\mu A$, respectivamente, sendo $I = 20\mu A$ o valor da corrente de polarização dos transistores do conversor V/I . As formas de onda da tensão de entrada e das correntes de saída são mostradas na Figura 1.15.

Análise AC ($\frac{W}{L} = \frac{300\mu m}{20\mu m}$)

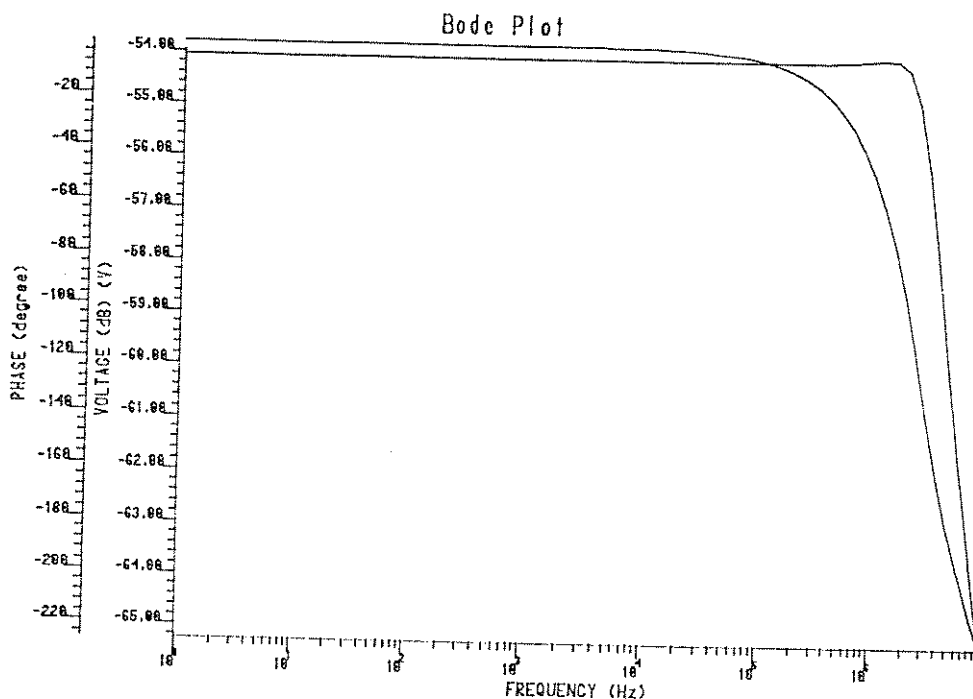


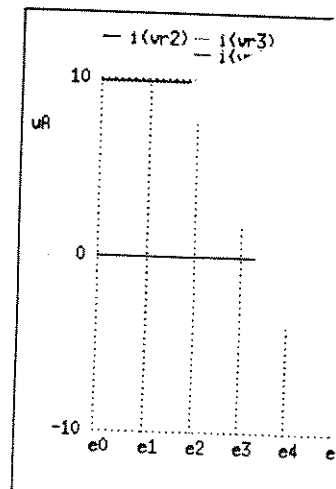
Figura 1.16 - Análise AC do conversor V/I ($\frac{W}{L} = \frac{300\mu m}{20\mu m}$)

Na Figura 1.16 temos o comportamento em frequência da corrente de saída $i(vl)$ do conversor V/I . Observamos que o circuito responde bem até uma frequência de aproximadamente 100 KHz. Como estamos utilizando transistores de grandes dimensões ($W=300\mu m$ e $L=20\mu m$) é de se esperar que a largura de banda do circuito fique comprometida, pois as capacitâncias associadas são maiores. Utilizando transistores de dimensões menores, temos uma maior largura de banda, como está mostrado na Figura 1.17, onde as dimensões dos transistores do circuito conversor V/I são:

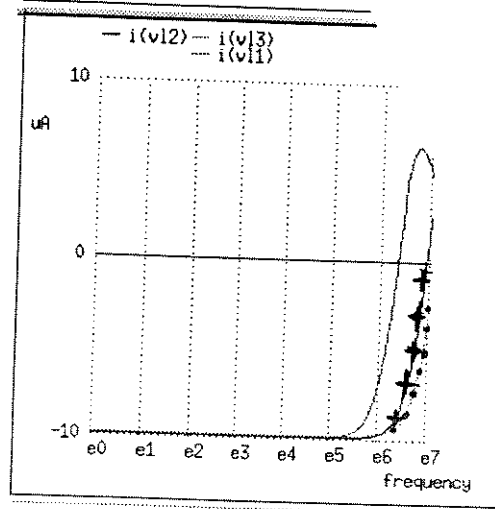
- 1o. $W=300\mu m$, $L=20\mu m$
- 2o. $W=200\mu m$, $L=10\mu m$
- 3o. $W=50\mu m$, $L=10\mu m$

Análise AC

Corrente I_{S1}



Corrente I_{S2}



$$\begin{aligned} \bullet \frac{W}{L} &= \frac{50\mu m}{10\mu m} \\ + \frac{W}{L} &= \frac{200\mu m}{10\mu m} \\ - \frac{W}{L} &= \frac{300\mu m}{20\mu m} \end{aligned}$$

Figura 1.17 - Análise AC feita no circuito conversor Tensão-Corrente:

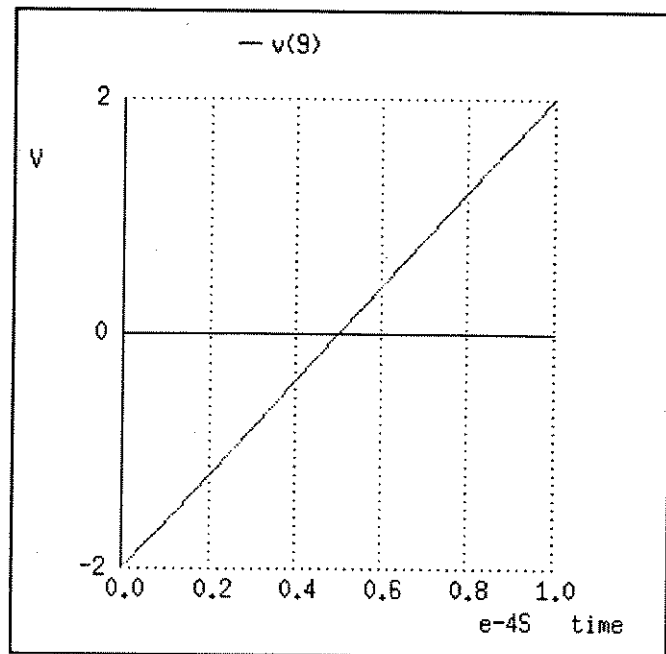
- $W=300 \mu m$, $L=20 \mu m$
- + $W=200 \mu m$ $L=10 \mu m$
- $W=50 \mu m$ $L=10 \mu m$

Então, podemos concluir que para utilizarmos transistores de menores dimensões no conversor V/I e melhorarmos o comportamento em frequência do circuito, precisamos compensar o erro provocado pelo efeito de corpo dos transistores, ou seja diminuir a variação da tensão no "terra virtual" (v_e). Isto será mostrado no próximo item.

Na Figura 1.18 temos a análise de transiente para o conversor V/I com transistores NMOS de dimensões ($\frac{W}{L} = \frac{200\mu m}{10\mu m}$) e ($\frac{W}{L} = \frac{50\mu m}{10\mu m}$).

Análise Transiente

Tensão de Entrada
do Conversor V/I



Tensão no "Terra Virtual"

$$\begin{aligned} \bullet \frac{W}{L} &= \frac{50\mu m}{10\mu m} \\ + \frac{W}{L} &= \frac{200\mu m}{10\mu m} \\ - \frac{W}{L} &= \frac{300\mu m}{20\mu m} \end{aligned}$$

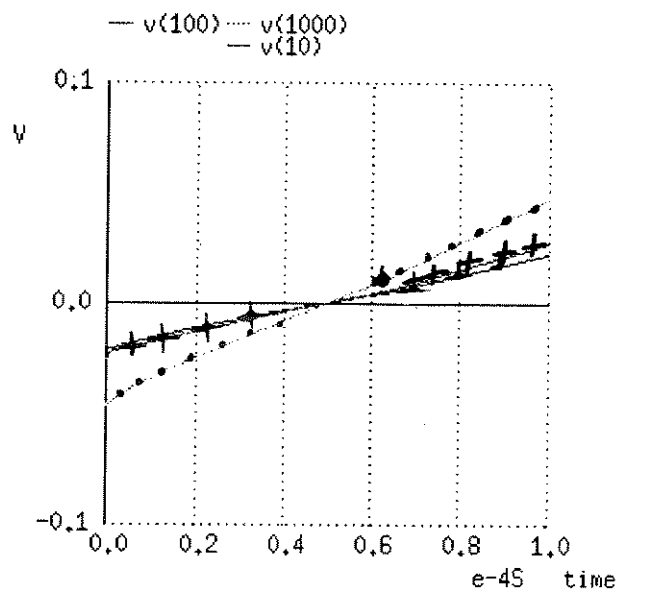


Figura 1.18 - Análise Tansiente feita no circuito conversor Tensão-Corrente:

- $W=300 \mu m$, $L=20 \mu m$

+ $W=200 \mu m$ $L=10 \mu m$

• $W=50 \mu m$ $L=10 \mu m$

Observamos que a tensão no "terra virtual" (v_e) é maior para estes casos, quando comparado com os resultados mostrados na Figura 1.15, onde os transistores são de dimensões ($\frac{W}{L} = \frac{300\mu m}{20\mu m}$).

1.4.1 Compensação do Erro provocado pelo Efeito de Corpo

Estabelecendo que os transistores M_1 , M_2 , M_3 e M_4 , situados na parte superior

do circuito, têm a mesma relação $\left(\frac{W}{L}\right)_s$, ou seja $gm_1 = gm_4 = gm_s$ e que os demais transistores, situados na parte inferior do circuito, também são geometricamente idênticos entre si, mas tendo uma relação $\left(\frac{W}{L}\right)_i$ diferente da relação dos transistores da parte superior $\left(\frac{W}{L}\right)_s$, podemos reescrever a expressão para v_e (Equação (61)).

$$v_e = \left(\frac{1}{1 + \eta_s + \eta_i \eta_s + \eta_i} \right) \left(\frac{2}{gm_s} - \frac{2(1 + \eta_s)}{gm_i} \right) \quad (62)$$

Lembrando que η_s se refere aos transistores superiores M_1, M_2, M_3 e M_4 .

Podemos notar que a tensão v_e pode ser anulada, escolhendo-se valores adequados para as transcondutâncias. Então temos,

$$\left(\frac{1}{1 + \eta_s + \eta_i \eta_s + \eta_i} \right) \left(\frac{2}{gm_s} - \frac{2(1 + \eta_s)}{gm_i} \right) = 0 \quad (63)$$

ou seja,

$$\frac{gm_s}{gm_i} = \frac{1}{1 + \eta_s} \quad (64)$$

Substituindo na Equação (64) os valores dos parâmetros dos modelos do PMU-CMOS8- Nível2- Caso Típico, que são,

$\mu_N = 670 \times 10^{-4} \frac{m^2}{Vs}$: mobilidade dos elétrons no canal para o transistor NMOS,

$\gamma_N = 0.65$: parâmetro de efeito de corpo,

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 1.4 \times 10^{-3} \frac{F}{m^2}$: capacitância do óxido por unidade de área, e

$V_{ToN} = 0.7V$: tensão *threshold* quando a tensão corpo-fonte é igual a zero, adotando a corrente $I_D = 20 \mu A$ e considerando que $\eta_s = 0.0994$ para uma alimentação de $\pm 8V$ e $\eta_s = 0.1172$ para uma alimentação de $\pm 5V$, a condição para que haja compensação do erro em v_e é:

• **1o Caso:** Para $\left(\frac{W}{L}\right)_i = \frac{200 \mu m}{10 \mu m}$

o valor calculado para que v_e seja zero é

$$\left(\frac{W}{L}\right)_s = 16.59, \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_s = 16.8 \text{ (alimentação de } \pm 5V)$$

- **2o Caso:** Para $\left(\frac{W}{L}\right)_i = \frac{50\mu m}{10\mu m}$

o valor calculado para que v_e seja zero é

$$\left(\frac{W}{L}\right)_s = 4.14 \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_s = 4.17 \text{ (alimentação de } \pm 5V)$$

- **3o Caso:** Para $\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m}$

o valor calculado para que v_e seja zero é

$$\left(\frac{W}{L}\right)_i = 23.3 \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_i = 24.0 \text{ (alimentação de } \pm 5V)$$

- **4o Caso:** Para $\left(\frac{W}{L}\right)_s = \frac{50\mu m}{10\mu m}$

o valor calculado para que v_e seja zero é

$$\left(\frac{W}{L}\right)_i = 6.2 \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_i = 6.0 \text{ (alimentação de } \pm 5V)$$

Foram escolhidos os seguintes valores:

1o Caso :

$$\left(\frac{W}{L}\right)_i = \frac{200\mu m}{10\mu m} \quad \left(\frac{W}{L}\right)_s = \frac{165.9\mu m}{10\mu m} \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_s = \frac{168\mu m}{10\mu m} \text{ (alimentação de } \pm 5V)$$

2o Caso :

$$\left(\frac{W}{L}\right)_i = \frac{50\mu m}{10\mu m} \quad \left(\frac{W}{L}\right)_s = \frac{41.4\mu m}{10\mu m} \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_s = \frac{41.7\mu m}{10\mu m} \text{ (alimentação de } \pm 5V)$$

3o Caso :

$$\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m} \quad \left(\frac{W}{L}\right)_i = \frac{233\mu m}{10\mu m} \text{ (alimentação de } \pm 8V)$$

$$\left(\frac{W}{L}\right)_i = \frac{240\mu m}{10\mu m} \text{ (alimentação de } \pm 5V)$$

4o Caso :

$$\left(\frac{W}{L}\right)_s = \frac{50\mu m}{10\mu m} \quad \left(\frac{W}{L}\right)_i = \frac{62\mu m}{10\mu m} \text{ (alimentação de } +8V)$$

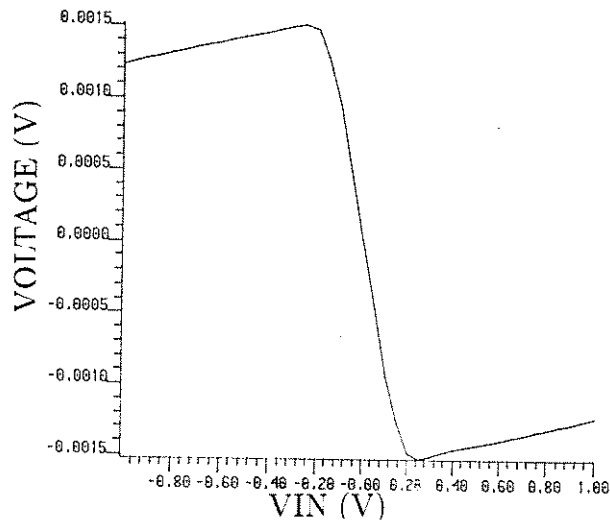
$$\left(\frac{W}{L}\right)_i = \frac{60\mu m}{10\mu m} \text{ (alimentação de } +5V)$$

Simulando os quatro casos acima, temos os resultados mostrados nas Figuras 1.19 e 1.20 para alimentação de $+8V$ e nas Figuras 1.21 e 1.22 para alimentação de $+5V$, onde podemos notar que o menor erro é conseguido para $\left[\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m} \text{ e } \left(\frac{W}{L}\right)_i = \frac{233\mu m}{10\mu m}\right]$ para uma alimentação de $+8V$ e $\left[\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m} \text{ e } \left(\frac{W}{L}\right)_i = \frac{240\mu m}{10\mu m}\right]$ para uma alimentação de $+5V$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{165.9\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{200\mu m}{10\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{233\mu m}{10\mu m}$$

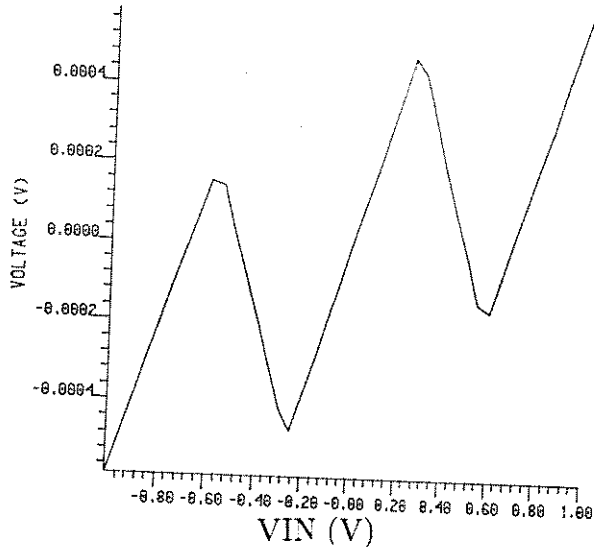
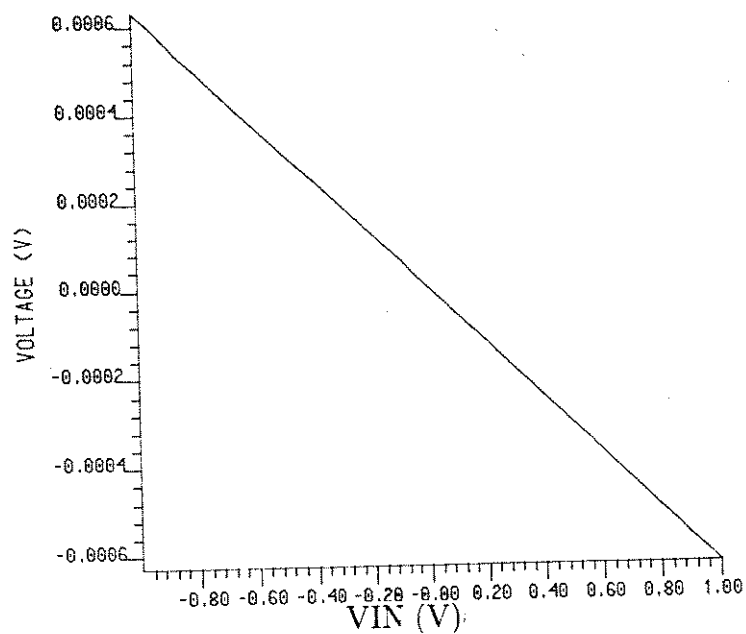


Figura 1.19 - Tensão de Erro (v_e) para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $+8V$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{41.4\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{50\mu m}{10\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{50\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{62\mu m}{10\mu m}$$

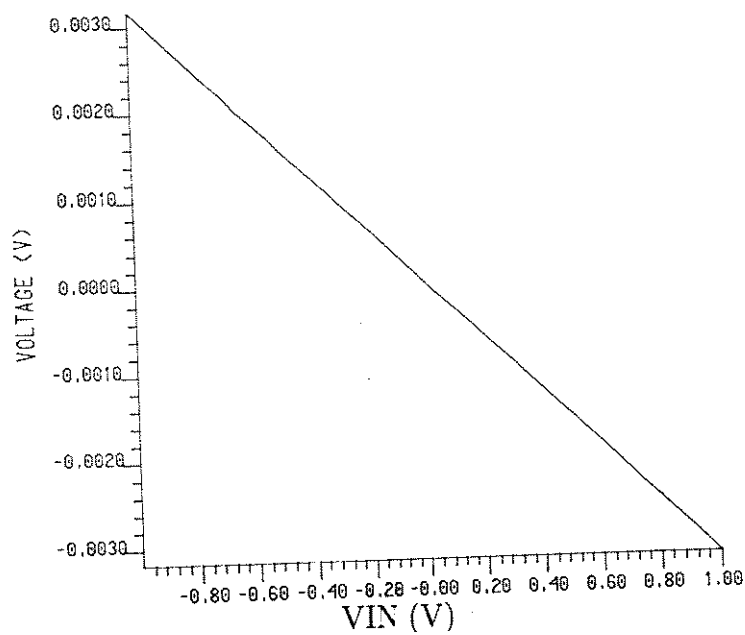
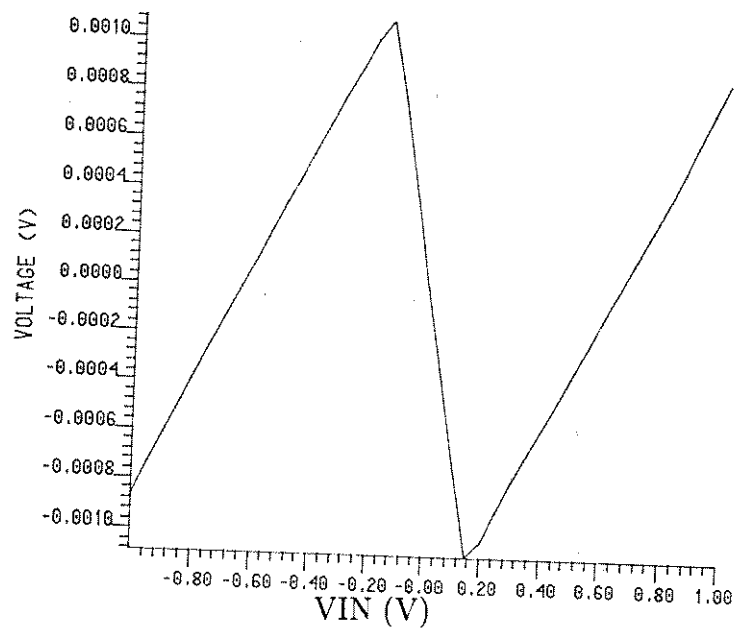


Figura 1.20 - Tensão de Erro (v_e) para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 8V$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{168\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{200\mu m}{10\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{200\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{240\mu m}{10\mu m}$$

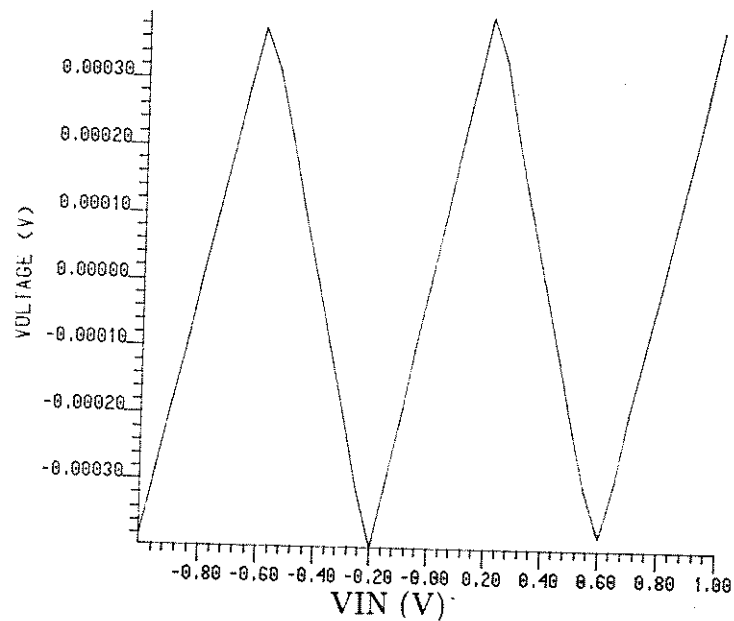
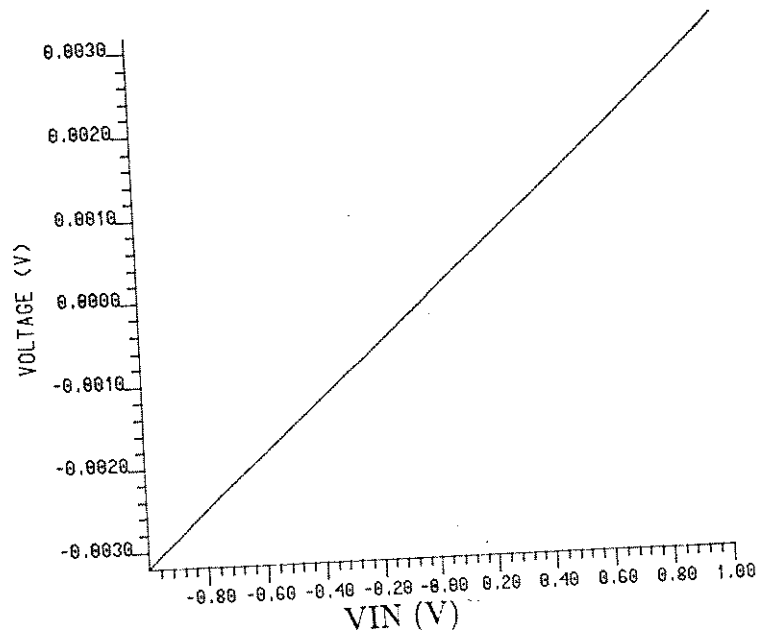


Figura 1.21 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$, e uma alimentação de $\pm 5V$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{41.7\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{50\mu m}{10\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{50\mu m}{10\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{60\mu m}{10\mu m}$$

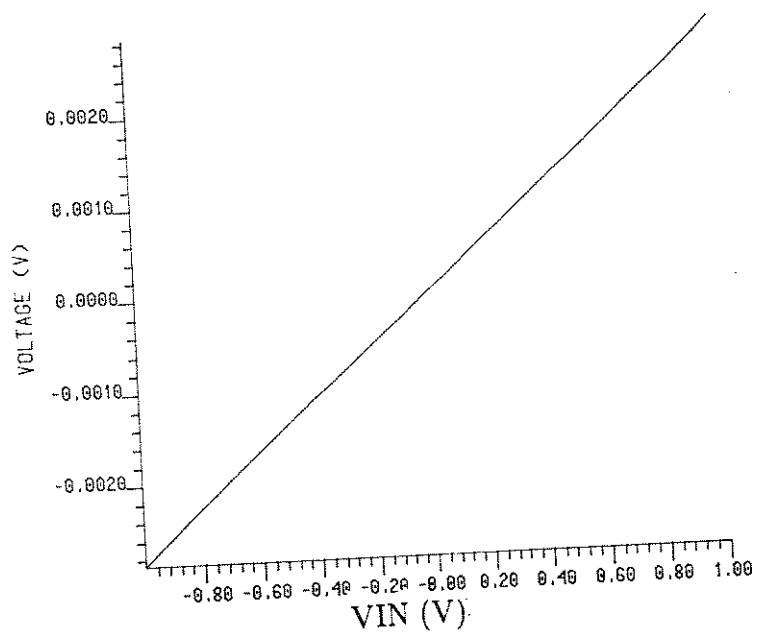


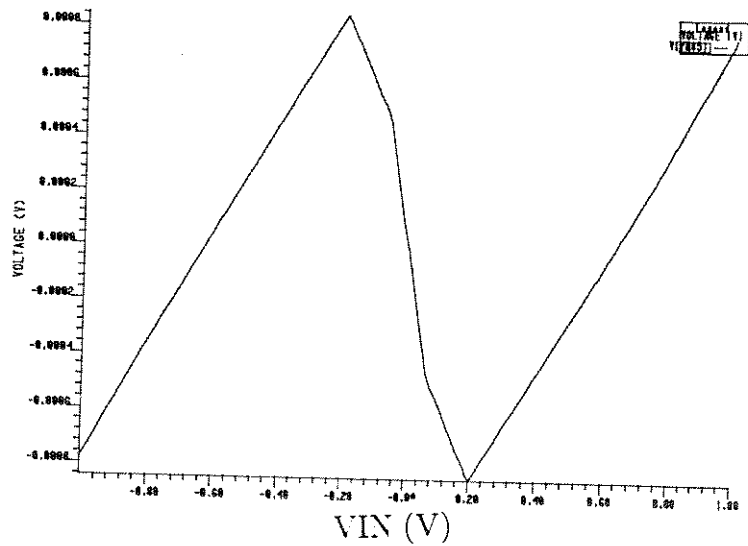
Figura 1.22 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 5V$

Adequando os tamanhos de **W** e **L** para a tecnologia $1.2\mu m$ do PMU (Projeto Multiusuário) e tentando diminuir ainda mais o erro através de um pequeno ajuste nos tamanhos, obtemos o resultado mostrado nas Figuras 1.23 e 1.24, para uma alimentação de $\pm 8V$ e Figuras 1.25 e 1.26, para uma alimentação de $\pm 5V$.

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{172.05\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{199.95\mu m}{10.05\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{199.95\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{234.45\mu m}{10.05\mu m}$$

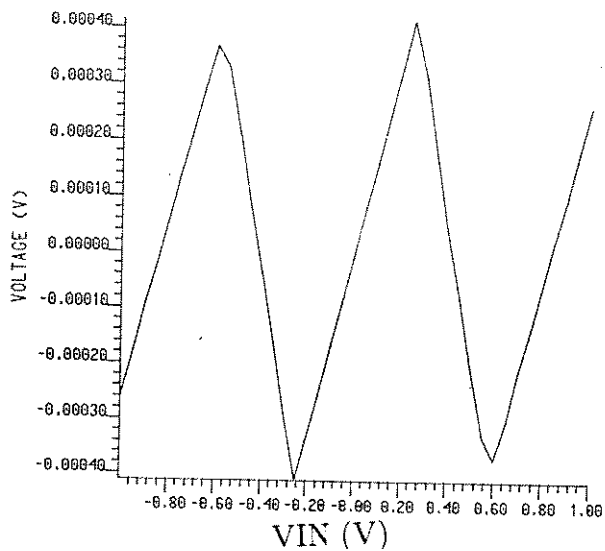
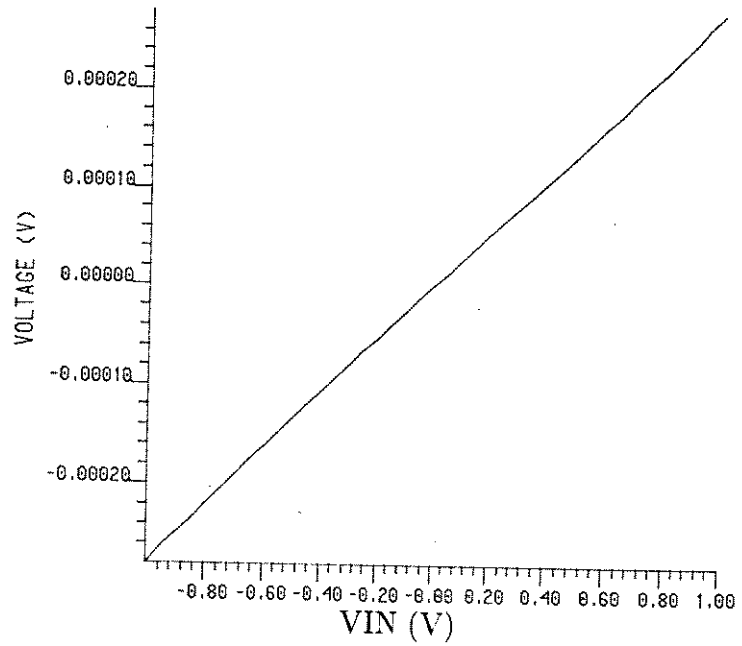


Figura 1.23 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 8V$ - tecnologia $1.2\mu m$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{41.70\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{49.95\mu m}{10.05\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{49.95\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{60.00\mu m}{10.05\mu m}$$

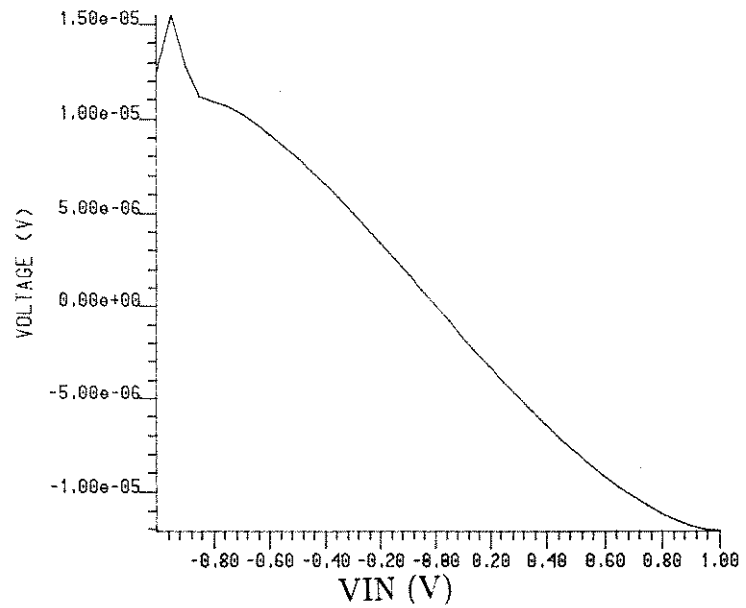
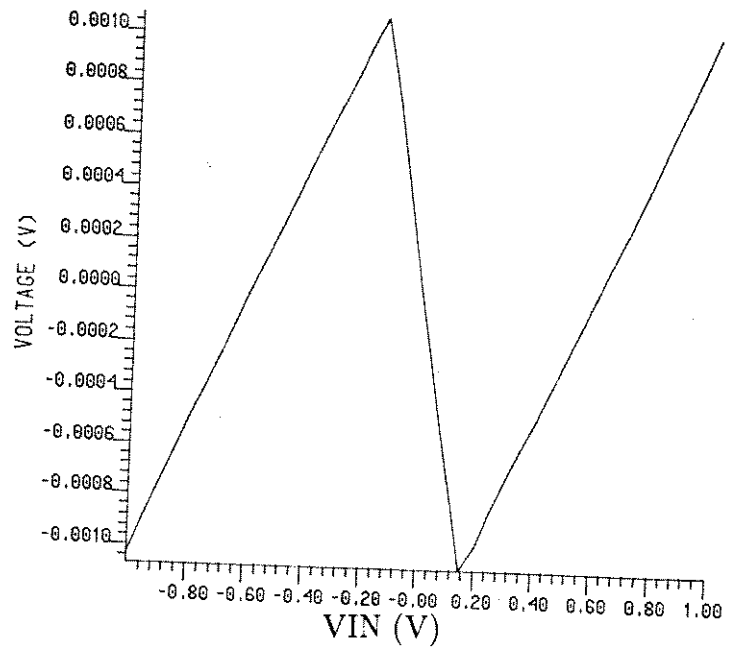


Figura 1.24 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 8V$ - tecnologia $1.2\mu m$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{168.45\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{199.95\mu m}{10.05\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{199.95\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{240.00\mu m}{10.05\mu m}$$

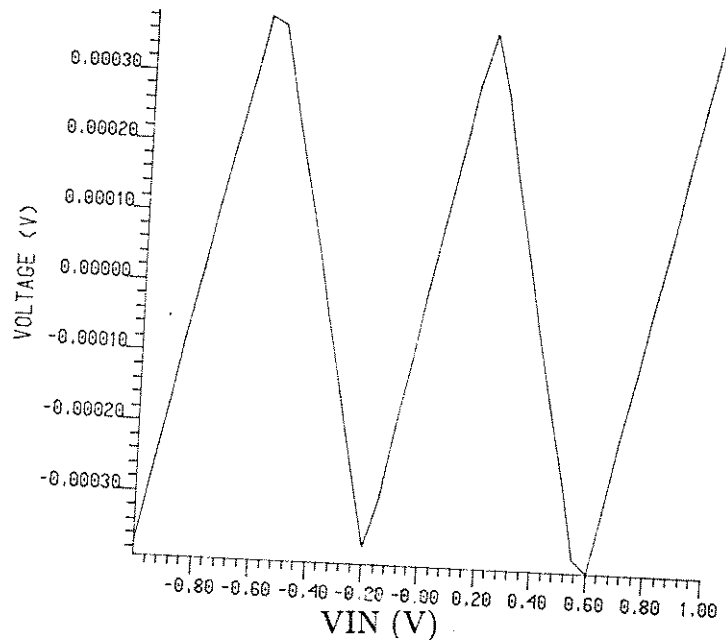
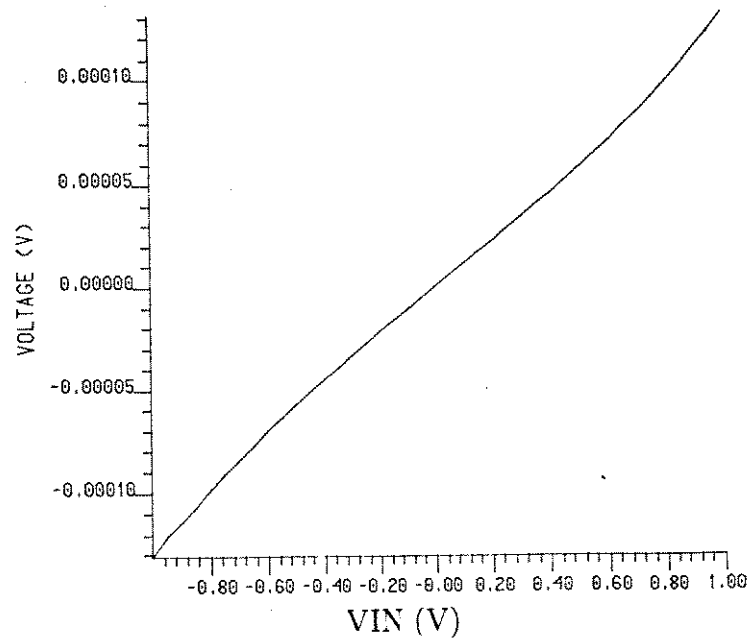


Figura 1.25 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 5V$ - tecnologia $1.2\mu m$

Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{40.50\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{49.95\mu m}{10.05\mu m}$$



Tensão de erro (v_e) p/:

$$\left(\frac{W}{L}\right)_s = \frac{49.95\mu m}{10.05\mu m}$$

$$\left(\frac{W}{L}\right)_i = \frac{61.80\mu m}{10.05\mu m}$$

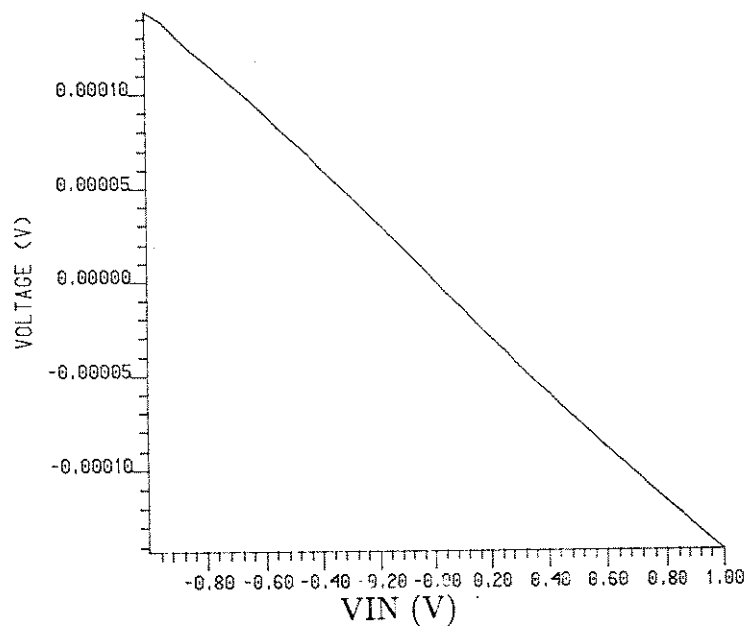


Figura 1.26 - Tensão de Erro (v_e) para para diferentes relações $\left(\frac{W}{L}\right)_s$ e $\left(\frac{W}{L}\right)_i$ e uma alimentação de $\pm 5V$ - tecnologia $1.2\mu m$

Podemos notar que há uma significativa redução na tensão v_e , quando comparamos o resultado mostrado na Figura 1.15 onde todos os transistores do conversor V/I possuem as mesmas dimensões ($\frac{W}{L} = \frac{300\mu m}{20\mu m}$), onde $v_e = 25$ mV, e os resultados mostrados nas Figuras 1.19, 1.20, 1.21 e 1.22, onde v_e está na faixa de $300 \mu V$ a 3 mV.

O menor valor de v_e é conseguido quando as dimensões são $(\frac{W}{L})_s = \frac{43.95\mu m}{10.05\mu m}$ e $(\frac{W}{L})_i = \frac{60.0\mu m}{10.05\mu m}$, mostrado na Figura 1.24, onde $v_e = 15 \mu V$.

Os conversores V/I com os tamanhos de W e L mostrados nas Figuras 1.23, 1.24, 1.25 e 1.26 foram implementados no PMU-CMOS9. O layout está mostrado na Figura 1.27.

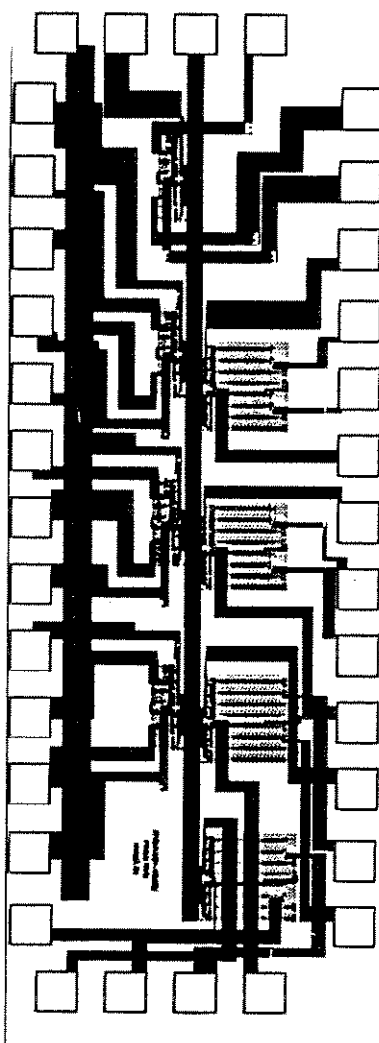


Figura 1.27- Layout dos conversores tensão-corrente implementados no PMU-CMOS9.

1.5 Implementação do Conversor V/I utilizando o Array CD4007

A primeira implementação do conversor V/I, objetivando sua caracterização funcional em baixa frequência, foi feita utilizando-se transistores do Array CD4007.

O CD4007 é um array de transistores MOS, como mostrado na Figura 1.28. Os corpos dos transistores NMOS estão ligados todos juntos ao pino 7 e todos os transistores são geometricamente idênticos.

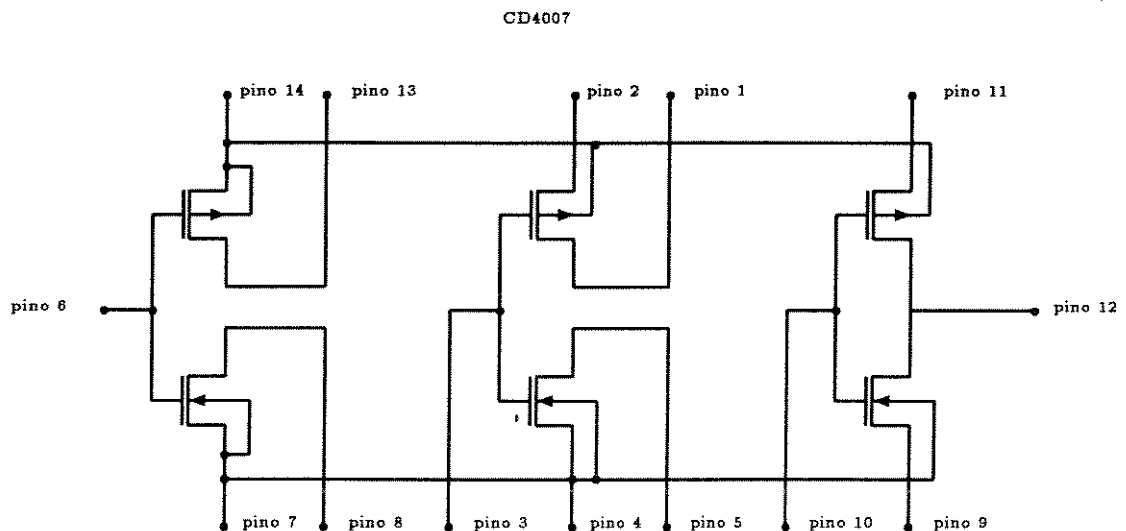


Figura 1.28 - Array CD4007

Para implementarmos o conversor V/I utilizamos em cada CI apenas dois transistores NMOS (pinos 6, 7 e 8 e pinos 3, 4 e 5) e curto circuitamos os terminais dreno e fonte dos demais transistores, para garantir que eles não estejam conduzindo.

Implementando o circuito de teste mostrado na Figura 1.29, podemos obter diversas informações sobre o circuito, como os erros provocados pelo descasamento dos transistores, as correntes de saída, o erro de linearidade, etc.

Podemos observar na Figura 1.29 que os transistores M_1 , M_4 , M_5 , M_6 , M_7 e M_8 possuem a tensão entre os terminais corpo-fonte igual a zero ($V_{SB}=0$, não sofrendo, portanto, o efeito de corpo).

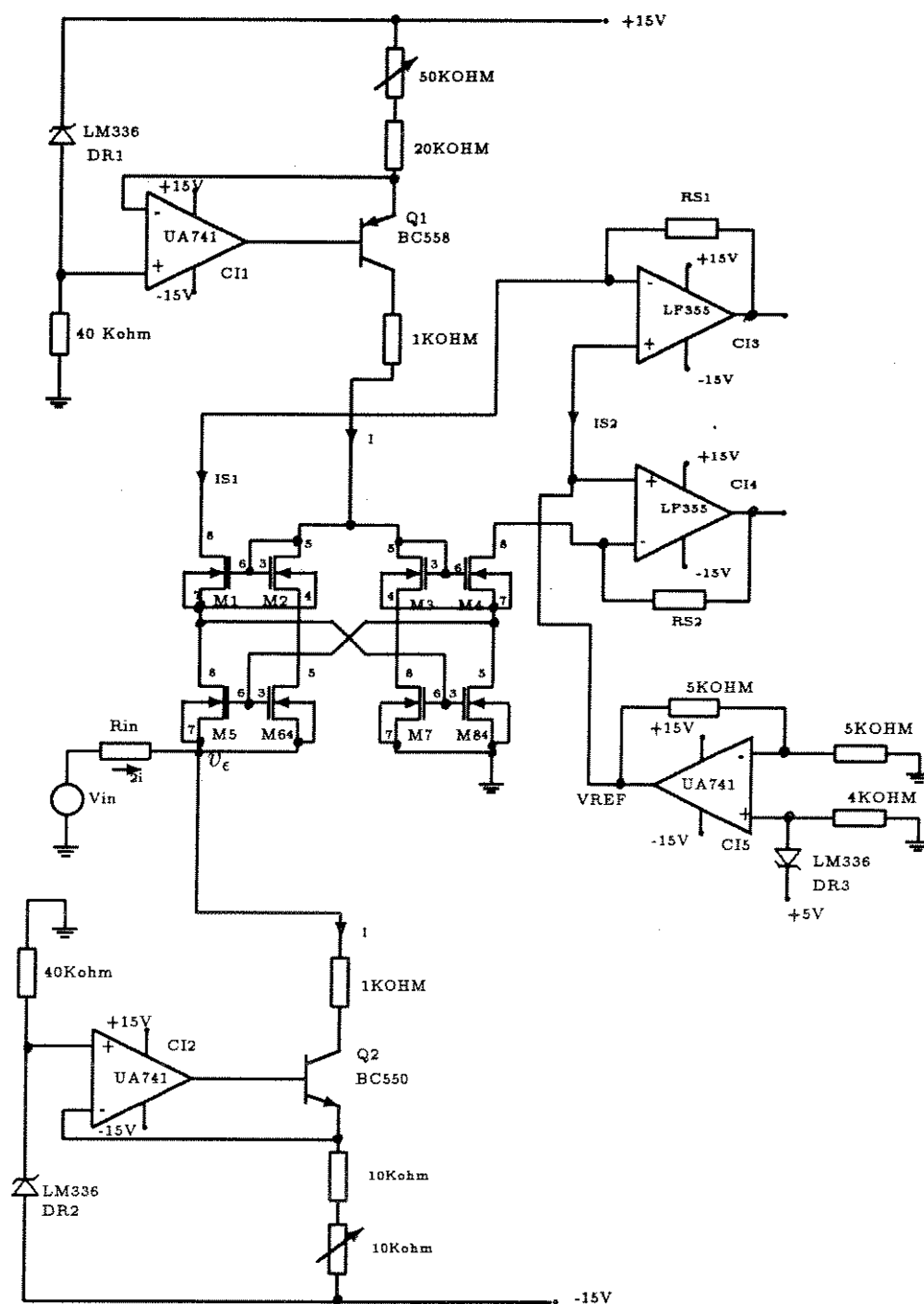


Figura 1.29 - Circuito (com Array CD4007) utilizado para testar o conversor V/I

O circuito de teste para a caracterização do conversor V/I consiste de uma fonte de corrente termicamente estável de $200\mu A$, localizada no esquema da Figura 1.29 onde se encontram os componentes CI1, Q1, DR1 e resistores associados. Outra fonte de corrente, de igual valor, é formada pelos componentes CI2, Q2, DR2 e resistores associados. A estabilidade térmica e insensibilidade às variações de tensão de alimentação das duas fontes de corrente são garantidas pelas fontes de referência

de tensão (LM336) utilizadas, assim como pela utilização de resistores de metal-filme e trimpots de cermet.

Dois conversores corrente-tensão formados pelos amplificadores operacionais CI3 e CI4 permitem a leitura, em tensão, das correntes de saída I_{S1} e I_{S2} . Observe que a tensão de dreno dos transistores de saída M_1 e M_4 é mantida constante pela fixação do "terra virtual" dos conversores corrente-tensão na tensão V_{ref} . Esta tensão é termicamente estável, uma vez que é gerada à partir de uma fonte de referência LM336.

Amplificadores operacionais de baixíssima corrente de entrada (LF355) foram utilizados nos conversores I/V para aumentar a precisão das medidas.

Para obtermos as correntes de saída I_{S1} e I_{S2} medimos a queda de tensão nos resistores R_{S1} e R_{S2} , respectivamente. Então, temos,

$$I_{S1} = \frac{\Delta V_{RS1}}{R_{S1}} ; I_{S2} = \frac{\Delta V_{RS2}}{R_{S2}} \quad (65)$$

Utilizando a Fonte de Tensão Bipolar - TC2000585 para a alimentação do circuito com as tensões +15V e -15V, o Gerador de Sinal - WAVETEK (Model22-11Mhz) para aplicar sinal na entrada do conversor V/I e o Multímetro - HEWLETT PACKARD (3478A) para medir os valores de resistências, as quedas de tensões nos resistores R_{S1} e R_{S2} e a tensão de erro v_e , temos os resultados mostrados nas Tabela 1.4 e 1.5.

Na Tabela 1.4 temos os valores da tensão aplicada na entrada do conversor V/I (V_{in}), os valores medidos: tensão no "terra virtual" (v_e), as quedas de tensão medidas nos resistores R_{S1} e R_{S2} (ΔV_{RS1} e ΔV_{RS2}) e os valores calculados: corrente que flue pelo resistor R_{S1} (I_{S1}), a variação da corrente I_{S1} em relação a corrente de polarização (ΔI_{S1}), a corrente que flue pelo resistor de entrada R_{in} (I_{in}) e o erro de linearidade que está na faixa de 0.08% a 0.8%.

Nas Tabela 1.4 e 1.5 temos os resultados para quatro amostras. Procuramos utilizar transistores que apresentassem o melhor casamento entre eles, escolhendo-os entre diversas amostras do CD4007.

Na Tabela 1.5 temos os resultados de medidas feitas em mais duas amostras do conversor V/I, da mesma forma que foi feito para a Tabela 1.4. Observamos que neste caso o erro de linearidade está na faixa de 0.04% a 0.5%.

Podemos concluir das Tabela 1.4 e 1.5 que a variação na tensão do "tensão virtual" (v_e), na faixa de 5 mV a 11mV, se deve a um descasamento entre os transistores provoca um desbalanceamento entre as tensões incrementais porta-fonte (v_{gs}), fazendo com que na Equação 50, mesmo com transistores sem efeito e corpo, v_e seja diferente de zero.

Podemos observar que a corrente de entrada do conversor V/I (I_{in}) varia de 0 a 197 μA , quando variamos a tensão de entrada (V_{in}) de 0 a 10 V para um resistor de entrada de aproximadamente 50Kohm. Dessa forma, as correntes que fluem pelos transistores M_1 , M_5 e M_2 e M_6 (I_{s1}) variam de 100 μA a 3 μA aproximadamente. Isto nos leva a concluir que controlando a corrente de entrada (I_{in}), de forma que a

Medidas feitas no Conversor V/I utilizando o Array CD4007								
Valores fixos	$V_{in}(V)$	$v_e(V)$	$\Delta V_{RS1}(V)$	$\Delta V_{RS2}(V)$	$I_{S1}(\mu A)$ *	$\delta I_{S1}(\mu A)$ **	$I_{in}(\mu A)$ ***	Erro Linearidade(%) ****
1a. Amostra $R_{in} = 51.098Kohm$ $R_{S1} = 49.777Kohm$ $R_{S2} = 49.818Kohm$ $V_{REF} = 4.8271V$	Aberto	-0.0074	4.9825	4.9865	100.0964	0.0000	0.0000	
	0.0000	-0.0074	4.9788	4.9898	100.0221	0.0743	0.1448	0.00
	0.2938	-0.0073	4.8386	5.1360	97.2055	2.8909	5.8926	-0.08
	0.5089	-0.0073	4.7357	5.2440	95.1383	4.9581	10.1021	-0.14
	0.7001	-0.0073	4.6450	5.3390	93.3162	6.7802	13.8440	-0.18
	1.0499	-0.0072	4.4785	5.5125	89.9713	10.1251	20.6877	-0.27
	1.2385	-0.0072	4.3885	5.6075	88.1632	11.9332	24.3786	-0.32
	1.5452	-0.0071	4.2434	5.7605	85.2482	14.8482	30.3789	-0.38
	2.0955	-0.0069	3.9830	6.0354	80.0168	20.0795	41.1445	-0.48
	2.4588	-0.0068	3.8099	6.2177	76.5394	23.5571	48.2524	-0.57
	3.0878	-0.0067	3.5145	6.5345	70.6049	29.4915	60.5601	-0.67
	3.5915	-0.0067	3.2755	6.7905	65.8035	34.2929	70.4176	-0.75
	4.0755	-0.0063	3.0485	7.0340	61.2431	38.8533	79.8818	-0.80
	5.2545	-0.0060	2.5085	7.6320	50.3948	49.7017	102.9492	-0.63
	6.0225	-0.0061	2.1565	8.0235	43.3232	56.7732	117.9811	-0.53
	7.0545	-0.0060	1.6650	8.5580	33.4492	66.6472	138.1757	-0.79
	8.2640	-0.0056	1.1070	9.1886	22.2392	77.8572	161.8380	-0.71
	9.1160	-0.0052	0.7191	9.6400	14.4464	85.6500	178.5040	-0.54
	10.0335	-0.0037	0.3180	9.9925	6.3885	93.7079	196.4304	0.00
2a. Amostra $R_{in} = 51.098Kohm$ $R_{S1} = 49.777Kohm$ $R_{S2} = 49.818Kohm$ $V_{REF} = 4.8271V$	Aberto	0.0235	4.9890	4.9950	100.2270	0.0000	0.0000	
	0.0000	0.0235	5.0009	4.9840	100.4661	0.2391	0.4599	0.00
	0.2358	0.0232	4.8870	5.0935	98.1779	2.0491	4.1606	0.04
	0.5665	0.0231	4.7288	5.2460	94.9997	5.2273	10.6346	0.05
	0.7095	0.0230	4.6575	5.3145	93.5673	6.6597	13.4350	0.12
	1.0603	0.0227	4.4885	5.4780	90.1722	10.0548	20.3061	0.16
	2.1835	0.0219	3.9460	5.9975	79.2736	20.9534	42.3030	0.33
	3.0300	0.0215	3.5394	6.3945	71.1051	29.1219	58.8770	0.40
	4.3660	0.0208	2.8982	7.0220	58.2238	42.0033	85.0366	0.52
	5.0165	0.0208	2.5870	7.3308	51.9718	48.2552	97.7670	0.55
	6.0155	0.0200	2.1102	7.8070	42.3931	58.8339	117.3333	0.58
	7.2465	0.0192	1.5250	8.3982	30.6366	69.5904	141.4400	0.56
	8.0425	0.0189	1.1492	8.7853	23.0870	77.1400	157.0237	0.50
	9.0490	0.0185	0.6778	9.2760	13.6167	86.6103	176.7290	0.34
	10.0645	0.0169	0.2108	9.7830	4.2349	95.9921	196.6339	0.00

$$* I_{S1} = \frac{\Delta V_{RS1}}{R_{S1}}$$

$$** \Delta I_{S1} = \frac{\Delta V_{RS1} - \Delta V_{RS1_{aberto}}}{R_{S1}}$$

$$*** I_{IN} = \frac{V_{IN} - v_e}{R_{IN}}$$

$$**** ErroLinearidade(1a.Amostra) = \left(\frac{I_{S1} - (-9.3321V_{in} + 100.0221)}{96.6336} \right) X100$$

$$**** ErroLinearidade(2a.Amostra) = \left(\frac{I_{S1} - (-9.5614V_{in} + 100.4661)}{96.2312} \right) X100$$

Tabela 1.4 - Medidas feitas no Conversor V/I utilizando o array CD4007

Medidas feitas no Conversor V/I utilizando o Array CD4007								
Valores fixos	$V_{in}(V)$	$v_e(V)$	$\Delta V_{RS1}(V)$	$\Delta V_{RS2}(V)$	$I_{S1}(\mu A)$ *	$\delta I_{S1}(\mu A)$ **	$I_{in}(\mu A)$ ***	Erro Linearidade(%) ****
3a. Amostra	Aberto	0.0087	4.9785	4.9840	100.0161	0.0000	0.0000	
	0.0000	0.0089	4.9767	4.9850	99.9799	0.0362	0.1742	0.00
	0.3765	0.0088	4.7935	5.1623	96.2995	3.7166	7.1960	-0.06
	0.5240	0.0089	4.7219	5.2313	94.8611	5.1550	10.0806	-0.08
	1.0440	0.0093	4.4698	5.4752	89.7965	10.2196	20.2494	-0.14
	2.1230	0.0096	3.9472	5.9836	72.2977	20.7184	41.3598	-0.26
	3.0615	0.0100	3.4931	6.4285	70.1750	29.8411	59.7186	-0.35
	$R_{in} = 51.098Kohm$	0.0106	2.9312	6.9985	58.8866	41.1294	83.0834	-0.13
	$R_{S1} = 49.777Kohm$	0.0112	2.5439	7.3823	51.1059	48.9101	98.7670	-0.20
	$R_{S2} = 49.818Kohm$	0.0116	2.0811	7.8442	41.8085	58.2076	117.4978	-0.28
	$V_{REF} = 4.8271V$	0.0123	1.5651	8.3656	31.4422	68.5738	138.5220	-0.30
	7.0905	0.0128	1.0411	8.9008	20.9153	79.1008	159.9494	-0.28
	8.1859	0.0127	0.6066	9.3527	12.1863	87.8297	177.8640	-0.20
	9.1012	0.0051	0.1484	9.8464	2.9813	97.0348	197.1290	0.00
	10.0780							
4a. Amostra	Aberto	-0.0050	4.9777	4.9820	100.0000	0.0000	0.0000	
	0.0000	-0.0051	4.9750	4.9845	99.9457	0.0542	0.0998	0.00
	0.2822	-0.0051	4.8377	5.1169	97.1874	2.8125	5.6226	-0.05
	0.5420	-0.0049	4.7112	5.2390	94.6461	5.3539	10.7030	-0.09
	1.0452	-0.0046	4.4668	5.4747	89.7362	10.2638	20.5448	-0.17
	2.1086	-0.0041	3.9515	5.9760	79.3840	20.6159	41.3460	-0.30
	3.0640	-0.0035	3.4904	6.4299	70.1207	29.8793	60.0316	-0.38
	$R_{in} = 51.098Kohm$	-0.0029	3.0312	6.8832	60.8956	39.1044	78.6312	-0.47
	$R_{S1} = 49.777Kohm$	-0.0019	2.4047	7.5189	48.3095	51.6905	104.5500	-0.31
	$R_{S2} = 49.818Kohm$	-0.0014	2.0730	7.8506	41.6458	58.3543	118.0164	-0.35
	$I_1 = 100.0000\mu A$	-0.0003	1.5954	8.3315	32.0509	67.9490	137.4476	-0.39
	$I_2 = 100.0040\mu A$	0.0010	1.0870	8.8517	21.8374	78.1626	158.2450	-0.38
	$V_{REF} = 4.8271V$	0.0036	0.5401	9.4209	10.8504	89.1496	180.7780	-0.26
	9.2410	0.0061	0.1629	9.8280	3.2726	96.7274	196.6788	0.00
	10.0560							

$$* I_{S1} = \frac{\Delta V_{RS1}}{R_{S1}}$$

$$** \Delta I_{S1} = \frac{\Delta V_{RS1} - \Delta V_{RS1_{aberto}}}{R_{S1}}$$

$$*** I_{IN} = \frac{V_{IN} - v_e}{R_{IN}}$$

$$**** ErroLinearidade(3a.Amostra) = \left(\frac{I_{S1} - (-9.6248V_{in} + 99.9799)}{96.9986} \right) X100$$

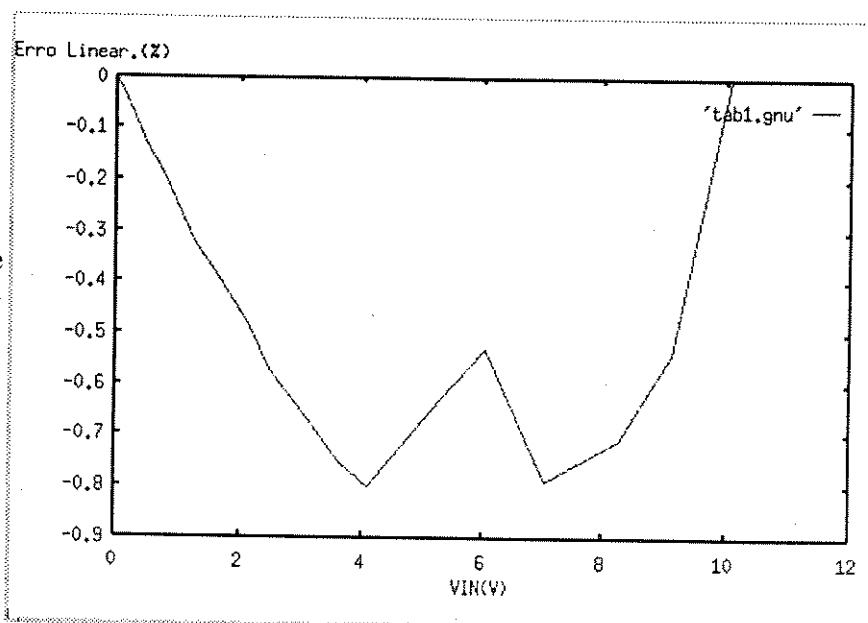
$$**** ErroLinearidade(4a.Amostra) = \left(\frac{I_{S1} - (-9.6135V_{in} + 99.9457)}{96.6731} \right) X100$$

Tabela 1.5 - Medidas feitas no Conversor V/I utilizando o array CD4007

corrente que passa pelos transistores M_1 , M_5 e M_2 , M_6 , $\frac{I_{in}}{2}$, seja menor que a corrente de polarização I , podemos variar a tensão de entrada (V_{in}) até os limites da fonte de alimentação, propiciando uma alta excursão do sinal de entrada.

Podemos visualizar melhor a variação do erro de linearidade mostrado nas Tabelas 1.4 e 1.5 observando as Figura 1.30 e 1.31.

Erro de Linearidade
para a 1a. Amostra



Erro de Linearidade
para a 2a. Amostra

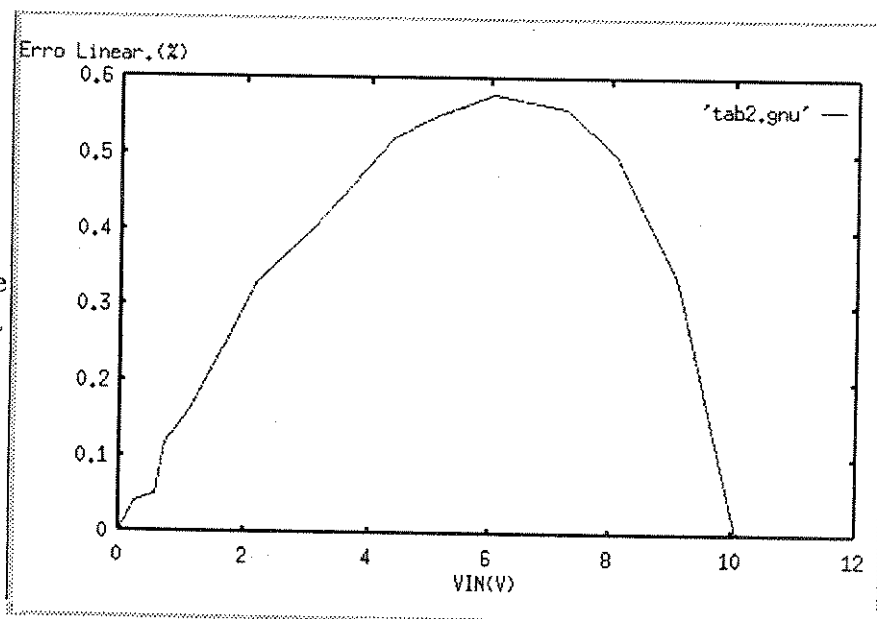
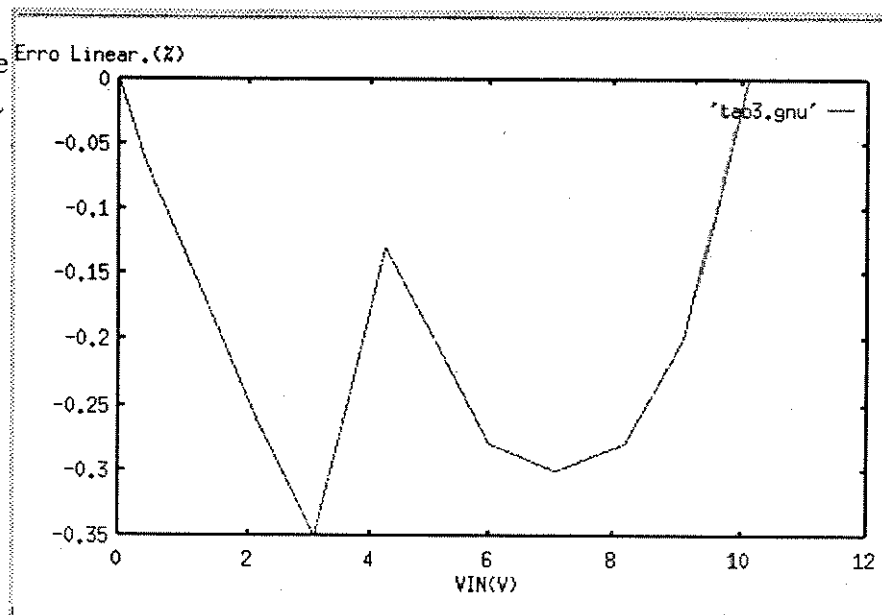


Figura 1.30 - Erro de Linearidade para o Conversor V/I mostrado na Tabela 1.4

Erro de Linearidade
para a 3a. Amostra



Erro de Linearidade
para a 4a. Amostra

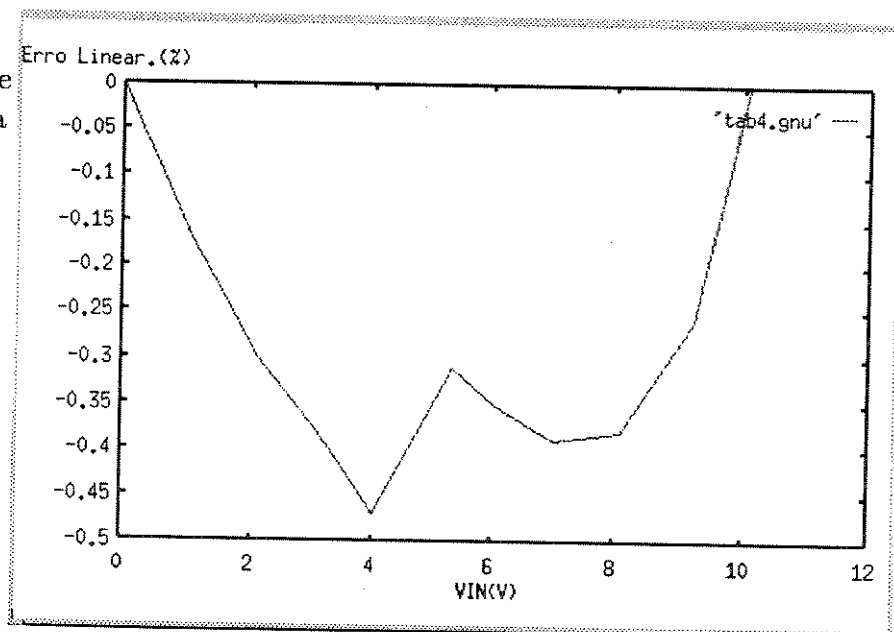


Figura 1.31 - Erro de Linearidade para o Conversor V/I mostrado na Tabela 1.5

1.6 Implementação do Conversor V/I utilizando Transistores Integrados no PMU-CMOS7

Montamos o mesmo circuito de teste do item anterior, como mostrado na Figura 1.32, utilizando transistores do array implementado no PMU-CMOS7 mostrado na Figura 1.33 para o conversor V/I. Comparando as Figuras 1.29 e 1.33, notamos que no 1o. caso os transistores do conversor V/I não sofrem o efeito de corpo e no 2o. caso, como os corpos dos transistores estão ligados no potencial do substrato ($-V_{SS}$), os transistores sofrem o efeito de corpo. Como, para a fabricação do chip utilizaremos o mesmo processo do PMU-CMOS7, então, o fato de implementarmos o conversor V/I com os transistores integrados do mesmo processo, nos dá uma idéia melhor do erro de descasamento dos transistores, do erro na tensão do "terra virtual" (v_e) e da resposta em frequência.

Adotando transistores para o conversor com $\frac{W}{L} = \frac{200U}{10U}$ e utilizando o Osciloscópio - TEKTRONIX (2236-100Mhz), a Fonte de Tensão Bipolar - TC2000585 para a alimentação do circuito, o Gerador de Sinal - WAVETEK (Model22-11Mhz) para injetar sinal na entrada do conversor V/I e o Multímetro - HEWLETT PACKARD (3478A) obtivemos as medidas mostradas na Tabela 1.6.

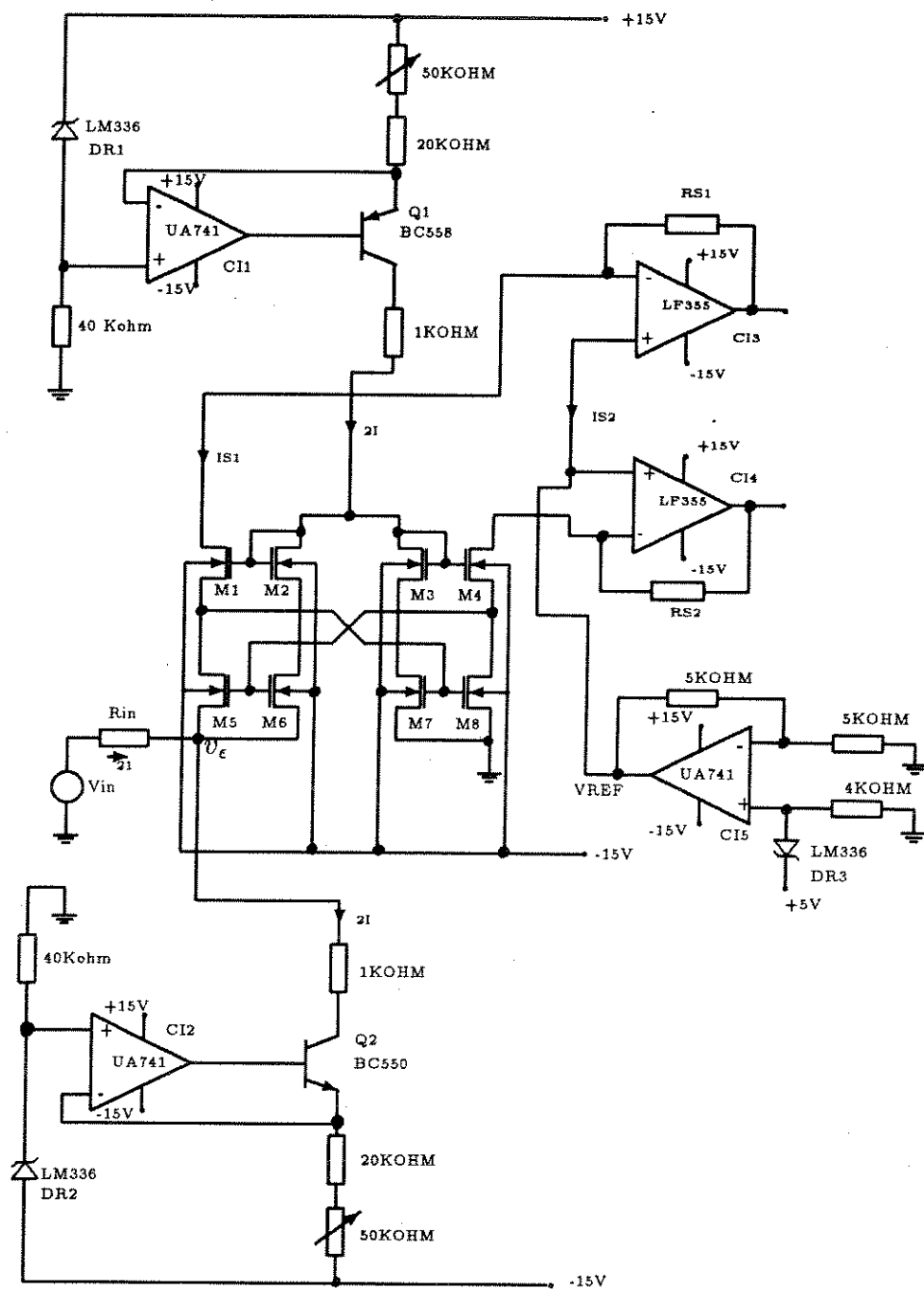


Figura 1.32 - Circuito utilizado para teste do Conversor V/I

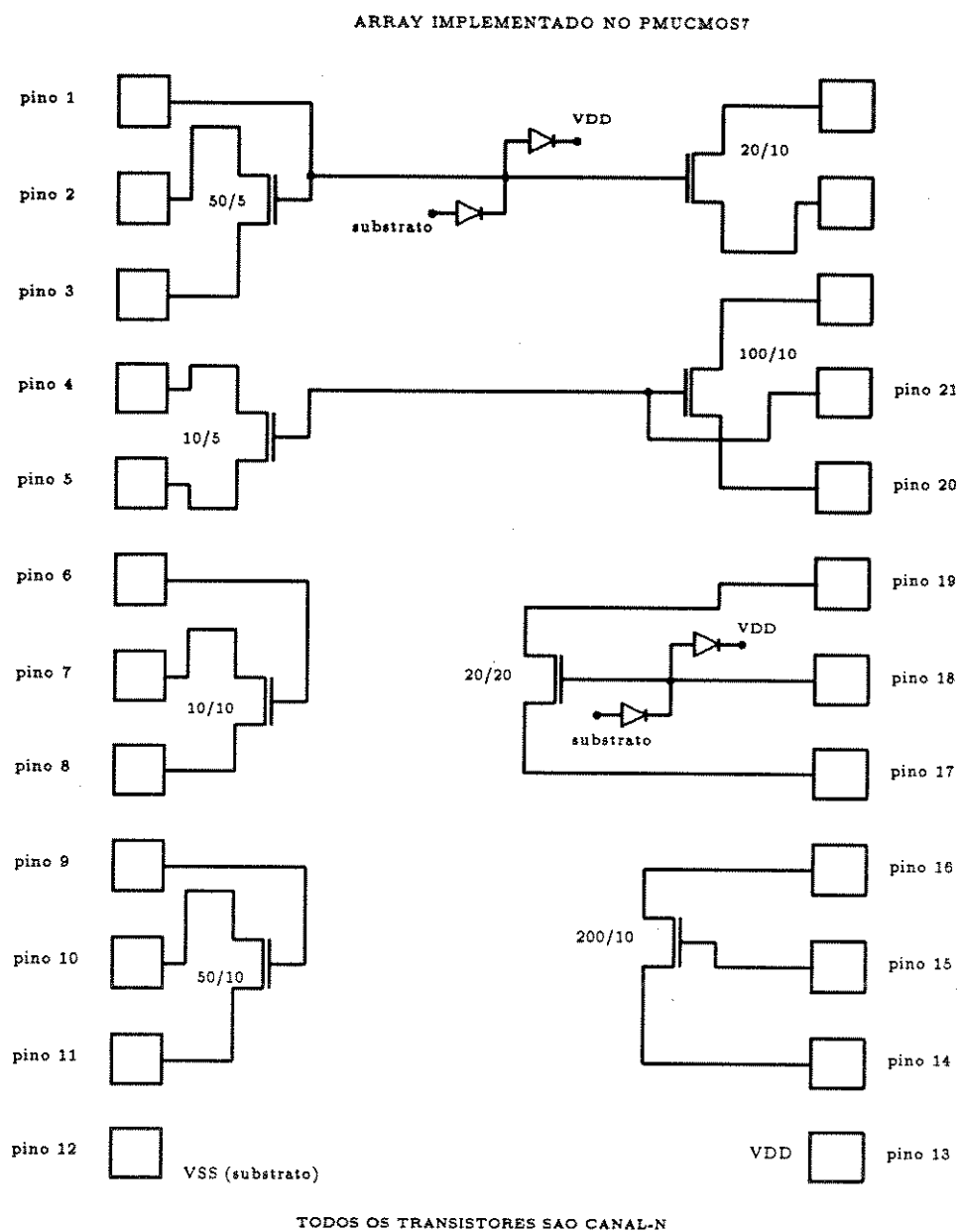


Figura 1.33 - Array implementado no PMU-CMOS7 e utilizado no teste do conversor tensão-corrente

Medidas feitas no Conversor V/I utilizando transistores integrados do PMUCMOS7								
Valores fixos	$V_{in}(V)$	$v_e(V)$	$\Delta V_{RS1}(V)$	$\Delta V_{RS2}(V)$	$I_{S1}(\mu A)$ *	$\Delta I_{S1}(\mu A)$ **	$I_{in}(\mu A)$ ***	Erro Linearidade(%) ****
1a. Amostra	Aberto	0.0038	1.0715	1.058	21.0569	0.0000	0.0000	
	0.0000	0.0037	1.0734	1.056	21.0942	0.0373	0.0727	0.00
	-0.6024	-0.0013	1.3762	0.731	27.0447	5.9879	11.8633	0.02
$R_{in} = 50.888Kohm$	-0.7420	0.0007	1.4471	0.653	28.4381	7.3812	14.5948	0.10
$R_{S1} = 50.886Kohm$	-1.1878	-0.0014	1.6712	0.402	32.8420	11.7851	23.3139	0.12
$R_{S2} = 50.910Kohm$	-1.3676	-0.0024	1.7609	0.301	34.6048	13.5479	26.8275	0.04
$V_{REF} = 4.2600V$	-1.4933	-0.0032	1.8231	0.228	35.8271	14.7703	29.2819	0.07
$\frac{W}{L} = \frac{200\mu m}{10\mu m}$	-1.5821	-0.0039	1.8691	0.169	36.7311	15.6742	31.0132	0.09
	-1.7149	-0.0054	1.9350	0.085	38.0262	16.9693	33.5934	0.00
2a. Amostra	Aberto	0.0023	1.0561	1.013	20.7542	0.0000	0.0000	
	0.0000	0.0023	1.0574	1.012	20.7798	0.0255	0.0452	0.00
	-0.4882	0.0060	1.3037	0.755	25.6200	4.8658	9.6054	0.05
$R_{in} = 50.888Kohm$	-0.6713	-0.0000	1.3961	0.657	27.4358	6.6816	13.1905	0.07
$R_{S1} = 50.886Kohm$	-0.8272	-0.0006	1.4746	0.573	28.9785	8.2243	16.2435	0.07
$R_{S2} = 50.910Kohm$	-1.1136	-0.0018	1.6190	0.417	31.8162	11.0620	21.8480	0.09
$V_{REF} = 4.2600V$	-1.3973	-0.0032	1.7620	0.260	34.6264	13.8722	27.3954	0.10
$\frac{W}{L} = \frac{200\mu m}{10\mu m}$	-1.5524	-0.0043	1.8398	0.172	36.1553	15.4011	30.4217	0.07
	-1.7585	-0.0066	1.9430	0.049	38.1834	17.4291	34.4266	0.00
3a. Amostra	Aberto	0.0070	1.0792	1.0499	21.2082	0.0000	0.0000	
	0.0000	0.0070	1.0829	1.0463	21.2809	0.0727	0.1375	0.00
	0.3972	0.0085	0.8790	1.2327	17.2739	3.9342	7.6383	0.22
$R_{in} = 50.888Kohm$	0.5111	0.0889	0.8205	1.2860	16.1243	5.0839	9.8687	0.29
$R_{S1} = 50.886Kohm$	0.7118	0.0097	0.7172	1.3799	14.0942	7.1139	13.7970	0.37
$R_{S2} = 50.910Kohm$	1.1127	0.0112	0.5102	1.5664	10.0263	11.1818	21.6456	0.48
$V_{REF} = 4.2600V$	1.5123	0.0130	0.3023	1.7509	5.9407	15.2674	29.4627	0.44
$\frac{W}{L} = \frac{200\mu m}{10\mu m}$	1.8548	0.0150	0.1221	1.9063	2.3995	18.8087	36.1539	0.21
	1.9667	0.0162	0.0619	1.9563	1.2164	19.9917	38.3293	0.00
	-0.4367	0.0054	1.3061	0.8404	25.6672	4.4590	8.4755	0.02
	-0.8597	0.0037	1.5220	0.6415	29.9100	8.7018	16.8212	0.07
	-1.5945	0.0000	1.8893	0.3023	37.1281	15.9199	31.3321	0.91
	-2.0040	-0.0031	2.1082	0.0984	41.4299	20.2217	39.3197	0.00

$$* I_{S1} = \frac{\Delta V_{RS1}}{R_{S1}}$$

$$** \Delta I_{S1} = \frac{\Delta V_{RS1} - \Delta V_{RS1_{aberto}}}{R_{S1}}$$

$$*** I_{IN} = \frac{V_{IN} - v_e}{R_{IN}}$$

$$**** ErroLinearidade(1a.Amostra) = \left(\frac{I_{S1} - (-9.8735V_{in} + 21.0942)}{16.9320} \right) \times 100$$

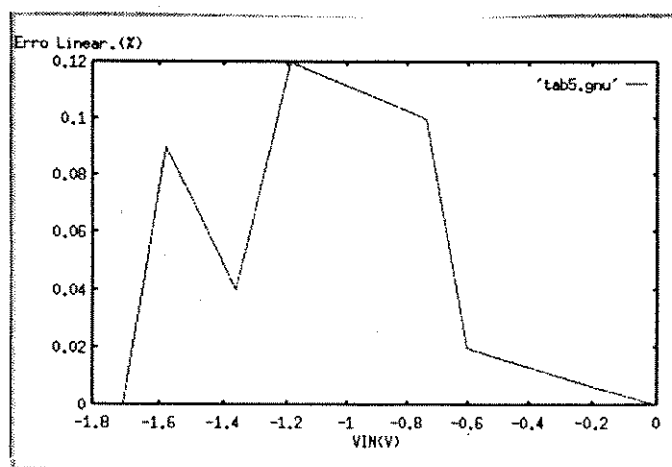
$$**** ErroLinearidade(2a.Amostra) = \left(\frac{I_{S1} - (-9.8968V_{in} + 20.7798)}{17.4036} \right) \times 100$$

$$**** ErroLinearidade(3a.Amostra - 0a + 2V) = \left(\frac{I_{S1} - (-10.2021V_{in} + 21.2809)}{20.0645} \right) \times 100$$

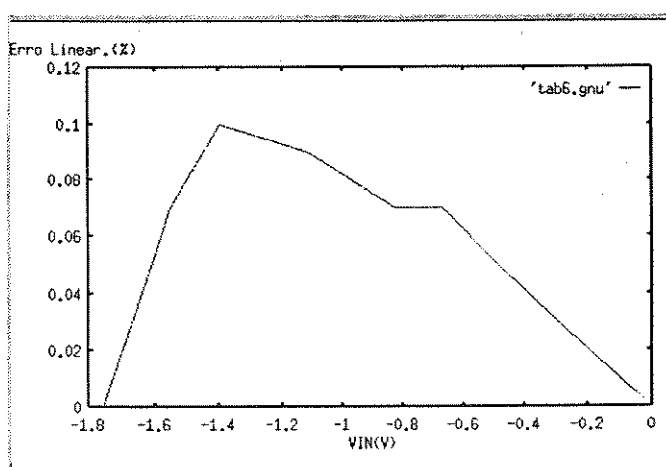
$$**** ErroLinearidade(3a.Amostra - 0a - 2V) = \left(\frac{I_{S1} - (-10.0544V_{in} + 21.2809)}{20.1490} \right) \times 100$$

Tabela 1.6 - Medidas feitas no Conversor V/I utilizando transistores integrados do PMUCMOS7

Erro de linearidade
para a 1a. Amostra



Erro de linearidade
para a 2a. Amostra



Erro de linearidade
para a 3a. Amostra

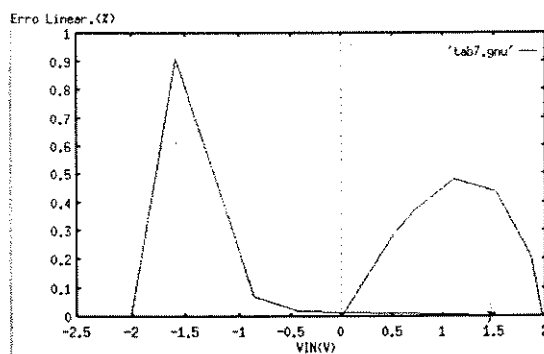


Figura 1.34 - Erro de Linearidade mostrado na Tabela 1.6

Podemos observar na Tabela 1.6, que corresponde a medidas do conversor V/I implementado com transistores do PMU-CMOS7, que a tensão no "terra virtual" (v_e) varia de aproximadamente -10 mV quando a tensão de entrada (V_{in}) varia de 0 a -2 V e varia de $+10 \text{ mV}$ quando a tensão de entrada varia de 0 a $+2 \text{ V}$.

O erro de linearidade calculado para as três amostras está na faixa de $0,02\%$ a $0,91\%$. Observamos que o cálculo do erro de linearidade para a 3a. amostra foi feito

em duas etapas: variando-se a tensão de entrada de 0 a +2 V e de 0 a -2 V.

Comparando o resultado obtido para este circuito e o circuito implementado com o Array CD4007, observamos que o efeito de corpo dos transistores provoca um aumento na tensão do "terra virtual" (v_e). Este resultado vem comprovar o equacionamento feito no item 1.3, quando equacionamos v_e primeiro desprezando e depois considerando o efeito de corpo, Equações 50 e 61, respectivamente.

Podemos calcular a tensão do "terra virtual" (v_e) utilizando a Equação 62 do item 1.3.2. Calculamos v_e considerando a corrente de polarização $I_D = 20\mu A$, as tensões de alimentação $V_{DD} = 5V$, os seguintes valores para g_m e g_{mb} obtidos da simulação SPICE, para transistores de dimensões $W=200\mu m$ e $L=10\mu m$ e as tensões fonte-corpo $V_{SB1} = V_{SB4} = 17V$ e $V_{SB5} = V_{SB8} = 15V$:

$$\begin{aligned} g_{m1} &= g_{m4} = 2.3427 \times 10^{-4} \frac{A}{V} \\ g_{mb1} &= g_{mb4} = 1.5825 \times 10^{-5} \frac{A}{V} \\ g_{m5} &= g_{m8} = 2.3395 \times 10^{-4} \frac{A}{V} \\ g_{mb5} &= g_{mb8} = 1.7213 \times 10^{-5} \frac{A}{V} \end{aligned}$$

Sendo assim, temos,

$$\eta_1 = \eta_4 = \frac{1.5825 \times 10^{-5}}{2.3427 \times 10^{-4}} = 0.0675$$

$$\eta_5 = \eta_8 = \frac{1.7213 \times 10^{-5}}{2.3395 \times 10^{-4}} = 0.0736$$

$$e \ v_e = \left(\frac{1}{1 + 0.0675 + 0.0675 \times 0.0736 + 0.0736} \right) \times \left(\frac{2 - (1 + 0.0675) - (1 + 0.0675)}{2.3427 \times 10^{-4}} \right) X_i$$

$$v_e = -502i$$

Para a 1a. amostra temos V_{in} variando de 0V a -1.7149V que corresponde a uma variação de $v_e = 8.4mV$

Para a 2a. amostra: $V_{in}=0$ a -1.7585 V que corresponde a uma variação de $v_e = 8.6mV$

Para a 3a. amostra: $V_{in}=0$ a 1.9667 V que corresponde a uma variação de $v_e = 9.6mV$

$V_{in}=0$ a -2.0040 V que corresponde a uma variação de $v_e = 9.9mV$

Comparando com os resultados mostrados na Tabela 1.6 que são:

1a. amostra: $v_e=9.1\ mV$ p/ $V_{in}=0$ a 1.7149 V

2a. amostra: $v_e=8.9\ mV$ p/ $V_{in}=0$ a -1.7585 V

3a. amostra: $v_e=9.2 \text{ mV p/ } V_{in}=0 \text{ a } 1.9667 \text{ V}$
 $v_e=10.1 \text{ mV p/ } V_{in}=0 \text{ a } -2.0046 \text{ V}$

Observamos uma pequena diferença nos resultados. Isto acontece porque a tensão no "terra virtual" não varia de forma linear e no equacionamento consideramos como linear, o que será melhor explicado no item 1.7.

Não podemos esquecer, também, que o descasamento entre os transistores provoca um aumento de v_e , mas este fator é definido pelo processo de fabricação que o projetista não pode interferir.

1.6.1 Medida da Resposta a Pulso do Circuito Conversor Tensão-Corrente

Aplicando na entrada (V_{in}) do circuito conversor V/I, na Figura 1.35, um pulso de tensão, conforme mostrado na Figura 1.36, podemos medir o tempo que o sinal de saída (V_{R1} ou V_{R2}) leva para estabilizar, ou seja apresentar na saída o resultado da conversão tensão em corrente. Dessa forma, foram obtidas curvas de v_e , V_{R1} e v_{gs5} para pulsos de largura $10 \mu s$, $2.5 \mu s$ e $1 \mu s$ que estão mostradas na Figura 1.36.

Na Figura 1.36 temos os tempos de atraso do sinal na saída do conversor V/I, quando aplicamos na entrada (V_{in}) um pulso de tensão com amplitude de 400 mV e tempo de subida de aproximadamente 100 ns , onde as dimensões dos transistores são $W=50 \mu m$ e $L=10 \mu m$.

Nas Figuras 1.36a, 1.36b e 1.36c temos a tensão de saída V_{R1} , medida no resistor $R_1=200\Omega$, ou seja, $V_{R1} = R_1 I_1$, onde I_1 é a corrente de saída do conversor V/I.

Observamos que o circuito conversor V/I, responde satisfatoriamente ao pulso de largura $10 \mu s$, correspondendo a uma frequência de 50 KHz . Para uma frequência de 200 KHz , o tempo de atraso é de aproximadamente $1.1 \mu s$. Entretanto, aplicando um pulso de tensão na entrada com frequência de 500 KHz , temos na saída um sinal degradado.

Devemos lembrar que estas medidas de tensão têm uma constante RC associada, que pode estar mascarando a medida. Na Figura 1.38 temos a análise AC (SPICE) feita para o conversor V/I, aplicando um pulso de tensão na entrada com frequência de 500 KHz e tomando na saída, não mais a tensão, mas a corrente. Notamos que o conversor V/I responde bem nesta frequência comprovando que o circuito responde bem a altas frequências.

Observamos, na Figura 1.37a, o comportamento da tensão no "terra virtual" (v_e) nas transições do sinal de entrada (v_{in}). Devido a capacitância porta-fonte (C_{GS}) dos transistores M_5 e M_6 , nas transições do sinal de entrada (V_{in}), aparece na tensão do "terra virtual" (v_e) um efeito capacitivo que impede o chaveamento rápido, provocando o aparecimento de picos de tensão, como mostrado na Figura 1.37b.

Observamos, ainda, na Figura 1.38b, a tensão na porta do transistor M_5 , on-

de observamos um atraso na resposta, devido a capacitância porta-fonte (C_{GS}) do transistor.

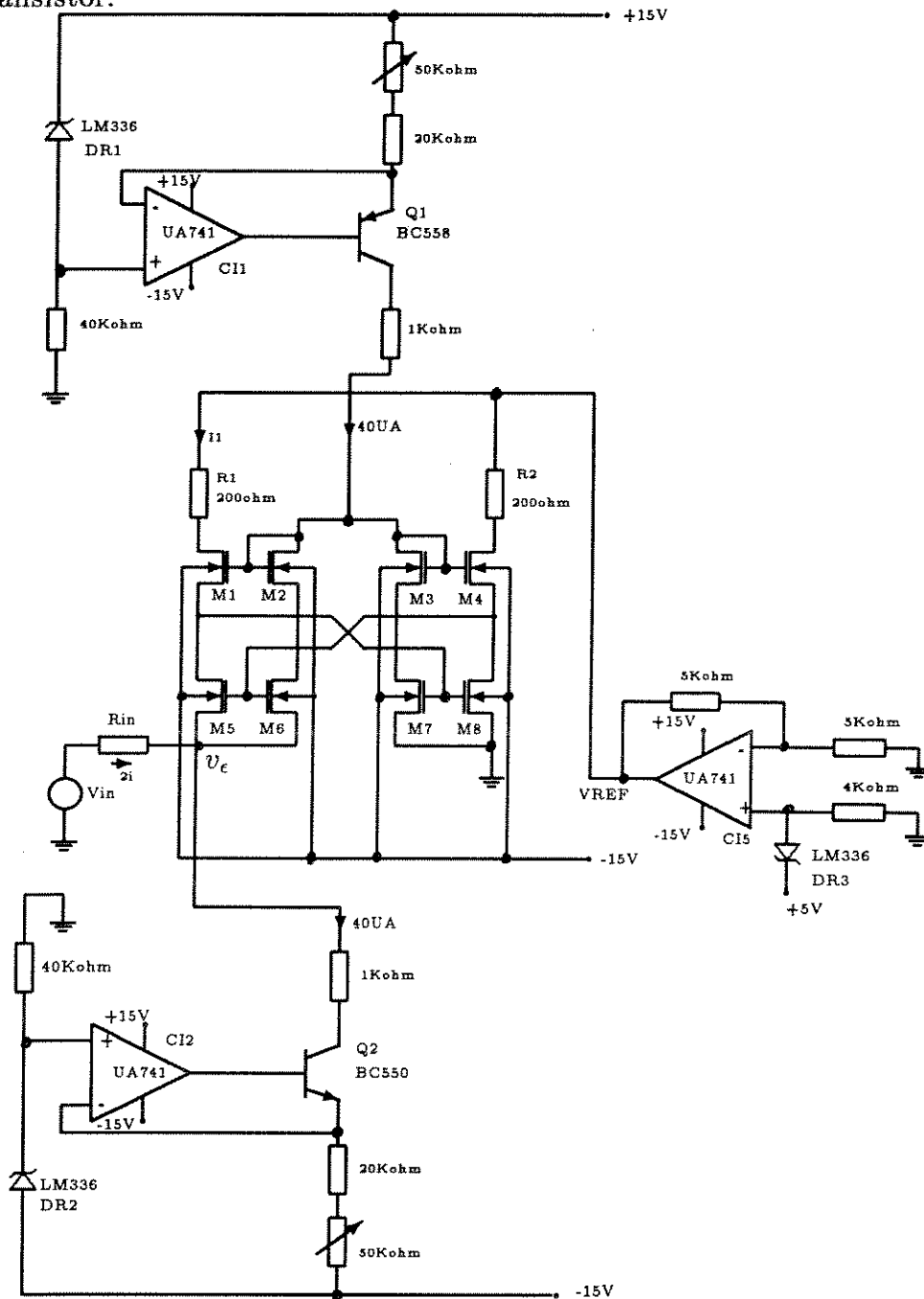


Figura 1.35 - Circuito utilizado no teste de comportamento em frequência

Resultados Experimentais

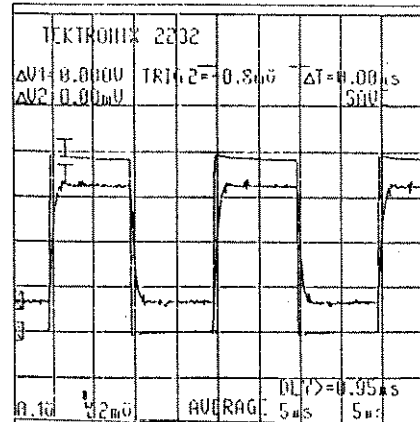
a.

Tensão no resistor R_1

$$V_{in} = \pm 200mV$$

$$f = 50Khz$$

$$\frac{W}{L} = \frac{50\mu m}{10\mu m}$$



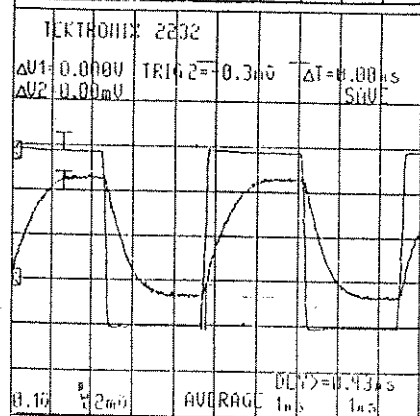
b.

Tensão no resistor R_1

$$V_{in} = \pm 200mV$$

$$f = 200Khz$$

$$\frac{W}{L} = \frac{50\mu m}{10\mu m}$$



c.

Tensão no resistor R_1

$$V_{in} = \pm 200mV$$

$$f = 500Khz$$

$$\frac{W}{L} = \frac{50\mu m}{10\mu m}$$

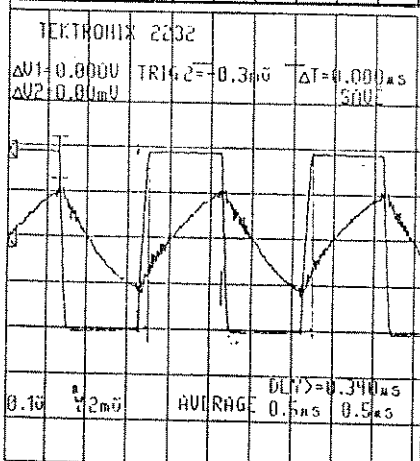


Figura 1.36- Resultados das medidas feitas no Conversor V/I utilizando transistores integrados no PMU-CMOS7

Resultados Experimentais

a.

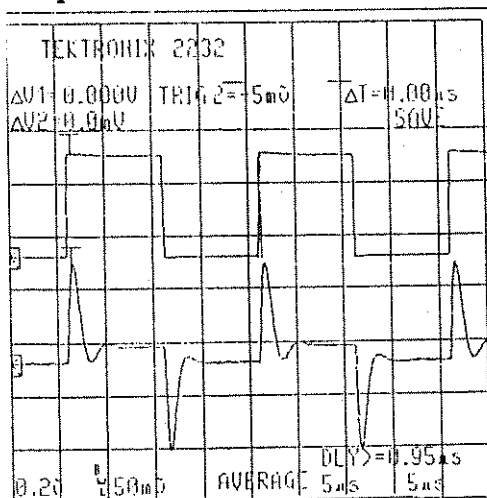
Tensão no terra virtual v_e

$$V_{in} = \pm 200mV$$

$$f = 50KHz$$

$$I_{in} = \pm 20\mu A$$

$$\frac{W}{L} = \frac{50\mu m}{10\mu m}$$



b.

Tensão na porta do transistor M_5

$$V_{in} = \pm 200mV$$

$$f = 50KHz$$

$$\frac{W}{L} = \frac{50\mu m}{10\mu m}$$

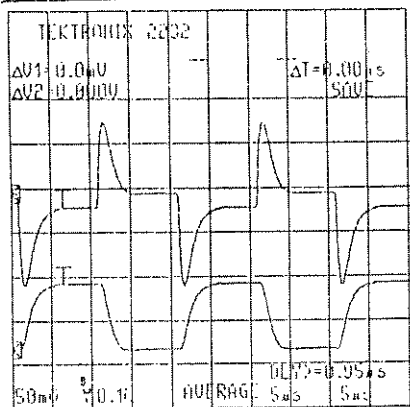


Figura 1.37- Resultados das medidas feitas no Conversor V/I utilizando transistores integrados no PMU-CMOS7

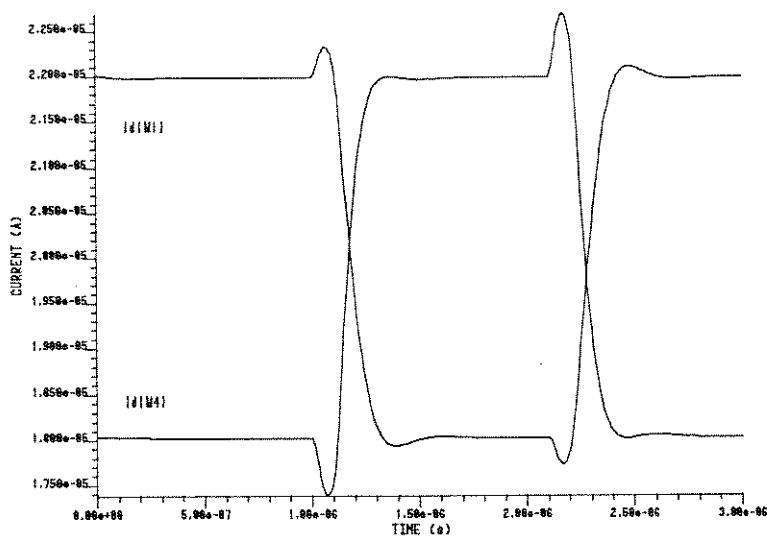


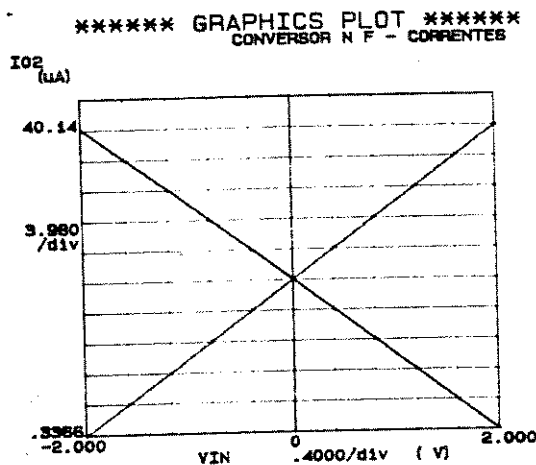
Figura 1.38- Resposta em corrente para o conversor V/I

Medidas feitas no Conversor V/I implementado no PMUCMOS8, utilizando o Analisador de Parâmetros - modelo 4145B						
Valores fixos	$V_{in}(V)$	$v_e(V)$	$I_{S1}(\mu A)$	$\Delta I_{S1}(\mu A)$	$I_{in}(\mu A)$	Erro Linearidade(%) *
$R_{in} = 50.840Kohm$	-2.0000	-0.0237	40.1190	19.9750	39.7840	0.00
	-1.9000	-0.0250	39.1400	18.9960	37.8340	0.05
	-1.8000	-0.0185	38.1450	18.0010	35.8650	0.06
	-1.7000	-0.0169	37.1540	17.0100	33.8800	0.08
	-1.6000	-0.0157	36.1540	16.0100	31.8940	0.08
	-1.5000	-0.0145	35.1590	15.0150	29.9090	0.09
	-1.4000	-0.0133	34.1550	14.0110	27.9200	0.07
	-1.3000	-0.0122	33.1590	13.0150	25.9350	0.08
	-1.2000	-0.0112	32.1640	12.0200	23.9350	0.09
	-1.1000	-0.0102	31.1550	11.0110	21.9450	0.07
	-1.0000	-0.0092	30.1540	10.0100	19.9550	0.06
	-0.9000	-0.0082	29.1600	9.0160	17.9600	0.07
	-0.8000	-0.0073	28.1600	8.0160	15.9600	0.07
	-0.7000	-0.0063	27.1600	7.0160	13.9650	0.07
	-0.6000	-0.0054	26.1600	6.0160	11.9800	0.07
	-0.5000	-0.0045	25.1490	5.0050	9.9824	0.04
	-0.4000	-0.0036	24.1500	4.0060	7.9810	0.04
	-0.3000	-0.0027	23.1540	3.0100	5.9849	0.04
	-0.2000	-0.0018	22.1450	2.0010	3.9984	0.02
	-0.1000	-0.0009	21.1490	1.0050	1.9980	0.03
	0.0000	0.0000	20.1440	0.0000	0.0057	0.01
	0.1000	0.0010	19.1450	0.9990	1.9894	0.01
	0.2000	0.0019	18.1390	2.0050	3.9861	0.00
	0.3000	0.0027	17.1400	3.0040	5.9784	0.00
	0.4000	0.0036	16.1440	4.0000	7.9745	0.00
	0.5000	0.0045	15.1350	5.0090	9.9643	-0.02
	0.6000	0.0055	14.1350	6.0090	11.9600	-0.02
	0.7000	0.0063	13.1300	7.0140	13.9550	-0.04
	0.8000	0.0074	12.1250	8.0190	15.9450	-0.05
	0.9000	0.0083	11.1300	9.0140	17.9400	-0.04
	1.0000	0.0092	10.1280	10.0160	19.9350	-0.05
	1.1000	0.0102	9.1256	11.0184	21.9350	-0.06
	1.2000	0.0112	8.1267	12.0153	23.9250	-0.06
	1.3000	0.0123	7.1218	13.0222	25.9050	-0.07
	1.4000	0.0134	6.1234	14.0206	27.9000	-0.07
	1.5000	0.0146	5.1244	15.0196	29.8900	-0.07
	1.6000	0.0157	4.1199	16.0241	31.8790	-0.08
	1.7000	0.0171	3.1184	17.0246	33.8650	-0.09
	1.8000	0.0186	2.1264	18.0176	35.8500	-0.08
	1.9000	0.0206	1.1355	19.0085	37.8190	-0.06
	2.0000	0.0248	0.1588	19.9852	39.7490	0.00

* $ErroLinearidade = \left(\frac{I_{S1} - (-9.9900V_{in} + 20.1389)}{39.9602} \right) \times 100$

Tabela 1.7 - Medidas feitas no Conversor V/I implementado no PMUCMOS8, utilizando o Analisador de Parâmetros - modelo 4145B

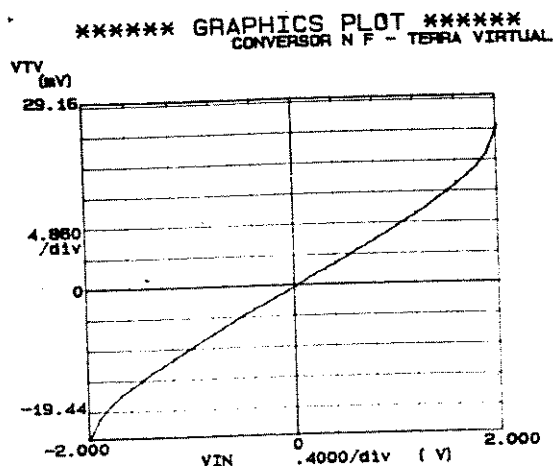
Correntes
 I_{S1} e I_{S2}



Variables:
VIN -Ch1
Linear sweep
Start -0.0000V
Stop 0.0000V
Step 0.0000V

Constants:
V0E -Ch2 0.0000V
I1 -Ch3 40.00uA
I2 -Ch4 -40.00uA
V0E -V01 -0.0000V
V0D -V02 0.0000V

Terra Virtual



Variables:
VIN -Ch1
Linear sweep
Start -0.0000V
Stop 0.0000V
Step 0.0000V

Constants:
V0E -Ch2 0.0000V
I1 -Ch3 40.00uA
I2 -Ch4 -40.00uA
V0E -V01 -0.0000V
V0D -V02 0.0000V

Erro de Linearidade

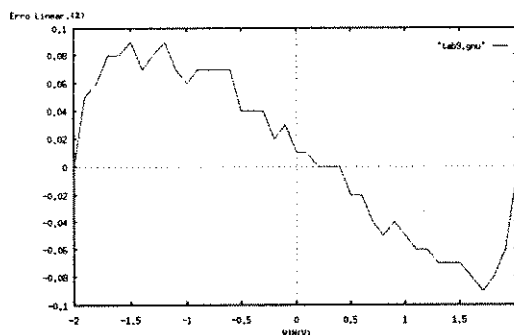


Figura 1.40 - Resultados dos testes do Conversor V/I implementado no PMU-CMOS8

Observamos que o erro de linearidade para o circuito conversor V/I implementado no PMU-CMOS8 é bem menor, quando comparado com os resultados mostrados quando implementamos o circuito utilizando o Array CD4007 (erro na faixa de 0.08% a 0.8%) e utilizando transistores integrados no PMU-CMOS7 (0.02% a 0.48%). Isto se deve ao fato de um melhor casamento entre os transistores.

Na Tabela 1.8, observamos que a tensão no "terra virtual" (v_e) apresenta uma variação de aproximadamente 50 mV, para uma tensão de entrada (V_{in}) variando de

-2V a +2V, e uma variação de aproximadamente 20mV, para uma tensão de entrada de -1V a +1V.

Observamos que no item 1.3.2, onde equacionamos e calculamos a tensão no "terra virtual" (v_e), os resultados obtidos foram:

- $v_e = 39.4$ mV, para uma tensão na entrada (V_{in}) variando de -2V a +2V.
- $v_e = 19.68$ mV, para uma tensão na entrada variando de -1V a +1V.

Como mostrado anteriormente, obtivemos nas simulações e medidas feitas nos chips um $v_e = 50$ mV para V_{in} variando de -2V a +2V. Esta diferença nos resultados pode ser explicada observando-se as Figuras 1.41a e 1.41b. Nestas figuras, observamos que a tensão no "terra virtual" (v_e) não varia de forma linear e no item 1.3.2 o cálculo de v_e foi feito em torno de um ponto de polarização, considerando que v_e varie de forma linear. Se observarmos o gráfico numa faixa de tensão de entrada de -1V a +1V, a curva para v_e se comporta de forma muito próxima a uma curva linear e temos $v_e = 20$ mV, o que está de acordo com o resultado obtido no item 1.3.2. Isto, também explica a diferença nos resultados obtidos na Tabela 1.6, para o conversor V/I implementado com transistores do PMU-CMOS7

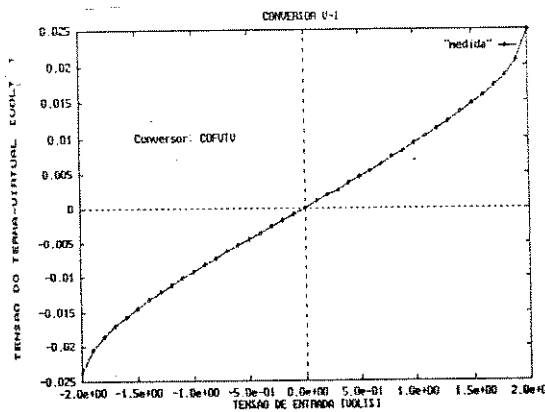


Figura 1.41a

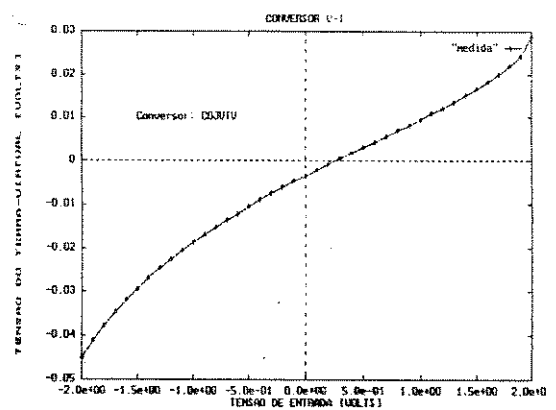
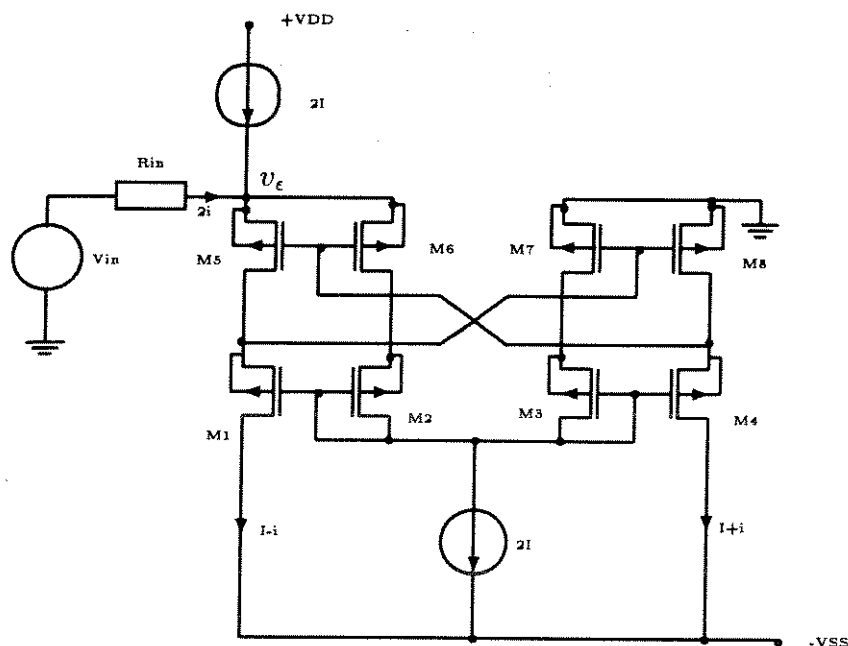


Figura 1.41b

Figura 1.41 - Curva Tensão no "terra virtual" (v_e) x Tensão de entrada (V_{in}) do conversor V/I

Como mostrado na Figura 1.27, foram implementados no PMU-CMOS9, conver-

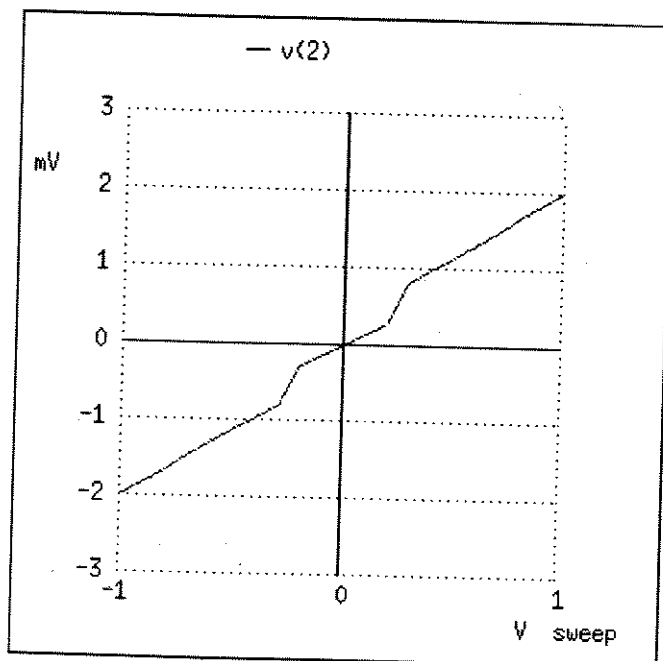
Sabemos que no processo poço-N o transistor PMOS não sofre o efeito de corpo, pois a tensão incremental corpo-fonte (v_{sb}) é igual a zero. Sendo assim, temos o circuito para o conversor V/I na versão PMOS mostrado na Figura 1.42.



Simulando este circuito temos os resultados mostrados na Figura 1.43, onde podemos notar que a tensão no "terra virtual" é muito baixa ($v_t=4\text{mV}$ para $V_{in}=-2\text{V}$ a $+2\text{V}$) se comparada com a versão NMOS ($v_t=50\text{mV}$ para $V_{in}=-2\text{V}$ a $+2\text{V}$).

Resultados de Simulações para o Conversor V/I PMOS

Tensão no "Terra Virtual"



Correntes de Saída
 I_{S1} e I_{S2}

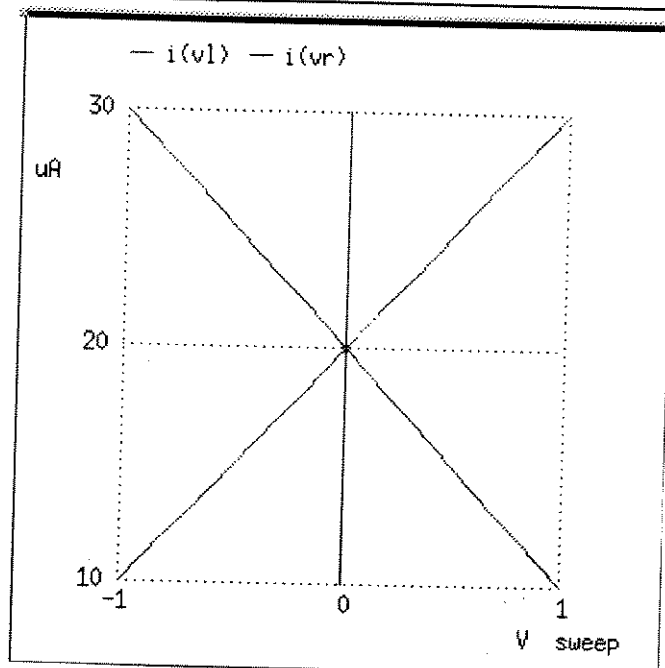


Figura 1.43 - Simulações do Conversor V/I implementado com transistores PMOS

Capítulo 2

2. Espelho de Corrente

2.1. Estudo das Principais Configurações de Espelhos de Corrente

2.2. Escolha do Espelho de Corrente

2.3. Teste dos Espelhos de Corrente implementados nos PMU-CMOS7 e PMU-CMOS8

2.3.1. Espelhos de Corrente implementados no PMU-CMOS7

2.3.2. Espelhos de Corrente implementados no PMU-CMOS8

2 Espelho de Corrente

Neste capítulo apresentaremos as principais configurações de espelhos de corrente e escolheremos dentre estas a que melhor se adequar às nossas necessidades, mostrando simulações (SPICE) e testes realizados.

2.1 Estudo das Principais Configurações

Há diversas configurações de espelhos de corrente [13] [14]. Cada uma dessas configurações se caracteriza através de um determinado valor para a resistência de saída, ganho DC, erro de descasamento DC e excursão do sinal de saída. Dependendo da aplicação, o espelho de corrente deverá satisfazer determinadas especificações. Sendo assim, deveremos escolher, dentre as diversas configurações existentes, a que melhor responder às nossas necessidades.

A seguir apresentaremos um resumo das principais configurações de espelhos de corrente e suas características.

A 1a. configuração corresponde ao Espelho de Corrente Simples [13] que é formado por dois transistores NMOS, como mostrado na Figura 2.1. Como o dreno do transistor M_1 está ligado a porta, o transistor (modo enriquecimento) estará operando na região de saturação se a tensão porta - fonte for maior que a tensão *threshold* V_T . O transistor M_2 estará operando na região de saturação quando o valor da tensão mínima de saída V_{outmin} for maior que $(V_{GS2} - V_T)$, ou seja,

$$V_{outmin} > (V_{in} - V_T) \quad (66)$$

Para o circuito da Figura 2.1, temos o ganho DC dado por:

$$\frac{I_{out}}{I_{in}} = 1 + \frac{\lambda(V_{out} - V_{in})}{1 + \lambda V_{in}} = 1 + \frac{gds_2}{I_{in}}(V_{out} - V_{in}) \quad (67)$$

onde λ é o coeficiente de modulação de canal.

A resistência de saída do circuito espelho simples é dada por,

$$r_o = \frac{1}{gds_2} = rds_2 \quad (68)$$

Este espelho tem uma pobre característica de saída, porque oferece resistências de saída de baixo valor, ou seja uma variação na tensão de saída V_{out} provoca uma considerável variação na corrente de saída I_{out} . Outras configurações que serão mostradas em seguida oferecem valores maiores para a resistência de saída r_o .

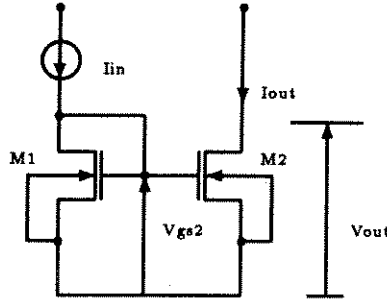


Figura 2.1 - Espelho de Corrente Simples NMOS

Notamos que o valor do ganho DC do espelho é função da diferença da tensão de saída do espelho pela tensão de entrada, $(V_{out} - V_{in})$. No circuito do espelho de corrente simples, Figura 2.1, a tensão de entrada tem o mesmo valor da tensão porta-fonte dos transistores, ou seja,

$$V_{in} = V_{GS1} = V_{GS2} \quad (69)$$

e a tensão de saída V_{out} tem o mesmo valor da tensão dreno-fonte do transistor M_2 , ou seja,

$$V_{out} = V_{DS2} \quad (70)$$

que assume valores maiores que $(V_{GS2} - V_T)$. Isto dificulta a obtenção de um ganho unitário. Temos outras configurações que oferecem características mais favoráveis a obtenção de um ganho DC bem próximo de 1.

O erro de descasamento DC para o espelho simples é dado por,

$$\epsilon = \lambda(V_{out} - V_{in}) = \lambda \left(V_{out} - V_T - \sqrt{\frac{2I_{in}}{k}} \right) \quad (71)$$

o que significa que para um valor constante de V_{out} , o erro ϵ diminui proporcionalmente com a raiz quadrada da corrente de entrada I_{in} . Assim, podemos controlar

o valor do erro escolhendo um valor adequado para a corrente de entrada I_{in} . O fato de escolhermos um valor menor para a corrente de entrada I_{in} nos permite a obtenção de um menor erro de descasamento DC, e também o aumento da excursão do sinal de saída, pois o valor da tensão mínima de saída é dada por,

$$V_{outmin} = \sqrt{\frac{2I_{in}}{k}} \quad (72)$$

que é o valor mínimo de tensão no qual o transistor ainda está operando na região de saturação. Observamos, também, que valores maiores de k reduzem o valor da tensão mínima V_{outmin} , aumentando a excursão na saída.

Uma outra configuração de espelho de corrente é dada na Figura 2.2. Este é o espelho de corrente de Wilson [13] e observamos que a realimentação negativa fornecida pelo transistor M_1 serve para aumentar a resistência da que é dada pela expressão,

$$r_o = \frac{1}{g_o} = \frac{r_{ds2}}{1 + r_{ds2}g_{m2}} + r_{ds3} + \frac{r_{ds2}r_{ds3}}{1 + r_{ds2}g_{m2}}[g_{m3}(1 + g_{m1}r_{ds1}) - g_{mb3}] \quad (73)$$

Se considerarmos uma mesma variação de V_{out} para o espelho simples e para o de Wilson, a corrente de saída I_{out} no espelho de Wilson sofrerá uma variação menor, ou seja apresenta uma melhor característica de saída.

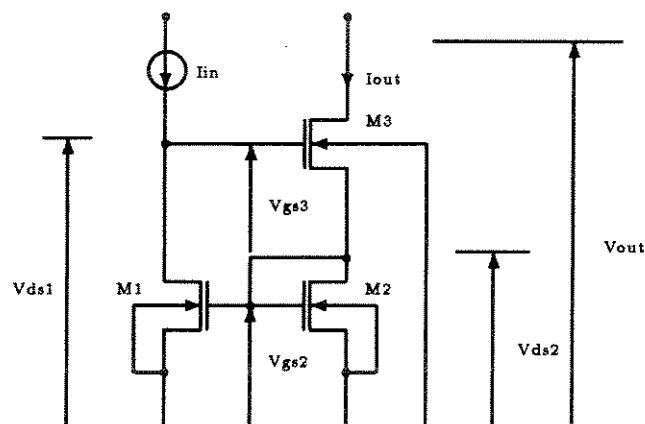


Figura 2.2 - Espelho de Corrente de Wilson

A expressão para o ganho, no espelho de Wilson, é dada por,

$$\frac{I_{out}}{I_{in}} = \frac{1}{2} \left(2 - \frac{\lambda V_{in}}{1 + \lambda V_{in}} \right) + \frac{g_o}{I_{in}} (V_{out} - V_{in}) \quad (74)$$

e para o erro de descasamento DC, é dada por,

$$\epsilon = \frac{-\lambda V_{in}}{2(1 + \lambda V_{in})} + \lambda^2 \sqrt{\frac{I_{in}}{2k}} (V_{out} - V_{in}) \quad (75)$$

Na Equação (75), o 1o. termo do erro é causado pela polarização assimétrica, e é independente de V_{out} , o 2o. termo é causado pela resistência de saída finita e é função de V_{out} . Os dois termos são funções de I_{in} , sendo que, se tivermos um aumento na corrente de entrada I_{in} , o 1o. termo aumenta enquanto o 2o. diminui.

A tensão de saída mínima é dada por,

$$V_{outmin} = 2\sqrt{\frac{2I_{in}}{k}} + V_T \quad (76)$$

que é maior que a do espelho de corrente simples, e portanto a excursão do sinal de saída é menor.

Uma desvantagem do espelho de Wilson é a polarização assimétrica que causa um maior erro de descasamento DC, como mostrado na Equação (75). Contudo, isto pode ser melhorado, adicionando-se o transistor M_4 à configuração do espelho de Wilson, como mostrado na Figura 2.3. Este é o Espelho de Corrente de Wilson Melhorado.

A resistência de saída, para este espelho, é dada por,

$$r_o = \frac{1}{g_o} = \frac{r_{ds2}}{1 + r_{ds2}g_{m2}} + r_{ds3} + \frac{r_{ds2}r_{ds3}}{1 + r_{ds2}g_{m2}} X \left[g_{m3} \left(1 + g_{m1}r_{ds1} \left(1 + \frac{r_{ds4}g_{mb4}}{1 + g_{m4}r_{ds4}} \right) \right) - g_{mb3} \right] \quad (77)$$

Se considerarmos o efeito de corpo do transistor M_4 (g_{mb4}) igual a zero, na Equação (77), teremos a mesma expressão obtida na Equação (73) para o espelho de Wilson convencional.

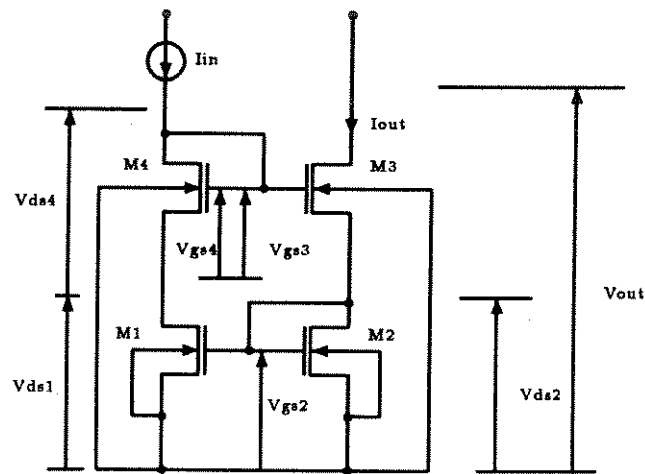


Figura 2.3 - Espelho de Corrente de Wilson Melhorado

A excursão do sinal de saída é a mesma dada pelo espelho de Wilson convencional e o erro de descasamento DC é dado pela Equação (75), onde g_o é dado pela Equação (73).

Vejamos outra configuração de espelho de corrente, que apresenta uma maior resistência de saída e um menor erro de descasamento DC, que as configurações anteriores. Trata-se do espelho de corrente Cascode que está mostrado na Figura 2.4. Nesta configuração a realimentação negativa também está presente e temos como expressão para a resistência de saída,

$$r_o = r_{ds2} + r_{ds4} + r_{ds2}r_{ds4}(g_{m4} - g_{mb4}) \quad (78)$$

O erro de descasamento DC é dado pela Equação (75) onde g_o é dado pela Equação (73).

Notamos na expressão para a resistência de saída r_o e para o erro de descasamento DC ϵ que a presença do efeito de corpo do transistor M_4 (g_{mb4}) tende a aumentar a resistência de saída e diminuir o erro de descasamento DC.

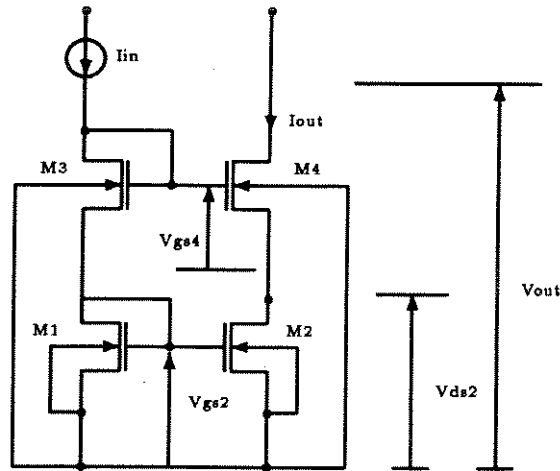


Figura 2.4 - Espelho de Corrente Cascode

A excursão do sinal de saída para o espelho Cascode é a mesma dada para o espelho de Wilson convencional, pois a tensão mínima de saída é $V_{outmin} = 2\sqrt{\frac{2I_{in}}{k}} + V_T$

Apesar do valor da tensão mínima de saída V_{outmin} ser reduzido com um aumento em W ou uma redução em I_{in} , a tensão *threshold* V_T representa uma significativa perda na excursão do sinal de saída. A configuração mostrada na Figura 2.5 elimina este problema. Trata-se do espelho Cascode melhorado, onde o valor da tensão mínima de saída V_{outmin} é dada por,

$$V_{outmin} = 2\sqrt{\frac{2I_{in}}{k}} \quad (79)$$

que é menor que a do espelho Cascode convencional, e portanto oferece uma maior excursão de saída.

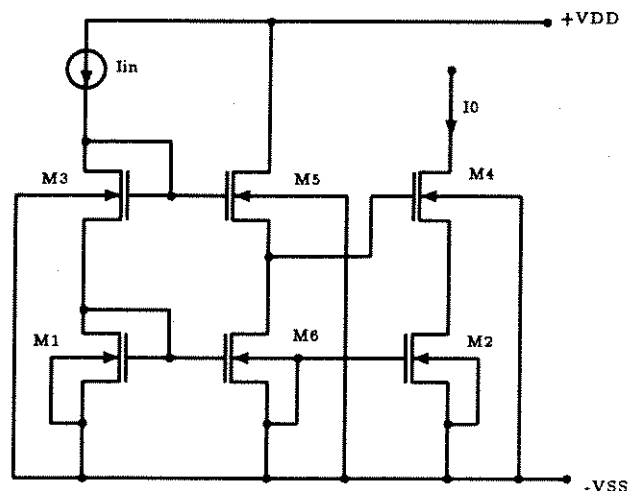


Figura 2.5 - Espelho de Corrente Cascode Melhorado

No resumo feito anteriormente para os diversos tipos de espelhos de corrente, comentamos as principais características de cada um, ressaltando as suas diferenças. Nas Tabelas 2.1, 2.2 e 2.3 mostramos de uma forma mais clara as equações para cada tipo de espelho de corrente de acordo com cada característica.

Equações para a Resistência de Saída r_o	
Espelho de Corrente	Resistência de Saída r_o
Simple	r_{ds2}
Wilson	$\frac{r_{ds2}}{1+r_{ds2}g_{m2}} + r_{ds3} + \frac{r_{ds2}r_{ds3}}{1+r_{ds2}g_{m2}} [g_{m3}(1+g_{m1}r_{ds1}) - g_{mb3}]$
Wilson melhorado	$\frac{r_{ds2}}{1+r_{ds2}g_{m2}} + r_{ds3} + \frac{r_{ds2}r_{ds3}}{1+r_{ds2}g_{m2}} \left[g_{m3} \left(1 + g_{m1}r_{ds1} \left(1 + \frac{r_{ds4}g_{mb4}}{1+g_{m4}r_{ds4}} \right) \right) - g_{mb3} \right]$
Cascode	$r_{ds2} + r_{ds4} + r_{ds2}r_{ds4}(g_{m4} - g_{mb4})$

Tabela 2.1 - Resistências de Saída para os quatro principais tipos de espelhos de corrente

Características $\frac{I_{out}}{I_{in}}$ e Erro de descasamento DC		
Espelho de Corrente	Razão $\frac{I_{out}}{I_{in}}$	Erro de Descasamento DC
Simple	$1 + \frac{(V_{out} - V_{in})}{r_o I_{in}}$	$\lambda(V_{out} - V_{in})$
Wilson	$\frac{1}{2} \left(2 - \frac{\lambda V_{in}}{1 + \lambda V_{in}} \right)$	$-\frac{\lambda V_{in}}{2(1 + \lambda V_{in})}$
Wilson melhorado	$1 + \frac{(V_{out} - V_{in})}{r_o I_{in}}$	$\lambda^2 \sqrt{\left(\frac{I_{in}}{2k} \right)} (V_{out} - V_{in})$
Cascode	$1 + \frac{(V_{out} - V_{in})}{r_o I_{in}}$	$\lambda^2 \sqrt{\left(\frac{I_{in}}{2k} \right)} (V_{out} - V_{in})$

Tabela 2.2 - Características $\frac{I_{out}}{I_{in}}$ e Erro de descasamento DC para os quatro principais tipos de espelhos de corrente

Equações para a Tensão mínima de Saída V_{outmin}	
Espelho de Corrente	Tensão mínima de Saída V_{outmin}
Simple	$\sqrt{\left(\frac{2I_{in}}{k} \right)}$
Wilson	$2\sqrt{\left(\frac{2I_{in}}{k} \right)} + V_T$
Wilson melhorado	$2\sqrt{\left(\frac{2I_{in}}{k} \right)} + V_T$
Cascode	$2\sqrt{\left(\frac{2I_{in}}{k} \right)} + V_T$

Tabela 2.3 - Tensão mínima de Saída V_{outmin} para os quatro principais tipos de espelhos de corrente

Pelos resultados mostrados anteriormente, observamos que o espelho de corrente simples oferece uma baixa resistência de saída, um maior erro de descasamento DC e a dificuldade para a obtenção de um ganho DC bem próximo de 1. Portanto, não é uma boa configuração onde seja necessário precisão na resposta.

O espelho de Wilson apresenta características melhores que o espelho simples, entretanto o espelho Cascode oferece uma maior resistência de saída e um menor erro de descasamento.

O espelho Cascode melhorado oferece uma maior excursão de saída, porém é implementado com um número maior de transistores que as configurações anteriores.

Com o que foi mostrado anteriormente, podemos escolher qual será a configuração mais apropriada para o circuito somador de tensões. Este será o nosso próximo assunto.

2.2 Escolha do Espelho de Corrente

No item anterior, mostramos as diversas configurações de espelhos de corrente e comparamos suas características: resistência de saída, erro de descasamento DC, ganho DC e excursão de saída. Uma configuração oferece alta excursão de saída, mas baixa resistência de saída e dificuldade de obtermos um ganho próximo de 1 (espelho simples); outra oferece maior resistência de saída e um ganho DC bem próximo de 1, mas perde em excursão (espelho cascode); e ainda, uma terceira configuração que oferece alta resistência de saída, uma melhor excursão de saída, mas é necessário um maior número de transistores para implementar o circuito (espelho cascode melhorado), o que pode não ser interessante.

No caso do circuito somador de tensões, precisamos de um espelho de corrente preciso, ou seja, ganho DC muito próximo de 1. Isto pode ser melhor explicado se observamos a Figura 2.6 onde temos um diagrama de blocos para o circuito somador de tensões. Neste circuito temos os dois blocos dos conversores V/I que são alimentados pela corrente de polarização $2I$, distribuída no circuito por um espelho de corrente. A corrente de polarização do conversor 1 deve ser igual a do conversor 2. Se o espelho de corrente escolhido não apresentar um ganho DC bem próximo de 1, isto será impossível.

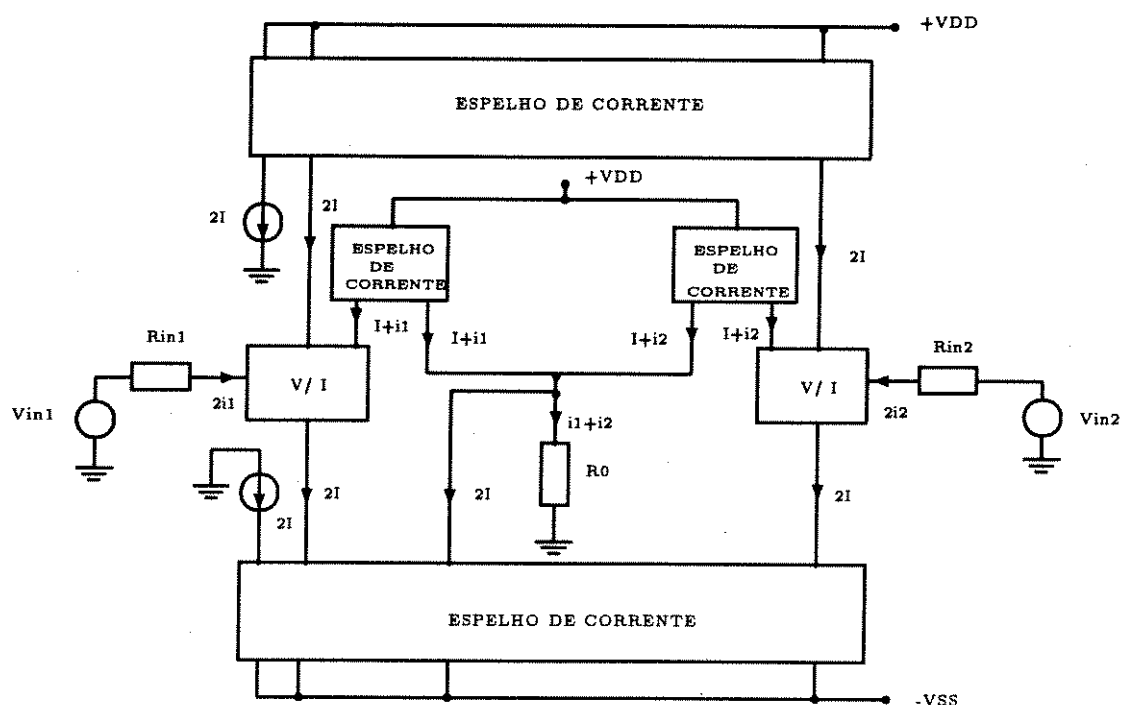


Figura 2.6 - Diagrama de blocos para o circuito somador de tensões

Outra característica necessária para o nosso espelho de corrente é que ele seja capaz de responder de forma rápida a transições abruptas na entrada. Observando novamente a Figura 2.6, podemos notar que as correntes de saída dos conversores V/I , $I+i_1$ e $I+i_2$ são espelhadas e fluem para o resistor de saída R_0 . Quando variamos as tensões de entrada V_{in1} e V_{in2} , na saída dos conversores teremos as correntes i_1 e i_2 que deverão ser levadas até a saída (R_0). Se essas variações na entrada (V_{in1} e V_{in2}) forem abruptas, o espelho de corrente deve ser rápido e mostrar na saída as correntes i_1 e i_2 sem atraso. Na Figura 2.7 temos a resposta de cada espelho de corrente a uma variação abrupta na entrada. Podemos notar pela Figura 2.7 que o espelho de corrente simples é o mais rápido e os outros três espelhos: Wilson, Cascode e Cascode melhorado apresentam tempos de resposta bem próximos.

Procuramos comparar a resposta a pulso, em simulações de transiente, dos três tipos de espelhos mais comuns (simples, cascode e Wilson). O resultado destas simulações é mostrado no gráfico da Figura 2.7. Foram mantidas as mesmas dimensões de transistor para os espelhos. Conclui-se deste resultado que o espelho cascode é a opção mais apropriada.

No decorrer deste trabalho, tentamos analisar o comportamento dinâmico dos espelhos e nos defrontamos, no caso do espelho simples, com um aspecto curioso que diz respeito à presença de um zero no semiplano direito. Esta análise é mostrada no Apêndice A.

Espelhos de Corrente

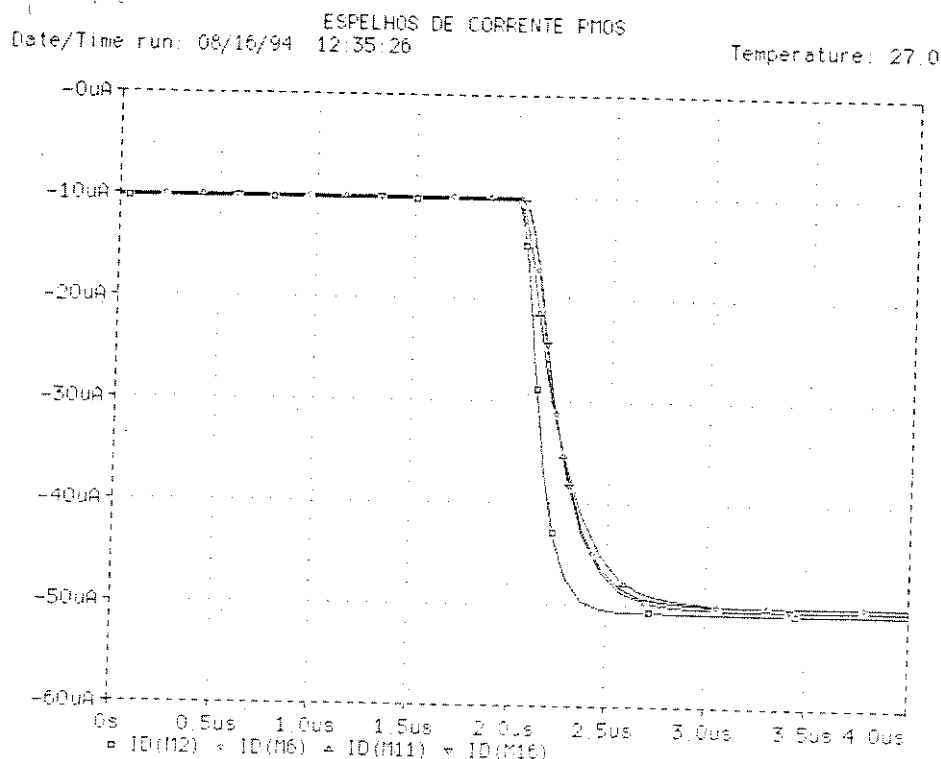


Figura 2.7 - Análise de transiente para os espelhos de corrente simples (ID(M2)), Wilson (ID(M6)), Cascode (ID(M11)) e Cascode melhorado (ID(M16))

2.3 Teste dos espelhos de Corrente implementados nos PMU-CMOS7 e PMU-CMOS8

2.3.1 Espelhos de Corrente implementados no PMU-CMOS7

Os circuitos testados estão mostrados nas Figuras 2.10a, 2.10b, 2.11a e 2.11b, que são os circuitos espelho de corrente simples com transistores NMOS, espelho de corrente simples com transistores PMOS, espelho de corrente cascode com transistores NMOS e espelho de corrente cascode com transistores PMOS, respectivamente.

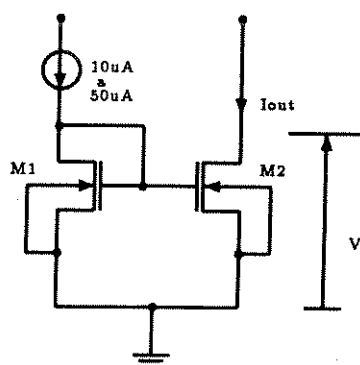


Figura 2.10a

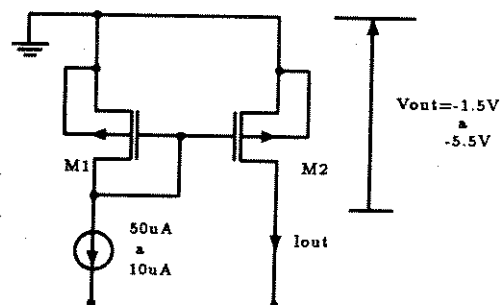


Figura 2.10b

Figura 2.10 - Espelhos de Corrente Simples: a. NMOS b. PMOS

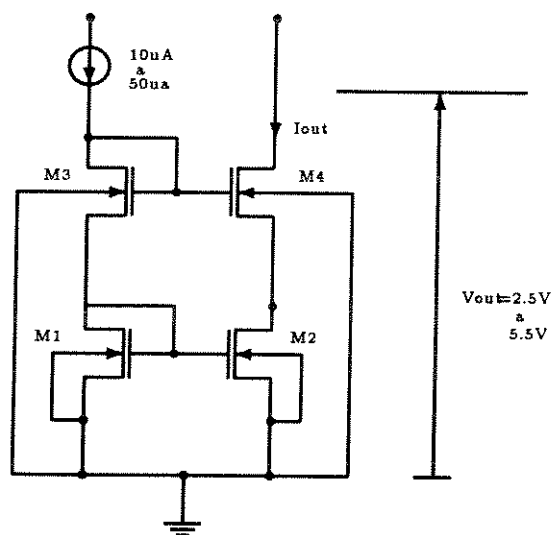


Figura 2.11a

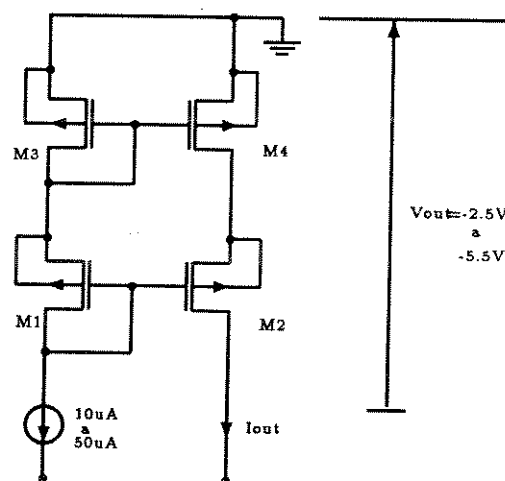


Figura 2.11b

Figura 2.11 - Espelhos de Corrente Cascode: a. NMOS b. PMOS

Espelho de Corrente Simples NMOS

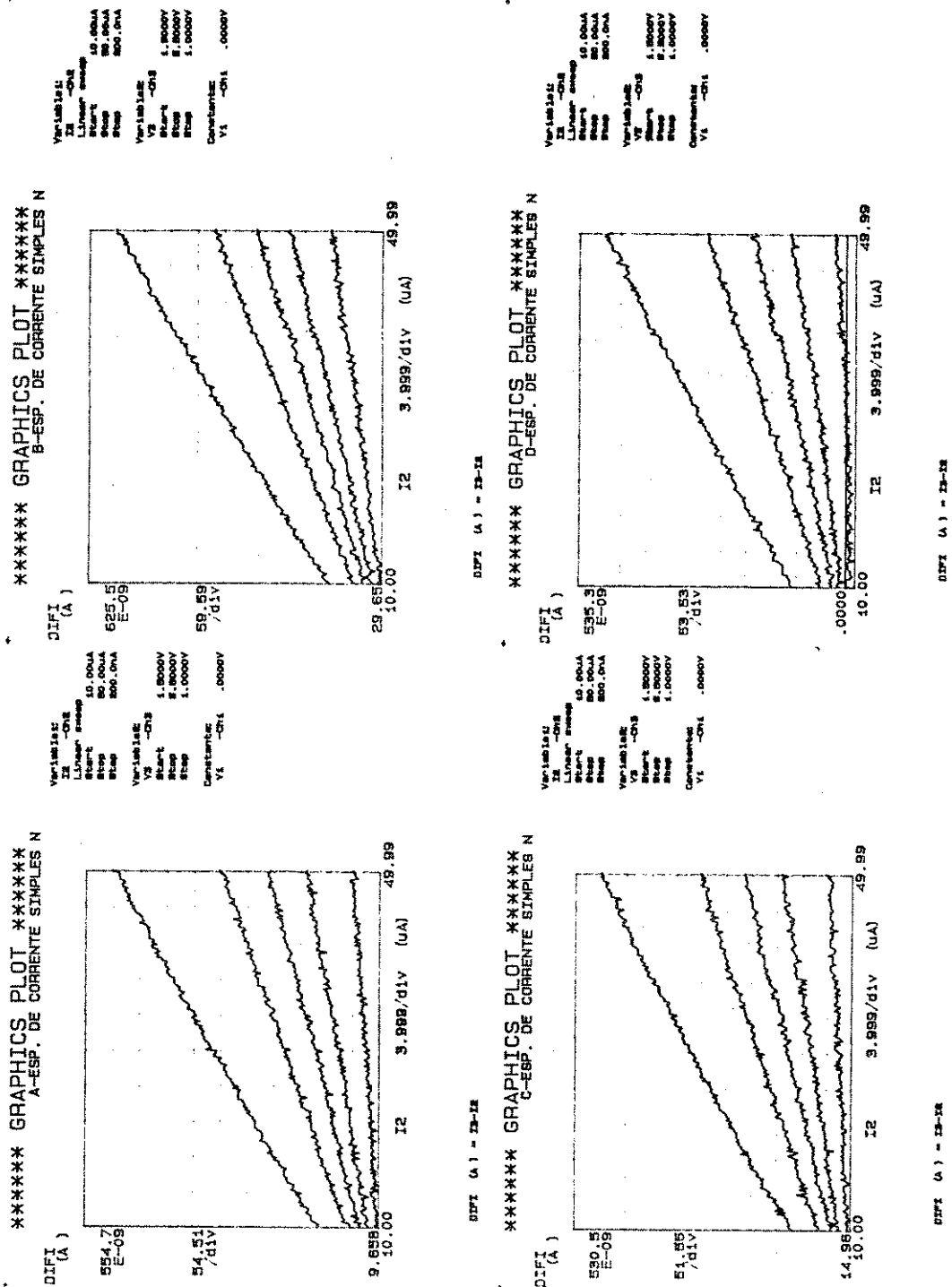


Figura 2.12 - Resultados dos Testes dos Espelhos de Corrente Simples NMOS

Todos os transistores mostrados nas Figuras 2.10 e 2.11 possuem as dimensões $\frac{W}{L} = \frac{300\mu m}{20\mu m}$.

Para o teste do espelho de corrente simples variamos a corrente de entrada dos espelhos de corrente de $10\mu A$ a $50\mu A$, para o NMOS e $-10\mu A$ a $-50\mu A$, para o PMOS e as tensões de saída de $1.5V$ a $5.5V$ para o NMOS e de $-1.5V$ a $-5V$ para o PMOS e medimos a diferença entre a corrente de saída e a corrente de entrada. Os resultados obtidos estão mostrados na Figuras 2.12 e 2.13.

Para o teste do espelho de corrente cascode variamos a corrente de entrada dos espelhos de corrente de 10 a $50\mu A$, para o NMOS e -10 a $-50\mu A$, para o PMOS e as tensões de saída de 2.5 a $5.5V$ para o NMOS e de -2.5 a $-5.5V$ para o PMOS. Os resultados obtidos estão mostrados na Figuras 2.14 e 2.15.

Espelho de Corrente Simples PMOS

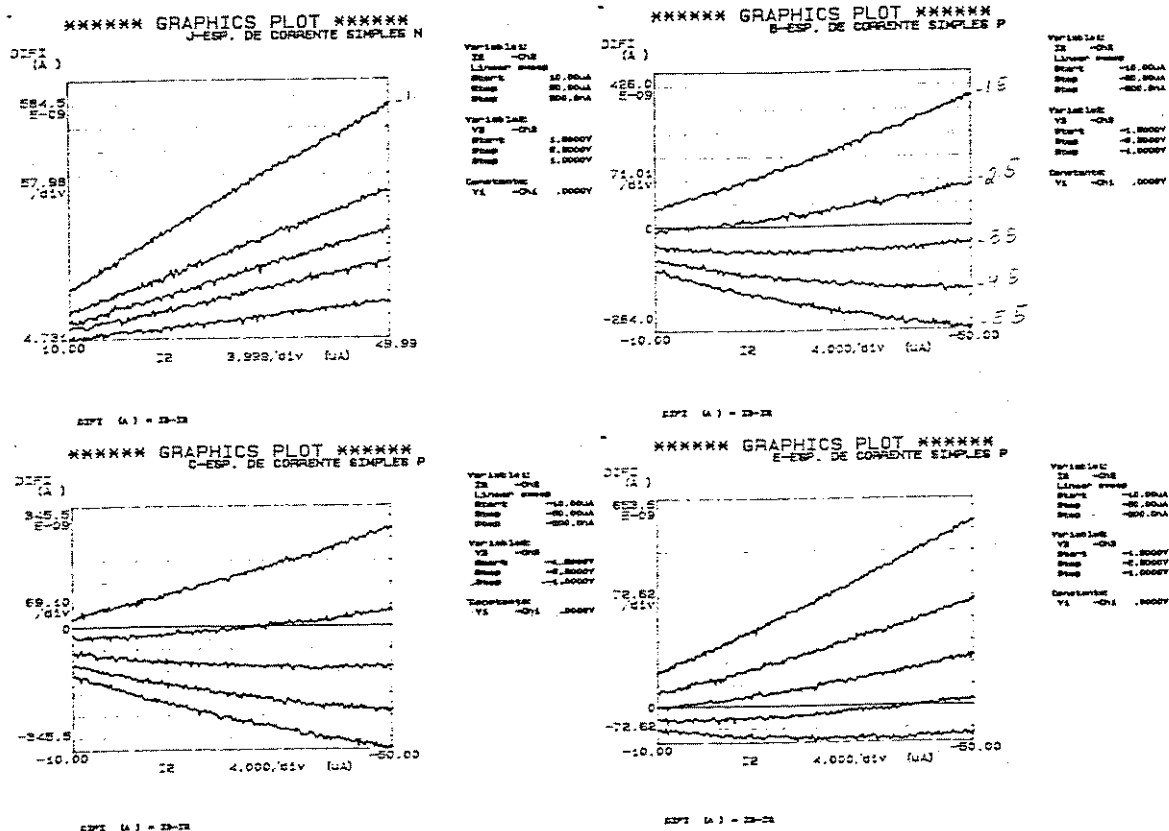


Figura 2.13 - Resultados dos Testes dos Espelhos de Corrente Simples PMOS

Espelho de Corrente Cascode NMOS

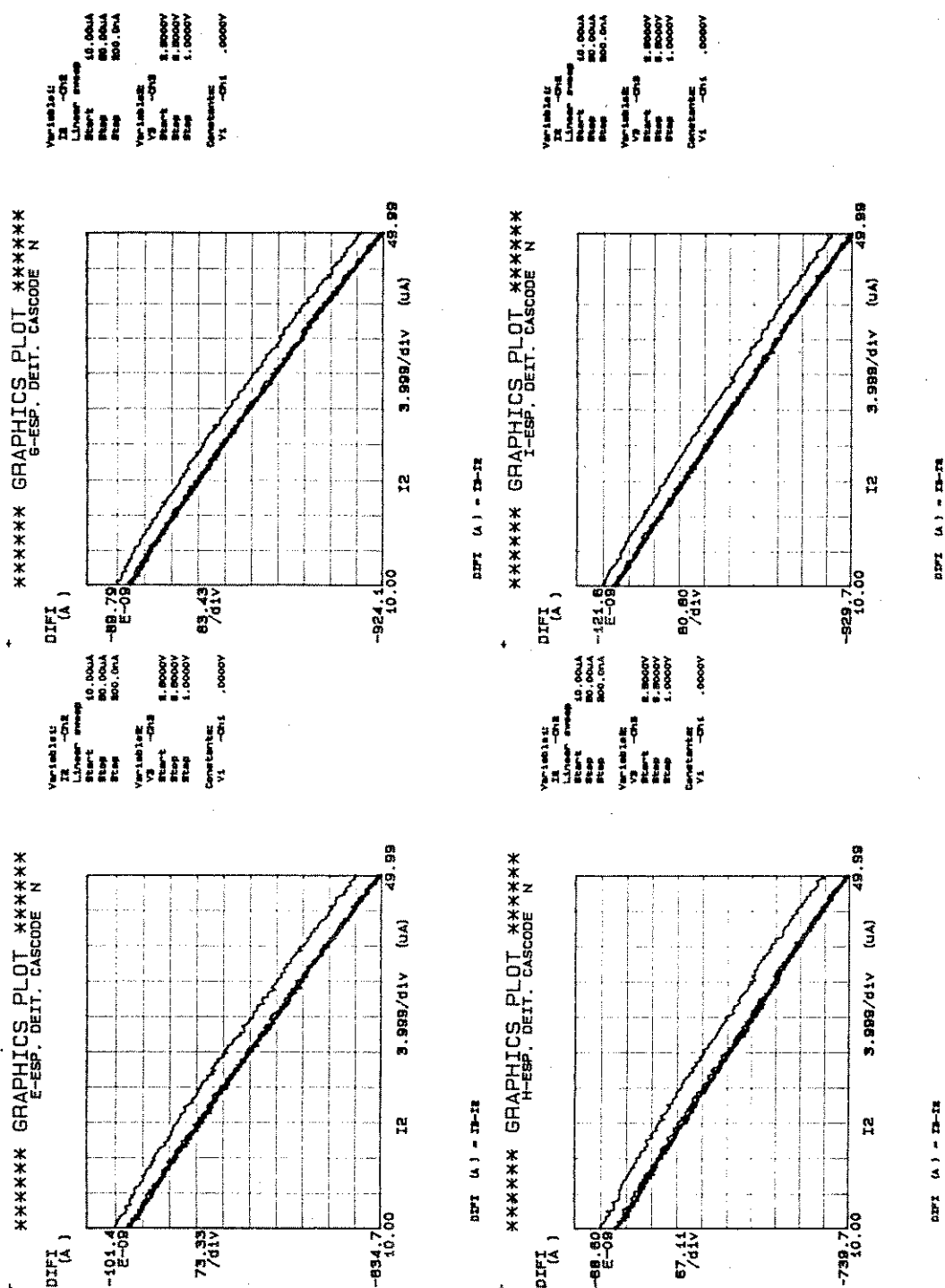


Figura 2.14 - Resultados dos Testes dos Espelhos de Corrente Cascode NMOS

Espelho de Corrente Cascode PMOS

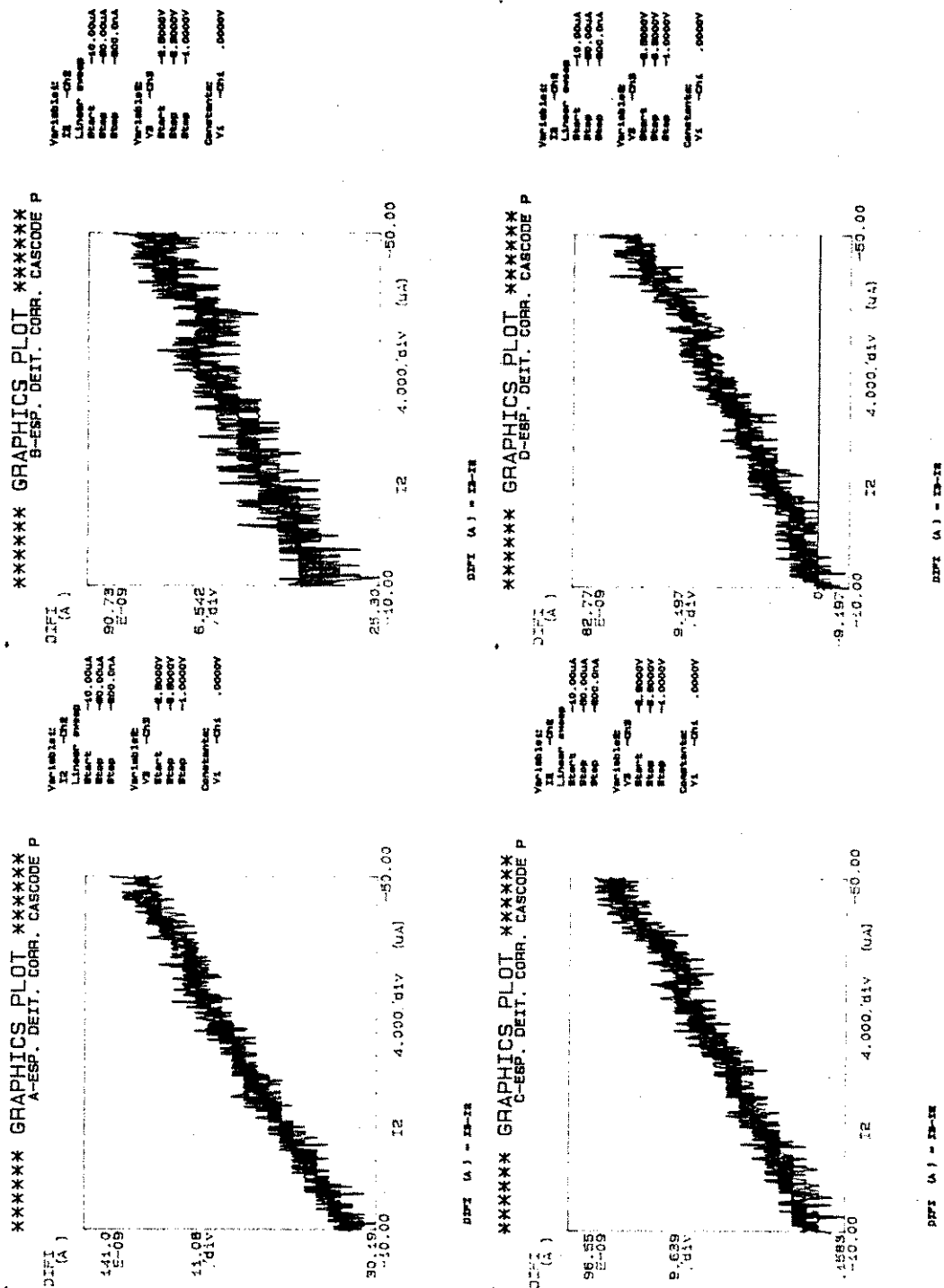


Figura 2.15 - Resultados dos Testes dos Espelhos de Corrente Cascode PMOS

Podemos notar pelos resultados mostrados nas Figuras 2.12, 2.13, 2.14 e 2.15 que o espelho de corrente simples é sensível ao efeito de modulação de canal, pois variando-se a tensão V_{DS} do transistor de saída M_2 a diferença entre a corrente de entrada e a corrente de saída aumenta consideravelmente. Quando variamos a tensão de saída do espelho cascode, temos também uma variação no ganho de corrente $\frac{I_{out}}{I_{in}}$, devido ao efeito de modulação de canal. Podemos observar que a variação no ganho para o espelho cascode é bem menor que no espelho simples.

Nas Tabelas 2.4 e 2.5, temos os resultados dos testes feitos nos espelhos cascode NMOS e PMOS. Na Tabela 2.4 temos os valores das correntes de entrada (I_{in}), variando de $10\mu A$ a $50\mu A$ e de saída (I_{out}) do espelho de corrente cascode NMOS e temos também os valores calculados para o ganho de corrente, o erro no ganho e o erro de linearidade, para tensões de saída (V_{out}) de $+2.5V$ a $+6.5V$. Observamos que o erro no ganho para $V_{out}=2.5V$ está na faixa de 0.09% a 0.67% e para $V_{out}=6.5V$ está na faixa de 0.16% a 0.77% .

O erro de linearidade está na faixa de 0.04% a 0.10% para $V_{out}=2.5V$ e na faixa de 0.01% a 0.14% para $V_{out}=6.5V$.

Na Tabela 2.5, da mesma forma que na Tabela 2.4, o erro no ganho está na faixa de 0.03% a 1.71% e o erro de linearidade na faixa de 0.01% a 0.02% para $V_{out}=-2.5V$. Para $V_{out}=-6.5V$ temos o erro no ganho na faixa de 0.03% a 1.72% e o erro de linearidade na faixa de 0.01% a 0.03% .

Medidas feitas no espelho de corrente implementado no PMUCMOS7					
	$I_{in}(\mu A)$	$I_{out}(\mu A)$	ganho	Erro Linearidade % *	Erro Ganho %
Amostra A PMOS-2.5V	-10.0000	-9.9670	0.9967	0.00	0.33
	-11.9512	-11.9550	1.0003	0.02	0.03
	-13.9024	-13.9500	1.0032	0.02	0.32
	-15.8536	-15.9400	1.0054	0.03	0.54
	-17.8049	-17.9450	1.0078	0.00	0.78
	-19.7561	-19.9350	1.0090	0.02	0.90
	-21.7073	-21.9300	1.0102	0.02	1.02
	-23.6585	-23.9250	1.0112	0.02	1.12
	-25.6097	-25.9200	1.0121	0.02	1.21
	-27.5610	-27.9200	1.0130	0.00	1.30
	-29.5122	-29.9090	1.0134	0.02	1.34
	-31.4634	-31.9050	1.0140	0.02	1.40
	-33.4146	-33.9000	1.0145	0.02	1.45
	-35.3658	-35.8950	1.0150	0.01	1.50
	-37.3171	-37.8900	1.0153	0.01	1.53
	-39.2683	-39.8900	1.0158	0.00	1.58
	-41.2195	-41.8890	1.0162	0.01	1.62
	-43.1707	-43.8750	1.0163	0.01	1.63
	-45.1219	-45.8690	1.0165	0.02	1.65
	-47.0732	-47.8740	1.0170	0.01	1.70
	-49.0244	-49.8650	1.0171	0.00	1.71
Amostra A PMOS-6.5V	-10.0000	-9.9633	0.9963	0.00	0.37
	-11.9512	-11.9550	1.0003	0.01	0.03
	-13.9024	-13.9450	1.0028	0.03	0.28
	-15.8536	-15.9450	1.0057	0.01	0.57
	-17.8049	-17.9450	1.0079	0.00	0.79
	-19.7561	-19.9400	1.0093	0.01	0.93
	-21.7073	-21.9350	1.0105	0.00	1.05
	-23.6585	-23.9250	1.0113	0.01	1.13
	-25.6097	-25.9200	1.0121	0.01	1.21
	-27.5610	-27.9150	1.0128	0.02	1.28
	-29.5122	-29.9150	1.0136	0.00	1.36
	-31.4634	-31.9150	1.0143	0.01	1.43
	-33.4146	-33.9040	1.0146	0.01	1.46
	-35.3658	-35.8990	1.0151	0.01	1.51
	-37.3171	-37.8990	1.0156	0.00	1.56
	-39.2683	-39.8940	1.0159	0.00	1.59
	-41.2195	-41.8890	1.0162	0.00	1.62
	-43.1707	-43.8840	1.0165	0.00	1.65
	-45.1219	-45.8690	1.0165	0.02	1.65
	-47.0732	-47.8700	1.0169	0.01	1.69
	-49.0244	-49.8690	1.0172	0.00	1.72

$$* \text{ErroLinearidade}(-2.5V)(\%) = \frac{I_{out} - 1.024I_{in} + 0.2568}{39.8980} \times 100$$

$$* \text{ErroLinearidade}(-6.5V)(\%) = \frac{I_{out} - 1.0226I_{in} + 0.2625}{39.9057} \times 100$$

Tabela 2.4 - Medidas feitas no espelho de corrente implementado no PMU-CMOS7

Medidas feitas no espelho de corrente implementado no PMUCMOS7					
	$I_{in}(\mu A)$	$I_{out}(\mu A)$	ganho	Erro Linearidade % *	Erro Ganho %
Amostra A NMOS +2.5V	10.0000	9.9335	0.9933	0.00	0.07
	11.9512	11.9200	0.9974	0.04	0.26
	13.9024	13.8900	0.9991	0.04	0.09
	15.8536	15.8650	1.0007	0.06	0.07
	17.8049	17.8390	1.0019	0.07	0.19
	19.7561	19.8050	1.0025	0.06	0.25
	21.7073	21.7850	1.0036	0.09	0.36
	23.6585	23.7540	1.0040	0.08	0.40
	25.6097	25.7190	1.0043	0.07	0.43
	27.5610	27.6990	1.0050	0.10	0.50
	29.5122	29.6640	1.0051	0.09	0.51
	31.4634	31.6350	1.0054	0.09	0.54
	33.4146	33.5890	1.0052	0.05	0.52
	35.3658	35.5650	1.0056	0.07	0.56
	37.3171	37.5300	1.0057	0.06	0.57
	39.2683	39.4990	1.0059	0.06	0.59
	41.2195	41.4590	1.0058	0.03	0.58
	43.1707	43.4290	1.0060	0.03	0.60
	45.1219	45.3950	1.0060	0.02	0.60
	47.0732	47.3600	1.0061	0.01	0.61
	49.0244	49.3250	1.0061	0.00	0.61
Amostra A NMOS +6.5V	10.0000	9.9754	0.9975	0.00	0.25
	11.9512	11.9700	1.0016	0.01	0.16
	13.9024	13.9500	1.0034	0.09	0.34
	15.8536	15.9250	1.0045	0.10	0.45
	17.8049	17.9000	1.0053	0.11	0.53
	19.7561	19.8740	1.0060	0.12	0.60
	21.7073	21.8450	1.0063	0.12	0.63
	23.6585	23.8200	1.0068	0.13	0.68
	25.6097	25.7950	1.0072	0.14	0.72
	27.5610	27.7650	1.0074	0.14	0.74
	29.5122	29.7300	1.0074	0.13	0.74
	31.4634	31.7000	1.0075	0.13	0.75
	33.4146	33.6650	1.0075	0.12	0.75
	35.3658	35.6340	1.0076	0.11	0.76
	37.3171	37.6050	1.0077	0.11	0.77
	39.2683	39.5640	1.0075	0.08	0.75
	41.2195	41.5390	1.0077	0.10	0.77
	43.1707	43.5000	1.0076	0.07	0.76
	45.1219	45.4650	1.0076	0.06	0.76
	47.0732	47.4300	1.0076	0.05	0.76
	49.0244	49.3840	1.0073	0.00	0.73

$$* \text{ErroLinearidade}(2.5V)(\%) = \frac{I_{out} - 1.0094I_{in} + 0.1606}{39.3915} \times 100$$

$$* \text{ErroLinearidade}(6.5V)(\%) = \frac{I_{out} - 1.0098I_{in} + 0.1230}{39.4086} \times 100$$

Tabela 2.5 - Medidas feitas no espelho de corrente implementado no PMU-CMOS7

2.3.2 Espelhos de Corrente implementados no PMU-CMOS8

Os circuitos testados estão mostrados nas figuras 2.16a e 2.16b. São espelhos de corrente cascode NMOS e PMOS com diversas saídas.

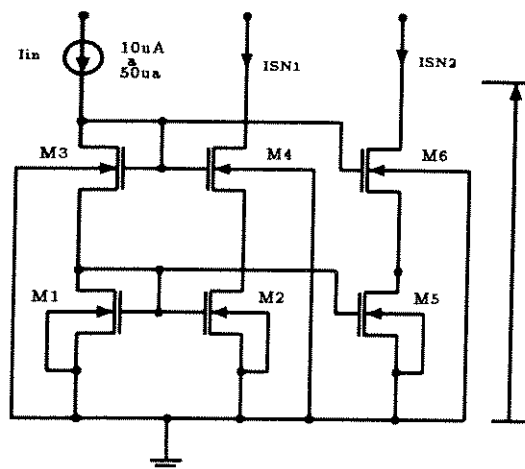


Figura 2.16a

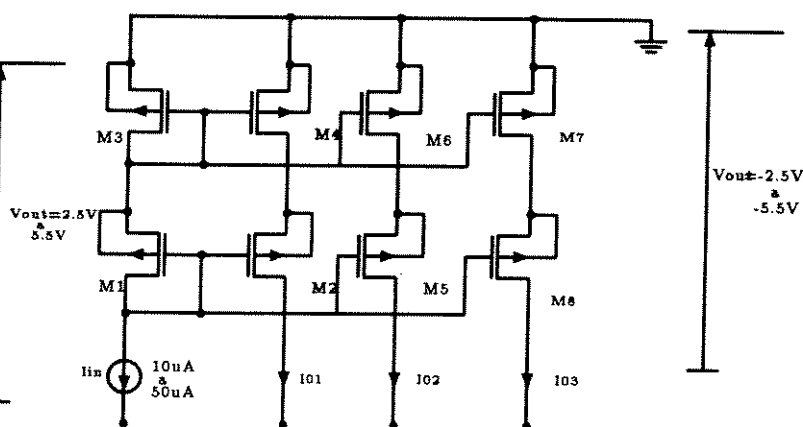


Figura 2.16b

Figura 2.16 - Espelhos de Corrente Cascode: a. NMOS b. PMOS

Para o teste variamos as correntes de entrada dos espelhos de $10\mu A$ a $50\mu A$, para o NMOS, e de $-10\mu A$ a $-50\mu A$, para o PMOS, e as tensões de saída de $2.5V$ a $6.5V$, para o NMOS, e de $-2.5V$ a $-6.5V$, para o PMOS e medimos as diferenças entre as correntes de saída e as correntes de entrada ($I_{SN1} - I_{in}$) e ($I_{SN2} - I_{in}$) para o espelho NMOS e ($I_{SP1} - I_{in}$), ($I_{SP2} - I_{in}$) e ($I_{SP3} - I_{in}$) para o espelho PMOS. Os resultados obtidos estão mostrados nas figuras 2.17 e 2.18.

Espelho de Corrente Cascode NMOS com Diversas saídas

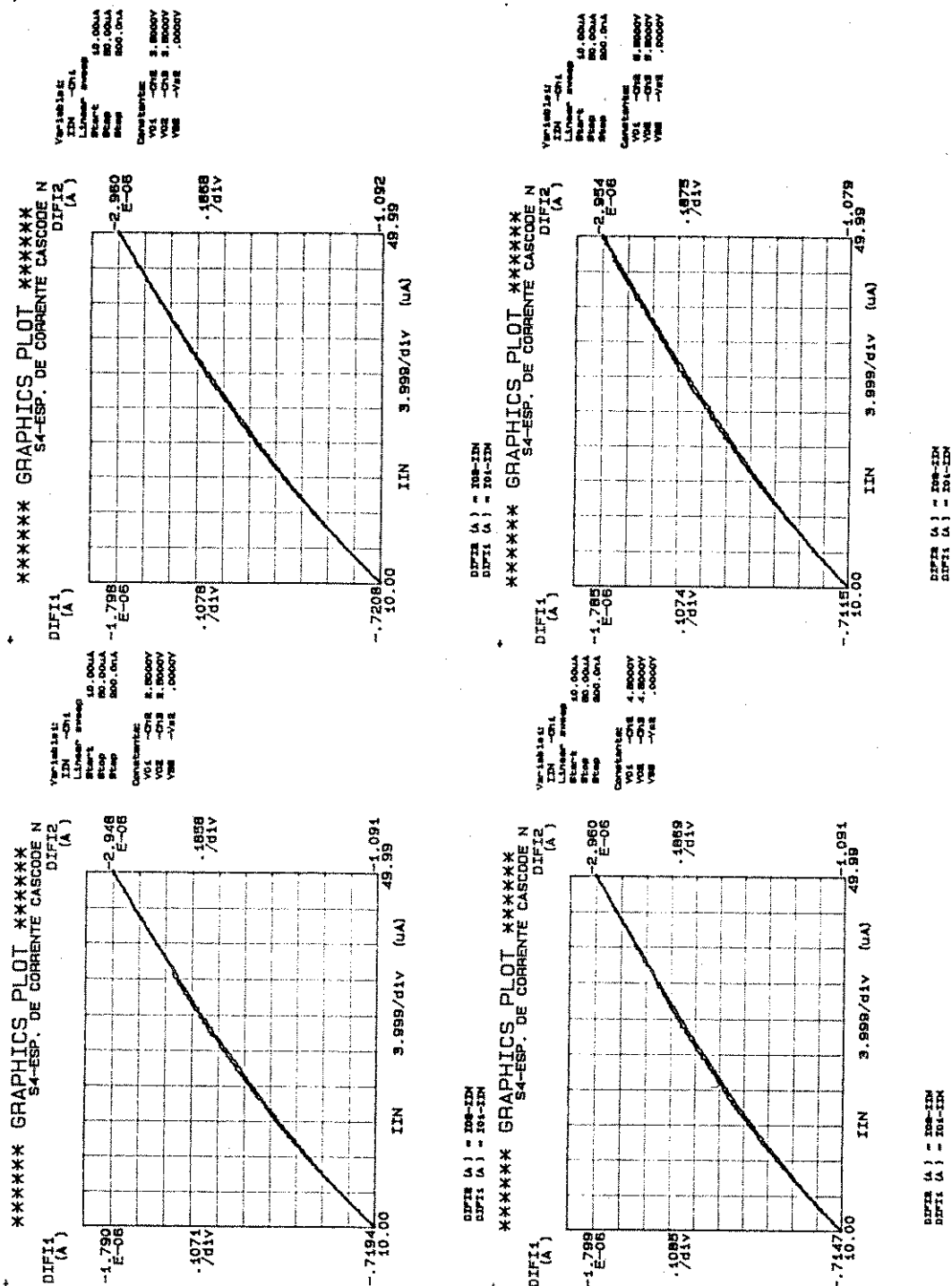


Figura 2.17 - Resultados dos Testes dos Espelhos de Corrente Cascode NMOS com diversas saídas

Espelho de Corrente Cascode PMOS com Diversas saídas

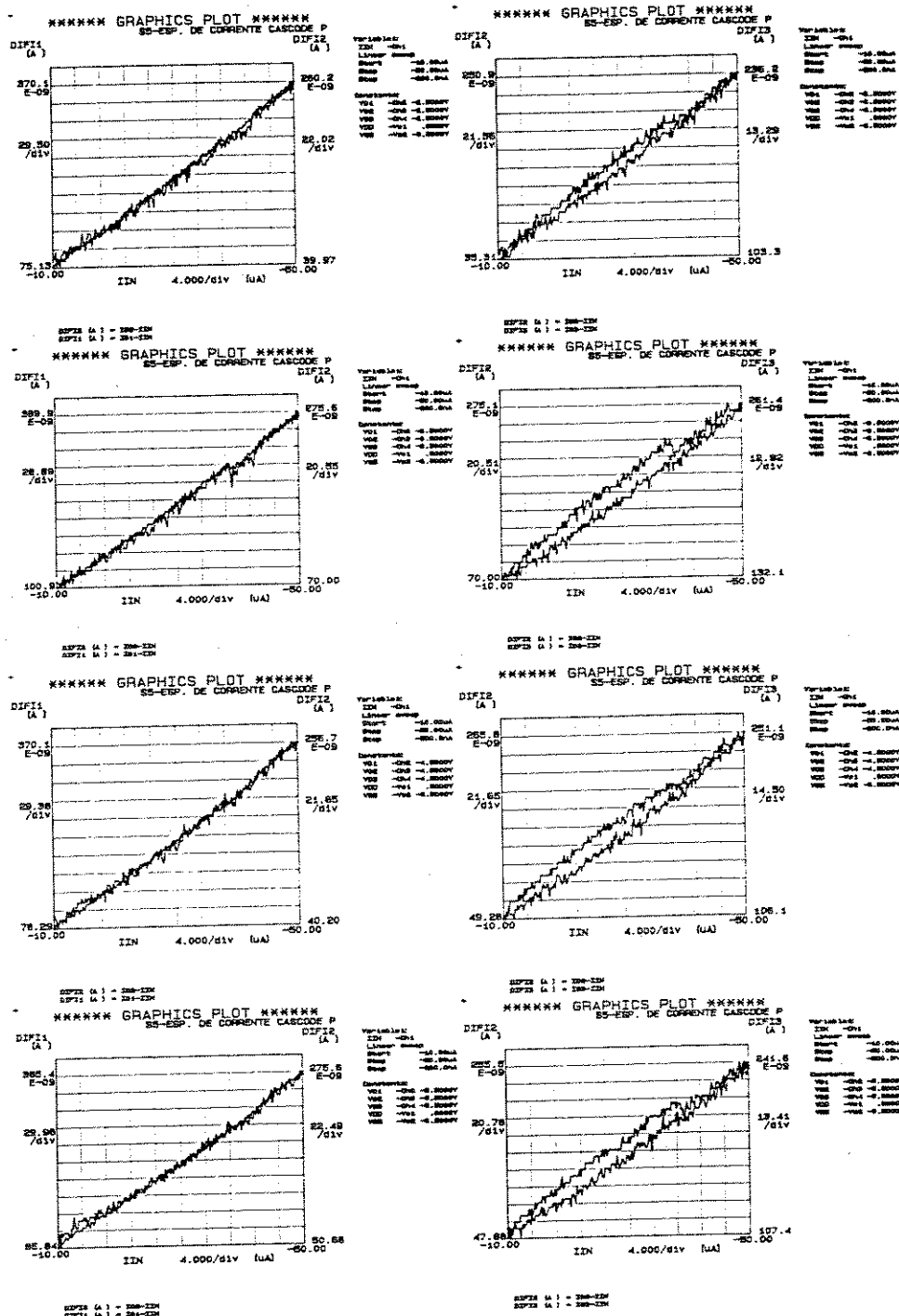


Figura 2.18 - Resultados dos Testes dos Espelhos de Corrente Cascode PMOS com diversas saídas

Nas Tabelas 2.6 e 2.7 temos resultados dos testes feitos nos espelhos cascode NMOS com duas saídas (I_{SN1} e I_{SN2}) e PMOS com três saídas (I_{SP1} , I_{SP2} e I_{SP3}). Nestas tabelas temos os valores dos ganhos de corrente ($\frac{I_{saída}}{I_{entrada}}$) para cada ramo do espelho.

Medidas feitas no espelho de corrente implementado no PMU-CMOS7					
	$I_{in}(\mu A)$	$I_{SN1}(\mu A)$	$I_{SN2}(\mu A)$	$Ganho_1$ *	$Ganho_2$ **
Amostra S10 NMOS +6.5V	10.0000	9.3370	9.0357	0.9337	0.9036
	11.9512	11.2600	10.9300	0.9422	0.9145
	13.9024	13.1950	12.8150	0.9491	0.9218
	15.8536	15.1300	14.7100	0.9543	0.9279
	17.8049	17.0600	16.6000	0.9582	0.9323
	19.7561	19.0000	18.5040	0.9617	0.9366
	21.7073	20.9450	20.4100	0.9653	0.9402
	23.6585	23.8800	23.3140	0.9671	0.9432
	25.6097	24.8300	24.2140	0.9695	0.9455
	27.5610	26.7800	26.1350	0.9717	0.9483
	29.5122	29.7200	28.0390	0.9731	0.9501
	31.4634	30.6650	29.9550	0.9746	0.9520
	33.4146	32.6200	31.8700	0.9762	0.9538
	35.3658	34.5690	33.7790	0.9775	0.9551
	37.3171	36.5150	35.6940	0.9785	0.9565
	39.2683	38.4800	37.6250	0.9799	0.9581
	41.2195	40.4250	39.5440	0.9807	0.9593
	43.1707	42.3840	41.4590	0.9818	0.9603
	45.1219	44.3350	43.3750	0.9826	0.9613
	47.0732	46.2940	45.2990	0.9834	0.9623
	49.0244	49.2240	47.2200	0.9837	0.9632

$$* Ganho_1 = \frac{I_{SN1}}{I_{in}}$$

$$** Ganho_2 = \frac{I_{SN2}}{I_{in}}$$

Tabela 2.6 - Medidas feitas no espelho de corrente implementado no PMU-CMOS8

Notamos que os ganhos não são exatamente 1, devido ao efeito de modulação de canal e a um descasamento entre os transistores, como já havíamos mostrado anteriormente.

Medidas feitas no espelho de corrente implementado no PMU-CMOS7							
	$I_{in}(\mu A)$	$I_{SP1}(\mu A)$	$I_{SP2}(\mu A)$	$I_{SP3}(\mu A)$	$Ganho_1$ *	$Ganho_2$ **	$Ganho_3$ ***
Amostra S10 PMOS -6.5V	-10.0000	-9.9317	-9.9712	-9.9815	0.9932	0.9971	0.9981
	-11.9512	-11.9150	-11.9650	-11.9750	0.9970	1.0011	1.0020
	-13.9024	-13.8950	13.9600	-13.9700	0.9995	1.0041	1.0049
	-15.8536	-15.8800	-15.9500	-15.9650	1.0017	1.0061	1.0070
	-17.8049	-17.8700	-17.9300	-17.9600	1.0036	1.0070	1.0087
	-19.7561	-19.8450	-19.9200	-19.9550	1.0045	1.0083	1.0101
	-21.7073	-21.8300	-21.9050	-21.9490	1.0056	1.0091	1.0111
	-23.6585	-23.8150	-23.8950	-23.9350	1.0066	1.0100	1.0117
	-25.6097	-25.7950	-25.8750	-25.9350	1.0072	1.0103	1.0127
	-27.5610	-27.7850	-27.8740	-27.9250	1.0081	1.0113	1.0132
	-29.5122	-29.7590	-29.8650	-29.9200	1.0084	1.0119	1.0138
	-31.4634	-31.7390	-31.8440	-31.9090	1.0087	1.0121	1.0142
	-33.4146	-33.7290	-33.8290	-33.9040	1.0094	1.0124	1.0146
	-35.3658	-35.7050	-35.8200	-35.8950	1.0096	1.0128	1.0150
	-37.3171	-37.6890	-37.8100	-37.8840	1.0100	1.0132	1.0152
	-39.2683	-39.6740	-39.8050	-39.8790	-1.0103	1.0137	1.0155
	-41.2195	-41.6540	-41.7900	-41.8700	1.0105	1.0138	1.0158
	-43.1707	-43.6250	-43.7650	-46.8540	1.0105	1.0138	1.0158
	-45.1219	-45.6090	-45.7540	-45.8450	1.0108	1.0140	1.0160
	-47.0732	-47.5850	-47.7340	47.8290	1.0109	1.0140	1.0160
	-49.0244	-49.5690	-49.7200	-49.8240	1.0111	1.0142	1.0163

* $Ganho_1 = \frac{I_{SP1}}{I_{in}}$

** $Ganho_2 = \frac{I_{SP2}}{I_{in}}$

*** $Ganho_3 = \frac{I_{SP3}}{I_{in}}$

Tabela 2.7 - Medidas feitas no espelho de corrente implementado no PMU-CMOS8

Capítulo 3

3. Circuito Somador de Tensões

3.1. Princípio de Funcionamento

3.2. Simulação Elétrica do Circuito Somador

3.3. Teste do Circuito Somador implementado no PMU-CMOS8

3.3.1. Apresentação do Chip

3.3.2. Resultados Experimentais

3 Circuito Somador

Neste capítulo apresentaremos o circuito somador de tensões, mostrando simulações (SPICE) e testes realizados.

3.1 Princípio de Funcionamento

O circuito somador está mostrado na Figura 3.1. Os transistores $M_1 - M_8$, $M_{10} - M_{80}$ formam os conversores tensão-corrente e os demais são os espelhos de corrente cascode. As fontes de corrente para o conversor V/I com tensão de entrada V_1 são formadas pelos transistores M_{11} , M_{12} , M_{13} e M_{14} , M_{17} , M_{18} , M_{19} e M_{21} e as fontes de corrente para o conversor V/I com tensão de entrada V_2 são formadas pelos transistores M_{11} , M_{13} , M_{15} e M_{16} , M_{17} , M_{19} , M_{24} e M_{25} . As tensões V_1 e V_2 são as entradas e pelos resistores R_1 e R_2 fluem as correntes que entram ou saem de cada conversor V/I. O espelho de corrente cascode formado pelos transistores M_{26} , M_{27} , M_{28} e M_{29} espelha a corrente de saída $I + i_1$ do conversor com tensão de entrada V_1 e o espelho formado pelos transistores M_{31} , M_{32} , M_{33} e M_{34} espelha a corrente de saída $I + i_2$ do conversor com tensão de entrada V_2 . As duas correntes de saída $I + i_1$ e $I + i_2$, que foram espelhadas se somam e antes de passarem pelo resistor R_0 , o espelho de corrente formado pelos transistores M_{17} , M_{19} , M_{22} e M_{23} retira a corrente de polarização, ficando apenas as correntes incrementais i_1 e i_2 . Essas correntes passam pelo resistor de saída R_0 . Adotando os mesmos valores para os resistores de entrada $R_1 = R_2 = R_{in}$ e o valor do resistor de saída R_0 igual a duas vezes o valor do resistor de entrada R_{in} , ou seja ,

$$R_0 = 2R_1 = 2R_2 = 2R_{in} \quad (80)$$

temos como expressões para as tensões de entrada dos conversores V/I,

$$V_1 = R_{in} \cdot 2i_1 \quad ; \quad V_2 = R_{in} \cdot 2i_2 \quad (81)$$

A tensão na saída do somador de tensões V_0 é dada pela queda de tensão no resistor de saída R_0 quando as correntes incrementais i_1 e i_2 fluem por ele. Assim, temos,

$$V_0 = R_0(i_1 + i_2) \quad (82)$$

Substituindo as expressões da Equação (81) na Equação (82) ,temos,

$$V_0 = R_0 i_1 + R_0 i_2 = (2R_{in})(i_1 + i_2) = V_1 + V_2 \quad (83)$$

Podemos notar pela Equação (83) que a queda de tensão no resistor R_0 representa a soma das tensões aplicadas nas entradas dos conversores V/I .

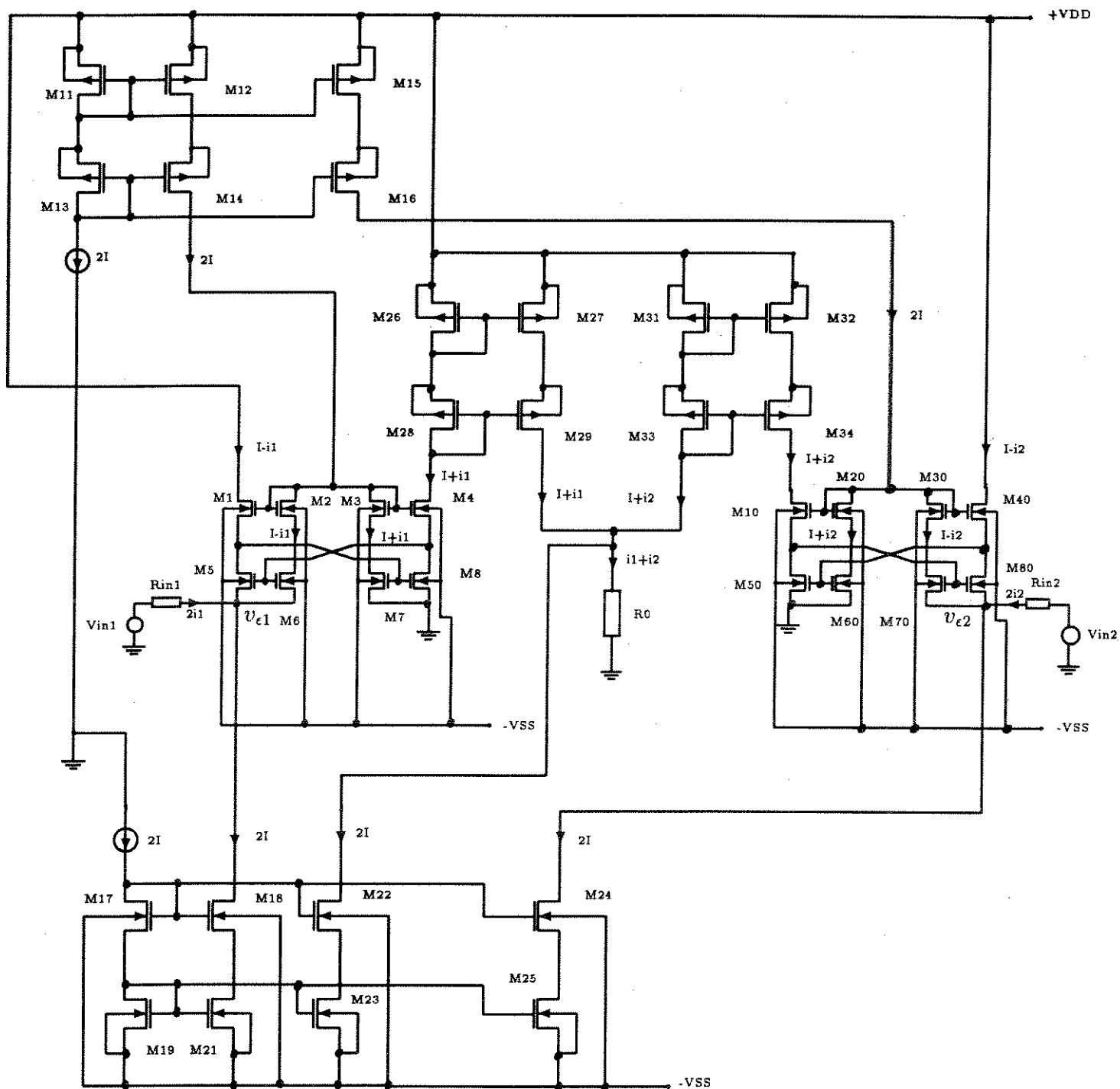


Figura 3.1 - Circuito Somador de Tensões Analógico CMOS

3.2 Simulação Elétrica do Circuito Somador

Simulando o circuito somador da Figura 3.1 no SPICE3 (SUN) utilizando os modelos para os transistores do PMU-CMOS8 - Nível2 - Caso Típico e $\frac{W}{L} = \frac{300\mu m}{20\mu m}$, foram obtidos os resultados mostrados nas Figuras 3.2, 3.3, 3.4 e 3.5.

Na Figura 3.2 temos os sinais aplicados nas entradas V_1 e V_2 do somador de tensões, que variam de -1V a +1V. As tensões V(25) e V(26) são as tensões no "terra virtual" (v_e) para cada conversor V/I. Observamos que v_e apresenta uma variação em torno de 20mV, o que está de acordo com os resultados mostrados no Capítulo 2 para o conversor V/I. Finalmente, temos a tensão v(28) que é a tensão na saída do somador (V_{Ro}) que é o resultado da soma das tensões de entrada.

Na Figura 3.2 aplicamos um sinal de entrada $V_1 = V_2$, no circuito somador, variando de -1V a +1V, e tomamos a tensão na saída do somador. Neste caso, temos a saída exatamente igual a duas vezes a entrada $V_1 = V_2$, resultado da soma de $(V_1 + V_2)$.

Na Figura 3.4 temos o comportamento em frequência da tensão na saída do somador. Observamos que o circuito responde bem até uma frequência de 100Khz. Isto é explicado no Capítulo 2, onde temos medidas feitas no conversor V/I, implementado com transistores de dimensões $W = 50\mu m$ e $L = 10\mu m$, que se comportou bem até uma frequência de 200Khz (Figura 1.32b). No caso do somador, os conversores V/I foram implementados com transistores de dimensões $W = 300\mu m$ e $L = 20\mu m$, ou seja, bem maiores, o que causa um aumento nas capacitâncias associadas, fazendo com que ele responda a uma faixa menor de frequência.

Análise de Transiente para o Somador de Tensões quando aplicamos na entrada um sinal $V_{in1} = V_{in2} = -1V$ a $+1V$

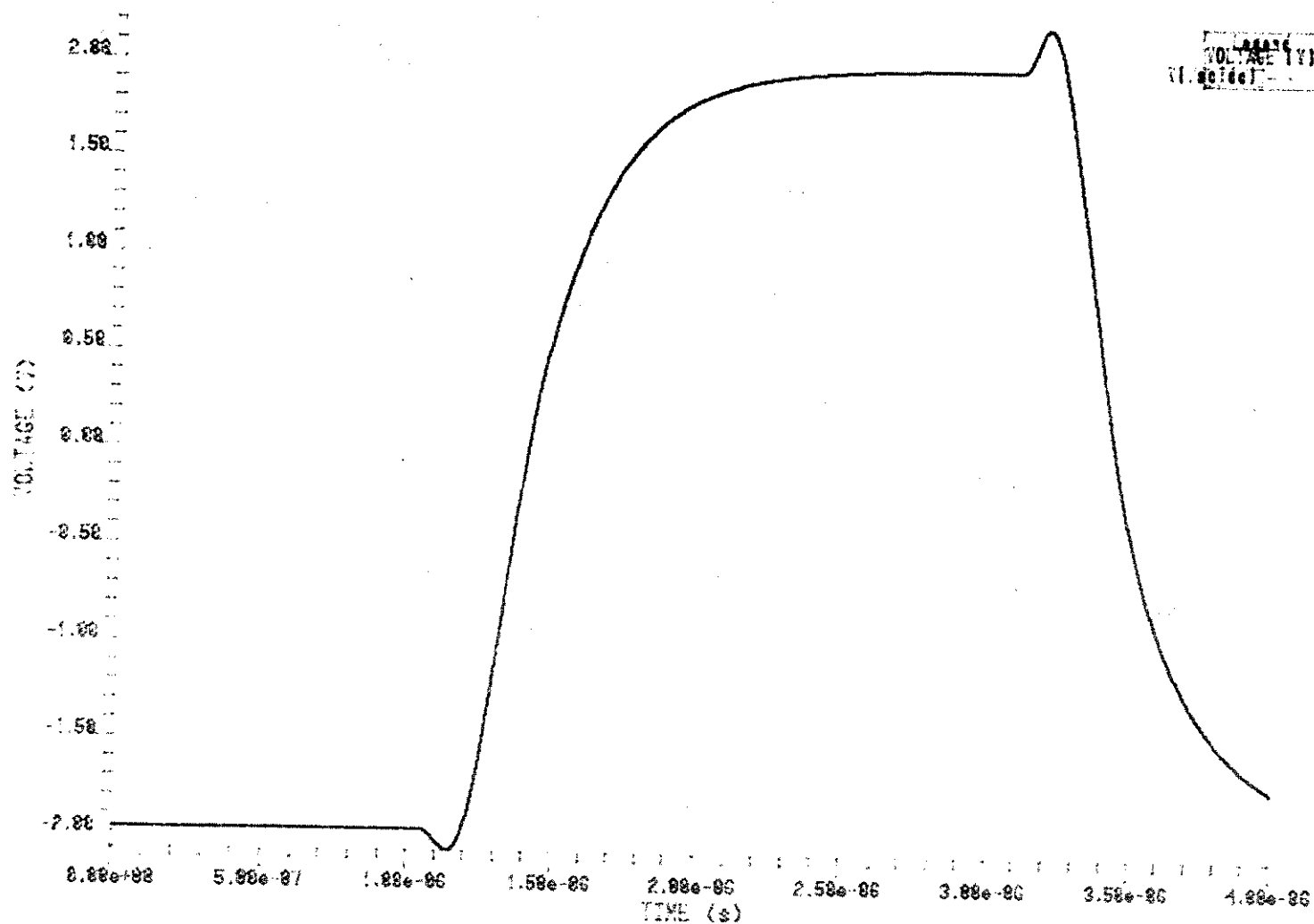
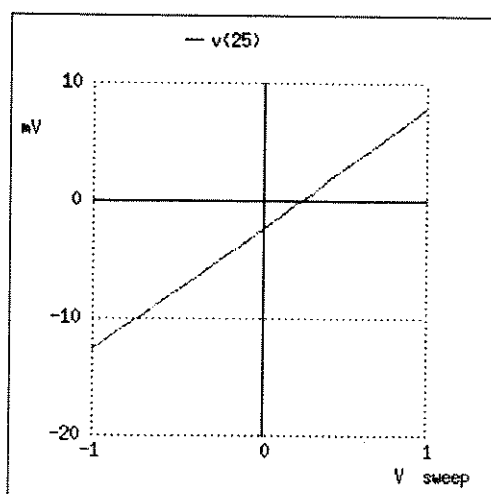
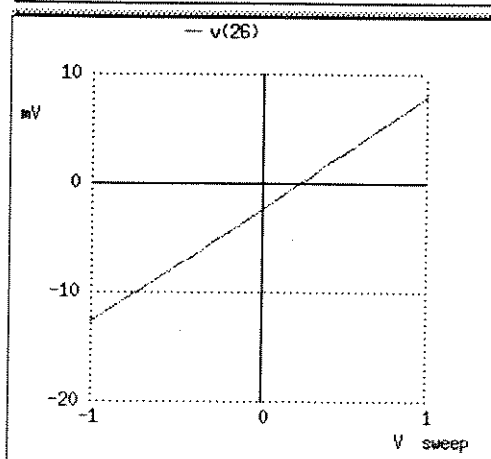


Figura 3.2 - Análise de Transiente - Tensão na Saída do Somador de Tensões

Tensão no "Terra Virtual
do 1o. Conversor V/I



Tensão no "Terra Virtual
do 2o. Conversor V/I



Tensão na Saída
do Somador de Tensões

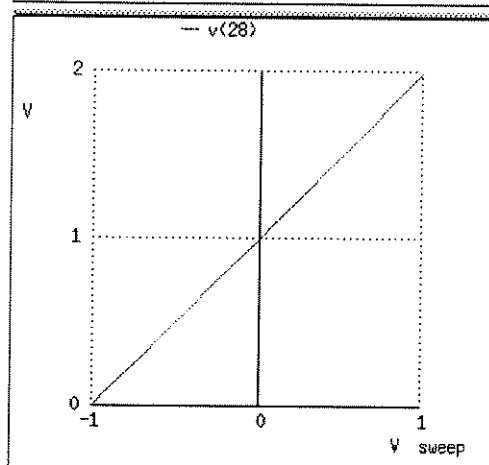
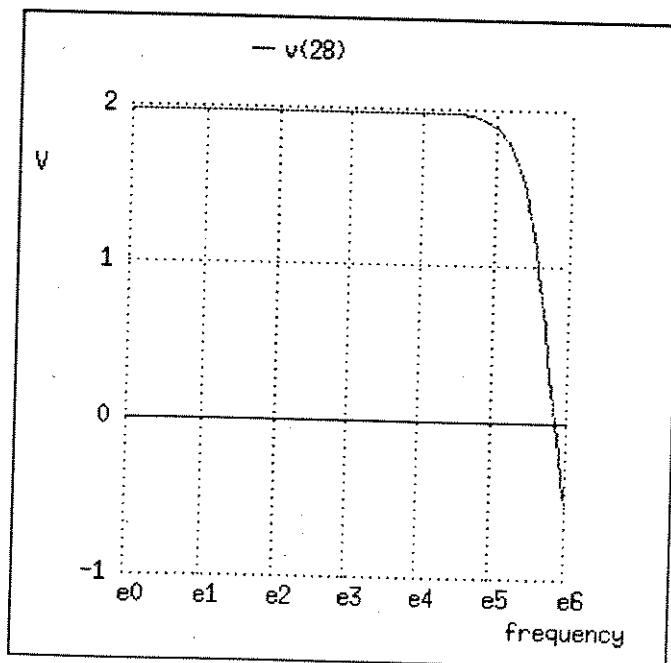


Figura 3.3 - Análise DC

Tensão na Saída
do Somador de Tensões



Tensão de Entrada

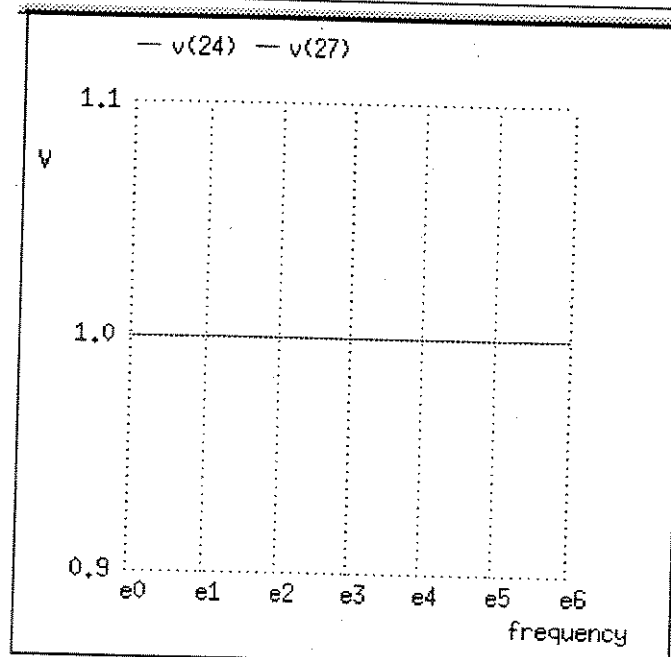


Figura 3.4 - Análise AC

3.3 Teste do Circuito Somador implementado no PMU-CMOS8

3.3.1 Apresentação do chip

Temos nas Figuras 3.6 e 3.7 as fotos de dois chips. No primeiro temos o circuito somador de tensões implementado em blocos separados, ou seja os conversores V/I e os espelhos de corrente cascode NMOS e PMOS ainda não estão interligados. Também temos, neste chip, espelhos de corrente simples NMOS e PMOS. Dessa maneira, conseguimos caracterizar os blocos do somador, levantando o erro provocado por cada um deles, o que já foi mostrado nos Capítulos 2 e 3.

Na Figura 3.7 temos a foto do segundo chip, onde agora o circuito somador de tensões está completo, ou seja, com os blocos todos interligados. Os resultados dos testes realizados neste circuito está mostrado no item à seguir.

1o. Chip - PMU-CMOS7

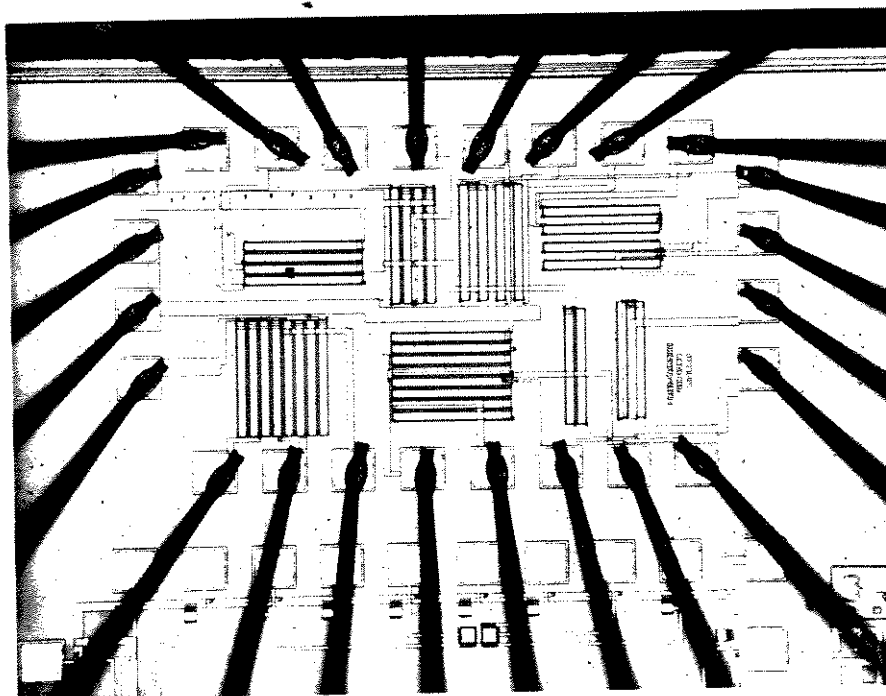


Figura 3.6 - Foto do Circuito Somador de Tensões (blocos separados) implementado no PMU-CMOS8

2o. Chip - PMU-CMO8

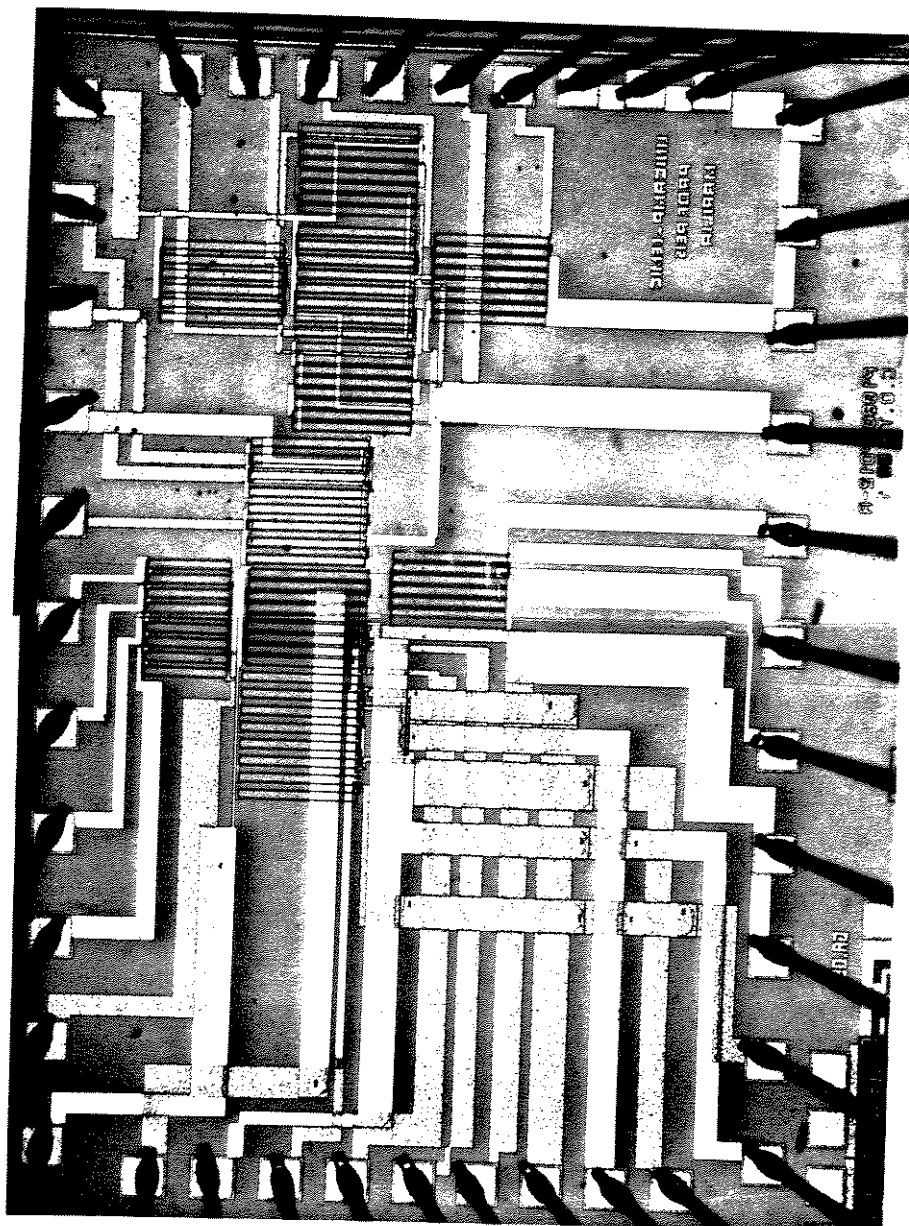
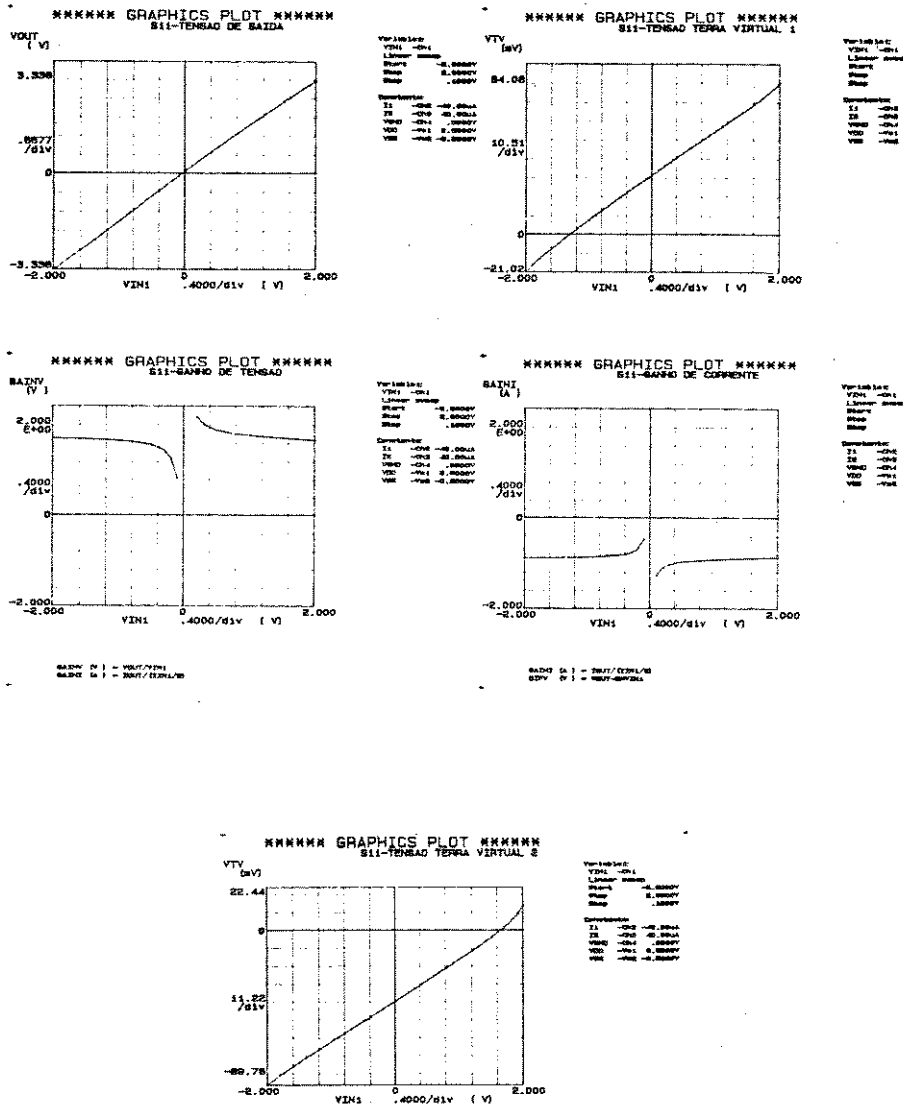


Figura 3.7 - Foto do Circuito Somador de Tensões (completo) implementado no PMU-CMO8

3.3.2 Resultados Experimentais

O circuito somador de tensões foi testado utilizando-se o Analisador de Parâmetros - HP Modelo 4145B do CTI (Centro Tecnológico para Informática - Campinas - SP). Temos os resultados dos testes mostrados nas Tabelas 3.1, 3.2 e 3.3 e nas Figuras 3.8 e 3.9, para 3 amostras.



Nas Tabelas 3.1, 3.2 e 3.3, quando aplicamos nas entradas as tensões V_1 e V_2 de mesmo valor, variando de -2V a +2V, temos os seguintes valores medidos:

- Tensões no "terra virtual" (v_{e1} e v_{e2}) para cada conversor V/I utilizado no somador. Notamos que essas tensões estão na faixa de 110mV, diferente do resultado obtido no Capítulo 2, que foi de 50mV, quando testamos o conversor V/I. Isto pode ser explicado por um descasamento nas dimensões dos transistores, como podemos ver na Figura 3.9. Nesta figura temos a tensão no "terra virtual" quando variamos um pouco o comprimento do canal (L). Podemos notar que a tensão aumenta bastante.

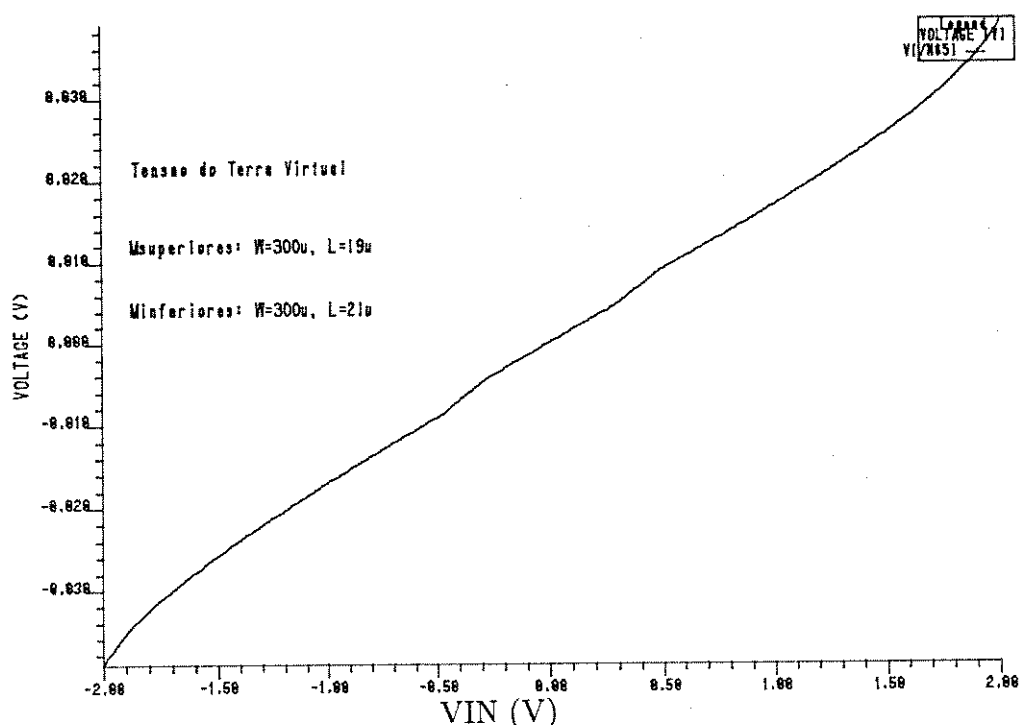


Figura 3.9 - Tensão no "Terra Virtual" quando há um descasamento no comprimento do canal (L) dos transistores

Temos, também nas Tabelas 3.1, 3.2 e 3.3 o ganho de corrente (GAINI) e o ganho de tensão (GAINV) e o erro de linearidade na faixa de 0.21% a 2.51% para as três amostras.

Medidas feitas no Conversor V/I implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B									
	$V_{in1} = V_{in2}(V)$	$v_{e1}(V)$	$v_{e2}(V)$	$I_{in} = I_{in2}(\mu A)$	$I_{out}(\mu A)$	$V_{out}(V)$	GAINI *	GAINV **	Erro (%) Linearidade ***
Amostra S8	-2.0000	-0.0238	-0.0238	-40.4550	35.6040	-3.4679	0.8801	1,7339	0.00
	-1.8200	-0.0174	-0.0174	36.9940	32.3300	-3.1499	0.8739	1.7110	0.21
	-1.6200	-0.0107	-0.0107	-33.0300	28.6850	-2.7949	0.8684	1.7252	0.47
	-1.7000	-0.0169	37.1540	17.0100	33.8800	0.08			
	-1.4200	-0.0048	-0.0048	-29.0450	25.0600	-2.4399	0.8628	1.7182	0.73
	-1.2200	0.0009	0.0009	-25.0600	21.0600	-2.0880	0.8553	1.7115	0.95
	-1.0200	0.0063	0.0063	-21.0650	17.8150	-1.7332	0.8457	1.6992	1.21
	-0.8200	0.0115	0.0115	-17.0800	14.1950	-1.3810	0.8311	1.6841	1.43
	-0.6200	0.0167	0.0167	-13.0800	10.5750	-1.0291	0.8085	1.6598	1.64
	-0.4200	0.0219	0.0219	-9.0832	6.9605	-0.6773	0.7663	1.6126	1.85
	-0.2200	0.0270	0.0270	-5.0773	3.3620	-0.3268	0.6622	1.4854	2.05
	0.0000	0.0325	0.0325	0.0000	0.0000	0.0572			
	0.2200	0.0380	0.0380	3.7240	-4.5090	0.4386	1.2108	1.9936	2.39
	0.4200	0.0429	0.0429	7.7188	1-8.0331	0.7821	1.0407	1.8621	2.48
	0.6200	0.0480	0.0480	11.7200	-11.1850	1.1215	0.9543	1.8089	2.51
	0.8200	0.0530	0.0530	15.7150	-14.9750	1.4568	0.9529	1.7766	2.48
	1.0200	0.0581	0.0581	19.7200	-18.3650	1.7866	0.9313	1.7516	2.37
	1.2200	0.0631	0.0631	23.7150	-21.7000	2.1129	0.9150	1.7319	2.21
	1.4200	0.0684	0.0684	27.7100	-24.9850	2.4320	0.9017	1.7127	1.93
	1.6200	0.0740	0.0740	31.7040	-28.1950	2.7450	0.8893	1.6944	1.57
	1.8200	0.0800	0.0800	35.6790	-31.3350	3.0509	0.8782	1.6763	1.11
	2.0000	0.0872	0.0872	39.2250	-33.6900	3.2799	0.8589	1.6399	0.00

* $GAINI = \frac{I_{out}}{I_{in1}}$

** $GAINV = \frac{V_{out}}{V_{in1}}$

*** $ErroLinearidade(\%) = \frac{V_{out} - (-1.6869V_{in} - 0.0940)}{6.7478} \times 100$

Tabela 3.1 - Medidas feitas no Somador de Tensões implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B

Medidas feitas no Conversor V/I implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B									
	$V_{in1} = V_{in2}(V)$	$v_{e1}(V)$	$v_{e2}(V)$	$I_{in} = I_{in2}(\mu A)$	$I_{out}(\mu A)$	$V_{out}(V)$	GAINI *	GAINV **	Erro (%) Linearidade ***
Amostra S11	-2.0000	-0.0967	-0.0210	-76.3090	33.9000	-3.3839	0.8885	1.6919	0.00
	-1.8000	-0.0907	-0.0139	30.3800	-3.0330	0.8842	1.6850	0.25	
	-1.6000	-0.0852	-0.0079	-61.0760	26.8900	-2.6840	0.8805	1.6775	0.48
	-1.4000	-0.0798	-0.0024	-53.4190	23.3990	-2.3359	0.8760	1.6685	0.69
	-1.2000	-0.0747	0.0029	-45.7540	19.9100	-1.9855	0.8703	1.6545	0.94
	-1.0000	0.696	0.0081	-38.1000	16.4400	-1.6386	0.8630	1.6386	1.14
	-0.8000	-0.0645	0.0132	-30.4390	12.9550	-1.2912	0.8512	1.6140	1.34
	-0.6000	-0.0595	0.0182	-22.7600	9.4734	-0.9445	0.8325	1.5742	1.53
	-0.4000	-0.545	0.0231	-13.0950	5.9975	-0.5985	0.7946	1.4962	1.72
	-0.2000	-0.0494	0.0281	-7.4229	2.5484	-0.2532	0.6866	1.2660	1.89
	0.0000	-0.0444	0.0329	0.0000	0.0000	0.0902			
	0.2000	-0.0393	0.0377	7.9186	-4.3225	0.4312	1.0917	2.1560	2.14
	0.4000	-0.0342	0.0426	15.5950	-7.7044	-0.7691	0.9881	1.9227	2.20
	0.6000	-0.0290	0.0473	23.2600	-11.0500	1.1032	0.9505	1.8387	2.20
	0.8000	-0.0237	0.0522	30.9290	-14.3550	1.4326	0.9282	1.7907	2.14
	1.0000	-0.0183	0.0570	38.5940	-17.6090	1.7570	0.9125	1.7570	1.99
	1.200	-0.0128	0.0620	46.2550	-20.8150	2.0764	0.9000	1.7303	1.78
	1.4000	-0.0071	0.0669	53.9140	-23.9550	2.3920	0.8886	1.7086	1.50
	1.6000	-0.0011	0.0722	61.5530	-27.0450	2.7000	0.8787	1.6875	1.12
	1.8000	0.0056	0.0777	69.1790	-30.0590	3.0010	0.8690	1.6672	0.63
	2.0000	0.0155	0.0841	76.7200	-33.9950	3.2930	0.8601	1.6465	0.00
	2.0000	0.0872	0.0872	39.2250	-33.6900	3.2799	0.8589	1.6399	0.00

$$* GAINI = \frac{I_{out}}{I_{in1}}$$

$$** GAINV = \frac{V_{out}}{V_{in1}}$$

$$*** ErroLinearidade(\%) = \frac{V_{out} - (-1.6692V_{in} - 0.0454)}{6.6769} \times 100$$

Tabela 3.2 - Medidas feitas no Somador de Tensões implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B

Medidas feitas no Conversor V/I implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B									
	$V_{in1} = V_{in2}(V)$	$v_{e1}(V)$	$v_{e2}(V)$	$I_{in} = I_{in2}(\mu A)$	$I_{out}(\mu A)$	$V_{out}(V)$	GAINI *	GAINV **	Erro (%) Linearidade ***
Amostra S12	-2.0000	-0.0963	-0.0221	-76.2640	34.4140	-3.4349	0.9025	1.7174	0.00
	-1.8000	-0.0903	-0.0147	30.8900	-3.0850	0.8996	1.7139	0.23	
	-1.6000	-0.0849	-0.0086	-61.0330	27.4000	-2.7350	0.8979	1.7094	0.47
	-1.4000	-0.0797	-0.0031	-53.3800	23.9100	-2.3860	0.8958	1.7043	0.69
	-1.2000	-0.0746	0.0023	-45.7190	20.4300	-2.0377	0.8937	1.6981	0.90
	-1.0000	0.0696	0.0075	-38.0540	16.9550	-1.6902	0.8911	1.6902	1.10
	-0.8000	-0.0647	0.0126	-30.3840	13.4700	-1.3431	0.8866	1.6789	1.29
	-0.6000	-0.0597	0.0176	-22.7150	9.9950	-0.9963	0.8800	1.6605	1.48
	-0.4000	-0.0548	0.0225	-15.0450	6.5218	-0.6501	0.8670	1.6252	1.66
	-0.2000	-0.0498	0.0275	-7.3719	3.0585	-0.3049	0.8298	1.5245	1.83
	0.0000	-0.0450	0.0323	0.0000	0.0000	0.0388			
	0.2000	-0.0400	0.0372	7.9777	-3.8095	0.3802	0.9550	1.9010	2.08
	0.4000	-0.0349	0.0421	15.6550	-7.1970	-0.7184	0.9194	1.7960	2.14
	0.6000	-0.0298	0.0469	23.3250	-10.5600	1.0526	0.9055	1.7543	2.14
	0.8000	-0.0247	0.0518	30.9890	-13.8700	1.3830	0.8951	1.7287	2.08
	1.0000	-0.0194	0.0566	38.6550	-17.1300	1.7086	0.8863	1.7086	1.95
	1.2000	-0.0140	0.0616	46.3150	-20.3340	2.0281	0.8781	1.6901	1.73
	1.4000	-0.0085	0.0666	53.9740	-23.4800	2.3440	0.8700	1.6746	1.46
	1.6000	-0.0025	0.0718	61.6200	-26.5700	2.6539	0.8624	1.6587	1.10
	1.8000	0.0041	0.0776	69.2460	-29.6050	2.9559	0.8551	1.6422	0.62
	2.0000	0.0136	0.0842	76.7890	-32.5440	3.22489	0.8476	1.6244	0.00

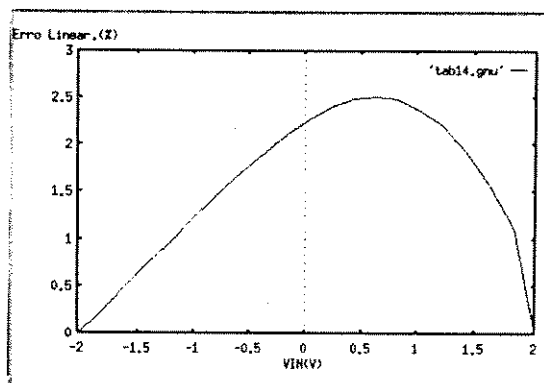
$$* GAINI = \frac{I_{out}}{I_{in1}}$$

$$** GAINV = \frac{V_{out}}{V_{in1}}$$

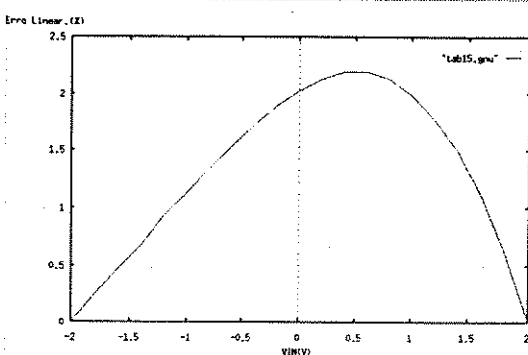
$$*** ErroLinearidade(\%) = \frac{V_{out} - (-1.6709V_{in} - 0.0930)}{6.6839} \times 100$$

Tabela 3.3 - Medidas feitas no Somador de Tensões implementado no PMU-CMOS8, utilizando o Analisador de Parâmetros - HP 4145B

Erro de Linearidade
para a Amostra S8



Erro de Linearidade
para a Amostra S11



Erro de Linearidade
para a Amostra S12

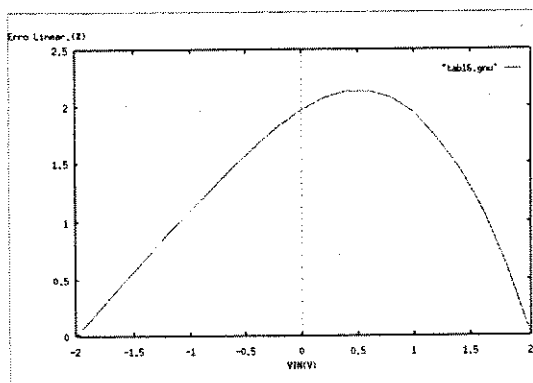


Figura 3.10 - Erro de Linearidade para o Somador de Tensões mostrado nas Tabelas 3.1, 3.2 e 3.3

4 Conclusões

Nossa proposta foi desenvolver um circuito somador de tensões de baixo erro (0.1%-precisão de 10 bits) e alta excursão dos sinais de entrada e saída. No circuito somador de tensões, implementado no PMU-CMOS8, foram utilizados transistores de dimensões $W=300\ \mu m$ e $L=20\ \mu m$, portanto sem a compensação do efeito de corpo no circuito conversor V/I, proposta no Capítulo 2. Por este motivo o erro encontrado está na faixa de 0.21% a 2.51%. Com as modificações propostas há evidências claras de que a especificação desejada será atingida: 10 bits de precisão.

A excursão do sinal de entrada (V_{in}) pode ser controlada pelo valor do resistor de entrada (R_{in}) do conversor V/I, o que permite uma alta excursão. Na saída a tensão no resistor R_o (V_{out}) pode ir até os limites das fontes de alimentação.

No desenvolver do trabalho, diferentes formas de implementação dos circuitos envolvidos, foram feitas: "breadboard" com transistores discretos (CD4007), transistores implementados no PMU-CMOS7 até chegarmos a implementação "fullcustom" tanto dos conversores V/I como do somador alvo. Além disso analisamos o comportamento em frequência de um espelho simples mostrando a presença de um zero no semiplano direito (sistema de fase não-mínima).

Uma caracterização mais completa, sob o ponto de vista dinâmico: resposta em frequência e resposta a pulso deve ser feita com as versões dos conversores V/I e somador que se encontram em fase de fabricação através do PMU-CMOS9.

5 Apêndice A

Considerando um espelho de corrente simples NMOS, como mostrado na Figura A.1, temos como função de transferência,

$$\Psi(s) = \frac{I_{out}}{I_{in}} = \frac{gm_2gl - C_{GD2}gls}{As^2 + Bs + C} \quad (84)$$

onde,

$$A = C_{GS2}C_{GD2} + C_{GCS2}C_{BD2} + C_{GS1}C_{GD2} + C_{GCS1}C_{BD2} + C_{GD2}C_{GB2} + C_{GD2}C_{GB1} + C_{GD2}C_{BD2} + C_{GD2}C_{BD1} + C_{GB2}C_{BD2} + C_{GB1}C_{BD2} + C_{BD2}C_{BD1}$$

$$B = C_{GS2}gl + C_{GS2}gds_2 + C_{GS1}gl + C_{GS1}gds_2 + C_{GD2}gm_2C_{GD2}gm_1 + C_{GD2}gl + C_{GD2}gi + C_{GD2}gds_2 + C_{GD2}gds_1 + C_{GB2}gl + C_{GB2}gds_2 + C_{GB1}gl + C_{GB1}gds_2 + C_{BD2}gm_1 + C_{BD2}gi + C_{BD1}gl + C_{BD2}gds_1 + C_{BD1}gds_2$$

$$C = gm_1gl + gm_1gds_2 + glgi + glgds_1 + gigds_2 + gds_2gds_1$$

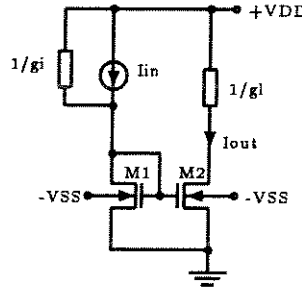


Figura A.1 - Espelho de Corrente Simples NMOS

Na Equação (84), para a função de transferência do espelho de corrente simples, temos um zero e dois pólos. Podemos notar que o zero está no semiplano direito, o que poderá causar instabilidades no espelho de corrente. Para entendermos o que este zero no semiplano direito provocará no espelho de corrente, temos a função de transferência abaixo [15]:

$$H(s) = \frac{1 - \frac{1}{\alpha\xi}s}{s^2 + 2\xi s + 1} \quad (85)$$

que representa o caso acima citado e pode ser escrita na forma,

$$H(s) = \frac{1}{s^2 + 2\xi s + 1} - \frac{1}{\alpha\xi} \frac{1}{s^2 + 2\xi s + 1} \quad (86)$$

O 1o. termo de $\mathbf{H(S)}$, na Equação (86), não possui nenhum zero e é o termo original, o 2o. termo, que é introduzido pela presença do zero, é uma constante $(\frac{1}{\alpha\xi})$ vezes s vezes o termo original. Assim, temos que a resposta ao degrau será:

$$h(\tau) = f(\tau) - \frac{df(\tau)}{d\tau} \quad (87)$$

onde $\tau = w_n t$
e w_n é a frequência natural.

Plotando $h(\tau)$, $f(\tau)$ e $-\frac{df(\tau)}{d\tau}$ para $\xi = 0.5$ e $\alpha = 1$, percebemos na Figura A.2 que a presença do zero provoca a subtração de $\frac{1}{\alpha\xi}$ vezes a derivada do termo original.

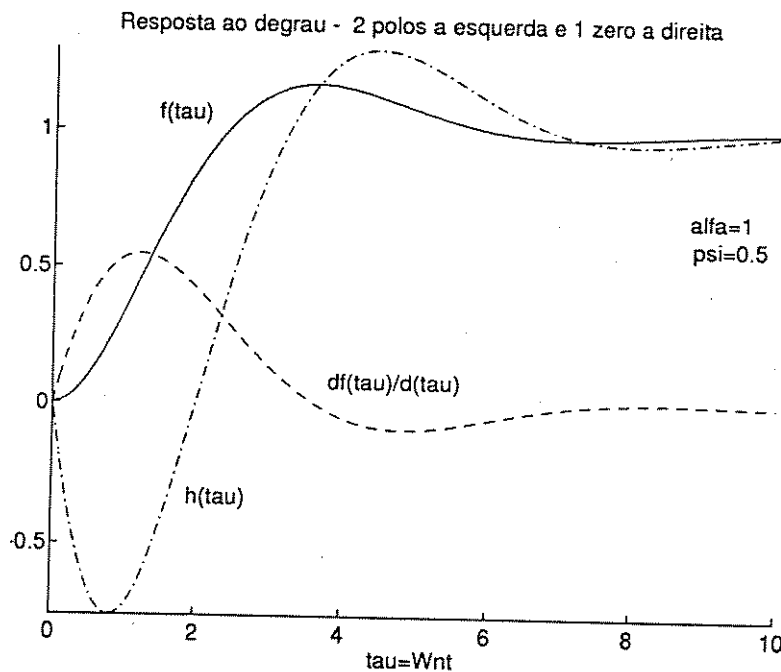


Figura A.2 - Curvas $h(\tau)$, $f(\tau)$ e $\frac{df(\tau)}{d\tau}$ para $\xi = 0.5$ e $\alpha = 1$

Analisando o gráfico da Figura A.2, notamos que $h(\tau)$ no intervalo $\tau = 0$ a $\tau = 2$ apresenta valores negativos. Isto significa que, por exemplo para o caso do espelho de corrente simples, se aplicarmos um transiente de corrente positivo na entrada, a corrente de saída, ao invés de acompanhar a corrente de entrada, diminuirá. Entretanto, na prática isto não ocorre para o espelho de corrente simples, porque os transistores operam na região de saturação e as expressões para as capacitâncias são [17],

$$C_{GS} = \frac{2}{3}C_{ox}WL + C_{ox}WL_{ov} \quad (88)$$

onde L_{ov} é o overlap.

$$C_{GB} = \frac{\gamma C_{ox}WL}{3(2\sqrt{\varphi_B + V_{SB}} + \gamma)} \quad (89)$$

$$C_{GD} = C_{ox}WL_{ov} = 0 \quad (90)$$

$$C_{BD} = A_D C'_{JD} + l_D C''_{JD} = 0 \quad (91)$$

Considerando que M_1 e M_2 têm as mesmas dimensões e substituindo as Equações (88), (89), (90) e (91) na Equação (84) de $\Psi(s)$, a função de transferência para o espelho de corrente simples será:

$$\Psi(s) = \frac{gm_2 gl}{2C_{GS}(gl + gds_2) + 2C_{GB}(gl + gds_2)s + (gl + gds_2)(gm_1 + gi + gds_1)} \quad (92)$$

A frequência do pólo é,

$$W_p = \frac{(gl + gds_2)(gm_1 + gi + gds_1)}{2C_{GS}(gl + gds_2) + 2C_{GB}(2gl + gds_2)} \quad (93)$$

e $\tau = \frac{1}{W_p}$ é a constante de tempo.

Podemos notar que na Equação (93) temos um pólo real e nenhum zero. Para este caso, temos a resposta ao transiente da forma Ae^{-at} , onde o tempo de resposta (t_r) é dado por [15],

$$t_r = 2.2\tau \quad (94)$$

Temos o compromisso de fazer um espelho rápido e preciso. Pela Equação (94) notamos que para diminuir o tempo de subida, ou seja termos um espelho mais rápido, temos que diminuir as dimensões do transistor (W e L). Entretanto isto deve ser feito sem prejudicar o ganho DC do espelho.

Considerando a equação completa para a corrente I_D na região de saturação [17], como sendo,

$$I_D = \frac{\mu_0 C_{ox} \frac{W}{L} [(V_{GS} - V_T(V_{DS}))V'_{DS} - 0.5(1 + \delta)V'^2_{DS}]}{(1 - \frac{\Delta L}{L}) [1 + \theta(V_{GS} - V_T(V_{DS})) + \theta_B V_{SB}] [\frac{1 + V'_{DS}}{L e_C}]} \quad (95)$$

onde,

$$V'_{DS} = \frac{V_{GS} - V_T(V_{DS})}{1 + \delta}$$

$$\delta = \frac{\gamma}{2\sqrt{\Phi_B + V_{SB}}}$$

$$V_T(V_{DS}) = V_T - \Delta V_T(L, V_{DS}) + \Delta V_{T1}(W)$$

$$\Delta V_T(L, V_{DS}) = 2\alpha_1 \frac{\epsilon_S}{\epsilon_{ox}} \frac{d_{ox}}{L} [(\Phi_B + V_{SB}) + \alpha_2 V_{DS}]$$

$$\Delta V_{T1}(W) = \alpha_3 \pi \frac{\epsilon_S}{\epsilon_{ox}} \frac{d_{ox}}{L} (\Phi_B + V_{SB})$$

$$\frac{\Delta L}{L} = \frac{B_1}{L\sqrt{N_A}} [\sqrt{\Phi_D + (V_{DS} - V'_{DS})} - \sqrt{\Phi_D}]$$

$$B_1 = \left(\frac{2\epsilon_S}{q} \right)^{\frac{1}{2}}$$

$$\Phi_D = \frac{\epsilon E_1^2}{2qN_A}, \text{ para } E_1 = 0 \text{ no ponto de pinchoff} \Rightarrow \Phi_D = 0$$

Temos como valores nominais [ref]: $\alpha_1 = 1$; $\alpha_2 = 0$, para $L > 3.5\mu m$; $\alpha_3 = 1$

Temos como valores típicos[ref]: $\theta = 0.04$ a $0.16V^{-1}$; $\theta_B = 0.01$ a $0.04V^{-1}$; $\epsilon_C = 0.7 \times 10^6$ a $3 \times 10^6 \frac{V}{m}$

Considerando o espelho de corrente simples NMOS mostrado na Figura A.1, temos,

$$I_{D1} = \frac{\mu_0 C_{ox} \frac{W}{L} [(V_{GS} - V_{T1}(V_{DS1})) V'_{DS1} - 0.5(1 + \delta) V'^2_{DS1}]}{\left(1 - \frac{\Delta L}{L}\right) [1 + \theta(V_{GS} - V_{T1}(V_{DS1})) + \theta_B V_{SB}] \left[\frac{1 + V'_{DS1}}{L\epsilon_C}\right]} \quad (96)$$

$$I_{D2} = \frac{\mu_0 C_{ox} \frac{W}{L} [(V_{GS} - V_{T2}(V_{DS2})) V'_{DS2} - 0.5(1 + \delta) V'^2_{DS2}]}{\left(1 - \frac{\Delta L}{L}\right) [1 + \theta(V_{GS} - V_{T2}(V_{DS2})) + \theta_B V_{SB}] \left[\frac{1 + V'_{DS2}}{L\epsilon_C}\right]} \quad (97)$$

Traçando as curvas de ganho $g = \frac{I_{out}}{I_{in}} = \frac{I_{D2}}{I_{D1}}$ em função de **W** e **L** utilizando os parâmetros do PMU-CMOS8 e os valores nominais e típicos dados anteriormente, obtemos os resultados mostrados nas Figuras A.3 e A.4 . Podemos notar na curva do ganho que a partir de um certo valor de **W**, a variação no ganho não é muito significativa, sendo então este valor uma boa escolha.

Uma outra consideração na escolha dos valores de **W** e **L** é o estudo feito no artigo [16] sobre descasamento na corrente de dreno de um transistor MOS medido em quatro "wafers". O artigo comenta as causas do descasamento em V_T , em $K = \mu C_{ox} \frac{W}{L}$ e da corrente de dreno do transistor e fornece as seguintes equações para o transistor NMOS,

Ganho DC e Tempo de Subida

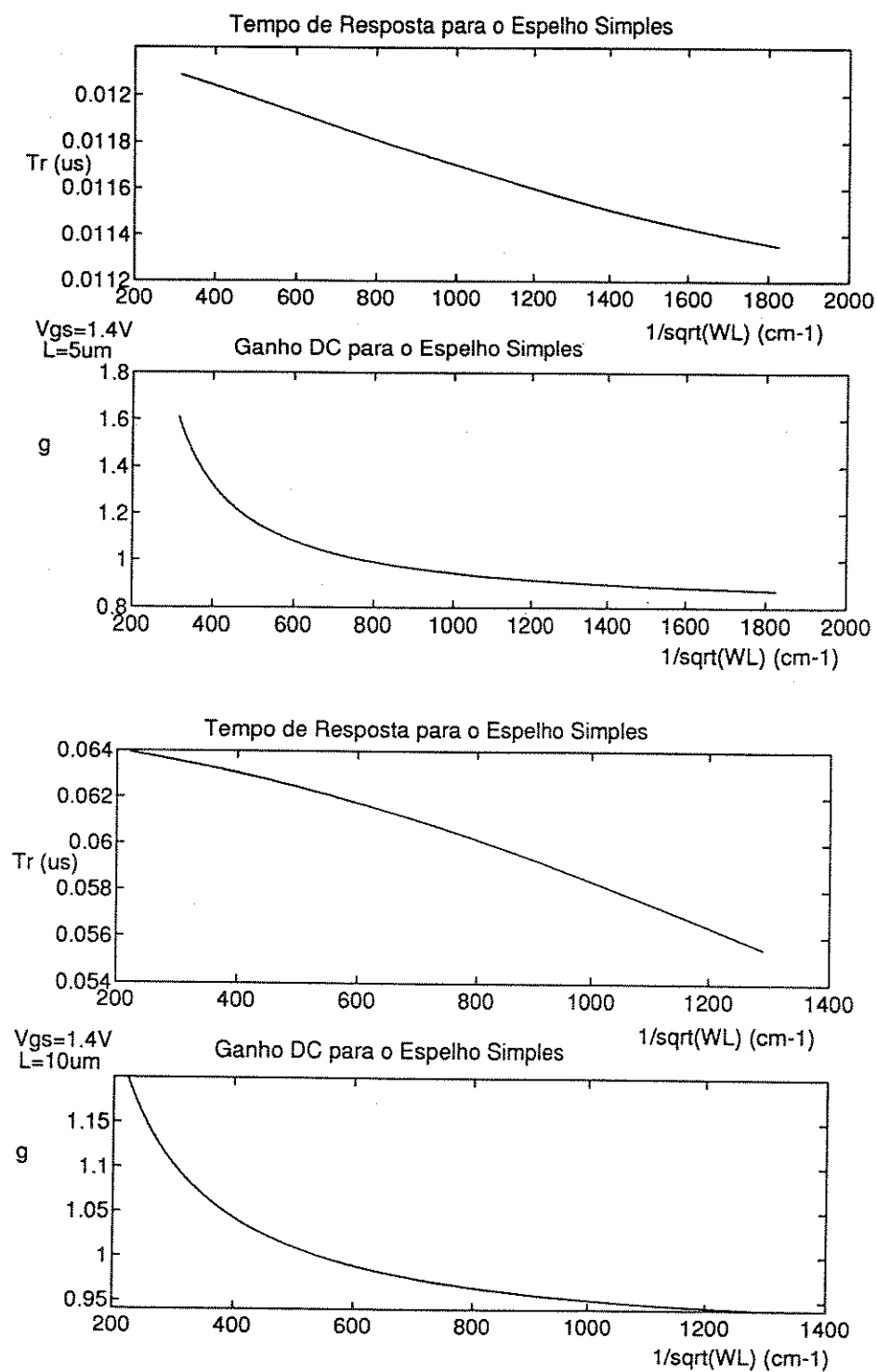


Figura A.3 - Ganho DC e Tempo de Subida de um espelho de corrente simples em função de W e L

Ganho DC e Tempo de Subida

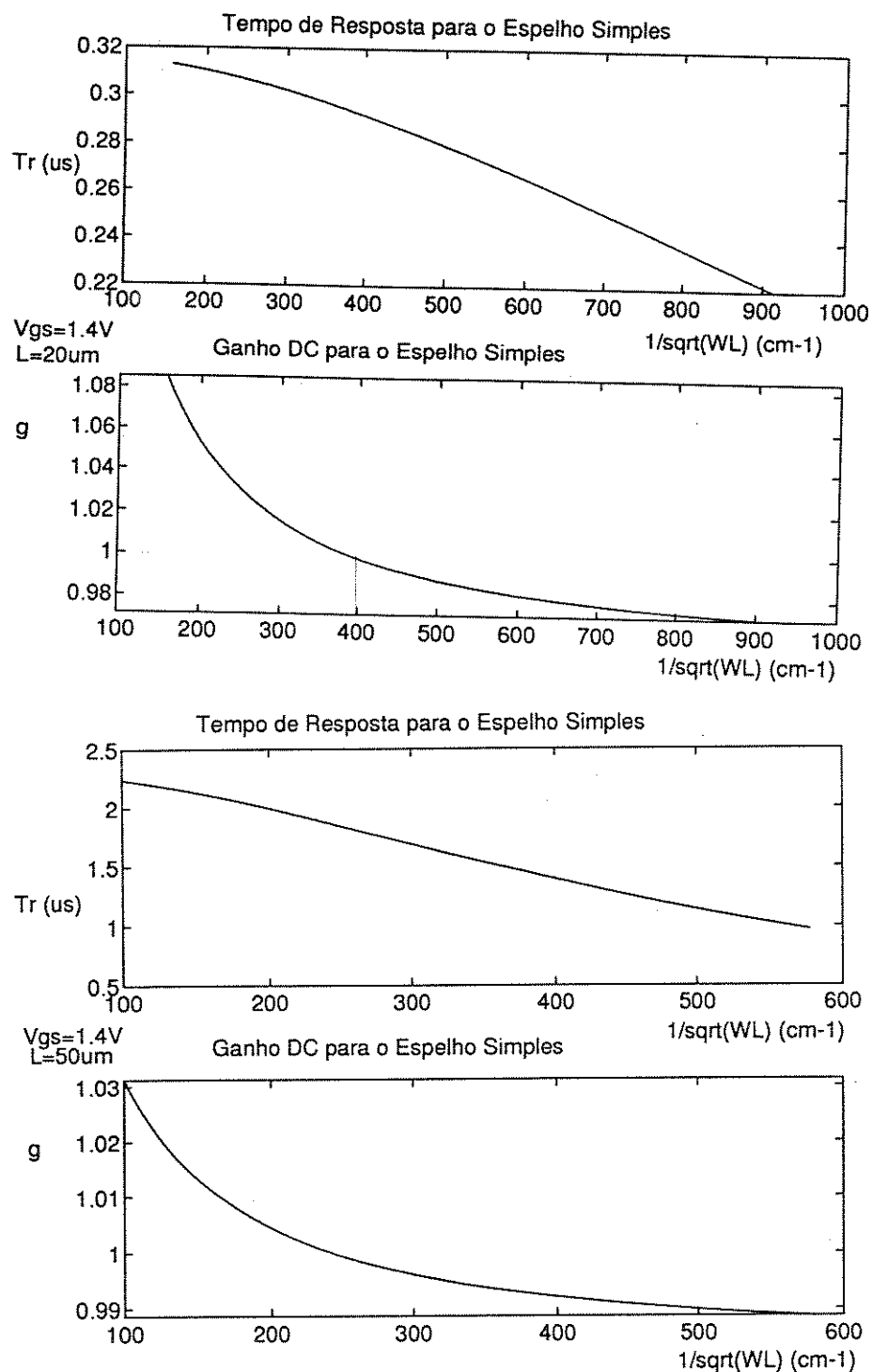


Figura A.4 - Ganho DC e Tempo de Subida de um espelho de corrente simples em função de W e L

$$\frac{\sigma_{V_T}}{\overline{V_T}} = \frac{\frac{1}{\sqrt{\overline{LW}}} (2.5875 \times 10^{-12} + 1.2421 A_{ox})^{\frac{1}{2}}}{\overline{V_T}} \quad (98)$$

que é o descasamento para tensão *threshold* V_T , onde $\overline{V_T}$, $\overline{L}$ e $\overline{W}$ são os valores esperados para a tensão *threshold* V_T , o comprimento do canal L e a largura do canal W respectivamente e $A_{ox} = 6.4631 \times 10^{-14} \text{ cm}^2$.

Descasamento do Ganho DC e Tempo de Subida

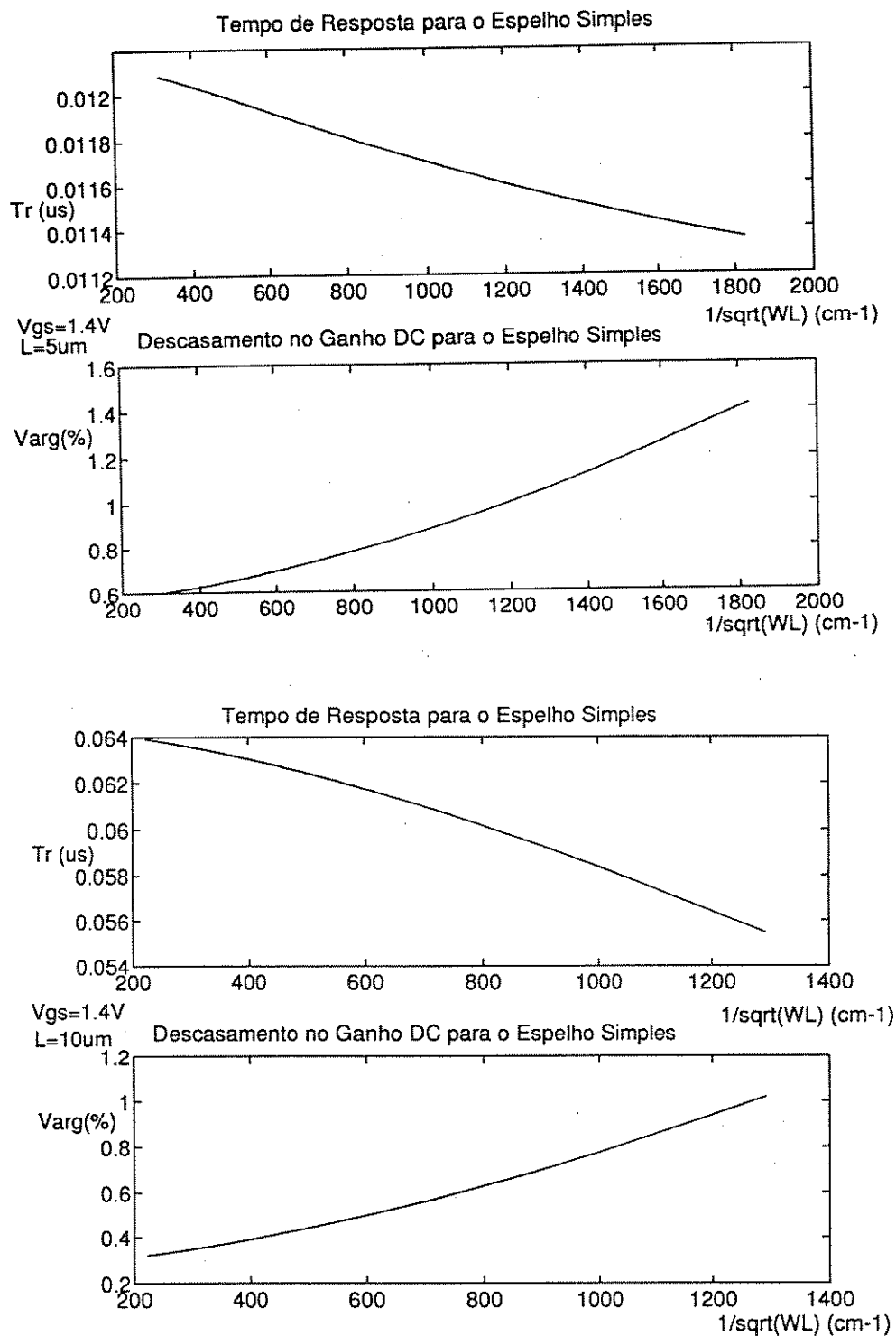


Figura A.5 - Descasamento do Ganho DC e Tempo de Subida de um espelho de corrente simples em função de W e L

Descasamento do Ganho DC e Tempo de Subida

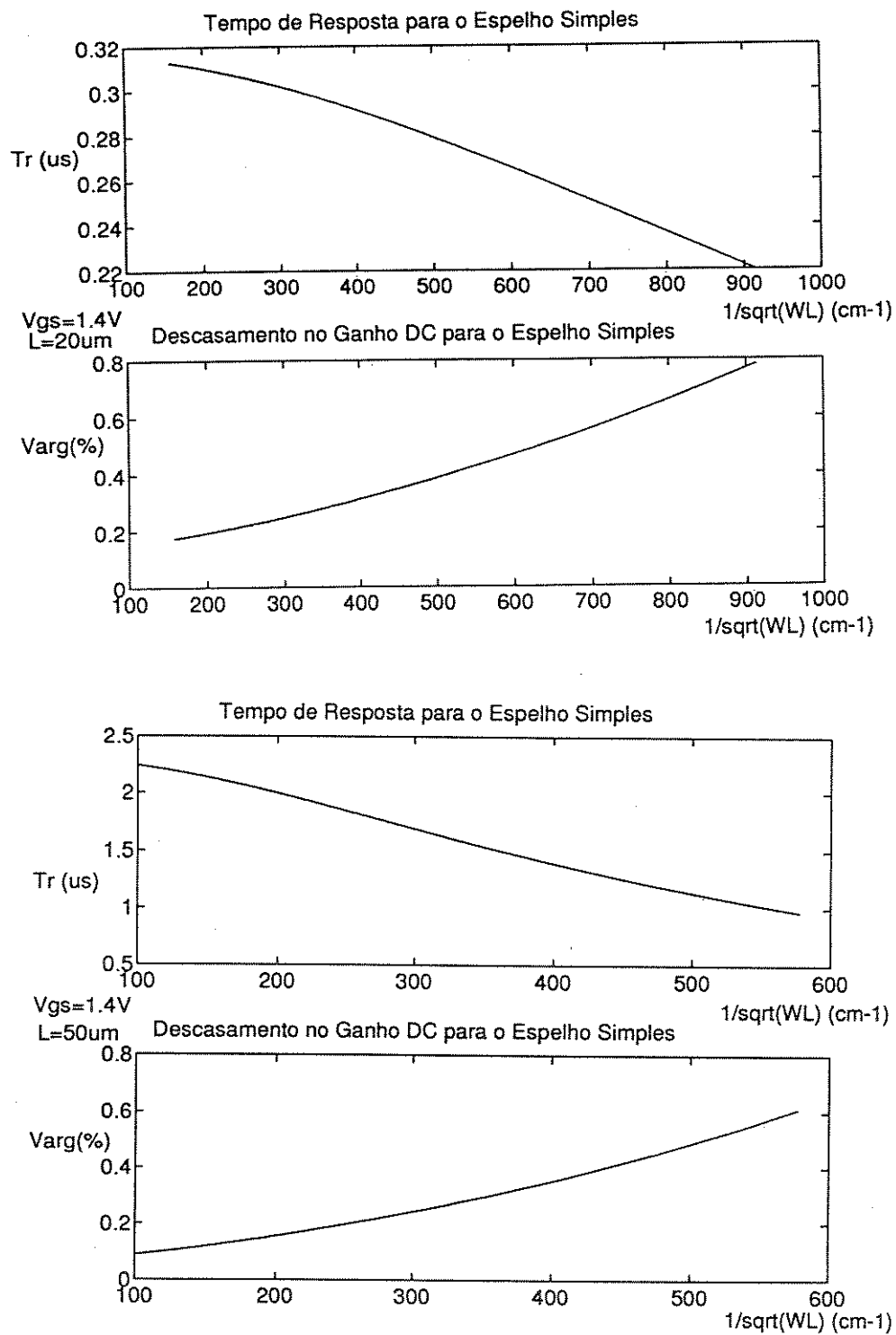


Figura A.6 - Descasamento do Ganho DC e Tempo de Subida de um espelho de corrente simples em função de W e L

$$\frac{\sigma_K}{\bar{K}} = \sqrt{(2.46 \times 10^{-13} + 0.646 \times 10^{-13}) \frac{1}{\bar{L}\bar{W}} + 4 \times 10^{-12} \left(\frac{1}{\bar{L}^2} + \frac{1}{\bar{W}^2} \right)} \quad (99)$$

é o descasamento na constante de condutância K onde $\bar{K}$ é o valor esperado para K.

$$\frac{\sigma_I}{\bar{I}} = \sqrt{\frac{\sigma_K^2}{\bar{K}^2} + 4 \frac{\sigma_{V_T}^2}{(V_{GS} - V_T)^2}} \quad (100)$$

é o descasamento na corrente de dreno do transistor devido ao descasamento na tensão *threshold* V_T e na constante de condutância K, onde $\bar{I}$ é o valor esperado para a corrente de dreno I do transistor.

Como temos, para o espelho de corrente simples que $g = \frac{I_{out}}{I_{in}}$, é o ganho DC da estrutura, podemos escrever,

$$\frac{\sigma_g}{\bar{g}} = \sqrt{\frac{\sigma_{I_{out}}^2}{\bar{I}_{out}^2} + \frac{\sigma_{I_{in}}^2}{\bar{I}_{in}^2}} \quad (101)$$

é o descasamento no ganho DC devido ao descasamento na corrente de entrada I_{in} e de saída I_{out} , onde $\bar{g}$ é o valor esperado para o ganho DC.

Traçando as curvas para o descasamento do ganho DC em função da largura do canal **W** e do comprimento do canal **L** temos os resultados mostrados nas Figuras A.5 e A.6.

Referências

- [1] . G.Wilson and P.K.Chan : 'Comparison of four CMOS transconductors for fully integrated analogue filter applications', IEE PROCEEDINGS-G, Vol.138.No.6, DECEMBER 1991, pp. 683-688
- [2] . A.Nedungadi and T.R.Viswanathan : 'Design of Linear CMOS Transconductance Elements', IEEE Transactions on Circuits and Systems, Vol.CAS-31, No.10, OCTOBER 1984, pp.891-894
- [3] . R.R.Torrance, T.R.Viswanathan and J.V.Hanson : 'CMOS Voltage to Current Transducers', IEEE Transactions on Circuits and Systems, Vol.CAS-32, No.11, NOVEMBER 1985, pp.1097-1104
- [4] . T.R.Viswanathan : 'CMOS Transconductance Element', Proc. IEEE 1986, 74, (1), pp.222-224
- [5] . Y.Tsividis, Z.Czarnul and S.C.Fang : 'MOS Transconductors and Integrators with High Linearity', ELETRONICS LETTERS, FEBRUARY 1986, Vol.22, No.5, pp.245-246
- [6] . Y.Tsividis and Z.Czarnul : 'MOS Tunable Transconductor', ELETRONICS LETTERS, JUNE 1986, Vol.22, No.13, pp.721-722
- [7] . C.S.Park and R.Schaumann : 'A High-Frequency CMOS Linear Transconductance Element', IEEE Transactions on Circuits and Systems, Vol.CAS-33, No.11, NOVEMBER 1986, pp.1132-1138
- [8] . Evert Seevinck and Roelof F.Wassenaar : 'A Versatile CMOS Linear Transconductor/Square-Law Function Circuit', IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.sc-22, No.3, JUNE 1987, pp.366-377
- [9] . G.Wilson and P.K.Chan : 'Low-distortion CMOS transconductor', ELECTRONICS LETTERS, 1990, 26, (11), pp.720-722
- [10] . S.Szczepanski, J.Jakusz and A.Czarniak : 'Differential Pair Transconductor Linearisation Via Electronically Controlled Current-Mode Cells', ELECTRONICS LETTERS, JUNE 1992, Vol.28, No.12, pp.1093-1095
- [11] . Prof.Carlos Alberto dos Reis Filho : 'Notas de Aula do Curso de Projeto de Circuitos Integrados Analógicos'
- [12] . P.E.Allen and D.R.Holberg: 'CMOS Analog Circuit Design'
- [13] . Z.Wang : 'Analytical determination of output resistance and DC matching errors in MOS current mirrors', IEE PROCEEDINGS, Vol.137, Pt.G, No.5, October 1990

- [14] . Howard C. Yang and David J. Allstot : 'An Active-Feedback Cascode Current Source', IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, Vol.37,No.5, May 1990
- [15] . Gene F.Franklin : 'Feedback Control of Dynamic Systems'
- [16] . Kadaba R.Lakshmikumar, Robert A.Hadaway and Miles A.Copeland : 'Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design', IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.SC-21, No.6, DECEMBER 1986, pp.1057-1066
- [17] . Y.Tsividis : 'Operation and Modeling of the MOS Transistors'