

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE MICROONDA E ÓPTICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

Este exemplar corresponde à redação final da tese
defendida por LUIZ CARLOS KRETLY
e aprovada pela Comissão
Julgadora em 20 03/92.

Orientador

DISPOSITIVOS SEMICONDUTORES DE ALTA VELOCIDADE:
CONTRIBUIÇÃO AO MODELAMENTO E A IMPLANTAÇÃO DE
TECNOLOGIA DE MESFETS DE GaAs COM GEOMETRIA
MICRON E SUBMICRON

LUIZ CARLOS KRETLY n. 897
ORIENTADOR: ATTÍLIO JOSÉ GIAROLA *

Tese apresentada à Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas como parte dos requisitos para obtenção do título de DOUTOR em ENGENHARIA ELÉTRICA

MARÇO 1992

SUMÁRIO

Este trabalho descreve a tecnologia desenvolvida para construção de MESFETs de GaAs, (Metal Semiconductor Field Effect Transistors de Arseneto de Gálio), com geometria de porta micron e submicron. Apresenta em detalhes todas as etapas para a construção destes dispositivos e os resultados obtidos. Mostramos que, a partir de fotolitografia convencional e procedimentos com técnica de auto-alinhamento, é possível construir transistores MESFETs de GaAs para aplicação analógica (faixa de microondas) e com potencialidades para operação em circuitos integrados digitais de GaAs.

Transistores foram construídos usando esta técnica e as características estáticas e dinâmicas obtidas estão de conformidade com as especificações típicas destes dispositivos, amplamente divulgadas na literatura.

Apresentamos, também, um amplo estudo, em forma de "tutorial", de várias alternativas tecnológicas para construção de MESFETs.

Ainda, uma extensa análise dos modelos para MLSFETs é apresentada, indicando a evolução destes, particularmente quanto à interpretação dos fenômenos ligados ao dispositivo.

Uma simulação numérica é também desenvolvida para analisar o comportamento dinâmico de domínios estacionários de carga, em função da polarização de porta e de dreno para MESFETs de GaAs com porta submicron, o que permitiu identificar aprimoramentos a serem introduzidos nos modelos existentes.

ABSTRACT

This work describes the technology developed for the construction of GaAs MESFET's (Gallium Arsenide METal Semiconductor Field Effect Transistors) with micron and submicron gate geometry. It describes in detail all the steps for the construction of these devices and the results obtained. It is shown that GaAs MESFETs, for analogical application in the microwave range and with potential for operation in integrated digital circuits, may be constructed with conventional photolithography and with a self-alignment technique. Transistors were constructed using this technique and the DC and dynamic characteristics are in agreement with the specifications of typical MESFETs devices reported in the literature.

A general study is also shown, in tutorial form, of the various technological alternatives for the construction of MESFETs. In addition, an extensive analysis of MESFET models is also presented indicating their evolution, particularly with respect to the interpretation of the phenomena associated with the device.

A numerical simulation was also developed for the analysis of the stationary charge domain behavior as a function of gate and drain bias of GaAs MESFETs with a submicron gate, thus allowing the identification of improvements to be introduced in the existing models.

AGRADECIMENTOS

Ao Prof. Attilio José Giarola pela amizade, orientação e constante estímulo para conclusão deste trabalho.

Aos professores e pesquisadores do Laboratório de Eletrônica e Dispositivos, LED, e Departamento de Eletrônica e Microeletrônica da FEE, que propiciaram as condições para desenvolvimento da pesquisa e o apoio necessário para realização dos trabalhos.

Às agências financiadoras CNPq e FINEP pelo apoio financeiro.

A todos os técnicos e funcionários do LED que, de forma direta ou indireta, colaboraram com esta pesquisa.

À Irene Chiqueto que datilografou estas dezenas de páginas com muito capricho e dedicação e à Luiza Maria de Campos pelo excelente e minucioso trabalho com os desenhos.

DEDICO ESTE TRABALHO:

Aos meus pais João e Otília, às minhas
filhas Ana Catarina e Laura Maria e,
em especial à minha companheira Sandra
Maria.

CONTEÚDO

SUMÁRIO	ii
ABSTRACT	iii
CAP. 1: DISPOSITIVOS DE ALTA-VELOCIDADE: INTRODUÇÃO.....	1.3
1.1 EVOLUÇÃO DOS DISPOSITIVOS DE ALTA-VELOCIDADE	1.4
1.2 O TRANSISTOR MESFET	1.5
1.2.1 Comportamento ôhmico e saturação	1.7
1.2.2 MESFET: Princípio de operação (sem polarização da porta).....	1.9
1.2.3 Comportamento no início da saturação (sem polarização da porta)	1.11
1.2.4 Comportamento após saturação (sem polarização da porta).....	1.11
1.2.5 Comportamento com polarização negativa de porta	1.15
1.3 MESFET DE GaAs	1.17
1.3.1 Velocidade de deriva de elétrons	1.18
1.3.2 MESFETs de GaAs: Princípios de operação	1.21
1.3.2.1 MESFETs de GaAs - canal e porta longos	1.21
1.3.2.2 MESFETs de GaAs - canal e porta curtos	1.26
1.3.3 Características do MESFETs de GaAs	1.28
1.3.3.1 Estrutura física	1.29
1.3.3.2 Características elétricas-modelos	1.31
1.3.3.3 Limites de operação em frequência	1.37
. REFERÊNCIAS BIBLIOGRÁFICAS	1.40
CAP. 2: MESFETs DE GaAs: TECNOLOGIA	
1ª PARTE: SUBSTRATOS E CAMADAS	2.1
. INTRODUÇÃO	2.3
2.1 SUBSTRATO SEMI-ISOLANTE DE GaAs	2.4

2.1.1	Características dos substratos de GaAs	2.8
2.2	CAMADAS FUNCIONAIS	2.9
2.2.1	Camadas de Interface (Buffer)	2.11
2.2.2	Camada ativa	2.17
2.2.3	Características da camada ativa obtida por diferentes técnicas	2.20
2 ^a	PARTE: ESTRUTURAS	2.29
2.3	ESTRUTURAS DOS DISPOSITIVOS	2.31
2.3.1	Gravação direta	2.32
2.3.2	Estruturas Auto-alinhadas	2.35
2.3.3	Tecnologias com rebaixamento de canal	2.40
2.3.4	Tecnologias especiais de formação de porta ...	2.49
.	REFERÊNCIAS BIBLIOGRÁFICAS	2.61

CAP. 3: MODELAMENTO MATEMÁTICO DE MESFETs DE GaAs

1 ^a	PARTE: DESCRIÇÃO FENOMENOLÓGICA E EVOLUÇÃO DO MODELAMEN TO DE MESFETs DE GaAs	3.1
.	INTRODUÇÃO	3.3
3.1	EVOLUÇÃO DOS MODELOS PARA MESFETs	3.4
3.1.1	Primeiras formulações para JFETs e MESFETs ...	3.4
3.1.2	Simulações bidimensionais e resultados para estruturas MESFETs	3.13
3.1.3	Modelos bidimensionais avançados	3.17
3.1.4	Considerações não-estáticas e os modelos micros cópios de partículas	3.19
3.1.5	Modelos analíticos - Saturação e condutância finita de dreno	3.24
3.1.6	Modelos analíticos - Pequenos sinais	3.28
3.1.7	Saturação e camadas de carga ou domínios estacionários	3.31
3.1.8	Análises bidimensionais - Bases físicas	3.38
3.1.9	Análises bidimensionais - Bases físicas. Compor tamento transitório	3.42

3.1.10	Limites de velocidade: Balístico ou quase-balístico	3.45
3.1.11	Recentes aprimoramentos analíticos: Depleção superficial	3.49
3.1.12	Modelo para portas ultra-curtas e limites de redução de escala proporcional	3.53
2ª PARTE: MODELO INTEGRADO DO MESFET DE GaAs		3.59
. INTRODUÇÃO		3.61
3.2	O MODELO INTEGRADO	3.62
3.2.1	Descrição dos fenômenos na estrutura MESFET de GaAs	3.62
3.2.2	Região sob a porta e modos de operação do MESFET	3.64
3.2.3	Solução da equação de Poisson na região sob a porta	3.71
3.2.4	Domínios de carga estacionários: Descrição analítica	3.86
3.2.5	Programa de Simulação Bidimensional para MESFETs de GaAs: CUPID	3.91
3.2.6	Caracterização elétrica e dimensional dos domínios estacionários via simulação	3.94
3.2.7	Localização analítica do campo elétrico na região do domínio	3.102
3.3	ELEMENTOS DE CONTRIBUIÇÃO AO MODELAMENTO ANALÍTICO DE MESFETs DE GaAs	3.106
. REFERÊNCIAS BIBLIOGRÁFICAS		3.113
 CAP. 4: TECNOLOGIA DE FABRICAÇÃO DE MESFETs DE GaAs:		
PROCEDIMENTOS E RESULTADOS EXPERIMENTAIS-INTRODUÇÃO		4.3
4.1	PROCESSO DE AUTO-ALINHAMENTO DESENVOLVIDO	4.4
4.1.1	Objetivos	4.4
4.1.2	Descrição geral do processo de Auto-Alinhamento	4.4

4.2.	DETALHAMENTO DA TECNOLOGIA DE AUTO-ALINHAMENTO DESENVOLVIDA	4.6
4.2.1	Preparação dos substratos e caracterização ...	4.6
4.2.2	Camadas ativas - crescimento epitaxial	4.8
4.2.3	Oxidação anódica do GaAs: Informações gerais .	4.11
4.2.4	Oxidação anódica do GaAs: Procedimento experimental	4.15
4.2.5	Fotografação das marcas de referência e ataque químico	4.17
4.2.6	Formação das mesas por ataque químico líquido	4.22
4.2.7	Evaporação do metal da porta	4.26
4.2.8	Fotolitografia para definição da porta: sistema mono-camada	4.28
4.2.9	Fotolitografia para definição da porta: sistema com fotorresiste e camada anti- refletora	4.31
4.2.10	Definição da porta por ataque do alumínio sob o fotorresiste	4.42
4.2.11	Auto-Alinhamento de dreno e fonte: contatos ôhmicos	4.45
4.2.12	Remoção dos metais em excesso: decapagem ("lift-off")	4.47
4.2.13	Encapsulamento: suporte ("Jig") de testes	4.49
4.2.14	Detalhes da tecnologia de Auto-Alinhamento ...	4.59
4.3.1	MEDIDAS E CARACTERIZAÇÃO DOS PARÂMETROS DC. CARACTERÍSTICAS $I_{DF} \times V_{DF}$	4.69
4.3.1.1	Método de determinação dos parâmetros intrín- secos a partir dos parâmetros DC	4.82
4.3.1.2	Medidas elétricas DC. Determinação de parâ- metros dos MESFETs de GaAs.....	4.84
4.3.1.3	Resultados das medidas DC: Valores dos parâ- metros e análise	4.92
4.4.1	PARÂMETROS DE ALTA-FREQUÊNCIA. PARÂMETROS-S E FATOR DE ESTABILIDADE	4.98
4.4.2	CIRCUITO EQUIVALENTE PARA PEQUENOS SINAIS	4.109
.	REFERÊNCIAS BIBLIOGRÁFICAS	4.115
.	CONCLUSÕES	4.120

CAPÍTULO 1

DISPOSITIVOS DE ALTA VELOCIDADE

INTRODUÇÃO

INTRODUÇÃO

Os transistores de efeito de campo, com porta formada por junção Schottky, que utilizam semicondutores compostos do grupo III-V, principalmente GaAs, ou abreviadamente MESFET's de GaAs, são dispositivos para processamento de sinais de alta frequência, com larga aplicação em sistemas de comunicação.

Objetivamos com este trabalho a capacitação tecnológica para realização de MESFET's de GaAs com geometria de porta micron e sub-micron usando tecnologia de auto-alinhamento a partir de fotolitografia de projeção ou contato.

O esforço para implantação desta tecnologia se desenvolveu nos seus vários segmentos fundamentais ou seja: o processo de construção, modelamento matemático do comportamento dinâmico do dispositivo e caracterização elétrica.

A opção pela pesquisa em dispositivos eletrônicos de canal curto do tipo MESFET, que envolve a definição de geometrias na faixa micron e sub-micron, aglutina uma vantagem adicional: aprimoramento dos circuitos integrados monolíticos digitais na busca de geometrias cada vez menores.

A tecnologia adotada de auto-alinhamento da porta entre dreno e fonte é coerente com a perspectiva local de evolução das técnicas de litografia. A fotolitografia deve-se manter devido ao elevado custo para implantação de um sistema litográfico por feixe de elétrons ou raios-x.

Pretende-se com o texto que descreve o nosso trabalho dar também ao leitor uma visão de conjunto de toda a área de pesquisa envolvida.

1.1 EVOLUÇÃO DOS DISPOSITIVOS DE ALTA-VELOCIDADE

Atualmente é muito extensa a faixa de dispositivos se micondutores com aplicação em alta velocidade e microondas. Transistores bipolares, transistores de efeito de campo JFET, MOSFET, MESFET, dispositivos de avalanche e tempo de trânsito IMPATT, TRAPATT, de injeção sobre barreira e tempo de trânsito BARITT, dispositivos de elétrons transferidos TEDs, GUN por exemplo, dio dos Schottky, diodos PIN, VARACTORES, TUNNEL, LASERS, detetores e outros dispositivos com semicondutores ternários e quaternários e com estruturas de super-redes com dopagem modulada TEGFET ou HEMT por exemplo.

Estes dispositivos são empregados nas diferentes funções analógicas tais como, amplificação de baixo ruído, amplificação de potência, osciladores, misturadores, chaveamento, detecção modulação; nas diferentes aplicações: enlaces de radar, receptores móveis, enlaces de comunicações terrestres e via satélite, receptores para radioastronomia, fontes e instrumentos de medida para microondas, sistemas de comunicação óptica, transmissão direta de TV via satélite, DSB-TV, radares de antena com arranjo de fase e muitas outras.

Os transistores, particularmente para operação e apliçação na faixa de microondas surgiram a partir de 1965. Estes primeiros transistores de germânio operavam na banda D e E de 1,0 a 2,6 GHz [1]. Os transistores bipolares de silício têm limite de operação no extremo da banda I [2], e os transistores bipolares de GaAs [3] e bipolares heterojunção GaAlAs/GaAs em fase de desenvolvimento [4] não atingiram maturidade tecnológica suficiente para ampla aplicação industrial.

Os primeiros MESFETs surgiram no fim da década dos 60, MESFETs de silício com $f_{m\acute{a}x} = 12$ GHz [5] obtidos em razão dos recentes desenvolvimentos da fotolitografia de projeção [6] e das técnicas de fabricação [7,8].

Durante os anos 70 até início dos anos 80 houve um esforço intenso no desenvolvimento de novas estruturas e utilização de semicondutores, quase exclusivamente compostos do grupo III-V notadamente GaAs. A maturidade tecnológica alcançada pelos dispositivos MESFETs de GaAs tanto para amplificação de baixo nível como para amplificação de potência é patente na diversidade

destes componentes disponíveis comercialmente. |9,10,11,12|

A partir dos anos 80, novas estruturas foram pesquisadas e o direcionamento destas voltado para semicondutores ternários e quaternários, explorando a característica de alta mobilidade, para aplicação em frequências cada vez maiores, atingindo atualmente a faixa de ondas milimétricas |13|.

A diversidade das estruturas de MESFETs e dispositivos similares de alta velocidade, nos dá uma idéia da potencialidade destes dispositivos para aplicações em processamento de sinais e manipulação de potências, outrora impossíveis devido às limitações tecnológicas. |2,14,15,16,17,18,19|.

1.2 O TRANSISTOR MESFET

Os transistores de efeito de campo com porta metálica formando barreira Schottky com o semicondutor, são denominados de METAL-SEMICONDUTOR-FIELD-EFFECT TRANSISTORS ou abreviadamente MESFETs.

Genericamente, o MESFET é formado por um substrato isolante ou semi-isolante, uma camada ativa de um semicondutor dopado e possui três eletrodos: dreno e fonte que formam contato ôhmico com a camada ativa e a porta, situada entre os dois, forma junção Schottky com o semicondutor.

A operação do MESFET é muito semelhante à do transistor de efeito de campo de junção ou J-FET.

A figura 1.1a mostra a estrutura do MESFET na sua concepção simplificada. A figura 1.1b apresenta o símbolo elétrico do dispositivo na versão canal N.

Para a completa interpretação dos fenômenos eletrônicos pertinentes à operação do MESFET, será apresentada uma seqüência de estruturas polarizadas convenientemente, com o objetivo de analisar qualitativamente o comportamento dinâmico do MESFET. A análise será feita inicialmente com um semicondutor que tenha a característica, velocidade de deriva dos portadores versus campo elétrico, representada por uma função monotônica crescente. Este é o caso, por exemplo, do silício. Em seguida serão avaliados os diferentes semicondutores e se processará a uma análise do MESFET

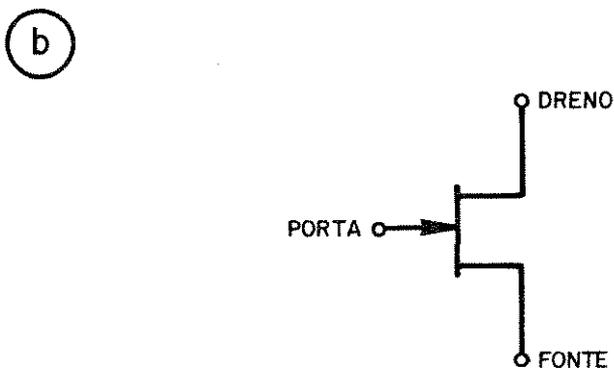
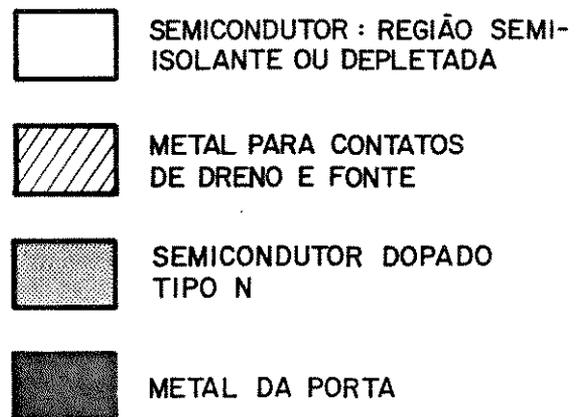
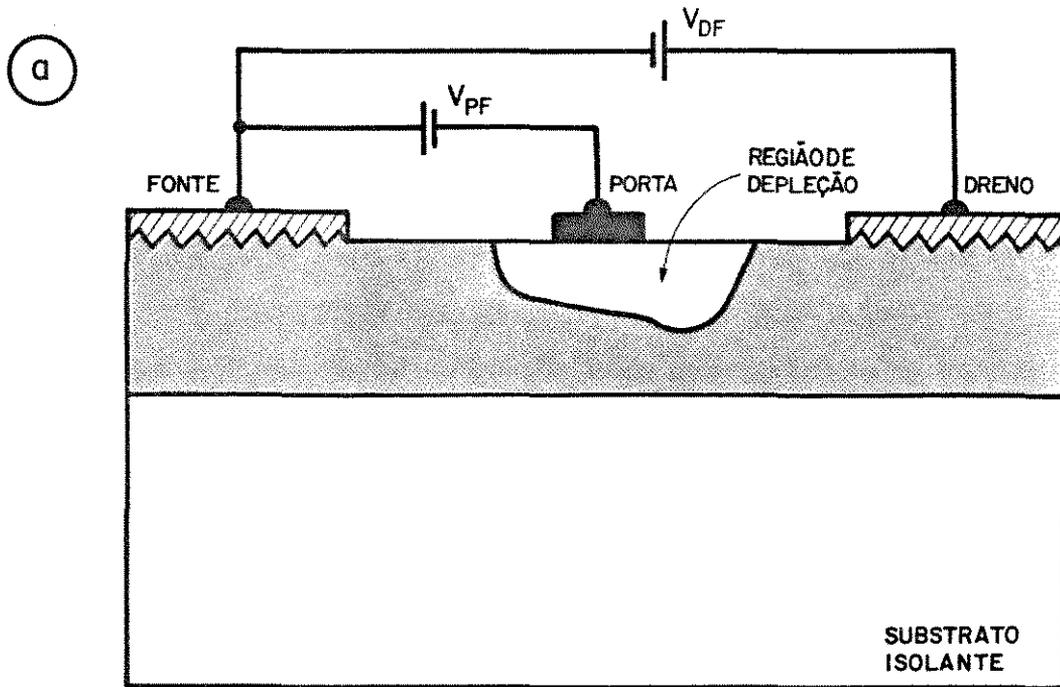


Figura 1.1 - a) Estrutura do MESFET e simbologia adotada.

b) Símbolo elétrico do MESFET canal N.

com semicondutores compostos do grupo III-V, notadamente o GaAs (Arseneto de Gálio).

1.2.1 COMPORTAMENTO ÔHMICO E SATURAÇÃO

A estrutura esquematizada na figura 1.2a é um dispositivo com dois eletrodos, denominados fonte e dreno, e que fazem contato ôhmico com a camada epitaxial do tipo N, crescida sobre substrato isolante ou semi-isolante.

O semiconductor possui como característica, velocidade de deriva dos elétrons versus campo elétrico, como mostra a figura 1.2c. O silício, por exemplo, apresenta este mesmo tipo de comportamento [20,21].

Para efeito desta análise e das que se seguem, desprezam-se os efeitos da curvatura da banda de energia na superfície livre do semiconductor e da região de depleção na interface com o substrato, este último podendo surgir devido à existência de estados e cargas armadilhadas na interface.

Aplicando-se V_{DF} positivo e pequeno entre dreno e fonte, figura 1.2, observa-se fluxo de elétrons no semiconductor. O campo elétrico \vec{E} no interior do semiconductor tem componentes nas direções x e y próximas aos contatos e, praticamente, só componente x na região intermediária.

O semiconductor, para tensões relativamente pequenas, comporta-se como um resistor linear, como se pode observar na porção reta da característica $I_{DF} \times V_{DF}$ da estrutura (figura 1.2d).

Quando se aumenta o campo elétrico, à medida que se aplica tensão V_{DF} mais elevada, a velocidade de deriva dos elétrons não aumenta na mesma proporção que o campo (figura 1.2c). Em decorrência, a corrente não mais cresce proporcionalmente à tensão V_{DS} aplicada e entra na região de saturação.

Com o campo elétrico atingindo o valor crítico ϵ_c , os elétrons estarão com velocidade saturada v_s e a corrente I_{DF} também satura, correspondendo ao ponto assinalado por \odot .

Para o caso do silício, o campo crítico ϵ_c não é bem definido [21]. Entretanto, estima-se um valor finito de $20 \text{ kV} \cdot \text{cm}^{-1}$ quando os elétrons atingem a velocidade saturada de $1 \times 10^7 \text{ cm} \cdot \text{s}^{-1}$.

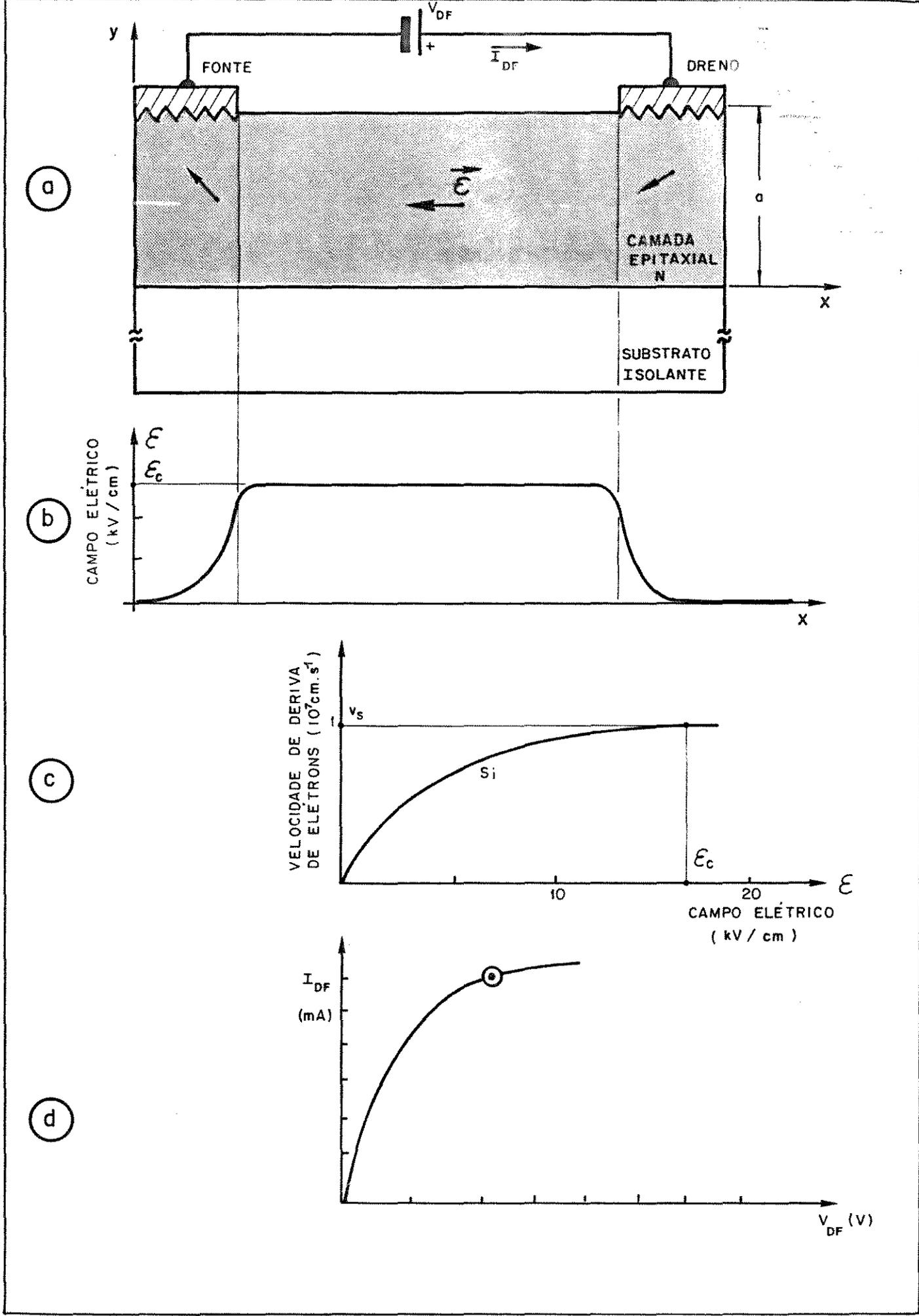


Figura 1.2 - a. Camada epitaxial de semiconductor tipo N com dois contatos ôhmicos.
 b. Campo elétrico no semiconductor (saturação).
 c. Campo elétrico versus velocidade de deriva de elétrons no Si.
 d. Característica $I_{DF} \times V_{DF}$ da estrutura.

1.2.2 MESFET: PRINCÍPIO DE OPERAÇÃO (SEM POLARIZAÇÃO DA PORTA)

A introdução de um terceiro eletrodo entre os contatos ôhmicos de dreno e fonte, formando barreira Schottky com o semicondutor e denominado de porta, dá origem a uma região de depleção dentro da camada ativa. A região, que é completamente isenta de portadores livres, depende da altura da barreira entre o metal e o semicondutor (figura 1.3b).

A região de depleção estrangula o canal e aumenta a resistência sendo que, o comportamento terminal do dispositivo $I_{DF} \times V_{DF}$, para $V_{pF} = 0$, é apresentado na figura 1.3d.

A corrente elétrica no canal pode ser calculada da seguinte forma:

$$\vec{J} = \rho \cdot \vec{v} \quad (1.1)$$

onde:

\vec{J} é a densidade de corrente elétrica no canal ($A \cdot m^{-2}$).
 ρ densidade volumétrica de cargas ($C \cdot m^{-3}$)
 \vec{v} velocidade de deriva dos elétrons ($m \cdot s^{-1}$).

assim:

$$J_{DF} = q \cdot n(x) \cdot a(x) \cdot v(x) \quad (1.2)$$

onde:

J_{DF} é a componente na direção x da densidade de corrente.
 q carga eletrônica ($q = 1,6 \times 10^{-19} C$).
 $n(x)$ densidade volumétrica de elétrons de condução (m^{-3}).
 $a(x)$ a espessura do canal de condução.
 $v(x)$ componente na direção x da velocidade de deriva dos elétrons.

Considerando-se a estrutura da figura 1.3a com uma profundidade (largura do canal) igual a Z, I_{DF} fica:

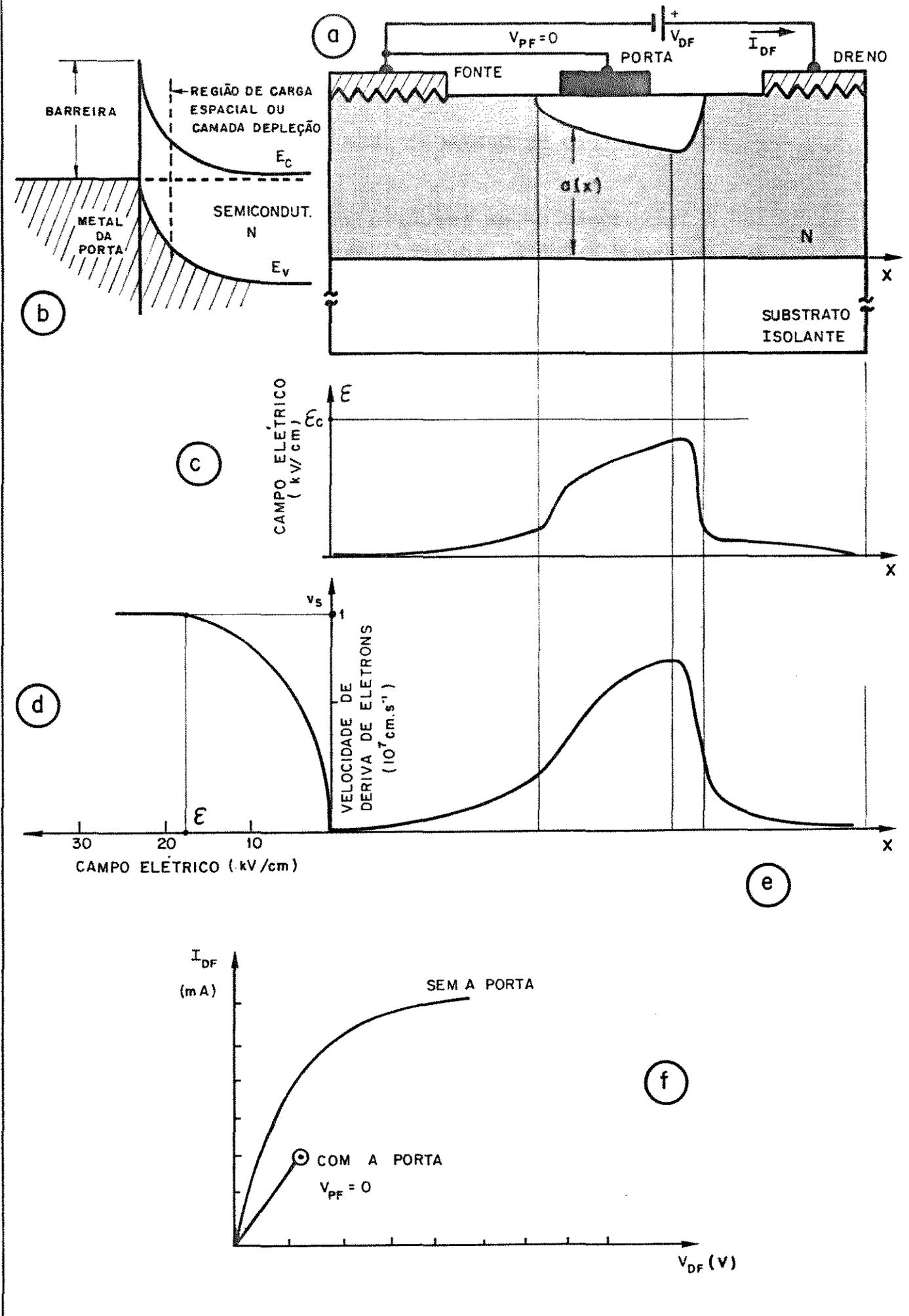


Figura 1.3 - a. Estrutura de um MESFET com $V_{PF} = 0$ e $V_{DF} < V_{DFSAT}$.
 b. Diagrama de bandas de energia na junção Schottky da porta.
 c. Campo elétrico no canal.
 d. Campo elétrico versus velocidade de deriva de elétrons p/o Si.
 e. Velocidade de deriva de elétrons no canal.
 f. Característica $I_{DF} \times V_{DF}$ da estrutura.

$$I_{DF} = q \cdot n(x) \cdot a(x) \cdot Z \cdot v(x) \quad (1.3)$$

A tensão no canal varia de acordo com a polarização imposta por V_{DF} . É zero na fonte e vai crescendo até atingir V_{DF} no dreno. Como mostra a figura 1.3a, a junção metal-semicondutor ou junção Schottky é progressivamente polarizada no modo reverso, acarretando um alargamento da região de depleção, à medida que se aproxima do dreno.

Como a corrente I_{DF} ao longo do canal deve ser constante e existe a variação da espessura do canal, o campo elétrico e a velocidade dos elétrons é que deverão compensar esta variação. Observe na figura 1.3 que, à medida que $a(x)$ diminui, o campo elétrico e a velocidade de deriva aumentam.

1.2.3 COMPORTAMENTO NO INÍCIO DA SATURAÇÃO - (SEM POLARIZAÇÃO DA PORTA)

A figura 1.4 apresenta a situação quando a tensão $V_{DF} = V_{DFSat}$, ou seja, os elétrons atingem a máxima velocidade de saturação, pois o campo elétrico no ponto indicado atingiu o valor crítico ϵ_c . Nesta condição a espessura da camada condutora do canal atinge o seu ponto mínimo a_{min} que se localiza próximo à extremidade da porta. A corrente I_{DF} começa então a saturar.

1.2.4 COMPORTAMENTO APÓS SATURAÇÃO - (SEM POLARIZAÇÃO DA PORTA) | 22,23,24,25,26 |

Elevando-se a tensão V_{DF} além da tensão de saturação $V_{DF} > V_{DFSat}$ a região de depleção alarga-se ainda mais em direção do dreno. Esta nova situação é esquematizada na figura 1.5.

Para efeito de análise divide-se o canal em duas regiões:

Região I $0 < x < x_1$ também denominada de região de "canal gradual" | 22,26 | cuja característica é a ausência de carga espacial e $n = N_D$ figura 1.5c.

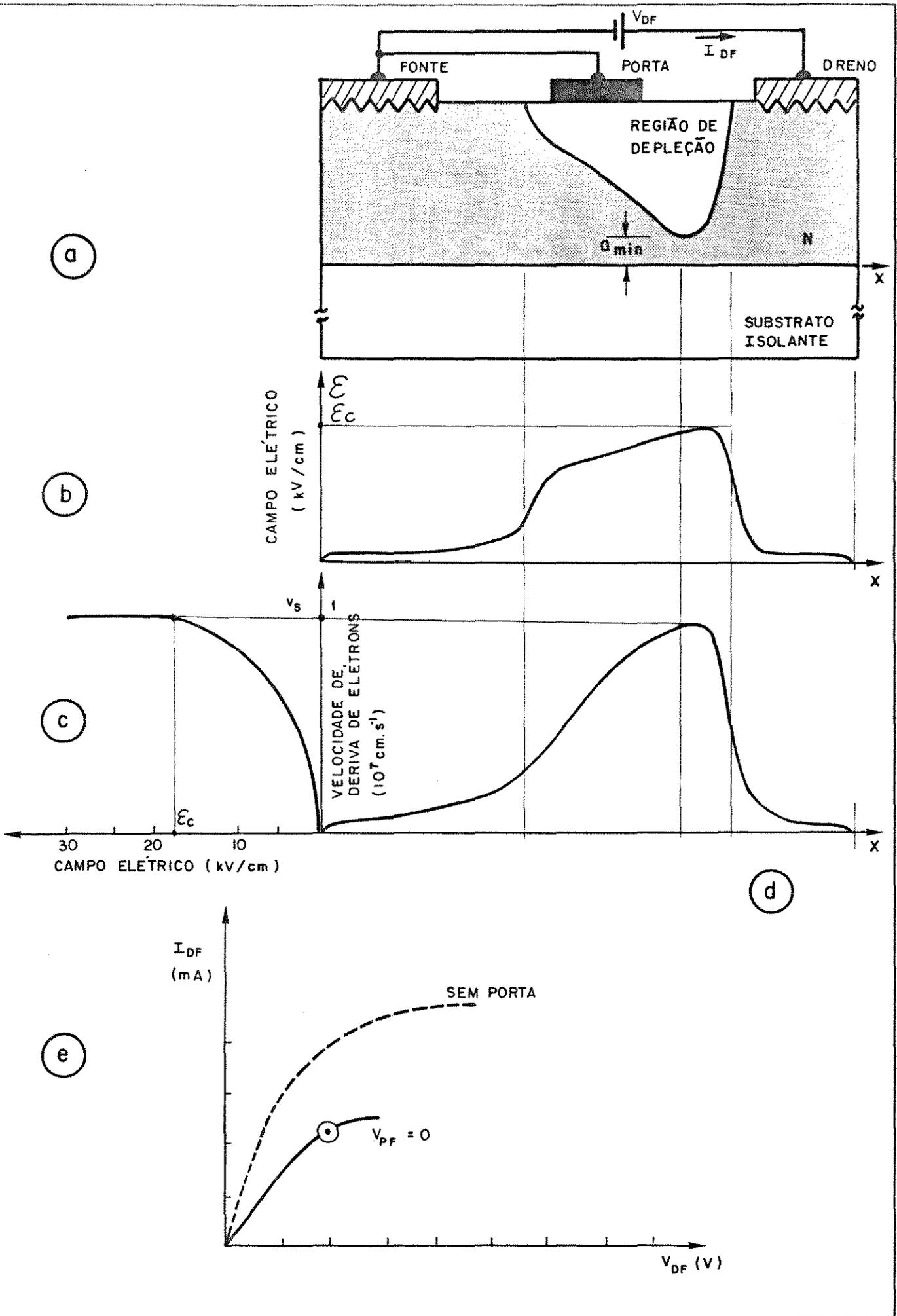


Figura 1.4 - a. Estrutura do MESFET com $V_{PF} = 0$ e $V_{DF} = V_{DFSAT}$.
 b. Campo elétrico no canal.
 c. Velocidade de deriva de elétrons versus campo elétrico p/ o Si.
 d. Velocidade de deriva de elétrons no canal.
 e. Característica $I_{DF} \times V_{DF}$ da estrutura.

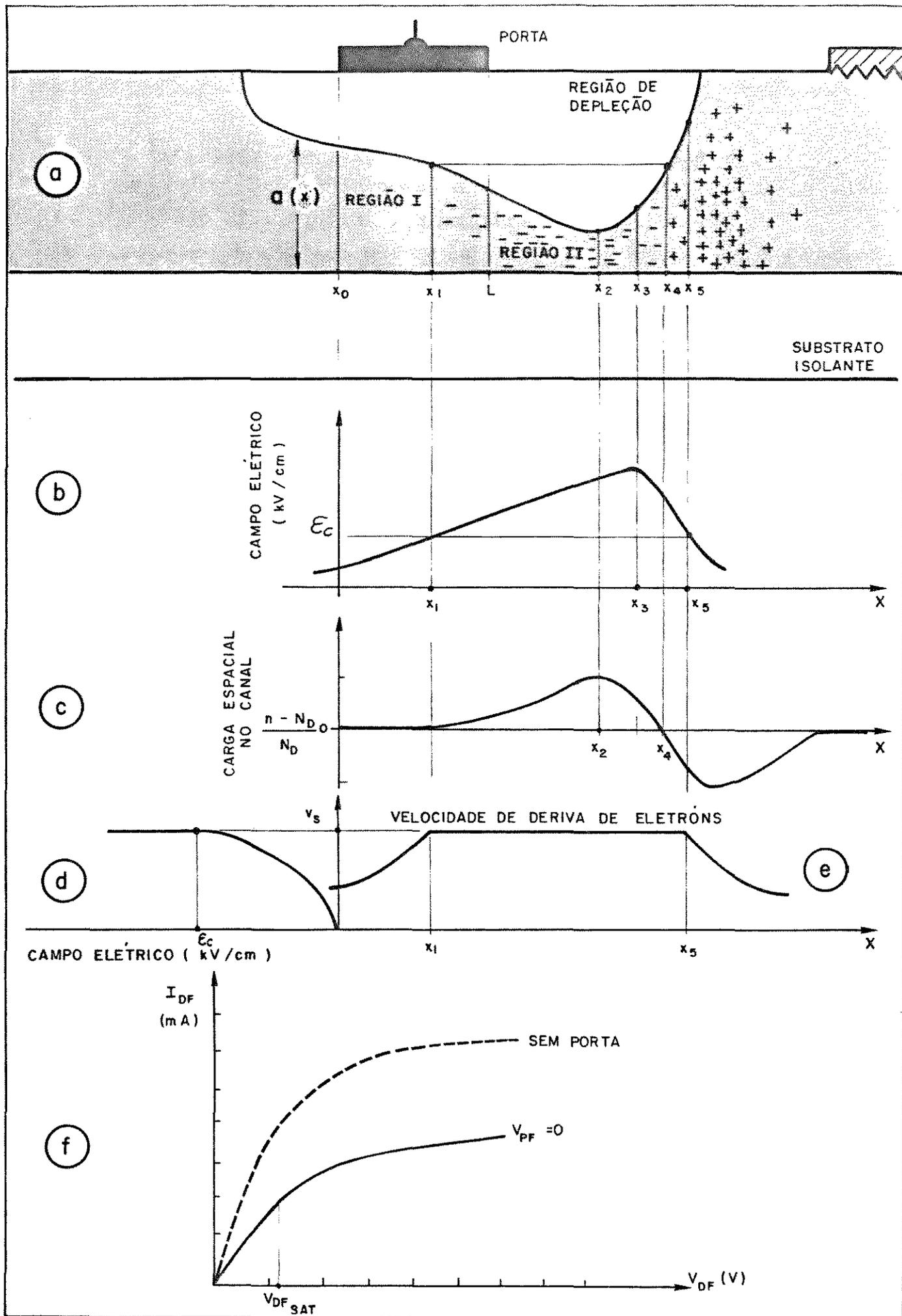


Figura 1.5 - a. Estrutura do MESFET com $V_{PF}=0$ e $V_{DF} > V_{DFSAT}$.

b. Campo elétrico no canal.

c. Carga espacial no canal.

d. Velocidade de deriva de elétrons versus campo elétrico p/ o Si.

e. Velocidade de deriva dos elétrons no canal.

f. Característica $I_{DF} \times V_{DF}$ da estrutura.

Região II $x_1 < x < x_5$, região de "velocidade saturada", onde o campo elétrico é maior que o campo crítico E_c . Figura 1.5b e e.

Na região I, à medida que a espessura do canal diminui, a velocidade de deriva dos elétrons aumenta, mantendo assim a corrente I_{DF} independente da posição no canal.

Na região II, a velocidade dos elétrons no canal já está saturada e agora, necessariamente, qualquer variação na espessura do canal por alargamento da região de depleção, deve ser compensada por alguma variação na concentração de portadores, novamente para manter a corrente no canal constante isto é espacialmente independente.

Uma observação mais detalhada do ponto de abscissa x_1 na fronteira entre a região de depleção e o canal, onde os elétrons atingem a velocidade limite, mostra que este se deslocou em direção à fonte, à medida que se aumentou a tensão V_{DF} aplicada. Compare-se com a posição do ponto de velocidade saturada na figura 1.4a.

O deslocamento do ponto, onde a velocidade dos elétrons começa a saturar em direção à fonte, implica num decréscimo da tensão x_1 . Isto ocorre porque o campo elétrico médio na região entre x_0 e x_1 permanece praticamente inalterado, enquanto a distância $x_0 - x_1$ está diminuindo. Tensão menor em x_1 significa que a região de depleção está menor, ou seja, o canal se alargou nesta posição, conseqüentemente, mais corrente é injetada na região II de velocidade saturada.

Este fenômeno é responsável pela característica de saturação de corrente, com uma declividade positiva, como se observa na característica $I_{DF} \times V_{DF}$ da figura 1.5 indicando uma resistência finita entre dreno e fonte [23,26].

Detalhando-se o que ocorre na região II: como se mencionou anteriormente, na região de velocidade saturada, para que seja mantida a corrente constante, (independente da posição no canal), as variações na espessura do canal devem ser compensadas por variações na concentração de portadores. Assim, deverá existir região de carga espacial negativa para $a(x) < a(x_1)$ e região de carga espacial positiva para $a(x) > a(x_1)$ na região II. Isto

implica que no ponto de abcissa x_4 , $a(x_4)$, que é igual a $a(x_1)$, deverá ocorrer o ponto de transição de região de carga espacial negativa para positiva (figura 1.5c).

O campo elétrico na região entre x_1 e x_2 aumenta como mostra a figura 1.5b. Este aumento se deve ao estreitamento do canal que comprime as linhas de campo e às novas linhas de campo fornecidas pela região de carga espacial negativa.

O campo elétrico entre x_2 e x_3 continua crescendo devido a inclusão das cargas espaciais negativas. Essa contribuição ao campo é maior que a diminuição do mesmo devido ao alargamento do canal nesta região.

A partir de x_3 e até x_4 o campo diminui pois nessa região, apesar das cargas negativas adicionarem linhas de campo, o alargamento do canal é pronunciado fazendo com que o campo elétrico diminua.

O campo elétrico após x_4 permanece maior que ϵ_c , devido à região de cargas negativas, e a velocidade dos elétrões permanecer ainda saturada até o ponto x_5 .

O alargamento acentuado do canal e a região de carga espacial positiva para $x > x_4$ contribuem para o decrêscimo do campo que atinge o valor ϵ_c para $x = x_5$ (figura 1.5b).

1.2.5 COMPORTAMENTO COM POLARIZAÇÃO NEGATIVA DE PORTA

Ao se polarizar reversamente a porta com relação à fonte, $V_{PF} < 0$, a junção da porta com o canal fica também reversamente polarizada.

A região de depleção se alarga como pode ser observado comparando-se a figura 1.5a e figura 1.6a.

Para valores pequenos de V_{DF} o canal se comporta como um resistor linear mas, com resistência maior, se comparada com $V_{PF} = 0$ (figura 1.6c). À medida que se aumenta V_{DF} alcança-se o campo crítico para menor valor de corrente de saturação, comparando-se com o caso para $V_{PF} = 0$. Isto ocorre porque, para o mesmo V_{DF} , havendo o alargamento da região de depleção, devido à polarização negativa de porta, a corrente é menor, e o estrangulamento do canal é acentuado. Com a concentração das linhas de campo, este

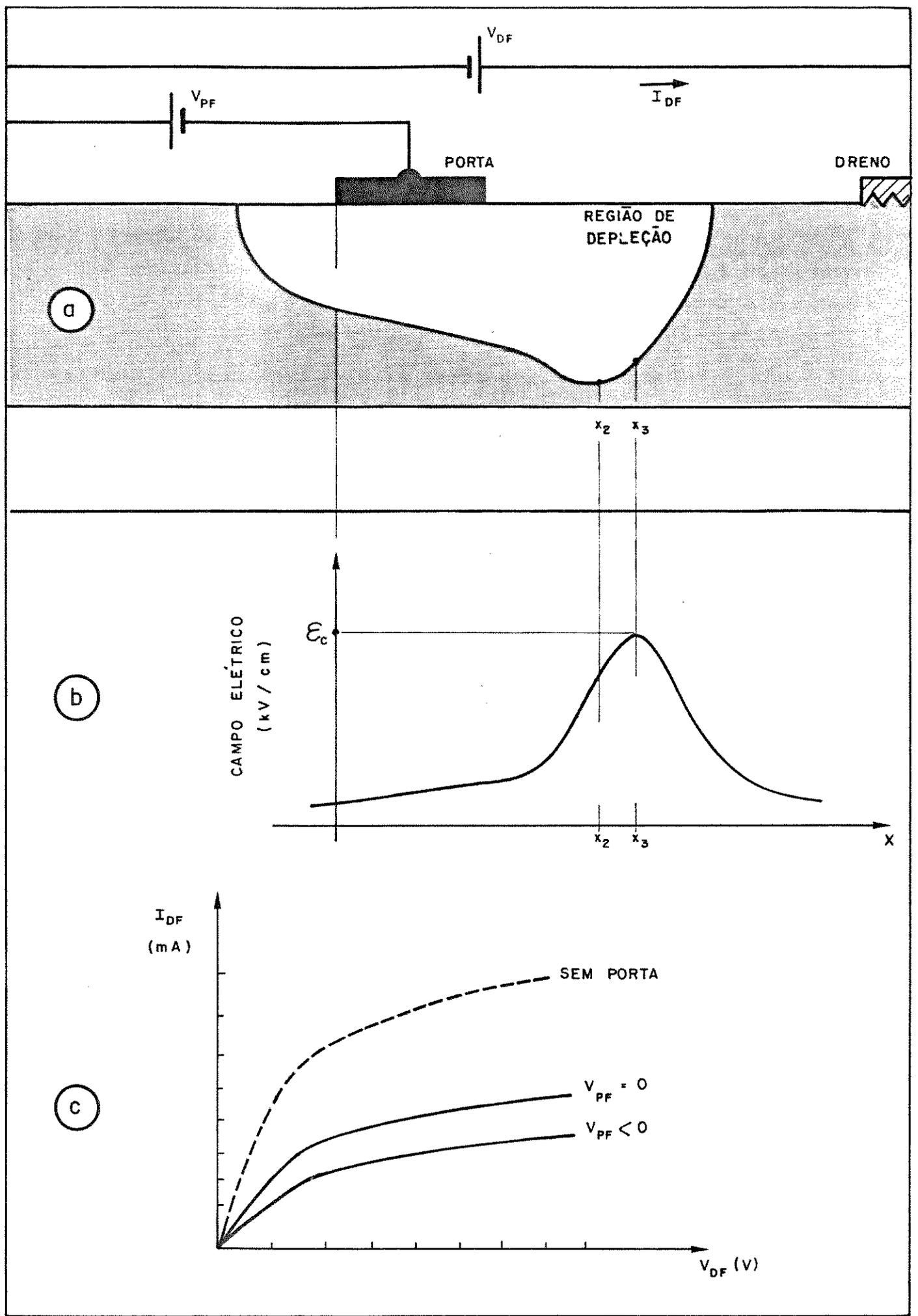


Figura 1.6 - a. Estrutura do MESFET com $V_{PF} < 0$ $V_{DF} > 0$.
b. Campo elétrico no canal.
c. Característica $I_{DF} \times V_{DF}$.

será maior, atingindo-se assim, para esta corrente menor, o campo crítico e a conseqüente saturação de velocidade.

1.3 MESFETS DE GaAs

Nas seções anteriores apresentou-se a operação do MESFET a partir de um semiconductor que tem uma característica de velocidade de deriva versus campo elétrico como mostra a figura 1.2c e 1.3d. Esta situação aplica-se ao Si, por exemplo.

Entretanto, os semicondutores, principalmente os compostos do grupo III-V, tais como o GaAs e InP, possuem características de condução superiores ao do Si e, conseqüentemente, os dispositivos construídos a partir deles têm uma performance superior em freqüência.

A mobilidade e a velocidade de deriva dos portadores, em dispositivos semicondutores, definem os limites de operação.

Nos transistores de efeito de campo com canais curtos, $L \approx 1 \mu\text{m}$, a freqüência de corte intrínseca é proporcional à velocidade de deriva dos elétrons.

Em geral [24], [27]:

$$f_T \approx \frac{1}{2\pi} \cdot \frac{g_{mo}}{C_{pf}} \propto \frac{1}{\tau} \propto v \quad (1.4)$$

onde:

f_T - é a freqüência de transição, onde o ganho de corrente é unitário.

g_{mo} - transcondutância instrínseca para baixas freqüências.

C_{pf} - capacitância entre porta e fonte.

τ - tempo de trânsito dos portadores sob a porta.

v - velocidade média dos elétrons sob a porta.

A relação 1.4 é objeto de análise detalhada, a partir do modelo incremental do transistor MESFET, abordado no capítulo III.

De fato, o semiconductor mais adequado para a construção de dispositivos MESFETs, visando um desempenho superior em ve

locidade de operação, deve ter:

- Alta mobilidade dos portadores majoritários, o que implica numa transcondutância intrínseca, g_{mo} alta e, conseqüentemente, f_T maior (eq. 1.4). A mobilidade alta, por sua vez, está associada à massa efetiva pequena e, esta última, resulta da acentuada curvatura no limite da banda de energia.
- Portadores majoritários com velocidade de deriva alta. A velocidade máxima ou de pico será maior quanto maior for a separação em energia das bandas de valência e condução, ou seja, o "gap" de energia do semicondutor.
- Campo elétrico de ruptura por avalanche alta, o que facilita a construção de dispositivos com camada ativa de espessura menor para alta dopagem aumentando-se desta forma a transcondutância. Esta propriedade exige semicondutor com largura de banda proibida "gap" grande. Entretanto, semicondutor com largura de banda proibida maior implica numa massa efetiva maior, o que é conflitante com a condição de velocidade, anteriormente citada.

Dentre os materiais semicondutores com propriedades elétricas e mesmo ópticas e mecânicas mais adequadas para construção de dispositivos semicondutores e operação em alta frequência, destacam-se os compostos do grupo III-V principalmente GaAs (Arseneto de Gálio) e o InP (Fosfeto de Índio).

A tabela I resume as principais propriedades destes semicondutores e, para efeito de comparação, as propriedades do silício são listadas.

1.3.1 VELOCIDADE DE DERIVA DE ELÉTRONS

O GaAs possui uma característica marcante de condução, a velocidade de deriva dos elétrons. O InP apresenta também velocidade de deriva alta, mas exige campo elétrico de 2 a 3 vezes maior para a mesma velocidade de elétrons no GaAs. Isto o desclassifica de certa forma para confecção de dispositivos do tipo FET.

TABELA I : PROPRIEDADES PRINCIPAIS DO Si, InP e GaAs

	Si	InP	GaAs
MOBILIDADE DO ELETRON [cm ² . V ⁻¹ . s ⁻¹]	700	3.300	4500
VELOCIDADE MÁXIMA DE DERIVA [cm. s ⁻¹]	1x10 ⁷	2,5x10 ⁷	1,7x10 ⁷
CAMPO ELÉTRICO PARA VELOCIDADE MÁXIMA [V.cm ⁻¹]	20	12	4
CONDUTIVIDADE TÉRMICA [W.K ⁻¹ .cm ⁻¹]	1,45	0,68	0,44
BANDA PROIBIDA E _g [eV]	1,12	1,29	1,45
ESTRUTURA CRISTALINA	DIAMANTE	ZINCO BLENDA	ZINCO BLENDA

CONDIÇÕES : T = 300K , N_D = 10¹⁷ cm⁻³

A característica velocidade de deriva de elétrons versus campo elétrico é apresentada na figura 1.7 e, para efeito de comparação, aparecem as mesmas curvas para Si e InP.

Para o GaAs a velocidade de deriva de elétrons apresenta três regiões distintas. A primeira região, até aproximadamente 3kV/cm, é de mobilidade constante, $\mu_n \approx 6800 \text{ cm}^2 \text{ V}^{-1} \cdot \text{s}^{-1}$. À medida que o campo elétrico aumenta, os elétrons no mínimo da banda de condução, τ_6 , começam a se aquecer e a mobilidade (declividade) começa a decrescer, sendo característica típica de limitação da mobilidade por espalhamento da rede. Este fenômeno ocorre também para os outros semicondutores apresentados.

Entretanto, a partir desta segunda região ou após um valor de campo \mathcal{E}_p , onde V_{DF} é máxima, os elétrons transferem-se para outro valor, de menor mobilidade de condução, resultando num comportamento decrescente de mobilidade em função do campo

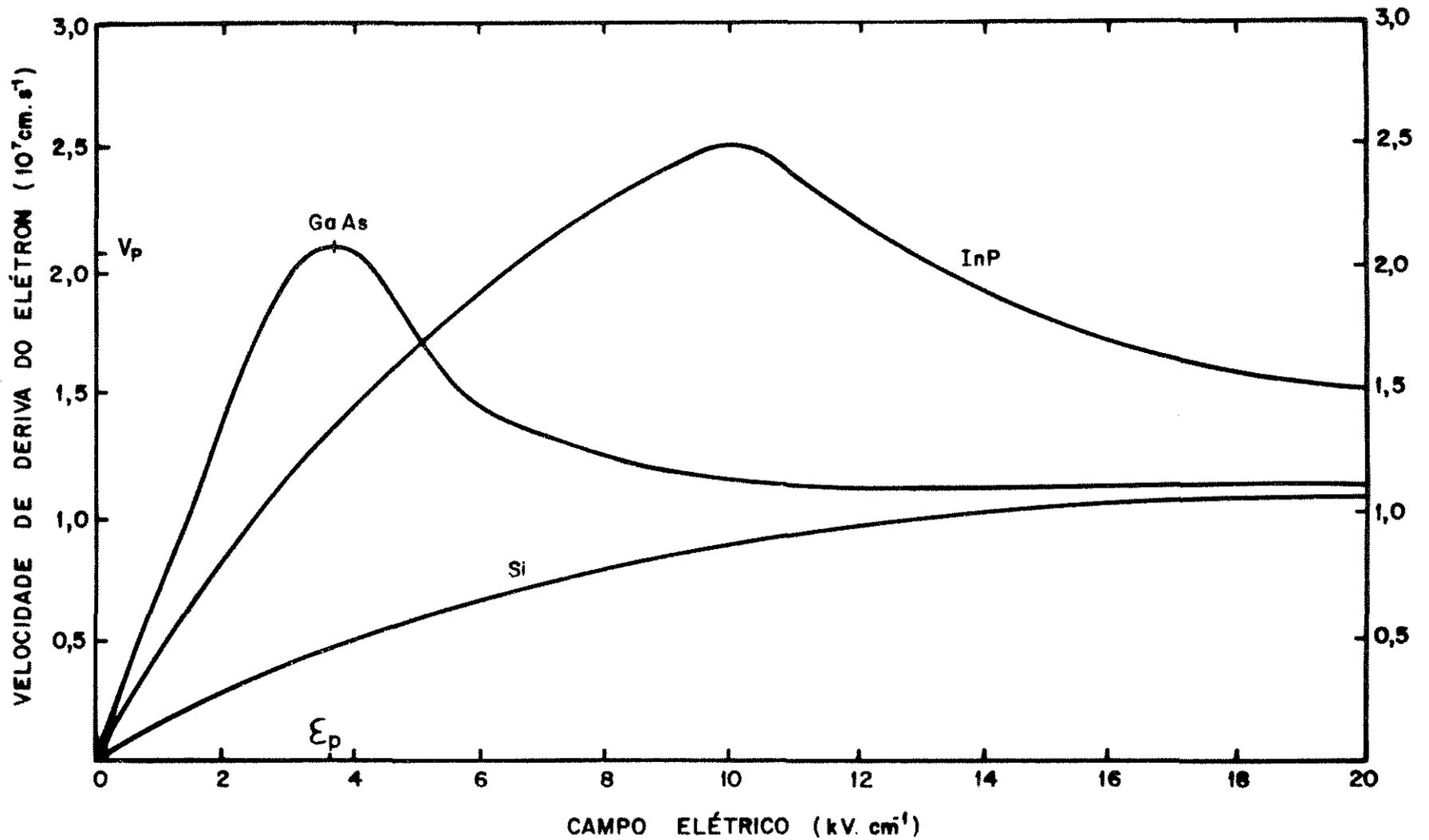


Fig. 1.7. VELOCIDADE DE DERIVA DE ELÉTRONS versus CAMPO ELÉTRICO. (VALORES MEDIDOS PARA Si [20], InP [30] e GaAs [28], [29]).

aplicado.

A velocidade máxima de deriva dos elétrons no InP é cerca de 30% maior que no GaAs, mas isto só ocorre com campo elétrico elevado, cerca de três vezes maior. Assim, essa característica máxima para o InP, torna-o desvantajosa na competição com o GaAs.

1.3.2 MESFETs DE GaAs: PRINCÍPIOS DE OPERAÇÃO

Considerando as propriedades de condução do GaAs é possível prever seu comportamento dinâmico, da mesma forma realizada na seção 1.2.

A descrição do comportamento dinâmico baseia-se em modelos [26], [31], simulações numéricas [32], [33], [34], resultados experimentais [35], [36] e modelamento funcional elaborado especificamente neste trabalho.

A análise é feita para transistores com canal e porta longos, ou seja $L > 6 \mu\text{m}$ e $L_g > 3 \mu\text{m}$, e para transistores com canal e porta curtos, $L < 3 \mu\text{m}$ e $L_g < 0,3 \mu\text{m}$ [32]. A distância L é formada entre os extremos da região de dreno e fonte e L_g é aproximadamente a dimensão longitudinal do metal da porta sobre o canal (ver figura 1.12).

A maioria dos dispositivos MESFETs está localizada entre os limites de L e L_g mencionados acima. A análise nos extremos é realizada no sentido de enfatizar importantes fenômenos nestes dispositivos. Supõe-se ainda que prevalece o equilíbrio da característica velocidade de deriva versus campo elétrico ou seja, a velocidade nunca ultrapassa o valor de v_p indicado na figura 1.7. Não há "overshoot" na velocidade, fenômeno analisado no capítulo 3.

1.3.2.1 MESFETs DE GaAs - CANAL E PORTA LONGOS

A análise do comportamento dinâmico de condução em GaAs com comprimento de porta $L_g > 3 \mu\text{m}$ e canal $L > 6 \mu\text{m}$ é feita para um regime de forte saturação. Além de ser a região onde se trabalha com os MESFETs de GaAs é nesta situação que aparecem as

diferenças entre os MESFETs de GaAs e os de Si.

A figura 1.8 retrata estes fenômenos.

Região para $x < x_1$:

O campo elétrico entre x_0 e x_1 passa por ϵ_p , onde a velocidade máxima de deriva v_p ocorre. Neste intervalo a velocidade de deriva dos elétrons já passou por um pico v_p , decresceu e, em x_1 , inicia a saturação em um valor abaixo de v_p . A corrente de dreno no canal é uma só e, para manter esta continuidade, a concentração de portadores, a partir daí, deve se alterar, já que a seção de condução do canal $a(x)$ em função da ampliação da região de depleção, dada a proximidade com potenciais mais altos em direção ao dreno, está se estreitando. Ainda mais, os elétrons estão se movendo com velocidade menor. A conclusão de que a concentração de portadores deve se alterar é melhor compreendida ao se examinar a eq. 1.3.

Região $x_1 < x < x_2$

Assim, a corrente dreno fonte I_{DF} , se mantém se houver uma acumulação de portadores majoritários, chegando ao máximo de carga espacial (figura 1.8c), quando a seção do canal também chegar ao ponto mais estreito, em $x = x_2$. Ainda neste intervalo, a velocidade permanece saturada. Observar então a forte acumulação de elétrons em $x = x_2$.

Região $x_2 < x < x_4$

A partir do máximo estreitamento do canal, o campo elétrico continua a aumentar até atingir o máximo em $x = x_3$. A carga espacial no canal começa a decrescer até chegar a zero em $x = x_4$ pois a seção do canal de condução é a mesma de x_1 , ou seja, $a(x_1) = a(x_4)$.

Região $x > x_4$:

Neste intervalo o campo continua a decrescer, passa por ϵ_c em $x = x_5$ e, a partir daí, a velocidade de deriva começa a aumentar até atingir novamente o pico v_p .

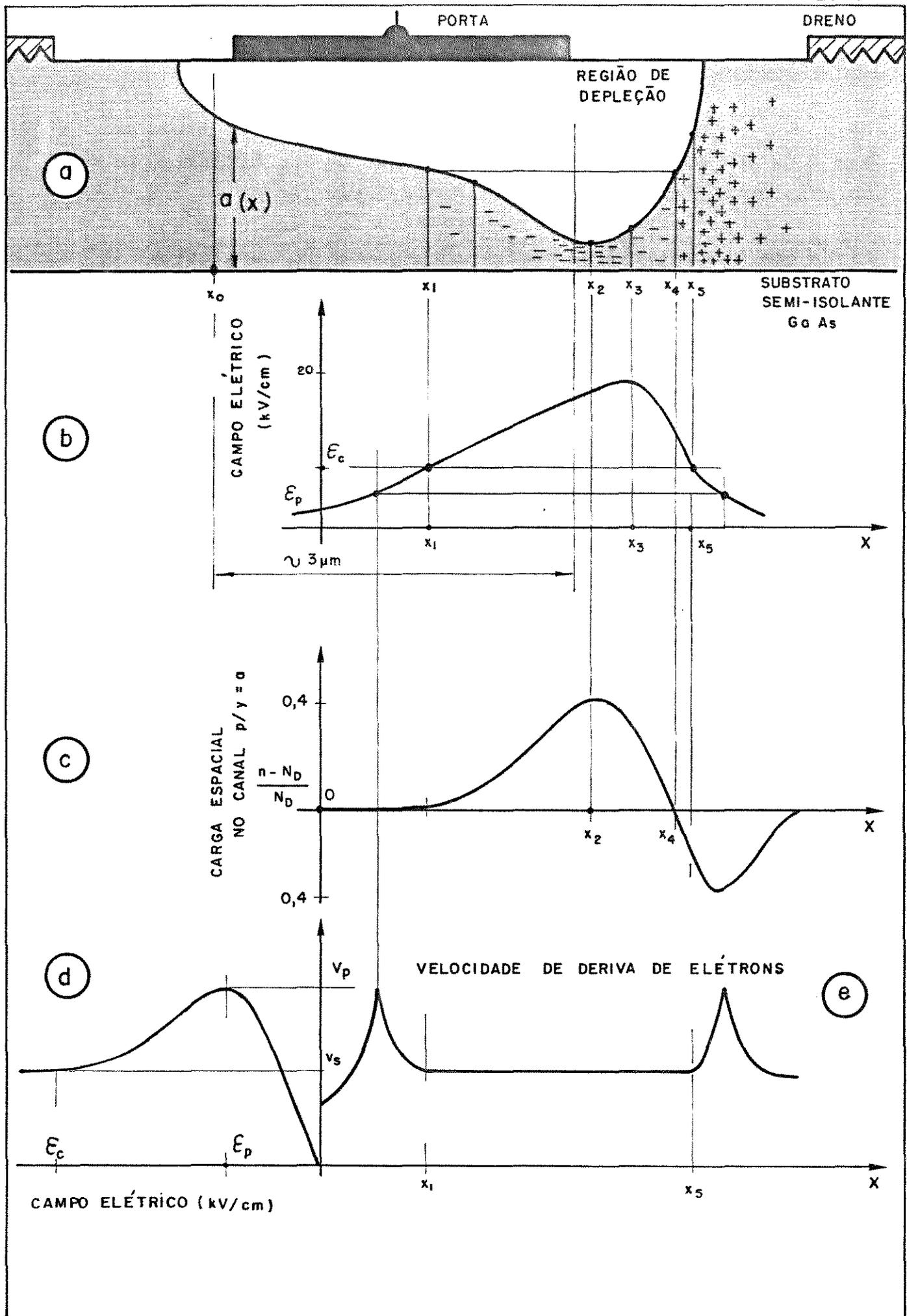


Figura 1.8 - a. Estrutura do MESFET de GaAs canal e porta longos $V_{DF} > V_{DFSAT}$.

[26] [32].

b. Campo elétrico no canal.

c. Carga espacial no canal.

d. Velocidade de deriva dos elétrons versus campo elétrico para GaAs.

e. Velocidade de deriva dos elétrons no canal.

Como a seção do canal se alarga e os elétrons se movem cada vez mais rápido, a continuidade de I_{DF} é mantida através de uma forte "extinção" de elétrons. Esta região fortemente depletada de majoritários é simbolizada pelo acúmulo de cargas positivas que neutraliza, em parte, a concentração de elétrons no canal, que é indicada por pequenos pontos. De fato, esta região de forte extinção não é totalmente sem elétrons, como é a região em branco sob a porta denominada região de depleção (figura 1.8a).

As cargas nas regiões de "forte acumulação de elétrons" e "forte extinção de elétrons" são praticamente iguais e formam a "camada de dipolos estacionária".

É este domínio de cargas estacionário que suporta a maior parte da tensão de dreno.

A avaliação de cargas mostrada na figura 1.8c corresponde à situação próxima ao limite inferior do canal de condução, ou seja, na interface região ativa-substrato [32].

Observa-se na figura 1.8e que os portadores movem-se com alta velocidade em duas regiões: uma à esquerda do ponto de máximo estrangulamento, ou seja, do lado da fonte e outra depois do ponto de máximo estrangulamento, ou seja, lado do dreno. Existe uma região intermediária de mais baixa velocidade.

Assim, elétrons rápidos e lentos agrupam-se e, deste agrupamento, resulta campo elétrico e acúmulo de cargas, tipicamente caracterizado como efeito Gunn [37].

As regiões de acumulação e extinção de cargas formam os domínios Gunn [24], [25].

Diferentemente dos MESFETs de Si, onde a saturação da corrente de dreno decorre diretamente da saturação da velocidade de deriva (ver seção 1.2.3 e 1.2.4), os MESFETs de GaAs apresentam saturação de corrente de deriva, principalmente, devida à declividade negativa da característica velocidade versus campo elétrico.

A característica I_{DF} versus V_{DF} para os transistores MESFETs de GaAs de canal e porta longos é apresentada na figura 1.9.

Nestes MESFETs ocorre o efeito Gunn. Entretanto, não surge, na característica $I_{DF} \times V_{DF}$, a região de resistência negativa. Isto ocorre porque: num valor de campo imediatamente anterior ao

ponto 1, mostrado na figura 1.9, o acúmulo de cargas e o espalhamento do campo, originados a partir do efeito Gunn, já é notado. Com o aumento do campo para o ponto 1 a mobilidade é, na região de declividade negativa, dependente do campo e decrescente. Esta situação seria suficiente para a corrente atingir seu valor de saturação ou até mesmo diminuir de valor.

Mas o que ocorre é ainda um ligeiro aumento da corrente pois o efeito Gunn, principalmente pelo grande acúmulo de cargas, predomina.

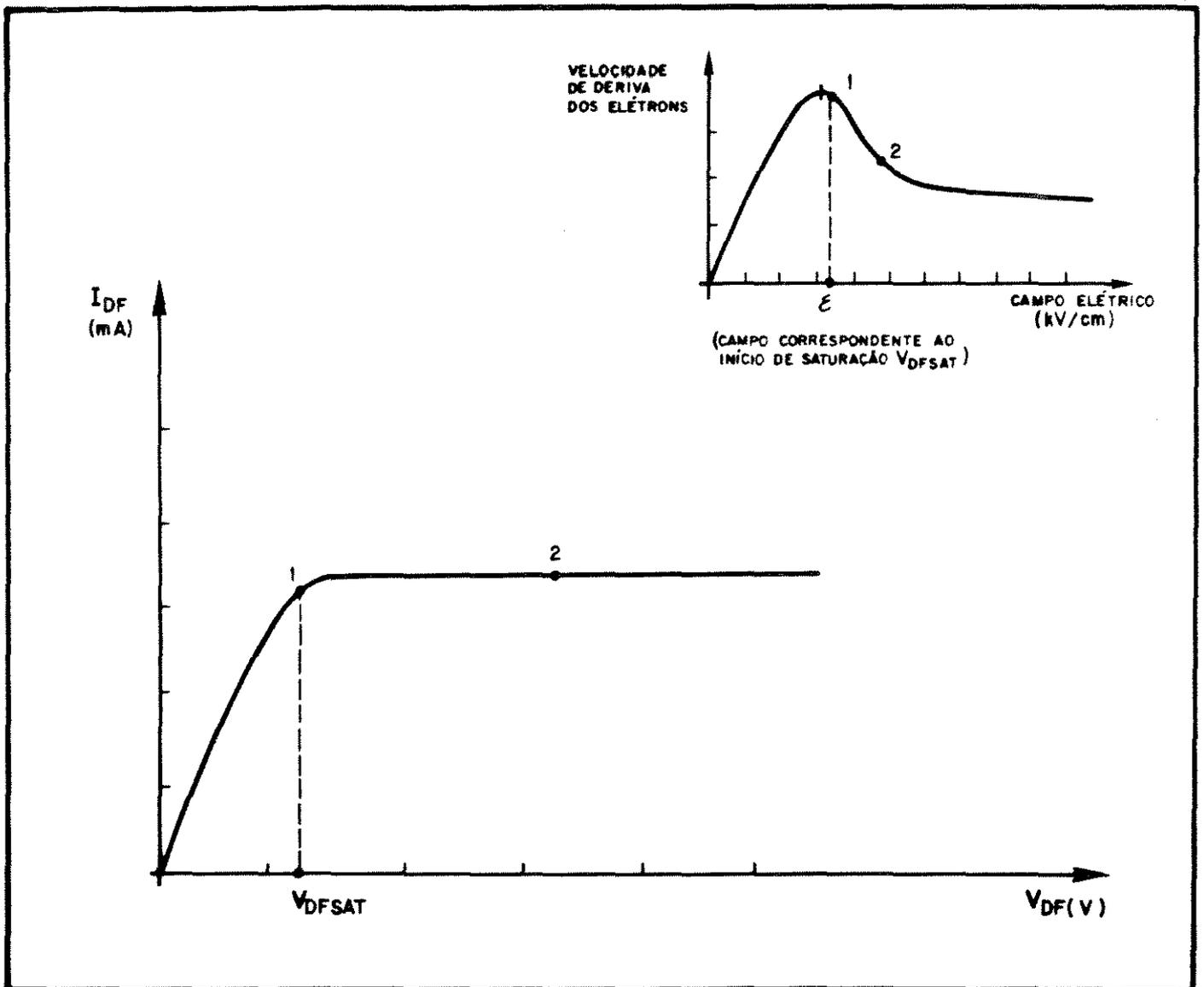


Figura 1.9 - Característica I_{DF} x V_{DF} para MESFETs de canal e porta longos.

A partir daí o aumento do campo faz com que a mobilidade decresça muito e, esta baixa mobilidade é predominante, resultando na saturação de corrente, situação que se mantém e está registrada na figura 1.9 no ponto 2.

1.3.2.2 MESFETs DE GaAs - CANAL E PORTA CURTOS

A figura 1.10 apresenta a saturação no canal de condução de um MESFET de GaAs com $L_g \approx 0,3 \mu\text{m}$ e $L = 3 \mu\text{m}$.

Como nos dispositivos de canal e porta longos os de canal e porta curtos apresentam também o efeito Gunn. Observa-se, figura 1.10e, que os portadores movem-se com velocidade alta nas extremidades do canal. Isto resulta no agrupamento ou acúmulo de cargas, dando origem aos domínios Gunn.

As características de condução no canal são semelhantes às descritas na seção anterior para MESFETs de canal e porta longos. Os mecanismos para preservar a continuidade da corrente I_{DF} no canal são os mesmos. Entretanto, dadas as dimensões do canal e da porta, a carga espacial no canal, o campo elétrico, e a velocidade de deriva apresentam o comportamento mostrado na figura 1.10.

O aspecto diferenciado nos MESFETs de canal e porta curtos é o surgimento de uma região de resistência negativa na característica $I_{DF} \times V_{DF}$.

A figura 1.11 apresenta a característica $I_{DF} \times V_{DF}$ para MESFETs de canal e porta curtos. A região de resistência negativa decorre da seguinte situação [26], [32]: para o valor de tensão mostrada no ponto 1 da figura 1.11 a mobilidade já caiu muito comparada com o valor de mobilidade para campos elétricos de menor intensidade. A corrente deveria saturar. Entretanto, a quantidade de carga presente, obtida a partir de simulações [32], é a mesma para tensões menores que a correspondente ao ponto 1. O campo elétrico está menos espalhado no canal, figura 1.10b (comparar com figura 1.8b) e o aumento do campo a partir do ponto 1 não produz um aumento correspondente de carga, resultando numa diminuição da corrente.

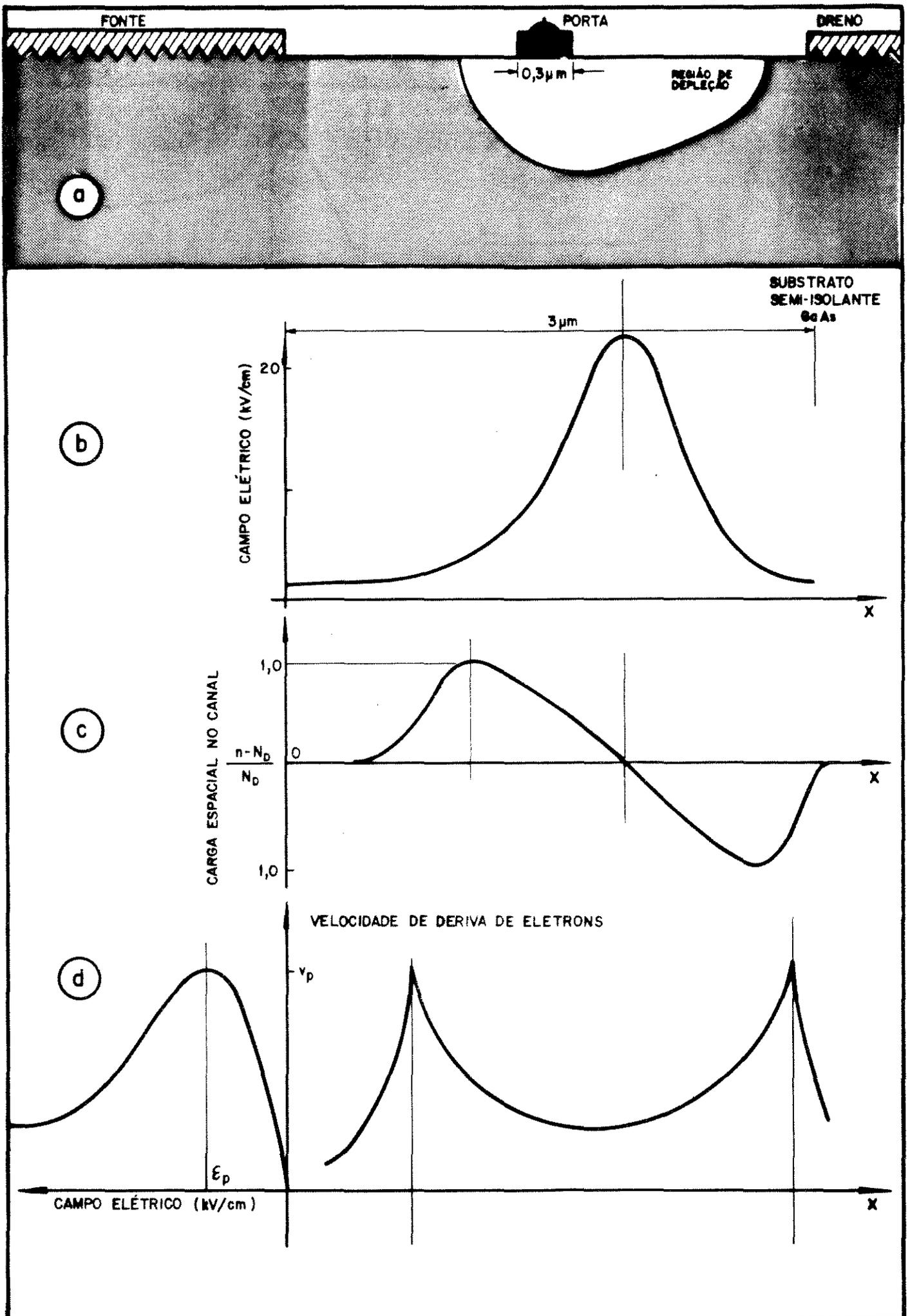


Figura 1.10 - a. Estrutura do MESFET de GaAs de canal e porta curtos com $V_{DF} > V_{DF\text{SAT}}$ |32|. b. Campo elétrico no canal.

c. Carga espacial no canal.

d. Velocidade de deriva de elétrons versus campo elétrico para GaAs.

e. Velocidade de deriva de elétrons no canal.

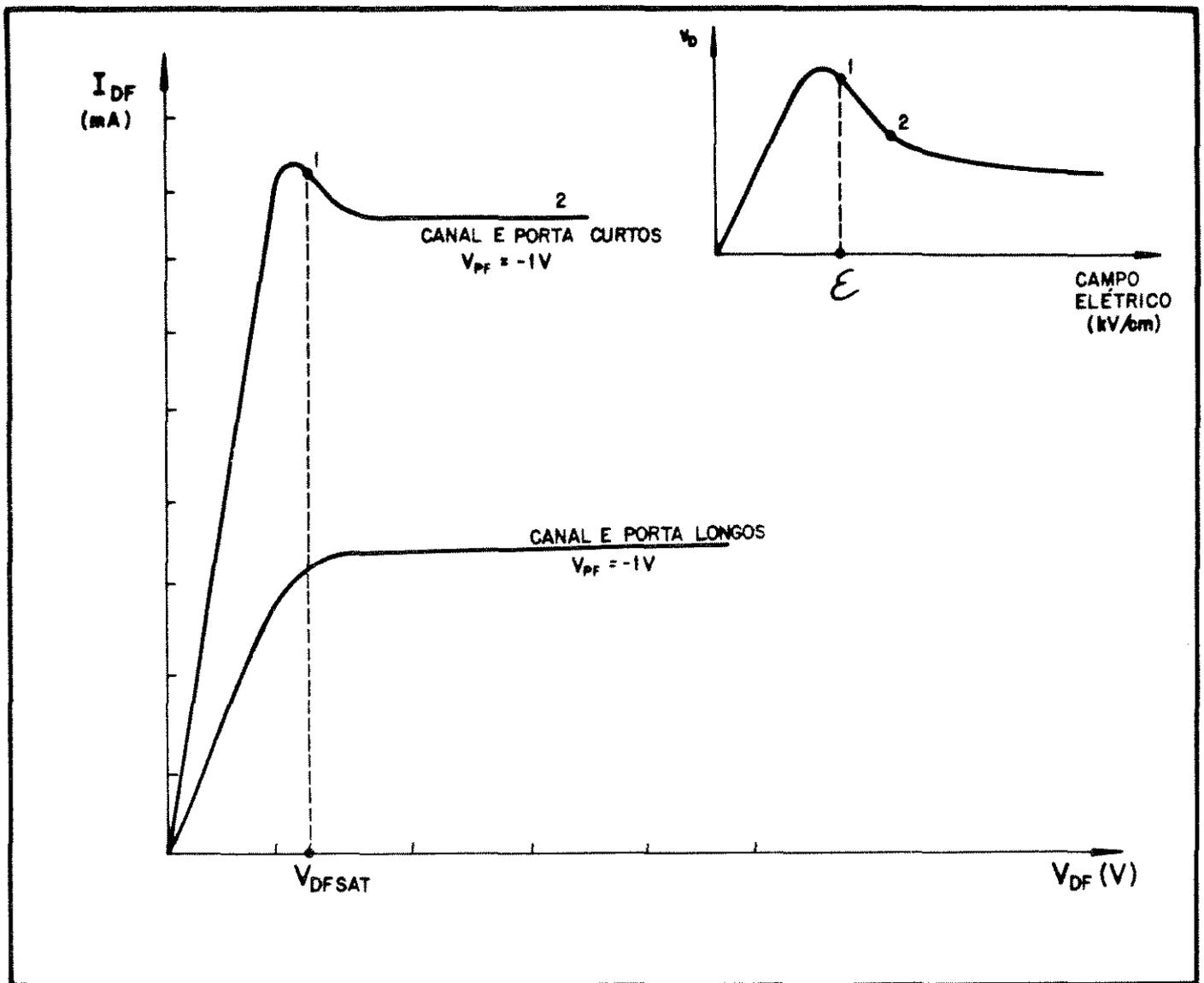


Figura 1.11 - Característica $I_{DF} \times V_{DF}$ para MESFETs de canal e porta curtos (canal e porta longos para comparação).

A partir desta situação, como ocorre também nos MESFETs de canal e porta longos, o aumento de campo acarreta uma diminuição acentuada da mobilidade e a corrente satura, ponto 2.

1.3.3 CARACTERÍSTICAS DO MESFET DE GaAs

Os MESFETs de GaAs apresentam uma grande variedade de formas e aplicações, desde transistores de baixo-ruído e alto ganho, para aplicações analógicas e microondas [38], [39], [40], passando por MESFETs para circuitos integrados de alta velocidade [18], [41]-[46] até MESFETs de potência [12], [47].

Este trabalho concentra atenção na tecnologia de fabricação e desenvolvimento de MESFETs de GaAs com comprimento de porta da ordem de micron ou sub-micron, tanto para aplicações analógicas, como para aplicações digitais em circuitos integrados de GaAs.

Nesta seção as principais características elétricas e estruturais serão abordadas visando definir parâmetros e grandezas típicas para o dispositivo.

Tendo em vista a baixa mobilidade das lacunas no GaAs, cerca de 20 vezes menor que a dos elétrons, os MESFETs de GaAs são exclusivamente do tipo N, são dispositivos unipolares, ou seja, só os portadores majoritários elétrons participam do mecanismo de condução. A grande maioria dos MESFETs de GaAs são do tipo de pleção, ou também chamados normalmente conduzindo ("normally-on").

1.3.3.1 ESTRUTURA FÍSICA

A estrutura de um MESFET de GaAs típico é mostrada na figura 1.12. Do ponto de vista estrutural, a alta resistividade do GaAs dopado com Cromo, Cr, ou Oxigênio, O, cerca de $10^7 \Omega \cdot \text{cm}$, é a responsável pela isolamento adequada entre dispositivos, sejam eles discretos ou integrados. Compare-se por exemplo com a resistividade intrínseca do Si que é da ordem de $10^5 \Omega \cdot \text{cm}$, mas praticamente só é disponível da ordem de 10^3 - $10^4 \Omega \cdot \text{cm}$.

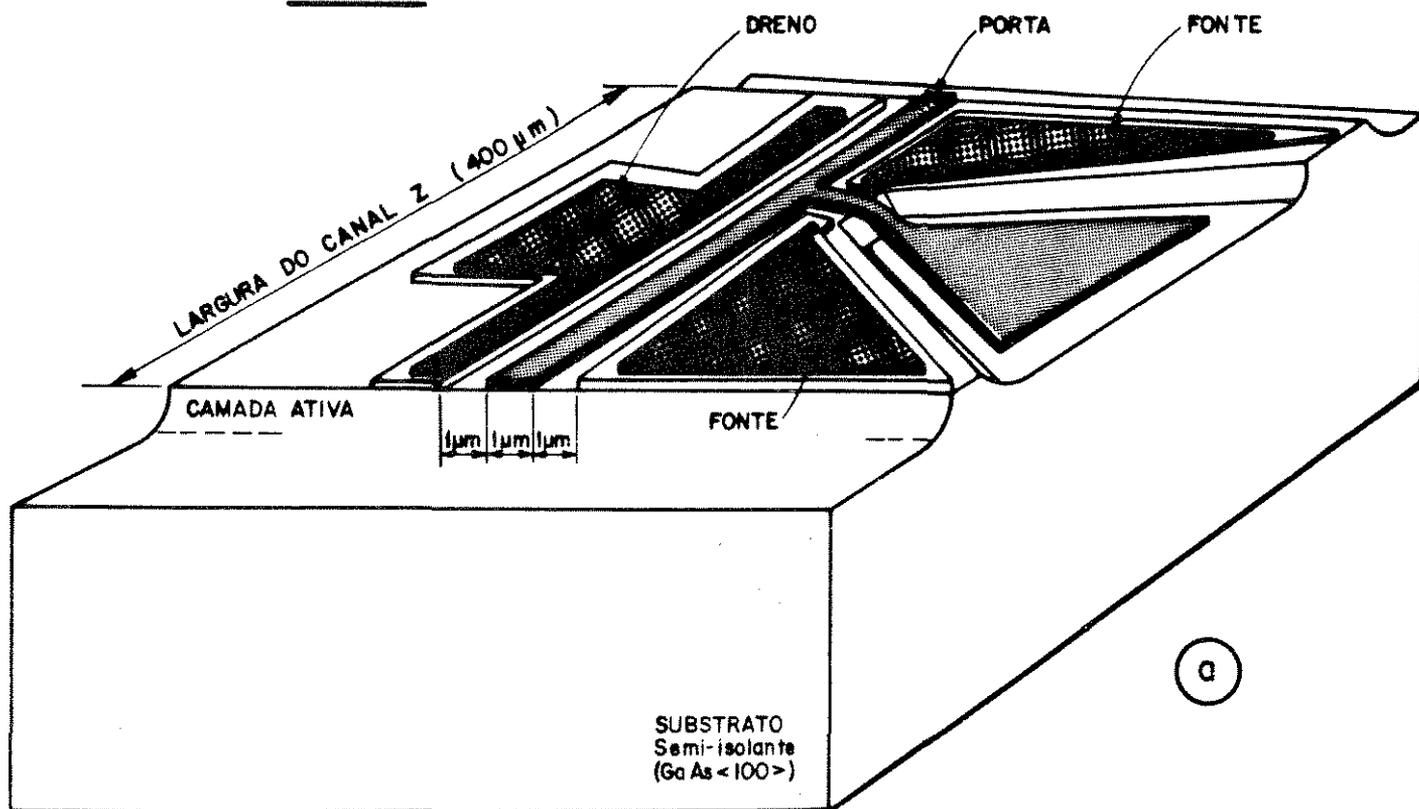
Sobre este substrato semi-isolante (S.I.) forma-se a camada ativa do dispositivo cuja dopagem do tipo N de Sn é tipicamente da ordem de 10^{17} cm^{-3} .

Para atenuar os efeitos da interface entre o substrato S.I. de alta resistividade e a camada ativa, uma camada intermediária denominada "buffer", de dopagem típica 10^{14} cm^{-3} e alguns microns de espessura, é formada. É possível formar uma camada acima da camada ativa muito dopada tipo N^+ para diminuir a resistência de contato de dreno e fonte. Os diferentes processos de formação da camada ativa estão descritos no cap. 2.

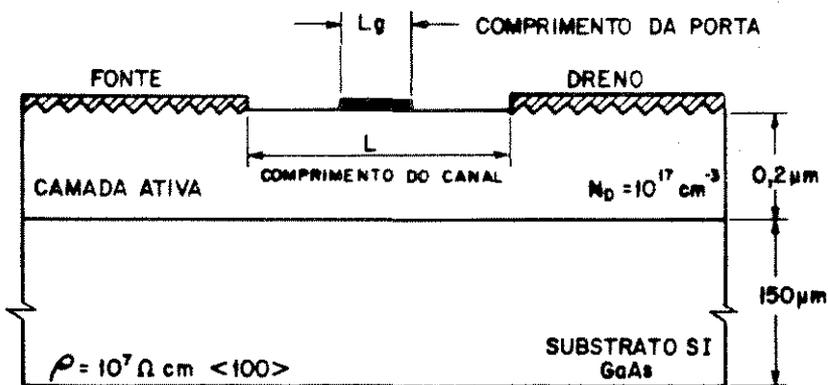
Os eletrodos de dreno e fonte formam contatos ôhmicos com a camada ativa e são metalizações de Au-Ge-Ni com camada posterior de Au para formação dos "pads" (terminal).

A porta é o principal eletrodo do dispositivo e defi

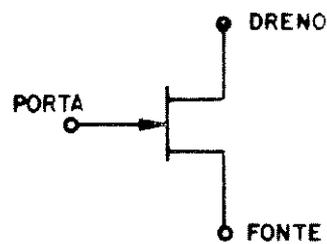
MESFET



-  METALIZAÇÃO DOS PADS (Au) (Ti/Pt/Au)
-  METAL DA PORTA (Al)
-  METALIZAÇÃO CONTATO ÔHMICO DRENO E FONTE



(b)



**MESFET
MODO DEPLEÇÃO
CANAL N**

(c)

Figura 1.12 - a. Estrutura física de MESFET de GaAs típico.
 b. Dimensões e parâmetros de construção típicos.
 c. Símbolo elétrico e modo de operação.

ne os limites de operação do MESFET em alta frequência. O metal da porta deve formar junção Schottky com o semicondutor e ser compatível com a tecnologia de fabricação. O metal universalmente utilizado é o alumínio.

Os MESFETs de GaAs e dispositivos derivados têm comprimento de porta da ordem de micron até aproximadamente $0,2 \mu\text{m}$, podendo entretanto, através de técnicas especiais, chegar a $0,09 \mu\text{m}$ ou 900 \AA [48].

O terminal da porta (pad) é alocado sobre o substrato S.I., portanto fora da região ativa (figura 1.12a). Isso faz com que a capacitância de entrada do dispositivo seja bastante reduzida, restringindo-se apenas à área do metal da porta sobre a região ativa.

A dimensão física fundamental nos MESFETs é o comprimento metalúrgico da porta designado por L_g é indicado na figura 1.12b. O comprimento do canal é designado por L . Apesar da designação comprimento, estas são as menores dimensões do dispositivo.

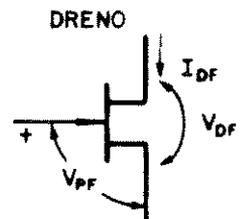
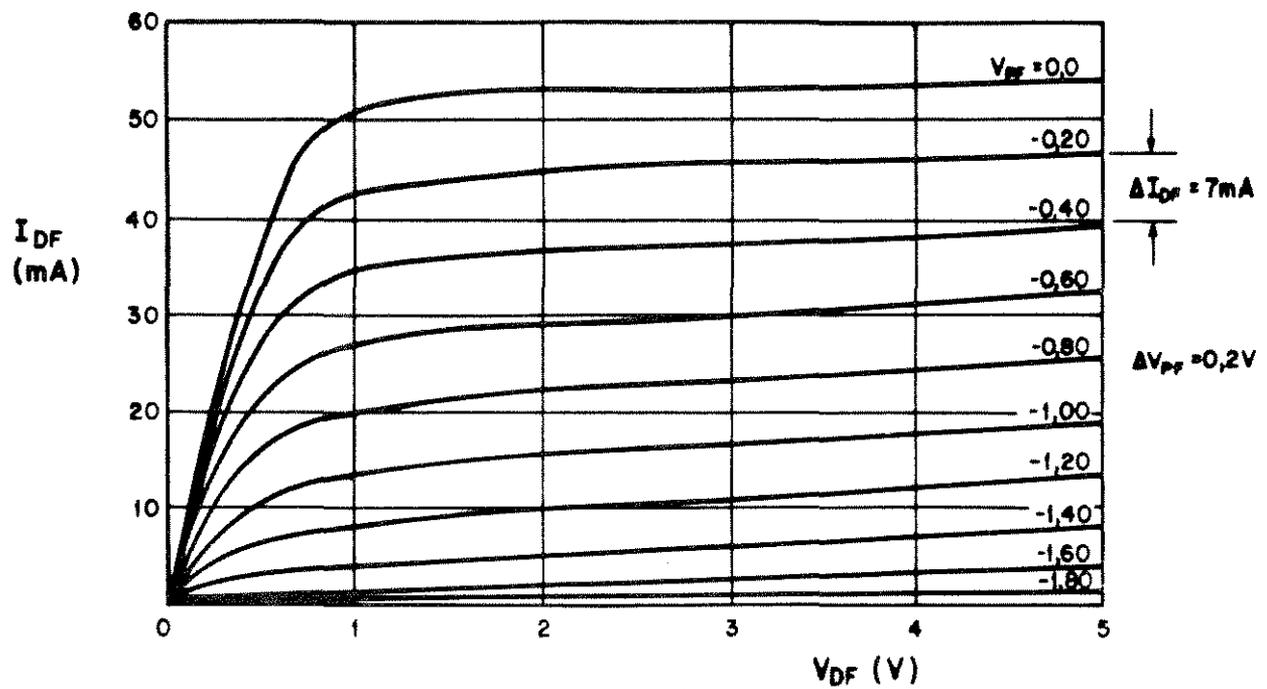
A largura do canal é a maior dimensão do dispositivo e representa a profundidade do MESFET. Os valores de corrente no canal e a transcondutância são normalizados por esta largura. A largura do canal Z é mostrada na figura 1.12a.

Em aplicações de CAG, misturadores ou multiplicadores de frequência utiliza-se o MESFET de GaAs com dupla porta. Este dispositivo possui duas portas que correm em paralelo no mesmo canal [49] e, ajustando-se as polarizações destas portas convenientemente, é possível ajustar o nível de controle de ganho ou de conversão [50].

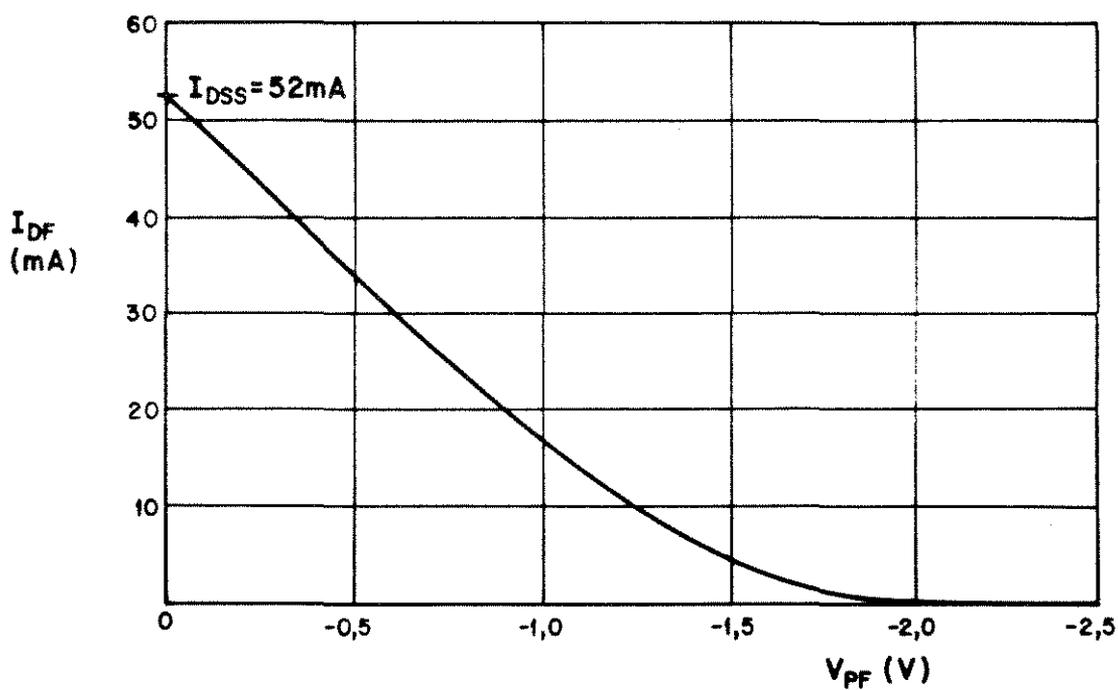
1.3.3.2 CARACTERÍSTICAS ELÉTRICAS - MODELOS

A característica $I_{DF} \times V_{DF}$ típica de MESFET de GaAs é apresentada na figura 1.13a. O transistor RLX 835 fabricado pela Raytheon, de baixo ruído, tem as seguintes dimensões: comprimento de canal $3 \mu\text{m}$, comprimento da porta $1 \mu\text{m}$, largura do canal $500 \mu\text{m}$ e é composto de três camadas, além do substrato: camada "buffer", camada ativa e camada N^+ .

a



b



RLX 835 RAYTHEON

Figura 1.13 - Característica Estática C.C. de MESFET de GaAs.

a. Característica de saída $I_{DF} \times V_{DF}$.b. Característica de transferência $I_{DF} \times V_{PF}$.

A partir da característica estática C.C. deste dispositivo, apresentada na figura 1.13a, é possível obter algumas grandezas que identificam o dispositivo. A transcondutância g_{mo} da da por:

$$g_{mo} = \left. \frac{\Delta I_{DF}}{\Delta V_{pF}} \right|_{V_{DF} = \text{constante}} \quad (1.5)$$

é aproximadamente 35,0 mS.

A tensão de estrangulamento, ou "pinch-off", V_p , que é a tensão de porta-fonte, para a qual praticamente não há corrente de dreno, é, para o dispositivo apresentado na figura 1.13, $V_p = 3,0V$.

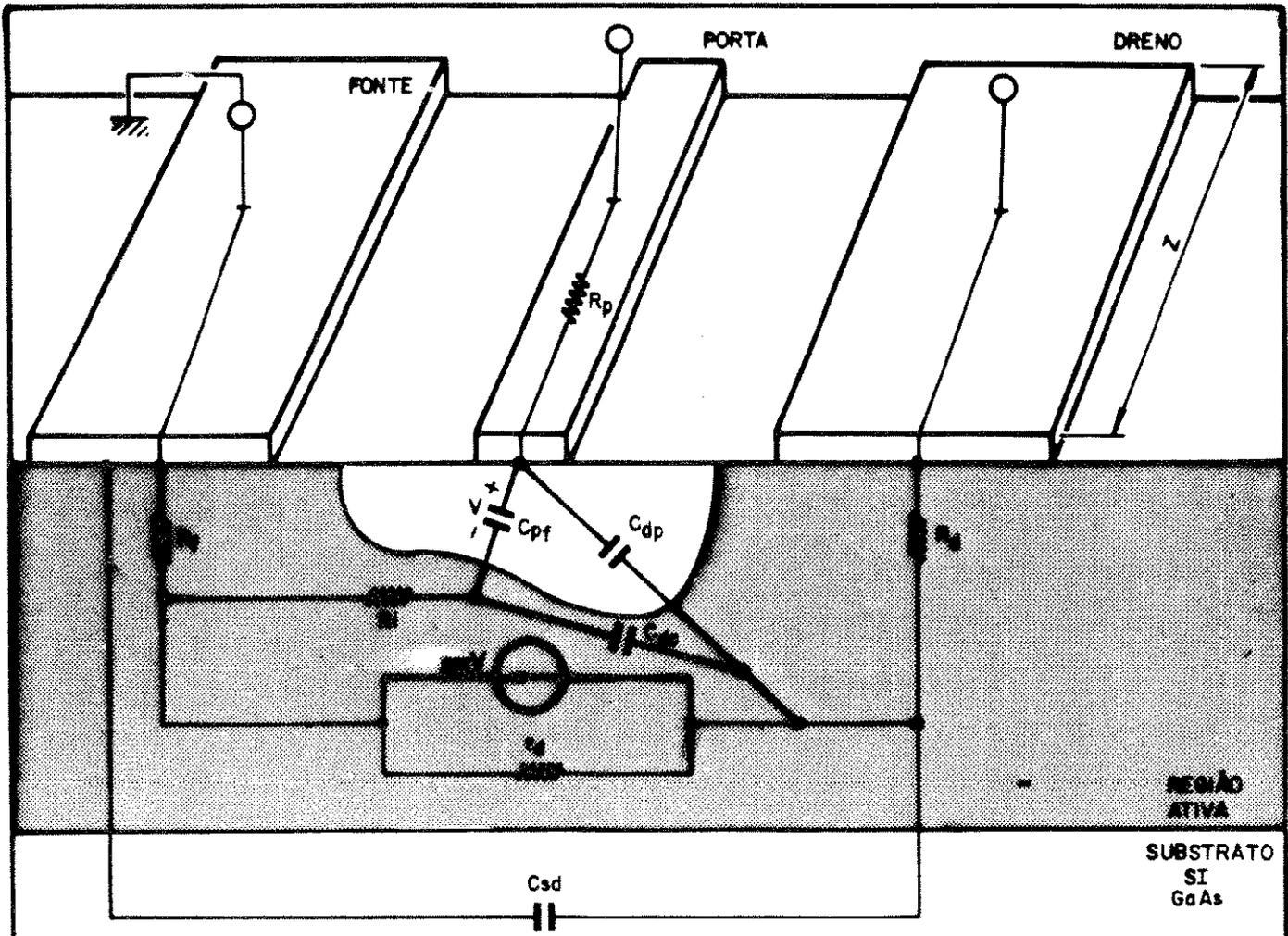
O valor de I_{DSS} , que é a máxima corrente no canal, não deve ser ultrapassada pois, a partir daí, a junção Schottky da porta é diretamente polarizada e poderá haver rompimento da junção. Para o MESFET apresentado $I_{DSS} = 52,0$ mA.

As três grandezas apresentadas, ou seja, g_m , V_p e I_{DSS} dependem fundamentalmente da estrutura física do dispositivo e do dopagem do semiconductor. Apresentam para o mesmo lote de dispositivos uma dispersão acentuada de valores. Para V_p , os valores mínimos, típico e máximo são respectivamente: -1,0 V, -3,0 V e -5,0 V, para I_{DSS} : 20 mA, 40 mA e 60 mA. Para g_m o valor mínimo é 20 mS e o típico 35 mS.

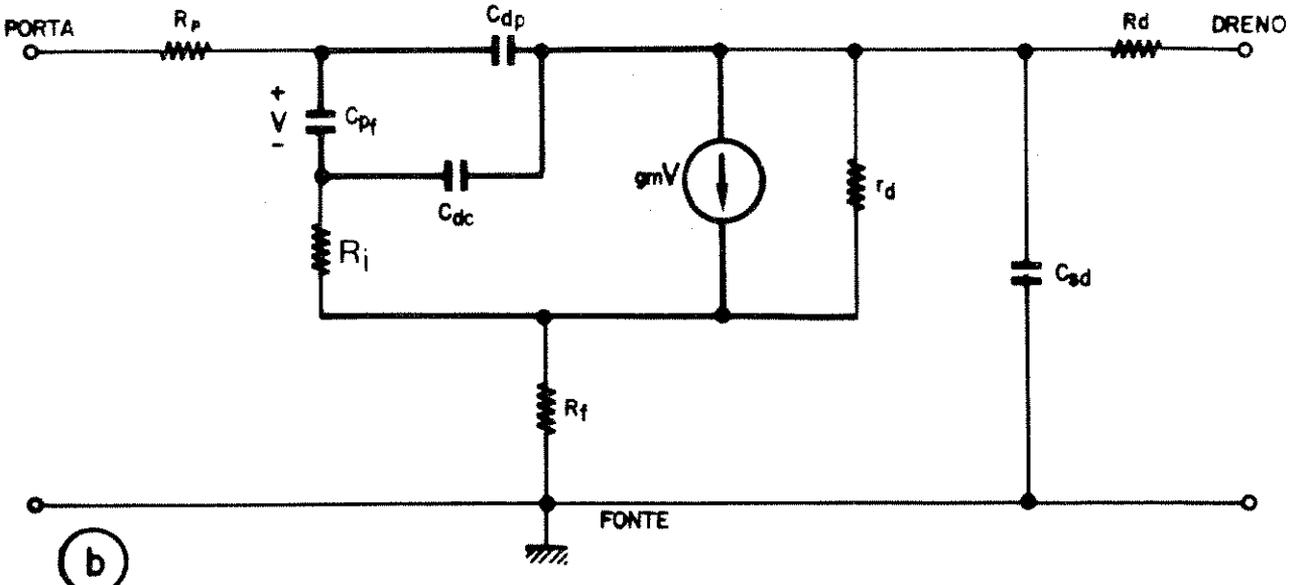
Esta dispersão de valores para um mesmo lote de dispositivos deve-se às dificuldades tecnológicas de controle da espessura e dopagem da camada ativa.

Na figura 1.13a observa-se que, na região de saturação, há uma declividade da característica, o que representa uma resistência de saída finita e que não é prevista pelo modelo proposto nas seções 1.3.2.1 e 1.3.2.2 (figuras 1.9 e 1.11). A resistência de saída [23], [51] é objeto de análise no capítulo 3.

O comportamento dinâmico em altas frequências do MESFET de GaAs é sintetizado no modelo incremental para pequenos sinais [5], [52] mostrado na figura 1.14. Neste modelo simplificado, os principais parâmetros e grandezas do ponto de vista do comportamento C.A. são apresentados. A localização de um elemento



(a)



(b)

Figura 1.14 - Modelo Incremental Pequenos Sinais para MESFETs de GaAs.
 a. Principais elementos de circuito que representam fenômenos físicos no dispositivo.
 b. Circuito equivalente para conexão do transistor na configuração fonte-comum

de circuito concentrado traduz o fenômeno físico na região.

O modelo elétrico na figura 1.14b representa o transistor na região de saturação e este modelo confirma as medidas de parâmetros S para MESFETs de GaAs numa faixa de algumas dezenas de Gigahertz [53], [54], desde que sejam incluídos elementos parasitários do encapsulamento, não indicados na figura 1.14b.

Os elementos que aparecem destacados na figura 1.14 representam o comportamento intrínseco do dispositivo e determinam, em primeira ordem, sua performance.

g_m representa a transcondutância para pequenos sinais. É neste parâmetro que se concentra todo mecanismo de ganho analógico do transistor. g_m é definido como a razão entre pequenas variações da corrente de dreno e as pequenas variações da tensão da porta que lhe deram origem, para uma tensão fonte-dreno constante. De fato, este parâmetro se traduz na fonte de corrente $g_m V$ que é controlada pela parcela de tensão porta-fonte aplicada à capacitância C_{pf} .

A transcondutância tem dependência com a frequência de operação da forma mostrada na eq. 1.6, sendo $\omega \tau_0$ o retardo de fase [24], [38]:

$$g_m = g_{m0} e^{-j\omega \tau_0} \quad (1.6)$$

onde:

- g_{m0} : transcondutância para baixas frequências
- ω : frequência de operação
- τ_0 : tempo de trânsito de portadores para percorrer a distância sob a porta, com velocidade limite de saturação v_s .

A determinação completa de g_m e sua dependência com outras variáveis do dispositivo é apresentada no cap. 3. Faz-se notar que g_m é diretamente dependente da largura Z do MESFET e, o estado atual da tecnologia, permite a construção de MESFETs de canal e porta curtos com g_{m0} dado por:

$$g_{m0} = 0,07 Z \quad (1.7)$$

sendo Z dado em μm e g_{m0} em mS .

A capacitância porta-fonte C_{pf} é a capacitância da camada de depleção sob a porta e $C_{\text{pf}} + C_{\text{dp}}$ dão a capacitância total porta-canal.

C_{pf} é definida como a razão entre a taxa de variação da carga móvel sob a porta e a variação da tensão porta-fonte para polarização fixa de dreno. É a capacitância mais importante do dispositivo, definindo, juntamente com g_{m} (ou g_{m0}), a resposta em frequência do dispositivo. A frequência de transição f_{T} , ou frequência de corte, para a qual o ganho incremental de pequenos sinais de corrente é unitário, caracteriza o dispositivo em alta frequência e é dada por [24]:

$$f_{\text{T}} = \frac{1}{2\pi} \cdot \frac{g_{\text{m0}}}{C_{\text{pf}}} \quad (1.8)$$

C_{pf} é uma capacitância crítica e deve ser minimizada. Para o atual estágio tecnológico esta capacitância tem valores na faixa de 0,08 pF a 1,0 pF.

C_{dc} modela a capacitância que é formada no canal pela camada de dipolo estacionária.

A capacitância entre dreno e porta C_{dp} pode ser incluída no valor de C_{pf} pois atualmente se obtém C_{dp} uma ordem de grandeza abaixo de C_{pf} .

A resistência de dreno r_{d} , é uma resistência dinâmica dada pela razão entre a variação da tensão dreno-fonte V_{DF} e a resultante variação da corrente de dreno. r_{d} é identificada pela declividade da região de saturação apresentada na figura 1.13a. Vários modelos [23], [51] e [52] descrevem este comportamento da resistência de saída.

Os demais elementos do modelo podem ser considerados parasitários pois não participam, num modelo de primeira ordem, dos mecanismos de ganho do MESFET [38], [52]:

R_1 : representa a resistência do canal próxima à região de depleção sob a influência da porta. É a resistência de

carregamento da capacitância C_{pf} .

R_p : resistência do metal da porta, elemento que limita a operação em frequência e influi na figura de ruído (NF) do dispositivo.

R_f e R_d : são resistências que incluem uma parcela devida às resistências de contato dos eletrodos de fonte e dreno e uma parcela da resistência do canal do lado da fonte e dreno, respectivamente. Estas resistências têm influência significativa na performance do dispositivo, como mostrado no cap. 3.

C_{sd} : é a capacitância inter-eletrodos que representa a capacitância entre dreno e substrato, entre fonte e substrato e entre dreno e fonte.

O modelo para pequenos sinais mais geral, onde serão incluídos outros parâmetros parasitários, incluindo os elementos referentes ao encapsulamento, é apresentado no cap. 3.

1.3.3.3 LIMITES DE OPERAÇÃO EM FREQUÊNCIA

Como enfatizado nas seções anteriores, o comprimento da porta, L_g , é o elemento mais crítico da geometria do dispositivo. Diminuindo-se o comprimento da porta, L_g , aumenta-se a transcondutância, g_m , e diminui-se a capacitância, C_{pf} . Conseqüentemente, obtém-se f_T maior.

Simulações do comportamento dinâmico dos portadores em MESFETs de GaAs de canal e porta curtos, levando-se em conta inclusive o efeito de "overshoot" de velocidade fora do equilíbrio [55], [56], mostramos limites de operação destes dispositivos em função do comprimento da porta L_g [56].

A frequência de transição, f_T depende da velocidade de deriva efetiva v_{eff} dos portadores ao atravessar a distância sob a porta L_g [55]:

$$f_T = \frac{1}{2\pi} \cdot \frac{v_{eff}}{L_g} \quad (1.9)$$

Outra figura de mérito para MESFET é a frequência má

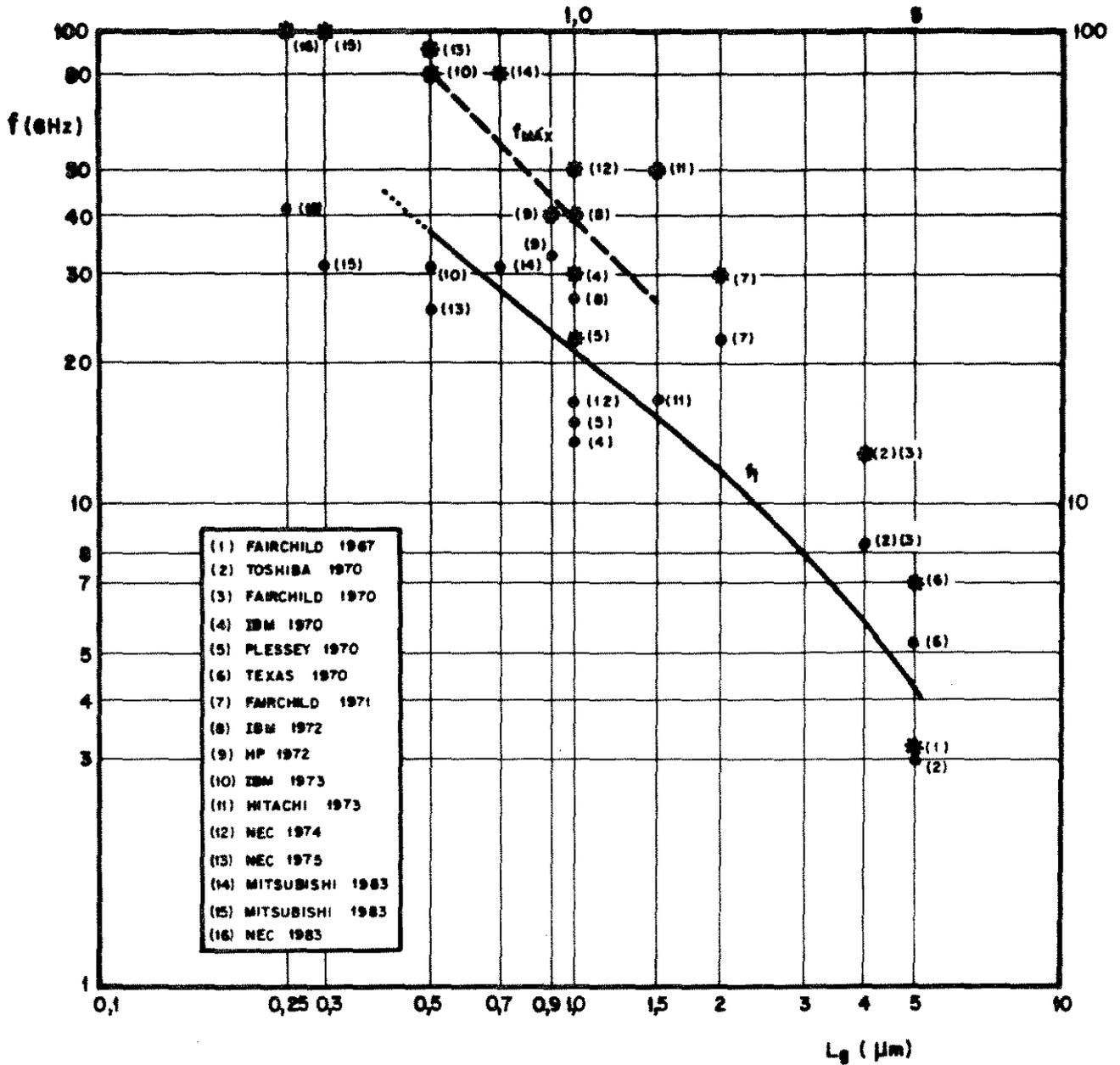


Figura 1.15 - Limites de operação em frequência de MESFETs de GaAs de pequenos sinais. Linha cheia: simulação de f_T conforme Ref. [56]. Linha tracejada: conforme relação empírica $f_{m\acute{a}x} \approx 40/L_g$. Valores experimentais: \bullet f_T e \ast $f_{m\acute{a}x}$.

xima de oscilação, $f_{m\acute{a}x}$, para a qual o ganho de potência para o dispositivo unilateralizado é unitário. Para transistores que tenham comprimento de porta em torno de 1 μm , vale a relação empírica abaixo [57]:

$$f_{m\acute{a}x} = \frac{40}{L_g} \quad (1.10)$$

L_g em μm e $f_{\text{m\grave{a}x}}$ em GHz.

A figura 1.15 apresenta os limites da freqüência de v̄arios MESFETs de GaAs de diferentes laborat\u00f3rios e fabricantes |58|, onde s\u00e3o indicados os valores experimentais do f_T (●) e $f_{\text{m\grave{a}x}}$ (*). Os limites previstos por simula\u00e7\u00e3o |56| e pela eq. 1.10 s\u00e3o tamb\u00e9m apresentados no gr\u00e1fico da figura 1.15.

Verifica-se atualmente uma tend\u00eancia acentuada na continuidade de utiliza\u00e7\u00e3o dos MESFETs como dispositivos b\u00e1sicos para CIs monol\u00edticos de GaAs de alta performance. Reafirma-se, tamb\u00e9m, a utiliza\u00e7\u00e3o dos MESFETs como componente base em fun\u00e7\u00e3o da implanta\u00e7\u00e3o i\u00f4nica seletiva o que simplifica o processo de isola\u00e7\u00e3o. A fabrica\u00e7\u00e3o de mem\u00f3rias est\u00e1ticas de 15 kbits (SRAM 16k) e "gate arrays" de 15 kbits s\u00e3o baseados em MESFETs.

O desenvolvimento de regras de projeto para CIs monol\u00edticos digitais de GaAs, em trabalhos bastante recentes, |59| e |60|, tem-se concentrado no dispositivo MESFET de GaAs.

REFERÊNCIAS BIBLIOGRÁFICAS

- 1 R.S. Engelbrecht, K. Kurokawa, "A Wide-Band Low Noise L-Band Balanced Transistor Amplifier", *Proc. of IEEE*, vol. 53, p. 237-247, março 1965.
- 2 M. Uenohara, "Progress of Microwave Solid State Devices in Japan", *Proc. of the 5th Conference on Solid State Devices*, Tokyo, 236 a 240, 1973.
- 3 C. Neuse, J. Gannon, R. Dean, H. Grossenberg, R. Enstrom, "GaAs Vapor Grown Bipolar Transistors", *Solid State Electronics*, vol. 15, p. 81-91, jan. 1972.
- 4 A. Marty, G. Rey, J.P. Bailbe, "Electrical Behavior of an NPN GaAlAs/GaAs Heterojunction Transistor", *Solid-State Electronics*, vol. 22, nº 6, p. 549-557, junho 1979.
- 5 P. Wolf, "Microwave Properties of Schottky Barrier Field-Effect Transistors", *IBM J. Res. and Develop.*, vol. 14, p. 125-141, março 1970.
- 6 S. Middelhoek, "Projection Masking Thin Photoresist Layers and Interference Effects", *IBM J. of Res. and Develop.*, vol. 14, p. 117 a 124, março 1970.
- 7 S. Middelhoek, "Metallization Process in Fabrication of Schottky-Barrier FET's", *IBM J. Res. Develop.*, p. 48-151, março 1970.
- 8 T.O. Mohr, "Silicon and Silicon-Dioxide Processing for High-Frequency MESFET Preparation", *IBM J. Res. Develop.*, p. 142-147, março 1970.
- 9 S. Moskowitz, "Be a Smarter GaAs FET Specifier", *Microwaves*, p. 62 a 63, Fev. 1980.
- 10 P. Wade, "How to Select a GaAs FET", *Microwaves*, p. 64-66, Fev. 1980.
- 11 J.S. Barrera, "GaAs FET's Promise Much as They Come of AGE", (Tabela MESFETs comerciais), *Microwaves*, Fev. 1980.
- 12 M. Nakatani, Y. Kadowaki, T. Ishii, "A 12 GHz-1W - GaAs MESFET Amplifier", *IEEE Trans. on MTT*, vol. 27 nº 12, p. 1066-1070, Dec. 1979.

- 13 H. Yamasaki, "GaAs FET Technology: A Viable Approach to Millimeter-Waves", *Microwave Journal*, vol. 25, nº 6, p. 93 - 105, Junho 1982.
- 14 B. Berson, "Semiconductors Prove Fruitful for Microwave Power Devices", *Electronics*, p. 83-90, Jan. 22, 1976.
- 15 B. Frank, "InP Gunn Devices: Where We Stand Today?", *MSN*, p. 91-94, Abril/Maio 1976.
- 16 J.A. Lindaver, N.K. Osbrink, "GaAs FET Amplifiers are Closing Fast on the Low Noise, Narrow-band Leaders", *MSN*, p. 63-67, Abril/Maio 1976.
- 17 C.A. Liechti, "GaAs FET Technology: A Look into the Future", *Microwaves*, p. 44-49, Outubro 1978.
- 18 B.E. Bosch, "Gigabit Electronics - A Review", *Proceedings of the IEEE*, vol. 67, nº 3, p. 340-379, Março 1979.
- 19 J.A. Saloom, "Comparative Status Report on Microwave Sources" *Microwave Associates, Inc.* a ser publicado (disponível na UNICAMP).
- 20 J.G. Ruch, "Electron Dynamics in Short Channel Field-Effect Transistor", *IEEE Trans. on Ed*, vol. 19, nº 5, p. 652-654, maio 1972.
- 21 C. Jacobini *et al.*, "A Review of Some Charge Transport Properties of Silicon", *Solid State Electronics*, vol. 20, nº 1, p. 77-89, 1977.
- 22 W. Shockley, "A Unipolar "Field-Effect" Transistor", *Proc. of IRE*, vol. 40, p. 1365, 1376, Nov. 1952.
- 23 A.B. Grebene, S.K. Gandhi, "General Theory for Pinched Operation of the Junction-Gate FET", *Solid State Electronics*, vol. 12, p. 573-589, July 1969.
- 24 K.E. Drangeid, R. Sommerhalder, "Dynamic Performance of Schottky-Barrier Field-Effect Transistors", *IBM J. of Res. and Develop.*, vol. 14, p. 82 a 94, março 1970.
- 25 D.P. Kennedy, R.R. O'Brien, "Computer-Aided Two Dimensional Analysis of the Junction Field-Effect Transistors", *IBM J. of Res. and Develop.*, vol. 14, p. 95 a 116, março 1970.

- 26 K. Lehovec, R.S. Miller, "Field Distribution in Junction Field-Effect Transistors at Large Drain Voltage", *IEEE Transactions on Ed.*, vol. 22 n^o 5, p. 273-281, maio 1975.
- 27 E.B. Stoneham, "The Search for the Fastest Three-Terminal Semiconductor Device", *Proceedings of the Eighth Biennial Cornell Electrical Engineering Conference*, Ithaca, N.Y. p. 37 a 46, 1981.
- 28 J.G. Ruch, G.S. Kino, "Transport Properties of GaAs", *Physical Review*, vol. 174, n^o 3, p. 921-931, Out. 1968.
- 29 J.S. Blakemore, "Semiconducting and Other Major Properties of Gallium Arsenide", *Journal of Appl. Physics*, 53(10), p. R123 - R181, Out. 1982.
- 30 H.D. Rees, K.W. Gray, "Indium Phosphide: A Semiconductor for Microwave Devices", *Solid State Electronics Devices*, 1,1 Jan. 1976.
- 31 M.S. Shur, "Analytical Model of GaAs MESFET's", *IEEE Trans. on Ed.*, vol. 25, n^o 6, p. 612-618, Jun. 1978.
- 32 B. Himsworth, "A Two Dimensional Analysis of Gallium Arsenide Junction Field-Effect Transistors with Long and Short Channels", *Solid State Electronics*, vol. 15, p. 1353-1361 n^o 12, 1972.
- 33 T. Wada, J. Frey, "Physical Basis of Short Channel MESFET Operation", *IEEE Journal of Solid State Circuits*, vol. 14, n^o 2, p. 398-412, Abril 1979.
- 34 J.V. Faricelli, J. Frey, J.P. Krusius, "Physical Basis of Short-Channel MESFET Operation II: Transient Behavior", *IEEE Trans. on Ed.*, vol. 29, n^o 3, p. 377-388, March 1982.
- 35 K. Lehovec, R. Zuleeg, "Voltage-Current Characteristics of GaAs J-FET's in the Hot Electron Range", *Solid State Electronics*, vol. 13, p. 1415-1426, Out. 1970.
- 36 P.R. Jay, M.J. Cardwell, N.S. Griffin, D. Parker, "Observation of the Field Distribution in Depleted GaAs MESFET", *Inst. Phys. Conf. Ser. on Gallium Arsenide and Related Compounds*. 1978. Serie n^o 45, Chapter 4, p. 278-286.
- 37 H. Kroemer, "Theory of the Gunn Effect", *Proc. IEEE*, 52, 1736, 1964.

- 38 C.A. Liechti, "Microwave Field-Effect Transistors-76", *IEEE Trans. on MTT*, p. 279-300, vol. 24, nº 6, Jun. 1976.
- 39 S. Cripps, "The All FET Front End - A Step Closer to Reality", *Microwaves*, p. 52-58, Out. 1978.
- 40 K. Ohata et al., "Super Low-Noise GaAs MESFET's With A Deep-Recess Structure", *IEEE Trans. on Ed.*, vol. Ed 27, nº 6, p. 1029-1037, Jun. 1980.
- 41 R.L. Van Tuyl, C.A. Liechti, R.E. Lee, E. Gown, "GaAs MESFET Logic-with 4GHz Clock Rate", *IEEE J. of Solid State Circuits*, vol. 12, nº 5 p. 485-496, Out. 1977.
- 42 E. Kohn, "GaAs - MESFET for Digital Application", *Solid State Electronics*, vol. 20, p. 29-33, 1977.
- 43 H.M. Levy, L. Camnitz, C.E. Cwood, L.F. Eastman, "Characteristics of Very Short Gate Normally-off GaAs MESFET Inverters", *IEDM*, p. 88-91, 1981.
- 44 R.S. Pengelly, "Monolithic GaAs IC Tackle Analog Tasks", *Microwaves*, p. 56-65, Julho 1979.
- 45 P.T. Greiling, M. Waldner, "Future Applications and Limitations for Digital GaAs IC Technology", *Microwave Journal*, p. 74-87, Fev. 1983.
- 46 P.T. Greiling, "High Speed Digital IC Performance Outlook", *IEEE Trans. on MTT*, vol. MTT-35, nº 3, p. 245-259, Março 1987.
- 47 M. Fukata et al., "GaAs Microwave Power FET", *IEEE Trans. on Ed.*, vol. ED. 23, p. 388-394, Abril 1976.
- 48 P.C. Chao, W.H. Ku, J. Nulman, "A High Aspect-Ratio 0,1 Micron Gate Technique for Low-Noise MESFET's", *IEEE Electron Devices Letters*, vol. 3, nº 1, p. 24-26, Jan. 1982.
- 49 M.O. Ogawa, K. Ohata, J. Furutsuka, N. Kawamura, "Submicron Single Gate and Dual Gate GaAs MESFET's with Improved Low Noise and High-Performance", *IEEE Trans. on MTT*, vol. 24, nº 6, p. 300-304, Junho 1976.
- 50 P.T. Chen et al., "Performance of Dual-Gate GaAs MESFET as a Frequency Multiplier at Ku-Band", *IEEE Trans. on MTT*, vol. MTT 27, nº 5, p. 411-415, Maio 1979.

- 51 P. Rossel, J.J. Cabot, "Output-Resistance Properties of the GaAs Schottky-Gate Field-Effect Transistor in Saturation", *Electronics Letters*, vol. 11, nº 7, p. 150, 3rd April 1975.
- 52 R. Pucel, H. Haus, H. Statz, "Signal and Noise Properties of Gallium Arsenide Microwave Field-Effect Transistors", *Advances in Electronics and Electron Physics*, vol. 38, N.Y. Academic Press, p. 195-265, 1975.
- 53 G. Vendelin, M. Omoro, "Circuit Model for The GaAs MESFET Valid to 12 GHz", *Electronics Letters*, vol. 11, p. 60-61, Fev. 1975.
- 54 R.L. Kuvas, "Equivalent Circuit Model of the GaAs FET Including Distributed Gate Effects", *IEEE Trans. on Ed.*, vol. Ed. 27, nº 6, Junho 1980.
- 55 T.J. Maloney, J. Frey, "Frequency Limits of GaAs and InP Field-Effect Transistors", *IEEE Trans. on Ed.*, vol. 22, p. 357-358, Junho 1975.
- 56 T.J. Maloney, J. Frey, "Frequency Limits of GaAs and InP Field-Effect Transistors At 300K and 77K with Typical Active-Layer Doping", *IEEE Trans. on Ed.*, p. 519, Maio 1976.
- 57 R.S. Pengelly, "Microwave Field-Effect Transistors - Theory, Design and Application", Editor: C.S. Aitchison, *Research Studies Press (John Willey & Sons Ltd.)*, Chichester - England, 1982.
- 58 L.C. Kretly, A.J. Giarola, "Estudo Preliminar de Dispositivos de Alta Velocidade que Utilizam Semicondutores Compostos do Grupo III-V (MESFET)", *Anais do VII - SEMISH - Seminário Integrado de Software e Hardware*, Campinas, 1980.
- 59 M. Hirose, K. Ishida, N. Uchitomi, N. Toyoda, "Two-Dimensional Numerical Analysis of the Minimum Isolation Distance for GaAs Digital Large-Scale Integration", *IEEE Trans. on ED.*, Vol. 38, nº 3, p.437-441, Março, 1991.
- 60 Jyh-Chwen Lee, A.J. Strojwas, T.E. Schlesinger, A.G. Milnes, "Electrical Isolation Design Rule for GaAs Integrated Circuits Fabricated on Semi-Insulating Substrates", *IEEE Trans. on ED.*, Vol. 38, nº 3, p. 447-454, Março 1991.

CAPÍTULO 2

MESFETs DE GaAs : TECNOLOGIA

1ª PARTE

SUBSTRATOS E CAMADAS

2

INTRODUÇÃO

Os métodos e técnicas de construção de MESFETs de GaAs apresentam uma grande variedade de opções tecnológicas visando otimizar a performance do dispositivo, os custos de fabricação ou ambas.

Neste capítulo é apresentado o universo destas técnicas que são empregadas em laboratórios de desenvolvimento de protótipos ou em empresas para escala de produção comercial. Não é pretensão deste capítulo esgotar o assunto, entretanto, tendo em vista a grande diversidade de técnicas e metodologias, justifica-se a descrição das principais, objetivando criar um quadro de alternativas para construção de MESFETs de GaAs, ou qualquer dispositivo discreto ou integrado planar.

Descrevem-se, neste capítulo, as tecnologias de ponta nesta área bem como aquelas que permitem, com menor grau de complexidade, a elaboração dos dispositivos.

A descrição das opções tecnológicas é feita da seguinte forma: qualificação do substrato, escolha da lâmina e as condições para processamento adequado; camadas ou áreas funcionais que definem o perfil ativo do dispositivo; a gravação dos eletrodos principalmente a porta, a etapa mais crítica e determinante do processo; as metalizações para contatos ôhmicos de dreno e fonte.

2.1. SUBSTRATO SEMI-ISOLANTE DE GaAs

Como mencionado no capítulo 1, o GaAs pode se tornar semi-isolante (SI), e é, neste substrato de alta resistividade, 10^7 - 10^8 Ω .cm, que reside a grande versatilidade e compatibilidade tecnológica. A isolação entre dispositivos está assegurada e o crescimento de camadas ativas ou dopadas de GaAs é garantida pelo casamento do parâmetro de rede.

O crescimento de monocristais semicondutores compostos que tem um componente volátil, no caso do GaAs o arsênio As, é feito usualmente pela técnica Czochralski do Líquido Encapsulado LEC [1], fig. 2.1. Nesta técnica o cadinho é carregado com GaAs policristalino envolto (encapsulado) numa camada de B_2O_3 para cobrir o material fundente. A semente monocristalina toca o material fundente, perfurando a crosta de B_2O_3 , e o cadinho e semente são girados em direções opostas. O sistema do forno é mantido a uma pressão maior que 1 atmosfera de N_2 para evitar que o As se desprenda pela crosta de B_2O_3 . É por esta técnica que são obtidos a maioria dos tarugos de GaAs monocristalinos que, separados em lâminas, constituem o substrato semi-isolante.

Outra técnica de crescimento de monocristais semi-isolantes de GaAs, muito utilizada nas últimas duas décadas, que já foi superada pela técnica LEC, é a técnica Bridgman Horizontal HB [2]. O Arsênio na extremidade do tubo de quartzo anteriormente evacuado, a uma temperatura de 614° , é incorporado ao gálio, Ga, fundente a temperatura de 1.235°C na outra extremidade do tubo.

À medida que o GaAs é formado na barqueta, faz-se a solidificação do material ao se mover a barqueta em relação ao forno para temperaturas cada vez mais baixas. (Figuras 2.1c e 2.1d). O controle estequiométrico é feito por temperatura e medições precisas dos pesos de Ga e As.

Na maioria dos casos o cristal de GaAs é crescido na direção $\langle 111 \rangle$, sendo a semente colocada com a face (111A) que só tem átomos de gálio, voltada para o material fundente. Entretanto, a partir do tarugo crescido com orientação $\langle 111 \rangle$, é possível se terem lâminas com faces polidas com planos das famílias $\{111\}$, $\{100\}$ ou variações em direção a alguma face específica.

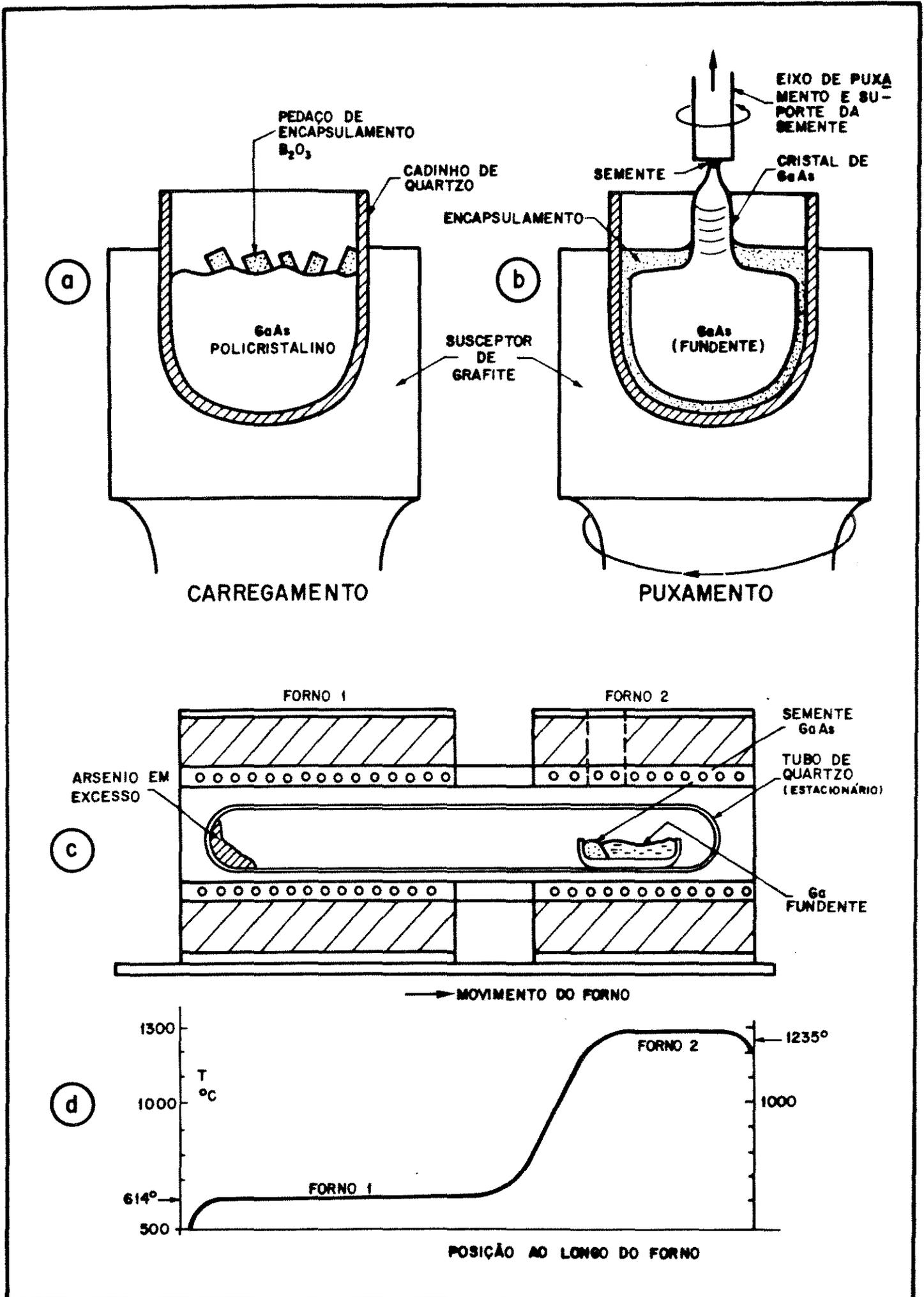


Figura 2.1 - Principais técnicas para crescimento de monocristais de GaAs.
 a. Técnica LEC (Czochralski): Preparação do material.
 b. Técnica LEC durante a fase de puxamento do cristal [1].
 c. Técnica Bridgman Horizontal HB [2].
 d. Perfil de temperatura do forno na técnica HB.

O crescimento do cristal (tarugo) na direção $\langle 111 \rangle$ deve-se ao fato que nesta direção a taxa de crescimento é bem maior que para outras direções [3].

Entretanto prefere-se utilizar lâminas com famílias de planos $\{100\}$, pois a maioria das soluções para ataque químico para polimento da superfície do GaAs funciona mal para a face (111A), apresenta uma baixa taxa de ataque e acabamento irregular da superfície [4], [5], [6], [7]. De fato, constata-se que a maioria dos MESFETs são construídos a partir de lâminas SI com face (100) na superfície principal de processamento [8] a [15]. Ainda, a altura da barreira Schottky entre o GaAs e o metal da porta é ligeiramente dependente da orientação da superfície do cristal [16].

Durante o processo de crescimento o GaAs incorpora, inevitavelmente, átomos de oxigênio como impureza substitucional e existem evidências de que o nível de impureza profunda apresentado pelo GaAs, em torno de $E_C = 0,75$ eV, possa ser atribuído ao oxigênio [17]. O papel da impureza oxigênio no GaAs é tema de pesquisa e não foi completamente verificado [18].

Outra impureza de nível profundo no GaAs é o Cromo. Esta impureza é introduzida intencionalmente durante o crescimento para aumentar a resistividade do substrato.

A resistividade extremamente elevada do semicondutor indica que o nível de Fermi está bem no meio da banda. Sendo assim, a análise dos mecanismos de condução devem, necessariamente, levar em conta a condução por elétrons e por lacunas. O GaAs de alta resistividade dopado com cromo é identificado como do tipo P [19].

O modelo mais completo dos mecanismos de condução no GaAs semi-isolante é o de quatro níveis [20] mostrado na fig. 2.2.

O nível A_2 indica o nível profundo aceitador, normalmente o Cr. O nível profundo doador D_2 pode ser atribuído ao oxigênio. O nível raso doador D_1 pode ser o Te incorporado propositalmente ou o S e o Si incorporados inevitavelmente nos processos de produção do cristal. O nível aceitador A_1 normalmente é o C ou uma vacância complexa [20], [21].

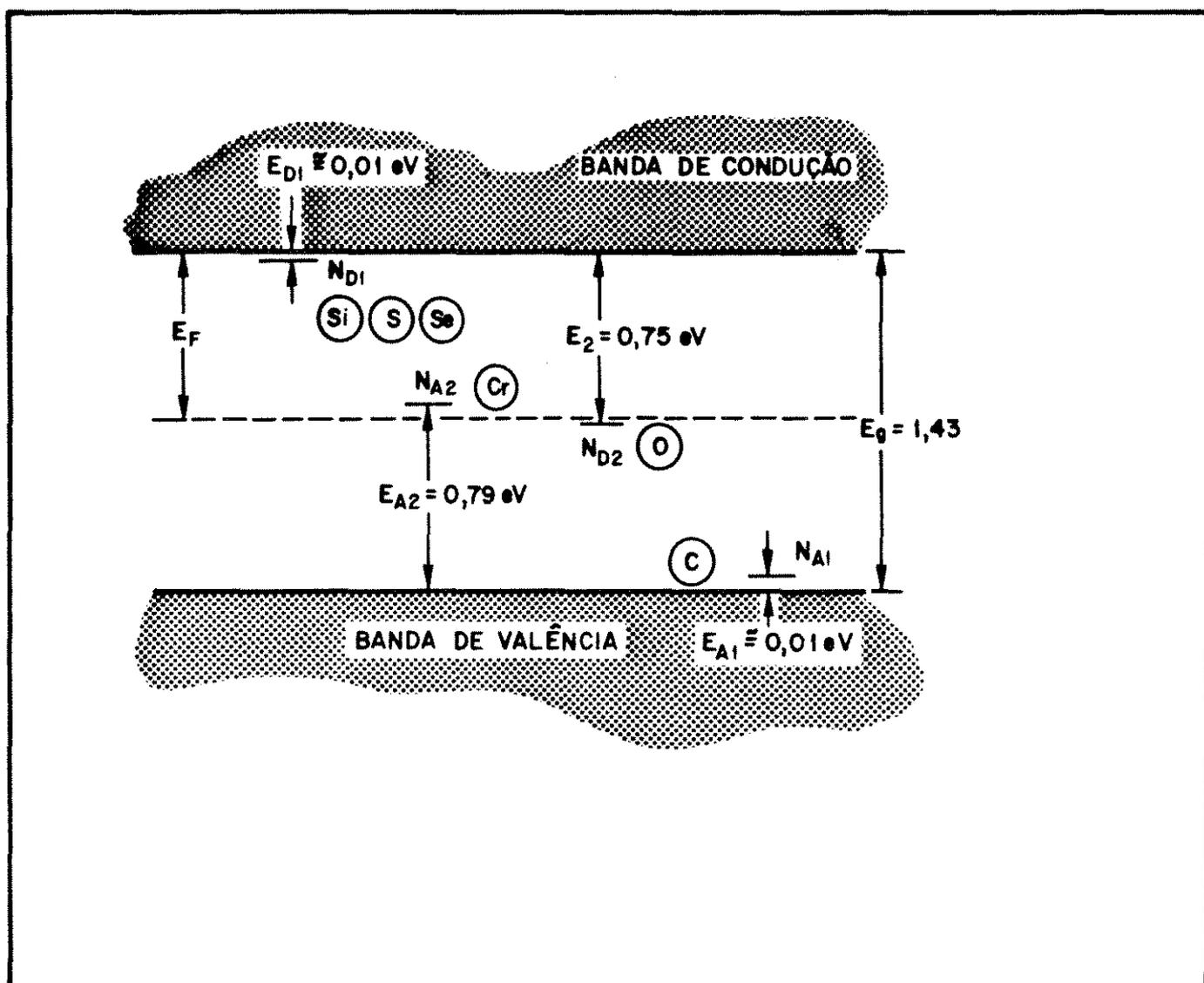


Figura 2.2. Diagrama de bandas de energia do GaAs semi-isolante com quatro níveis de impurezas. D1 nível raso doador, A1 nível raso aceitador, A2 nível profundo aceitador e D2 nível profundo doador, atribuído ao oxigênio.

Os substratos semi-isolantes de GaAs dopados com cromo, GaAs-Cr, atingem resistividades tipicamente da ordem de 10^9 Ω .cm, enquanto os substratos qualificados de "não-dopados de alta pureza" têm resistividade na faixa de 10^7 Ω .cm.

2.1.1. CARACTERÍSTICAS DOS SUBSTRATOS DE GaAs

A escolha dos substratos de GaAs para fabricação de dispositivos e/ou circuitos integrados monolíticos depende do tipo de processamento das camadas funcionais. Se por epitaxia, implantação, etc. e, principalmente, da característica do dispositivo que se pretende otimizar: figura de ruído, alta transcondutância, baixa sensibilidade à luz, etc. As principais características do substrato GaAs são:

- Resistividade e dopagem (Cr-O ou não-dopado).
- Mobilidade: para substratos GaAs-Cr SI, medidas Hall indicam mobilidade da ordem de 10^2 - 10^3 $\text{cm}^2/\text{V}\cdot\text{s}$ o que sugere que o substrato é do tipo P, pois a mobilidade do elétron no GaAs é aproximadamente 10 vezes maior que a mobilidade de lacunas. Para os substratos de alta pureza não-dopados a mobilidade Hall é bem maior, indicando que estes substratos são do tipo N. Normalmente, os fabricantes de substratos não identificam estas características.
- Classificação pela densidade de defeitos: A densidade de "Etch-pits" ou E.P.D. indica o número de defeitos por cm^2 e as classes são designadas por DF, 3A, 2A, A, AB, B e C que variam de 1×10^2 cm^{-2} ou seja 100 defeitos por cm^2 a 1×10^5 cm^{-2} .
- Orientação do substrato é indicada por uma família de planos $\{ \}$ ou pela indicação da face () ou direção [] ou $\langle \rangle$. Por exemplo: (100) corresponde ao substrato com face (100) onde será processado o dispositivo. Ainda, a precisão desta orientação da face indicada, normalmente $\pm 0,5^\circ$ ou, excepcionalmente, $\pm 0,1^\circ$. Para lâminas que serão implantadas o plano da face deve estar deslocado em relação a outro plano para evitar canalização. Por exemplo, faces $\{100\}$ deslocadas 2° em direção a (110).
- Estabilidade Térmica

O substrato de GaAs é submetido a vários tratamentos térmicos durante a construção do dispositivo. Foi observado e é fenômeno bem caracterizado a formação de uma camada superficial condutora do tipo p, quando o substrato de GaAs é aquecido. A ori

gem desta camada é atribuída ao nível raso aceitador carbono originário das partes de grafite do reator ou dos solventes hidrocarbonados usados na preparação do substrato. A camada condutora provoca alteração na camada ativa modificando a característica do dispositivo.

- Substratos com alta dopagem de cromo freqüentemente dão origem ao fenômeno de "back-gating" nos MESFETs. Consiste em uma camada de depleção que se origina a partir da interface substrato-camada ativa. A formação de cargas negativas no substrato, pela ionização de aceitadores de nível profundo (cromo), corresponde à formação de uma região depletida na camada ativa. O "back-gating" pode ocorrer também pela conversão térmica, como mostrado anteriormente ao se ter uma camada do tipo P no substrato, próxima à região ativa.
- A seleção de substratos de GaAs para implantação é mais exigente: O substrato deve ter níveis de impurezas doadoras ou aceitadoras menores que $5 \cdot 10^5 \text{ cm}^{-3}$. A inclusão do cromo para o substrato ter a característica semi-isolante, acarreta uma redistribuição deste durante a implantação e o recozimento (annealing), alterando muito o perfil de dopagem da camada ativa e a mobilidade de portadores. O substrato deve conter muito pouco defeito cristalino do tipo "etch-pits" e não conter inclusões, precipitados ou agregados em sua superfície.

2.2. CAMADAS FUNCIONAIS

As camadas funcionais do MESFET de GaAs são aquelas crescidas ou incorporadas ao substrato para determinar o tipo e performance do dispositivo.

São denominadas: a) Camada de interface (buffer), crescida para se evitarem os fenômenos de interface substrato-camada ativa; b) Camada ativa, a principal camada do dispositivo, responsável pelos mecanismos de condução; e c) Camadas auxiliares de contato, normalmente de alta dopagem, para otimizar os contatos dos eletrodos de dreno e fonte e minimizar as resistências parasitárias do dispositivo.

O desenvolvimento de dispositivos de GaAs ou outro se

micondutor do grupo III-V ou ligas ternárias ou quaternárias é dependente do custo da etapa de crescimento de camadas funcionais. Ao se definirem as características elétricas desejáveis e confiabilidade do processo de fabricação, a preparação das camadas funcionais do dispositivo se constitui na mais importante etapa de fabricação destes dispositivos.

A dispersão de valores dos parâmetros do dispositivo está associada à reprodutibilidade e à uniformidade das camadas funcionais.

O crescimento das camadas pode ser feito por deposição química na fase Vapor (CVD; Chemical Vapour Deposition), com duas técnicas principais: a técnica de epitaxia na fase vapor VPE (Vapour Phase Epitaxy) ou a técnica com compostos organo-metálicos ou MOCVD (Metal-Organic Chemical Vapour Deposition).

O crescimento das camadas pode ser feito também com os componentes na fase líquida, conhecida como a técnica de Epitaxia por fase líquida ou LPE (Liquid Phase Epitaxy).

A técnica de crescimento de camadas epitaxiais pelo processo de fluxo de feixes moleculares ou MBE (Molecular Beam Epitaxy) constitui atualmente o estágio mais avançado na epitaxia de GaAs e outros semicondutores.

Além dos quatro processos de crescimento de camadas epitaxiais (VPE, MOCVD, LPE e MBE, com descrição detalhada destas técnicas na literatura, a Implantação Iônica (II) é alternativa de fabricação da camada funcional e também uma alternativa de isolação entre dispositivos. A implantação iônica mostra-se ainda mais adequada quando se pretendem construir circuitos integrados monolíticos de GaAs com estrutura planar. O processo de difusão em compostos do grupo III-V é verificado experimentalmente ser muito incontrolável. Esta falta de controle está ligada aos substratos disponíveis que, submetidos ao processo difusão, necessariamente a altas temperaturas, provoca uma compensação de densidade de aceitadores e defeitos, tornando-se imprevisível o perfil de dopagem e as características elétricas do dispositivo. A difusão está restrita a dispositivos experientais e em situações muito específicas [22].

Nas seções seguintes estão descritas as características desejáveis de fabricação das camadas funcionais do transistor

e as vantagens a elas associadas. A figura 2.3 apresenta o perfil estrutural das camadas do MESFET de GaAs para várias alternativas de construção, desde camada única até a estrutura multi-camadas.

2.2.1. CAMADAS DE INTERFACE (BUFFER)

A fig. 2.3 apresenta as estruturas de camadas para construção de MESFETs de GaAs.

A fig. 2.3a mostra a estrutura simples de uma camada ativa sobre substrato semi-isolante. Esta estrutura pode ser realizada com qualquer técnica de crescimento e isto constitui-se numa grande vantagem para construção de MESFETs de GaAs. O perfil de concentração de portadores em função da distância a partir da superfície é mostrado à direita de cada estrutura. As espessuras de camada indicadas são típicas para esse tipo de transistor. A fig. 2.3b apresenta a estrutura com uma camada de interface "buffer" que tem como principal objetivo reduzir os efeitos de deriva apresentados devidos às condições do substrato. Estes efeitos estão descritos nas seções seguintes.

A fig. 2.3c apresenta uma estrutura com a camada ativa, a camada "buffer" e uma terceira camada dopada N^+ para reduzir a resistência de contato dos eletrodos dreno e fonte.

A fig. 2.3d apresenta uma estrutura idealizada para construção do dispositivo. Esta configuração com as espessuras indicadas só é possível se obter pela técnica MBE (ou CBE) pois o controle e característica de dopagem da camada necessita de processo lento, ótimo controle da espessura, monitoramento "in situ" e procedimento automatizado [23], [24], [25], [26].

A primeira camada sobre o substrato, a camada "buffer" N indicada na fig. 2.3d, é feita com um perfil de dopagem crescente em direção à interface com o substrato, visando aumentar a linearidade da transcondutância [27] principalmente em dispositivos que trabalham com sinais de maior potência. Essa camada é obtida com dopagem de pré-deposição de Sn ou dopagem por camadas durante o processo de crescimento por MBE.

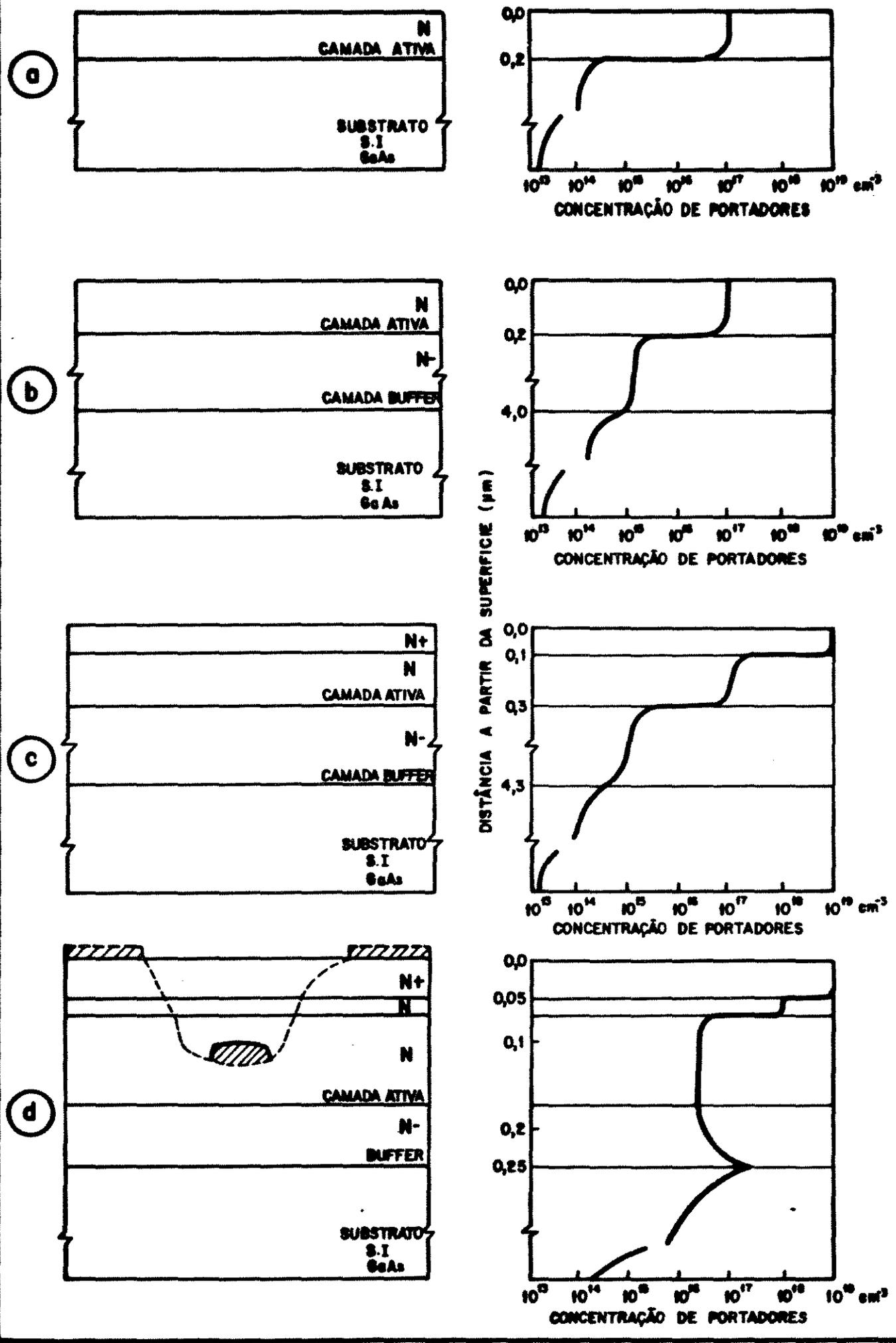


Figura 2.3 - Perfil de concentração de portadores para estruturas de camadas de MESFETs de GaAs.
 a. Estrutura com uma camada ativa (VPE, LPE, MBE, II, MOCVD).
 b. Estrutura com uma camada ativa e uma camada Buffer não-dopada (idem)
 c. Estrutura com camada ativa, uma camada Buffer e uma camada de contatos.
 d. Estrutura otimizada, são obtida pela técnica MBE.

A camada seguinte de dopagem constante e crescida com concentração de portadores relativamente baixa é a camada ativa. A dopagem mais baixa resulta vantajosa quando se pretende tensão de ruptura da junção Schottky mais alta.

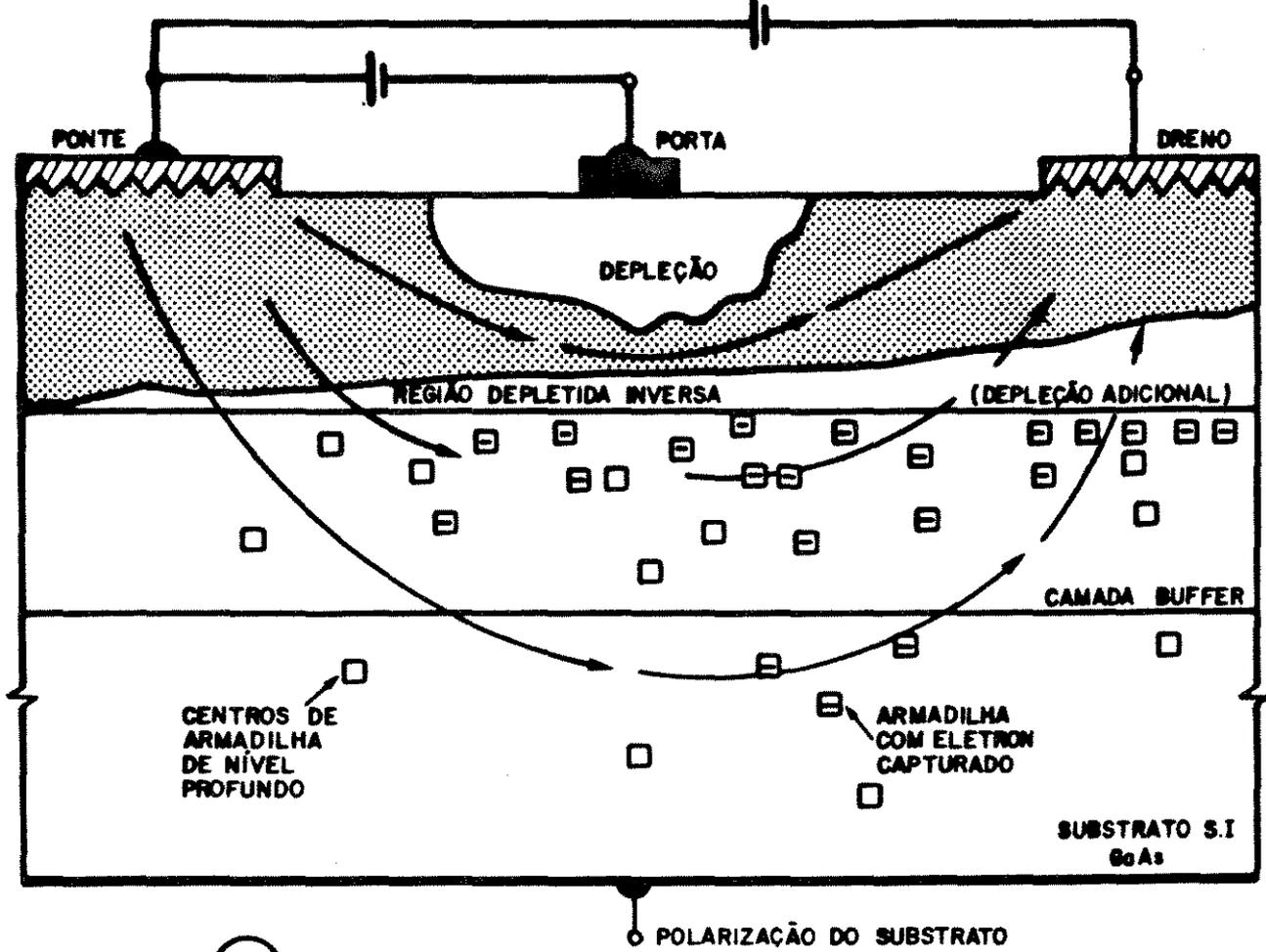
A camada "buffer" tem como finalidade principal isolar da camada ativa os defeitos e impurezas que irão se difundir durante o processo de epitaxia ou recozimento pós-implantação. O objetivo é preservar a uniformidade da mobilidade ao longo da espessura da camada ativa. O fenômeno mais perceptível da interferência do substrato, na deterioração da operação do dispositivo, é o "backgating", já mencionado nas seções anteriores. Na fig. 2.4a estão resumidos os principais mecanismos físicos de instabilidade que podem atingir o dispositivo.

O "backgating" é definido pela redução da corrente de dreno quando se aplica tensão negativa de substrato. Isto indica a existência de uma camada de depleção invertida na região ativa e o substrato funcionaria como porta por trás. A origem deste fenômeno está ligada aos estados de interface, impurezas e armadilhas ionizáveis.

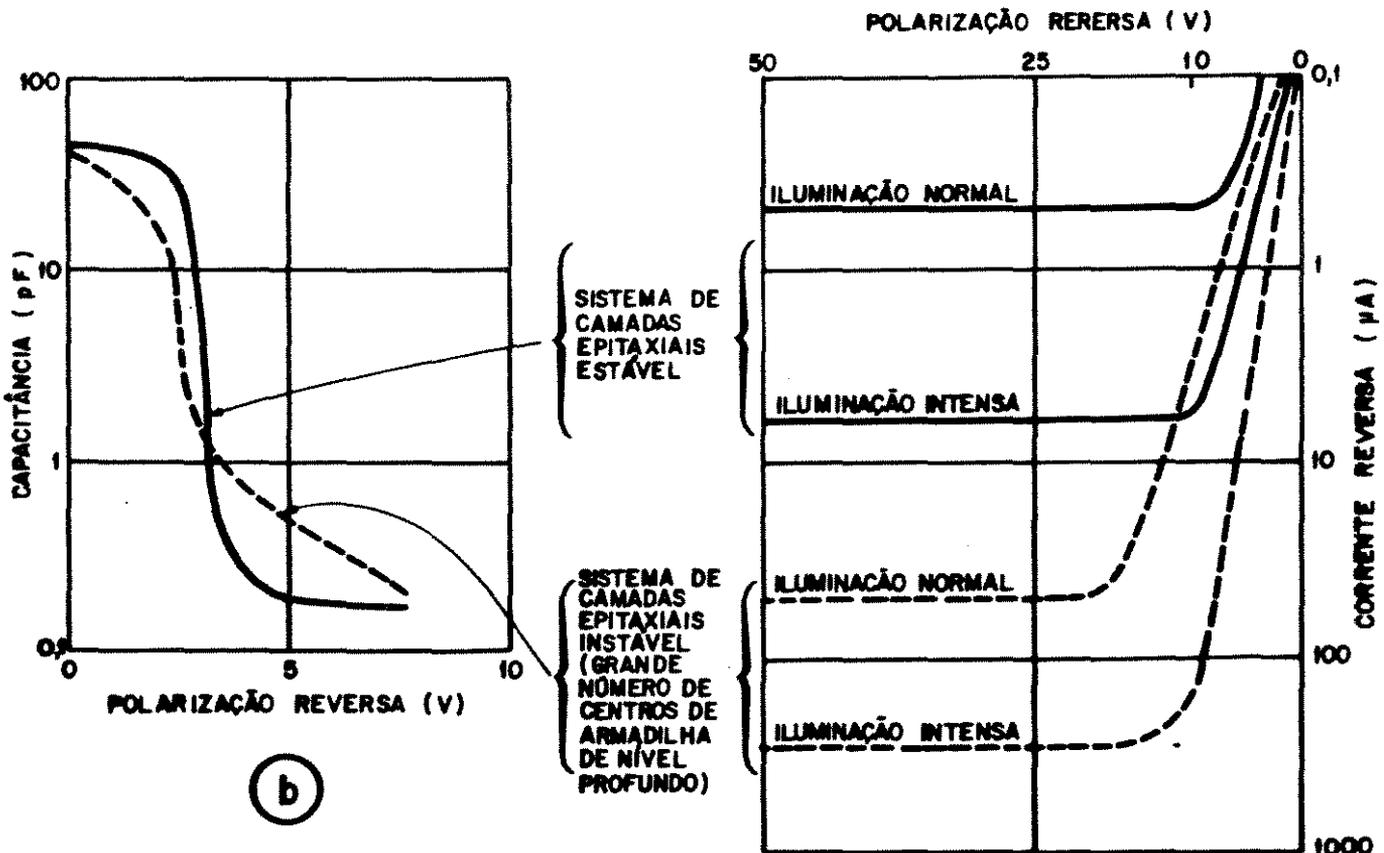
O "backgating" pode ocorrer mesmo sem polarização do substrato e pode ocorrer com dispositivos com ou sem camada "buffer". Resultados experimentais [28], [29] mostram, entretanto, que, se a camada "buffer" for crescida sem rigoroso controle, ela pode ser a responsável pelo grande número de armadilhas de nível profundo e apresentar, nos dispositivos, maior deriva na corrente de dreno e no ganho, comparado com os dispositivos sem a camada "buffer".

Os centros de armadilhas de elétrons de nível profundo são átomos de cromo ionizados Cr^{2+} e defeitos do tipo "átomo de Ga na posição do As", caracterizado pelo nível EL (2) [30].

Na fig. 2.4a, o MESFET de GaAs é apresentado com camada "buffer", com uma grande quantidade de centros de armadilhas e o substrato semi-isolante também apresentando estas armadilhas de elétrons. Ao se polarizar o dispositivo, elétrons são capturados por estes centros e começam a acumular cargas na interface camada ativa-buffer, dando origem a uma região de depleção inversa no canal do dispositivo. Resulta daí um estrangulamento do canal, aumentando sua resistência e diminuindo a corrente de dreno. Estes centros estão na banda proibida do semiconductor e testes mostram



(a)



(b)

(c)

Figura 2.4 - a. Formação de uma camada de depleção na interface camada ativa-Buffer devido ao carregamento de armadilhas (traps) existentes na camada Buffer ou mesmo no substrato.
 b. Comportamento de uma junção Schottky num sistema de camadas que tem centros de armadilha e um sistema mais estável (linha cheia).
 c. Corrente reversa na junção Schottky num sistema de camadas com poucos centros (linha cheia) e muitos centros de armadilha (linha tracejada).

que têm constantes de tempo relativamente longas |30|. Depois que as armadilhas estão preenchidas, o dispositivo estabiliza e não ocorre, a partir daí, piora nas características. O processo pode ser reversível.

A fig. 2.4b indica o resultado de testes realizados |28| em junção Schottky reversamente polarizada, cuja estrutura de camadas é a mesma apresentada na fig. 2.4a. A característica capacitância versus tensão reversa é obtida para diferentes substratos. Nas lâminas consideradas "boas", a característica apresenta (linha cheia, fig. 2.4b) comportamento previsível, ou seja, a capacitância deve cair algumas ordens de grandeza desde 0V até a tensão de estrangulamento (V_p), com a região de depleção chegando até à camada "buffer". Na lâmina considerada "ruim" (muitos centros de armadilhas), a característica capacitância versus tensão reversa (linha tracejada, fig. 2.4b) apresenta um comportamento ditado pelos centros de armadilha que se carregam negativamente e criam uma região de depleção adicional na interface (fig. 2.4a), não permitindo o maior avanço da região de depleção sob a porta e, conseqüentemente, apresenta uma região de capacitância maior, a partir de uma determinada tensão reversa (fig. 2.4b, linha tracejada).

A fig. 2.4c apresenta a característica de corrente reversa para as junções Schottky descritas anteriormente sob duas condições de iluminação |28|. Os fótons penetram a camada ativa, que é fina, e atingem os centros de armadilhas carregados ou impurezas, liberando portadores (elétrons). Quanto maior o número destes centros e impurezas, maior a corrente reversa sob a ação da luz. Notar que, na fig. 2.4c, a escala de corrente é logarítmica e, nas lâminas consideradas "ruins", a corrente reversa é algumas ordens de grandeza maior que a corrente reversa, sob iluminação, de lâminas consideradas "boas".

Estes testes apresentados podem ser feitos para qualificar lâminas com sistemas de camadas e avaliar o estado da camada "buffer" da interface com o substrato.

Algumas experiências |30| indicam que o efeito de "backgating" é menos pronunciado em dispositivos construídos com camada "buffer" sobre substrato dopado com cromo. Este efeito vai sendo mais acentuado na seguinte ordem: dispositivos sem "buffer" sobre substrato dopado com cromo, dispositivo com

"buffer" sobre substrato de alta pureza (sem cromo) e dispositivos sem "buffer" sobre substrato de alta pureza, os quais apresentam maior variação do canal quando o substrato é polarizado.

A principal vantagem da camada "buffer", de manter a mobilidade dos portadores aproximadamente constante em toda região ativa, deve-se acrescentar o seu papel de evitar a corrente de fuga pelo substrato quando este não é de boa qualidade.

Foram realizados testes [29] para comparar a mobilidade de elétrons num sistema de camadas com e sem a camada "buffer". A estrutura planar de teste é um elemento Hall com um quinto contato Schottky na superfície, cuja polarização reversa pode ser associada à profundidade de medida na camada ativa [31]. A fig. 2.5 apresenta o resultado obtido para uma estrutura sem a camada "buffer", com dopagem da camada ativa $N = 7 \times 10^{16} \text{ cm}^{-3}$, e outra, com camada "buffer" de alta resistividade com $N \approx 10^{13} \text{ cm}^{-3}$ e mesma dopagem na camada ativa, ambas crescidas pela técnica VPE.

A mobilidade constante até a interface da camada ativa com a camada "buffer" é essencial para se obter MESFETs de alta performance.

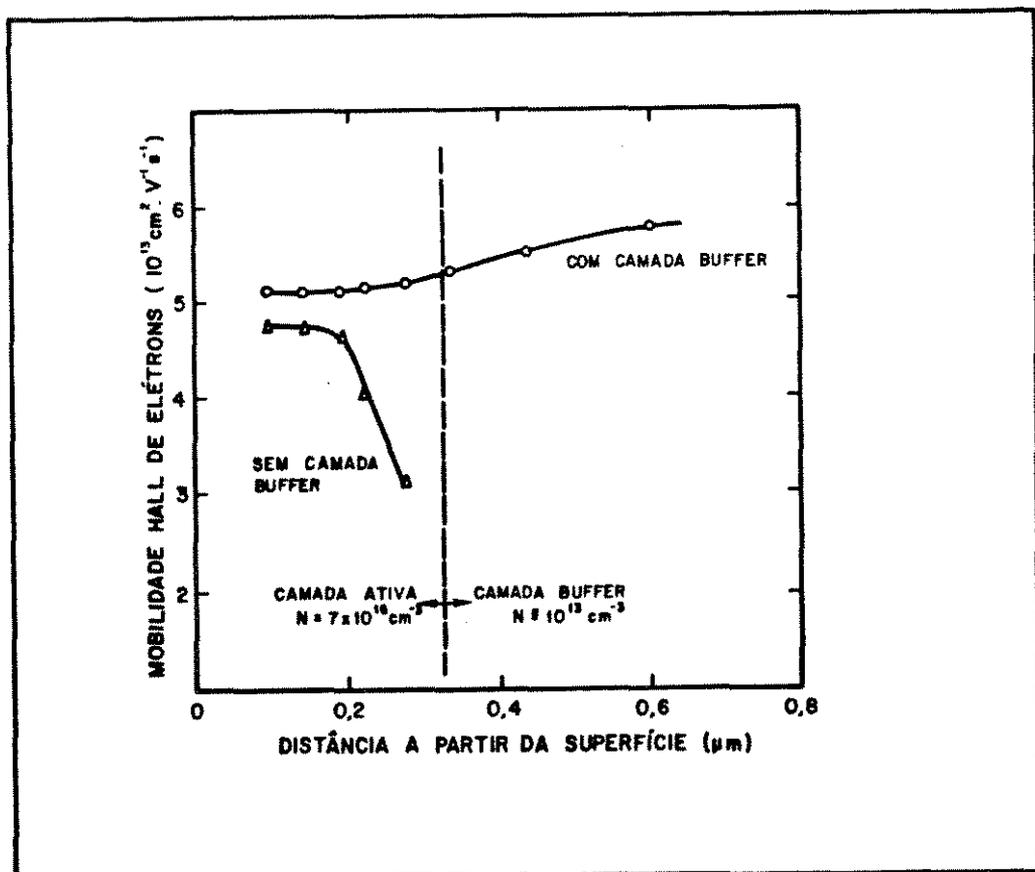


Fig. 2.5. Perfil de mobilidade Hall para elétrons, medido para estruturas com e sem camada Buffer [29].

2.2.2. CAMADA ATIVA

A camada ativa do MESFET de GaAs é construída normalmente na seqüência do processo das camadas anteriores e as técnicas são as mesmas apresentadas anteriormente LPE, VPE, MOCVD, MBE ou implantação iônica. Esta camada define os limites de operação e os mais importantes parâmetros do transistor.

Alguns perfis de dopagem para a camada ativa foram analisados [32] e a conseqüente característica de transferência do dispositivo calculada. A fig. 2.6 apresenta os perfis de dopagem para MESFETs de GaAs.

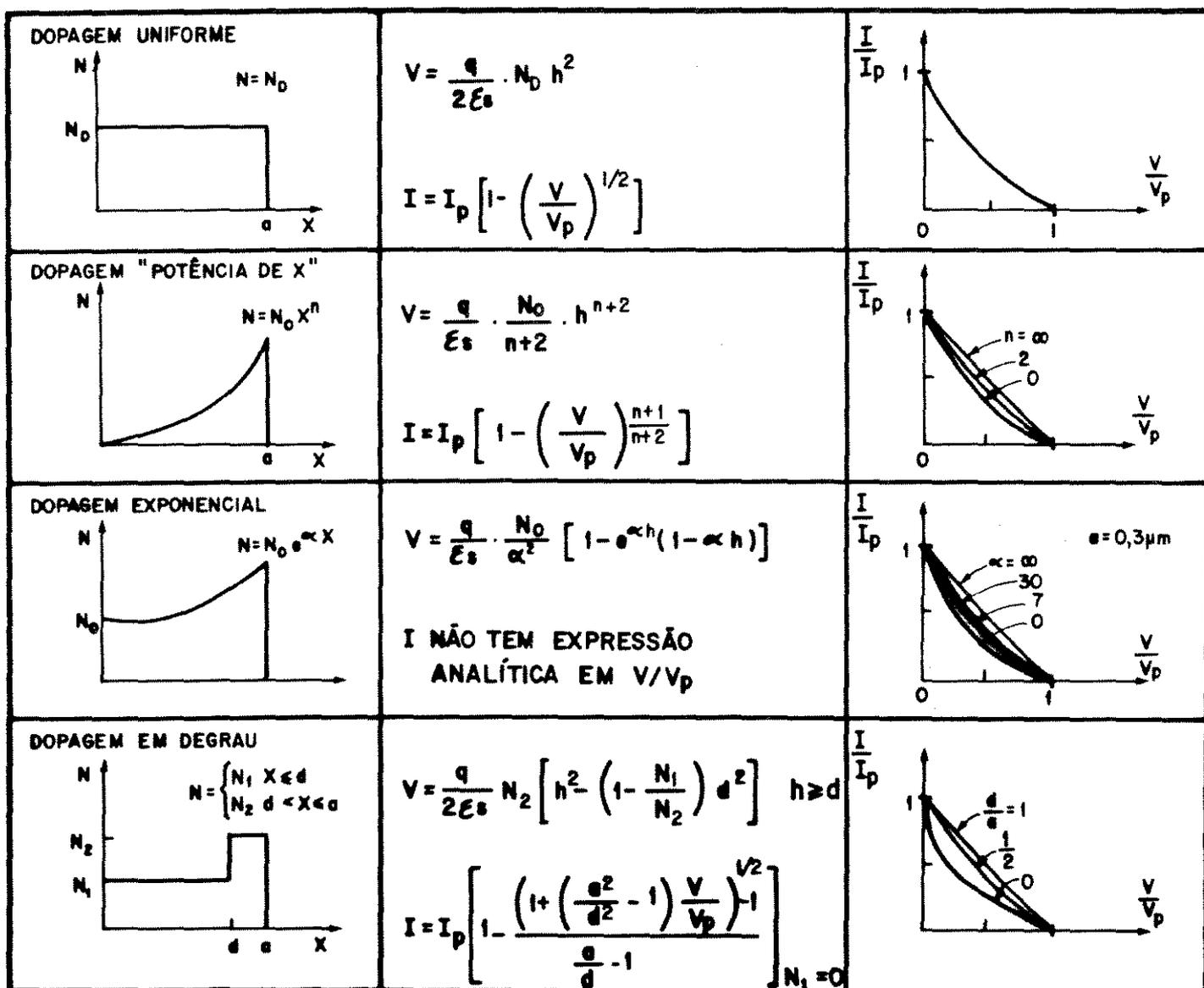


Fig. 2.6. Perfis de dopagem para camada ativa de MESFETs de GaAs e a resultante característica de transferência [32]. (V =tensão de porta-fonte, V_p = tensão de pinch-off, I =corrente de dreno, ϵ_s =constante dielétrica do GaAs).

Observa-se, na fig. 2.6, que é possível obter linearidade da corrente em função da tensão de porta aplicada, ajustando-se os parâmetros do perfil de dopagem. É possível obter também $g_m = dI/dV = \text{constante}$. Esta nem sempre é a situação desejada ($g_m = \text{constante}$) pois, para aplicações de MESFETs em conversores e misturadores, exige-se característica não-linear de transferência [33].

A espessura da camada ativa, a dopagem e a relação com a tensão de estrangulamento ou "pinch-off", V_p , é mostrada graficamente na fig. 2.7.

O modelo para a tensão de "pinch-off", V_p , adotado na fig. 2.7 é representado pela primeira equação da fig. 2.6, sendo V substituído por V_p , h substituído por a , a espessura da camada, e N_D , a concentração de portadores, igual à dopagem. Este modelo simplificado não leva em consideração a tensão de barreira V_{Bi} com a porta Schottky e também não considera a depleção superficial. O modelo completo é tratado no cap. 3. A depleção superficial surge depois que a camada ativa for exposta a tratamentos e reações químicas que alteram a superfície, propiciando que cargas (portadores) sejam capturadas por armadilhas localizadas na superfície [33]. Neste trabalho (ver cap. 4) observou-se que, tipicamente, a depleção superficial está em torno de 1.000 \AA ($0,1 \text{ \mu m}$).

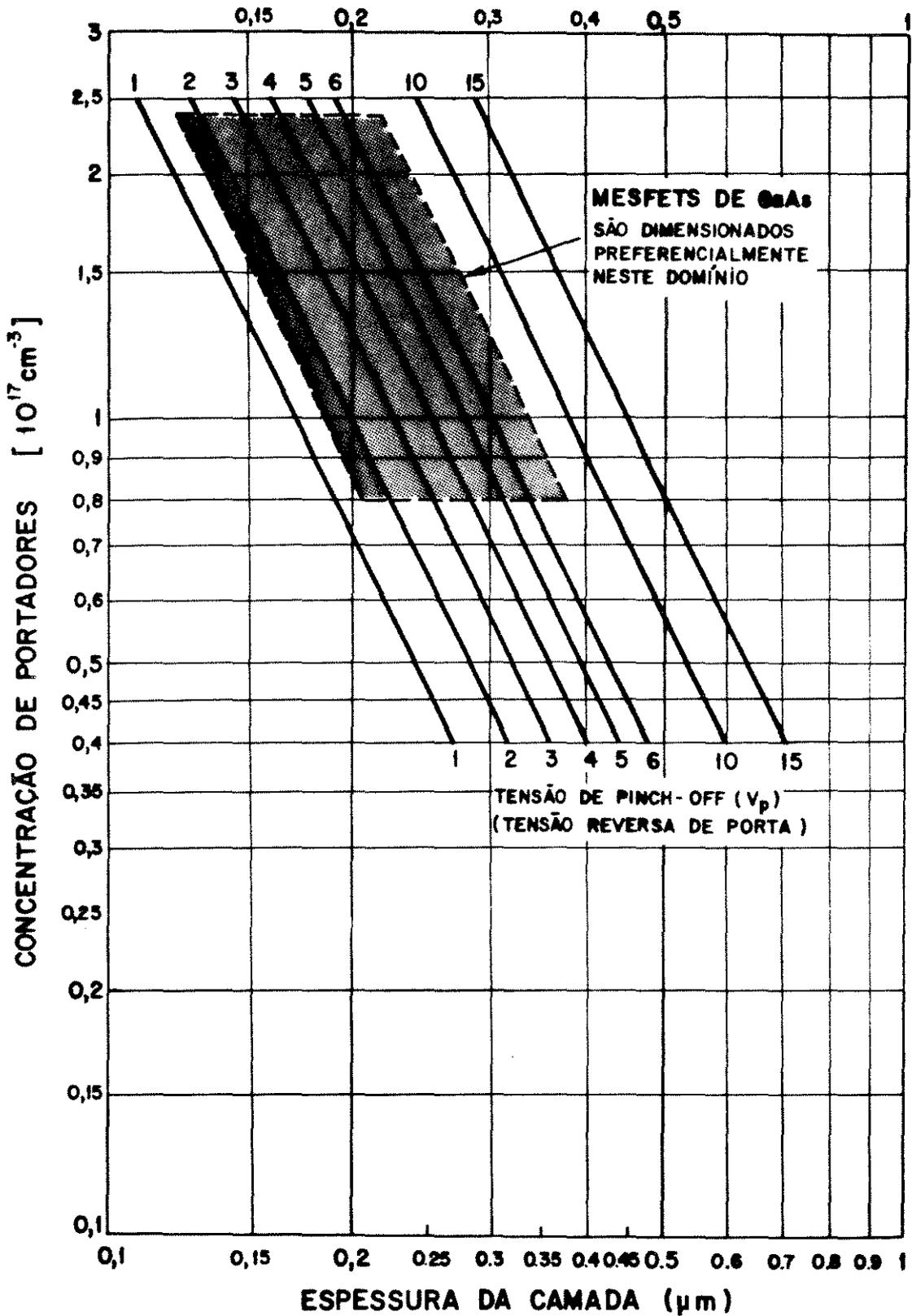


Figura 2.7 - Concentração de portadores versus espessura da camada ativa para do pagem constante de GaAs com a tensão de "pinch-off" V_p como parâmetro. (Valores calculados a partir da primeira equação da fig. 2.6).

2.2.3. CARACTERÍSTICAS DA CAMADA ATIVA OBTIDA POR DIFERENTES TÉCNICAS

Esta seção apresenta uma avaliação comparativa da qualidade de camadas crescidas por diferentes técnicas.

A formação de camadas funcionais pode ser categorizada em quatro técnicas: crescimento em fase vapor CVD, (VPE e MOCVD), crescimento na fase líquida LPE, crescimento por feixe ou jato molecular MBE ou feixe químico CBE e, por implantação iônica II. O detalhamento destas técnicas tem ampla literatura.

A técnica LPE é indicada quando se deseja crescer camadas "buffer" de alta pureza. Entretanto exigem-se do equipamento e sistema de crescimento cuidados extremos para se obter tal pureza. Considera-se também que o custo do equipamento LPE é um dos mais baixos quando comparado com as outras técnicas. A técnica LPE produz camadas com morfologia superficial inferior às outras técnicas. Para a construção de dispositivos exige-se que a superfície esteja com aspecto especular e livre de defeitos. As outras técnicas são superiores à LPE neste aspecto. Ainda, o controle da espessura da camada não é bom, exigindo ataque químico posterior para se obter a espessura desejada. O controle de temperatura e a estequiometria do processo são críticos nesta técnica resultando crítica a reprodutibilidade destas camadas.

A camada "buffer" e ativa crescida pela técnica VPE (método do tricloreto de Arsênio e variantes) é caracterizada pela alta anisotropia, ou seja, a taxa de crescimento é dependente da face do cristal em crescimento. A face (100) tem a maior taxa de crescimento. Se a face de crescimento é deslocada 3° a 6° em relação a face (100) a taxa de crescimento aumenta, os defeitos diminuem e a face crescida apresenta morfologia especular. Esta técnica constitui atualmente a melhor técnica para crescimento de camadas com excelente reprodutibilidade.

A técnica MOCVD (Metal-Organic Chemical Vapour Deposition) ou OMVPE é uma variante da técnica CVD que emprega, basicamente, o organo metálico trimetil-gálio, $(\text{CH}_3)_3\text{Ga}$, e a arsina, AsH_3 , como reagentes na fase vapor sobre a superfície aquecida do substrato de GaAs. As pequenas quantidades de reagentes usadas no fluxo de gases possibilitam alcançar a estequiometria correta e o controle da espessura pode chegar a camadas monoatômicas, apre

sentando, portanto, visível vantagem com relação às técnicas LPE e VPE, que apresentam controle na faixa de 500 Å a 1.000 Å.

Outra característica da camada crescida por MOCVD é o perfil de dopagem mais abrupto entre substrato-"buffer" e "buffer" camada ativa. Esta característica resulta da baixa temperatura de crescimento 550°C a 650°C quando comparada com VPE, tipicamente 800°C, e LPE, 850 a 900°C. Com temperatura de crescimento mais baixa a difusão de impurezas de uma camada a outra (out-diffusion) é menor resultando num perfil de dopagem mais definido. A morfologia da superfície é especular e se compara às superfícies crescidas pela técnicas VPE.

A técnica MOCVD é uma técnica que tem se viabilizado principalmente pela possibilidade de crescimento de camadas diversas para heteroestruturas, com ligas ternárias ou quaternárias, com um custo inferior à técnica MBE (molecular beam epitaxy). MESFETs de GaAs foram construídos com camadas ativas pela técnica MOCVD e apresentam características de alta performance [13].

A técnica MBE ou sua variante CBE (Chemical Beam Epitaxy) difere significativamente das técnicas descritas anteriormente. A característica diferencial é que todo o processo é feito numa câmara de ultra alto vácuo (UHV) e sobre o substrato incidem feixes moleculares, a partir de fontes de evaporação [23] [34] e literatura. A taxa de crescimento é extremamente baixa, tipicamente uma camada atômica por segundo. A temperatura do substrato é tipicamente 500°C a 600°C. Como o processo é feito numa câmara de UHV, as técnicas MBE e CBE são as únicas que permitem o controle e acompanhamento da espessura do filme "in situ". Existem técnicas [35] que permitem o crescimento seletivo de camadas epitaxiais MBE, dispensando a posterior seleção por ataque químico para formação das "mesas". Ainda, apresenta a facilidade de crescer heteroestruturas, por exemplo, Ge sobre GaAs, para diminuir a resistência de contato [24] bastando, simplesmente, acionar a fonte evaporadora de Ge para crescimento da camada. A técnica MBE é a única técnica que permite crescer camadas metálicas podendo crescer inclusive o alumínio metálico da porta, que é um alumínio monocristalino [36]. A morfologia da amostra é excelente, apresentando aspecto especular livre de defeitos superficiais [37].

Como o custo do equipamento para esta técnica é muito

elevado e o crescimento é relativamente lento, a utilização dos sistemas MBE ou CBE está restrito a laboratórios de pesquisa e desenvolvimento e a dispositivos que empregam multicamadas e heteroestruturas, sendo limitada sua utilização para produção de MESFETs de GaAs. Entretanto, MESFETs de GaAs construídos a partir de camadas crescidas pela técnica MBE apresentam excelentes características elétricas [15], [35], [38]. Os efeitos de histerese na característica C.C. de dispositivos com camadas crescidas por outras técnicas, sem uma camada "buffer" de alta resistividade acima do substrato dopado com cromo, não aparecem nos dispositivos com camadas MBE, indicando uma alta qualidade de interface. A histerese é atribuída à alternância de preenchimento e esvaziamento dos estados de interface.

A camada ativa obtida por implantação iônica (II) é formada quando um feixe de íons de energia na faixa de algumas dezenas a algumas centenas de keV incidem sobre a amostra e estes íons penetram na rede cristalina do GaAs. Esta penetração não é muito profunda, da ordem de centenas a poucos milhares de angstroms. Na literatura geral há descrição da II para GaAs. É possível fazer a implantação sobre o substrato SI ou então sobre uma camada "buffer" de alta resistividade.

O uso desta técnica tem sua vantagem principal no controle da espessura e dopagem da camada ativa, aspecto em que é superior às técnicas por epitaxia.

A reprodutibilidade e uniformidade da camada, esta última, característica fundamental na confecção de circuitos integrados monolíticos de GaAs, são vantagens desta técnica.

As espécies dopantes implantadas mais comuns para o GaAs são: Si, S, Se, Te, todas impurezas doadoras para formação de dopagem n. O Si é largamente utilizado neste processo.

Durante o processo de implantação, o impacto dos íons energéticos sobre a superfície do GaAs causa danos à superfície e os íons que penetram na rede não estão necessariamente ativos, isto é, não funcionam como doadores.

O reordenamento da superfície e a ativação das impurezas exige um tratamento térmico ou recozimento (annealing) que se torna um inconveniente no processo de implantação.

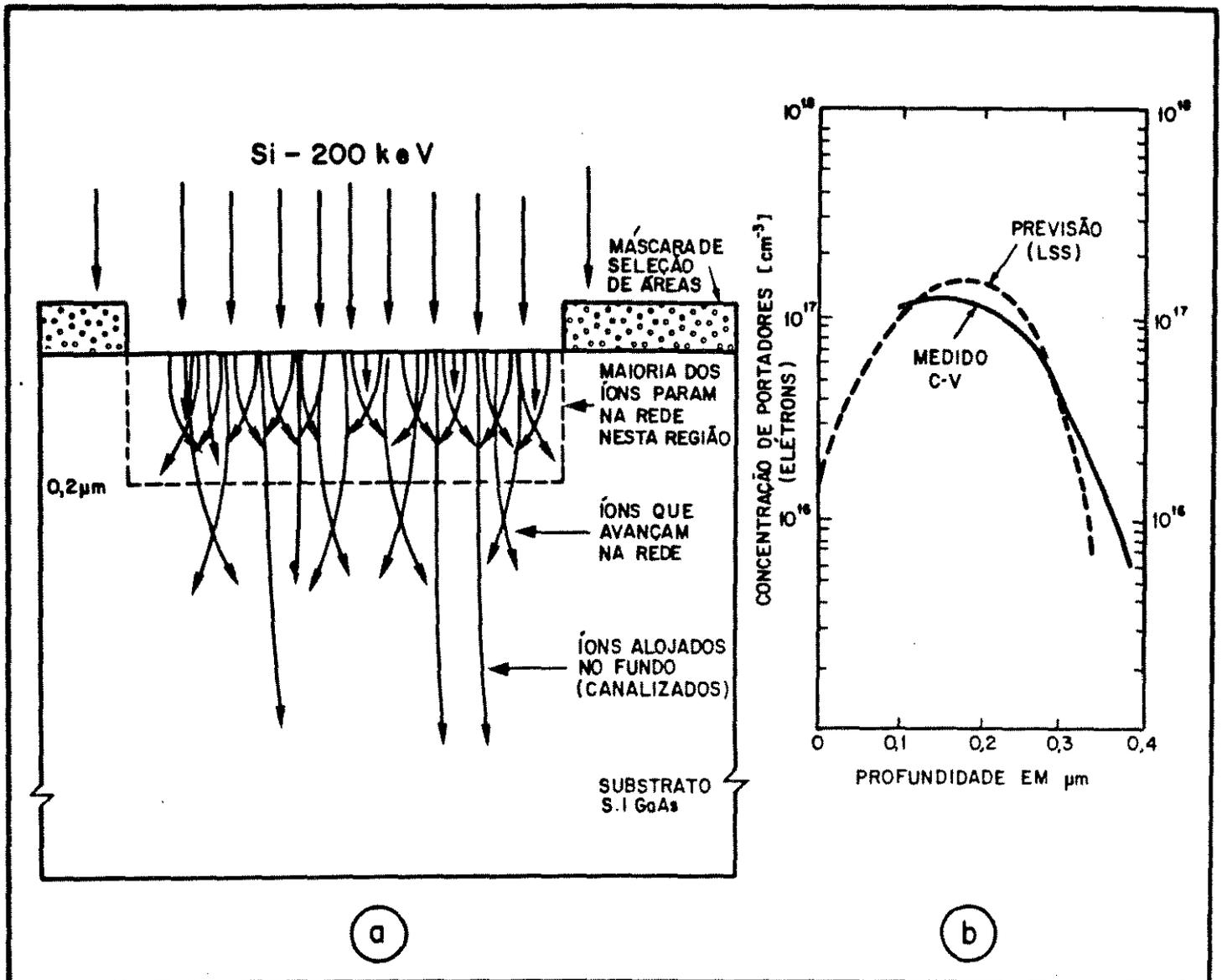


Fig. 2.8. a. Substrato de GaAs implantado e as possíveis trajetórias dos íons de Si, mostrando o fenômeno de canalização.

b. Perfil de dopagem projetado (linha tracejada) e as medidas C-V para verificação do perfil [40].

O recozimento é feito na faixa de 700 a 900°C e o GaAs começa a dissociar-se a partir de 600°C . Por isto é necessário encapsular o GaAs com uma camada tecnologicamente compatível com o processo térmico que impeça a saída de As (arsênio) da estrutura do GaAs. Utiliza-se como capa no processo de recozimento principalmente o SiO_2 e o Si_3N_4 . É possível evitar-se a dissociação do GaAs, com recozimento sem capa (capless annealing) e, nestes casos, exigem-se atmosferas especiais e os resultados são semelhantes ao recozimento com capa [41].

O processo térmico de recozimento a altas temperaturas 700 - 900°C , tipicamente 850°C , dá origem a fenômenos de difu

são para fora e para dentro (out-diffusion e in-diffusion) de espécies tanto do semiconductor como da capa e ainda resulta na ativação de espécies do substrato, além da espécie implantada. A fig. 2.9a mostra a ocorrência de migração de espécies durante o processo de recozimento com duas capas diferentes SiO_2 e Si_3N_4 . Átomos de cromo migrando em direção contrária à interface podem desbalancear a carga na superfície pois o Cr é aceitador. Átomos de Si (doadores) podem migrar para o GaAs tanto a partir do SiO_2 , como do Si_3N_4 . Impurezas doadoras existentes na superfície do GaAs difundem-se para dentro do GaAs. No recozimento com capa de SiO_2 é mais pronunciada a difusão de Ga para esta capa e também a densidade de armadilhas na superfície é maior que o recozimento com capa de Si_3N_4 . Vacâncias de Ga e As da superfície podem migrar para dentro do GaAs e tornarem-se doadoras.

Estes fenômenos de migração de espécies, associados principalmente a substrato de baixa qualidade, dão origem a uma camada superficial condutora ou camada de inversão do tipo N, que pode ter dezenas ou até centenas de angstroms, com concentrações da ordem de, no máximo, $1 \times 10^{17} \text{ cm}^{-3}$.

Se ocorrer a camada de inversão, condutora, num processo de implantação seletiva de ilhas, a camada curto-circuita todas as ilhas e se perde a característica do semiconductor como isolante entre dispositivos. A fig. 2.9 b e c mostra o surgimento da camada de inversão pós-recozimento no processo de implantação seletiva.

Outras técnicas de tratamento térmico estão sendo empregadas para camadas implantadas, para evitar a redistribuição de impurezas. Radiação laser ou feixe de elétrons varrem a amostra localmente evitando o aquecimento em toda a amostra e diminuindo drasticamente o tempo de recozimento. O processamento térmico rápido RTP (Rapid Thermal Processing) está se tornando alternativa viável para recozimento de camadas implantadas e, provavelmente, será a técnica padrão de tratamento térmico [42].

A escolha e pré-seleção de substratos para implantação iônica são fundamentais para se obterem as características elétricas desejadas para o dispositivo e, a ocorrência dos fenômenos mencionados é mais intensa se não for elaborada uma rotina de testes para qualificação dos substratos.

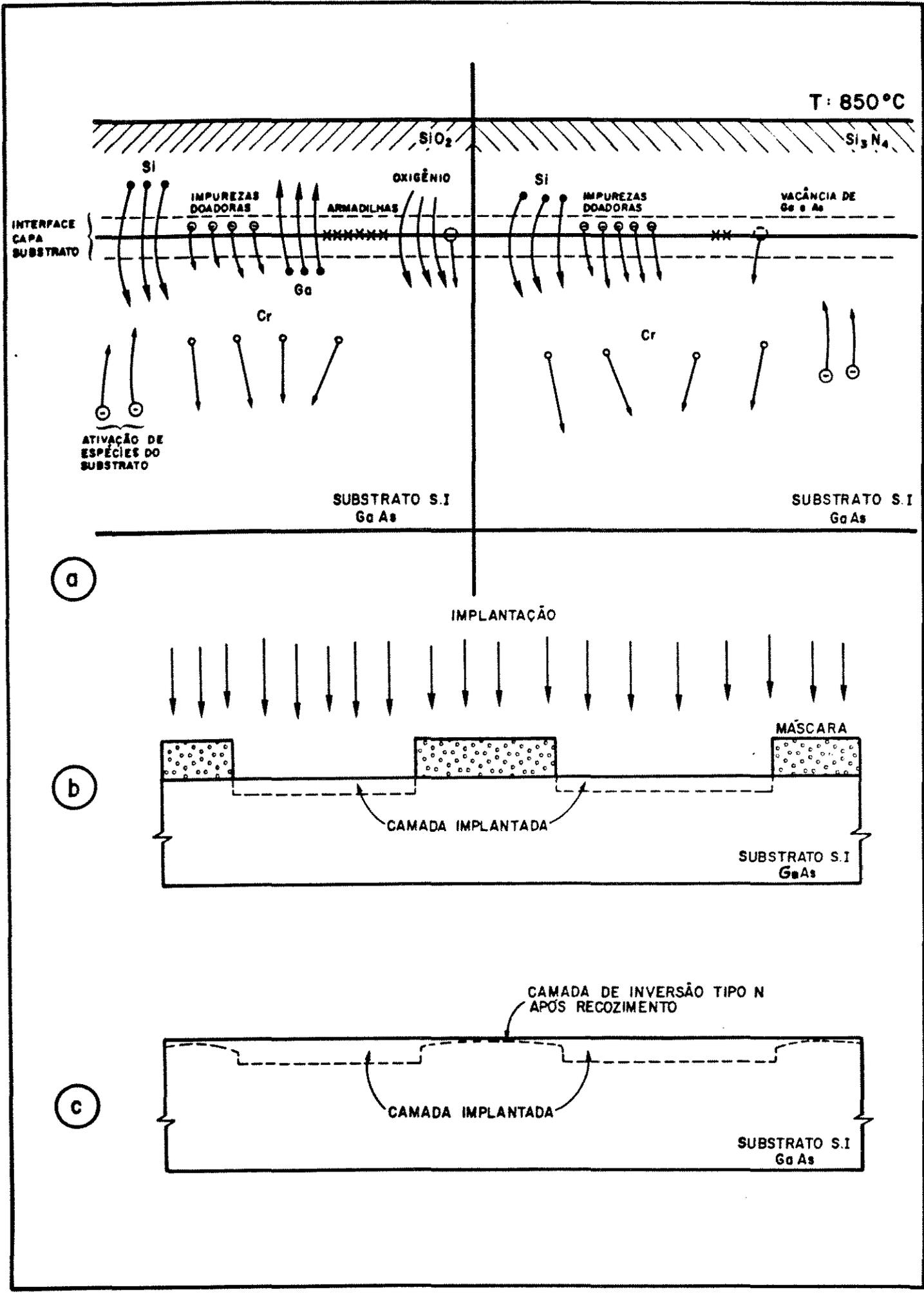


Figura 2.9 - a. Fenômenos de migração de espécies que podem inverter a superfície durante o recozimento com capa de camadas implantadas. O diagrama mostra a ocorrência com capa de Si_3N_4 e SiO_2 .
 b. Implantação seletiva de ilhas.
 c. Surgimento da camada de inversão pós-recozimento com capa devida aos fenômenos descritos em a.

Na tabela I é apresentado um resumo das principais características das técnicas de formação das camadas funcionais para MESFETs de GaAs. Os valores apresentados são, em geral, os melhores resultados obtidos com cada técnica. Entretanto, para algumas especificações, valores típicos são citados, como também avaliações genéricas sobre as técnicas são mencionadas.

O quadro apresentado na tabela I serve como indicador comparativo para dimensionamento de sistemas e decisão quanto à tecnologia a ser adotada.

TABELA I. TÉCNICAS DE OBTENÇÃO DAS CAMADAS FUNCIONAIS PARA MESFETS DE GaAs. AVALIAÇÃO COMPARATIVA.

	CVD					OBSERVAÇÕES
	LPE	VPE	MOCVD	MBE (CBE)	IMPLANT.	
QUALIFICAÇÃO DO SUBSTRATO	DESEJÁVEL	DESEJÁVEL	DESEJÁVEL	DESEJÁVEL	NECESSÁRIA	TÉCNICA DE IMPLANTAÇÃO MAIS RESTRITIVA
DENSIDADE RESIDUAL DE IMPUREZAS [cm ⁻³]	APROX. 10 ¹⁴	APROX. 10 ¹⁴	APROX. 10 ¹⁵	< 10 ¹⁴	APROX. 10 ¹⁸	
DENSIDADE DE ARMADILHAS (ELETRONS) [cm ⁻³]	APROX. 10 ¹²	APROX. 10 ¹³	APROX. 10 ¹⁴	APROX. 10 ¹²	APROX. 10 ¹⁸	
DENSIDADE DE ARMADILHAS (LACUNAS) [cm ⁻³]	APROX. 10 ¹³	APROX. 10 ¹³	APROX. 10 ¹⁵	APROX. 10 ¹³	—	
ESPÉCIE DOPANTE TIPO N	Sn, Te	Si, Te, S, Se, Ge	Si, Ge, S, Se, Sn	Sn, Si, Se, Te	Si, S, Se, Te	
FAIXA DE DOPAGEM [cm ⁻³]	10 ¹⁴ - 10 ¹⁹	10 ¹⁵ - 10 ¹⁹	8 x 10 ¹⁴ - 10 ¹⁹	10 ¹⁵ - ≥ 10 ²⁰	10 ¹⁸ - 10 ¹⁹	
TEMPERATURA DO SUBSTRATO [°C]	ALTA 700 - 900	ALTA 700 - 900	MEDIA 550 - 750	BAIXA 500 - 620	BAIXA TA - 360	
MONITORAMENTO IN SITU	NÃO	NÃO	NÃO	SIM	NÃO	NA IMPLANTAÇÃO DOSE IMPLANTADA
TAXA DE CRESCIMENTO μm/min.	0,1 - 1,0	0,1 - 10	0,005 - 0,5	0,001 - 0,04	—	
CONTROLE DE ESPESSURA	± 500 Å	± 300 Å	± 50 Å	± 10 Å	± 100 Å	
UNIFORMIDADE DE ESPESSURA	± 7%	± 2%	± 1,5%	± 1,5%	± 1%	MELHORES RESULTADOS LPE EM ÁREA PEQUENA
UNIFORMIDADE DE DOPAGEM	EXCELENTE	RUIM	RUIM	BOA	EXCELENTE	
REPRODUTIBILIDADE DE ESPESSURA	BOA	EXCELENTE	BOA	EXCELENTE	BOA	
REPRODUTIBILIDADE DE DOPAGEM	BOA	EXCELENTE	BOA	EXCELENTE	BOA	
CONTROLE DO PERFIL	POUCO	BOM	BOM	EXCELENTE	POUCO	
EPITAXIA OU DOPAGEM SELETIVA	SIM	SIM	SIM	SIM	SIM	
DOPAGEM N+ PARA CONTATOS	SIM	SIM	SIM	SIM	SIM	
CAMADA BUFFER HETEROJUNÇÃO	SIM	NÃO	SIM	SIM	NÃO	
CRESCIMENTO DE HETEROJUNÇÃO PARA CONTATOS	NÃO	NÃO	NÃO	SIM	NÃO	
CRESCIMENTO DE METAIS	NÃO	NÃO	NÃO	SIM	NÃO	
MORFOLOGIA DA CAMADA	RUIM	BOA	BOA	ÓTIMA	—	
TRATAMENTO PÓS-FORMAÇÃO DA CAMADA	ATAQUE QUÍMICO	DISPENSÁVEL	DISPENSÁVEL	DISPENSÁVEL	NECESSÁRIO	RECOZ. A ALTA TEMP. NECESSÁRIO PÓS IMPLANT.
DIFUSÃO DE IMPUREZAS A PARTIR DO SUBSTRATO - OUT DIFFUSION -	EXCESSIVA	OCORRE	MENOR OCORRÊNCIA	MÍNIMA OCORRÊNCIA	OCORRE DURANTE RECOZIMENTO	PARA I.I. DEPENDE DA QUALIF. DO SUBSTRATO E TÉCNICA DE RECOZIM/
MOBILIDADE Hall PARA CAMPOS PEQUENOS [cm ² V ⁻¹ S ⁻¹]	EXCELENTE 4000-9300	EXCELENTE 2750-8000	BOA 5300 Tip	BOA 5000 Tip	RUIM 2400-4500	N = 10 ¹⁷ cm ⁻³ e 300K
PRODUÇÃO POR LÂMINA (TEMPO DE CRESCIMENTO)	> 10H	APROX. 2H	APROX. 2H	APROX. 1H	ALGUNS MINUTOS	
TEMPO PARA OPERAÇÃO CONFIÁVEL DO EQUIPAMENTO	6 MESES	6 MESES	6 MESES	4 MESES	2 MESES	MUITO VARIÁVEL. DEPENDE DA INFRAESTRUTURA DO LAB
CUSTO (INVESTIMENTO NO EQUIP.)	US\$ 50. 10 ³	US\$ 70. 10 ³	US\$ 150. 10 ³	US\$ 10 ⁶	US\$ 0,4. 10 ⁶	MUITO VARIÁVEL DEPENDE DE INSTRUMENTAÇÃO E OPÇÕES.
REFERÊNCIAS	8, 11, 14, 16 43 e 51	12, 14, 29, 32 44, 49, 52 e 58	13, 59, 60	15, 23, 24, 26, 35 37, 38, 61 e 64	8, 10, 40, 42 49, 50, 65 e 69	

CAPÍTULO 2

MESFETs DE GaAs : TECNOLOGIA

2ª PARTE
ESTRUTURAS

2.3. ESTRUTURAS DOS DISPOSITIVOS

Os MESFETs de GaAs e outros dispositivos de efeito de campo são construídos por diferentes tecnologias de fabricação. A escolha destas técnicas e processos está ligada, no caso de fabricação em grande escala, a um compromisso entre custos de fabricação e otimização das características elétricas e, em protótipos de laboratório, à tecnologia disponível compatibilizando-se com a performance desejada do dispositivo.

Nestas seções seguintes estão descritas as principais tecnologias de fabricação dos transistores MESFETs de GaAs. É possível agrupá-las em função da técnica litográfica, da tecnologia de alinhamento da porta entre dreno e fonte, da definição do canal na estrutura do dispositivo e das técnicas especiais de conformação da porta.

O aspecto tecnológico mais diferenciado na fabricação do MESFET de GaAs é a localização do eletrodo da porta entre fonte e dreno.

Pode-se dividir em dois grandes grupos as técnicas de formação do eletrodo de porta entre os demais eletrodos:

Gravação direta: consiste na gravação da linha que define o eletrodo de porta alinhando-a diretamente entre o dreno e fonte e a informação do alinhamento é parte do sistema litográfico: equipamento e máscaras.

Auto-alinhamento: esta técnica é a que tem mais variantes e é amplamente utilizada na fabricação de dispositivos tanto discretos como integrados. Consiste em utilizar a porta já gravada e definida numa etapa anterior como referência litográfica ou de processamento para alinhar os eletrodos de dreno e fonte nas laterais. A técnica de auto-alinhamento se combina com muitas outras técnicas e processos e, na descrição das tecnologias nas seções seguintes, é feito o destaque para a etapa mais significativa e crítica da tecnologia.

2.3.1. GRAVAÇÃO DIRETA

A gravação direta consiste em gravar as regiões de dreno, fonte e porta diretamente sobre a superfície do dispositivo sendo que, o alinhamento da porta entre os outros dois eletrodos é feito orientado pelas marcas de alinhamento das máscaras. A gravação direta pode ser obtida por fotolitografia de contato ou projeção, por litografia de feixe de elétrons, raio-X ou laser.

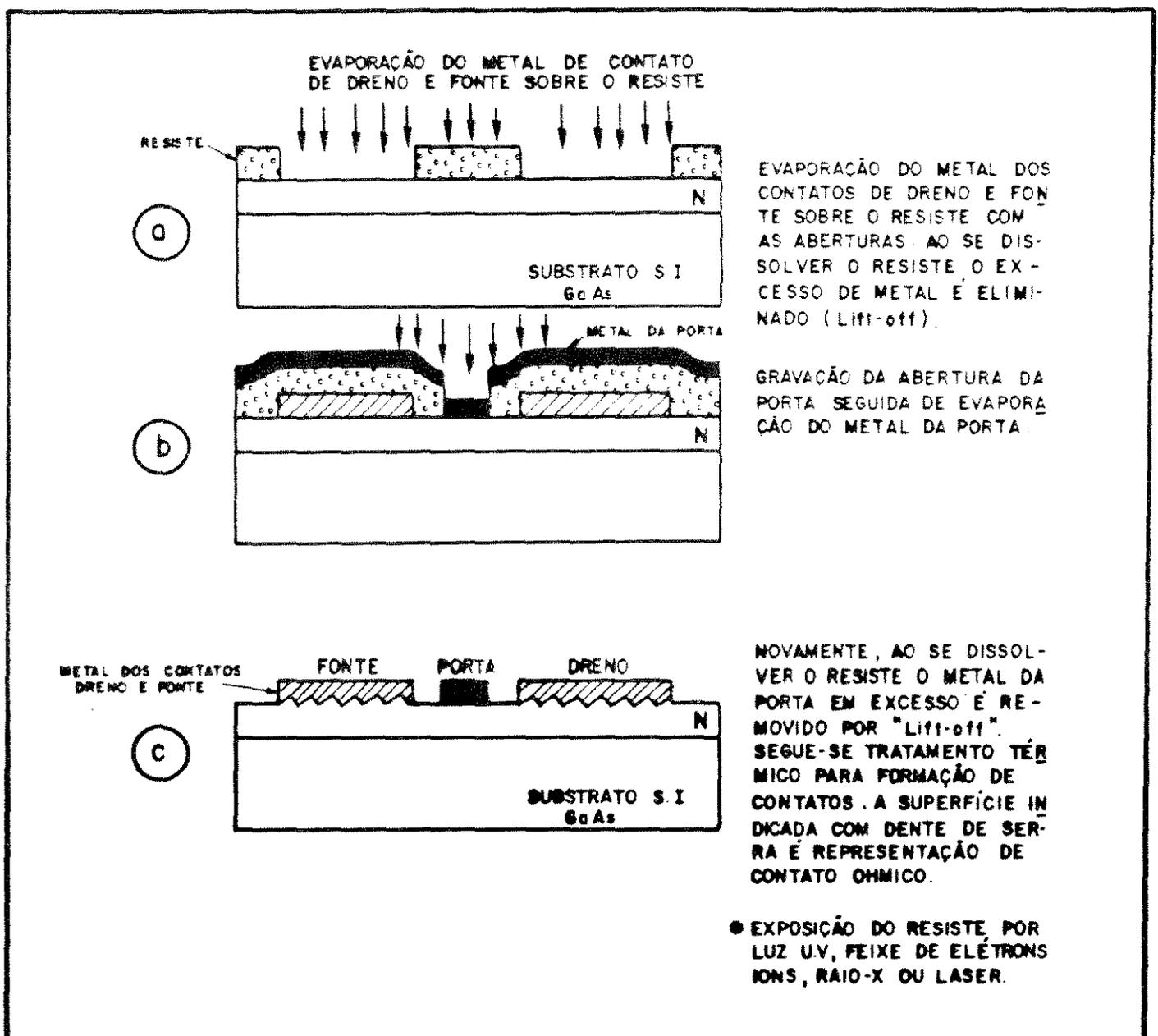


Fig. 2.10. Técnica de gravação direta dos eletrodos de dreno, fonte e porta. Gravação por qualquer sistema litográfico com máscaras separadas de dreno fonte e porta.

O esquema de gravação direta, apresentado de forma geral na fig. 2.10, já foi utilizado na fabricação de MESFETs de silício [70] e é empregado na fabricação de MESFETs de GaAs ou outros dispositivos, desde que o sistema de litografia seja compatível com a dimensão da porta e precisão do alinhamento entre os eletrodos de dreno e fonte.

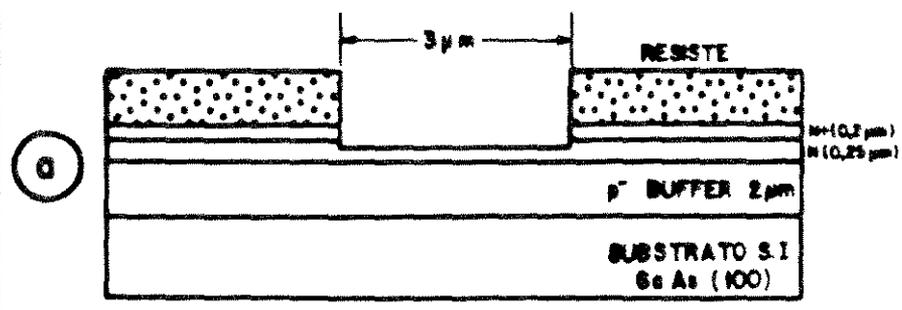
Este método de fabricação de MESFETs e outros dispositivos que empregam eletrodos na faixa submicron, têm custo muito alto, pois deve empregar sistema fotolitográfico óptico de projeção de alta resolução ou sistemas litográficos mais sofisticados e caros, como feixe de elétrons, íons, raio-X ou laser.

A técnica apresentada na fig. 2.10 utiliza o processo de "lift-off" [71] para os dois níveis de metalização. O "lift-off" consiste em evaporar o metal sobre o fotorresiste e, quando se dissolve o fotorresiste, o metal evaporado se mantém apenas na abertura, sendo removido nas regiões em que se depositou sobre o fotorresiste. Esta técnica de "lift-off" é denominada mais raramente também de "float-off", pois durante o processamento os resíduos do metal flutuam no meio líquido solvente do resiste.

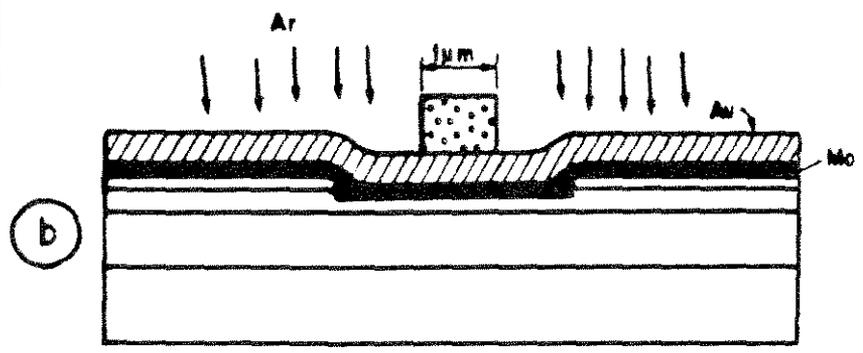
A tecnologia descrita a seguir [12], de gravação direta, utiliza metal refratário molibidênio (Mo) na porta, espessado com ouro (Au) e todo processo é por ataque seco: "plasma etching" "ion-milling" (ataque por feixe de íons).

As principais etapas deste processo estão descritas na fig. 2.11. É uma tecnologia que se assemelha ao auto-alinhamento mas é por gravação direta pois o alojamento da porta na etapa fig. 2.11.b é baseado no alinhamento com máscara anterior (de ataque da camada N^+ para atingir a camada ativa). A definição das regiões de dreno e fonte e seu posicionamento relativo ao eletrodo da porta também é através do alinhamento entre máscaras. Esta tecnologia, apesar de obter portas com dimensão submicron, pode utilizar gravação limite de sistemas fotolitográficos, chegando a gravar dimensões de $1 \mu\text{m}$ (fig. 2.11.b) sem utilizar feixe de elétrons, raio-X ou outra radiação.

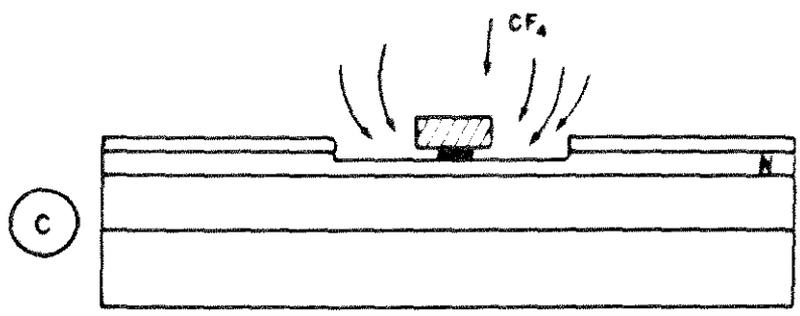
Os resultados típicos obtidos com a tecnologia mencionada acima são transistores com: $MAG = 10 \text{ dB}$ em 8 GHz , com figura de ruído $F_{\text{min}} = 3 \text{ dB}$.



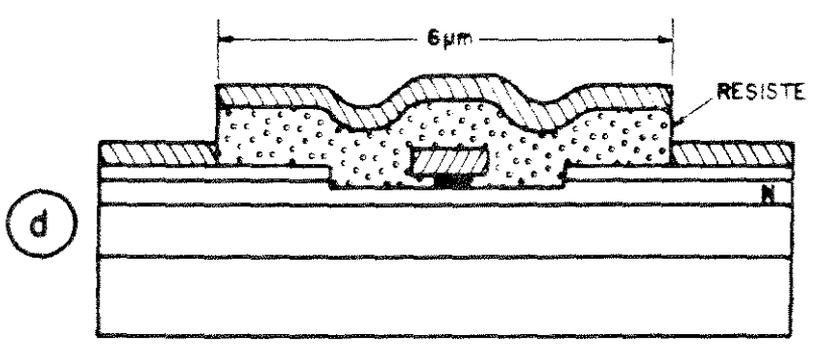
CRESCIMENTO DE CAMADAS: p⁻-BUFFER $5 \times 10^{18} \text{ cm}^{-3}$, CAMADA ATIVA N $8 \times 10^{18} \text{ cm}^{-3}$, CAMADA PARA CONTATOS N^o 10^{20} cm^{-3} , MÁSCARA COM ABERTURA DE $3 \mu\text{m}$ GRAVADA PARA ATAQUE POR PLASMA DO GaAs ATÉ CAMADA ATIVA.



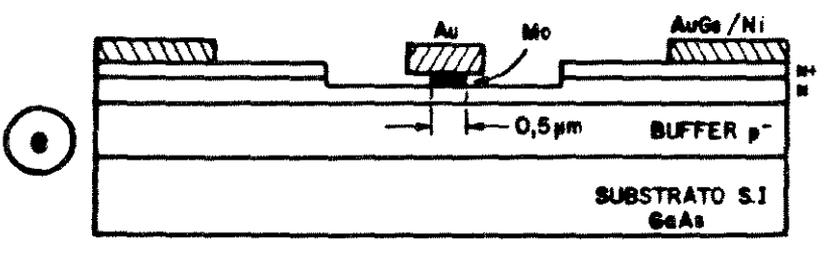
EVAPORAÇÃO DE CAMADA DE Mo (1500 Å) EVAPORAÇÃO MAIS ESPES SA DE OURO E GRAVAÇÃO DIRETA DE CONFIGURAÇÃO DE $1 \mu\text{m}$ A CAMADA DE OURO É ATACADA COM FEIXE DE ÍONS (Ar).



O Mo RESTANTE SOB O Au É ATACADO COM PLASMA (PLASMA ETCH COM CF_4) ATÉ FORMAR PORTAS COM DIMENSÃO SUBMICRON



MÁSCARA PARA GRAVAÇÃO DOS CONTATOS DE DRENO E FONTE E VAPORAÇÃO DE Au-Ga-N. REMOÇÃO DO RESISTE (Lift-off).



TRATAMENTO TÉRMICO PARA FORMAÇÃO DOS CONTATOS: (3 min., 400°C ATMOSFERA H_2) O Au NO COGUMELO DA PORTA FAZ DIMINUIR A RESISTÊNCIA E O COMPRIMENTO METALÚRGICO DA PORTA É DEFINIDO PELO Mo.

Figura 2.11 - Tecnologia com gravação direta com porta formada por Mo e espessada com Au utilizando ataque seco (plasma etching e ion-milling) [12].

2.3.2. ESTRUTURAS AUTO-ALINHADAS

A tecnologia mais empregada na fabricação de dispositivos planares do tipo MESFET de GaAs e similares é a de auto-alinhamento do eletrodo da porta entre dreno e fonte. A técnica de auto-alinhamento surgiu para MESFETs de Si [72]. Ela utiliza uma camada de SiO_2 sobre o Si e esta camada é atacada quimicamente, formando um cogumelo de base estreita que serve de alojamento do metal da porta. A partir destes conhecimentos, a técnica passou a ser utilizada na fabricação de MESFETs de GaAs com estrutura mesa, incluindo auto-alinhamento e canal em recesso [73] ou auto-alinhamento com ataque químico preferencial anisotrópico [4], [5].

O processo de auto-alinhamento mais adequado ao desenvolvimento de protótipos de laboratório e que pode ser utilizado para a construção de dispositivos com geometria submicron é o esquematizado na fig. 2.12 [46], [61].

As etapas deste processo são: a) inicialmente a lâmina, já com as camadas funcionais estruturadas, são gravadas para isolamento dos dispositivos, que podem ser isolados por implantação seletiva, epitaxia seletiva ou, como indicado na figura 2.12.a, por "mesas". Estas mesas são obtidas por ataque químico do GaAs até uma profundidade que atinja o substrato semi-isolante. Em seguida o metal da porta, que formará junção Schottky com o GaAs, normalmente o Al, é evaporado sobre toda a superfície. b) A máscara da porta e regiões de dreno e fonte é gravada sobre a superfície. A região do fotorresiste correspondente à porta é normalmente gravada com as dimensões limites do sistema litográfico disponível. Para melhor ilustrar o processo na fig. 2.12.b, o fotorresiste nas duas extremidades aparece sobre a mesa o que limitaria a extensão das regiões de dreno e fonte. De fato, as regiões de dreno e fonte se estendem além da mesa para formação dos "pads" correspondentes. c) Procede-se a um ataque do metal da porta sob o fotorresiste. Esta etapa é bastante crítica pois o ataque controlado do metal vai definir o comprimento metalúrgico da porta. d) Ainda com o fotorresiste, o metal ou liga para contatos ôhmicos dreno e fonte é evaporado. O dimensionamento dos filmes faz com que o metal dos contatos se deposite no fundo da abertura da máscara e sobre o fotorresiste, mas

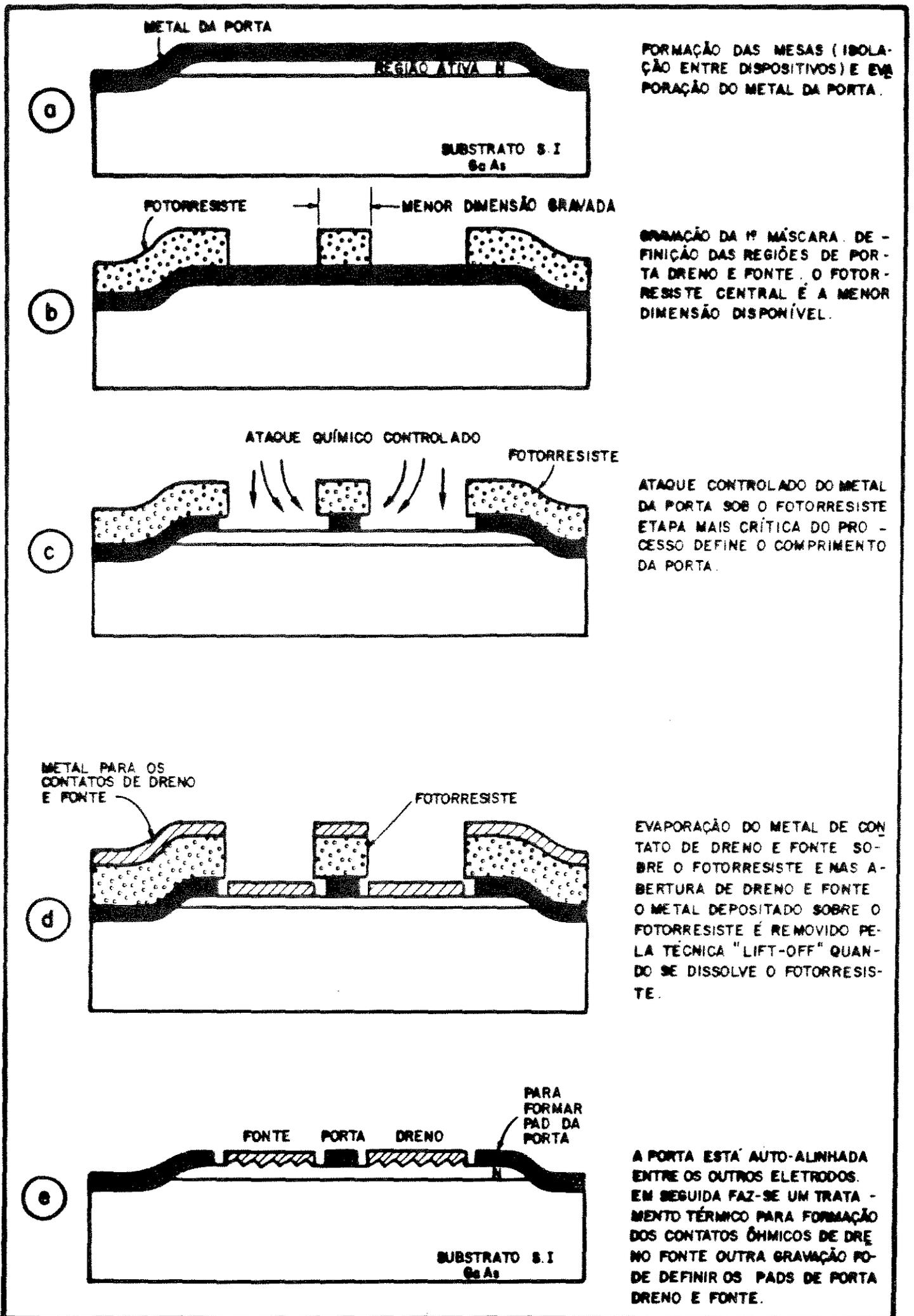


Figura 2.12 - Tecnologia de auto-alinhamento da porta entre dreno e fonte. Seqüência básica [46], [61].

interrompendo a continuidade. e) Pela técnica "lift-off" o fotoresistente é dissolvido, levando consigo o metal de contatos. Em seguida, faz-se o tratamento térmico adequado para se obter liga do metal de contatos com o semiconductor. O metal da porta para junção Schottky não sofre alteração. É possível fazer outra gravação, em seguida, para delinear os contatos "pads" dos eletrodos do dispositivo. O transistor completo, mostrado na fig. 2.12.e, apresenta os contatos ôhmicos de dreno e fonte e a porta que está auto-alinhada.

Outra técnica de auto-alinhamento da porta usa como material da porta não um metal, mas o semiconductor GaAlAs, tipo P [9], [74].

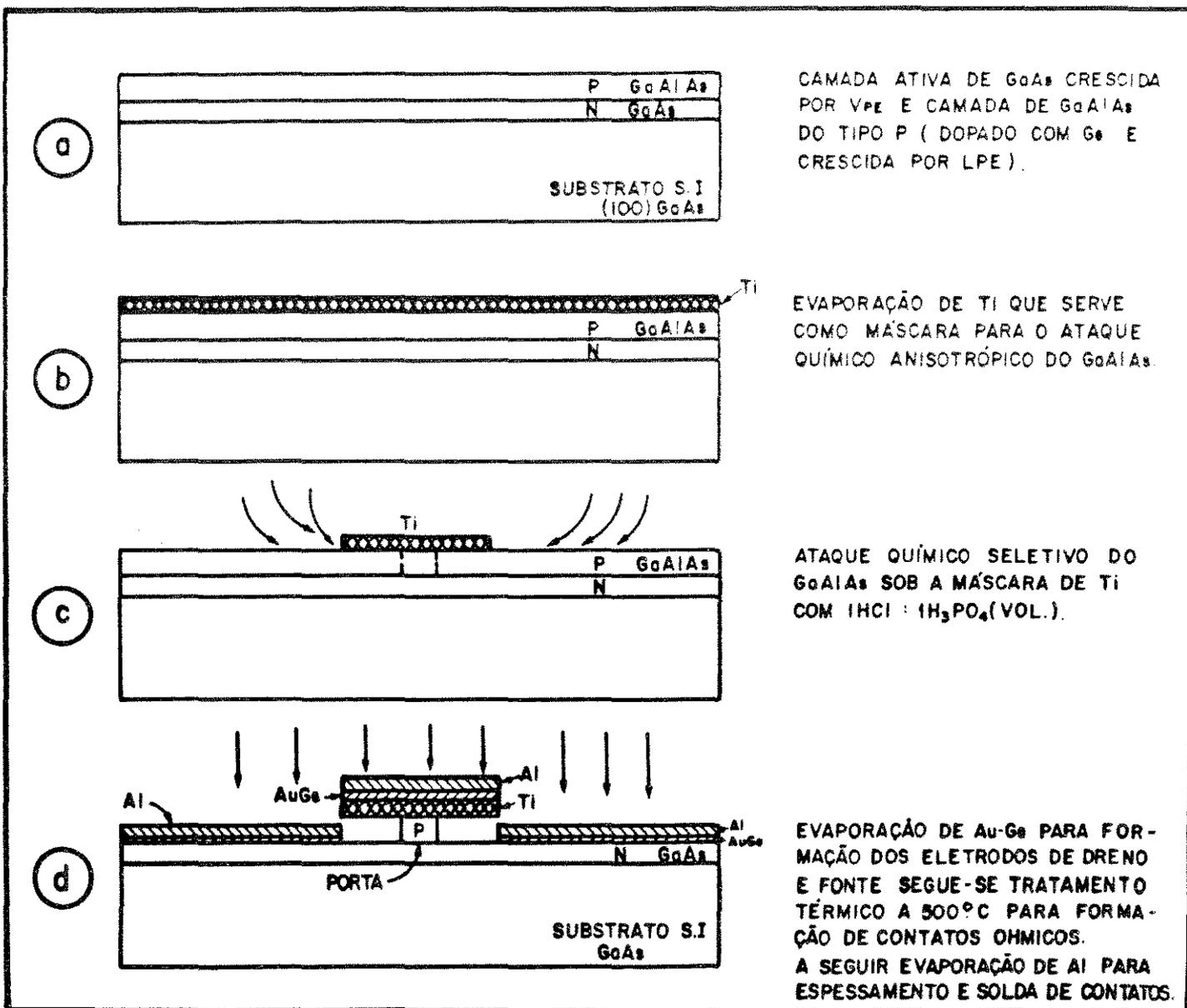


Fig. 2.13. Tecnologia de auto-alinhamento com porta heterojunção de GaAlAs

Esta técnica emprega um ataque químico seletivo entre a camada GaAs dopada N e a camada GaAlAs dopada tipo P. A fig. 2.13 indica as principais etapas do processo para se obter o MESFET de GaAs em porta formada por heterojunção e auto-alinhada.

A tecnologia mostrada na fig. 2.13 resulta num transistor com a porta em forma de cogumelo e as camadas metálicas no topo diminuem a resistência da porta.

A tecnologia de auto-alinhamento que é utilizada para circuitos integrados de alta velocidade [75] e pode ser utilizada para transistores discretos é mostrada na fig. 2.14.

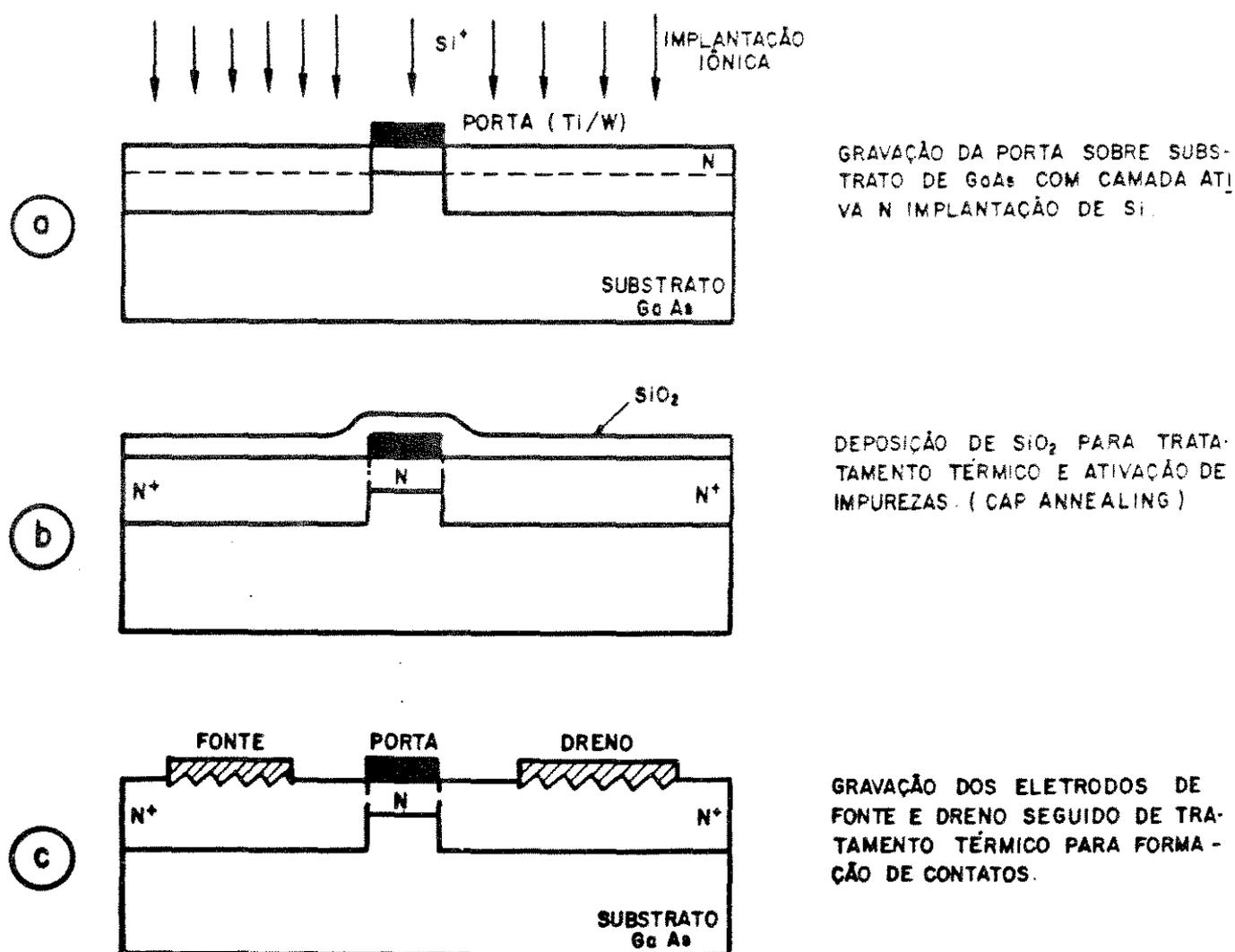


Fig. 2.14. Tecnologia de auto-alinhamento das regiões de contato (N⁺) de fonte e dreno por implantação iônica [75].

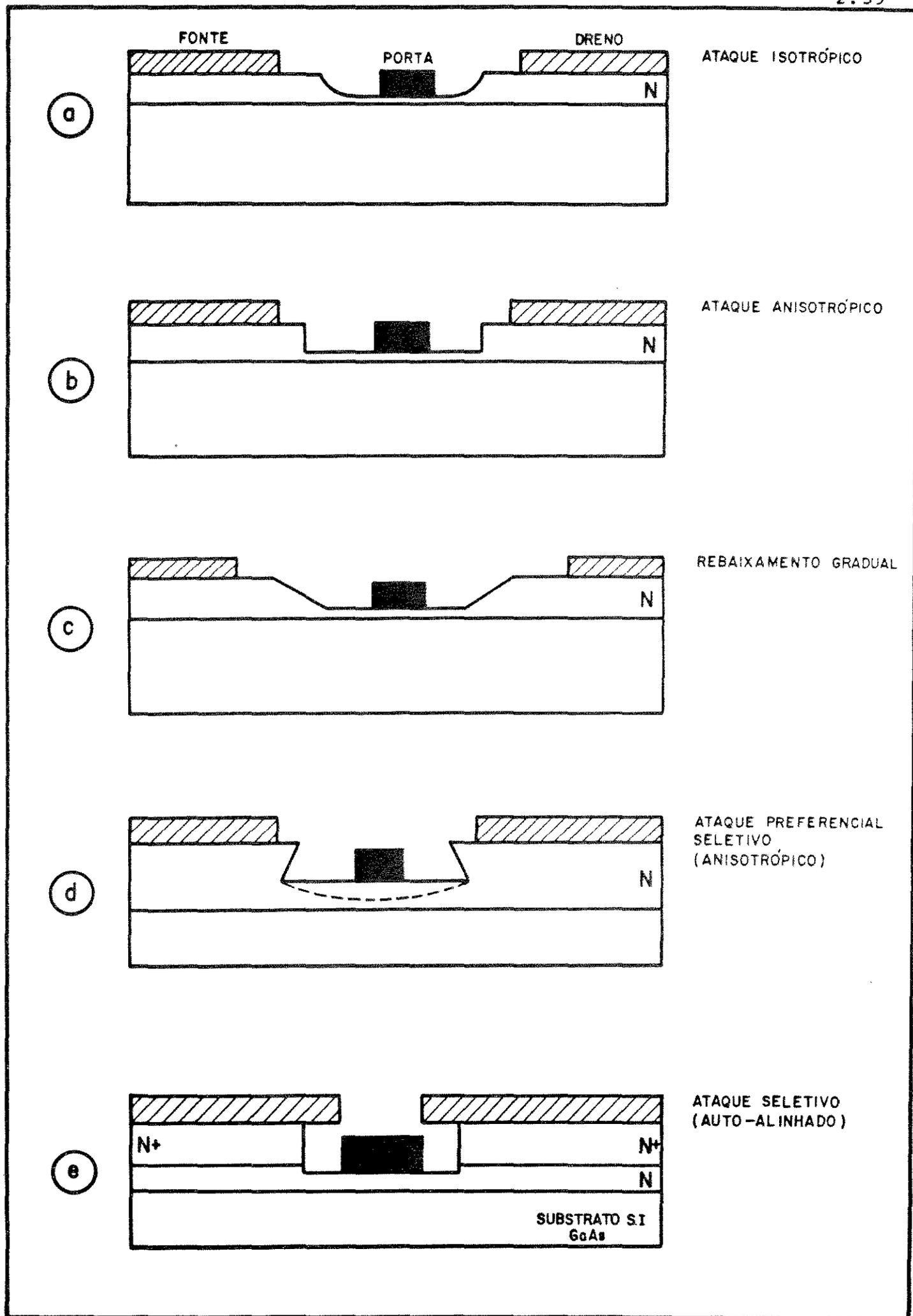


Figura 2.15 - Tecnologias com rebaixamento de canal ("Recessed Channel Technology"). Perfil básico do dispositivo.

A característica diferencial desta tecnologia, comparada com as outras de auto-alinhamento, é que esta alinha as regiões N^+ de dreno e fonte nas laterais da porta por implantação, ao invés de alinhar os eletrodos metálicos.

2.3.3. TECNOLOGIAS COM REBAIXAMENTO DO CANAL

Nos MESFETs de GaAs a corrente de saturação para $V_{PF} = 0$, ou seja I_{DSS} , é um parâmetro que define as condições de operação do dispositivo. Esta corrente de saturação é dependente da espessura da camada ativa cujo valor é de difícil controle de fabricação. Para se obter o controle desta variável, foi desenvolvida a tecnologia de canal rebaixado "recessed channel technology". Consiste em atacar a camada ativa na região sob a porta monitorando a corrente de saturação até atingir o valor desejado. A estrutura com canal rebaixado já foi empregada também em transistores de porta dupla [76].

Na fig. 2.15 estão representadas as principais tecnologias de rebaixamento de canal e a resultante redução da espessura da camada ativa sob a porta. Além do controle da corrente de saturação, os vários perfis são empregados em MESFETs de potência para aumentar a tensão de ruptura de dreno [77]. O dimensionamento do rebaixamento depende das condições de dopagem e características elétricas máximas desejáveis para o dispositivo. A fig. 2.15a apresenta o ataque químico normalmente úmido e de características isotrópicas. É importante que o metal da porta seja assentado num fundo plano. A fig. 2.15b apresenta um ataque químico do tipo anisotrópico e normalmente obtido por via úmida. O perfil mostrado na fig. 2.15c do tipo gradual torna a seção do canal suave evitando a concentração de campo elétrico. Na fig. 2.15d é mostrado o resultado do ataque preferencial de planos cristalográficos, que permite obter a abertura em forma de V e assentar a porta em superfície plana [78]. Outros ataques químicos preferenciais resultam em um assento da porta não exatamente plano, como mostra a linha tracejada da fig. 2.15d [4], mas é possível este perfil para fabricação de MESFETs de GaAs de alta performance [5]. Em todos os perfis descritos na fig. 2.15, a camada de contatos N^+ pode ser incluída na descrição da estrutura

ra do dispositivo. A fig. 2.15e mostra o perfil resultante de um MESFETs de GaAs com canal rebaixado e ataque anisotrópico úmido e com auto-alinhamento da porta no canal rebaixado da forma indicada na ref. [73].

A fig. 2.16 descreve as etapas de processo de uma tecnologia de rebaiamento de canal que emprega a técnica de "lift-off".

A tecnologia de rebaiamento de canal mostrada de forma geral na fig. 2.16 é citada impropriamente na literatura como de auto-alinhamento. De fato, a gravação do eletrodo de porta exige gravação direta para o rebaiamento do canal e evaporação do metal da porta. O auto-alinhamento se dá entre porta e canal rebaixado.

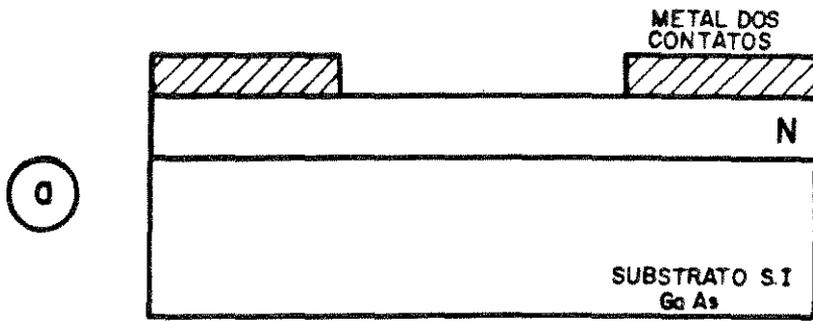
Uma tecnologia de canal em rebaixo desenvolvida em 1972 [5] mostra o grau de complexidade que pode exigir a fabricação de MESFETs de GaAs. Esta seqüência de processos mostrada nas figs. 2.17 e 2.18 tinha por objetivo a fabricação de MESFETs de GaAs com comprimento de porta na faixa de 2 μm , mas pode ser usada para fabricação de portas com comprimento na faixa submicron. O detalhamento desta tecnologia indica o aparato de alto custo necessário para desenvolvê-la.

Na fig. 2.17 descreve-se a geometria e os planos cristalográficos do GaAs e o resultado do ataque do reagente $\text{Br}_2\text{-CH}_3\text{OH}$ em diferentes planos [4]. A formação dos perfis rebaixados, mostrados na fig. 2.17, é utilizada na seqüência de fabricação, indicada na fig. 2.18.

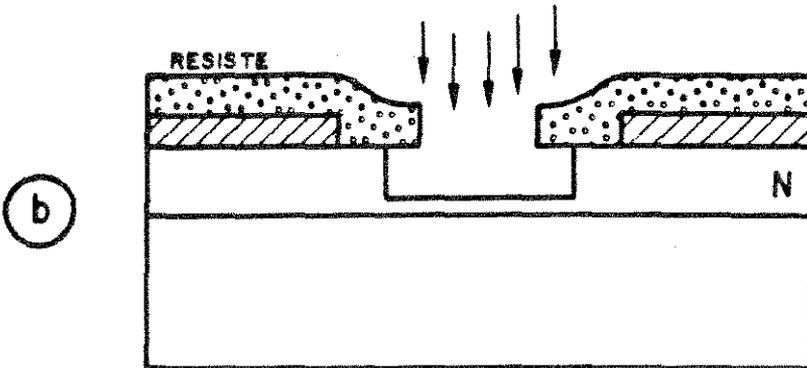
As etapas de fabricação, apresentadas na fig. 2.18, podem ser otimizadas com novos materiais. Por exemplo, as etapas de mascaramento com alumina Al_2O_3 podem ser substituídas com SiO_2 por "spin-on", ou seja, ao invés de uma evaporação com feixe de elétrons, utiliza-se uma emulsão com SiO_2 e depositada à temperatura ambiente em "spinner".

A tendência atual de construção de MESFETs de GaAs e novos dispositivos de efeito de campo, para aplicações de baixo ruído em circuitos de microondas, é a utilização de estruturas com rebaiamento de canal.

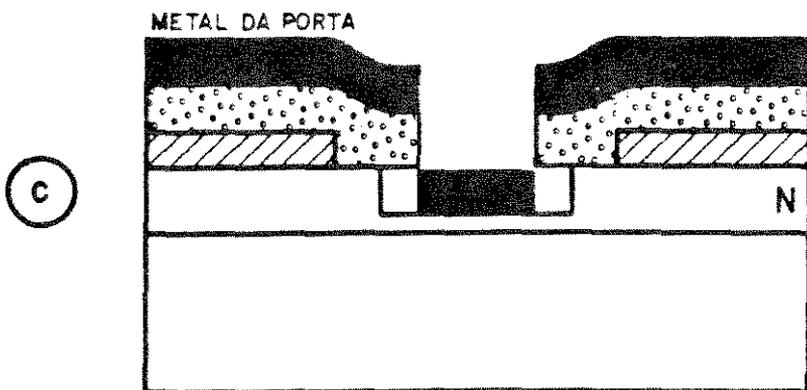
A estrutura proposta na fig. 2.19a [78] é construída a partir de camadas funcionais "buffer" /N/N⁺ por VPE. A isolação



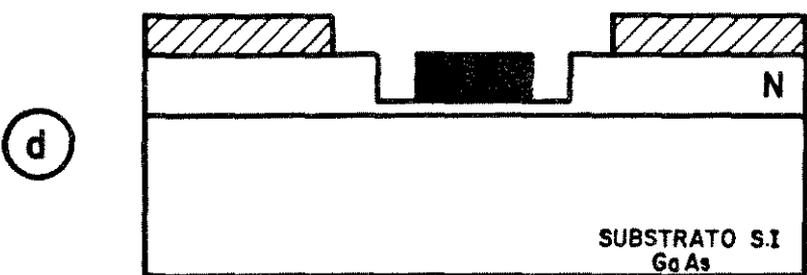
EVAPORAÇÃO DOS CONTATOS DE DRENO E FONTE
TRATAMENTO TÉRMICO PARA FORMAÇÃO DOS CONTATOS ÔHMICOS.



ABERTURA DE JANELA PARA ATAQUE QUÍMICO DA REGIÃO ATIVA ATÉ A CORRENTE DE SATURAÇÃO Atingir VALOR DESEJADO.



O METAL DA PORTA É EVAPORADO E REMOVIDO POR "LIFT-OFF".



ESTRUTURA DO MESFET COM CANAL REBAIXADO.

Figura 2.16 - Tecnologia de rebaixamento de canal e remoção por "lift-off".

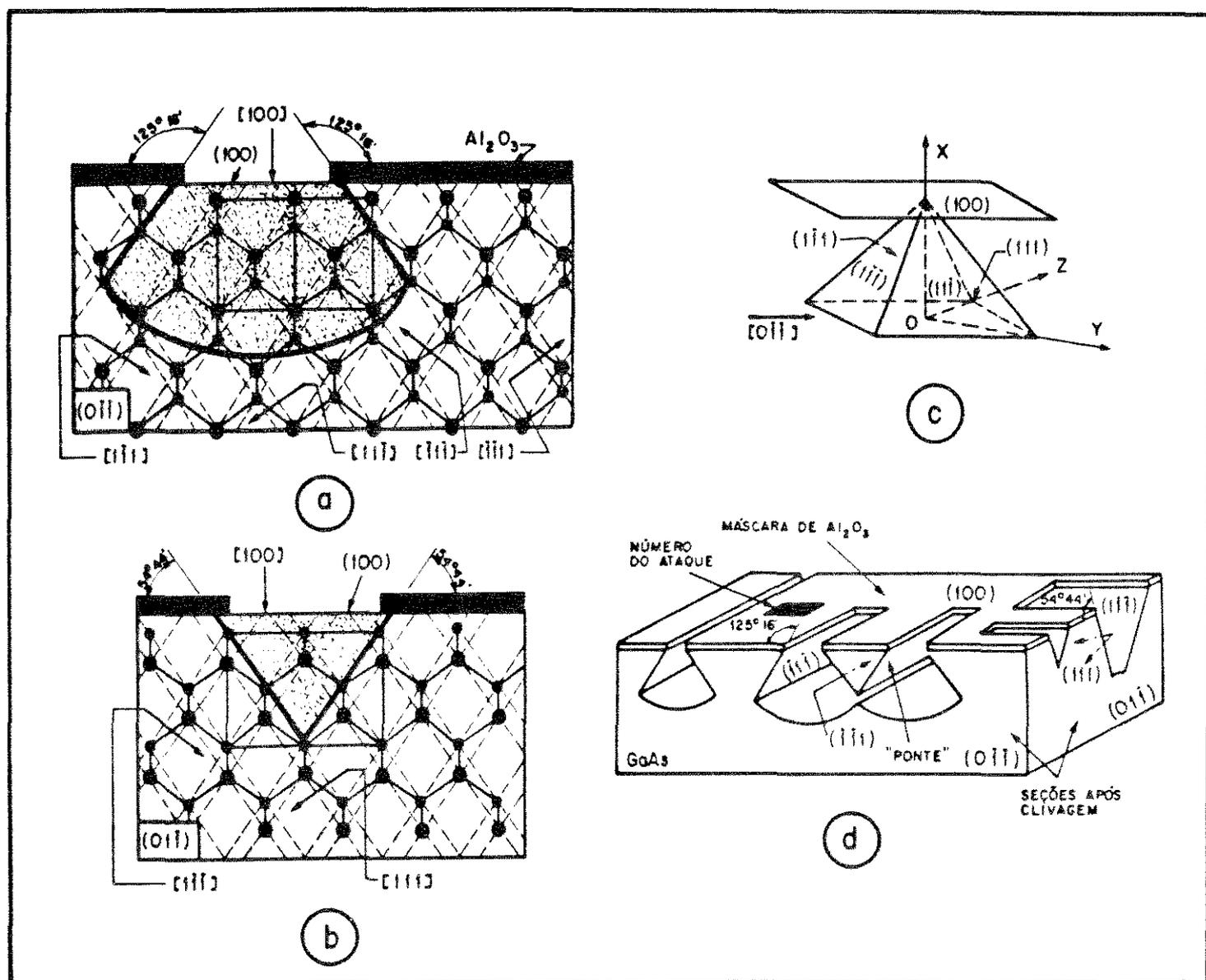


Fig. 2.17. Representação cristalográfica do GaAs e o ataque químico preferencial [4] para tecnologia de canal rebaixado mostrada na fig. 2.18.

- Corte paralelo à direção $[01\bar{1}]$ mostrando a face $(0\bar{1}\bar{1})$ numa lâmina com face (100).
- Corte paralelo à direção $[0\bar{1}\bar{1}]$ mostrando a face $(01\bar{1})$ em lâmina com face (100).
- Relação entre o conjunto de planos {100} e os conjuntos A{111} ou B{111}.
- Perfis de ataque resultante com o sistema $\text{Br}_2\text{-CH}_3\text{OH}$.

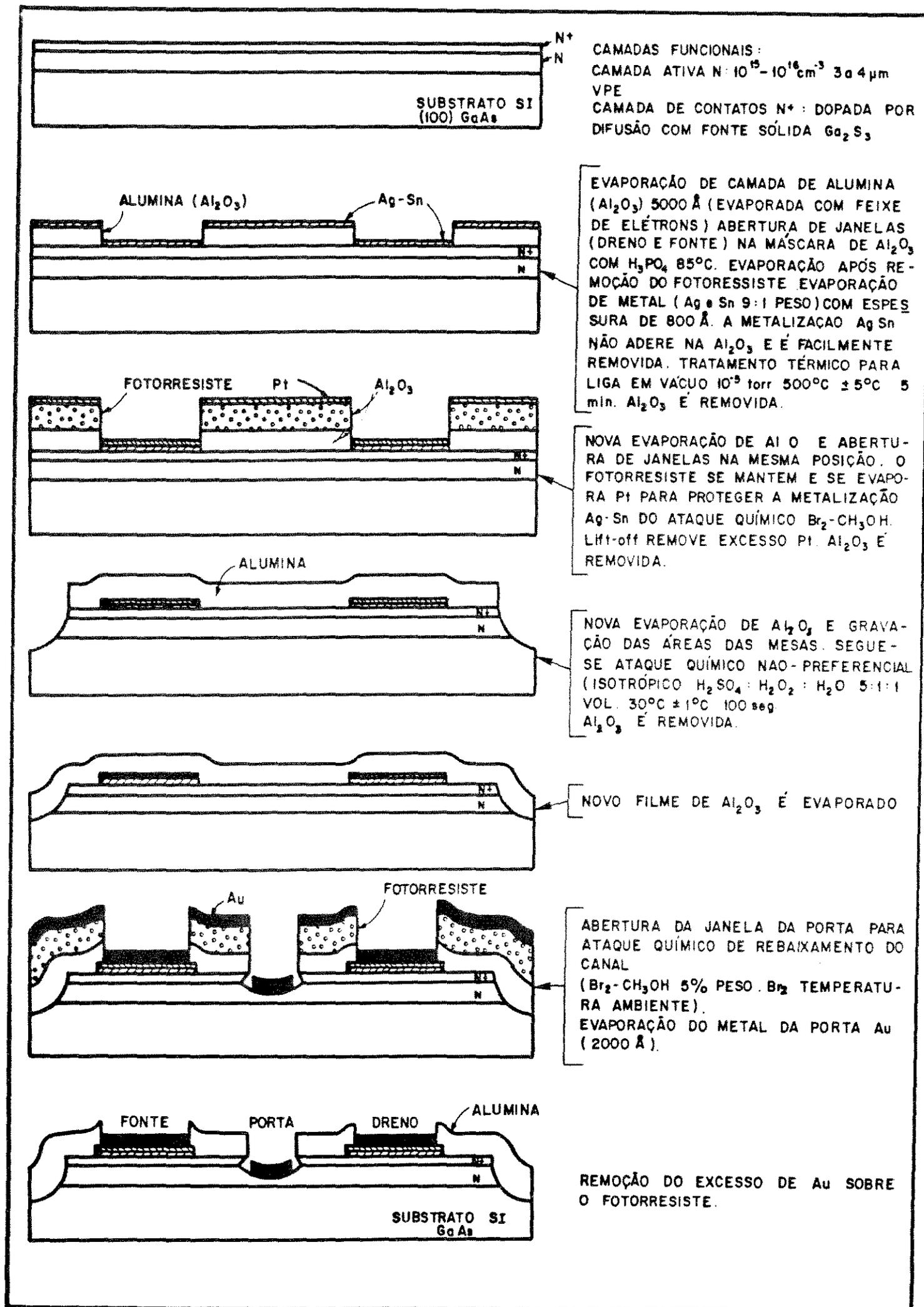


Figura 2.18 - Tecnologia de rebaixamento de canal com ataque químico Preferencial [5].

entre dispositivos é do tipo mesa e as regiões de fonte e dreno evaporados In/Ge/Au e tratadas termicamente para formação de contatos. A abertura de janelas é feita com litografia por feixe de elétrons para definição do rebaixamento do canal por ataque químico seletivo. Sem a remoção do último resiste, o metal da porta (Al) é evaporado e o excesso de Al é removido ao se dissolver o resiste. Portas com comprimento de $0,3 \mu\text{m}$ a $0,2 \mu\text{m}$ podem ser obtidas com boa reprodutibilidade.

A fig. 2.19a mostra o perfil do MESFET de GaAs construído com esta tecnologia. Estes dispositivos apresentam figura de ruído de $1,2 \text{ dB}$ em 12 GHz e ganho associado de $12,5 \text{ dB}$.

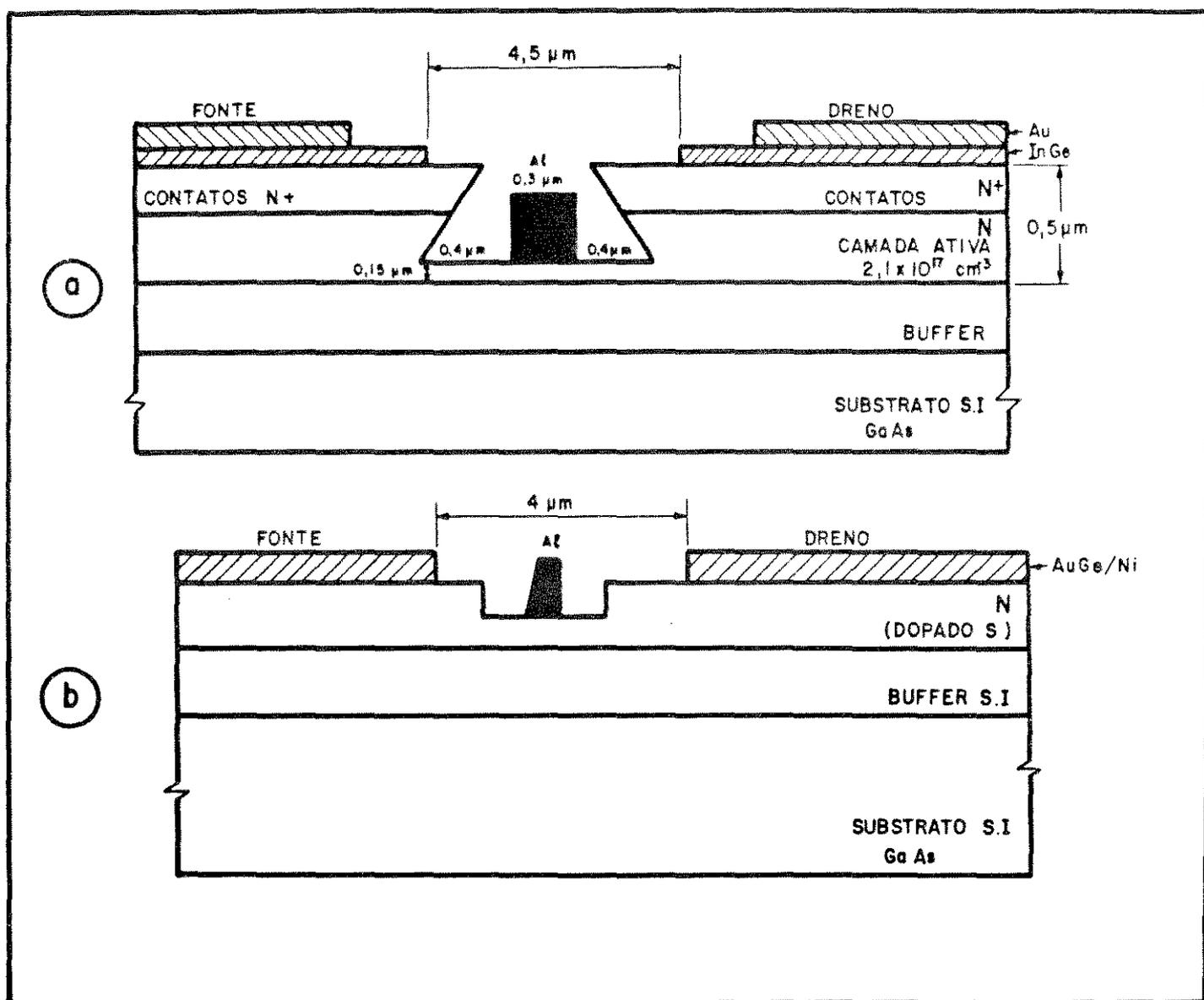


Fig. 2.19. Estruturas de MESFETs de GaAs construídos com tecnologia de rebaixamento profundo de canal e processados de forma semelhante à mostrada na fig. 2.16. Em a) ataque preferencial (seletivo [78]) e b) ataque isotrópico úmido [79].

Na mesma linha de tecnologias de canal rebaixado, o perfil do transistor MESFET de GaAs, mostrado na fig. 2.19b [79], emprega rebaixamento de canal, com ataque químico $(5[\text{CH}(\text{OH})\text{COOH}]_2 - 1[\text{H}_2\text{O}_2])$ e com taxa de 100 \AA/s a $26,5^\circ\text{C}$, obtendo-se rebaixamento da ordem de 0,2 a 0,4 μm .

No posicionamento da porta entre dreno e fonte é necessário que o espaçamento entre porta e dreno seja maior que o de porta e fonte, pois a tensão entre dreno e porta, na maioria das aplicações, é a maior tensão de polarização entre eletrodos.

As estruturas mostradas nas figs. 2.19a e b representam uma solução tecnológica denominada de rebaixamento profundo de canal [78] [79] [80] que objetiva a otimização de vários parâmetros do MESFET de GaAs em diferentes aplicações e níveis de potência. O principal parâmetro é a tensão de ruptura de dreno [81], indispensável no projeto de dispositivos de média e alta potência. No capítulo 4 estão descritos os procedimentos, a nível de tecnologia, para otimização de diversos parâmetros (capacitâncias, R_f , gm, tensões de ruptura) e no capítulo 3 os modelos referentes a este processo de otimização.

A tecnologia de canal rebaixado, associada a novas alternativas de fabricação, resulta em dispositivos com características que merecem uma análise neste trabalho. É o caso da tecnologia proposta para MESFET de GaAs com estrutura de porta submicron, mas utilizando junção Schottky no dreno [82], [83]. A motivação para construção desta estrutura é que, apesar da estrutura com canal rebaixado aumentar a tensão de ruptura entre dreno e fonte, este rebaixamento pouco altera a tensão de ruptura entre porta e dreno. Considerando-se também o fluxo de portadores no MESFET, só existe necessidade, de fato, de um contato ôhmico, o da fonte, e o contato de dreno pode ser Schottky e a junção é polarizada diretamente. Independente de uma análise mais rigorosa das vantagens de uma junção Schottky no dreno esta estrutura mostra-se interessante pelos aspectos tecnológicos envolvidos, cujas etapas estão descritas na fig. 2.20. Nesta figura observa-se que é possível construir transistores com portas de comprimento submicron (comprimento definido pelo ataque controlado do TiW sob o fotorresiste) usando fotolitografia convencional. Transistores construídos com esta tecnologia apresentam ganho e operação em média potência em 12 GHz, compatíveis com

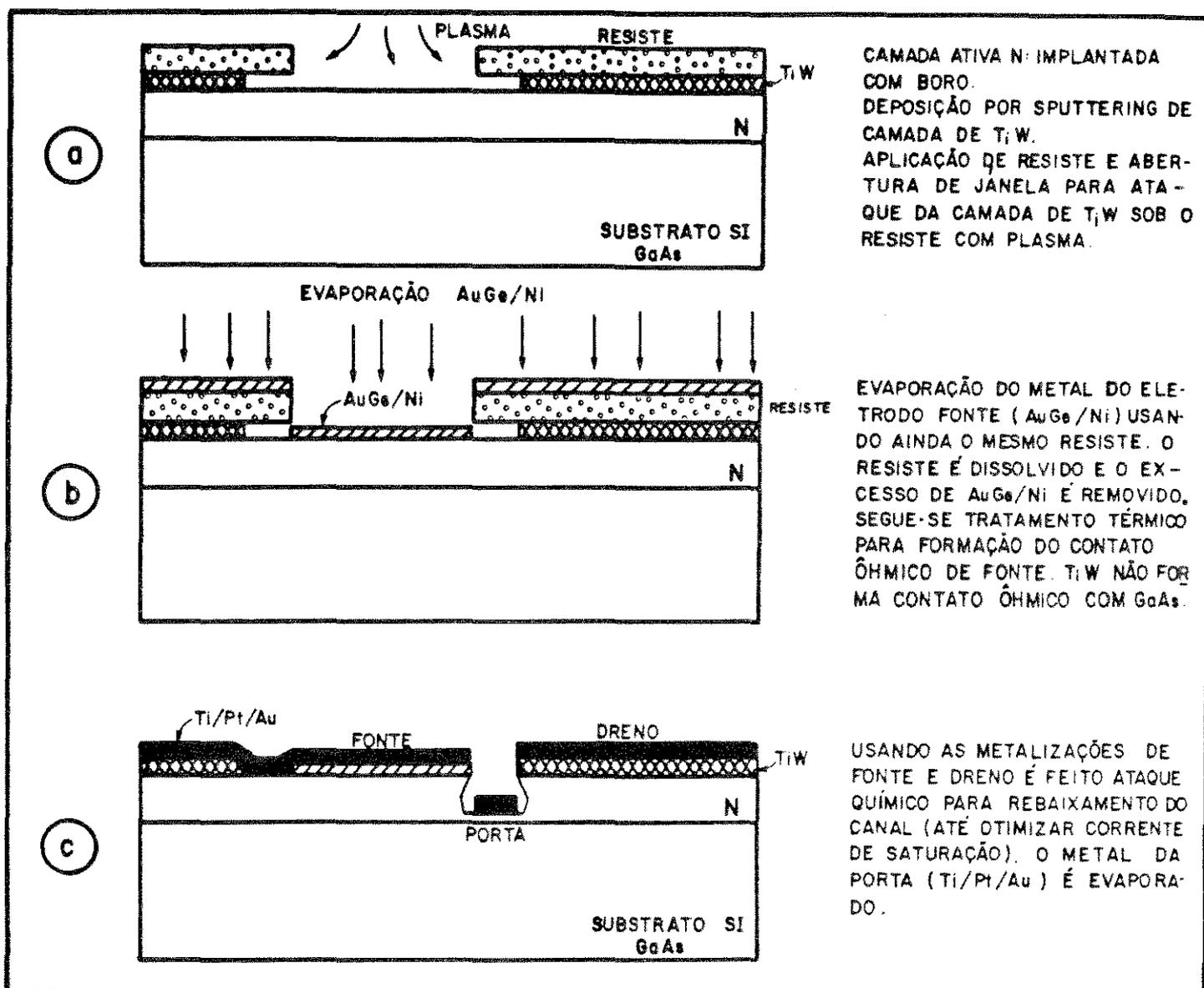
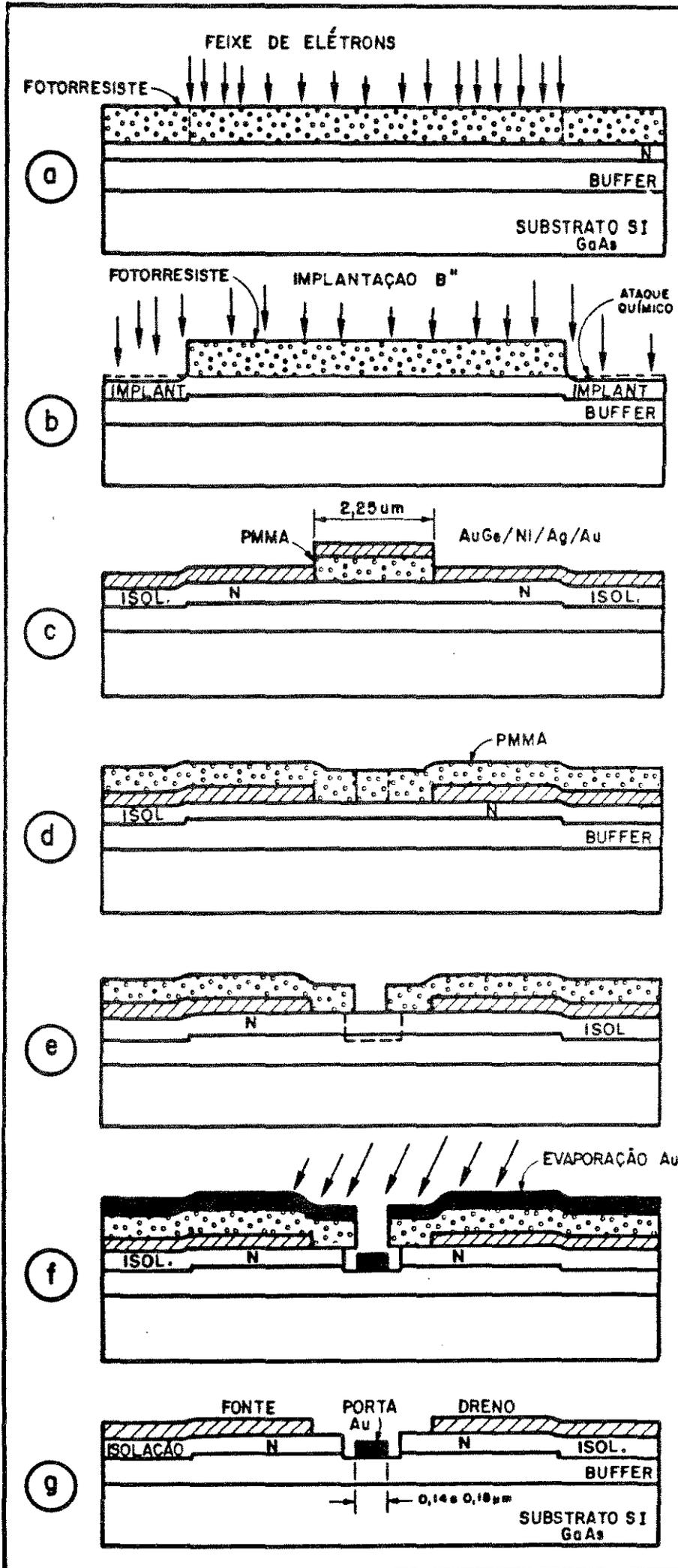


Fig. 2.20. Tecnologia com canal rebaixado e dreno Schottky para MESFETs de GaAs [82], [83].

transistores da mesma classe de dreno ôhmico [83].

Uma grande variedade de técnicas e processos da fabricação de MESFETs que envolve: crescimento de camadas por MBE, litografia por feixe de elétrons, isolamento por implantação iônica e rebaixamento de canal por via úmida foi incorporada na tecnologia proposta pela ref. [38]. Dispositivos com comprimento de porta da ordem de $0,18 \mu m$ para operar em circuitos digitais no modo enriquecimento (normalmente cortado) foram obtidos com esta tecnologia.

Em aplicações digitais o MESFET tem pequena largura e, se tiver comprimento de porta sub-micron, a resistência de porta é alta. Entretanto, esta alta resistência não é fator limitante em circuitos digitais que podem operar com alta impedância, se comparados com circuitos de 50Ω de microondas. A fig. 2.21 apresenta com detalhes esta tecnologia.



CAMADAS CRESCIDAS POR MBE, BUFFER NÃO DOPADA 0,75 μm, CAMADA N DOPADA COM SI ($4 \times 10^{17} \text{ cm}^{-3}$, 0,25 μm). FOTORRESISTE AZ 1350 J É USADO COMO RESISTE NEGATIVO PARA LITOGRAFIA COM FEIXE DE ELÉTRONS. AS REGIÕES DE ISOLAÇÃO SÃO GRAVADAS COM FEIXE DE ELÉTRONS ($120 \mu\text{A}/\text{cm}^2$) E TODA LÂMINA É EXPOSTA A LUZ U.V.

O FOTORRESISTE É REVELADO COM 1:9 (AZ 606 ÁGUA D.I) E SEGUE-SE IMPLANTAÇÃO DE BORO (B⁺) PARA ÁREAS DE ISOLAÇÃO. APÓS IMPLANTAÇÃO UM ATAQUE QUÍMICO RASO (0,1 μm) PARA DELINEAR AS REGIÕES DE ISOLAÇÃO (ISOLAÇÃO $> 10^7 \Omega/\square$).

GRAVAÇÃO DE LINHAS DE 2,25 μm DE PMMA (0,7 μm) COM FEIXE DE 4 nA E DOSE DE $90 \mu\text{C}/\text{cm}^2$ PARA DEFINIÇÃO DOS CONTATOS DE DRENO E FONTE. EVAPORAÇÃO TÉRMICA DE FILME AuGe/Ni (0,07 μm) Ag (0,1 μm) e Au (0,15 μm). SEGUE SE TRATAMENTO TÉRMICO 440°C EM ATMOSFERA H₂.

GRAVAÇÃO CRÍTICA DA LINHA DA PORTA. PMMA DE 0,7 μm É EXPOSTO A UMA DOSE DE $220 \mu\text{A}/\text{cm}^2$ (CORRENTE DE FEIXE 0,6 nA). REVELAÇÃO DE 2 mIN. EM 2-ETOXIETANOL.

ATAQUE QUÍMICO DO CANAL COM 1:4:40 (HCl:H₂O₂:H₂O) E O PONTO FINAL DO ATAQUE MONITORADO PARA QUANDO I_{DSS} FOR IGUAL A $20 \mu\text{A}/20 \mu\text{m}$.

EVAPORAÇÃO DO METAL DA PORTA (Au 0,35 μm) INCLINANDO-SE A LÂMINA PARA QUE A PORTA AUTO-ALINHADA NO REBAIXO DO CANAL, SE POSICIONE MAIS PRÓXIMA À FONTE.

EXCESSO DE OURO REMOVIDO POR Lift-off. ESTRUTURA FINAL DO MESFET NORMALMENTE CORTADO. (MODO ENRIQUECIMENTO).

Figura 2.21 - Tecnologia de rebaixamento de canal para construção de MESFETs de GaAs normalmente cortados para aplicação em CI's digitais

2.3.4. TECNOLOGIAS ESPECIAIS DE FORMAÇÃO DA PORTA

Nas seções anteriores as tecnologias descritas abordam principalmente a localização da porta entre dreno e fonte e o rebaixamento do canal. Nesta seção são apresentadas técnicas de formação da porta visando otimizar este eletrodo, ou seja, reduzir o comprimento sem aumentar drasticamente a resistência série.

As tecnologias descritas nesta seção podem compor-se com etapas das demais tecnologias já apresentadas e aqui, são destacadas as etapas específicas de formação da porta.

A tecnologia de deposição eletrolítica do metal da porta [84] é mostrada em duas alternativas na fig. 2.22.

A tecnologia padrão de deposição eletrolítica mostrada na seqüência a da fig. 2.22 tem algumas desvantagens, tais como: os reagentes que atacam a camada de TiW também atacam a camada de contatos, aumentando a resistência série de contato.

A tecnologia de auto-alinhamento com formação de porta em cogumelo remove a camada de TiW antes da deposição dos metais de dreno e fonte e evita o ataque mencionado acima.

Experiências com transistores MESFETs com porta do tipo cogumelo e material depositado eletroliticamente, mostram que, além da baixa resistência de porta comparada com transistores com porta por deposição térmica ou feixe de elétrons, exibem uma mobilidade maior de portadores. Se a deposição e o espessamento eletrolítico dos metais da porta são elaborados, de tal forma a não induzir tensões mecânicas na rede, a mobilidade é maior se comparada a MESFETs com porta processadas só por evaporação térmica ou feixe de elétrons [84].

Transistores construídos por esta técnica apresentavam ganho associado de 8 dB e figura de ruído de 2 dB em 12 GHz. A otimização desta tecnologia visa transistores MESFETs de pequenos sinais e baixo ruído.

A tecnologia mostrada na fig. 2.23 é denominada de Deposição Seletiva do Metal da porta em aresta e consiste na formação de uma linha metálica muito fina (a partir de 0,04 μm) por deposição eletroquímica (ou outra técnica) numa aresta metálica previamente preparada.

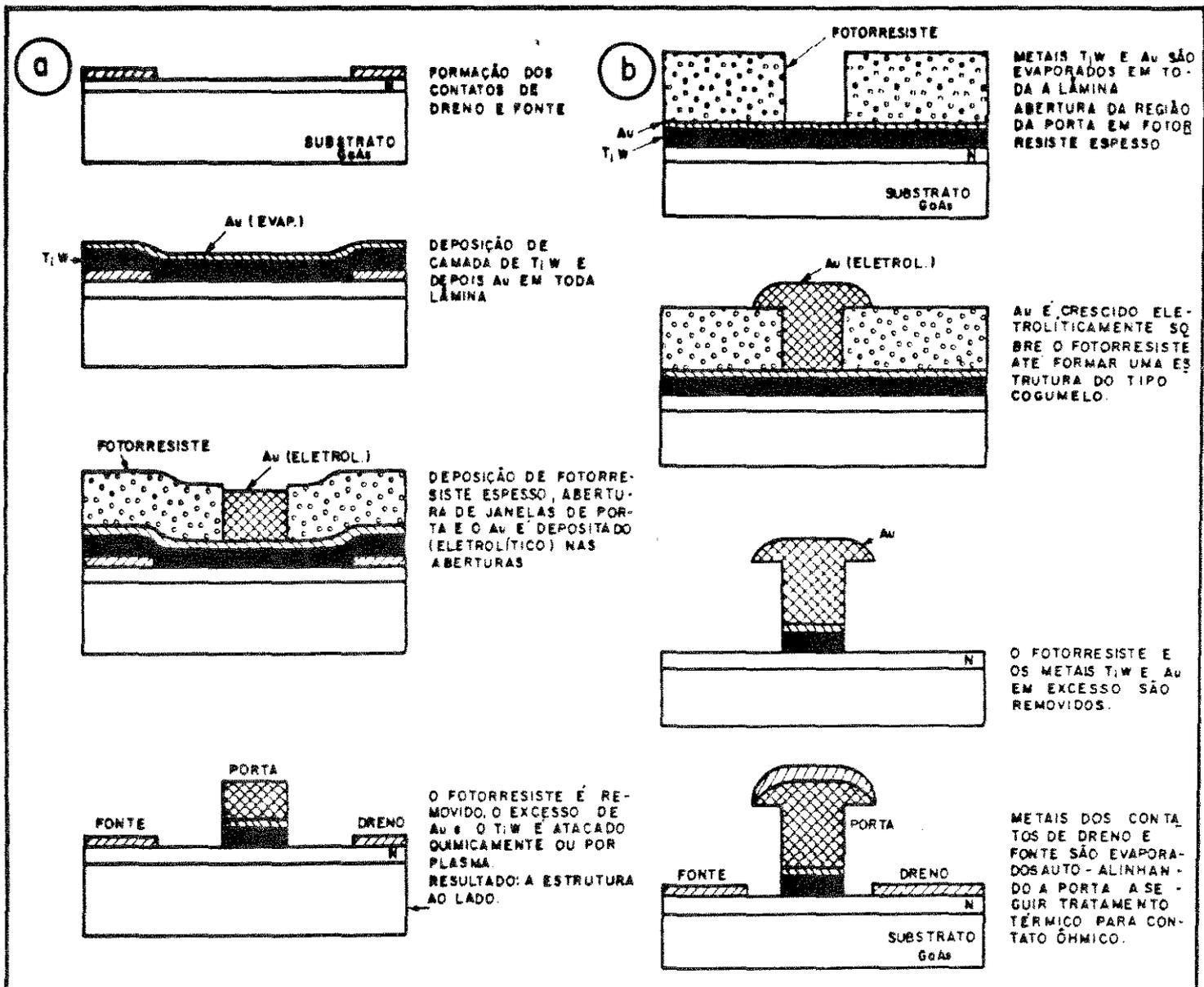


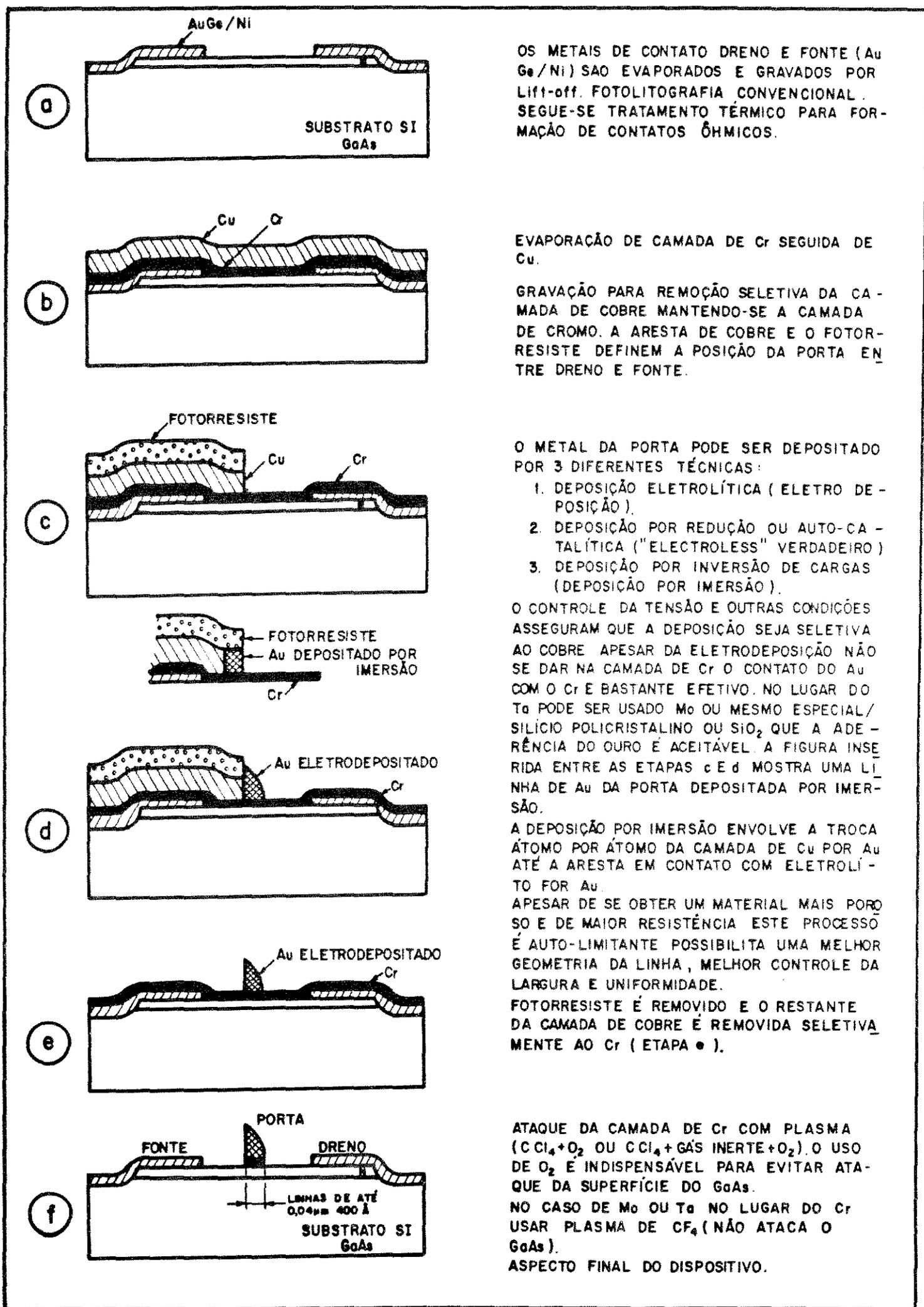
Fig. 2.22. Tecnologias de deposição eletrolítica do metal da porta [84].

seqüência a: tecnologia padrão.

seqüência b: tecnologia de auto-alinhamento com formação de porta em cogumelo.

A aplicabilidade desta tecnologia não se restringe a MESFETs de GaA. É adequada à fabricação de uma gama imensa de dispositivos, tanto discretos como integrados, que necessitam eletrodos com comprimentos submicron e com a vantagem de se utilizar fotolitografia convencional de luz u.v. [85]. A descrição etapa por etapa está na fig. 2.23.

Uma técnica interessante no desenvolvimento de dispositivos, principalmente discretos, é a da formação da porta com evaporação em ângulo ou sombreada. As tecnologias que empregam



OS METAIS DE CONTATO DRENO E FONTE (Au Ge / Ni) SÃO EVAPORADOS E GRAVADOS POR LIFT-off. FOTOLITOGRAFIA CONVENCIONAL. SEGUE-SE TRATAMENTO TÉRMICO PARA FORMAÇÃO DE CONTATOS ÔHMICOS.

EVAPORAÇÃO DE CAMADA DE Cr SEGUIDA DE Cu.

GRAVAÇÃO PARA REMOÇÃO SELETIVA DA CAMADA DE COBRE MANTENDO-SE A CAMADA DE CROMO. A ARESTA DE COBRE E O FOTORRESISTE DEFINEM A POSIÇÃO DA PORTA ENTRE DRENO E FONTE.

O METAL DA PORTA PODE SER DEPOSITADO POR 3 DIFERENTES TÉCNICAS:

1. DEPOSIÇÃO ELETROLÍTICA (ELETRO DEPOSIÇÃO).
2. DEPOSIÇÃO POR REDUÇÃO OU AUTO-CATALÍTICA ("ELECTROLESS" VERDADEIRO)
3. DEPOSIÇÃO POR INVERSÃO DE CARGAS (DEPOSIÇÃO POR IMERSÃO).

O CONTROLE DA TENSÃO E OUTRAS CONDIÇÕES ASSEGURAM QUE A DEPOSIÇÃO SEJA SELETIVA AO COBRE APESAR DA ELETRODEPOSIÇÃO NÃO SE DAR NA CAMADA DE Cr O CONTATO DO Au COM O Cr É BASTANTE EFETIVO. NO LUGAR DO Ta PODE SER USADO Mo OU MESMO ESPECIAL/SILÍCIO POLICRISTALINO OU SiO_2 QUE A ADESIÃO DO OURO É ACEITÁVEL. A FIGURA INSERIDA ENTRE AS ETAPAS c E d MOSTRA UMA LINHA DE Au DA PORTA DEPOSITADA POR IMERSÃO.

A DEPOSIÇÃO POR IMERSÃO ENVOLVE A TROCA ÁTOMO POR ÁTOMO DA CAMADA DE Cu POR Au ATÉ A ARESTA EM CONTATO COM ELETROLITO FOR Au.

APESAR DE SE OBTER UM MATERIAL MAIS POROSO E DE MAIOR RESISTÊNCIA ESTE PROCESSO É AUTO-LIMITANTE POSSIBILITA UMA MELHOR GEOMETRIA DA LINHA, MELHOR CONTROLE DA LARGURA E UNIFORMIDADE.

FOTORRESISTE É REMOVIDO E O RESTANTE DA CAMADA DE COBRE É REMOVIDA SELETIVAMENTE AO Cr (ETAPA e).

ATAQUE DA CAMADA DE Cr COM PLASMA ($CCl_4 + O_2$ OU $CCl_4 + GÁS INERTE + O_2$). O USO DE O_2 É INDISPENSÁVEL PARA EVITAR ATAQUE DA SUPERFÍCIE DO GaAs.

NO CASO DE Mo OU Ta NO LUGAR DO Cr USAR PLASMA DE CF_4 (NÃO ATACA O GaAs).

ASPECTO FINAL DO DISPOSITIVO.

Figura 2.23 - Tecnologia de deposição seletiva do metal da porta em aresta |85|.

esta técnica visam a formação de portas cuja dimensão (comprimento) pode ser igual à espessura do filme evaporado. A etapa de formação da porta mostrada na fig. 2.24 indica a geometria do dispositivo para evaporação sombreada. O desenvolvimento desta técnica exige controle da espessura do fotorresiste e controle da evaporação para que a dimensão da porta seja reproduzível. Na fig. 2.24 a lâmina é inclinada 20° em relação ao plano normal de incidência do feixe de alumínio. A porta forma-se no fundo da abertura e, ao se dissolver o resiste, o alumínio rompe-se (linha tracejada da fig. 2.24), podendo formar portas da ordem de $0,5 \mu\text{m}$ ou menor.

A técnica mostrada na fig. 2.24 resulta em geometria da porta cuja relação de aspecto (comprimento da porta pela espessura da porta) é pequena, o que implica em resistência da porta alta. O ideal seria que o rompimento do Al ocorresse na altura do fotorresiste, resultando numa maior seção efetiva da porta.

Para se obterem portas submicron e com alta relação de aspecto, foi desenvolvida a técnica de evaporação sombreada, cuja principal vantagem sobre a técnica básica mostrada na fig. 2.24 é assegurar uma espessura da porta praticamente igual à altura do fotorresiste. É possível obter portas com comprimento da mesma ordem da espessura do metal evaporado.

Além da colocação da lâmina deslocada com relação à fonte (evaporação sombreada), a tecnologia mostrada na fig. 2.25 [86] utiliza a técnica de modificação das arestas do fotorresiste com solventes orgânicos [71]. Esta técnica utilizada também neste trabalho (ver cap. 4) consiste em embeber a lâmina com o fotorresiste e já exposta à luz u.v em clorobenzeno (ou outro solvente aromático) durante alguns minutos antes da revelação. Após a revelação do fotorresiste formam-se protuberâncias dos dois lados na superfície do resiste estrangulando a parte superior da abertura da porta. O clorobenzeno, ao se incorporar ao resiste, impede a ação do revelador, causando a modificação na abertura, quando revelado. A fig. 2.25a mostra o resultado desta técnica, com formação da porta sombreada e a definição melhor do ponto de quebra do metal evaporado. Variando-se a espessura do material evaporado é possível (fig. 2.25a e b), aumentar a seção efetiva da porta sem alterar o comprimento do canal, mantendo-se para isso o ângulo de evaporação constante.

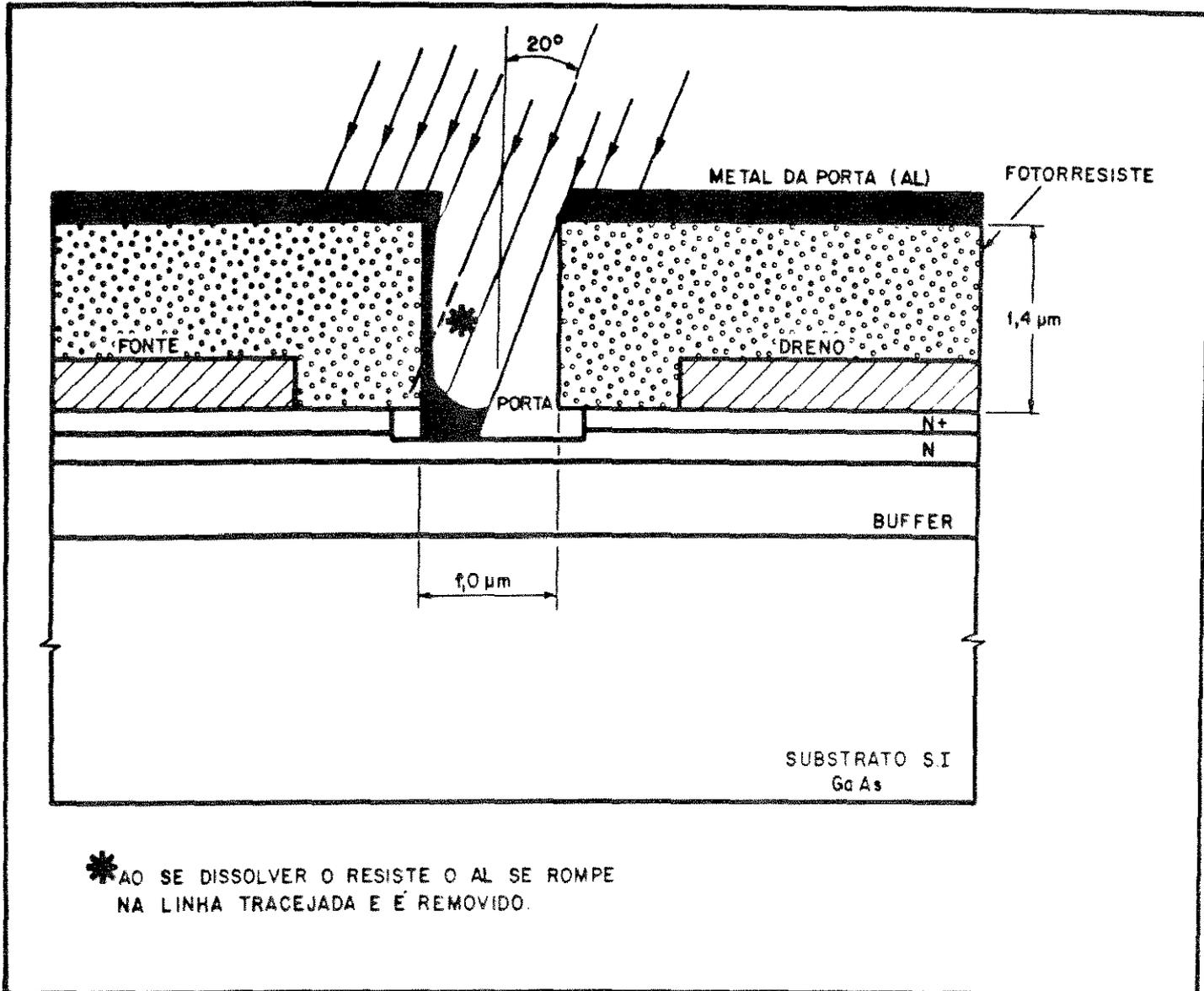


Fig. 2.24. Técnica de formação da porta por evaporação em ângulo ou sombreada.

Para formar portas com geometria mais estáveis que as apresentadas na fig. 2.25 é possível diminuir a espessura do resistivo e combinar o ângulo de evaporação diminuindo-se a "altura" (espessura) da porta. Transistores construídos com esta tecnologia, com portas da ordem de $0,1 \mu\text{m}$, apresentavam características satisfatórias para operação em alta frequência e, com esta mesma tecnologia, é possível a construção de MESFETs de GaAs com dupla porta de Al de $0,1 \mu\text{m}$ e $1,8 \mu\text{m}$ de espessura [86]. A resistência da porta de Al situa-se em torno de $17 \Omega/\text{mm}$ para transistores de $0,5 \mu\text{m}$ com $1,9 \mu\text{m}$ de espessura e $37 \Omega/\text{mm}$ para transistores de $0,25 \mu\text{m}$ de comprimento da porta por $1,8 \mu\text{m}$ de espessura.

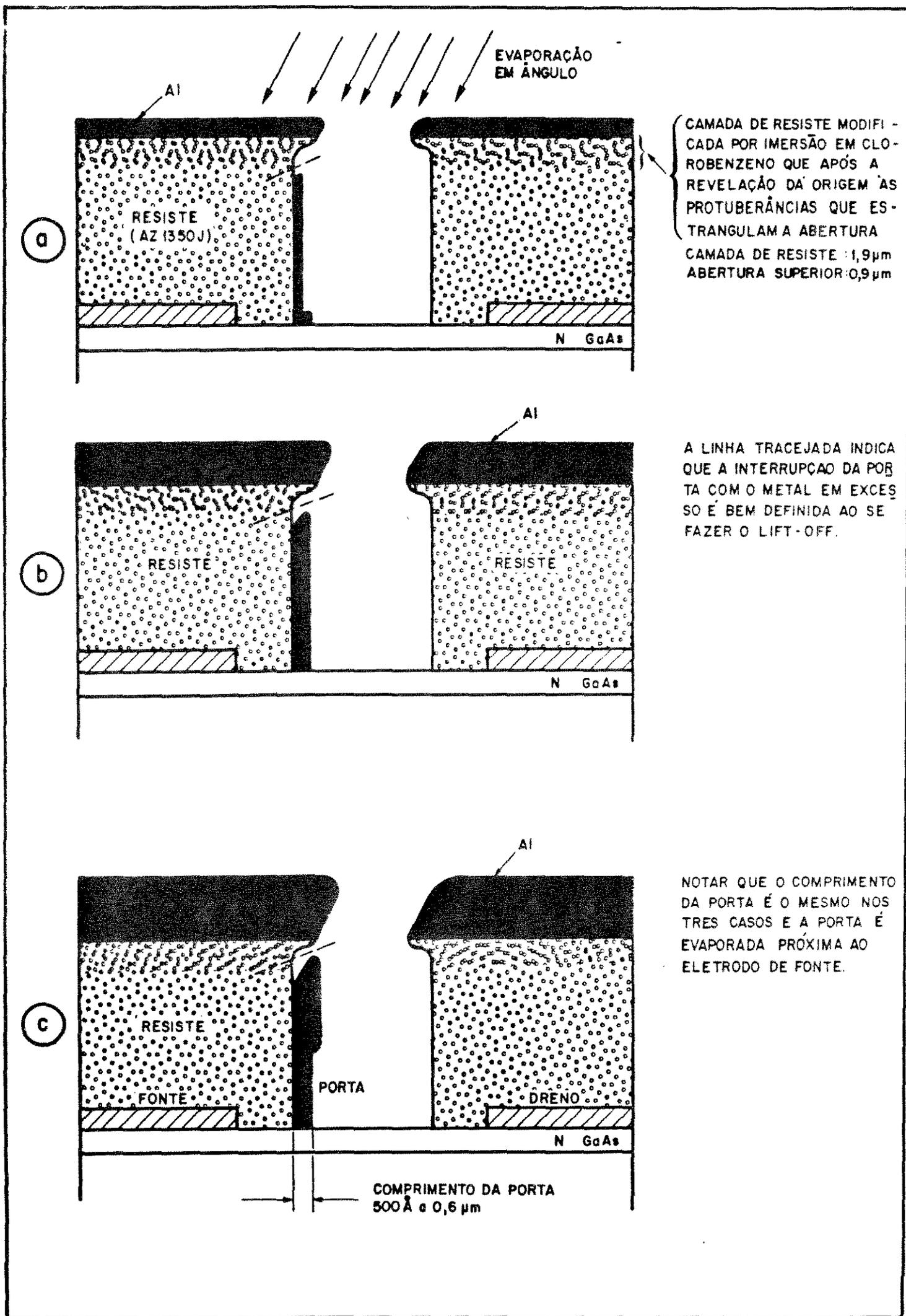


Figura 2.25 - Tecnologia de evaporação sombreada, com modificação da camada de resiste e com solventes orgânicos. a, b e c mostram a etapa de formação da porta para diferentes espessuras do metal evaporado. Ao se dissolver o resiste a porta se mantém e o excesso de metal sobre o resiste desaparece.

A fig. 2.26 mostra duas etapas principais de uma tecnologia que emprega evaporação sombreada para metalizar uma abertura onde será acomodada a porta [87]. Esta tecnologia usa apenas uma etapa de fotorresiste e não exige ataque por plasma calibrado. As paredes laterais de Alumínio, formadas pela técnica mostrada na fig. 2.26, são removidas por ataque químico na etapa final. A tecnologia apresentada tem rendimento ("yield") maior que 90% com portas de resistência extremamente baixa ($0,2 \mu\text{m}$ de comprimento de porta e $6,1 \Omega/\text{mm}$) e os transistores com ganho máximo disponível de 9,5 dB em 18 GHz [87].

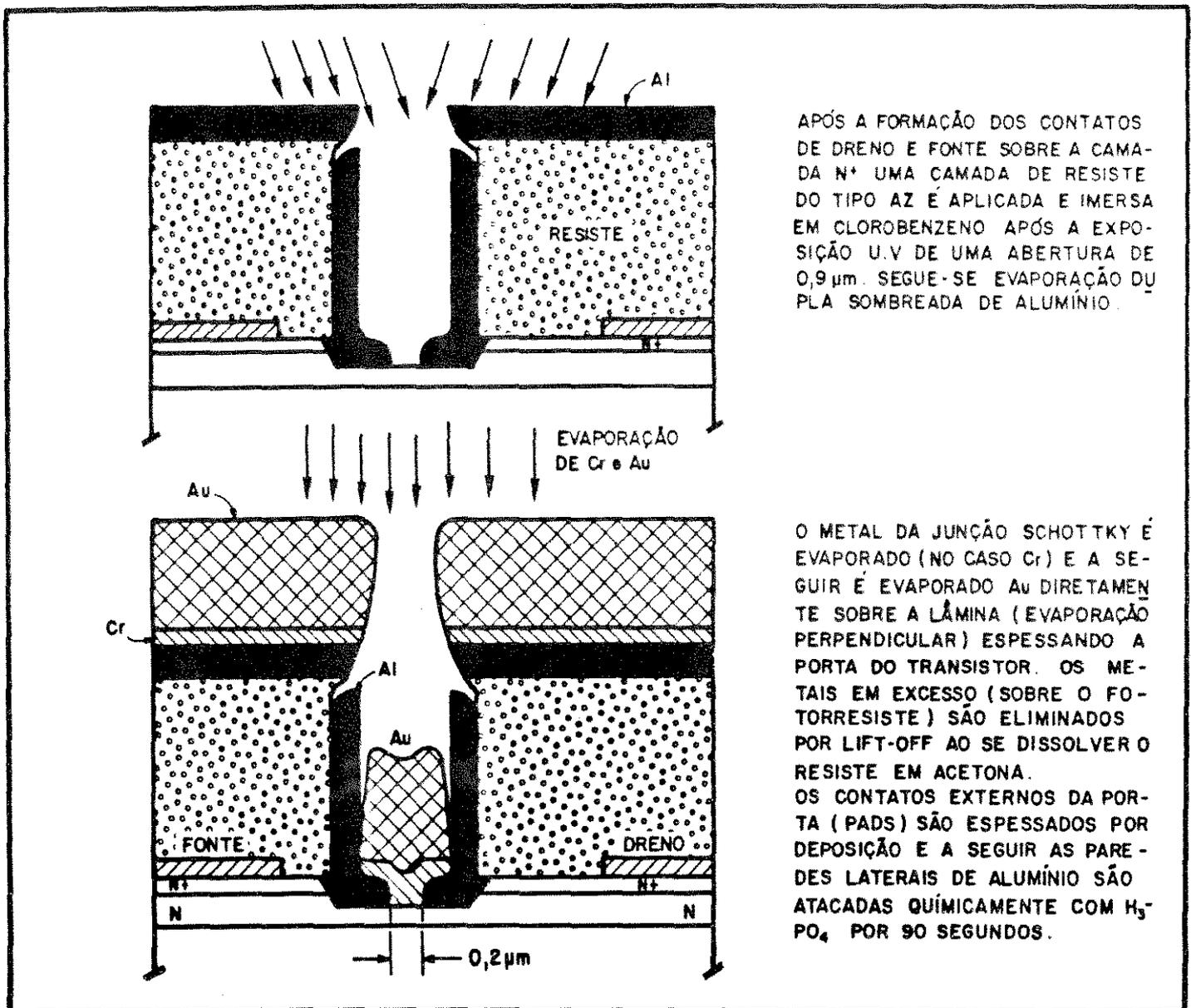


Fig. 2.26. Tecnologia de formação da porta com dupla evaporação sombreada. As paredes de alumínio servem de guia para evaporação da porta em forma de cogumelo [87].

As tecnologias apresentadas até aqui sempre utilizam evaporação térmica ou por feixe de elétrons para formação do metal da porta. Uma tecnologia especial de MESFET com substrato de InP forma o metal da porta por epitaxia MBE, resultando num alumínio monocristalino [36]. Esta tecnologia, denominada de Dupla heteroestrutura, é baseada na camada ativa de $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$ (maior mobilidade e velocidade de pico comparada ao GaAs). Entretanto, este semiconductor, em contato com metal diretamente, apresenta barreira Schottky muito baixa, aproximadamente 0,30 eV, resultando em diodos com alta fuga. Para aumentar a barreira efetiva da junção Schottky entre o Al e o GaInAs uma camada de alta resistividade de $\text{Al}_{0,48}\text{In}_{0,52}\text{As}$, com banda de energia proibida de 1,46 eV é crescida, resultando numa barreira Schottky efetiva de 0,8 eV, com o Al. Entre o substrato de InP e a camada ativa de GaInAs, uma camada de AlInAs também é crescida para confinamento de elétrons no canal funcionando como camada "buffer".

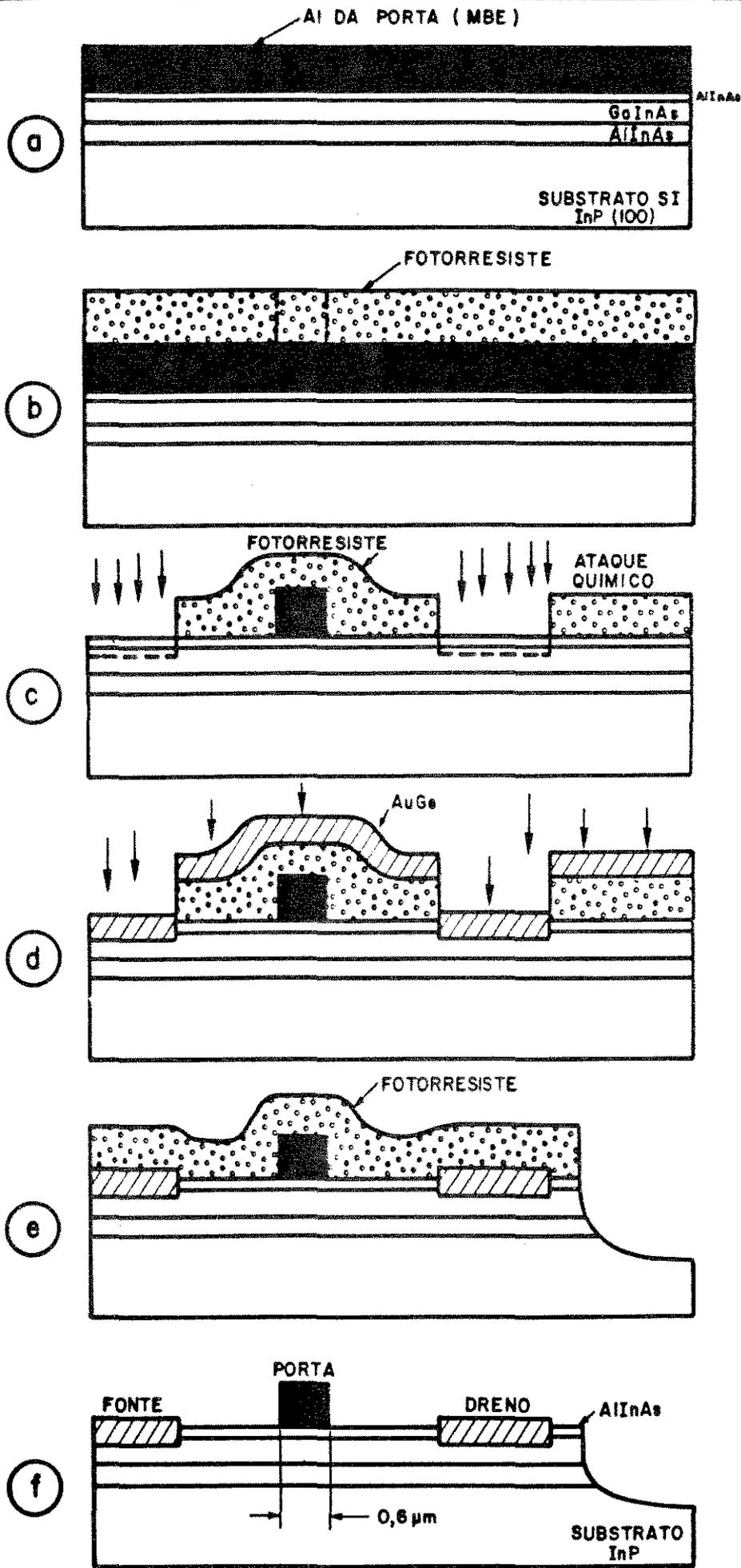
A capacitância porta-fonte é reduzida devida à camada de AlInAs entre o Al e o GaInAs da porta. Os dispositivos construídos por esta técnica apresentavam altos valores de transcondutância 135 ms/mm, e podem apresentar características de operação em alta frequência comparáveis ou melhores que os MESFETs de GaAs.

A descrição desta tecnologia, toda baseada em crescimento MBE, incluindo o metal da porta, está descrita na fig. 2.27. O dispositivo resultante é denominado de DHMESFET [36].

As dificuldades de se obter uma seção de porta com baixa resistência, estão resumidas na fig. 2.28a, b e c. Independente da espessura do material evaporado é muito comum (depende da geometria do resiste) ter como resultado uma porta de seção triangular e normalmente de alta resistência [15].

Uma técnica para construção da porta com baixa resistência e formato em cogumelo é descrita nas figs. 2.28d, e e g [15]. Apesar da técnica basear-se no uso de litografia por feixe de elétrons, resultados semelhantes podem ser alcançados com outras técnicas litográficas.

Nas figs. 2.28 f e g estão descritas duas situações de formação da porta. Quando se pretendem construir dispositivos com canal rebaixado deve-se colimar o feixe de evaporação para evitar falha na formação da porta (fig. 2.28f), quando a par



CRESCIMENTO DE CAMADAS :
Al 4700 Å, AlInAs 600 Å GaInAs
1450 Å, AlInAs 1000 Å. TODAS POR
MBE INCLUSIVE O Al METAL DA
PORTA. REGIÃO ATIVA : GaInAs
($1,2 \times 10^{17} \text{cm}^{-3}$).
AlInAs- JUNÇÃO SCHOTTKY EM
CONJUNTO COM O Al.

A PORTA É GRAVADA COM FOTOLI-
TOGRAFIA ÓPTICA DE PROJEÇÃO
10:1 E O Al É ATACADO. ATAQUE
QUÍMICO DO ALUMÍNIO É CUIDADO
SO PARA EVITAR OXIDAÇÃO DA CA-
MADA DE AlInAs, SE EXPOSTA À
ATMOSFERA.

FORMAÇÃO DAS REGIÕES DE FON-
TE E DRENO, SEGUIDA DE ATAQUE
DO AlInAs, ATÉ ATINGIR A REGIÃO
ATIVA.

EVAPORAÇÃO DOS CONTATOS DE FONTE
E DRENO (AuGe) E REMO-
ÇÃO DO EXCESSO DE METAL POR
"Lift-off".

NOVA CAMADA DE FOTORRESISTE
É DEPOSITADA E GRAVADA AS RE-
GIÕES DE ISOLAÇÃO DOS DISPOSI-
TIVOS (TIPO MESA).
O ATAQUE É BASEADO EM
 $\text{H}_3\text{PO}_4 + \text{H}_2\text{O}$.

APÓS REMOÇÃO DO FOTORRESISTE,
TRATAMENTO TÉRMICO PARA FOR-
MAÇÃO DOS CONTATOS ÔHMICOS,
($350^\circ\text{C} - 30 \text{seg.}$). A PORTA Al NÃO
SOFRE QUALQUER ALTERAÇÃO ES-
TRUTURAL APÓS O TRATAMENTO
TÉRMICO. A PORTA DEVE SER
GRAVADA MAIS PRÓXIMA AO ELE-
TRODO DE FONTE POR RAZÕES DE
RUPTURA.

Figura 2.27 - Tecnologia de formação da porta com dupla heteroestrutura ($\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$) e metal da porta crescido epitaxialmente (MBE) para construção de MESFETs com substrato InP. DHMESFET [36].

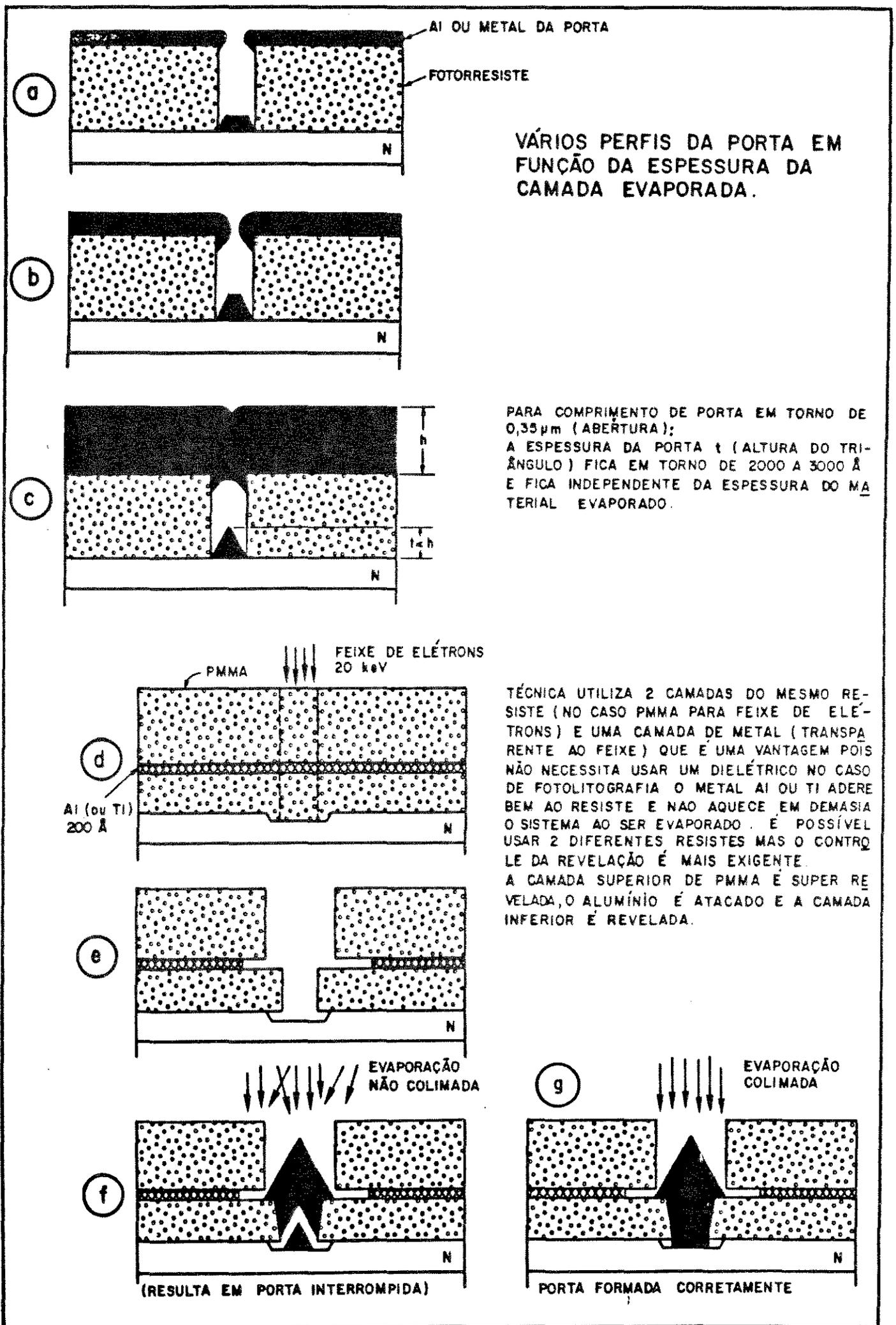


Figura 2.28 - Técnica para otimização da seção da porta [15].
 a, b e c: Evaporação simples e a formação de portas com seção triangular com alta resistência.
 d e e: Seqüência para formar portas em cogumelo com dupla camada de resistes. f: Formação da porta com evaporação de feixe não-colimado (a porta fica interrompida). g: Com feixe colimado a porta é formada corretamente.

te superior do cogumelo não se conecta à parte inferior. Com evaporação colimada a porta é formada corretamente (fig. 2.28g).

Transistores construídos com esta técnica apresentam portas com $0,9 \Omega$ comparadas com portas de perfil triangular de 6Ω (para comprimentos de porta entre $0,3$ e $0,35 \mu\text{m}$). Na operação em alta frequência apresentava ganho associado de até 14 dB em 8 GHz , com figura mínima de ruído de 1.0 a 1.1 dB [15].

As tecnologias, processos e etapas apresentadas nas seções anteriores deste capítulo representam as metodologias mais significativas para fabricação de dispositivos MESFETs de GaAs. Objetiva-se com isso colocar de forma sintética as alternativas tecnológicas disponíveis ao projetista de dispositivos enfatizando ora as dificuldades de implementação, ora os custos associados a cada processo.

É importante notar também que as tecnologias apresentadas não se restringem apenas a MESFETs de GaAs e podem ser empregadas em MESFETs de InP, HEMT ou quaisquer dispositivos ativos de alta frequência, seja de efeito de campo ou bipolar.

Nas seções anteriores procurou-se centrar a descrição de tecnologias planares que são universalmente empregadas.

As mais diversas técnicas podem ser aplicadas em conjunto com as tecnologias mencionadas neste capítulo. Por exemplo: Tecnologia Vertical não planar [88], emprego de espaçadores e estruturas do tipo LDD (Lightly Doped Drain) [89] usados em tecnologia C-MOS para atenuar a concentração de campo elétrico no dreno ou mesmo, o uso de espaçadores ou paredes dielétricas laterais [90] na construção de MESFETs com canal rebaixado utilizando RIBE (Reactive Ion Beam Etching).

IMPLANTAÇÃO IÔNICA: CONSOLIDA-SE COMO OPÇÃO NA FORMAÇÃO DAS CAMADAS DE MESFETs DE GaAs.

A implantação iônica vem se consolidando cada vez mais na fabricação de dispositivos de GaAs para aplicação em microondas ou circuitos digitais. É crescente a pesquisa e investigação de fatores que afetam a uniformidade de alguns parâmetros críticos dos dispositivos.

No caso de MESFETs em circuitos integrados digitais de GaAs, a tensão de limiar ("Threshold"), V_{th} , ($V_{th} = -V_p$) deve ser uniforme ao longo da lâmina. A crescente pesquisa em implantação em grandes substratos de GaAs [91] visando não só a otimização de V_{th} [92] mas outros parâmetros, tem levado a intensificação das investigações também nos aspectos de recozimento ("annealing"). Lahav et al [93] examinou a formação de "pitting" quando os MESFETs de GaAs com estrutura auto-alinhada eram submetidos a um ciclo de recozimento térmico rápido (RTA). Nos MESFETs de porta refratária (WSi) Lahav et al [93] atribui a formação de "pitting" à auto-difusão de Ga e As na interface entre a periferia da porta e a "capa" (SiO_2) utilizada no recozimento.

Watanabe et al [91] num minucioso trabalho de investigação da uniformidade de V_{th} em FETs de GaAs implantados com Si, demonstra claramente a necessidade de deslocamento da temperatura usual de recozimento de $800^\circ C$ para $1000^\circ C$.

À medida que a implantação iônica vem se consolidando como processo fundamental na fabricação de MESFETs de GaAs, os processos de pré e pós tratamento, notadamente térmicos, necessitam de um intenso trabalho de investigação.

REFERÊNCIAS BIBLIOGRÁFICAS

- 1 J.B. Mullin, B.W. Straughn, W.S. Brickell, "Liquid Encapsulation Techniques: The Use of Inert Liquid in Suppressing Dissociation During the Melt Growth of InAs and GaAs Crystal". J. Phys. Chem. of Solids, Vol. 26, nº 4, p. 782-784, Abril 1965.
- 2 A.R. Von Neida, "Synthesis and Crystal Growth of GaAs and GaP for Substrates" Solid State Technology, Vol. 12, nº 4, p. 90, Abril 1974.
- 3 P.S. Burggraaf, "GaAs Bulk-Crystal Growth Technology", Semiconductor International, p. 44-68, Junho de 1982.
- 4 Y. Tarui, Y. Koniya, Y. Harada, "Preferential Etching and Etched Profile of GaAs", J. Electrochem. Soc., Vol. 118, nº 1, p. 118-122, Janeiro 1971.
- 5 Y. Tarui, Y. Komiya, T. Yamaguchi, "Self Aligned GaAs Schottky Barrier Gate FET Using Preferential Etching", Proc. of the 4th Conf. on Sol. St. Dev. Tokyo 1972, p. 78 a 87.
- 6 W. Kern, "Chemical Etching of Silicon, Germanium, Gallium Arsenide, and Gallium Phosphide", RCA Review, Vol. 39 p. 278-308 Junho 1978.
- 7 J.S. Blakemore, "Semiconducting and other major properties of Gallium Arsenide", J. Appl. Phys., 53(10), p. R123-R181, Outubro 1982.
- 8 S. ASAI et al., "Effects of Deep Centers on Microwave Frequency Characteristics of GaAs Schottky Barrier Gate FET", Proc. of the 4th Conf. on Sol. St. Dev. Tokyo 1972, p. 71-77, Tokyo, 1972.
- 9 S. Umebachi, "A New Heterojunction-Gate GaAs FET", Proc. of the 7th Conf. on Sol. St. Dev., Tokyo 1975, p. 157 a 161.
- 10 W. Kellner et al., "Microwave Field-Effect Transistors from Sulphur-Implanted GaAs", Solid. State Electronics, Vol. 20, p. 459-462, 1977.

- 11 H. Morkoç, "A Study of High-Speed Normaly off and Normaly on $Al_{0,5}Ga_{0,5}As$ Heterojunction Gate GaAs FET's (HJFET)", IEEE Trans. on Ed., Vol. 25, n^o 6, p. 619-627, Junho 1978.
- 12 K. Mizuishi, "Degradation Mechanism of GaAs MESFET's", IEEE Trans. on Ed., Vol. 26, n^o 7, p. 1008/1014, Julho 1979.
- 13 K. Kamei et al., "GaAs Low-Noise MESFET Prepared by Metal - Organic Chemical Vapor Deposition" Int. Electron Devices Met., Washington DC. 1979.
- 14 C.Li, P.T. Chen, P.H. Wang, "Sub Micrometer MEFET's Fabricated on Various GaAs Substrates", Inst. Phys. Conf. on GaAs and Related Compounds 1978, série n^o 45, chapter 4, p. 353 a 360.
- 15 S.G. Bandy, "Submicron GaAs Microwave FET's with Low Parasitic Gate and Source Resistances", IEEE Electron Devices Letters, Vol. Ed. L 4, n^o 2, p. 42-44, Fev. 1983.
- 16 J.S. Barrera, R.J. Archer, "InP Schottky-Gate Field-Effect Transistors", IEEE Trans. on Ed., Vol. 22, n^o 11, p. 1023-1030, Nov. 1975.
- 17 H.J. Stocker, "A Study of Deep Impurity levels in GaAs Due to Cr and O by ac Photoconductivity", J. of Appl. Phys., Vol. 48, n^o 11, p. 4583-4586, Nov. 1977.
- 18 A.M. Huber et al., "Direct Evidence for the Nonassignment to Oxygen of the Main Electron Trap in GaAs". J. of Appl. Phys., Vol. 50, n^o 6, p. 4022-4026, Junho 1979.
- 19 J. Betko, K. Měřrinský, "Determination of the Electrical Properties of Semi-Insulating GaAs: A Role of the Magnetic Field Dependences of a Single-Carriers Parameters". J. of Appl. Phys., Vol. 50, n^o 6, p. 4212-4216, Junho 1979.
- 20 P.F. Lindquist, "A Model Relating Electrical Properties and Impurity Concentrations in Semi-Insulating GaAs", J. of Appl. Phys., Vol. 48, n^o 3, p. 1262-1267, Março 1977.
- 21 R.M. Logan, D.T.J. Hurle, "Calculations of Point Defect Concentrations and Nonstoichiometry in GaAs", J. Phys. Chem. Solids, Vol. 32, p. 1739-1753, 1971.

- 22 C.F. Gibbon, D.R. Ketchow, "Diffusion of Tin into GaAs from Doped SiO₂ Film Source", J. Electrochemical Soc., Vol. 118, nº 6, p. 975-978, Junho 1971.
- 23 P.E. Luscher, "Crystal Growth by Molecular Beam Epitaxy", Solid State Technology, p. 43/52, Dez. 1977.
- 24 C.E. Wood, S. Judaprawira, L.F. Eastman, "Hyper-Thin Channel MBE GaAs Power FET'S by Single Atomic Plane Doping", International Electron Devices Meeting", Washington D.C., 1979.
- 25 C.E.C. Wood, D. DeSimone, S. Judaprawira, "Improved Molecular-beam Epitaxial GaAs Power FET's", J. of Appl. Phys., Vol. 51, nº 4, p. 2074-2078, Abril 1980.
- 26 W.T. Tsang et al., "Preliminary Studies on Material Uniformity Defect Density and Switching Transient of a Commercial CBE System", Relatório da AT e T Bell Labs. USA, AT e T Engineering Research Center USA e Instruments S.A. Riber Div. France, Fevereiro 1987.
- 27 R.E. Williams, D.W. Shaw, "GaAs F.E.T.s with Graded Channel Doping Profiles", Electronics Letters, Vol.13, nº 14, p. 408-409, Julho 1977.
- 28 K. Sekido, J.A. Arden, "Recent Advances in FET Devices Performance and Reliability", MSN p. 71-81, Abril/Maio 1976.
- 29 M. Ogawa, K. Ohata, T. Furutsuka, N. Kawamura, " Submicron Single Gate and Dual Gate GaAs MESFET's with Improved Low Noise and High-Performance", IEEE Trans. on MTT, Vol. 24, nº 6, p. 300-304, Junho 1976.
- 30 C. Kocot, C.A. Stole, "Backgating in GaAs MESFET's", IEEE Trans. on Ed. Vol. 29, p. 1059-1064, Julho 1982.
- 31 T. Nozabi et al., "Multilayer Epitaxial Techonology for Schottky Barrier GaAs Field-Effect Transistor", em Proc. 5th Int. Symp. Gallium Arsenide and Related Compounds, p. 46-54, (London and Bristol: Institute of Physics) 1974.
- 32 R.E. Williams, D.W. Shaw, "Graded Channel FET's: Improved Linearity and Noise Figure", IEEE Trans. on Ed. Vol. 25, nº 6, p. 600-605, Junho 1978.
- 33 S. Cripps, "The all FET Front End - A Step Closer to Reality", Microwaves, p. 52-58, Out. 1978.

- 34 P.E. Luscher, "Molecular Beam Epitaxy: An Emerging Epitaxy Technology", Thin Solid Films, 11 de Set. 1981. (Varian Report nº 10).
- 35 H.M. Levy et al., "GaAs Integrated Circuits by Selective Epitaxy and Electron Beam Lithography", Solid State Technology, p. 127-129, Agosto 1981.
- 36 J. Barnard, H. Ohno, C.E. Wood, L. Eastman, "Double Heterostructure $\text{Ga}_{0,47}\text{In}_{0,53}\text{As}$ MESFET's with Submicron Gates", IEEE Electron Devices Letters, Vol. 1, nº 9, p. 174-176, Set. 1980.
- 37 Y.G. Chai, R. Chow, "Source and Elimination of Oval Defects on GaAs Films Grown by Molecular Beam-Epitaxy", Report nº 9, Varian - Applied Physics Letters, May 15, 1981.
- 38 H.M. Levy, L. Camnitz, C.E. Cwood, L.F. Eastman, "Characteristics of Very Short Gate Normaly - off GaAs MESFET Inverters", IEDM, p. 88-91, 1981.
- 39 Gibbon, J.F. et al., "Projected Range Statistics: Semiconductors and Related Materials, Edit. Dowden, Hutchinsons & Ross, 1975.
- 40 D.V. Morgan, et al., "Prospects for Ion Bombardment and Ion Implantation in GaAs and InP Device Fabrication", IEEE Proc., Vol. 128, pt. I, nº 4, p. 109-130, Agosto 1981.
- 41 J. Kasahara, M. Arai, N. Watanabe, "Capless Anneal of Ion - Implanted GaAs in Controlled Arsenic Vapour", J. of Appl. Phys., Vol. 50, nº 1, p. 541-543, Jan. 1979.
- 42 S. Leavitt, "RTP: On the Edge of Acceptance", Semiconductor International, p. 64-70, Março 1987.
- 43 P. Zwicknagl, "What mother didn't tell you about LPE", Comunicação Interna NRFFSS - Cornell University, Jan. 1983.
- 44 J.V. Dilorenzo, "Analysis of Impurity Distribution in Homoepitaxial n on n^+ Films of GaAs. II", J. Electrochemical Soc., Vol. 118, nº 10, p. 1645 a 1649, Outubro 1971.
- 45 C.S. Kang, P.E. Greene, "Preparation and Properties of High Purity Epitaxial GaAs Grown from Ga Solution", Applied Phy. Let. Vol. 11, nº 5, p. 171-173, Set. 1967.

- 46 P. Baudet, M. Binet, D. Boccon-Gibod, "Submicrometer Self-Aligned GaAs MESFET", IEEE Trans. on MTT, Vol. 24, nº 6, p. 372-376, June 1976.
- 47 G. Stareev, M.M. Piskorski, "A New Technique for Fabrication of Schottky Barrier Diodes", Sol. St. Electronics, Vol. 20, p. 161-163, 1977.
- 48 A.A. Immorlica, D.J. Wood, "A Novel Technology for Fabrication of Beam-Leaded GaAs Schottky-Barrier Mixer Diodes", IEEE Trans. on Ed., Vol. 25, nº 6, p. 710-713, Jun. 1978.
- 49 H. Yamasaki, G.W. Keithley, "High Performance Low Noise FETs Operation from X-Band Through Ka-Band", Pre-Print. Hughes Aircraft Co., 1981.
- 50 R.L. Van Tuyl, C.A. Liechti, R.E. Lee, E. Growen, "GaAs MESFET Logic with 4 GHz Clock Rate", IEEE J. of Sol. State Circuits, Vol. 12, nº 5, p. 485-496, Oct. 1977.
- 51 J. Vilms, J.P. Garret, "The Growth and Properties of LPE GaAs", Solid State Electronics, Vol. 15, p. 443-455, 1972.
- 52 J.R. Knight, D. Effer, P.R. Evans, "The Preparation of High Purity Gallium Arsenide by Vapour Phase Epitaxial Growth", Solid State Electronics, Vol. 8, Nº 2, p. 178-180, Feb. 1965.
- 53 R.D. Fairman, R. Solomon, "Submicron Epitaxial Films for GaAs Field Effect Transistors", J. Electroch. Soc., Vol. 120, nº 4, p. 541-544, April 1973.
- 54 D.W. Shaw, "Epitaxial GaAs Kinetic Studies: {001} Orientation", J. Electrochemical Soc., Vol. 117, nº 5, p. 683-687, Maio 1970.
- 55 A. Boucher, L. Hallan, "Thermodynamic and Experimental Aspects of Gallium Arsenide Vapour Growth", Vol. 117, nº 7, p. 932-936, Julho 1970.
- 56 J.V. Dilorenzo, A.E. Machala, "Orientation Effects on the Electrical Properties of High Purity Epitaxial GaAs", J. Electrochem. Soc., Vol. 118, nº 9, p. 1516-1517, Setembro 1971.

57. J.V. Dilorenzo, G.E. Moore Jr., "Effects of de AsCl_3 Mole Fraction on the Incorporation of Germanium, Silicon, Selenium, and Sulfur into Vapour Growth Epitaxial Layers of GaAs", J. Electrochemical Soc., Vol. 118, nº 11, p. 1823 a 1830, Nov. 1971.
- 58 S. Kishino, S. Lida, "Plano Defect at the Interface and Dislocations in Epitaxially Grown GaAs", J. of Electroch. Soc., Vol. 119, nº 8, p. 1113-1118, Agosto 1972.
- 59 M. Sacilotti, "Crescimento de cristais semicondutores III-V pela técnica MOCVD", Resumo seminário interno LED-CPqD, Maio 1988.
- 60 Ferry, D.K., "Gallium Arsenide Technology", Cap. 3, Edit. Howard W. Sams and Co, Inc. Indianópolis, USA, 1ª edição 1985.
- 61 M. Binet, B. Kramer, M. Parisot, "Characterization & Applications of Gallium Arsenide MESFETs", MSN, Abril/Maio 1976, p. 82 a 89.
- 62 C.E.C. Wood, "Molecular Beam Epitaxy for Microwave Field Effect Transistors em GaAs FET Principles and Technology", Cap. 4, Edit. J.V. Dilorenzo e D.D. Khandelwal. Artech House Inc. Dedham MA, USA, 1982.
- 63 MBE-360 - System-Technical Proposal - Varian Associates Inc. Palo Alto, California, USA - Descrição detalhada Sistema MBE-360 para LED-FEE-UNICAMP, 1979.
- 64 Manual Interno - MBE - NRRFSS - Procedimentos do usuário para crescimento de camadas epitaxiais MBE - Cornell University, 1980.
- 65 R.G. Hunsperger, N. Hirsh, "Ion-Implanted Microwave Field-Effect Transistors in GaAs", Solid State Electronics, Vol. 18, p. 349-353, Abril 1975.
- 66 R.S. Pengelly , "Microwave Field-Effect Transistor-Theory, Design and Applications", Research Studies Press-John Willey & Sons Ltda., England 1982.
- 67 J.P. Donnelly, C.O. Bolzler, W.T. Lindley, "Low-Dose n-Type Ion Implantation Into Cr-Doped GaAs Substrates", Sol. St. Electronics, Vol. 20, p. 273-276, 1977.

- 68 J.A. Higgins et al., "Low-Noise GaAs FET's Prepared by Ion Implantation", IEEE Trans. on Ed. Vol. 25, nº 6, p. 587-596, Junho 1978.
- 69 R.G. Hunsperger, N. Hirsh, "GaAs-Field Effect Transistor with Ion-Implanted Channels", vol. 9, nº 25, p. 577/578, Electronics Letters, Dec. 1973.
- 70 S. Middelhoek, "Metallization Processes in Fabrication of Schottky-barrier FET's", IBM J. Res. Develop., p. 148-151, Março 1970.
- 71 M. Hatzakis, B.J. Canavello, J.M. Shaw, "Single-Step Optical Lift-off Process", IBM J. of Research and Development, Vol. 24, nº 4, p. 451-460, Julho 1980.
- 72 T.O. Mohr, "Silicon and Silicon-Dioxide Processing for High-Frequency MESFET Preparation", IBM J. Res. Develop., p. 142-147, Março 1970.
- 73 M.C. Driver, H.B. Kim, D. L. Barret, "Gallium Arsenide Self-Aligned Gate Field-Effect Transistors", Proc. of the IEEE, Vol. 59, p. 1244-1245, Agosto 1971.
- 74 S. Umebachi, K. Asahi, M. Inoue, G. Kano, "A New Heterojunction Gate GaAs FET", IEEE Trans. on ED, p. 613-614, Agosto 1975.
- 75 N. Yokoyama et al., "A Self-Aligned Source/Drain Planar Device for Ultra High-speed GaAs MESFET VLSI's", IEEE International Solid State Circuits Conference Digest, p. 218-219, 1981.
- 76 S. ASAI et al, "Single and Dual-Gate GaAs Shottky-Barrier FET's for Microwave Frequencies", Proc. of the 5th Conf. on Solid State Devices, p. 442-447. Tokyo 1973.
- 77 F. Hasegawa, "Power GaAs FET's" em GaAs FET Principles and Technology, Cap. 4, Edit. J.V. Dilorenzo e D.D. Khandelwal, Artech House Inc. Dedham, MA. USA, 1982.
- 78 R.S. Butlin et al., "J Band Performance of 300 nm Gate Length GaAs FET's", IEDM, Washington DC, p. 136-139, Dezembro 1978.

- 79 T. Suzuki, A. Nara, M. Nakatani, T. Ishii, "High Reliable GaAs MESFET's with a Static Mean NF_{min} of .89 dB and a Standard Deviation of .07 dB at 4 GHz", IEEE Trans. on MTT, Vol. 27, nº 12, p. 1070-1074, Dezembro 1979.
- 80 K. Okata, H. Itoh, F. Hasegawa, F. Fujiki, "Super Low Noise GaAs MESFET's with a Deep Recess Structure", International Electron Devices Meeting, Washington DC., 1979.
- 81 T. Furutsuka, T. Tsuji et al., "Improvement of the Drain Breakdown Voltage of GaAs Power MESFET's by a Simple Recess Structure", IEEE Trans. on ED. Vol. Ed. 24, p. 563-567, Junho 1978.
- 82 D. Meignant, D. Boccon-Gibod, "Schottky Drain Microwave GaAs Field Effect Transistors", Electronic Letters, Vol. 17, nº 3, p. 107-108, 5 fevereiro, 1981.
- 83 D. Meignant, "Novel Schottky Drain Power GaAs MESFET", Laboratoires d'Electronique et de Physique Appliquée, Pre Print, 1982.
- 84 J. Wholey and M. Omori, "A Low Noise Microwave FET with Self-Aligned Channels", Inst. Phys. Conf. Ser. on GaAs and Related Compounds, 1978, Série nº 45, Chapter 4, p. 270-277.
- 85 T.N. Jackson, N.A. Masnari, "A Novel Submicron Fabrication Technique", International Electron Devices Meeting, Dezembro 1979.
- 86 P.C. Chao, W.H. Ku, J. Nulman, "A High Aspect-Ratio 0.1 Micron Gate Technique for Low-Noise MESFET's", IEEE Electron Devices Letters, Vol. 3, nº 1, p. 24-26, Janeiro 1982.
- 87 P.C. Chao, W. H. Ku, et al., "0.2 Micron Length Mushroom gate Fabrication Using a New Single Level Photoresist Technique", IEDM, 82, p. 415-418.
- 88 V. Mishra, E. Kohn, L.F. Eastman, "Submicron GaAs Vertical Electron Transistor", International Electron Devices Meeting, p. 594-597, Dezembro 1982.
- 89 L.C. Parrillo, "C-MOS Active and Field Device Fabrication", Semiconductor International, p. 64-70, Abril 1988.

- 90 Y. Imai, K. Ohwada, Y. Imamura, "A New Self-Aligned Recessed-Gate GaAs MESFET Using RIBE (Reactive Ion Beam Etching) for Recess Etching", The Trans. of the EIECE, Vol. E-70, nº 10, p. 975-980. Outubro 1987.
- 91 R. Simonton, D. Kamenitsa, "Channeling Control in Large Diameter GaAs Substrates", presented at the 7th International Conference on Ion Implantation Technology, Kyoto Japan, Junho, 1988.
- 92 K. Watanabe, F. Hyuga, N. I. Noue, "Analysis of Annealing Effect on the Threshold Voltage Uniformity of GaAs Field Effect Transistors", J. of Electrochemical Soc., Vol. 138, nº 9, p. 2815-2820, Setembro, 1991.
- 93 A. Lahav, R.L. Lapensky, T.C. Henry, "Examination of Pitting Formation in Rapid Thermal Annealing of Self-Aligned GaAs MESFETs", J. of Electrochemical Soc., Vol. 136, nº 4, p.1096-1099, Abril, 1989.

CAPÍTULO 3

MODELAMENTO MATEMÁTICO DE MESFETs DE GaAs

1ª PARTE

DESCRIÇÃO FENOMENOLÓGICA E
EVOLUÇÃO DO MODELAMENTO

INTRODUÇÃO

No primeiro capítulo foi apresentada uma análise qualitativa da operação dos MESFETs de GaAs com a introdução de fenômenos, tais como a formação de domínios Gunn e a característica de resistência negativa, que podem surgir neste tipo de dispositivo.

O objetivo deste capítulo é abordar, de forma analítica, o comportamento dinâmico do dispositivo com a finalidade de propiciar ao projetista de dispositivos ou circuitos integrados de MESFETs de GaAs, elementos e parâmetros terminais que se aproximam da realidade física do dispositivo.

Ainda, certos fenômenos, observados experimentalmente e também obtidos por simulação, são abordados neste capítulo, onde se propõe uma explicação física e resultados analíticos decorrentes desta proposta.

A trajetória do modelamento dos MESFETs de GaAs, originada a partir de modelos de JFET proposto por Shockley [1], é longa e envolve um esforço de algumas décadas de pesquisa. A variedade de premissas e condições de contorno, associada a novos modelos referentes à dinâmica de condução em semicondutores, contribuiu para a formulação de diferentes hipóteses de operação do dispositivo.

Mesmo com o auxílio de métodos numéricos, que permitem a simulação do comportamento dinâmico do dispositivo MESFET, a análise física de alguns fenômenos, encontrada na literatura, não é satisfatória. Tanto que os modelos analíticos, apresentados recentemente por vários autores, adotam modelos clássicos de JFET e não incorporam fenômenos que ocorrem no MESFET diferenciando-o e, em muito, do JFET. Entretanto, vários pesquisadores estudaram em profundidade vários fenômenos e, no nosso entender, não existe um tratamento na literatura que os correlacione de maneira integrada. O estudo detalhado de vários modelos propostos, associado à simulação numérica do comportamento dinâmico do dispositi

vo, e ainda, resultados experimentais com MESFETs de GaAs, permitem que se incluisse, neste capítulo, a proposta de um modelo denominado de "modelo Integrado". Neste modelo são incorporados vários aspectos da dinâmica do dispositivo que, na literatura em geral, ora não são abordados ou não se conectam com outros, resultando daí uma análise incompleta.

Neste capítulo, apesar da apresentação integrada dos vários fenômenos e dos resultados analíticos para variáveis terminais, não são analisados todos os aspectos de aplicação do MESFET de GaAs e dispositivos correlatos, concentrando-se na sua característica operacional básica e em alta frequência. A otimização do dispositivo para as mais variadas aplicações, desde baixo ruído até chaveamento e potência, deve ser aprofundada em função da especificidade da aplicação e neste capítulo o projetista poderá encontrar fundamentos para esta análise mais detalhada que necessita.

3.1. EVOLUÇÃO DOS MODELOS PARA MESFETs

3.1.1. PRIMEIRAS FORMULAÇÕES PARA JFETs E MESFETs

A análise e modelamento matemático de MESFETs de GaAs tem origem nos trabalhos desenvolvidos para os transistores de efeito de campo de junção ou JFETs.

A maioria dos modelos teve sempre, como alvo de análise, as condições de operação após a saturação e os mecanismos físicos que prevalecem neste estado de condução. Ainda assim muitos destes resultados foram obtidos para o silício, que possui característica de condução eletrônica diferenciada dos semicondutores compostos do grupo III-V.

A análise unidimensional proposta por Schokley [1] introduziu o conceito de "canal gradual" que assume que a espessura do canal de trabalho varia muito gradualmente ao longo do comprimento. Considera para isso que o campo elétrico longitudinal no canal é muito menor que o campo transversal. Como será abordado mais adiante, esta última hipótese limita o modelo à região li

near de operação do dispositivo, ou seja, para baixas tensões, e não tem validade para a região de saturação. Obviamente o modelo de Shockley [1] não prevê a condutância finita de saída, observada em todos os dispositivos do tipo MESFET, JFET e correlatos. O resultado obtido neste modelo vem a partir da solução da equação de Poisson e de continuidade da corrente em uma dimensão, utilizando a geometria clássica de dupla porta sobre lados opostos do retângulo semiconductor.

A partir do modelo de Shockley muitas modificações foram introduzidas para analisar o comportamento dos JFETs de Si principalmente.

O modelo proposto por Dacey e Ross [2] aprimora o modelo de Shockley, que usa mobilidade constante, e introduz a mobilidade dependente do campo do tipo

$$\mu = \mu_0 \left(\frac{E_c}{E} \right)^{1/2} \quad (3.1)$$

sendo μ_0 a mobilidade de elétrons no Si para campos de pequeno valor, E_c o campo crítico, a partir do qual a mobilidade torna-se menor que μ_0 . A introdução deste conceito mostrou que, por exemplo, a corrente de dreno é maior que a prevista pelo modelo de Shockley e há um aumento da transcondutância g_m e da frequência de corte f_T para campos maiores. O extenso trabalho analítico de Dacey e Ross serviu de base para projeto de transistores JFET por longa data. Do ponto de vista físico, foi o primeiro trabalho analítico que introduziu o conceito de saturação da velocidade de deriva em campos elétricos elevados. Um elemento ainda introduzido por esta análise unidimensional foi a localização do ponto de estrangulamento (*pinch-off*), do canal. O ponto localiza-se na extremidade da porta próxima ao dreno e não varia com a tensão. Este conceito aliás permeou várias análises até que a evolução dos modelos indicassem que fenômenos associados à saturação não exigem o *pinch-off*, ou este ponto pode deslocar-se, dependendo da tensão e, conseqüentemente, do campo aplicado.

Na análise proposta por Grosvalet *et al.* [3] é sugerido que a saturação da corrente elétrica está diretamente vinculada

à mobilidade dependente do campo dos portadores no canal. Esta vinculação foi contestada por Kenedy e O'Brien [4] que mostraram a possibilidade de estruturas exibirem o fenômeno de saturação de corrente, mesmo com a mobilidade de portadores constante ao longo de todo canal. Hauser [5], através de um modelo analítico unidimensional, usando a distribuição característica de potencial de um eletrodo semicilíndrico, propõe uma forma específica do contorno da região de depleção sob a porta e ainda mostra que não ocorre o estrangulamento (*pinch-off*) completo na região de saturação de corrente.

Os modelos propostos por Shockley [1], Dacey e Ross [2] não previam completamente a característica de saída $I_{DF} \times V_{DF}$ pois as soluções para a região linear e a região de saturação apresentavam descontinuidade. Wu e Sah [6] propõem um estudo analítico unidimensional onde o fenômeno da saturação e a condutância finita de dreno em JFETs acabam casando com o comportamento na região linear e a descontinuidade nos modelos anteriores é eliminada. Entretanto, este estudo analítico estava limitado ainda ao silício.

O fenômeno mais importante nos JFETs e MESFETs é, sem dúvida, o fenômeno de saturação da corrente e a este são dedicados vários trabalhos analíticos visando a interpretação fenomenológica dos mecanismos associados e formulação matemática do comportamento dinâmico do dispositivo.

O ponto de inflexão na característica de saída do dispositivo $I_{DF} \times V_{DF}$ ocorre quando a tensão de dreno ultrapassa a tensão de estrangulamento ou *pinch-off* V_p , dada por

$$V_p = \frac{qN_D a^2}{2\epsilon_0 \epsilon_r} \quad , \quad (3.2)$$

com os parâmetros definidos anteriormente. Esta tensão, quando aplicada à porta (a expressão acima é simplificada pois não inclui V_{Bi}), é supostamente aquela que provocaria a depleção total do canal do JFET ou MESFET. Esta tensão é tomada como referência para assegurar que, a partir dela, o dispositivo está fortemente sa

saturado (sem considerar ainda os mecanismos que sustentam esta saturação).

A questão que resulta da forte saturação é a de identificar qual o mecanismo no canal que sustenta uma corrente da ordem de miliamperes quando supostamente já se aplicou à porta uma tensão maior que V_p e, conseqüentemente, se formou sob a porta, até o limite da região ativa, uma camada depletada de alta resistividade.

Grove [7] apresenta um resumo interessante que incorpora os principais resultados analíticos mencionados até aqui. É resumo limitado ao Si e portas longas.

Turner e Wilson [8] introduziram a análise de MESFETs de GaAs que, apesar de incluir a saturação da velocidade de elétrons, não coloca a mobilidade dependente do campo.

Mesmo assim, foi o primeiro autor a introduzir o conceito ou a possibilidade da existência do canal finito residual após o estrangulamento.

Quase simultaneamente Grebene-Ghandhi [9] propõem também a existência do filamento residual para suportar a corrente após o estrangulamento.

No trabalho seguinte Grebene-Ghandhi [10] reafirmam a existência de um canal filamentar residual sugerindo várias hipóteses para a condução no canal totalmente depletado.

As hipóteses de multiplicação por avalanche de portadores na região depletada do canal, comprimento da junção da porta, resultando em fluxo lateral de portadores da porta para o dreno e geração térmica de portadores dentro da camada de depleção, foram descartadas em função das evidências experimentais.

O descarte destas hipóteses levaram Grebene-Ghandhi [10] a sugerir a necessidade de um canal residual filamentar após a tensão de saturação.

É interessante notar que Grebene-Ghandhi sugerem, no próprio trabalho, |10| a formação de carga espacial no canal (que em última análise representa a formação dos domínios estacionários) e que atualmente é identificado definitivamente como fenômeno fundamental para explicação dos fenômenos de saturação. Entretanto, Grebene-Ghandhi |10| ficam com a hipótese do canal resistivo filamentar.

Ainda estes autores introduziram explicações relativas à resistência finita de saída (ou de dreno), sugerindo os mecanismos que suportam um aumento da corrente com a tensão V_{DF} após a saturação. Os modelos propostos por Grebe-Ghandhi |10| resultavam da solução aproximada da equação de Poisson e com tratamento bidimensional.

Foi no início dos anos 70 que Kennedy e O'Brien |11| apresentaram uma simulação completa bidimensional de JFETs de Si e alguns fenômenos, detectados anteriormente, foram claramente explicados. É o caso da existência dos domínios estacionários. Kennedy e O'Brien |11| ainda concordam com o modelo proposto por Grebene-Ghandhi |10| sobre o confinamento da corrente num estreito canal condutor. Kennedy e O'Brien |11| avançaram no sentido de melhor identificar a distribuição de cargas no canal. Propuseram a localização do domínio de carga estacionária ou dupla camada estacionária na região do canal onde normalmente era assumida como estrangulada pela região de depleção ou de carga espacial da junção da porta. Afirmam, ainda, que a carga eletrostática, associada à camada dupla, redistribui o potencial no canal e muda a largura da região de carga espacial da porta. De fato, as simulações efetuadas no nosso trabalho (ver mais adiante neste capítulo) indicam esta distribuição. Entretanto, os resultados que apresentamos indicam que os domínios estacionários são comprimidos para o fundo da região ativa, à medida que se aumenta V_{PF} (negativa). A tensão V_{PF} é variável independente que impõe a expansão da região de carga espacial e o domínio de cargas estacionário que se adapta a esta situação.

Trabalhos posteriores ao de Kennedy e O'Brien |11|, por exemplo Reiser |12| e Kennedy e O'Brien |13|, mostram que a formação do domínio se desloca para a camada buffer (quando exist

tir), mostrando que, de fato, há uma adaptação do domínio com a tensão V_{PF} .

A contribuição fundamental do trabalho de Kennedy e O'Brien [11] foi identificar os principais fenômenos nos MESFETs, ainda que, de Si, mas serviram de base para a interpretação da característica de MESFETs de GaAs.

Quase simultaneamente, Wolf [14] apresentava medidas e avaliações destes componentes e aplicações em microondas.

O início dos modelos analíticos para MESFETs (pois os trabalhos anteriores se referiam a JFETs) ocorreu com o trabalho de Drangeid-Sommerholder [15] que, a partir de uma análise bidimensional aproximada, introduziu um modelo simples para avaliar a resposta em frequência de MESFETs de Si. Foi o trabalho pioneiro em dividir o canal em 3 regiões distintas incluindo aí o fenômeno de acumulação de cargas. O modelo proposto por Drangeid-Sommerholder [15] inova ao descrever o que ocorre com o MESFET quando se coloca um sinal pequeno e periódico na porta. Ainda corrige a expressão de g_m , proposta por Schockley [1], e foi o primeiro trabalho a mostrar que o MESFET de Si não é, necessariamente, mais lento que o bipolar e propõe a utilização de GaAs como material para o MESFET. Outra inovação proposta por Drangeid-Sommerholder [15] é a interpretação do MESFET como "linha de transmissão" ao se identificar os eletrodos de porta dreno e fonte num MESFET de largura (W), bastante grande comparado com as outras dimensões.

Na seqüência dos modelos analíticos surge o trabalho de Lehovc e Zuleeg [16], considerado um marco no tratamento analítico dos MESFETs de GaAs. A análise utiliza a configuração mostrada na fig. 3.1b. Apesar de utilizar uma característica aproximada da velocidade em função do campo elétrico, proposta por Trofimenkoff [17] (ver fig. 3.1a), Lehovc e Zuleeg [16] propõem uma concepção mais adequada para a região do canal, fig. 3.1b, e introduz a variável z , dada por

$$z = \frac{\mu V_P/L}{v_s} = \frac{v_x}{v_s} \quad (3.3)$$

$z \ll 1$ Faixa de Schockley

$z > 1$ Faixa de elétrons quentes

sendo v_x a velocidade de deriva de elétrons numa dada condição de geometria e polarização do dispositivo.

Este trabalho introduziu a possibilidade de ocorrer dependência com o campo da mobilidade de deriva, mesmo em regiões em que o canal não estava estrangulado.

As principais equações deste modelo analítico clássico são:

$$I_P = \frac{V_P q N \mu a W}{3L}$$

$$I_O = \frac{3 I_P}{z} \quad (3.4)$$

$$u = \sqrt{\frac{V_{DF} - V_{PF} - V_{Bi}}{V_P}}$$

$$u^2 - t^2 = \frac{V_{DF}}{V_P}, \quad t^2 = -\left(\frac{V_{PF} + V_{Bi}}{V_P}\right) \quad (3.5)$$

$$I_{DF} = I_P \left[\frac{2(u^2 - t^2) - 3(u^3 - t^3)}{1 + z(u^2 - t^2)} \right] \quad (3.6)$$

sendo V_P dado pela equação 3.2 e I_{DF} tem máximo para $u = u_m$. Estas equações definem as características D.C. para o MESFET com os parâmetros mostrados na fig. 3.1b e em duas condições de z , $z = 0$ mobilidade constante e $z = 3$ mobilidade dependente do campo.

Neste trabalho Lehovec e Zülleg [16] discordam de

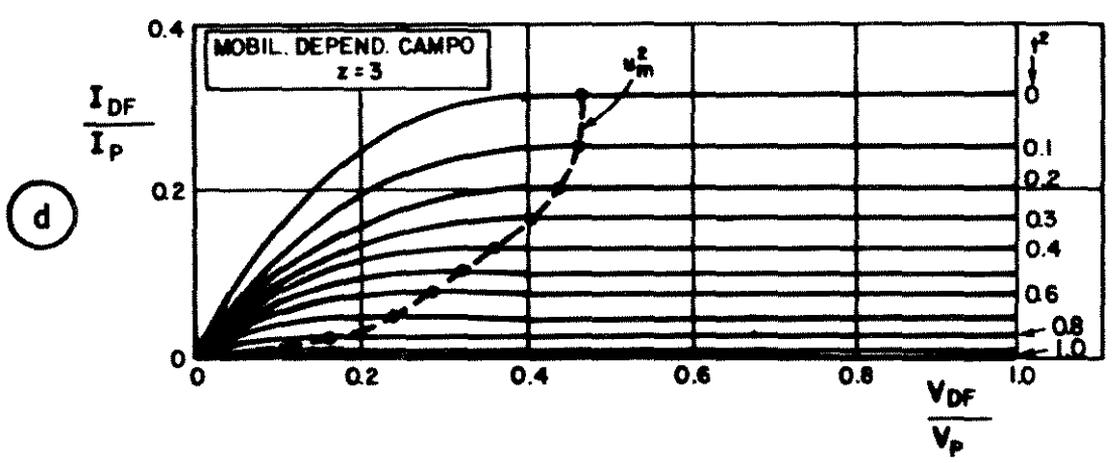
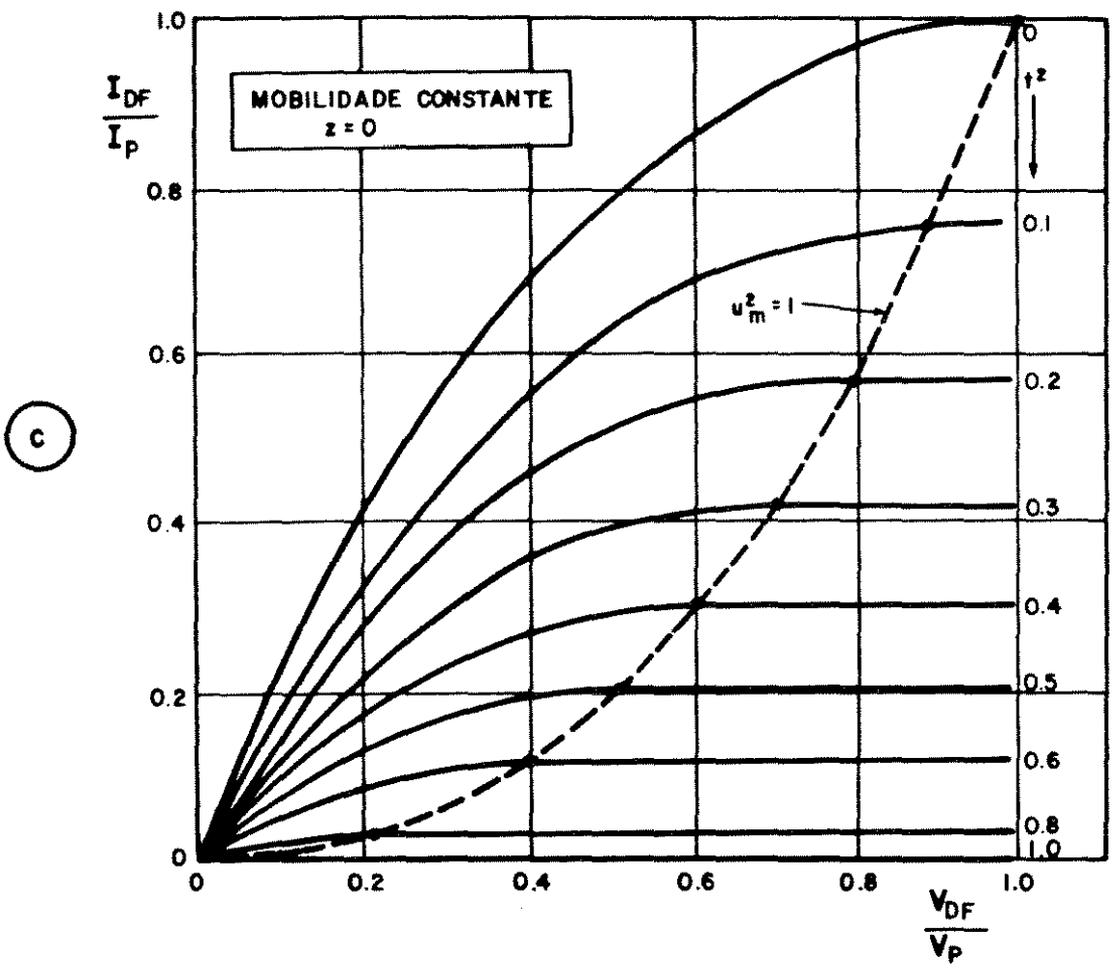
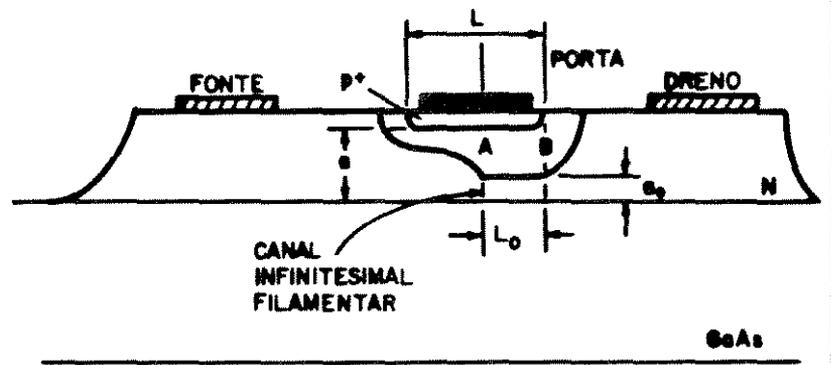
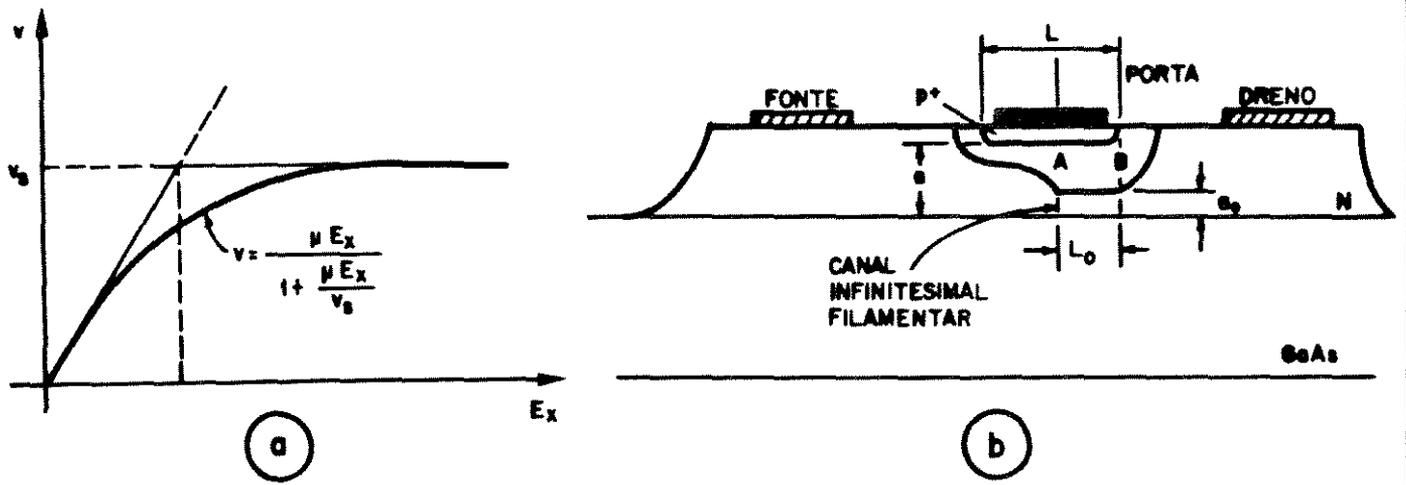


Fig.3.1 Modelo Clássico do MESFET de GaAs proposto por LEHÓVEC e ZULEEG [16].
 a. Característica Velocidade versus Campo Elétrico adotada.
 b. Estrutura do MESFET.
 c e d. Característica DC para $z = 0$ e $z = 3$.

Grebene-Ghandhi |10| na ocorrência do ponto de estrangulamento. Estes últimos indicavam a ocorrência no ponto A da fig. 3.1b, ao passo que Lehovec e Zulleg |16| indicam o ponto B e a existência, neste ponto, de campos elétricos intensos. De fato a região indicada por L_0 na fig. 3.1b é a região que, como vemos mais adiante, abriga os domínios estacionários responsáveis pelos fenômenos de condução nos MESFETs. Nesta região Lehovec e Zulleg |16| já adiantavam a existência e a dimensão do canal filamentar, proposto por Grebene e Ghandhi |10|, e que será discutido também mais adiante, à luz de outros fenômenos que estão relacionados. Outra interpretação inovadora destacada por Lehovec e Zulleg |16|, a partir do trabalho de Kenedy e O'Brien |13|, foi mostrar que a constância da corrente nas proximidades de $x = L - L_0$, onde ocorre redução substancial de espessura do canal (início do canal filamentar), é devida, primeiramente, ao aumento de concentração de elétrons, ao invés de aumento de velocidade. Esta observação surgiu a partir da constatação de uma resistência de espalhamento bidimensional para o fluxo de corrente, ao aproximar-se do ponto de estrangulamento e dos desvios do estado de quasi-neutralidade na região de resistência de espalhamento, devido ao acúmulo de elétrons.

Grebene e Ghandhi |10| determinaram uma distribuição bidimensional do potencial na região entre A e B da fig. 3.1b, ou seja, o potencial na região estrangulada.

Como consequência desta distribuição de potencial, a corrente de dreno não satura com a tensão de dreno, isto é, existe uma condutância finita de dreno $g_d = \partial I_{DF} / \partial V_{DF}$.

Para determinar g_d , Grebene e Ghandhi |10| utilizaram este potencial mais a expressão de Shockley |1| (ou seja para $z = 0$) para a região não estrangulada. Lehovec e Zuleeg |16| generalizaram esta solução de g_d para qualquer z .

A saturação da velocidade de deriva tem os seguintes efeitos sobre a característica $I_{DF} \times V_{DF}$:

- . Reduz a corrente de saturação.
- . Tensão de saturação fica menor que a tensão de *pinch-off*.
- . Reduz a transcondutância.
- . Uma quase constante transcondutância para tensões pequenas de porta se $z \gg 1$.
- . Redução da condutância de dreno na região de saturação a uma da da corrente de dreno.

Mo e Yanai [18] propõem um modelo que inclui a dependência da mobilidade com o campo, dividindo a região sob o canal em 2 regiões: a de mobilidade constante e a de mobilidade dependente do campo. Este trabalho modifica a geometria do canal gradual e introduz um modelo analítico que descreve, aproximadamente, a região de depleção e, foi o primeiro a propor uma estrutura de MESFET invertido, onde o eletrodo da porta está no plano inferior da camada ativa. Este modelo limita-se a portas longas.

Kim e Yang [19], a partir de simulação bidimensional, introduziram vários resultados significativos, principalmente na quantização da condutância finita diferencial de dreno na região de saturação. Apesar de limitado a JFETs de Si, já utilizou a mobilidade dependente do campo (com expressão analítica) e foi o primeiro trabalho a indicar a transição da região de carga espacial (região depletada) para a região neutra do canal em torno de 3 comprimentos de Debye (para o Si). Introduziu, ainda, o conceito de modulação do comprimento do canal que, além de efeito de estrangulamento, contribui para a determinação da condutância inremental de dreno.

Como resultados significativos, Kim e Yang [19] mostram que a saturação da corrente não é devida à saturação da velocidade de deriva dos elétrons. Kim [20] mostrou experimentalmente que o modelo proposto por Kim e Yang [19] prevê, com razoável precisão, os valores de condutância diferencial de dreno.

3.1.2. SIMULAÇÕES BIDIMENSIONAIS E RESULTADOS PARA ESTRUTURAS MESFETs

O trabalho de simulação bidimensional para MESFETs de

GaAs Reiser [12], introduziu na estrutura do JFET e MESFET o comportamento desta estrutura com um substrato de condutância finita. Isto equivale, no MESFET, a considerar a influência da camada *buffer*.

A partir da solução das equações de Poisson e de continuidade, pelo método das diferenças finitas, utilizando-se valores realísticos (para o Si) da mobilidade em função do campo, Reiser [12] determinou, com precisão, os efeitos do substrato (que podemos incorporar como os mesmos efeitos da camada *buffer* no caso dos MESFETs de GaAs).

O que ocorre na interface camada ativa e substrato (ou, se considerarmos o caso de MESFETs de GaAs: na interface camada ativa camada *buffer*) é um fenômeno tipicamente bidimensional [12].

Para tensões de dreno pequenas, a difusão de portadores ao longo da interface (ativa/substrato) é forte o suficiente para impedir uma influência do campo de dreno na distribuição de portadores no substrato (ou *buffer*). Um canal de portadores forma-se ao longo da interface e estes são mantidos juntos pelo campo da porta de um lado e pelo campo de difusão por outro. Aumentando-se o potencial de dreno resulta num reforço do campo de dreno no substrato. Esse efeito é bidimensional pois envolve a componente transversal do campo, que enfraquece o campo de difusão sob a porta, de maneira que mais portadores são empurrados para o substrato (ou *buffer*).

Estas ocorrências na interface levam às seguintes conclusões [12]:

- . A corrente de substrato (ou *buffer*) não é desprezível e aumenta consideravelmente o nível de corrente.
- . Quanto mais alta a resistividade do substrato (ou camada *buffer*) melhor é a característica de saturação (mais plana).
- . Quanto mais dopada a camada ativa menos importantes são os efeitos da outra camada (substrato ou *buffer*).

- . Com camadas de baixa condutividade abaixo da ativa (seja substrato ou *buffer*), para se atingir o estrangulamento (*pinch-off*), precisa-se de maior tensão na porta.

Na seqüência de análises da participação do substrato (ou camada *buffer*) na dinâmica do MESFET, Kennedy e O'Brien |13| apresentam uma série de interpretações destes fenômenos, que complementam o trabalho anterior de Reiser |12|.

Kennedy e O'Brien |13|, comprovam, com simulação bidimensional em FETs com camada ativa dopada ($1.5 \times 10^{17} \text{ cm}^{-3}$) e substrato com dopagem 10^{12} cm^{-3} , que de fato ocorreu acumulação de portadores majoritários dentro do material do substrato, embora os mecanismos que produzem esta acumulação sejam devidos como consequência do transporte de portadores com velocidade limitada. Só que Kennedy e O'Brien |13| introduzem uma novidade nesta participação do substrato: Identificam a existência de uma camada dupla eletrostática entre as regiões de alta e baixa dopagem. (Veja que esta camada dupla não é um domínio).

Esta camada dupla origina-se de uma redistribuição de portadores móveis relativa à distribuição de átomos de impurezas ionizadas, ou seja, a camada depletada alcança a interface e os portadores majoritários são acumulados no substrato (ou na *buffer*), formando assim cargas positivas acima da fronteira e negativas (móveis) abaixo da fronteira (ativa *buffer*). Como esta junção está formada e alinhada verticalmente, não é influenciada pela tensão externa de polarização (diferente também da tensão de domínios que depende de V_{DF} - ver seções a seguir).

Kennedy e O'Brien |13| mostram um cálculo detalhado da distribuição de corrente próxima à região estrangulada e indicam que uma parcela significativa da corrente fonte-dreno vem do transporte de portadores através desta camada de excesso de portadores (que está do lado da camada *buffer*). De uma maneira geral e para todos os efeitos, a espessura do canal é aumentada pelo excesso de portadores majoritários que estão do lado menor dopado da fronteira ativa/*buffer*.

Em trabalho anterior Kennedy e O'Brien [11] haviam demonstrado que, na presença de mobilidade dependente do campo, a corrente é mantida pelo processo de acumulação de portadores. Se a corrente elétrica total entrando numa região estrangulada, devido ao transporte de portadores com velocidade limitada, ocorre acumulação de portadores e esta acumulação provê os meios pelos quais a continuidade da corrente elétrica é mantida entre dreno-fonte. Kennedy e O'Brien [11] mostram também que a acumulação de portadores irá expandir fisicamente a trajetória de condução através da região estrangulada e, em algumas estruturas, produz contração da região da carga espacial da junção da porta.

Assim, Kennedy e O'Brien [13], completando o trabalho anterior [11] e adicionando resultados anteriores de Reiser [12], mostram que existe uma outra forma de acumulação de portadores (além da formação do domínio estacionário), que é a acumulação no substrato ou camada *buffer*.

Por esta razão a saturação mais suave que ocorre em dispositivos com outra camada de mais baixa dopagem (seja ela o próprio substrato ou camada *buffer*) surge, como resultado, de um grau de liberdade a mais para a acumulação de portadores dentro do canal dreno-fonte.

Na falta da camada *buffer* (ou substrato de baixa qualidade que permite condução) a acumulação de portadores, que é o mecanismo dominante pelo qual a corrente é mantida, fica limitada pela região de depleção e pelo substrato isolante. Estrutura contendo substrato de baixa qualidade ou que tenha camada *buffer*, provê material semiconductor na qual a região de excesso de portadores pode se expandir e, conseqüentemente, produz uma saturação "suave".

A estes resultados, interessantes do ponto de vista fenomenológico, devem ser acrescentados outros fenômenos, como aqueles mencionados no capítulo 2 que são a existência de cargas e de feitos na interface, o efeito de *back-gating* e a interação destes fenômenos para melhor compreensão dos mecanismos de condução nos MESFETs de GaAs. Proporemos uma interpretação mais integrada nas seções seguintes.

3.1.3. MODELOS BIDIMENSIONAIS AVANÇADOS

A década de 70 foi profícua no surgimento de trabalhos de simulação bidimensional de MESFETs e Reiser [21] já observava que "a era dos modelos simples para dispositivos semicondutores está chegando ao fim". Reiser [12], [21] e Reiser e Wolf [22] propõem a solução das equações de fluxo dependentes do campo em semicondutor, usando o método das diferenças (diferenças finitas) numa estrutura do tipo MESFET de Si e já incorporando o efeito de substrato. Reiser [21] simula, pela primeira vez, a formação e crescimento de um domínio Gunn num diodo planar de GaAs. É possível observar no trabalho de Reiser [21] a configuração tridimensional de um domínio Gunn, formando-se numa estrutura diodo de GaAs.

Foi, entretanto, Himsworth [23] que ofereceu uma descrição quantitativa e qualitativa detalhada do MESFET de GaAs analisando, inclusive, as possibilidades de geometria de canal e porta longos e canal e porta curtos. Num trabalho pioneiro Himsworth [23] utilizou a relação correta de velocidade da deriva de elétrons em função do campo elétrico para o GaAs. A deficiência da simulação ressaltada pelo próprio autor é a utilização de dopagem muito baixa ($2,6 \times 10^{15} \text{ cm}^{-3}$), o que não corresponde a dispositivos típicos. Entretanto, simulações posteriores com valores mais realísticos de dopagem e geometria (como os apresentados neste trabalho) resultam em fenômenos semelhantes aos supostos por Himsworth [23].

As principais conclusões do trabalho de Himsworth foram incorporadas na descrição qualitativa que apresentamos no capítulo 1. As equações de distribuição de elétrons (equação de Poisson) e de continuidade são resolvidos num arranjo bidimensional usando técnicas de relaxação. Esse foi o primeiro trabalho que previu teoricamente a possibilidade de uma região de condutividade negativa na característica $I_{DF} \times V_{DF}$ de MESFETs de GaAs, principalmente em estruturas de canal e porta curto (ver cap. 1). Ainda foi pioneiro na identificação dos domínios Gunn que se formam na estrutura do MESFET de GaAs e foi o pioneiro a sugerir a correlação da formação domínio com o fenômeno da saturação. Himsworth [23] com seu trabalho definiu qualitativamente o comportamento D.C. dos MESFETs de GaAs e abriu um campo vasto para in

terpretações fenomenológicas dos mecanismos e da dinâmica destes dispositivos.

Reiser [24] apresentou, neste segundo trabalho, uma simulação completa de MESFETs de Si e apresentou ainda uma análise do comportamento do dispositivo para grandes e pequenos sinais. É, possivelmente, o trabalho de análise e caracterização mais completo de MESFET de Si conhecido. A solução adotada inovadora é a solução bidimensional completa do problema com dependência temporal pelo método das diferenças finitas. A vantagem desta solução total é poder obter resultados para análise de grandes sinais e pequenos sinais (análise a.c.).

O trabalho de Reiser [24], apesar de limitado ao silício, serviu de referência para os modelos e simulação mais avançados para MESFETs de GaAs.

Himsworth [25] também simulou o comportamento dinâmico de MESFETs de InP, simulação bidimensional que resultou basicamente nas mesmas conclusões para MESFETs de GaAs [23], acrescentando, entretanto, que a região de condutância negativa na característica $I_{DF} \times V_{DF}$ de MESFETs de InP é mais extensa que nos equivalentes MESFETs de GaAs.

Uma das características limitantes do modelo de Himsworth [23] e [25] é a geometria de dupla porta (do tipo JFET) e a difusividade constante (não dependente do campo). As análises que apresentaremos no final deste capítulo e no cap. 4 não sofrem esta deficiência.

Os modelos e simulações bidimensionais apresentados nesta seção utilizam esquemas de diferenças finitas.

Bernes e Lomax [26] apresentam pioneiramente a formulação de elementos finitos para análise bidimensional de MESFETs de GaAs. As principais vantagens sobre o esquema de diferenças finitas são:

1. Os nós fantasmas necessários nos esquemas de diferenças finitas não são necessários e as condições de contorno são simuladas exatamente.

2. Nas regiões de menor interesse pode-se modificar a malha e menor tempo de processamento é obtido. O refinamento da malha nos locais de maior interesse é facilmente obtido.
3. Esquemas de diferenças de ordem mais elevada podem ser obtidas sem aumentar muito a complexidade.

As desvantagens do método de elementos finitos são o alto grau de complexidade de programação e necessidade de grande volume de memória e tempo de processamento elevado se, de fato, a matriz de equações de aproximação da mais alta ordem e malhas não uniformes são utilizadas.

Os detalhes da formulação do método de elementos finitos é descrito por Barnes e Lomax [27] num texto completo onde uma estrutura de MESFET de GaAs é analisada.

3.1.4. CONSIDERAÇÕES NÃO-ESTÁTICAS E OS MODELOS MICROSCÓPICOS DE PARTÍCULAS

O tratamento desenvolvido para análise de MESFETs e mencionado até aqui, assume um comportamento de equilíbrio entre a aplicação do campo elétrico e a velocidade de deriva dos elétrons no semicondutor, isto é, a velocidade de deriva dos elétrons segue a curva estática apresentada no cap. 1.

Entretanto, a rápida variação temporal de campo aplicado em semicondutores provoca um *overshoot* da velocidade de deriva, cujo transiente difere da curva estática. De fato, como os MESFETs tem separação entre eletrodos da ordem de microns, o tempo de trânsito entre os eletrodos torna-se comparável com o tempo de relaxação dos elétrons no semicondutor.

Através de simulação, utilizando o método de Monte Carlo, Ruch [28] analisou a dinâmica de elétrons entre fonte e dreno de MESFETs e investigou a dependência espacial e temporal da velocidade média dos elétrons em GaAs e Si.

Estes fenômenos de *overshoot* devidos à não equivalência entre os tempos de relaxação de energia e o de momentum

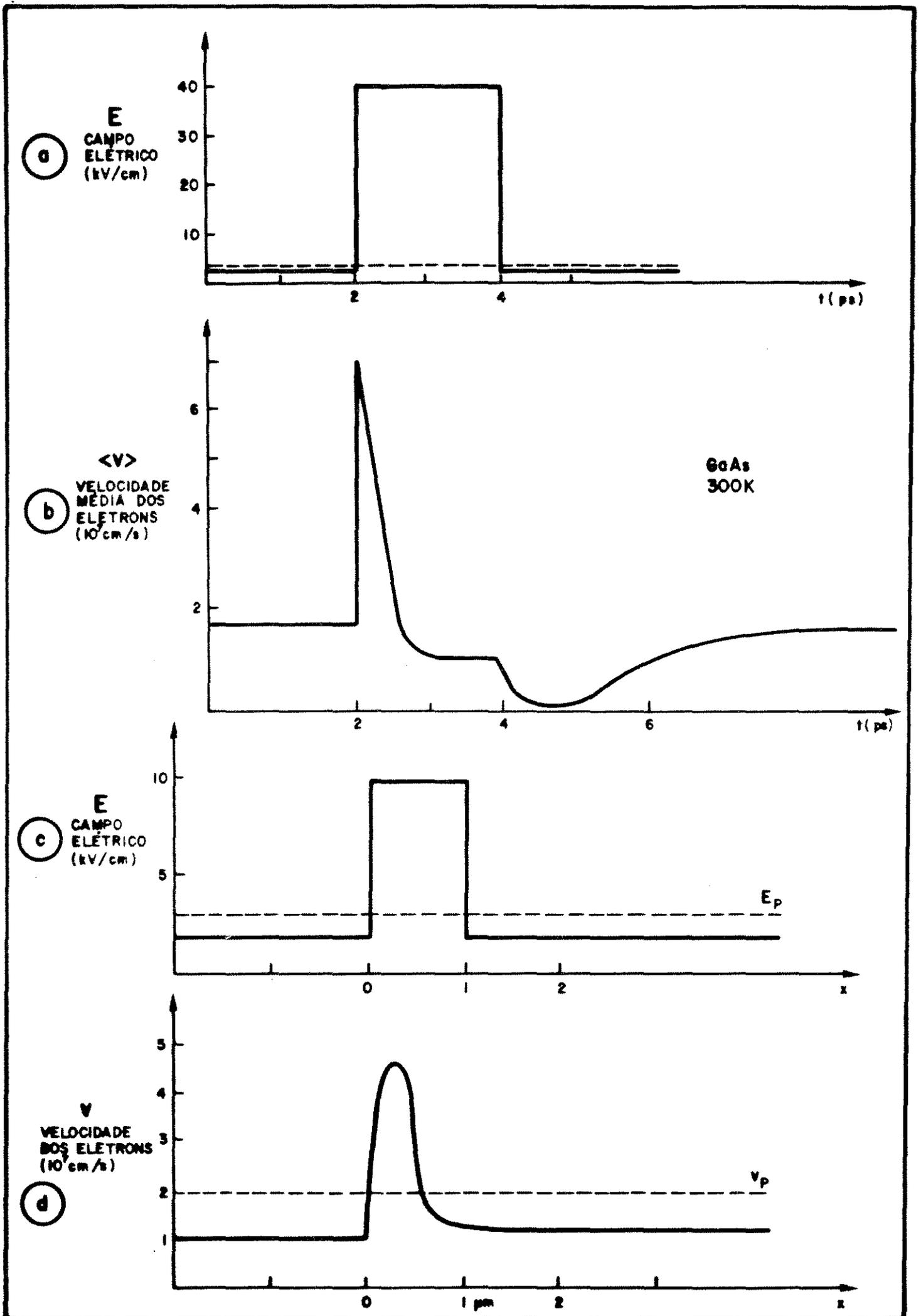


Fig. 3.2 Transitórios ("Overshoot") de velocidade de deriva de elétrons em GaAs. Dados obtidos por simulação Monte Carlo segundo RUCH [28].
 a e b. Transiente no tempo após aplicação de campo elétrico de 40 kV/cm.
 c e d. Transiente espacial de velocidade.

podem ser observados na fig. 3.2.

Os trabalhos de simulação da dinâmica de elétrons no GaAs de Ruch [28], Ruch e Kino [29], Ruch e Fawcett [30], Rees [31] e os experimentos de Braslau e Hauge [32] e Houston e Evans [33] tinham como suposição a transferência de elétrons das bandas de condução Γ para X. Entretanto, Aspnes [34] mostrou, pelo método de electroreflectância de U.V. de barreira Schottky, que a primeira transferência é para a subbanda de condução Γ (com diferença de 0,31 eV para o gap direto) e estabeleceu a seqüência Γ -L-X em contraposição à seqüência Γ -X-L.

Esta restrição aos modelos e simulação de *overshoot* não distanciam muito da realidade dos fenômenos descritos aqui.

Estas análises, levando em conta que os elétrons não respondem instantaneamente ao campo, como é obtido pela curva de equilíbrio velocidade versus campo elétrico, resultam do ponto de vista da característica do dispositivo uma freqüência de transição f_T maior que a prevista pelo modelo estático.

Maloney e Frey [35], [36], [37] analisaram a resposta em freqüência de MESFETs de GaAs e InP, simulando a dinâmica de elétrons pelo método de Monte Carlo e levando em conta os fenômenos mencionados nesta seção. Estes resultados mostram que a velocidade efetiva dos elétrons sob a porta (ver eq. 1.5, cap. 1) é maior se for considerada a característica não estática de velocidade versus campo elétrico e, conseqüentemente, a freqüência de transição f_T prevista é maior. Fundamentalmente, o "tempo de voo" de elétrons sob a porta diminui devido ao *overshoot* de velocidade.

O modelamento mais significativo, que considera o tempo de relaxamento (para estabelecimento da curva estática de velocidade em função do campo), é o modelo de partículas ou modelo de espalhamento microscópico de partículas proposto por Hockney e Warriner [38]. Como os modelos citados nas seções anteriores usam tradicionalmente o modelo de difusão e mobilidade estática, a densidade de partículas pela equação de Poisson, consistente com o campo eletrostático e a velocidade, são assumidas instan-

taneamente relacionadas com o campo por uma curva estática de mobilidade. A primeira consideração é que simulação pelo método de Monte Carlo, com aproximação por 2 bandas, mostra que se necessita de um tempo de 5 ps para se estabelecer a relação estática de mobilidade. Como as velocidades são da ordem de 10^7 cm.s^{-1} , a distância percorrida até estabelecer a condição estática é de $0,5 \mu\text{m}$. Assim, Hockney e Warrier [38] justificam a necessidade de melhorar o modelamento que utiliza difusão com mobilidade estática.

O modelamento proposto combina a descrição, pelo método de Monte Carlo, do espalhamento no espaço k tridimensional com a descrição espacial bidimensional.

As 5 coordenadas (x, y, k_x, k_y, k_z) de um grande número de partículas são armazenadas e avança-se no tempo por degraus. Cada ajuste em cada passo temporal consiste em 3 etapas.

1. Atribuição de carga: atribui toda a carga ao mais próximo ponto da rede (*nearest grid point*). Neste estágio, a partícula é uma nuvem de elétrons e a carga por partícula é a carga total móvel dividida pelo número de partículas. A malha uniforme e retangular é mais eficiente aqui do ponto de vista computacional.
2. Solução do Potencial: uma expressão de diferença finita para a equação de Poisson é resolvida para determinar o potencial eletrostático nos pontos da malha. A transformada de Fourier Rápida (FFT) é um método adequado.
3. Movimentação das partículas (*particle pushing*): O campo em cada partícula é interpolado do valor da malha. Cada partícula agora é tratada como elétron individual e faz uma série de vôos livres e espalha-se sob constante aceleração do campo até o final do passo de tempo. O comprimento do vôo livre a escolha do mecanismo de espalhamento é feito pelo já estabelecido método de Monte Carlo pelas leis desejadas de espalhamento.

Para completar o modelo incorporam-se as condições iniciais e de contorno.

Os resultados do modelo de partículas são mostrados

normalmente como nuvens de pontos representando elétrons diferentemente dos outros modelos que apresentam curvas de nível. De fato, é um modelo mais realista, que mostra a distribuição espacial e temporal dos elétrons.

Algumas observações podem ser feitas a partir dos resultados simulados no modelo microscópico de partículas e são apresentados a seguir.

Confirmando os resultados das simulações bidimensionis anteriores, no canal sob a região estrita da porta, a corrente é portadora de elétrons do vale central, enquanto, no intervalo entre porta e dreno, é povoada de elétrons mais lentos.

Uma das diferenças apresentadas neste modelo, comparadas com os modelos de difusão anteriores, é que nestes últimos a camada de acumulação de partículas (de camadas do dipolo ou domínio Gunn) se dá bem na extremidade da porta, do lado do dreno, ao passo que no modelo de partículas, dada a distância finita necessária para levar os elétrons para o vale superior, a camada de acumulação ocorre em uma posição mais distante, que se situa entre a extremidade da porta e dreno. Ou seja, prevê este modelo de partícula que as camadas de acumulação e depleção (os domínios) ocorrem mais à frente da extremidade da porta.

É justamente nesta região crítica (próxima a extremidade direita da porta) que se dão as maiores discrepâncias com os modelos anteriores. A velocidade nesta região é aproximadamente o dobro da prevista quando se usa a curva estática.

Na simulação de MESFETs de GaAs e Si com o modelo de partículas elaborado por Hockney e Warrier [38] a região de depleção é claramente definida mas não é nítida a ocorrência do *pinch-off*, sendo que a corrente é empurrada para a camada *buffer*. Isto se dá porque Hockney e Warrier [38] não fizeram simulação com tensões próximas à saturação, o que seria interessante para verificar uma concentração filamentar de partículas, como proposto por Grebene-Ghandhi [10] e Lehovec e Zulleg [16].

Os modelos microscópicos para portas com dimensão sub-

micron, foram apresentados por Bonjour |39| e os fenômenos de *overshoot* têm sido enfatizados em recentes trabalhos de simulação por Heliodore et al. |40|, Pouvil et al. |41|, principalmente. Para MESFETs de GaAs com portas ultra curtas (0,035 a 0,064 μm) estes efeitos são significativos como indicado por Berstein e Ferry |42|.

3.1.5. MODELOS ANALÍTICOS - SATURAÇÃO E CONDUTÂNCIA FINITA DE DRENO

Paralelamente ao desenvolvimento dos modelos bidimensionais e simulação numérica, houve uma série de trabalhos visando a formulação analítica do comportamento dinâmico dos dispositivos, especialmente na região de saturação.

Alguns trabalhos significativos com esses objetivos, serão comentados.

Hower e Bechtel |43|, usando a característica linearizada da velocidade versus campo, proposta por Turner e Wilson |8|, analisaram as limitações do modelo proposto por Lehovec e Zuleeg |16|, que se restringe (ver seção 3.1.1 e fig. 3.1) a FETs de GaAs com resistência nula de fonte, $R_f = 0$.

Só utilizando uma aproximação diferente para a característica de velocidade versus campo elétrico, o modelo de Hower e Bechtel |43| prevê corrente de dreno maior e tensão de saturação menor do que as previstas por Lehovec e Zuleeg |16|.

Ainda neste trabalho Hower e Bechtel |43| argumentam que são pequenas as possibilidades de formação de domínios em FETs de GaAs, dado que o excesso de corrente de 10 a 15% prevista pelo seu modelo é muito pouco para sustentar o crescimento e manutenção deste acúmulo de cargas, pois o campo elétrico no canal "empurraria" estas cargas em direção ao dreno. Esta argumentação não pode ser generalizada, pois a formação de domínios de fato ocorre, como foi observado no nosso trabalho e por vários outros autores já citados, dependendo da geometria, dopagem e defeitos da camada *buffer*.

Entretanto, a contribuição mais efetiva realizada por Hower e Bechtel [43] foi apresentar um método de medida para a resistência incremental dreno-fonte e, a partir daí, calcular R_f , cujo efeito fundamental é reduzir a transcondutância incremental do dispositivo. Em adição eles mostram que, à medida que se diminua o comprimento da porta para otimizar f_T , para pequenos valores de L , f_T torna-se proporcional a L^{-1} , ao invés do clássico valor previsto L^{-2} [2]. Hower e Bechtel [43] não determinaram analiticamente o valor de g_{DF} e apresentam medidas destes parâmetros com uma ordem de grandeza maior que a prevista por modelos que supõe a modulação do comprimento do canal.

Hower e Bechtel [43] avaliavam que esta discrepância poderia ser explicada com a interação canal substrato ou canal camada *buffer* como de fato foi analisado por outros pesquisadores que serão abordados nesta seção.

Uma importante e completa análise de erros, quando se assume a aproximação de canal gradual (ACG), foi apresentada por Lehovc e Seely [44]. Neste trabalho é apresentada uma minuciosa interpretação de como as condições de contorno e as aproximações unidimensionais em FETs, com a condição de velocidade saturada, resultam em erros na avaliação da corrente de dreno. Lehovc e Seely [44] analisam as condições para validade do canal gradual e detalham a configuração dos campos elétricos verticais e horizontais no canal, até identificar claramente estes componentes na fronteira entre a região de depleção e o canal de condução. Eles mostram explicitamente como a componente vertical do canal nesta fronteira é desprezada. Simplificando, Lehovc e Seely [44] analisam duas condições fundamentais da aproximação de canal gradual, descritas a seguir.

1. Condição de carga espacial: que consiste em desprezar a segunda derivada do potencial com relação a x (na equação de Poisson) e só tomar o termo com relação a y .
2. Condição de contorno: é nula a componente vertical do campo elétrico na interface da região de depleção com o canal de condução.

Os resultados mais significativos apresentados por Lehovec e Seely [44] são curvas da corrente no canal em função da largura de condução deste, parametrizado para as duas condições acima. As conclusões fundamentais que podem ser tomadas são descritas a seguir.

1. Na região mais larga do canal, ou seja, próxima à fonte, o maior erro na corrente ocorre se for aplicada a condição de contorno, isto é, se for desprezada a componente vertical do campo.
2. Na região mais estreita do canal, ou seja, em direção ao dreno, é a condição de contorno que resulta num maior erro de avaliação de corrente, ao passo que, desprezar a componente vertical do campo nesta região, não implica em erro acentuado.

Estas conclusões demonstradas analiticamente por Lehovec e Seely [44] tornam-se subsídios importantes para modelos mais recentes e servem de balizamento para determinação de equações, visando o projeto de dispositivos de efeito de campo principalmente de MESFETs de GaAs.

Com o objetivo de determinar o coeficiente de ionização por impacto, que aumenta a corrente de porta em MESFETs de Si, Lehovec e Miller [45] apresentam uma das análises mais completas da distribuição de campo em MESFETs sob altas tensões de dreno. Ainda mais, Lehovec e Miller [45] concentram seus estudos justamente na região de acumulação e depleção de cargas próximas à extremidade da porta do lado do dreno. O canal do MESFET é dividido em 3 regiões e, para cada uma delas, é atribuída uma distribuição de cargas e obtida uma expressão analítica do campo para tensões $V_{DF} \gg V_p$ e $L \gg a$.

É interessante notar que Lehovec e Miller [45] apresentam uma das mais completas descrições qualitativas de condução no canal e formação de domínios na saturação. Ainda apresentam graficamente um domínio formado no canal, sendo que colocam claramente a não coincidência do pico do campo elétrico com o centro do domínio (que poderia ser exigido pela regra de áreas iguais [46]). Esta não coincidência é abordada neste nosso trabalho e é confirmada numa simulação bidimensional que realizamos.

Ainda, a partir da expressão analítica para o campo, Lehovc e Miller [45] já posicionavam o valor máximo do campo do domínio localizado a uma distância de $a/2$ da extremidade da porta do lado do dreno. Como mostramos mais adiante em nosso trabalho, neste capítulo, a localização do valor do pico do campo elétrico é importante, pois tem um valor muito alto, podendo ficar 1 ou 2 ordens de grandeza do campo logo abaixo da porta.

Finalmente Lehovc e Miller [45] apresentam os seguintes resultados que, apesar de obtidos para o Si, podem direcionar pesquisas na área de GaAs:

O aumento da corrente de porta depende de dois fatores: corrente de dreno e campo máximo no canal. Foi observado que a geração de lacunas aumenta com a corrente de dreno, atribuindo-se a uma ionização por impacto dos portadores no canal, produzindo portadores minoritários que são varridos para a porta.

Lehovc e Miller [45] apresentam ainda o resultado de que o campo máximo na região de depleção pode ser superior ao campo máximo no canal. Introduzem o conceito de comprimento efetivo da porta, que se estenderia até um ponto anterior à extremidade do lado do dreno no que identifica o ponto de início do domínio, ou região de velocidade saturada e mostram que há uma dependência da corrente de dreno com este comprimento efetivo da porta.

Rossel e Cabot [47] propõem um modelo para medida da resistência de saída na região de saturação de MESFETs de GaAs. Introduzem uma conceituação nova da carga total de portadores em excesso na região do dreno como sendo a diferença entre a situação de equilíbrio menos uma constante multiplicada pela corrente de dreno $\rho(y) = qN_D - \lambda I_D$.

Rossel e Cabot [47] apresentam, como resultado, uma relação linear de $(R_D I_D)^2$ em função de V_{DF} . Entretanto, pelo método de medida citado pelos autores, de fato, foi medido r_{ds} (resistência dinâmica de saída) e não isoladamente R_D .

Yamaguchi et al. [48], numa simulação bidimensional de JFETs de GaAs, introduz o coeficiente de difusão de portadores $D(E)$, depen

dente do campo elétrico, que é a relação de Einstein generalizada. Nesta análise Yamaguchi |48| enfatiza a necessidade de se considerar o coeficiente de difusão em função do campo, quando da operação sob regime de forte saturação. Mostra o transitório de alguns pi cosegundos, logo após a aplicação de um degrau de tensão no dre no. O comportamento transitório das correntes de dreno, fonte e porta é significativamente diferente quando se compara com a uti lização do coeficiente não dependente do campo, ou seja, $D = kT/q \cdot \mu$.

Yamaguchi e Kodera |49| propõem um modelo bidimensio nal com uma formulação de diferenças finitas para analisar a con dutância finita de dreno. O mecanismo de fluxo de corrente após o pinch-off é atribuído por Yamaguchi e Kodera |49| a uma rotação do vetor velocidade de deriva, conceito introduzido pioneiramente por estes pesquisadores e utilizado em outros trabalhos de análi se (ver seção 3.1.8). O modelo bidimensional proposto indica que, embora o campo elétrico interno obriga a saturação de velocidade, o vetor velocidade de deriva gira ao redor do eixo x com o aumen to da tensão de dreno. O aumento da componente em x, v_x , dá ori gem a um pequeno aumento da corrente de dreno, ou seja, uma condu tância finita de dreno. O modelo de Yamaguchi e Kodera |49| utili za dopagem baixa para dispositivos típicos e também não incorpora o coeficiente de difusão dependente do campo que havia proposto anteriormente, Yamaguchi et al. |48|.

3.1.6. MODELOS ANALÍTICOS - PEQUENOS SINAIS

A análise do comportamento dinâmico dos FETs de jun ção e MESFETs para pequenos sinais já havia sido tratada, pelo menos semi quantitativamente por Schockley |1| e Dacey Ross |2|.

Seguiram-se trabalhos analíticos de pequenos sinais sendo pioneiro no tratamento analítico Van der Ziel e Ero |50|, Hauser |51|, Drangeid e Sommerhalder |15|, entre outros.

As limitações destes modelos estão relacionados com a base física e as suposições do comportamento DC do dispositivo. O modelamento DC adotado balizava a obtenção dos parâmetros de pe

pequenos sinais.

Um trabalho significativo, que determina os parâmetros γ de MESFET de Si, é o elaborado por Alley e Talley [51A]. Neste estudo os parâmetros de pequenos sinais são obtidos numa análise unidimensional, a partir da análise DC bidimensional (pelo método das diferenças finitas). Introduce o conceito de mobilidade a_c , que possui um termo independente do tempo e um termo com variação harmônica do tempo. Inclui, ainda, os efeitos de substrato e compara os resultados analíticos com os resultados experimentais, obtendo razoável concordância.

Entretanto, um trabalho fundamental para completa análise dos parâmetros DC, a_c e ruído de MESFETs de GaAs é elaborado por Pucel, Haus e Statz [52]. Pucel et al. [52] elaboram um histórico simplificado mais importante dos modelos elaborados até aquela data, objetivando adotar um modelo de comportamento DC, o mais adequado possível para partir para análise a_c e determinar os parâmetros de pequenos sinais. A característica fundamental do modelamento apresentado por Pucel et al. [52] é apresentar expressões analíticas fechadas completas de diversos parâmetros a_c .

A base fundamental do trabalho de Pucel et al. [52] é negar o modelo de Turner e Wilson [8] que impõe que a velocidade saturada só ocorre num ponto e adota o modelo de Grebene e Ghandi [10] de 2 regiões, que permite a variação da região de velocidade.

O modelo de 2 regiões (uma região do canal com mobilidade constante e outra com velocidade constante e saturada), aplicada corretamente por Pucel et al., mostra que a saturação de velocidade se manifesta na maior parte do canal para MESFETs de GaAs de $1 \mu\text{m}$ típico de porta.

Com isto, Pucel et al. [52] obtêm uma boa representação DC e AC e de ruído para MESFETs de GaAs.

O modelo de Grebene e Ghandi [10], aplicada por Pucel et al. diferentemente do modelo de Turner e Wilson [8], permite

que, após a saturação, o ponto de *pinch-off* mova-se no canal com variação da porta, à medida que a distribuição do campo exige, sendo sua posição determinada para a qual o campo elétrico no canal se iguala ao valor crítico E_s . Por causa do ajuste automático deste plano, o modelo não só se aplica às condições de operação abaixo do joelho da característica $I_{DF} \times V_{DF}$ (que são limitações básicas dos modelos de Turner e Wilson [8] e Van der Ziel e Ero [50] p. ex.) como também na região de saturação, que é a região normal de operação dos MESFETs.

Lehovec e Zulleg [16] já haviam sugerido esta modificação no modelo de Turner e Wilson [8] mas tinham assumido, como princípio, que o comprimento da região de velocidade saturada era pequeno comparado com a espessura da camada ativa. Pucel et al. [52] provam exatamente o contrário, que esta condição é raramente satisfeita em dispositivos funcionando e polarizados em regime de saturação de corrente. Apresentam, inclusive, uma conclusão que generaliza a extensão da região de velocidade para 3 vezes a espessura da camada ativa, para tensões de dreno em torno da tensão de *pinch-off* e para razões L/a variando de 3 a 10. De fato este resultado também foi observado em nosso trabalho de simulação para razões ainda menores de L/a , em torno de 1,5.

Em seguida Pucel et al. [52] determinam os parâmetros de pequenos sinais (g_m , r_d e capacitâncias) fornecendo expressões analíticas fechadas e das formas como estas expressões se simplificam para os outros modelos. Na determinação das capacitâncias utiliza resultados de Wasserstrom e McKenna [53] e uma completa formulação destas capacitâncias, tanto a ativa como as inter-eletródos.

Pucel et al. [52] apresentam também uma detalhada análise de ruído em MESFETs de GaAs, assunto que será abordado em outra seção.

3.1.7. SATURAÇÃO E CAMADAS DE CARGA OU DOMÍNIOS ESTACIONÁRIOS

O acúmulo de cargas espaciais, ou domínios estacionário, próximo à extremidade da porta já havia sido detectado por vários pesquisadores. Grebene e Gandhi [10] já admitiam, no modelo desenvolvido por eles, o acúmulo de cargas no dreno. Kennedy e O'Brien [11] obtiveram resultados semelhantes em simulações bidimensionais. Lehovc e Zuleeg [16] já indicavam a descrição de instabilidade em JFET de GaAs. Outros pesquisadores que atuaram nessa área incluem Reiser [21], Hinsworth [23], Drangeid e Sommerhalder [15].

O papel desempenhado pelos domínios Gunn, como também podem ser chamadas estas camadas dipolares, começaram a ser metodicamente tratados por Engelman e Liechti [54], [55] e Yamaguchi, Asai e Kodera [56].

Efetivamente foram Engelmann e Liechti [54] que introduziram o domínio Gunn estacionário na determinação analítica das características dos MESFETs de GaAs. A partir de um modelo semiempírico, Engelmann e Liechti [54] dividem o MESFET em três regiões: uma região de canal gradual ideal, uma região adjacente onde se localiza domínio Gunn estacionário que vai até o dreno e, uma terceira região em paralelo com estas duas regiões, que representa o substrato ou a camada *buffer*. Toda a análise é feita para MESFETs de GaAs com comprimento de porta em torno de 1 μm . A partir de algumas suposições simplificadas, entre elas, que o domínio Gunn está em série com a região gradual e que a corrente total de dreno I_{DF} tem uma componente que circula pelo canal e outra pelo substrato, Engelmann e Liechti [54] definem dezessete equações que possibilitam a descrição do dispositivo. A mobilidade é tratada na sua forma mais completa, ou seja, a não linearidade com o campo é aplicada. Todos os parâmetros no canal e variáveis terminais são determinados de uma forma simplificada utilizando, sobretudo, valores médios de campo, mobilidade e largura do canal.

Devemos enfatizar que o grande mérito deste modelo é o de localizar o domínio estacionário Gunn no canal (a região de acumulação tem início na extremidade da região gradual do canal

e não guarda nenhuma relação com a extremidade da porta) e, trata do como elemento ou parte integrante do comportamento do dispositivo. Serviu de base para que outros autores adotassem o domínio estacionário Gunn como elemento de análise de MESFETs de GaAs.

Nesta seção e neste capítulo o domínio estacionário Gunn é tratado em detalhes.

Engelmann e Liechti [54] verificaram seu modelo com valores experimentais e chegam a conclusões importantes para a compreensão do papel destes domínios estacionários Gunn no comportamento de MESFETs de GaAs.

- a) Confirmam a ocorrência do domínio estacionário Gunn, pois na característica estática $I_{DF} \times V_{DF}$ aparece a região de resistência negativa. Esta região de resistência negativa é atribuída a que a acumulação de cargas no domínio estacionário Gunn que está se formando, não compensa a diminuição da velocidade de portadores nesta região de altos campos. Esta constatação já havia sido feita por Himsworth [23] (ver cap. 1 e cap. 3, seção 3.1.3), mas para transistores com relação entre comprimento de porta L e espessura da camada ativa a , $L/a \lesssim 1$, e através de simulação bidimensional. Engelmann e Liechti [54] verificam experimentalmente a ocorrência destes domínios em MESFETs de GaAs agora com relação $L/a \gg 1$. Sugerem que, Himsworth [23] não conseguiu prever a ocorrência do domínio estacionário para MESFETs de GaAs com $L/a \gg 1$ porque utilizou dopagem baixa (como já comentamos em seções anteriores) e/ou não levou em conta os efeitos de *overshoot* de velocidade.
- b) A corrente de substrato (ou camada *buffer*) pode ser atribuída à injeção direta nesta camada e também, à geração de lacunas por ionização de impacto dentro do domínio de campos elevados.

Engelmann e Liechti [54] colocam algumas limitações no modelo:

- a) O canal efetivo l_s , onde $E \ll E_p$, aumenta substancialmente, além de L , tornando-se questionável a aplicação da aproximação de canal gradual para estes casos.

- b. O valor médio do canal encontrado por este modelo é muito pequeno e se aproxima perigosamente do comprimento de Debye. De fato, este problema é abordado por outros autores, principalmente Yamaguchi e Kôdera [49], que introduzem a região de transição entre a região de depleção e o canal. No nosso trabalho este é o procedimento adotado.
- c. Observam que abaixo de uma determinada tensão V_{DF} , era de se supor que o domínio Gunn não havia ainda se formado, mas, a soma das tensões no interior do canal não fechava com a tensão aplicada. Supõem então, que algum tipo de camada relacionada com o efeito Gunn de campos elevados já exista no contato de dreno antes que o campo no canal atinja E_p . A formação desta camada é conhecida nos dispositivos Gunn de superfície orientada e, é provocada por *spikes* de campo no contato imperfeito de anodo. Evidência indireta de que existe esta "camada de contato" de campos elevados é que, melhorando-se o contato de fonte, a capacidade de se trabalhar com tensões mais elevadas de V_{DF} em MESFETs de GaAs é melhorada.

Na seqüência desta seção, os modelos propostos que incluem a participação do domínio estacionário Gunn são comentados. Basicamente estes modelos surgiram a partir da concepção proposta por Engelmann e Liechti [54] e discutido aqui.

Yamaguchi et al. [56] desenvolveram um trabalho de análise numérica bidimensional para estabelecimento de critérios de estabilidade em MESFETs de GaAs. Os critérios disponíveis até então, para que um dispositivo de GaAs apresentasse a formação de domínios Gunn e os sustentasse para aparecimento de domínios caminhantes e, conseqüentemente, dessem origem a instabilidade (oscilações) eram: os produtos $n \cdot l > 10^{12} \text{ cm}^{-2}$ e $n \cdot d > 2 \times 10^{11} \text{ cm}^{-2}$, sendo n a concentração de portadores, l o comprimento do dispositivo e d a espessura da região ativa. Diante de evidências experimentais de que MESFETs, com dimensões e dopagens que satisfaziam a condição acima, não apresentavam instabilidade, Yamaguchi et al.

[56] elaboraram critérios específicos para MESFETs de GaAs. Assim o estudo resulta numa classificação de 3 modos principais de operação de MESFETs de GaAs, dependendo da espessura da camada

ativa e dopagem: O modo normal ou do tipo pentodo, o modo com região de resistência negativa estável (SNR) e o modo que apresenta oscilação Gunn.

O MESFET apresenta modo normal de operação quando a espessura é fina e possui alta dopagem. Para MESFETs com espessura da região ativa de valor intermediário pode ocorrer região de resistência negativa estável, que aparece na característica $I_{DF} \times V_{DF}$, logo no início da saturação. Para canais mais espessos, a probabilidade de surgirem domínios Gunn caminhanes, dando origem a oscilações, é maior.

Yamaguchi et al. [56] identificam claramente que os critérios para verificação de estabilidade não se aplicam aos MESFETs, em razão de que a operação destes dispositivos é fortemente afetada pela natureza bidimensional dos fenômenos próximos ao início da saturação, devido à existência da região de depleção. De fato, o aparecimento de uma região de resistência negativa na característica $I_{DF} \times V_{DF}$, ocorre principalmente para correntes altas e tensões de polarização próximas de zero ou ligeiramente negativas. Isto ocorre porque, para correntes altas, há portadores suficientes para formar o domínio e a evolução deste domínio acaba implicando numa diminuição localizada da corrente. Com tensões muito negativas, a camada de depleção é grande, há uma falta de portadores no canal (apesar da continuidade da corrente ser mantida por alteração de outras variáveis) e o domínio não se forma.

Yamaguchi et al. [56] definem um novo conjunto de critérios baseado no campo máximo, campo de saída e nas dimensões (espessura) de canal do MESFET. Estes limites de estabilidade são apresentados em gráficos com dopagem versus espessura da camada ativa e resultados experimentais relatados na literatura justificam a validade do critério.

Em nosso trabalho apresentamos também resultados de simulação numérica bidimensional de como o tamanho do domínio, a posição do centro deste domínio e a tensão sustentada por ele, variam com a polarização da porta.

A formação do domínio disputa portadores com a formação da corrente de dreno. Ou seja, o fenômeno de formação do domínio compete com o aumento da corrente. Este fato é comprovado com os efeitos de substrato ou camada *buffer*, já descrito por Reiser [12] e mencionado em seções anteriores. A existência da camada *buffer* ou substrato permite uma injeção considerável de portadores na outra camada. O domínio, que iria se formar, diminui e o efeito Gunn é enfraquecido. Assim em MESFET de GaAs que tenha parâmetros que possibilitariam o surgimento de uma região de resistência negativa na característica $I_{DF} \times V_{DF}$ (por causa da formação do domínio Gunn que faz a corrente baixar) não mais apresenta esta região quando o substrato é de baixa qualidade ou possuir camada *buffer*.

O papel desempenhado pelos domínios Gunn em MESFETs de GaAs é bastante significativo e influencia fortemente os parâmetros f_T e C_{dp} . Engelmann e Liechti [55] tornam a enfatizar a grande tendência de formação de domínios Gunn em GaAs para tensões típicas de dreno. Em sua pesquisa da dependência da polarização nos parâmetros de MESFETs de GaAs e InP, Engelmann e Liechti [55] destacam a influência destes domínios em parâmetros MESFETs de GaAs.

Um parâmetro fundamental para resposta em frequência é a capacitância de realimentação entre porta e dreno, C_{dp} . Para MESFETs de GaAs, é observada uma rápida queda do valor de C_{dp} com a polarização de dreno, além da saturação e Engelmann e Liechti [55] atribuem isto ao crescimento da camada dipolar de carga ou domínio. Numa descrição simplificada, a capacitância C_{dp} é uma associação série de uma capacitância da região de depleção de porta, que se estende em direção ao dreno, denominado C_f , e uma capacitância C_h que representa o domínio Gunn. Para uma mesma polarização de porta e variando-se a tensão de dreno-fonte V_{DF} , é na região do domínio que é absorvido este acréscimo de tensão e, como a corrente na saturação é aproximadamente constante, esta variação da tensão no domínio reduz a capacitância representada pelo domínio. Como $C_h \ll C_f$, então C_{dp} também cai com a polarização.

Outra influência significativa dos domínios Gunn na performance do dispositivo é no parâmetro f_T . Correlacionando a

transcondutância incremental g_{m0} com a velocidade média de deriva na região de canal gradual e, a capacitância porta-fonte C_{pf} com o comprimento efetivo do canal l_s , Engelmann e Liechti [55] mostram que g_{m0} cai acentuadamente à medida que se aumenta V_{DF} . Isto significa que há uma diminuição de \bar{v} , que pode ser considerada uma evidência da formação do domínio Gunn na extremidade de dreno. Por outro lado, observa-se experimentalmente um crescimento de C_{pf} com V_{DF} , indicando um pequeno crescimento de l_s . Assim, $f_T = g_{m0}/2\pi C_{pf} \approx \bar{v}/2\pi l_s$ apresenta uma acentuada queda em MESFETs de GaAs quando se ultrapassa a polarização, em torno de 1 a 2V, que é atribuída à formação de domínios Gunn.

Shur e Eastman [57] desenvolveram um modelo analítico bidimensional para obtenção dos parâmetros DC, AC e chaveamento de MESFETs de GaAs, levando em conta a participação dos domínios.

Este trabalho tenta inovar ao incluir parâmetros elétricos e dimensionais dos domínios na concepção do modelo. Outra inovação neste modelo é a atenção dada ao papel da difusividade dos portadores ao dar a forma da concentração dos portadores sob a porta. Nesse sentido, a região sob a porta é subdividida em 3 regiões: uma região totalmente depletada de portadores (a região de depleção clássica), uma região denominada de transição que Shur e Eastmann [57] estimam em 6 vezes o comprimento intrínseco de Debye, e o canal neutro de condução. De fato esta é uma contri**bu**ição importante pois, a prática de se supor que a região de depleção tem uma fronteira abrupta com o canal de condução, deveria ser revista, visto que o comprimento de Debye começa a se tornar não desprezível em função de espessuras típicas de MESFETs de GaAs.

Retomando aspectos do modelamento elaborado por Engelmann e Liechti [54], Shur e Eastmann [57] fixam a localização do domínio na extremidade da porta do lado do dreno e utilizam o resultado da Yamaguchi e Koderá [49] para a solução de potencial nas regiões sob a porta.

O domínio Gunn estacionário é assumido como elemento em série com o canal, de maneira que a tensão suportada pelo domínio é somada com as componentes do canal, fechando na tensão apli

cada V_{DF} .

Um resultado interessante deste modelamento é a constatação de que um pequeno aumento da espessura da camada epitaxial ($0,16 \mu\text{m}$ para $0,2 \mu\text{m}$) dobra o tempo de chaveamento, enquanto o produto potência tempo de atraso se mantém inalterado.

As limitações deste modelo são abordadas ainda neste capítulo. Simulações bidimensionais, elaboradas em nosso trabalho, mostram que a fixação espacial do domínio a partir da extremidade da porta não é correta. Ainda, a suposição feita por Shur e Eastmann [57] de que o campo máximo ocorre exatamente na extremidade da porta é por nós contestada, a partir de um cuidadoso mapeamento dos domínios, resultantes de sua simulação numérica bidimensional.

A possibilidade do surgimento de um segundo domínio, próximo à região do dreno e que leva a uma distribuição do dispositivo por injeção de avalanche, é formulada por Shur e Eastmann [57]. Entretanto, a solução proposta por estes pesquisadores, para evitar a formação deste segundo domínio, deve ser revista. Sugerem o espessamento da camada epitaxial nas proximidades do dreno. Entretanto, segundo critérios de Yamaguchi et al. [56], este espessamento, se não for elaborado corretamente, poderá até facilitar o surgimento deste segundo domínio.

Shur [58] elabora um modelo analítico unidimensional simples mas que ainda leva em conta o papel do domínio Gunn na operação do MESFET. Baseando-se em modelo e resultados experimentais anteriores, atribui claramente a responsabilidade da saturação de corrente à formação do domínio Gunn estacionário, ao invés do estrangulamento do canal. Fazendo uma série de simplificações no modelo proposto por Shur e Eastmann [57], Shur [58] elabora um modelo analítico que, surpreendentemente, não se distancia muito dos modelos bidimensionais. Alguns resultados interessantes podem ser destacados. O modelo elaborado por Shur [58] indica que as capacitâncias parasitárias porta-dreno e porta-fonte colocam um limite útil no comprimento da porta de MESFETs de GaAs, ficando em torno de $0,1 \mu\text{m}$. Apesar de afirmar que o modelamento, do ponto de vista formal, se aproxima dos propostos por Turner e Wilson

[8] e Hower e Bechtel [43], que assumem saturação no pico da característica dinâmica de velocidade, evitando a formação de domínios, a interpretação física dada por Shur [58] é diferente. Outra conclusão, extraída do modelo, é que o tempo de chaveamento é proporcional à velocidade de saturação e não à velocidade de pico. Ainda, a partir deste modelo, é possível definir um caminho para elucidar um problema sugerido por Hower e Bechtel [43], de como identificar o máximo valor permitido para V_{DF} em MESFETs. Shur [58], apoiado em resultados de Engelmann e Liechti [54], afirma que o limite não é imposto pelo domínio Gunn e sim pelo excesso de corrente no substrato (ou camada *buffer*), cuja condutância cresce acentuadamente, a partir de 10 V. Este trabalho analítico de Shur [58], além de apresentar várias características elétricas e dimensionais do domínio Gunn, faz uma interpretação física simplificada, que permite ao projetista de dispositivos um dimensionamento do MESFET, com relativo grau de previsão de seus parâmetros.

3.1.8. ANÁLISES BIDIMENSIONAIS - BASES FÍSICAS

Recentes trabalhos de modelamento bidimensional, ao incluir dados mais realísticos em bases físicas da dinâmica de transporte em GaAs, chegam a algumas inovações na compreensão e modelamento dos MESFETs. Exemplo típico deste modelamento é o elaborado por Wada e Frey [59], trabalho de análise bidimensional utilizando um esquema de diferenças finitas. O modelamento desenvolvido resultou no programa de análise denominado CUPID (Cornell University Program for Integrated Devices). À solução das equações de Poisson e continuidade de corrente, são incorporados dados realísticos dos parâmetros dos materiais, tais como, a difusividade anisotrópica de elétrons no GaAs [60], [61], incluindo o efeito de temperatura nos coeficientes de difusão, velocidade de deriva em função do campo elétrico numa extensa faixa de campos, dopagem mais realística e próxima dos dispositivos práticos. Não foi levada em conta a situação de não-equilíbrio de velocidade em função do campo (*overshoot*).

O dispositivo é mapeado por uma malha de espaçamento suficientemente fina para resolver adequadamente a variação da quantidade física em uma aglomeração (nuvem) de partículas. O

comprimento extrínseco de Debye é o espaçamento máximo permitido.

Após estabelecer as condições de contorno e as condições de convergência, os parâmetros de interesse podem ser extraídos, tais como: carga total do MESFET, capacitância da porta, condutância de dreno, transcondutância, valor médio do tempo de trânsito, frequência de corte f_T , além da característica estática $I_{DF} \times V_{DF}$. Para MESFETs de GaAs, a característica estática DC obtida pelo CUPID apresenta a característica de resistência negativa e acusa uma corrente de saturação tipicamente 15% menor que a prevista por Pucel et al. [52]. Wada e Frey [59] também confirmam que, de fato, não há o *drop-back* (região de resistência negativa) em dispositivos reais submicrométricos, atribuindo isto a uma parcela significativa de condução pelo substrato ou camada *buffer*, evitando a diminuição da corrente após o *pinch-off*. No modelamento CUPID é assumido um substrato de alta resistência. Se o substrato, num dispositivo, for de alta qualidade e as condições geométricas e de dopagem favorecem o dispositivo real, poderá então apresentar o *drop-back*, sendo que o resultado é observado, ou diretamente no traçador de curvas, ou na possibilidade de oscilação no circuito de polarização. Wada e Frey [59] não observaram a formação de domínios Gunn em MESFETs de Si como comentou Kennedy e O'Brien [11]. Atribuem isso a valores mais realísticos de velocidade de deriva em função do campo, utilizados na simulação pelo CUPID. Mas de qualquer maneira domínios podem ocorrer só com tensões de dreno bem maiores que aquelas previstas por Kennedy e O'Brien [11].

Mas, Wada e Frey [59], vão além e estabelecem as bases físicas que determinam os valores de mérito do dispositivo (f_T , g_m , C_{pf}) enunciando que estes parâmetros dependem de uma complexa interação entre: a forma da curva velocidade em função do campo, valores da difusividade, parcela de condução pelo substrato (ou pela camada *buffer* se houver) e altura da barreira *Schottky*. Admitem ainda o conceito de rotação do vetor velocidade, já proposto anteriormente por Yamaguchi e Kodera [49], e a participação deste fenômeno na explicação das discrepância dos valores de condutância de dreno g_D experimentais, bem maiores que os previstos pelo modelamento. Ainda Wada e Frey [59] foram os pioneiros na interpretação do fenômeno da queda (região de resistência negativa) e

recuperação da corrente (volta ao valor final de saturação), atribuindo ao alargamento do dipolo associado à rotação do vetor velocidade de deriva.

As diferentes condutâncias de dreno, obtidas pela simulação de MESFETs de Si, GaAs e InP, são analisados por Wada e Frey [59] e atribuídas às características de cada material. Essas diferenças são relacionadas com a distribuição da carga sob a porta, que depende das constantes de difusão e a altura da barreira Schottky formada na junção da porta.

A transcondutância g_m foi objeto de análise também por Wada e Frey [59]. Este parâmetro depende da quantidade de carga sob a porta e, quanto maior a carga, maior a variação de corrente no dreno, que pode ser produzida para uma dada variação de tensão de porta. Para canais longos (o mais adequado aqui é portas longas), a quantidade de carga está diretamente relacionada com a corrente no canal através da mobilidade para campos de baixo valor. Assim, nestes dispositivos, g_m é proporcional à mobilidade.

Para canais curtos foi detectado que a quantidade de carga sob a porta depende muito da natureza da região de depleção, isto é, da difusividade e barreira Schottky, em suma, das propriedades do semiconductor. De fato, Wada e Frey [59] constatam que, apesar da mobilidade de campos baixos do GaAs ser o dobro do InP, MESFETs de GaAs de 1,0 μm apresentam g_m 30% maior que os MESFETs de InP e os de 0,5 μm apresentam g_m quase o dobro do g_m de MESFETs de InP. São valores que mostram um desacoplamento total entre o valor de g_m e a mobilidade para MESFETs de canal curto.

A capacitância de porta, C_{pf} , também é dependente, como g_m , da conformação da região de depleção sob a porta. Quanto mais carga disponível para a modulação de corrente, mais variação de carga com a variação da tensão de porta e, conseqüentemente, maior C_{pf} . O traçado da região de depleção, se suave ou abrupto, propicia maior ou menor modulação de carga e este traçado depende do material semiconductor.

Wada e Frey [59] introduzem o conceito de canal de trabalho e propõem identificar a propriedade física que determina f_T . Como proposto anteriormente por Maloney e Frey [35], f_T é a medida do tempo de trânsito através do canal de trabalho, com uma velocidade efetiva neste comprimento de canal. Concluem que, f_T não depende da mobilidade para campos baixos e muito menos, de uma forma simples, da máxima velocidade que os portadores podem atingir.

Wada e Frey [59] foram os primeiros a especular sobre a possibilidade de não existir, em dispositivos MESFETs de GaAs e InP reais, os picos de velocidade que ocorrem sob a porta. (Ver perfil de velocidade de deriva de elétrons, cap. 1). Devido ao tempo necessário para a velocidade se equilibrar ao campo (altos campos), no GaAs e InP, a velocidade do elétron não pode acompanhar o campo numa distância tão curta, como a distância entre os dois picos (fig. 1.7, 1.8). Assim as pequenas "orelhinhas" podem não existir em dispositivos reais. Esta é uma controvérsia que exige maior comprovação analítica e experimental. Também o *overshoot* de velocidade parece não afetar a performance do dispositivo pois, f_T depende grandemente da velocidade efetiva e os *overshoots* de velocidade não resultam numa significativa mudança na velocidade efetiva. Ou, mesmo que o *overshoot* aumente a velocidade efetiva, a consideração deste fenômeno exige que o comprimento efetivo seja maior. É o caso, por exemplo, de MESFETs de InP, onde os picos não são altos e os valores simulados por Wada e Frey [59] para f_T são próximos aos experimentais de Barrera e Archer [62], numa clara indicação de que o *overshoot* não influi significativamente. Estas considerações valem até $0,5 \mu\text{m}$ de comprimento de porta. Para portas mais curtas ($0,3 \mu\text{m}$) o *overshoot* de velocidade pode resultar numa velocidade efetiva maior e pode-se esperar alguma performance melhor em f_T do que a prevista teoricamente.

3.1.9. ANÁLISES BIDIMENSIONAIS - BASES FÍSICAS COMPORTAMENTO TRANSITÓRIO

O comportamento transitório de MESFETs de GaAs e Si em bases físicas é simulado pelo CUPID II, num trabalho desenvolvido por Faricelli, Frey e Krusius [63]. Resultados interessantes são inferidos deste trabalho que são relatados a seguir: O trabalho de Faricelli et al. [63] concentra-se na simulação de MESFETs de GaAs e Si, quando submetidos a um pulso de tensão na porta (para analisar os MESFETs de chaveamento) ou pulsos no dreno (para avaliar os MESFETs para carga ou fonte de corrente ativa). O comportamento da corrente neste transistor e a movimentação de cargas em intervalos de picosegundos é então analisado. Verifica-se que, para transistores de chaveamento (pulso na porta), a velocidade do elétron é saturada numa porção do ciclo, ao passo que, para o chaveamento em dreno, a velocidade está saturada no ciclo todo. Resultado interessante decorrente disto é que, tanto para MESFETs de GaAs como para Si, a resposta à excitação no dreno é o dobro mais rápida que a resposta à excitação na porta.

A resposta ao pulso na porta para MESFETs de GaAs é apenas ligeiramente mais rápida que o Si. Isto ocorre porque a distribuição de velocidade no canal é praticamente a mesma. Este resultado surpreendente proposto por Faricelli et al. [63], válido para MESFETs de 0,5 e 1 μm e MESFET intrínseco, está coerente com resultados experimentais que situam o MESFET de GaAs como sendo duas a seis vezes mais rápidos que os de Si, dependendo do nível de polarização. De fato, o limite superior corresponde à condição de polarização baixa, onde a alta mobilidade do GaAs para campos baixos predomina. No limite superior, a velocidade de saturação é predominante, devido à condição de forte polarização. Apesar desta proximidade de rapidez intrínseca dos MESFETs de Si e GaAs, o dispositivo de GaAs consegue mover cerca da 2 vezes mais carga no mesmo tempo que os de Si. E o que acentua fundamentalmente as diferenças de velocidade são os circuitos de chaveamento associados e não os dispositivos intrínsecos.

Faricelli et al. [63] consideram que os efeitos de transitório no transporte de portadores (*overshoot*) podem modificar alguns resultados da resposta intrínseca, principalmente em

MESFETs de GaAs com porta submicrométrica. Entretanto, avaliam que, enquanto não houver métodos mais tratáveis para incorporar estes efeitos, os resultados obtidos pelo CUPID parecem razoáveis e práticos para estudar as bases físicas da operação dos MESFETs com geometria na faixa de micron.

A formação de dipolos também é objeto de análise de Faricelli et al. [63].

Durante o transitório, o domínio surge para $V_{PF} = 0$ e desaparece, à medida que V_{PF} se torna suficientemente negativa. Esta extinção dos domínios, para campos elevados de porta, explica porque a característica estática, $V_{DF} \times I_{DF}$, para tensões de porta mais alta (mais negativa), é mais estável (mais plana) do que para tensões moderadas de porta. Ainda Faricelli et al. [63] avaliam que alguma capacitância adicional pode ser atribuída aos dipolos de carga sob a porta mas, não mais que 10% ao valor de C_{PF} em MESFETs de GaAs.

Faricelli et al. [63] desenvolveram um modelo para grandes sinais, um para o transistor de chaveamento no modo fonte comum e outro para carga ativa (porta curto circuitada à fonte), onde os valores dos elementos só dependem das tensões nos terminais. Um resultado que merece atenção é a determinação da capacitância C_{pf} para o modelo de grandes sinais. Modelos simples unidimensionais da teoria de capacitância em diodos Schottky, que utilizou apenas a constante dielétrica do material, prevêm praticamente o mesmo valor de C_{pf} tanto para o Si como para GaAs. Este modelo não pode explicar as diferenças que existem em dispositivos experimentais. A causa real repousa nas diferentes distribuições de cargas móveis nos dois materiais e nos coeficientes de difusão dos dois materiais, que desempenham papel fundamental nestas distribuições. Isto ressalta a importância de se considerar todas as propriedades dos materiais na análise de dispositivos micron e submicron.

A difusividade maior no GaAs resulta num gradiente de carga maior, que implica numa carga total maior sob a porta, dando origem a uma capacitância C_{pf} maior, a uma corrente I_D e g_m também maiores que o Si para uma mesma polarização.

Modelamento quasi-bidimensional proposto por East |64| introduz algumas considerações inovadoras. Inicialmente considera que, de fato, a simulação proposta por Wada e Frey |59| e, conseqüentemente, Faricelli et al. |63| foram os primeiros a utilizar parâmetros mais realísticos para MESFETs. As simulações com dopagens baixas feitas por Himsworth |23| eram impostas pelas características do GaAs, que tem coeficientes de difusão e mobilidades maiores que o Si e menor tempo de relaxação dielétrica. East |64| considera, entretanto, que o modelamento bidimensional completo é de alto custo, dispendendo grande tempo de processamento. Todo o modelamento de East |64| é baseado em expressões modificadas da equação de Poisson e de continuidade com a novidade de introduzir uma equação da largura da camada de depleção que relaciona as duas outras equações. Supondo as equipotencias na camada de depleção, não paralelas à superfície e sim formando um ângulo θ , East |64| multiplica a função $\sin\theta/\theta$ pela equação clássica da largura da camada. Com isso, o canal condutor próximo ao dreno torna-se maior. As simulações elaboradas por East |64| resultam próximas das simulações bidimensionais plenas. Detecta a formação dos dipolos de carga e indica que quanto menor a dopagem, maior é o espalhamento do dipolo sob a porta. East |64| simula a operação dos MESFETs com várias curvas campo-velocidade e determina que a corrente de dreno depende linearmente da velocidade de pico, indicando a potencialidade do InP.

Estes resultados não estão de acordo com os resultados obtidos por Wada e Frey |59| e Faricelli et al. |63|, entre outros autores, que determinaram que é a velocidade saturada e não a de pico que determina fundamentalmente as propriedades do dispositivo. Esta controvérsia nos resultados exige análise mais precisa.

3.1.10. LIMITES DE VELOCIDADE: BALÍSTICO OU QUASE BALÍSTICO

Toda a problemática de caracterizar o dispositivo e o limite superior de frequência para ganho da potência ou velocidade de chaveamento, reside na razão gm/C_{pf} , que deve ser otimizada. gm depende da distribuição espacial da densidade de elétrons (como visto nas seções anteriores) e da velocidade de trânsito do elétron. A capacitância de entrada C_{pf} , depende unicamente da distribuição espacial da densidade de elétrons. A frequência limite do ganho de corrente também é proporcional à velocidade do elétron.

Eastman [65] pesquisou os limites possíveis de velocidade do elétron em semicondutores compostos e introduziu o termo balístico ou quase balístico que são aplicados à dinâmica do elétron quando há conservação de energia, ou quase, em distâncias curtas de trânsito. Tratamento analítico destas condições foi apresentada por Shur e Eastman [66]. O limite do movimento balístico em cristal GaAs na direção [100] é 1×10^8 cm/s, que é a velocidade de grupo de elétron nesta direção, o que seria aproximadamente uma ordem de grandeza acima da velocidade saturada em MESFETs, vista até aqui (1×10^7 cm/s).

O elétron, ao caminhar pela rede, recebe um fluxo de potência a partir do campo elétrico e um fluxo de potência destes para os fonons polares óticos. Esta interação com a rede resulta num caminho livre médio de 1000 \AA (para elétrons de 0,1 eV) e 1500 \AA (para elétrons de 0,3 eV). Neste modelo grosseiro pode-se inferir que o elétron ainda caminharia de 1000 \AA a 1500 \AA na rede, praticamente com a velocidade prevista pelo modelo balístico. Outros modelos e condições (Eastman [65]) mostra que estes limites variam de 40 \AA a 400 \AA .

São duas as principais razões para os elétrons não caminharem com esta elevada velocidade balística (1×10^8 cm/s) numa distância pequena, mas finita: a perda de energia do elétron pelo lançamento de alguns fonons óticos polares e, a direção do elétron é alterada pelo ângulo de espalhamento, que dá origem ao "zig-zag", devido às múltiplas e sucessivas colisões.

Eastman [65], [67], avaliando a dinâmica de elétrons em MESFETs de GaAs e estruturas do tipo HEMT, conclui que, nestas estruturas, os elétrons são gradualmente acelerados e a velocidade de deriva média aumenta, à medida que se diminui a distância de deriva. Eastman [68] ainda impõe outros limites ao afirmar que é importante não acelerar ou desacelerar em distâncias menores que o comprimento de onda do elétron, pois poderão ocorrer efeitos quânticos, como reflexão ou tunelamento. Assim Eastman [65] conclui por um limite balístico em torno de 5×10^7 cm/s para um movimento balístico de aceleração gradual na direção $[100]$, que corresponde à metade da velocidade limite do cristal, que é 1×10^8 cm/s. Eastman [65] situa a dinâmica de elétrons em GaAs em função do comprimento de deriva a que estes elétrons são submetidos em quatro regiões: Injeção e deriva balística, aceleração gradual balística, *overshoot* de velocidade e a região dominada por colisões. Estas regiões estão mostradas na fig. 3.3a e os dispositivos que se enquadram nesta escala de operação em alta velocidade. A determinação experimental da velocidade média dos elétrons é feita através da característica $I_{DF} \times \sqrt{0,8 - V_{PF}}$. Se existe uma velocidade característica no dispositivo, a relação entre a corrente de dreno e a raiz quadrada da tensão da porta, incluindo a tensão da barreira Schottky, é linear. Para efeito de cálculo, considera-se que o MESFET, com porta igual a $0,35 \mu\text{m}$ (ver fig. 3.3b) e comprimento elétrico efetivo de $0,80 \mu\text{m}$, tem uma velocidade característica igual à da saturação para GaAs, ou seja $1,2 \times 10^7$ cm/s. A declividade da reta $I_{DF} \times \sqrt{0,8 - V_{PF}}$ representa a velocidade e, no dispositivo de porta $L = 0,14 \mu\text{m}$, é $3,3 \times$ maior que a do dispositivo mais longo. Isto resulta numa elevada velocidade média de aproximadamente 4×10^7 cm/s. Cada tipo de transistor (FET, MODFET (HEMT)), bipolar heterojunção, e PBT (*permeable base transistor*), transistor de injeção e deriva balística [67], tem suas limitações tecnológicas como: as dimensões do eletrodo ativo (porta, base) como do comprimento da deriva a que estão submetidos (comprimento do canal, largura da base ou metal da base no caso de PBT). Assim, o aumento da velocidade do elétron pode ser usado diretamente para diminuir o tempo de trânsito ou se fazer um compromisso de não reduzir tanto o tempo de trânsito, mas alcançar uma melhora global da performance do dispositivo.

A definição de critérios de avaliação da

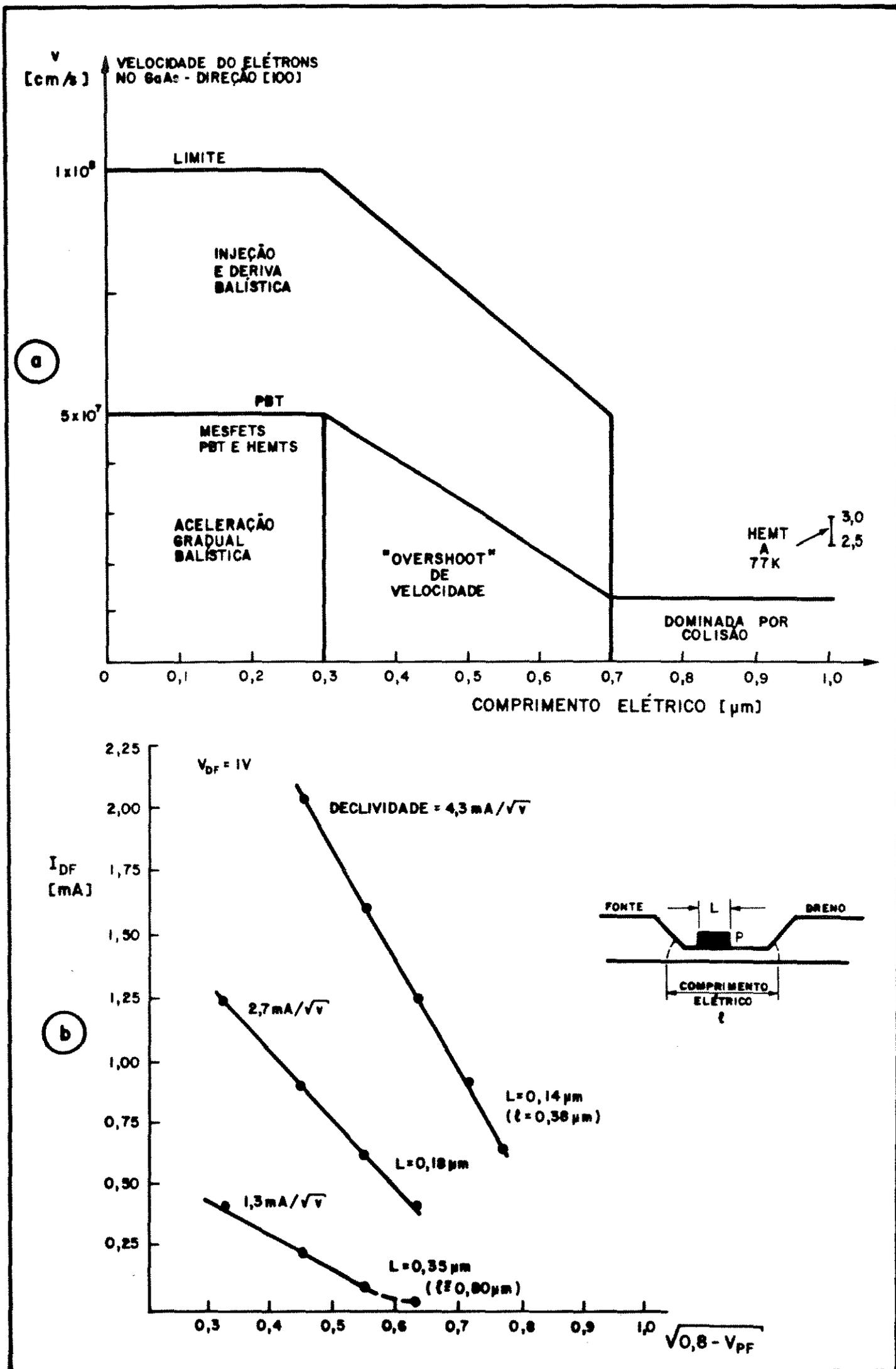


Fig. 3.3 a. Regiões da dinâmica de elétrons em GaAs. Limites de velocidade [64].
 b. Determinação experimental da velocidade média dos elétrons.
 A declive da reta de $I_{DF} \times \sqrt{0.8 - V_{PF}}$ é proporcional à velocidade [68].

performance de transistores de naturezas diversas, é elaborada por Stoneham [69], que modifica a estrutura de três categorias de transistores (bipolar BJT, FET (MOS, MES, JFET) e PBT).

Fazendo uma transformação contínua do MESFET, passando pelo PBT, até chegar à estrutura do BJT, Stoneham [69] consegue chegar à relação de comparação $\gamma = C_I/C_{TOT} \approx g_{m0} \tau / C_{TOT}$. Sendo C_I a capacitância intrínseca e C_{TOT} a soma da capacitância parasita com a capacitância intrínseca. Com esta relação são determinados os limites teóricos para vários transistores, inclusive para o VTT (vacuum transport transistor), um dispositivo idealizado, semelhante ao PBT mas que, ao invés do semiconductor, está no vácuo. A conclusão de Stoneham [69] é que o PBT possui a melhor performance.

Baseando-se na proposta de Stoneham [69], Eastman [68] concorda que de fato o PBT pode ter melhor geometria que os transistores com junção Schottky para valores altos de gm/C e para qualquer velocidade saturada. Este gm/C vai crescer proporcionalmente à velocidade do elétron, podendo este dispositivo situar-se até na região de injeção balística.

Eastman [68] conclui que, além da velocidade dos elétrons, outros elementos devem ser considerados. O metal da porta (no MESFET) ou da base metálica permeável (no PBT) oferecem menor resistência ao fluxo da corrente de alta frequência do que camada semicondutora de alta dopagem (caso do BJT de heterojunção). Estes últimos poderão ter ganho de corrente maior e $f_{m\acute{a}x}$ menor, por causa da heterojunção do emissor e por causa do crescimento da resistência da base e da resistência de contato desta. Os bipolares (BJT) têm a vantagem de suportar maiores correntes, o que permite rápida carga das capacitâncias inter-estágios de circuitos lógicos.

O resfriamento destes "dispositivos de elétrons balísticos" resulta em ligeira melhora na performance.

Os HEMTS e MODFETs (heterojunção de AlGaAs) quando há possibilidade prática de resfriamento (77°K), têm sua performance sensivelmente melhorada. À medida que se reduzem as dimensões des

tes dispositivos, é possível obter a mesma velocidade de elétrons que teriam resfriados, mas à temperatura ambiente.

3.1.11. RECENTES APRIMORAMENTOS ANALÍTICOS: DEPLEÇÃO SUPERFICIAL

Normalmente se assume uma depleção superficial na junção Schottky, logo abaixo da porta, com polarização zero. O potencial V_{Bi} , em torno de 0,6 a 0,8V para GaAs, responde por esta depleção.

Entretanto, existe uma depleção superficial nos dispositivos na região livre entre fonte e porta e entre porta e dreno. A superfície livre do GaAs também se depleta num potencial de superfície equivalente, devido a duas causas principais: interrupção da periodicidade do cristal na superfície e a poluição superficial do GaAs (contato com ar, tratamentos químicos, etc.) resultando numa densidade superficial de cargas negativas D_s (ver, por exemplo, Sekido e Arden [70]) que provoca uma depleção na superfície livre da camada ativa, resultando uma densidade iônica de cargas positivas.

Esta depleção superficial, que se estende pelas laterais da porta até a fonte e até o dreno, está representada na fig. 3.4, para diferentes estruturas e situações de polarização. Um modelamento analítico destas regiões de depleção, para determinar limites de operação de potência e tensão de ruptura em MESFET de GaAs de potência, foi elaborado por Ledbrooke [71]. Os resultados apresentados por Ledbrooke [71] incluem os efeitos do canal rebaixado, a distribuição destas densidades de cargas iônicas na região de depleção e impurezas de nível profundo. Apesar destes resultados estarem dirigidos para MESFETs de GaAs de potência, apresentam alguns resultados relativos a otimização do rebaixo do canal e sua relação com a tensão de ruptura dreno-porta e porta-dreno.

Hariu et al. [72] formulam, pela primeira vez, um modelo analítico de MESFETs de GaAs que leva em conta os efeitos da camada de depleção da superfície livre nos diferentes parâmetros do dispositivo. Entretanto, este modelo analítico, apesar de introduzir esta novidade, utiliza resultados conservadores de mode

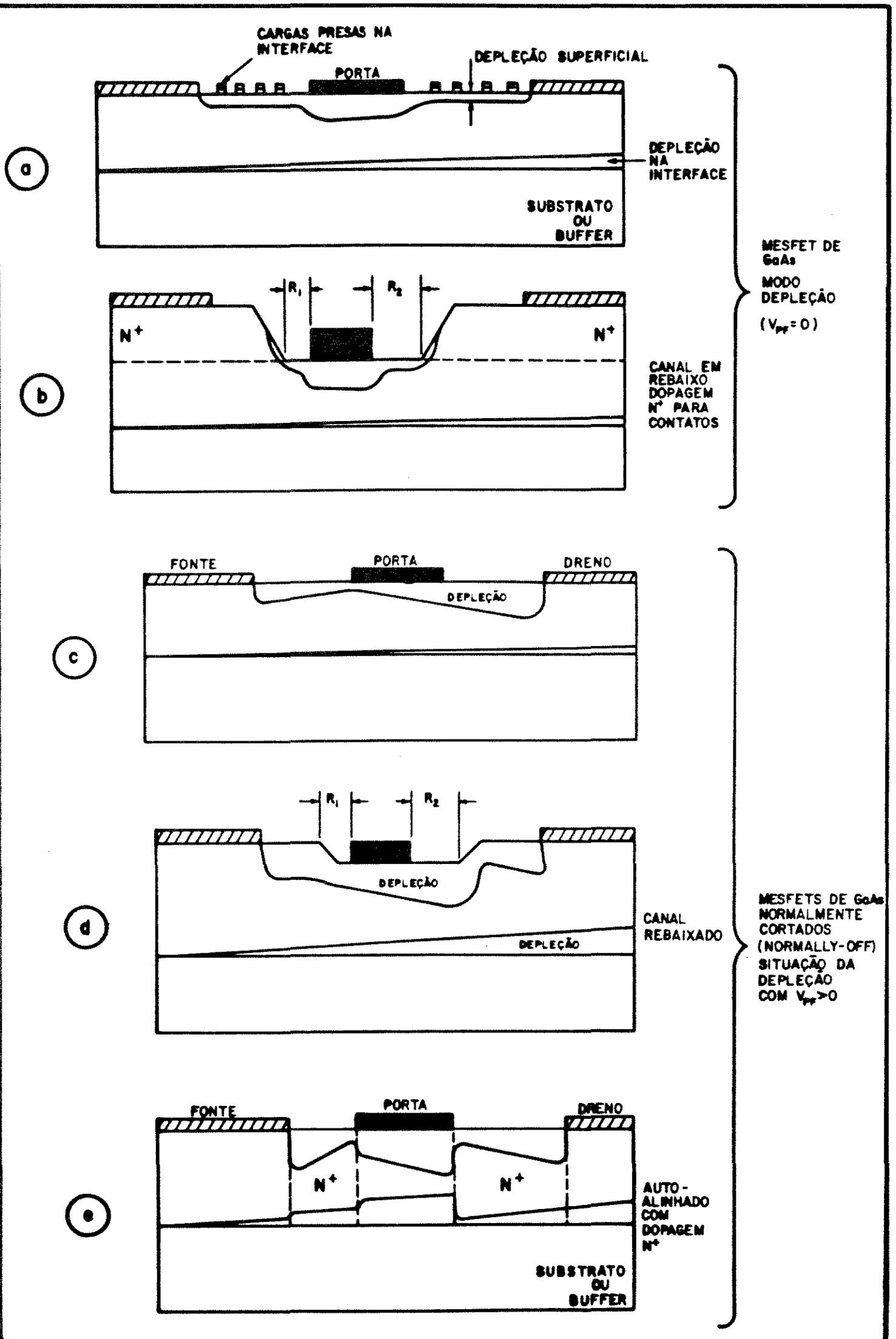


Figura 3.4 Perfis da região de depleção superficial e interface para diferentes estruturas e modo de operação.

los anteriores, como de Lehovc e Zuleeg [16]. Resultados interessantes deste modelamento são valores numéricos de g_m variando com o espaçamento dreno-fonte, variação de g_m com o rebaixamento do canal e a variação das capacitâncias parasitas devido à modificação do perfil de cargas introduzidas pelas regiões de depleção superficial. Outra limitação do modelo de Hariu et al. [72] é que as estruturas analisadas são transistores normalmente cortados (*normally-off*). Os efeitos da camada de depleção interfacial são avaliados e a redução relativa na espessura do canal são calculados em função da razão da densidade de impurezas de nível profundo na interface e densidade de doadores (dopagem) na camada ativa.

Um modelo bidimensional que também inclui os efeitos da depleção superficial é apresentado por Heliodore et al. [40]. Nesta simulação são incluídos fenômenos mais avançados, se comparados com o modelo proposto por Hariu et al. [72]. Por exemplo, os efeitos da dinâmica não estacionária dos elétrons (relaxação de energia).

Como decorrência dos efeitos do potencial de superfície, Heliodore et al. [40] acusam o deslocamento do domínio estacionário em direção ao dreno e a redução da injeção de portadores na camada *buffer* ou substrato. Mostram a acentuada variação da corrente I_{DF} e g_m do dispositivo, quando se considera esta depleção superficial. Apesar de não considerarem no modelamento uma depleção superficial em toda superfície livre do MESFET, adotam uma dimensão R da extremidade da porta até o limite da região superficial depletada, como referência para simulação. Esta distância R serve de parâmetro para localizar a porta entre fonte R_1 e dreno R_2 (ver fig. 3.4b e d), em estruturas com canal rebaixado. Analisando a figura de Ruído, N_p , e o ganho disponível, Heliodore et al. [40] concluem que estes parâmetros são fortemente dependentes de R e chegam a um valor ótimo de R_2 de $0,5 \mu m$, para R_1 de $0,2 \mu m$, para MESFETs de porta submicron.

Uma limitação no modelamento de Heliodore et al. [40] é adotar a característica de velocidade de deriva versus campo elétrico sem considerar a velocidade de pico e a região de "resistência" negativa. Falta, ainda, comprovação experimental dos re

sultados analisados e as dimensões de R_1 e R_2 devem também sofrer o critério de tensão de ruptura (breakdown).

Os efeitos da depleção superficial tiveram tratamento bastante inovador no modelo analítico simplificado proposto por Byun et al. [79]. Neste modelamento de MESFETs de GaAs no modo de depleção, (fig. 3.4a) é reafirmada a importância das regiões de depleção fora da região da porta e introduz o conceito de "comprimento da porta dependente da tensão da porta". Com este conceito é elaborada uma nova interpretação das resistências fonte e dreno, chegando a valores diferentes dos publicados por outros pesquisadores, para estas resistências.

O modelo analítico se resume num comprimento efetivo de porta dependente da tensão, ou as resistências de dreno e fonte, também dependentes, da tensão de porta, em virtude da região de depleção superficial nas regiões laterais à porta, modulada pela tensão deste eletrodo.

Este modelo é verificado, experimentalmente, para uma série de MESFETs de GaAs com comprimentos nominais de porta de 1 a 18 μm (estrutura denominada "gated-TLM conf. ref. [74]). São confirmadas a dependência das resistências de dreno e fonte e fonte com a tensão de porta.

A limitação deste modelo é não incluir, na concepção dos fenômenos no canal, a existência dos domínios estacionários e a parcela de depleção na interface. Como mostramos ainda neste capítulo, o domínio pode desempenhar um papel dominante na determinação destas resistências. Além disso é necessário maior investigação do comportamento destas depleções laterais para MESFETs de GaAs com porta submicron.

3.1.12. MODELO PARA PORTAS ULTRA-CURTAS E PROPOSTAS DE LIMITES DE REDUÇÃO DE ESCALA PROPORCIONAL

A necessidade de se conhecer a velocidade de elétrons em MESFETs de porta ultra-curta, levou Bernstein e Ferry [42] à construção de dispositivos com portas que variavam de $0,025 \mu\text{m}$ (250\AA) a $0,065 \mu\text{m}$ (650\AA). Apesar de algumas previsões de que a figura de ruído cai com o comprimento da porta entre $1,0$ e $0,2 \mu\text{m}$ e que, MESFETs de GaAs com porta de $0,15 \mu\text{m}$ poderiam atingir $f_{\text{máx}}$ de 450 GHz , informações sobre transcondutância e evidências de *overshoot* de velocidade não haviam sido confirmadas experimentalmente nestes dispositivos.

A partir das características D.C. de dispositivos de porta ultra-curta, é notória a ausência dos efeitos de canal curto, por exemplo, o aumento da condutância de saída, como já comentado em seções anteriores. Bernstein e Ferry [42] atribuem à forte saturação de velocidade, já perto da fonte e, neste caso, a corrente é medida pela velocidade entre fonte e porta. Mesmo com a esperada injeção de corrente no substrato, devida aos campos elétricos intensos sob a porta curta, a corrente é mantida a nível constante, independente da tensão de dreno.

O valor de g_m como função do comprimento da porta também dá indícios dos efeitos de *overshoot* de velocidade.

Para balizar a definição dos comprimentos de porta, Bernstein e Ferry [42] admitem que a distância para ocorrência do *overshoot*, ou transporte balístico, é o caminho livre médio inelástico, IMFP, que é a distância que leva a energia a relaxar. Baseando-se em simulações Monte Carlo, Bernstein e Ferry [42] calcularam, como valor grosseiro de IMFP, igual a $0,1 \mu\text{m}$ (1000\AA).

Dados experimentais com estes MESFETs de porta ultra-curta, indicam que a velocidade média dos elétrons é afetada por uma fração elevada de elétrons em *overshoot* quando o comprimento da porta cai para cerca de 500\AA ($0,05 \mu\text{m}$).

Para a região de depleção sob a porta ultra-curta, adotam uma aproximação do modelo de eletrodo semicircular proposto

por Hauser [5], mas com uma região plana, não totalmente circular. A partir desta concepção, relacionam a corrente de dreno com a raiz quadrada da tensão da porta, resultando numa relação linear própria da aproximação de canal gradual. Com isso, chegam a uma interessante conclusão de que a aproximação de canal gradual parece voltar a ser válida, à medida que o comprimento da porta torna-se muito pequeno e quando a saturação de velocidade é considerada. De fato, a região de velocidade saturada domina quase todo o comprimento do canal, obrigando-o a ser aproximadamente plano, o que se aproxima da condição de placas paralelas, assumida pela aproximação de canal gradual.

A partir da constatação de que a velocidade está saturada ou em *overshoot* por baixo de todo o comprimento do canal, devido à existência de campos elevados, Bernstein e Ferry [42] calculam os valores de velocidades médias. Os valores, calculados para as velocidades médias, atingem $1,24 \times 10^7$ cm/s (limite inferior), que se situam um pouco acima da velocidade de saturação, 1×10^7 cm/s típica.

Assim Bernstein e Ferry [42] concluem que o *overshoot* ocorre para MESFETs com comprimento de porta um pouco menor que $0,05 \mu\text{m}$ (500\AA).

Neste modelamento, Bernstein e Ferry [42] não diferenciam claramente o transporte balístico com aceleração gradual e por *overshoot* como fez Eastmann [65], discutido na seção anterior e mostrado na fig. 3.3a.

Os resultados, reivindicados por Bernstein e Ferry [42], de certa forma contestam o limite de $0,3 \mu\text{m}$, proposto por Eastman [65] para a região de *overshoot* de velocidade. Esta aparente discrepância ($0,3 \mu\text{m}$ Eastman [65] contra $0,05 \mu\text{m}$ Bernstein e Ferry [42]) deve ser entendida em função da imprecisão com que Bernstein e Ferry [42] definem as situações balísticas e de *overshoot*, além de se poder questionar o modelo simplificado utilizado para calcular as velocidades médias. De qualquer forma, o enfoque proposto por Bernstein e Ferry [42] deve ser melhor investigado para resolver esta discrepância de resultados.

Para metodizar o projeto de MESFETs de GaAs e descobrir relações ótimas entre os parâmetros geométricos e físicos, além de estabelecer os limites de operação, é necessário, traçar o esquema de redução proporcional (*scaling schemes*).

Para isso Golio [75] introduziu um inusitado procedimento, chamado por ele mesmo de "empírico estatístico" e combinou com alguns resultados teóricos simples para estabelecer as regras de escala ou limites de redução por proporcionalidade para MESFETs de GaAs. A isto ele chama de "lei de escala histórica" pois as relações são extraídas de dados de cerca de uma centena de MESFETs de GaAs, divulgados na literatura no período 1966-1987. Constatou algumas relações previsíveis, como a diminuição do comprimento da porta em função do ano e, que a dopagem destes dispositivos teve crescimento contínuo no período (a tendência resultante da tentativa de aumentar g_m e diminuir as resistências parasitas).

A relação mais importante é a razão entre o comprimento da porta e a espessura da camada ativa, L/a . Tratando corretamente os dados estatísticos, Golio [75] constatou que esta razão tem, em média, o valor $L/a \approx 5$. Este resultado é consistente com as previsões de Drangeid e Sommerhalder [15] que limitam os MESFETs com desempenho satisfatório se $L/a > 3$. Ainda é consistente com o modelo simplificado elaborado por Golio [75], que indica uma relação ótima para L/a ligeiramente maior que π . A grande dificuldade em se estabelecer a espessura final da região ativa e os valores citados nas publicações que normalmente se referem à camada ativa inicial, dão elevado grau de imprecisão ao valor de $L/a > 5$, podendo, de fato, se situar abaixo deste e mais próximo de π .

Golio [75], baseando-se em três propostas anteriores de fatores de redução de escala, que implicam em três produtos constantes $L^2 N_D$, $L^{1/2} N_D$ e LN_D e, com os dados publicados, estabeleceu três novas relações de produto constante, chegando às equações:

$$LN_D = 1,6 \times 10^{17} \quad (3.7)$$

$$L^{1,43} N_D = 1,5 \times 10^{17} \quad (3.8)$$

e a que considera mais abrangente:

$$\mu_0 LN_D = 6,0 \times 10^{16} \left[(\text{v.s})^{-1} \right] \quad (3.9)$$

sendo μ_0 a mobilidade para campos baixos, L em microns e N_D em cm^{-3} . Ainda afirma que, embora nenhuma das três regras acima produza um dispositivo ótimo, é razoável que qualquer uma delas represente uma primeira estimativa para uma regra ótima de redução de escala proporcional.

Golio [75], utilizando as três relações anteriores, calcula os limites físicos para MESFETs de GaAs. A partir da limitação imposta pela ocorrência de corrente significativa de tunelamento pela barreira Schottky da porta e, considerando que efeitos de destruição desta por eletromigração ocorra para densidades de corrente da ordem de 10^4 a 10^5 A/cm², o máximo valor permitido para MESFETs de GaAs é 9×10^{18} cm⁻³. Com esta dopagem é possível dimensionar a porta em até 0,02 μm (pela regra 3.7) e 0,05 μm (pela regra 3.8 e 3.9).

Para ultrapassar esta barreira a solução é utilizar uma "camada *buffer* superficial" de mais baixa dopagem que a camada ativa ou por implantação iônica, cujo perfil de dopagem apresenta, naturalmente, esta região *buffer* superficial.

Ainda, Golio [75], fazendo considerações sobre a transição entre uma região dopada e uma depletida, considera uma camada ativa mínima aceitável como dez comprimentos de Debye, L_D . Combinando com a condição de máxima espessura da camada ativa igual a L/π , chega-se à inequação $a_{\text{máx}}/L_D > 10$. Com esta condição, o limite mínimo para a porta fica em 0,025 μm (pela regra 3.7) e 0,04 μm (pelas regras 3.8 e 3.9).

Outra limitação física que deve ser considerada é a

tensão de estrangulamento (*pinch-off*). Para um dispositivo começar a ter utilidade prática, o potencial de *pinch-off* deve ser um pouco maior que o potencial de barreira ou *built-in*, V_{Bi} . Chega-se, então, a um valor d_0 que é igual a depleção equivalente a V_{Bi} . Considerando-se a transição entre as regiões depletida e não depletida entre 6 e 7 L_D , finalmente obtém-se a condição $L_D/a_0 < 1/6$, sendo $a_0 = a - d_0$ a espessura do canal não depletido. Com a restrição da tensão de estrangulamento, a redução proporcional para a porta atinge o limite na faixa de 0,08 μm a 0,22 μm .

Considerando as limitações impostas por efeitos de ruptura (*breakdown*), Golio [75] analisa o compromisso com dopagem e espessuras mínimas, utiliza a expressão empírica de *breakdown* em MESFETs de GaAs, dada por [76]:

$$V_{br} = \frac{4,4 \times 10^{13} (\text{V}/\text{cm}^2)}{N_D \cdot a} \quad (3.10)$$

e chega a um limite para o comprimento da porta (pelas regras 3.8 e 3.9) em 0,1 μm .

Golio [75] ressalta finalmente que, a permanecer o progresso na redução da porta, o valor médio atingirá 0,1 μm em 1997 e 0,05 μm no ano 2004. Estes limites impõem a necessidade também de investigar outros tipos de dispositivos para operação na faixa de ondas milimétricas e submilimétricas.

As análises apresentadas são aplicáveis a MESFETs de GaAs e não se aplicam aos HEMTs (MODFET) diretamente. Os HEMTs podem ter portas menores, pois usam material de gap maior, sendo que as limitações impostas por ruptura e tunelamento ocorrem a níveis maiores de dopagem. A tensão de *pinch-off* pode também ser melhor controlada em estruturas HEMT.

CAPÍTULO 3

MODELAMENTO MATEMÁTICO DE MESFETs DE GaAs

2ª PARTE

MODELO INTEGRADO DO MESFET DE GaAs

INTRODUÇÃO

A primeira parte deste capítulo apresentou uma análise da evolução dos diversos modelamentos e suas limitações.

Nesta segunda parte, pretende-se apresentar um novo modelamento analítico de MESFETs de GaAs, cuja característica fundamental é incorporar diversos fenômenos, normalmente tratados separadamente na literatura. Este modelamento "integrado" objetiva ainda incluir, com maior precisão, o papel dos domínios estacionários ou dipolos de cargas na dinâmica do dispositivo.

O modelamento aqui proposto não pretende cobrir genericamente toda e qualquer estrutura do tipo MESFET mas, introduz a quase totalidade dos fenômenos já identificados nesta estrutura, de forma integrada.

A estratégia adotada para se chegar à proposta do modelo integrado é, a partir de modelamentos analíticos de comprovada precisão, estendê-los e associá-los com os novos parâmetros de comportamento dinâmico identificados em nosso trabalho, principalmente os domínios de cargas estacionários.

3.2. O MODELO INTEGRADO

3.2.1. DESCRIÇÃO DOS FENÔMENOS NA ESTRUTURA MESFET DE GaAs

No capítulo 1 apresentamos, de forma qualitativa e simplificada, os vários fenômenos associados ao comportamento dinâmico do dispositivo.

Neste capítulo pretendemos, além de uma descrição analítica dos diversos elementos que compõem o comportamento dinâmico do dispositivo, reuni-los de uma forma integrada, observando as consequências dessa associação nas variáveis terminais.

A fig. 3.5 mostra o transistor MESFET de GaAs com diversas regiões e fenômenos associados na sua região ativa.

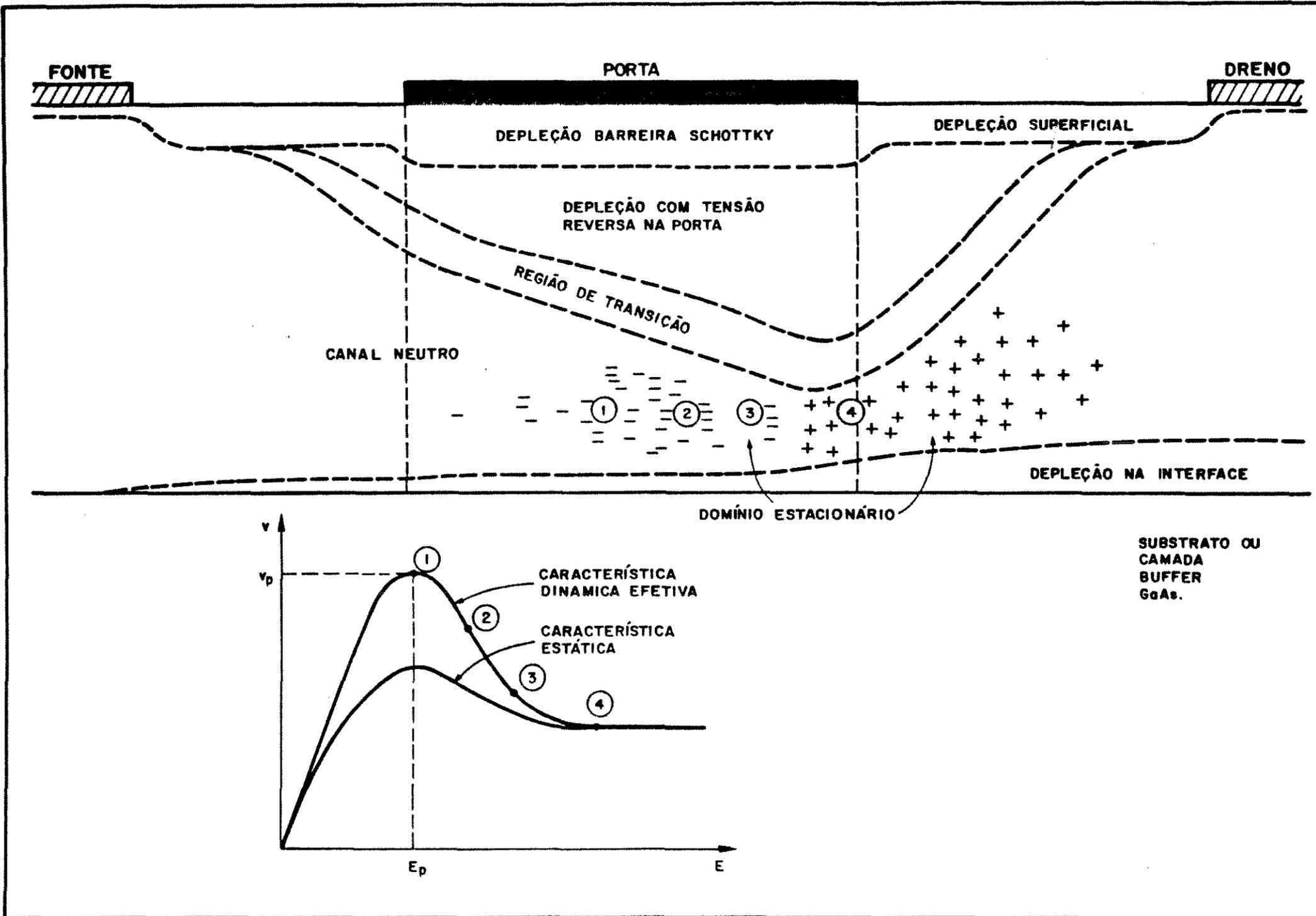
Deve-se destacar a localização do domínio de cargas estacionário sob a região da porta e a configuração do campo elétrico nesta região. Ainda, deve-se destacar neste modelo a inclusão da região de transição entre a camada totalmente depletida e o canal neutro. A dimensão desta região de transição é discutida nas seções seguintes.

A descrição qualitativa, elaborada no capítulo 1 e neste capítulo 3 parte 1, permanece válida no que diz respeito à formação das regiões de depleção, no surgimento do domínio estacionário de cargas e, nos aspectos transitórios da dinâmica dos elétrons no canal.

Neste trabalho dá-se ênfase, nos casos onde são propostos a conjunção de fenômenos e na forma de compatibilização destes, para, de uma forma integrada, fechar um modelo, o mais completo possível.

A análise é inicialmente segmentada e a região dinâmica mais significativa do dispositivo é a região sob a porta. É nesta região ou nas suas fronteiras onde ocorrem os fenômenos fundamentais que definem o comportamento elétrico do dispositivo.

Figura 3.5 Principais fenômenos e regiões da estrutura MESFET de canal neutro.



3.2.2. REGIÃO SOB A PORTA E MODOS DE OPERAÇÃO DO MESFET

Nesta região, a solução analítica que será obtida se que formulação semelhante à proposta por Yamaguchi e Kodera [49], acrescentando-se os demais fenômenos já mencionados anteriormente.

Para atribuir a distribuição da densidade de elétrons, divide-se a região sob a porta em três regiões distintas, como mostra a fig. 3.6.

As regiões identificadas na fig. 3.6 são: A região 1, região neutra do canal, com densidade de portadores igual à dopagem $n(x,y) = N_D$. A região 3 para $d_1(x) + d_2 < y < a$, completamente depletida, onde a densidade de elétrons é zero. A região de transição, região 2, tem sua importância destacada pois o tamanho físico desta transição não pode ser desprezado em virtude da espessura sub-micrométrica da camada ativa do dispositivo.

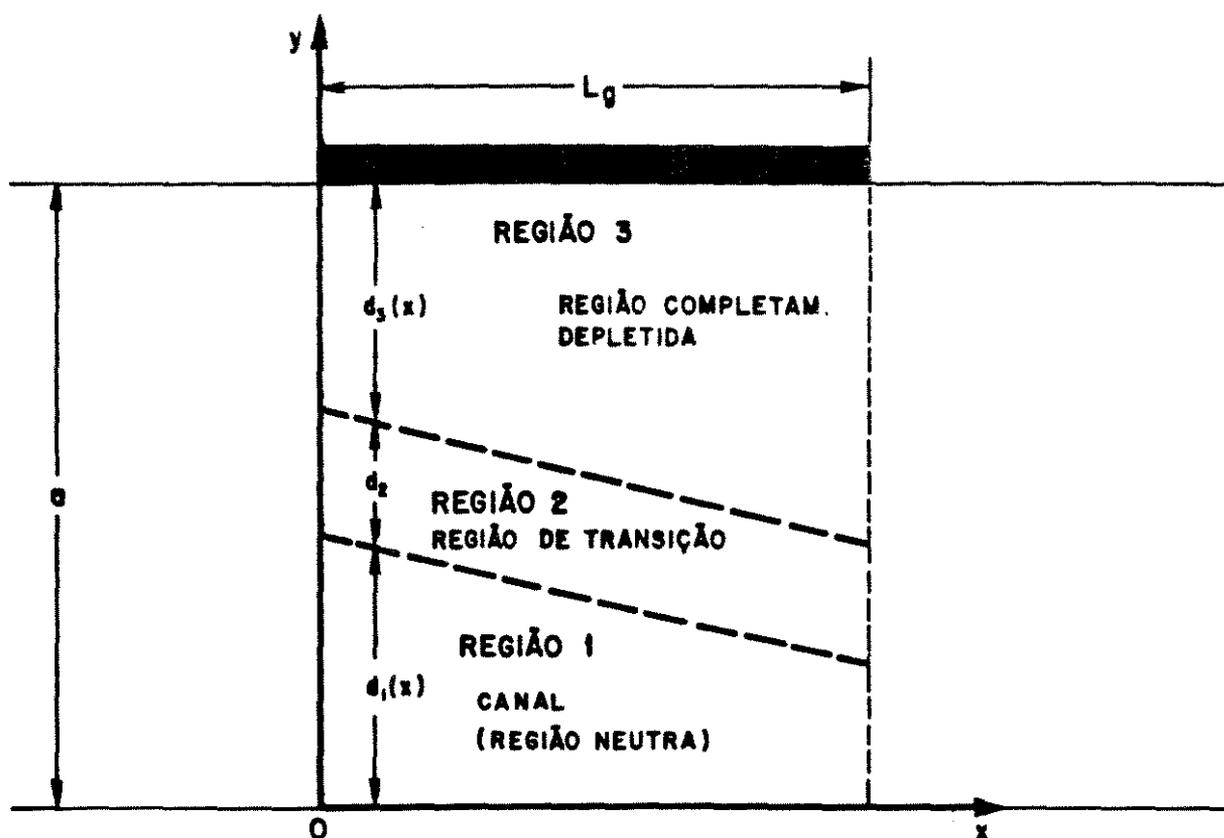


Figura 3.6 - Regiões de diferentes distribuições de densidade de elétrons sob a porta.

Para estabelecer a forma com que se dá a transição entre as regiões sob a porta, o MESFET é mostrado nas figuras a seguir, em três condições de operação características.

Na fig. 3.7 o transistor está no modo a "antes do estrangulamento". Neste modo a tensão de dreno-fonte é baixa, a tensão de porta é variável e, $d_1(x)$ é sempre diferente de zero para $0 < x < L_g$.

No canal completamente neutro a distribuição é dada por:

$$n(x,y) = N_D \quad \text{para} \quad 0 < y < d_1(x) \quad (3.11)$$

Na região de transição admite-se que a expressão da distribuição seja dada por uma série de Fourier [49]. Entretanto, para simplificar o tratamento analítico nesta região, adota-se a aproximação:

$$n(x,y) = N_D \cdot \left[1 - \alpha(x)(x-\gamma) \right] \cdot \frac{1 + \cos \frac{\pi}{d_2} \left[y - d_1(x) \right]}{2} \quad (3.12)$$

$$\text{para} \quad d_1(x) < y < d_1(x) + d_2$$

sendo que os parâmetros α e γ estão indicados na fig. 3.8.

$$\begin{aligned} \alpha(x) &= 0 & \text{para} & \quad x \leq \gamma \\ \alpha(x) &= k_2 & \text{para} & \quad \gamma < x \leq L_g \\ d_2 &= k_1 L_D \end{aligned} \quad (3.13)$$

sendo L_D o comprimento extrínseco de Debye, dado por:

$$L_D = \left(\frac{\epsilon_0 \epsilon_r kT}{q^2 N_D} \right)^{1/2} \quad (3.14)$$

Como pode ser observado na fig. 3.7, a concentração

de portadores vai aumentando, a partir da região depletida, segundo uma função cossenoidal (eq. 3.12), até atingir o valor N_D na região 1 do canal de condução.

A questão da dimensão desta região de transição, d_2 , depende de se estimar o valor de k_1 (eq. 3.13), ou seja, em quantos comprimentos de Debye a concentração, a partir da região depletida, atinge N_D .

Simulação bidimensional [49], modelos analíticos [57], avaliações qualitativas [77] e modelos para caracterizar perfis de dopagem [78], indicam o valor de $k_1 = 6$. O trabalho de simulação bidimensional que realizamos na estrutura MESFET mostrou também ser este valor correto para se adotar nos modelos.

Na fig. 3.8 representa-se o MESFET no modo de operação b, ou "depois do estrangulamento", onde é possível visualizar que $d_1(x) = 0$ ainda na região sob a porta ou seja, a região de transição encostou no fundo da região ativa (o que não ocorria no primeiro caso mostrado na fig. 3.7).

É exatamente nesta região assinalada com os parâmetros Δl e γ que está localizado o domínio de carga estacionário. Ver seções seguintes.

O parâmetro α define a razão de depleção e o parâmetro γ a posição do ponto de estrangulamento.

A situação mostrada na fig. 3.8 é encontrada quando a polarização de dreno é alta.

Para este modo de operação e para o intervalo $\gamma < x < L_g$, $d_1(x) = 0$.

Este é o principal modo de operação ou, pelo menos, é o de maior interesse pois, na maioria das aplicações, o MESFET opera na região saturada da característica $I_{DF} \times V_{DF}$.

Note que, na parte 1 deste capítulo, descrevemos que o "estrangulamento" real não ocorre e sim um processo de acúmulo

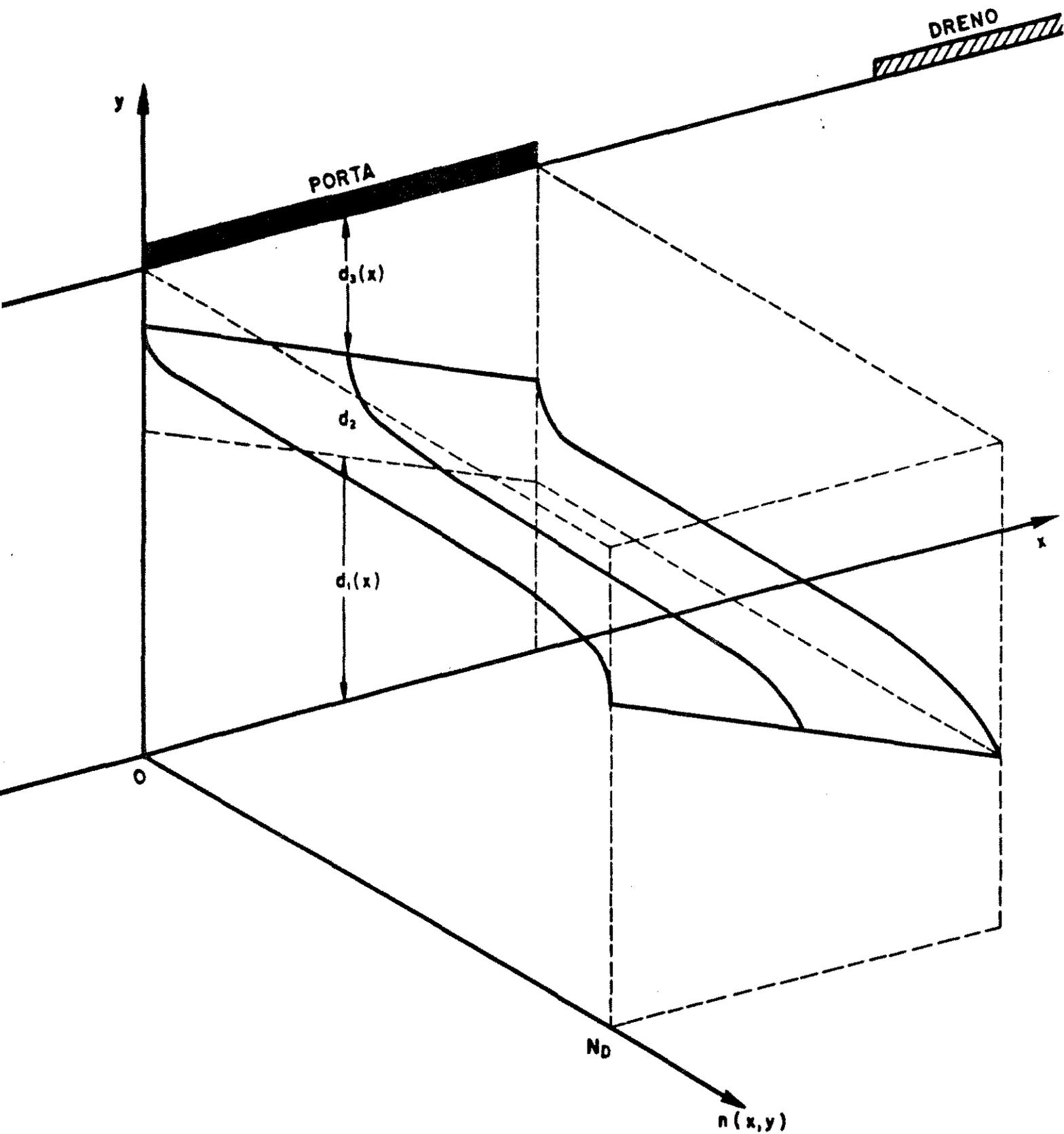


Figura 3.7 Distribuição da densidade de portadores (elétrons) nas três regiões do MESFET considerando uma variação cossenoidal na região de transição. O MESFET está operando no modo a , ou seja "antes do estrangulamento".

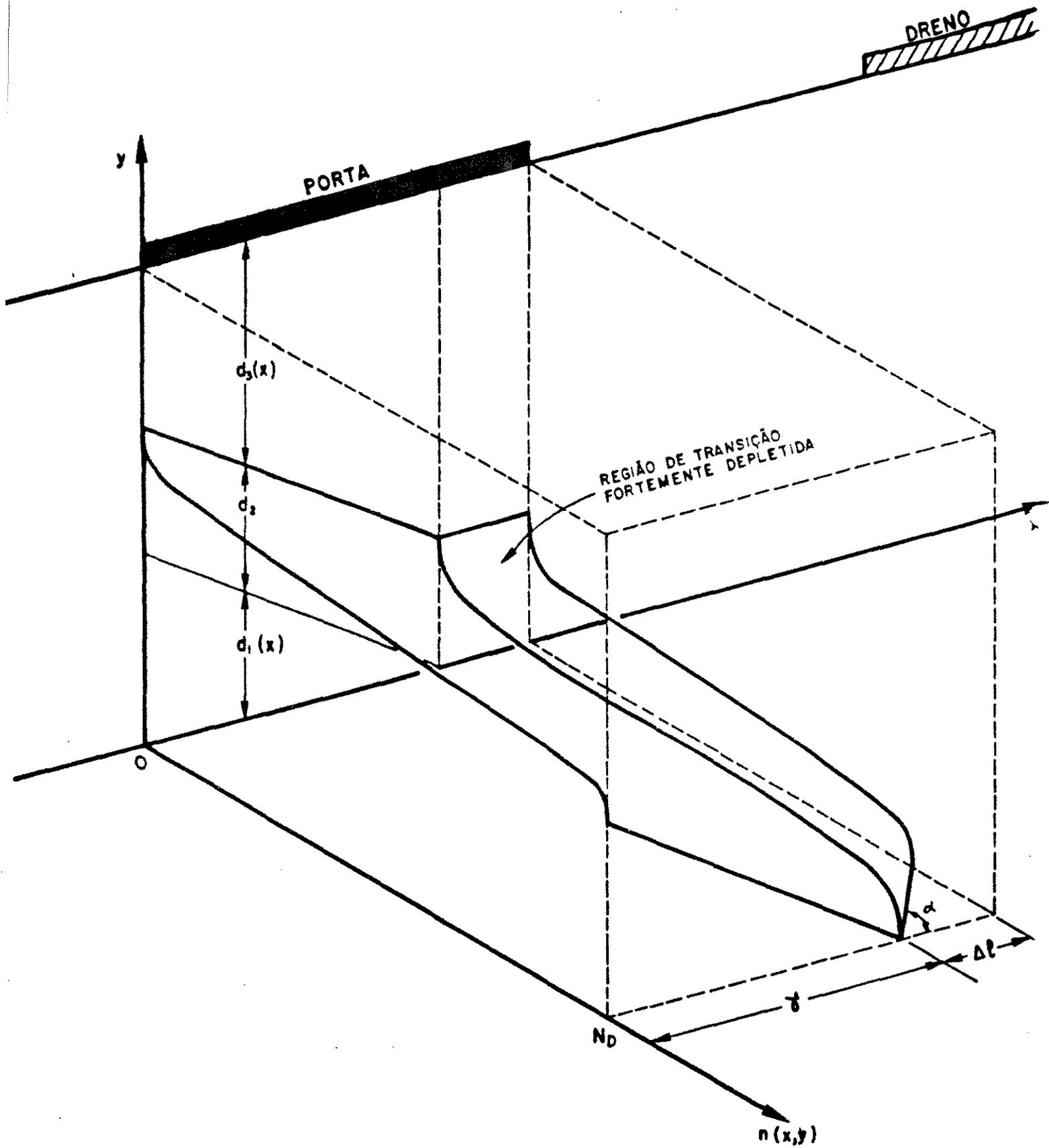


Figura 3.8 Distribuição da densidade de portadores (elétrons) com o MESFET operando no modo b ou "após estrangulamento".

de cargas que forma o domínio do tipo dipolo, que é responsável pelo regime de saturação. A nomenclatura "estrangulamento" permanece aqui indicando os limites das regiões depletidas, de transição e neutra (canal), numa situação que não incorpora ainda a formação do domínio.

A formação do domínio de cargas será superposta a esta análise, completando o modelo integrado.

Pode-se dizer que as delimitações das regiões apresentadas são estritamente analíticas, resultado da suposição de uma distribuição de cargas na região ativa do dispositivo. Ao se incluir a dinâmica dos portadores em função do campo, surge o fenômeno de formação do domínio que é associado ao comportamento do dispositivo no regime de condução.

A fig. 3.9 mostra a situação do MESFET quando a polarização reversa de porta é alta (ou seria equivalente a uma situação de pequena polarização reversa de porta, mas com uma camada ativa muito fina).

Este modo de operação, modo c ou denominado modo "estrangulamento", tem o valor de γ negativo e o canal completamente neutro não existe, mesmo com $V_{DF} = 0$.

O MESFET neste modo de operação está "cortado".

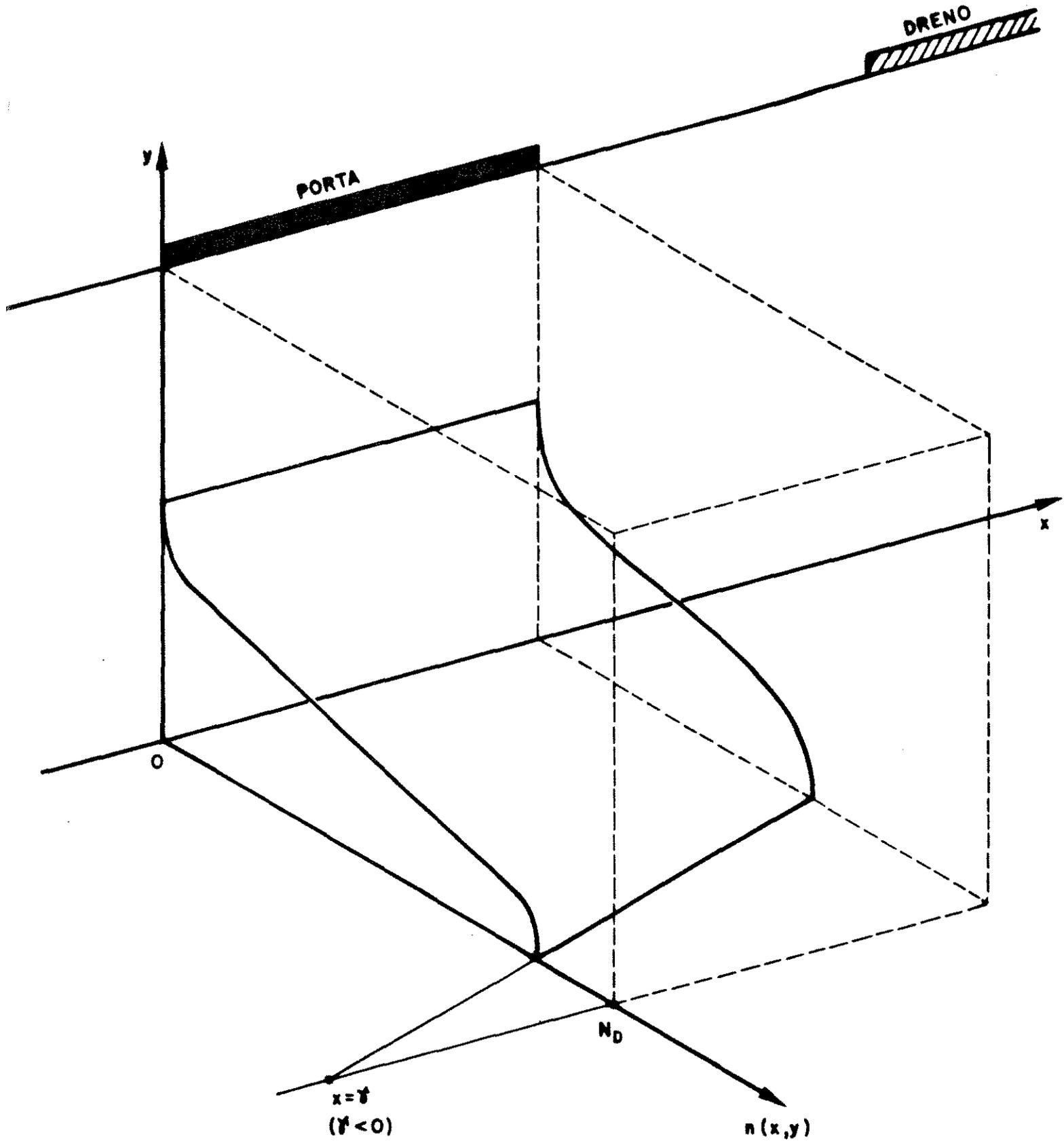


Figura 3.9 Distribuição da densidade de portadores (elétrons) com o MESFET operando no modo C ou modo "estrangulado".

3.2.3. SOLUÇÃO DA EQUAÇÃO DE POISSON NA REGIÃO SOB A PORTA

Considerando-se as distribuições da densidade de portadores, expressas pelas equações 3.11 e 3.12, nas regiões mostradas na fig. 3.6, a solução geral da equação de Poisson é expressa da seguinte forma:

$$\Phi(x,y) = \Phi_A(x,y) + \Phi_B(x,y) \quad (3.15)$$

sendo Φ_A a solução geral da equação:

$$\nabla^2 \Phi_A(x,y) = 0 \quad (3.16)$$

e Φ_B a solução particular da equação:

$$\nabla^2 \Phi_B(x,y) = -\frac{-q}{\epsilon_0 \epsilon_r} [N_D - n(x,y)] \quad (3.17)$$

As condições de contorno que devem ser satisfeitas por Φ_A e Φ_B são:

$$\begin{aligned} \Phi_A(0,0) &= 0 \\ \Phi_A(x,a) &= 0 \\ \frac{\partial \Phi_A(x,0)}{\partial y} &= 0 \end{aligned} \quad (3.18)$$

e

$$\begin{aligned} \Phi_B(0,0) &= 0 \\ \Phi_B(x,a) &= -(V_{Bi} - V_{PF}) \\ \frac{\partial \Phi_B(x,0)}{\partial y} &= 0 \end{aligned} \quad (3.19)$$

As regiões e as condições de contorno são mostradas na fig. 3.10 bem como as soluções próprias de cada região.

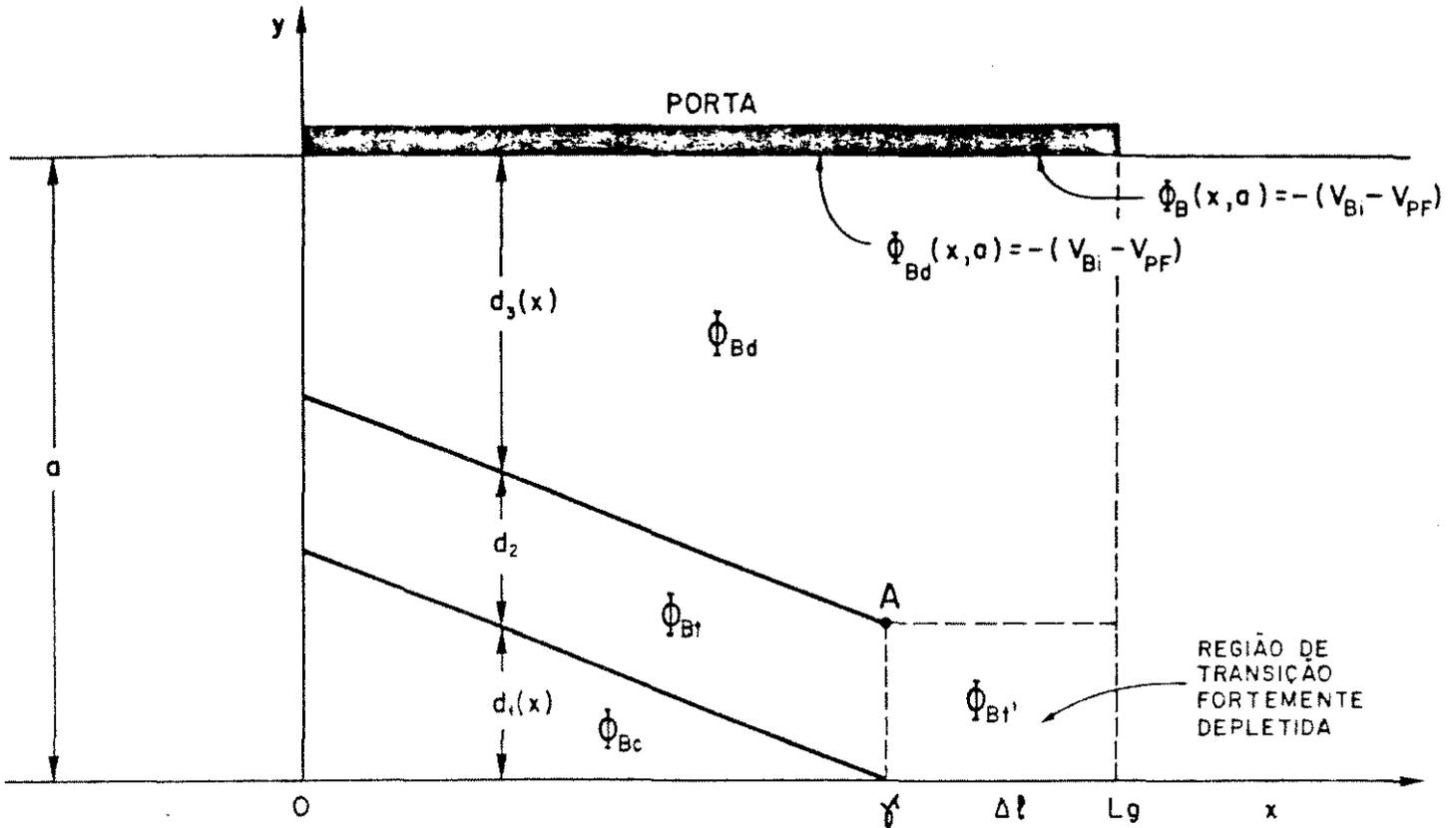


Figura 3.10 - As regiões sob a porta e as soluções particulares identificadas para cada região. (Os sub-índices indicam: d: depleção; t: transição; t': região fortemente depletida; c: canal).

PRIMEIRO TERMO Φ_A DA SOLUÇÃO GERAL:

A solução da equação 3.16, Φ_A , com as condições de contorno eq. 3.18 pode ser expressa pela série de Fourier:

$$\Phi_A(x, y) = \sum_{n=1}^{\infty} \sinh \frac{(2n-1)\pi x}{2a} \cdot \cos \frac{(2n-1)\pi y}{2a} \quad (3.20)$$

O potencial $\Phi_A(Lg, y)$ pode ser expresso por uma série de Fourier em cosseno, da forma:

$$\Phi_A(Lg, y) = \sum_{n=1}^{\infty} F_n \cos \frac{(2n-1)\pi y}{2a} \quad (3.21)$$

Então $\Phi_A(x,y)$ vai também representar unicamente o potencial em $x = L_g$ se:

$$\Phi_A(x,y) = \sum_{n=1}^{\infty} \frac{F_n}{\sinh \frac{(2n-1)\pi L_g}{2a}} \cdot \sinh \frac{(2n-1)\pi x}{2a} \cdot \cos \frac{(2n-1)\pi y}{2a} \quad (3.22)$$

e adotando-se como aproximação o primeiro termo da eq. 3.22, temos finalmente para Φ_A :

$$\Phi_A(x,y) = \frac{V_A}{\sinh \frac{\pi L_g}{2a}} \cdot \sinh \frac{\pi}{2a} x \cdot \cos \frac{\pi}{2a} y \quad (3.23)$$

sendo V_A a parcela do potencial total em $x = L_g$ e $y = 0$. Esta é uma parcela do potencial que juntamente com as demais parcelas (além da extremidade da porta) irão compor a tensão aplicada total V_{DF} .

Segundo Termo, Φ_B :

A solução da eq. 3.17, Φ_B é obtida para as diferentes regiões e identificadas com um sub-índice correspondendo a cada região (ver figuras 3.6 e 3.10):

Φ_{Bc} potencial Φ_B na região do canal, região 1.

Φ_{Bt} potencial Φ_B na região de transição, região 2.

Φ_{Bd} potencial Φ_B na região de depleção região 3.

$\Phi_{Bt'}$ potencial Φ_B na região de transição fortemente depletida.

Potencial no Canal Neutro $\Phi_{Bc}(x,y)$.

O potencial Φ_B na região 1 fig. 3.10, identificado como Φ_{Bc} , é uma função linear de x , pois a neutralidade elétrica é satisfeita e a última condição de contorno, eq. 3.19 é imposta.

Para $0 < y < d_1(x)$:

$$\Phi_{BC} = Ax + B \quad (3.24)$$

O potencial total no canal ao longo do eixo x é mostrado na fig. 3.11.

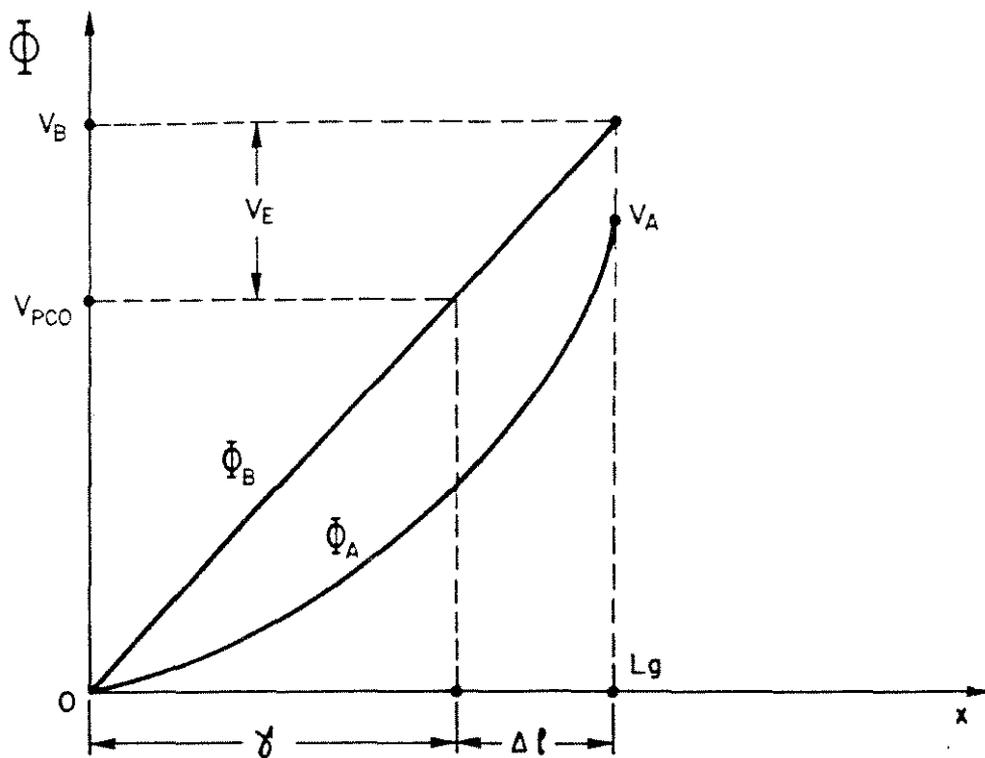


Figura 3.11 - Potencial no canal ao longo do eixo x .

Quando V_B excede uma determinada tensão V_{PCO} (tensão de "pinch-off" completa pois inclui a região de transição, e que é calculada adiante), o canal completamente neutro desaparece e o MESFET está no modo de operação b conforme fig. 3.8.

Este potencial em excesso V_E (fig. 3.11) é definido por:

$$V_E = V_B - V_{PCO} \quad (3.25)$$

Este potencial em excesso é que vai formar a região de transição fortemente depletida, mostrada na fig. 3.10.

Assim (ver fig. 3.11):

$$\Phi_{BC} = \frac{V_B}{L_g} \cdot x \quad \text{no modo de operação a} \quad (3.26)$$

$$\Phi_{BC} = \frac{V_{PCO}}{\gamma} \cdot x \quad \text{no modo b para } 0 < y < \gamma \quad (3.27)$$

(a constante $B = 0$ na equação 3.24).

As relações entre $\alpha(x)$ (definido por 3.13) e γ são obtidas considerando a continuidade do campo elétrico na interface entre as regiões, fig. 3.10:

$$\frac{V_{PCO}}{\gamma} = \frac{V_E}{\Delta l} = k \cdot \alpha(x) \quad (3.28)$$

sendo

$$k = \frac{q N_D a^2}{2\epsilon_0 \epsilon_r} \left(1 - \frac{d_2}{2a} + \frac{d_2}{\pi^2 a} \right) \frac{d_2}{a} \quad (3.29)$$

e, da eq. 3.28:

$$\alpha(x) \cdot \gamma = \frac{V_{PCO}}{k} \quad (3.30)$$

Como $\alpha(x) = k_2$, definido anteriormente na eq. 3.13, a relação entre estes dois parâmetros fica:

$$k_2 \cdot \gamma = \frac{V_{PCO}}{V_P \left(1 - \frac{d_2}{2a} + \frac{d_2}{\pi^2 a} \right) \frac{d_2}{a}} \quad (3.31)$$

sendo

$$V_P = \frac{q N_D a^2}{2\epsilon_0 \epsilon_r} \quad (3.32)$$

Ainda da equação 3.28:

$$\alpha = \frac{V_E}{k\Delta l} = \frac{V_B}{kL_g} \quad (3.33)$$

Assim, o comprimento da região de transição fortemente depletida, Δl , (fig. 3.10) é dado por:

$$\Delta l = L_g \cdot \frac{V_E}{V_B} \quad (3.34)$$

Observa-se que esta última equação indica que o modelo supõe a modulação do comprimento do canal pois, Δl varia com V_E ou V_B , ou seja, observando-se a fig. 3.11, um aumento de V_E obriga uma diminuição de γ , dado que o potencial no ponto de "pinch-off" é contínuo.

O comprimento do canal completamente neutro γ é dado por:

$$\gamma = L_g - \Delta l = I_g \cdot \frac{V_{PCO}}{V_B} \quad (3.35)$$

Para o modo de operação c, quando a camada ativa a é muito fina ou a tensão reversa da porta é alta, V_{PCO} é negativa (ver dedução de V_{PCO} mais adiante). Assim, pela equação 3.35, Δl é maior que L_g e assim γ também é negativo. Entretanto, a razão V_{PCO}/γ (eq. 3.28) é positiva, indicando que o campo elétrico na direção x é sempre positivo.

Assim, para o modo de operação C, a condição de contorno na origem é satisfeita usando os valores de a e γ já calculados e as soluções obtidas na região $\gamma < x < L_g$ do modo de operação b podem ser usadas para o modo de operação c.

A abertura do canal $d_1(x)$ (determinada adiante) no modo de operação a e na região $0 < x < \gamma$, no modo de operação b, deve decrescer gradualmente na direção x. Desse modo $d_1(x)$ deve satisfazer a condição:

$$\left(\frac{\partial d_1(x)}{\partial x} \right)^2 \ll 1. \quad (3.36)$$

Potencial na região de transição $\Phi_{Bt}(x,y)$

$$d_1(x) < y < d_1(x) + d_2$$

A solução da equação de Poisson (3.17) nesta região é obtida considerando-se as condições de contorno e considerando-se que esta região tem interface com as demais regiões, ou seja: com o canal neutro, com a região totalmente depletida e com a região de transição fortemente depletida (ver fig. 3.10).

A solução $\Phi_{Bt}(x,y)$ é a solução geral para o potencial na região nos modos a e b.

Deve-se observar a continuidade do potencial Φ_B e de $\partial \Phi_B / \partial y$ na interface entre a região do canal e a região de transição ou seja em $y = d_1$.

A expressão geral para $\Phi_{Bt}(x,y)$ e as regiões de validade estão na página seguinte. O termo que contém α na expressão, apesar de nulo para as regiões de validade indicadas, é mantido para identificar as semelhanças com a expressão de Φ_{Bt}' na região de transição fortemente depletida.

Φ_{Bt} (Φ_B NA REGIÃO DE TRANSIÇÃO)

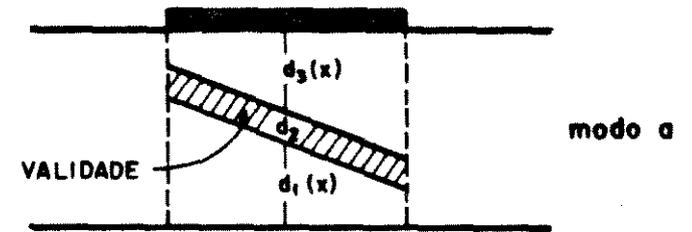
$$d_1(x) < y < d_1(x) + d_2$$

$$\Phi_{Bt}(x,y) = \frac{-q N_D}{4\epsilon_0\epsilon_r} (y - d_1)^2 + \frac{q N_D}{2\epsilon_0\epsilon_r} \left(\frac{d_2}{\pi}\right)^2 \left[1 - \cos \frac{\pi(y - d_1)}{d_2} \right] + \frac{q N_D}{\epsilon_0\epsilon_r} \cdot \alpha \cdot (x - \gamma) \left[\frac{1}{2} \left(\frac{d_2}{\pi}\right)^2 \cos \frac{\pi(y - d_1)}{d_2} - \frac{(y - d_1)^2}{4} \right] + \begin{cases} f_a(x) \\ \text{ou} \\ f_b(x) \end{cases} \quad (3.37)$$

sendo

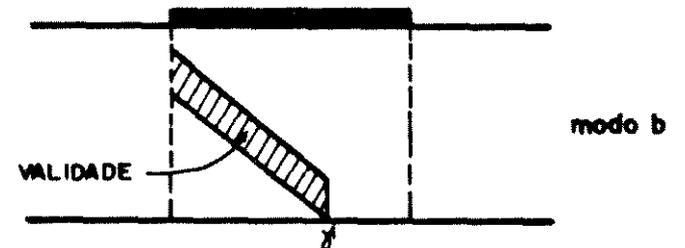
$$f_a(x) = \frac{V_B}{L_g} \cdot x$$

Válido para o modo de operação a
(neste caso $\alpha = 0$ e o terceiro
termo de Φ_{Bt} é nulo)



$$f_b(x) = \frac{V_{PCO}}{\gamma} \cdot x$$

Válido para o modo b e no intervalo
 $0 < x < \gamma$
(Neste modo e neste intervalo ($\alpha = 0$)
veja comentário no texto.)



Potencial na Região de Depleção $\Phi_{Bd}(x,y)$

$$d_1(x) + d_2 < y < a$$

A solução da equação de Poisson 3.17 nesta região é identificada por $\Phi_{Bd}(x,y)$.

A solução nesta região para os dois modos de operação a e b é complementada com as funções $f_a(x)$ e $f_b(x)$, já definidas anteriormente para $\Phi_{Bt}(x,y)$ e com a função $g(x)$ para o modo de operação b no intervalo $\gamma < x < L_g$.

A solução Φ_{Bd} (eq. 3.39), no modo a, permite determinar a "tensão de estrangulamento (*pinch-off*) completa", V_{PCO} .

Esta tensão é dita completa pois inclui também a região de transição.

Assim V_{PCO} é determinada considerando-se $\Phi_{Bd}(x,y)$ no modo de operação a, tendo como condição de contorno (eq. 3.19) $\Phi_B(x,a) = -(V_{Bi} - V_{PF})$, na situação específica do modo de operação a quando $d_1(x) = 0$, em $x = L_g$, sendo que a tensão V_B é igual a V_{PCO} (ver fig. 3.11).

O resultado para V_{PCO} é:

$$V_{PCO} = \frac{q N_D}{2\epsilon_0 \epsilon_r} (a - d_2)^2 + \frac{q N_D}{2\epsilon_0 \epsilon_r} d_2 (a - d_2) + \frac{q N_D}{2\epsilon_0 \epsilon_r} \left(\frac{1}{2} - \frac{2}{\pi^2} \right) d_2^2 - (V_{Bi} - V_{PF}) \quad (3.38)$$

V_{PCO} é conceitualmente equivalente à tensão V_{Dsat} , definida nos modelos clássicos ou unidimensionais, entretanto, V_{PCO} inclui também a região de transição.

A solução $\Phi_{Bd}(x,y)$ e as regiões de validade estão na página a seguir:

Φ_{Bd} (Φ_B NA REGIÃO DE DEPLEÇÃO)

$$d_1(x) + d_2 < y < a$$

$$\Phi_{Bd}(x,y) = -\frac{q N_D}{2\epsilon_0\epsilon_r} \left[y - (d_1 + d_2) \right]^2 - \frac{q N_D}{2\epsilon_0\epsilon_r} d_2 \left[y - (d_1 + d_2) \right] \left[1 + \alpha(x)(x - \gamma) \right] + \frac{q N_D}{\epsilon_0\epsilon_r} d_2^2 \left(\frac{1}{\pi^2} - \frac{1}{4} \right) - \frac{q N_D}{\epsilon_0\epsilon_r} \frac{d_2^2}{4} \left(1 + \frac{2}{\pi^2} \right) \alpha(x)(x - \gamma) + \begin{cases} f_a(x) \text{ ou} \\ f_b(x) \text{ ou} \\ g(x) \end{cases} \quad (3.39)$$

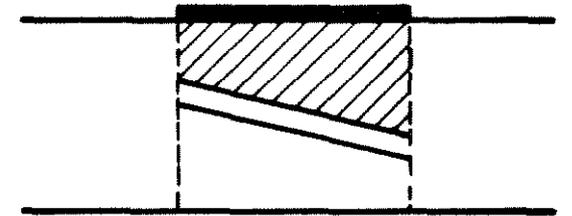
sendo: $f_a(x) = \frac{V_B}{L_g} x$ válido para o modo a com $\alpha = 0$

$f_b(x) = \frac{V_{PCO}}{\gamma} x$ válido para o modo b na região $0 < x < \gamma$ ($\alpha = 0$)

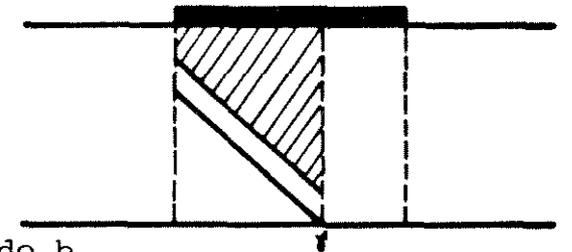
$g(x) = \frac{q N_D a^2}{2\epsilon_0\epsilon_r} \left(1 - \frac{d_2}{2a} + \frac{d_2}{\pi^2 a} \right) \frac{d_2}{a} \cdot \alpha(x)(x - \gamma) + V_{PCO}$

Válido para o modo b na região $\gamma < x < L_g$ e modo c com $d_1 = 0$

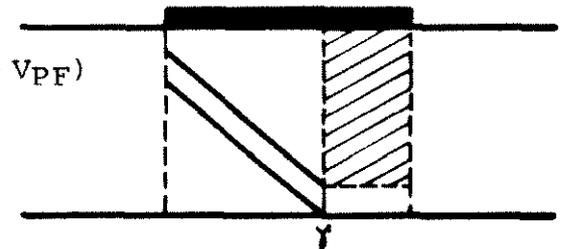
$V_{PCO} = \frac{q N_D}{2\epsilon_0\epsilon_r} (a - d_2)^2 + \frac{q N_D}{\epsilon_0\epsilon_r} d_2 (a - d_2) + \frac{q N_D}{\epsilon_0\epsilon_r} \left(\frac{1}{2} - \frac{2}{\pi^2} \right) d_2^2 - (V_{Bi} - V_{PF})$



modo a



modo b



modo b

A extensão da região de depleção $d_3(x)$ pode ser determinada a partir da expressão de Φ_{Bd} (eq. 3.39), considerando-se que:

$$d_3(x) = a - d_1(x) - d_2 \quad (3.40)$$

e a condição de contorno (3.19) $\Phi_{Bd}(x,a) = -(V_{Bi} - V_{PF})$. Assim:

$$d_3(x) = \sqrt{\frac{2\epsilon_0 \epsilon_r}{q N_D} \left[V_{Bi} - V_{PF} + f_{a,b}(x) \right] + d_2^2 \left(\frac{2}{\pi^2} - \frac{1}{4} \right) - \frac{d_2}{2}} \quad (3.41)$$

A partir de $d_3(x)$ é possível determinar $d_1(x)$ pela equação (3.40).

Convém observar que a expressão acima se reduz ao modelo unidimensional de junção abrupta quando se considera a região de transição nula, ou seja, $d_2 = 0$.

Potencial na Região de Transição Fortemente Depletida $\Phi_{Bt'}(x,y)$

$$0 < y < d_2$$

A solução da equação de Poisson 3.17 nesta região e identificada por $\Phi_{Bt'}(x,y)$ eq. 3.43, é válida para $\gamma < x < Lg$ e é obtida a partir de $\Phi_{Bt}(x,y)$ (eq. 3.37), fazendo-se $d_1(x) = 0$ e considerando as condições de contorno que exigem a função $g(x)$.

A expressão completa da solução obtida $\Phi_{Bt'}(x,y)$ e a região de validade estão mostradas na página a seguir.

Convém notar que as soluções obtidas para Φ_B sub-indexadas por c, t, d e t' indicam as regiões e regimes de operação em que são aplicáveis.

Um ponto característico para verificar a igualdade das soluções é o ponto A da fig. 3.10. Neste ponto $x = \gamma, y = d_2$ e $d_1 = 0$ o valor para Φ_B é dado por:

$$\Phi_B = \Phi_{Bd} = \Phi_{Bt} = \Phi_{Bt'} = - \frac{q N_D}{4\epsilon_0 \epsilon_r} d_2^2 + \frac{q N_D}{\epsilon_0 \epsilon_r} \left(\frac{d_2}{\pi} \right)^2 + V_{PCO} \quad (3.42)$$

Outro valor característico para o potencial Φ_B é para o ponto $x = \gamma$ e $y = 0$ e vale V_{PCO} .

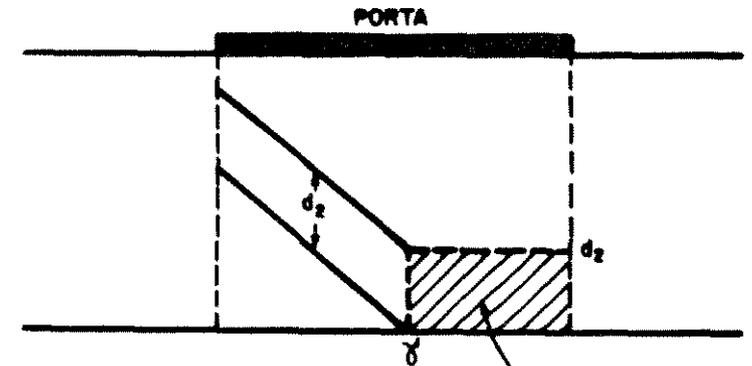
Φ_{Bt} (Φ_B PARA A REGIÃO DE TRANSIÇÃO FORTEMENTE DEPLETIDA)

$$0 < y < d_2$$

$$\Phi_{Bt}(x, y) = \frac{q N_D}{4\epsilon_0\epsilon_r} y^2 + \frac{q N_D}{2\epsilon_0\epsilon_r} \left(\frac{d_2}{\pi}\right)^2 \left(1 - \cos \frac{\pi y}{d_2}\right) + \frac{q N_D}{\epsilon_0\epsilon_r} \cdot \alpha \cdot (x - \gamma) \left[\frac{1}{2} \left(\frac{d_2}{\pi}\right)^2 \cos \frac{\pi y}{d_2} - \frac{y^2}{4} \right] + g(x) \quad (3.43)$$

$$g(x) = \frac{q N_D a^2}{2\epsilon_0\epsilon_r} \left(1 - \frac{d_2}{2a} + \frac{d_2^2}{\pi^2 a}\right) \frac{d_2}{a} \alpha \cdot (x - \gamma) + V_{PCO}$$

$$V_{PCO} = \frac{q N_D}{2\epsilon_0\epsilon_r} (a - d_2)^2 - \frac{q N_D}{2\epsilon_0\epsilon_r} d_2 (a - d_2) + \frac{q N_D}{2\epsilon_0\epsilon_r} \left(\frac{1}{2} - \frac{2}{\pi^2}\right) d_2^2 - (V_{Bi} - V_{PF})$$



VALIDADE DE 3.43
(REGIÃO DE TRANSIÇÃO
FORTEMENTE DEPLETIDA)

CONJUNTO DE EQUAÇÕES BÁSICAS

As soluções de potencial na região sob a porta constituem um conjunto de equações básicas que determinam o potencial sob a porta em diferentes modos de operação.

Consideramos que estas equações são as mais adequadas para se encontrar as variáveis terminais, permitindo também a inclusão de diversos outros fenômenos relacionados com o MESFET.

A partir destas equações é possível incorporar vários fenômenos no MESFET e analiticamente resolver as equações de transporte (corrente) obtendo-se, assim, um modelo integrado.

O roteiro de procedimentos apresentado nas seções anteriores objetiva fornecer um exemplo de análise (limitando-se apenas ao potencial sob a porta).

A continuidade desta análise é deixada para investigações futuras e depende, da profundidade e interesse da pesquisa em destacar elementos específicos do comportamento do dispositivo.

3.2.4. DOMÍNIOS DE CARGA ESTACIONÁRIOS: DESCRIÇÃO ANALÍTICA

A identificação de ocorrência dos domínios do tipo di polo de cargas, na estrutura MESFET, foi confirmada por vários au tores, como citado na seção 3.1.7.

A descrição qualitativa da formação desta dupla cam da de cargas no MESFET de GaAs foi descrita no capítulo 1.

Nas seções seguintes apresentamos um modelo analítico do domínio estacionário, baseado nos dados obtidos a partir de si mulações numéricas bidimensionais de uma estrutura MESFET, com o programa CUPID [59] [63].

Para descrever o domínio do tipo dipolo consideramos inicialmente uma amostra de semiconductor com resistividade dife rencial negativa (NDR), como o GaAs. O comprimento da amostra l , no caso do MESFET, é a distância entre os eletrodos de dreno e fonte e, é da ordem de 2 a 3 μm . A amostra é polarizada na re gião de mobilidade negativa na característica $v(E)$.

Inicialmente supõe-se que haja um centro de nucleação Δn do tipo depleção, devido à não uniformidade de dopagem ou flu tuação local da dopagem. Na interface com o metal da fonte existe uma camada de acumulação (estática), devida à junção metal-semi condutor. Esta situação inicial é mostrada na fig. 3.12b instante 1.

Como a não homogeneidade do campo (isto é, o dipolo inicial de cargas) está na região de declividade negativa $v(E)$, o domínio deve crescer [79]. No caso do semiconductor com resistivi dade diferencial positiva, qualquer perturbação local do equilí brio de cargas decai [79].

No ponto de campo máximo E_2 a velocidade de deriva dos elétrons é menor que fora da região de depleção Δn , onde tem um valor aproximado de E_1 ($v_1 > v_2$).

A diferença de velocidade faz com que, do lado da fonte mais cargas negativas se acumulam e do lado do dreno cresce

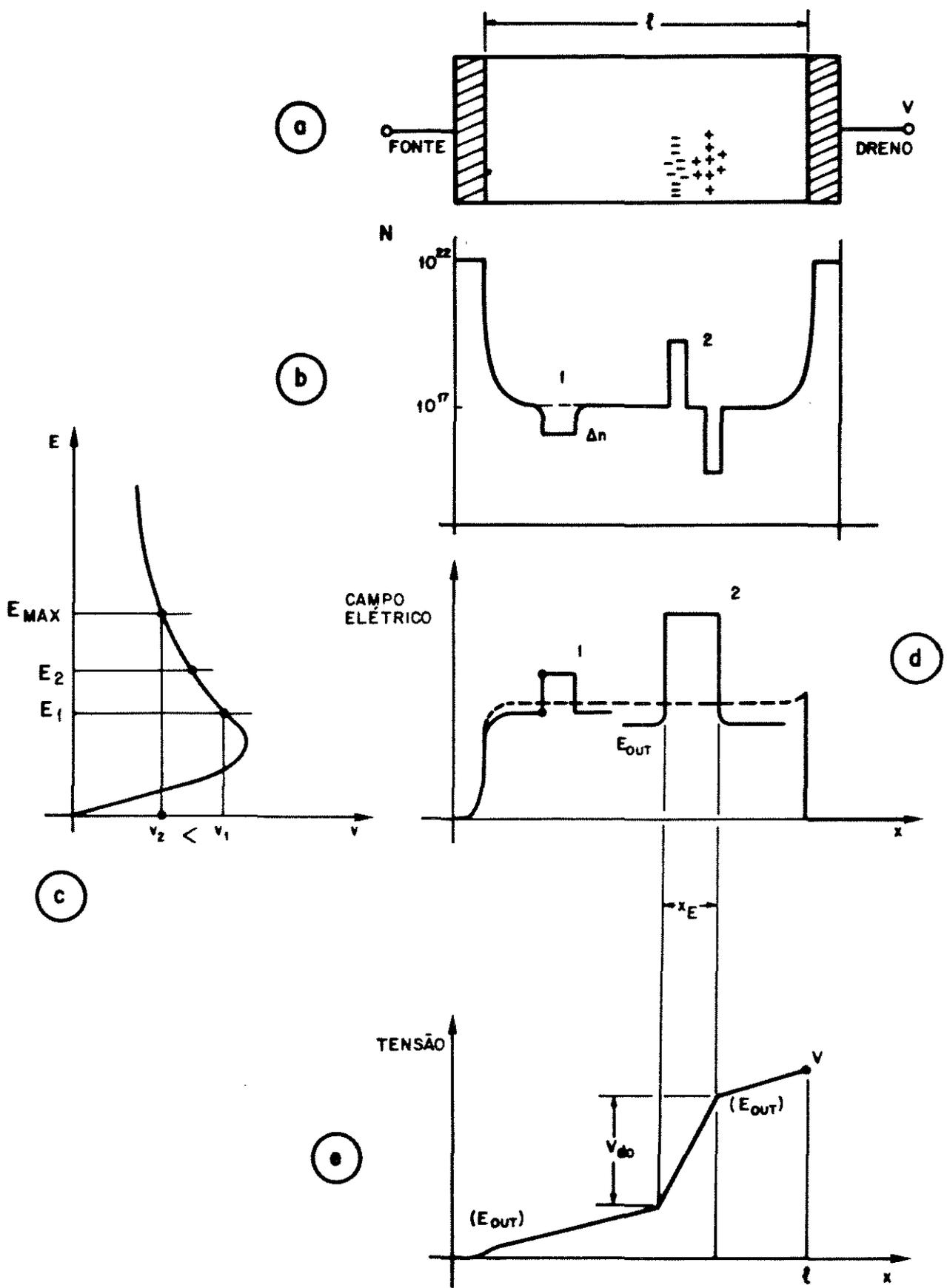


Figura 3.12 Nucleação e formação de um domínio do tipo dipolo em GaAs.
 a. Amostra de GaAs com contatos ôhmicos.
 b. Concentração de portadores picos de acumulação e depleção.
 c. Característica V-E para o GaAs.
 d. Campo elétrico.
 e. Tensão no dispositivo, para o instante 2 de (d).

a carga espacial positiva (depleção de elétrons). Como o domínio consiste de elétrons móveis, ele caminha até a situação mostrada no instante 2 da fig. 3.12b e, diz-se que o domínio está maduro.

Essa formação e aumento de carga espacial, nas duas zonas adjacentes à região de perturbação de campo elevado, exige um aumento na diferença do campo isto é, um crescimento de E_2 (agora $E_{m\acute{a}x}$) que deve ser associado a um decréscimo de E_1 (agora E_{out}), pois V é constante. (Observe a declividade das retas fig. 3.12e).

A fig. 3.12e mostra a tensão associada ao domínio V_{do} , também denominada potencial em excesso [79] ou tensão sustentada pelo domínio.

Neste modelo inicial é possível fazer uma estimativa da largura elétrica do domínio x_E :

$$V = E_{TOT} \cdot \ell = E_{M\acute{A}X} \cdot x_E + E_{OUT} (\ell - x_E) \quad (3.44)$$

Assim,

$$x_E = \ell \left(\frac{E_{TOT} - E_{OUT}}{E_{M\acute{A}X} - E_{OUT}} \right) \cdot \quad (3.45)$$

Neste modelo as camadas de acumulação e depleção do domínio têm espessura desprezível e, o campo elétrico no interior do domínio é constante, com valor $E_{M\acute{A}X}$, e, nas regiões fora do domínio, com valor E_{OUT} .

Nos dispositivos Gunn ou de "elétrons transferidos" TED, o deslocamento periódico do domínio, ao longo da amostra, é o efeito que determina a operação destes dispositivos.

Nas estruturas MESFETs a identificação dos domínios estacionários do tipo dipolo foi analisada por vários pesquisadores (ver seção 3.1.7).

A característica estacionária do dipolo foi aventada inicialmente por Bosch e Engelman [79] e, posteriormente verificada por Engelman e Liechti [55], incorporada em modelos por Shur e Eastman [57] e Shur [58]. Faricelli *et al.* [63] em simulações de comportamento transitório com o CUPID, verificam também que não há propagação dos dipolos de carga nas estruturas do tipo MESFET (1 a 0,5 μm de porta) mas admitem a existência deste dipolo portanto, estacionário.

O modelo do domínio do tipo dipolo, mostrado na fig. 3.12a, que supõe dois pequenos "pulsos" de variação da concentração de cargas e um perfil de campo retangular, é um modelo simplificado.

Um modelo mais elaborado para o domínio do tipo dipolo consiste em se supor um perfil do tipo triangular [46] [79].

A nucleação do domínio e sua "maturação" num semicondutor com NDR pode ser representado pela fig. 3.13, onde aparece a forma triangular do campo elétrico.

Uma pequena flutuação local da dopagem, instante t_1 da fig. 3.13a, propicia, num semicondutor com NDR, o crescimento desta perturbação (instante t_2) até a maturação do domínio, instante t_3 . Para haver nucleação, o campo máximo deve ser maior que o campo limiar E_T (que é o campo de pico da característica $v(E)$ do GaAs).

Para este domínio triangular (fig. 3.13 instante 3) a largura elétrica do domínio é dada por [46] [79].

$$x_E = \left(\frac{2\epsilon_0\epsilon_r}{q \cdot N_D} V_{do} \right)^{1/2} \quad (3.46)$$

sendo

$$V_{do} = \int_{E > E_{OUT}} (E - E_{OUT}) dx = \frac{1}{2} (E_{M\acute{A}X} - E_{OUT}) x_E \quad (3.47)$$

Da mesma forma que para o modelo do domínio retangular, a tensão total no dispositivo é dada por:

$$V = V_{do} + E_{OUT}(l - x_E)$$

Nos dois modelos apresentados (retangular e triangular) a largura elétrica do domínio x_E , é tomada como a largura da região de campo que excede E_{OUT} e coincide com a distância entre os extremos de perturbação da concentração de portadores. Nas simulações bidimensionais que mostraremos nas seções seguintes, definiremos duas dimensões associadas ao domínio, que guardam uma relação simples entre si.

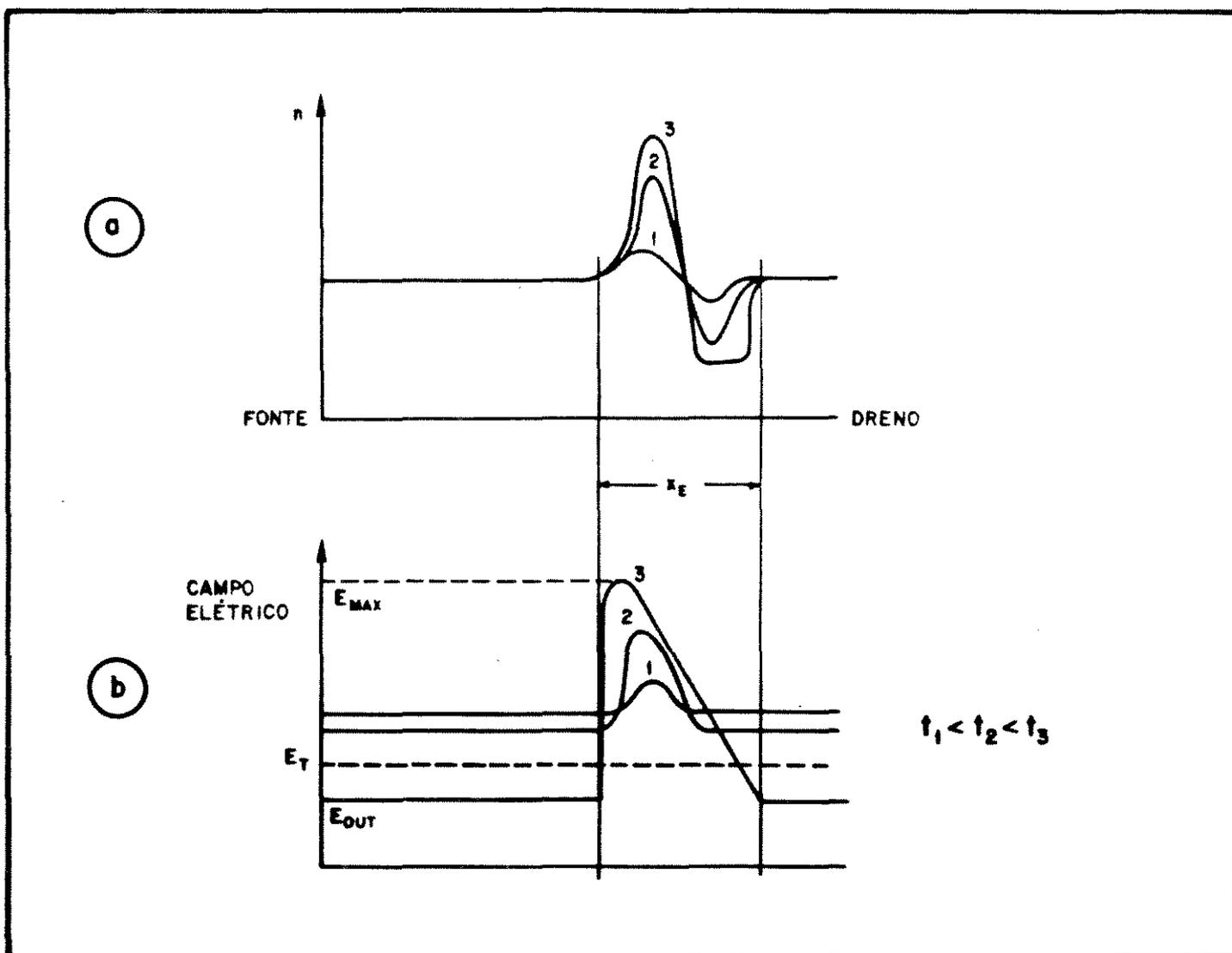


Figura 3.13 Nucleação e maturação do domínio do tipo dipolo e triangular.
 a. Três instantes de crescimento de uma flutuação local de dopagem (instante 1) até a formação do dipolo de cargas formando o domínio.
 b. Evolução do campo elétrico nos três instantes de tempo.

3.2.5. PROGRAMA DE SIMULAÇÃO BIDIMENSIONAL PARA MESFETs DE GaAs: CUPID

Este programa, denominado "Cornell University Program for Integrated Devices", resolve as equações de Poisson e da continuidade de corrente que são acopladas não-linearmente pela velocidade e difusividade dos elétrons, v e D , ambas dependentes do campo:

$$\nabla^2 \Phi = - \frac{q}{\epsilon_0 \epsilon_r} \left[N_D - n(x,y) \right] \quad (3.49)$$

$$q \cdot \frac{\partial n}{\partial t} = \nabla \cdot J \quad (3.50)$$

$$J = q n v + qD \nabla n \quad (3.51)$$

$$J_{TOT} = J + \epsilon_0 \epsilon_r \cdot \frac{\partial E}{\partial t} \quad (3.52)$$

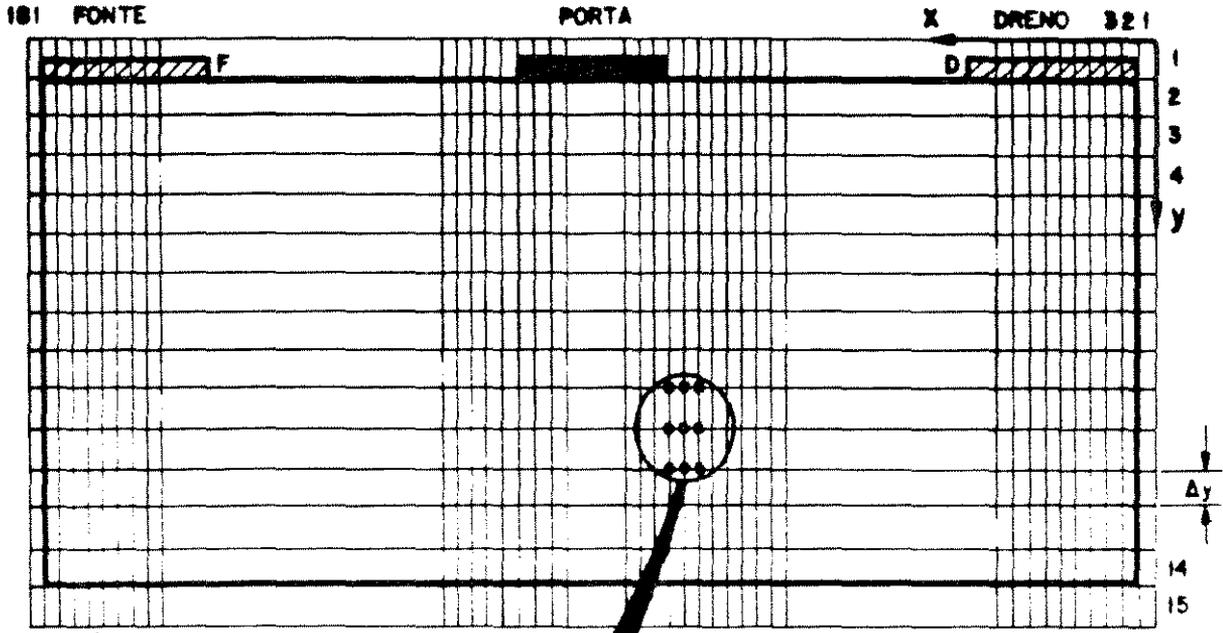
Estas equações diferenciais parciais são convertidas na forma de diferenças finitas usando uma aproximação de 5 pontos.

O programa assume uma geometria bidimensional, fig. 3.14, num retângulo semiconductor. Uma grade com malha retangular é atribuída ao espaço do semiconductor onde existe a região ativa do dispositivo.

Uma característica importante deste programa de simulação é a opção que ele apresenta de se poder atribuir valores realísticos da velocidade de elétrons em função do campo elétrico e mesmo da difusividade D (eq. 3.51) em função do campo elétrico nas duas direções (difusividade anisotrópica no GaAs). Isso confere à simulação maior proximidade com a realidade dinâmica do dispositivo.

SIMULAÇÃO BIDIMENSIONAL CUPID (DIFERENÇAS FINITAS)

MESFET DE GaAs
(PORTA SUBMICRON)

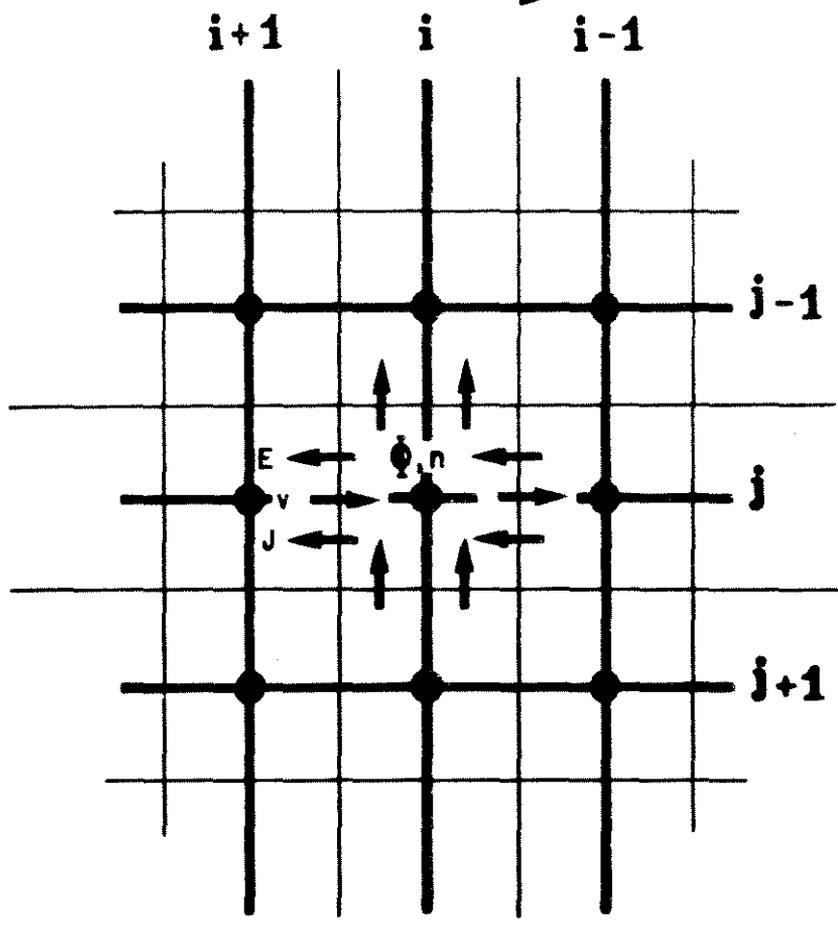


GRADE SUPERPOSTA À
ESTRUTURA DO MESFET
COM MALHA $\Delta x \times \Delta y$

(PORA DE ESCALA) Δx

$$\Delta y \leq \Delta x \leq L_D$$

L_D : COMPRIMENTO
EXTRINSECO
DE DEBYE



V_{DF}, V_{PF}
 I, ϕ, E, n

EQUAÇÃO DE POISSON
EQUAÇÃO DA CONTINUIDADE
EQUAÇÕES DE TRANSPORTE

Figura 3.14 Grade superposta a estrutura do MESFET para simulação bidimensional num esquema de diferenças finitas.

Os portadores minoritários são desprezados, bem como deixam de ser considerados: os efeitos de recombinação, os efeitos transitórios de transporte ("overshoot" de velocidade), a produção e o fluxo de calor na estrutura.

Os métodos numéricos adotados para a solução da equação de Poisson e de continuidade são descritos em linhas gerais em [59] e, na ref. [63], é apresentada a análise de transitórios adotados pelo CUPID.

O espaçamento da malha deve ser suficientemente fino para resolver adequadamente a variação da quantidade física em uma aglomeração de partículas. Entretanto, existe um compromisso para que o número de nós na malha não seja excessivo, o que exigiria um elevado tempo de processamento para haver convergência na solução.

Para isso, toma-se o comprimento extrínseco de Debye, eq. 3.14, como espaçamento máximo permitido para os pontos (nós) da malha.

A partir da descrição da geometria do dispositivo, das condições iniciais de operação, V_{DF} e V_{PF} , (condições de contorno) e, das características do material semiconductor $v(E)$ e $D(E)$, um programa denominado SETUP monta o arquivo de dados para o CUPID. A partir do SETUP, o CUPID, através do programa MAIN, calcula as diversas soluções. Estas são apresentadas da seguinte forma: densidades de corrente (dreno, porta e fonte) a cada intervalo de tempo, até a convergência, distribuição do potencial, campo elétrico longitudinal e transversal e, a concentração de partículas (cargas móveis).

A convergência da solução da equação de Poisson para o potencial é admitida quando a diferença entre dois valores calculados em iterações sucessivas for menor que kT/q .

Para determinação da convergência da corrente estabelece-se uma diferença (erro) aceitável para as 3 correntes calculadas até que:

$$I_D \cong I_F \cong I_{\text{CANAL}} \quad (3.53)$$

sendo I_D a corrente que entra no dreno, I_F a corrente que sai do eletrodo fonte e I_{CANAL} a corrente calculada que flui no canal, calculada como:

$$I_{\text{CANAL}} = \frac{\sum_{i=D}^F I_i}{F - D + 1} \quad (3.54)$$

sendo I_i a corrente que cruza a i -ésima seção do canal e, F e D correspondem ao número do nó da extremidade da fonte e dreno, respectivamente, (ver fig. 3.14).

3.2.6. CARACTERIZAÇÃO ELÉTRICA E DIMENSIONAL DOS DOMÍNIOS ESTACIONÁRIOS VIA SIMULAÇÃO

A formação da camada de dipolo em MESFETs de GaAs, e o papel desempenhado por este domínio GUNN, foram amplamente analisado na literatura e no cap. 1 e seção 3.1.7 deste trabalho. Entretanto, a localização do centro do domínio, ou seja, a posição onde ele ocorre, sua extensão no canal e a tensão que ele suporta não foram objeto de análise mais precisa.

A localização espacial correta do domínio e sua dimensão, resultam na determinação mais precisa da parcela da tensão dreno e fonte que o domínio suporta. A partir daí, as parcelas restantes da tensão dreno-fonte atribuídas à queda nas regiões do canal e nas resistências de contato podem ser melhor estimadas.

O objetivo desta seção é apresentar resultados numéricos a partir da simulação de MESFETs de GaAs, de identificação da posição de ocorrência dos domínios, sua extensão e a tensão por ele sustentada. São apresentados critérios adotados para definição destas variáveis em função da tensão de polarização da porta e tensão dreno-fonte, V_{DF} , em regime de saturação.

SIMULAÇÃO

A simulação dos MESFETs de GaAs foi executada com o programa CUPID e com dados típicos (e mais realísticos) de dopagem, comprimento da porta, espessura da camada ativa e parâmetros do material (ver seção 3.2.5) e figuras 3.15, 3.16 e 3.17.

Para cada par (V_{DF} , V_{PF}) de entrada obteve-se a descrição bidimensional do potencial eletrostático, das componentes horizontais e verticais do campo elétrico e a concentração de cargas em toda extensão da região ativa do dispositivo.

A partir desta descrição fez-se análise dos dados visando a identificação e qualificação dos domínios, segundo os critérios descritos a seguir, |79A|.

CRITÉRIOS DE IDENTIFICAÇÃO DOS DOMÍNIOS

Na descrição bidimensional de densidade de cargas, para cada posição y , a partir da fronteira da camada ativa com o substrato SI, identifica-se o centro do domínio x_C , na posição x para a qual existe uma transição de acumulação de portadores para depleção de portadores. A ocorrência destas se dá a uma distância de 1 a 5 Δy , ou seja, a "altura" do domínio varia de 1 a 5 Δy (ver fig. 3.14).

Identificam-se, em cada linha horizontal, as ocorrências de máxima acumulação e máxima depleção. Não havendo concorência destas ocorrências para a mesma posição x , faz-se a ponderação entre as várias posições e definem-se os valores de pico. O intervalo entre máximo e mínimo é o tamanho do domínio, x_{dom} .

A tensão sustentada pelo domínio V_{dom} , é tomada como a diferença entre os potenciais eletrostáticos nas posições de máxima acumulação e máxima depleção.

ANÁLISE DOS RESULTADOS DA SIMULAÇÃO

A fig. 3.15 mostra que a posição do centro do domínio depende fortemente da polarização de porta e se desloca para a região sob este eletrodo, à medida que se aumenta esta tensão. Nessa figura pode-se observar também uma menor dependência com a tensão de dreno-fonte.

Para tensões de porta zero e -1.0 V, o deslocamento da posição do centro, à medida que se aumenta V_{DF} , é relativamente comportado. Para tensões mais negativas de porta (-2.0 V e -2.5 V), surgem oscilações da posição do centro do domínio, que podem ser atribuídas a dois fatores:

- a) Para estas tensões de porta se formam domínios de grande extensão (fig. 3.16) com grande assimetria de região de acumulação com a região de depleção tornando menos precisa a identificação do centro.
- b) Ainda, só há ocorrência de domínios para estas tensões em um, ou, no máximo, dois intervalos Δy ou seja, o domínio é de pequena "altura" e localiza-se no fundo do canal, o que dificulta sua caracterização.

Os resultados sintetizados na fig. 3.15 mostram claramente que o domínio se desloca sob a porta, podendo atingir quase um terço da dimensão da porta, além dos limites desta em direção ao dreno, ou deslocar-se para sob a porta aproximadamente metade da dimensão desta.

Outro resultado da simulação, indica que a posição de ocorrência do campo máximo longitudinal (horizontal), $E_{m\acute{a}x}$, do domínio é sempre muito próxima e em torno da extremidade da porta do lado do dreno. Praticamente não depende da polarização de porta e este ponto desloca-se ligeiramente em direção ao dreno com o aumento de V_{DF} . Isto implica em que há coincidência do ponto de ocorrência de $E_{m\acute{a}x}$ com o centro do domínio para tensões V_{PF} próximas de zero. A partir daí, a posição em x da ocorrência de $E_{m\acute{a}x}$ não acompanha o deslocamento do centro de domínio.

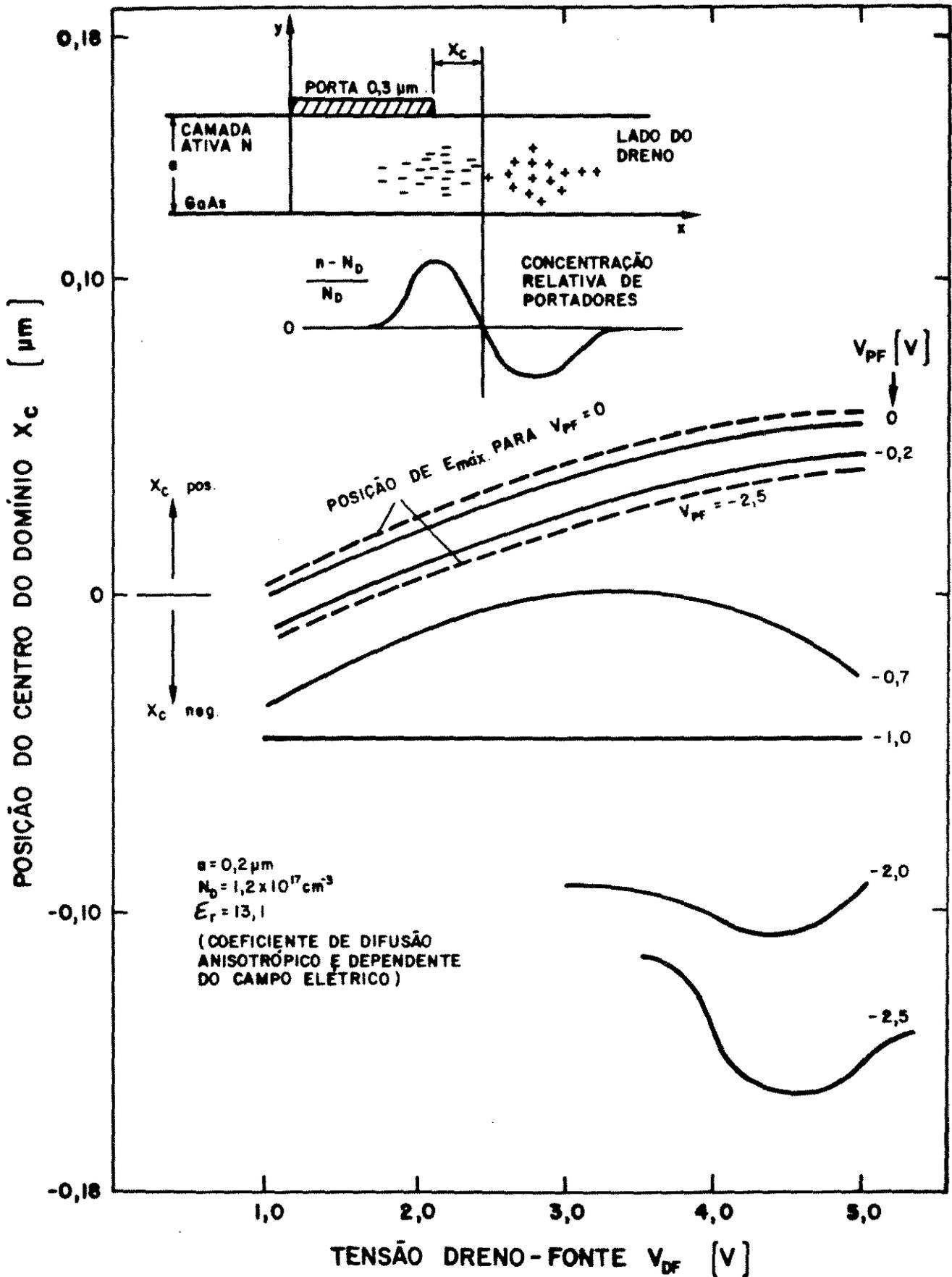


Figura 3.15 Posição do centro do domínio, x_c , relativa à extremidade da porta (do lado do dreno), em função da tensão aplicada de dreno-fonte, V_{DF} , para diferentes valores de V_{PF} (linhas cheias). As linhas tracejadas indicam a posição de E_{max} para dois valores extremos de V_{PF} .

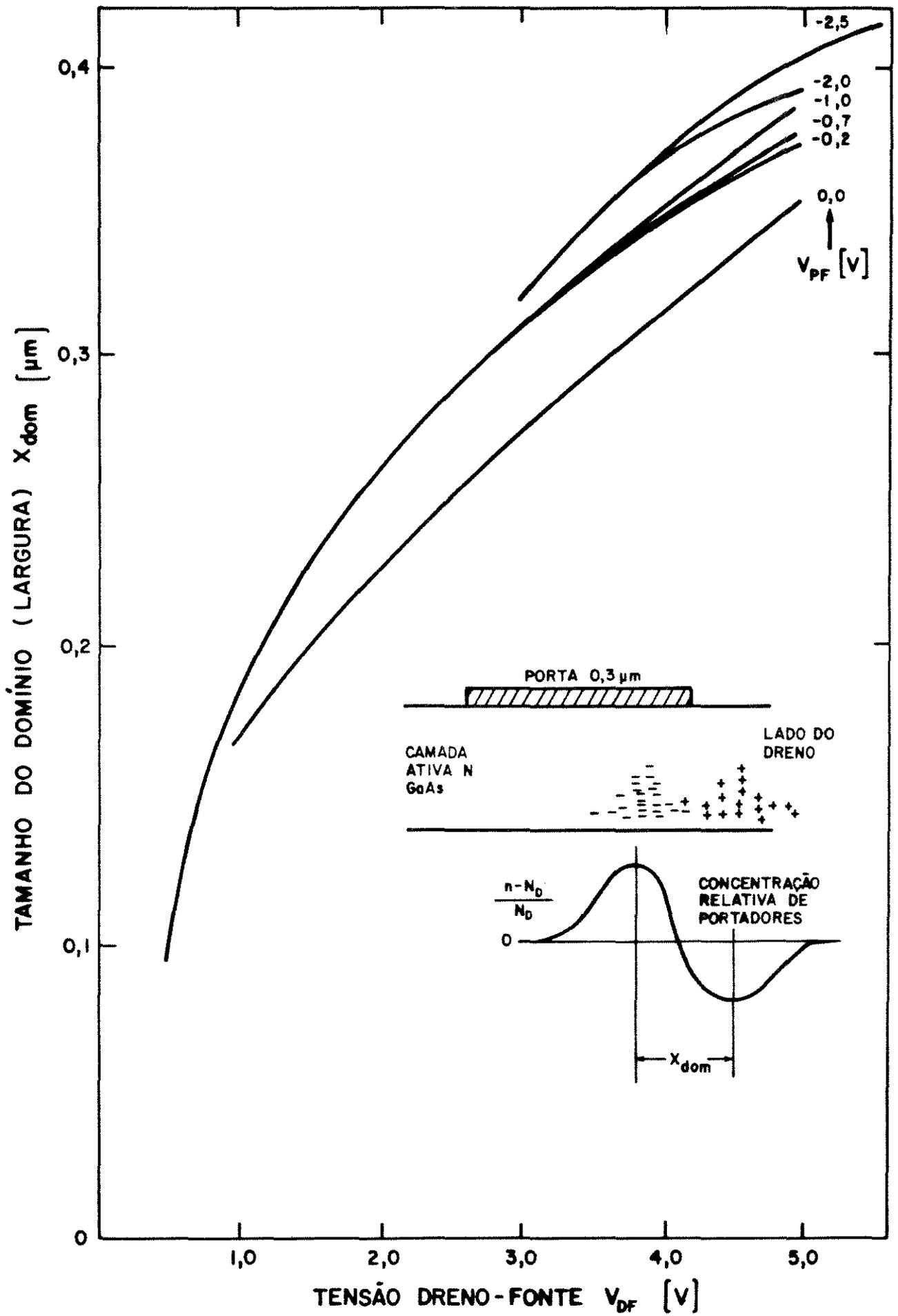


Figura 3.16 Tamanho do domínio, X_{dom} , em função da tensão aplicada de dreno-fonte. Mesmas condições da Figura 3.15.

A "altura" do domínio estacionário para as condições adotadas nesta simulação, variou de um a cinco espaçamentos Δy atingindo a altura máxima de 750 \AA , a partir do fundo da camada ativa.

A "altura" do domínio depende fundamentalmente da tensão de polarização da porta, decrescendo à medida que se aumenta a tensão negativa de porta. Ou seja, o domínio é comprimido ou achatado para o fundo da camada ativa, à medida que se aumenta a região de depleção.

A fig. 3.17 mostra a perfeita linearidade da tensão sustentada pelo domínio, em função da tensão total aplicada V_{DF} e, a pequena dependência desta tensão com a polarização de porta. Este resultado, que já era esperado em função do regime de saturação no interior do domínio, dá uma clara indicação de que os critérios de quantização do domínio aqui apresentados são coerentes.

Assim, descrevemos a seguir as principais conclusões e fatos qualitativos associados ao domínio estacionário resultantes da simulação bidimensional:

- . O domínio estacionário, quando se forma numa estrutura típica de MESFET de GaAs, desloca-se sob a porta e este deslocamento está mais intensamente associado às variações da polarização de porta do que V_{DF} .
- . O tamanho (extensão) do domínio está associado diretamente à tensão de V_{DF} e depende fracamente da polarização de porta.
- . A "altura" do domínio é função de V_{PF} e atinge o valor máximo em torno de um terço da espessura da camada ativa.
- . A tensão suportada pelo domínio é tipicamente 75% da tensão total aplicada V_{DF} , depende linearmente desta e é pouco sensível à polarização da porta.
- . A posição de ocorrência de campo máximo, do domínio $E_{\text{máx}}$ é sempre próxima da extremidade da porta do lado do dreno. Varia pouco com V_{DF} e só coincide com o centro do domínio para tensões de porta em torno de zero. Assim, a localização do campo externo ao domínio E_{out} , proposto por Shur e Eastman [57] exata

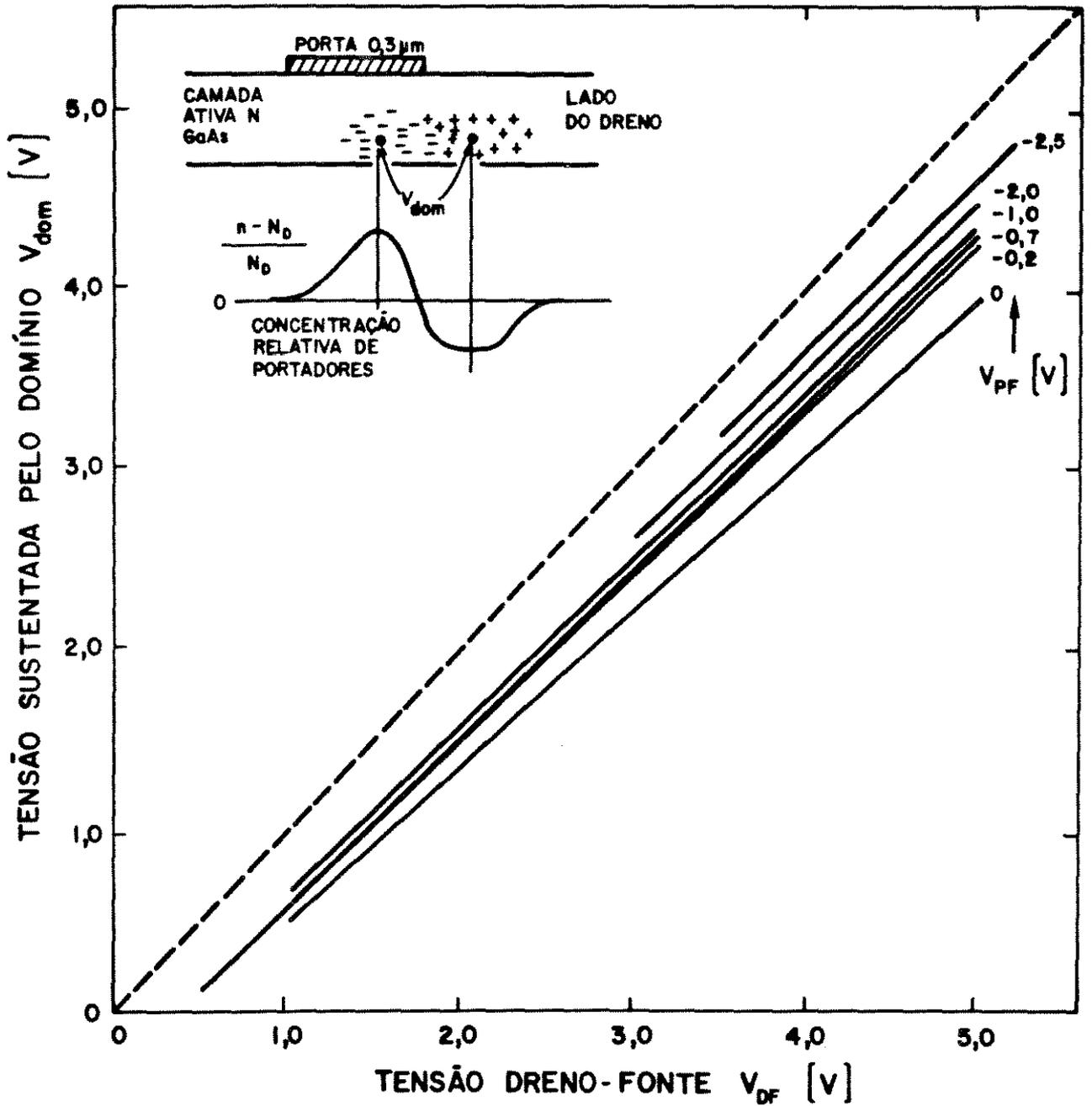


Figura 3.17 Tensão sustentada pelo domínio, V_{dom} , em função da tensão aplicada de dreno-fonte, para diferentes valores de V_{PF} . Mesmas condições da Figura 3.15.

mente na extremidade da porta, pode resultar em super-avaliação deste campo em até 2 ordens de grandeza, pois, aí justamente está localizado o campo máximo, como indicado pelas simulações obtidas nesta seção.

- . O deslocamento do centro do domínio com relação a $E_{m\grave{a}x}$, para tensões V_{pf} bem mais negativas, aparentemente, viola a regra de "áreas iguais" para os domínios estacionários [46], que exige que o campo máximo coincida com a condição de $n = N_D$. Entretanto, convém ressaltar que os resultados apresentados aqui são provenientes da simulação bidimensional, ao passo que a regra de "áreas iguais" surge de um modelo analítico e unidimensional.

Ainda a regra de "áreas iguais", supõe, para facilitar o tratamento analítico [46], que a difusividade D é constante, ao passo que na simulação bidimensional aqui adotada, a difusividade é função do campo elétrico.

- . Apesar de Yamaguchi *et al.* [57] indicarem que não se formam domínios para espessura da camada ativa muito fina, os resultados aqui apresentados mostram que esta generalização não pode ser feita, pois a formação de domínios depende ainda da dopagem e situação de polarização.

Os resultados apresentados sugerem a necessidade de um tratamento analítico para explicitar as relações de tamanho, posição, localização e campo elétrico de domínios estacionários em MESFETs de GaAs ou dispositivos semelhantes.

Para a completa caracterização dos domínios e sua participação na dinâmica do dispositivo é necessário estender, ainda, a análise para diferentes valores de dopagens e espessuras da camada, bem como avaliar a influência da camada buffer [40] na formação destes domínios.

3.2.7. LOCALIZAÇÃO ANALÍTICA DO CAMPO ELÉTRICO NA REGIÃO DO DOMÍNIO

Os resultados numéricos relatados nas seções anteriores permitem alocar com maior precisão o perfil do campo elétrico na região do domínio estacionário.

Alguns autores que posicionam o domínio de cargas sob a porta, o fazem mediante alguma consideração ou simplificação de ordem geométrica [54] [57]. Esta localização sempre resulta no posicionamento do centro do domínio (e todo domínio) além da extremidade da porta, do lado do dreno e, o campo máximo do domínio é localizado sempre além da extremidade da porta. O modelo que propomos altera essa interpretação.

A primeira consideração sobre o campo elétrico na região do domínio é determinar que $E_{m\acute{a}x}$ ocorre sempre próximo à extremidade da porta do lado do dreno, quase que independente da polarização, (ver fig. 3.15, linha tracejada).

A forma de variação deste campo de ser considerada uma função quadrática de x , de modo similar à proposta por [57], considerando, entretanto, que $E_{m\acute{a}x}$ ocorra na extremidade da porta. A análise dos dados numéricos do campo elétrico longitudinal, obtidos por simulação, mostrados na fig. 3.18 em uma situação em forma de exemplo de polarização, permitiram definir uma expressão para este campo.

A equação que melhor descreve a região de altos campos no interior do domínio, considerando-se $E_{MAX} \gg E_{OUT}$, é:

$$E(x) = E_{MAX} \left[1 - 4 \left(\frac{x - L_g}{x_E} \right)^2 \right] \quad (3.55)$$

para

$$|x - L_g| \leq \frac{x_E}{2}$$

Campo Elétrico E77

$V_{DF} = 35$
 $V_{PF} = -20$

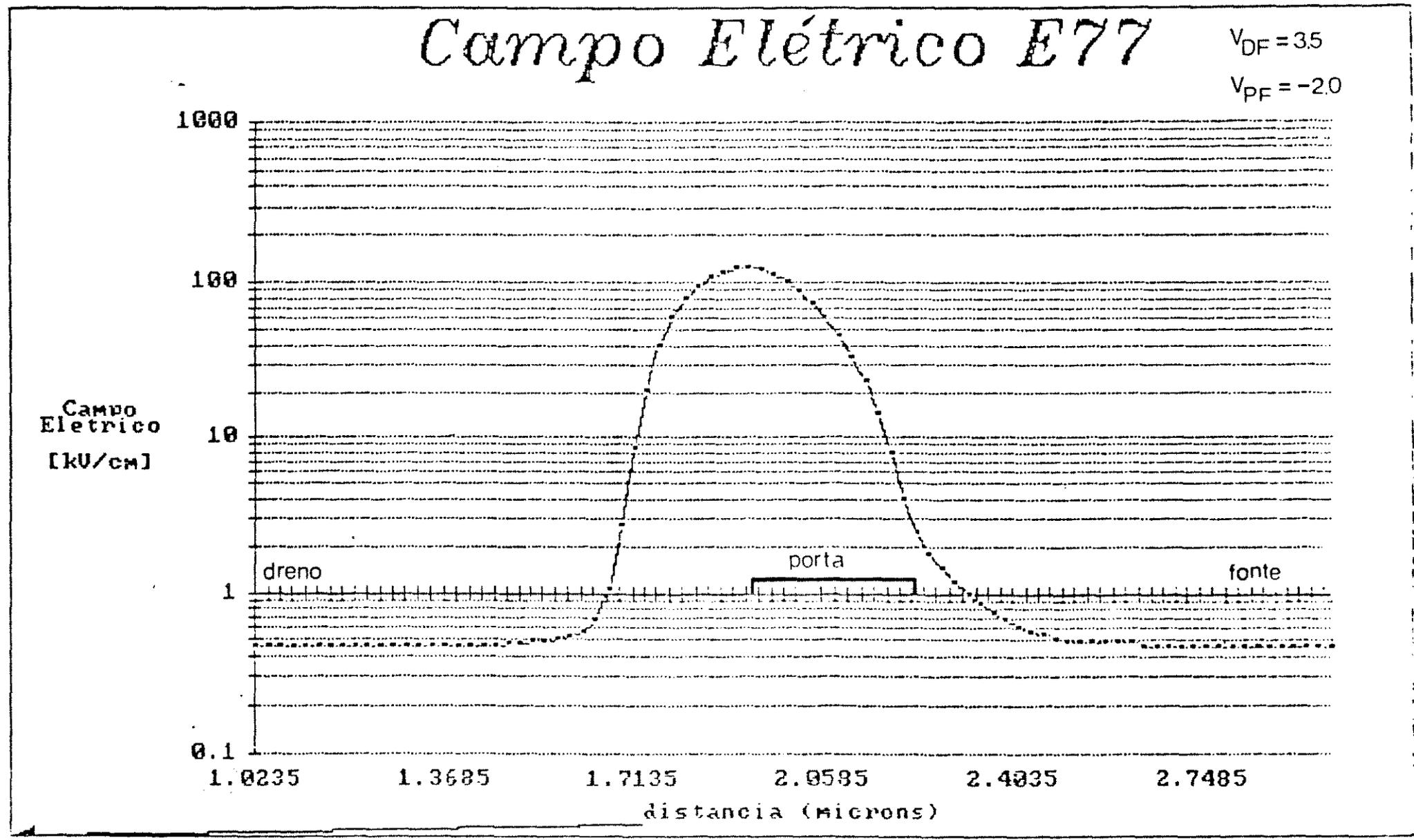


Figura 3.18 Campo elétrico longitudinal no MESFET de GaAs. Simulação bidimensional (mesmas condições da figura 3.15).

$$E(x) = E_{OUT} \quad \text{para} \quad |x - L_g| > \frac{x_E}{2} \quad (3.56)$$

sendo:

E_{OUT} - valor do campo elétrico fora da região do domínio kV/cm

E_{MAX} - valor de pico do campo elétrico

x_E - largura elétrica do domínio.

A fig. 3.19 mostra o perfil de campo elétrico descrito por 3.55 e 3.56.

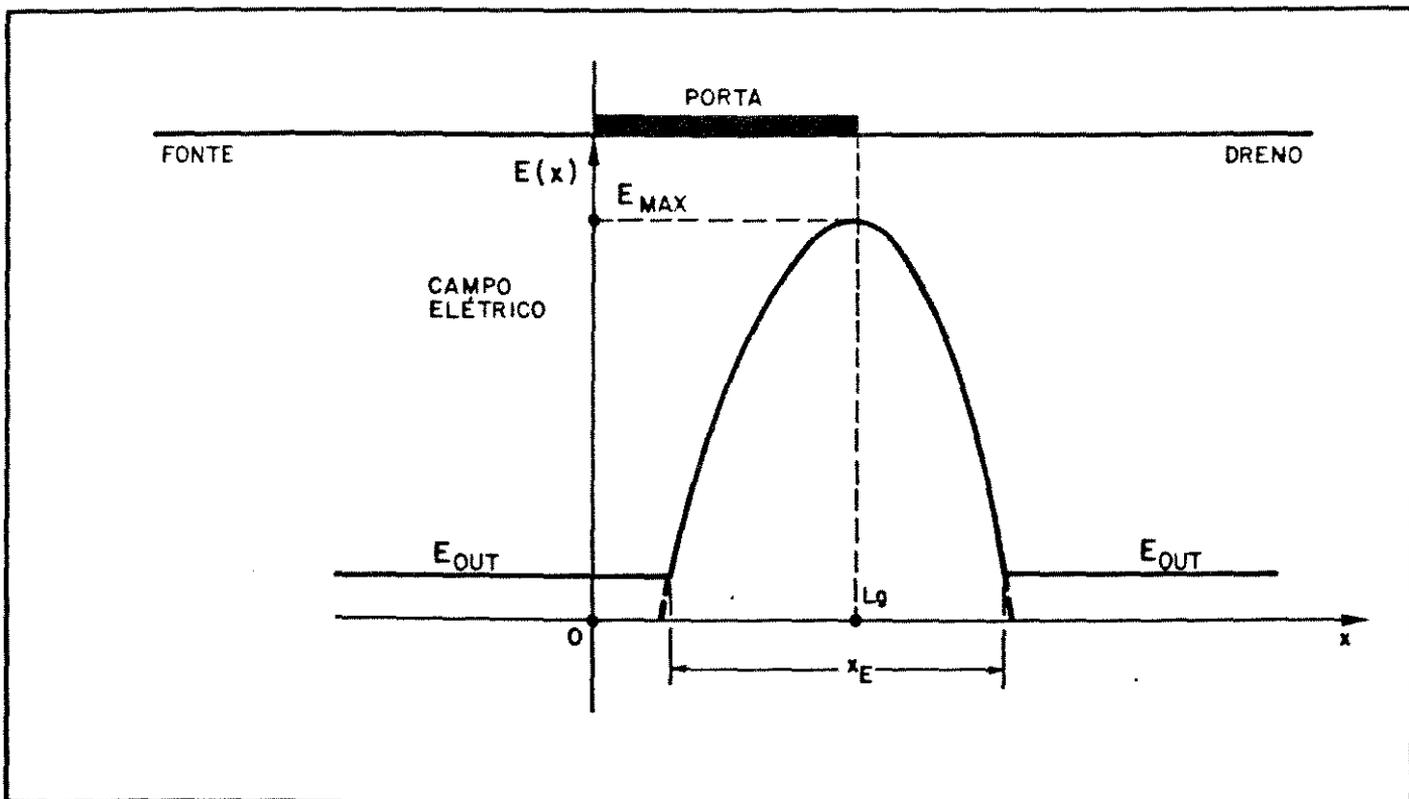


Figura 3.19 Perfil do campo elétrico na região do domínio, definido a partir de simulações numéricas.

Dos resultados da simulação numérica determina-se também que a relação entre o tamanho do domínio, x_{dom} , definido neste trabalho (ver fig. 3.16), e a largura elétrica x_E vale:

$$x_E = 2 \cdot x_{\text{dom}}. \quad (3.57)$$

Assim, as expressões 3.56 e 3.57 modificam-se para:

$$E(x) = E_{\text{MAX}} \left[1 - \left(\frac{x - L_g}{x_{\text{dom}}} \right)^2 \right] \quad (3.58)$$

para

$$|x - L_g| \leq x_{\text{dom}}$$

$$E(x) = E_{\text{OUT}} \quad \text{para} \quad |x - L_g| > x_{\text{dom}} \quad (3.59)$$

Estas equações descrevem com maior precisão a localização do campo elétrico no interior do domínio, se comparados com a expressão de Shur e Eastman [57]. As expressões aqui obtidas levam em conta adequadamente o fenômeno de ocorrência do campo máximo na extremidade da porta do lado do dreno.

3.3. ELEMENTOS DE CONTRIBUIÇÃO AO MODELAMENTO ANALÍTICO DE MESFETS DE GaAs

Nesta seção apresentamos um resumo dos principais elementos que observamos que podem ser incorporados nos modelos analíticos dos MESFETs de GaAs.

Em geral a determinação da característica I-V de transistores MESFETs é obtida analiticamente da forma que segue.

A distribuição de portadores é modelada por funções analíticas (ver eq. 3.12) e, a partir destas, são calculadas as distribuições de potenciais nas diversas regiões sob a porta. (Ver fig. 3.10 e as soluções da seção 3.2.3).

O campo elétrico é obtido analiticamente a partir da distribuição bidimensional do potencial. Em seguida os valores de $v(E)$ são calculados. Yamaguchi [49], por exemplo, utiliza a relação $v(E)$ de Trofimenkoff [17], enquanto Shur e Eastman [57] assumem a mobilidade para campos de pequeno valor em toda extensão da porta, deixando para a região depois da extremidade da porta a consideração de campos elevados. Mais recentemente Chang e Day [80] utilizaram a relação analítica de $v(E)$ proposta por Chang e Fetterman [81].

A partir da determinação da componente v_x da velocidade de elétrons e da difusividade determina-se a corrente total no canal.

Como é possível notar nas expressões do potencial (ver seção 3.2.3), estas contêm parâmetros α , γ e V_{PCO} que são determinados de forma iterativa. V_{PCO} é a tensão de pinch-off completa.

As distribuições de potencial, campo elétrico e densidade de corrente são calculadas em função de alguns parâmetros tais como k_2 e γ das seções 3.2.3.

Um dos parâmetros importantes no modelamento dos MESFETs é a tensão intrínseca sob a porta, V_{DF} , dada por

$$V'_{DF} = V_A + V_B = V_A + V_{PCO} + V_E, \quad (3.60)$$

conforme fig. 3.11.

No caso da solução proposta por Shur e Eastman [57], esta queda de potencial sob a porta é estimada, inicialmente, para se obter uma relação entre V_A e $V_B(k_2)$. A partir daí determina-se uma função

$$F(V_A) = I_{canal}(x=0) - I_{canal}(x=L_g) = 0 \quad (3.61)$$

e pelo método de Newton, $F(V_A) = 0$ é resolvida.

Nas simulações obtidas com os MESFETs de GaAs com porta submicron e dopagens típicas, identificamos, para uma centena de pares de tensões de polarização (V_{PF} , V_{DF}), que o valor da tensão intrínseca sob a porta, V'_{DF} , era relativamente constante, situando-se em torno de um terço da tensão V_{DF} total aplicada, ou seja:

$$V'_{DF} = \frac{1}{3} \cdot V_{DF}. \quad (3.62)$$

Este valor da tensão intrínseca sob a porta, como fração da tensão aplicada total não só é útil na estimativa inicial para os procedimentos do cálculo numérico para determinação de outras variáveis, como é uma informação conceitual útil no tratamento analítico simplificado de MESFETs de GaAs com portas submicron.

Ainda, ao contrário da proposta de localização do domínio estacionário apresentado por Shur e Eastman [57], Shur [58] e por Engelmann e Liechti [55], que propõem uma localização sempre após a extremidade da porta, do lado do dreno, mostramos que este domínio se desloca sob a porta.

Identificamos também que a tensão suportada pelo domínio, V_{dom} , nas condições e geometria submicron e para, aproximadamente, uma centena de pares (V_{PF} , V_{DF}), é praticamente 75% da ten

são V_{DF} total aplicada, ou seja:

$$V_{dom} = \frac{3}{4} \cdot V_{DF} \quad (3.63)$$

Estes dois valores "práticos" de V_{DF} e V_{dom} , permitem avaliar indiretamente o restante da queda de tensão ao longo do canal e contatos do dispositivo. Mostram, ainda, que, havendo uma penetração da região do domínio sob a porta, há uma superposição ("overlap") da tensão V_{DF} e V_{dom} .

Para explicitar a maneira como estes elementos podem ser incorporados ao modelamento analítico de MESFETs, elaboramos o quadro comparativo que se segue. Nele estão contidas as formulações clássicas, principalmente no que se refere a localização do domínio e a proposta determinada neste trabalho.

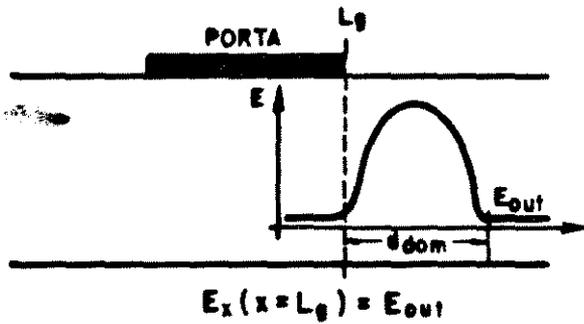


QUADRO COMPARATIVO ENTRE OS MODELOS EXISTENTES E A INCLUSÃO DE ELEMENTOS PROPOSTOS NESTE TRABALHO.

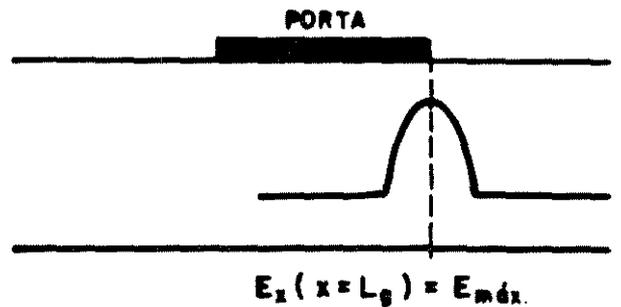
MODELOS EXISTENTES QUE INCLUEM O DOMÍNIO

PROPOSTA DESTE TRABALHO

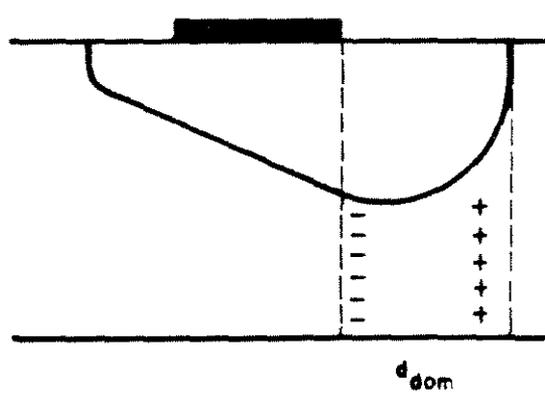
POSICÃO DO CAMPO MÁXIMO



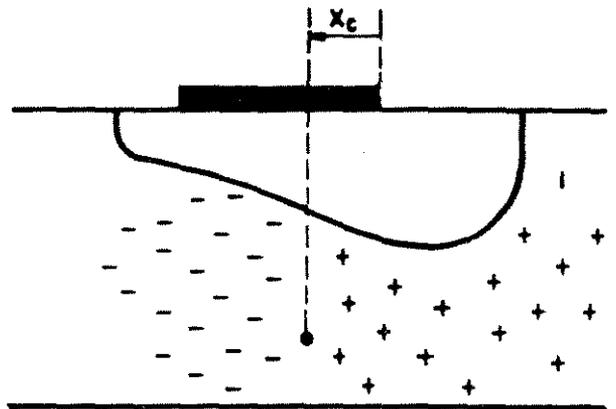
REF. 15711581



LOCALIZAÇÃO DO DOMÍNIO

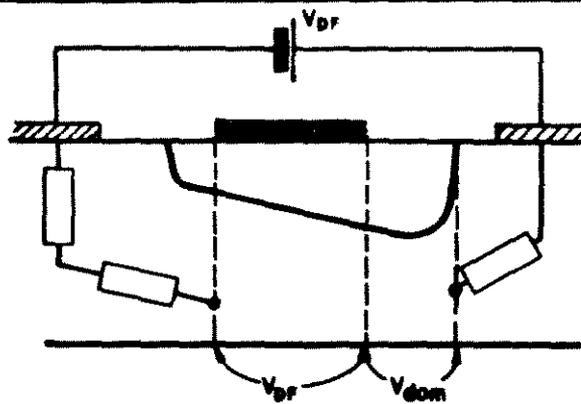


REF. 15711581



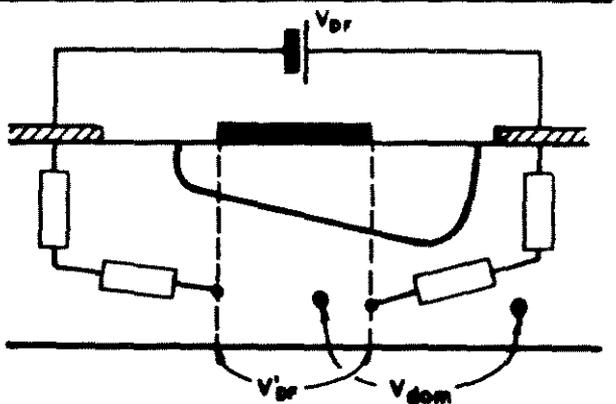
x_c - centro do domínio depende fortemente da polarização da porta.

CONTRIBUIÇÃO DAS PARCELAS DE TENSÃO



$$V_{dr} = V_{dr}' + V_{dom} + V_{RESIST.}$$

REF. 15711581



$$V_{dr}' = \frac{1}{3} V_{dr}$$

$$V_{dom} = \frac{3}{4} V_{dr}$$

$$V_{dr} = pV_{dr}' + qV_{dom} + V_{RESIST.}$$

(p e q a determinar pela super posição de V_{dr}' e V_{dom}).

	MODELOS EXISTENTES QUE INCLUEM O DOMÍNIO	PROPOSTA DESTE TRABALHO
(d)	$V_{dom} = \frac{4}{3} \sqrt{2} L_D \cdot \frac{E_c^2}{(E_{out} - E_s)^2}$	$V_{dom} \text{ determinada por simulação bidimensional em função de } V_{DF}$
	$E_c = \text{campo crítico } 3,2 \text{ kV/cm}$	$V_{dom} = \frac{3}{4} V_{DF}$
	$E_s = \frac{V_s}{\mu}$	$E(x) = E_{máx} \left[1 - 4 \left(\frac{x - L_g}{X_E} \right)^2 \right]$
V_{dom}	$E(x) = E_{out} + 4 \Delta E_{máx} \frac{x - L_g}{d_{dom}} \left(1 - \frac{x - L_g}{d_{dom}} \right)$	
$E(x)$		
	REF. 15711581	$X_E \cong 2x_{dom}$

É possível, através do modelo proposto neste capítulo com os resultados da seção 3.2.6, confirmar as conjecturas propostas por Engelmann e Liechti [55] sobre a acentuada queda do valor de capacitância de realimentação, C_{dp} , com o aumento de V_{DF} . De fato, experimentalmente se verifica que C_{dp} inicia uma queda abrupta à medida que V_{DF} ultrapassa a tensão de saturação.

Engelmann e Liechti [55] supunham que o decréscimo do valor de C_{dp} seria atribuído ao crescimento da camada dipolar (domínio) para V_{DF} além da região de saturação.

Realmente, os resultados da simulação apresentados neste capítulo indicam que (ver fig. 3.17) a tensão suportada pelo domínio, V_{dom} , aumenta linearmente com a tensão aplicada V_{DF} . Assim, a maior parte do potencial adicional de dreno-porta aplicado, além da tensão de saturação, não ocorre mais entre a extremidade da região de depleção do lado do dreno e a porta, como no MESFET no mo

do estrangulado (pinched-off). Este potencial adicional é absorvido pelo domínio, que age dinamicamente como uma capacitância série, reduzindo drasticamente o valor da capacitância de realimentação, C_{dp} , no dispositivo.

RECENTES PROGRESSOS NO MODELAMENTO DE MESFETs DE GaAs

O modelamento de MESFETs de GaAs e o estudo da fenomenologia própria destes dispositivos está em constante destaque na literatura. Recentemente Zhou et al [82] retoma a questão do critério para formação dos domínios de carga estacionários nos transistores. Num modelo unidimensional Zhou et al [82], amplia o critério $N_D \cdot L_{min} > 10^{12} \text{ cm}^{-2}$ (mencionado anteriormente como condição para a ocorrência de domínios estacionários), identificando uma região mais ampla no plano $N_D \cdot L_{min} \times L$ onde se pode detectar a presença destes domínios. Avaliamos que este estudo [82] coloca com maior precisão ao projetista de dispositivos os limites para definição das variáveis de projeto, N_D e L .

Outra preocupação ainda recente tem sido os efeitos dos níveis profundos em substratos de GaAs no desempenho dos MESFETs. Barton e Snowden [83], num modelo bidimensional incluem estes efeitos para transistores com dopagens típicas de 10^{17} cm^{-3} e comprimento de porta de $1 \mu\text{m}$. A influência dos níveis profundos na transcondutância e na condutância de saída é analisada. Através da característica $I_{DF} \times V_{DF}$ simulada com transiente rápido e no estado normal (D.C.), Barton e Snowden [83] mostram que a condutância de saída em altas frequências é maior comparada com a condição D.C..

Um dos aspectos tratados recentemente na literatura é o ruído nos MESFETs de GaAs. Zhan-Ming Li et al [84] numa abordagem conceitual, apresenta uma fórmula analítica simples para quantificar o ruído de baixa frequência ($<10\text{kHz}$).

A análise foi realizada para MESFETs de GaAs com $1 \mu\text{m}$ de comprimento de porta e inclui não só a componente do ruído de

difusão mas as demais componentes. Os resultados apresentados |84| são úteis para utilização na simulação de circuitos.

REFERÊNCIAS BIBLIOGRÁFICAS

- 1 W. Shockley, "A Unipolar "Field-Effect" Transistor", Proc. of IRE Vol. 40, p. 1365-1376, Nov. 1952.
- 2 G.C. Dacey, I. M. Ross, "The Field Effect Transistor", The Bell System Technical Journal, p. 1149-1189, Nov. 1955.
- 3 J. Grosvalet, C. Motsch, R. Tribes, "Physical Phenomenon Responsible for Saturation Current in Field Effect Devices", Solid-State Electronics, Vol. 6, p. 65, 1963.
- 4 D.P. Kennedy, R.R. O'Brien, "Electric Current Saturation in a Junction Field-Effect Transistor", "Solid-State Electronics, Vol. 12, p. 829, 1969.
- 5 J.R. Hauser, "Characteristics of Junction Field Effect Devices with Small Channel Length-to-width Ratios", Solid State Electronics, Vol. 10 p. 577-587, 1967.
- 6 S.Y. Wu, C.T. Sah, "Current Saturation and Drain Conductance of Junction-Gate-Field Effect Transistors", Solid State Electronics, Vol. 10 p. 593-609, 1967.
- 7 Grove, A.S., "Physics and Technology of Semiconductor Devices". A Wiley International Edition. 1967.
- 8 J.A. Turner, B.L.H. Wilson, "Implications of carrier velocity saturation in a gallium arsenide field-effect transistors", Proc. 1968 Symp. on GaAs, Inst. of Phys. and Physical Soc. Conf. Series, Vol. 7, p. 195, 1968.
- 9 A.B. Grebene, S.K. Ghandhi, "The Behavior of Junction-Gate Field-Effect Transistors Beyond Pinch-off", 1968, Int. Solid-State Circuit Conf. Digest, IEEE, Philadelphia 1968.
- 10 A.B. Grebene, S.K. Ghandhi, "General Theory for Pinched Operation of the Junction-Gate FET", Solid State Elect., Vol. 12, p. 573-589, July 1969.
- 11 D.P. Kennedy, R.R. O'Brien, "Computer-Aided two Dimensional Analysis of the Junction Field Effect Transistor", IBM J. of Res. and Dev., Vol. 14. p. 95-116, Março 1970.

- 12 M. Reiser, "Two-Dimensional Analysis of Substrate Effects in Junction F.E.T.S.", *Electronics Letters*, Vol. 6, p. 493-494, Agosto 1970.
- 13 D.P. Kennedy, R.R. O'Brien, "Two Dimensional Analysis of JFET Structures Containing a Low Conductivity Substrate", *Electronics Letters*, Vol. 7, nº 24, p. 714-716, 2nd Dez. 1971.
- 14 P. Wolf, "Microwave Properties of Schottky Barrier Field-Effect Transistors". *IBM J. Res. and Develop.* Vol. 14, p. 125-141, Março 1970.
- 15 K.E. Drangeid, R. Sommerhalder, "Dynamic Performance of Schottky-barrier Field-Effect Transistors", *IBM J. of Res. and Develop.*, Vol. 14, p. 82 a 94, Março 1970.
- 16 K. Lehovec, R. Zuleeg, "Voltage-Current Characterization of GaAs J-FET's in the Hot Electron Range", *Solid State Electronics*, Vol. 13, p. 1415-1426, Outubro 1970.
- 17 F.N. Trofimenkoff, "Field-Dependent Mobility Analysis of the Field-Effect Transistor", *Proc. of the IEEE*, Vol. 53, p. 1765-1766, 1965.
- 18 Dang Luong Mo, H. Yanai, "Current-Voltage Characteristics of Junction-Gate Field Effect-Transistor with Field Dependent Mobility" *IEEE Trans. on ED*. Vol. 17, nº 8, p. 577-586, Agosto 1970.
- 19 C.K. Kim, E.S. Yang, "An Analysis of Current Saturation Mechanism of Junction Field-Effect Transistors", *IEEE Trans. on ED.*, Vol. 17, nº 2, p. 120-127, Fev. 1970.
- 20 C.K. Kim, "Differential Drain Resistance of Field-Effect Transistors Beyond Pinch-off: A Comparison Between Theory and Experiment", *IEEE Trans. on ED*. Vol. p. 1088-1089, Dez. 1970.
- 21 M. Reiser, "Difference Methods for the Solution of the Time-Dependent Semiconductor Flow Equations", *Electronics Letters* Vol. 7, nº 2, p. 353-355, 17th Junho 1971.
- 22 M. Reiser, P. Wolf, "Computer Study of Submicrometre FETs", *Electronics Letters*, Vol. 8, nº 10, p. 254-256, 18th Maio 1972.

- 23 B. Himsworth, "A Two Dimensional Analysis of Gallium Arsenide Junction Field-Effect Transistors with Long and Short Channels", Solid State Electronics, Vol. 15, p. 1353-1361, n^o 12, 1972.
- 24 M. Reiser, "A Two Dimensional Numerical FET Model for DC, AC, and Large-Signal Analysis", IEEE Trans. on ED. Vol. 20, n^o 1, p. 35 a 45, Janeiro 1973.
- 25 B. Himsworth, "A Two Dimensional Analysis of Indium Phosphide Junction Field Effects Transistors with Long and Short Channels", Solid State Electronics, Vol. 16, n^o 8, p. 931-939, 1973.
- 26 J.J. Barnes, R.J. Lomax, "Two Dimensional Finite Element Simulation of Semiconductor Devices", Electronics Letters, Vol. 10, n^o 16 p. 341-343, 8th August 1974.
- 27 J.J. Barnes, R.J. Lomax, "Finite-Element Methods in Semiconductor Device Simulation", IEEE Trans. on ED. Vol. 24, n^o 8, p. 1082-1088, Agosto 1977.
- 28 J.G. Ruch, "Electron Dinamics in Short Channel Fiel-Effect Transistors", IEEE Trans. on ED., Vol. 19, n^o 5, 652-654, Maio 1972.
- 29 J.G. Ruch, G.S. Kino, "Transport Properties of GaAs", Phys. Rev. Vol. 174, n^o 3, p. 921-931, 1968.
- 30 R.G. Ruch, W. Fawcett, "Temperature Dependence of the Transport of Gallium Arsenide Determined by a Monte Carlo Method", J.of App. Phys., Vol. 41, n^o 9, p. 3843-3849, Agosto 1970.
- 31 H.D. Rees, "Characteristics of the Transferred Electron Effect", Proc. of the 5th Conf. on Sol. St. Dev., Tokyo 1973, p. 211 a 216.
- 32 N. Braslau, P.S. Hauge, "Microwave Measurement of the Velocity-Field Characteristic of GaAs", IEEE Trans. on ED., Vol. 17, n^o 8, p. 616-622, Agosto 1970.
- 33 P.A. Houston, A.G.R. Evans, "Electron Drift Velocity in n-GaAs at High Electric Fields", Sol. State Elect., Vol. 20, p. 197-204, 1977.

- 34 D.E. Aspnes, "GaAs Lower Conduction Band Minimum: Ordering and Properties", Phys. Rev., 14, p.5331, 1976.
- 35 T.J. Maloney, J. Frey, "Frequency Limits of GaAs and InP Field Effect Transistors", IEEE Trans. on ED. Vol. 22, p. 357-358, Junho 1975.
- 36 T.J. Maloney, J. Frey, "Correction to Frequency Limits of GaAs and InP Field-Effect Transistors", IEEE Trans. on ED., p. 620, Agosto 1975.
- 37 T.J. Maloney, J. Frey, "Frequency Limits of GaAs and InP Field-Effect Transistors at 300K and 77K with Typical Active-Layer Doping", IEEE Trans. on ED., p. 519, Maio 1976.
- 38 R.W. Hockney, R.A. Warriner and M. Reiser, "Two-Dimensional Particle Models in Semiconductor Device Analysis", Electronics Letters, Vol. 10, nº 23, p. 484-486, Nov. 1974.
- 39 P. Bonjour et al, "Saturation Mechanism in 1- μ m Gate GaAs FET with Channel-Substrate Interfacial Barriers", IEEE Trans. on ED., Vol. 27, p. 1019-1024, Junho 1980.
- 40 F. Heliodore et al, "Two-Dimensional Simulation of Sub-micrometer GaAs MESFET's: Surface Effects and Optimization of Recessed Gate Structures", IEEE Trans. on ED., Vol. 35, nº 7, p. 824-830, Julho 1988.
- 41 P. Pouvil, J.L. Gautier e D. Pasquet, "A New Analytical Model for the GaAs MESFET in the Saturation Region", IEEE Trans. on ED., Vol. 35, nº 8, p. 1215-1222, Agosto 1988.
- 42 G. Bernstein e D.K. Ferry, "Velocity Overshoot in Ultra-Short-Gate-Length GaAs MESFET's", IEEE Trans. on ED. Vol. 35, nº 7, p. 887-892, Julho 1988.
- 43 P.H. Hower and N.G. Bechtel, "Current Saturation and Small-Signal Characteristics of GaAs Field-Effect Transistor", IEEE Trans. on ED. Vol. 20, nº 3, p. 213-220, Março 1973.
- 44 K. Lehovec, W.G. Seeley, "On the Validity of the Gradual Channel Approximation for Junction Field-Effect Transistors with Drift Velocity Saturation", Solid State Electronics, Vol. 16 p. 1047, 1054, Set. 1973.

- 45 K. Lehovec, R.S. Miller, "Field Distribution in Junction Field-Effect Transistors at Large Drain Voltages", IEEE Transactions on ED. Vol. 22, n^o 5, p. 273-281, Maio 1975.
- 46 Robson, G.S., "The GUNN effect", Monographs in Electrical and Electronic Engineering, Claredon Press, Oxford, 1974.
- 47 P. Rossel, J.J. Cabot, "Output-Resistance Properties of the GaAs Schottky-Gate Field-Effect Transistor in Saturation" Electronics Letters, Vol. 11, n^o 7, p. 150 a 152, 3rd April 1975.
- 48 K. Yamaguchi, T. Toyabe, H. Koderá, "Effect of Field Dependent Carrier Diffusion on Two-Dimensional Analysis of a Junction Gate FET", Japan, J. Appl. Phys., Vol. 4, n^o 7, p. 1069-1070, 1975.
- 49 K. Yamaguchi, H. Koderá, "Drain Conductance of Junction Gate FET's in the Hot Electron Range", IEEE Trans. on ED. Vol. 23, n^o 6, p. 545-553, June 1976.
- 50 A. Van der Ziel, J.W. Ero, "Small-Signal, High-Frequency Theory of Field-Effect Transistors", IEEE Trans. on ED., Vol. 11, n^o 3, p. 128-135, 1964.
- 51 J.R. Hauser, "Small Signal Properties of Field Effect Devices", IEEE Trans. on ED. Vol. 27, n^o 6, p. 1019-1024, Junho 1980.
- 52 R. Pucel, H. Haus, H. Státz, "Signal and Noise Properties of Gallium Arsenide Microwave Field-Effect Transistors", Advances in Electronics and Electron Physics, Vol. 38, N.Y. Academic Press, p. 195-265, 1975.
- 53 E. Wasserstrom, J. McKenna, "The Potential Due to a Charged Metallic Strip on a Semiconductor Surface", The Bell Sys. Tech. J., p. 853-877, Maio-Junho 1970.
- 54 C.A. Liechti, "Microwave Field-Effect Transistors-76", IEEE Trans. on MTT, Vol. 24, n^o 6, p. 279-300, Junho 1976.
- 55 R.W.H. Engelmann, C.A. Lietchi, "Bias Dependence of GaAs and InP MESFET Parameters", IEEE Trans. on ED. Vol. 24, n^o 11, p. 1288-1296, Nov. 1977.
- 56 K. Yamaguchi, S. Asai, H. Koderá, "Two-Dimensional Numerical Analysis of Stability Criteria of GaAs FET's", IEEE Trans. on ED., Vol. 23, n^o 12, p. 1283-1290, Dec. 1976.

- 57 M. Shur, L.F. Eastman, "Current-Voltage Characteristics, Small-Signal Parameters, and Switching Times of GaAs FET's", IEEE Trans. on ED., Vol. 25, nº 6, p. 606-611, Junho 1978.
- 58 M.S. Shur, "Analytical Model of GaAs MESFET's", IEEE Trans. on ED., Vol. 25, nº 6 p. 612-618, Junho 1978.
- 59 T. Wada, J. Frey, "Physical Basis of Short Channel MESFET Operation", IEEE Journal of Solid State Circuits, Vol. 14, nº 2, p. 398-412, Abril 1979.
- 60 W. Fawcett, H.D. Rees, "Calculation of the Hot Electron Diffusion Rate for GaAs", Physics Letters, Vol. 29A, nº 10, p. 578-579, August 1969.
- 61 P.E. Bauhahn, G.I. Haddad, N.A. Masnari, "Comparison of the Hot Electron Diffusion Rates for GaAs and InP", Electronics Letters, Vol. 9, nº 19, p. 460-461, Sept. 1973.
- 62 J.S. Barrera, R.J. Archer, "InP Schottky-Gate Field-Effect Transistors", IEEE Trans. on ED., Vol. 22, nº 11, p. 1023 - 1030, Nov. 1975.
- 63 J.V. Faricelli, J. Frey, J.P. Krusius, "Physical Basis of Short-Channel MESFET Operation II: Transient Behavior", IEEE Trans. on ED. Vol. 29, nº 3, p. 377-388, Março 1982.
- 64 J.R. East, "GaAs FET Modeling", Proc. Eighth Biennial Cornell Electrical Engineering Conference, 1981, Vol. 8, p. 198-207, 1981.
- 65 L.F. Eastman, "Limits of Ballistic Electron Motion in Compound Semiconductors", Proc. Eight Biennial Cornell Electrical Engineering Conference, 1981, Vol. 8, p. 65-74, 1981.
- 66 M.S. Shur, L.F. Eastman, "Near Ballistic Electron Transport in GaAs Devices at 77°K", Sol. State Electronics, Vol. 24, p. 11-18, 1981.
- 67 L.F. Eastman, "High Electron Velocity in Compound Semiconductors with Applications to high Frequency Transistors", Relatório Interno para AFOSR, da School of Electrical Engineering e NRRFSS Cornell University, Dez. 1981.
- 68 L.F. Eastman, "Structures and Phenomena for High Velocity Electrons and High Speed Transistors", NATO-ARI on Microelectronics Meeting, p. 1-26, Março 1982.

- 69 E.B. Stoneham, "The Search for the Fastest Three-Terminal Semiconductor Device", Proc. Eighth Biennial Cornell Electrical Engineering Conference, 1981, Vol. 8, p. 37-46, 1981.
- 70 K. Sekido, J.A. Arden, "Recent Advances in FET Devices Performance and Reliability" MSN, p. 71-81, Abril-Maio 1976.
- 71 P.H. Ladbrooke, "Status of GaAs Power FET Analysis as of 1 April 1983", Notas Internas, Cornell University, 1983.
- 72 T. Hariu, K. Takahashi, Y. Shibata, "New Modeling of GaAs MESFET's, IEEE Trans. on ED., Vol. 30, nº 12, p. 1743-1749, Dezembro 1983.
- 73 Y.H. Byun, "Gate-Voltage Dependence of Source and Drain Series Resistances and Effective Gate Length in GaAs MESFET's, IEEE Trans. on ED., Vol. 35, nº 8, p. 1241-1246, Agosto 1988.
- 74 S.M. Baier et al, "FET Characterization using gated-TLM Structure", IEEE Trans. on Ed., Vol. 32, nº 12, p. 2824-2829, Dez. 1985.
- 75 J.M. Golio, "Ultimate Scaling Limits for High-Frequency GaAs MESFET's", IEEE Trans. on ED. Vol. 35, nº 7, p. 839-848, Junho 1988.
- 76 W.R. Frensley, "Power-limiting breakdown effects in GaAs MESFET's", IEEE Trans. on ED., Vol. 28, p. 962-970, Agosto 1981.
- 77 Gray, P.E., et al, "Electrônica física y modelos de circuitos de transistores", Coleção SEEC, tomo 2, Editora Editorial Reverté, S.A. Barcelona 1970.
- 78 W.C. Johnson, P.T. Panousis, "The Influence of Debye Length on the C-V Measurement of Doping Profiles", IEEE Trans. on ED., Vol. 18, nº 10, p. 965-973, Outubro 1983.
- 79 Bosch, B.G., Engelman, R.W.H., "Gunn-effect Electronics" A Halsted Press Book, John Wiley and Sons, New York, 1975.
- 79A L.C. Kretly, A.J. Giarola, "Stationary Charge Domain in GaAs MESFETs: Dimensional and Electrical Characterisation", Electronics Letters, Vol. 25, nº 13, p. 813-814, junho 1989.
- 80 C.S. Chang, D.Y.S. Day, "Analytic Theory for Current-Voltage Characteristics and Field Distribution of GaAs MESFET's, IEEE Trans. on ED, Vol. 36, nº 2, p. 269-280, Fevereiro 1989.

- 81 C.S. Chang, H.R. Fetterman, "Electron Drift Velocity Versus Electric Field in GaAs", Solid State Electron., Vol. 29, p. 1295-1296, 1986.
- 82 H. Zhou, D.L. Pulfrey, "A Criterion for Stationary Domain Formation in GaAs MESFET's", IEEE Trans. on ED., Vol. 36, nº 5, p. 872-878, Maio, 1989.
- 83 T.M. Barton, C.M. Snowden, "Two-dimensional Numerical Simulation of Trapping Phenomena in the Substrate for GaAs MESFET's", IEEE Trans. on ED., Vol. 37, nº 6, p. 1409-1415, Junho, 1990.
- 84 Shn-Ming Li, S.P. McAlister, D.J. Day, "Analytical Model for Low-Frequency Diffusion Noise in GaAs MESFET's", IEEE Trans. on ED., Vol. 38, nº 2, p. 233-236, Fevereiro, 1991.
- 51A G.D. Alley, H.E. Talley, "A Theoretical Study of High-Frequency Performance of a Schottky-Barrier Field Effect Transistor Fabricated on a High Resistivity Substrate", IEEE Trans. on MTT, Vol. 22, nº 3, p. 183-189, 1974.

CAPÍTULO 4

TECNOLOGIA DE FABRICAÇÃO DE MESFETs DE
GaAs PROCEDIMENTOS E RESULTADOS
EXPERIMENTAIS

CAPÍTULO 4

INTRODUÇÃO

Os diferentes métodos e processos, envolvendo diferentes tecnologias de fabricação de MESFETs de GaAs, descritos e analisados no capítulo 2, constituem um conjunto de informações tecnológicas que podem ser estendidas a uma grande variedade de dispositivos.

Neste nosso trabalho desenvolvemos uma tecnologia de auto-alinhamento que atende a uma disponibilidade local de equipamentos e também objetiva a integração.

O objetivo deste capítulo é descrever minuciosamente os aspectos tecnológicos envolvidos na fabricação dos MESFETs de GaAs, com a inclusão de detalhes indispensáveis à reprodução confiável do processo. Objetiva-se, também, descrever toda metodologia empregada na caracterização, tanto a nível de processo como a nível de variáveis e parâmetros elétricos.

Entendemos que, via de regra, na literatura, em geral, passos importantes no procedimento experimental são omitidos. Nossa intenção é apresentar, clara e inequivocamente, todos os passos envolvidos para o sucesso na obtenção do dispositivo.

As informações aqui apresentadas estão na forma descritiva do processo e, em alguns aspectos, são do tipo "práticas recomendadas".

4.1. PROCESSO DE AUTO-ALINHAMENTO DESENVOLVIDO

4.1.1. OBJETIVOS

São várias as motivações que nos levaram a desenvolver esta tecnologia de auto-alinhamento. Pretendíamos abrir uma área de pesquisa de dispositivos de alta velocidade e do ponto de vista tecnológico, desenvolver processos que permitissem a realização de estruturas sub-micrométricas.

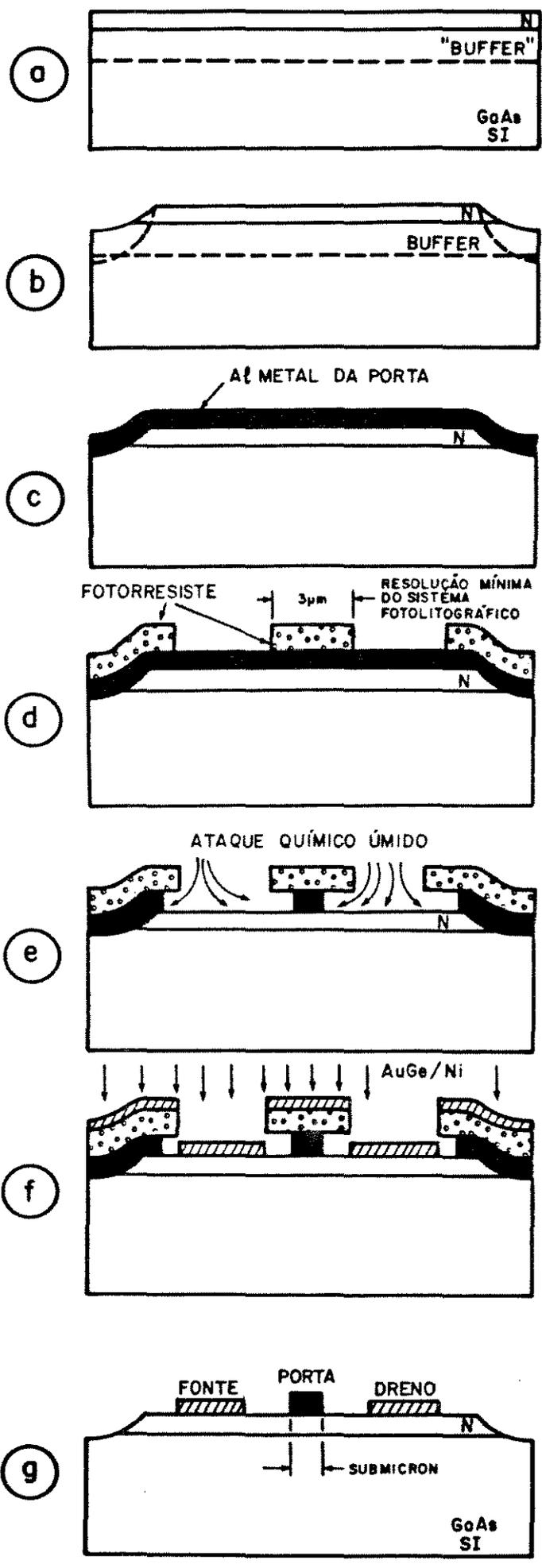
Além disso, o Laboratório de Eletrônica e Dispositivos, LED, da UNICAMP tem como objetivo utilizar outros materiais, como substrato para novos dispositivos e circuitos integrados.

Estas condições nos levaram a propor um dispositivo como meta, o MESFET de GaAs. A partir deste dispositivo, uma vez que, para sua construção, se agregam importantes elementos tecnológicos, forma-se uma base para pesquisa, de novos dispositivos e circuitos integrados monolíticos de GaAs.

4.1.2. DESCRIÇÃO GERAL DO PROCESSO DE AUTO-ALINHAMENTO

As etapas de processo, descritas aqui, visam dar uma visão de conjunto de toda a tecnologia de auto-alinhamento desenvolvida e, nas seções seguintes, serão acrescentados detalhes de cada etapa do procedimento experimental.

A fig. 4.1 descreve o processo de obtenção de MESFETs de GaAs com tecnologia de auto-alinhamento desenvolvida em nosso trabalho. Na fig. 4.1 estão indicadas as principais etapas do processamento e serve como guia geral desta tecnologia. Apesar da descrição sumária das etapas do processo, é importante destacar que alguns procedimentos mais críticos e detalhes experimentais estão indicados na fig. 4.1 para posterior descrição pormenorizada nas seções que se seguem.



SUBSTRATO: GaAs DOPADO COM Cr OU Cr-O OU NÃO-DOPADO. ORIENTAÇÃO (100), 10^{17} - 10^{18} Ω cm POLIDO DE UM LADO.
 CAMADA EPITAXIAL: LPE, VPE OU MBE DOPADA COM Sn, S OU Si. DOPAGEM TÍPICA 1 A $2 \cdot 10^{17}$ cm^{-3} , ESPESSURA (LPE OU MBE): $1,5 \mu\text{m}$ ETCH ANÓDICO É UTILIZADO PARA REDUZIR ESPESSURA INICIAL DE TRABALHO PARA $0,5 \mu\text{m}$.

PRIMEIRA MÁSCARA: GRAVAÇÃO DE CRUZ OU OUTRA MARCA PARA AUXÍLIO AO SISTEMA LITOGRAFICO E ORIENTAÇÃO. (OPCIONAL).
 SEGUNDA MÁSCARA: GRAVAÇÃO DE MESAS ($25 \mu\text{m} \times 300 \mu\text{m}$). USAR PRÉ-ETCH E MESA ETCH.

EVAPORAÇÃO DO ALUMÍNIO SOBRE TODA A AMOSTRA OU LÂMINA. EVAPORAÇÃO POR FEIXE DE ELÉTRONS TAXA DE EVAPORAÇÃO TÍPICA $1 \mu\text{m}/\text{min}$. ESPESSURA FINAL: $0,4 \mu\text{m}$.

TERCEIRA MÁSCARA: GRAVAÇÃO DA PORTA. NESTA MÁSCARA ESTA GRAVADA A MENOR DIMENSÃO POSSÍVEL PARA O SISTEMA LITOGRAFICO EM USO. NO CASO UTILIZOU-SE $3 \mu\text{m}$. NESTA ETAPA GRAVA SE O METAL DA PORTA E PADS. NESTA ETAPA DE GRAVAÇÃO UTILIZOU-SE CAMADA ANTI-REFLETORA. (VER TEXTO CAP. 4).

ETAPA MAIS CRÍTICA DO PROCESSO DE AUTO-ALINHAMENTO: ATAQUE QUÍMICO DO ALUMÍNIO SOB O FOTORRESISTE. O PROCEDIMENTO EXPERIMENTAL PARA O ATAQUE CONTROLADO, DESENVOLVIDO NESTE TRABALHO E DETALHADO NAS PÁGINAS SEGUINTE. COM ESTA TECNOLOGIA É POSSÍVEL OBTER COM REPRODUTIVIDADE CONFIÁVEL PORTAS COM COMPRIMENTO DA ORDEM DE $0,3 \mu\text{m}$ A $0,2 \mu\text{m}$. PORTAS DE $0,1 \mu\text{m}$ SÃO TAMBÉM OBTIDAS.

EVAPORAÇÃO DE METAIS PARA FORMAÇÃO DOS CONTATOS ÔHMICOS (DRENO E FONTE) AUTO-ALINHADOS. AuGe/Ni+Ag+Au. SEGUE-SE "LIFT-OFF" PARA REMOÇÃO DO FOTORRESISTE USANDO ACETONA EM JATOS. O FOTORRESISTE AO SE DISSOLVER REMOVE O METAL EXCEDENTE.

CICLO TÉRMICO PARA FORMAÇÃO DOS CONTATOS (ALLOYING). FINALMENTE GRAVA-SE QUARTA MÁSCARA PARA LIMITAÇÃO DO METAL DA PORTA. SEGUE-SE ENCAPSULAMENTO DE SOLDA DE FIOS.

Figura 4.1 - Descrição geral do processo de auto-alinhamento para construção de MESFETs de GaAs desenvolvido neste trabalho. Ver detalhes no texto deste capítulo.

4.2. DETALHAMENTO DA TECNOLOGIA DE AUTO-ALINHAMENTO DESENVOLVIDA

4.2.1. PREPARAÇÃO DOS SUBSTRATOS E CARACTERIZAÇÃO

Esta etapa do processamento inicia-se a partir da escolha do substrato segundo critérios gerais tratados no capítulo 2. A partir daí faz-se necessário preparar as amostras/substratos para crescimento epitaxial e, na sequência, a confecção do dispositivo.

Os substratos semi-isolantes de GaAs dopados com Cr-O ou não-dopados para fabricação de MESFETs ou circuitos monolíticos têm suas dimensões ditadas pelo: a) sistema de crescimento epitaxial (LPE, VPE, MBE ou MOCVD) devido às limitações impostas pelo susceptor da amostra e b) sistema fotolitográfico que impõe restrições ao tamanho da amostra, devidas à limitação no campo de exposição.

No nosso trabalho, empregamos crescimento epitaxial LPE, VPE e MBE e as lâminas de GaAs devem ser preparadas (cortadas com dimensões compatíveis com técnica de crescimento epitaxial):

Segue-se um roteiro para preparação das amostras:

A partir de lâminas de GaAs (100), sem polimento das faces, marca-se, com o auxílio de um estilete de carbeto de silício, a lâmina na extremidade fazendo-se um pequeno sulco, que serve de guia para clivagem da amostra. A orientação (100) do GaAs e a sua característica cristalina frágil facilita a tarefa de se obterem amostras quadradas de 10 a 15 mm de lado, necessárias para o sistema de crescimento epitaxial.

Estas amostras, quando forem excessivamente espessas, 700 μm p. ex., para iniciar o processo de crescimento epitaxial, devem sofrer desbaste mecânico até atingir espessuras típicas de 350 a 450 μm .

Desbaste ou abrasão mecânica: os substratos a serem polidos mecanicamente são inicialmente submetidos a um procedimento de limpeza que envolve: lavagem com acetona seguida de água deionizada (DI), lavagem com detergente de laboratório isento de sódio (FL 70) e escovado gentilmente com pincel de pelo de camelo. Nova lavagem com água DI e secagem com N_2 gasoso. As

amostras são medidas com micrômetro, com resolução de 1 μm , e identificados por esta espessura inicial.

Os substratos assim preparados são fixados com cera sobre um disco de vidro plano e manual ou automaticamente são atritados sobre outra base plana de vidro, utilizando-se pó abrasivo de 5 a 7 μm e água DI, numa consistência pastosa. Executando-se movimentos circulares de polimento, após 10 minutos (tempo típico para 3 amostras de 10 mm x 10 mm), nota-se um escurecimento da pasta abrasiva e anotamos que esta abrasão remove tipicamente 200 μm de espessura das amostras, introduz sulcos de 15 a 20 μm de profundidade e apresenta diferenças de espessura da ordem de 5 a 10 μm entre amostras.

Polimento químico e mecânico: a face do substrato para crescimento epitaxial deve ter polimento especular, o que é feito através de um polimento químico e mecânico simultâneos, após a abrasão mecânica descrita anteriormente. O polimento químico mecânico que empregamos baseia-se na técnica de polimento com hipoclorito de sódio, NaOCl, e é utilizada indistintamente para crescimento LPE, VPE e MBE [1]. Outras técnicas de polimento dão resultados semelhantes [2]. Descrevemos, a seguir, o procedimento que utilizamos: As amostras ainda fixas ao disco de vidro utilizado para abrasão mecânica, são friccionadas em movimento circular constante, numa politriz automática [1] [2], contra outro disco revestido de papel ou tecido para polimento: Politex PS SUPREME (tecido de polimento da Geoscience Instruments Co. ou papel Pellon PAN-W.).

Antes de se iniciar o movimento entre as superfícies, ajusta-se a pressão de contato em tipicamente 250 g por cm^2 de superfície. Em seguida satura-se o papel ou tecido do disco com o reagente químico polidor que, durante o processo de polimento continua sendo gotejado à razão de 1 a 2 gotas pequenas por rotação (200 ml/h).

A solução utilizada é 15:1 $\text{H}_2\text{O}:\text{NaOCl}(\text{sol})$ sendo que o hipoclorito de sódio pode ser de uma solução comercial (5,27% NaOCl + 94,75% inerte). Esta técnica apresenta uma taxa de ataque típica de 25 $\mu\text{m}/\text{h}$ entre 25 a 30°C, com rotação típica de 1 rotação por segundo. Outra solução possível é usar a solução bromina-Metanol BM ($\text{Br}_2\text{-CH}_3\text{OH}$ com taxa de

ataque de 75 $\mu\text{m}/\text{h}$ |1|.

O polimento químico mecânico descrito resulta em substratos com uma face com polimento especular adequado para praticamente todos os sistemas de crescimento epitaxial. Convém ressaltar que o monitoramento da espessura das amostras é importante na identificação e qualificação destas. Este monitoramento deve ser feito a cada 20 ou 30 min de polimento.

O polimento dos dois lados da amostra é importante para evitar propagação dos defeitos introduzidos durante a manipulação destas.

4.2.2. CAMADAS ATIVAS - CRESCIMENTO EPITAXIAL

Em virtude da diversidade das técnicas de crescimento epitaxial e da especificidade dos procedimentos experimentais referentes a cada técnica, estes não estão descritos neste trabalho.

Para a construção dos dispositivos empregamos várias amostras com camada epitaxial (ativa e/ou buffer) crescidas pelas técnicas LPE, VPE e MBE.

As amostras crescidas por LPE foram obtidas em reator do tipo horizontal em operação na Universidade Cornell Ithaca USA |3| |4|.

Conforme mencionado no cap. 2, onde se comparam as diferentes técnicas de crescimento epitaxial, a técnica LPE apresenta a vantagem da maior simplicidade no equipamento, menor custo e rapidez na obtenção das camadas. Detalhes da operação e técnica de crescimento estão documentadas em |3| |4|.

As amostras com epitaxia VPE são amostras (lâminas) comerciais (Sumitomo - Japão) com as características definidas na tabela 4.1 desta seção.

O crescimento das camadas epitaxiais pela técnica MBE realizamos na Universidade Cornell-USA com os equipamentos Varian MBE-360I e Varian MBE-360/GEN II com oito fornos (fontes): 2 de Si, 2 de As, Be, Ga, Al e Ge |5| |6|.

A preparação das amostras, a montagem dos substratos

IDENTIFICAÇÃO E CARACTERÍSTICAS DOS SUBSTRATOS E CAMADAS DE GaAs

IDENTIFICAÇÃO	CAMADA EPITAXIAL ATIVA / BUFFER μm	DOPANTE E CONCENTRAÇÃO DA CAMADA ATIVA cm^{-3}	CONCENTRAÇÃO CAMADA BUFFER cm^{-3}	MOBILIDADE HALL CAMADA ATIVA 300 K $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$	OBSERVAÇÕES:
1CK (LPE)	1,5/2,0	Sn- $1,2 \times 10^{17}$	$\leq 10^{15}$	5.422	SISTEMA HORIZONTAL LPE UNIV. CORNELL ITHACA USA. FORNO 3 ZONAS. BARQUETA DE GRAFITE - T=725°C, 60°C/h - FLUXO H ₂ .
2CK (LPE)	1,6/2,5	Sn- $1,2 \times 10^{17}$	$\leq 10^{15}$	4.830	SISTEMA LPE - IDEM
14DK (LPE)	1,5/0,0	Sn- $1,2 \times 10^{17}$	—	4.975	SISTEMA LPE - IDEM
583DK (MBE)	1,0/1,5	Si- $1,0 \times 10^{17}$	$< 10^{14}$	5.120	VARIAN MBE 360 / GEN II UNIV. CORNELL ITHACA USA. CELULA SI: T=1185°C CAMADA ATIVA: 1h 12 min. CAMADA BUFFER: 1h 48 min.
EY-0172-2 (VPE)	0,48/3,0-4,0	S- $1,8 \times 10^{17}$	$< 10^{14}$	5800 - 6200	LÂMINAS DE GaAs ORIENTAÇÃO (100) FORNECEDOR: SUMITOMO JAPÃO.

no bloco de molididênio, a limpeza *in situ* dos substratos (verificado com espectroscopia Auger), calibração do fluxo dos fornos (células com cadinhos de PBN nitreto de boro pirolítico) e todo acompanhamento do crescimento MBE estão descritos no manual do usuário MBE [6].

Detalhes do equipamento Varian MBE 360I e Varian 360 MBE/GEN II estão na ref. [5].

A identificação das amostras (lâminas) e as principais características das camadas crescidas pelas técnicas LPE, VPE e MBE, e que serviram de material base para a construção dos MESFETs de GaAs neste trabalho, estão listadas na tabela 4.1.

A concentração de portadores, resistividade específica e a mobilidade Hall é determinada preparando-se uma pequena amostra em forma de trevo (clover-leaf). Inicialmente a amostra é fixada sobre uma lâmina de microscópio com cera e jateada com areia através de máscara de aço inoxidável.

Os contatos ôhmicos são efetuados com pequenas esferas de estanho (ou índio) e a liga (alloying) em pequeno forno (PENZAC) com fluxo de H₂. Os detalhes da preparação da amostra estão descritos em [4].

A amostra com os quatro contatos denominados A, B, C e D é submetida a um campo magnético B perpendicular à superfície da amostra. Uma corrente é imposta a circular na amostra entre contatos A e C, I_{AC}, e a variação da tensão entre os terminais B e D, com e sem campo magnético, ΔV_{BD}. Assim determina-se o coeficiente Hall:

$$R_H = 10^8 \cdot \frac{\Delta V_{BD} \cdot t}{I_{AC} \cdot B} \quad (4.1)$$

sendo t a espessura da amostra e B dado em Gauss.

Determina-se a seguir a resistência da lâmina, ρ, pelo método de Van der Pauw, indicado em detalhes na referência [7]. Determina-se a seguir a mobilidade Hall:

$$\mu_H = \frac{R_H}{\rho} \quad (4.2)$$

A concentração de portadores, N_D é dada por:

$$N_D = \frac{1}{q} \cdot \frac{1}{R_H} \quad (4.3)$$

Estas características das lâminas e amostras são valores básicos para início de trabalho. Caracterização mais completa, p. ex. a mobilidade em função da profundidade da camada ativa exige gravação de dispositivo especial e técnicas específicas de medida.

A mobilidade Hall, μ_H é muito próxima da mobilidade verdadeira, também chamada mobilidade de deriva ou de condutividade para as dopagens típicas do tipo N em GaAs. A mobilidade verdadeira, μ , é igual a mobilidade Hall μ_H multiplicada pelo fator $(\bar{\tau})^2/\tau^2$, sendo τ o tempo de relaxação dos majoritários (no caso elétrons) [8].

As lâminas e amostras preparadas com as camadas ativas e caracterizadas sofrem, na sequência, um importante processo de ataque químico conhecido como oxidação anódica do GaAs descrito na seção a seguir.

4.2.3. OXIDAÇÃO ANÓDICA DO GaAs: INFORMAÇÕES GERAIS

Como mencionado nos capítulos 2 e 3 a espessura da camada ativa é fundamental na definição dos parâmetros do MESFET, principalmente na tensão de estrangulamento, V_p , que depende do produto $N_D \cdot a$, sendo N_D a dopagem da camada ativa e a a espessura. Para MESFETs de GaAs este produto vale tipicamente $N_D \cdot a = 3$ a $5 \cdot 10^{12} \text{ cm}^{-2}$.

Após o crescimento epitaxial (LPE, VPE ou MBE) a camada dopada tipo N está com espessura típica de 1,5 a 2 μm . Faz-se necessário reduzir esta espessura para início de processamento do dispositivo para tipicamente de 0,4 μm (4000 Å) a 0,5 μm (5000 Å).

A técnica que empregamos em nosso trabalho para atingir esta espessura da camada ativa é a oxidação anódica do GaAs.

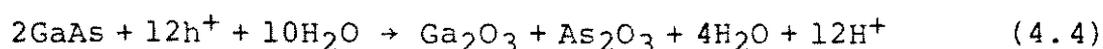
Diferentemente do silício a oxidação térmica (400°C

a 450°C) do GaAs não resulta em óxidos compatíveis com os processos de fabricação. Os óxidos são excessivamente porosos e armazenam uma quantidade de cargas que inviabilizam seu uso na construção de dispositivos.

Ainda diferentemente do silício, a oxidação anódica do GaAs apresenta um óxido de qualidade superior ao da oxidação térmica.

Para se obter a oxidação anódica do GaAs utiliza-se um recipiente [4] [9] contendo um eletrodo de metal inerte (platina, p. ex.) e a amostra de GaAs conectadas por uma fonte de tensão (ou corrente). O eletrodo de platina é o catodo (-) e o semiconductor é o anodo (+). A fig. 4.2a mostra o esquema da célula para oxidação anódica.

A oxidação do GaAs faz-se segundo a reação química geral mostrada a seguir:



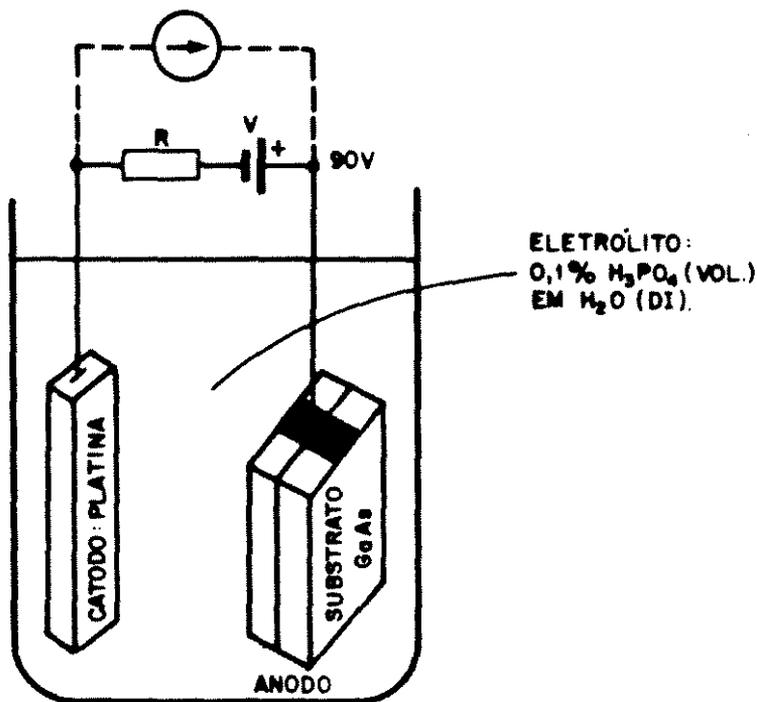
Nota-se, pela equação, a exigência de lacunas h^+ que são supridas pela fonte externa para a superfície do anodo (GaAs). A água é o agente oxidante. Como a utilização da água D.I. implica numa alta impedância, utilizamos um modificador da resistência do eletrólito, H_3PO_4 (1000:1 $\text{H}_3\text{PO}_4:\text{H}_2\text{O}$ Vol.). A mudança da resistência e do pH do eletrólito também alteram a taxa de dissolução do óxido neste.

Nota-se, também, que a oxidação, que é realizada em temperatura ambiente, resulta na formação de dois tipos de óxidos Ga_2O_3 e As_2O_3 . A oxidação ocorre pelo transporte de Ga^{3+} e As^{2+} através do óxido ao invés de $(\text{OH})^-$ através do óxido.

O interesse da operação de oxidação anódica não está exatamente no óxido mas na remoção deste e o conseqüente consumo do material epitaxial.

Para GaAs tipo P não há dificuldades em suprir a superfície do GaAs (anodo) lacunas a partir da fonte externa. Entretanto, para o caso mais comum, GaAs tipo N, o contato inicial do eletrólito com a superfície da camada epitaxial provoca uma troca inicial de cargas até se estabelecer o equilíbrio térmico.

a



b

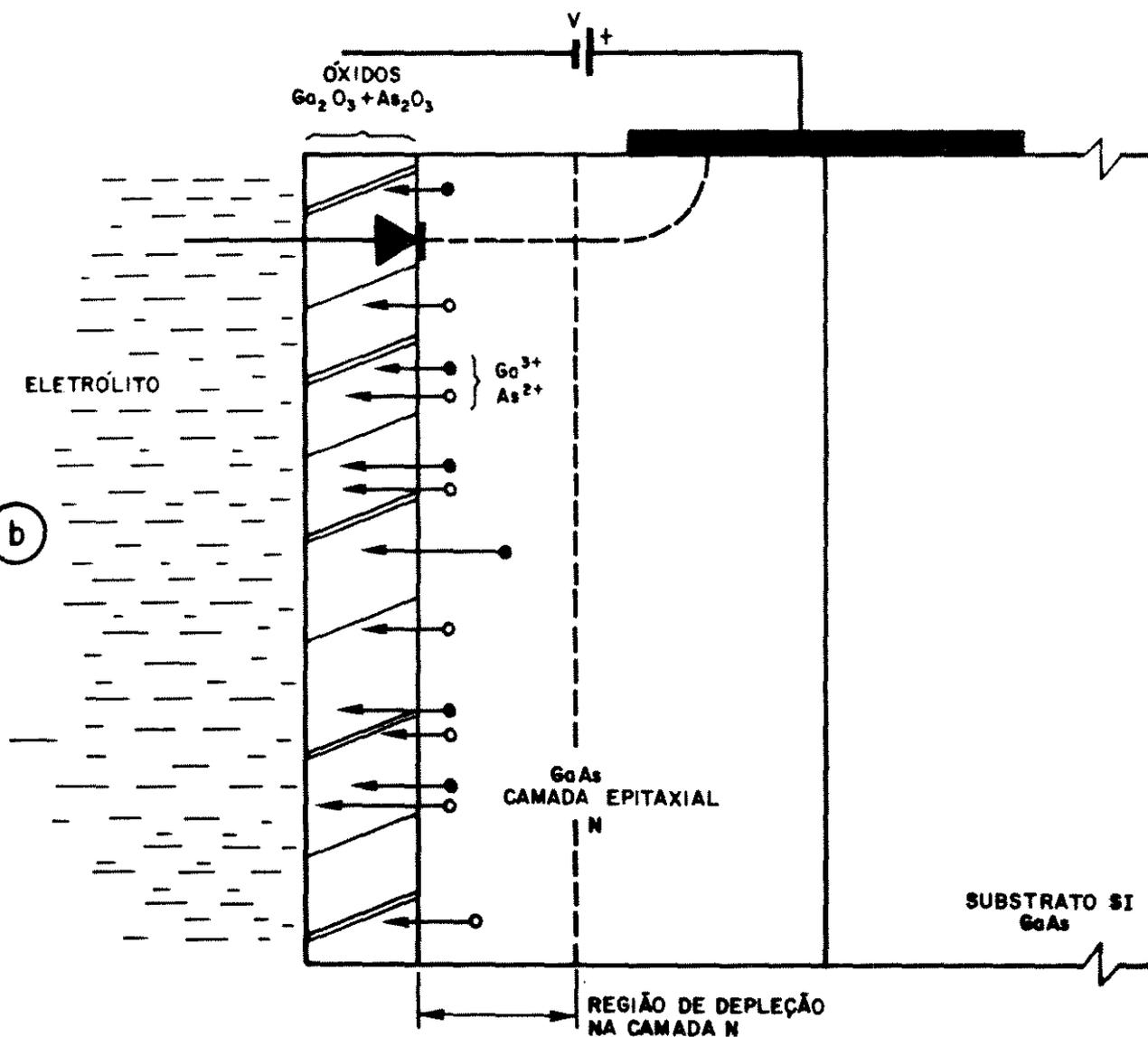


Figura 4.2 - a) Esquema básico da célula para oxidação anódica do GaAs.

b) Situação da amostra do GaAs e formação dos óxidos na superfície do se mic condutor.

Cria-se na interface eletrólito GaAsN uma região de depleção e esta interface assemelha-se a um diodo Schottky, com o eletrólito fazendo o papel da porta. A situação é esquematizada na fig. 4.2b.

Esse diodo Schottky, reversamente polarizado, impõe uma barreira ao fluxo de lacunas, o que impede a reação de oxidação.

A célula de oxidação é polarizada com uma fonte de tensão que ultrapassa a tensão de ruptura reversa (breakdown) do diodo Schottky de modo que, as lacunas geradas por avalanche mantêm o processo de oxidação.

É possível também gerar lacunas iluminando-se o GaAs. Em nosso trabalho utilizamos um pequeno iluminador de microscópio para gerar as lacunas e oxidar o GaAs. As lacunas foto-geradas deslocam-se até a superfície do GaAs pela ação do campo elétrico.

Colocando-se tensão suficiente na célula de oxidação (15 a 90 V), o óxido começa a se formar a uma razão de aproximadamente $20 \frac{\text{Å}}{\text{V}}$ e, à medida que este óxido cresce, diminui a tensão disponível através da região de depleção. A anodização então cessa quando essa tensão fica menor que a tensão de ruptura do sistema eletrólito-semicondutor. Nota-se então que não circula mais corrente e o óxido, não cresce mais.

Este ataque químico auto-limitante do GaAs consome a cada ciclo de oxidação cerca de 500 Å a 600 Å de GaAs.

Ao se remover o óxido e conseqüentemente parte do GaAs, a nova oxidação inicia-se com a camada de depleção já mais próxima à interface camada-epitaxial-substrato. Após 10 a 15 ciclos de oxidação, a região de depleção atinge o substrato, não havendo circulação de corrente e a oxidação não mais ocorrendo por lacunas geradas por avalanche.

Se a amostra apresentar variação da espessura da camada epitaxial as regiões mais espessas ainda apresentarão crescimento de óxido.

O consumo do material semicondutor é definido pela lei de Faraday da eletrólise, ou seja a massa m em gramas do material semicondutor consumido por Coulomb (C) de carga é dado por:

$$m = \frac{E}{q \cdot N} = \frac{E}{96.500} \quad (\text{g/C}) \quad (4.5)$$

sendo E o equivalente-grama da substância (massa molecular dividida pela variação de valência envolvida na reação: para GaAs $E = 144,6/6 = 24,1$ g), q a carga eletrônica e N o número de Avogadro. Assim para o GaAs m vale aproximadamente $2,5 \cdot 10^{-4}$ g.

No trabalho que realizamos mantivemos uma densidade de corrente da ordem de 10 mA/cm^2 . Considerando-se a densidade do GaAs $5,32 \text{ g/cm}^3$, determinamos uma taxa de consumo do GaAs de 47 \AA/s .

Determinamos que, nestas condições, o filme de óxido pára de crescer e a corrente cessa entre 12 a 15 segundos. Isto significa uma remoção de GaAs entre 564 \AA a 705 \AA .

Esse modelo de remoção do material semiconductor aproxima-se bastante dos resultados experimentais para o GaAs e, esta aproximação é definida como "eficiência de corrente", e vale 90 a 95%, ao passo que para o caso do Si este modelo não representa adequadamente a remoção do material e a eficiência de corrente é 1 a 3%.

4.2.4. OXIDAÇÃO ANÓDICA DO GaAs: PROCEDIMENTO EXPERIMENTAL

Dada a importância desta etapa de processo na preparação do substrato, para construção do dispositivo, detalhamos a seguir a seqüência de procedimentos experimentais:

1. Preparar a solução para o eletrólito da célula:
1:10 $\text{H}_3\text{PO}_4:\text{H}_2\text{O}$ (total 11 ml). Retirar 2 ml desta solução e misturar em 200 ml de H_2O DI.
2. Antes de introduzir a amostra na célula, remover o óxido nativo com hidróxido de amônia NH_4OH (28%) pura, ligeiramente aquecida (35°C). Lavar a amostra com água DI, não secar.
3. Fixar a amostra (substrato) com pinça de aço inoxidável ou outro suporte e mergulhar na célula, fig. 4.2a. Esta operação é feita com muito pouca iluminação ambiental.

4. O óxido começa a crescer e, entre 12 a 15 segundos, não cresce mais (não circula mais corrente). O óxido crescido apresenta uma cor azul escura.
5. Remover novamente o óxido formado (etapa 2) e repetir etapas 3 e 4 até que o óxido não cresça mais (normalmente 10 a 15 ciclos).
6. Se algumas áreas da amostra apresentam "manchas" de óxido ao final destes ciclos, introduzir parte da amostra gentilmente no banho, etapa 2, e repetir etapas 3 e 4.
7. Verificado o fim do crescimento do óxido, fazer uma última oxidação, dentro da célula, agora utilizando luz (para geração de lacunas). Normalmente utiliza-se um iluminador de microscópio Baush-Lomb na posição 3. Determinamos que este óxido possui espessura em torno de 800 Å.

Convém manter este óxido sobre a amostra até o início da primeira exposição e gravação fotolitográfica descrita nas seções seguintes.

4.2.5. FOTOGRAVAÇÃO DAS MARCAS DE REFERÊNCIAS E ATAQUE QUÍMICO

Como mencionado na fig. 4.1, para início da fotografia do dispositivo, é necessário gravar sobre o substrato, marcas de referência (uma cruz, por exemplo) em toda extensão da amostra. Estas marcas orientadas nas direções paralela e perpendicular à borda da amostra, além de servirem de referência na orientação e posicionamento desta, são utilizadas também como referência para foco nos sistemas fotolitográficos.

As marcas de referência estão dentro de uma malha sobre a amostra e a gravação desta malha com as marcas é denominado de "grid-etch". A máscara 1 com as dimensões reais de gravação estão na fig. 4.3.

As dimensões indicadas na fig. 4.3, para esta máscara de "grid" e marcas de referência, são típicas para amostras (substratos) de 10 a 15 mm de lado.

Esta máscara é gravada por fotolitografia por contato e utilizamos um sistema NIKON 40645 [10].

A seguir detalhamos os procedimentos experimentais para o "grid-etch".

1. Se a amostra contiver o óxido nativo formado pela oxidação anódica, é necessário removê-lo da forma indicada no procedimento item 2 da seção 4.2.4, sendo necessário secar a(s) amostra(s) com N₂ gasoso.

2. Submete-se essa(s) amostra(s) a uma secagem e aquecimento, ciclo denominado "dry-bake". Tipicamente o "dry-bake" é realizado a 110°C numa estufa com fluxo de N₂ gasoso com tempo variando de 5 a 20 min.

3. Aplicação do fotorresiste:

Escolhe-se a cabeça apropriada do "spinner" para o tamanho da amostra. Esta é uma operação delicada pois normalmente a amostra é retangular e deve-se centrá-la no "spinner". Verifique-se, antes de acionar o motor, se a amostra está fixa pelo vácuo. Com um conta-gotas pequeno cobre-se a superfície da amostra (2 a 3 gotas) com o fotorresiste e imediatamente aciona-se o motor. Para esta etapa utilizamos o fotorresiste positivo AZ 1350J da SHIPLEY sem diluição, rotação 5000 rpm durante 30 segundos e a espessura indicada pelo fabricante de 1,5 µm (esta es

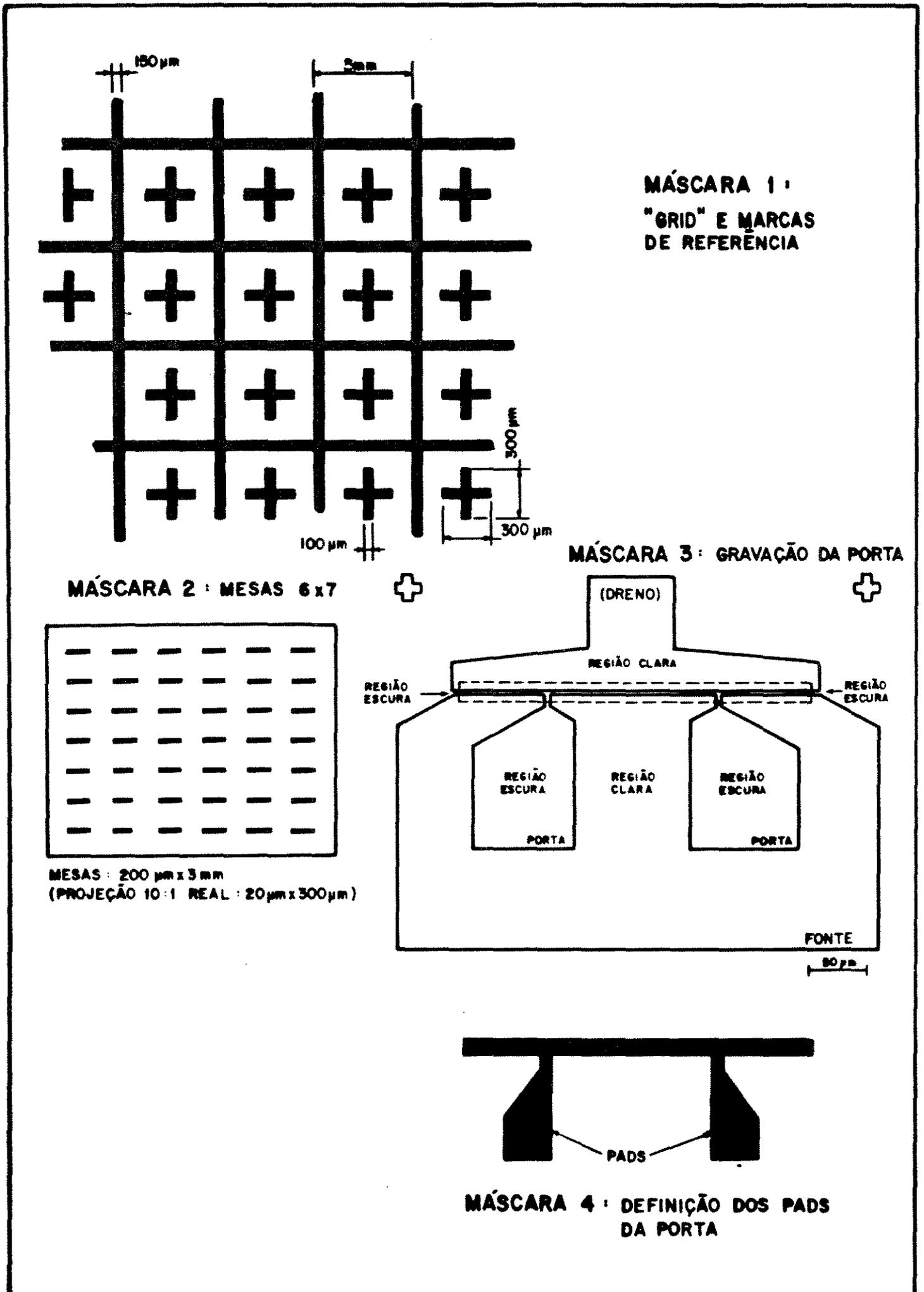


Figura 4.3 - Dimensões das máscaras para construção do dispositivo MESFET de GaAs.

pessura medida indicou um valor de 1,7 μ m).

4. Após a aplicação do fotorresiste verifica-se se existe alguma deposição deste na superfície inferior da amostra. É necessário remover da seguinte forma: Coloca-se um pequeno pedaço de papel de filtro duro sobre a mesa a aplica-se, com um conta-gotas, uma gota de AZ - THINNER (diluidor do fotorresiste) sobre o papel. Imediatamente coloca-se a amostra sobre o AZ-THINNER absorvido pelo papel de filtro, com a face inferior voltada para o papel de filtro. O AZ-THINNER remove o fotorresiste da face inferior da amostra deixando os resíduos no papel de filtro.

5. A amostra deve sofrer agora o procedimento de secagem e estabilização do resiste denominado de "pre-exposure bake" ou seja "bake" antes da exposição. É prática iniciar a calibração deste "bake" pelos parâmetros indicados pelo fabricante do fotorresiste e, a seguir, adotar o procedimento local mais adequado. Adotamos 80°C, 30 minutos.

6. O procedimento para a exposição da máscara "grid" + marcas) por contato é muito próprio de cada sistema fotolitográfico existente. Adotamos tempo de exposição de 8 segundos, ver detalhes do sistema fotolitográfico por contato utilizado em |10|.

7. Revelação do fotorresiste. Preparam-se duas soluções de revelador de fotorresiste 1:9::AZ606:H₂O total, de 10 ml cada, em 2 béquers de plástico. Coloca-se a amostra em um terceiro béquer. Despeja-se o conteúdo de um dos béquers com solução reveladora, no béquer com a amostra. Nota-se que minúsculas borras vermelhas são dissolvidas e as imagens do tipo arco-íris desaparecem. A revelação leva cerca de 20 segundos nestas condições. Terminada esta etapa, despeja-se o conteúdo do revelador utilizado e rapidamente enxagua-se com a outra solução reveladora mais 10 segundos e a seguir são feitos múltiplos (3 a 4) enxagues com água D.I.. Após, seca-se com N₂ gasoso.

8. A amostra pode ser observada ao microscópio, tendo-se o cuidado de se usar filtro vermelho, pois o fotorresiste está ainda sensível.

9. Ataque químico. Para gravação por ataque químico úmido (ou líquido) das marcas de referência adotamos principal

mente a solução de peróxido de hidrogênio (H_2O_2) como oxidante e o hidróxido de amônio como solvente dos produtos da oxidação. Entretanto, outras soluções são utilizadas em diferentes etapas do processo de construção do dispositivo.

Vários sistemas de ataque químico líquido foram propostos para o GaAs. Obviamente poucos são aqueles totalmente isotrópicos.

O mais clássico destes é o sistema Bromina metanol Br_2-CH_3OH [11] [12], e suas características anisotrópicas são utilizadas no ataque químico preferencial de planos no GaAs [11].

Atualmente a maioria dos sistemas de ataques químicos utilizam o peróxido de hidrogênio (ou água oxigenada), H_2O_2 , funcionando como oxidante poderoso do GaAs, em conjunto com uma base ou ácido para dissolver os produtos da oxidação.

Destacam-se o sistema $H_2SO_4:H_2O_2:H_2O$ [13], o sistema $H_3PO_4:H_2O_2:H_2O$ [14] e o sistema baseado no ácido cítrico $C_3H_4(OH)(OH)(COOH)_3H_2O:H_2O_2:H_2O$ [15].

Alguns pesquisadores [16] usam simultaneamente, num mesmo processo de fabricação de dispositivos, dois sistemas usando H_2PO_4 . No nosso trabalho empregamos também mais de um sistema.

Os ataques químicos baseados nos sistemas hidróxido de amônio NH_4OH e H_2O_2 e hidróxido de sódio $NaOH$ e H_2O_2 têm características semelhantes com algumas vantagens para o sistema com o hidróxido de amônio e H_2O_2 [17].

Desde a proposta da utilização da solução de hidróxido de amônio e peróxido de hidrogênio, também denominada PA (de peróxido-alcálica), para polimento químico de GaAs [18], observou-se a característica não-preferencial (isotrópica) desta solução.

A partir daí, esta solução vem sendo empregada para ataque químico seletivo de GaAs [17], resultando em excelente definição das bordas.

Finalmente, esta solução que adotamos neste trabalho, já está incorporada ao "roll" de processos de ataque químico isotrópico líquido para o GaAs [12].

10. Preparação das soluções para ataque líquido.

Prepara-se a solução concentrada, denominada de CES (concentrated etch solution): $2:1:1::\text{H}_2\text{O}_2(30\%):\text{NH}_4\text{OH}:\text{H}_2\text{O}$. Um volume de 4 ml é suficiente. Prepara-se uma solução 200:1:: $\text{H}_2\text{O}:\text{CES}$ (que resulta em taxa de ataque de 400 Å/min) da seguinte forma: 1 ml de CES dilui-se 10:1. Com 1 ml desta última dilui-se 20:1, resultando 21 ml de solução 200:1.

Prepara-se uma solução de interrupção ou "Stop Etch Solution" SES: $15:1::\text{H}_2\text{O}:\text{NH}_4\text{OH}$. Prepara-se 80 ml (típico) desta solução, dependendo do número de amostras a serem processadas.

11. Ataque químico. Coloca-se uma amostra em um béquer limpo e enxagua-se na solução SES, para se iniciar com uma superfície limpa. Enxagua-se repetidamente (5 a 6 vezes) em água DI.

12. Coloca-se a solução CES no béquer e anota-se o tempo (1 min para este caso das marcas de referência). 5 segundos antes de completar o tempo de ataque previsto despeja-se a solução CES e enxagua-se a amostra na solução de interrupção, SES, repetidamente e rapidamente. Remove-se a amostra da solução SES e seca-se imediatamente em N_2 gasoso.

Outra solução CES também é possível de se utilizar com uma taxa de 200 Å/min:

$2:1:1::\text{H}_2\text{O}_2(30\%):\text{NH}_4\text{OH}:\text{H}_2\text{O}$. Com 1 ml desta solução dilui-se 1:9 em água DI e com 1 ml desta última dilui-se em 1:40 em água DI. Usa-se esta última diluição para ataque com taxa de 200 Å/min.

Devemos ressaltar ainda algumas informações de relevância na caracterização da espessura dos filmes de fotorresiste e calibração do ataque químico: estas espessuras para correta calibração do processo, devem sempre ser monitorados. Utilizamos um medidor de espessura de filme do tipo agulha sobre a superfície, modelo DEKTAK da Sloan, que possuem as seguintes características: fundo de escala variável de 1KÅ, 5KÅ, 10KÅ, 50KÅ, 100KÅ, 500KÅ e 1MÅ, com velocidades da agulha, com relação à amostra, ajustável em 3 faixas: 0,01 cm/min, 0,1 cm/min e 1 cm/min.

Recomendamos utilizar tipicamente a escala de 5KÅ ou 10KÅ e com a velocidade 0,1 cm/min. A informação da espessura

do filme é imediatamente apresentada pelo gravador em papel graduado.

Outras opções para medida da espessura dos filmes são possíveis mas, avaliamos que a medida direta com DEKTAK é fundamental na calibração de todo processo de gravação e ataque químico.

No caso de ataque químico mais crítico, por exemplo, o processo pode ser interrompido para se medir a espessura do material removido e se continuar o processo até o valor da espessura desejado.

4.2.6. FORMAÇÃO DAS MESAS POR ATAQUE QUÍMICO LÍQUIDO

Esta seção descreve os procedimentos relativos à etapa para b da fig. 4.1.

Como a correta gravação das mesas é que assegura a isolamento dos dispositivos (no caso de circuitos integrados monolíticos) e assegura a baixa capacitância de entrada (no caso dos dispositivos discretos) (ver cap. 1), esta etapa do processo exige calibração. Normalmente, para se calibrar o ataque químico, utilizam-se amostras ou substratos sem a camada ativa. Estas são as amostras de teste.

Nesta etapa utilizamos a gravação das mesas com sistema fotolitográfico por projeção 10:1 (ver seção 4.28). As mesas apresentam dimensões de 20 μm x 300 μm . (Ver fig. 4.3 máscara 2).

A aplicação do fotorresiste segue basicamente as recomendações da seção 4.2.5. Utilizamos o AZ1350J diluído em Thinner do AZ na proporção 3:1 (3:1::AZ1350J:AZ - Thinner). Com o "spinner" a 5.000 rpm e 30 segundos obtém-se o filme do fotorresiste em torno de 0,5 μm a 0,6 μm . O filme com esta espessura, apresenta uma cor púrpura-avermelhada.

É necessário remover o excesso de fotorresiste na superfície inferior da amostra, conforme procedimento do item 4 da seção 4.2.5. A seguir, faz-se um "pre-exposure bake" 80°C, 20 min.

O sistema fotolitográfico por projeção utiliza uma máscara de vidro (HRP 3"x3") em escala 10:1 e esta imagem é projetada sobre a amostra várias vezes, uma ao lado da outra, formando uma matriz que depende do tamanho da amostra. Cada campo na matriz define um conjunto de 42 mesas de 20 μm x 300 μm .

O tempo de exposição à U.V. é variável e depende do sistema fotolitográfico. Utilizamos tipicamente 8 a 10 segundos de exposição para cada campo.

Antes da revelação do fotorresiste, a amostra é submetida a um "predevelop bake" numa estufa a 100°C por 30 minutos.

O procedimento da revelação do fotorresiste é o mesmo indicado no item 6 da seção 4.2.5.

Após a revelação do fotorresiste a espessura deste é medida com o DEKTAK para monitorar posteriormente o ataque da mesa.

Ataque químico para formação das mesas:

1. Antes do ataque químico, submete-se a amostra a um "pre-etch bake" 100°C, 5 min. Este "bake" reduz a possibilidade de haver irregularidades nas arestas da mesa durante o ataque químico.
2. Prepara-se uma solução de pré-ataque químico: 1:1::HCl(conc.):H₂O. Prepara-se também a solução de ataque principal: 3:1:25::H₃PO₄(conc.):H₂O₂(30%):H₂O. Outra concentração possível desta última solução é 3:1:50 em volume |14|.
3. A(s) amostra(s) é(são) enxaguada(s) em H₂O DI para remoção de qualquer contaminação. Enxagua-se a amostra na solução de pré-ataque com HCl durante 15 segundos, para remoção de qualquer óxido. Enxagua-se, a seguir, em H₂O DI completamente de 5 a 6 vezes.
4. Colocam-se as amostras no fundo do béquer com a solução principal de ataque químico (H₃PO₄) evitando-se que a amostra seja agitada. A agitação causa irregularidades na borda da mesa. A calibração que fizemos para o ataque químico na proporção 3:1:50, à temperatura de 22°C, é 0,09 $\mu\text{m}/\text{min}$. A calibra

ção que fizemos para o ataque químico na proporção 3:1:50, à temperatura de 22°C, é 0,09 $\mu\text{m}/\text{min}$.

Para se controlar completamente o ataque químico da mesa nesta etapa, convém interromper o ataque aproximadamente à metade do tempo calculado para a mesa. Retira-se a amostra da solução enxagua-se em água DI completamente de 5 a 6 vezes e seca-se. A profundidade do ataque é então medida com DEKTAK e volta-se à solução para finalizar o ataque. Antes de remover o fotorresiste verifica-se novamente a profundidade de ataque. É possível repetir este item até se obter a espessura desejada.

5. Terminada esta etapa remove-se o fotorresiste com acetona, seguida de uma lavagem com FL 70 e água DI e secagem com N_2 gasoso. Atenção: nesta etapa de remoção do fotorresiste, se houver controle ambiental adequado, é possível só se utilizar a acetona e se secar com N_2 gasoso.

Observam-se as amostras no microscópio e faz-se uma última medida da profundidade do ataque. Tipicamente são medidos degraus de mesas em torno de 0,35 μm .

Durante o processo de calibração do ataque químico das mesas [10] notamos que a taxa de ataque para um ciclo interrompido (para medida da profundidade) era sensivelmente menor que a taxa quando não havia interrupção. Assim, para esta etapa, cuidados especiais devem ser tomados para assegurar a reprodutibilidade do processo. Esses cuidados envolvem a correta composição das soluções utilizadas, o envelhecimento destas soluções e a temperatura de operação. Soluções recém preparadas são as mais indicadas para o ataque químico.

Indicamos também que, no espaço do laboratório para o processamento fotolitográfico, algumas estufas devem estar constantemente prontas e com as temperaturas estáveis para os diversos recozimentos "bakes". As amostras devem ser colocadas em um disco de Petri no interior da estufa, com um termômetro bem próximo a estas. As drogas e reagentes químicos utilizados no processamento do dispositivo (água DI, acetona, FL 70, TCE, Álcool isopropílico, AZ606) preferencialmente estão disponíveis na capela em balões de lavagem (Wash Ballons) de TFE de 250 ml.

Avaliação da região ativa dos dispositivos.

Após os procedimentos de oxidação anódica, (seção 4.2.4), gravação das marcas de referência (seção 4.2.5) e ataque químico antes da evaporação (descrito na seção seguinte), é necessário contabilizar com precisão a região ativa útil da camada ativa dos dispositivos.

Nas discussões precedentes no capítulo 1, 2 e 3, ficou claro que este parâmetro define importantes variáveis do MESFET de GaAs. I_{DSS} e V_{p0} por exemplo. Ainda vários compromissos entre a espessura da região ativa e outros parâmetros dinâmicos do MESFET são afetados pela espessura final da camada ativa. Por exemplo, à medida que se diminui a região ativa, para diminuir I_{DSS} , objetivando enquadrar o dispositivo em regiões práticas de corrente de saturação, aumenta-se o efeito de espalhamento na superfície (elétrons são refletidos na superfície) acarretando um decréscimo na mobilidade efetiva.

O seguinte roteiro deve ser seguido para determinar a espessura útil da camada ativa:

A partir da espessura da camada epitaxial, após o crescimento, avaliar (ou medir quando possível) todos os ataques químicos a saber: oxidação anódica (ver seção 4.2.4), após a última oxidação com luz, primeiro ataque (opcional), ataque químico para marcas de referência (ver seção 4.2.5) e ataques químicos antes da evaporação da porta e de dreno-fonte.

Deve-se considerar ainda uma depleção superficial típica de 1000 \AA . A tabela 4.2 a seguir indica valores típicos encontrados em nosso trabalho experimental. Para as diversas amostras (substratos) processadas, o valor final da espessura ativa variou entre $0,1 \text{ }\mu\text{m}$ a $0,21 \text{ }\mu\text{m}$.

Obviamente o ataque mesa não é incluído nesta tabela pois, neste caso, a camada ativa do dispositivo está protegida.

**TABELA 4.2 - AVALIAÇÃO DA ESPESSURA ÚTIL DA CAMADA ATIVA
(VALORES TÍPICOS PARA UMA AMOSTRA)**

	Taxa de Ataque Å/min.	Tempo min.	Espessura Removida Å	Espessura Atualizada Å
Camada Epitaxial após crescimento	—	—	—	15000
Oxidação Anódica	680 Å/ciclo	15 ciclos	10200	4800
Oxidação Anódica com luz intensa	—	—	800	4000
1º ataque químico (opcional)	200	2,0	400	3600
Ataque Grid + marcas de referência	200	2,5	500	3100
Ataque químico pré evaporação metal da porta	200	1,0	200	2900
Ataque químico pré evaporação metal ôhmicos	200	1,0	200	2700
Depleção superficial	—	—	1000	1700

4.2.7. EVAPORAÇÃO DO METAL DA PORTA

Os diferentes metais para formação da porta foram apresentados no cap. 2. Em nosso trabalho a opção adotada foi a evaporação do alumínio.

A preparação da amostra antes da evaporação é importante. O rápido crescimento de óxidos nativos sobre a superfície da amostra exige a preparação de um ataque químico de pré-evaporação para limpar e preparar completamente a superfície.

A solução de pré-evaporação é preparada como segue:
[2:1:1::H₂O₂ (30%):NH₄OH(28%):H₂O]::1:400 e a solução de interrupção ("stop etch") 15:1::H₂O:NH₄OH.

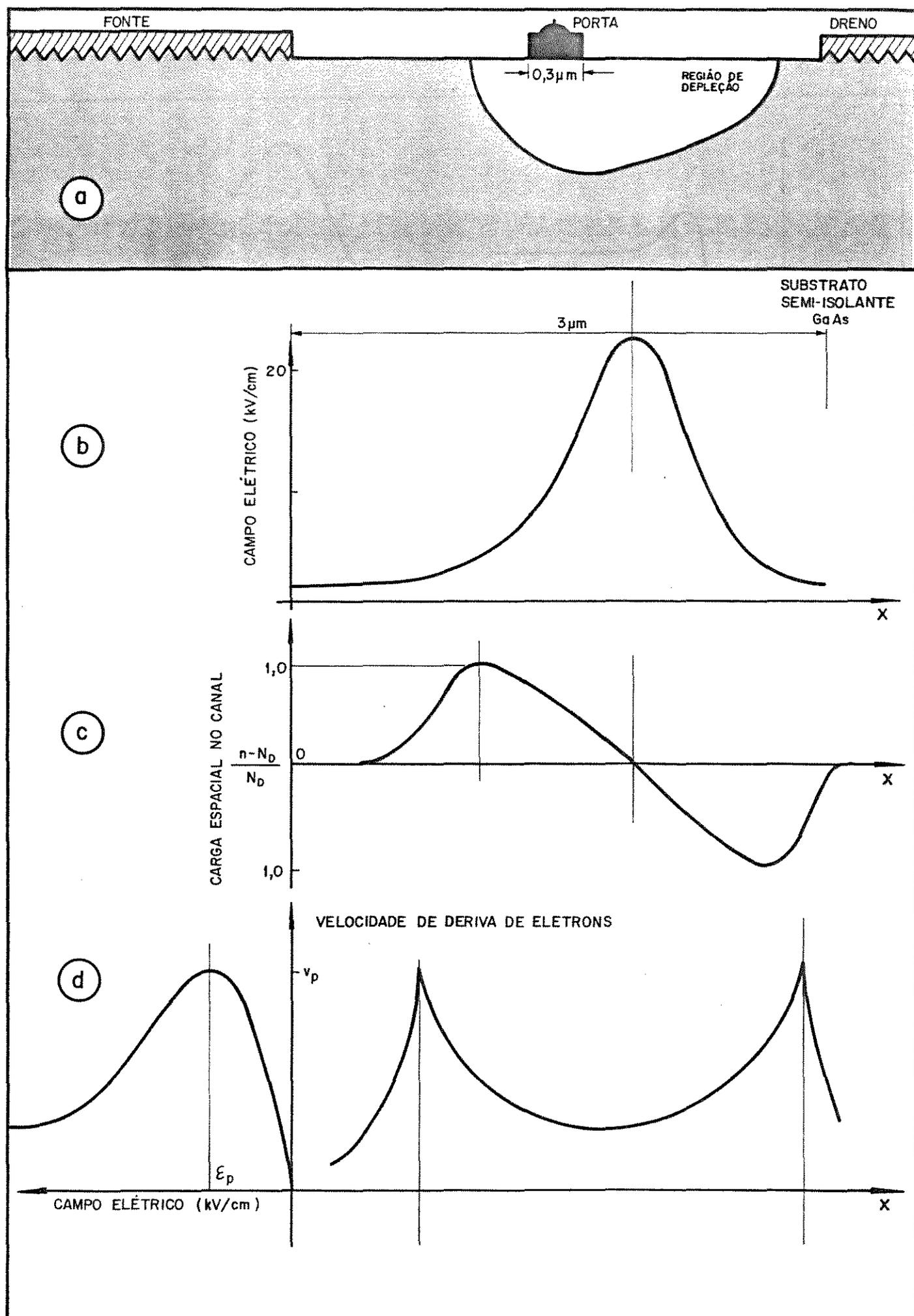


Figura 1.10 - a. Estrutura do MESFET de GaAs de canal e porta curtos com $V_{DF} > V_{DF\text{SAT}}$ [32]. b. Campo elétrico no canal.

c. Carga espacial no canal.

d. Velocidade de deriva de elétrons versus campo elétrico para GaAs.

e. Velocidade de deriva de elétrons no canal.

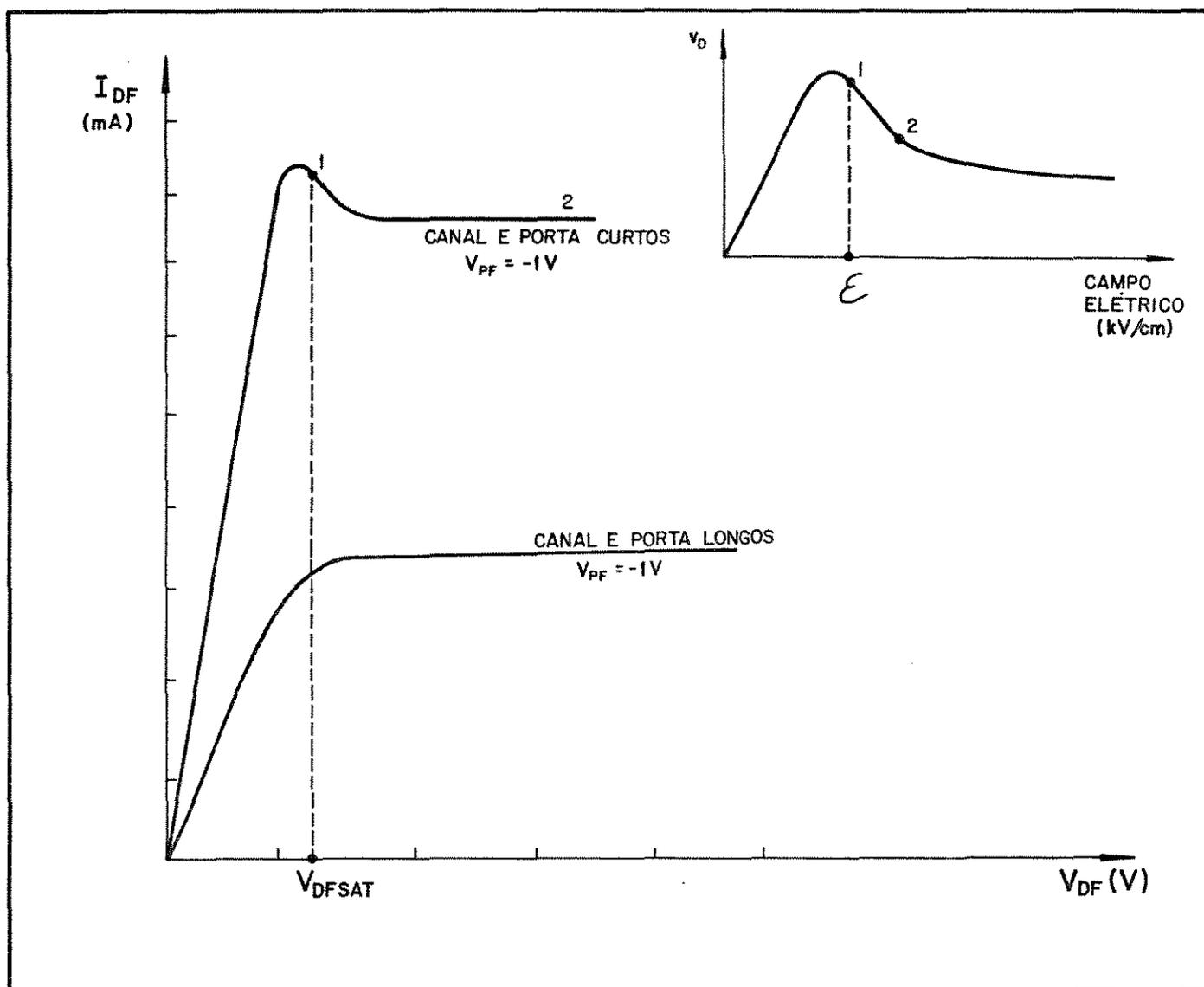


Figura 1.11 - Característica $I_{DF} \times V_{DF}$ para MESFETs de canal e porta curtos (canal e porta longos para comparação).

A partir desta situação, como ocorre também nos MESFETs de canal e porta longos, o aumento de campo acarreta uma diminuição acentuada da mobilidade e a corrente satura, ponto 2.

1.3.3 CARACTERÍSTICAS DO MESFET DE GaAs

Os MESFETs de GaAs apresentam uma grande variedade de formas e aplicações, desde transistores de baixo-ruído e alto ganho, para aplicações analógicas e microondas [38], [39], [40], passando por MESFETs para circuitos integrados de alta velocidade [18], [41]-[46] até MESFETs de potência [12], [47].

Este trabalho concentra atenção na tecnologia de fabricação e desenvolvimento de MESFETs de GaAs com comprimento de porta da ordem de micron ou sub-micron, tanto para aplicações analógicas, como para aplicações digitais em circuitos integrados de GaAs.

Nesta seção as principais características elétricas e estruturais serão abordadas visando definir parâmetros e grandezas típicas para o dispositivo.

Tendo em vista a baixa mobilidade das lacunas no GaAs, cerca de 20 vezes menor que a dos elétrons, os MESFETs de GaAs são exclusivamente do tipo N, são dispositivos unipolares, ou seja, só os portadores majoritários elétrons participam do mecanismo de condução. A grande maioria dos MESFETs de GaAs são do tipo de pleção, ou também chamados normalmente conduzindo ("normally-on").

1.3.3.1 ESTRUTURA FÍSICA

A estrutura de um MESFET de GaAs típico é mostrada na figura 1.12. Do ponto de vista estrutural, a alta resistividade do GaAs dopado com Cromo, Cr, ou Oxigênio, O, cerca de $10^7 \Omega \cdot \text{cm}$, é a responsável pela isolação adequada entre dispositivos, sejam eles discretos ou integrados. Compare-se por exemplo com a resistividade intrínseca do Si que é da ordem de $10^5 \Omega \cdot \text{cm}$, mas praticamente só é disponível da ordem de 10^3 - $10^4 \Omega \cdot \text{cm}$.

Sobre este substrato semi-isolante (S.I.) forma-se a camada ativa do dispositivo cuja dopagem do tipo N de Sn é tipicamente da ordem de 10^{17} cm^{-3} .

Para atenuar os efeitos da interface entre o substrato S.I. de alta resistividade e a camada ativa, uma camada intermediária denominada "buffer", de dopagem típica 10^{14} cm^{-3} e alguns microns de espessura, é formada. É possível formar uma camada acima da camada ativa muito dopada tipo N^+ para diminuir a resistência de contato de dreno e fonte. Os diferentes processos de formação da camada ativa estão descritos no cap. 2.

Os eletrodos de dreno e fonte formam contatos ôhmicos com a camada ativa e são metalizações de Au-Ge-Ni com camada posterior de Au para formação dos "pads" (terminal).

A porta é o principal eletrodo do dispositivo e defi

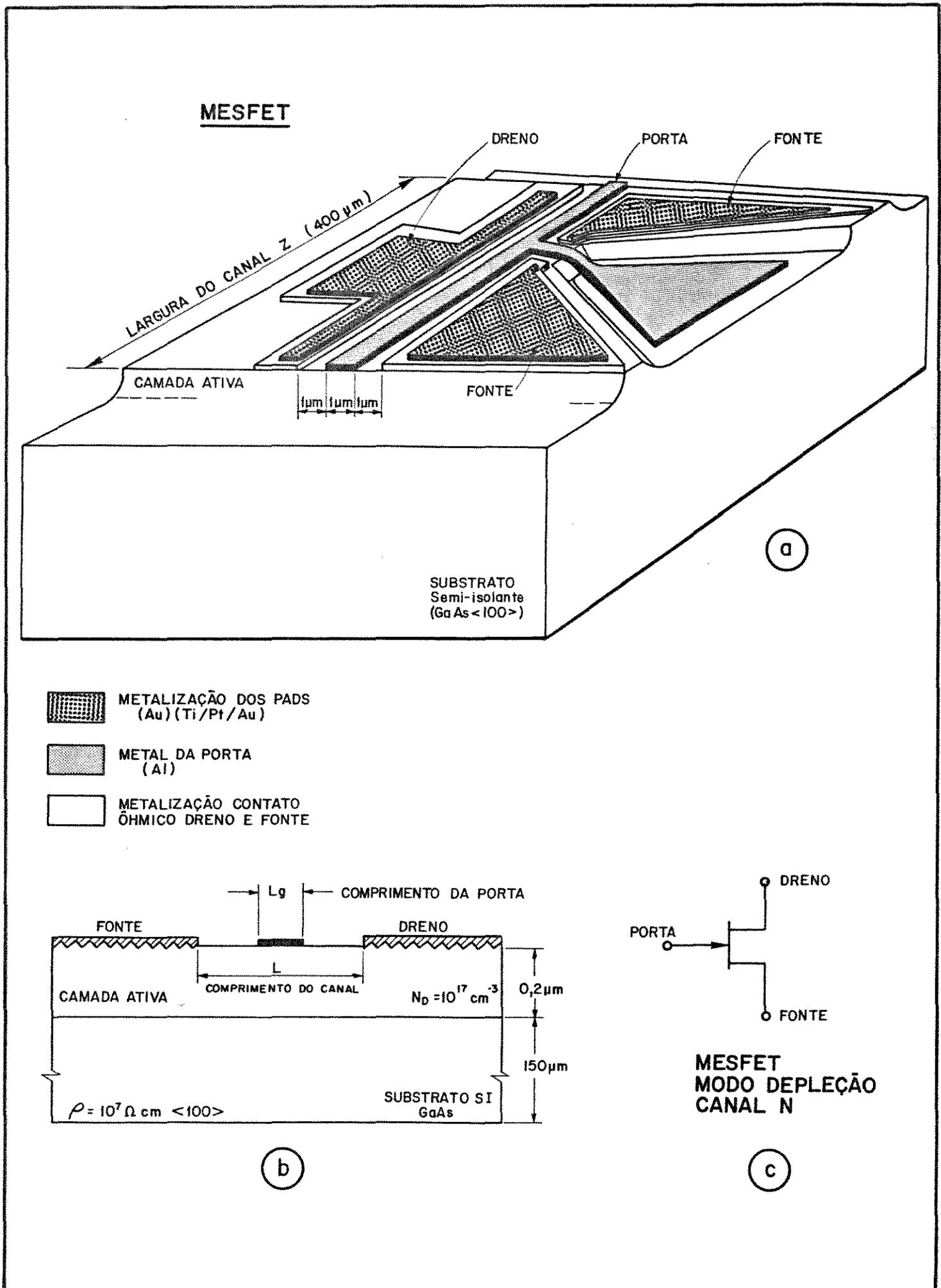


Figura 1.12 - a. Estrutura física de MESFET de GaAs típico.
 b. Dimensões e parâmetros de construção típicos.
 c. Símbolo elétrico e modo de operação.

4.2.9. FOTOLITOGRAFIA PARA DEFINIÇÃO DA PORTA: SISTEMA COM FOTORRESISTE E CAMADA ANTI-REFLETORA

O sistema mono-camada descrito na seção anterior é suficiente para a obtenção de portas micron e sub-micron, a partir de gravação em torno de $3 \mu\text{m}$. Mesmo com esta dimensão inicial, notamos que o rendimento (yield) por amostra era pouco superior a 50%.

A ocorrência, em muitos dispositivos, de interrupção e irregularidades no perfil do metal da porta, indicou-nos a necessidade de aprimorar o sistema de camadas fotossensíveis. Além da necessidade de se melhorar o rendimento, o sistema multi-camadas possibilita a gravação de dimensão inicial cada vez menor $3 \mu\text{m}$, $2 \mu\text{m}$, $1,5 \mu\text{m}$, em direção à gravação direta da porta.

Os problemas de não uniformidade de intensidade de radiação incidente, que é acoplada ao fotorresiste, geram as irregularidades no metal da porta.

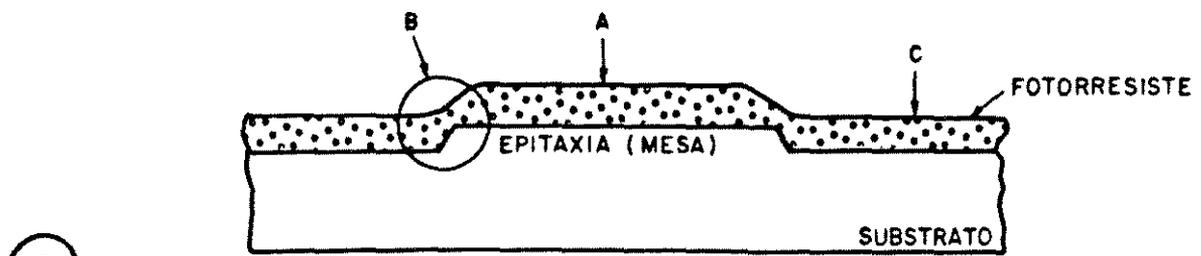
Dois fenômenos importantes, que ocorrem na definição de imagens sobre a superfície da amostra, limitam a resolução máxima permitida pelo sistema óptico que projeta as imagens [20] [21]:

1. Variação da espessura do fotorresiste próximo a degraus na superfície da amostra.
2. Reflexões múltiplas do substrato ou de algum filme metálico sobre este, dando origem a "ondas estacionárias" de intensidade de iluminação.

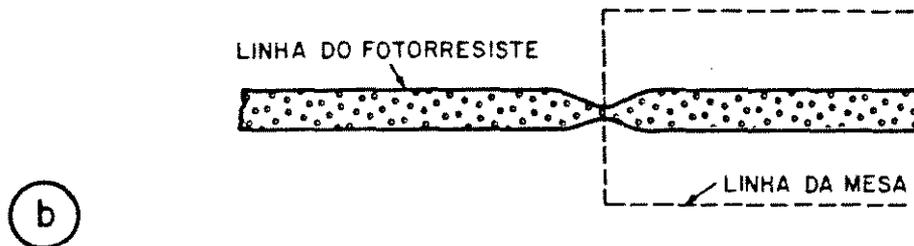
A situação típica é esquematizada na fig. 4.4a

Se o filme de fotorresiste sobre a mesa, região A, recebe a mesma exposição que o fotorresiste próximo à borda da mesa, região B, este último, como é menos espesso, revela primeiro e continua a se revelar enquanto os filmes de fotorresiste da região A ou C já estão revelados.

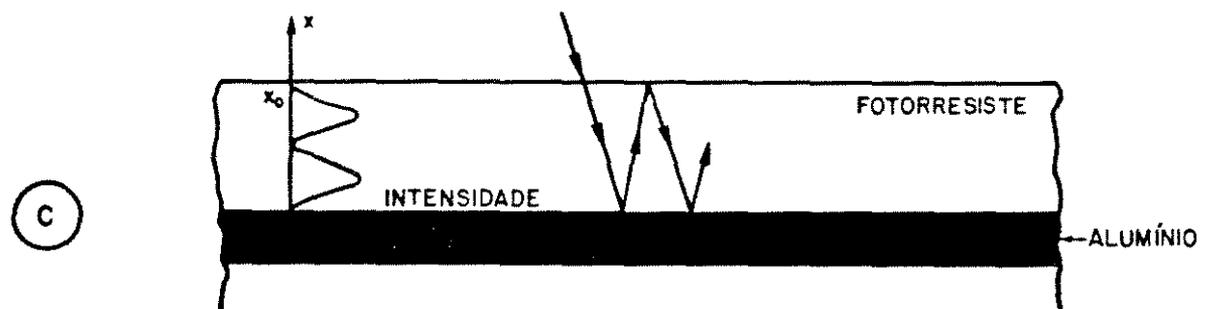
Como resultado apenas da variação da espessura do fotorresiste e conseqüente revelação excessiva [22] a linha final será estrangulada como se mostra na fig. 4.4a .



- FILME DE FOTORRESISTE SOBRE SUBSTRATO COM MESAS.
VARIÇÃO DA ESPESSURA DO FOTORRESISTE NAS DIFERENTES
REGIÕES.



- ESTRANGULAMENTO DA LINHA POR VARIÇÃO DA ESPESSURA
DO FOTORRESISTE E CONSEQUENTE TEMPO EXCESSIVO DE
REVELAÇÃO.



- CONFIGURAÇÃO DO SISTEMA SEMICONDUTOR - FILME METÁLICO
FOTORRESISTE E A ONDA ESTACIONÁRIA RESULTANTE DAS
REFLEXÕES NAS INTERFACES.

Figura 4.4 - Sistema semiconductor, alumínio e fotorresiste e fenômenos de variação dimensional associados.

A partir da característica estática C.C. deste dispositivo, apresentada na figura 1.13a, é possível obter algumas grandezas que identificam o dispositivo. A transcondutância g_{mo} da da por:

$$g_{mo} = \left. \frac{\Delta I_{DF}}{\Delta V_{PF}} \right|_{V_{DF} = \text{constante}} \quad (1.5)$$

é aproximadamente 35,0 mS.

A tensão de estrangulamento, ou "pinch-off", V_p , que é a tensão de porta-fonte, para a qual praticamente não há corrente de dreno, é, para o dispositivo apresentado na figura 1.13, $V_p = 30V$.

O valor de I_{DSS} , que é a máxima corrente no canal, não deve ser ultrapassada pois, a partir daí, a junção Schottky da porta é diretamente polarizada e poderá haver rompimento da junção. Para o MESFET apresentado $I_{DSS} = 52,0$ mA.

As três grandezas apresentadas, ou seja, g_m , V_p e I_{DSS} dependem fundamentalmente da estrutura física do dispositivo e do tipo de dopagem do semiconductor. Apresentam para o mesmo lote de dispositivos uma dispersão acentuada de valores. Para V_p , os valores mínimos, típico e máximo são respectivamente: -1,0 V, -3,0 V e -5,0 V, para I_{DSS} : 20 mA, 40 mA e 60 mA. Para g_m o valor mínimo é 20 mS e o típico 35 mS.

Esta dispersão de valores para um mesmo lote de dispositivos deve-se às dificuldades tecnológicas de controle da espessura e dopagem da camada ativa.

Na figura 1.13a observa-se que, na região de saturação, há uma declividade da característica, o que representa uma resistência de saída finita e que não é prevista pelo modelo proposto nas seções 1.3.2.1 e 1.3.2.2 (figuras 1.9 e 1.11). A resistência de saída [23], [51] é objeto de análise no capítulo 3.

O comportamento dinâmico em altas frequências do MESFET de GaAs é sintetizado no modelo incremental para pequenos sinais [5], [52] mostrado na figura 1.14. Neste modelo simplificado, os principais parâmetros e grandezas do ponto de vista do comportamento C.A. são apresentados. A localização de um elemento

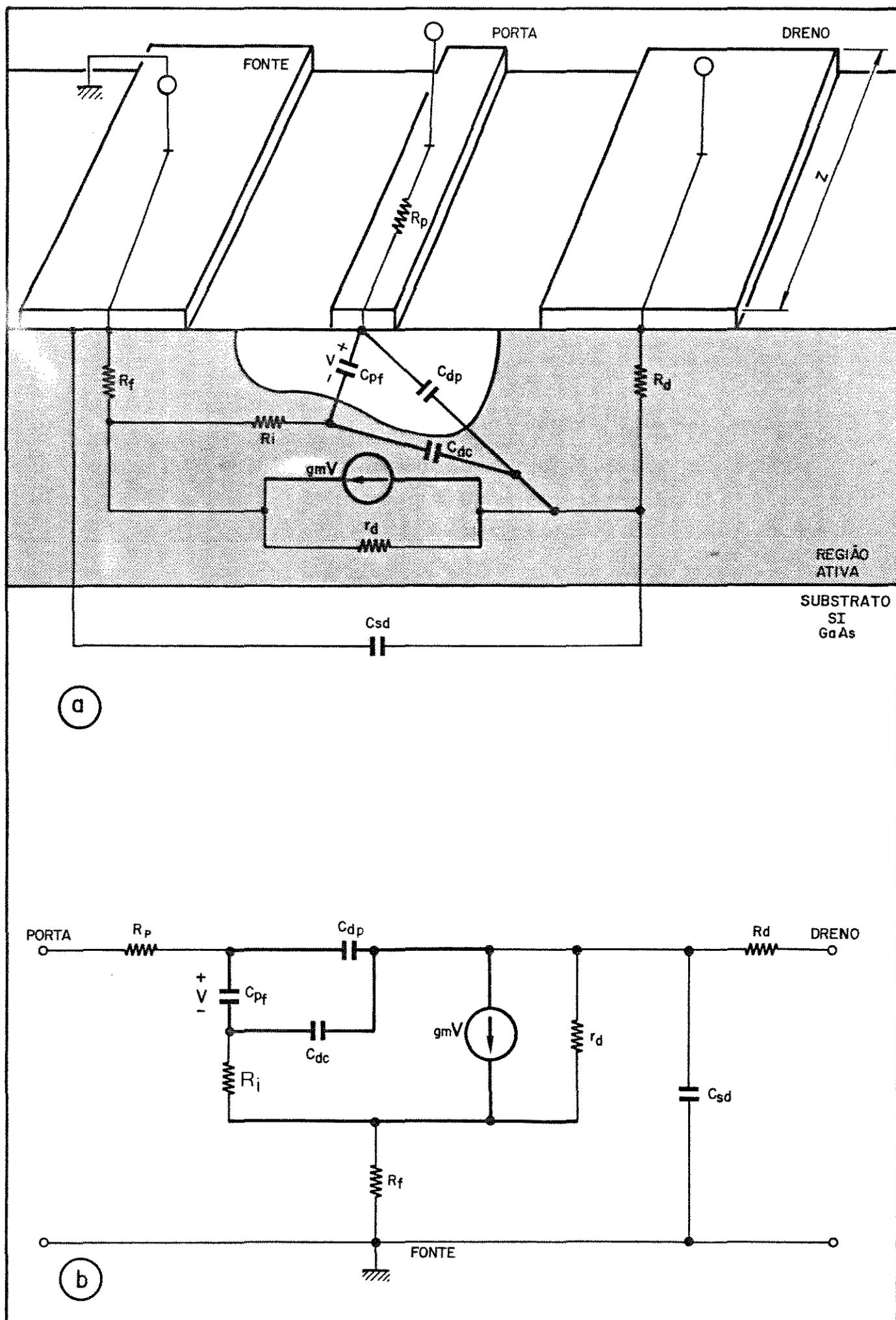


Figura 1.14 - Modelo Incremental Pequenos Sinais para MESFETs de GaAs.

- Principais elementos de circuito que representam fenômenos físicos no dispositivo.
- Circuito equivalente para conexão do transistor na configuração fonte-comum

com o mesmo período, independentemente do valor absoluto dessa espessura.

Na fig. 4.5 esquematizamos os resultados decorrentes dos fenômenos descritos até aqui, enfatizando as ocorrências extremas. Para a espessura menor do resiste na borda da mesa (X_A), correspondendo, por exemplo, a um número ímpar de $\frac{\lambda}{4n}$ a configuração de onda estacionária, de acordo com a equação 4.6, é máxima, como mostra a fig. 4.5b. Assim o fotorresiste, próximo a esta região, recebe uma sobre-exposição que acarreta uma taxa maior de dissolução no ciclo de revelação [22]. Como resultado a linha do fotorresiste é estrangulada e, por consequência, depois do ataque químico do alumínio, a linha da porta fica completamente irregular ou mesmo interrompida.

Sobre a mesa está exemplificado o que ocorre quando a espessura do fotorresiste torna-se maior, resultando num número ímpar de $\lambda/4n$. Nesse caso o fotorresiste sofre uma sub-exposição e, como consequência, a linha se torna mais larga.

Estes fenômenos resultam numa porta bastante irregular, dependendo da topologia da superfície do semiconductor (ou filme metálico) e da uniformidade da camada do fotorresiste.

UTILIZAÇÃO DE CAMADAS ANTI-REFLETORAS - ARC

Uma técnica para se evitar estes efeitos é o uso de sistemas multicamadas com auxílio de componentes anti-refletores utilizados sobre o semiconductor ou metal, antes da aplicação do fotorresiste.

O composto orgânico (polímero) que empregamos neste trabalho tem a aparência e cor similares aos fotorresistes comerciais (do tipo AZ1350) e com viscosidade e modo de aplicação também semelhantes, ou seja a camada anti-refletora é compatível com os processos de fotogração convencionais.

Estes compostos anti-refletores, "anti-reflective coating" funcionam por absorção da luz evitando os efeitos indesejáveis de onda estacionária no fotorresiste. Ainda mais, servem para planarizar a superfície evitando os efeitos advindos da variação de espessura do fotorresiste numa superfície semicondu-

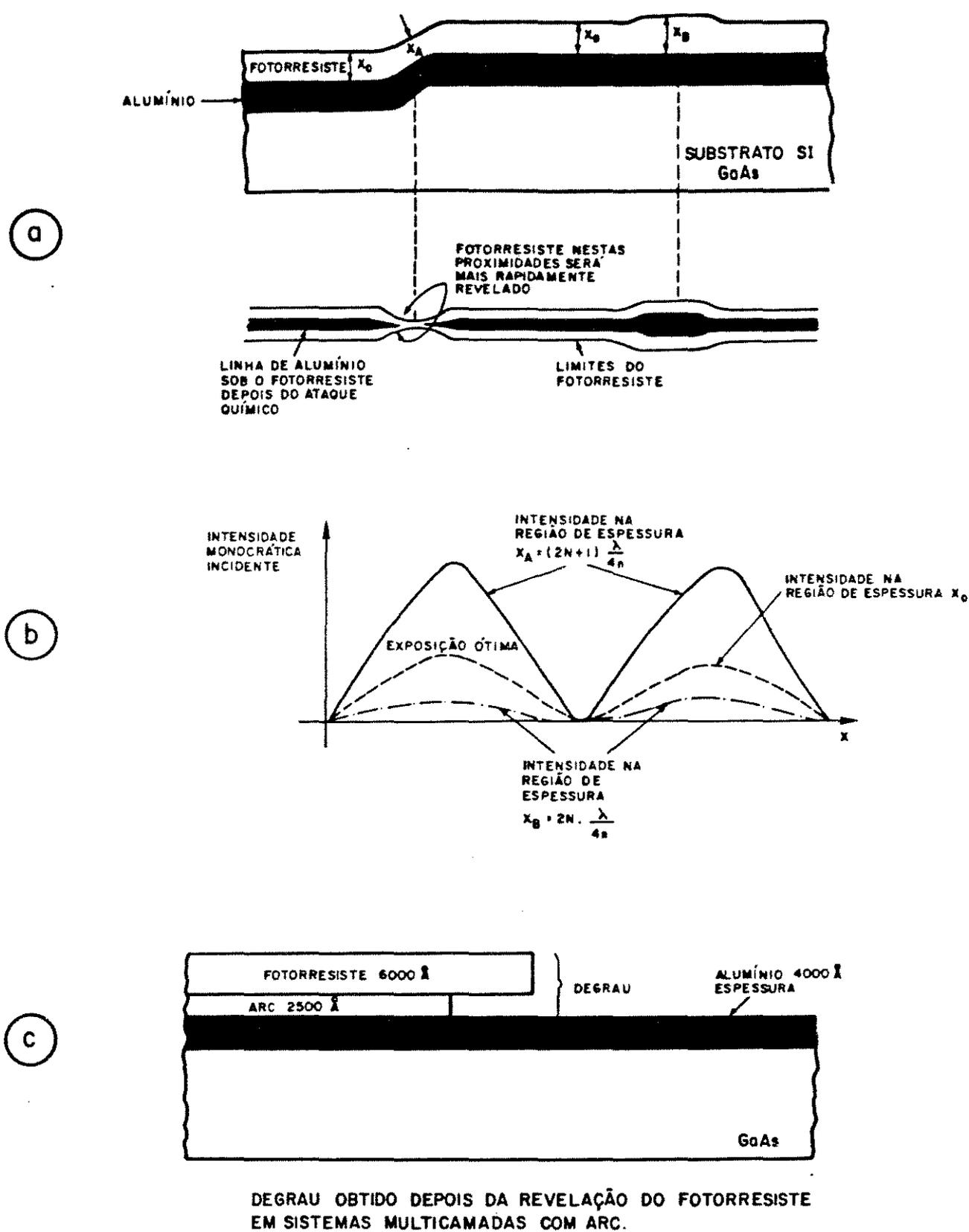


Figura 4.5 - a) Topologia típica do sistema semiconductor-filme metálico-fotorresiste no processo de auto-alinhamento para MESFETs de GaAs. Irregularidades das linhas metálicas devido às variações de amplitude da onda estacionária para diferentes espessuras do fotorresiste.
 b) Configurações de onda estacionária para diferentes espessuras do fotorresiste.

tora com elevações e depressões.

O composto utilizado é denominado ARC-L2, [23] mas qualquer polímero transparente (por exemplo HPR 204) com 1% ou 1,5% de corante para laser também pode ser utilizado [21].

Determinamos que este composto, se convenientemente recozido ("bake"), é revelado conjuntamente com o fotorresiste pelo revelador AZ606 (1:9::AZ606:H₂O). O ciclo de recozimento ótimo que determinamos para o ARC-L2 é 30 min. a 130°C.

A taxa de dissolução do ARC é maior que a do fotorresiste, resultando assim num degrau adicional sob o fotorresiste. Esse degrau mostrado na fig. 4.5c propicia a definição de linhas ainda mais finas, facilitando o processo de auto-alinhamento e a etapa de "lift-off" sem a necessidade de utilização do banho de cloro-benzeno ou Tolueno [19].

Outros sistemas multicamadas são utilizados [21] também tendo em vista os mesmos objetivos, ou seja, ampliar os limites de resolução do sistema de fotografação até as limitações inerentes ao próprio sistema óptico. O sistema aqui descrito é o mais simples, cumprindo duas funções: planariza a superfície e minimiza os efeitos de onda estacionária.

Procedimento experimental:

1. A aplicação da camada anti-refletora é feita tipicamente à rotação de 3000 rpm, durante 30 seg, obtendo-se um filme com espessura de 2000 a 3000Å, de coloração avermelhada. Submete-se a amostra a um ciclo de recozimento (125 a 130°C, 30 min), após o qual o filme torna-se transparente.
2. A seguir aplica-se o fotorresiste de acordo com os procedimentos mencionados na seção 4.2.8. Submete-se a amostra a um recozimento antes da exposição de 80°C, 20 min.
3. A exposição do sistema de dupla camada deve ter um tempo ampliado de 25% comparado com o sistema de uma camada. Utilizamos cerca de 10 a 11 segundos de exposição para cada campo. A seguir a amostra é submetida a um recozimento antes da revelação de 100°C, 20 min.

4. A revelação do sistema de dupla camada segue o mesmo procedimento descrito na seção 4.2.5. Além da solução mencionada anteriormente, outra solução possível é 1:1::MF312:H₂O. O tempo de revelação deve ser cuidadosamente definido para assegurar que a camada anti-refletora tenha sido dissolvida. Este tempo não deverá ser muito longo devido às diferentes taxas de dissolução da camada. Tipicamente identificamos um tempo de 15 seg., bem inferior ao sistema monocamada.

RESULTADOS EXPERIMENTAIS

Utilizando-se o processo de aplicação de ARC na etapa de definição de portas de MESFETs de GaAs obtivemos transistores com porta micron e sub-micron como mostram as fotos a seguir.

As fotos foram obtidas durante o processamento de duas fornadas diferentes. Uma sem aplicação de ARC (fig. 4.6a) e outra com aplicação de ARC (fig. 4.6b). As fotos mostram os MESFETs em fase de conclusão, depois do ataque químico do alumínio sob o fotorresiste.

Na fig. 4.6a a porta aparece interrompida e bastante irregular devido aos efeitos mencionados anteriormente. Essa irregularidade se traduz em alta resistência da porta, deterioração das características D.C. e limitação nas características de alta-frequência.

As fig. 4.6b e 4.7a e b mostram portas de alumínio bastante regulares, com alto grau de aproveitamento na lâmina (aprox. 80%), na fornada de transistores onde se empregou a camada anti-refletora (ARC). Os transistores foram realizados por fotolitografia de projeção (10:1), mas, os resultados se aplicam igualmente para fotolitografia por contato.

Através de uma técnica simples e compatível com os processos convencionais de fotolitografia é possível gravar linhas micron e sub-micron bastante regulares. A introdução desta técnica nos processos de fabricação de dispositivos e circuitos integrados, se faz adicionado-se apenas duas etapas: a da aplicação e a de recozimento da camada anti-refletora.

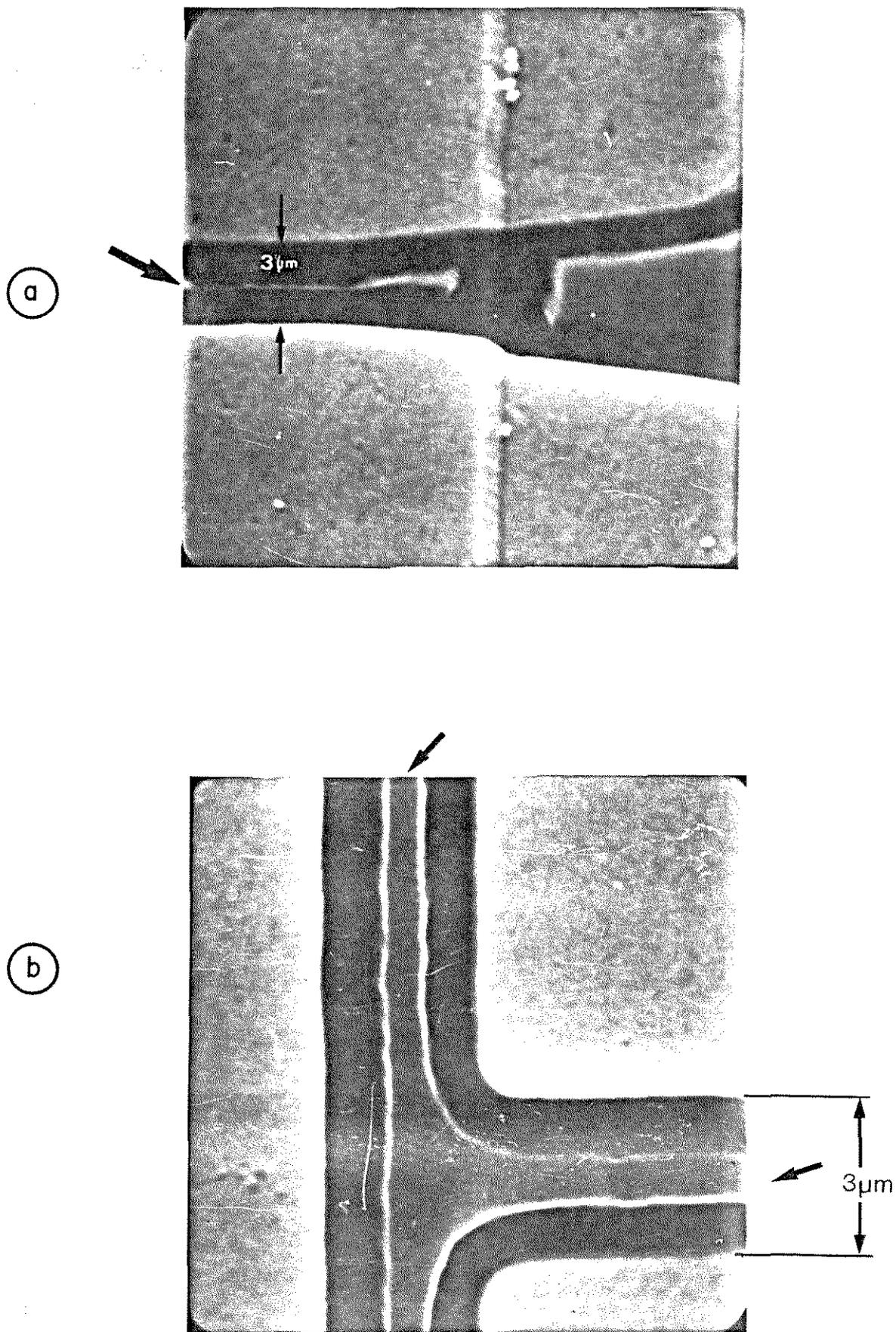


Figura 4.6 - a) Detalhe MESFET GaAs com porta irregular e interrompida. Processo auto-alinhamento sem aplicação de ARC. Regiões claras: Metalização de dreno e fonte.
 b) Detalhe MESFET GaAs com porta bastante regular processo auto-alinhamento com aplicação de ARC. A seta indica a porta.

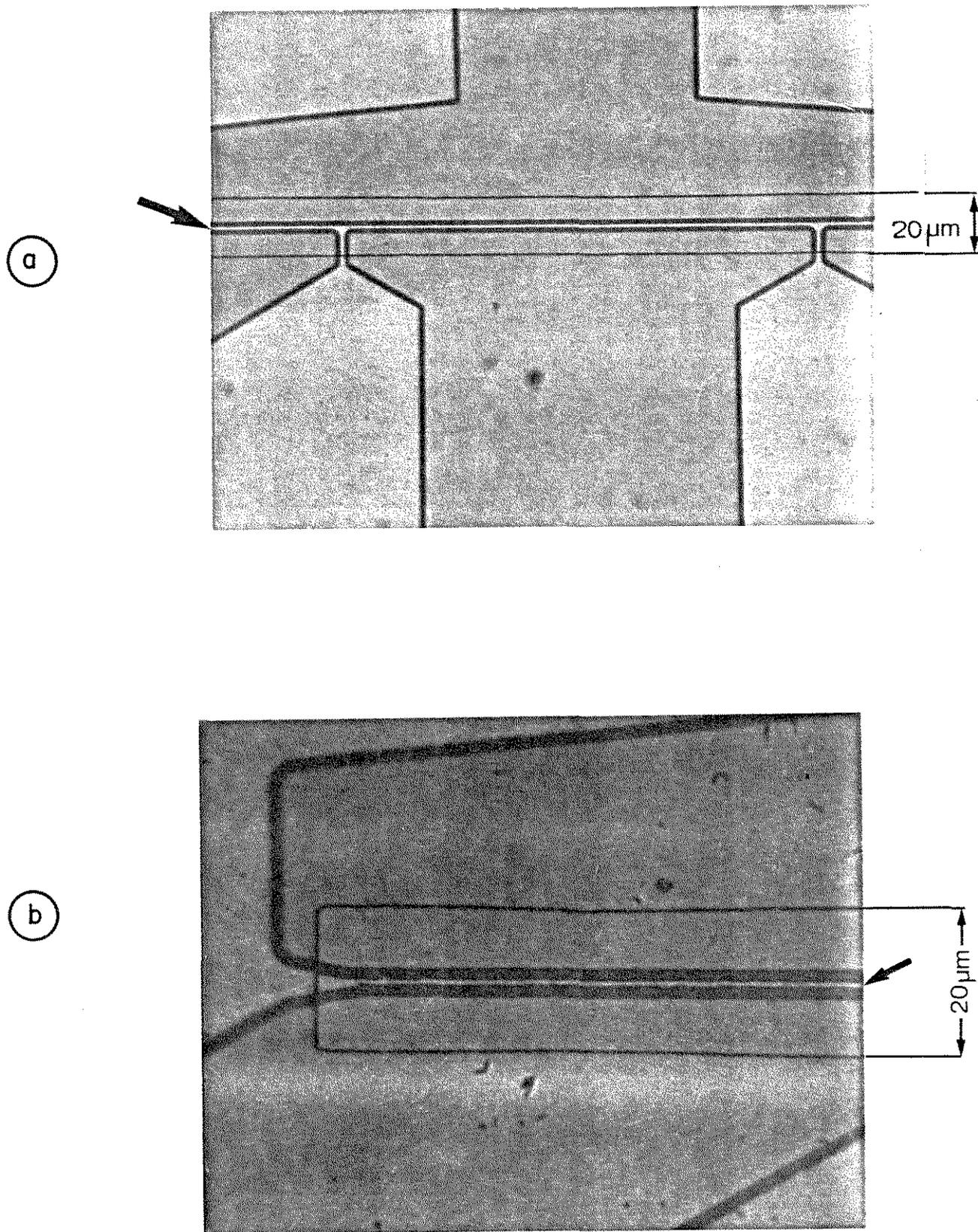


Figura 4.7 - a) Detalhe MESFET de GaAs. Porta indicada pela seta. Processo auto-alinhamento com aplicação de ARC. Note a geometria regular da porta.

b) Detalhe MESFET de GaAs com porta bastante regular. Porta sub-micron. Regiões claras: Metalização de dreno e fonte e metal da porta. Regiões escuras: Substrato e epitaxia GaAs. Processo auto-alinhamento com aplicação de ARC.

Essa técnica desloca os limites de geometria mínima, impostos durante o processo de fotolitografia, para limites inferiores, inerentes ao sistema óptico, sem alterar o sistema fotográfico utilizado.

A aplicação desta técnica é bastante ampla, não se restringindo apenas a MESFETs de GaAs. Os circuitos integrados monolíticos de alta velocidade de silício ou mesmo GaAs, que exigem geometrias na faixa micron e sub-micron, podem ser construídos utilizando-se essa técnica, sem se alterar o sistema de fotolitografia.

4.2.10. DEFINIÇÃO DA PORTA POR ATAQUE DO ALUMÍNIO SOB O FOTORRESISTE

A etapa do ataque do alumínio sob o fotorresiste é a etapa mais crítica da tecnologia de auto-alinhamento aqui desenvolvida. Ela define a dimensão final da porta (micron ou submicron) e o rendimento do processo.

O procedimento experimental, que adotamos e descrevemos a seguir, independe do tipo de sistema de fotorresiste, se monocamada ou dupla camada.

Procedimento experimental: Nesta, preparam-se três soluções em três béquers de vidro de 50 ml. Cada béquer contém 40 ml de H_3PO_4 e em um deles adiciona-se 1% de HNO_3 (40 ml; 0,4 ml:: $H_3PO_4:HNO_3$). (Ver fig. 4.8).

- Os três béquers são colocados sobre uma chapa quente ("hot-plate"), com controle de temperatura fixado em $80^{\circ}C \pm 1^{\circ}C$. A temperatura é monitorada em cada béquer com 3 termômetros ou, se for utilizado apenas um termômetro, a medida é iniciada pelo béquer nº 3, para evitar transporte de HNO_3 para os outros béquers. A temperatura no béquer nº 3 é a mais importante.
- O substrato é mergulhado no béquer nº 1 (que contém H_3PO_4 + 1% HNO_3 , sendo que o ácido nítrico acelera o ataque do alumínio). O tempo deste mergulho não é crítico (3 a 5 segundos) mas sim o aparecimento de uma camada de minúsculas bolhas cobrindo a amostra. Esta camada indica o ataque inicial do alumínio. Imediatamente após o aparecimento da camada de bolhas retira-se a amostra do béquer nº 1 e mergulha-se uma única vez e, rapidamente, no béquer nº 2 para remover o HNO_3 .
- Mergulha-se repetidamente a amostra no béquer nº 3 agitando-se a amostra para remover as bolhas, à medida que elas se formam. Quando não houver mais bolhas se formando, inicia-se a contagem do tempo. Este tempo de 10 a 12 segundos, para obtenção de portas de $0,5 \mu m$ de comprimento, é o tempo mais crítico e deve ser calibrado no laboratório. É muito dependente da temperatura. Os valores que indicamos são apenas típicos (obti

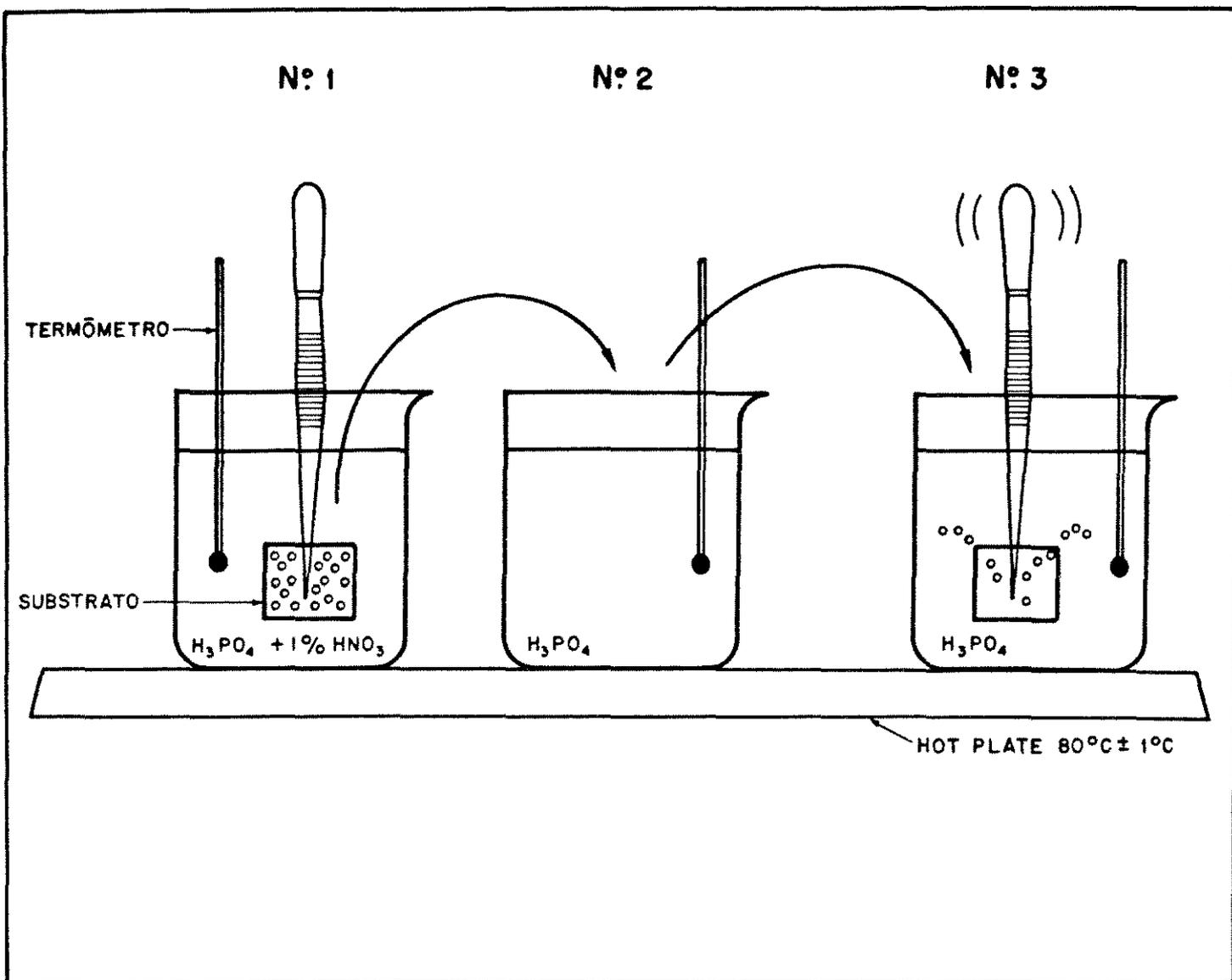


Figura 4.8 - Seqüência para ataque do alumínio sob o f_0 torresiste, para formação da porta.

dos por nossa calibração) para obtenção de portas submicron. Terminado o tempo estabelecido, lava-se a amostra em água D.I. e seca-se com N_2 gasoso.

As áreas das amostras que sofreram o ataque do alumínio mudam de coloração branca para cinza (GaAs).

A calibração obtida em nosso trabalho, fig. 4.9, mostra o comprimento resultante da porta em função do tempo medido de ataque do alumínio, conforme o item 3.

Reafirmamos que esta etapa, sendo muito crítica, exige a calibração específica para as condições reais do laboratório.

Obtivemos com esta técnica, para diferentes tempos e

com boa reprodutibilidade, portas com comprimento variando de $0,3 \mu\text{m}$ a $2,0 \mu\text{m}$. Com aproveitamento ("yield") muito baixo é possível obter portas de $0,15 \mu\text{m}$ e $0,2 \mu\text{m}$.

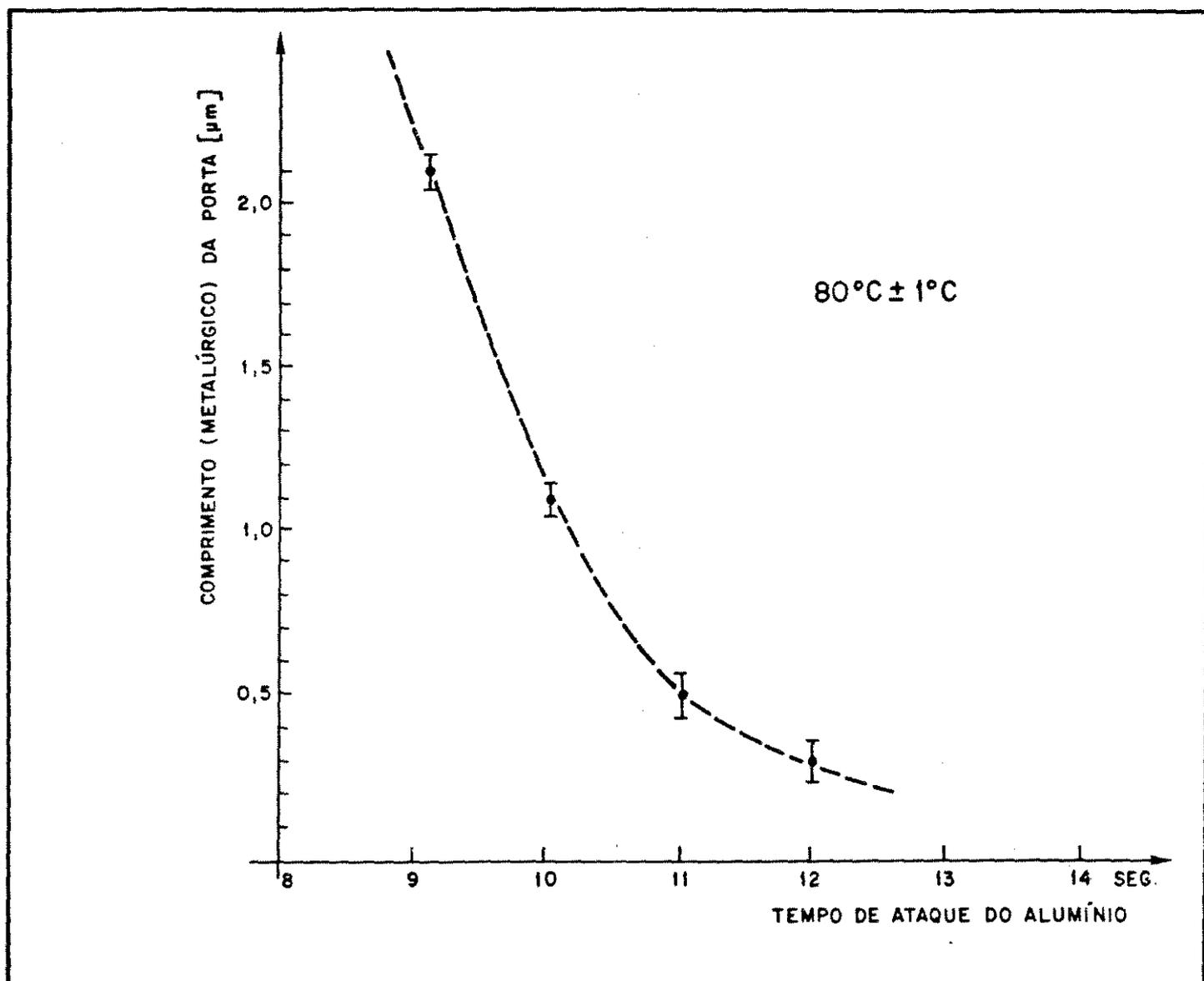


Fig. 4.9 - Calibração do tempo de ataque do alumínio sobre o fotorresiste para definição da porta.

4.2.11. AUTO-ALINHAMENTO DE DRENO E FONTE: CONTATOS ÔHMICOS

A técnica de auto-alinhamento, descrita no capítulo 2, é fundamentalmente definida nesta evaporação dos metais para contatos ôhmicos de dreno e fonte. Corresponde à situação indicada na etapa f da fig. 4.1.

Diferentes metais e sistemas metálicos foram desenvolvidos para a formação dos contatos ôhmicos de dreno e fonte em MESFETs de GaAs. Basicamente os metais selecionados devem produzir, após o ciclo de recozimento ("annealing"), um processo de liga ("alloying") com o sistema metal-semicondutor, dando origem a regiões de muito baixa resistência.

Os metais Sn e In, normalmente utilizados para dispositivos de teste, não podem ser empregados em MESFETs ou outros transistores, devido à acentuada migração destes elementos no GaAs, provocando curto-circuito nos dispositivos [24].

O objetivo é determinar uma mistura de metais que penetre e permita a interdifusão com o GaAs, resultando numa região de baixa resistência.

Uma série de combinações foram investigadas, visando minimizar a resistência específica de contato: Sn-Ag, In-Ag, Ge-Au-Ag, Sn-Ge-Ag, In-Ge-Ag entre outros [25].

O metal base que mais se utilizou e utiliza-se para o contato ôhmico é o ouro. Entretanto, este metal, quando empregado só, apresenta algumas dificuldades.

O ouro, que pode ser usado para a barreira Schottky (na porta) [26] [27], quando usado isoladamente para contato ôhmico, funciona como um sumidouro ("sink") para átomos de gálio, que difundem-se para fora ("out-diffusion") do GaAs, degradando as condições do contato ôhmico [24].

A solução encontrada foi utilizar uma evaporação de Au e Ge (88% Au+12% Ge) [28], que formam uma liga e penetram no GaAs. Estudos com RBS indicam [24] que a consequência mais importante da inclusão do Ge no filme é o aumento da interdifusão e penetração do sistema. O Ge também permite um processo de liga ("alloying"), bastante não-uniforme, o que leva à baixa resistência de contato [24] [29].

Uma modificação bastante utilizada no sistema Au-Ge é a adição de uma camada de Ni [28]. O Ni foi usado originalmente para fixar o Au-Ge, melhorar a uniformidade da camada e evitar o embolamento ("balling-up") durante o ciclo de recozimento, ("annealing") [24]. Ele possui seu papel reconhecido também na melhora do "molhamento" do filme eutético e aumento da solubilidade do GaAs [29]. Algumas vezes é possível depositar Ni (100 a 500 Å) antes, para melhorar o "molhamento" e conseqüente aderência, mas esta evaporação não surte muito efeito, à medida que o filme se funde durante o ciclo de recozimento [29]. O níquel difunde-se muito no GaAs e o uso excessivo desse metal pode degradar a performance do contato [29].

Para uniformizar o filme de Au-Ge/Ni utiliza-se uma camada de prata ("overlay") e, finalmente, para permitir a solda de fios, uma camada suficientemente dúctil é depositada, no caso Au.

Assim, adotamos o sistema Au-Ge/Ni + Ag + Au para definir o sistema metálico para os contatos ôhmicos.

Descrevemos, a seguir, o procedimento experimental para deposição destes metais.

1. As amostras (substratos), antes da evaporação, devem ser submetidas a um ataque químico para limpeza, idêntico ao proposto na seção 4.2.7. Este ataque de pré-evaporação é fundamental para a qualidade dos contatos ôhmicos.
2. A evaporação dos metais pode ser feita por feixe de elétrons ou térmica. Neste trabalho utilizamos evaporação térmica. Os metais a serem evaporados devem estar limpos. Para o Au e Au-Ge usa-se um banho em HCl puro durante 30 seg. Os metais a serem evaporados Au-Ge, Ni, Au e Ag estão na forma de pequenas peças (pellets), sendo que a liga Au-Ge já está preparada na proporção de 88% Au e 12% Ge. Cuidado especial deve ser tomado com os ("pellets") de Ni pois, devido às suas características magnéticas, podem saltar do cadinho ("basket") de tungstênio quando circular corrente, durante a evaporação térmica.
3. A técnica de evaporação está muito associada ao equipamento disponível. A pressão típica, antes da evaporação, deve estar em torno de 10^{-7} torr e durante a evaporação em 10^{-6} torr. Inicia-se a evaporação simultânea de Au-Ge/Ni para uma espessu

ra de 750 Å. Em seguida, evapora-se Ag, com espessura de 1000 Å e, finalmente, Au, com espessura de 1500 a 2000 Å. Estas espessuras devem ser perfeitamente monitoradas para não haver problemas durante a etapa de decapagem ("lift-off").

4.2.12. REMOÇÃO DOS METAIS EM EXCESSO: DECAPAGEM ("LIFT-OFF")

A evaporação dos metais para formação dos contatos ôhmicos de dreno e fonte, descrita na seção anterior e representada na fig. 4.1f, ocorre em toda superfície da amostra e sobre o fotorresiste.

A etapa que descrevemos aqui corresponde à técnica de decapagem ("lift-off"), que consiste na remoção do sistema metálico evaporado sobre o fotorresiste.

Ao se remover o fotorresiste, os metais em excesso são removidos.

No caso do sistema monocamada (sô o fotorresiste do tipo AZ1350J), o procedimento experimental é o seguinte:

Deixa-se a amostra imersa em acetona durante 5 minutos. Em seguida, com uma seringa hipodérmica de vidro, expõe-se a amostra a jatos de acetona. O fotorresiste é removido, retirando-se os metais em excesso.

Para o sistema com camada anti-refletora, a imersão deve ser feita em um removedor de ARC-L2, denominado "ARC Cleaner". Para este removedor, o tempo de imersão é de 5 a 7 minutos e, em seguida, deve-se expor a amostra a jatos de "ARC Cleaner" com um balão de lavagem ("wash-bottle").

O sucesso da operação de decapagem ("lift-off") é notado logo aos primeiros jatos do solvente do fotorresiste (ou da camada refletora). Vê-se o despreendimento fácil de películas brilhantes de metal, flutuando na solução.

Após a decapagem ("lift-off") as amostras são lavadas com água DI e secadas. As portas formadas são observadas. A seção 4.2.9 apresenta alguns resultados obtidos.

RECOZIMENTO ("ANNEALING") E CICLO DE FORMAÇÃO DE LIGA ("ALLOYING")

O ciclo de recozimento é que permite a formação da liga entre o sistema de metais Au-Ge/Ni + Ag + Au e o GaAs, para formação dos contatos ôhmicos de dreno-fonte.

O ciclo que utilizamos neste trabalho é um ciclo padrão, onde a amostra é rapidamente elevada à temperatura de 450°C até 356°C, em 60 seg. Em seguida, eleva-se a temperatura para 425°C. Ela é mantida aí durante aproximadamente 15 seg. e, novamente, volta-se à temperatura ambiente. O ciclo é todo realizado com fluxo de H₂. Este ciclo térmico de recozimento é equivalente a um ciclo de 460°C em 10 segundos.

As condições do forno é que vão ditar o ciclo de recozimento.

Após o recozimento, o alumínio apresenta pequena granulação negra e o metal de contato ôhmico apresenta-se bastante "suavizado", sendo a prata o metal responsável por essa "suavidade" da superfície.

Os resultados do ciclo de recozimento e liga são avaliados pela determinação de ρ_c , a resistividade específica de contato. Nas próximas seções está descrito o método utilizado para se determinar ρ_c e os valores experimentais determinados para a resistência de contato de dreno e fonte.

REDUÇÃO DO TERMINAL (PAD) DA PORTA

A máscara 4, a ser gravada, está mostrada na fig. 4.3. Esta máscara protege toda a região da mesa e define (limita) os pads da porta, distanciando-os da região de fonte. O procedimento experimental para gravação é semelhante ao empregado na máscara das mesas, usando, entretanto, a formulação do AZ 1350J sem diluição. Antes da aplicação do fotorresiste procede-se a um cozimento ("bake") de 110°C, por 10 min. O tempo de exposição (por projeção) típico é de 8 segundos. O cozimento ("bake") pré-revelação é opcional. A revelação é convencional. As amostras são observadas sob o microscópio.

Ataque químico do alumínio: O alumínio em excesso é atacado quimicamente. Usa-se um bēquer com H_3PO_4 , $80^\circ C \pm 1^\circ C$. Umedece-se previamente a amostra com água DI (favorece a formação homogēnea de bolhas, o que indica uma reação em toda extensão da amostra). À medida que as bolhas vão se formando, agita-se a amostra para removê-las, até que estas não mais se formam. O fundo escuro do GaAs torna-se, então, visível. A amostra é lavada em água DI e secada. O resultado do ataque é verificado. Se estiver completo, remove-se o fotorresiste com acetona. Os transistores MESFETs de GaAs estão completos. Seguem-se os testes DC para identificação dos parâmetros dos transistores.

4.2.13. ENCAPSULAMENTO-SUPORTE ("JIG") DE TESTES

Após a gravação da última máscara, que reduz as áreas e ("pads") de alumínio, os MESFETs de GaAs estão completos. Procede-se a um teste de parâmetros D.C., utilizando-se um multiprovador e um traçador de curvas para transistores.

O teste D.C. deve ser realizado transistor por transistor e utilizando-se o recurso da aplicação de tensão pulsada, para evitar possíveis danos ao MESFET.

Os MESFETs que apresentam características D.C. satisfatórias (g_m , $V_{DF_{m\acute{a}x}}$, V_p , etc.) são identificados e selecionados para o encapsulamento.

A fig. 4.10 é uma foto de uma região da amostra com vários transistores MESFETs prontos e na fase de testes D.C., antes do encapsulamento.

Após os testes D.C. e identificação dos transistores para encapsulamento, inicia-se o processo de separação individual dos dispositivos.

O procedimento experimental é descrito a seguir. O substrato é inicialmente fixado, com cera para cristais, numa pequena folha de aço inoxidável bem fina ou então numa lamínula de microscópio.

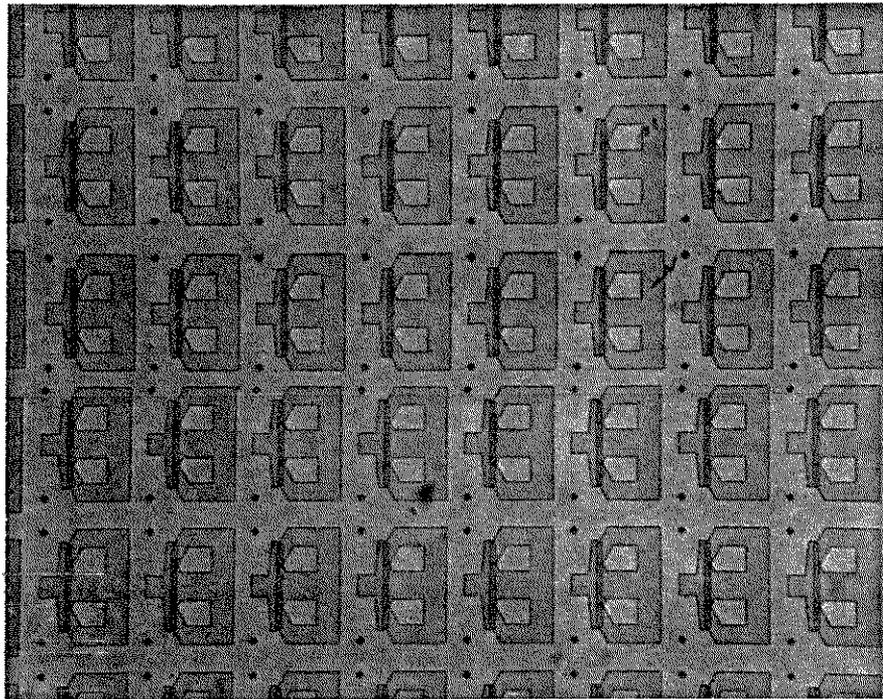
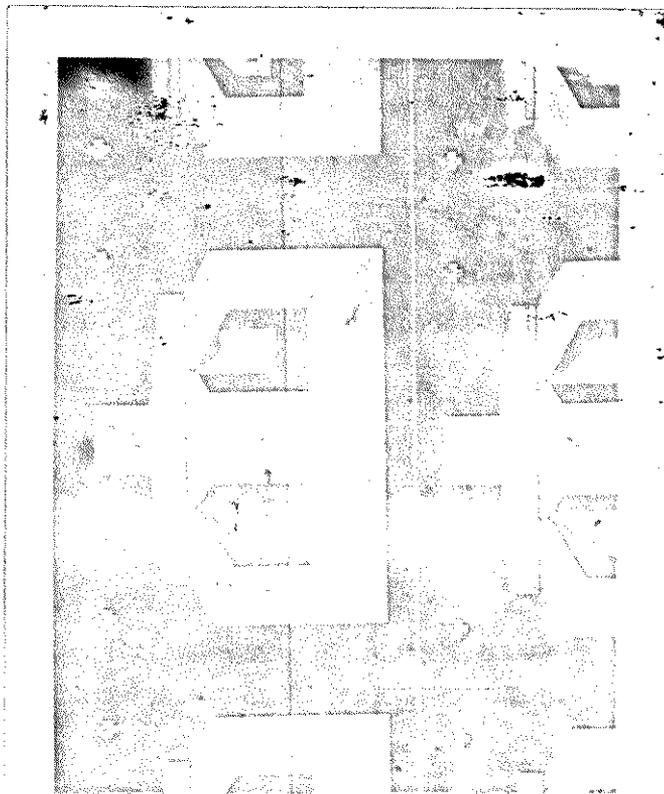


FOTO: 1

AMOSTRA : 14 DK-LPE
PORTAS DE 0,5 μ m A 1 μ m



NOTAR NO CENTRO DA
FOTO, GRAVAÇÃO DA
MOLDURA DO GRID EM
TODA EXTENSÃO.

FOTO: 2

DETALHE AMPLIADO
DA FOTO 1

Figura 4.10 - Conjunto de MESFETS de GaAs construídos. Testes DC são realizados para seleção e encapsulamento antes da separação.

Em seguida, o conjunto é submetido à riscadora, com ponta de diamante ("scriber"), numa operação padrão para riscagem de lâmina.

A separação dos dispositivos se faz da seguinte forma: se a amostra foi riscada sobre uma fina folha de aço inoxidável, dobrando-se cuidadosamente esta folha os dispositivos se rompem nas linhas riscadas e ficam separadas. Se a amostra foi riscada sobre a lamínula é necessário removê-la. Fixa-se com cera novamente em uma lâmina de microscópio de maneira a alinhar os riscos com a borda da lâmina, deixando uma fileira de dispositivos para fora desta borda. Faz-se pressão na fileira de dispositivos que estão fora da borda, obtendo-se a separação desta fileira na linha de riscagem. A separação dos dispositivos da fileira rompida faz-se novamente fixando-se esta na lâmina, deixando apenas um dispositivo para fora da lâmina. Exercendo-se pressão sobre o dispositivo este se rompe na linha de riscagem.

Toda esta operação deve ser feita sob microscópio e deve-se utilizar pressão suficiente na amostra para não haver danos nos contatos ("pads") do dispositivo.

Após a separação dos dispositivos, selecionados pelos testes D.C., deve-se remover a cera utilizada na fixação da amostra. Deve-se evitar sempre o uso de água, pois esta, com o potencial de contato Al-GaAs, provoca ataque químico da camada epitaxial. O melhor método para remover a cera é utilizar acetona (solvente típico da cera) e secar rapidamente, pois a acetona absorve água do ambiente e pode retê-la.

FIXAÇÃO DO DISPOSITIVO NO ENCAPSULAMENTO OU SUPORTE ("JIG") DE TESTE:

Após a separação dos dispositivos estes deverão ser fixados no encapsulamento ("header") ou no suporte ("jig") para testes de alta frequência. Descrevemos resumidamente os procedimentos para a fixação no ("jig") de testes.

O suporte ("jig") de testes que projetamos para os testes em microondas está representado na fig. 4.11.

Todo o procedimento de solda e fixação do transistor

é efetuado sobre a peça central do suporte ("jig"), indicada na fig. 4.11b. Esta peça de latão, com banho de níquel e ouro, é usinada com precisão para acomodar, nas duas laterais, dois segmentos de linha de 50Ω , gravadas sobre alumina.

O transistor é fixado no centro. As duas linhas gravadas na alumina também são fixadas por epoxy carregada com prata.

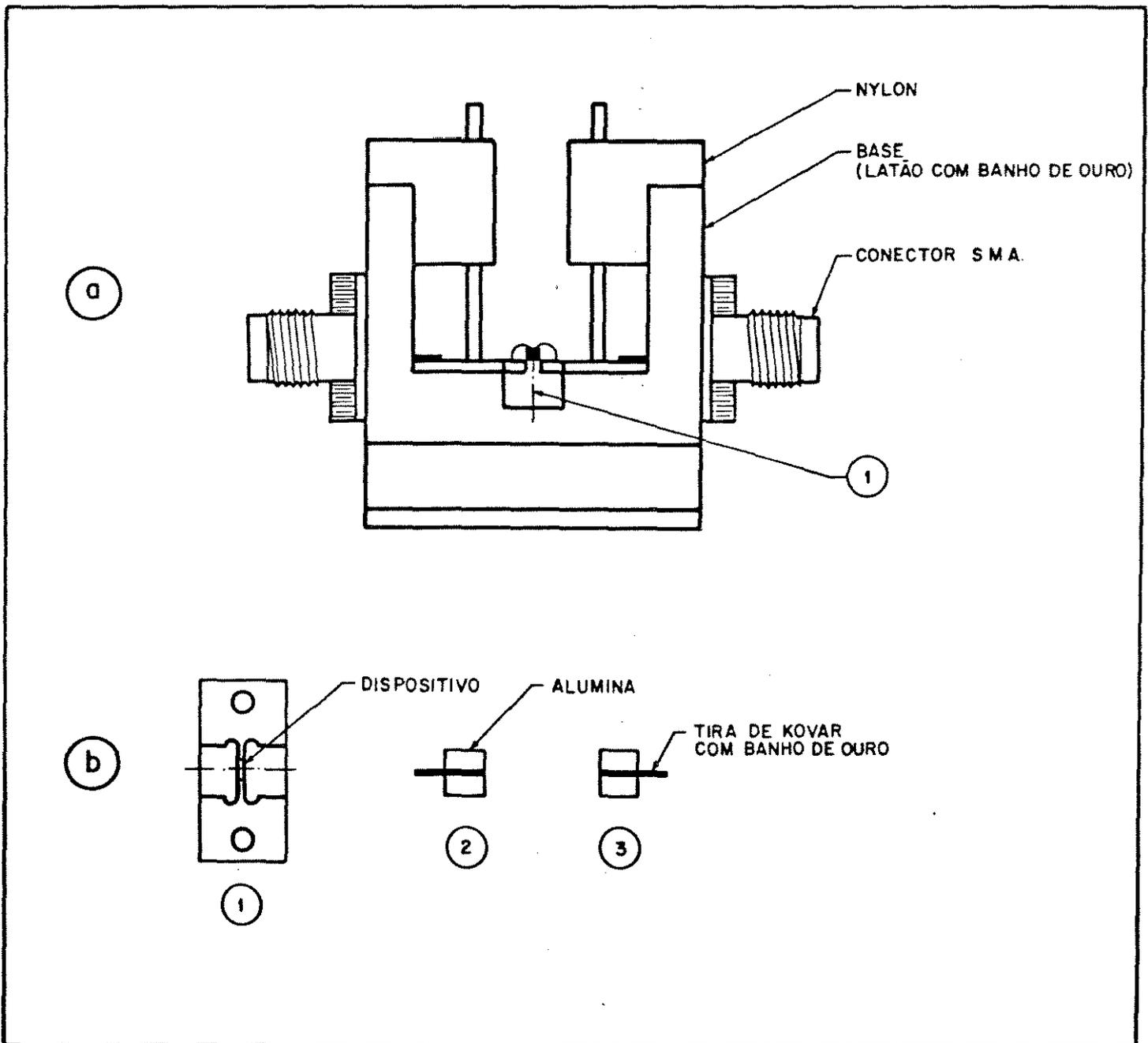


Figura 4.11 - Jig de testes para caracterizar os MESFETs na faixa de Microondas.
 a) Jig completo.
 b) Peças e detalhes do suporte para o transistor e linhas de 50Ω .

Procedimento experimental: faz-se uma limpeza cuidadosa em todas as peças (1,2,3), (fig. 4.11b). Solda-se inicialmente a tira de Kovar-ouro (fig. 4.11b) nas peças de alumina. Esta solda é feita pressionando-se a tira sobre a linha de 50 Ω , num estágio ("heater") aquecido. Se a tira não se fixar, é possível utilizar uma pequena tira de ouro entre a tira de Kovar e a linha.

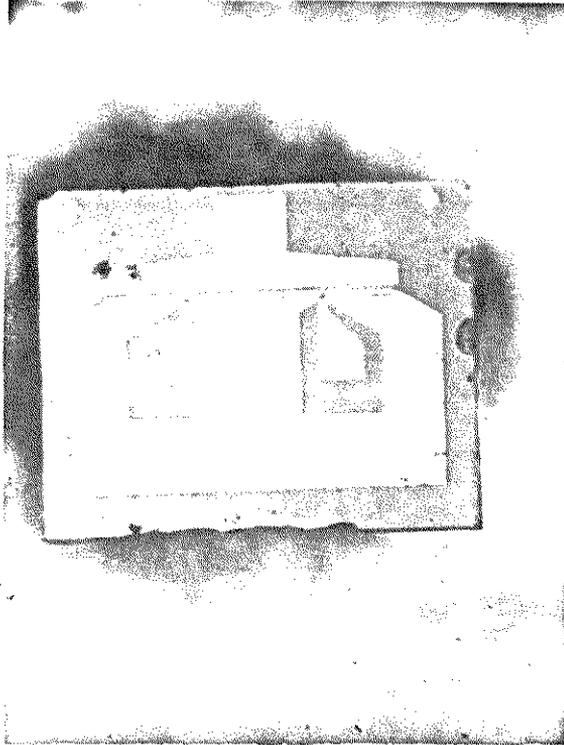
Prepara-se a epoxy carregada com prata (EPOTEK H20E), que é composta em duas partes, A e B. Misturam-se as duas partes em igual proporção, quantidade suficiente para fixar as duas peças de alumina e o transistor.

Com um estilete, espalha-se a epoxy nas áreas do suporte (Fig. 4.11b, 1) para fixação das peças de alumina e um pequeno ponto da epoxy no centro da fixação do transistor. O volume de epoxy para fixar o transistor é muito crítico pois pode, se for excessivo, envolver todo o transistor e inviabilizar a solda. Usa-se um pequeno ponto, observando-se sob microscópio.

O transistor é manipulado com uma "caneta de vácuo". Esta caneta é construída com um tubo de alumínio de 1/8" acoplado numa extremidade a uma bomba de vácuo e na outra a uma agulha de aço inoxidável, utilizada em seringas hipodérmicas. A agulha é serrada na extremidade, de maneira a acomodar o transistor quando o vácuo é conectado. O controle da sucção e liberação do transistor na extremidade da agulha é feito pressionando-se ou liberando-se o dedo indicador sobre orifício localizado no corpo da caneta (tubo de alumínio).

Assim, com a "caneta" em operação, fixa-se o transistor ("chip") na sua extremidade, verifica-se sob o microscópio a posição em que está o transistor e, em seguida (ainda sob uma lupa ou microscópio), libera-se o transistor sob o ponto de epoxy no centro da peça.

Com pequena pressão exercida sobre o transistor ajusta-se a posição e a adesão deste sobre o ponto de epoxy. A fig. 4.12 (fotos a e b) mostra a situação do transistor ("chip") isolado e sobre o ponto de epoxy. A seguir o conjunto sofre um recozimento ("bake") para cura da epoxy. Tipicamente utilizamos 100°C, durante 70 segundos.



DIMENSÃO DO CHIP:
412 μ m x 525 μ m

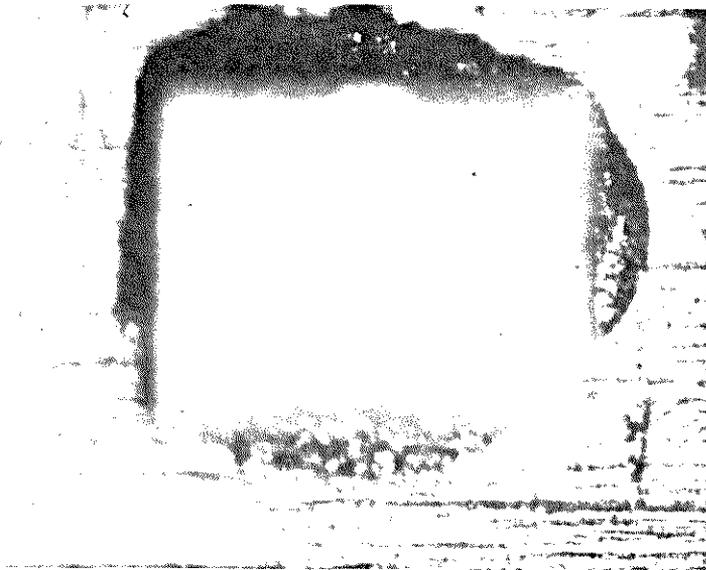


Figura 4.12 - Detalhes do dispositivo separado e fixo no suporte para teste. A foto *in* ferior mostra detalhe do volume de epoxy utilizado para fixação.

O próximo passo é a solda dos fios do "chip" com as linhas de 50 Ω gravadas na alumina.

Desenvolvemos também um "jig" de testes para possibilitar a caracterização dos transistores encapsulados em "headers" do tipo com terminais em aletas (HPAC-200 p.ex). A fig. 4.13 mostra o "jig" de testes e as linhas de curto e 50 Ω para calibração durante a medida de parâmetros S.

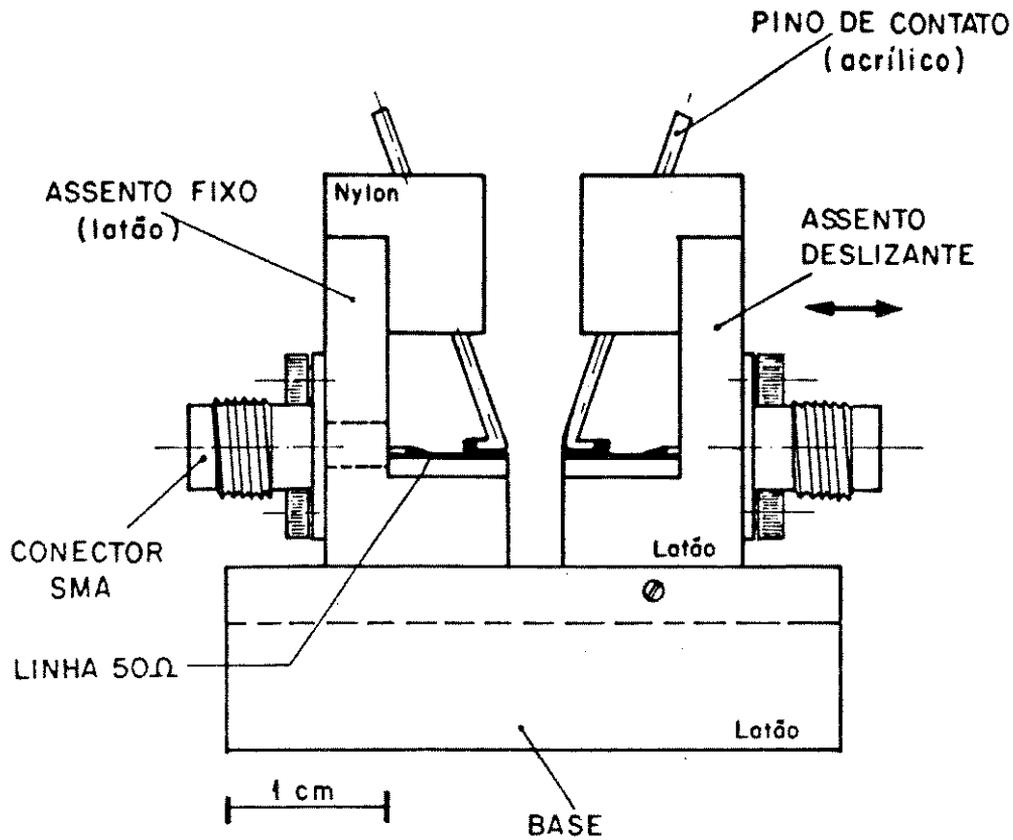
A etapa final do encapsulamento é a solda dos fios. Em nosso trabalho utilizamos fios capilares de ouro de 0,7 mil (17,5 μm) de diâmetro. A técnica de solda dos fios é por termo-compressão. A técnica por ultrassom não é recomendada, pois induz no dispositivo microfaturas, que resultam em degradação das características dos dispositivos.

Nesta etapa o dispositivo já está fixado ao suporte do "jig" de teste. Este suporte (fig. 4.11b) foi projetado para se adaptar ao estágio aquecedor do equipamento de termo-compressão. A solda dos fios de ouro é muito dependente da limpeza do conjunto, dispositivo e linhas de 50 Ω gravadas na alumina.

Procedimento experimental: Utiliza-se a seguinte sequência de limpeza para o conjunto: Mergulha-se o conjunto em tricloroetileno (TCE) aquecido ou utiliza-se vapor de TCE, obtendo-se melhor resultado. Dá-se um banho de acetona, seguido de metanol. Mergulha-se o conjunto, finalmente, em isopropanol e, imediatamente antes da solda, retira-se do banho de isopropanol e seca-se com Nitrogênio gasoso. Não utiliza-se água D.I.. Uma sequência mais simples de limpeza é usar acetona e metanol. Seca-se rapidamente, pois os solventes orgânicos sempre absorvem água e esta ataca quimicamente a camada epitaxial.

Para a operação de solda dos fios, tanto o suporte do MESFET com as linhas, como a agulha de termo-compressão, tem temperatura calibrada e ajustada separadamente.

O uso excessivo de agentes químicos durante as etapas de limpeza e o uso excessivo de tensão térmica e mecânica durante a operação de solda dos fios, são fatores que normalmente limitam o número de dispositivos finalizados com sucesso.



SEGMENTOS PARA TRANSISTOR
ENCAPSULAMENTO HPAC-200

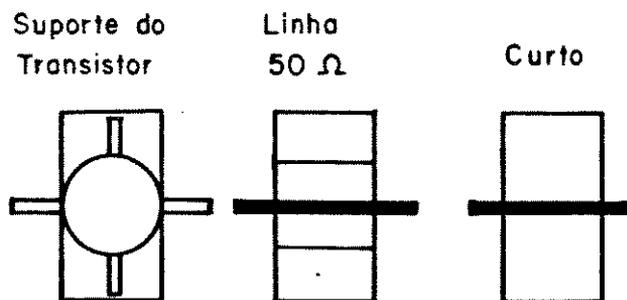


Figura 4.13 - Suporte "JIG" Universal de testes (desenvolvido neste trabalho) para caracterização de dispositivos em alta frequência para diversos tipos de encapsulamento.

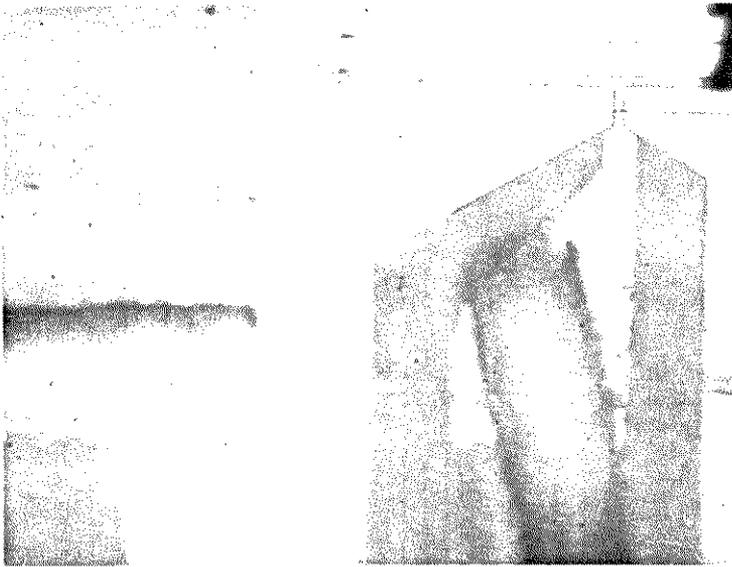
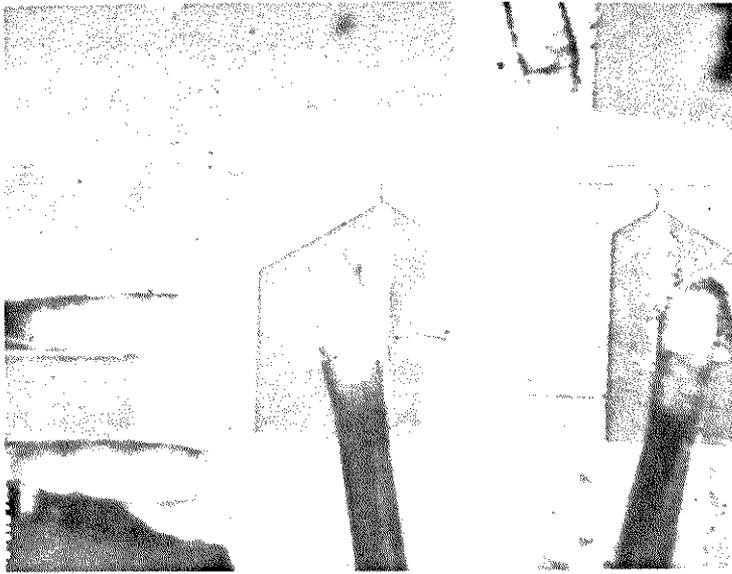
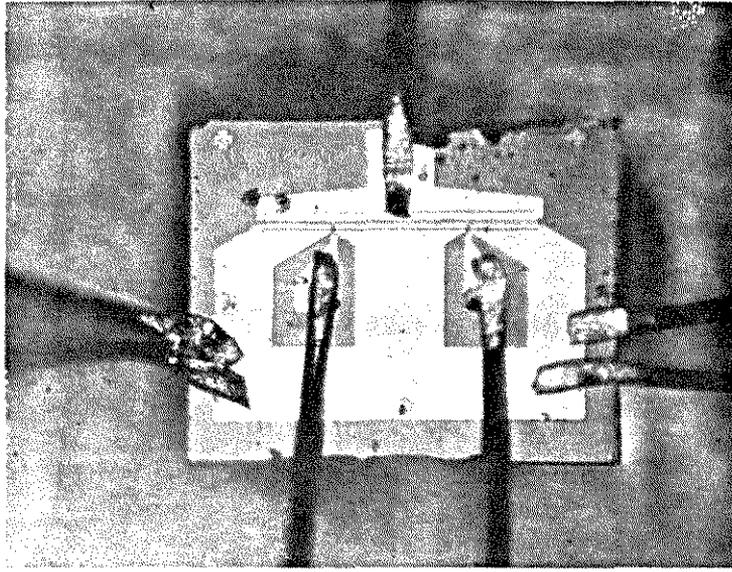


Figura 4.14 - MESFET de GaAs com ligações de fios de ouro de $17,5 \mu\text{m}$ de diâmetro.

A fig. 4.14 apresenta detalhes da solda dos fios no MESFET de GaAs. Observa-se nas fotos, detalhes de pequenas fraturas nas arestas do dispositivo, resultantes da etapa de separação (riscagem) da amostra. Notam-se, igualmente, regiões nos contatos ("pads") da porta onde o material (alumínio) foi removido durante a etapa de solda de fios. No contato ("pad") da fonte, quatro fios são soldados até as linhas de 50Ω , visando a redução da resistência e indutância parasitas de fonte.

4.2.14. DETALHES DA TECNOLOGIA DE AUTOALINHAMENTO

Nesta seção apresentam-se alguns detalhes do processo de fabricação e características próprias da tecnologia desenvolvida.

A fig. 4.15 mostra detalhes das irregularidades da porta, quando da tentativa de se obterem portas sub-micron, e menores que $0,3 \mu\text{m}$, sem a utilização da camada anti-refletora. Nota-se que as irregularidades causadas no fotorresiste, devidas aos efeitos de interferência, propagam-se durante o ataque químico sob o fotorresiste. Observa-se também a interrupção total da porta ao final da mesa. Neste ponto, os efeitos de interferência associados ao estreitamento do fotorresiste são os responsáveis por esta interrupção. No caso de dispositivos discretos, a interrupção neste ponto não compromete a utilização do dispositivo. Mas, quando houver necessidade de interconexão via metalização da porta, em circuitos monolíticos, este fenômeno não pode ocorrer. O Alumínio da porta apresenta, nas fotos da fig. 4.15, uma área mais escura.

A fig. 4.16 apresenta fotos do MESFET de GaAs, com outro detalhe de irregularidade do metal da porta, ao sair da elevação da mesa para o substrato. Este fenômeno, descrito nas seções anteriores, está associada à irregularidade da espessura do fotorresiste neste ponto de transição e também à falta de aderência deste fotorresiste ao degrau. No ponto mostrado pela fig. 4.16, o estreitamento, ou mesmo a interrupção do metal da porta, não é crítico. Entretanto, esta irregularidade, quando ocorre na transição da mesa para o contato "pad" da porta, resulta em alta resistência da porta, degradando a característica em alta frequência do dispositivo.

A fig. 4.17 mostra detalhe da "descida" do metal da porta quando não ocorre interrupção do metal no ponto do degrau. Esta característica de uma densidade suave é notada em dispositivos com portas em torno de $1 \mu\text{m}$ ou maiores. De fato os fenômenos de interrupção do metal são mais frequentes quando se pretende definir portas sub-micron e quando não se utilizam camadas anti-refletoras.

DRENO →

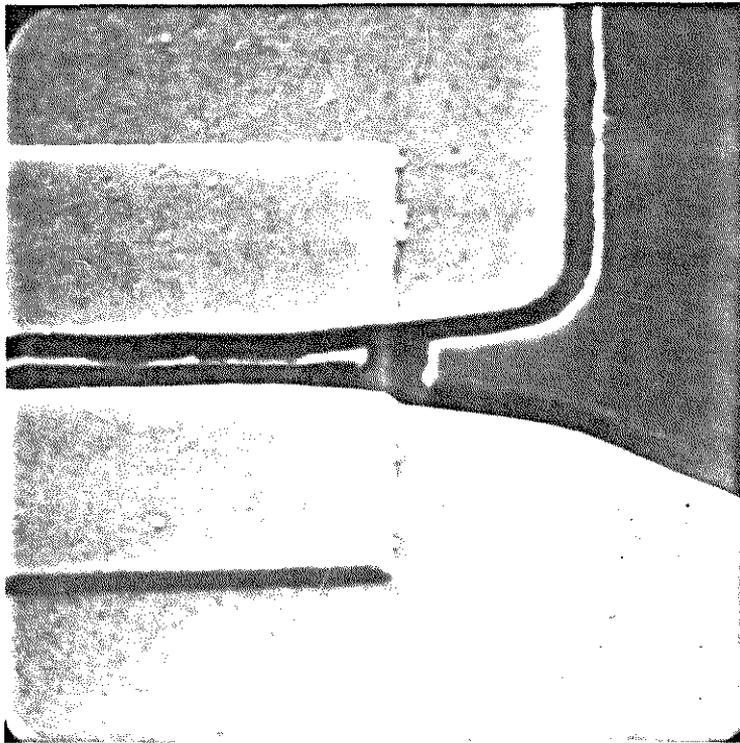
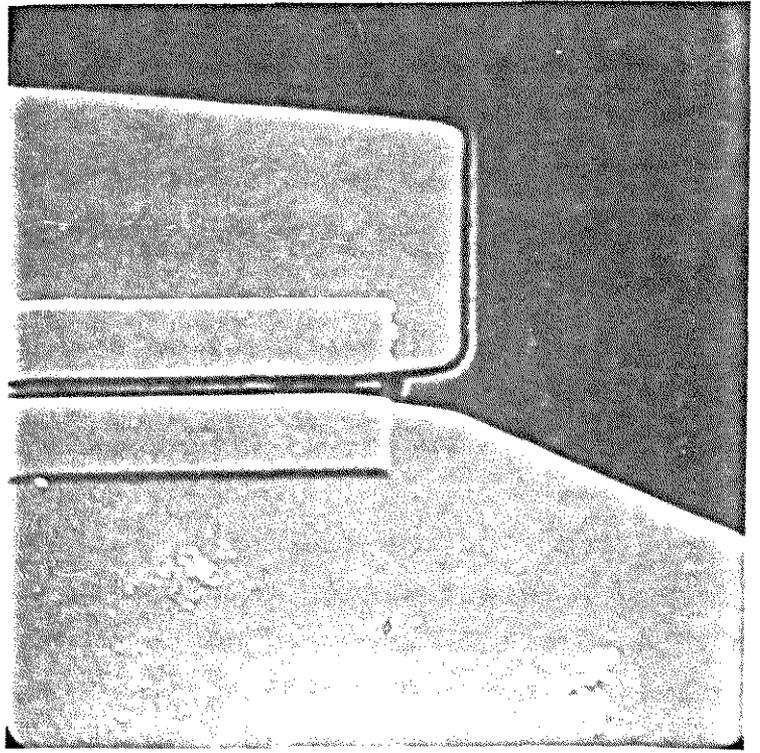
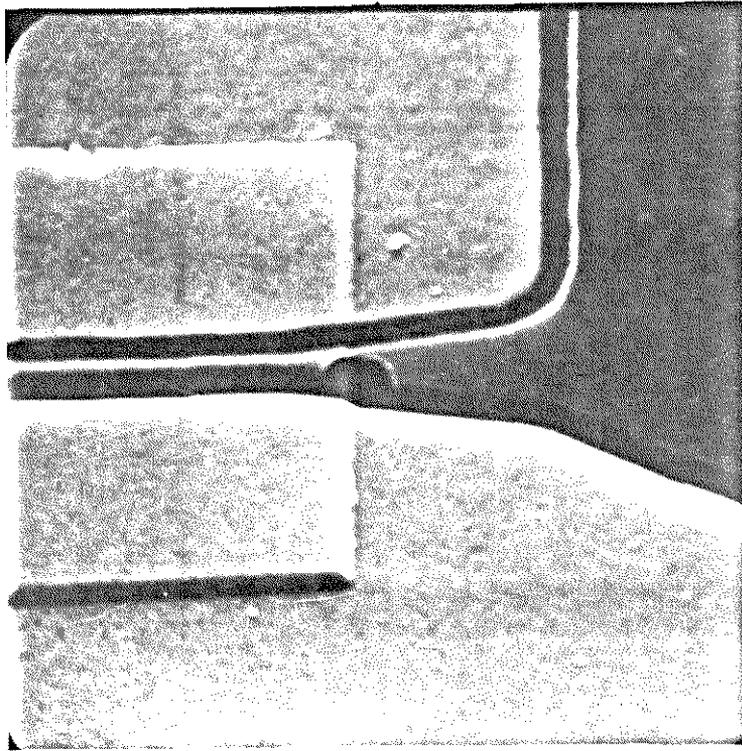
20 μm 

Figura 4.15 - Irregularidade durante a formação da porta. Tentativa de obtenção de porta submicron sem a camada anti-refletora.



3 μm

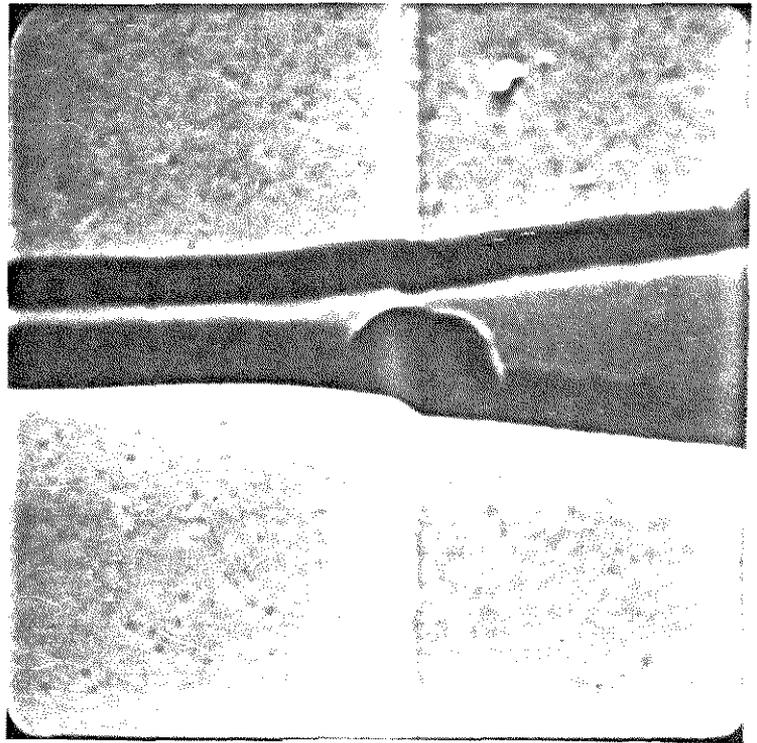


Figura 4.16 - Detalhe da passagem da porta submicron no degrau da mesa. Notar a irregularidade acentuada nesta região.

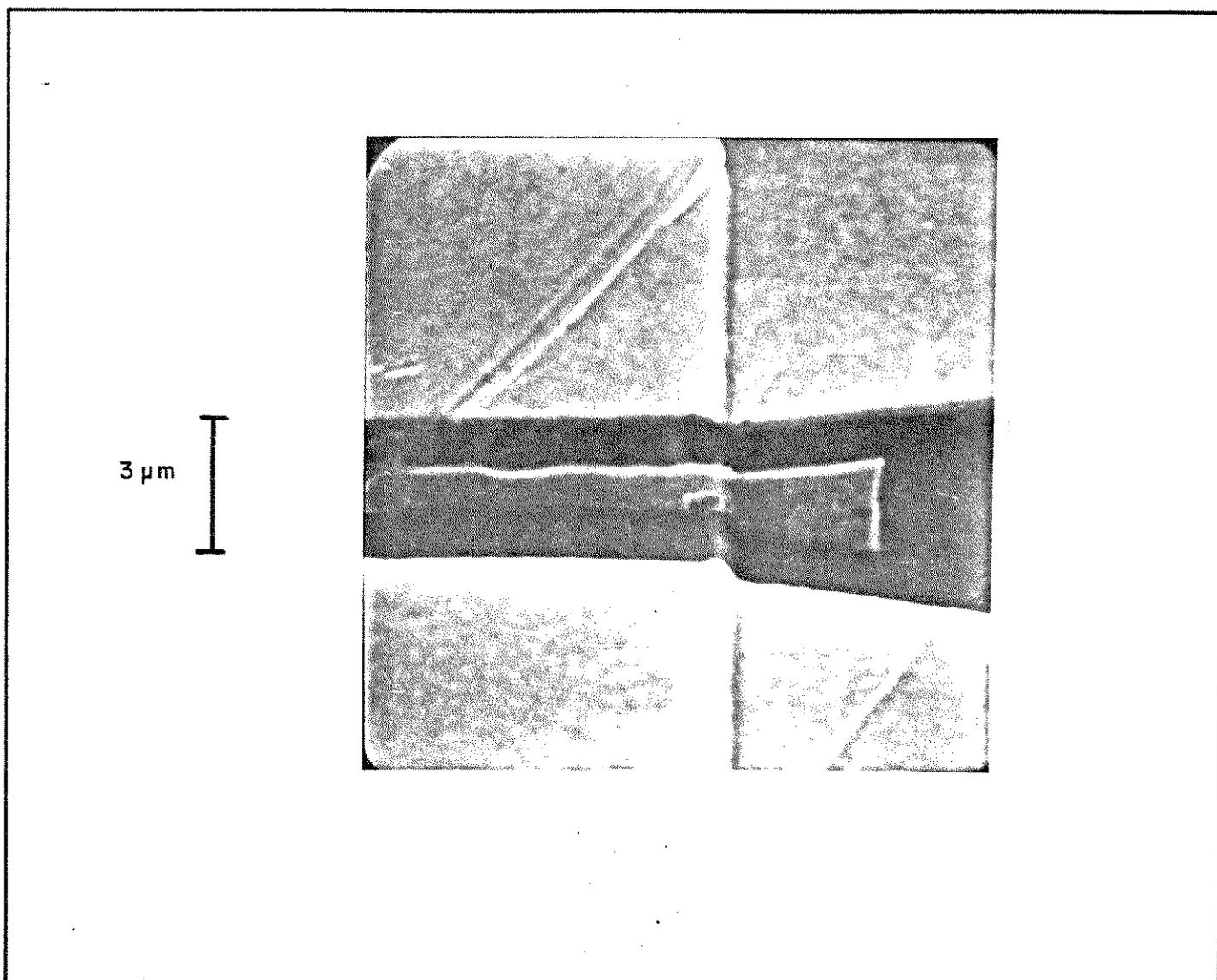


Figura 4.17 - Porta de $1\mu\text{m}$ e detalhe da descida da região da mesa.

As fotos mostradas na fig. 4.18 indicam a regularidade de de uma porta de dimensão sub-micron (aprox. $0,5\ \mu\text{m}$) em cujo processamento foi utilizada a camada anti-refletora.

As bordas do metal da porta sofrem pequenas variações, que estão associadas às flutuações de intensidade de U.V. acoplada ao fotorresiste mas, mesmo assim, minimizadas pelo processo de dupla camada.

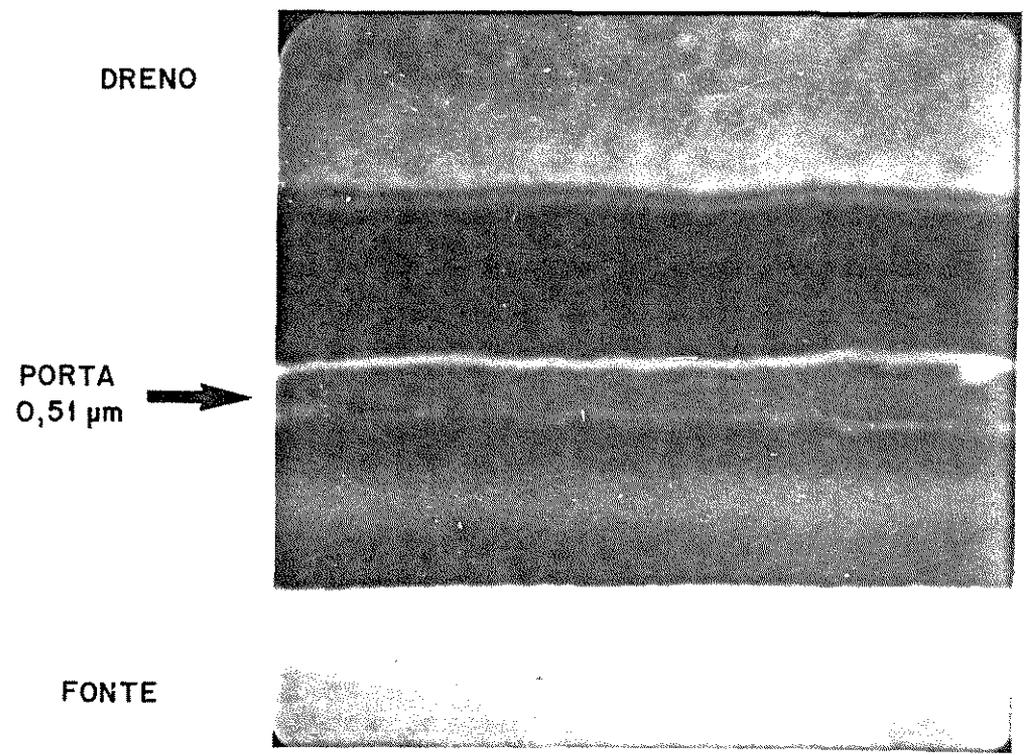
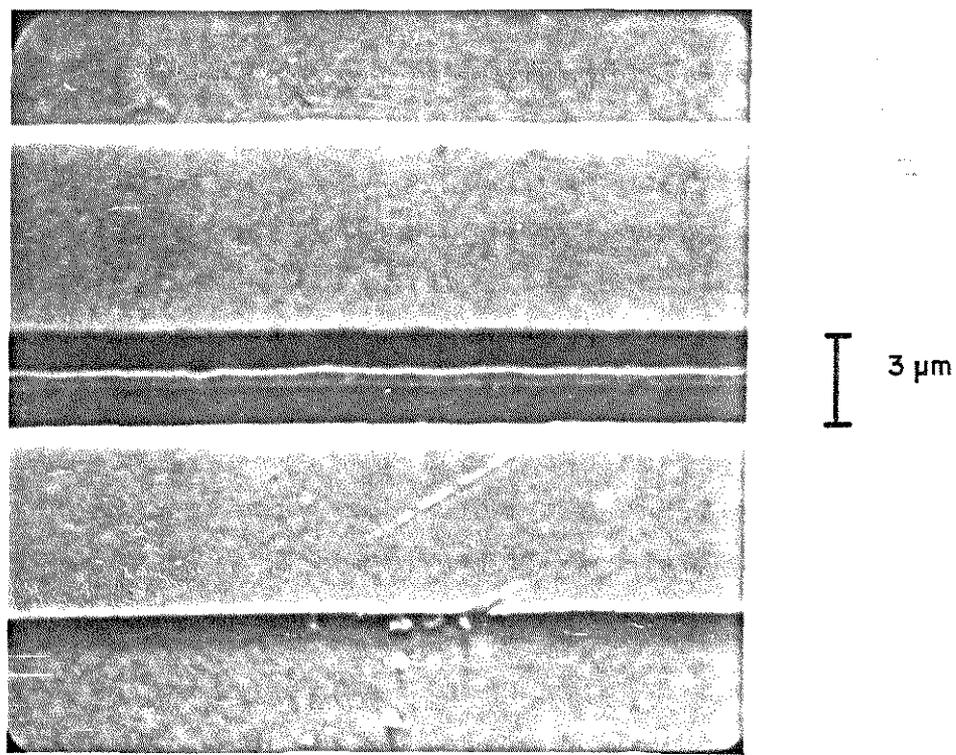


Figura 4.18 - Detalhes de porta submicron com regularidade obtida com camada anti-refleto.

A fig. 4.19 mostra fotos do MESFET de GaAs indicando o detalhe do ponto de tomada de contato, "pad" da porta.

A região, cujo detalhe ampliado aparece na foto inferior da fig. 4.19, é especialmente importante, pois ocorre aí um "alargamento" da tira de metal da porta. Este "alargamento" aproxima a região de porta à região de fonte, podendo reduzir a tensão de rompimento porta-fonte.

A situação apresentada nas fotos da fig. 4.19 mostra portas sub-micron de boa qualidade e a região de tomada de contato bastante regular e equidistante da região do contato ôhmico da fonte.

Durante o processo de alinhamento entre máscaras é essencial a observação, ao longo da amostra, da situação do alinhamento na região indicada nas fotos da fig. 4.19. O adequado alinhamento nesta região é um forte indicador que não haverá problemas de rompimento e queima, "burn-out", do transistor, devido ao posicionamento incorreto entre eletrodos.

A fig. 4.20 apresenta exemplos de situação da queima, "burn-out", de transistores MESFETs de GaAs.

A foto superior mostra uma situação de queima entre porta e fonte (região escura no início da descida da mesa). Situação semelhante é mostrada na fig. 4.20, foto inferior. Em ambos os casos, a queima decorreu do excesso de tensão entre porta e fonte durante os testes D.C. e com os transistores já montados no suporte de teste. A foto inferior corresponde a um transistor com porta sub-micron.

A situação mostrada na foto superior da fig. 4.21 é uma queima entre porta-dreno, também em MESFET de GaAs com porta submicron.

O local da queima, indicado pela seta, está próximo do contato "pad" da porta.

É possível observar, na foto inferior da fig. 4.21., a característica I_{xV} da junção Schottky do MESFET. Esta característica da corrente de porta I_p em função da tensão porta-dreno, V_{PD} , indica uma corrente excessiva de porta, aproximadamente 1mA

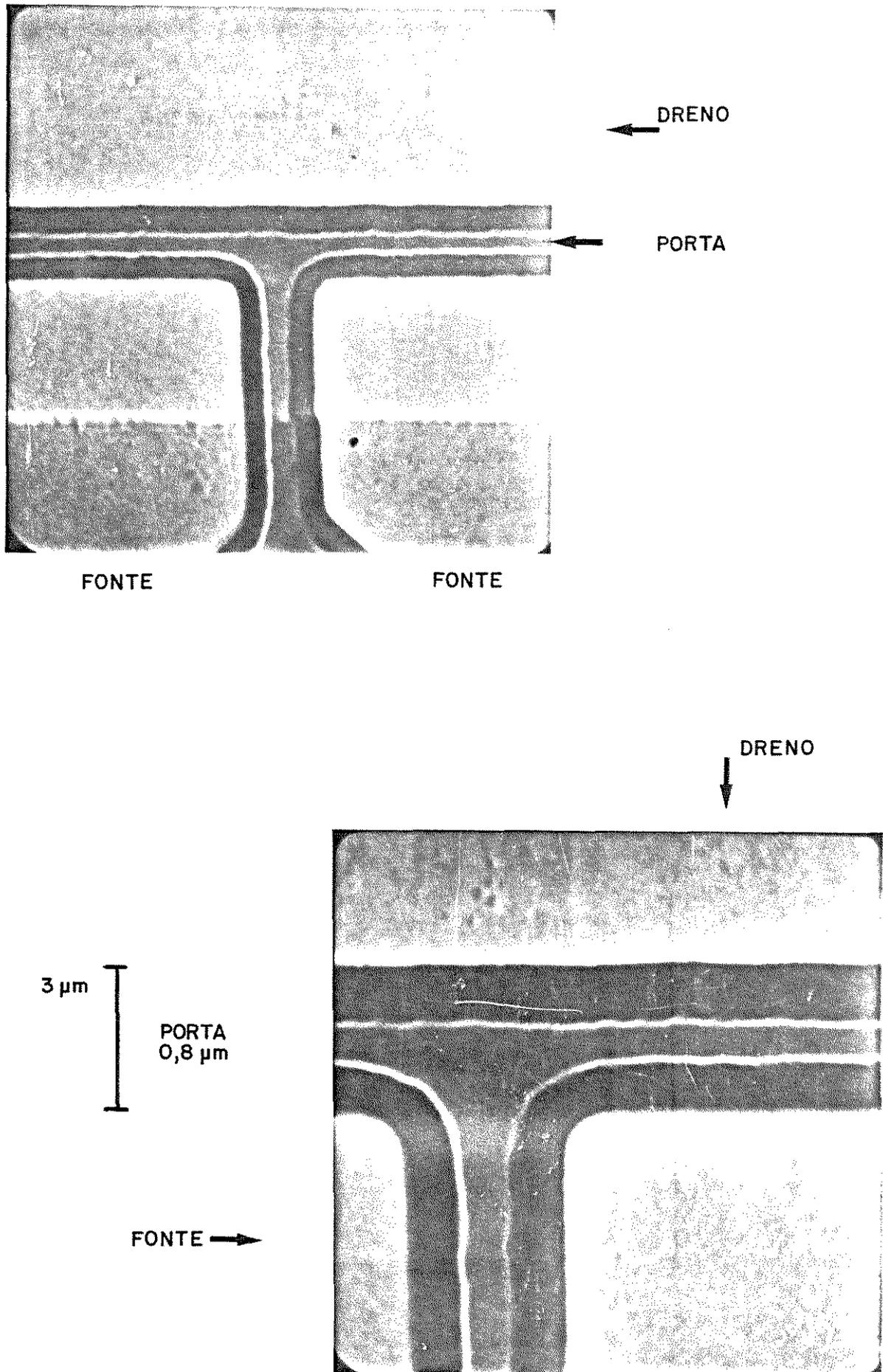


Figura 4.19 - Região da porta para tomada do contato, "pad". A foto inferior mostra detalhe ampliado do metal da porta entre as regiões de contato ôhmico de dreno e fonte.

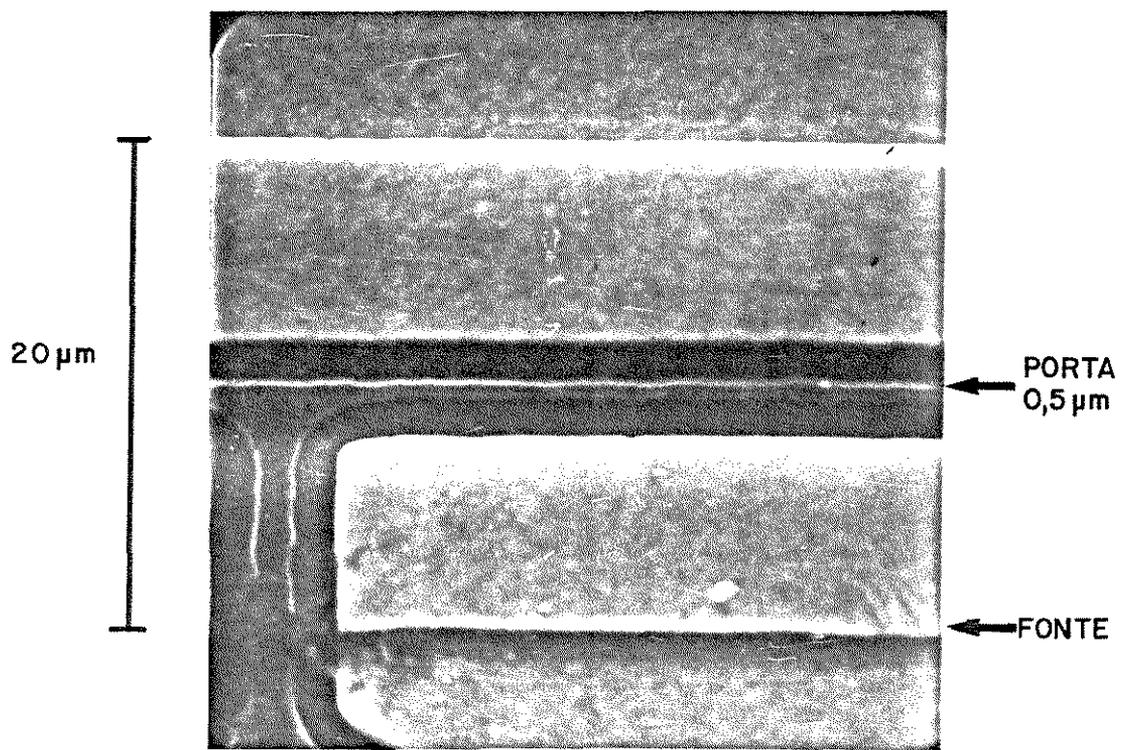
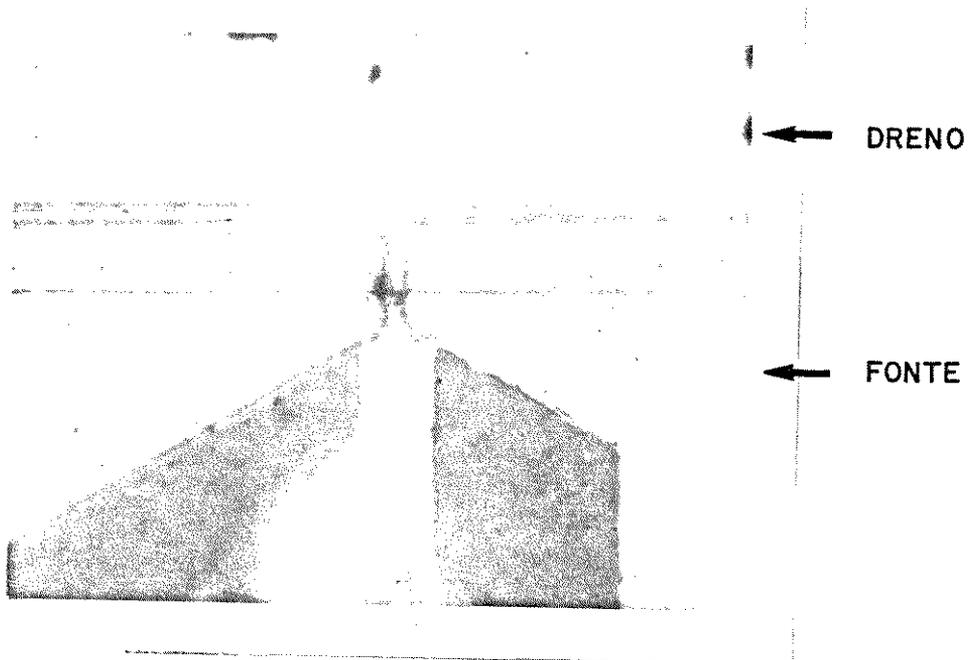
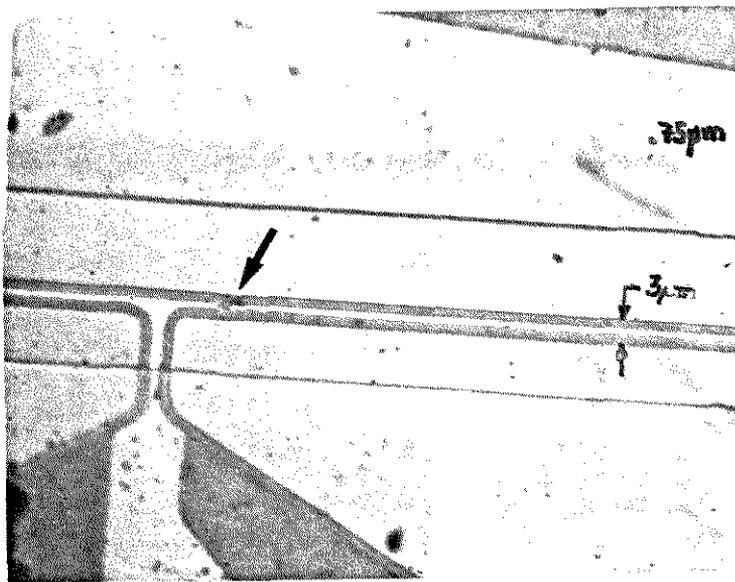


Figura 4.20 - Detalhe do ponto de queima, "burn-out" da porta na junção porta-fonte. Na foto inferior detalhe de queima da junção porta-fonte (canto inferior esquerdo).

DRENO →

PORTA →



← FONTE

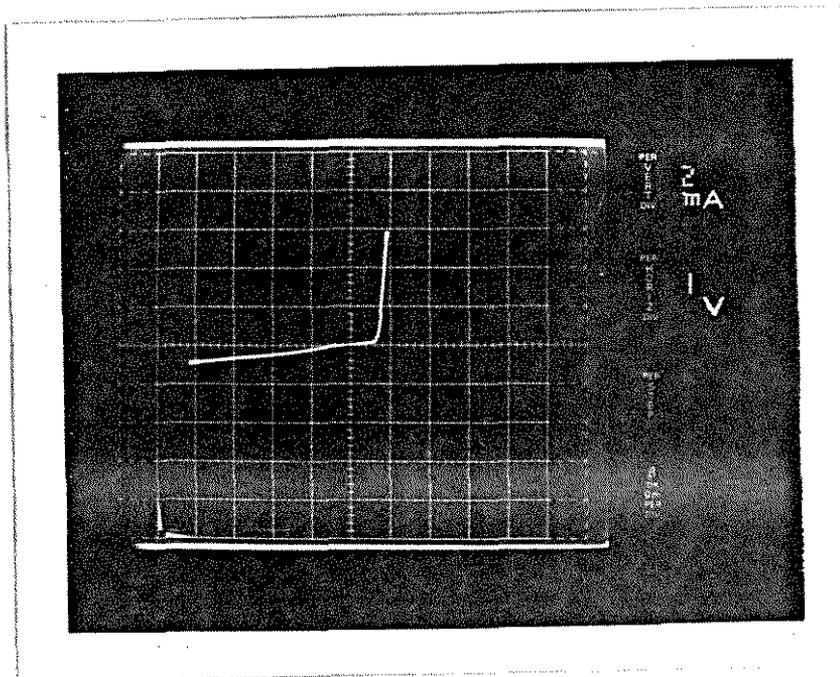


Figura 4.21 - Rompimento por queima, "burn-out", de MESFET de GaAs entre porta e dreno. Na foto inferior característica tensão porta-dreno V_{DD} e corrente de porta I_p indicando excessiva corrente reversa.

com 4V de tensão reversa.

A corrente na junção porta-fonte ou porta-dreno, com polarização reversa não deve exceder, em condições normais, alguns picoampéres. Para proteção dos transistores, durante os testes D.C., recomenda-se o "stress" elétrico pulsado da junção ou a elevação e retorno da tensão aplicada em intervalos de 0,5V. A elevação gradual da tensão reversa e o retorno a zero permite que haja rompimento suave da junção sem haver destruição total desta. O teste da junção Schottky do transistor deve ser realizado antes e depois do encapsulamento definitivo.

A fig. 4.22 apresenta a posição relativa do transistor depois de fixada no suporte com epoxy e a linha de 50 Ω gravada na alumina. A ligação do dreno (contato mais à direita) - com a linha de 50 Ω tem entre 400 a 500 μm de comprimento.

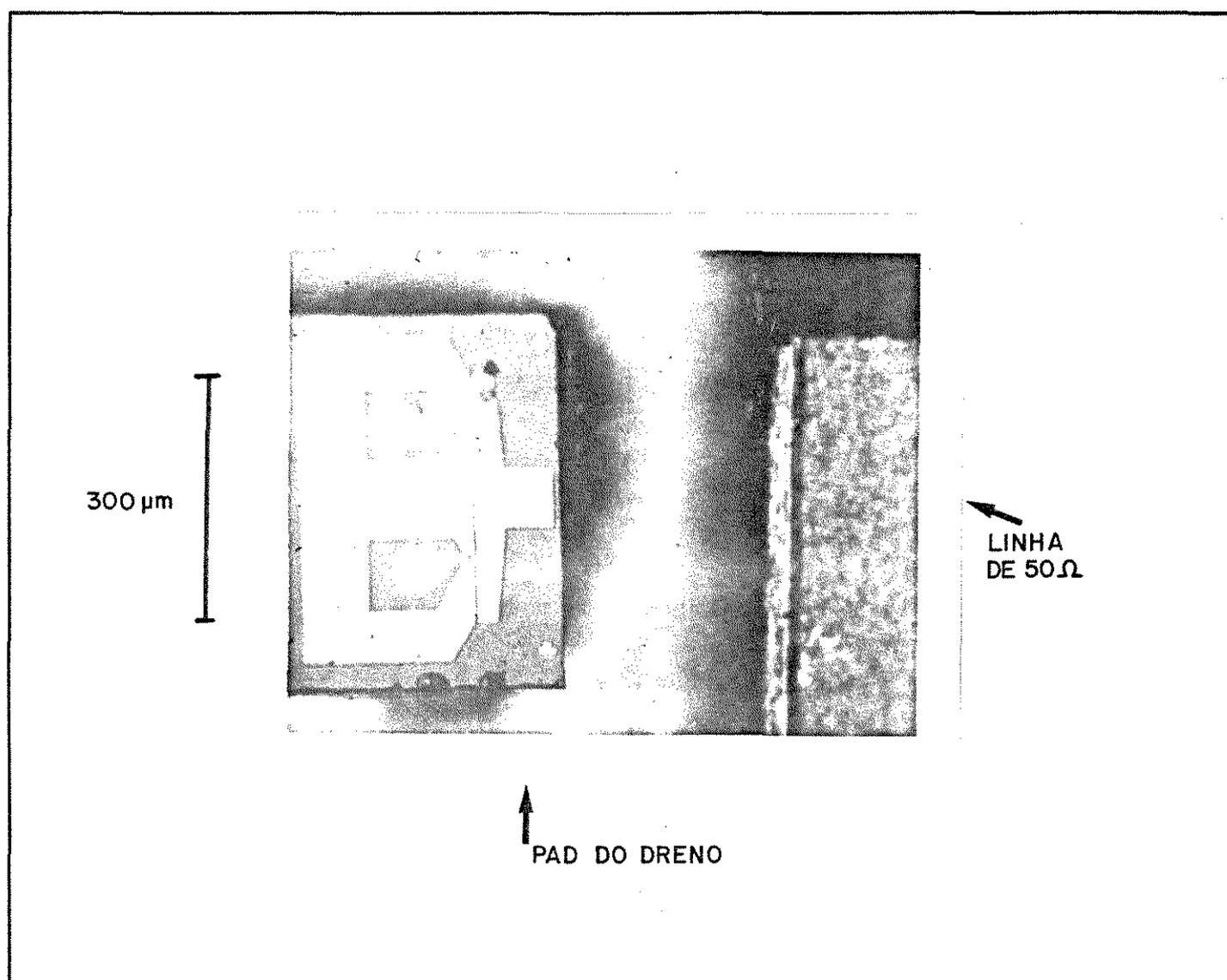


Figura 4.22 - Posição do transistor com relação a linha de 50 Ω gravada na alumina.

4.3.1. MEDIDAS E CARACTERIZAÇÃO DOS PARÂMETROS DC. CARACTERÍSTICAS $I_{DF} \times V_{DF}$

A caracterização elétrica DC dos transistores MESFETs construídos exige uma série de precauções para se evitar a queima destes componentes. Além disto, a manipulação da amostra com centenas de transistores é mais crítica dada a fragilidade do GaAs.

O primeiro teste que pode ser realizado faz-se utilizando-se um microprovador com microponteiros de tungstênio. Neste caso ainda não houve separação individual dos transistores e estão todos no mesmo substrato de GaAs. Dependendo do tamanho da amostra, convém fixá-la numa lamínula de microscópio para facilitar a manipulação.

As ponteiros do microprovador são colocadas sobre os "pads" dos transistores. Durante a operação de posicionamento das ponteiros, os condutores devem estar em curto-circuito entre si e conectados a um ponto de aterramento de baixa resistividade.

Para a grande maioria das medidas DC utilizou-se o traçador de curvas TEKTRONIX 576.

A primeira medida efetuada deve ser a característica da junção SCHOTTKY porta-fonte. Ao se colocarem as tensões nestes terminais, convém sempre produzir manualmente uma elevação e diminuição do potencial aplicado à porta, exercendo assim, um "stress" elétrico na junção. Esta variação de potencial lenta e a volta ao valor zero repetidas vezes (avança-se o controle da tensão de polarização porta-fonte e volta-se para zero e em seguida avança-se novamente para um valor ligeiramente maior que o anterior e retorna-se a zero novamente) permite que possíveis conduções superficiais entre porta-fonte e porta-dreno, criadas por contaminação química ou partículas submicrométricas, sejam eliminadas por dissipação, sem comprometer o dispositivo. / Após esta sequência de "aquecimento" do dispositivo aplica-se a tensão limite contínua segura para o dispositivo.

A operação de posicionamento das pontas sobre os "pads"

é uma operação que exige precisão para não danificar as pequenas áreas de contato.

A medida da característica DC, $I_p \times V_{PF}$ é o passo inicial para qualificar o MESFET como transistor em bom estado e potencialmente apto para uso. O procedimento acima, deve ser feito para todos os transistores da amostra e, a seguir, passa-se à verificação da característica DC, $I_{DF} \times V_{DF}$.

Apresentamos, a seguir, os resultados das medidas experimentais das características DC de alguns dos transistores construídos.

Foram selecionados transistores de famílias típicas para ressaltar alguma característica especial.

A figura 4.23a e b mostra a característica DC $I_{DF} \times V_{DF}$ do transistor KMLCY(15,10) já encapsulado.

NOTA: A identificação dos transistores foi estabelecida da seguinte forma:

K: identifica inicial do autor deste trabalho.

M: MESFET de GaAs.

Algarismo seguinte: identifica amostra de um mesmo substrato com as mesmas camadas epitaxiais e buffer.

Letra seguinte: identifica o substrato inicial, o tipo e camadas existentes. (Na tabela 4.1 identificamos as principais lâminas utilizadas e substratos). Na identificação dos transistores construídos abandonamos a letra K da identificação das lâminas e amostras citadas na tabela 4.1.

Segunda letra: identifica um dos quadrantes na amostra onde está ou estava localizado o transistor. Definimos os quatro quadrantes com as letras W, X, Y e Z (sendo X o quadrante superior direito e seguindo sentido horário).

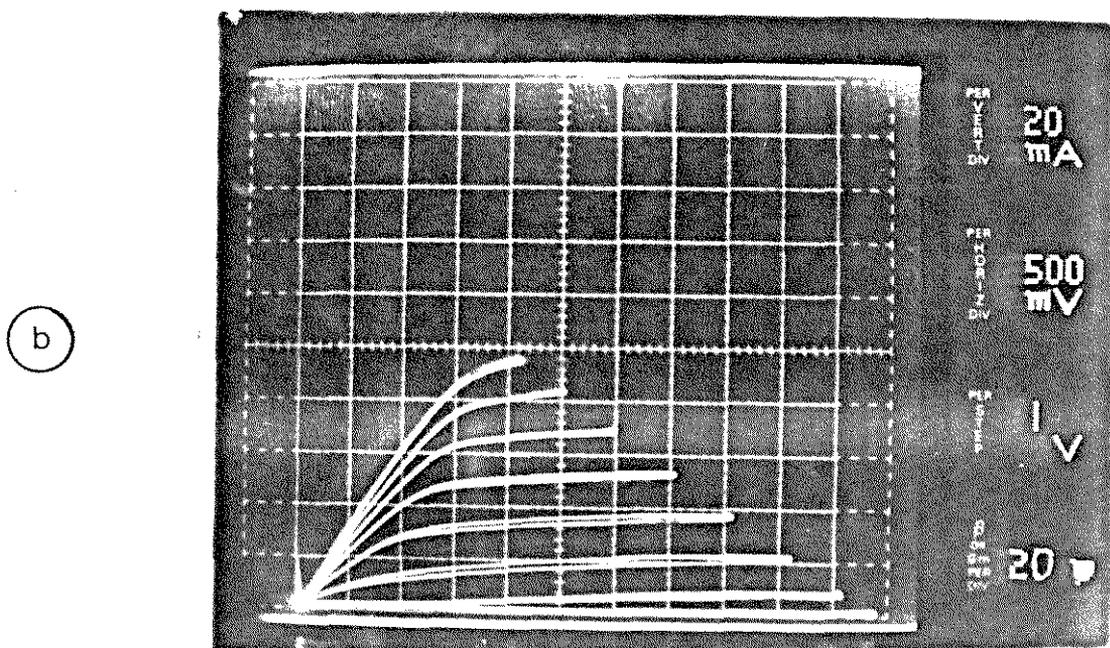
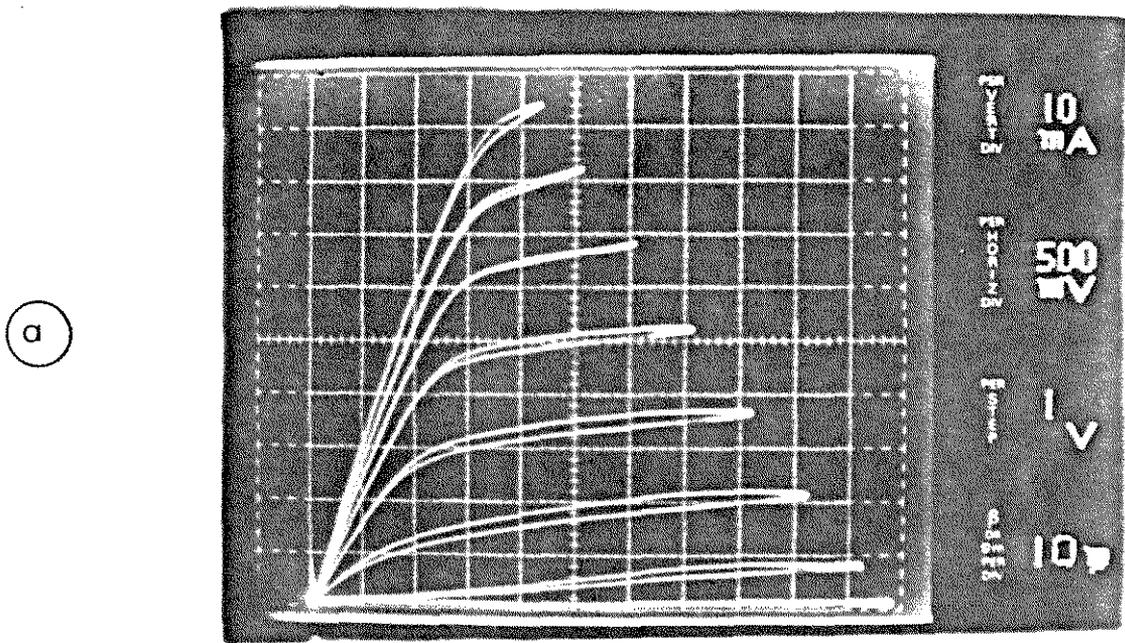
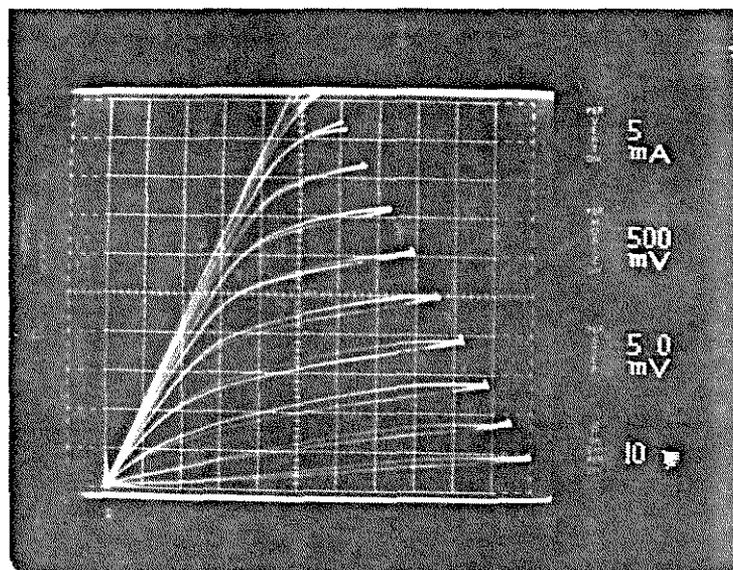


Figura 4.23 Característica $I_{DF} \times V_{DF}$ para MESFETs de GaAs construídos (Transistor KM1CV(15,10) típico da família KM1CV em duas escalas diferentes (a e b).

a



b

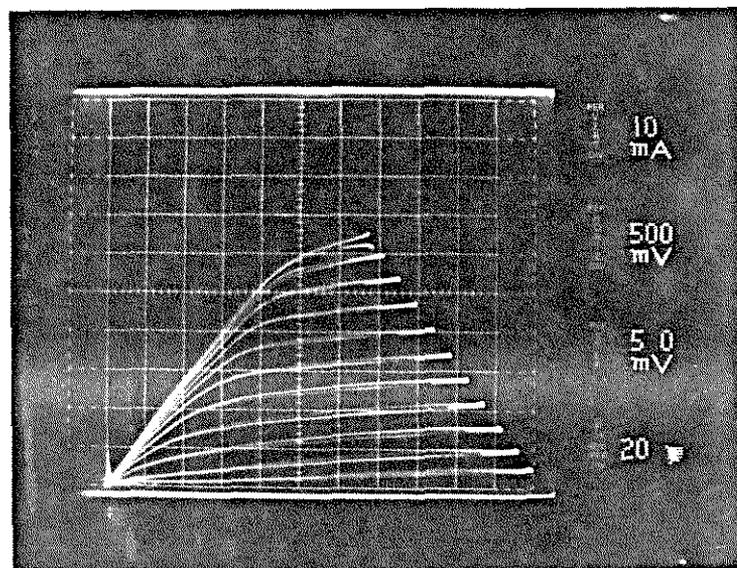
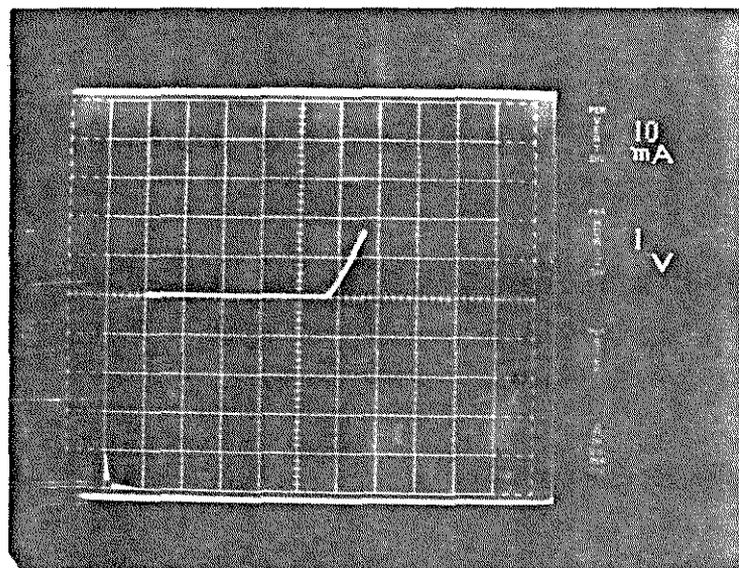
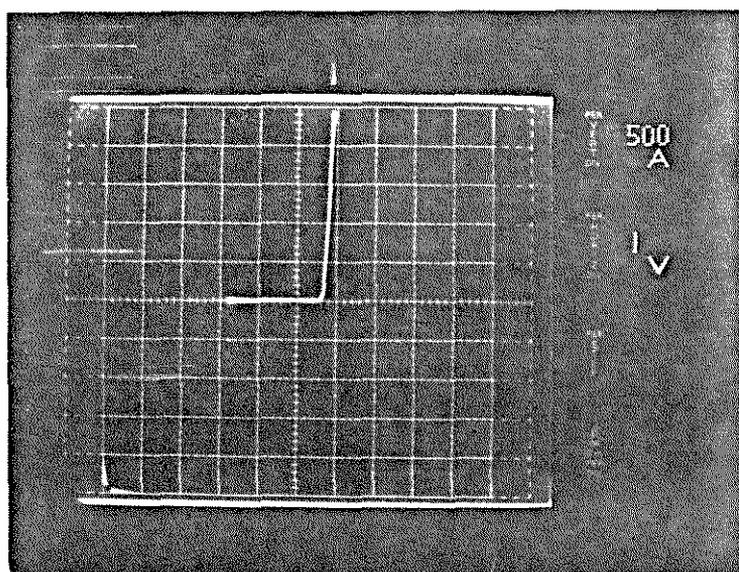


Figura 4.24 Característica DC, $V_{DF} \times V_{DF}$ para transistores típicos da série KM1C Z (KM1C Z(8,9)).

a



b



c

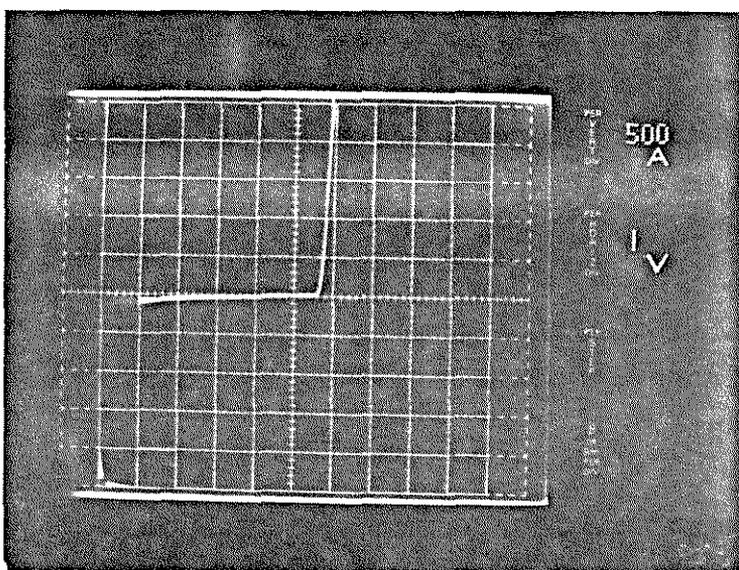


Figura 4.25 Característica $I_p \times V_{pf}$ de MESFET de GaAs (KMIC Z(8,9)) em escalas diferentes (a,b e c) mostrando corrente reversa elevada após solda de fios.

Os algarismos entre parêntesis: indicam a posição original da lâmina (amostra) sendo (1,1) o transistor no canto inferior esquerdo.

O transistor KMLCY(15,10) foi caracterizado em suporte (JIG) de teste após clivagem, separação e solda de fios conforme procedimentos mencionados anteriormente.

As características principais desta família de transistores (KMLCY) são:

$$I_{DSS} \cong 100\text{mA}, \quad V_P = -6,5\text{V}, \quad g_m \cong 16\text{mS}.$$

Na fig. 4.24a e b apresentamos outro transistor típico da série KMLCZ identificado como KMLCZ(8,9). Este transistor construído em camada crescida por LPE apresenta, tipicamente, $I_{DSS} = 65\text{mA}$, $V_P = -5,5\text{V}$ e $g_m \cong 12\text{mS}$.

Na fig. 4.25a e b apresenta-se a característica $I_P \times V_{PF}$ do mesmo transistor KMLCZ(8,9).

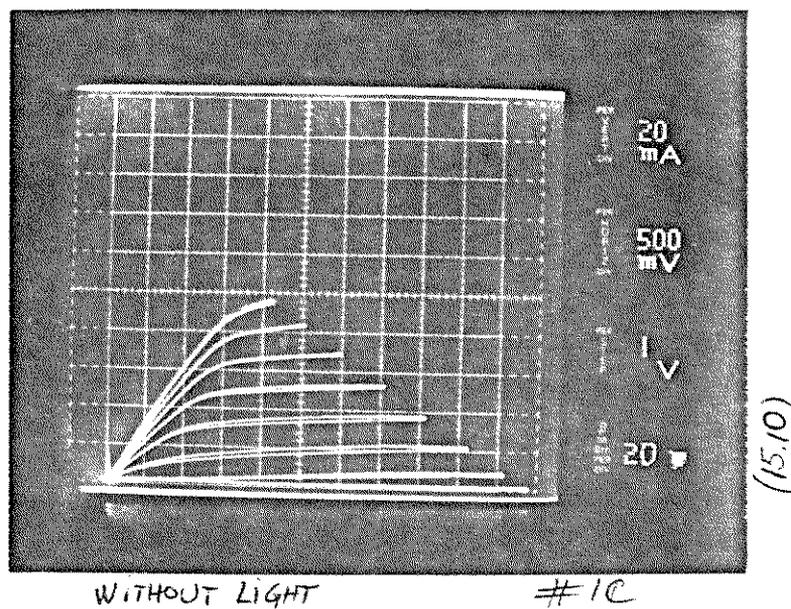
Notar que a corrente reversa de porta atinge aproximadamente $80\mu\text{A}$ para $4,0\text{V}$ reverso de porta-fonte.

Esta corrente reversa elevada de porta ocorreu após solda dos fios na montagem final. Durante os testes na lâmina (antes do encapsulamento) esta corrente não foi detectada nestes níveis, sendo bem inferior aos limites indicados pelo traçador de curvas.

A fig. 4.26, a seguir, apresenta as características $I_{DF} \times V_{PF}$ do transistor KMLCY(15,10) em duas situações: com luz e sem luz ambiente.

Notar a elevação de corrente para as mesmas tensões V_{PF} . O efeito de geração de portadores no canal com luz foi discutido nos capítulos 2 e 3 e, como regra geral, neste trabalho as medi

a



b

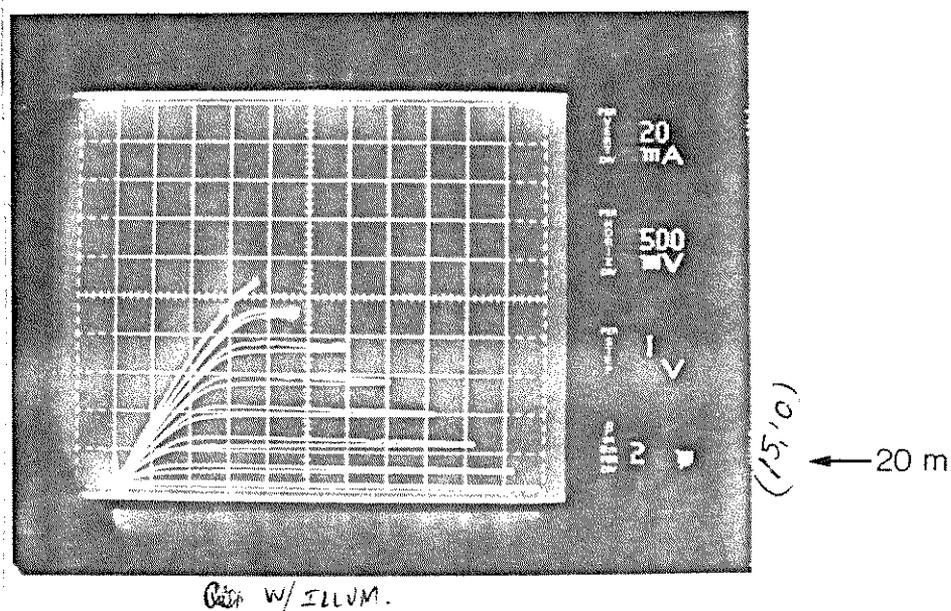


Figura 4.26 Característica $I_{DF} \times V_{DF}$ para MESFET de GaAs (KMICY(15,10)) em duas situações
 a. sem iluminação ambiente.
 b. com iluminação ambiente.

das sempre foram feitas sem iluminação ambiental.

Nota-se, também, a ampliação dos laços de histerese na característica da fig. 4.26b.

As figs. 4.27a e b mostram a característica do transistor KMLCZ(9,3), indicando um valor de $g_m \approx 12\text{mS}$. Apesar de originário da mesma amostra LPE 1C (ou mais precisamente 1CK), o transistor apresenta g_m diferente do transistor KMLCY (mesma amostra quadrante diferente).

Notar que na fig. 4.27a a excursão do transistor em V_{DF} foi aproximadamente 7V (limitada com resistor de carga).

Na fig. 4.27b selecionamos duas tensões de V_{PF} (0Ve - 0,5V) para identificar com maior precisão $I_{DSS} = 80\text{mA}$.

A sequência de fotos da figura 4.28 mostra a característica $I_{DF} \times V_{DF}$ de alguns transistores construídos com camadas especiais. Estes transistores construídos visavam destacar características e parâmetros especiais ou de maior transcondutância g_m ou de máxima corrente da saturação I_{DSS} .

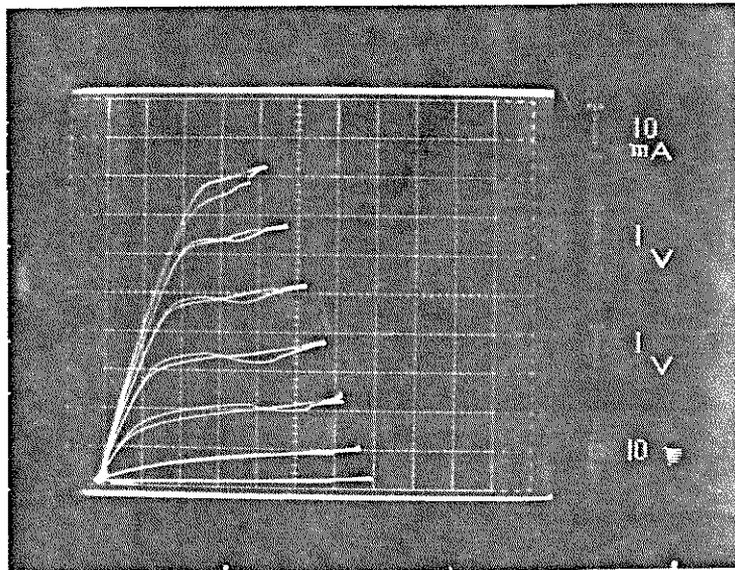
Na fig. 4.28a está a característica de um transistor KM2CW(4,11) cujo comportamento apresenta I_{DSS} pouco superior a 100mA. Selecionamos algumas tensões de V_{PF} de 0,5 em 0,5V. A transcondutância g_m deste transistor situa-se em torno de 24mS.

A característica do transistor KM2CW(3,20) apresentada na fig. 4.28b é de $I_{DSS} \approx 100\text{mA}$ e $g_m \approx 20\text{mS}$.

A fig. 4.28c apresenta a característica DC de um transistor KML4DY(14,9) construído especialmente sobre uma camada LPE sem buffer (14DK) para observar possível região de condutividade negativa. Note que I_{DSS} atinge praticamente 160mA.

Observa-se, nas curvas, uma descontinuidade da característica e uma nítida queda de corrente à medida que aumentamos V_{DF} . Esta identificação de condutividade negativa está associada à for

a



b

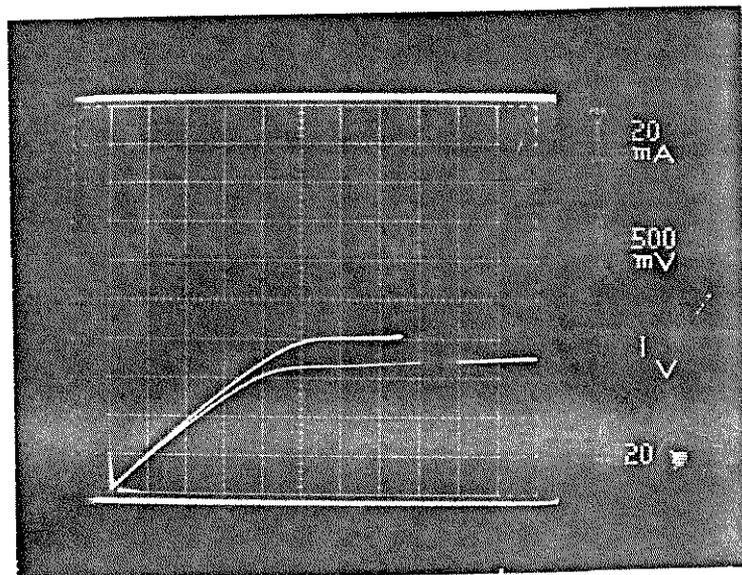


Figura 4.27 Característica DC, de MESFET de GaAs (KM1C Z(9,3)) indicando em b medida mais precisa para I_{DSS} ou seja $I_{DSS} = 80\text{mA}$.

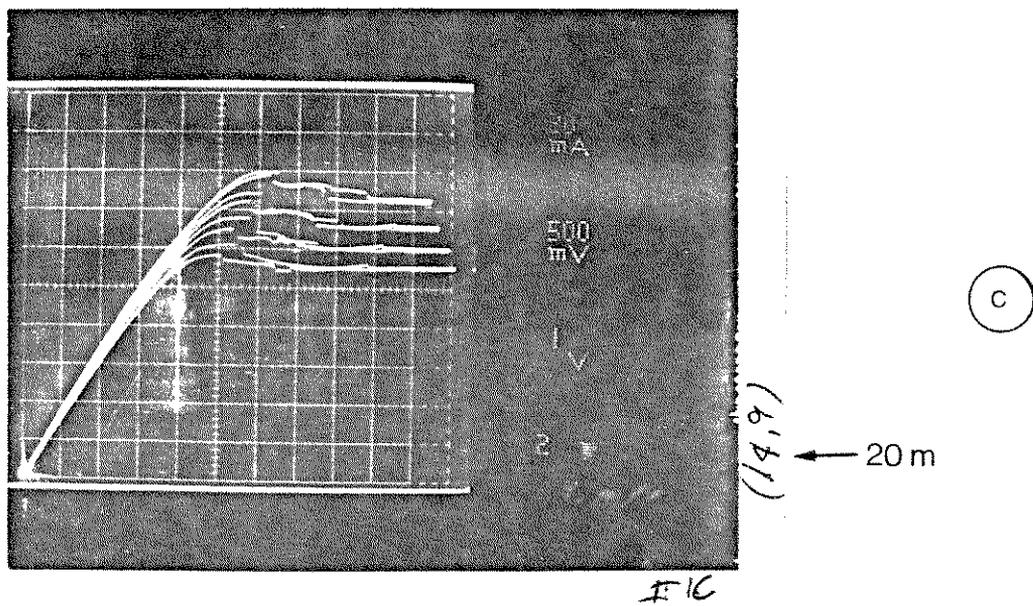
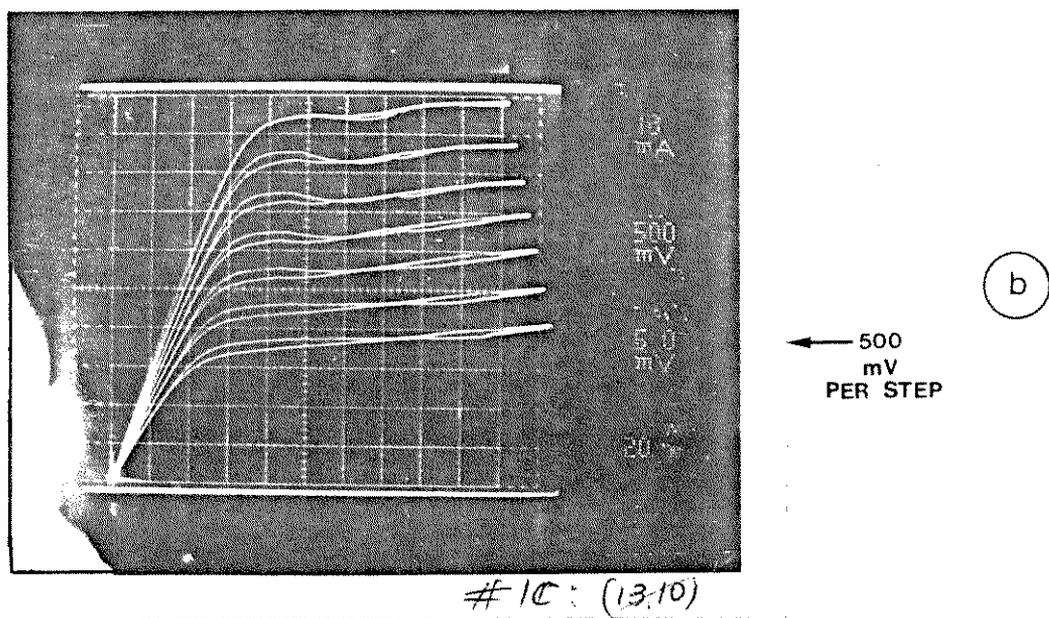
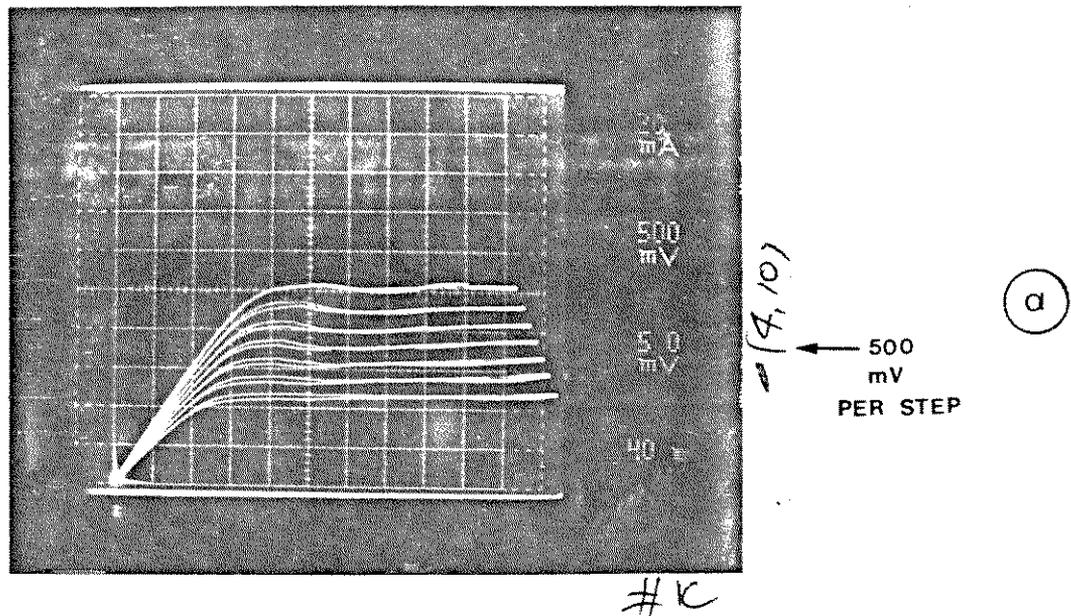


Figura 4.28 Característica DC de MESFETs de GaAs com g_m em torno de 20mS (a e b) e característica DC de MESFET de GaAs apresentando ligeira característica de declividade de negativa (c).

mação de dipolos estacionários na região do canal como está amplamente discutido no capítulo 3.

O surgimento desta característica de declividade negativa é muito rara pois, como analisamos anteriormente, variados fenômenos e mecanismos intrínsecos ao dispositivo contribuem para mascarar este efeito.

Mesmo na amostra 14D encontramos apenas mais dois transistores que apresentavam a característica de condutividade negativa.

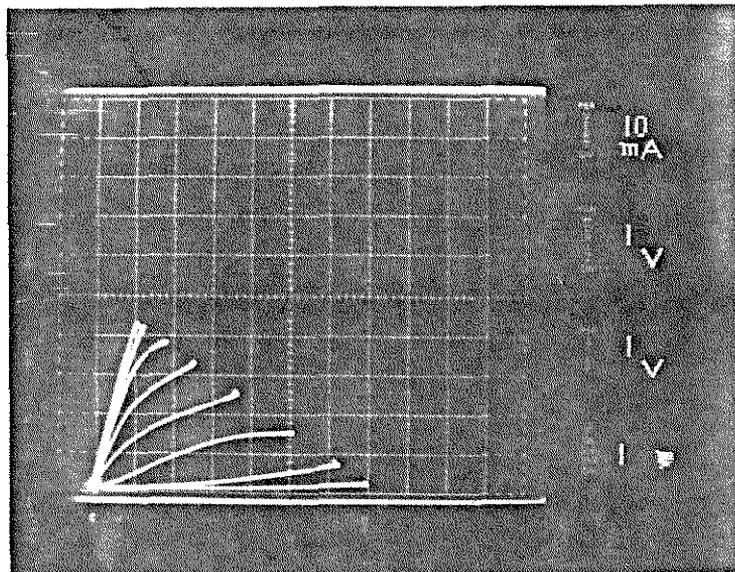
A sequência de fotos da fig. 4.29 mostra os ajustes necessários para se realizarem medidas da região linear, ou seja, para V_{DF} em torno de 200mV.

Neste caso são selecionados valores de V_{PF} para identificar a característica linear do transistor. Nas fotos da fig. 4.29 mostra-se a característica DC do transistor KM1CZ(9,8) em diferentes escalas.

Para concluir esta sequência de características DC de transistores MESFETs de GaAs construídos, mostramos na fig. 4.30, uma série de fotos com as características DC de um MESFET com camada crescida pela técnica MBE (molecular beam epitaxy).

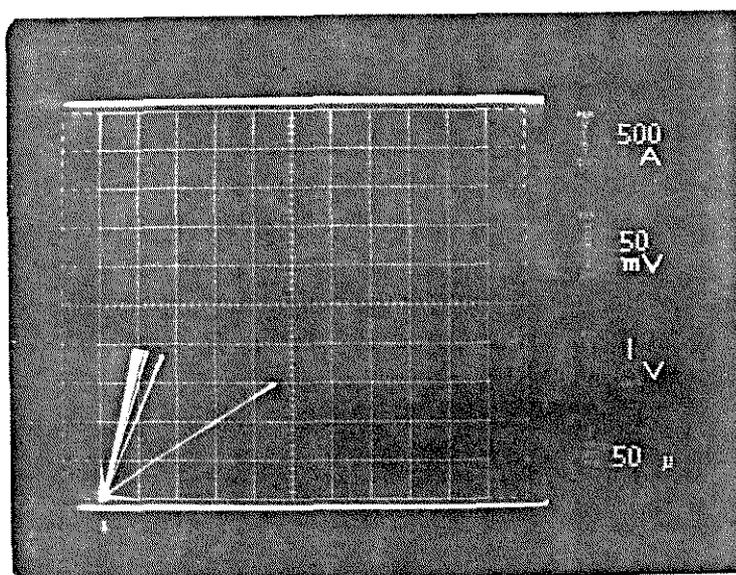
O transistor KM583DX(14,12) apresenta muito baixa transcondutância, em torno de 3mS.

a



← 10 m

b

← 500 μ A← 500 μ

c

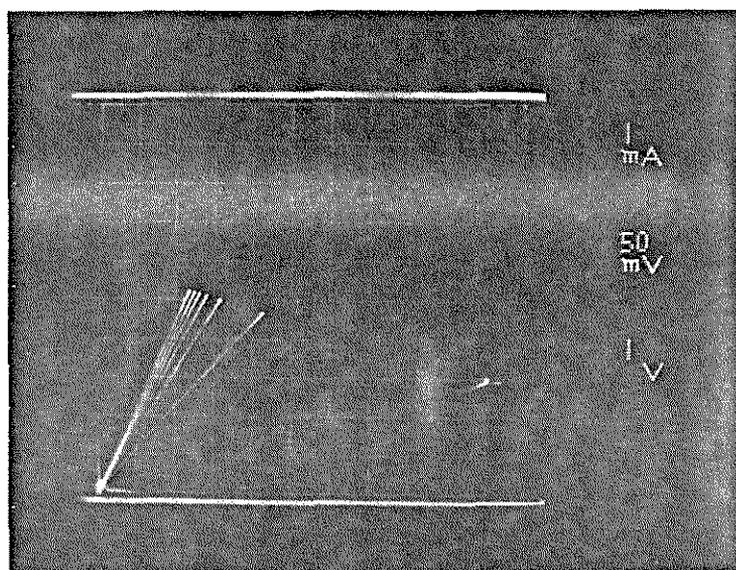
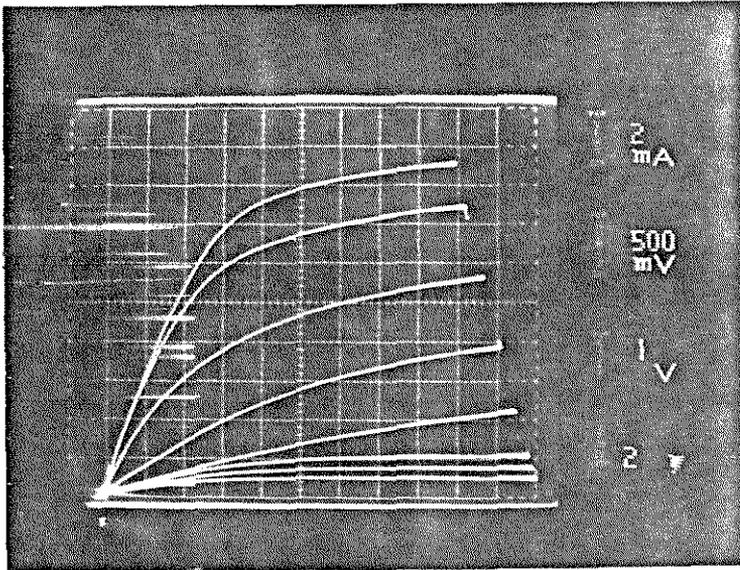
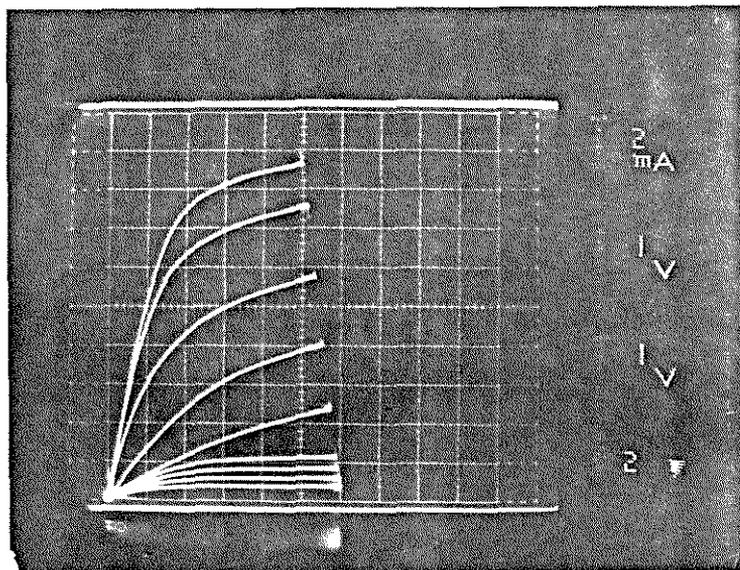


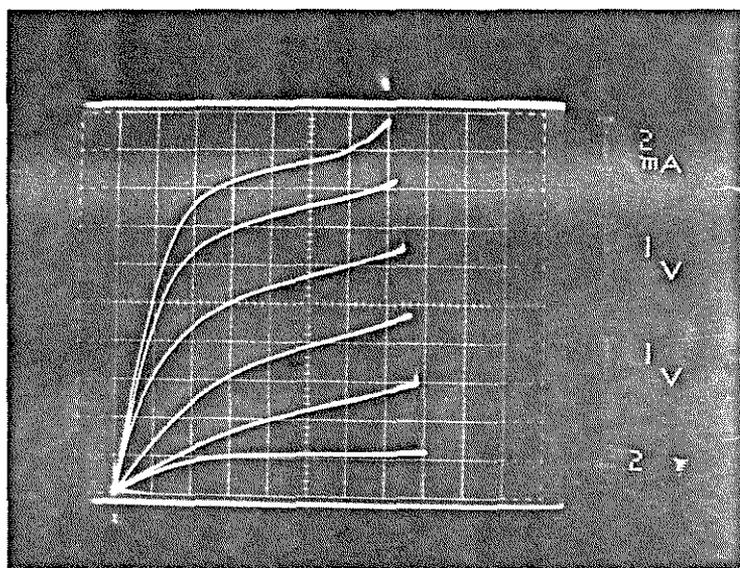
Figura 4.29 Características DC de MESFETs de GaAs acentuando a característica da região linear (KM1C Z(9,8)).



a



b



c

Figura 4.30 Característica DC de MESFETs de GaAs construídos com camadas epitaxiais MBE. (KM583DX(14,12)). Baixa transcondutância.

4.3.1.1. MÉTODO DE DETERMINAÇÃO DOS PARÂMETROS INTRÍNSECOS A PARTIR DOS PARÂMETROS DC

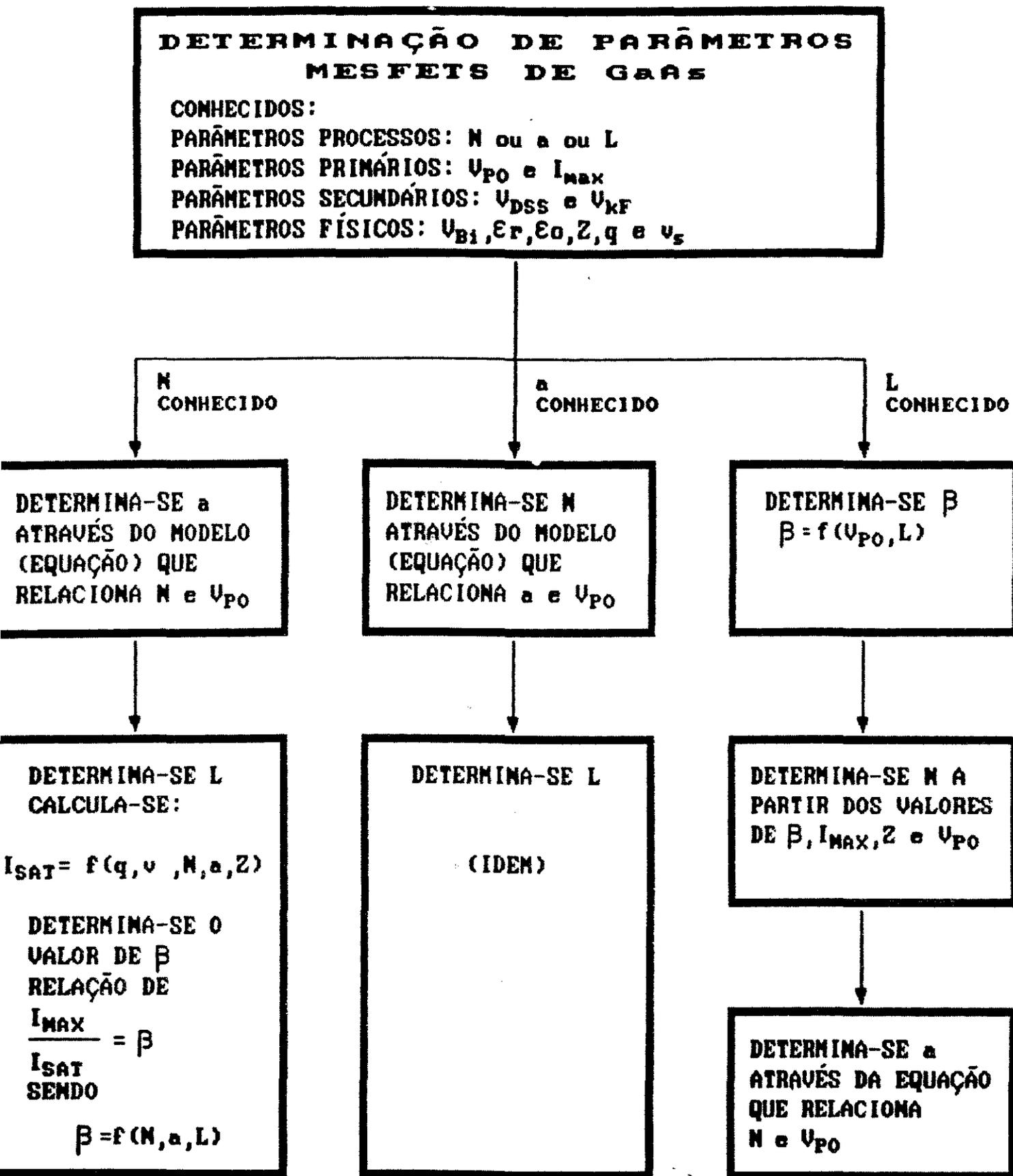
Para caracterização dos parâmetros dos transistores MESFETs de GaAs construídos, utilizamos basicamente os procedimentos adotados por Fukui [30] [31]. Isto significa que adotamos as rotinas de teste propostas por Fukui com algumas alterações, mas não necessariamente a totalidade do modelo proposto em [31].

Acrescentamos novas técnicas de medida propostas por Baier *et al.* [32], resistência de contato proposta em [33], além da inclusão de medidas que pudessem indicar a adequação do modelo proposto aos fenômenos relatados no Cap. 3.

Como instrumentos básicos de medida, utilizamos o traçador de curvas (TEKTRONIX 576) Eletrômetro e miliohmímetro (Keithley).

Quando da necessidade de um refinamento de um parâmetro específico, apresentamos o detalhamento da técnica de medida utilizada.

Para simplificar consolidamos em um fluxograma (fig. 4.31) a sequência utilizada para caracterizar os parâmetros básicos intrínsecos dos MESFETs de GaAs, a partir das medidas DC e interpretadas à luz do modelamento proposto por Fukui [30] e [31].



FLUXOGRAMA QUE PODE SER ADOTADO GENERICAMENTE PARA QUALQUER MODELO. NESTE CASO ADOTAMOS AS VARIÁVEIS DO MODELO PROPOSTO POR FUKUI [30] [31].

Figura 4.31 Fluxograma para determinação de parâmetros físicos de MESFETS de GaAs através do modelo proposto por Fukui [30] [31].

4.3.1.2. MEDIDAS ELÉTRICAS DC. DETERMINAÇÃO DE PARÂMETROS DOS MESFETS DE GaAs

Apresentamos, a seguir, uma sequência de medidas para se obterem os parâmetros DC dos transistores. Em princípio estas medidas poderão ser utilizadas em diferentes modelos propostos, servindo de base de interpretação para os fenômenos e comportamento dinâmico do dispositivo.

As equações descritas no modelo de Sussman-Fort [34] com as correções propostas por Statz [35], podem ter seus parâmetros determinados através dos procedimentos descritos nas seções seguintes:

Roteiro para obtenção dos parâmetros elétricos DC e de mais parâmetros em MESFETS de GaAs.

1. Determinação de ϕ_{Bn} , $V_{bi,n}$ (fator de idealidade) e N_D .

Consideremos a expressão de densidade de corrente na junção Schottky porta-fonte:

$$J = A^* \cdot T^2 \exp\left[\frac{-q\phi_{Bn}}{kT}\right] \cdot \exp\left[\frac{qV_{PF}}{nkT}\right] \quad (4.8)$$

onde: A^* é a constante de Richardson ($8,7 \text{ A/cm}^2/\text{K}^2$).

n é o fator de idealidade.

ϕ_{Bn} é a altura da barreira Schottky.

Determina-se, inicialmente, a característica $I_{PF} \times V_{PF}$ com $I_{DF} = 0$. A declividade da porção linear da curva é q/nkT . A extrapolação da porção linear para $V_{PF} = 0$ identifica I_S , a corrente de saturação. Com o valor de I_S calcula-se J_S através de $L(\text{porta})$ e $Z(\text{Largura})$. Com J_S obtém-se o valor de ϕ_{Bn} (eq. 4.8), com $V_{PF} = 0$.

Para se determinar V_{bi} e N_D utiliza-se a técnica de medida descrita em [36] onde se aplica a característica $1/C^2 \times V$ onde C é a capacitância de depleção da junção Schottky da porta e V a

tensão aplicada V_{pp} .

Através desta técnica descrita em detalhes na referência |36| é possível determinar V_{bi} e N_D com precisão.

A capacitância da junção Schottky é dada por |36|:

$$C = \left[\frac{q \epsilon_S N_D}{2(V_{bi} - V)} \right]^{1/2}, \quad (4.9)$$

podendo ser escrita na forma:

$$\frac{1}{C^2} = \frac{2(V_{bi} - V)}{q \epsilon_S N_D}. \quad (4.10)$$

Calcula-se a derivada da expressão (4.10), com relação à tensão aplicada obtém-se:

$$-\frac{d(1/C^2)}{dV} = \frac{2}{q \epsilon_S N_D} \quad (4.11)$$

Assim, pela intersecção da reta descrita por (4.10) com o eixo das tensões, determina-se V_{bi} e, da declividade obtém-se numericamente o valor de N_D .

2. Determinação de V_p , R_O , R_D , R_f e R_p .

A partir da característica linear $I_{DF} \times V_{DF}$ do MESFET na região $V_{DF} \approx 0,05V$ obtém-se a curva $I_{DF} \times V_{PF}$, conforme mostra a sequência na fig. 4.32. A definição do valor de V_p é provisória e deve ser verificado se a curva da fig. 4.32c é linear. O gráfico da fig. 4.32c é baseado no modelo:

$$I_{DF} \approx G_O \left[1 - \sqrt{\frac{V_{bi} - V_{PF}}{V_P + V_{bi}}} \right] V_{DF} \quad (4.12)$$

sendo $G_O = \frac{1}{R_O}$ a condutância do canal em aberto.

Define-se a variável $X = \left[1 - \sqrt{\frac{V_{bi} - V_{PF}}{V_P + V_{bi}}} \right]^{-1}$.

Se a característica $\frac{V_{DF}}{I_{DF}} \times X$ se desviar muito da linear (conforme fig. 4.32c), o valor I_{DF} provisório adotado anteriormente (seja pela curva $I_{DF} \times V_{DF}$ ou pela sequência descrita acima) deve ser revisto e determinado com maior precisão.

Normalmente, o valor adotado inicialmente para V_P é estimado como sendo o valor de V_{PF} para a última linha da característica $I_{DF} \times V_{PF}$. Este valor é preciso para MESFETs com camada ativa grande, ou seja, para valores elevados de V_P (-1V, -3V, -5V etc.).

Para MESFETs com camada ativa muito fina e tensão V_P muito pequena, esta avaliação pode ser muito imprecisa.

Assim o valor de V_P deve ser verificado conforme sequência da fig. 4.32c.

Os valores de R_O e de $R_f + R_D$ são determinados conforme procedimento indicado na fig. 4.32.

Alternativamente os valores de R_f , R_D e R_P podem ser obtidos da seguinte forma:

Obtém-se a característica $V_{PF} \times I_{DF}$ ora com fonte em terra ora com dreno em terra. Obtém-se a derivada de cada característica e determina-se R_f e R_D , respectivamente.

Através da característica $I_{PF} \times V_{PF}$ com $I_{DF} = 0$ determina-se a declividade da porção linear desta característica e esta vale $R_f + R_P$. Com o valor de R_f determinado anteriormente determi

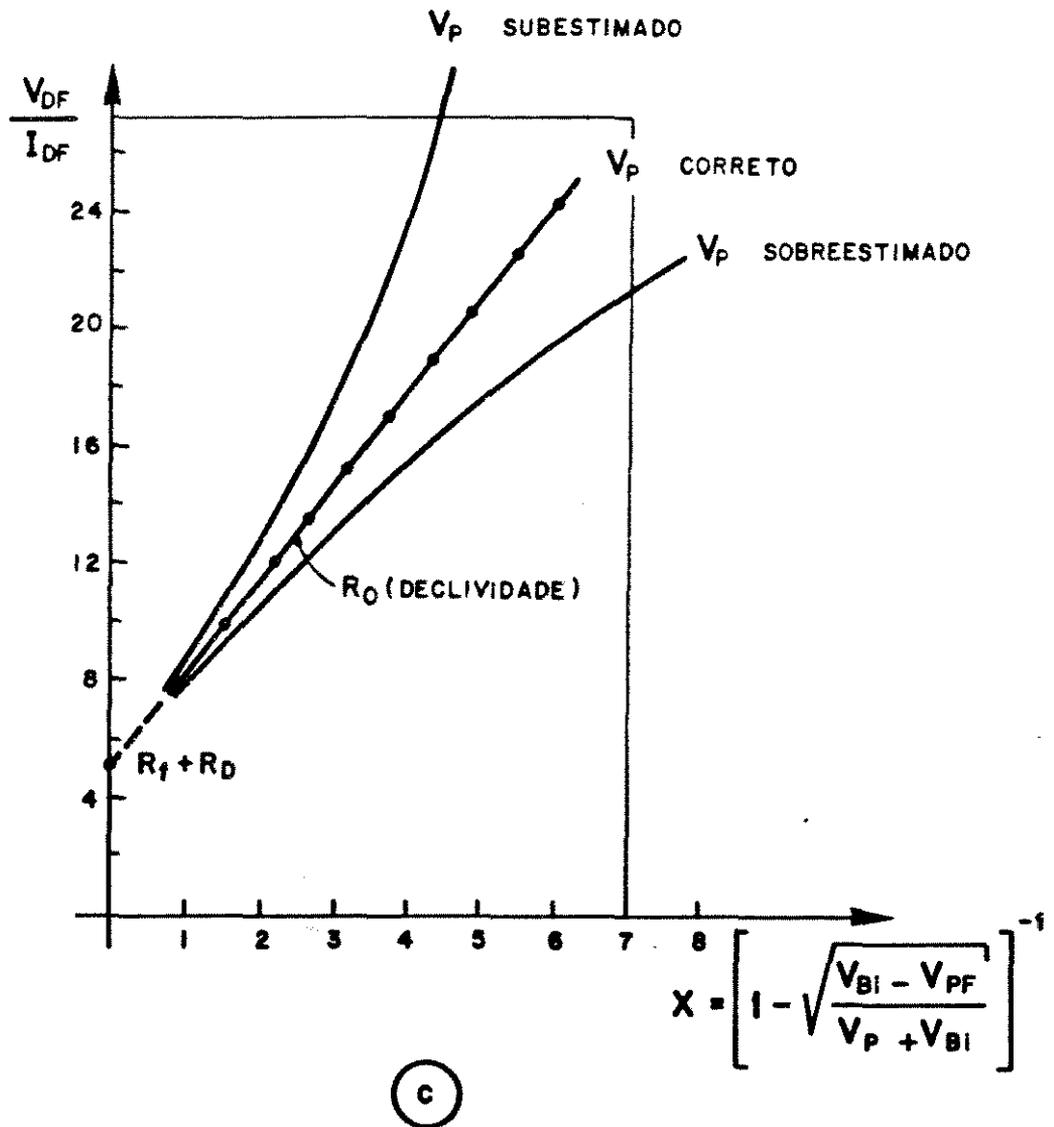
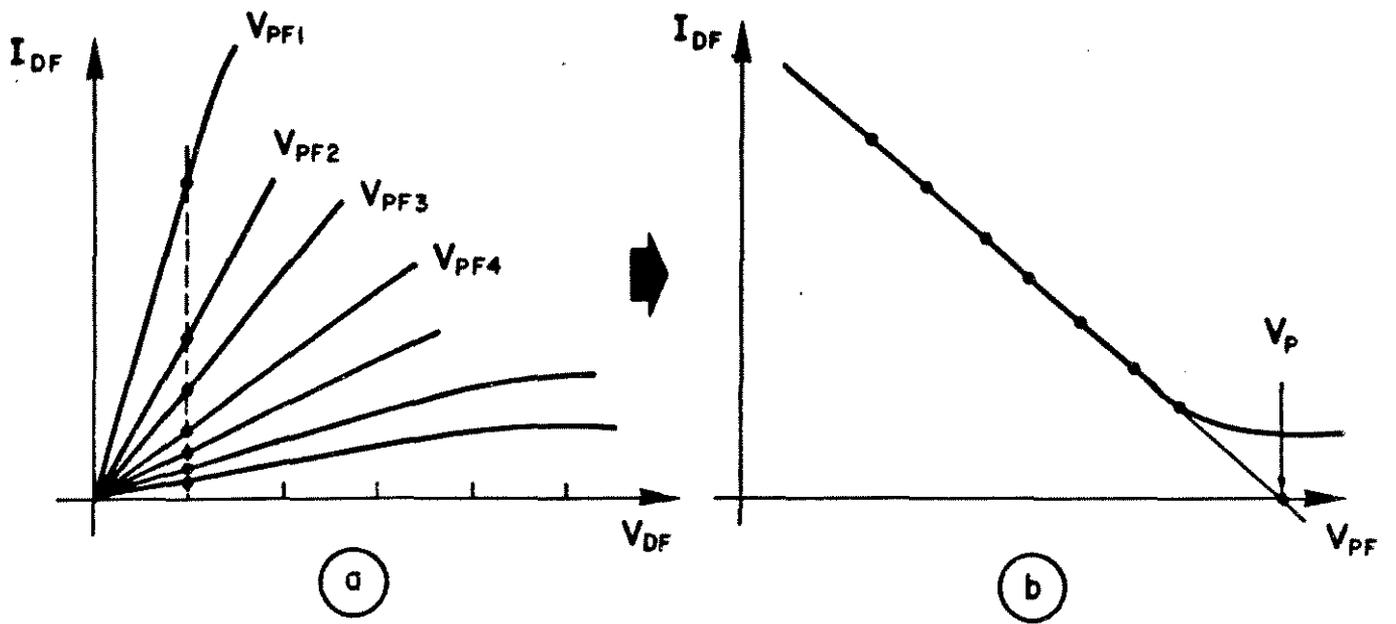


Figura 4.32 Método de determinação de V_P e verificação da precisão do valor obtido através da característica $I_{DF} \times V_{DF}$.

na-se R_p .

3. Determinação de I_{DSS} , $I_{m\acute{a}x}$, e g_m através da característica $I_{DF} \times V_{DF}$.

O modelamento apresentado por Fukui [30] [31] utiliza parâmetros obtidos através da característica $I_{DF} \times V_{DF}$. Os principais parâmetros são [31]:

V_f : tensão máxima de off-set positiva para a qual não há aumento adicional de I_{DF}

V_{kf} : tensão de joelho da característica $I_{DF} \times V_{DF}$ para $V_{PF} = V_f$.

I_f : corrente de off-set correspondente a V_f , ou seja, a máxima corrente de polarização direta da porta.

V_{ko} : tensão de joelho correspondente a $V_{PF} = 0$

I_{do} : corrente de joelho correspondente a V_{ko}

I_{pf} : corrente de "fuga" correspondente a $V_{DF} = V_{kf}$ para $V_{PF} = -V_p$

I_{po} : corrente de "fuga" correspondente a $V_{DF} = V_{ko}$ para $V_{PF} = -V_p$.

Estes parâmetros estão ilustrados na fig. 4.33 a seguir.

Assim $I_{m\acute{a}x}$ definida por Fukui em [30] e [31], como a máxima corrente do canal, é dada por:

$$I_{m\acute{a}x} = I_f - I_{pf} \quad (4.13)$$

e I_{DSS} , corrente do canal para tensão zero de polarização de porta, vale:

$$I_{DSS} = I_{do} - I_{po} \quad (4.14)$$

Estas duas equações expressam, com maior precisão, os

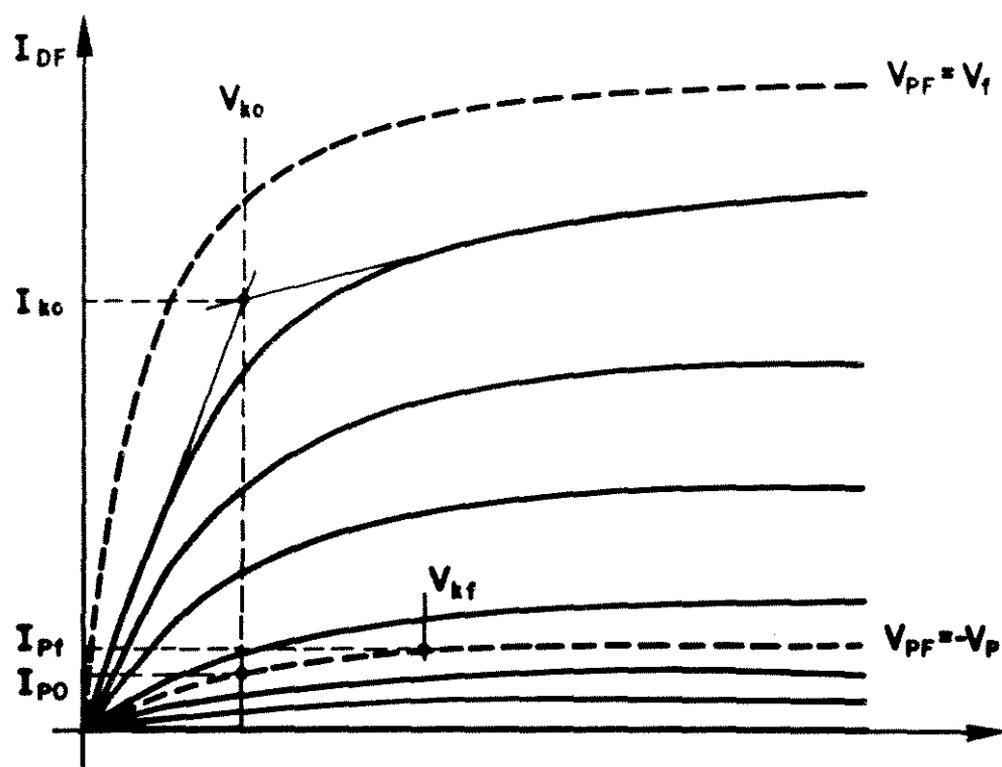
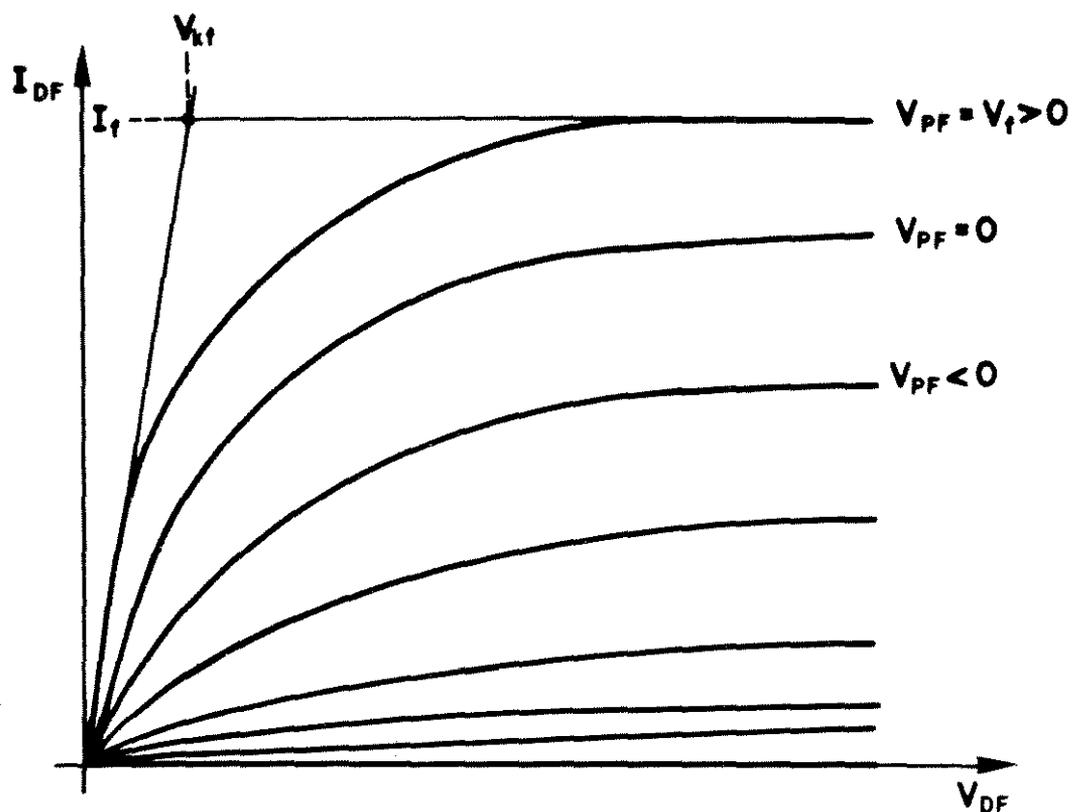


Figura 4.33 Definição de pontos e parâmetros característicos em $I_{DF} \times V_{DF}$ proposto por Fukui [30] [31] para determinação de $I_{m\bar{a}x}$ e I_{DSS} .

parâmetros $I_{m\grave{a}x}$ e I_{DSS} , obtidos a partir da característica $I_{DF} \times V_{DF}$.

A determinação de g_m' extrínseca, a partir da característica $I_{DF} \times V_{DF}$ é obtida determinando-se o ΔI_{DF} a partir de duas tensões de $V_{PF} = V_1$ e $V_{PF} = V_2$, para V_{DF} constante

$$g_m' = \left| \frac{\Delta I_{DF}}{V_2 - V_1} \right| \quad (4.15)$$

sendo a transcondutância intrínseca calculada como:

$$g_m = \frac{g_m'}{1 - g_m' R_f} \quad (4.16)$$

4. Estimativa de parâmetros físicos: a e μ_0 .

A espessura da camada ativa é inicialmente determinada pela expressão |30|:

$$a = \sqrt{\frac{2\epsilon_0\epsilon_r \cdot V_{PO}}{q \cdot N_D}} \quad (4.17)$$

sendo $V_{PO} = V_P + V_{bi}$.

A mobilidade para elétrons para campos fracos é dada pela expressão:

$$\mu_0 = \frac{L}{R_0 \cdot q \cdot N_D \cdot a \cdot Z} \quad (4.18)$$

Observação importante: O roteiro apresentado nesta seção praticamente independe do modelo adotado. Os procedimentos podem ser utilizados para os modelos mais aproximados ou para modelos mais precisos bastando, para isto, impor as relações mais detalhadas que descrevem o fenômeno no dispositivo.

4.3.1.3. RESULTADOS DAS MEDIDAS DC: VALORES DOS PARÂMETROS E ANÁLISE

Nesta seção apresentamos os valores dos parâmetros DC e parâmetros físicos medidos e avaliados para os MESFETs de GaAs construídos.

A metodologia adotada está descrita nas seções anteriores.

Foram selecionados transistores de características típicas que melhor representavam os dispositivos de um dado substrato e epitaxia.

A seleção foi necessária, tendo em vista as dificuldades de encapsulamento para cada transistor individualmente e os efeitos destas montagens no comportamento elétrico do dispositivo. Ainda, os dispositivos foram testados para avaliar a resposta em alta-frequência, o que exige suporte especial como mostrado nas seções anteriores deste capítulo.

Devemos enfatizar que os MESFETs construídos não visavam ter otimizada uma característica ou variável em particular mas, principalmente demonstrar a viabilidade de construção destes dispositivos com técnicas convencionais de microeletrônica.

A tecnologia permite construir dispositivos igualmente úteis para aplicações analógicas ou digitais e na forma discreta ou integrada. A aplicação específica destes componentes é que vai definir quais parâmetros devem ser otimizados.

Na tabela que apresentamos a seguir estão os principais parâmetros DC e construtivos dos transistores. Ela não esgota todas as medidas efetuadas, entretanto, representa os principais parâmetros dos transistores típicos de cada substrato e epitaxia utilizados.

A espessura da camada ativa a , foi obtida através dos parâmetros do processo de crescimento epitaxial e corrigida após

a oxidação anódica do GaAs, como indicado nos procedimentos da seção 4.2.6.

O comprimento metalúrgico da porta, L , foi determinado através de microscópio eletrônico de varredura.

A concentração de portadores na camada ativa, N_D , foi estabelecida "a priori" para todos os dispositivos construídos. Para as camadas LPE (1C, 2C, 14D) fixamos em $1,2 \times 10^{17} \text{ cm}^{-3}$. Para a camada MBE(583D) o valor adotado é de $1,0 \times 10^{17} \text{ cm}^{-3}$. No caso da camada VPE, as lâminas estavam dopadas com $1,8 \times 10^{17} \text{ cm}^{-3}$.

A determinação da tensão de "pinch-off" V_p , foi obtida através das características D.C. A tensão completa V_{p0} determina-se com o acréscimo a V_p da tensão $V_{B1} = 0,76\text{V}$.

O valor de I_{DSS} (corrente de dreno-fonte para $V_{PF} = 0$) foi obtido através das características D.C. conforme procedimentos descritos nas seções anteriores. Estes valores de I_{DSS} foram comparados com o modelo do proposto por Fukui [30] e [31]. Inicialmente foi calculada a corrente de saturação I_{SAT} já definida anteriormente e, com as correções de depleção superficial, prevista em cada processo de epitaxia, determina-se I'_{SAT} . Calculando-se os parâmetros σ γ δ proposto por [30] e [31] determina-se o valor previsto para I_{DSS} .

Os valores previstos para I_{DSS} pelo modelo proposto por Fukui [30] e [31] estão em concordância (em torno de 10% ou melhor) com os valores reais apresentados pelos dispositivos.

Convém ressaltar que, tanto V_p quanto I_{DSS} são parâmetros de grande dispersão para dispositivos MESFETs discretos, tendo em vista as limitações na determinação das características geométricas da camada ativa (espessura real, depleção superficial e etc.). Deste modo identificamos o modelo e os procedimentos acima como os mais adequados na previsão de I_{DSS} .

Os valores das resistências de fonte, dreno e porta foram determinados pelos procedimentos descritos nas seções anteriores.

res. O valor de R_p medido inclui três parcelas: O valor da resistência do metal da porta R_m , a resistência do canal entre dreno e fonte, R_{PF} , e a resistência equivalente de contato da fonte, R_{fC} .

O valor de R_m , parcela majoritária na composição de R_p , está em concordância com o modelo proposto em [37], que define o fator exponencial de coleta de corrente, e com o modelamento proposto em [38] na partição dos ramos da metalização da porta.

O valor de R_p é fundamental na performance do dispositivo no que se refere ao ruído. A figura de ruído, F , eq. 4.19, mostra esta dependência [38]:

$$F = 1 + K[R_m + R_{fC} + R_{PF}]^{1/2} \quad (4.19)$$

sendo K constante dependente dos demais parâmetros do dispositivo.

A resistividade específica de contato foi medida para dispositivos selecionados. Esta medida de ρ_c é de fundamental importância para avaliar a qualidade e repetibilidade na formação dos contatos ôhmicos de dreno e fonte.

A medida de ρ_c , baseada no método TLM (Transmission Line Model) descrito por Berger [39] e [40], foi obtida acrescentando-se a modificação proposta por Harrison [41], com a introdução do "end resistance". Trata-se da resistência final que representa a alteração na resistência de folha da camada epitaxial após o processo de recozimento, "annealing" ou "Alloying", sob os contatos ôhmicos.

O dispositivo de teste e os procedimentos de medida foram estabelecidos de acordo com o modelo proposto por Reeves e Harrison [33] e Harrison [41].

Utilizamos o dispositivo de teste em três amostras com diferentes epitaxias (IC, 14D e EY).

Os resultados das medidas efetuadas estão na tabela des

PARÂMETROS FÍSICOS E D.C DE MESFETS DE GaAs*

DISPOSITIVO	PARÂMETROS GEOMET.		PARÂM. FÍSICOS		TENSÕES E CORRENTES		RESISTÊNCIAS				TRANSCONDUITÂNCIA	
	a	L	N_D	μ_0^{ME}	V_p / V_{p0}	I_{DSS}	R_f	R_D	R_P	r_c	$g'm$	g_m
	μm	μm	$10^{17} cm^{-3}$	$cm^2 \cdot V^{-1} \cdot s^{-1}$	V	mA	Ω	Ω	Ω	$\Omega \cdot cm^2$	mS	mS
MM1CZ (8,9)	0,274	0,00	1,20	4268	5,5 / 6,26	65,0	10,6	25,0	11,5	$2,31 \cdot 10^{-5}$	12,0	15,45
MM1CZ (9,8)	0,270	0,00	1,20	4332	5,3 / 6,06	62,0	11,2	13,0	11,4	$2,31 \cdot 10^{-5}$	10,3	11,30
MM1CY (15,10)	0,296	0,65	1,20	3776	6,5 / 7,26	100,0	0,5	10,2	13,3	$2,31 \cdot 10^{-5}$	16,0	18,52
MM1CZ (9,3)	0,281	0,05	1,20	4913	5,0 / 6,56	00,0	14,0	17,4	10,0	$2,31 \cdot 10^{-5}$	12,0	14,59
MM2CW (4,11)	0,259	0,31	1,20	3181	4,0 / 5,56	100,0	0,6	9,2	27,9	—	24,0	30,24
MM2CW (3,20)	0,263	0,30	1,20	3207	5,0 / 5,76	100,0	9,0	9,7	28,3	—	20,0	24,39
MM2CY (15,5)	0,266	0,35	1,20	3206	5,1 / 5,06	96,0	9,5	10,2	25,2	—	20,6	25,61
MM14DY (14,9)	0,345	1,00	1,20	4905	9,1 / 9,05	160,0	6,3	0,7	9,6	$1,95 \cdot 10^{-5}$	10,0	10,67
MM14DX (16,20)	0,307	0,60	1,20	4762	7,0 / 7,00	130,0	5,9	6,0	13,5	$1,95 \cdot 10^{-5}$	14,5	15,05
MM14DZ (5,7)	0,320	0,75	1,20	4095	7,7 / 0,40	136,0	7,0	0,5	12,1	$1,95 \cdot 10^{-5}$	13,0	15,46
MM583DX (14,12)	0,260	0,45	1,0	4909	4,2 / 4,96	17,0	36,0	53,2	10,4	—	3,0	3,37
MM583DZ (3,7)	0,254	0,50	1,0	5005	3,72 / 4,40	10,2	22,6	40,7	17,6	—	5,2	5,09
MM583DW (2,19)	0,251	0,50	1,0	5295	3,6 / 4,36	15,0	30,0	46,3	17,5	—	4,0	4,56
MMEYX (11,20)	0,190	0,40	1,0	5129	3,7 / 4,40	36,5	6,5	0,2	16,3	$1,27 \cdot 10^{-5}$	19,5	22,33
MMEYV (9,10)	0,190	0,45	1,0	6874	3,6 / 4,45	43,0	7,3	0,6	15,2	$1,27 \cdot 10^{-5}$	10,0	20,72
MMEYY (13,15)	0,190	0,50	1,0	5699	3,6 / 4,45	46,3	5,0	7,9	14,3	$1,27 \cdot 10^{-5}$	10,6	20,05

* PARÂMETROS MEDIDOS (VER TEXTO)

** PARÂMETRO CALCULADO A PARTIR DE R_c

ta seção e foram obtidas com microprovador e miliohmímetro Keithley.

Os valores da transcondutância g_m' (extrínseca) e g_m (intrínseca) estão na tabela. Como se pode observar os MESFETs de GaAs construídos têm transcondutância não muito elevada. O principal parâmetro que resulta nesta transcondutância é a largura Z , que fixamos no projeto do dispositivo em $300 \mu\text{m}$.

A mobilidade para campos fracos, μ_0 , foi calculada para cada dispositivo através da relação 4.18 e a partir dos valores medidos de R_0 .

Nota-se que as mobilidades de deriva apresentadas nesta tabela estão muito próximas das mobilidades Hall medidas após a fabricação das camadas e indicadas anteriormente na tabela 4.1.

4.4.1. PARÂMETROS DE ALTA FREQUÊNCIA. PARÂMETROS-S E FATOR DE ESTABILIDADE

Os testes em alta frequência (RF e microondas) foram realizados em transistores especialmente selecionados, tendo em vista a necessidade de fixação de cada transistor em suporte especial (JIG) de teste, conforme descrito nas seções anteriores. Os procedimentos de preparação dos chips, para fixação no suporte, exigem técnicas especiais e consomem excessivo tempo nas condições disponíveis em laboratório de pesquisa. Estas técnicas e cuidados foram descritos nas seções anteriores.

Basicamente foram caracterizados os parâmetros S dos MESFETs construídos, fixando-se valores de polarização em $V_{DF} = 3,5V$ e, para I_{DF} , adotaram-se valores de 50% I_{DSS} . Em casos necessários, esta última condição foi alterada para se evitar excessiva dissipação durante os procedimentos de medida.

O sistema de teste de parâmetros S utiliza o analisador de redes ("Network Analyser") da Hewlett-Packard HP modelo 8410B. Este equipamento, semi-automático, permite medições até 12,4 GHz (limitado pelo "S-Parameter test SET") e dispõe de fonte DC de polarização bastante flexível e programável para caracterização em diversos pontos de operação.

A fig. 4.34 mostra, de forma simplificada, o esquema de montagem da instrumentação para medidas dos parâmetros S.

Para se manterem as condições de pequenos sinais a potência incidente sempre foi mantida em torno de $-30dBm$. Vários geradores ("plug-ins") foram utilizados cobrindo-se a faixa de 1,8 GHz a 12,4 GHz.

As medidas foram efetuadas utilizando-se ora o "display" polar com módulo e fase (ângulo) do parâmetro S e ora com o "display" amplitude/fase. A alternância entre os "displays" é utilizada para uma leitura mais precisa, quando necessário.

Para cada família de MESFETs (dispositivos construídos

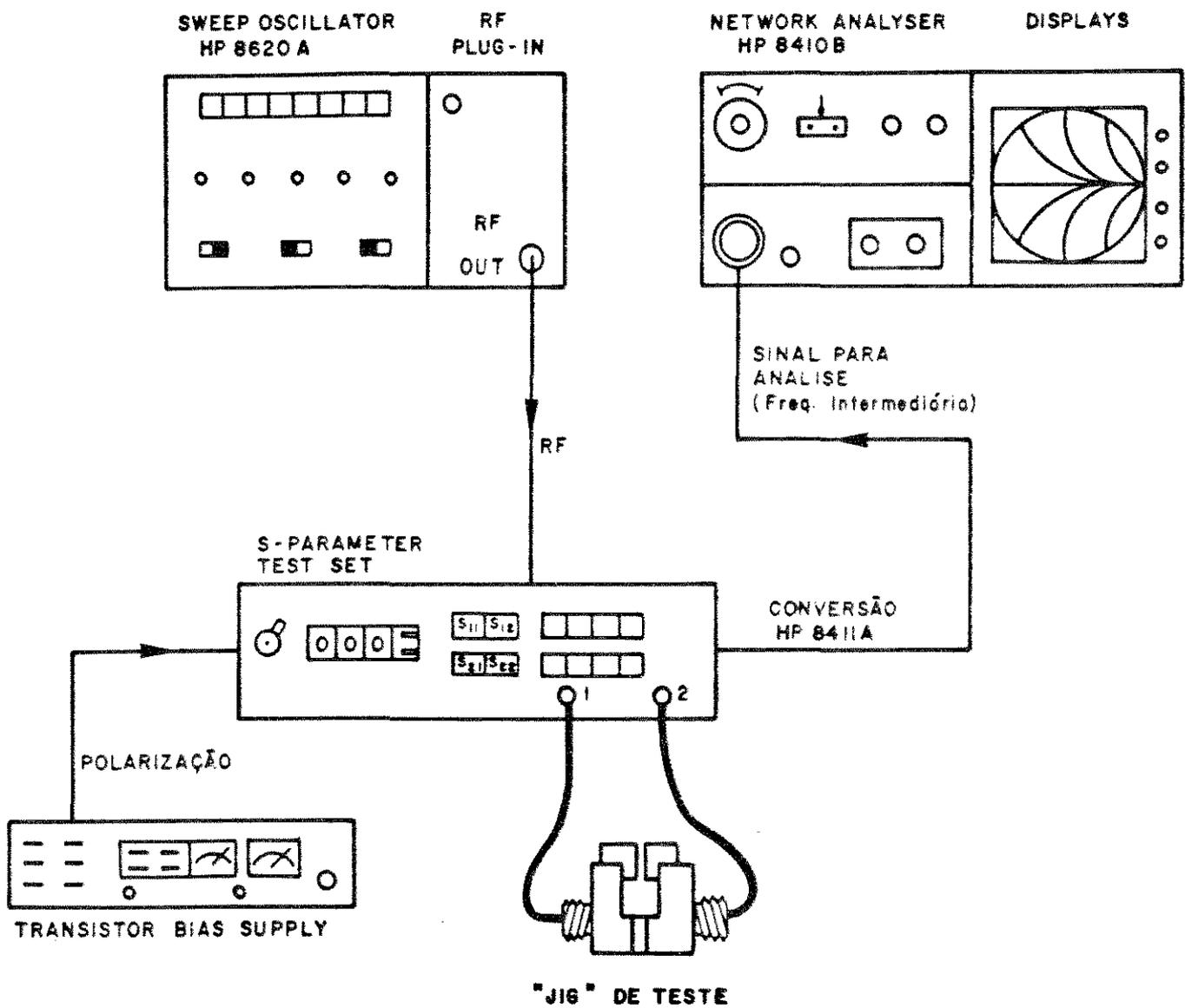


Figura 4.34 - Montagem da instrumentação para medidas dos parâmetros-S dos MESFETs de GaAs.

com diferentes camadas epitaxiais) foi selecionado um transistor típico.

A cada troca de gerador (plug-in) é necessário efetuar a calibração com o elemento de curto e de circuito aberto. Esta etapa de medidas exige muito tempo, em virtude da necessidade de calibrações sistemáticas. É possível automatizar estas etapas introduzindo os valores relativos aos parâmetros parasitários do suporte ("Jig") de teste. Os procedimentos para tornar totalmente automáticos os testes e caracterização estão detalhados e disponíveis na literatura HP e outros e disponíveis em modelos de equipamentos mais avançados.

Nas tabelas a seguir encontram-se os valores dos parâmetros S medidos para os diversos transistores.

Convém notar que os transistores não foram projetados visando uma performance específica em RF. É possível notar que os valores de S_{21} , que definem a potencialidade de ganho do transistor, operando como amplificador, não são elevados.

Em um modelo simplificado proposto em [42] o valor de S_{21} relaciona-se com g_m da seguinte forma:

$$|S_{21}| \cong 2g_m \cdot Z_0 \quad (4.20)$$

e, para sistemas de 50Ω , a expressão acima torna-se $|S_{21}| \cong 100g_m$.

Assim os valores de S_{21} medidos estão compatíveis com os valores de g_m determinados pelas características DC dos transistores.



PARAMETROS - S

MESFETS DE GaAs

CONDICOES: $V_{DF} = 3,5 \text{ V}$ $I_{DF} = 45,8 \text{ mA}$

CONFIGURACAO: Fonte-comum

ENCAPSULAMENTO: SUPORTE ESPECIAL ("JIG") DE TESTE COM FIOS SOLDADOS

POR TERMOCOMPRESSAO

DISPOSITIVO: MN1C2(15,18)

FREQ. GHz	S11		S21		S12		S22	
	MOD	ANG	MOD	ANG	MOD	ANG	MOD	ANG
1,8	0,87	- 39	1,77	128	0,823	66	0,695	- 28
2,8	0,86	- 51	1,76	125	0,824	65	0,698	- 38
2,5	0,85	- 78	1,75	118	0,838	68	0,688	- 38
3,8	0,83	- 72	1,75	109	0,832	57	0,675	- 48
3,5	0,88	- 74	1,74	102	0,835	58	0,655	- 46
4,8	0,72	- 78	1,74	100	0,837	44	0,637	- 58,5
4,2	0,78	- 78	1,74	99	0,838	45	0,648	- 51
5,9	0,63	- 85	1,68	81	0,843	32	0,615	- 78
6,8	0,63	- 86,5	1,68	79	0,843	31	0,605	- 71
6,5	0,61	- 98	1,67	63	0,845	29	0,608	- 76
7,8	0,68	-109	1,66	48	0,847	27	0,585	- 79
7,5	0,58	-140	1,66	31	0,858	26	0,565	- 83
8,8	0,57	-145	1,66	28	0,852	25	0,558	- 99
8,5	0,56	-152	1,66	23	0,868	23	0,545	-104
9,8	0,55	-158	1,65	- 12	0,861	28	0,548	-105
10,8	0,52	-168	1,62	- 15	0,863	18	0,528	-110
11,8	0,49	-165	1,68	- 17	0,865	16	0,505	-115
12,8	0,46	-178	1,59	- 28	0,868	15	0,485	-122
12,4	0,45	-173	1,59	- 22	0,869	15	0,488	-123



UNICAMP

PARAMETROS - S

MESFETS DE GaAs

CONDICOES: $V_{DF} = 3,5 V$ $I_{DF} = 58,8 mA$

CONFIGURACAO: Fonte-comum

ENCAPSULAMENTO: SUPORTE ESPECIAL ("JIG") DE TESTE COM FIOS SOLDADOS
POR TERNOCOMPRESSAO

DISPOSITIVO: KM2CW (4,11)

FREQ. GHz	S11		S21		S12		S22	
	MOD	ANG	MOD	ANG	MOD	ANG	MOD	ANG
1,8	8,96	- 33	2,63	143	8,834	62	8,735	- 18
2,8	8,96	- 36	2,62	142	8,834	62	8,732	- 19
2,5	8,95	- 45	2,68	138	8,836	68	8,729	- 24
3,8	8,92	- 52	2,58	132	8,838	58	8,726	- 29
3,5	8,91	- 56	2,57	128	8,839	56	8,723	- 34
4,8	8,89	- 59	2,55	125	8,841	54	8,719	- 38
4,2	8,89	- 68	2,54	124	8,841	53	8,718	- 38
5,9	8,84	- 67	2,41	118	8,846	49	8,782	- 43
6,8	8,84	- 68	2,48	117	8,848	49	8,782	- 43
6,5	8,82	- 73	2,34	113	8,852	47	8,695	- 48
7,8	8,81	- 88	2,38	189	8,854	45	8,693	- 51
7,5	8,88	- 86	2,26	185	8,857	43	8,691	- 54
8,8	8,79	- 89	2,28	182	8,861	41	8,685	- 57
8,5	8,79	- 91	2,18	99	8,864	48	8,682	- 68
9,8	8,79	- 92	2,15	95	8,866	39	8,678	- 64
18,8	8,78	-181	2,11	94	8,869	37	8,676	- 69
11,8	8,77	-188	2,87	98	8,873	35	8,673	- 73
12,8	8,75	-113	1,95	87	8,877	34	8,678	- 75
12,4	8,75	-119	1,91	86	8,878	33	8,669	- 79



UNICAMP

PARAMETROS - S

MESFETS DE GaAs

CONDICOES: $V_{DF} = 3,5 V$ $I_{DF} = 58,8 mA$

CONFIGURACAO: Fonte-comum

ENCAPSULAMENTO: SUPORTE ESPECIAL ("JIG") DE TESTE COM FIOS SOLDADOS
POR TERMOCOMPRESSAO

DISPOSITIVO: KM14DZ (5,7)

FREQ. GHz	S11		S21		S12		S22	
	MOD	ANG	MOD	ANG	MOD	ANG	MOD	ANG
1,8	0,90	- 35	1,26	152	0,831	76	0,825	- 28
2,8	0,90	- 40	1,25	153	0,830	76	0,822	- 23
2,5	0,89	- 40	1,23	148	0,832	71	0,819	- 29
3,0	0,87	- 52	1,21	139	0,832	69	0,815	- 33
3,5	0,85	- 50	1,19	131	0,834	66	0,810	- 37
4,0	0,84	- 62	1,19	130	0,835	64	0,805	- 40
4,2	0,84	- 63	1,19	130	0,835	64	0,805	- 41
5,9	0,80	- 76	1,16	111	0,838	57	0,798	- 53
6,0	0,80	- 78	1,16	110	0,838	56	0,796	- 54
6,5	0,78	- 83	1,14	103	0,839	51	0,783	- 66
7,0	0,76	- 87	1,12	99	0,841	49	0,780	- 73
7,5	0,73	- 90	1,10	96	0,843	48	0,776	- 80
8,0	0,70	- 95	1,08	94	0,846	46	0,770	- 86
8,5	0,66	-102	1,07	90	0,849	44	0,765	- 93
9,0	0,65	-113	1,05	88	0,851	43	0,754	- 96
10,0	0,63	-126	1,00	85	0,856	40	0,750	- 99
11,0	0,61	-134	0,98	83	0,859	39	0,746	-102
12,0	0,60	-148	0,96	79	0,862	37	0,747	-106
12,4	0,59	-148	0,94	79	0,863	35	0,746	-107



PARAMETROS - S

MESFETS DE GaAs

CONDICOES: $V_{DF} = 3,5 \text{ V}$ $I_{DF} = 10,8 \text{ mA}$

CONFIGURACAO: Fonte-comum

ENCAPSULAMENTO: SUPORTE ESPECIAL ("JIG") DE TESTE COM FIOS SOLDADOS

POR TERMOCOMPRESSAO

DISPOSITIVO: KM583DZ (3,7)

FREQ. GHz	S11		S21		S12		S22	
	MOD	ANG	MOD	ANG	MOD	ANG	MOD	ANG
1,0	0,89	- 22	0,86	165	0,820	56	0,783	-16
2,0	0,89	- 28	0,85	163	0,820	57	0,783	-17
2,5	0,88	- 32	0,83	160	0,823	55	0,780	-20
3,0	0,87	- 35	0,82	157	0,826	52	0,698	-22
3,5	0,86	- 37	0,79	154	0,829	50	0,696	-25
4,0	0,85	- 40	0,76	150	0,831	49	0,694	-28
4,2	0,85	- 45	0,75	149	0,831	48	0,694	-29
5,9	0,80	- 54	0,69	136	0,843	42	0,689	-36
6,0	0,80	- 56	0,69	135	0,844	42	0,688	-37
6,5	0,79	- 60	0,67	130	0,847	40	0,683	-40
7,0	0,78	- 60	0,65	126	0,849	38	0,680	-43
7,5	0,77	- 76	0,63	121	0,851	38	0,675	-46
8,0	0,76	- 85	0,61	118	0,852	37	0,670	-49
8,5	0,75	- 92	0,60	112	0,853	37	0,665	-52
9,0	0,74	-100	0,59	106	0,853	36	0,660	-56
10,0	0,74	-109	0,58	102	0,854	35	0,654	-59
11,0	0,72	-118	0,56	98	0,855	34	0,650	-63
12,0	0,70	-125	0,54	93	0,856	33	0,648	-66
12,4	0,69	-129	0,53	92	0,857	32	0,645	-68



UNICAMP

PARAMETROS - S

MESFETS DE GaAs

CONDICOES: $V_{DF} = 3,5 V$ $I_{DF} = 28,8 mA$

CONFIGURACAO: Fonte-comum

ENCAPSULAMENTO: SUPORTE ESPECIAL ("JIG") DE TESTE COM FIOS SOLDADOS

POR TERMOCOMPRESSAO

DISPOSITIVO: RMEYX (11,28)

FREQ. GHz	S11		S21		S12		S22	
	MOD	ANG	MOD	ANG	MOD	ANG	MOD	ANG
1,8	0,93	- 27	2,37	136	0,845	61	0,715	- 22
2,0	0,92	- 29	2,37	134	0,845	61	0,718	- 24
2,5	0,90	- 31	2,30	131	0,850	68	0,786	- 27
3,0	0,89	- 33	2,26	128	0,853	59	0,788	- 38
3,5	0,88	- 36	2,22	122	0,858	58	0,788	- 34
4,0	0,87	- 39	2,15	119	0,859	58	0,695	- 37
4,2	0,87	- 40	2,14	118	0,860	58	0,695	- 38
5,9	0,81	- 62	2,85	186	0,866	51	0,681	- 46
6,0	0,80	- 63	2,80	185	0,866	51	0,681	- 47
6,5	0,78	- 66	1,95	99	0,868	58	0,673	- 58
7,0	0,76	- 69	1,92	93	0,870	48	0,670	- 56
7,5	0,75	- 74	1,90	87	0,871	48	0,669	- 59
8,0	0,74	- 88	1,87	82	0,871	47	0,663	- 63
8,5	0,72	- 86	1,85	77	0,872	46	0,668	- 78
9,0	0,70	- 92	1,82	69	0,874	45	0,658	- 76
10,0	0,69	- 98	1,76	63	0,875	45	0,656	- 79
11,0	0,68	-106	1,73	58	0,878	44	0,652	- 86
12,0	0,67	-112	1,65	53	0,881	43	0,658	- 97
12,4	0,67	-114	1,60	46	0,881	42	0,658	- 99

Fator de Estabilidade

O fator de estabilidade, k , definido por

$$k = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}| |S_{21}|} \quad (4.21)$$

sendo

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (4.22)$$

identifica se o MESFET é incondicionalmente estável, $k > 1$, ou de verá ter casamento adequado do circuito (se $k < 1$) para assegurar operação estável, numa frequência específica.

Os transistores construídos apresentam condição de estabilidade incondicional tipicamente a partir de 6,0 GHz sendo que algumas famílias apresentam $k > 1$ mesmo abaixo de 6 GHz e outros sã acima de 8,0 GHz.

O "ganho máximo disponível", MAG, definido por

$$\text{MAG} = \frac{|S_{21}|}{|S_{12}|} \left(k \pm \sqrt{k^2 - 1} \right) , \quad (4.23)$$

para $k > 1$ e o "ganho estável máximo" definido por

$$\text{MSG} = \frac{|S_{21}|}{|S_{12}|} \quad (\text{para qualquer } k) \quad (4.24)$$

podem ser obtidos diretamente, a partir dos parâmetros tabelados.

Estes dois ganhos, quando calculados para os MESFETs

construídos, indicam que os transistores têm aplicação potencial em amplificadores lineares de estágio simples ou múltiplos e de mais aplicações analógicas de processamento de sinais.

Os dispositivos construídos, apesar de, inicialmente, não terem sido projetados para otimizar uma performance específica em aplicações analógicas de microondas, possuem parâmetros compatíveis com transistores similares comerciais.

Em geral os transistores construídos apresentam pequeno valor de módulo de S_{21} que é indicativo do pequeno valor de g_m (para DC e baixa frequência). Esta situação é identificada na equação (4.20). Este parâmetro é otimizado ou através da alteração de dopagem e espessura da camada epitaxial ou ampliando-se a largura Z do canal. A referência [43] apresenta, de forma sucinta, uma série de procedimentos experimentais para otimizar os parâmetros, visando aplicação em microondas.

A fig. 4.35 apresenta os valores experimentais dos parâmetros S de transistor típico da família KM2CW e medidos com o CHIP fixado ao "JIG" de teste. Os valores numéricos de S_{11} e S_{22} , genericamente denominadas de \bar{s} , são plotados na carta de SMITH. A partir do valor experimental apresentado na tabela, na forma polar $s = a \angle \phi$, \bar{s} é calculado conforme abaixo:

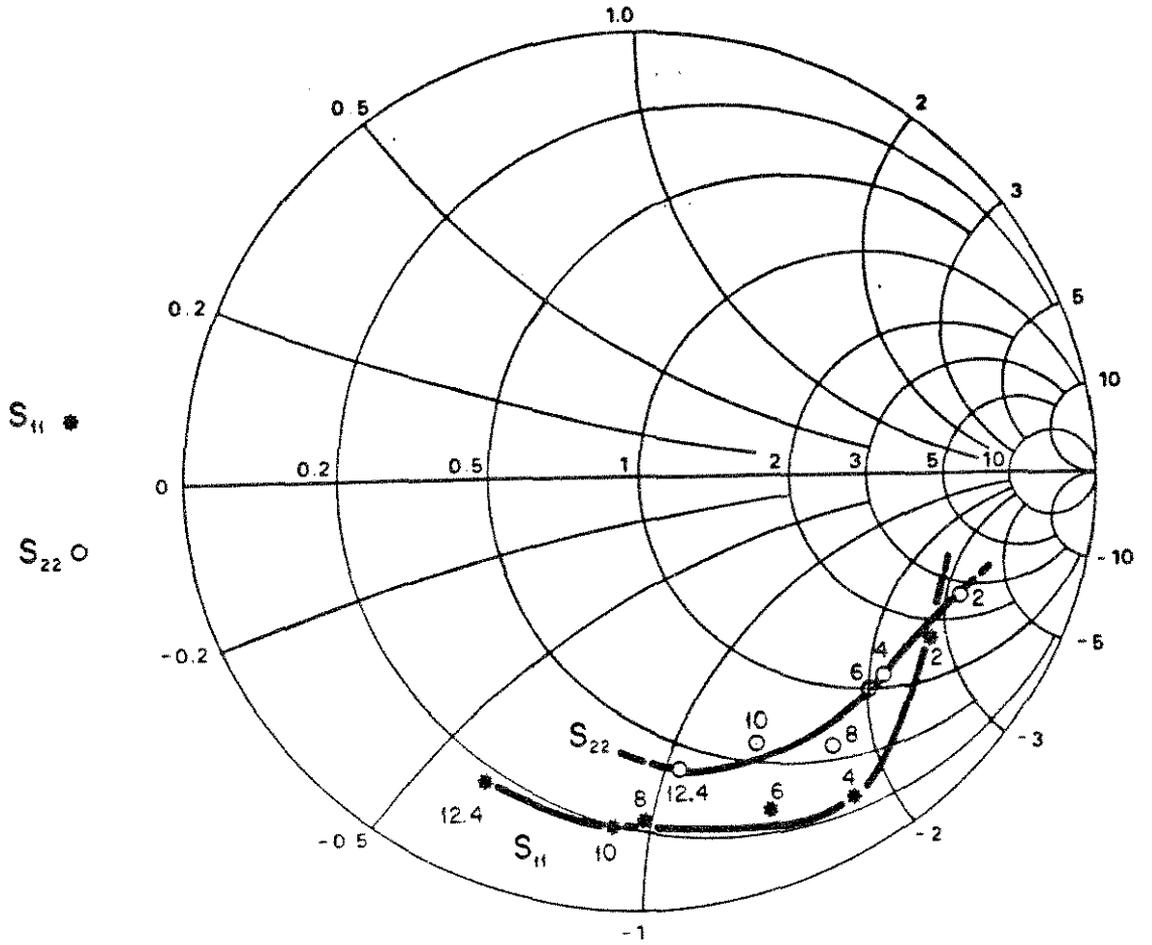
$$\bar{s} = \frac{s + 1}{1 - s} \quad (4.25)$$

Os valores de S_{12} e S_{21} são apresentados em gráfico polar, diretamente a partir do valor numérico na forma polar apresentado nas tabelas de dados experimentais.

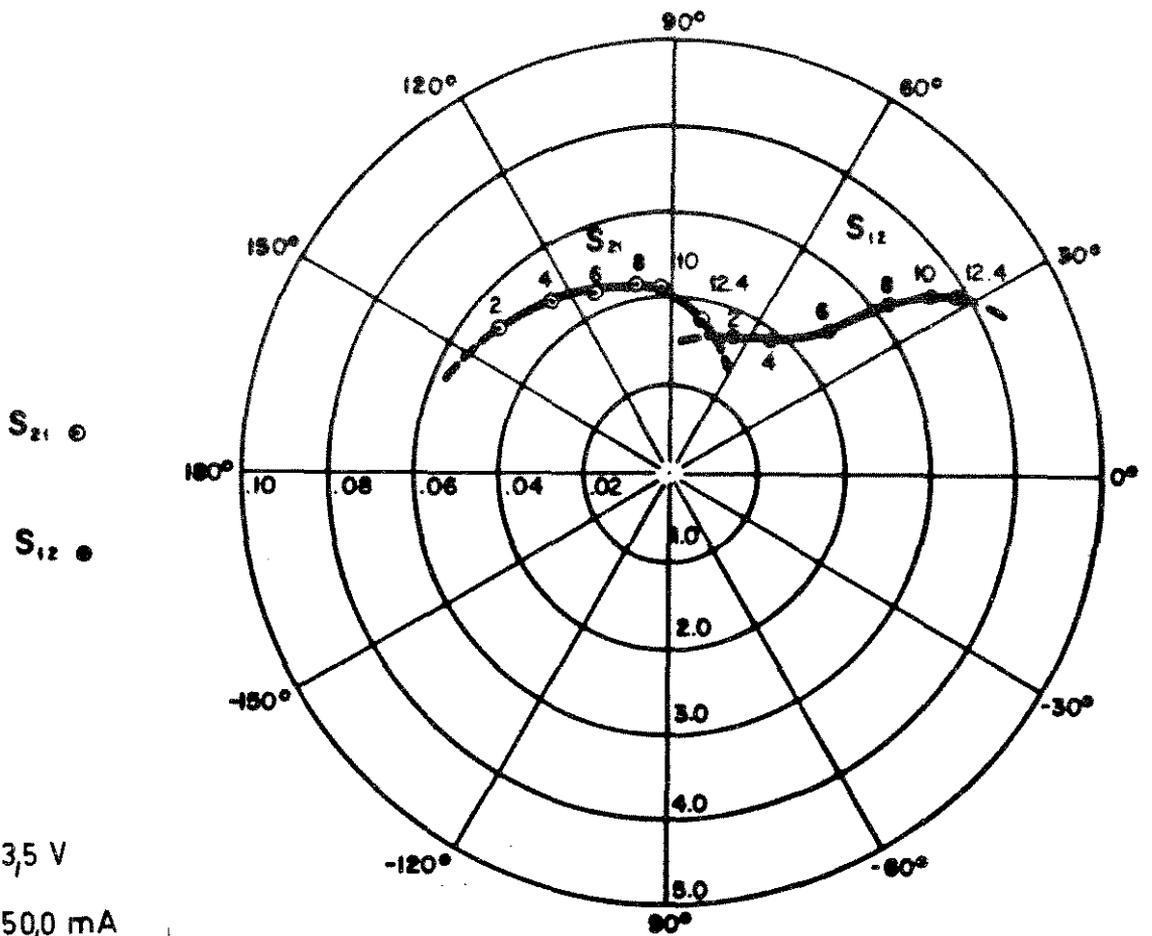
Os parâmetros S medidos podem ser referenciados a outros planos no interior do suporte ("Jig") de teste. O dispositivo ("Chip") no interior do "Jig" é conectado através dos fios de ligação a uma linha de 50Ω e esta ao conector das portas de entrada. A técnica de deslocamento do plano de referência para o interior do "Jig" até o chip é denominada de "de-embedding" [44] e [45].

MESFET DE GaAs KM2CW

(a)



(b)



CONDIÇÕES:

$V_{DF} = 3,5 \text{ V}$

$I_{DF} = 50,0 \text{ mA}$

Figura 4.35 - Parâmetros-S de MESFETS de GaAs (Dispositivo Típ. KM2CW)

a - S_{11} e S_{22} .

b - S_{21} e S_{12} .

Com este procedimento é possível levantar os parâmetros S do "Chip" isoladamente.

A remoção destes elementos permite revelar os parâmetros S do chip fornecendo dados mais realistas para o projetista de circuitos quando da utilização do dispositivo nesta forma.

Esta situação é especialmente útil no projeto de amplificadores distribuídos, AD, construídos com chips discretos [46] onde o conhecimento dos parâmetros intrínsecos é fundamental para previsão da performance do circuito (ganho e banda).

4.4.2. CIRCUITO EQUIVALENTE PARA PEQUENOS SINAIS

O circuito equivalente π -híbrido do MESFET de GaAs (modelo para pequenos sinais) pode ser obtido a partir dos parâmetros S medidos no suporte de teste e determinando-se os parâmetros S para o chip através da técnica de "de-embedding" [44] [45].

As indutâncias parasitárias de conexão da porta, fonte e dreno são calculados a partir da medida e dimensão destes fios [46].

A matriz de parâmetros S do dispositivo intrínseco é então convertida para parâmetros y ou z e a partir daí identificam-se os valores dos elementos concentrados do modelo para pequenos sinais π -híbridos.

Esta seqüência de procedimentos, aparentemente simples, exige seguidas correções e simplificações. É sempre conveniente escolher o ponto de operação (polarização) para uma performance específica na aplicação do dispositivo por exemplo: Condição de baixo ruído ou alto ganho.

Modelos simplificados [42] [47] também são úteis na avaliação global da performance do dispositivo permitindo ao projetista identificar os principais parâmetros do transistor.

Na fig. 4.36 está representado o modelo híbrido para pequenos sinais do transistor típico construído. O transistor apresentado é da família KM2CW.

A frequência de transição, f_T , é definida para a qual o ganho de corrente em curto circuito torna-se unitário. Esta frequência está relacionada com os elementos do circuito da forma abaixo:

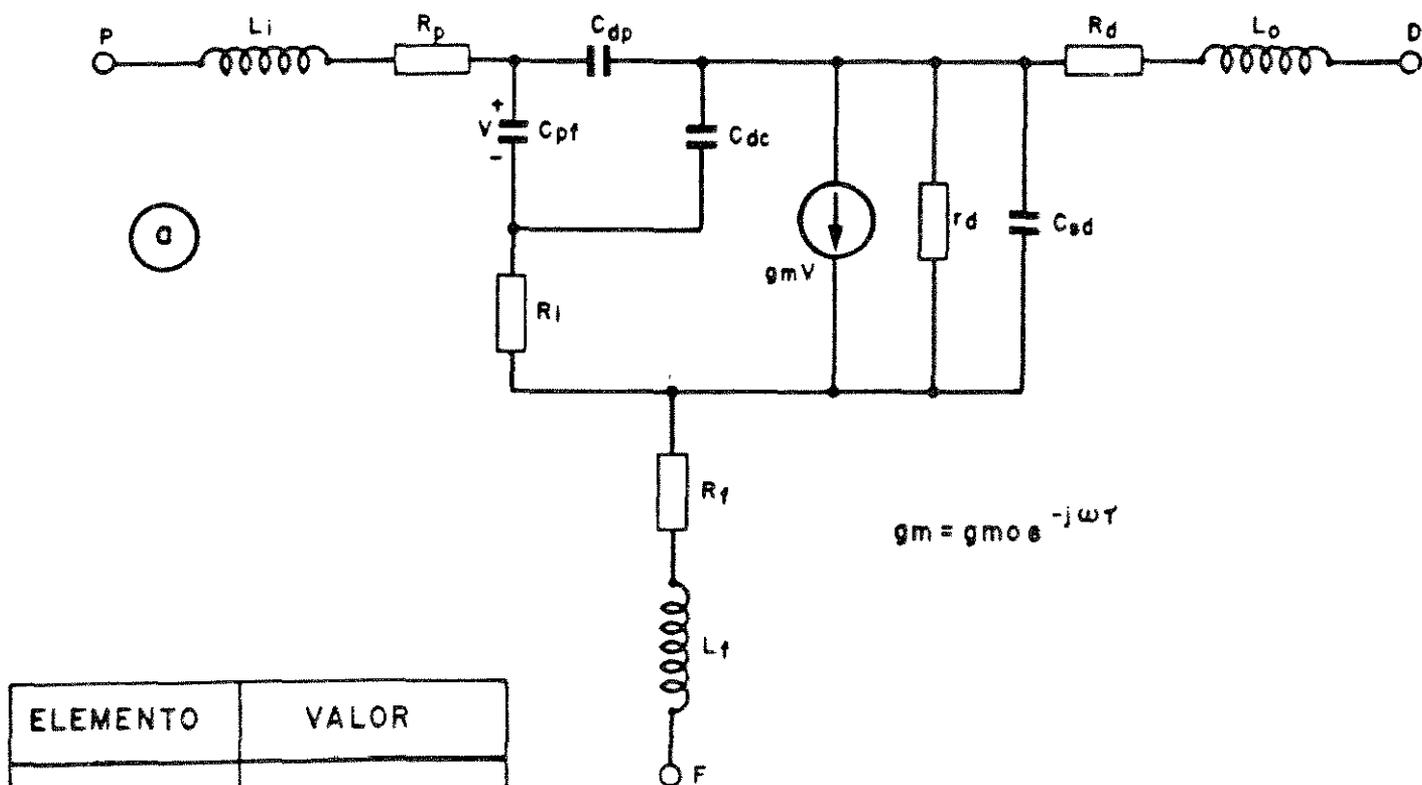
$$f_T = \frac{g_m}{2\pi C_{pf}} \quad (4.26)$$

Apresentamos na tabela abaixo os valores de f_T determinados para algumas famílias de transistores:

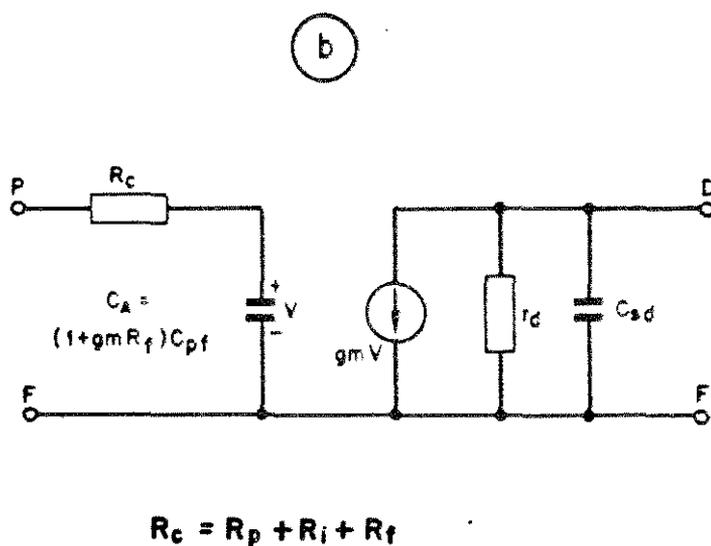
Tabela 4.2 - Valores de f_T para algumas famílias de transistores.

Dispositivo típico da família	f_T (GHz)
KM1CZ	2,90
KM1CY	4,64
KM2CW	13,30
KM2CY	11,78
KM14DZ	3,62
KM583DZ	1,40
KMWYX	5,92

A frequência máxima de oscilação, $f_{m\acute{a}x}$, definida para quando o ganho unilateral U se torna unitário. O ganho unilateral, expresso com parâmetros y , é dado por:



ELEMENTO	VALOR
g_{m0}	28,0 mS
C_{pf}	0,335 pF
R_i	3,80 Ω
C_{dp}	0,012 pF
C_{dc}	0,020 pF
r_d	327 Ω
C_{sd}	0,17 pF
R_p	27,9 Ω
R_d	9,2 Ω
R_f	8,6 Ω
τ	1,8 ps
L_i	0,215 nH
L_o	0,307 nH
L_f	0,143 nH



TRANSISTOR MESFET TÍPICO FAMILIA KM2CW $V_{DF} = 3,5V$, $I_{DF} = 50,0mA$.

Figura 4.36 - Modelo para pequenos sinais (π -híbrido) para MESFET de GaAs construído (típico da família KM2CW). a. Modelo completo. b. Modelo simplificado.

$$U = \frac{|Y_{21}|^2}{4 \cdot \text{Re}(Y_{11}) \cdot \text{Re}(Y_{22})} \quad (4.27)$$

Para o modelo da fig. 4.36b, se $C_A \cong C_{pf}$, então:

$$U = \frac{1}{4} \cdot \frac{1}{f^2} \left(\frac{g_m}{2\pi C_{pf}} \right)^2 \cdot \frac{r_d}{R_C} \quad (4.28)$$

tornando-se:

$$U = \left(\frac{f_{m\acute{a}x}}{f} \right)^2 \quad (4.29)$$

sendo $f_{m\acute{a}x}$ dada por:

$$f_{m\acute{a}x} = \frac{f_T}{2} \cdot \sqrt{\frac{r_d}{R_C}} \quad (4.30)$$

Assim, para os transistores construídos, temos a tabe
la baixo:

Tabela 4.3 - Frequência máxima de oscilação, $f_{m\acute{a}x}$
para os transistores construídos.

Dispositivo típico da família	$f_{m\acute{a}x}$ (GHz)
KM1CZ	5,96
KM1CY	7,42
KM2CW	18,94
KM2CY	21,60
KM14DZ	6,54
KM583DZ	3,82
KMEYX	11,90

O valor de $f_{\text{máx}}$ é fortemente dependente de R_C , que incorpora as resistências de porta, R_p , a resistência R_i interna e, R_f , resistência de fonte. A redução destes valores é alcançada através dos processos tecnológicos otimizando estas resistências e ampliando proporcionalmente a frequência de operação do dispositivo.

RECENTES CONTRIBUIÇÕES À TECNOLOGIA E MODELAMENTO DE MESFETS DE GaAs

A adoção da técnica para formação da porta com utilização da camada anti-refletora ARC, mostrou-se correta. Detectamos recentemente [48] a preocupação com a otimização destas camadas e propostas de novas alternativas. Pamplone et al [48] propõe a utilização de oxinitreto de titânio, $TiON$, obtido por "sputtering" reativo, como camada anti-refletora para substratos de alta reflexão como alumínio ou GaAs. Pamplone et al [48] coloca algumas restrições ao uso do ARC (anti-reflective coating) por nós utilizado, devido aos problemas de controle de recozimento ("bake") para se obter o casamento adequado com o fotorresistente do sistema. De fato, enfrentamos estes problemas mas, definimos uma sequência de processos que utilizada de forma rotineira e correta, apresenta resultados satisfatórios conforme descrevemos neste capítulo.

É importante destacar os esforços ainda atuais na área de aplicação de fotorresistências para gravação de portas submicron em MESFETS de GaAs. Em recente trabalho nesta área, Lamarre e MCTaggart [49], apresentam resultados significativos com a utilização de PMMA (polimetilmetacrilato) acrescido de uma camada aderente de PPAP (positive photoresist adhesion promoter). O sistema é indicado para fotolitografia ("deep-uv 230 nm) e é compatível com ataque químico (úmido) ou ataque seco ("plasma etching"). Avaliamos como uma técnica promissora para desenvolvimento de próxima geração de dispositivos.

É constante na literatura mais recente a análise e estudo de parâmetros dos MESFETS em decorrência do estágio do processo de fabricação. A dispersão da transcondutância, g_m , de MESFETS com camada implantada é analisada por Kawasaki et al [50]. O estu

do apresentado |50| mostra que a dispersão de gm está fortemente relacionada com a troca de cargas na superfície.

A característica da condutância de saída de MESFETs é ainda objeto de intensa investigação, mostrando a forte dependência deste parâmetro com as condições dos substratos utilizados. Shih-Hsien Lo e Chien-Ping Lee |51|, apresentam simulações mostrando que a dependência da condutância de saída de MESFETs de GaAs com a frequência pode ser atribuída à concentração de armadilhas ("Traps") e concentração de aceitadores no substrato.

Estas recentes análises e desenvolvimentos de tecnologia para dispositivos MESFETs de GaAs, indicam que, além deste dispositivo estar se tornando elemento básico para incorporação em diversos circuitos e sistemas, indica também que existe um amplo espectro de pesquisa básica, teórica e experimental, para investigação e aprimoramento destes dispositivos.

REFERÊNCIAS BIBLIOGRÁFICAS

- 1 J. Berry, "Polishing Notes", notas técnicas, Universidade Cornell Ithaca N.Y., 1982.
- 2 V.L. Rideout, "An Improved Polishing Technique for GaAs", J. of Electrochem. Soc., Vol. 119, nº 12, p. 1778 - 1779, Dezembro 1972.
- 3 P. Zwicknagl, "what mother didn't tell you about LPE", Comunicação Interna, NRRFSS - Cornell University, Janeiro 1983.
- 4 L.C. Kretly, "Lab. Notebook nº 2", notas técnicas de processo MESFET de GaAs, Cornell University, 1983.
- 5 MBE-360 - System-Technical Proposal - Varian Associates Inc. Palo Alto, California USA - Descrição Detalhada Sistema MBE-360 para LED-FEE-UNICAMP, 1979.
- 6 Manual Interno - MBE - NRRFSS - Procedimento do usuário para crescimento de camadas epitaxiais MBE, Cornell University, USA, 1980.
- 7 L.C. Kretly, "Medidas Elétricas em Dispositivos Semicondutores" Tese de Mestrado, UNICAMP-FEE, 1979.
- 8 J.P. McKelvey, "Solid State and Semiconductor Physics", A Harpa International Edition, Londres e Tóquio, 1969.
- 9 Sorab K. Ghandhi, "VLSI Fabrication Principles", A Wiley-Interscience Publication, John Wiley & Sons, 1983.
- 10 L.C. Kretly, Lab. Notebook nº 1 "Self-Aligned Gate MESFETs" Internal Report Cornell University, Ithaca N.Y., 1983.
- 11 Y. Taqui, Y. Komiya, Y. Harada, "Preferential Etching and Etched Profile of GaAs", J. of Electrochem. Soc., Vol. 118 nº 1, p. 118 - 122, Janeiro, 1971.
- 12 W. Kern, "Chemical Etching of Silicon, Germanium, Gallium Arsenide, and Gallium Phosphide" RCA Review, Vol. 39, p. 278 - 308, Junho 1978.
- 13 S. Lida, K. Ito, "Selective Etching of Gallium Arsenide Crystals in $H_2SO_4-H_2O_2-H_2O$ System". J. Electrochem. Soc. Vol. 118, nº 5, p. 768 - 771, Maio, 1971.

- 14 Y. Mori, N. Watanabe, "A New Etching Solution System $H_3PO_4 - H_2O_2 - H_2O$ for GaAs and Its Kinetics. J. of Electrochemical Society - Vol. 125, nº 9, p. 1510 - 1544, Setembro, 1978.
- 15 O. Otsubo, T. Oda et al, "Preferential Etching of GaAs Through Photoresist Masks", J. Of Electrochemical Soc. - Vol. 123, p. 676, 1976.
- 16 H.M. Levy et al, "GaAs Integrated Circuits by Selective Epitaxy and Electron Beam Lithography" Solid State Technology p. 127 - 129, Agosto, 1981
- 17 J.J. Gannon, C.J. Neuse, "A Chemical Etchant for the Selective Removal of GaAs Through SiO_2 Masks", J. of Electrochemical Soc. Vol. 121, nº 9, p. 1215 - 1219, Setembro, 1974.
- 18 J.C. Dymont, G.A. Rozgonyi, "Evaluation of a New Polish for Gallium Arsenide Using a Peroxide-Alkaline Solution". J. of Electrochemical Soc. - Vol. 118, nº 8, p. 1346 - 1350, Agosto 1971.
- 19 M. Hatzakis, B.J. Canavello, J.M. Shaw, "Single Step Optical Lift-Off Process", IBM J. of Research and Development, Vol 24, nº 4, p. 451 - 460, Julho, 1980.
- 20 J.D. Cuthbert, "Optical Projection Printing". Solid State Technology, p. 59 - 69, Agosto, 1977.
- 21 E.D. Liu, M.M. O'Toole, M.S. Chang, "Ideal Projection Lithography Using a Multilayer Resist Process", Solid State Technology p.66 - - 73, Maio, 1982.
- 22 P.D. Blais, "Edge Acuity and Resolution in Positive Photoresist Systems", Solid State Technology, p.70 - 74, Agosto, 1977.
- 23 BREWER Science Inc., Descrição de Produto ARC, Notas sobre aplicação de Camadas Anti-Refletoras. Brewer Science Inc., USA, 1982.
- 24 D.V. Morgan, "Interdiffusion of Metal films on Gallium Arsenide and Indium Phosphide", cap. 3 de "Reliability and Degradation" editado por M.J. Howes e D.V. Morgan John Willy & Sons Ltda., 1981.

- 25 H. Matino, M. Tokunaga, "Contact Resistances of Several Metals and Alloys to GaAs", J. of Electrochemical Soc., Vol. 116, nº 5, p. 709 - 711, Maio, 1969.
- 26 J.M. Borrero, R.J. Gutmann, S. Ashok, "Interface State Density in Au-nGaAs Schottky Diodes". Sol. St. Elect., Vol. 20, p. 125 - 132, 1977.
- 27 S. Guha, B.M. Arora, V.P. Salvi, "High Temperature Annealing Behavior of Schottky Barriers on GaAs with Gold and Gold-Gallium Contacts", Solid State Electronics, Vol. 20, p. 431 - 432, 1977.
- 28 J.S. Harris, Y. Nannichi, G.L. Pearson, G.F. Day, "Ohmic Contacts to Solution - Grown Gallium-Arsenide", J. of App. Phys., Vol.40, nº 11, p. 4575 - 4581, Outubro, 1969.
- 29 N. Braslau, "Alloyed Ohmic Contacts to GaAs", J. Vac. Sci. Technol., 19(3), p. 803 - 807, Setembro/Outubro, 1981.
- 30 H. Fukui, "Determination of the Basic Device Parameters of GaAs MESFETS", The Bell System Technical Journal, Vol. 58, nº 3 pp. 771-797, março 1979.
- 31 H. Fukui, "Channel Current Limitations in GaAs MESFETS" Solid State Electronics, Vol. 22, pp. 507-515, 1979.
- 32 S.M. Baier, et al., "FET Characterization Using Gate d-TLM Structure", IEEE Trans. on Electron Devices, Vol. 32, nº 12, pp. 2824-2828, Dezembro, 1985.
- 33 G.K. Reeves, H.B. Harrison, "Obtaining the Specific Contact Resistance from Transmission Line Model Measurements", IEEE Trans. on ED. Lett. Vol. EDL-3, pp.111-113, 1982.
- 34 S.E. Susman-Fort, S. Narasimhan and K. Mayaram, "A Complete GaAs MESFET Computer Model for SPICE", IEEE Trans. Electron Devices, Vol. ED-32, pp. 471-473, 1984.
- 35 H. Statz, et al., "GaAs FET Device and Circuit Simulation in SPICE", IEEE Trans. on Electron Devices, Vol. ED. 34, nº 2, pp.160-169, Fevereiro, 1987.

- 36 Kretly, L.C., "Medidas Elétricas em Dispositivos Semicondutores", Tese de Mestrado, FEE-UNICAMP, CAP.2, Nº FEC 26/79, 1979.
- 37 "Integrated Electronics", H.C. Lin, Holden-Day, San Francisco, 1967.
- 38 J. Wholey, M. Omori, "A Low Noise Microwave FET with Self-Aligned Channels", Inst. Phys. Conf. Ser. on GaAs and Related Compounds, Serie nº 45, Chapter 4, pp. 270-277, 1978.
- 39 H.H. Berger, "Models for Contacts to Planar Devices", Solid State Electronics, Vol. 15, pp. 145-158, 1972.
- 40 H.H. Berger, "Contact Resistance and Contact Resistivity", J. of Electrochem. Soc. Vol. 119, nº 4, pp. 507-514, Abril, 1972.
- 41 H.B. Harrisson, "Characterising Metal Semiconductor Ohmic Contacts", Proceedings of the IREE Australia, pp. 95-100, Setembro, 1980.
- 42 G.D. Vendelin, M. Omori, "Try CAD for Accurate GaAs MESFETs Models", Microwaves, pp. 58-70, Junho, 1975.
- 43 T. Suzuki, et al., "Highly Reliable GaAs MESFETs with a Statistic Mean NF_{min} of 0.89 dB and a Standard Deviation of 0.07 dB at 4 GHz", IEEE Trans. on MTT, Vol. 27, nº 12, pp. 1070-1074, Dezembro 1979.
- 44 Tri T. Ha, "Solid State Amplifier Design", John Willey and Sons, Cap. 2, N.Y., 1981.
- 45 J.P. Mondal, "Tzu-Hung Chen, "Propagation Constant Determination in Microwave Fixture De-Embedding Procedure", IEEE Trans. on MTT, Vol. 36, nº 4, pp. 706-714, Abril, 1988.
- 46 O.P. Paixão, Projeto e Implementação de Amplificadores Distribuídos para Recepção de Sinais de Alta Velocidade", Tese de Mestrado, FEE, UNICAMP, Fevereiro, 1991.
- 47 "Desing of Amplifiers and Oscillators, by the S-Parameter Method", G. D. Vendelin. John Willey and Sons, N.Y. 1982.

- 48 T.R. Pamplone, M. Camacho, B. Lee, E.C. Doublas, "Improved Photoresist Patterning over Reflective Topographies Using Titanium Oxynitride Antireflection Coatings", J. of Electrochemical Soc., Vol. 136, n^o 4, p. 1181-1185, Abril, 1989.
- 49 P. Lamarre, R. McTaggart, "A Positive Photoresist Adhesion Promoter for PMMA on GaAs MESFET's", IEEE Trans. on ED., Vol. 37, n^o 11, p. 2406-2408, Nov., 1990.
- 50 H. Kawasaki, J. Kasahara, "Low-Frequency Dispersion of Transconductance in GaAs JFET's and MESFET's with an Ion-Implanted Channel Layer", IEEE Trans. on ED., Vol. 37, n^o 8, p. 1789-1795, Agosto, 1990.
- 51 Shih-Hsien Lo, Chieng-Ping Lee, "Numerical Analysis of Frequency-Dependent Output Conductance of GaAs MESFET's", IEEE Trans. on ED. Vol. 38, n^o 8, p. 1693-1705, Agosto, 1991.

CONCLUSÕES

Como proposta básica deste trabalho, mostramos que é possível a realização prática de transistores MESFETs de GaAs com estrutura de porta submicron, utilizando técnicas convencionais de microeletrônica e disponíveis em laboratórios de pesquisa.

A obtenção das camadas epitaxiais pode ser obtida com a colaboração de outros laboratórios ou através de aquisição comercial de lâminas com epitaxia previamente definida. Dispositivos com camadas implantadas poderão, em breve, ser totalmente desenvolvidos no laboratório. Todas as demais etapas podem ser realizadas atualmente no laboratório exigindo pequenas adaptações.

É importante consolidar o sistema de caracterização tanto nos aspectos de processos (mobilidade, dopagem, resistividade específica de contato, etc.) como nos aspectos de caracterização elétrica do dispositivo. Um dos objetivos futuros é a automação do sistema de medidas de parâmetros S e a ampliação da faixa de frequência de teste.

Os estudos conduzidos inicialmente em Colaboração com a Universidade Cornell, no Laboratório NRRFSS (National Resource and Research Facilities for Submicron Structures, Ithaca, N.Y., USA), visavam não só a confecção destes dispositivos mas, criar cultura e capacitação tecnológica em dispositivos de alta velocidade. Assim, pretendemos desenvolver outras famílias de dispositivos HEMT (p. ex.), e caminhar para um processo de integração de circuitos digitais com MESFETs de GaAs.

Além das contribuições ao modelamento apresentadas neste trabalho existem muitas questões que merecem ser aprofundadas. Destacamos a necessidade de maior investigação dos fenômenos transitórios no comportamento do MESFET em função da posição e tamanho dos domínios de carga estacionários. Ainda, é interessante analisar os fenômenos dos domínios de carga estacionários e a interação destes com os estados na interface (camada epitaxial e substrato).

Acreditamos que este trabalho tenha aberto uma área de pesquisa em dispositivos especiais de GaAs e conduzindo a uma capacitação inicial na Universidade, em termos de tecnologia e modelamento, propiciando a ampliação para outros dispositivos, com materiais semicondutores alternativos, estrutura multi-camadas, perspectiva de integração e utilização de novas tecnologias e processos.