



Universidade Estadual de Campinas

Faculdade de Engenharia Elétrica e de Computação

Departamento de Semicondutores, Instrumentação e Fotônica

PROJETO DE AMPLIFICADORES COM REALIMENTAÇÃO EM CORRENTE UTILIZANDO TECNOLOGIA 0,35 μm CMOS

AUTOR: FILIPE DE ANDRADE TABARANI SANTOS

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: **Eletrônica, Microeletrônica e Optoeletrônica.**

Banca Examinadora

Prof. Dr. Carlos Alberto dos Reis Filho – DSIF/FEEC/UNICAMP

Prof. Dr. José Antonio Siqueira Dias – DEMIC/FEEC/UNICAMP

Prof. Dr. Carlos Eduardo Capovilla – CECS/UFABC

Campinas – SP

12 de dezembro de 2011

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Sa59p	<p>Santos, Filipe de Andrade Tabarani</p> <p>Projeto de amplificadores com realimentação em corrente utilizando tecnologia 0,35 μm CMOS / Filipe de Andrade Tabarani Santos. --Campinas, SP: [s.n.], 2011.</p> <p>Orientador: Carlos Alberto dos Reis Filho.</p> <p>Dissertação de Mestrado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.</p> <p>1. Amplificadores. 2. Amplificadores realimentados. 3. Transistores. I. Reis Filho, Carlos Alberto dos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.</p>
-------	---

Título em Inglês: Current-Feedback Amplifiers Design using 0,35 μm CMOS Technologie

Palavras-chave em Inglês: Amplifier, Feedback amplifier, Transistors

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: José Antonio Siqueira Dias , Carlos Eduardo Capovilla

Data da defesa: 12-12-2011

Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Filipe de Andrade Tabarani Santos

Data da Defesa: 12 de dezembro de 2011

Título da Tese: "Projeto de Amplificadores com Realimentação em Corrente Utilizando Tecnologia 0.35um CMOS"

Prof. Dr. Carlos Alberto dos Reis Filho (Presidente): _____

Prof. Dr. Carlos Eduardo Capovilla: _____

Prof. Dr. José Antonio Siqueira Dias: _____

Resumo

Este trabalho apresenta o estudo aprofundado e a confecção de amplificadores realimentados por corrente (CFA).

São analisadas as principais características de um CFA e comparado com o amplificador realimentado por tensão (VOA). Buscou-se esclarecer as aplicações nas quais a primeira célula apresenta-se como melhor alternativa e como importante ferramenta a ser disponibiliza aos projetistas. Ao longo desta análise são frisadas as principais dificuldades na implementação da célula em tecnologia CMOS mencionando as soluções encontradas pela na literatura. Estas dificuldades impedem a confecção de CFAs CMOS comerciais.

Um dos principais problemas da implementação de amplificadores realimentados por corrente em tecnologia CMOS é a baixa transcondutância dos transistores. A literatura propõe contornar esta deficiência da tecnologia utilizando células que obtêm alta transcondutância através do uso de realimentação interna [1]. Entretanto, a topologia proposta possui um severo compromisso entre transcondutância e banda de frequência. O trabalho apresentado nesta dissertação deixa sua contribuição à literatura propondo dois métodos para amenizar este compromisso, que resultam no deslocamento da frequência de -3dB, tornando-a significativamente maior que a original. No exemplo de projeto, aqui ilustrado, foi obtida banda 3,25 vezes a original, mantendo as características DC.

O projeto de duas topologias, sendo uma baseada no primeiro CFA monolítico comercializado e a outra que utiliza transistores compostos, foi realizado visando à implementação monolítica em tecnologia 0,35 μm CMOS da fábrica Austriamicrosystems. Os protótipos fabricados foram medidos e os resultados comparados com o esperado por simulação.

Palavras chave: *Amplificadores, Amplificadores realimentados, Transistores.*

Abstract

This work presents the study and design of current-feedback amplifiers (CFA).

It is analyzed the main characteristics of a CFA as it compares to a typical voltage-feedback amplifier (VOA). It was attempted to clarify in which applications the first mentioned cell excels at and why it can serve as an important tool for the designers. Throughout the analysis, the main difficulties regarding the implementation of the cell using CMOS technology are highlighted and the solutions proposed by the literature exposed. Those characteristics restrain the conception of CMOS commercial CFAs.

One of the primary obstacles for the implementation of current-feedback amplifiers using CMOS technology is the low transconductance of the transistors. The literature proposes the use of cells with internal feedback in order to solve this issue [1]. However, the proposed cell has a severe trade-off between transconductance and frequency bandwidth. This work provides its contribution to the literature by proposing two methods to loosen this trade-off. Using the proposed modification, it was obtained 3.25 times the original bandwidth while maintaining all of its native DC characteristics.

The design of two topologies was carried out using monolithic Austriamicrosystems 0.35 μm CMOS technology; one based on the topology of the first commercialized monolithic CFA and the other using compound transistors. The produced prototypes were measured and the results compared with expected by simulation.

Keywords: *Amplifier, Feedback amplifier, Transistor.*

“Inspiração existe, mas tem que te encontrar trabalhando.”
(Pablo Picasso)

Dedico este trabalho à minha mãe.
Todo esforço feito foi para orgulhá-la.

Agradecimentos

Agradeço principalmente a Deus, por ter aceitado meu trabalho como forma de oração e extraído de minhas limitações resultados. Aos meus amigos e companheiros de trabalho André Fortunato, Daniel Vidal, Donato Manzan, José Arnaldo Bianco, Osmar Machado, Marcel Veloso, Marcos Pelícia, Mauro Coimbra e Rogério Salustiano, por me socorrem nos momentos de apuros e pela troca de conhecimentos que contribuíram para a qualidade técnica deste trabalho. Um agradecimento especial é merecido ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, por ter me inspirado e orientado durante os últimos oito anos no mundo da microeletrônica e fora dele.

Agradeço Wagner Caçador e Tatsuo Hinuma do Centro de Tecnologia da Informação Renato Archer por sempre me ajudarem prontamente.

Agradeço à Fundação de Amparo a Pesquisa do Estado de São Paulo (FAPESP) pelo financiamento da fabricação dos protótipos através do Programa Especial de Fabricação de Circuitos Integrados no Exterior.

Agradeço também ao Instituto de Pesquisa Wernher von Braun por ter me apoiado e sido compreensivo nos momentos em que precisei dar prioridade ao mestrado.

SUMÁRIO

Resumo.....	v
Abstract.....	vii
Agradecimentos.....	xiii
Lista de Figuras	19
Lista de Tabelas.....	25
Lista de Abreviações.....	27
Capítulo 1. Introdução	29
1.1 Motivação	29
1.2 Metodologia do trabalho proposto	30
1.3 Organização da dissertação	31
Capítulo 2. O Amplificador com realimentação em corrente.....	33
2.1 Amplificador com realimentação em corrente básico.....	41
2.2 Modelo equivalente e a configuração não inversora.....	43
2.3 Resposta em frequência	45
2.3.1 Redução da invariabilidade da banda com o ganho.....	51
2.3.2 Erro em relação ao ganho ideal.....	51
2.3.3 Limitação de banda	52
2.4 Estabilidade	53
2.5 Imperfeições da função de transferência obtida.....	56
2.6 Slew-rate.....	58
2.7 Fontes de não idealidades.....	62
2.8 Excursão de sinal de entrada e saída.....	64
2.9 Considerações sobre a utilização do CFA.....	66
2.10 O que é realmente é um amplificador realimentado em corrente?	68
Capítulo 3. Projeto do CFA Básico	75

3.1	Seguidor de tensão de saída	76
3.2	Seguidor de tensão de entrada	81
3.3	Espelhos de corrente.....	84
3.4	Ganho.....	86
3.5	Circuito completo	88
3.6	Resposta em frequência	90
Capítulo 4.	A célula transistor composto	93
4.1	Transistor composto PMOS.....	93
4.2	Transistor composto NMOS.....	97
4.3	Aumento de banda utilizando capacitância ativa negativa.....	99
4.4	Espelho de corrente NMOS-PMOS com banda de frequência melhorada.....	103
4.5	Transistores compostos com alta transcondutância e banda estendida	105
4.6	Resultados das topologias propostas.....	108
Capítulo 5.	Projeto do CFA utilizando a célula transistor composto	117
5.1	Seguidor de tensão de saída	117
5.2	Seguidor de tensão de entrada	124
5.3	Ganho.....	127
5.4	Circuito de inicialização	129
5.5	Circuito completo	130
5.6	Resposta em frequência	132
Capítulo 6.	Resultados experimentais.....	135
6.1	O Circuito Integrado	135
6.2	Estrutura para medidas	138
6.3	Excursão de entrada / saída	143
6.4	<i>Offset</i>	146
6.5	Resposta em frequência	147
6.6	<i>Slew-rate</i>	165
6.7	Resumo dos resultados	175
Capítulo 7.	Conclusões	179
Capítulo 8.	Trabalhos futuros	181

Referências bibliográficas	183
Apêndice A. Equações básicas dos transistores MOS	187
A.1 Transistor NMOS	187
A.1.1 Corrente de Dreno	187
A.1.2 Tensão Limiar.....	188
A.1.3 Transcondutância de porta.....	189
A.1.4 Transcondutância de dreno.....	189
A.1.5 Transcondutância de corpo.....	189
A.2 Transistor PMOS	189
A.2.1 Corrente de Dreno	189
A.2.2 Tensão Limiar.....	190
A.2.3 Transcondutância de porta.....	191
A.2.4 Transcondutância de dreno.....	191
A.2.5 Transcondutância de corpo.....	191
Apêndice B. Amplificador operacional com realimentação em tensão.....	193
B.1 Amplificador operacional com realimentação em tensão básico	193
B.2 Resposta em frequência de malha aberta.....	194
B.3 Configuração não inversora e resposta em malha fechada.....	195
B.4 Limitação de <i>slew-rate</i>	197

Lista de Figuras

Figura 2.1: Estrutura rudimentar de um conversor V-I.	33
Figura 2.2: Conversor V-I com não linearidade reduzida.....	34
Figura 2.3: Conversor V-I linearizado.....	35
Figura 2.4: <i>Current Conveyor</i> – primeira configuração.	36
Figura 2.5: Símbolo associado ao <i>Current Conveyor</i>	36
Figura 2.6: <i>Current Conveyor</i> bipolar.	37
Figura 2.7: Circuito equivalente do primeiro CFA monolítico EL2020C.....	39
Figura 2.8: Simplificado equivalente do primeiro CFA monolítico EL2020C.....	40
Figura 2.9: Topologia básica de amplificador com realimentação em corrente.	42
Figura 2.10: (a) Modelo equivalente para amplificador com realimentação em corrente. (b) Modelo equivalente sendo utilizado em configuração não inversora.	45
Figura 2.11: Sistema mais generalizado de realimentação equivalente à Figura 2.10 (b).....	45
Figura 2.12: Circuito equivalente para obtenção da função de transferência FB(s).....	47
Figura 2.13: Circuito equivalente para obtenção da função de transferência T(s).	48
Figura 2.14: Termo dependente da frequência na função de transferência dada pela Equação (2.22), para diferentes valores de R_f' . $t_{cm} = 0,667$ ns, $R_z = 100$ KOhms e $C_z = 1$ pF.	54
Figura 2.15: Ganho de malha, para diferentes valores de R_f' . $t_{cm} = 0,667$ ns, $R_z = 100$ K Ohms e $C_z = 1$ pF.....	54
Figura 2.16: Circuito equivalente utilizando o CFA com realimentação negativa. É considerada a capacitância ligada à entrada inversora.	57
Figura 2.17: Circuito equivalente utilizando o CFA com realimentação negativa. É considerada a capacitância em paralelo com resistor de realimentação.....	58
Figura 2.18: (a) Iout em função da tensão diferencial imposta no par de entradas para o VOA e CFA. (b) Derivada de Iout por Vi em função de Vi.....	61
Figura 2.19: Circuito para análise da influencia do ganho do seguidor de tensão do estágio de entrada no CMRR.....	64
Figura 2.20: Amplificador realimentado em corrente utilizado na configuração inversora.	67
Figura 2.21: Diagrama de blocos do CFA proposto na referência [28].	69
Figura 2.22: Amplificador realimentado em corrente utilizando VOAs.....	69
Figura 2.23: Amplificador realimentado em tensão utilizado como célula básica. Composto por três partes: Par diferencial, deslocador de nível e estágio de ganho classe AB.	70
Figura 2.24: Diagrama de blocos do CFA proposto na referência [33].	71

Figura 2.25: Esquemático do CFA proposto na referência [33].	72
Figura 2.26: Ganho e fase em malha aberta do amplificador proposto na referência [33]..	72
Figura 3.1: Esquemático do seguidor de tensão de saída com dimensões e valores típicos de corrente DC.....	77
Figura 3.2: Esquemático do seguidor de tensão de entrada com dimensões e valores típicos de corrente DC.....	82
Figura 3.3: Esquemático Completo do Amplificador com Realimentação em Corrente Básico.	89
Figura 4.1: Célula que implementa um transistor tipo P composto.....	93
Figura 4.2: Modelo equivalente utilizado para obtenção da resposta em frequência,	95
Figura 4.3: Célula que implementa um transistor tipo N composto.....	97
Figura 4.4: Modelo equivalente utilizado para obtenção da resposta em frequência,	98
Figura 4.5: Circuito gerador de capacitância ativa negativa, utilizado para cancelar a capacitância de um nodo.....	99
Figura 4.6: Par diferencia utilizado como amplificador não inversor na Figura 4.5.	100
Figura 4.7: (a) Espelho de corrente NMOS-PMOS com banda de frequência melhorada. (b) Circuito equivalente utilizado para obtenção da resposta em frequência.....	103
Figura 4.8: (a) Espelho de corrente NMOS-PMOS com conectado à tensão de alimentação superior. (b) Circuito equivalente utilizado para obtenção da resposta em frequência. ...	104
Figura 4.9: Transistor composto com alta transcondutância e banda estendida utilizando capacitância negativa ativa.....	106
Figura 4.10: Transistor composto com alta transcondutância e banda estendida utilizando cancelamento de pólo com inserção de zero.....	107
Figura 4.11: Transistor composto com alta transcondutância sem extensão de banda.	108
Figura 4.12: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto sem extensão de banda.	109
Figura 4.13: Diagrama de pólos e zeros do transistor composto sem extensão de banda.	110
Figura 4.14: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto com banda estendida através de capacitância negativa.....	111
Figura 4.15: Diagrama de pólos e zeros do transistor composto com banda estendida através de capacitância negativa.....	111
Figura 4.16: Resposta em frequência do espelho de corrente utilizado no transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.	112
Figura 4.17: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.	113
Figura 4.18: Diagrama de pólos e zeros do transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.	113

Figura 4.19: Resposta em frequência da transcondutância do transistor composto (a) sem extensão de banda (b) utilizando capacitância nega ativa (c) com cancelamento de pólo por zero.....	115
Figura 5.1: Esquemático do seguidor de tensão de saída com dimensões e valores típicos de corrente DC.....	118
Figura 5.2: Esquemático do seguidor de tensão de entrada e ramo de ganho com dimensões e valores típicos de corrente DC.	124
Figura 5.3: Esquemático do circuito de inicialização.....	129
Figura 5.4: Esquemático completo do amplificador com realimentação em corrente utilizando a célula transistor composto.	131
Figura 6.1: Micrografia do circuito integrado produzido. (a) CFA básico (b) CFA utilizando a célula transistor composto. (c) Estruturas de teste.....	135
Figura 6.2: <i>Layout</i> detalhado do amplificador com realimentação em corrente básico.	136
Figura 6.3: <i>Layout</i> detalhado a amplificador com realimentação em corrente utilizando a célula transistor composto.....	138
Figura 6.4: Placas de circuito impresso confeccionadas para realização das medidas.	140
Figura 6.5 : Esquemático da placa de circuito impresso confeccionadas para realização das medidas.....	141
Figura 6.6: Equipamentos utilizados para as medidas em bancada.	142
Figura 6.7: Simulação excursão de entrada/saída do CFA básico com marcadores sinalizando mínimo e máximo da excursão.....	143
Figura 6.8: Medida de excursão de entrada/saída do CFA básico com marcador sinalizando o mínimo da excursão.....	144
Figura 6.9: Variação da excursão de entrada (gráfico superior) e da corrente de polarização (gráfico inferior) em simulação de <i>corners</i>	145
Figura 6.10: Simulação excursão de entrada/saída do CFA com transistores compostos. Marcadores sinalizando mínimo e máximo da excursão.....	145
Figura 6.11: Medida de excursão de entrada/saída do CFA com transistores compostos. Marcador sinalizando o mínimo da excursão.....	146
Figura 6.12: Simulação da resposta em frequência do CFA básico. $G = 6$ dB, $f_{-3dB} = 42,27$ MHz.....	148
Figura 6.13: Medida da resposta em frequência do CFA básico. $G = 6$ dB, $f_{-3dB} = 23,04$ MHz.....	148
Figura 6.14: Simulação da resposta em frequência do CFA básico. $G = 10$ dB, $f_{-3dB} = 37,94$ MHz.....	149
Figura 6.15: Medida da resposta em frequência do CFA básico. $G = 10$ dB, $f_{-3dB} = 18,73$ MHz.....	149

Figura 6.16: Simulação da resposta em frequência do CFA básico. $G = 16$ dB, $f_{-3dB} = 31,65$ MHz.....	150
Figura 6.17: Medida da resposta em frequência do CFA básico. $G = 16$ dB, $f_{-3dB} = 12,59$ MHz.....	150
Figura 6.18: Simulação da resposta em frequência do CFA básico. $G = 20$ dB, $f_{-3dB} = 27,07$ MHz.....	151
Figura 6.19: Medida da resposta em frequência do CFA básico. $G = 20$ dB, $f_{-3dB} = 8,18$ MHz.....	151
Figura 6.20: Simulação da resposta em frequência do CFA básico. Diferentes ganhos sobrepostos.....	152
Figura 6.21: Medida da resposta em frequência do CFA básico. Diferentes ganhos sobrepostos.....	152
Figura 6.22: Simulação Monte Carlo para ganho em malha fechada de 20 dB e condição típica de processo.....	154
Figura 6.23: Simulação Monte Carlo da corrente de dreno do transistor M2 para ganho de malha fechada 6 dB.....	155
Figura 6.24: Simulação Monte Carlo da corrente de dreno do transistor M8 para ganho de malha fechada 6 dB.....	155
Figura 6.25: Simulação Monte Carlo da diferença entre as correntes de dreno dos transistores M2 e M8 para ganho de malha fechada 6 dB.....	156
Figura 6.26: Medida transiente com ganho 6 dB e carga 1K Ohms. Forma de onda superior demonstra o sinal de entrada e a inferior a de saída.....	157
Figura 6.27: Simulação transiente com ganho 6 dB e carga 1K Ohms. Forma de onda superior demonstra o sinal de entrada e a inferior a de saída.....	158
Figura 6.28: Medida transiente com ganho 6 dB e carga 50 Ohms. Forma de onda superior demonstra o sinal de entrada e na a inferior a de saída.....	158
Figura 6.29: Simulação transiente com ganho 6 dB e carga 50 Ohms. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	159
Figura 6.30: Simulação da resposta em frequência do CFA com transistores compostos. $G = 6$ dB, $f_{-3dB} = 32,27$ MHz.....	159
Figura 6.31: Medida da resposta em frequência do CFA com transistores compostos. $G = 6$ dB, $f_{-3dB} = 26,45$ MHz.....	160
Figura 6.32: Simulação da resposta em frequência do CFA com transistores compostos. $G = 10$ dB, $f_{-3dB} = 30,76$ MHz.....	160
Figura 6.33: Medida da resposta em frequência do CFA com transistores compostos. $G = 10$ dB, $f_{-3dB} = 18,41$ MHz.....	161
Figura 6.34: Simulação da resposta em frequência do CFA com transistores compostos. $G = 16$ dB, $f_{-3dB} = 28,59$ MHz.....	161

Figura 6.35: Medida da resposta em frequência do CFA com transistores compostos. $G = 16$ dB, $f_{-3dB} = 7,24$ MHz.....	162
Figura 6.36: Simulação da resposta em frequência do CFA com transistores compostos. $G = 20$ dB, $f_{-3dB} = 27,07$ MHz.	162
Figura 6.37: Medida da resposta em frequência do CFA com transistores compostos. $G = 20$ dB, $f_{-3dB} = 5,99$ MHz.....	163
Figura 6.38: Simulação da resposta em frequência do CFA com transistores compostos. Diferentes ganhos sobrepostos.....	163
Figura 6.39: Medida da resposta em frequência do CFA com transistores compostos. Diferentes ganhos sobrepostos.....	164
Figura 6.40: Medida do <i>slew-rate</i> do sinal de entrada provido pelo gerador para o CFA básico.....	166
Figura 6.41: Medida do <i>slew-rate</i> do sinal de entrada provido pelo gerador para o CFA com transistores compostos.	167
Figura 6.42: Simulação de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	167
Figura 6.43: Medida de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	168
Figura 6.44: Simulação de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	168
Figura 6.45: Medida de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	169
Figura 6.46: Simulação de onda quadrada demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	169
Figura 6.47: Medida de onda quadrada demonstrando a capacidade de <i>slew-rate</i> do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.	170
Figura 6.48: Simulação de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	171
Figura 6.49: Medida de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	171

Figura 6.50: Simulação de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	172
Figura 6.51: Medida de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	172
Figura 6.52: Simulação de onda quadrada demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	173
Figura 6.53: Medida de onda quadrada demonstrando a capacidade de <i>slew-rate</i> do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.....	173
Figura A. 1: Símbolos utilizados para os transistores (a) NMOS e (b) PMOS.....	187
Figura B. 1: Esquemático simplificado de um amplificador operacional com realimentação de tensão (VOA).....	193
Figura B.2: Resposta em frequência do VOA para $A = 100 \text{ V/V}$, $R_z = 100 \text{ K}\Omega$ e $C_z = 1 \text{ pF}$	195
Figura B.3: Amplificador na configuração não inversora.	195
Figura B.4: Iout em função da tensão diferencial imposta no par de entradas.....	199

Lista de Tabelas

Tabela 3-1: Tabela com parâmetros da tecnologia 0,35 μm C35 da fabrica Austriamicrosystems.....	76
Tabela 3-2: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do seguidor de tensão de saída.	80
Tabela 3-3: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do seguidor de tensão de entrada.	83
Tabela 3-4: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores dos espelhos de corrente.....	85
Tabela 3-5: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do ramo de ganho.	87
Tabela 3-6: Frequências de -3dB, calculadas e simuladas, para diferentes ganhos do CFA básico.....	90
Tabela 4-1: Dimensões dos componentes da topologia ilustrada na Figura 4.9.....	106
Tabela 4-2: Dimensões dos componentes da topologia ilustrada na Figura 4.10.	107
Tabela 4-3: Dimensões dos componentes da topologia ilustrada na Figura 4.11.	108
Tabela 4-4: Tabela comparativa das estruturas de transistor composto.	114
Tabela 5-1: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos componentes do transistor composto tipo N.	119
Tabela 5-2: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos componentes do transistor composto tipo P.	122
Tabela 5-3: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do ramo de ganho.	128
Tabela 5-4: Frequências de -3dB, calculadas e simuladas, para diferentes ganhos do CFA básico.....	132
Tabela 6-1: Pinos do encapsulamento com descrição e valores típicos do projeto.	139
Tabela 6-2: Frequências de -3dB para diferentes ganhos do CFA básico.	153
Tabela 6-3: Frequências de -3dB para diferentes ganhos do CFA com transistores compostos.	164
Tabela 6-4: <i>Slew-rate</i> , medido e simulado, dos CFA fabricados.	174
Tabela 6-5: Resumo dos resultados obtidos para ambas as topologias em simulação e medidas.....	175
Tabela 6-6: Comparação entre as topologias marcando um X na topologia que apresentou melhor características.....	177

Lista de Abreviações

VOA – Amplificador de tensão realimentado em tensão

CFA – Amplificador de tensão realimentado em corrente

SR– Taxa de variação da saída quando imposto uma mudança abrupta no sinal de entrada.

MOS – *metal–oxide–semiconductor*. Transistor formado por semicondutor, metal e óxido.

NMOS – Transistor do tipo MOS com formação de canal tipo N.

PMOS – Transistor do tipo MOS com formação de canal tipo P.

CMOS – *Complementary metal–oxide–semiconductor*. Tipo de tecnologia de fabricação de circuitos integrados utilizando transistores complementares NMOS e PMOS.

NPN – Transistor bipolar formado pela junção de silícios dopados tipo N e P na sequência NP-PN.

PNP – Transistor bipolar formado pela junção de silícios dopados tipo N e P na sequência PN-NP.

PSRR – Taxa de rejeição da fonte de alimentação.

CMRR – Fator de rejeição de modo comum.

DC – Corrente contínua. Utilizado ao longo do trabalho para designar análises sem influência de termos dependentes da frequência.

PAD – Ponto de conexão do circuito integrado aonde é exposto o metal através de uma abertura na passivação.

Capítulo 1.

INTRODUÇÃO

A crescente demanda pela disponibilidade de circuitos capazes de processar sinais em frequências cada vez mais altas, operando ao mesmo tempo com níveis críticos de relação sinal ruído e precisão, justifica a busca por blocos operacionais analógicos que simplifiquem a implementação dos circuitos concebidos em nível de abstração mais elevado.

O bloco operacional mais conhecido e que tem sido alvo de sucessivos aperfeiçoamentos e adequações tecnológicas é o amplificador operacional (VOA). Concebido por Harold Black, em 1927, o amplificador operacional [2] que materializa um sistema com realimentação negativa tornou-se uma espécie de “célula tronco” do universo de circuitos eletrônicos analógicos.

Atendendo a demanda mencionada e mostrando-se como alternativa viável ao VOA, surge o amplificador de tensão realimentado em corrente (CFA) o qual será o objeto de estudo desta dissertação.

1.1 MOTIVAÇÃO

Existem problemas associados à utilização da tecnologia CMOS para o projeto de amplificadores realimentados em corrente fazendo com que todas as implementações comerciais e a vasta maioria presente na literatura, sejam feitas em tecnologia bipolar.

Os resultados obtidos nas implementações CMOS são expressivamente inferiores aos da tecnologia bipolar, principalmente em relação aos CFAs implementados em tecnologia bipolar isolamento dielétrica, (DI) Bipolar.

Este trabalho busca identificar as principais limitações do uso da tecnologia CMOS na confecção de amplificadores realimentados em corrente e visa também contribuir com alternativas que ajudem a contornar tais restrições.

1.2 METODOLOGIA DO TRABALHO PROPOSTO

A metodologia utilizada no projeto de pesquisa segue as principais etapas de um fluxo de projeto de circuito analógico. Visando a motivação exposta na seção 1.1, é fundamental o desenvolvimento de um circuito integrado com o bloco estudado. As etapas seguidas são:

- 1- **Estudo e especificação**: Busca, na literatura e nas especificações de produtos comerciais, do estado da arte do bloco a ser desenvolvido. Estudo do sistema e aplicação para entender pontos relevantes do projeto e compromissos envolvidos na otimização de parâmetros de projeto. Especificação das características buscadas e parâmetros críticos.
- 2- **Escolha da topologia**: Dentre as topologias presentes na literatura deve-se escolher as que serão implementadas. A escolha deve ser baseada nas características buscadas. Esta topologia deve ser capaz de atender as especificações de projeto e os objetivos.
- 3- **Otimização e melhorias**: Os principais pontos negativos da topologia escolhida devem ser conhecidos e estudados. Serão buscados métodos de contornar as debilidades da topologia e melhorar suas características. Os compromissos envolvidos na otimização precisam ser considerados sempre mantendo as especificações alvo.
- 4- **Determinação do ambiente de simulação**: Devem-se determinar métodos para medir as características do bloco a ser fabricado. Precisam ser considerados os componentes, instrumentos e equipamentos que farão interface com o circuito integrado a ser medido. Capacitâncias e resistências do sistema devem ser consideradas e sua implicação nas medidas analisada. O ambiente de simulação deve tentar reproduzir as principais impedâncias do sistema de medidas, assim como a carga aplicada.
- 5- **Dimensionamento e Simulações**: Considerando os parâmetros do processo da tecnologia a ser utilizada, escolhem-se as dimensões dos componentes que compõem o circuito. Inicia-se então um processo iterativo de otimização por simulação do dimensionamento realizado, buscando atender as especificações de projeto. Caso não seja possível atender as especificações, busca-se a causa, determinando se é um

limite da tecnologia ou da topologia e se existem meios de contorná-la, assim como realizado no item 3.

- 6- **Disposição física dos componentes (layout):** Etapa na qual o posicionamento físico e interconexões dos componentes no circuito integrado são escolhidos. É fundamental considerar os nós críticos de projeto, atentando para as impedâncias parasitas adicionadas a este devido às interconexões.
- 7- **Fabricação do protótipo (tape-out):** Envia-se para fabrica os arquivos com as máscaras de fabricação para que esta envie de volta os protótipos de circuito integrado.
- 8- **Desenvolvimento da placa de medidas:** O plano de medidas, realizado no item 4, deve ser preparado. Fabricam-se e montam-se as placas de circuito impresso necessárias, de forma a possibilitar que as medidas sejam realizadas.
- 9- **Realização das medidas e análise dos resultados:** Medem-se as características desejadas, comparando-as com o esperado por simulação. É verificado se estas atendem as especificações de projeto.
- 10- **Documentação de projeto:** Escrita da dissertação documentando teorias e métodos utilizados no projeto, assim como, os principais desafios.

1.3 ORGANIZAÇÃO DA DISSERTAÇÃO

A dissertação será organizada em oito capítulos e dois apêndices, sendo o tópico dos capítulos seguintes resumidos abaixo para conveniência do leitor:

Capítulo 2 – O Amplificador com realimentação de corrente e suas características são explicadas. São ilustradas as limitações da implementação deste bloco na tecnologia CMOS e demonstrado o estado da arte na literatura.

Capítulo 3 – Descrição do procedimento de projeto do CFA básico.

Capítulo 4 – Ilustra a célula de transistor composto, suas limitações e dificuldades de implementação. Também são propostas técnicas inovadoras para aumentar a banda de funcionamento da célula.

Capítulo 5 – Descrição do procedimento de projeto do CFA utilizando a célula transistor composto.

Capítulo 6 – Expõe o circuito integrado fabricado, a metodologia de *layout* e o sistema de medidas. Os resultados experimentais são mostrados e comparados com o esperado por simulação.

Capítulo 7 – Conclusões oriundas do trabalho realizado.

Capítulo 8 – Comentários sobre trabalhos futuros.

Apêndice A – Expõe as equações básicas e os símbolos adotados para os parâmetros da tecnologia CMOS.

Apêndice B – Expõe as características do amplificador operacional realimentado em tensão visando à comparação com o realimentado em corrente.

Capítulo 2.

O AMPLIFICADOR COM REALIMENTAÇÃO EM CORRENTE

Com o passar do tempo houve uma convergência, por diversas razões, em direção ao uso do amplificador operacional em tensão. A escolha da tensão como sinal de processamento estabelece uma condição desfavorável à propagação em altas velocidades, tendo em vista que a presença de nós de alta impedância, nos caminhos por onde passam os sinais, é uma exigência para que se atinjam os ganhos que um sistema com realimentação negativa prevê. A variável corrente, como sinal de propagação, é mais apropriada para atingir altas velocidades porque, ao contrário da tensão, requer caminhos de baixa impedância. Essa é, por exemplo, a base da *emitter-coupled logic*, tecnologia para a construção de portas lógicas, onde o emissor de um transistor é usado como a saída, em vez de seu coletor. As baixas impedâncias presentes nos nós de chaveamento ajudam a minimizar o efeito de capacitâncias parasitas na redução de banda de operação [3]. O conceito de realimentação em corrente começou a ser utilizado pelos projetistas nos anos 40 [4], sendo aplicado em amplificadores utilizando válvulas. Entretanto, nas topologias e aplicações utilizadas, os amplificadores não possuíam elevado *slew-rate*, parâmetro que determina a máxima taxa de variação do sinal de saída.

Compatível com este conceito foi proposto em 1968, por Sedra e Smith [5], a célula *current conveyor*, também denominada por tradução livre como ponte de corrente. A célula foi resultado da busca de um circuito para realizar a conversão tensão-corrente com características de alto desempenho quanto à linearidade, estabilidade térmica e banda de frequência [6].

Como ponto de partida foi considerado o transistor PNP e um resistor conectado ao seu emissor.

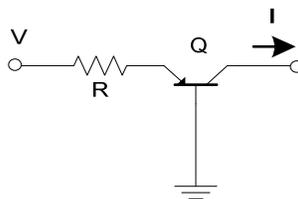


Figura 2.1: Estrutura rudimentar de um conversor V-I.

Este circuito possui algumas limitações, tais como, *offset* devido à tensão base-emissor (V_{be}) do transistor, forte dependência com a temperatura e não linearidade introduzida pela variação da tensão base-emissor com a corrente de saída. Alguns destes problemas podem ser amenizados com uma simples modificação deste circuito conforme mostra a Figura 2.2.

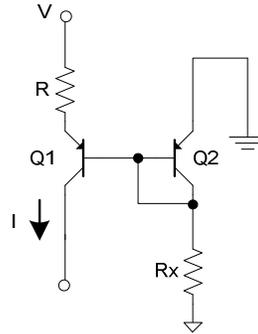


Figura 2.2: Conversor V-I com não linearidade reduzida.

A introdução do transistor Q2 desloca a tensão de base de Q1 de tal modo que o emissor de Q1 assuma potencial próximo a zero, reduzindo, portanto, a tensão de *offset* na conversão V-I. Esta forma de compensação, no entanto, não é perfeita por razões como: em implementações discretas (lembrando que o circuito foi desenvolvido em 1968) o casamento entre tensões V_{be} é de baixa qualidade e a corrente fixa de Q2 difere da dependente de V através de Q1; a não linearidade na conversão V-I é significativa e pode ser identificada pelo termo entre parêntesis na Equação 2.1:

$$I = \frac{V}{R} - \left(\frac{V_{be1} - V_{be2}}{R} \right). \quad (2.1)$$

A evolução deste circuito na busca de melhores características levou à configuração exposta na Figura 2.3.

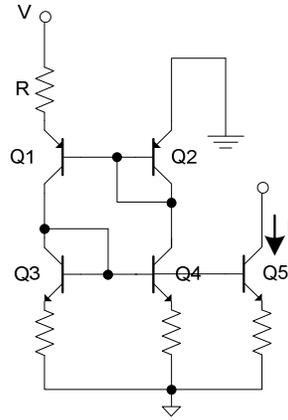


Figura 2.3: Conversor V-I linearizado.

O espelho formado por Q3 e Q4 faz com que as correntes em Q1 e Q2 sejam iguais. Desse modo, tanto o *offset* como a não linearidade, que resulta da diferença nas condições de operação entre Q1 e Q2, são bastante reduzidas. A corrente de saída I é obtida utilizando uma saída adicional do espelho de corrente, transistor Q5, sendo dada por:

$$I \cong \frac{V}{R}.$$

(2.2)

Embora este circuito seja uma versão melhorada do circuito conversor V-I original, ainda há pontos fracos. Por exemplo, é necessária a utilização de circuito de inicialização, uma vez que é condição de equilíbrio, mesmo que tensão V positiva seja aplicada, correntes nulas. Também, a diferença nos potenciais dos coletores nos pares de transistores Q1-Q2 e Q3-Q4 introduzem erros sistemáticos de *offset* na entrada e na amplitude da corrente de saída. A implementação com transistores discretos, própria da época do seu desenvolvimento, propicia erros adicionais devidos aos descasamentos dos componentes.

Apesar da motivação inicial para o desenvolvimento do circuito ter sido a simples realização da conversão linear tensão-corrente, observou-se, no entanto, que o circuito resultante apresentava características importantes que podiam ser exploradas em outras aplicações. Referindo-se ao circuito conforme exposto na Figura 2.4.

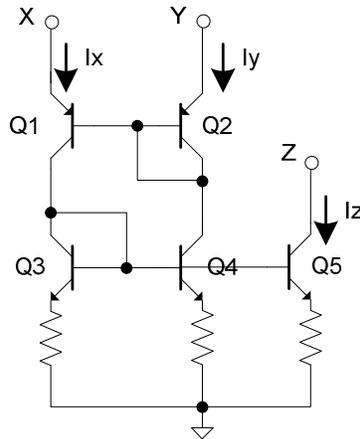


Figura 2.4: *Current Conveyor* – primeira configuração.

Pode-se observar que há um “curto circuito virtual” entre os terminais X e Y, ou seja, ambos possuem o mesmo potencial. Verifica-se também que a corrente aplicada ao nó Y, é igual à corrente em X. Além disso, a corrente aplicada em X é “transferida” para o terminal Z, que por sua vez possui alta impedância. Este aspecto da “transferência” da corrente de um terminal para o outro foi a razão do nome dado ao circuito de *current conveyor*.

As características acima mencionadas fazem com que o circuito possa ser visto como uma estrutura de três portas conforme Figura 2.5 e descrito pela Equação 2.3.

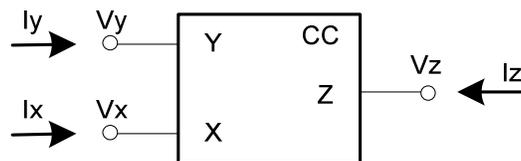


Figura 2.5: Símbolo associado ao *Current Conveyor*.

$$\begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} \cong \begin{pmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} \cdot \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix}.$$

(2.3)

Conectando-se dois *currents conveyors* complementares, tal como mostrado na Figura 2.6, possibilita a utilização de sinais bipolares.

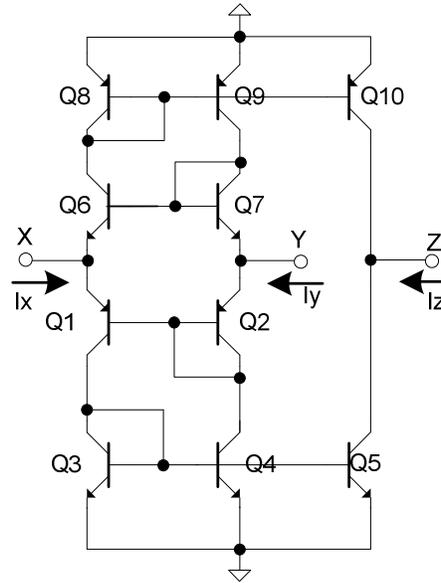


Figura 2.6: *Current Conveyor* bipolar.

A possibilidade de lidar com sinais bipolares tornam os *current conveyors* mais versáteis e mais úteis. Mantendo a sua identificação como uma estrutura de três portas, este bloco pode ser descrito matricialmente da seguinte forma:

$$\begin{pmatrix} I_y \\ V_x \\ I_z \end{pmatrix} \cong \begin{pmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{pmatrix} \cdot \begin{pmatrix} V_y \\ I_x \\ V_z \end{pmatrix}.$$

(2.4)

A preocupação com o tratamento deste circuito como uma estrutura clássica de três portas foi motivada pelo interesse de utilizar o *current conveyor* como um bloco operacional na implementação de filtros ativos, onde os métodos de síntese empregados requerem modelos matemáticos adequados dos dispositivos utilizados.

Na época da criação do *current conveyor* não eram claras quais vantagens ele oferecia sobre o amplificador operacional convencional [7]. Somado a isso, os conceitos e aplicações do VOA estavam enraizados na mente dos projetistas desde os anos 40. Outro fator que atrasou a utilização desta célula na forma de circuito integrado foi a necessidade de transistores PNP de alta qualidade. Sem vantagens bem estabelecidas, a indústria da eletrônica não teve motivação para a produção de soluções integradas deste bloco até meados dos anos 90, quando foi percebido que este possui vantagens como a possibilidade de oferecer maiores ganhos em bandas mais larga para pequenos ou grandes sinais. Em adição a isso, o *current conveyor* obteve sucesso no desenvolvimento de amplificadores de

instrumentação, os quais não dependem de casamento crítico com componentes externos, dependendo apenas do valor absoluto de um único componente [8] [9] [10].

O *current conveyor*, como vimos, foi um circuito concebido para operar em malha aberta. O uso desta configuração não favorece a redução de não idealidades como descasamentos, assimetrias, transcondutâncias finitas etc.. Dentro deste cenário e ainda possuindo como sinal de propagação a corrente, surge o amplificador de tensão realimentado em corrente (CFA). Este mantém as qualidades oriundas da baixa impedância no caminho do sinal e reduz os problemas supracitados através da malha fechada, realizando a realimentação em corrente.

Outras características desejáveis do CFA são alto *slew-rate* e pequena dependência da banda com o ganho, para baixos ganhos. Em contra partida, fatores como a rejeição de variação na tensão de alimentação ou de modo comum, *offset* e excursão de entrada/saída apresentam piores características. Sendo assim, o CFA não é recomendado, como alternativa ao VOA, em aplicações que necessitam de alta precisão em corrente contínua, altos ganhos e exatidão como em instrumentação de precisão. Entretanto, torna-se ideal para sistemas onde baixa distorção em altas frequência é necessária, como processamento de vídeo, ou onde ganhos variáveis de malha fechada com banda constante são necessários, assim como em aplicações de controle de ganho automático [11].

O amplificador com realimentação em corrente contemporâneo teve sua primeira patente submetida apenas em 1983, tendo como seu criador David Nelson da Comlinear Corporation [12], sendo comercializado como amplificador híbrido a partir do ano anterior à patente [13]. O primeiro representante monolítico do CFA surgiu apenas em 1987. Desenvolvido pela empresa Elantec o EL2020 atingia 50 MHz de banda de -3dB para ganho 1 V/V (30 MHz para 10 V/V) com *slew-rate* de 500 V/us [14]. Com essas características esta topologia teve imediatamente sua utilidade reconhecida como amplificador de grandes sinais.

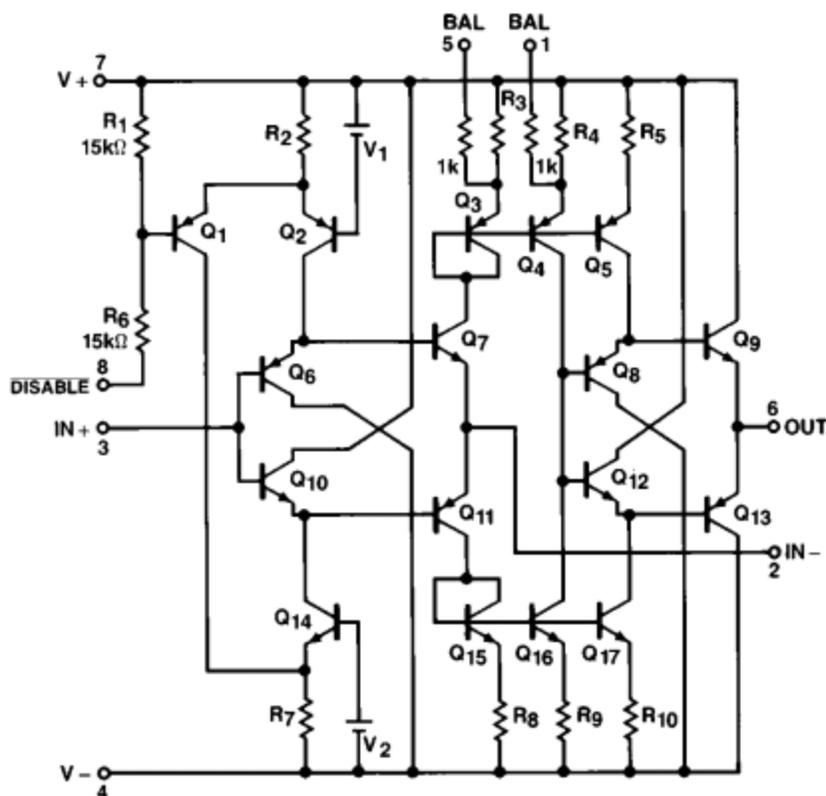


Figura 2.7: Circuito equivalente do primeiro CFA monolítico EL2020C.

A Figura 2.7 ilustra o circuito equivalente do primeiro CFA monolítico, a qual se tornou base para diversas implementações e análises [15] [16] [17]. O circuito exposto pode ser simplificado conforme Figura 2.8, sendo composto por um par diferencial assimétrico, espelho de corrente, que transferem a corrente do terminal inversor para o nó de ganho, e um seguidor de tensão de saída.

A implementação monolítica de amplificadores com realimentação em corrente necessita que a tecnologia de semiconductor disponibilize estruturas complementares para operação classe AB, tanto no estágio de entrada quanto no de saída. As tecnologias bipolares modernas possibilitam NPN e PNP muito similares, atendendo adequadamente a esse requisito. Devido à característica complementar a tecnologia CMOS também se torna uma possibilidade para tais implementações.

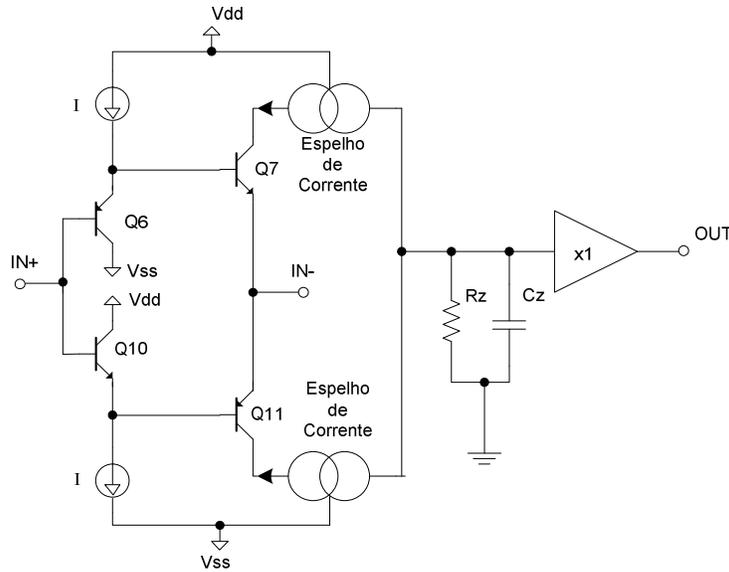


Figura 2.8: Simplificado equivalente do primeiro CFA monolítico EL2020C.

Existem problemas associados à utilização da tecnologia CMOS para o projeto de CFAs fazendo com que todas as implementações comerciais e a vasta maioria presente na literatura sejam feitas em tecnologia bipolar. Podemos citar como características desfavoráveis ao seu uso, a baixa transcondutância dos dispositivos, o descasamento entre transistores NMOS-PMOS e as elevadas tensões de limiar em comparação com a de alimentação, característica agravada devido ao efeito de corpo. Mesmo com estes pontos negativos, a preferência pela tecnologia CMOS em circuitos de sinal misto nos leva a buscar soluções que viabilizem sua utilização, disponibilizando essa importante ferramenta aos projetistas. A simples troca de transistores NPN / PNP por NMOS / PMOS resulta em circuitos com baixo desempenho comparados com os correspondentes na tecnologia bipolar, tornando-se necessário idéias mais engenhosa.

Idéias interessantes foram pararecendo e em alguns casos a aplicação de CFA CMOS torna-se vantajosa em relação ao VOA, mesmo com esta diferença de desempenho. Selvanayagam e Lidgery [18] apresentaram uma implementação inversora de um amplificador com realimentação em corrente. Apesar de apresentar resultados interessantes, a utilização do CFA na configuração inversora apresenta problemas em relação à escolha dos resistores para compor a malha de realimentação. Manetakis e Tomazou [1] [19] [20] publicaram uma série de artigos sobre sua pesquisa com CFAs utilizando a célula denominada transistor composto. A célula de transistor composto propõe, através da utilização de realimentação interna, aumentar a transcondutância equivalente do transistor. Assi, Sawan e Zhu [21] publicaram uma topologia que busca reduzir o *offset* resultante do descasamento PMOS/NMOS do par diferencial assimétrico de

entrada. Um novo trabalho foi publicado pelo mesmo grupo em 2003 [22] visando baixo consumo e baixo *offset* onde excelentes resultados foram obtidos.

Utilizaremos a configuração exposta na Figura 2.8 como base para análise do CFA, entretanto, seguindo o foco do nosso trabalho, os transistores bipolares serão substituídos por CMOS, topologia a qual denominaremos amplificador com realimentação de corrente básico ao longo do desenvolvimento deste trabalho.

2.1 AMPLIFICADOR COM REALIMENTAÇÃO EM CORRENTE BÁSICO

As equações desenvolvidas neste capítulo são baseadas nas equações expostas no 0. É recomendada ao leitor a leitura deste para melhor compreensão dos desenvolvimentos e símbolos utilizados.

O amplificador com realimentação em corrente é facilmente compreendido analisando a estrutura básica, ilustrada na Figura 2.9. Estrutura oriunda da exposta na Figura 2.8:

Como pode ser observado, o CFA é constituído fundamentalmente por três estágios:

1. Seguidor de tensão de entrada: A entrada não inversora e inversora do amplificador corresponde à entrada e saída do seguidor de tensão, respectivamente. Conforme mostra a Figura 2.9, este estágio é composto pelo par diferencial assimétrico formado pelos transistores M1-M4. Observamos que a tensão entre porta e fonte dos transistores M1 e M2 permanecem constantes, uma vez que a corrente de ambos é imposta pelas fontes de corrente, atuando assim como deslocadores de nível. Com isso, a variação de tensão na entrada não inversora é transferida para a porta de M3 e de M4. Escolhendo adequadamente a dimensão dos transistores, podemos igualar as tensões porta-fonte dos transistores M1 e M4, assim como de M2 e M3. Desta forma, a tensão imposta na entrada não inversora é copiada para a inversora.

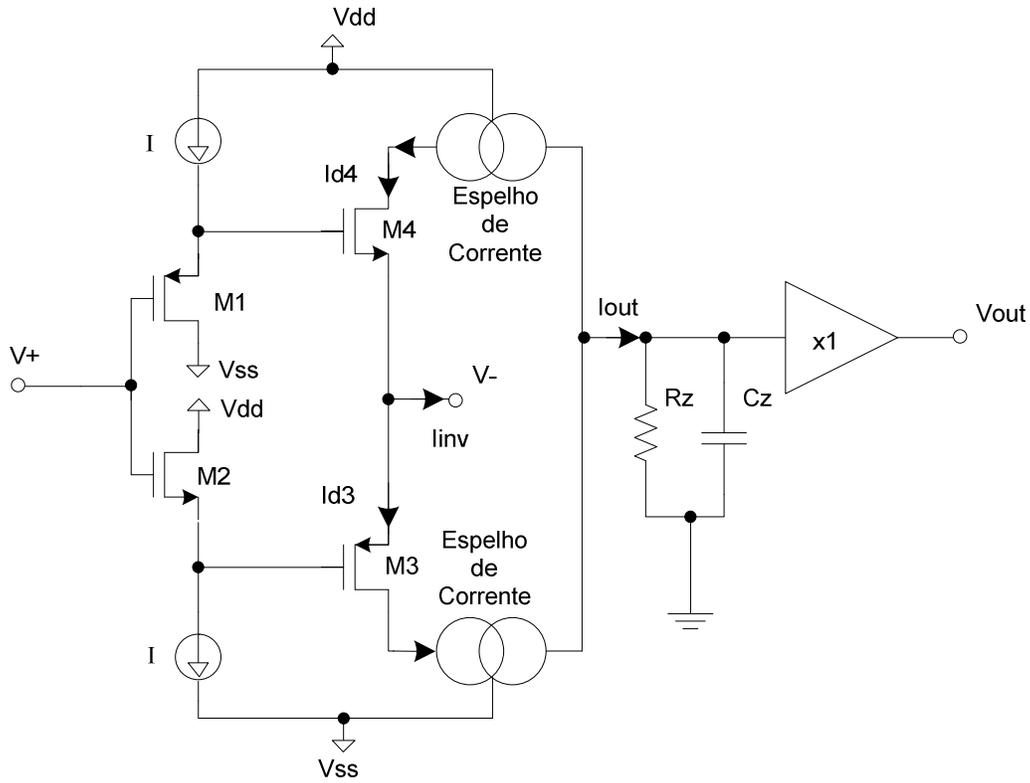


Figura 2.9: Topologia básica de amplificador com realimentação em corrente.

2. Amplificador de transimpedância: esta parte do circuito converte a corrente que flui na entrada não inversora em tensão sobre o nó de alta impedância. O amplificador de transimpedância determina, portanto, o ganho do amplificador. No exemplo da Figura 2.9, deslocando o par diferencial assimétrico do equilíbrio, ou seja, impondo diferença de tensão entre V_+ e V_- , ocorre um desbalanceamento entre as correntes de M_4 e M_3 . A subtração das correntes constituirá a corrente do terminal inversor, conforme a equação seguinte:

$$I_{inv} = I_{d4} - I_{d3} \quad (2.5)$$

As correntes dos transistores M_4 e M_3 são copiadas para o nó de ganho devido à atuação dos espelhos de corrente, com isso aproximando para pequenos sinais, temos:

$$I_{out} = I_{inv} = I_{d4} - I_{d3} = g_{m4} \cdot (v_+ - v_-) - g_{m3} \cdot (v_- - v_+) = (g_{m4} + g_{m3}) \cdot (v_+ - v_-) \quad (2.6)$$

3. Seguidor de tensão de saída: este último estágio é utilizado para isolar o nó de ganho, fornecendo corrente suficiente para que a tensão sobre a carga siga a do segundo estágio.

Supondo seguidor de tensão ideal na saída obtemos a função de transferência simplificada em malha aberta:

$$\frac{V_{out}}{(v_+ - v_-)} = \frac{\frac{A_{CFA}}{R_Z \cdot C_Z}}{s + \frac{1}{R_Z \cdot C_Z}} \quad (2.7)$$

$$A_{CFA} = (g_{m4} + g_{m3}) \cdot R_Z \quad (2.8)$$

Onde A_{CFA} representa o ganho em baixas frequências.

É notória a semelhança das Equações 2.7 e 2.8, com as equações obtidas para o VOA B.1 e B.2. Em ambos os circuitos, a tensão de saída incremental tem como amplitude a variação de potencial que se desenvolve sobre a impedância, formada pela conexão em paralelo de R_Z e C_Z , em consequência do desbalanceamento de corrente que resulta da aplicação de uma diferença de tensão na entrada.

Podemos observar algumas diferenças fundamentais comparando as topologias ilustradas na Figura B.1 e Figura 2.9. Ao invés de duas entradas de alta impedância, no CFA temos a entrada inversora com baixa resistência equivalente. As corrente transferidas para o nó de ganho não estão mais limitadas à de polarização. Transistores complementares devem possuir tensões entre porta e fonte iguais no projeto, diferentemente do caso do VOA onde os transistores são de mesmo tipo. Entre outras singularidades de cada topologia, essas três se destacam por constituírem a base para as diferenças fundamentais entre um CFA e um VOA, determinando assim quais as aplicações em que um ou outro é a melhor escolha. Essas e outras diferenças serão detalhadas ao longo deste trabalho.

2.2 MODELO EQUIVALENTE E A CONFIGURAÇÃO NÃO INVERSORA

A Figura 2.10 (a) ilustra o modelo equivalente de um amplificador com realimentação em corrente. O seguidor de tensão de entrada confere ao modelo a alta impedância necessária

na entrada não inversora copiando a tensão para a entrada inversora. A resistência R_{inv} representa a transcondutância finita dos transistores de entrada. Ligado ao nó de ganho, vemos a fonte de corrente controlada por corrente representando os espelhos da Figura 2.9 e impondo sobre R_z em paralelo C_z corrente de igual magnitude a presente na entrada inversora. Usualmente, o segundo pólo de um CFA existe devido à limitação de resposta em frequência dos espelhos de corrente [23]. Esta limitação é representada no modelo equivalente por um pólo em $\frac{1}{\tau_{cm}}$. O seguidor de tensão de saída isola o nó de ganho de cargas conectadas a V_{out} . Entretanto, em implementações reais, este circuito possuirá resistência finita de saída, a qual é representada por R_{out} .

Ao fecharmos a malha em configuração não inversora, como ilustrado na Figura 2.10 (b), a tensão de saída é sentida e convertida em corrente através do R_f , a qual é realimentada para a entrada inversora. A realimentação atua de forma a minimizar i_{inv} e o seguidor de tensão de entrada força a entrada inversora a buscar o potencial presente no outro terminal.

A realimentação ocorre devido à I_f que flui através do resistor R_f . Isto confere o nome ao amplificador com realimentação em corrente. Esta configuração difere do amplificador com realimentação em tensão onde a malha fechada atua apenas levando uma amostra parcial da tensão de saída à entrada inversora.

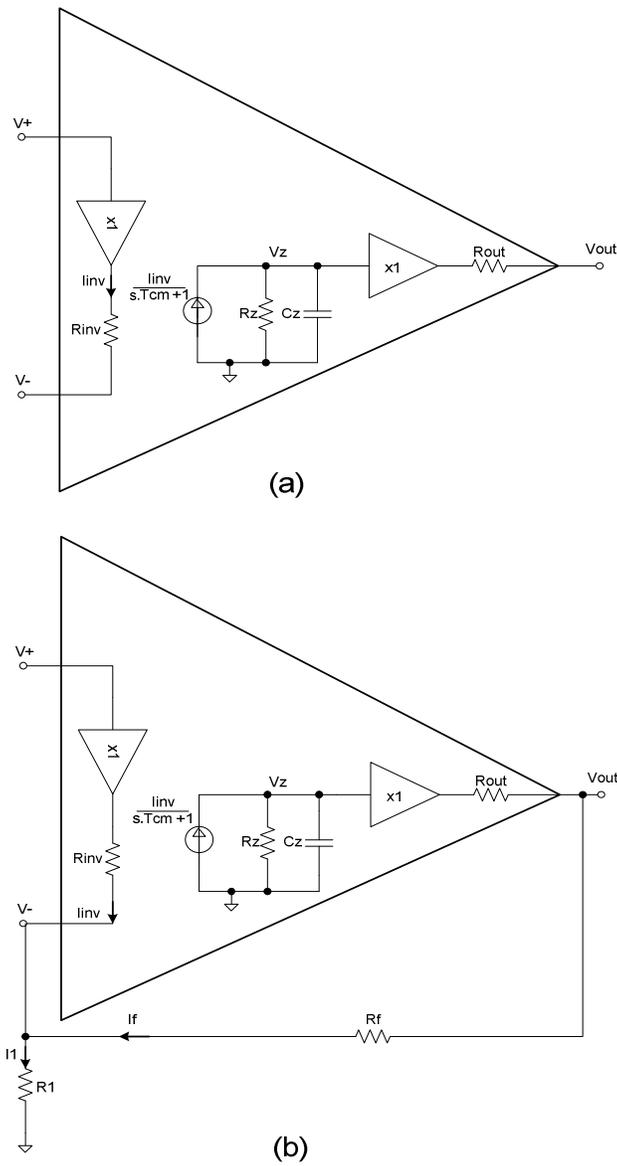


Figura 2.10: (a) Modelo equivalente para amplificador com realimentação em corrente. (b) Modelo equivalente sendo utilizado em configuração não inversora.

2.3 RESPOSTA EM FREQUÊNCIA

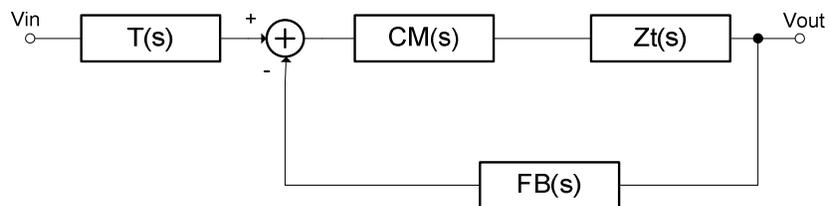


Figura 2.11: Sistema mais generalizado de realimentação equivalente à Figura 2.10 (b).

A Figura 2.11 representa de forma mais generalizada o sistema composto pelo CFA e a malha de realimentação em corrente com configuração não inversora [23]. Utilizaremos esta forma generalizada para facilitar nosso estudo de resposta em frequência e estabilidade. Observamos na figura os seguintes blocos:

- $T(s)$: Função transimpedância que transforma a tensão de entrada em corrente a ser espelhada.
- $FB(s)$: Função transimpedância de realimentação que transforma a tensão de saída em corrente a ser subtraída da resultante de $T(s)$ e espelhada.
- $CM(s)$: Filtro passa baixas de corrente representando o pólo dos espelhos.
- $Zt(s)$: Função impedância transformando a corrente de erro, limitada em frequência, presente na saída de $CM(s)$ em tensão com o ganho correspondente do CFA.

Equacionando o sistema representado na Figura 2.11:

$$v_{out}(s) = [T(s) \cdot v_{in}(s) - v_{out}(s) \cdot FB(s)] \cdot CM(s) \cdot Zt(s) \quad (2.9)$$

Re-arranjando obtemos:

$$H(s) = \frac{v_{out}(s)}{v_{in}(s)} = \frac{T(s) \cdot CM(s) \cdot Zt(s)}{1 + FB(s) \cdot CM(s) \cdot Zt(s)} \quad (2.10)$$

Observando que o ganho de malha é dado pela Equação 2.11:

$$LG(s) = FB(s) \cdot CM(s) \cdot Zt(s) \quad (2.11)$$

Reescrevemos a função de transferência 2.10 na forma da Equação 2.12:

$$H(s) = \frac{v_{out}(s)}{v_{in}(s)} = \frac{T(s)}{FB(s)} \cdot \frac{1}{1 + \frac{1}{LG(s)}} \quad (2.12)$$

Analisando a Figura 2.10 obtemos, diretamente, a função de transferência dos seguintes blocos:

$$CM(s) = \frac{1}{s \cdot \tau_{cm} + 1} \quad (2.13)$$

$$Zt(s) = \frac{R_Z}{s \cdot R_Z \cdot C_Z + 1} \quad (2.14)$$

Realizando a abertura da malha para a realimentação identificada como série-paralela e refletindo adequadamente as cargas [24], obteremos a função $FB(s)$ analisando o circuito equivalente exposto na Figura 2.12:

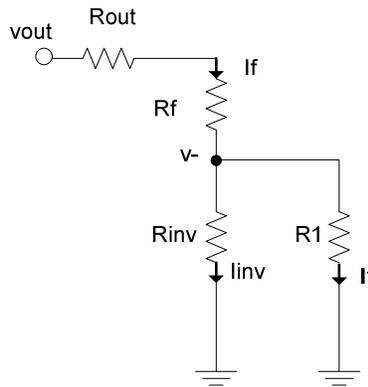


Figura 2.12: Circuito equivalente para obtenção da função de transferência $FB(s)$.

Equacionando obtemos:

$$i_f = \frac{v_{out}}{R_{out} + R_f + (R_{inv} // R_1)} \quad (2.15)$$

$$v_- = i_f \cdot (R_{inv} // R_1) \quad (2.16)$$

$$i_{inv} = \frac{v_-}{R_{inv}} \quad (2.17)$$

Substituindo as Equações 2.15 e 2.16 em 2.17 e rearranjando, obtemos:

$$FB(s) = \frac{i_{inv}}{v_{out}} = \frac{1}{\frac{R_{inv}}{(R_{inv} // R_1)} \cdot (R_{out} + R_f) + R_{inv}} \quad (2.18)$$

Simplificando:

$$FB(s) = \frac{i_{inv}}{v_{out}} = \frac{1}{\left(1 + \frac{R_{inv}}{R_1}\right) \cdot (R_{out} + R_f) + R_{inv}} = \frac{1}{R'_f} \quad (2.19)$$

Onde:

$$R'_f = \left(1 + \frac{R_{inv}}{R_1}\right) \cdot (R_{out} + R_f) + R_{inv} \quad (2.20)$$

Obteremos a função $T(s)$ analisando o circuito equivalente exposto na figura abaixo, novamente refletindo adequadamente a carga segundo procedimento de abertura de malha para realimentação série-paralela:

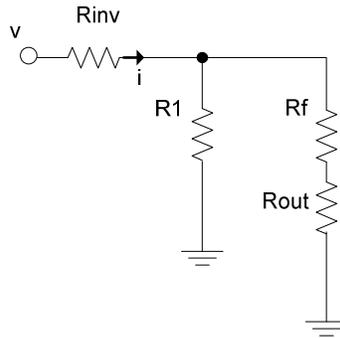


Figura 2.13: Circuito equivalente para obtenção da função de transferência $T(s)$.

Analisando a Figura 2.13, obtemos de forma direta:

$$T(s) = \frac{i}{v} = \frac{1}{R_{inv} + R_1 // (R_{out} + R_f)} \quad (2.21)$$

Utilizando as funções de transferência dos sub-blocos podemos obter a função de transferência completa. Para isso, substituiremos as Equações 2.13, 2.14, 2.19 e 2.21 em 2.12, após algumas simplificações algébricas temos como resultado:

$$H(s) = A \cdot \frac{w_n^2}{s^2 + s \cdot 2 \cdot \zeta \cdot w_n + w_n^2} \quad (2.22)$$

Onde:

$$A = \left(1 + \frac{R_f}{R_1} + \frac{R_{out}}{R_1}\right) \cdot \left(\frac{R_Z}{R_Z + R_f'}\right) \cong \left(1 + \frac{R_f}{R_1} + \frac{R_{out}}{R_1}\right) \quad (2.23)$$

$$w_n = \sqrt{\frac{1}{C_Z \cdot (R_f'/R_Z) \cdot \tau_{cm}}} \cong \sqrt{\frac{1}{C_Z \cdot R_f' \cdot \tau_{cm}}} \quad (2.24)$$

$$\zeta = \frac{\frac{1}{C_Z \cdot R_Z} + \frac{1}{\tau_{cm}}}{2 \cdot \sqrt{\frac{1}{C_Z \cdot (R_f'/R_Z) \cdot \tau_{cm}}}} \cong \frac{1}{2} \cdot \sqrt{\frac{C_Z \cdot R_f'}{\tau_{cm}}} \quad (2.25)$$

As aproximações acima assumem que $\tau_{cm} \ll (C_Z \cdot R_Z)$ e $R_f' \ll R_Z$.

A equação obtida é uma clássica equação característica de segunda ordem com pólos localizados em:

$$p_{1,2} = -\zeta \cdot w_n \pm w_n \cdot \sqrt{\zeta^2 - 1} \quad (2.26)$$

Buscando comparar o CFA com o VOA, removeremos as não idealidades da função de transferência obtida anulando R_{in} , R_{out} , τ_{cm} e considerando R_Z muito maior que R_f e R_1 . Assumindo isto obtemos:

$$H(s) = A_{IDEAL} \cdot \frac{1}{s \cdot C_Z \cdot R_f + 1} \quad (2.27)$$

Onde:

$$A_{\text{IDEAL}} = 1 + \frac{R_f}{R_1} \quad (2.28)$$

As funções de transferência obtidas acima nos mostram que A_{IDEAL} representa o ganho ideal em malha fechada para baixas frequências, o qual difere de A obtido na Equação 2.23 principalmente devido ao termo $\frac{R_{\text{out}}}{R_1}$.

Comparando as Equações B.8 e 2.27 iniciamos nossa real compreensão do porque do CFA aparecer como uma excelente alternativa ao VOA como amplificador de alta frequência. Observamos pelas Equações B.5 e 2.28 que os ganhos ideais em malha fechada são exatamente iguais. Entretanto, no amplificador realimentado em tensão o pólo em malha fechada é inversamente proporcional à amplificação imposta. No caso de realimentação em corrente, verificamos que o produto ganho-banda não existe, sendo o pólo fixo e composto pelo inverso do produto entre o resistor de realimentação e a capacitância ligada ao nó de ganho.

Continuando nossa análise, utilizando a Equação 2.23, podemos reescrever a Equação 2.20 como:

$$R_f' = R_{\text{out}} + R_f + A \cdot R_{\text{inv}} \quad (2.29)$$

É interessante ainda removermos a influência do segundo pólo da função de transferência exposta na Equação 2.22. Com isso, assumindo $R_f' \ll R_Z$, obtemos:

$$H(s) \cong A \cdot \frac{1}{s \cdot C_Z \cdot R_f' + 1} \quad (2.30)$$

Onde R_f' é obtido segundo a Equação 2.29 e A é o ganho de malha fechada obtido pela Equação 2.23.

Comparando a equação obtida para o caso ideal 2.27 com a equação completa 2.22, podemos extrair algumas observações importantes expostas a seguir.

2.3.1 REDUÇÃO DA INVARIABILIDADE DA BANDA COM O GANHO

O pólo do CFA idealmente seria composto apenas pelo inverso do produto entre o resistor de realimentação e a capacitância ligada ao nó de ganho ($C_Z \cdot R_f$). Na Equação 2.22 observamos que este depende de R'_f , que por sua vez sofre influência do ganho em malha fechada, como ilustra a Equação 2.20 através do termo $A \cdot R_{inv}$. Mesmo quando utilizados resistores de realimentação uma ordem de grandeza maior que as resistências não ideais, a atuação desta parcela para ganhos moderadamente altos, torna-se severa. Entretanto, esta dependência quando comparada com a imposta pelo produto ganho-banda do VOA mantém a vantagem do CFA como amplificador de alta frequência.

2.3.2 ERRO EM RELAÇÃO AO GANHO IDEAL

Observamos na Equação 2.23 o termo $\left(\frac{R_Z}{R_Z + R'_f}\right)$. Este termo representa o erro devido ao ganho finito em malha aberta do CFA, onde R_Z influencia no ganho de malha fechada. Entretanto, a diferença mais significativa em relação ao ganho ideal resulta do termo $\frac{R_{out}}{R_1}$. Resistores de realimentação R_f são usualmente na faixa de 750 a 2K Ohms [11]. É notório que o resistor R_1 deve ser menor que R_f , desta forma compondo a malha e obtendo ganho, com isso, a razão exposta possui valor significativo.

Quando implementado em tecnologia CMOS a influência destes termos se torna ainda mais crítica. O transistor MOS, operando em regime de forte inversão e condições de operação semelhantes, possui transcondutância mais baixa do que o transistor bipolar de junção. Esta diferença é ilustrada pelas Equações 2.31 e 2.32.

$$g_{mMOS} = \left(2 \cdot \mu \cdot C'_{OX} \cdot \frac{W}{L} \cdot I_d\right)^{\frac{1}{2}} \quad (2.31)$$

$$g_{mBJT} = \frac{I_c}{U_t} \quad (2.32)$$

Onde U_t é a tensão térmica (sendo aproximadamente 26 mV @ 300 K) e I_c é a corrente de coletor do transistor bipolar.

Utilizando valores da tecnologia AMS 0,35um, $\mu \cdot C'_{OX} = \frac{170\mu A}{V^2}$, para possibilitar um exemplo numérico e assumindo $W/L = 10$, temos:

$$g_{m_{MOS}} = 0,0583 \cdot (I_d)^{\frac{1}{2}} \quad (2.33)$$

$$g_{m_{BJT}} = 38,4615 \cdot I_c \quad (2.34)$$

Os valores acima nos ajudam a perceber que, para que tenha transcondutância equivalente ao bipolar, é necessário polarizar o transistor MOS com corrente bem mais alta. Outra possibilidade seria aumentar W/L de forma expressiva com conseqüente aumento de capacitâncias parasitas.

2.3.3 LIMITAÇÃO DE BANDA

Considerando as resistências reais e a limitação em banda do espelho de corrente, as Equações 2.24 e 2.26 indicam que é desejável fazer R'_f pequeno, aumentando desta forma a largura de banda.

A forma mais direta de obter esta redução é através do valor de R_f , entretanto o valor do resistor de realimentação deve ser selecionado com cuidado, pois o fazendo pequeno demais dois problemas aparecem:

- As resistências R_{inv} e R_{out} passam a ter maior influência sobre R'_f , aumentando com isso a dependência da banda com o ganho em malha fechada.
- O ganho de malha difere mais significativamente do ganho ideal, dificultando a escolha de resistores para compor a malha de realimentação do CFA.

Independentemente da forma escolhida para a redução, a principal limitação imposta na banda é ilustrada pela Equação 2.25. Reduzindo demasiadamente o valor de R'_f o valor de ζ resultante leva a picos na função de transferência.

Uma boa escolha de ζ é obtida na condição de máxima banda, onde:

$$\zeta \cong \frac{1}{2} \cdot \sqrt{\frac{C_Z \cdot R_f'}{\tau_{cm}}} = \sqrt{\frac{1}{2}} \quad (2.35)$$

Desta forma:

$$R_f' = 2 \cdot \frac{\tau_{cm}}{C_Z} \quad (2.36)$$

Nestas condições vemos que existe uma limitação máxima da banda devido ao pólo do espelho de corrente. Utilizando o valor obtido na Equação 2.36 podemos reescrever a Equação 2.26 obtendo:

$$\omega_{3dB|\zeta=0.707} = \omega_n = \frac{0.707}{\tau_{cm}} \quad (2.37)$$

Valores de R_f' menores do que expostos pela Equação 2.36 resultam em picos na função de transferência. Quanto menor o valor, maior o pico. É interessante observar que, caso fosse possível obter $R_f' = 0$ a Equação 2.22 assumiria a forma da função de transferência de um oscilador ideal.

A discussão acima é ilustrada no gráfico de bode ilustrado na Figura 2.14 onde o termo dependente da frequência na função de transferência completa do CFA, em configuração não inversora, é exposto.

2.4 ESTABILIDADE

Utilizaremos, em nossa análise de estabilidade, a função de ganho de malha exposta na Equação 2.11. Utilizando os resultados obtidos nas Equações 2.13, 2.14 e 2.19 podemos reescrevê-la como:

$$LG(s) = \frac{R_Z}{R_f'} \cdot \frac{1}{(s \cdot \tau_{cm} + 1) \cdot (s \cdot R_Z \cdot C_Z + 1)} \quad (2.38)$$

A Figura 2.15 mostra o diagrama de bode da resposta em frequência do ganho de malha para diferentes valores de R_f' onde observamos a redução da margem de fase com a diminuição deste resistor equivalente.

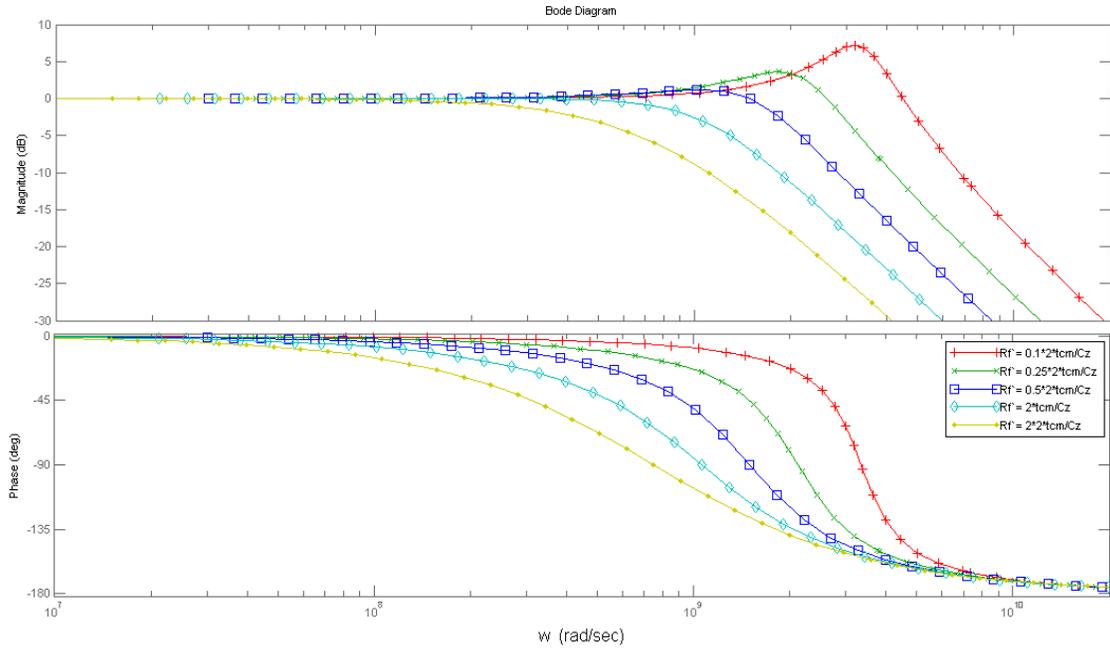


Figura 2.14: Termo dependente da frequência na função de transferência dada pela Equação (2.22), para diferentes valores de R_f' . $t_{cm} = 0,667$ ns, $R_z = 100$ KOhms e $C_z = 1$ pF.

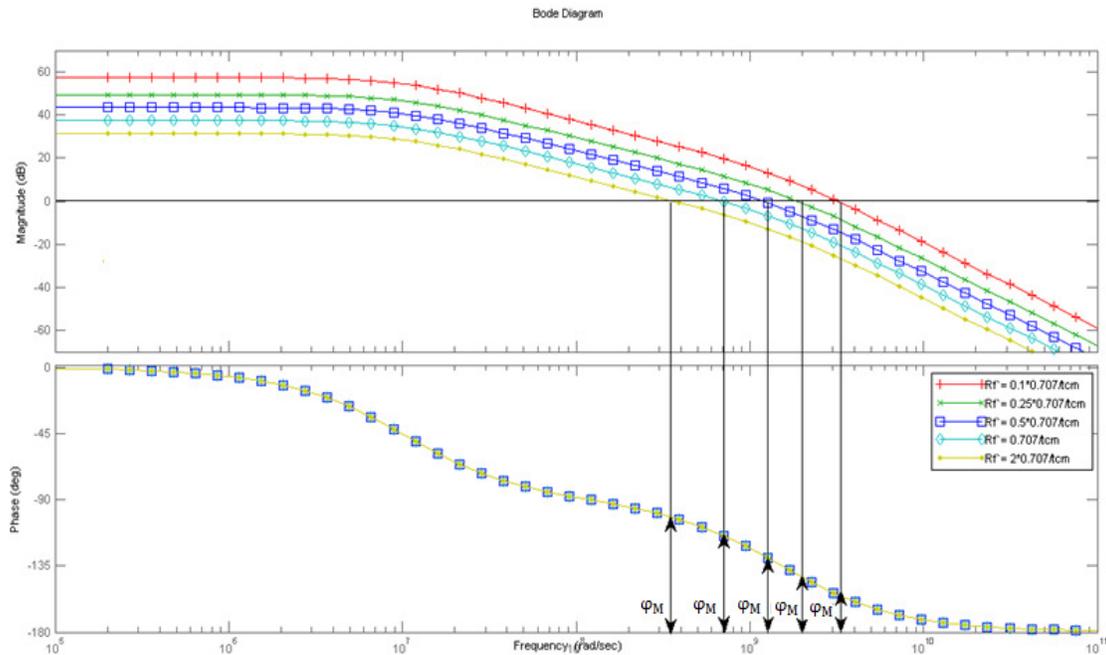


Figura 2.15: Ganho de malha, para diferentes valores de R_f' . $t_{cm} = 0,667$ ns, $R_z = 100$ K Ohms e $C_z = 1$ pF.

A margem de fase é obtida observando a diferença entre a fase e -180 graus na frequência a partir da qual o ganho de malha se torna menor que a unidade. Utilizando a Equação 2.38 e substituindo s por $i.w$, o ganho de malha pode ser obtido calculando o módulo da função complexa resultante. A Equação 2.39 demonstra o resultado obtido.

$$|LG(w)| = \frac{R_z}{R'_f \cdot \sqrt{(1 + \tau_{cm}^2 \cdot w^2)(1 + (R_z \cdot C_z)^2 \cdot w^2)}} \quad (2.39)$$

A fase pode ser calculada de forma análoga, calculando-se o ângulo da função complexa resultante:

$$\theta = \tan^{-1} \left(\frac{(\tau_{cm} + R_z \cdot C_z) \cdot w}{-1 + \tau_{cm} \cdot R_z \cdot C_z \cdot w^2} \right) \quad (2.40)$$

Igualando a Equação 2.39 a unidade e resolvendo para a frequência, obtemos quatro possíveis soluções. Entretanto, somente uma apresenta resultado real e positivo.

$$w_{|LG(s)|=1} = \sqrt{\frac{-R'_f \cdot (\tau_{cm}^2 + (C_z \cdot R_z)^2) + \sqrt{R'_f{}^2 \cdot (\tau_{cm}^2 - (C_z \cdot R_z)^2)^2 + 4 \cdot \tau_{cm}^2 \cdot (C_z \cdot R'_f)^2}}{R'_f \cdot \tau_{cm}^2 \cdot (C_z \cdot R_z)^2}} \quad (2.41)$$

Observando que normalmente os CFAs apresentam frequência de ganho de malha unitário e de corte dos espelhos de corrente muito maior que o pólo formado pelas capacitâncias e resistências ligadas ao nó de ganho, pode-se aproximar a Equação 2.40 e 2.41 por:

$$\theta = \tan^{-1} \left(\frac{1}{\tau_{cm} \cdot w} \right) \quad (2.42)$$

$$w_{|LG(s)|=1} = \frac{1}{\tau_{cm}} \cdot \sqrt{\frac{-1 + \sqrt{1 + \frac{4 \cdot \tau_{cm}^2}{(C_z \cdot R'_f)^2}}}{2}} \quad (2.43)$$

Com as equações acima, é possível calcular a margem de fase, com ilustrado abaixo:

$$\varphi_M = \tan^{-1} \left(\frac{1}{\tau_{cm} \cdot W_{|LG(s)|=1}} \right) - (-\pi) = \tan^{-1} \left(\frac{\sqrt{\frac{2}{-1 + \sqrt{1 + \frac{4 \cdot \tau_{cm}^2}{(C_z \cdot R_f')^2}}}}}{1} \right) + \pi \quad (2.44)$$

Resolvendo a Equação 2.44 para R_f' e desprezando a solução de valor negativo, obtemos:

$$R_f' = \frac{\tau_{cm}}{C_z} \cdot \frac{\tan^2(\varphi_M)}{\sqrt{1 + \tan^2(\varphi_M)}} \quad (2.45)$$

Em posse da Equação 2.45, dada uma desejada margem de fase e capacitância C_z , podemos obter o valor necessário de R_f' , vide Equação 2.29. Normalmente τ_{cm} , R_{inv} e R_{out} são limitados por outros fatores como parâmetros da tecnologia, limitações de consumo e área. O ganho total em malha fechada é limitado pela aplicação visada. Assim, restam ao projetista apenas duas possibilidades para controle da estabilidade:

- Acrescentar capacitância conhecida ao nó de ganho.
- Escolher R_f de forma a fazer R_f' igual ao valor dado pela Equação (2.45).

Na seção 2.3.3 foi mostrada a dependência do valor de R_f' na banda e no pico na função de transferência. Neste capítulo focamos na limitação de R_f' imposta pela margem de fase. Como conclusão das duas seções vê-se que no CFA a banda é limitada para que seja mantida a estabilidade. Esta constitui a principal diferença em relação ao VOA, o qual apresenta o compromisso entre banda e ganho.

2.5 IMPERFEIÇÕES DA FUNÇÃO DE TRANSFERÊNCIA OBTIDA

Usualmente, além dos pólos considerados na dedução das Equações 2.22 e 2.38, o amplificador com realimentação em corrente possui pólos de mais alta frequência os quais também irão compor o critério de estabilidade e margem de fase. Caso um desses pólos esteja próximo ou em mais baixa frequência em relação ao do espelho de corrente, a Equação 2.45 perde a validade e o resistor de realimentação, ou a capacitância de C_z ,

utilizado deverá ser maior do que o calculado para que seja obtida a margem de fase desejada. Este cenário é o mais provável para CFAs de alta frequência [23].

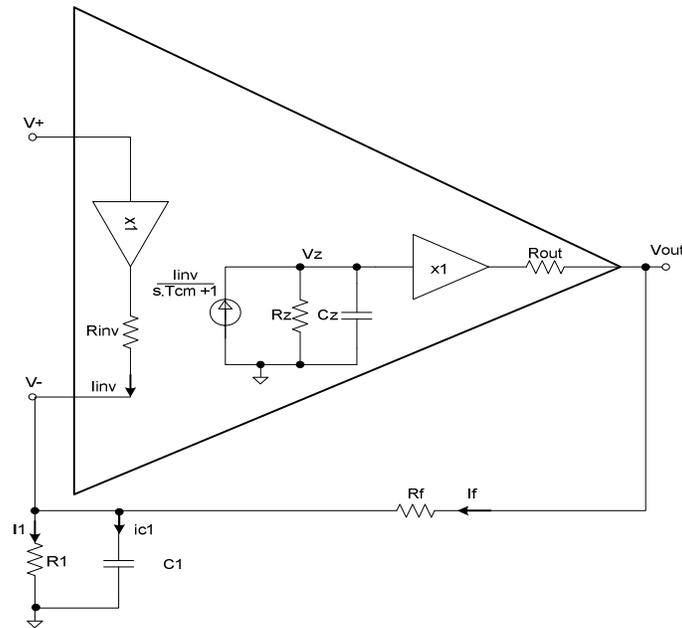


Figura 2.16: Circuito equivalente utilizando o CFA com realimentação negativa. É considerada a capacitância ligada à entrada inversora.

Conforme ilustra a Figura 2.16, associado à entrada inversora existem capacitâncias como a de PAD, de encapsulamento e da placa de circuito impresso. Mesmo no caso de CFAs utilizados internamente ao circuito integrado, a função de transferência apresenta sensibilidade às capacitâncias ligadas a esse nodo. Considerar a capacitância C_1 , em paralelo com R_1 , resulta na adição de um zero à função de transferência em malha fechada, localizado em:

$$w_{z1} = \frac{1}{(R_{inv} // R_1 // R_f) \cdot C_1} \quad (2.46)$$

Devido à presença deste zero, a frequência de ganho unitário ocorrerá em regiões com deslocamento de fase mais elevada. A presença dos pólos de alta frequências, mencionados anteriormente, poderá fazer com que esta ocorra em regiões de deslocamento de fase superiores à -180 graus, resultando em oscilações. A presença deste zero resulta também em pico na função de transferência [16].

Efeito semelhante ocorrerá com capacitâncias parasitas ou adicionadas propositalmente em paralelo com o resistor de realimentação.

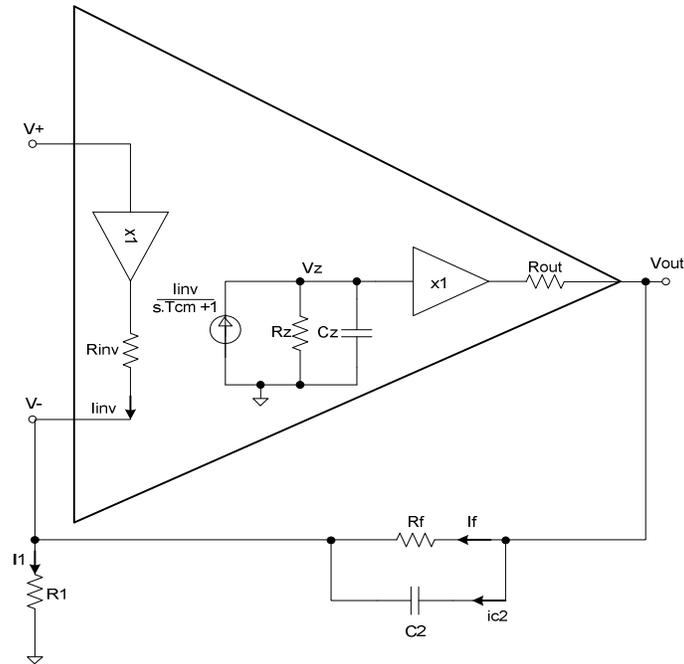


Figura 2.17: Circuito equivalente utilizando o CFA com realimentação negativa. É considerada a capacitância em paralelo com resistor de realimentação.

A introdução desta capacitância inclui um pólo e um zero à função de transferência, dados pelas Equações 2.47 e 2.48, respectivamente.

$$w_{p2} = \frac{1}{R_f \cdot C_2} \quad (2.47)$$

$$w_{z1} = \frac{1}{(R_{in} // R_1 // R_f) \cdot C_2} \quad (2.48)$$

Assim como para C_1 , o zero resulta no deslocamento para a direita da frequência de ganho unitário. O pólo ocasiona piora na margem de fase, podendo resultar em oscilações

2.6 SLEW-RATE

Define-se o *slew-rate* como a máxima taxa de variação na qual um circuito pode responder adequadamente a uma mudança abrupta do sinal de entrada. Caso a seguinte inequação não seja obedecida, distorções e não linearidades serão impostas ao sinal de saída:

$$SR \geq \left(\frac{\partial V_p \cdot \sin(2 \cdot \pi \cdot f \cdot t)}{\partial t} \right)_{MAX} = 2 \cdot \pi \cdot f \cdot V_p \quad (2.49)$$

Na inequação acima, SR é a abreviação de *slew-rate*, f representa a frequência e V_p a amplitude do sinal de entrada. Assim, o SR torna-se um importante parâmetro para nos ajudar a identificar a máxima frequência aplicável ao amplificador sem que haja distorção de sinal.

Na seção B.4 foi observada a limitação de *slew-rate* inerente ao VOA. É interessante observar o que ocorre, com o amplificador realimentado em corrente, quando um sinal abrupto de grande amplitude é introduzido entre as entradas, inversora e não inversora.

Observando a estrutura do par diferencial assimétrico presente na Figura 2.9, podemos supor que M1 e M3, assim como M2 e M4, são idênticos e todos possuem em repouso a mesma tensão entre porta e fonte (V_{gs0}). Os transistores NMOS possuem largura de canal W_n enquanto os PMOS W_p , sendo que ambos possuem comprimento de canal L . Será suposto que ambos os ramos do par diferencial assimétrico possuem a mesma corrente de polarização. Nossa análise é simplificada assumindo que os transistores não sofrem de efeito de corpo e as correntes em fraca inversão serão desprezadas.

Feitas essas considerações, as quais não invalidam as conclusões que seguem, observemos que, diferentemente do que ocorre para o VOA, a tensão diferencial presente na entrada (V_i) aparece integralmente sobre os transistores M3 e M4, pois, M1 e M2 permanecem com a tensão entre porta e fonte constante.

Inicialmente, quando V_i ainda é pequena, os transistores M3 e M4 operam em forte inversão na saturação. Com isto a corrente espelhada para a capacitância ligada ao nó de ganho é dada pela Equação 2.50:

$$\begin{aligned} I_{out} &= I_{d4} - I_{d3} \\ &= \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W_n}{L} \cdot (V_{gs0} + V_i - V_{thn})^2 - \frac{\mu_p \cdot C_{ox}}{2} \cdot \frac{W_p}{L} \cdot (V_{gs0} - V_i - |V_{thp}|)^2 \end{aligned} \quad (2.50)$$

Observando a condição de repouso, onde $V_i = 0$, obtemos as Equações 2.51 e 2.52:

$$V_{gs0} - |V_{thp}| = \sqrt{\frac{I}{\frac{\mu_p \cdot C_{ox}}{2} \cdot \frac{W_p}{L}}} \quad (2.51)$$

$$V_{gs0} - V_{tn} = \sqrt{\frac{2 \cdot I}{\mu_n \cdot C_{ox} \cdot \frac{W_n}{L}}} \quad (2.52)$$

Podemos reescrever (2.50) obtendo:

$$I_{out} = (2 \cdot I)^{\frac{1}{2}} \cdot \left(\left(\mu_n \cdot C_{ox} \cdot \frac{W_n}{L} \right)^{\frac{1}{2}} + \left(\mu_p \cdot C_{ox} \cdot \frac{W_p}{L} \right)^{\frac{1}{2}} \right) \cdot V_i + \frac{1}{2} \cdot \left(\mu_n \cdot C_{ox} \cdot \frac{W_n}{L} - \mu_p \cdot C_{ox} \cdot \frac{W_p}{L} \right) \cdot V_i^2 \quad (2.53)$$

Quando V_i torna-se suficientemente grande a tensão entre fonte e porta do transistor M3 é menor que sua tensão de limiar, resultando, portanto, em correntes desprezíveis. Com isto, a corrente espelhada para a capacitância ligada ao nó de ganho é dada pela Equação 2.54:

$$I_{out} = I_{d4} = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W_n}{L} \cdot (V_{gs0} + V_i - V_{thn})^2 \quad (2.54)$$

Utilizando as Equações 2.51 e 2.52, podemos reescrever 2.54 obtendo:

$$I_{out} = I + \left(2 \cdot \mu_n \cdot C_{ox} \cdot \frac{W_n}{L} \cdot I \right)^{\frac{1}{2}} \cdot V_i + \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \frac{W_n}{L} \cdot V_i^2 \quad (2.55)$$

A corrente espelhada para o nó de ganho expressa na Equação 2.55 determina a característica de *slew rate*.

De forma análoga, considerando tensões diferenciais negativas na entrada, quando V_i torna-se suficientemente negativo a tensão entre a porta e fonte do transistor M4 é menor que sua tensão de limiar, tendo, portanto, correntes desprezíveis. Com isto a corrente espelhada para a capacitância ligada ao nó de ganho é dada pela Equação 2.56:

$$I_{out} = -I + \left(2 \cdot \mu_p \cdot C_{ox} \cdot \frac{W_p}{L} \cdot I\right)^{\frac{1}{2}} \cdot V_i - \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W_p}{L} \cdot V_i^2 \quad (2.56)$$

Nas equações acima, I representa a corrente de polarização em repouso através de ambos os ramos do par diferencial assimétrico.

Utilizando os mesmos valores do exemplo da seção B.4, $W_n/L = 10$ e $\mu_n \cdot C_{ox} = 170 \frac{\mu A}{V^2}$, e ainda, assumindo $\mu_p \cdot C_{ox} = 58 \frac{\mu A}{V^2}$ e $W_p/L = 29,31$, podemos redesenhar a Figura B.4 com ambas as correntes de saída sobrepostas. Ressaltemos nesse ponto que, para que haja justa comparação, I deve ser feito igual à metade do valor utilizado na seção B.4, ou seja, 500 μA , igualando os consumos e correntes que percorrem os componentes. Utilizando esses valores nas Equações 2.53, 2.55 e 2.56, junto com as respectivas derivadas, considerando as regiões de validade, obtemos a Figura 2.18:

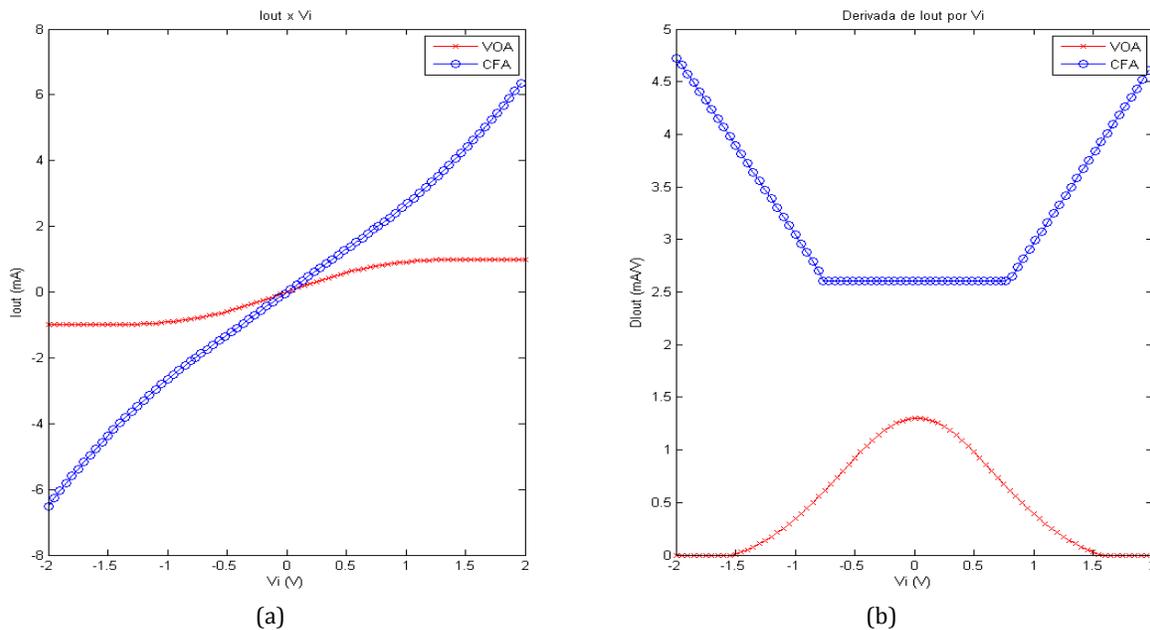


Figura 2.18: (a) I_{out} em função da tensão diferencial imposta no par de entradas para o VOA e CFA. (b) Derivada de I_{out} por V_i em função de V_i .

Através da Figura 2.18, nota-se que, a corrente fornecida ao nó de ganho para o caso do VOA tem seu máximo limitado, ou seja, a derivada vai a zero e esta deixa de aumentar de magnitude. Entretanto, para o CFA, observa-se que derivada é crescente para grandes valores de tensão imposta no par de entradas. Com isso, a corrente cresce indefinidamente, sendo limitada por outros fatores como a fonte de alimentação. Torna-se claro que o amplificador com realimentação em corrente tem características de *slew-rate*

muito superiores ao clássico amplificador operacional, uma vez que o primeiro pode fornecer correntes mais elevadas ao capacitor de compensação, para um determinado consumo DC.

Utilizando as Equações B.14 e 2.55, para uma diferença de 2 volts entre os terminais e capacitância de 5 pF, obtemos o *slew-rate* de aproximadamente 1300 V/ μ s. Verifica-se então que o *slew-rate* para o CFA é, com estes valores, 6,5 vezes maior que os 200 V/ μ s obtidos na seção B.4.

Tal *slew-rate*, conforme a Equação 2.49, limita o estímulo do circuito, com um sinal que resulte em senóide de 1 V de pico na saída do CFA, à frequência de 206,9 MHz, frente aos 31,83 MHz para o VOA.

2.7 FONTES DE NÃO IDEALIDADES

Em geral, amplificadores com realimentação em corrente possuem baixa precisão em corrente contínua. Algumas fontes de erro podem ser compensadas com circuitos auxiliares [21] [22], entretanto essas correções aumentam a complexidade, área e consumo do amplificador. Tais modificações não são o foco deste trabalho. Apesar de resultarem em melhores características, estas alterações não fazem com que o CFA apresente melhor precisão em corrente contínua do que o amplificador convencional. Assim, em aplicações nas quais altas precisões são desejadas, o VOA é melhor opção em relação ao CFA.

O *offset* (v_{os}) do estágio de entrada do amplificador realimentado em corrente sofre mais severamente os efeitos de descasamento e efeitos de canal curto do que no VOA. Observando novamente a Figura 2.9, percebemos que *offset* depende do casamento entre os transistores PMOS-NMOS, M1-M4 e M3-M2. Com isso, v_{os} é dado por:

$$v_{os} = V_{gsn} - |V_{gsp}| = V_{thn} - |V_{thp}| + \left(\frac{2 \cdot I \cdot L}{\mu_n \cdot C_{ox} \cdot W_n} \right)^{\frac{1}{2}} - \left(\frac{2 \cdot I_{d3} \cdot L}{\mu_p \cdot C_{ox} \cdot W_p} \right)^{\frac{1}{2}} \quad (2.57)$$

V_{thn} , V_{thp} , μ_n , μ_p e C_{ox} são parâmetros dependentes do processo e podem variar resultando em *offset* significativo. Somado a esse fator, as dimensões dos transistores estão sujeitas a alterações, em relação ao valor de projeto, que pioram ainda mais esta característica do CFA.

A taxa de rejeição da fonte de alimentação (PSRR), em VOAs é definida como a variação do *offset* com a variação da tensão na fonte de alimentação. Por sua vez, o fator de rejeição

de modo comum (CMRR), é definido como a variação da tensão de *offset* com a variação da tensão de modo comum. Ambas as definições assumem que a variação na corrente de polarização é suficientemente pequena para ser ignorada [25]. Em amplificadores realimentados por tensão a topologia do estágio de entrada com polarização única, vide Figura B. 1, faz com que tensões quase idênticas estejam presentes entre porta e fonte dos transistores do par simétrico. Com isso, PSRR e CMRR são reduzidos principalmente por diferenças entre a atuação do efeito de modulação de canal nos dispositivos de entrada. Portanto, o VOA exibe em geral bons PSRR e CMRR.

Observando a Figura 2.9 percebemos que a assimetria do estágio de entrada e as correntes de polarização não correlacionadas implicam em que variações nas tensões de polarização causem maiores variações de V_{ds} . Usualmente os transistores utilizados no amplificador realimentado por corrente possuem comprimento de canal reduzido em busca de melhores respostas em frequência, sofrendo, portanto, mais severamente com efeito de modulação de canal. Variações na tensão entre dreno e fonte, para tais transistores, possuem maior influência na corrente de dreno, alterando as polarizações e aumentando o v_{os} do estágio de entrada.

Concluimos, portanto que, alterações em v_{os} devido a mudanças na tensão de alimentação, ou de modo comum, ocorrem mais severamente em CFAs. Enquanto no VOA apenas a diferença entre os erros causados pelo efeito de modulação de canal compõe o *offset*, no amplificador realimentado por corrente o erro atua diretamente.

CMRR possui ainda dois termos adicionais de erro, a mais do que o PSRR, devido à variação do ganho no estágio de entrada e ao efeito de corpo. Iniciemos abordando a variação do ganho.

O seguidor de tensão presente no estágio de entrada é usualmente dimensionado para possuir ganho unitário. O problema aparece quando este ganho difere do desejado. Utilizaremos o CFA em configuração diferencial, como exposto na Figura 2.19, para ilustrar esta influência no CMRR:

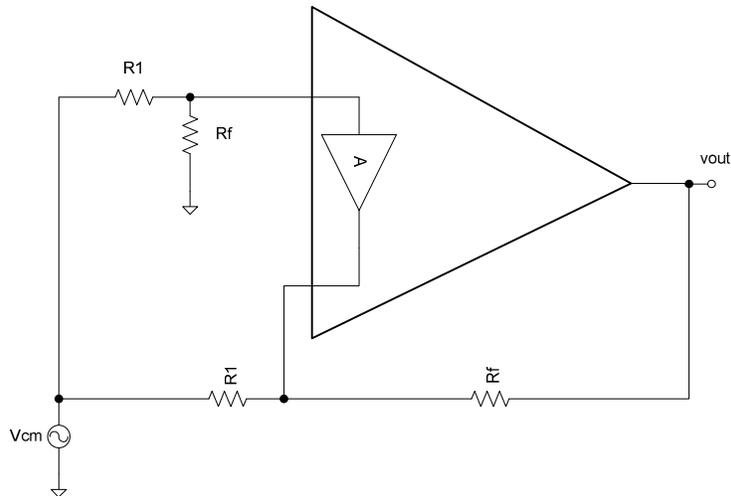


Figura 2.19: Circuito para análise da influência do ganho do seguidor de tensão do estágio de entrada no CMRR.

Analisando o circuito acima obtemos:

$$\frac{v_{out}}{v_{cm}} = \frac{R_f}{R_1} \cdot (A - 1) \quad (2.58)$$

Caso A seja diferente do ganho unitário desejado obteremos como resultado amplificação sobre o sinal de modo comum presente na entrada.

A atuação do efeito de corpo no aumento do *offset* do estágio de entrada é facilmente observada nos transistores M2 e M4, Figura 2.9, uma vez que a tensão de fonte destes difere da tensão do substrato. Caso transistores comuns, sem poço isolado, sejam utilizados o deslocamento da tensão de modo comum resulta em variação tensão de limiar tendo implicações severas na polarização deste estágio e nas tensões entre porta e fonte esperadas. Com isso, a presença de *offset* é inevitável, mesmo caso não haja qualquer outra variação em relação à condição de projeto.

2.8 EXCURSÃO DE SINAL DE ENTRADA E SAÍDA

Utilizaremos novamente a topologia básica do amplificador realimentado em corrente, ilustrado na Figura 2.9, para auxiliar na compreensão desta característica do amplificador realimentado em corrente. Embora variações dessa topologia estejam presentes na literatura, é comum a todas o par completar classe AB, sofrendo, portanto, as mesmas limitações explicadas a seguir.

Assumindo que as tensões de M1 e M4 permanecem iguais, o limite superior das entradas do CFA pode ser calculado como:

$$V_H = V_{DD} - V_{SAT_IP} - V_{gs0} = V_{DD} - V_{SAT_IP} - \sqrt{\frac{I}{\frac{\mu_p \cdot C_{ox}}{2} \cdot \frac{W_p}{L}}} - |V_{thp}| \quad (2.59)$$

Da mesma forma, observando a influencia do efeito de corpo no transistor M2, o limite inferior pode ser calculado como:

$$V_L = V_{SAT_IN} + V_{gs2} = V_{SAT_IN} + \sqrt{\frac{I}{\frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W_N}{L}}} + V_{tn0} + \gamma_N \cdot \sqrt{\phi_F + V_{SAT_IN}} - \sqrt{2 \cdot \phi_F} \quad (2.60)$$

Utilizando as Equações 2.59 e 2.60, a excursão do sinal de entrada pode ser obtida através da subtração das mesmas:

$$\Delta V_i = V_{DD} - (V_{SAT_IP} + V_{SAT_IN}) - \left(\sqrt{\frac{I}{\frac{\mu_p \cdot C_{ox}}{2} \cdot \frac{W_p}{L}}} + \sqrt{\frac{I}{\frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W_N}{L}}} \right) - (|V_{thp}| + V_{thn}) \quad (2.61)$$

Onde:

$$V_{thn} = V_{thn0} + \gamma \cdot \sqrt{\phi_F + V_{SAT_IN}} - \sqrt{2 \cdot \phi_F} \quad (2.62)$$

Serão utilizados neste exemplo os mesmos valores do contido seção 2.6. Entretanto, com transistores 10 vezes maiores tentando assim aumentar a excursão do sinal de entrada. Portanto, $I = 500 \mu A$, $W_n/L = 100$, $\mu_n \cdot C_{ox} = 170 \frac{\mu A}{V^2}$, $\mu_p \cdot C_{ox} = 58 \frac{\mu A}{V^2}$ e $W_p/L = 293,1$, assumindo ainda $V_{DD} = 3,3 V$, $V_{thn} = 0,5 V$, $|V_{thp}| = 0,6 V$ e $V_{SAT_IP} = V_{SAT_IN} = 0,4 V$, obtemos:

$$\Delta V_i = 3,3 - (0,4 + 0,4) - (242,54E - 3 + 242,54E - 3) - (0,6 + 0,5) = 0,91 V \quad (2.63)$$

Com o exemplo acima percebemos que enquanto em VOAs a excursão do sinal de entrada é limitada à soma $V_{SAT} + V_{gs}$, em relação a uma das tensões de alimentação, chegando a ultrapassar a outra, no CFA a excursão de entrada é severamente reduzida. Mesmo com transistores de grande dimensão obtemos apenas 0,91 V de excursão de entrada, o que corresponde a menos de 28% da tensão de alimentação.

Observando que a tensão limiar do transistor M4 é consideravelmente elevada devido à influência do efeito de corpo, percebemos que grandes tensões de repouso entre porta e fonte devem ser utilizadas, reduzindo ainda mais a excursão do sinal. Caso contrário, a dimensão dos transistores NMOS torna-se muito elevada, prejudicando a resposta em frequência. Notamos então a existência de um compromisso entre banda de funcionamento e excursão de sinal.

Uma vez que topologias análogas, classe AB, são utilizadas como seguidor de tensão do último estágio do CFA, o mesmo problema é encontrado na excursão do sinal de saída.

2.9 CONSIDERAÇÕES SOBRE A UTILIZAÇÃO DO CFA

Em nossas análises ao longo deste capítulo consideramos sempre a utilização do amplificador realimentado em corrente na configuração não inversora. Apesar de esta ser a configuração mais utilizada, é possível utilizá-lo de diversos modos como, amplificador somador, diferencial, integrador, etc. [26]

Cuidados especiais, quanto à estabilidade, são necessários quando o utilizando com realimentação capacitiva [23].

A utilização em topologias nas quais o CFA é utilizado na configuração inversora merece observação extra, pois, a baixa impedância da entrada inversora dificulta sua utilização. Utilizaremos a Figura 2.20 para compreender as limitações dessa configuração. A análise é simplificada, sem ônus à compreensão do comportamento geral, considerando o pólo dos espelhos de corrente muito afastados do pólo dominante e a resistência do buffer de saída nula.

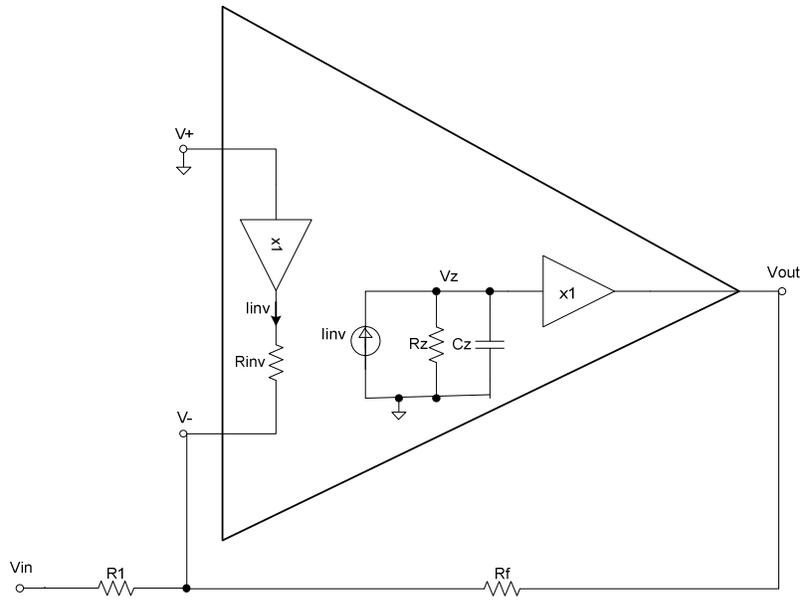


Figura 2.20: Amplificador realimentado em corrente utilizado na configuração inversora.

Através do equacionamento do circuito ilustrado é fácil obter:

$$\frac{V_{out}}{V_{in}} = - \frac{R_f \cdot R_Z}{R_f \cdot R_{inv} + R_1 \cdot (R_f + R_{inv} + R_Z)} \cdot \left(\frac{1}{s \cdot C_Z \cdot R_Z \frac{R_f \cdot R_{inv} + R_1 \cdot R_{inv} + R_f \cdot R_1}{R_f \cdot R_{inv} + R_1 \cdot (R_f + R_{inv} + R_Z)} + 1} \right) \quad (2.64)$$

Supondo $R_Z \gg R_1$, $R_Z \gg R_f$ e $R_Z \gg R_{inv}$, condição usualmente satisfeita para as condições de projeto, obtemos:

$$\frac{V_{out}}{V_{in}} = - \frac{R_f}{R_1} \cdot \left(\frac{1}{s \cdot C_Z \cdot \left(R_f + R_{inv} + \frac{R_{inv}}{R_1} \right) + 1} \right) \quad (2.65)$$

Observamos ainda que, a impedância de entrada é dada por:

$$Z_{in} = R_1 + R_{inv} // R_f \quad (2.66)$$

A Equação 2.66 nos mostra que, para que esta topologia possa ser utilizada como amplificador de tensão adequadamente, R_1 deve ser feito dominante, utilizando um alto valor de forma a prover adequada impedância de entrada. Entretanto, através da Equação 2.65 percebemos que para haja ganho, R_f também deve possuir alto valor, levando o pólo dominante para baixas frequência [27].

Apesar do problema mencionado acima, é interessante observar que ambos os ganhos, para o VOA e o CFA, são idênticos também para a configuração inversora.

2.10 O QUE É REALMENTE É UM AMPLIFICADOR REALIMENTADO EM CORRENTE?

Ao longo deste capítulo estudamos as características principais que tornam o amplificador realimentado por corrente uma alternativa ao convencional para aplicações específicas. Destacam-se como características:

- Ausência do produto ganho banda, sendo a limitação de banda imposta para garantir a estabilidade. Utilizando ganhos relativamente baixos a banda permanece aproximadamente constante.
- *Slew-rate* não limitado por polarização, sendo a limitação imposta apenas por excursão de sinal e tensão de alimentação. A corrente resultante da diferença de tensão aplicada nas entradas é crescente e com primeira derivada também crescente.
- Banda de utilização relativamente alta.

Essas três características são fundamentais e essências para que o CFA seja mais indicado do que o VOA em sistemas onde baixa distorção em altas frequência é necessária, como processamento de vídeo, ou onde ganhos variáveis de malha fechada com banda constante são necessários, assim como em aplicações de controle de ganho automático. Aplicações estas que motivaram a busca por alternativas e à concepção do CFA.

Na busca por soluções, alguns projetistas esqueceram esses fundamentos do CFA e a história que levou à sua concepção. Assim, encontramos constantemente na literatura publicações que implementam amplificadores com realimentação em corrente utilizando VOAs em *current conveyors* de segunda geração [28] [29] [30], topologias implementadas com *slew-rate* sendo limitado por fontes de corrente [31] [32] ou até mesmo trabalhos que tratam a corrente de realimentação como um defeito do CFA [33].

Analisaremos alguns destes trabalhos mostrando o porquê eles não atendem o esperado de um amplificador realimentado em corrente.

Na referência [28], os autores propõem o CFA que tem o diagrama de blocos ilustrado na Figura 2.21.

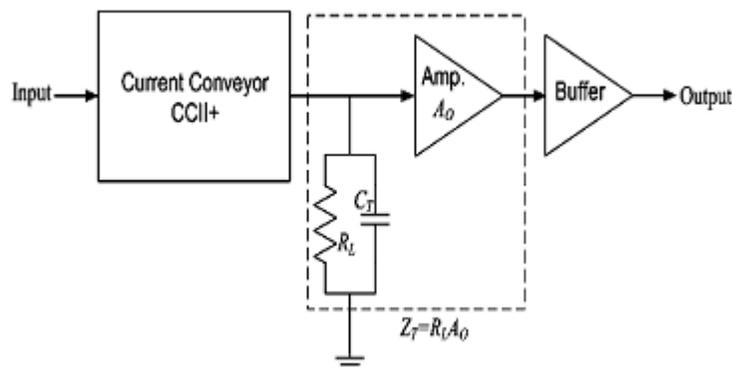


Figura 2.21: Diagrama de blocos do CFA proposto na referência [28].

É proposto o aumento da resistência equivalente do nó de ganho utilizando um amplificador de tensão. O buffer na saída é adicionado para reduzir a impedância de saída a qual degrada o comportamento do circuito em malha fechada. O esquemático do mesmo trabalho é ilustrado na Figura 2.22

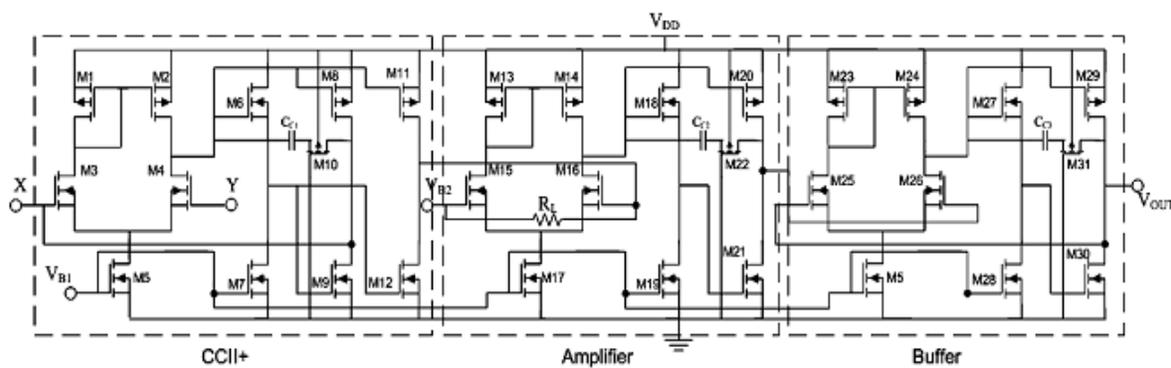


Figura 2.22: Amplificador realimentado em corrente utilizando VOAs.

A compreensão do esquemático é facilitada ao notarmos que o VOA, ilustrado na Figura 2.23, é utilizado como celular básica. Primeiramente este é utilizado como seguidor de tensão, com realimentação para ganho unitário, impondo a tensão presente na entrada Y em X. A segunda utilização desta célula é como amplificador de tensão simples,

buscando aumentar a transimpedância do CFA. A terceira, analogamente à primeira, é um seguidor de tensão utilizado como estágio de saída para redução de impedância.

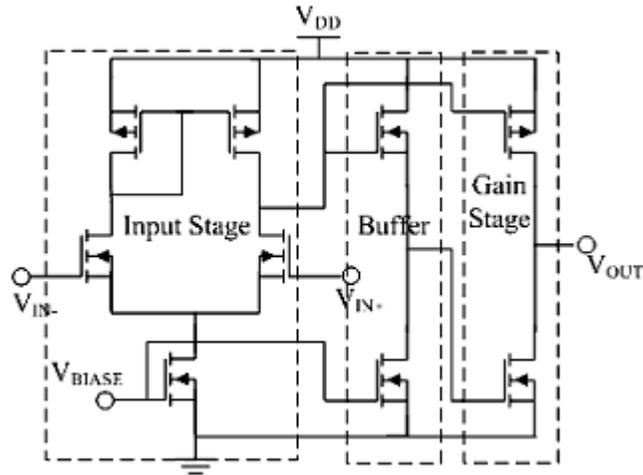


Figura 2.23: Amplificador realimentado em tensão utilizado como célula básica. Composto por três partes: Par diferencial, deslocador de nível e estágio de ganho classe AB.

A utilização do amplificador realimentado em tensão no CFA tem como primeira implicação a redução do *slew-rate*. A máxima corrente drenada ou inserida nos capacitores de compensação tem magnitude igual à corrente de polarização do par diferencial, invalidando, portanto, a característica fundamental de alto *slew-rate*.

Observamos ainda que, o amplificador ilustrado na Figura 2.23 possui mais de um pólo dominante. Estes são devidos à alta impedância do nó de saída e da entrada no deslocador de nível, compondo com as capacitâncias parasitas, pólos de baixa frequência. Esta característica aumenta a necessidade de compensação em frequência tendo como resultado a redução de banda. Este cenário é agravado pela repetição da célula na topologia onde os múltiplos pólos de mesma ordem podem resultar em oscilação. Além disso, um dos principais motivos da extensão de banda de um CFA é o funcionamento em modo de corrente, ou seja, com nós de baixa impedância ao longo do caminho do sinal. Na topologia da Figura 2.22 a vasta maioria dos nós constitui pontos da alta impedância, tendo a redução equivalente da mesma através de realimentação. Esta característica também resulta em redução da banda de funcionamento.

Os problemas acima relacionados podem ser amenizados aumentando as transcondutâncias, com o ônus do aumento de consumo, entretanto esta topologia não pode ser considerada um CFA por não apresentar intrinsecamente as características fundamentais. O trabalho em questão obtém resultados razoáveis, entretanto não menciona o consumo do total de potência.

Na referência [33], os autores propõem o CFA que tem o diagrama de blocos ilustrado na Figura 2.24.

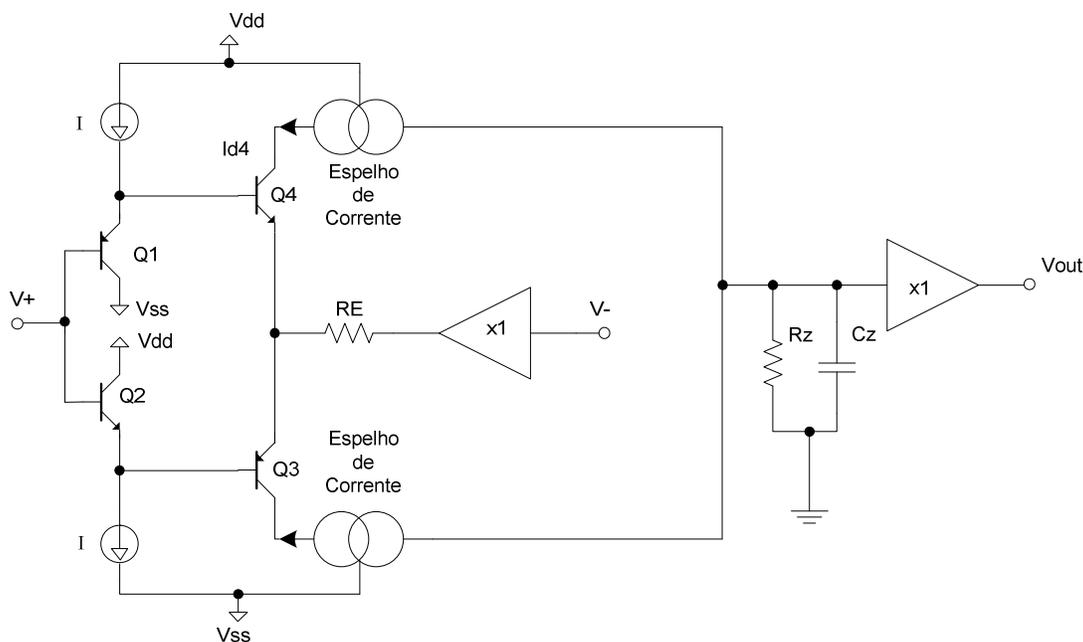


Figura 2.24: Diagrama de blocos do CFA proposto na referência [33].

Nota-se, pelo diagrama de blocos à cima, que este trabalho propõe uma topologia simplificada similar à do EL2020C, ilustrado na Figura 2.8. Acrescentou-se um seguidor de tensão na entrada inversora de forma a eliminar a corrente de realimentação. Com esta modificação o autor busca tornar a impedância da entrada inversora alta.

O esquemático completo do circuito é reproduzido, como referência, na Figura 2.25.

Devido à utilização de espelhos de corrente do tipo Witch-Hazel e à existência de um único pólo dominante localizado no nó de ganho, característica que relaxa as restrições de compensação em frequência, este amplificador atende os requisitos de banda larga. Entretanto, bandas maiores poderiam ser obtidas se o pólo fosse composto com a resistência de realimentação conforme Equação 2.27. O estágio de entrada realizado com pares diferenciais assimétricos resulta em alto *slew-rate*, satisfazendo também esse critério. Entretanto, a eliminação da corrente de realimentação tem como consequência a existência de produto ganho banda, evidenciado pela resposta em frequência com malha aberta reproduzida na Figura 2.26

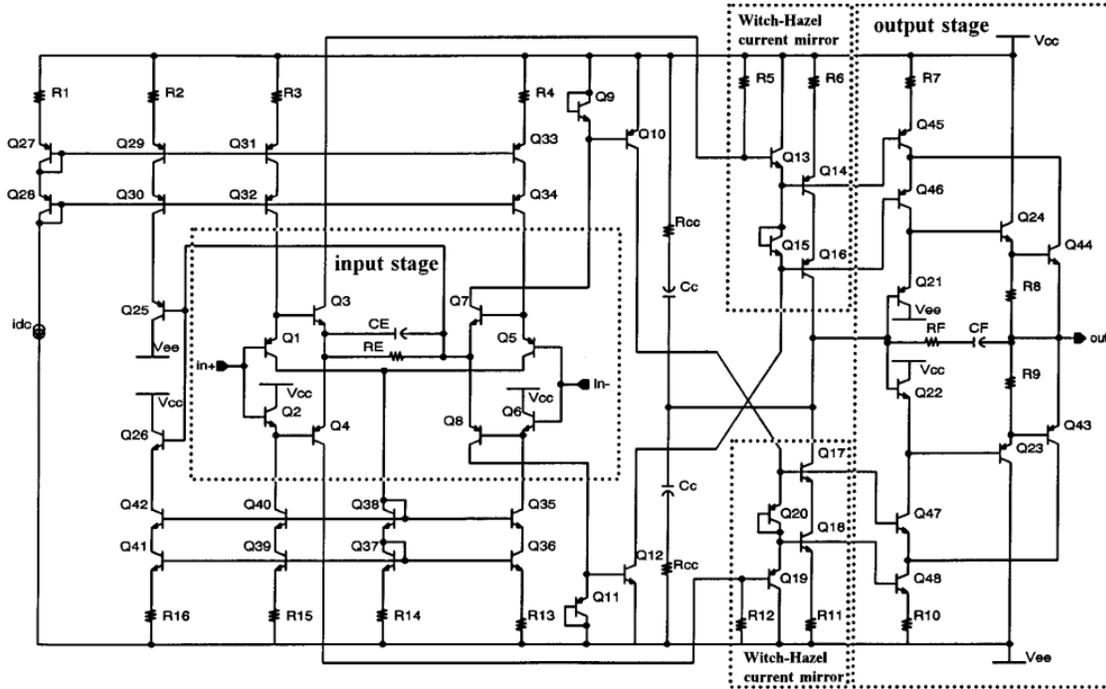


Figura 2.25: Esquemático do CFA proposto na referência [33].

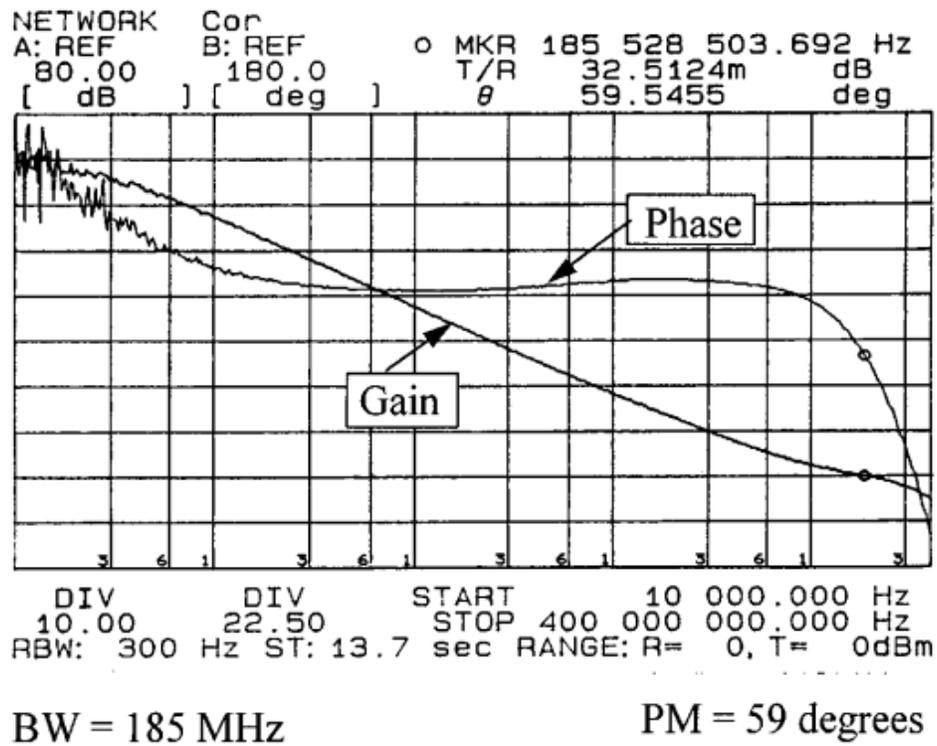


Figura 2.26: Ganho e fase em malha aberta do amplificador proposto na referência [33].

Apesar de muito bem elaborado, o amplificador de tensão proposto perde o sentido quando à aplicação. É implementado um VOA que ignora a vantagens deste sobre o CFA, sendo estas principalmente CMRR e PSRR, excursão de sinal e *offset*. As aplicações visadas, que necessitam de banda larga e alto *slew-rate*, poderiam ser mais bem atendidas removendo o seguidor de tensão e utilizando-o como um amplificador realimentado por corrente.

Capítulo 3.

PROJETO DO CFA BÁSICO

Denominares CFA básico a primeira topologia projetada, a qual é baseada no circuito exposto na Figura 2.9. No Capítulo 5 será desenvolvido um amplificador com realimentação em corrente utilizando os transistores compostos expostos no Capítulo 4. Visando realizar uma comparação mais justa entre as topologias, estipulou-se o consumo máximo de 15 mA. Os parâmetros típicos da tecnologia 0,35µm CMOS C35 da fabrica Austriamicrosystems [34], sendo utilizada para o projeto a configuração c35b4c3 com 4 metais e resistores de alta resistividade, são expostos na Tabela 3-1.

Parâmetro	Descrição	Valor	Unidade
V_{th0p}	Tensão limiar do transistor PMOS	-0,65	V
K_{pp}	Fator de transcondutância do transistor PMOS	58	$\mu A/V^2$
λ_p	Fator de modulação de canal do transistor PMOS obtido experimentalmente (L = 0,35 µm)	0,185	V^{-1}
λ_p	Fator de modulação de canal do transistor PMOS obtido experimentalmente (L = 0,5 µm)	0,066	V^{-1}
λ_p	Fator de modulação de canal do transistor PMOS obtido experimentalmente (L = 0,7 µm)	0,062	V^{-1}
γ_p	Fator de efeito de corpo do transistor PMOS	-0,40	$V^{1/2}$
NSUBP	Dopagem efetiva do substrato para o transistor PMOS	101	$10^{15}/cm^3$
V_{th0n}	Tensão limiar do transistor NMOS	0,5	V
K_{pn}	Fator de transcondutância do transistor NMOS	170	$\mu A/V^2$
λ_n	Fator de modulação de canal do transistor NMOS obtido experimentalmente (L = 0,35 µm)	0,098	V^{-1}
λ_n	Fator de modulação de canal do transistor NMOS obtido experimentalmente (L = 1 µm)	0,014	V^{-1}
γ_n	Fator de efeito de corpo do transistor NMOS	0,58	$V^{1/2}$
NSUBN	Dopagem efetiva do substrato para o transistor NMOS	212	$10^{15}/cm^3$

n_i	Dopagem intrínseca do substrato @ 300 K [35]	1,01	$10^{10}/\text{cm}^3$
-------	--	------	-----------------------

Tabela 3-1: Tabela com parâmetros da tecnologia 0,35 μm C35 da fabrica Austriamicrosystems.

3.1 SEGUIDOR DE TENSÃO DE SAÍDA

Com a limitação de corrente em mente, iniciaremos o dimensionamento da topologia básica pelo seguidor de tensão de saída. O seguidor de tensão de saída, como explicado no Capítulo 2, tem a função de copiar a tensão do nó de ganho, impondo-a sobre a carga. A execução desta tarefa de forma adequada tem os seguintes requisitos:

- 1- Larga resposta em frequência de forma a não interferir na banda do CFA.
- 2- Capacidade de fornecer corrente suficiente a cargas de 50 Ohms em paralelo com 10 pF ao longo da excursão de saída e banda de frequência.
- 3- Suficiente excursão de entrada e saída.
- 4- Reduzido *offset* na cópia da tensão entre entrada e saída.

A Figura 3.1 ilustra o seguidor de tensão de saída, as dimensões dos transistores e os valores típicos de corrente contínua. Na figura, os terminais de entrada e saída são conectados ao terra para ilustrar que as correntes demonstradas correspondem à condição de equilíbrio.

Observando a topologia, vemos que os requisitos 2 e 3 são conflitantes com o primeiro. A capacidade de fornecer corrente é alcançada através de baixa resistência equivalente de saída, para isso, são necessários transistores com elevada transcondutância, ou seja, dada a limitação de consumo, grandes razões entre largura e comprimento de canal. A mesma característica favorece também a excursão de entrada e saída devido à redução das tensões porta-fonte. A necessidade de elevado W/L e a limitação do comprimento mínimo de canal resultam em redução da banda de funcionamento devido às capacitâncias parasitas resultantes. Este compromisso entre requisitos é agravado devido ao efeito de corpo.

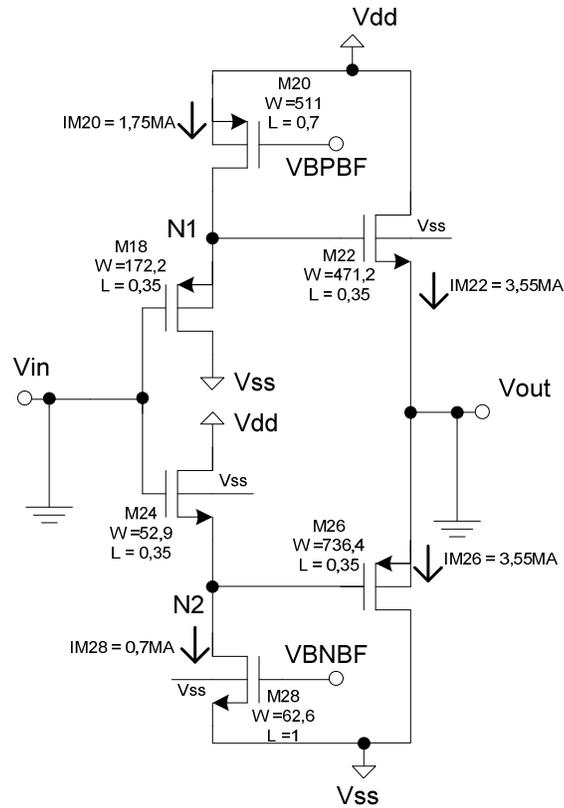


Figura 3.1: Esquemático do seguidor de tensão de saída com dimensões e valores típicos de corrente DC.

Na função de transferência da topologia ilustrada na Figura 3.1, desfazendo as conexões dos terminais de entrada e saída com o terra, encontramos três pólos principais e um zero, estes podem ser aproximados por:

$$w_{pN1} = \frac{g_{m_M18}}{C_{N1}} \tag{3.1}$$

$$w_{pN2} = \frac{g_{m_M24} + g_{mb_M24}}{C_{N2}} \tag{3.2}$$

$$w_{pVout} = \frac{g_{m_M22} + g_{mb_M22} + g_{m_M26} + \frac{1}{R_{Carga}}}{C_{Carga} + C_{Vout}} \tag{3.3}$$

$$w_Z = \frac{g_{m_M18} \cdot (g_{m_M24} \cdot g_{m_M26} + g_{m_M22} \cdot (g_{m_M24} + g_{mb_M24}))}{C_{N2} \cdot g_{m_M18} \cdot g_{m_M22} + C_{N1} \cdot g_{m_M24} \cdot g_{m_M26}} \quad (3.4)$$

onde C_{N1} , C_{N2} e C_{Vout} são as capacitâncias parasitas conectadas aos nós N1, N2 e Vout, respectivamente conforme a Figura 3.1. C_{Carga} e R_{Carga} representam a capacitância e resistência da carga, respectivamente. É desejável que w_{pN1} e w_{pN2} possuam frequências maiores que w_{pVout} , sendo, portanto, o último o pólo dominante. Os valores das capacitâncias parasitas e das transcondutâncias devem, portanto, ser escolhidas de forma a atender os compromissos entre os requisitos.

O transistor M22 sofre severamente com o efeito de corpo e será o principal limitante da excursão de saída e da transcondutância na parte superior do circuito. A tensão limiar aproximada deste transistor pode ser estimada utilizando as Equações A.3 e A.4, juntamente com os valores expostos na Tabela 3-1:

$$V_{th_M22} = 0,5 + 0,58 \cdot (\sqrt{|1,65 + 2,0,435|} - \sqrt{|2,0,435|}) = 0,88 \text{ V} \quad (3.5)$$

Tendo em vista a tensão limiar resultante, foi escolhida a tensão entre porta e fonte de 1,05 V para este transistor. A mesma tensão deve ser imposta em M18 de forma a cancelar o *offset* sistemático do seguidor de tensão.

O transistor M20 deve possuir comprimento de canal suficiente para garantir o comportamento de fonte de corrente, com elevada resistência entre dreno e fonte. Essa característica, somada ao baixo fator de transcondutância do transistor PMOS, cria a necessidade de maior tensão eficaz para evitar excessivas capacitâncias parasitas. Com isso, apesar do transistor PMOS possuir tensão de limiar 0,65 V, os mesmos 1,05 V entre porta e fonte serão utilizados, fornecendo assim 0,4 V de tensão eficaz ao transistor.

A escolha das tensões na parte inferior da topologia é feita observando que g_{m_M24} é facilmente feito maior que g_{m_M18} devido ao maior fator de transcondutância do transistor NMOS. Com isso, maiores capacitâncias parasitas são toleradas em N2, permitindo-nos reduzir a tensão eficaz dos transistores M24, M26 e M28. Somado a isso, M24 sofre menos com o efeito de corpo que o transistor M22, permitindo-nos escolher a tensão entre porta e fonte igual a 0,95 V. O transistor M28 deve possuir canal longo, com isso, a mesma tensão entre porta e fonte foi aplicada para este transistor.

Utilizando os valores de tensão escolhidos, pode-se calcular a tensão limiar aproximada do transistor M24 como segue:

$$V_{th_M24} = 0,5 + 0,58 \cdot \left(\sqrt{|1,65 - 0,95 + 2,0,435|} - \sqrt{|2,0,435|} \right) = 0,69 \text{ V} \quad (3.6)$$

Segundo o valor calculado, teremos 260 mV de tensão eficaz sobre o transistor M24, sendo portanto, um valor coerente. As excursões de entrada/saída podem ser calculadas conforme exposto na seção 2.8:

$$V_H = V_{DD} - V_{ef_M20} - |V_{gs_M2}| = 1,65 - 0,40 - 1,05 = 0,2 \text{ V} \quad (3.7)$$

$$V_L = -V_{DD} + V_{ef_M28} - V_{gs_M26} = -1,65 + 0,45 - 0,95 = -0,25 \text{ V} \quad (3.8)$$

Vê-se, pelas Equações 3.7 e 3.8, que a excursão de entrada/saída obtida é pequena, conforme explicado e exposto na seção 2.8. Transistores NMOS de poço isolado amenizariam este problema.

Escolhidas as tensões, é necessário designar o consumo disponível para cada ramo do circuito. Tendo em vista a diferença do fator de transcondutância entre os transistores PMOS e NMOS, assim como o posicionamento desejado dos pólos, foram escolhidos os valores demonstrados na Figura 3.1. Estes valores totalizam 6 mA de consumo para o seguidor de tensão de saída, valor coerente com o valor final esperado para o CFA.

Utilizando as Equações A.1 e A.8, com os valores de corrente e tensão expostos nos parágrafos anteriores, obtemos uma primeira aproximação das dimensões dos transistores. Estas foram base para os valores obtidos por simulação e demonstrados na Figura 3.1.

Vê-se, na Figura 3.1, que o comprimento mínimo de canal foi utilizado para todos os transistores, exceto os que atuam como fonte de corrente. Apesar desta escolha não ser ideal para casamento e redução de *offset*, é sabido que estas não são as características prioritárias do CFA, como explicado no Capítulo 2. A utilização deste comprimento de canal é justificada pela necessidade de redução de capacitâncias parasitas, favorecendo a resposta em frequência.

A dimensão dos canais dos transistores utilizados como fonte de corrente foi escolhida considerando o compromisso entre qualidade da fonte e capacitâncias parasitas. Nota-se que a dimensão do transistor NMOS pode ser maior que a do transistor PMOS devido ao maior fator de transcondutância de porta-fonte.

Utilizando as Equações A.12 e A.14, podemos calcular um primeiro valor aproximado para as transcondutâncias necessárias para análise da resposta em frequência do seguidor de tensão. Entretanto, os valores obtidos através do relatório de simulação diferem significativamente dos valores teóricos. Isso ocorre, principalmente, devido às imperfeições no modelamento do efeito de corpo e devido à dependência da tensão limiar com as dimensões dos transistores. Outro fator a ser considerado é a imprecisão do fator de modulação de canal obtido experimentalmente. Este fator é altamente dependente da dimensão do transistor, do efeito de corpo e da corrente. Além disso, vale lembrar que as equações expostas no 0 são aproximações de primeira ordem do comportamento real do transistor MOS, sendo o modelo BSIM3V3, utilizado pelo simulador, mais próximo do comportamento real. Os resultados teóricos são expostos na Tabela 3-2, junto com os valores constantes no relatório de simulação DC fornecido pelo simulador Eldo da Mentor Graphics [36].

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório
M18	9,46	7,94	0	0
M22	41,70	32,25	7,61	4,69
M24	5,30	4,79	1,22	0,87
M26	26,30	23,67	0	0

Tabela 3-2: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do seguidor de tensão de saída.

Obtidas as transcondutância e as dimensões dos transistores, podemos aplicar os valores às Equações 3.1, 3.2 e 3.3 e determinar a localização esperada dos pólos. Ao longo deste trabalho os resultados teóricos, obtidos através das equações do 0, serão utilizados como primeira aproximação para projeto. Os valores aplicados aos cálculos de posicionamento de pólos e demais comportamentos esperados serão baseados nos valores obtidos através do relatório de simulação, uma vez que estes representam valores mais precisos. As capacitâncias parasitas também são obtidas do relatório de simulação.

$$w_{pN1} = \frac{7,94E - 3}{690E - 15} \cong 1,83 \text{ GHz} \quad (3.9)$$

$$w_{pN2} = \frac{4,79E - 3 + 0,87E - 3}{202E - 15} \cong 4,46 \text{ GHz} \quad (3.10)$$

$$w_{pVout} = \frac{32,25E - 3 + 4,69E - 3 + 23,67E - 3 + \frac{1}{\infty}}{10,37E - 12} \cong 930 \text{ MHz} \quad (3.11)$$

$$w_z = \frac{7,94E - 3 \cdot (4,79E - 3 \cdot 3,23,67E - 3 + 32,25E - 3 \cdot (4,79E - 3 + 0,87E - 3))}{202E - 15 \cdot 7,94E - 3 \cdot 3,23,67E - 3 + 690E - 15 \cdot 4,79E - 3 \cdot 3,23,67E - 3} = 2,87 \text{ GHz} \quad (3.12)$$

Vemos pelo cálculo de pólos e zeros que, apesar de não estar uma década afastado como seria ideal, os pólos w_{pN1} e w_{pN2} estão em frequências maiores que o pólo dominante. O zero está localizado entre os dois pólos de maior frequência, de forma a reduzir o efeito dos mesmos. A frequência do pólo dominante em 930 MHz atende o requisito de projeto numerado como 1.

Verificamos que o requisito numerado como 2 foi atendido através do cálculo da resistência equivalente de saída do seguidor de tensão, segundo a Equação 3.13:

$$R_{out} = \frac{1}{g_{m_M22} + g_{mb_M22} + g_{m_M26}} = \frac{1}{32,25E - 3 + 4,69E - 3 + 23,67E - 3} = 16,49 \text{ Ohms} \quad (3.13)$$

Poderadas as limitações de consumo e da transcondutância na tecnologia MOS, como exposto na seção 2.3.2, vemos que a resistência de saída foi feita suficientemente pequena para atender o requisito.

3.2 SEGUIDOR DE TENSÃO DE ENTRADA

O seguidor de tensão de entrada possui os mesmos requisitos do seguidor de tensão de saída. Entretanto, no primeiro, é necessária a inclusão de um espelho de corrente para o nó

de ganho. Com isso, a corrente na entrada inversora do CFA é copiada, resultando na conversão da corrente de realimentação em alteração na tensão de saída. Esta modificação, junto com o ramo de ganho, é ilustrada na Figura 3.2. Novamente, os terminais de entrada e saída são conectados ao terra para ilustrar que as correntes demonstradas correspondem à condição de equilíbrio.

A escolha das tensões entre porta e fonte dos transistores nos espelhos de corrente deve levar em conta o compromisso entre resposta em frequência, excursão de saída e redução da corrente de dreno em M6 e M8. É observado, nas equações expostas no 0, que a área do transistor, e conseqüentemente a capacitância parasita entre porta e fonte, cresce aproximadamente de forma quadrática com a redução da tensão efetiva para uma dada corrente. A transcondutância por sua vez cresce linearmente, com isso, é esperado que a frequência de -3 dB do espelho de corrente cresça aproximadamente de forma linear com a tensão efetiva. Entretanto, o aumento da tensão porta-fonte reduz a excursão de saída. Uma segunda consequência é a diminuição da corrente no ramo devido à menor tensão dreno-fonte disponível para os transistores M6 e M8.

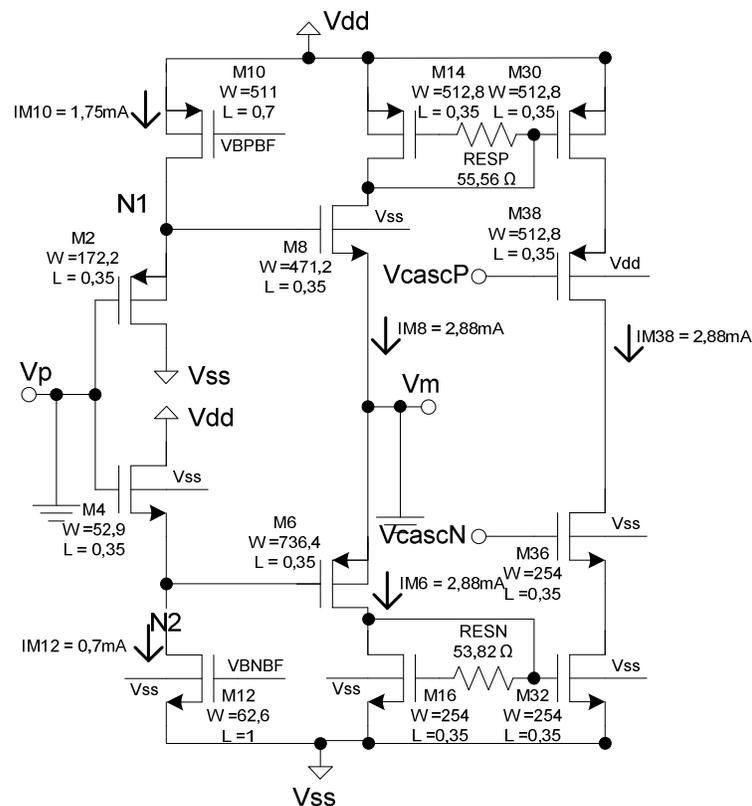


Figura 3.2: Esquemático do seguidor de tensão de entrada com dimensões e valores típicos de corrente DC.

Foi escolhida tensão entre porta e fonte igual a 0,81 V e 1 V, para os espelhos NMOS e PMOS, respectivamente. A tensão de dreno-fonte dos transistores M32 e M30 foram escolhidas de forma a igualar as tensões de dreno e porta dos mesmos. Com isso, suficiente margem é deixada para manter estes transistores em saturação, mesmo quando alto valor de corrente é espelhado, não limitando assim o *slew-rate* do CFA. O novo valor da corrente no ramo de M6 e M8, devido à redução da tensão dreno-fonte, pode ser visto na Figura 3.2.

A redução da corrente tem influência na transcondutância, posicionamento de w_{pVout} e na impedância de saída. É necessário, portanto, o cálculo dos novos valores e verificar se estes ainda atendem os requisitos de projeto.

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório
M2	9,46	7,94	0	0
M4	5,30	4,79	1,22	0,87
M6	19,20	20,53	0	0
M8	33,83	28,37	6,18	4,24

Tabela 3-3: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do seguidor de tensão de entrada.

Utilizando as transcondutâncias e capacitâncias parasitas do relatório de simulação, pode-se obter a nova frequência de -3dB:

$$w_{pVout} = \frac{28,37E-3 + 4,24E-3 + 20,53E-3 + \frac{1}{\infty}}{10,37E-12} \cong 0,82 \text{ GHz} \quad (3.14)$$

Vê-se, portanto, que houve uma redução da frequência de corte, entretanto, está não invalida o requisito de banda larga para que o seguidor de tensão. A resistência equivalente de saída será:

$$R_{inv} = \frac{1}{28,37E-3 + 4,24E-3 + 20,53E-3} = 18,82 \text{ Ohms} \quad (3.15)$$

A resistência de saída também não foi degradada ao ponto de ser limitante ao projeto.

3.3 ESPELHOS DE CORRENTE

Continuaremos o dimensionado com os espelhos de corrente, vide Figura 3.2. Utilizando as equações expostas no 0, as tensão escolhidas na seção 3.2 e as correntes ilustradas na figura podemos obter as dimensões aproximadas dos transistores dos espelhos. Baseado nesta primeira aproximação e nos valores de tensão e corrente desejados, obtém-se através de processo iterativo em simulador as dimensões expostas na Figura 3.2.

Na seção 2.3 foi assumido que o segundo pólo de mais baixa frequência no CFA é o do espelho de corrente, por isso, é proposta a inclusão dos resistores RESN e RESP [37] [38] os quais têm a função de aumentar a banda do espelho de corrente. As respostas em frequência dos espelhos são dadas por:

$$H_n(s) = \frac{i_{out}}{i_{in}} = \frac{g_{m32}}{C_{gs32}} \cdot \frac{s + \frac{1}{RESN \cdot C_{gs16}}}{s^2 + s \cdot \frac{C_{gs16} + C_{gs32}}{RESN \cdot C_{gs32} \cdot C_{gs16}} + \frac{g_{m16}}{RESN \cdot C_{gs32} \cdot C_{gs16}}} \quad (3.16)$$

$$H_p(s) = \frac{i_{out}}{i_{in}} = \frac{g_{m30}}{C_{gs30}} \cdot \frac{s + \frac{1}{RESP \cdot C_{gs14}}}{s^2 + s \cdot \frac{C_{gs14} + C_{gs30}}{RESP \cdot C_{gs30} \cdot C_{gs14}} + \frac{g_{m14}}{RESP \cdot C_{gs30} \cdot C_{gs14}}} \quad (3.17)$$

Dois casos são de particular interesse e serão analisados abaixo:

a - RESN e RESP iguais a zero

Quando RESN e RESP são nulos temos os espelhos de corrente sem extensão de banda. As Equações 3.16 e 3.17 podem então ser simplificadas, obtendo-se:

$$H_n(s) = \frac{g_{m32}}{C_{gs32} + C_{gs16}} \cdot \frac{1}{s + \frac{g_{m16}}{C_{gs32} + C_{gs16}}} \quad (3.18)$$

$$H_p(s) = \frac{g_{m30}}{C_{gs30} + C_{gs14}} \cdot \frac{1}{s + \frac{g_{m14}}{C_{gs30} + C_{gs14}}}$$

(3.19)

As respostas em frequência dos espelhos de corrente possuem apenas um pólo dominante. No primeiro caso o pólo é composto pela associação da transcondutância M16 e a soma de C_{gs16} com C_{gs32} . No segundo é composto pela associação da transcondutância M14 e a soma de C_{gs14} com C_{gs30} .

b - RESN e RESP iguais ao inverso da transcondutância de M16 e M14, respectivamente

Quando RESN e RESP são igualados a $1/g_{m16}$ e $1/g_{m14}$, as funções de transferência resultantes tornam-se:

$$H_n(s) = \frac{g_{m32}}{C_{gs32}} \cdot \frac{1}{s + \frac{g_{m16}}{C_{gs32}}} \quad (3.20)$$

$$H_p(s) = \frac{g_{m30}}{C_{gs30}} \cdot \frac{1}{s + \frac{g_{m14}}{C_{gs30}}} \quad (3.21)$$

Nota-se que, os zeros presentes nas Equações 3.16 e 3.17 cancelaram um dos pólos de cada equação. Observando que C_{gs16} e C_{gs32} são de mesma ordem, assim como C_{gs14} e C_{gs30} , e comparando as Equações 3.18 com 3.20 e 3.19 com 3.21, tem-se que a banda de frequência é aproximadamente duas vezes maior do que as topologias originais.

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório
M14	16,46	16,97
M16	18,58	20,32
M30	16,46	16,97
M32	18,58	20,32

Tabela 3-4: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores dos espelhos de corrente.

Substituindo os valores de transcondutância, expostos Tabela 3-4, e capacitâncias parasitas, ambos obtidos por relatório de simulação, nas Equações 3.20 e 3.21, resulta em:

$$H_n(s) = \frac{20,32E - 3}{0,302E - 12} \cdot \frac{1}{s + \frac{20,32E - 3}{0,302E - 12}} = 67,28E + 9 \cdot \frac{1}{s + 67,28E + 9} \quad (3.22)$$

$$H_p(s) = \frac{16,97E - 3}{0,494E - 12} \cdot \frac{1}{s + \frac{16,97E - 3}{0,494E - 12}} = 36,35E + 9 \cdot \frac{1}{s + 36,35E + 9} \quad (3.23)$$

Nas Equações 3.22 e 3.23 observamos que o pólo do espelho de corrente NMOS está localizando aproximadamente em 10,71 GHz, enquanto o do PMOS em 5,47 GHz. Comparando esses valores com os pólos dos seguidores de tensão, vemos que, para o amplificador de tensão realimentado por corrente básico, em tecnologia padrão, o espelho de corrente deixa de atuar como segundo pólo limitante, sendo este de mesma ordem que os pólos do seguidor de tensão. Alguns fatores que levaram a isso são ressaltados:

- O efeito de corpo aumenta significativamente a área necessária dos transistores NMOS, para uma dada transcondutância, resultando em aumento de capacitâncias parasitas.
- A baixa relação transcondutância/capacitância parasita da tecnologia CMOS reduz a frequência dos pólos.
- Foi utilizado encapsulamento com alta capacitância de pino (5 pF), somado a capacitâncias da placa e parasitas, foi estimado 10 pF. Com isso, o pólo principal do seguidor de tensão tem sua frequência reduzida. Caso fossem realizadas medidas com o circuito integrado conectado à placa diretamente por fios de ouro ou alumínio, o resultado obtido seria significativamente melhor, já que o segundo pólo seria dado pelo espelho de corrente e seria necessário menor capacitor de compensação.

3.4 GANHO

No ramo de ganho, vide Figura 3.2, foi utilizada a estrutura cascode visando reduzir a atuação do efeito miller nas capacitâncias entre dreno e porta dos transistores M32 e M30, dada sua influência na resposta em frequência do CFA. Outro benefício do uso da estrutura é o maior ganho de malha aberta devido ao aumento da resistência equivalente do nó de ganho. A importância dessas características foi discutida em detalhes no

Capítulo 2. A dimensão de M36, por simplicidade, foi feita igual a M32, analogamente, M38 possui comprimento e largura de canal igual a M30.

A resistência equivalente do nó de ganho é calculada por:

$$R_Z = R_p // R_n \quad (3.24)$$

onde,

$$R_p = (r_{ds38} + r_{ds30}) \cdot (1 + (g_{m38} + g_{mb38}) \cdot (r_{ds38} // r_{ds30})) \quad (3.25)$$

$$R_n = (r_{ds36} + r_{ds32}) \cdot (1 + (g_{m36} + g_{mb36}) \cdot (r_{ds36} // r_{ds32})) \quad (3.26)$$

Utilizando as equações expostas no 0 obtemos os valores da Tabela 3-5. Novamente, os valores calculados foram utilizados na fase de projeto e os valores obtidos por relatório para determinar as características resultantes:

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório	g_{ds} (μ A/V) Calculado	g_{ds} (μ A/V) Relatório
M30	16,46	16,97	0	0	450	727
M32	18,58	20,32	0	0	261	372
M36	21,00	20,67	4,70	3,79	261	446
M38	16,07	16,51	2,38	2,32	476	795

Tabela 3-5: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do ramo de ganho.

Substituindo os valores do relatório nas Equações 3.24, 3.25 e 3.26, concluímos que o valor da resistência equivalente é 28,6 K Ω .

O ganho em malha aberta pode ser calculado observando que, uma pequena variação de tensão entre as entradas inversora e não inversora, resultará em uma corrente equilavente sobre R_z igual a:

$$\Delta i = (g_{m8} + g_{mb8}) \cdot \Delta v - g_{m6} \cdot (-\Delta v) = (g_{m8} + g_{mb8} + g_{m6}) \cdot \Delta v \quad (3.27)$$

A corrente imposta na resistência do nó de ganho resulta em uma variação de tensão dada por:

$$\Delta v_o = R_z \cdot \Delta i = R_z \cdot (g_{m8} + g_{mb8} + g_{m6}) \cdot \Delta v = G \cdot \Delta v \quad (3.28)$$

Onde G representa o ganho em malha aberta:

$$G = R_z \cdot (g_{m8} + g_{mb8} + g_{m6}) \quad (3.29)$$

Portanto, o ganho de malha aberta será:

$$G = 28,6E + 3 \cdot (53,14E - 3) \cong 1519 \text{ V/V} \quad (3.30)$$

Este valor equivale a 63,64 dB de ganho, sendo este valor excelente para o projeto.

3.5 CIRCUITO COMPLETO

A Figura 3.3 ilustra o circuito completo com as correntes e tensões de polarização sendo geradas internamente ao circuito integrado. As dimensões dos componentes e as correntes em cada ramo são ilustradas como referência. Será omitido a descrição detalhada das polarizações por estar fora do foco central do trabalho.

As correntes de referência foram obtidas copiando a corrente que flui através dos transistores M40 e M42. Estes possuem mesma dimensão e, ligados como diodos em série entre VDD e VSS, fornecem um GND virtual entre eles.

As demais tensões são obtidas, utilizando a corrente de referência, através da tensão portafonte de transistores ligados como diodo.

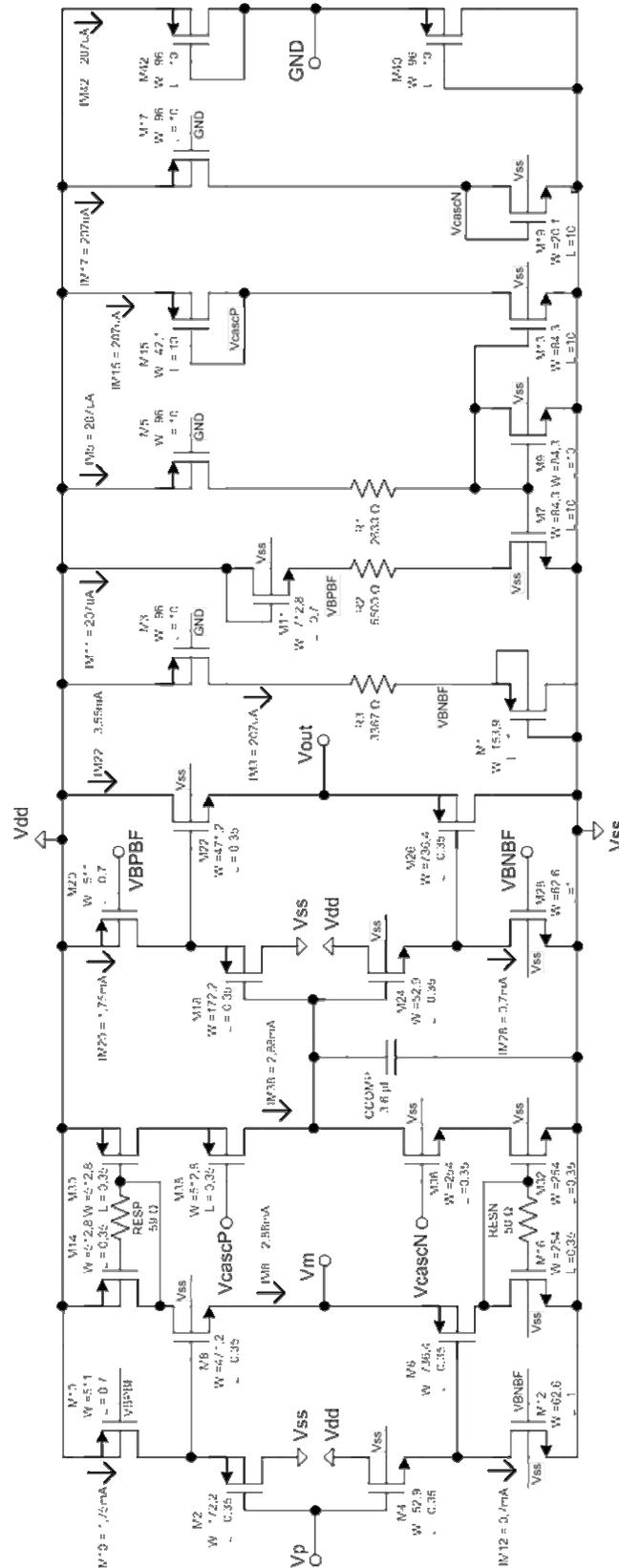


Figura 3.3: Esquemático Completo do Amplificador com Realimentação em Corrente Básico.

3.6 RESPOSTA EM FREQUÊNCIA

Utilizando as Equações 2.23, 2.29 e 2.30 obtidas no Capítulo 2, podemos calcular a resposta em frequência esperada do CFA. Foi utilizado capacitância extra de 3,6 pF, conectada ao nó de ganho, visando a compensação em frequência. Optou-se por aumentar a capacitância do nó, em vez de elevar excessivamente a resistência de realimentação, devido à influência do zero na função de transferência originado na capacitância ligada à entrada inversora, conforme explicado na seção 2.5. A compensação em frequência foi otimizada para o uso de 500 ohms como resistência de realimentação.

$$A = \left(1 + \frac{500}{R_1} + \frac{16,46}{R_1}\right) \quad (3.31)$$

$$R_f' = 16,46 + 500 + A \cdot 18,82 \quad (3.32)$$

$$H(s) \cong A \cdot \frac{1}{s \cdot 5,5E - 12 \cdot R_f' + 1} \quad (3.33)$$

Com as equações acima, podemos estimar as resistências R_1 para determinar os ganhos desejados e as frequências de corte.

Ganho (dB)	R_1 (Ω)	R_f' (Ω)	Frequência de -3dB CFA Básico (MHz)	
			Calculada	Simulada
4	883	546	52,97	45,59
6	519	554	52,23	42,27
8	342	564	51,33	39,94
10	239	576	50,24	37,95
12	173	591	48,93	36,06
14	129	611	47,38	33,92
16	97	635	45,56	31,65
18	74	666	43,45	29,46
20	57	705	41,07	27,07

Tabela 3-6: Frequências de -3dB, calculadas e simuladas, para diferentes ganhos do CFA básico.

A diferença entre os valores calculados e simulados pode ser explicada principalmente pela ausência dos demais pólos na função de transferência. Como vimos nas seções anteriores existem três pólos para cada seguidor de tensão e um pólo para cada espelho. Estes estão localizados em frequências não ignoráveis. Entretanto, considerar eles na função de transferência resultaria em equações não úteis ao projeto.

Entretanto, observa-se que apesar da significativa diferença na frequência de corte calculada e simulada, o comportamento geral do amplificador realimentado em corrente foi bem modelado e o procedimento de projeto compreendido com êxito.

Capítulo 4.

A CÉLULA TRANSISTOR COMPOSTO

No Capítulo 2 foi demonstrado que as resistências de saída dos seguidores de tensão, tanto na entrada inversora quanto na saída, dos amplificadores realimentados em corrente causam severas desvantagens no desempenho do bloco. Mesmo utilizando correntes elevadas, em tecnologia CMOS, os valores destas resistências continuam significantes, impactando na qualidade do projeto.

Foi demonstrado, também, que o transistor MOS possui baixa transcondutância quando comparada com o transistor bipolar, resultando em elevadas resistências de saída. A transcondutância é um dos principais parâmetros do transistor, pois representa a eficiência de conversão entre o sinal de entrada em tensão e o sinal de saída em corrente. Soluções mais elaboradas tornam-se então necessárias, principalmente devido às limitações de consumo dos sistemas atuais.

4.1 TRANSISTOR COMPOSTO PMOS

Manetakis e Toumazou [39] propuseram a célula com princípio de funcionamento análogo à ilustrada na Figura 4.1. A célula foi utilizada em subseqüentes trabalhos, de mesma autoria, em projetos de amplificadores realimentados por corrente utilizando tecnologia CMOS [1] [19] [20].

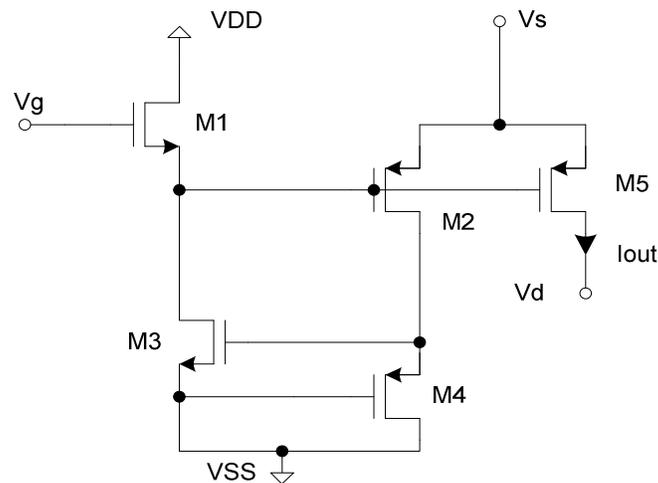


Figura 4.1: Célula que implementa um transistor tipo P composto.

O princípio básico utilizado para aumentar a transcondutância equivalente da célula é a realimentação positiva. A topologia é composta por dois seguidores de tensão, um implementado pelo transistor NMOS M1 e o outro pelo transistor PMOS M2. Entretanto, diferentemente de um seguidor de tensão comum, a corrente de bias para o transistor M1 é fornecida pelo espelho de corrente e dependente da que flui em M2. Com isto a célula se polariza sem a necessidade de circuitos extra, sendo as correntes no repouso dependentes das dimensões de M1 e M2 e de parâmetros do processo, assim como, das tensões em V_g e V_s .

A escolha do espelho de corrente NMOS-PMOS é fundamental nessa topologia para redução de *offset*. Variações de processo, que resultariam em tensões porta-fonte diferentes para M1 e M2, são contrabalanceadas por variações análogas no espelho, regulando assim as correntes de forma a minimizar a diferença. Observa-se então que M3 e M4 atuam como um circuito casador de tensões porta-fonte.

O circuito pode ser compreendido, utilizando a Figura 4.1, da seguinte maneira; Aumentando a tensão na porta de M1 e mantendo a fonte de M2 fixa, em um primeiro momento, variação equivalente de tensão irá aparecer na porta de M2. Isto causará redução de tensão porta-fonte e conseqüentemente de corrente em M2. Esta diminuição é espelhada para o ramo mais a esquerda, reduzindo a tensão porta-fonte de M1. Com isso, devido ao mecanismo de realimentação, a tensão na fonte de M1 irá se elevar ainda mais reduzindo novamente a corrente de M2 e o processo se repete até que o circuito encontre seu equilíbrio. Assim, a variação de corrente resultante é maior do que a simples aplicação da variação de tensão entre porta e fonte de M5. Princípio equivalente ocorre quando a tensão na porta de M1 é reduzida.

Observa-se, portanto, que esta célula pode ser usada analogamente a um transistor com os terminais da figura V_g , V_s e V_d , como porta, fonte e dreno, respectivamente. Deve-se atentar, entretanto, que caso realizado exatamente como na Figura 4.1 a corrente de fonte possui duas vezes a magnitude da corrente de dreno. Isso pode ser evitado utilizando espelhos de corrente para realimentar este terminal com cópia da corrente de dreno de M2.

A simples análise de pequenos sinais, ignorando as resistências entre dreno e fonte, entretanto considerando a influência do efeito de corpo, resulta em

$$g_m = \frac{i_{out}}{v_{gs}} = - \frac{g_{m1} \cdot g_{m5}}{(g_{m1} + g_{mb1}) - h \cdot g_{m2}} \quad (4.1)$$

O sinal menos, na transcondutância equivalente, significa que um aumento de V_g resulta em diminuição de i_{out} . Comportamento análogo é observado em transistores PMOS devido à redução da tensão v_{gs} . O fator de espelhamento de corrente em pequenos sinais é representado na Equação 4.1 por:

$$h = \frac{g_{m3}}{g_{m4}} \quad (4.2)$$

Escolhendo adequadamente, conforme Equação 4.3, pode-se se fazer a transcondutância equivalente tender a infinito.

$$h = \frac{g_{m3}}{g_{m4}} = \frac{g_{m1} + g_{mb1}}{g_{m2}} \quad (4.3)$$

O efeito de corpo tem severas implicações nessa célula. Ele reduz a excursão do sinal por aumentar a tensão de limiar do transistor e, conseqüentemente, a tensão necessária entre porta e fonte. Este efeito introduz não linearidades e *offsets* sistemáticos, além de reduzir o PSRR e CMRR. Em adição a isso, devido à necessidade de diferentes dimensões de transistores, para transistores de mesmo tipo, ele reduz a eficiência do circuito de casamento de tensão porta-fonte. Seria benéfico ao desempenho da célula o uso de tecnologia CMOS com transistores de poço isolado.

Infelizmente, existe nessa célula um compromisso entre largura de banda e transcondutância.

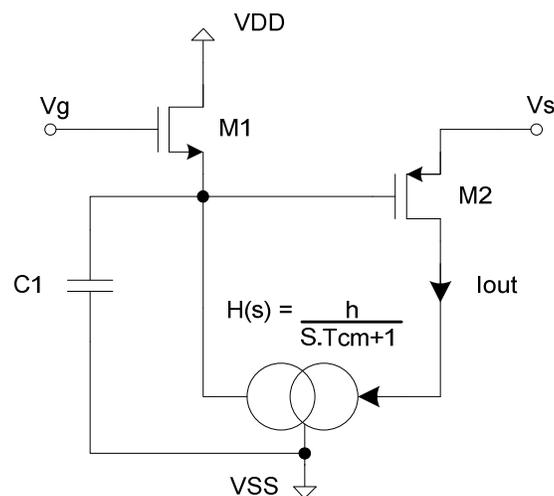


Figura 4.2: Modelo equivalente utilizado para obtenção da resposta em frequência,

A Figura 4.2 ilustra o modelo equivalente utilizado para cálculo da resposta em frequência da célula. Visando a simplificação, é assumido que a corrente de saída é igual à corrente em M2, condição que correspondente à realidade na maioria das aplicações. A limitação de frequência do espelho de corrente é simplificada utilizando a função de transferência com pólo único localizado em $1/\tau_{cm}$. C_1 representa as capacitâncias parasitas conectadas entre a fonte de M1 e o terra da análise de pequenos sinais. Pode-se obter que

$$G_m(s) = -\frac{g_{m1} \cdot g_{m2}}{C_1} \cdot \frac{s + \frac{1}{\tau_{cm}}}{s^2 + s \cdot 2 \cdot \zeta \cdot \omega_n + \omega_n^2} \quad (4.4)$$

Onde:

$$\omega_n = \sqrt{\frac{(g_{m1} + g_{mb1}) - h \cdot g_{m2}}{C_1 \cdot \tau_{cm}}} \quad (4.5)$$

$$\zeta = \frac{C_1 + (g_{m1} + g_{mb1}) \cdot \tau_{cm}}{2 \cdot C_1 \cdot \tau_{cm} \cdot \sqrt{\frac{(g_{m1} + g_{mb1}) - h \cdot g_{m2}}{C_1 \cdot \tau_{cm}}}} \quad (4.6)$$

Caso o zero presente na Equação 4.5 possua frequência consideravelmente maior do que os pólos, a equação obtida pode ser considerada uma equação clássica de segunda ordem. Com isso, os pólos estarão localizados em:

$$p_{1,2} = -\zeta \cdot \omega_n \pm \omega_n \cdot \sqrt{\zeta^2 - 1} \quad (4.7)$$

Um dos principais problemas desta topologia fica explícito na Equação 4.5. Caso a condição dada pela Equação 4.3 seja aplicada, a função de transferência da transcondutância possuirá um pólo na origem. Conseqüentemente existe um compromisso entre a maximização de g_m e a resposta em frequência. Este problema tem origem na alta resistência equivalente vista na fonte de M1, a qual compõe um pólo de baixa frequência com C_1 . O valor desta resistência pode ser calculado através da Equação 4.8:

$$R_{eq} = \frac{1}{(g_{m1} + g_{mb1}) - h \cdot g_{m2}} \quad (4.8)$$

As Equações 4.4, 4.5 e 4.6 explicitam a importância da utilização de espelhos de corrente rápidos quando a aplicação dada a esta célula requer altas frequências. A redução de τ_{cm} aumenta diretamente a frequência natural (ω_n) da função de transferência do transistor composto, assim como reduz o fator de amortecimento (ζ). Como consequência, o pólo de mais baixa frequência é deslocado para mais altas e a banda da célula é melhorada.

4.2 TRANSISTOR COMPOSTO NMOS

A célula transistor composto tipo N, a ser considerada, é ilustrada na Figura 4.3.

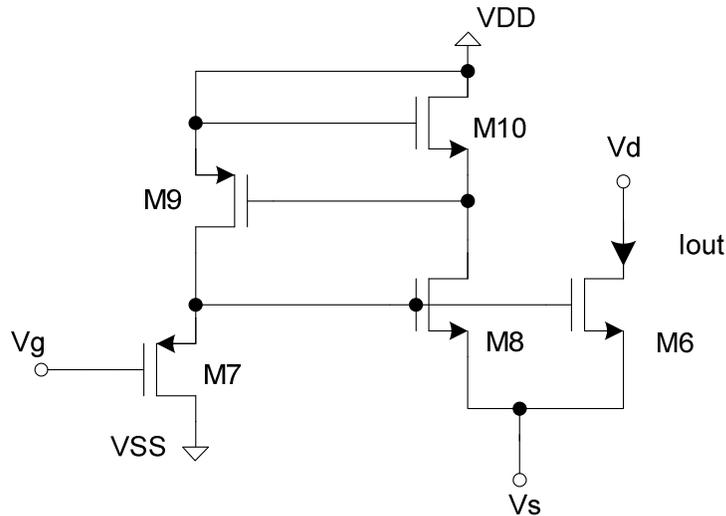


Figura 4.3: Célula que implementa um transistor tipo N composto.

O funcionamento da célula transistor composto NMOS é análogo ao do PMOS, entretanto deve-se atentar para o efeito de corpo presente nos transistores M6, M8 e M10.

Assim como fizemos para o transistor composto tipo PMOS podemos obter a transcondutância equivalente segundo a Equação 4.9.

$$g_m = \frac{i_{out}}{v_{gs}} = + \frac{g_{m6} \cdot g_{m7}}{g_{m7} - h_n \cdot g_{m8}} \quad (4.9)$$

É destacado o sinal positivo, na transcondutância equivalente, para explicitar que, ao contrário do caso anterior, um aumento de V_g resulta no aumento de i_{out} . Isso também é observado em transistores NMOS devido ao aumento da tensão v_{gs} . O fator de espelhamento de corrente é representado na Equação 4.9 por

$$h_n = \frac{g_{m9}}{g_{m10} + g_{mb10}} \quad (4.10)$$

Pode-se se fazer a transcondutância equivalente tender a infinito obedecendo à seguinte equação:

$$h_n = \frac{g_{m9}}{g_{m10} + g_{mb10}} = \frac{g_{m7}}{g_{m8}} \quad (4.11)$$

A resposta em frequência da célula é obtida, utilizando o modelo equivalente da Figura 4.3 e considerando C_3 a capacitância parasita equivalente conectada entre o nó conectado a fonte de M_7 e o terra da análise de pequenos sinais, segundo Equações 4.12, 4.13 e 4.14:

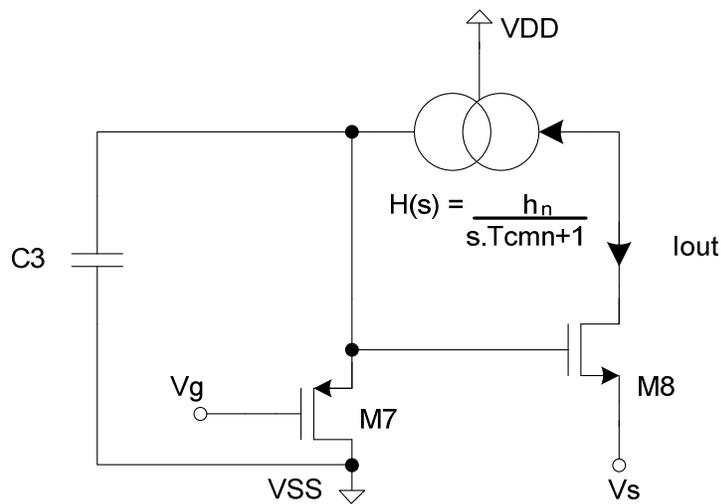


Figura 4.4: Modelo equivalente utilizado para obtenção da resposta em frequência,

$$G_{mn}(s) = \frac{g_{m7} \cdot g_{m8}}{C_3} \cdot \frac{s + \frac{1}{\tau_{cmn}}}{s^2 + s \cdot 2 \cdot \zeta_n \cdot \omega_{nn} + \omega_{nn}^2} \quad (4.12)$$

Onde:

$$w_{nn} = \sqrt{\frac{g_{m7} - h \cdot g_{m8}}{C_3 \cdot \tau_{cmn}}} \quad (4.13)$$

$$\zeta_n = \frac{C_3 + g_{m7} \cdot \tau_{cmn}}{2 \cdot C_3 \cdot \tau_{cmn} \cdot \sqrt{\frac{g_{m7} - h \cdot g_{m8}}{C_3 \cdot \tau_{cmn}}}} \quad (4.14)$$

Como no caso do transistor composto tipo PMOS, existe um compromisso entre transcondutância equivalente e a resposta em frequência. A condição exposta Equação 4.26 resulta em um pólo na origem. Novamente o aumento de banda do espelho de corrente ajudaria a relaxar este compromisso.

4.3 AUMENTO DE BANDA UTILIZANDO CAPACITÂNCIA ATIVA NEGATIVA

A Equação 4.8 demonstra que ao tentarmos aperfeiçoar a célula para alta transcondutância é formada uma alta resistência equivalente. Esta compõe junto à capacitância do nodo um pólo de baixa frequência. Apesar de equacionado para o transistor composto tipo P, o mesmo ocorre com o tipo N.

A associação de alta resistência com baixa capacitância é ideal para cancelamento utilizando capacitância ativa negativa [40]. Capacitâncias negativas podem ser geradas utilizando efeito Miller e um amplificador não-inversor de banda suficientemente larga, conforme ilustra as Figura 4.5 e Figura 4.6.

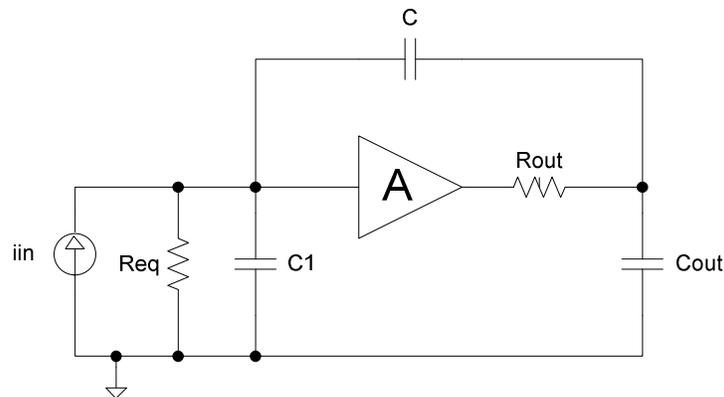


Figura 4.5: Circuito gerador de capacitância ativa negativa, utilizado para cancelar a capacitância de um nodo.

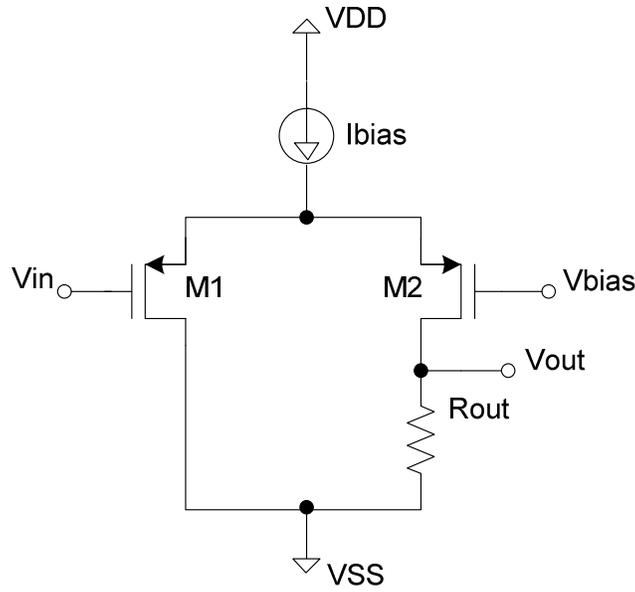


Figura 4.6: Par diferencia utilizado como amplificador não inversor na Figura 4.5.

Na Figura 4.5, C_1 representa a capacitância a ser cancelada, R_{eq} a resistência equivalente do nó, C_{out} a capacitância parasita de saída do amplificador, que segundo a Figura 4.6 é composta predominantemente por pelas capacitâncias dreno-poço e dreno-porta de M2, R_{out} é a resistência de ganho do amplificador e C o capacitor de realimentação.

O princípio de funcionamento é baseado no efeito Miller e pode ser compreendido da seguinte forma: variações na tensão presente sobre a impedância equivalente, à qual se busca o cancelamento da capacitância, são amplificadas pelo par diferencial. Como resultado, a variação de tensão imposta entre os terminais da capacitância de realimentação faz com que haja corrente contrapondo a corrente drenada pela capacitância C_1 , anulando-a parcialmente. Equacionando o funcionamento acima, para o caso ideal onde $R_{out} = 0$ e $C_{out} = 0$, nota-se que a capacitância é regida pela Equação 4.15.

$$C_{NEG} = -(A - 1) \cdot C \quad (4.15)$$

Equacionando a impedância equivalente, com a adição do circuito ativo de capacitância negativa, obtemos:

$$Z(s) = \frac{C + C_{out}}{C_1 \cdot C_{out} + C \cdot C_{out} + C \cdot C_1} \cdot \frac{s + \frac{1}{R_{out} \cdot (C + C_{out})}}{s^2 + s \cdot 2 \cdot \zeta \cdot \omega_n + \omega_n^2} \quad (4.16)$$

Onde:

$$\omega_n = \sqrt{\frac{1}{R_{eq} \cdot R_{out} \cdot (C_1 \cdot C_{out} + C \cdot C_{out} + C \cdot C_1)}} \quad (4.17)$$

$$\zeta = \frac{(1 - A) \cdot C \cdot R_{eq} + R_{eq} \cdot C_1 + R_{out} \cdot (C_{out} + C_1)}{2 \cdot \sqrt{R_{eq} \cdot R_{out} \cdot (C_1 \cdot C_{out} + C \cdot C_{out} + C \cdot C_1)}} \quad (4.18)$$

Nas equações acima vemos que o pólo que era inicialmente composto pela associação de R_{eq} com C_1 , após a utilização do gerador de capacitância negativa possui um zero e dois pólos. Podemos, inicialmente, ignorar a existência do zero, supondo que ele está localizado em frequências consideravelmente maiores que os pólos. Com isso, é possível ajustar o valor de ζ , através do ganho A e da capacitância de realimentação C , atingindo a condição de máxima banda segundo a Equação 4.19, tendo como resultado a frequência de -3dB dada pela Equação 4.20.

$$\zeta = \frac{1}{\sqrt{2}} \quad (4.19)$$

$$f_{-3dB} = \frac{1}{2 \cdot \pi \cdot \sqrt{R_{eq} \cdot R_{out} \cdot (C_1 \cdot C_{out} + C \cdot C_{out} + C \cdot C_1)}} \quad (4.20)$$

Nota-se que a banda de frequência dada pela Equação 4.20 pode ser muitas vezes maior que a original. Entretanto, a efetividade do circuito gerador de capacitância negativa depende da maximização da frequência do zero, contido na função de transferência. Quanto maior a razão entre este zero e o pólo original, sem cancelamento de capacitância, maior será a eficiência do circuito.

$$z = \frac{1}{R_{out} \cdot C_{out} + R_{out} \cdot C} \quad (4.21)$$

A Equação 4.21 nos mostra apenas o zero da função de transferência, exposta na Equação 4.16, para ilustrarmos como maximizá-lo. Esta tarefa é realizada minimizando o denominador da equação. O primeiro termo do denominador é minimizado utilizando um amplificador rápido para o circuito gerador de capacitância negativa. Este deve possuir baixa resistência de saída, com conseqüente baixo ganho, e baixa capacitância parasita. O segundo termo do denominador requer a minimização de C .

A Equação 4.15 nos mostram que o cancelamento de grandes capacitâncias requer grande capacitor de realimentação ou grandes ganhos. Entretanto, conforme a discussão no parágrafo anterior, ambas as alternativas resultam em menor eficiência do circuito gerador de capacitância negativa. Isso implica que, melhores resultados são obtidos quando a banda sem compensação é limitada pela alta resistência equivalente em associação com pequenas capacitâncias parasitas. Essa característica torna essa técnica ideal para extensão de banda do transistor composto.

A aplicação da técnica de cancelamento de capacitância aplicada a transistores compostos, apesar de eficiente e inovadora, possui algumas desvantagens que nos levam a buscar alternativas. Podem ser citadas:

- Consumo de potência: A implementação do circuito gerador de capacitâncias negativas necessita de correntes relativamente altas. Isso prejudica sua aplicação a circuitos de baixo consumo.
- Aumento de área: A utilização de capacitores e resistores implica em um aumento significativo de área no circuito.
- Variações: O casamento entre capacitâncias parasitas de transistores e o capacitor de realimentação é ruim. Este fator é agravado devido aos baixos valores das capacitâncias envolvidas. O casamento entre o resistor e a transcondutância do par diferencial também é ruim. Este fator torna-se crítico devido à alta sensibilidade do fator de amortecimento ao ganho e à capacitância de realimentação.
- Fase e Ganho: O pólo duplo da função de transferência composta pode resultar em piora na margem de fase do circuito completo, além disso, após a frequência de -3dB o ganho decai -40 dB/dec em vez de -20 dB/dec.

4.4 ESPELHO DE CORRENTE NMOS-PMOS COM BANDA DE FREQUÊNCIA MELHORADA

Nas seções 4.1 e 4.2 ressaltamos a importância de espelhos de corrente rápidos para a resposta em frequência do transistor composto. Com este objetivo este trabalho propõe, dando sua contribuição à literatura, uma modificação no espelho de corrente NMOS-PMOS o qual aumenta significativamente a banda de frequência. A modificação proposta é ilustrada na Figura 4.7 junto com seu modelo equivalente para obtenção da resposta em frequência.

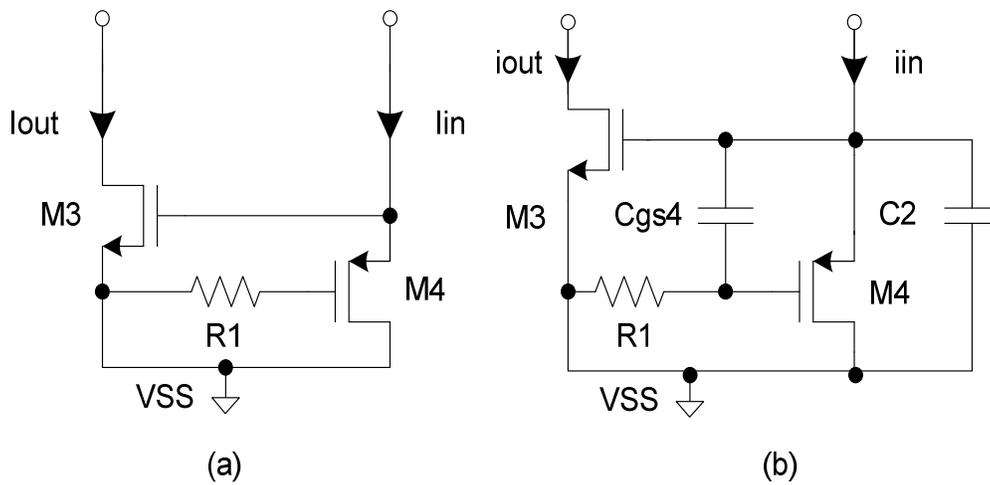


Figura 4.7: (a) Espelho de corrente NMOS-PMOS com banda de frequência melhorada. (b) Circuito equivalente utilizado para obtenção da resposta em frequência.

A modificação proposta inclui apenas um resistor conectado entre a porta de M4 e o terminal VSS. Em baixas frequências a corrente e tensão entre os terminais do resistor incluído serão nulas. Com isso, não existe nenhum compromisso entre a melhoria proposta e qualquer outra característica do espelho de corrente.

A resposta em frequência resultante é dada pela Equação 4.22.

$$H(s) = \frac{i_{out}}{i_{in}} = \frac{g_{m3}}{C_2} \cdot \frac{s + \frac{1}{R_1 \cdot C_{gs4}}}{s^2 + s \cdot \frac{C_{gs4} + C_2}{R_1 \cdot C_{gs4} \cdot C_2} + \frac{g_{m4}}{R_1 \cdot C_{gs4} \cdot C_2}} \quad (4.22)$$

Analogamente podemos obter a função de transferência do espelho conectado à tensão de alimentação superior, utilizando a Figura 4.8, conforme Equação 4.23.

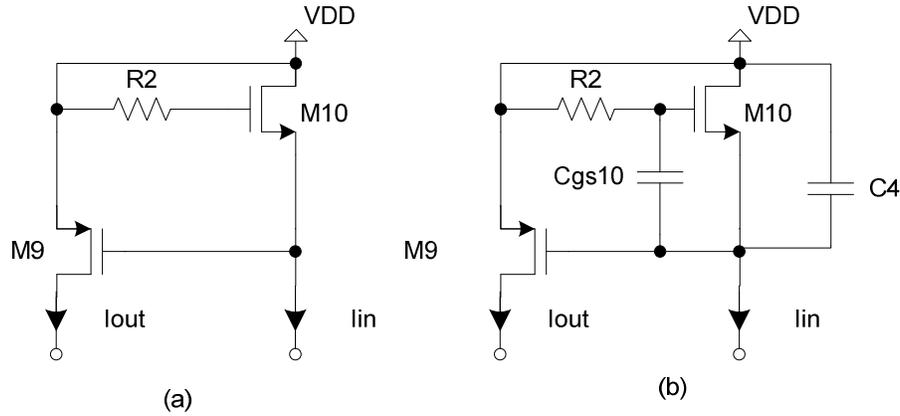


Figura 4.8: (a) Espelho de corrente NMOS-PMOS com conectado à tensão de alimentação superior. (b) Circuito equivalente utilizado para obtenção da resposta em frequência.

$$H_n(s) = \frac{i_{out}}{i_{in}} = \frac{g_{m9}}{C_4} \cdot \frac{s + \frac{1}{R_2 \cdot C_{gs10}}}{s^2 + s \cdot \frac{C_{gs10} + C_4 + g_{mb10} \cdot R_2 \cdot C_4}{R_2 \cdot C_{gs10} \cdot C_4} + \frac{g_{m10} + g_{mb10}}{R_2 \cdot C_{gs10} \cdot C_4}} \quad (4.23)$$

Dois casos são de particular interesse e serão analisados abaixo:

a- R_1 e R_2 iguais a zero

Quando R_1 e R_2 são nulos temos os espelhos de corrente NMOS-PMOS originais. As Equações 4.22 e 4.23 podem então ser simplificadas obtendo-se:

$$H(s) = \frac{g_{m3}}{C_2 + C_{gs4}} \cdot \frac{1}{s + \frac{g_{m4}}{C_{gs4} + C_2}} \quad (4.24)$$

$$H_n(s) = \frac{g_{m9}}{C_4 + C_{gs10}} \cdot \frac{1}{s + \frac{g_{m10} + g_{mb10}}{C_{gs10} + C_4}} \quad (4.25)$$

As Equações 4.24 e 4.25 nos mostram que, assim como nas aproximações feitas para a obtenção de 4.4 e 4.12, a resposta em frequência dos espelhos de corrente contém apenas

um pólo dominante. No primeiro caso, o pólo é composto pela associação da transcondutância de M4 e a soma de C_{gs4} com as demais capacitâncias parasitas entre a porta de M3 e o terminal VSS, representadas por C_2 . No segundo, é composto pela associação da transcondutância de M10, seu efeito de corpo e a soma de C_{gs10} com as demais capacitâncias parasitas entre a porta de M9 e o terminal VDD, representadas por C_4 .

b- R_1 e R_2 iguais ao inverso da transcondutância de M4 e M10, respectivamente

Quando R_1 e R_2 são igualados a $1/g_{m4}$ e $1/g_{m10}$, as funções de transferência resultantes tornam-se:

$$H(s) = \frac{g_{m3}}{C_2} \cdot \frac{1}{s + \frac{g_{m4}}{C_2}} \quad (4.26)$$

$$H(s) = \frac{g_{m9}}{C_4} \cdot \frac{1}{s + \frac{g_{m10} + g_{mb10}}{C_4}} \quad (4.27)$$

Nota-se que os zeros presente nas Equações 4.22 e 4.23 cancelaram um dos pólos de cada equação. Observando que C_2 e C_{gs4} são de mesma ordem, assim como C_4 e C_{gs10} , e comparando as Equações 4.24 com 4.25 e 4.25 com 4.27, tem-se que a banda de frequência é aproximadamente duas vezes maior do que as topologias originais.

4.5 TRANSISTORES COMPOSTOS COM ALTA TRANSCONDUTÂNCIA E BANDA ESTENDIDA

Este trabalho deixa sua contribuição à literatura propondo duas células de transistores compostos com alta transcondutância e banda estendida. A topologia ilustrada na Figura 4.9 utiliza a técnica de cancelamento de capacitância da seção 4.3, enquanto a Figura 4.10 utiliza o cancelamento de pólo com inserção de zero explicado na seção 4.4. Ambas são comparadas com a célula sem extensão de banda ilustrada na Figura 4.11.

Nota-se que, o circuito transistor composto utilizado se diferencia do ilustrado na Figura 4.3 pela inserção dos transistores M9, M15 e M18. Estes atuam como fonte de corrente permitindo o controle independente das transcondutâncias de transistores do mesmo tipo. Esta modificação é necessária para compensar a diferença na conversão

tensão corrente, devido ao efeito de corpo, dos transistores NMOS e ainda permite o controle dos parâmetros de pequenos sinais desejados para atender o compromisso entre banda e transcondutância, inerente a essa célula, e adequá-la à aplicação. Sem esta modificação proposta torna-se difícil ou até mesmo impossível, especialmente em tecnologias com baixas tensões de alimentação, de se obter a desejada banda e transcondutância equivalente mantendo os transistores em saturação.

Outra diferença é a utilização da corrente de fonte dos transistores NMOS como corrente de saída. Esta modificação não influi nos resultados uma vez que a corrente de M6, na Figura 4.3, possui igual valor ao de M8.

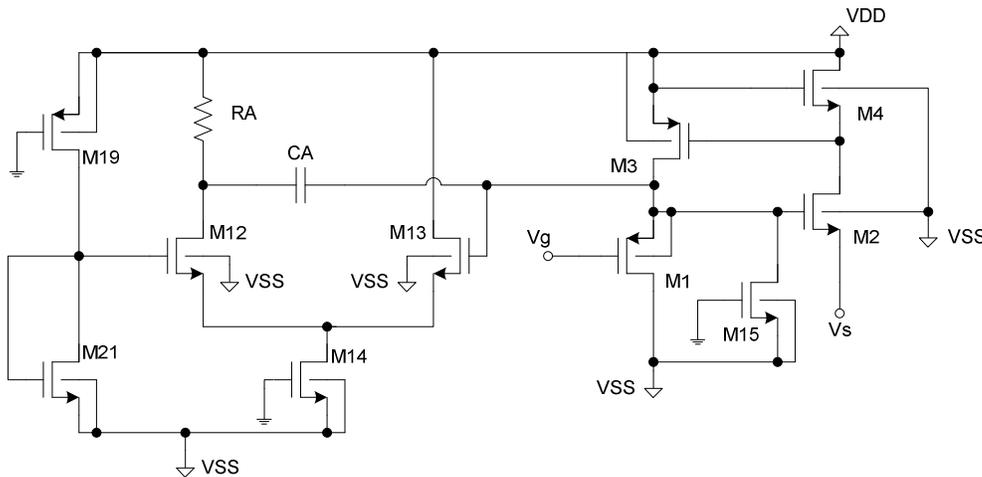


Figura 4.9: Transistor composto com alta transcondutância e banda estendida utilizando capacitância negativa ativa.

Transistores	W (μm)	L (μm)
M1	169	0,35
M2	335,4	0,35
M3	229,5	0,35
M4	335,4	0,35
M12	160	0,35
M13	160	0,35
M14	56	2,1
M15	3,1	0,5
M19	96,4	10
M21	6,7	10
Componentes Passivos	Valor	Unidade
CA	900	fF
RA	421,43	Ω

Tabela 4-1: Dimensões dos componentes da topologia ilustrada na Figura 4.9

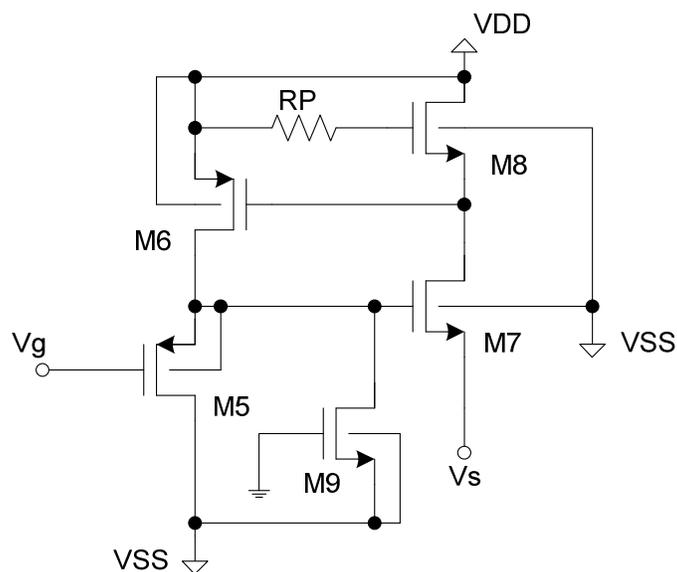


Figura 4.10: Transistor composto com alta transcondutância e banda estendida utilizando cancelamento de pólo com inserção de zero.

Transistores	W (μm)	L (μm)
M5	169	0,35
M6	229,5	0,35
M7	335,4	0,35
M8	335,4	0,35
M9	3,1	0,5
Componentes Passivos	Valor	Unidade
RP	430	Ω

Tabela 4-2: Dimensões dos componentes da topologia ilustrada na Figura 4.10.

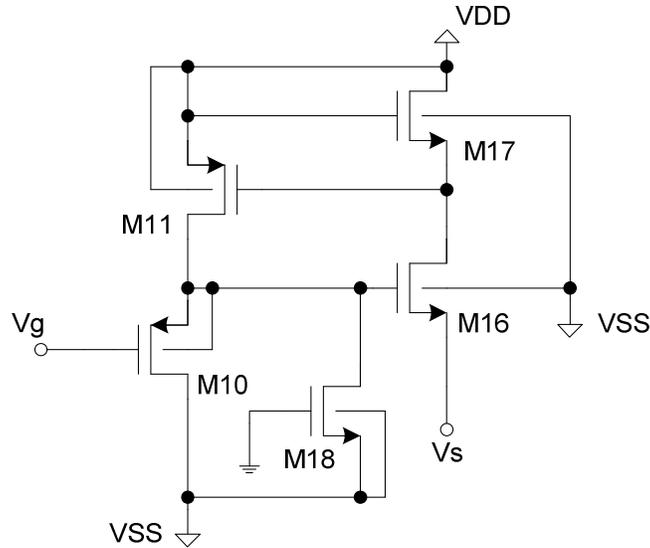


Figura 4.11: Transistor composto com alta transcondutância sem extensão de banda.

Transistores	W (μm)	L (μm)
M10	169	0,35
M11	229,5	0,35
M16	335,4	0,35
M17	335,4	0,35
M18	3,1	0,5

Tabela 4-3: Dimensões dos componentes da topologia ilustrada na Figura 4.11.

4.6 RESULTADOS DAS TOPOLOGIAS PROPOSTAS

As três topologias foram dimensionadas utilizando a mesma configuração NMOS de transistor composto consumindo 3,78 mA e alimentadas com tensões +/- 1,65 V. Entretanto, a topologia da Figura 4.9 utiliza 2,2 mA adicionais para realização do amplificador de tensão com frequência de -3dB em 4,2 GHz e ganho 2 V/V.

Com o intuito de validar as equações expostas nesse capítulo, comparamos o diagrama de pólos e zeros fornecido pela simulação com os valores teóricos obtidos. Utilizando a ferramenta de obtenção de modelo reduzido de pólos e zeros [36], na estrutura exposta na Figura 4.11, obtivemos o resultado exposto na Figura 4.12, aonde também é demonstrado o erro entre o modelo reduzido e o comportamento em pequenos sinais do circuito.

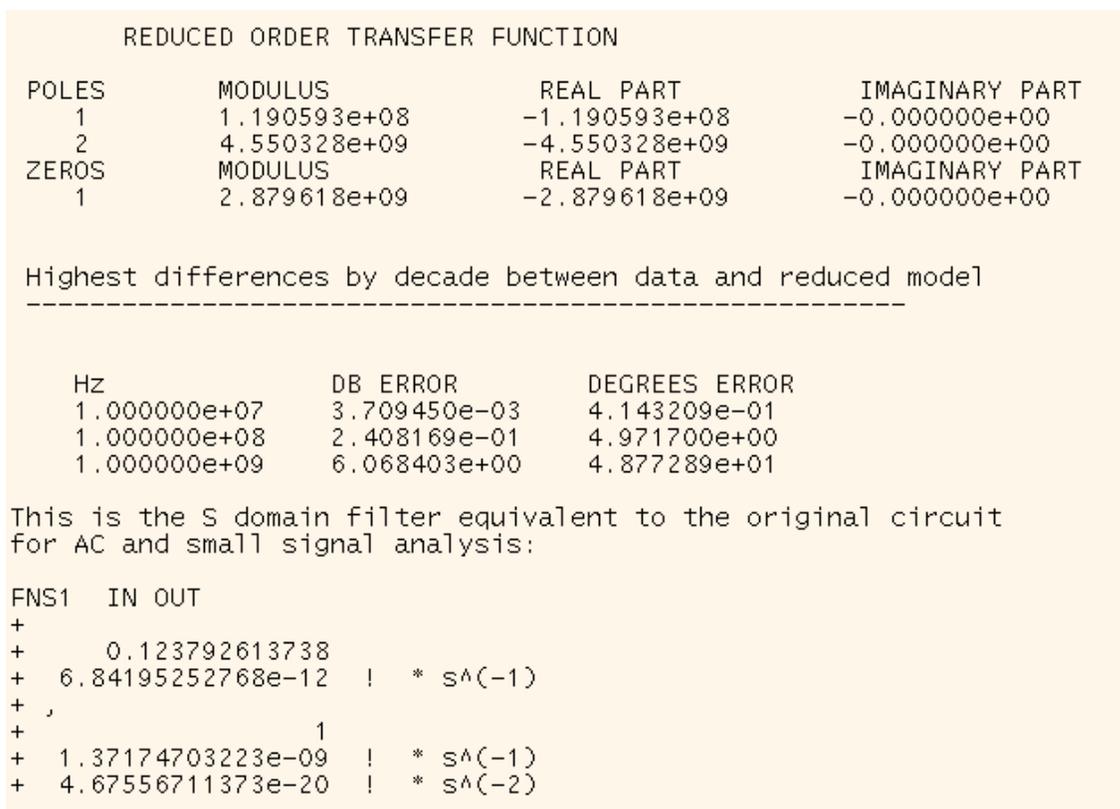


Figura 4.12: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto sem extensão de banda.

Utilizando as transcondutâncias e capacitâncias parasitas, obtidas através da simulação, nas Equações 4.12, 4.13 e 4.14. Com o auxílio de um programa matemático, foi possível a representação gráfica dos pólos e zeros da função de transferência completa e compará-los com os do modelo reduzido. O resultado é exposto na Figura 4.12, aonde se observa a coerência entre as equações e o modelo reduzido obtido.

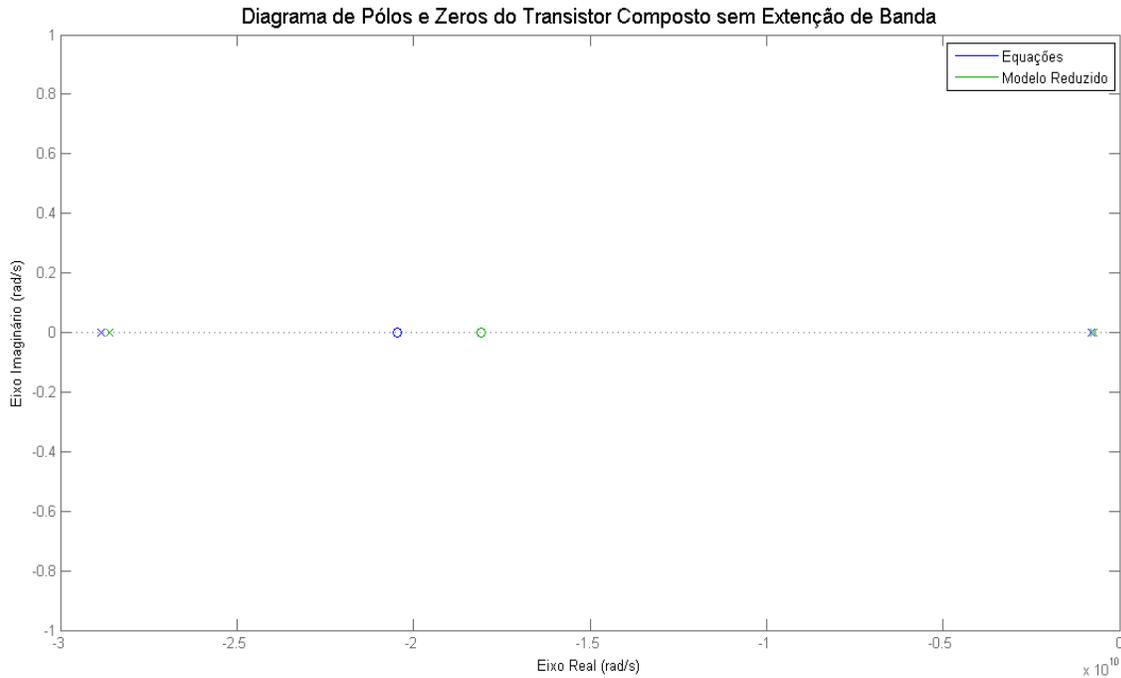


Figura 4.13: Diagrama de pólos e zeros do transistor composto sem extensão de banda.

O modelo reduzido, resultante da estrutura exposta na Figura 4.9, é mostrado na Figura 4.14 e comparado com o teórico, proveniente das equações, na Figura 4.15. Com as Equações 4.16, 4.17 e 4.18, e obtendo a resistência equivalente de forma análoga à Equação 4.8, foi otimizado a extensão de banda através do circuito de capacitância negativa para a condição de banda plana máxima. Observa-se, novamente, coerência entre as equações e o modelo reduzido obtido.

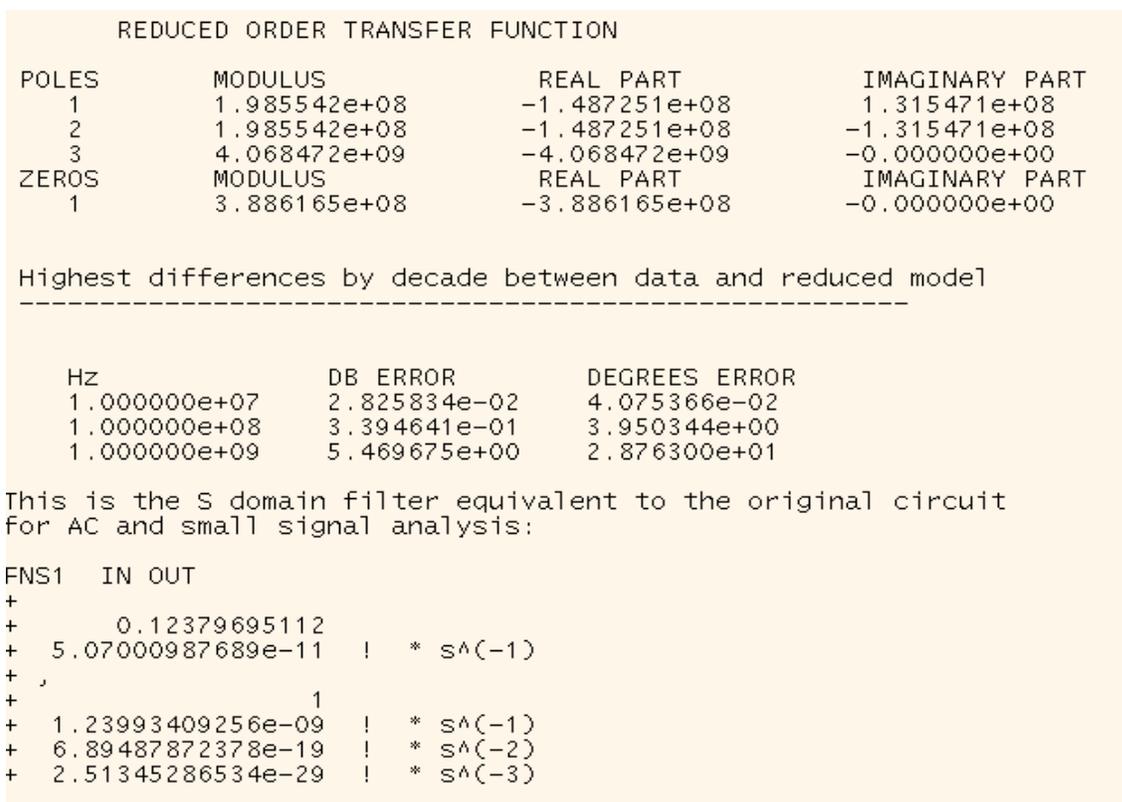


Figura 4.14: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto com banda estendida através de capacitância negativa.

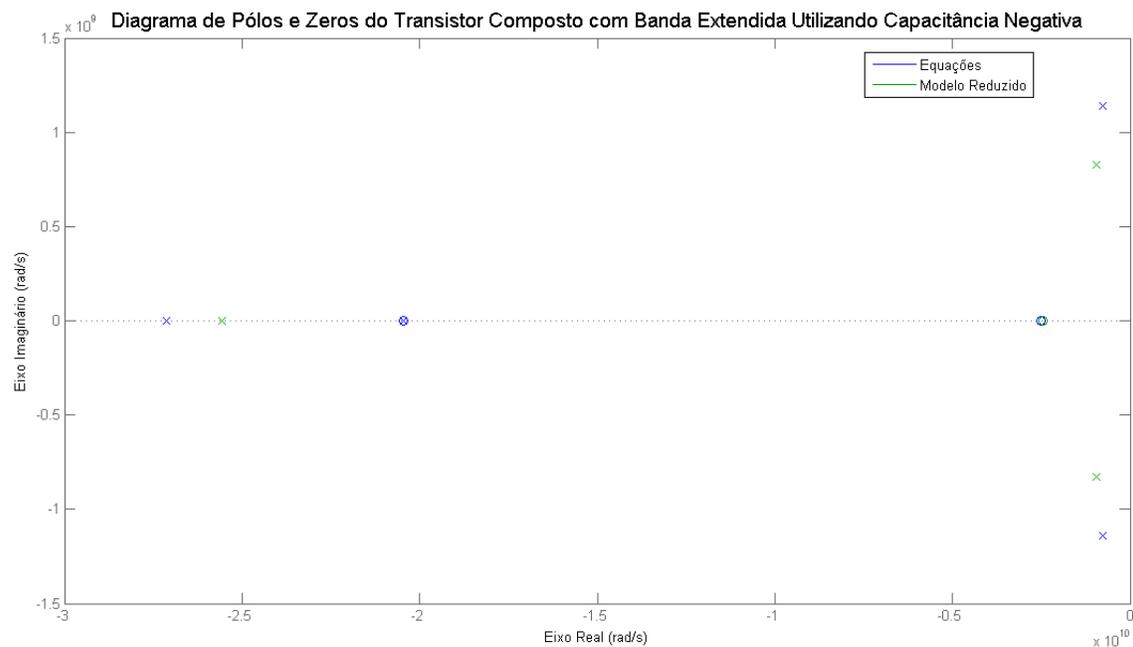


Figura 4.15: Diagrama de pólos e zeros do transistor composto com banda estendida através de capacitância negativa.

No caso do transistor composto com banda estendida através de cancelamento de pólo com o zero gerado pela inserção da resistência, conforme Figura 4.10, foi observado que maior banda pode ser obtida utilizando resistências maiores que o proposto pelo caso b da seção 4.4, permitindo assim um pequeno pico na função de transferência do espelho de corrente, conforme ilustrado na Figura 4.16.

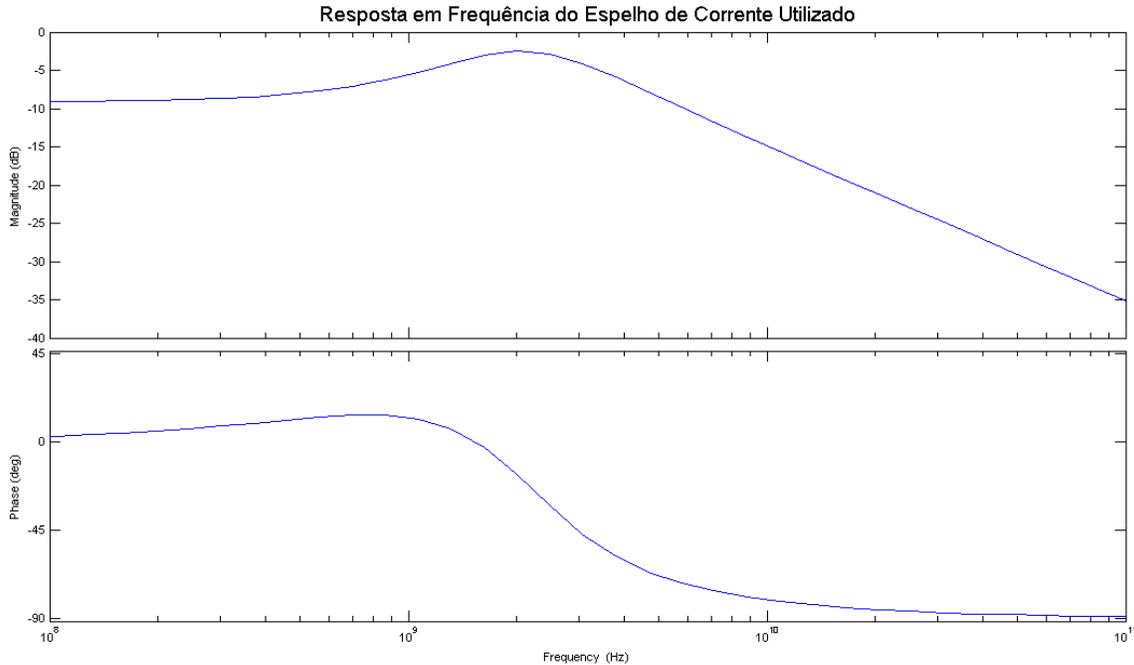


Figura 4.16: Resposta em frequência do espelho de corrente utilizado no transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.

Utilizando a equação completa para a resposta do espelho, ilustrada na Equação 4.23 e, novamente, o programa matemático, foi possível a obtenção dos pólos e zeros da função de transferência completa e compará-los com os do modelo reduzido. O modelo reduzido, resultante da estrutura exposta na Figura 4.9, é mostrado na Figura 4.17 e comparado com o teórico na Figura 4.18. A comparação valida o modelo teórico com êxito na frequências de interesse.

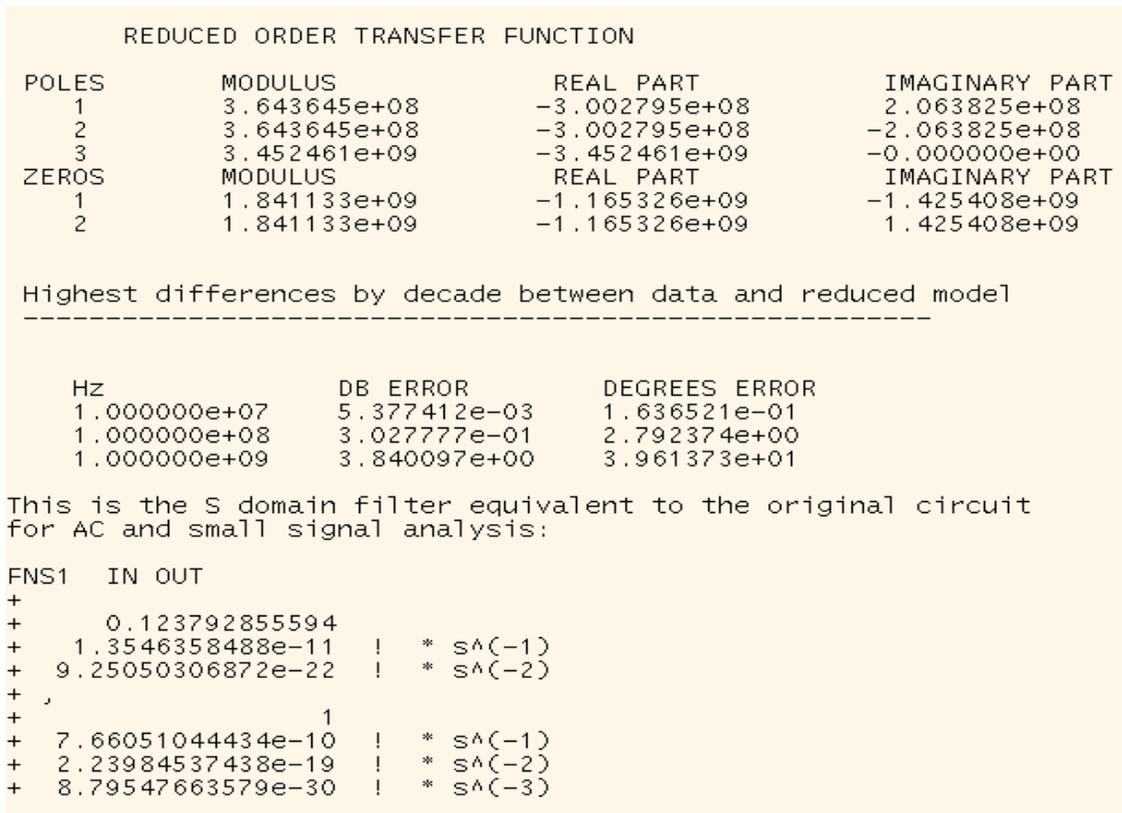


Figura 4.17: Resultado da ferramenta de obtenção de modelo reduzido aplicada ao transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.

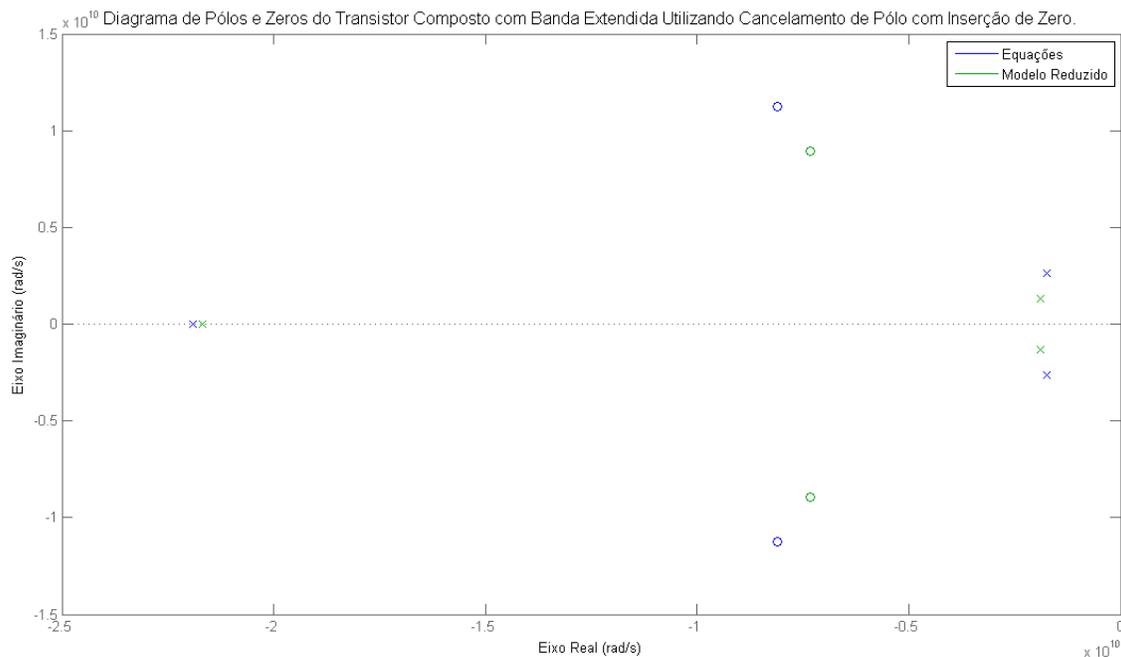


Figura 4.18: Diagrama de pólos e zeros do transistor composto com banda estendida utilizando cancelamento de pólo com inserção de zero.

A comparação entre as respostas em frequência pode ser vista na Figura 4.19. Pode-se observar que o método de extensão de banda utilizando capacitância negativa ativa resultou na possibilidade de operação em frequências 1,78x maiores. O método com cancelamento de pólo, utilizando o zero gerado com a inserção do resistor no espelho de corrente, resultou em 3,25x a banda original. Um sumário comparativo entre as três topologias é apresentado na Tabela 4-4.

Topologia	Frequência -3dB (MHz)	Consumo Total (mA)	Transcondutância Equivalente (mA/V)	Área ($\mu\text{m} \times \mu\text{m}$)
Sem Extensão	102,59	3,78	125,68	105,15 x 61,55
Capacitância Negativa	182,12	5,98	125,68	181,9 x 105,15
Cancelamento de pólo	333,27	3,78	125,68	113,6 x 61,55

Tabela 4-4: Tabela comparativa das estruturas de transistor composto.

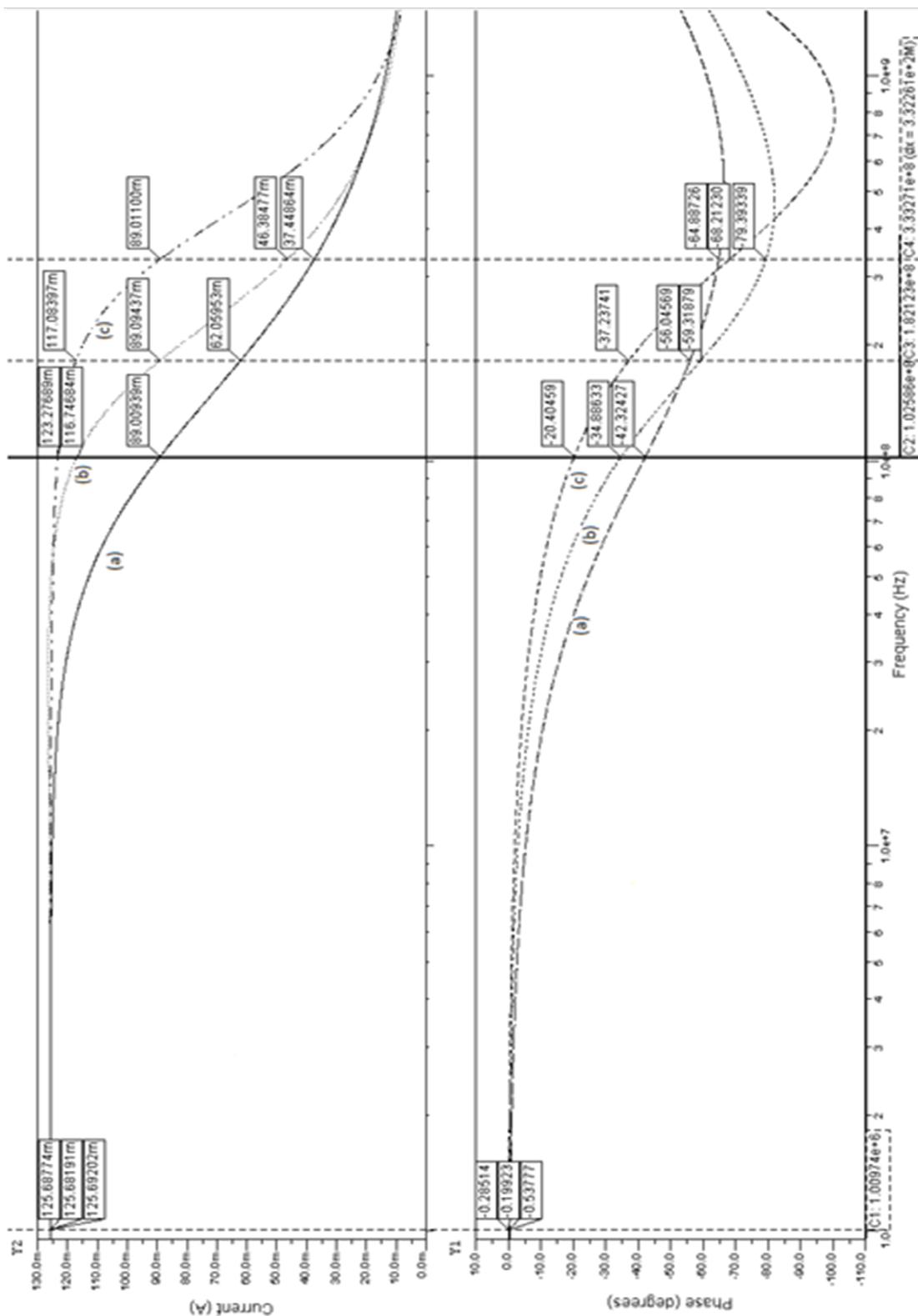


Figura 4.19: Resposta em frequência da transcondutância do transistor composto (a) sem extensão de banda (b) utilizando capacitância negativa (c) com cancelamento de pólo por zero.

Capítulo 5.

PROJETO DO CFA UTILIZANDO A CÉLULA TRANSISTOR COMPOSTO

No Capítulo 3 definimos o consumo máximo para cada topologia de CFA em 15 mA. Visando esse valor, iniciaremos novamente o dimensionamento da topologia básica pelo seguidor de tensão de saída.

5.1 SEGUIDOR DE TENSÃO DE SAÍDA

O seguidor de tensão de saída, para o amplificador de tensão realimentado em corrente utilizando a célula transistor composto, possui os mesmos requisitos do seguidor para o CFA básico. Estes são repetidos aqui para conveniência do leitor:

- 1- Larga resposta em frequência de forma a não interferir na banda do CFA.
- 2- Capacidade de fornecer corrente suficiente a cargas de 50 Ohms em paralelo com 10 pF ao longo da excursão de saída e banda de frequência.
- 3- Suficiente excursão de entrada e saída.
- 4- Reduzido *offset* na cópia da tensão entre entrada e saída.

A Figura 5.1 ilustra o seguidor de tensão de saída, as dimensões dos transistores e os valores típicos de corrente contínua. Novamente, os terminais de entrada e saída são conectados ao terra para ilustrar que as correntes demonstradas correspondem à condição de equilíbrio.

Observando a figura, vemos que o seguidor de tensão utilizado é composto por dois transistores compostos, explicados no Capítulo 4, sofrendo, portanto, a limitação de banda exposta nas Equações 4.4, 4.5, 4.6, 4.12, 4.13 e 4.14. A transcondutância equivalente resultante da soma do transistor composto NMOS e PMOS, junto à capacitância da carga, compõe o quinto pólo da estrutura. O seguidor de tensão deve ser dimensionado levando em conta o compromisso banda-transcondutância da célula transistor composto.

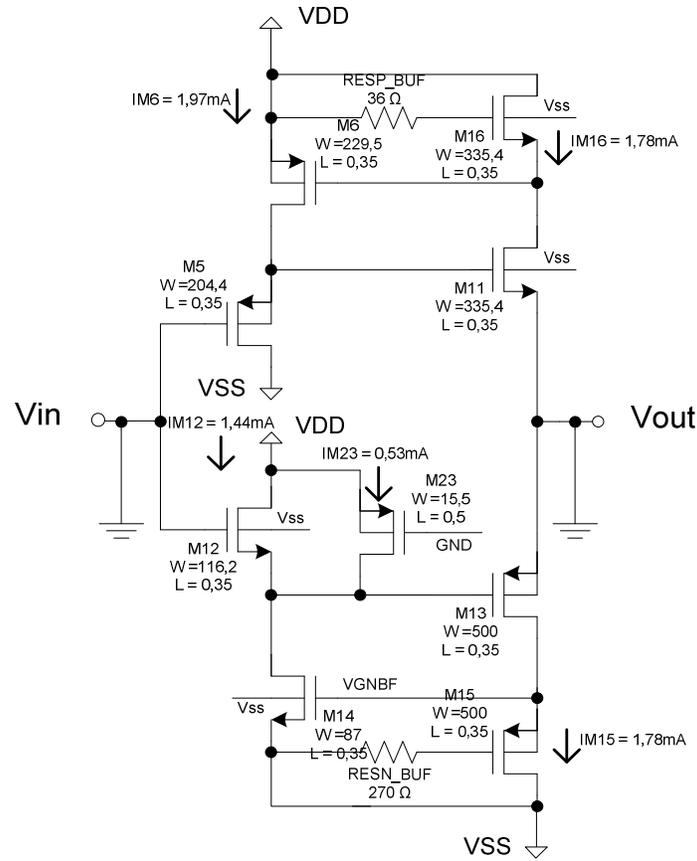


Figura 5.1: Esquemático do seguidor de tensão de saída com dimensões e valores típicos de corrente DC.

Os valores escolhidos de corrente para cada ramo, considerando o compromisso acima proposto, são ilustrados na Figura 5.1.

Em busca de uma melhor capacidade de cancelamento de *offset* do circuito, como explicado no Capítulo 4, o transistor ligado à saída do seguidor de tensão deve possuir dimensões idênticas ao transistor de mesmo tipo no espelho de corrente. Ou seja, M16 e M11, assim como M13 e M15 possuem as mesmas dimensões.

Escolhemos então a tensão entre porta e fonte do transistor M16 igual a 1,10 V. Utilizando a Equação A.10 podemos estimar o aumento da tensão limiar devido ao efeito de corpo, uma vez que, a porta deste transistor está conectada a VDD.

$$V_{th_M16} = 0,5 + 0,58 \cdot \left(\sqrt{|2,2 + 2,0,435|} - \sqrt{|2,0,435|} \right) = 0,975 \text{ V}$$

(5.1)

Uma primeira aproximação das dimensões de M16 e M11 pode ser obtida segundo Equação A.1. Por simulação obtemos as dimensões expostas na Figura 5.1.

Em busca da tensão necessária entre porta e fonte do transistor M11, o aumento da tensão limiar devido ao efeito de corpo, pode ser estimado como segue:

$$V_{th_M11} = 0,5 + 0,58 \cdot \left(\sqrt{|1,65 + 2,0,435|} - \sqrt{|2,0,435|} \right) = 0,88 \text{ V} \quad (5.2)$$

Utilizando a dimensão do transistor M11 e o valor da tensão limiar, obtidas na Equação 5.2, podemos estimar o V_{gs} necessário:

$$V_{gs} = V_{thn} + \sqrt{\frac{I_{DN}}{\frac{1}{2} \cdot K_{PN} \cdot \frac{W_{16}}{L_{16}} \cdot (1 + \lambda_n \cdot V_{ds})}} = 1,01 \text{ V} \quad (5.3)$$

Tendo em vista a corrente escolhida para o ramo dos transistores M6 e M5, assim como as tensões calculadas anteriormente, podemos obter por cálculo uma primeira estimativa das dimensões dos transistores. Por simulação obtemos as dimensões expostas na Figura 5.1.

Com os valores calculados, podemos obter a transcondutância dos transistores segundo as equações expostas no 0. Entretanto, como no Capítulo 4, daremos prioridade à utilização dos valores obtidos no relatório de simulação, utilizando os valores calculados apenas na fase de projeto e concepção da idéia. A Tabela 5-1 ilustra os valores calculados e os fornecidos pelo relatório de simulação:

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório
M5	9,61	9,21	0	0
M6	7,88	8,74	0	0
M11	27,33	18,66	4,99	2,80
M16	28,53	18,88	4,72	2,51

Tabela 5-1: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos componentes do transistor composto tipo N.

Utilizando a Equação 4.27, os valores de transcondutância obtidos no relatório de simulação e o valor de $RESP_BUF$ igual ao inverso da transcondutância de M16, obtêm-se a função de transferência do espelho de corrente superior:

$$H_{cmn}(s) = \frac{8,74E-3}{676E-15} \cdot \frac{1}{s + \frac{18,88E-3 + 2,51E-3}{676E-15}} = 0,409 \cdot \frac{1}{s \cdot 31,6E-12 + 1} \quad (5.4)$$

Vemos, portanto, que a frequência de corte do espelho de corrente está localizada em torno dos 5,03 GHz, ou seja, $\tau_{cmp} = 31,6$ ps.

Utilizando as equações expostas na seção 4.2, podemos obter a transcondutância equivalente e a resposta em frequência resultante para o transistor composto:

$$w_{nn} = \sqrt{\frac{9,21E-3 - 0,409 \cdot 18,66E-3}{194E-15 - 15 \cdot 31,6E-12}} = 16,05 \text{ Grad/s} \quad (5.5)$$

$$\zeta_n = \frac{194E-15 + 9,21E-3 - 3 \cdot 31,6E-12}{2 \cdot 194E-15 - 15 \cdot 31,6E-12 \cdot \sqrt{\frac{9,21E-3 - 0,409 \cdot 18,66E-3}{194E-15 - 15 \cdot 31,6E-12}}} = 2,46 \quad (5.6)$$

Obtemos, portanto, a função de transferência equivalente para a transcondutância do transistor composto tipo N:

$$G_{mn}(s) = \frac{9,21E-3 - 3 \cdot 18,66E-3}{194E-15} \cdot \frac{1}{s + \frac{1}{31,6E-12}} \cdot \frac{1}{s^2 + s \cdot 2 \cdot 2,46 \cdot 16,05E+9 + (16,05E+9)^2} \quad (5.7)$$

Através da Equação 5.7, utilizando a Equação 4.7, e observando que o zero está localizado em alta frequência, calculamos os pólos da equação de segunda ordem:

$$p_{n1} = - \left(2,46 \cdot 16,05E+9 - 16,05E+9 \cdot \sqrt{2,46^2 - 1} \right) = - 3,41 \text{ Grad/s} \quad (5.8)$$

$$p_{n2} = - \left(2,46 \cdot 16,05E+9 + 16,05E+9 \cdot \sqrt{2,46^2 - 1} \right) = - 75,56 \text{ Grad/s} \quad (5.9)$$

Portanto, os pólos estão em 543 MHz e 12,02 GHz aproximadamente. Nota-se também que, a transcondutância equivalente DC é 109 mA/V.

É interessante que a frequência de corte da parte inferior do circuito seja próxima à obtida na Equação 5.8 e, além disso, os transistores M14 e M6 devem possuir exatamente o mesmo valor de corrente. No seguidor de tensão de entrada do circuito, eles serão usados como referência, tendo a corrente espelhada para o nó de ganho. Estas duas características podem ser atendidas apenas com o uso de M23, o qual atua como fonte de corrente, possibilitando o controle independente das transcondutâncias de M14 e M12.

Foi escolhida a tensão entre fonte e porta igual a 0,93 V para o transistor M15, com esta tensão definida, podemos obter facilmente a tensão de dreno fonte de M13 e M15. Como explicado anteriormente, visando melhor casamento, eles devem possuir dimensões iguais. Os valores obtidos por simulação são expostos na Figura 5.1.

Diferenças de V_{ds} resultam em diferentes V_{gs} necessários. Utilizando a Equação A.8 obtemos o valor aproximado necessário de tensão fonte-porta em M13, 0,936 V.

As excursões de entrada/saída podem ser estimadas conforme exposto na seção 2.8.

$$V_H = V_{DD} - V_{ef_M6} - V_{gs_M11} = 1,65 - 0,50 - 1,01 = 0,14 \text{ V} \quad (5.10)$$

$$V_L = -V_{DD} + V_{ef_M14} + V_{sg_M13} = -1,65 + 0,43 + 0,936 = -0,284 \text{ V} \quad (5.11)$$

Visando a simplicidade do projeto, a fonte do transistor M23, utilizado como fonte de corrente, foi conectada à tensão superior de alimentação e a porta conectada ao terra virtual gerado internamente no circuito. Determinadas todas as tensões e utilizando as correntes expostas na Figura 5.1, podemos calcular as dimensões dos demais transistores.

Os valores obtidos por simulação são expostos na Figura 5.1. Assim como feito para a parte superior do circuito, as transcondutâncias podem ser calculadas como primeira aproximação em fase de projeto e valores mais próximos dos reais obtidos no relatório de simulação:

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório
M12	11,72	10,24	2,70	1,86
M13	11,73	13,21	0	0
M14	9,16	9,2	0	0
M15	11,94	13,42	0	0

Tabela 5-2: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos componentes do transistor composto tipo P.

Utilizando a Equação 4.26, as transcondutâncias obtidas no relatório de simulação e o valor de RESN_BUF igual ao inverso da transcondutância de M15, obtêm-se a função de transferência do espelho de corrente superior:

$$H_{\text{cmp}}(s) = \frac{9,2E - 3}{676E - 15} \cdot \frac{1}{s + \frac{13,42E - 3}{675E - 15}} = 0,689 \cdot \frac{1}{s \cdot 50,3E - 12 + 1} \quad (5.12)$$

Vemos, portanto, que a frequência de corte do espelho de corrente está localizada em torno dos 3,16 GHz, ou seja, $\tau_{\text{cmp}} = 50,3$ ps.

Utilizando as equações expostas na seção 4.1, podemos obter a transcondutância equivalente e a resposta em frequência resultante:

$$\omega_{\text{np}} = \sqrt{\frac{(10,24E - 3 + 1,86E - 3) - 0,689 \cdot 13,21E - 3}{189E - 15 \cdot 50,3E - 12}} = 17,7 \text{ Grad/s} \quad (5.13)$$

$$\zeta_p = \frac{189E - 15 + (10,24E - 3 + 1,86E - 3) \cdot 50,3E - 12}{2 \cdot 189E - 15 \cdot 50,3E - 12 \cdot \sqrt{\frac{(10,24E - 3 + 1,86E - 3) - 0,689 \cdot 13,21E - 3}{189E - 15 \cdot 50,3E - 12}}} = 2,36 \quad (5.14)$$

Obtemos, portanto, a função de transferência equivalente para a transcondutância do transistor composto tipo P:

$$G_{mp}(s) = \frac{10,24.13,21E - 3}{189E - 15} \cdot \frac{s + \frac{1}{50,3E - 12}}{s^2 + s.2.2,36.17,7E + 9 + (17,7E + 9)^2}$$
(5.15)

Através da Equação 5.15, utilizando a Equação 4.7, e observando que o zero está localizado em alta frequência, calculamos os pólos da equação de segunda ordem:

$$p_{p1} = - \left(2,36.17,7E + 9 - 17,7E + 9. \sqrt{2,36^2 - 1} \right) = - 3,9 \text{ Grad/s}$$
(5.16)

$$p_{p2} = - \left(2,36.17,7E + 9 + 17,7E + 9. \sqrt{2,36^2 - 1} \right) = - 79,6 \text{ Grad/s}$$
(5.17)

Portanto, os pólos estão em 620 MHz e 12,6 GHz aproximadamente. Nota-se também que, a transcondutância equivalente DC é 44,4 mA/V.

Vê-se, portanto, que os objetivos do dimensionamento foram atingidos, uma vez que, a frequência de corte esta próxima à do transistor composto tipo N e a corrente de M14 é igual à de M6.

Utilizando as transcondutâncias equivalentes obtidas, calcula-se facilmente a resistência DC de saída do CFA:

$$R_{out} = \frac{1}{109E - 3 + 44,4E - 3} = 6,52 \Omega$$
(5.18)

Vemos pelo posicionamento dos pólos dos transistores compostos N e P, que as funções de transferências poderiam, com razoável precisão, ser aproximadas pelas Equações 5.19 e 5.20:

$$G_{mn}(s) = 109E - 3. \frac{1}{s.293,26E - 12 + 1}$$
(5.19)

$$G_{mp}(s) = 44,4E - 3. \frac{1}{s.256,41E - 12 + 1}$$
(5.20)

Utilizando estas aproximações, é possível obter o valor do pólo de saída notando que este é composto pela associação da soma das transcondutâncias equivalentes com a capacitância da carga, 10 pF. Portanto:

$$w_p = \left(\left| 44,4E - 3 \cdot \frac{1}{i \cdot w_p \cdot 256,41E - 12 + 1} \right| + \left| 109E - 3 \cdot \frac{1}{i \cdot w_p \cdot 293,26E - 12 + 1} \right| \right) \cdot \frac{1}{10E - 12} \quad (5.21)$$

Resolvendo numericamente esta equação, obtemos que, o pólo estará localizado na frequência 6,96 Grad/s, ou seja, aproximadamente 1,1 GHz.

5.2 SEGUIDOR DE TENSÃO DE ENTRADA

O seguidor de entrada, assim como para o CFA básico, deve possuir as mesmas características do localizado junto à saída. A Figura 5.2 ilustra a célula, junto com o ramo de ganho do CFA.

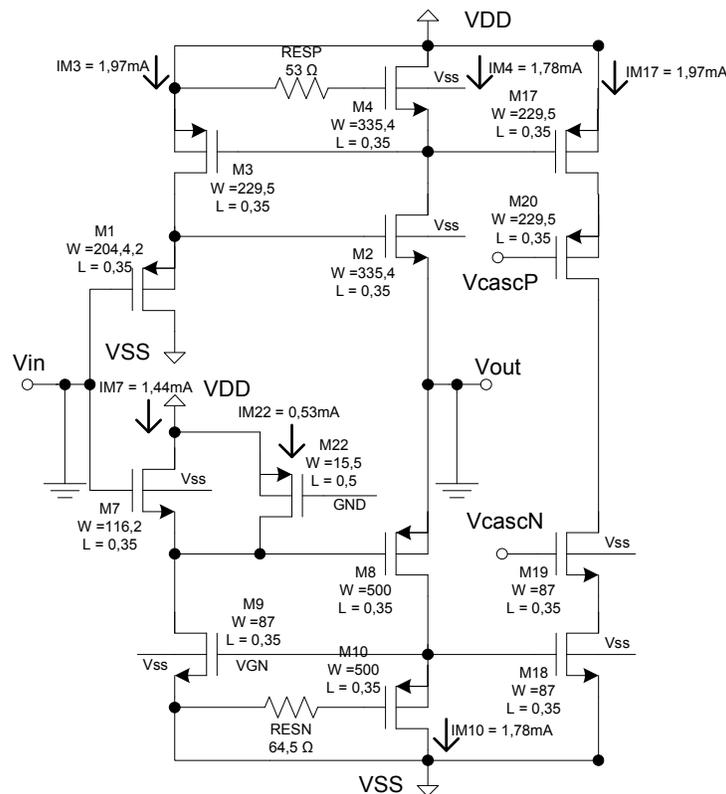


Figura 5.2: Esquemático do seguidor de tensão de entrada e ramo de ganho com dimensões e valores típicos de corrente DC.

Observamos que, os transistores M18 e M17 são utilizados para impor corrente proporcional à da entrada não inversora ao nó de ganho. Entretanto, o acréscimo destes transistores inclui maior capacitância parasita junto às fontes de M10 e M4. Devemos, portanto, recalcular a resposta em frequência e verificar se esta ainda atende os requisitos de projeto. As funções de transferência da seção 5.1 podem ser calculadas novamente como segue:

$$H_{cmn}(s) = \frac{8.74E - 3}{900E - 15} \cdot \frac{1}{s + \frac{18,88E - 3 + 2,51E - 3}{900E - 15}} = 0,409 \cdot \frac{1}{s \cdot 42,0E - 12 + 1} \quad (5.22)$$

$$w_{nn} = \sqrt{\frac{9,21E - 3 - 0,409 \cdot 18,66E - 3}{194E - 15 \cdot 42,0E - 12}} = 13,92 \text{ Grad/s} \quad (5.23)$$

$$\zeta_n = \frac{194E - 15 + 9,21E - 3 \cdot 42,0E - 12}{2 \cdot 194E - 15 \cdot 42,0E - 12 \cdot \sqrt{\frac{9,21E - 3 - 0,409 \cdot 18,66E - 3}{194E - 15 \cdot 42,0E - 12}}} = 2,56 \quad (5.24)$$

Obtemos, portanto, a função de transferência equivalente para a transcondutância do transistor composto tipo N:

$$G_{mn}(s) = \frac{9,21E - 3 \cdot 18,66E - 3}{194E - 15} \cdot \frac{1}{s + \frac{1}{42,0E - 12}} \cdot \frac{1}{s^2 + s \cdot 2 \cdot 2,56 \cdot 13,92E + 9 + (13,92E + 9)^2} \quad (5.25)$$

Estando os pólos localizados em:

$$p_{n1} = - \left(2,56 \cdot 13,92E + 9 - 13,92E + 9 \cdot \sqrt{2,56^2 - 1} \right) = - 2,83 \text{ G} \frac{\text{rad}}{\text{s}} \quad (5.26)$$

$$p_{n2} = - \left(2,56 \cdot 13,92E + 9 + 13,92E + 9 \cdot \sqrt{2,56^2 - 1} \right) = - 68,44 \text{ Grad/s} \quad (5.27)$$

Portanto, os novos pólos estão em 450 MHz e 10,89 GHz, aproximadamente. Nota-se também que, a transcondutância equivalente DC não foi alterada, sendo seu valor

44,4 mA/V. Vemos que houve uma redução de mais de 90 MHz na banda da transcondutância, como analisando no Capítulo 2, a resposta em frequência do espelho tem influência significativa na banda do transistor composto. Entretanto, o valor obtido não invalida o projeto.

Seguindo o mesmo procedimento para o transistor composto tipo P, obtemos:

$$H_{\text{cmp}}(s) = \frac{9,2\text{E} - 3}{780\text{E} - 15} \cdot \frac{1}{s + \frac{13,42\text{E} - 3}{780\text{E} - 15}} = 0,689 \cdot \frac{1}{s \cdot 58,1\text{E} - 12 + 1} \quad (5.28)$$

$$w_{\text{np}} = \sqrt{\frac{(10,24\text{E} - 3 + 1,86\text{E} - 3) - 0,689 \cdot 13,21\text{E} - 3}{189\text{E} - 15 \cdot 58,1\text{E} - 12}} = 16,53 \text{ Grad/s} \quad (5.29)$$

$$\zeta_p = \frac{189\text{E} - 15 + (10,24\text{E} - 3 + 1,86\text{E} - 3) \cdot 58,1\text{E} - 12}{2 \cdot 189\text{E} - 15 \cdot 58,1\text{E} - 12 \cdot \sqrt{\frac{(10,24\text{E} - 3 + 1,86\text{E} - 3) - 0,689 \cdot 13,21\text{E} - 3}{189\text{E} - 15 \cdot 58,1\text{E} - 12}}} = 2,46 \quad (5.30)$$

Obtemos, portanto, a função de transferência equivalente para a transcondutância do transistor composto tipo P:

$$G_{\text{mp}}(s) = \frac{10,24 \cdot 13,21\text{E} - 3}{189\text{E} - 15} \cdot \frac{s + \frac{1}{58,1\text{E} - 12}}{s^2 + s \cdot 2 \cdot 2,46 \cdot 16,53\text{E} + 9 + (16,53\text{E} + 9)^2} \quad (5.31)$$

O novo posicionamento dos pólos é encontrado como segue:

$$p_{p1} = - \left(2,46 \cdot 16,53\text{E} + 9 - 16,53\text{E} + 9 \cdot \sqrt{2,46^2 - 1} \right) = - 3,51 \text{ Grad/s} \quad (5.32)$$

$$p_{p2} = - \left(2,46 \cdot 16,53\text{E} + 9 + 16,53\text{E} + 9 \cdot \sqrt{2,46^2 - 1} \right) = - 77,82 \text{ Grad/s} \quad (5.33)$$

Observamos que a frequência de -3dB do transistor composto tipo P, do seguidor de entrada, está localizado em 559 MHz. Como era de se esperar a transcondutância DC permaneceu 44,4 mA/V.

A resistência DC na entrada inversora do CFA não foi alterada em relação ao seguidor de tensão de saída, portanto:

$$R_{inv} = R_{out} = \frac{1}{109E-3 + 44,4E-3} = 6,52 \Omega \quad (5.34)$$

A aproximação para encontrar o pólo de saída, proposta na seção 5.1, resulta em:

$$w_p = \left(\left| 44,4E-3 \cdot \frac{1}{i \cdot w_p \cdot 284,9E-12 + 1} \right| + \left| 109E-3 \cdot \frac{1}{i \cdot w_p \cdot 353,36E-12 + 1} \right| \right) \cdot \frac{1}{10E-12} \quad (5.35)$$

Resolvendo para w_p , obtêm-se o pólo de saída em 6,48 Grad/s, ou seja, em 1,03 GHz. Vemos, portanto, que a alteração dos pólos em geral não invalidou o projeto.

5.3 GANHO

Analogamente ao exposto na seção 3.4, aplicando as mesmas condições de projeto, pode-se calcular a resistência equivalente conectada ao nó de ganho do CFA:

$$R_z = R_p // R_n \quad (5.36)$$

onde,

$$R_p = (r_{ds20} + r_{ds17}) \cdot (1 + (g_{m20} + g_{mb20}) \cdot (r_{ds20} // r_{ds17})) \quad (5.37)$$

$$R_n = (r_{ds19} + r_{ds18}) \cdot (1 + (g_{m19} + g_{mb19}) \cdot (r_{ds19} // r_{ds18})) \quad (5.38)$$

Utilizando as equações expostas no 0, como primeira aproximação em fase de projeto, e os valores expostos no relatório de simulação, são obtidos os valores da Tabela 5-3:

Transistor	g_m (mA/V) Calculado	g_m (mA/V) Relatório	g_{mb} (mA/V) Calculado	g_{mb} (mA/V) Relatório	g_{ds} (μ A/V) Calculado	g_{ds} (μ A/V) Relatório
M17	7,88	8,89	0	0	327	533
M18	9,16	9,17	0	0	180	244
M19	9,26	9,43	2,13	1,76	177	231
M20	10,38	9,25	1,71	1,46	307	449

Tabela 5-3: Transcondutâncias, obtidas por cálculo e relatório de simulação, dos transistores do ramo de ganho.

Substituindo os valores do relatório nas Equações 5.36, 5.37 e 5.38, concluímos que o valor da resistência equivalente é 39,52 K Ω .

Com este valor de resistência, o ganho em malha aberta pode ser calculado, observando que uma pequena variação de tensão entre as entradas inversora e não inversora, resultará em uma corrente sobre R_z igual a:

$$\Delta i = (g_{mN} \cdot h_N) \cdot \Delta v - g_{mP} \cdot h_P \cdot (-\Delta v) = (g_{mN} \cdot h_N + g_{mP} \cdot h_P) \cdot \Delta v \quad (5.39)$$

Diferentemente do CFA básico, o espelho de corrente utilizado não possui fator de transferência unitário. Por isso, foi necessário a inclusão deste fator na Equação 5.39.

A corrente imposta na resistência do nó de ganho resulta em uma variação de tensão dada por:

$$\Delta v_o = R_z \cdot \Delta i = R_z \cdot (g_{mN} \cdot h_N + g_{mP} \cdot h_P) \cdot \Delta v = G \cdot \Delta v \quad (5.40)$$

onde G representa o ganho em malha aberta:

$$G = R_z \cdot (g_{mN} \cdot h_N + g_{mP} \cdot h_P) \quad (5.41)$$

Portanto, o ganho de malha aberta será:

$$G = 39,52E + 3. (109E - 3.0,409 + 44,4E - 3.0,689) \cong 2971 \text{ V/V} \quad (5.42)$$

Este valor equivale a 69,46 dB de ganho, sendo este valor excelente para o projeto.

5.4 CIRCUITO DE INICIALIZAÇÃO

É condição estável dos seguidores de tensão, ilustrados na Figura 5.1 e Figura 5.2, corrente nula em ambos os ramos. Com isso, é necessário garantir que o circuito seja inicializado.

O circuito de inicialização, com as dimensões dos transistores e valores de capacitâncias, é ilustrado na Figura 5.3. A função deste é fornecer, durante a inicialização, corrente aos espelhos inferiores dos seguidores de tensão de forma a evitar que o equilíbrio seja encontrado com correntes nulas através dos transistores.

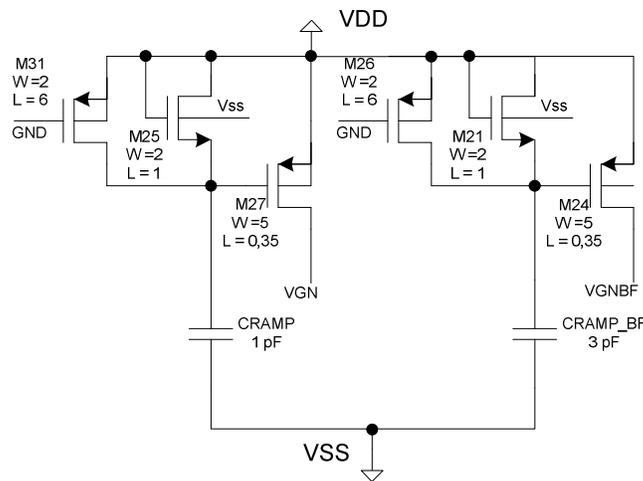


Figura 5.3: Esquemático do circuito de inicialização.

Ao ser imposto a tensão de VDD ao circuito, as capacitâncias possuem inicialmente tensão nula entre seus terminais. Com isso, a diferença de tensão entre os terminais de alimentação aparecem integralmente como tensão de porta-fonte dos transistores M25 e M21, fazendo com que estes conduzam correntes e carreguem as capacitâncias CRAMP e CRAMP_BF, respectivamente. As diferenças, entre a tensão de VDD e as dos terminais positivos das capacitâncias, controlam a corrente fornecida pelos transistores M27 e M24 aos espelhos. Esta corrente irá diminuir à medida que os capacitores são carregados.

Quando as diferenças, entre VDD e a tensão nos terminais positivos dos capacitores, atinge a tensão limiar dos transistores PMOS os transistores M25 e M21 param de fornecer corrente aos capacitores. É necessário que as tensões de porta de M27 e M24 se igualem às

tensões de fonte, de forma a garantir que estes não interfiram no circuito. Faz-se necessário, portanto, o acréscimo dos transistores M31 e M26 que utilizam a tensão GND, neste momento já estabilizada, para fornecer a carga restante aos capacitores.

Observa-se que, as dimensões dos transistores, que inicializam os seguidores de tensão de entrada e de saída, são iguais. A diferença no tempo de atuação é controlada pelos valores das capacitâncias. O tempo de inicialização da célula conectada à saída é feito maior que o da entrada, pois, este tem como tensão de entrada a do nó de ganho, que por sua vez depende das correntes presentes no seguidor de tensão de entrada.

5.5 CIRCUITO COMPLETO

A Figura 5.4 ilustra o circuito completo com as correntes e tensões de polarização sendo geradas internamente ao circuito integrado. As dimensões dos componentes e as correntes em cada ramo são ilustradas como referência. Será omitido a descrição detalhada das polarizações por estar fora do foco central do trabalho.

As correntes de referência e tensões de referência foram obtidas de forma análoga à explicada na seção 3.5.

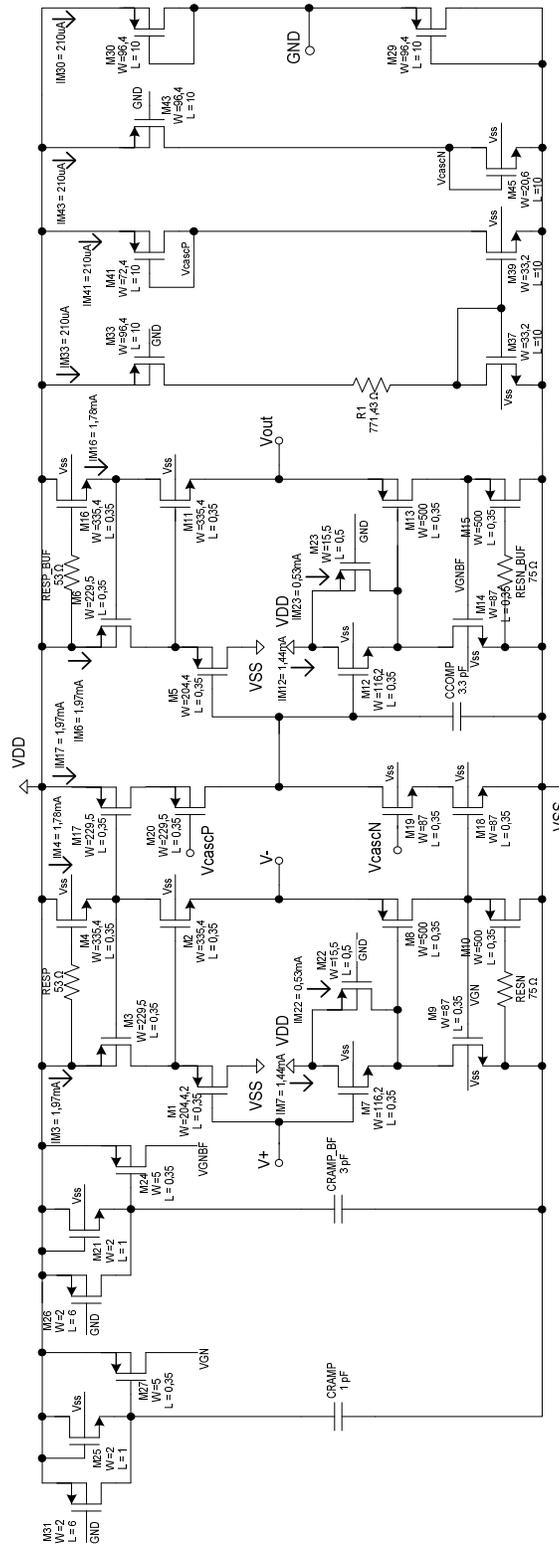


Figura 5.4: Esquemático completo do amplificador com realimentação em corrente utilizando a célula transistor composto.

5.6 RESPOSTA EM FREQUÊNCIA

Utilizando as Equações 2.23, 2.29 e 2.30 obtidas no Capítulo 2, podemos calcular a resposta em frequência esperada do CFA. Foi utilizado capacitância extra de 3,3 pF, conectada ao nó de ganho, visando a compensação em frequência. Assim como no CFA básico, optou-se por aumentar a capacitância do nó de ganho, em vez de elevar excessivamente a resistência de realimentação, devido à influência do zero na função de transferência resultante da capacitância ligada à entrada inversora, segundo explicado na seção 2.5. A compensação em frequência foi otimizada para o uso de 500 Ohms como resistência de realimentação.

$$A = \left(1 + \frac{500}{R_1} + \frac{6,52}{R_1} \right) \quad (5.43)$$

$$R_f' = 6,52 + 500 + A \cdot 6,52 \quad (5.44)$$

$$H(s) \cong A \cdot \frac{1}{s \cdot 5,2E - 12 \cdot R_f' + 1} \quad (5.45)$$

Com as equações acima podemos estimar as resistências R_1 para determinar os ganhos desejados e as frequências de corte.

Ganho (dB)	R_1 (Ω)	R_f' (Ω)	Frequência de -3dB CFA com transistores compostos (MHz)	
			Calculada	Simulada
4	866	517	59,22	33,23
6	509	520	58,91	32,27
8	335	523	58,53	31,53
10	234	527	58,06	30,76
12	170	532	57,48	30,21
14	126	539	56,76	29,30
16	95	548	55,89	28,59
18	73	558	54,82	27,67
20	56	572	53,53	27,07

Tabela 5-4: Frequências de -3dB, calculadas e simuladas, para diferentes ganhos do CFA básico.

A diferença entre os valores calculados e simulados pode ser explicada pelos mesmos fatores expostos para o caso do CFA básico na seção 3.6. Entretanto, neste a redução é mais drástica, pois, os pólos secundários estão em mais baixa frequência.

Capítulo 6.

RESULTADOS EXPERIMENTAIS

Neste capítulo será ilustrado a estrutura de testes utilizada junto com os resultados obtidos. As medidas são comparadas com o esperado segundo simulações originando discussões sobre as características dos circuitos.

6.1 O CIRCUITO INTEGRADO

Os circuitos projetados nos capítulos 3 e 5 foram fabricados utilizando tecnologia CMOS padrão com canal mínimo de $0,35\ \mu\text{m}$ da *foundry* Austriamicrosystems. A Figura 6.1 mostra a micrografia do circuito integrado fabricado.

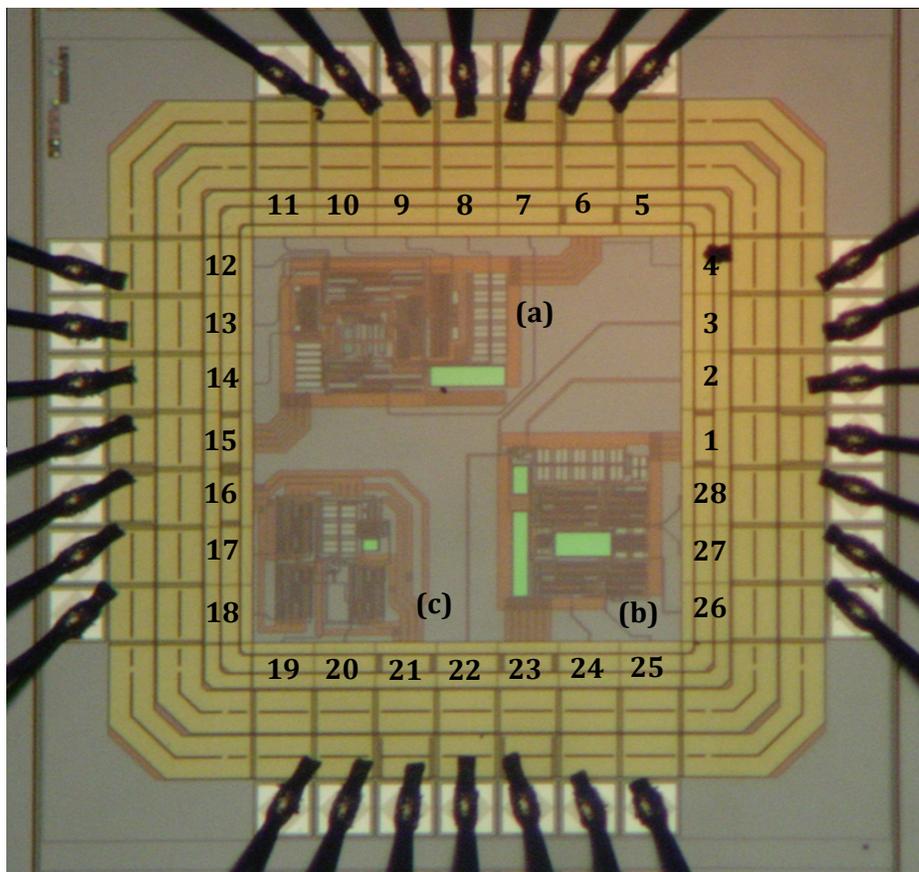


Figura 6.1: Micrografia do circuito integrado produzido. (a) CFA básico (b) CFA utilizando a célula transistor composto. (c) Estruturas de teste.

Na Figura 6.2 é apresentado o *layout* detalhado do CFA básico. São demarcadas as principais estruturas conforme esquemático exposto na Figura 3.3.

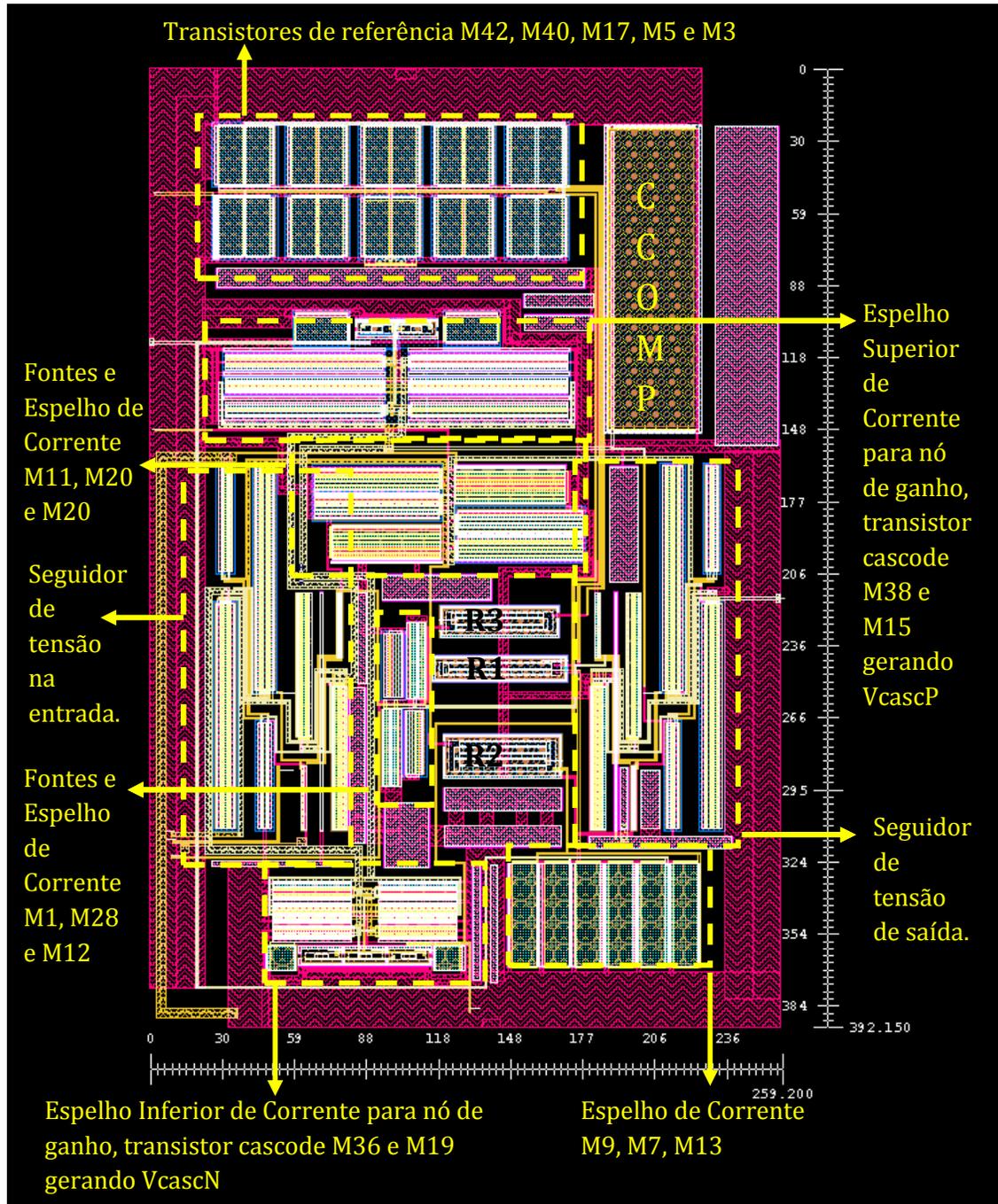


Figura 6.2: *Layout* detalhado do amplificador com realimentação em corrente básico.

Foi priorizado no *layout* o casamento de correntes e de tensões porta-fonte colocando os transistores em configuração intercalada, denominada *cross-quad*, ou centróide comum. Entretanto, a eficiência deste método para casamento de tensões porta-fonte é limitada

quando utilizados transistores complementares, NMOS e PMOS. Seria ideal realizar o casamento entre transistores de mesmo tipo como M12-M4, M16-M6, M8-M14, M2-M10, etc.. Entretanto, devido à presença de efeito de corpo e diferentes dimensões de componentes similares, este casamento também seria ineficiente.

Conexões de substrato com a tensão inferior de alimentação foram realizadas nos espaços vagos do *layout* e próximo aos componentes. Com isso, busca-se garantir que este fique equipotencial e propagação de ruídos seja diminuída.

Buscou-se reduzir o comprimento e largura das trilhas com capacitâncias críticas. Em todas as trilhas, assim como nos drenos e fontes, foi observada a dimensão mínima para os níveis operacionais de corrente acrescentando margem de segurança de 30%.

Na Figura 6.3 é exposto o *layout* detalhado do CFA com transistores compostos estando demarcadas as principais estruturas conforme esquemático exposta na Figura 5.4. No *layout* do CFA utilizando a célula de transistor composto, foram aplicadas as mesmas técnicas e considerações expostas para o amplificador básico.

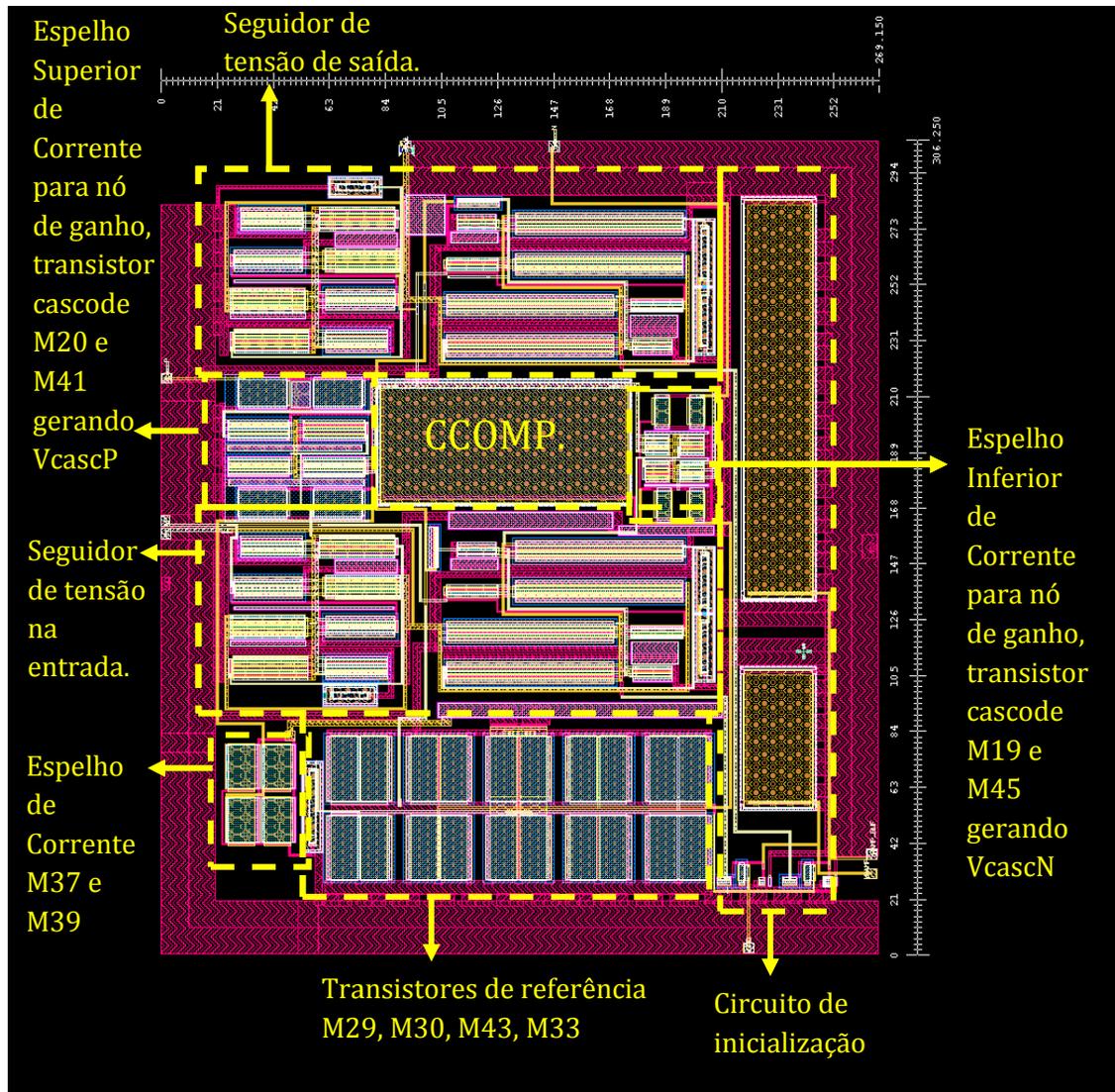


Figura 6.3: *Layout* detalhado a amplificador com realimentação em corrente utilizando a célula transistor composto.

6.2 ESTRUTURA PARA MEDIDAS

O encapsulamento DIP28 utilizado nos disponibilizou 28 pinos de acesso, os quais são listados e descritos na Tabela 6-1 com descrição e valores típicos DC do projeto.

Pino	Nome	Descrição	Valor Típico
1	VDD	Alimentação do CFA com transistores compostos	1,6500
2	VGND_COUM	Terra do CFA com transistores compostos	0,0000
3	VRAMP_COUM	Tensão em rampa do circuito de inicialização do CFA com transistores compostos	1,6500

4	N.C.	Não conectado	1,6500
5	N.C.	Não conectado	1,6500
6	VDD	Alimentação do CFA básico	1,6500
7	Vout_REG	Saída do CFA básico	0,0000
8	VGND_REG	Terra do CFA básico	0,0000
9	VcascP_REG	Tensão de polarização do transistor cascode PMOS do CFA básico	-0,5417
10	VBPBF_REG	Tensão de polarização da fonte de corrente PMOS dos seguidores de tensão no CFA básico	0,6000
11	VM_REG	Entrada inversora do CFA básico	0,0000
12	VP_REG	Entrada não inversora do CFA básico	0,0000
13	VBNBF_REG	Tensão de polarização da fonte de corrente NMOS dos seguidores de tensão no CFA básico	-0,7000
14	VcascN_REG	Tensão de polarização do transistor cascode NMOS do CFA básico	0,1409
15	VSS	Alimentação do CFA básico	-1,6500
16	VSS	Alimentação das estruturas de teste	-1,6500
17	Vout_NMC_TS	Saída do transistor composto com capacitância negativa	0,0000
18	Vout_TS	Saída do transistor composto simples	0,0000
19	Vin_TS	Entrada para todos os transistores compostos de teste	0,0000
20	Vout_RES_TS	Saída do transistor composto com resistência para extensão de banda	0,0000
21	VDD	Alimentação das estruturas de teste	1,6500
22	VRAMP_BUF_COU M	Tensão em rampa do circuito de inicialização do seguidor de tensão da saída do CFA com transistores compostos	1,6500
23	VSS	Alimentação do CFA com transistores compostos	-1,6500
24	VcascN_COUM	Tensão de polarização do transistor cascode NMOS do CFA com transistores compostos	0,1243
25	Vout_COUM	Saída do CFA com transistores compostos	0,0000
26	VcascP_COUM	Tensão de polarização do transistor cascode PMOS do CFA com transistores compostos	-0,1592
27	VP_COUM	Entrada não inversora do CFA com transistores compostos	0,0000
28	VM_COUM	Entrada inversora do CFA com transistores compostos	0,0000

Tabela 6-1: Pinos do encapsulamento com descrição e valores típicos do projeto.

Baseado na lista de pinos e necessidades para as medidas foi desenvolvido a placa de testes ilustrada na Figura 6.4. A explicação do esquemático foge do escopo desse trabalho, entretanto é exposto como referência na Figura 6.5.

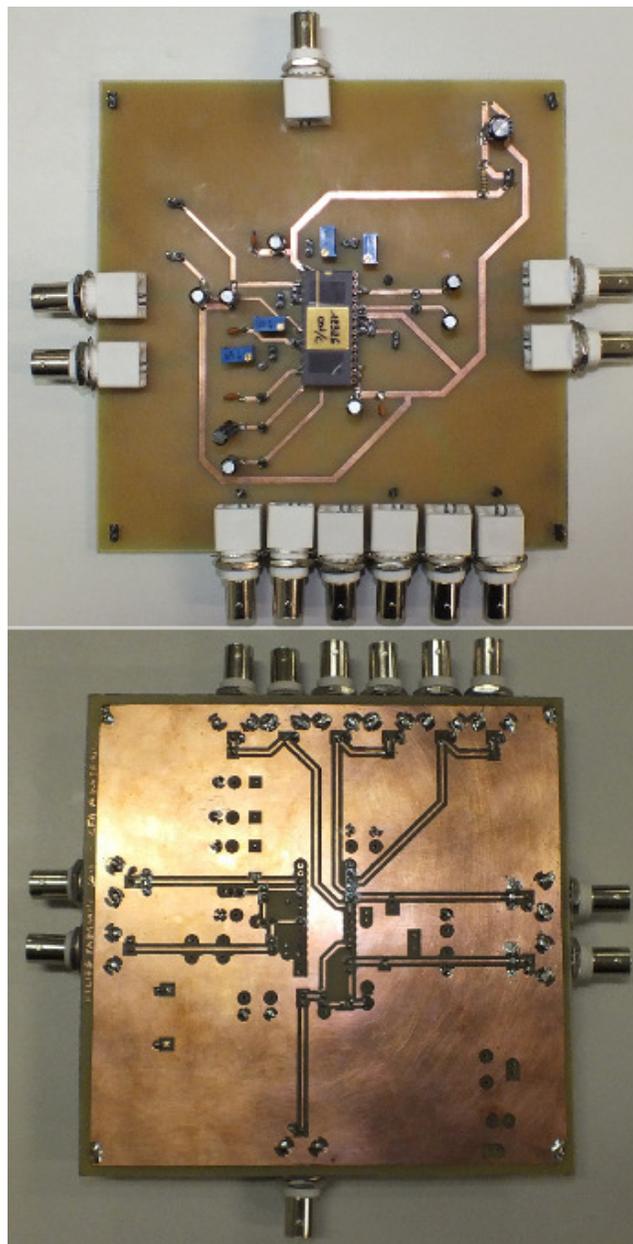


Figura 6.4: Placas de circuito impresso confeccionadas para realização das medidas.

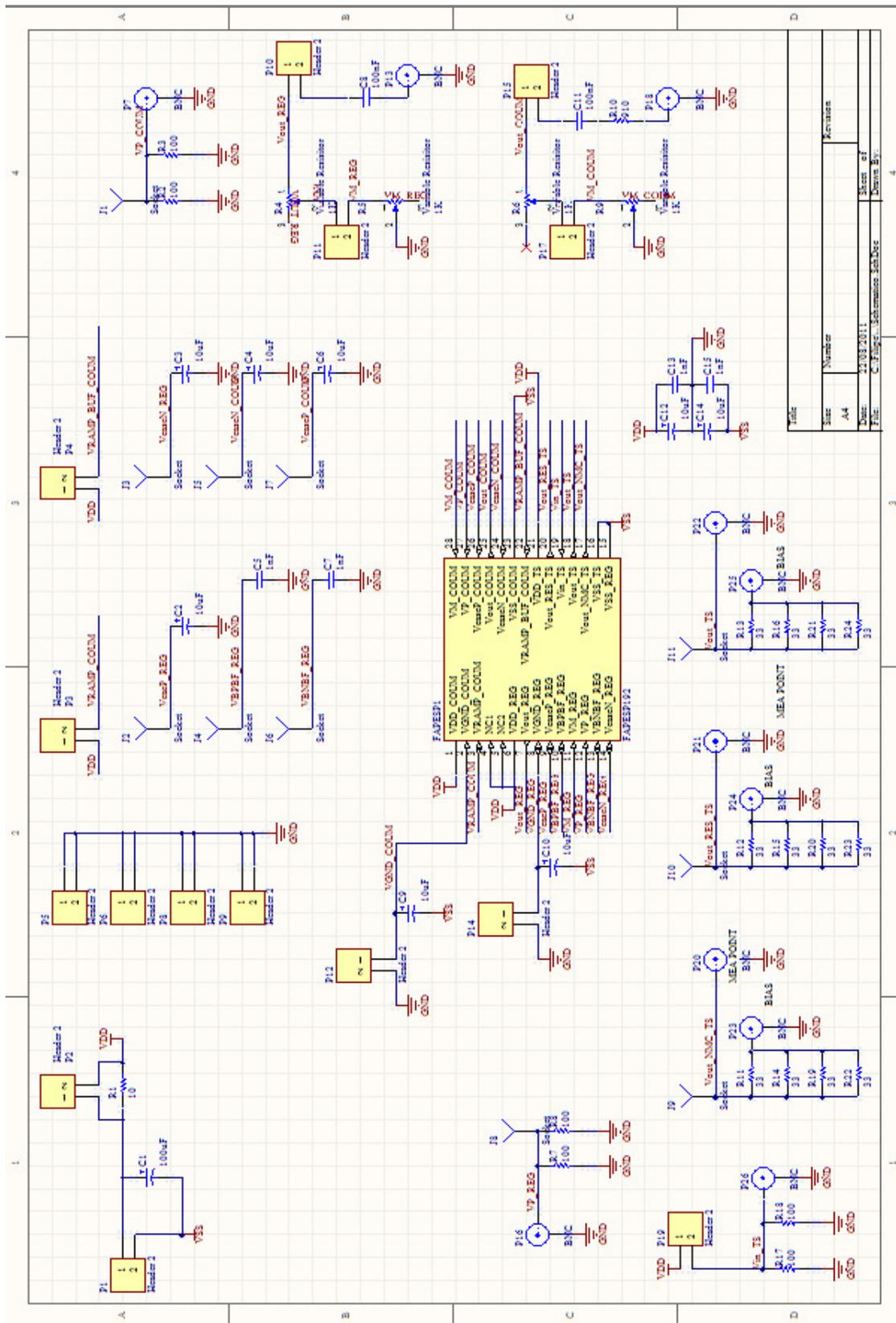


Figura 6.5 : Esquemático da placa de circuito impresso confeccionadas para realização das medidas.

As medidas de cinco amostras foram conduzidas utilizando os equipamentos, listados abaixo, disponíveis no Laboratório de Pesquisa Magneti-Marelli da Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas (Unicamp):

- Multímetro ICEL MD-6450.
- Fonte de Alimentação Minipa MPC-3003D.
- Fonte de Alimentação Programável Tektronix PS2520G .
- Fonte Universal e Gerador Arbitrário de Funções HP 3245A.
- Osciloscópio Digital Tempo-Real 400MHz Tektronix TDS460A.
- Gerador de Função/Pulso 50MHz HP 8116A.
- Analisador de Parâmetros de Semicondutores HP 4155A.
- Analisador de Espectro/Rede HP 4195A.
- Gerador de Função/Pulso 300MHz HP8130A.

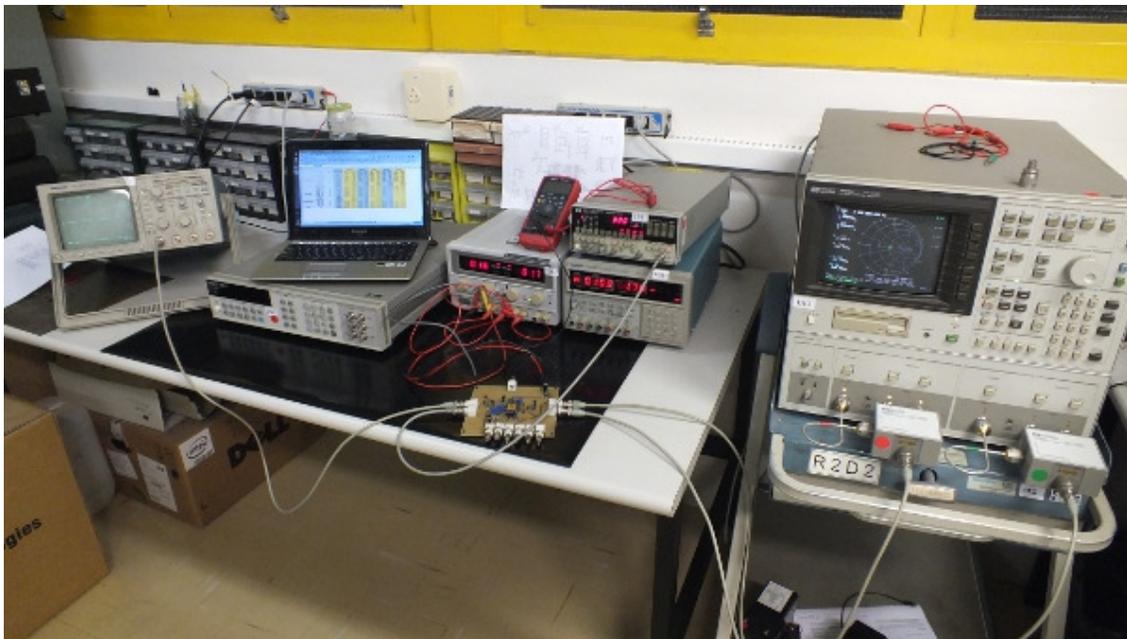


Figura 6.6: Equipamentos utilizados para as medidas em bancada.

6.3 EXCURSÃO DE ENTRADA / SAÍDA

Utilizando o analisador de parâmetros de semicondutores HP 4155A e resistores para implementar a malha de realimentação, impondo ganho de 20 dB, foi variada a tensão de entrada e medido a excursão da saída. Tendo em vista a simetria das estruturas, é sabido que a excursão de entrada e saída são iguais. No caso do CFA Básico a entrada foi variada entre -1,65 V e 1,65 V. O resultado de simulação está exposto na Figura 6.7 e o de medida na Figura 6.8.

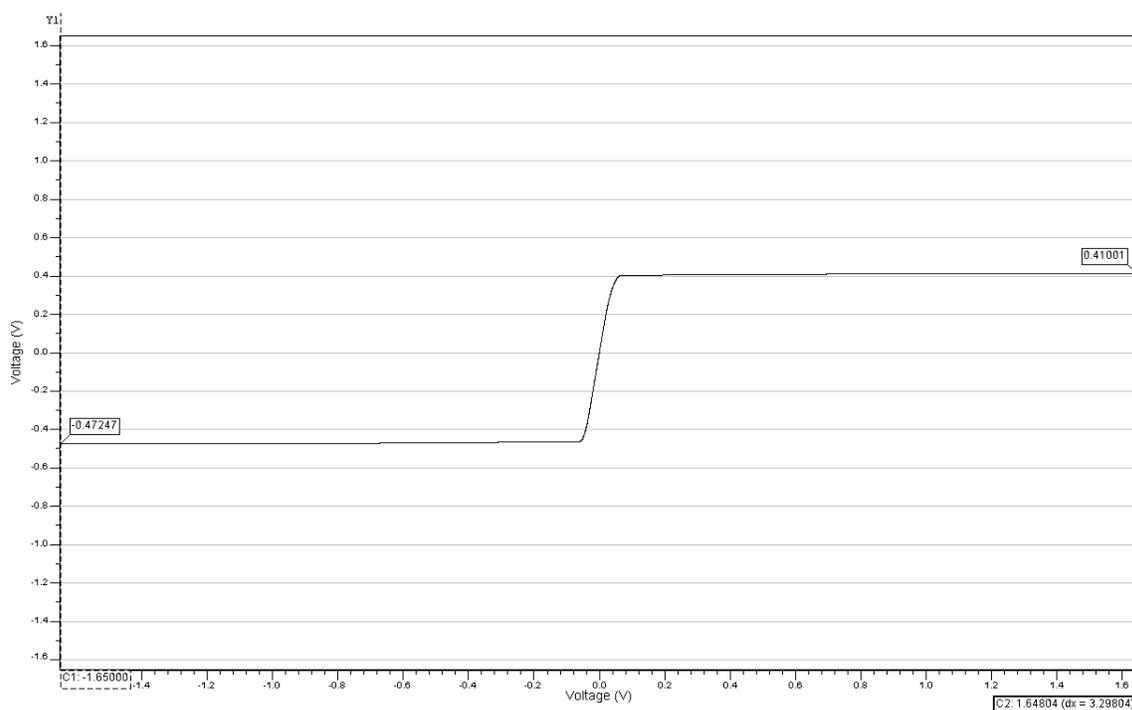


Figura 6.7: Simulação excursão de entrada/saída do CFA básico com marcadores sinalizando mínimo e máximo da excursão.

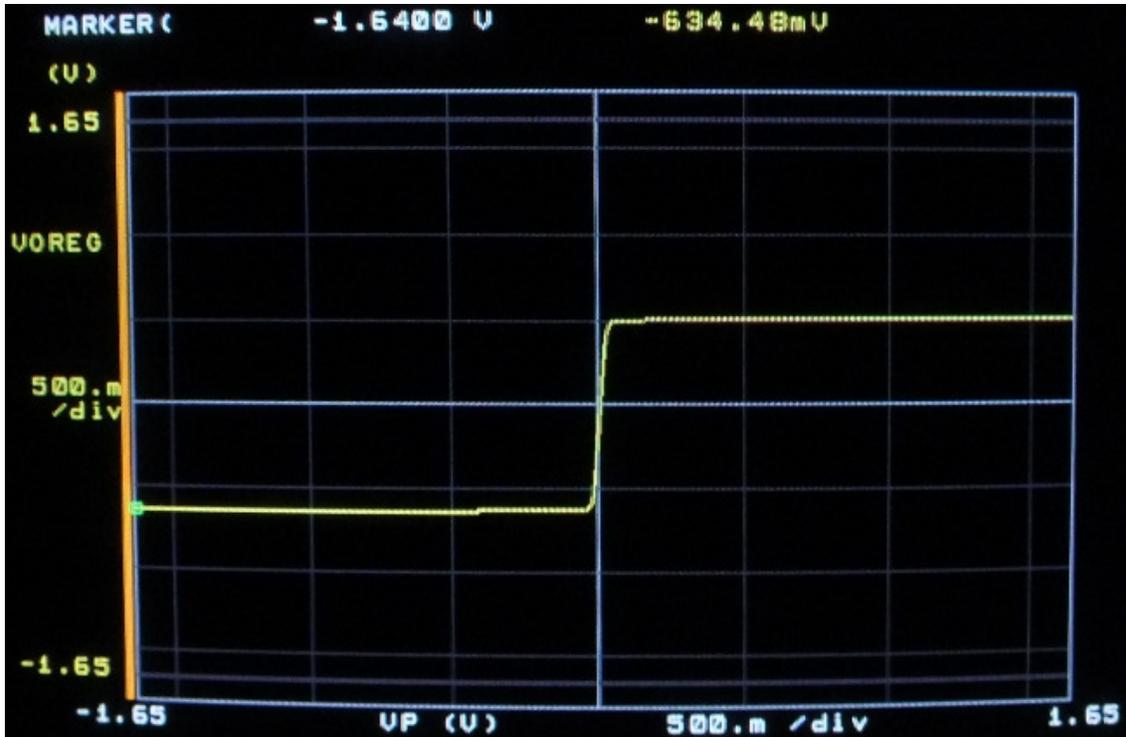


Figura 6.8: Medida de excursão de entrada/saída do CFA básico com marcador sinalizando o mínimo da excursão.

Observa-se pelos resultados que houve expansão da excursão em relação ao valor de projeto. O valor esperado era $-0,47\text{ V}$ até $0,41\text{ V}$ enquanto o medido foi $-0,63\text{ V}$ até $0,51\text{ V}$, apresentando, portanto, uma variação significativa. Isto ocorreu devido à baixa qualidade da corrente de referência desenvolvida. A utilização da corrente passante por dois transistores ligados como diodos, entre as tensões de alimentação, como referência, resulta em grande variação com o processo, tensão e temperatura. Tentou-se no projeto evitar a necessidade de polarizações externas, entretanto verificou-se que fontes de referência e de corrente de melhor qualidade são vitais ao projeto de forma a evitar as variações observadas. Essa observação é verificada na Figura 6.9 onde o resultado de simulações de *corners* é ilustrado. *Corners* são conjuntos de parâmetros extremos do processo, dentro da variação esperada na fabricação. Usualmente definidos como típico (TT), pior potência (WP), pior velocidade (WS), pior nível lógico "1" (WO) e pior nível lógico "0" (WZ).

A comparação entre os *corners* e a excursão de entrada / saída obtida nos indica que houve uma redução da corrente de polarização em relação ao valor de projeto. Com isso, há uma diminuição nas tensões porta-fonte e conseqüente aumento de excursão de entrada/saída.

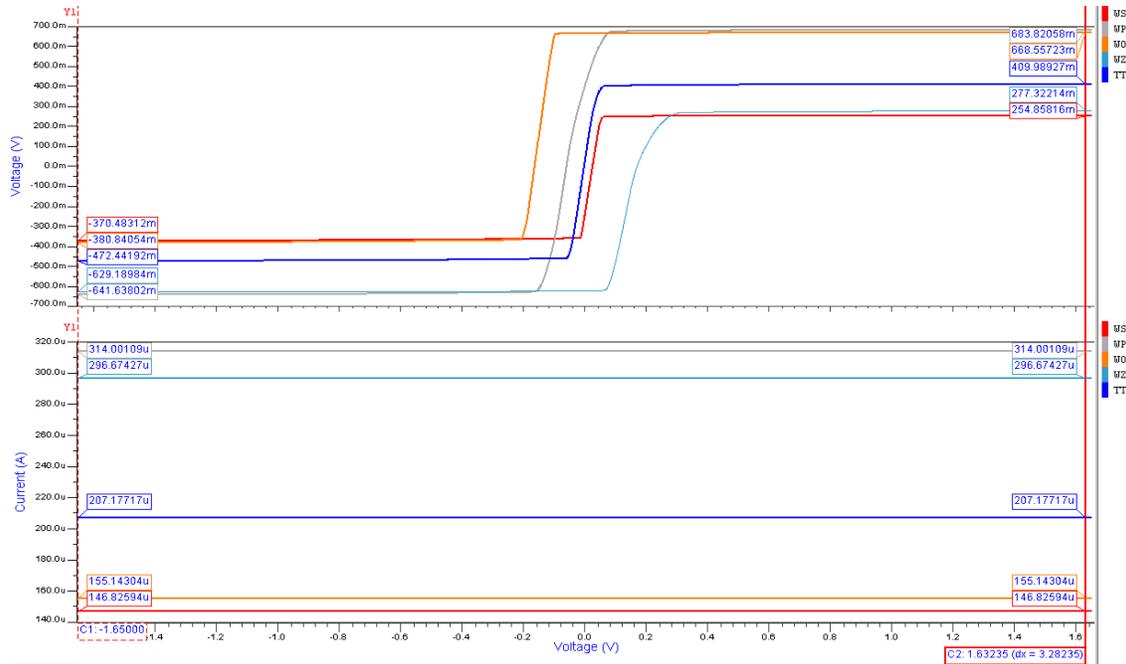


Figura 6.9: Variação da excursão de entrada (gráfico superior) e da corrente de polarização (gráfico inferior) em simulação de *corners*.

No caso do CFA com transistores compostos a entrada foi variada somente entre -0,51 V e 0,51 V devido a restrições quanto à inicialização do circuito. O resultado de simulação está exposto na Figura 6.10 e o de medida na Figura 6.11.

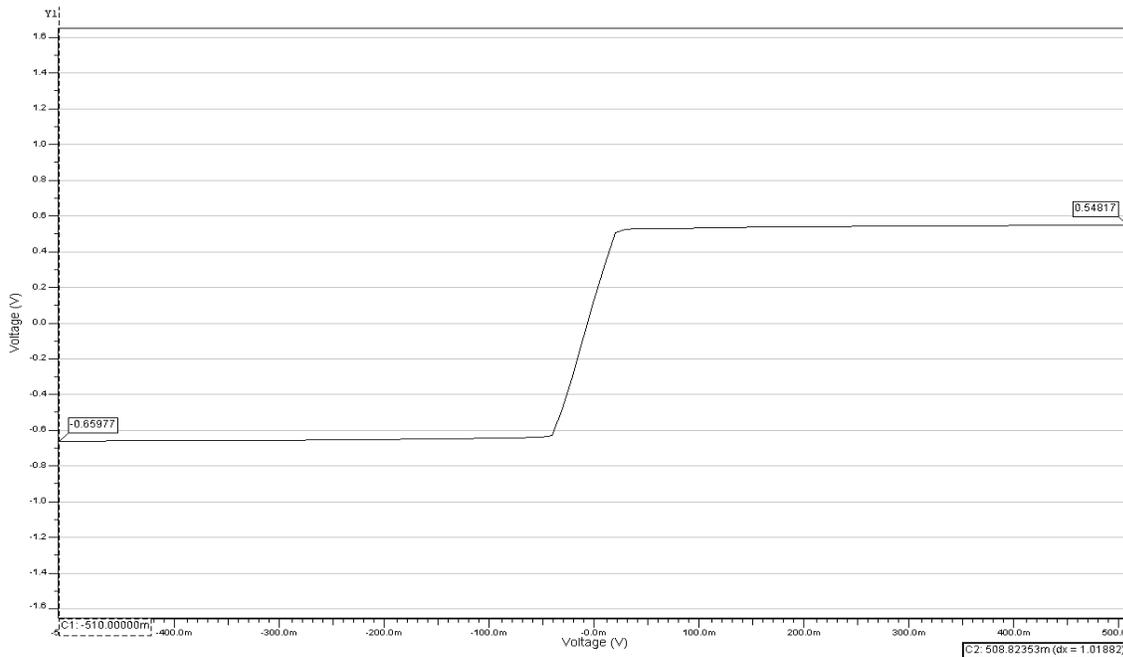


Figura 6.10: Simulação excursão de entrada/saída do CFA com transistores compostos. Marcadores sinalizando mínimo e máximo da excursão.

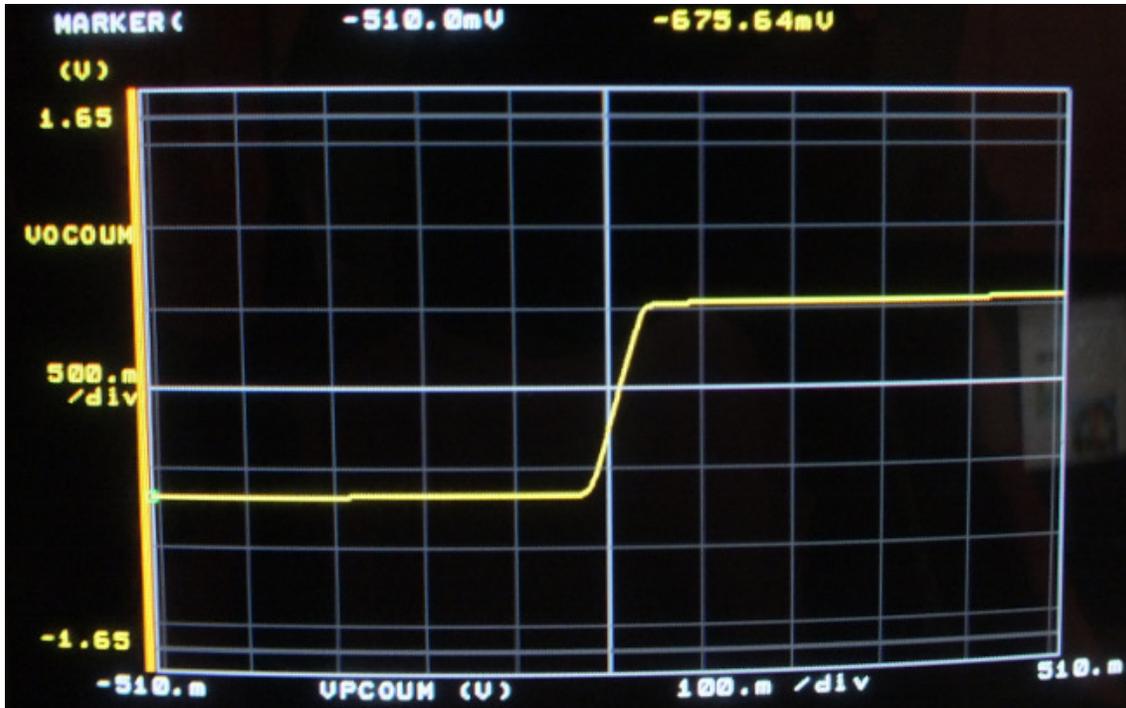


Figura 6.11: Medida de excursão de entrada/saída do CFA com transistores compostos. Marcador sinalizando o mínimo da excursão.

Verificou-se que para o Amplificador com Realimentação em corrente utilizando transistores compostos a excursão de entrada/saída foi próxima ao valor de projeto. O valor esperado era -0,66 V até 0,55 V enquanto o medido foi -0,68 V até 0,54 V. Mesmo não alterando significativamente a excursão, nada se pode afirmar, por enquanto, sobre a variação de corrente, pois, pequenas variações de tensão resultam em grandes variações de corrente devido à realimentação interna da estrutura.

6.4 OFFSET

Normalmente, um amplificador operacional tem seu *offset* medido através da diferença de tensão entre as entradas inversoras e não inversoras quando em configuração seguidor de tensão e realimentação unitária. Entretanto, isto não é possível para amplificadores realimentados em corrente devido à impossibilidade da realimentação unitária.

É possível realizar a medida do *offset* de um CFA observando que independentemente da malha de realimentação a Equação 6.1 é sempre válida.

$$V_o = G. (v_+ - v_-)$$

(6.1)

Na equação acima V_o , G , v_+ e v_- , representam a tensão de saída, o ganho em malha aberta, a tensão na entrada não inversora e inversora, respectivamente. Utilizando o *offset* equivalente refletido para a entrada não inversora, temos:

$$V_o = G. (v_p + v_{off} - v_-) \quad (6.2)$$

$$V_o = G.v_{off} + G. (v_p - v_-) \quad (6.3)$$

Onde v_p é a tensão física imposta na entrada não inversora livre de *offset*. Realizando a varredura de tensão em torno do ponto de equilíbrio e medindo ambas as tensões presentes na entrada do CFA podemos subtrair dois pontos medidos de forma que:

$$\Delta V_o = G. \Delta (v_p - v_-) \quad (6.4)$$

Na Equação (6.4) é assumido que o *offset* e o ganho em malha aberta são constantes. Com esta equação o valor do ganho pode ser obtido. Substituindo-o na Equação 6.3 o valor do *offset* pode ser obtido. Utilizando o procedimento acima descrito foram obtidos os seguintes valores -16,72 mV e -11,06 mV para o CFA básico e com transistores compostos, respectivamente.

6.5 RESPOSTA EM FREQUÊNCIA

A configuração de analisador de rede do equipamento HP 4195A nos permite traçar o diagrama de Bode dos amplificadores. Este equipamento possui entradas e saídas com impedância de 50 Ohms, por tanto, se deve atentar para o casamento de impedâncias.

Nas figuras abaixo serão demonstradas as medidas e simulações utilizando os ganhos 6, 10, 16 e 20 dB. No final da seção uma visão geral do comportamento ganho x resposta em frequência é ilustrado através de medidas e simulação que unem vários diferentes ganhos na mesma imagem. As frequências de corte, para estes e demais ganhos de malha fechada utilizados, são expostas na Tabela 6-2 e Tabela 6-3, para o CFA básico e com transistores compostos respectivamente. Nos resultados das medidas a linha amarela representa a curva com o ganho descrito no título da figura e a marrom representa, para referência, a medida com 6 dB de ganho. O marcador é utilizado para demarcar a frequência de corte com o ganho escolhido.

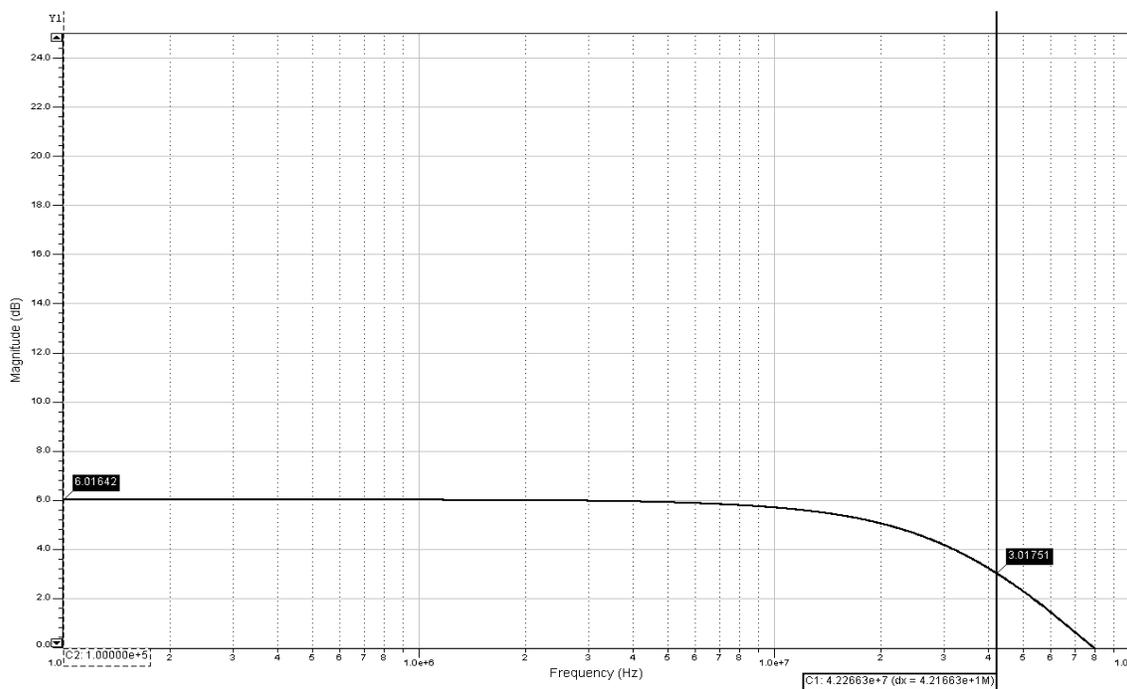


Figura 6.12: Simulação da resposta em frequência do CFA básico. $G = 6$ dB, $f_{-3dB} = 42,27$ MHz.

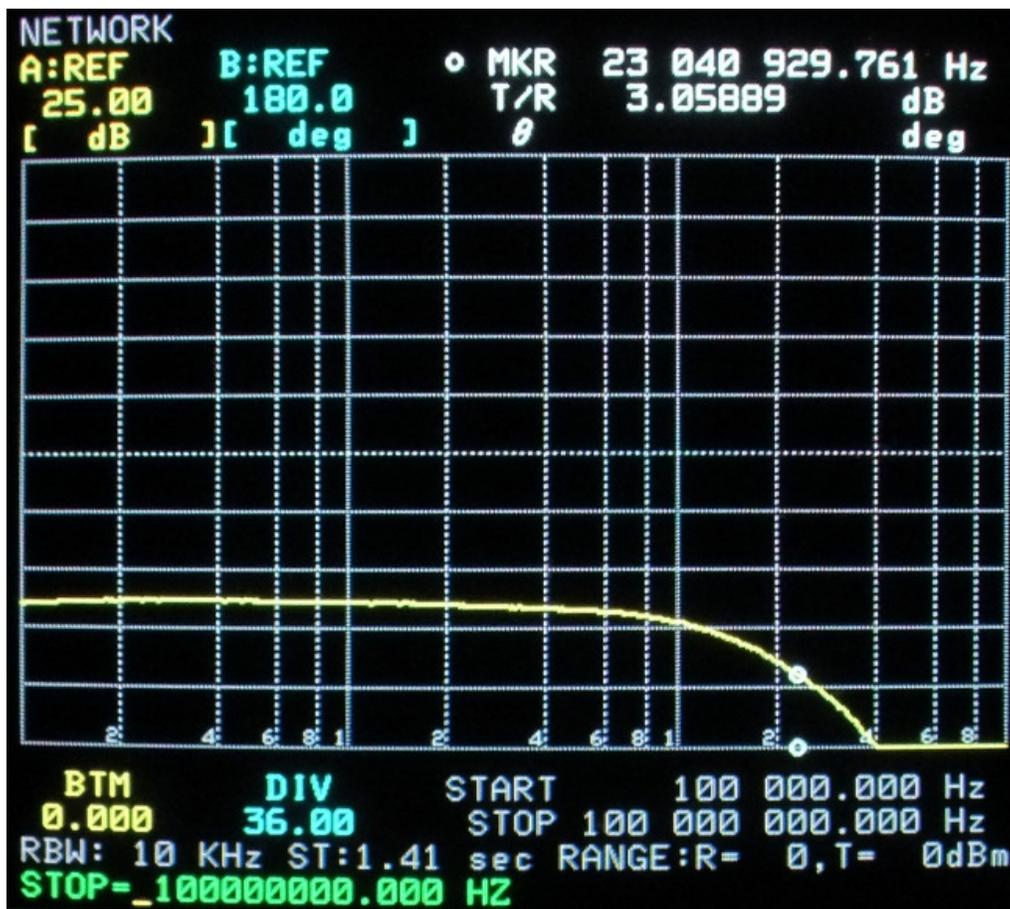


Figura 6.13: Medida da resposta em frequência do CFA básico. $G = 6$ dB, $f_{-3dB} = 23,04$ MHz.

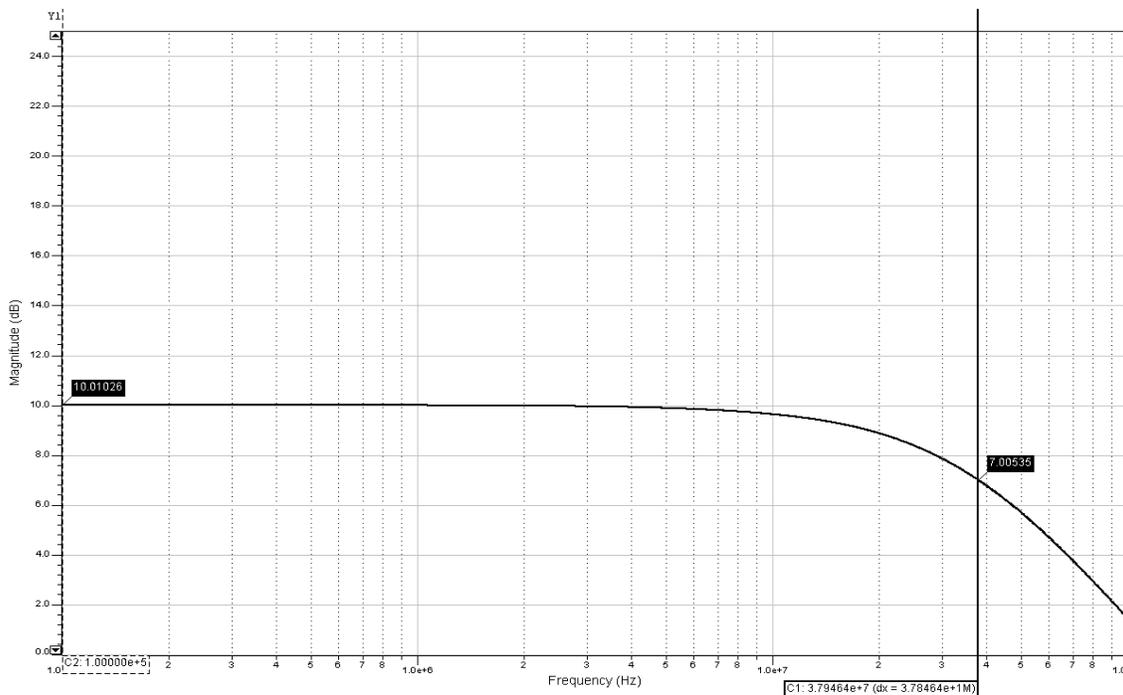


Figura 6.14: Simulação da resposta em frequência do CFA básico. $G = 10$ dB, $f_{-3dB} = 37,94$ MHz.

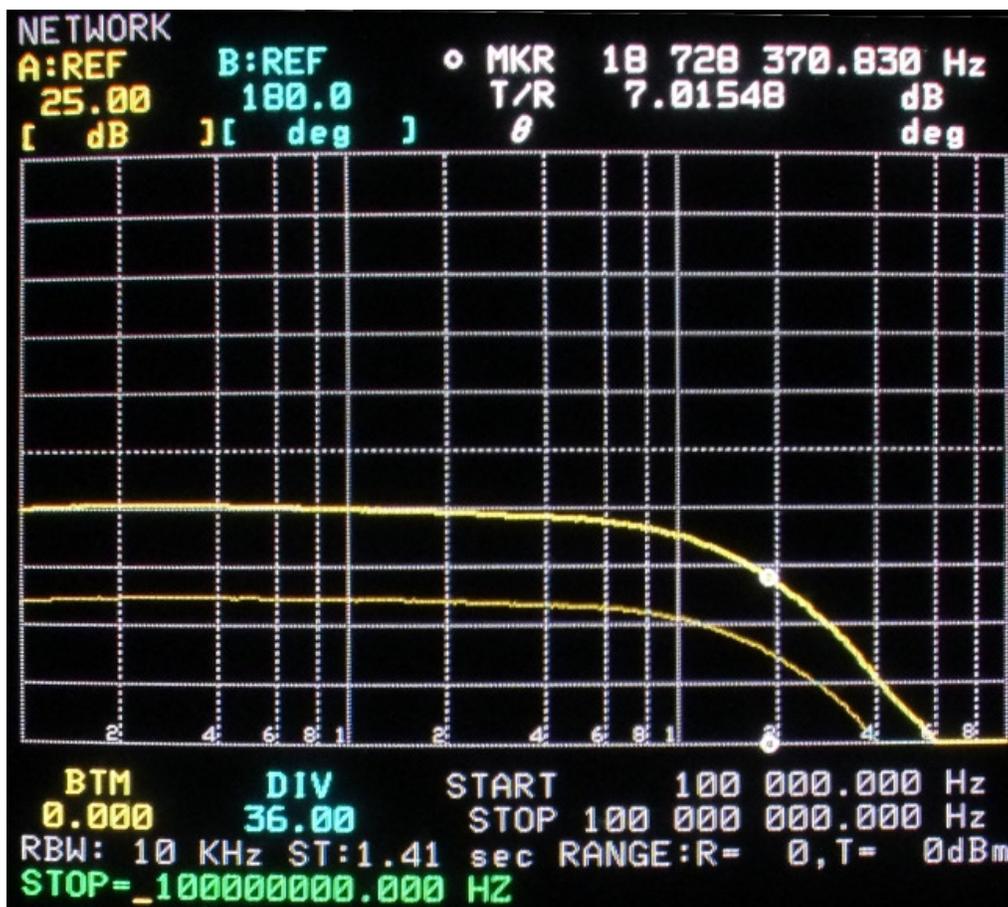


Figura 6.15: Medida da resposta em frequência do CFA básico. $G = 10$ dB, $f_{-3dB} = 18,73$ MHz.

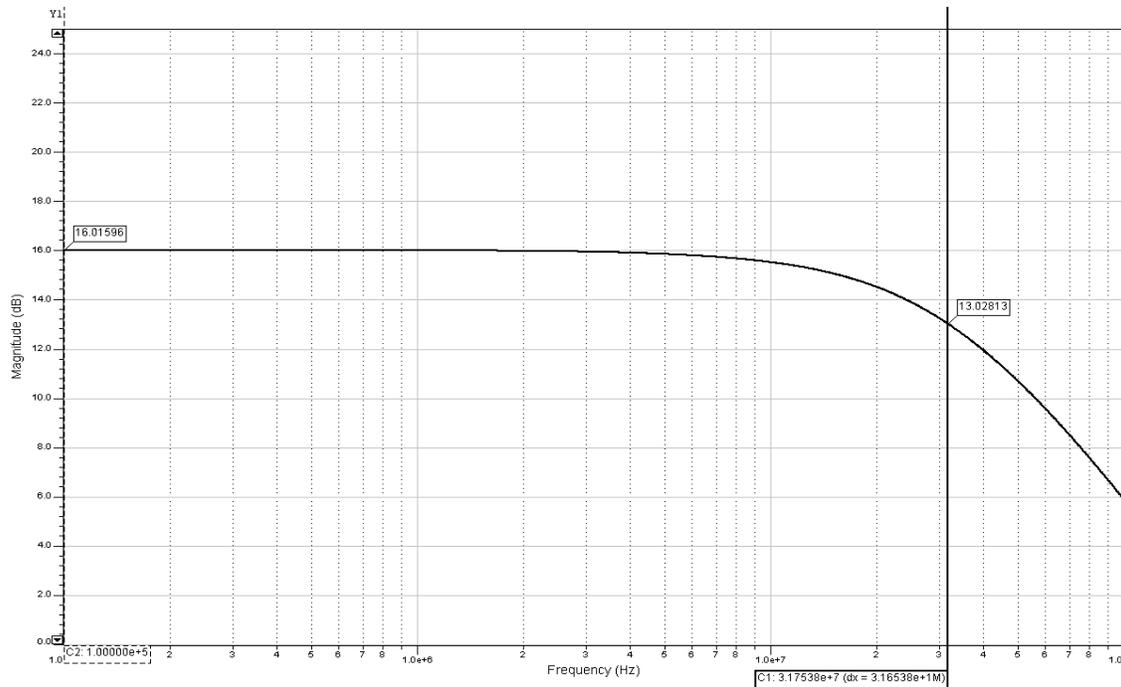


Figura 6.16: Simulação da resposta em frequência do CFA básico. $G = 16$ dB, $f_{-3dB} = 31,65$ MHz.

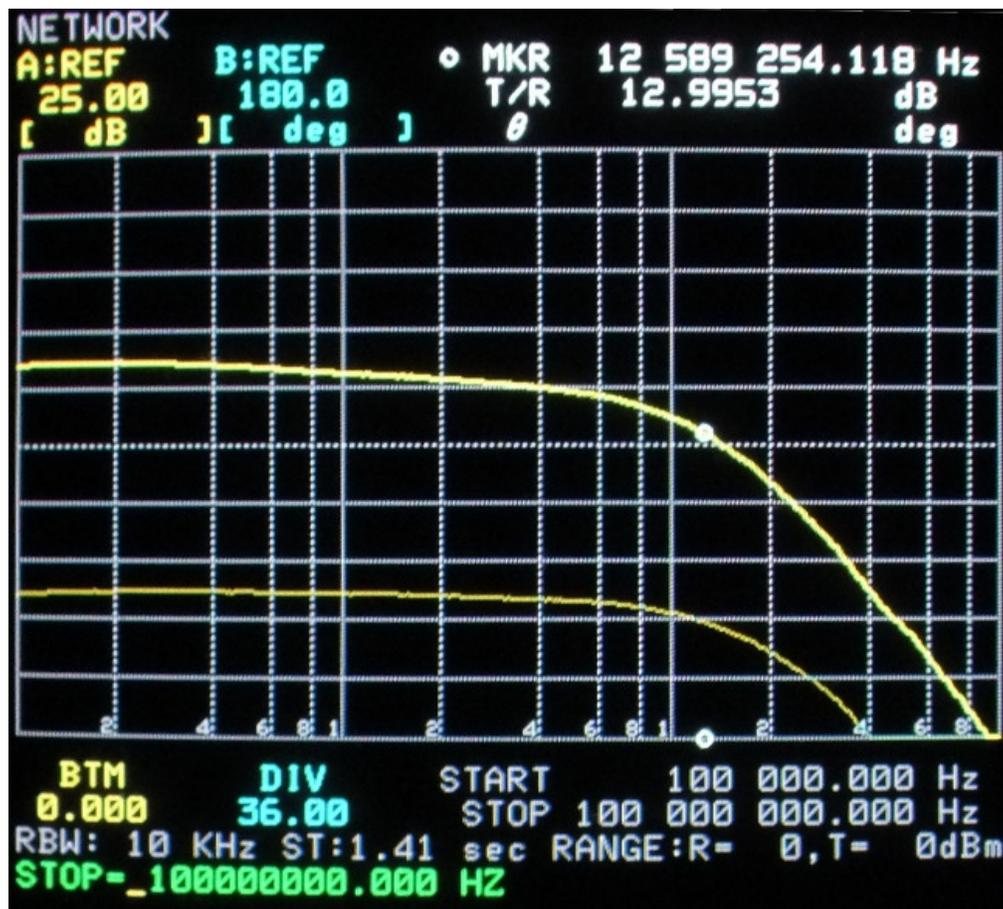


Figura 6.17: Medida da resposta em frequência do CFA básico. $G = 16$ dB, $f_{-3dB} = 12,59$ MHz.

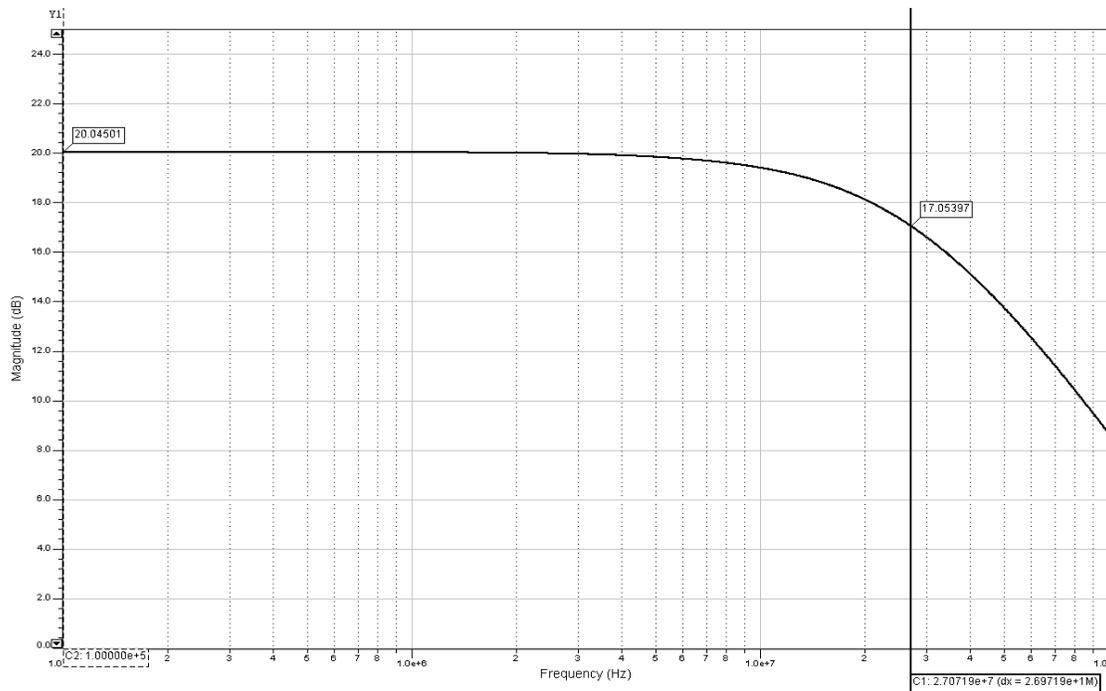


Figura 6.18: Simulação da resposta em frequência do CFA básico. $G = 20$ dB, $f_{-3dB} = 27,07$ MHz.

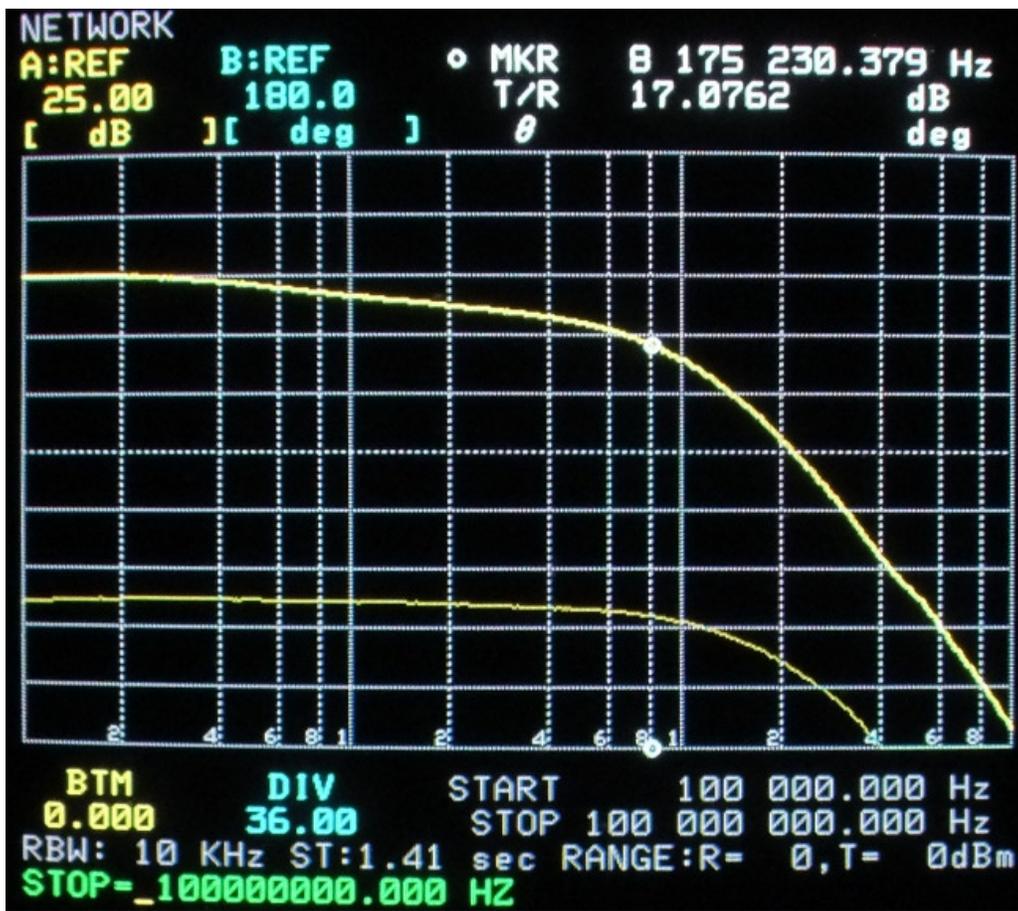


Figura 6.19: Medida da resposta em frequência do CFA básico. $G = 20$ dB, $f_{-3dB} = 8,18$ MHz.

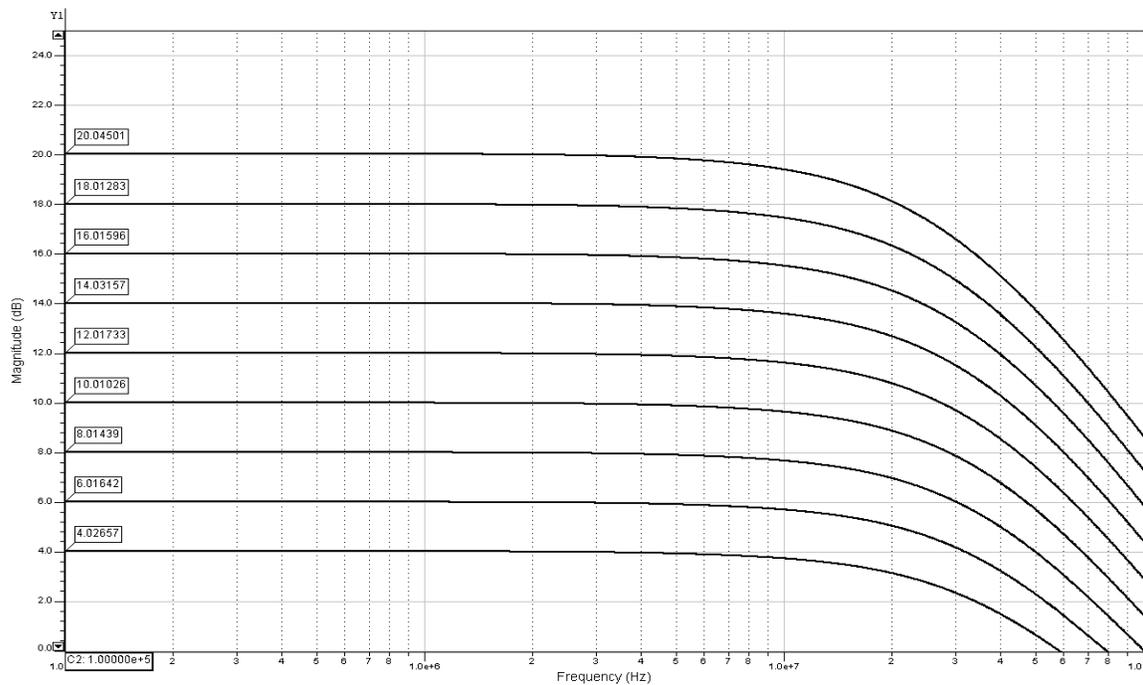


Figura 6.20: Simulação da resposta em frequência do CFA básico. Diferentes ganhos sobrepostos.

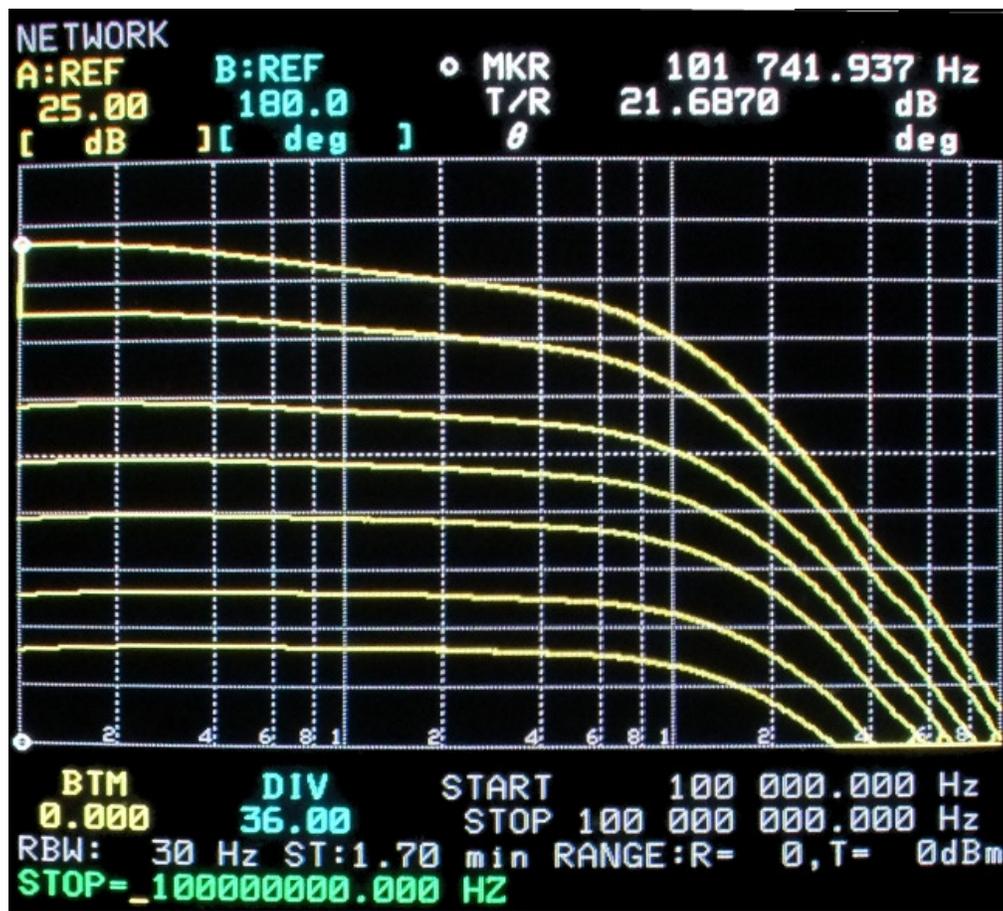


Figura 6.21: Medida da resposta em frequência do CFA básico. Diferentes ganhos sobrepostos.

Ganho (dB)	Frequência de -3dB CFA Básico (MHz)	
	Simulada	Medida
4	45,59	23,12
6	42,27	23,04
8	39,94	20,77
10	37,95	18,73
12	36,06	16,60
14	33,92	14,45
16	31,65	12,59
18	29,46	10,23
20	27,07	8,18

Tabela 6-2: Frequências de -3dB para diferentes ganhos do CFA básico.

Verificou-se que para o CFA básico a frequência de -3 dB, assim como a insensibilidade da banda com o ganho, variaram significativamente em relação ao projeto. A mesma argumentação utilizada para a variação da excursão de entrada e saída é defendida como a causa da diferença em relação aos valores de projeto.

A significativa variação da corrente de polarização ilustrada na Figura 6.9 reflete diretamente em variação de banda. A redução da transcondutância, tendo em vista que as capacitâncias parasitas, dependentes principalmente das dimensões dos transistores, são aproximadamente as mesmas, piora a resposta em frequência dos espelhos de corrente.

A redução da insensibilidade com a variação do ganho, quando considerada proporcionalmente à frequência corte para ganho 6 dB, é também decorrente da redução das transcondutâncias e conseqüentemente aumenta a resistência equivalente de saída do seguidor de tensão, conforme discutido na seção 2.3.1.

As observações acima são confirmadas pela simulação Monte Carlo da resposta em frequência, para ganho em malha fechada de 20 dB em condição típica de processo, ilustrada na Figura 6.22.

Outro fator da redução de banda é a ausência das capacitâncias parasitas nos resultados de simulação. Apesar de o *layout* realizado ter sido cuidadoso, buscando minimizar as capacitâncias das interconexões críticas, elas não são desprezíveis e influenciam na resposta do amplificador.

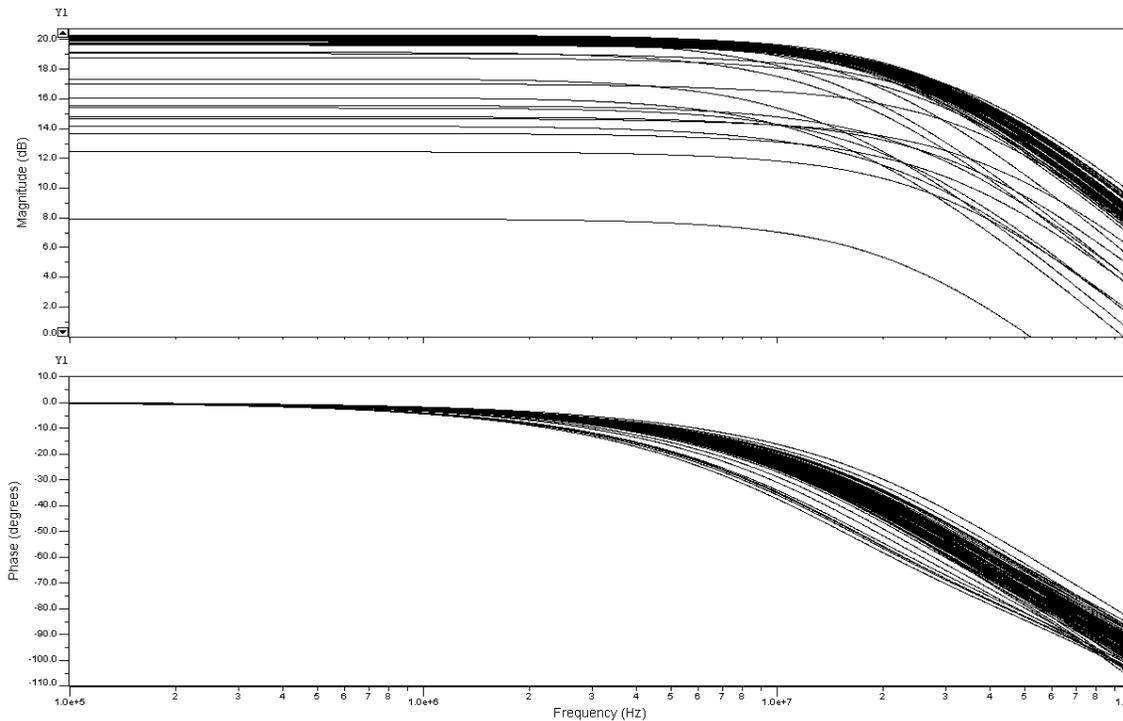


Figura 6.22: Simulação Monte Carlo para ganho em malha fechada de 20 dB e condição típica de processo.

Apesar dos resultados obtidos terem sido inferiores ao esperado por projeto, o comportamento geral do Amplificador com Realimentação em Corrente foi mantido não invalidando, portanto, os resultados e o aprendizado obtido. As vantagens apresentadas no Capítulo 2 são observadas, por exemplo, pela resposta em frequência para ganho de 20 dB. Em um amplificador realimentado em tensão, para a frequência de -3dB igual a 27,07 MHz obtida seria necessário um amplificador de banda unitária de aproximadamente 2,7 GHz.

A variação de processo atuou mais severamente no CFA com transistores compostos. Conforme observado no esquemático da Figura 5.4, os seguidores de tensão com transistores compostos possuem estrutura auto polarizada, extremamente dependentes dos parâmetros de processo e descasamento. Este problema é verificado através das simulações Monte Carlo das correntes principais, utilizando ganho de malha fechada 6 dB, expostas na Figura 6.23, Figura 6.24 e Figura 6.25. Na primeira figura é ilustrado o número de ocorrências (eixo y) do valor de corrente de dreno do transistor M2 (eixo x) para 1000 simulações, representando a variação no transistor composto superior, enquanto na segunda a corrente do transistor M8 é exposta, representando a variação no transistor composto inferior. Observa-se o grande espalhamento de valores e a grande quantidade com correntes próximas à 0 A, não permitindo a inicialização da estrutura. A Figura 6.25 nos mostra a diferença entre as correntes acima mencionadas. Essa diferença é drenada ou

inserida pela malha de realimentação em busca do equilíbrio, gerando com isso *offsets* significativos e causando desbalanceamentos em relação às condições de projeto.

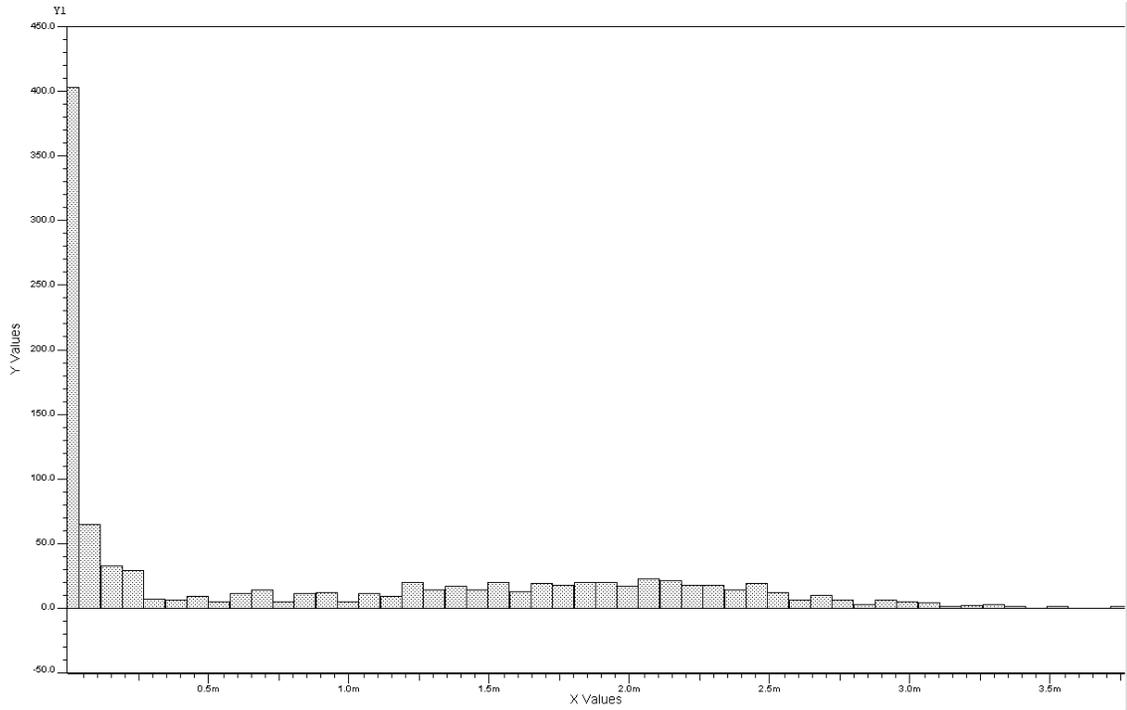


Figura 6.23: Simulação Monte Carlo da corrente de dreno do transistor M2 para ganho de malha fechada 6 dB.

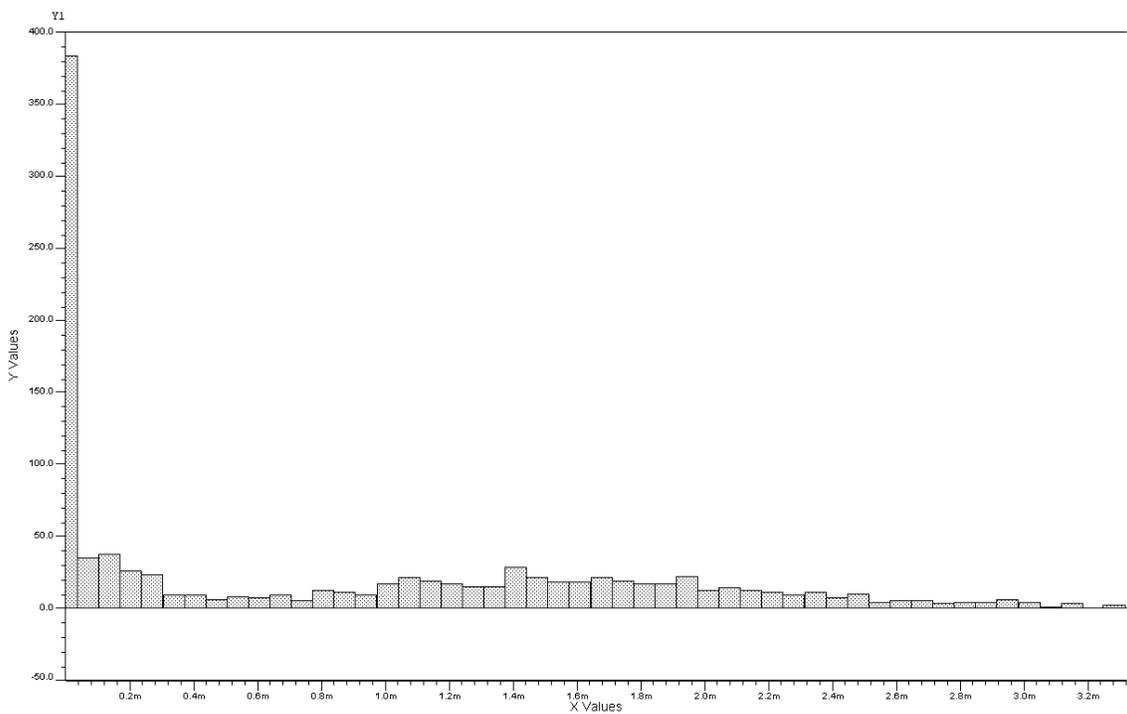


Figura 6.24: Simulação Monte Carlo da corrente de dreno do transistor M8 para ganho de malha fechada 6 dB.

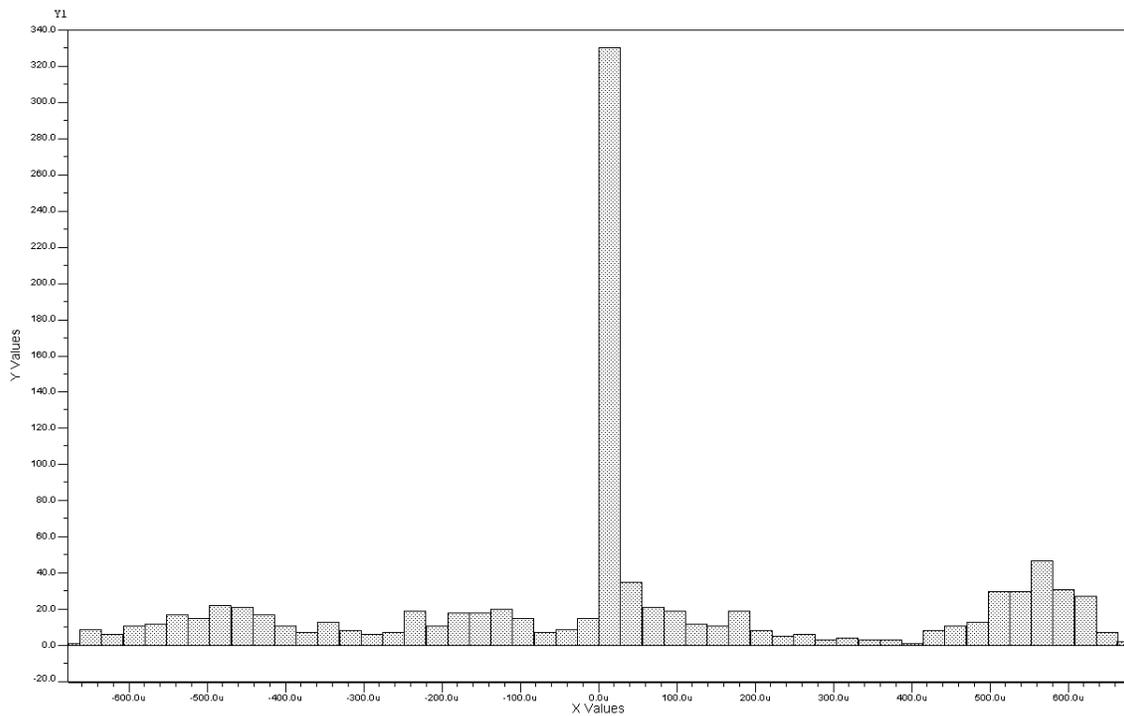


Figura 6.25: Simulação Monte Carlo da diferença entre as correntes de dreno dos transistores M2 e M8 para ganho de malha fechada 6 dB.

As variações acima mencionadas seriam parcialmente amenizadas em tecnologias com transistor NMOS com poço isolado, onde melhores casamentos entre os transistores de mesmo tipo poderiam ser obtidas. Porém, mesmo nessas tecnologias, a direta aplicação do transistor composto, para compor o seguidor de tensão, não poderá ser utilizada. O espalhamento dos valores de correntes, mesmo que não houvesse diferença entre o transistor composto superior e inferior, torna os parâmetros como impedância de saída, resposta em frequência, excursão de entrada e saída, imprevisíveis. Com isso, apesar validade da teoria desenvolvida e do aumento de banda por cancelamento de pólo com zero, soluções mais engenhosas devem ser buscadas de forma a reduzir o espalhamento de valores de corrente.

A variação de processo e correntes envolvidas reduziu a capacidade de drenar corrente da carga do amplificador. Este fato é ilustrado na Figura 6.26 e comparado com a simulação exposta na Figura 6.27, onde o CFA é utilizado com ganho de 6 dB e carga de 1K Ohm. Na Figura 6.28 o amplificar tem como carga 50 Ohms. A Figura 6.29 ilustra a mesma situação simulada com parâmetros típicos.

Esta incapacidade do circuito impossibilitou a medida direta da resposta em frequência utilizando o equipamento analisador de redes com entradas de 50 Ohms. Foi inserido em série na saída do amplificador um resistor de precisão de 910 Ohms, possibilitando com isso a realização das medidas desejadas. O resistor inserido compôs um divisor resistido deslocando o ganho em -25,66 dB. As medidas realizadas são ilustradas nas figuras a seguir.

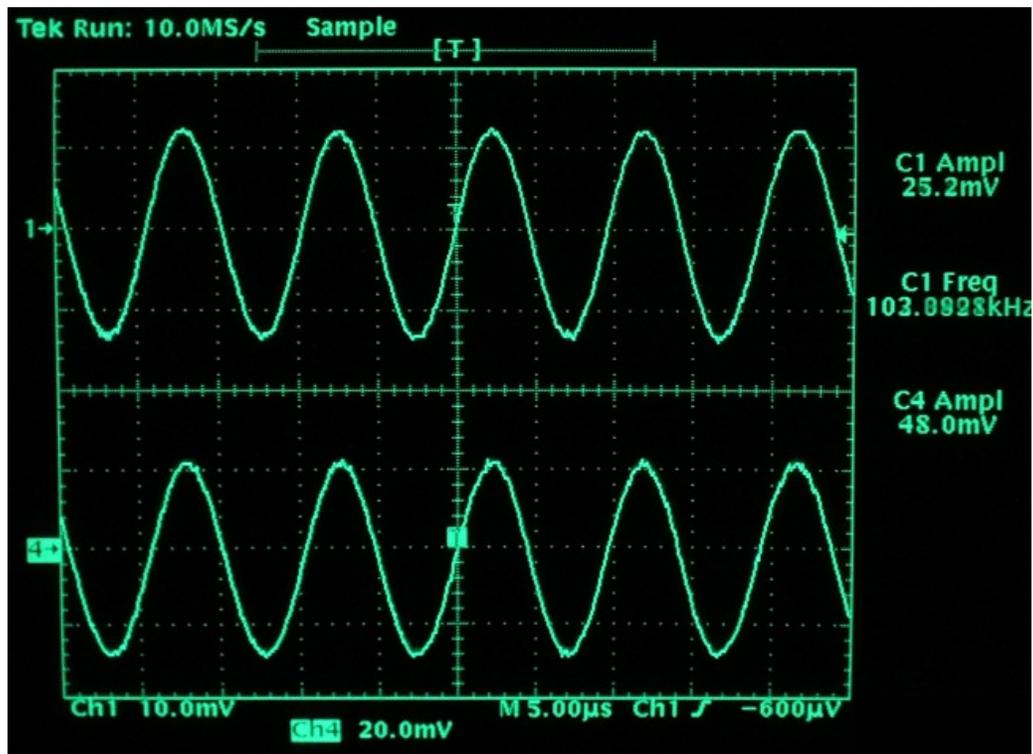


Figura 6.26: Medida transiente com ganho 6 dB e carga 1K Ohms. Forma de onda superior demonstra o sinal de entrada e a inferior a de saída.

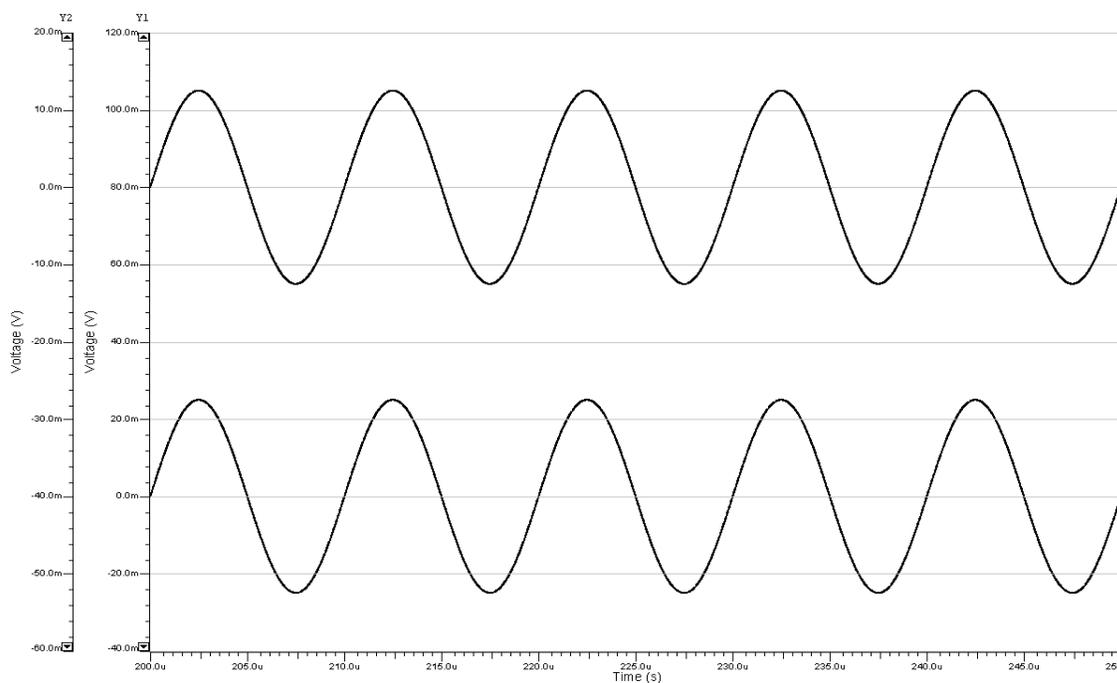


Figura 6.27: Simulação transiente com ganho 6 dB e carga 1K Ohms. Forma de onda superior demonstra o sinal de entrada e a inferior a de saída.

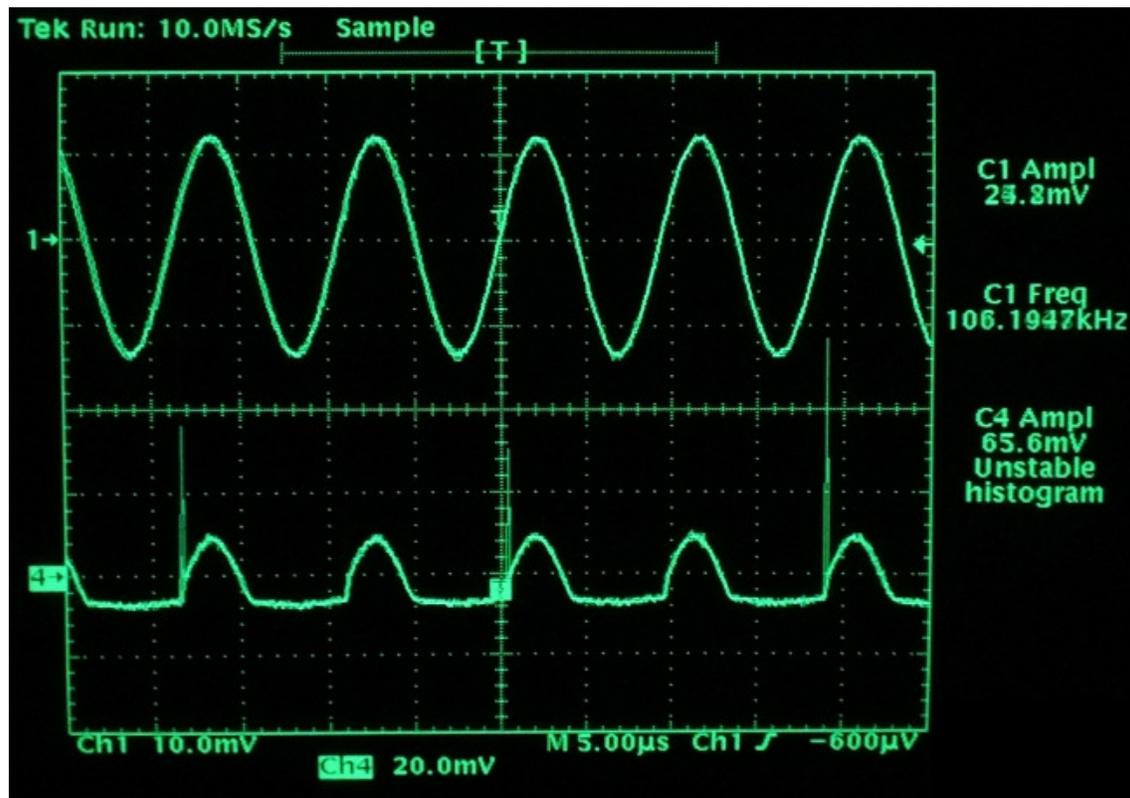


Figura 6.28: Medida transiente com ganho 6 dB e carga 50 Ohms. Forma de onda superior demonstra o sinal de entrada e na a inferior a de saída.

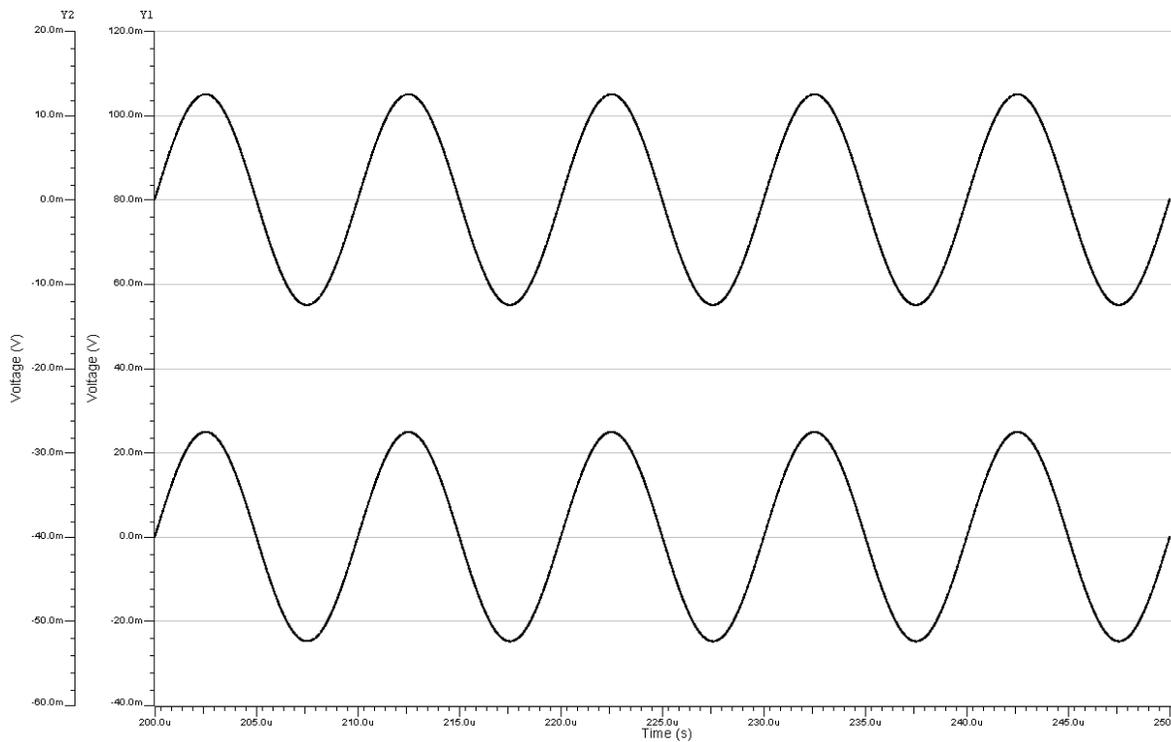


Figura 6.29: Simulação transiente com ganho 6 dB e carga 50 Ohms. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

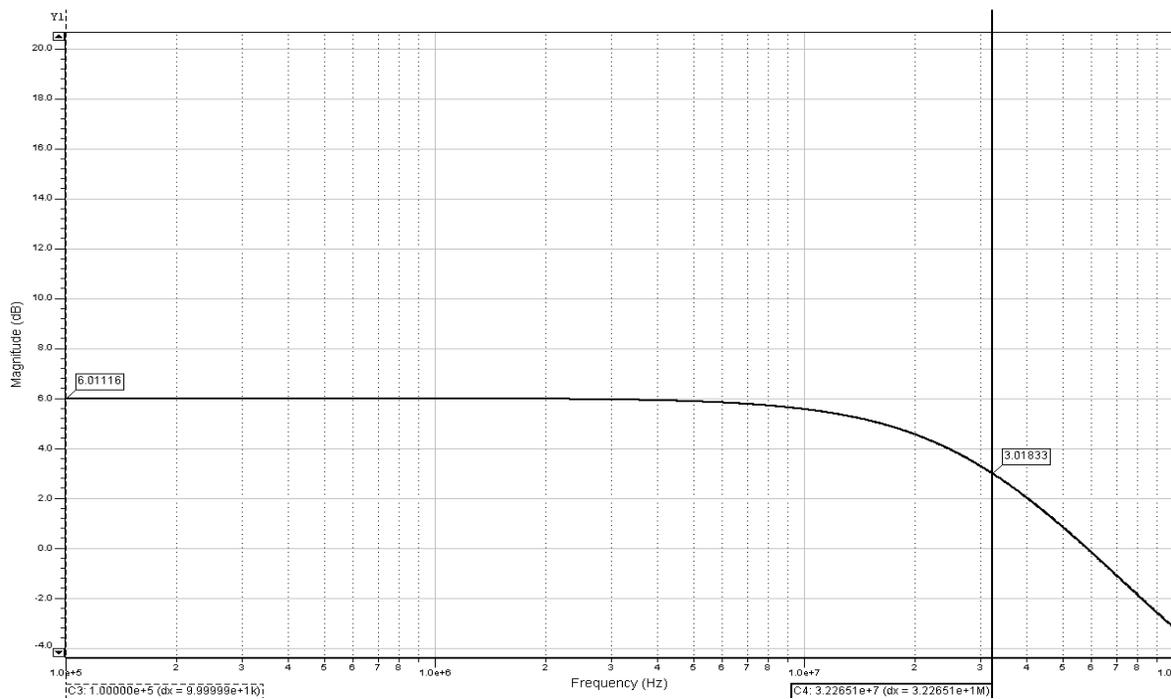


Figura 6.30: Simulação da resposta em frequência do CFA com transistores compostos. $G = 6$ dB, $f_{-3dB} = 32,27$ MHz.

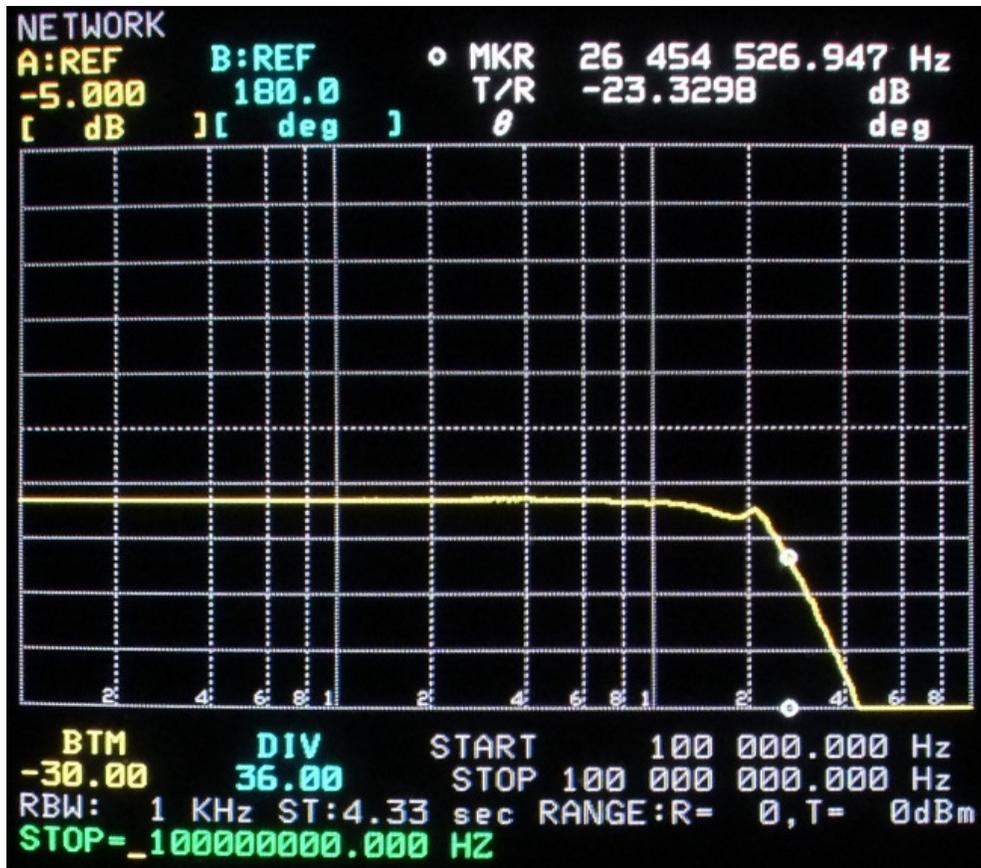


Figura 6.31: Medida da resposta em frequência do CFA com transistores compostos. $G = 6$ dB, $f_{-3dB} = 26,45$ MHz.

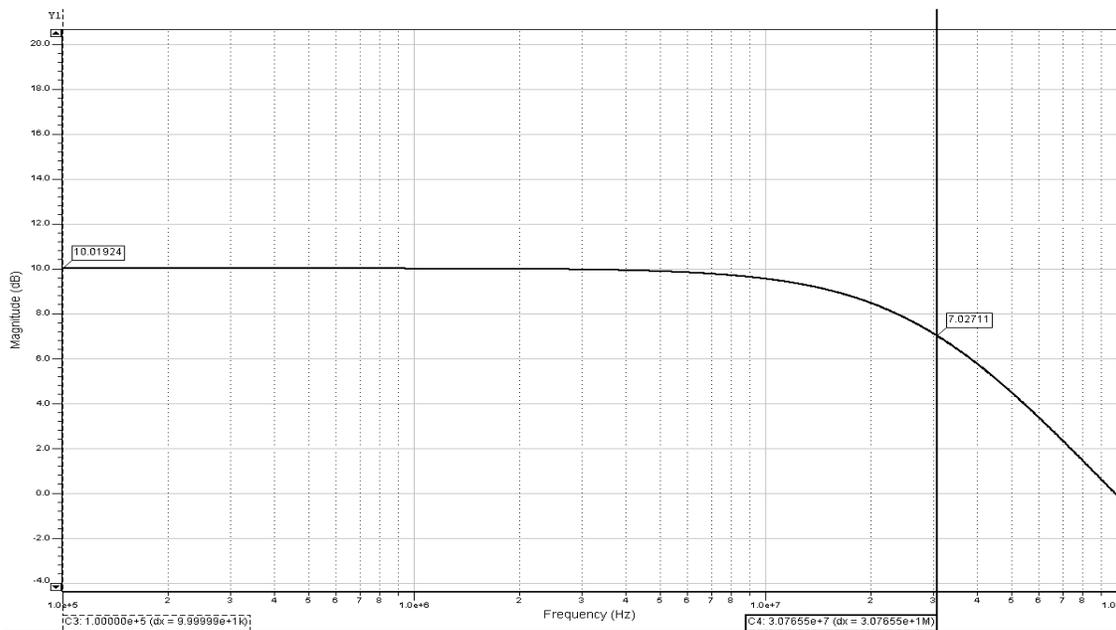


Figura 6.32: Simulação da resposta em frequência do CFA com transistores compostos. $G = 10$ dB, $f_{-3dB} = 30,76$ MHz.

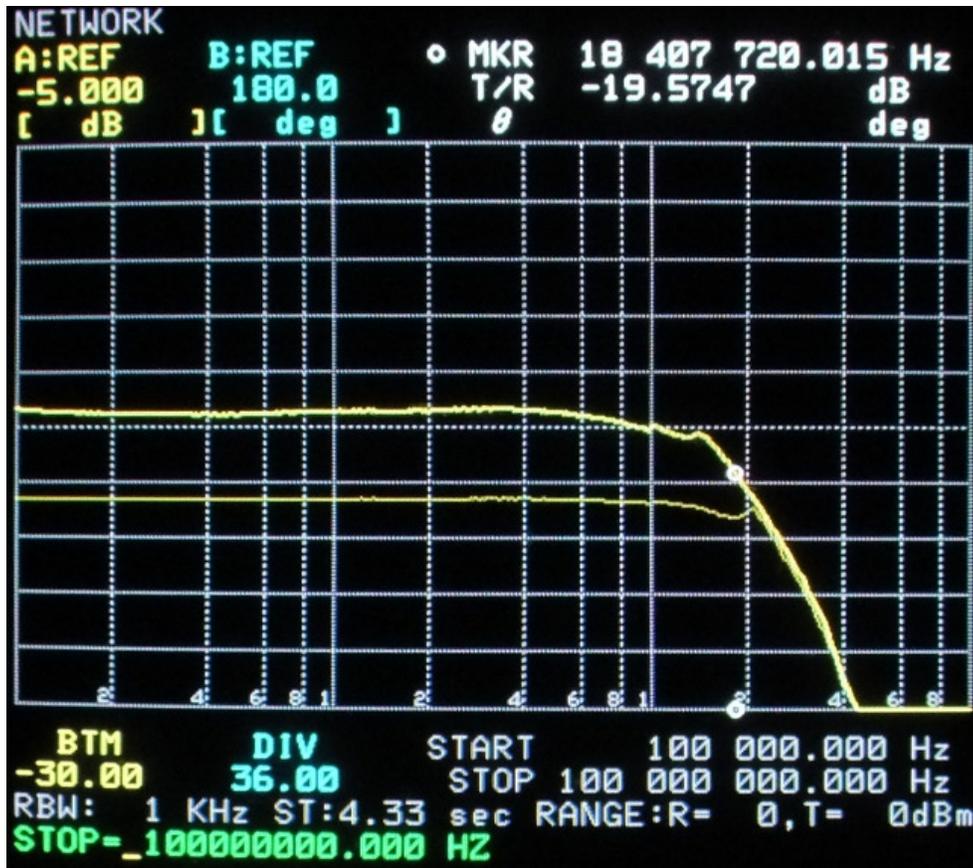


Figura 6.33: Medida da resposta em frequência do CFA com transistores compostos. $G = 10$ dB, $f_{-3dB} = 18,41$ MHz.

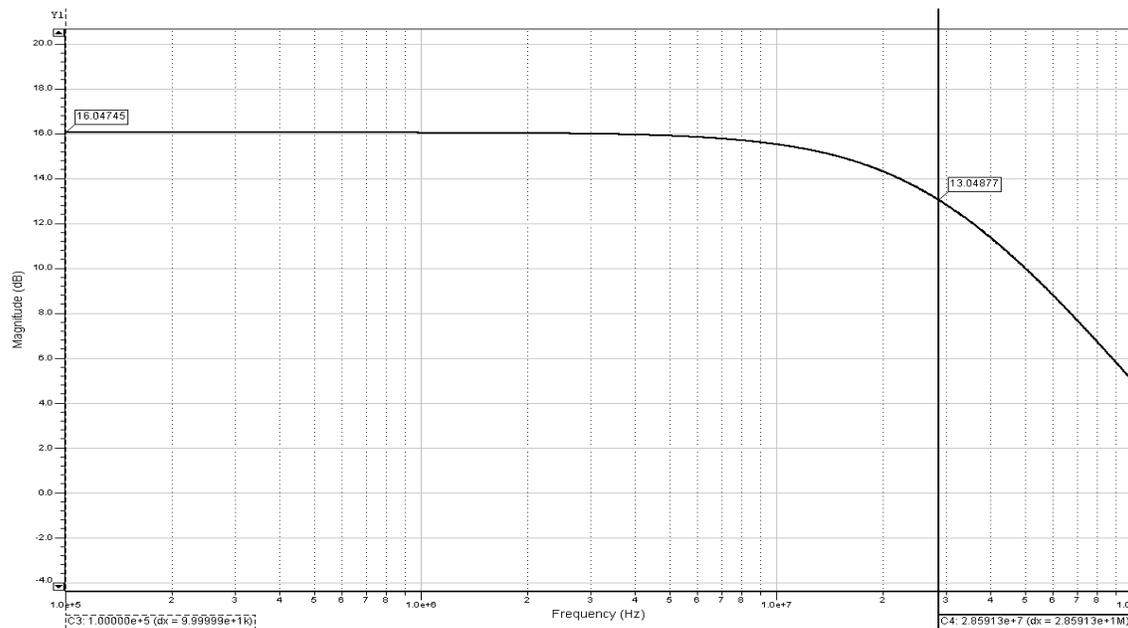


Figura 6.34: Simulação da resposta em frequência do CFA com transistores compostos. $G = 16$ dB, $f_{-3dB} = 28,59$ MHz.

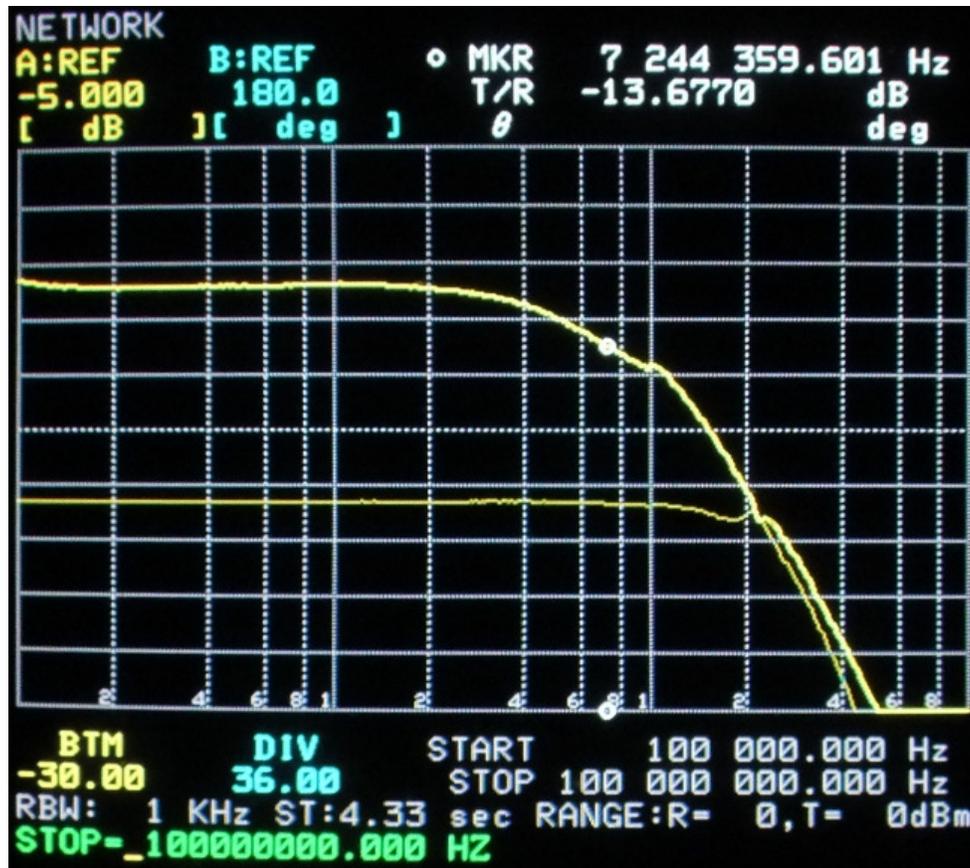


Figura 6.35: Medida da resposta em frequência do CFA com transistores compostos. $G = 16$ dB, $f_{-3dB} = 7,24$ MHz.

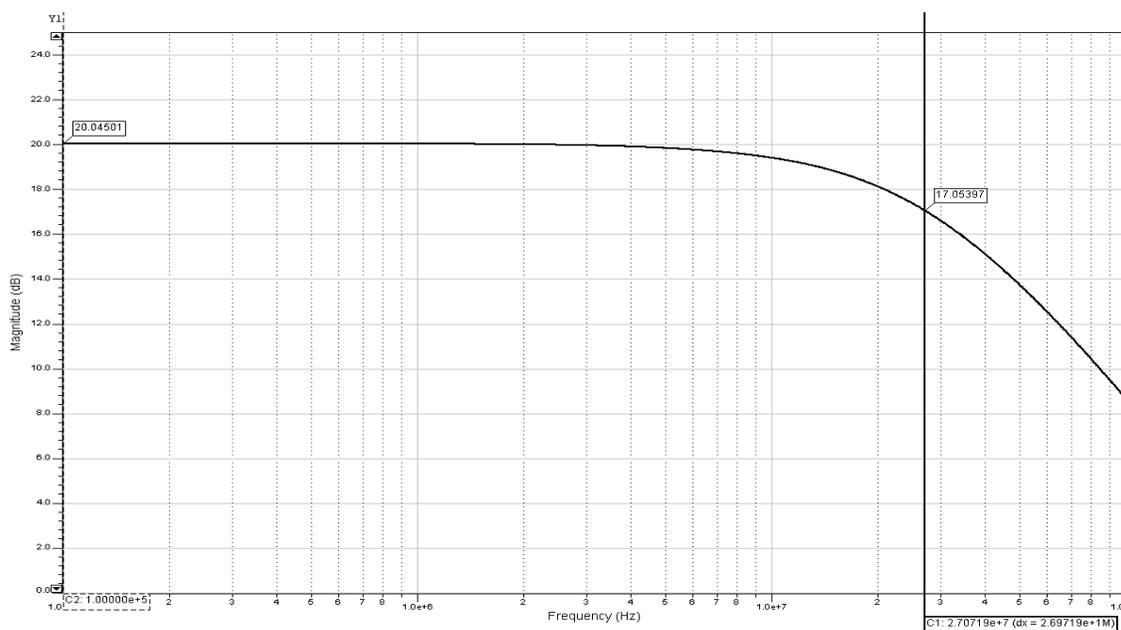


Figura 6.36: Simulação da resposta em frequência do CFA com transistores compostos. $G = 20$ dB, $f_{-3dB} = 27,07$ MHz.

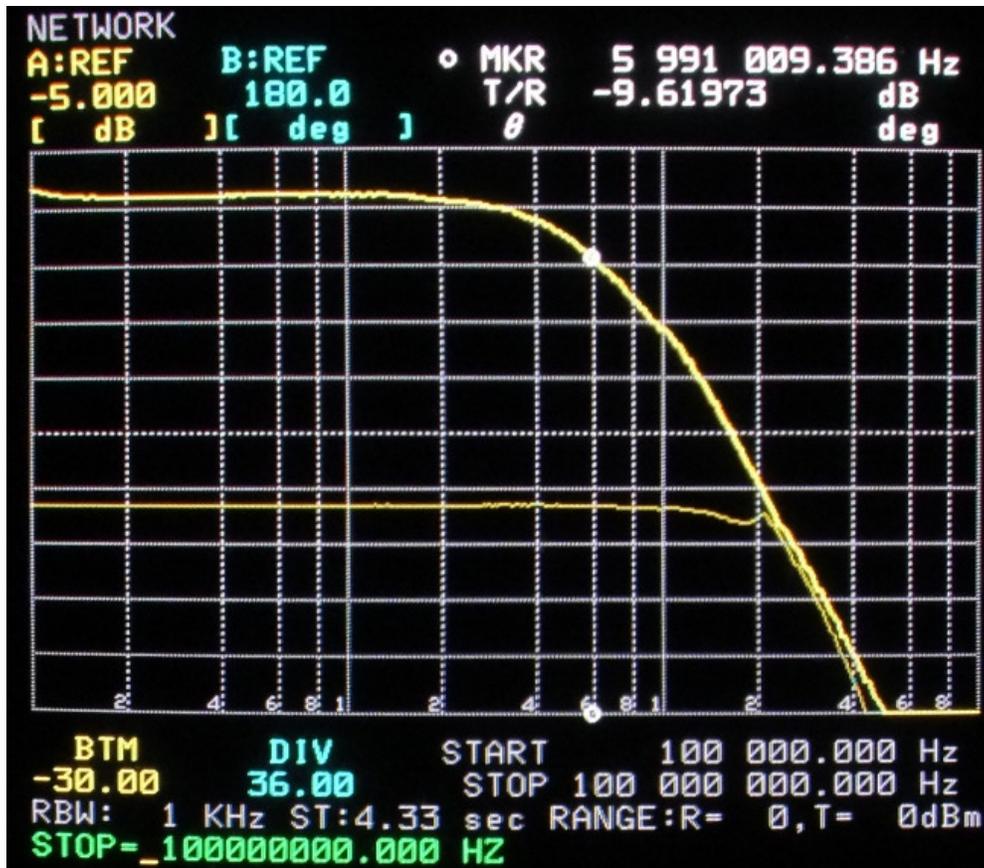


Figura 6.37: Medida da resposta em frequência do CFA com transistores compostos. $G = 20$ dB, $f_{-3dB} = 5,99$ MHz.

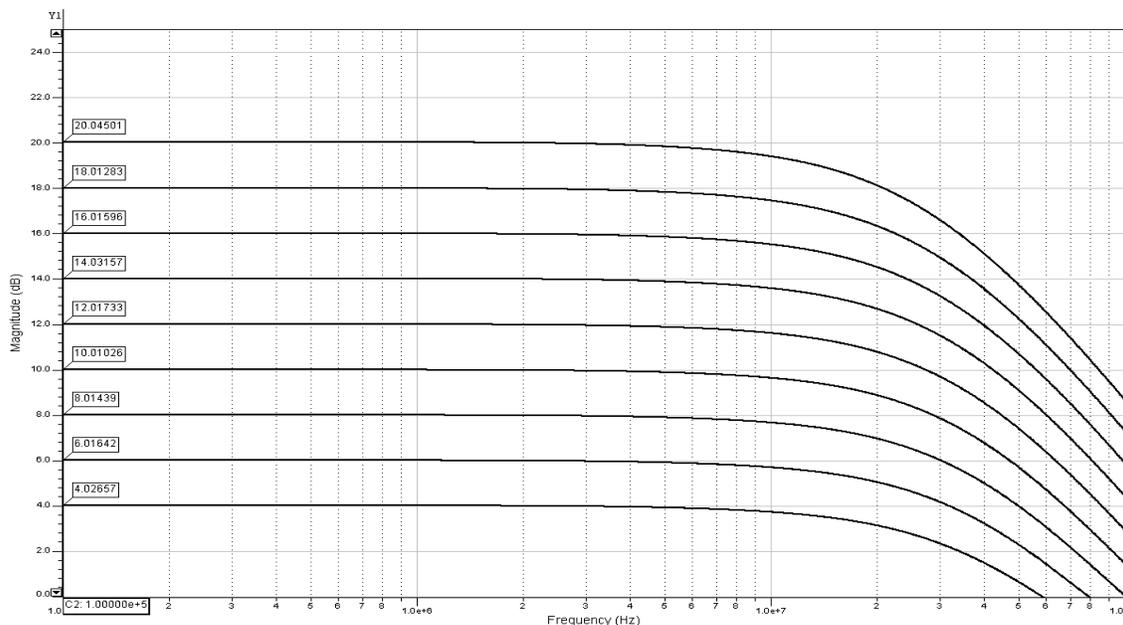


Figura 6.38: Simulação da resposta em frequência do CFA com transistores compostos. Diferentes ganhos sobrepostos.

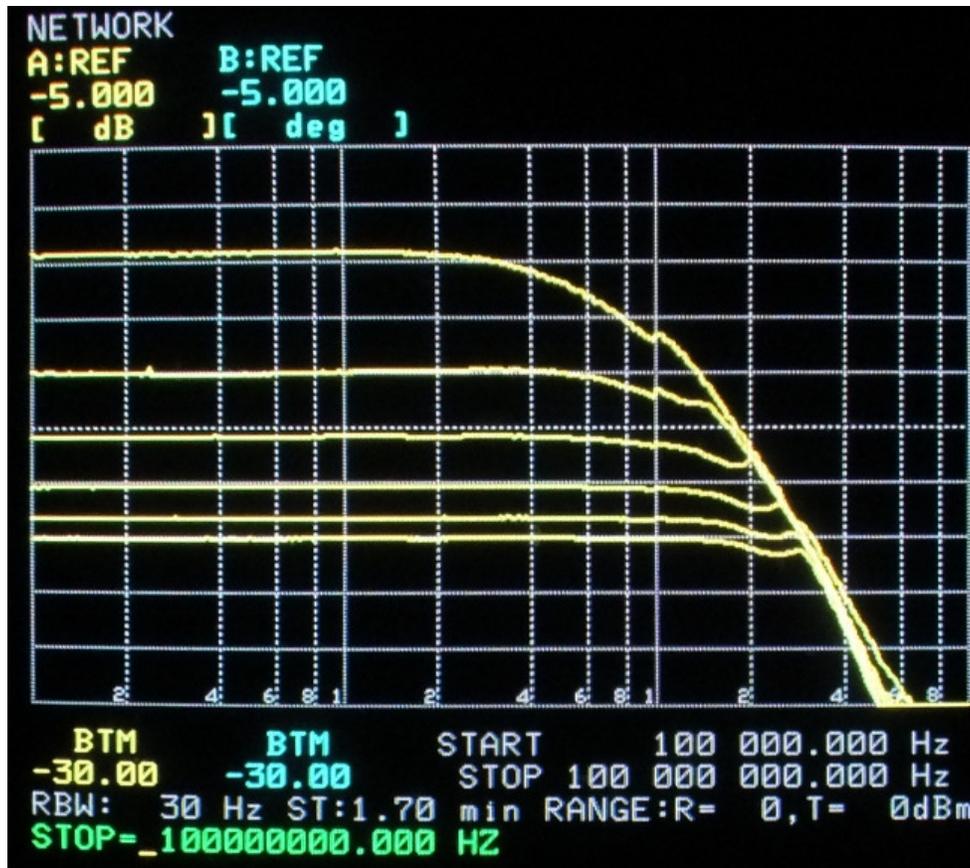


Figura 6.39: Medida da resposta em frequência do CFA com transistores compostos. Diferentes ganhos sobrepostos.

Ganho (dB)	Frequência de -3dB CFA com transistores compostos (MHz)	
	Simulada	Medida
4	33,23	33,11
6	32,27	26,45
8	31,53	23,44
10	30,76	18,41
12	30,21	14,96
14	29,30	11,55
16	28,59	7,24
18	27,67	6,10
20	27,07	5,99

Tabela 6-3: Frequências de -3dB para diferentes ganhos do CFA com transistores compostos.

Observa-se através dos valores medidos que o comportamento esperado de um amplificador com realimentação em corrente não foi mantido. A variação da frequência de -3 dB com o ganho foi excessiva, aproximando-se do comportamento de um amplificador

operacional normal. Devido ao espalhamento de processo mencionado, o comportamento do CFA se torna imprevisível, reforçando a necessidade de soluções mais elaboradas. Entretanto o projeto para condições típicas mostrou-se adequado ao esperado de um amplificador com realimentação em corrente, de forma que a banda de funcionamento é relativamente independente do ganho.

6.6 SLEW-RATE

A medida de *slew-rate* foi realizada com os amplificadores com realimentação de malha fechada configurada para ganho de 6 dB não inversor. Utilizando o gerador de função/pulso HP8130A proveu-se à entrada não inversora uma onda quadrada com baixo tempo de subida e descida. Através dos cursores do osciloscópio digital da Tektronix TDS460A, foi possível verificar o parâmetro desejado do sinal de saída.

A Figura 6.40 ilustra a borda de subida do sinal de entrada provido pelo gerador de pulso. Vê-se que foi imposto à entrada não inversora sinal de suficiente amplitude para fazer com que a transição do sinal de saída seja limitada pelo *slew-rate*. Observando que a escala para o canal 1, aonde é mostrado o sinal de entrada, é 500 mV por divisão e que os cursores demonstram que a transição entre duas divisões ocorreu em 640ps, tem-se que o *slew-rate* do sinal de entrada é aproximadamente 781,25 V/ μ s, sendo, portanto, suficiente para medir a característica do circuito.

A medida do *slew-rate* do sinal fornecido ao CFA utilizando transistores compostos é ilustrada na Figura 6.41. Seguindo o mesmo procedimento adotado no parágrafo anterior, vemos que o *slew-rate* do sinal de entrada é 227,27 V/ μ s. Uma vez que o ganho utilizado é 2 V/V, este valor, teoricamente, é suficiente para não limitar excursões de até 454,54 V/ μ s.

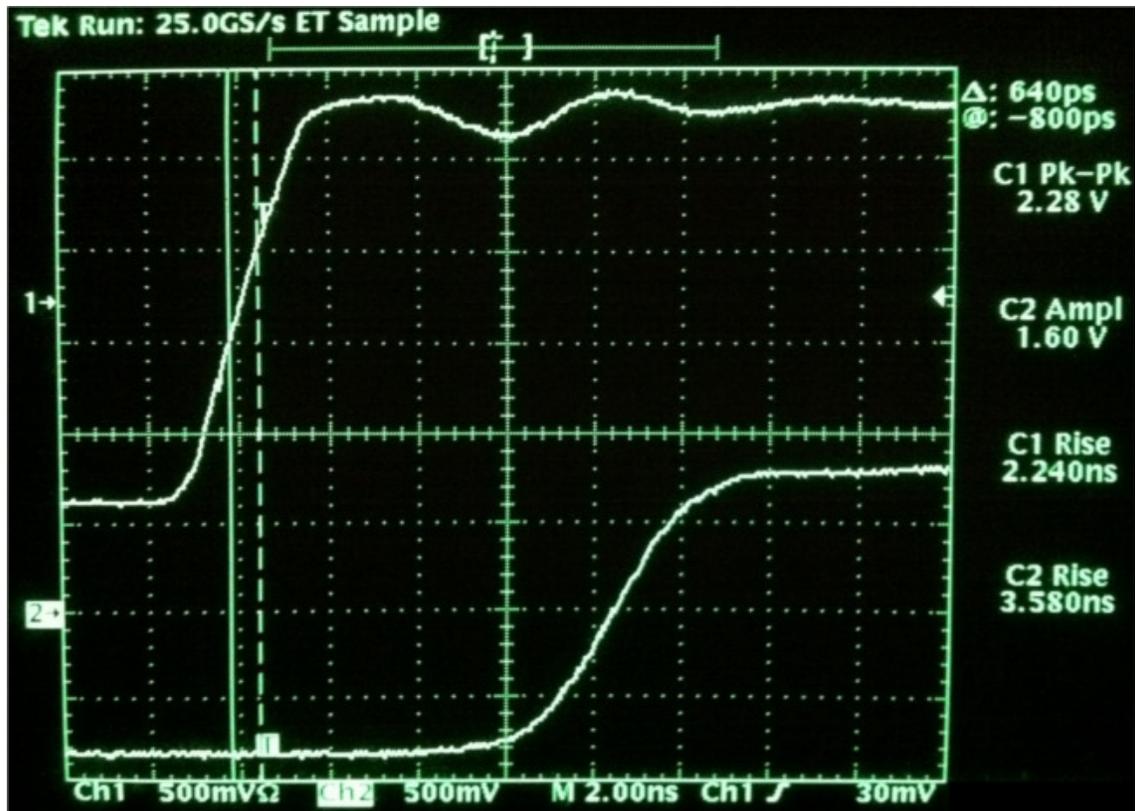


Figura 6.40: Medida do *slew-rate* do sinal de entrada provido pelo gerador para o CFA básico.

A capacidade de elevado *slew-rate*, de subida e descida, do CFA básico é demonstrada através de medidas na Figura 6.43 e Figura 6.45. O mesmo parâmetro, obtido por simulação é exposto, para comparação, na Figura 6.42 e Figura 6.44. Uma visão geral da resposta do circuito à onda quadrada é exposta através de medida na Figura 6.47 e comparado com a simulação na Figura 6.46.

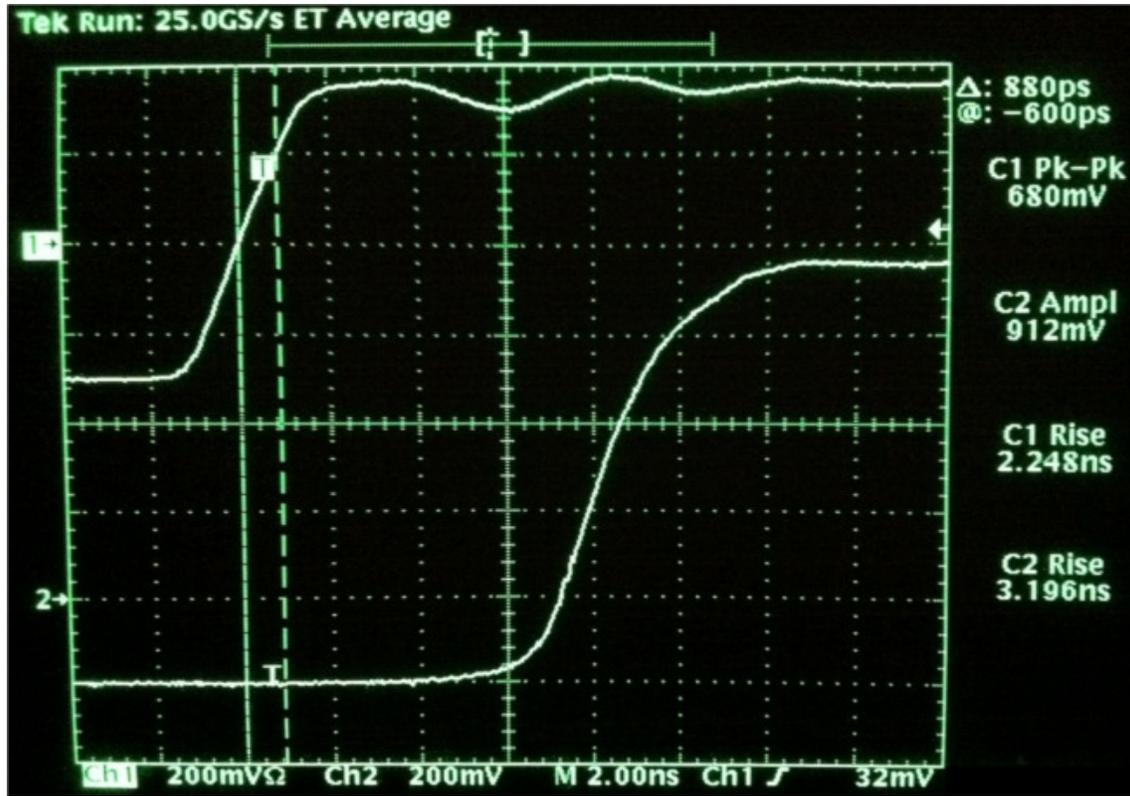


Figura 6.41: Medida do *slew-rate* do sinal de entrada provido pelo gerador para o CFA com transistores compostos.

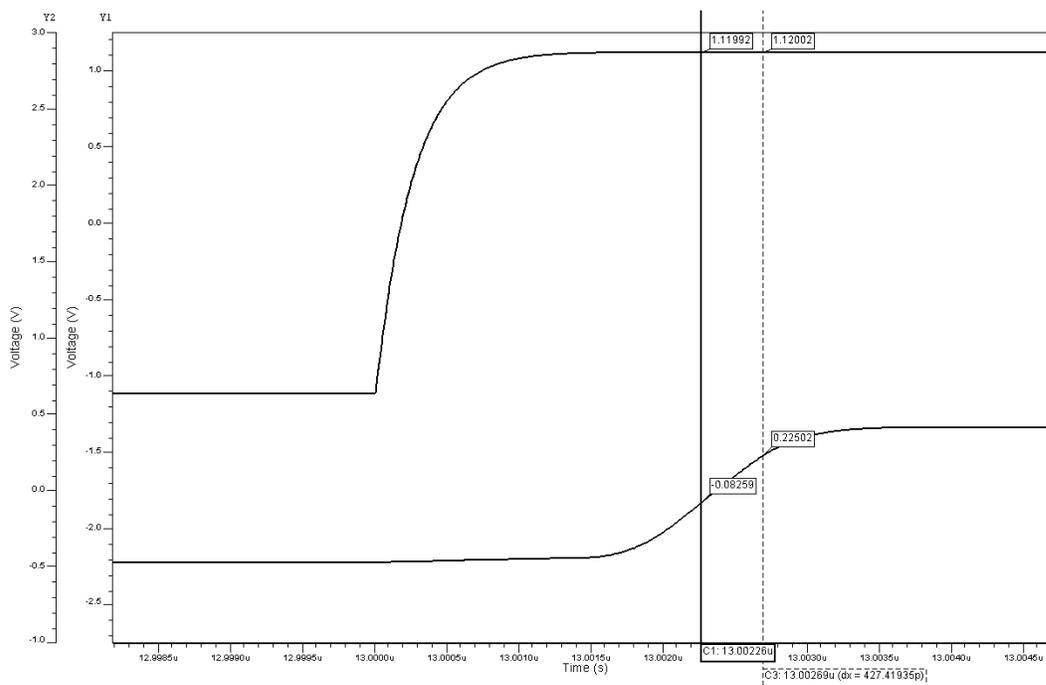


Figura 6.42: Simulação de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

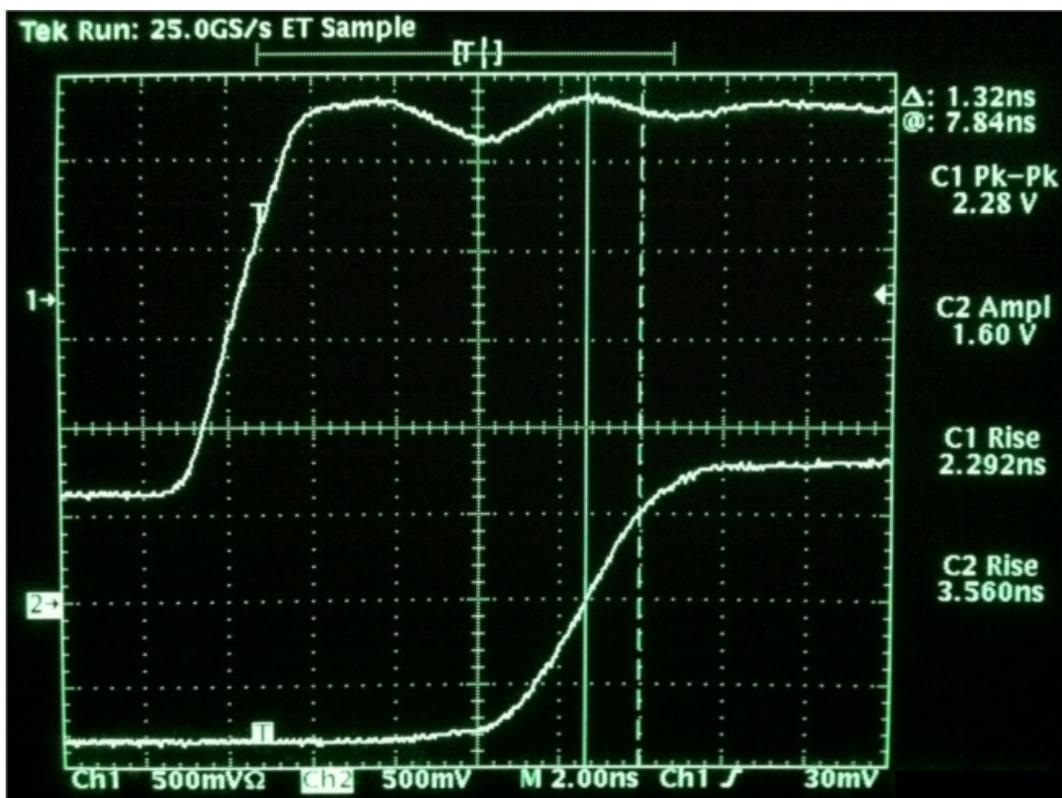


Figura 6.43: Medida de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

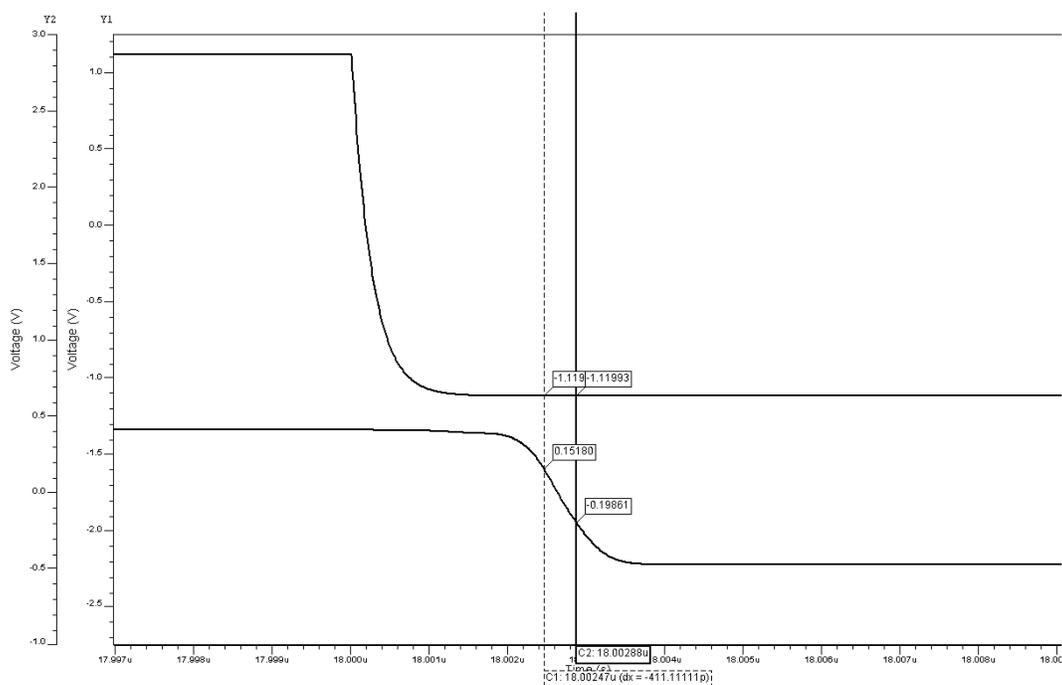


Figura 6.44: Simulação de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.



Figura 6.45: Medida de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

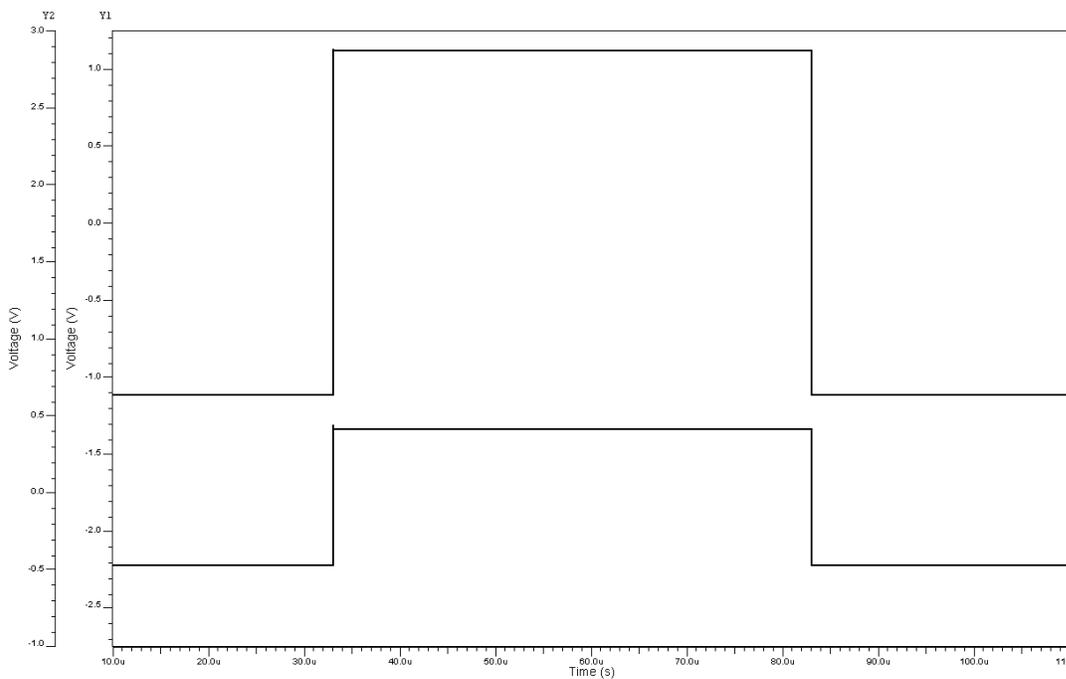


Figura 6.46: Simulação de onda quadrada demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

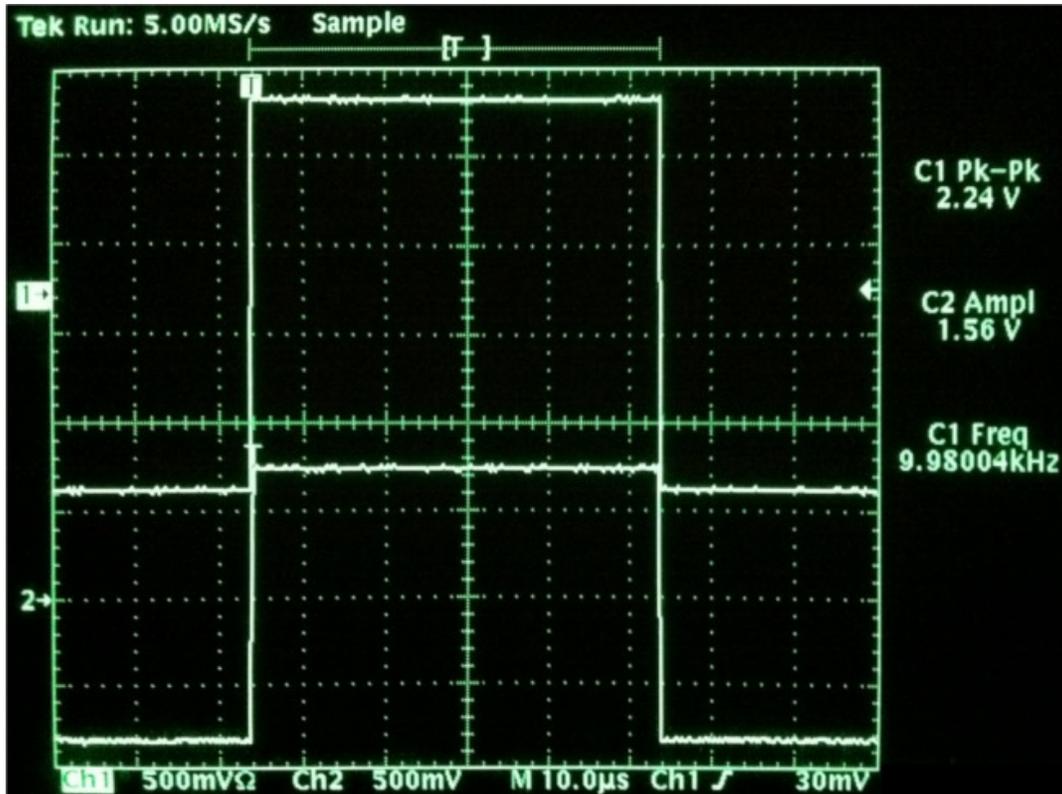


Figura 6.47: Medida de onda quadrada demonstrando a capacidade de *slew-rate* do CFA básico. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

O mesmo é feito para o CFA com transistores compostos, aonde a medida de *slew-rate* de subida e descida é demonstrada através de medidas na Figura 6.49 e Figura 6.51. O mesmo parâmetro, obtido por simulação é exposto, para comparação, na Figura 6.48 e Figura 6.50. Uma visão geral da resposta do circuito à onda quadrada é exposta através de medida na Figura 6.53 e comparado com a simulação na Figura 6.52.

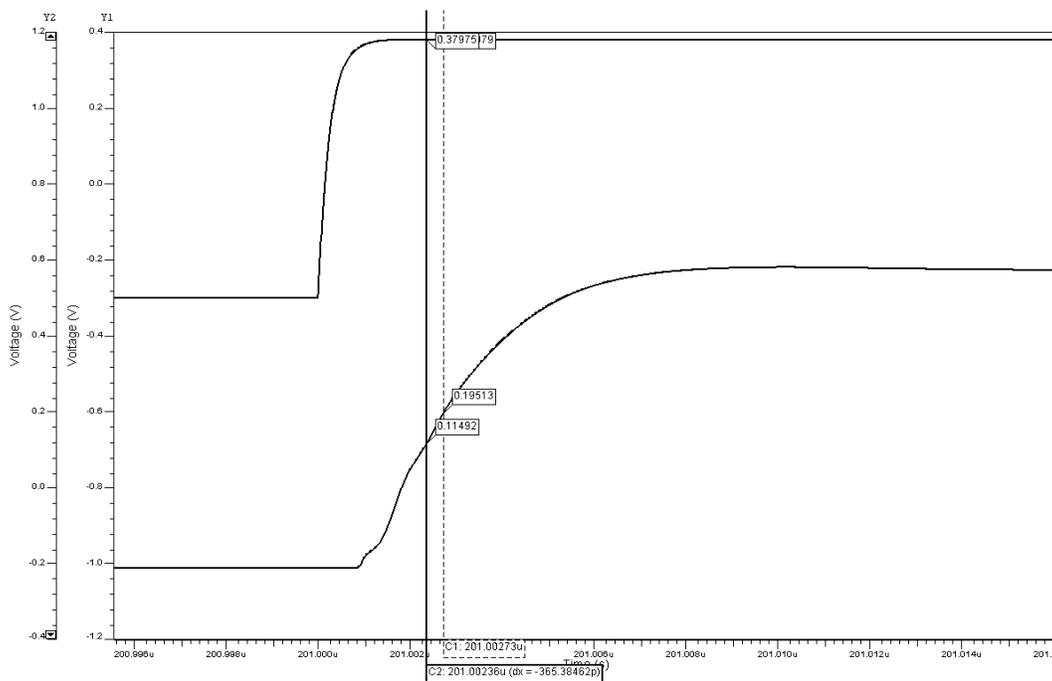


Figura 6.48: Simulação de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

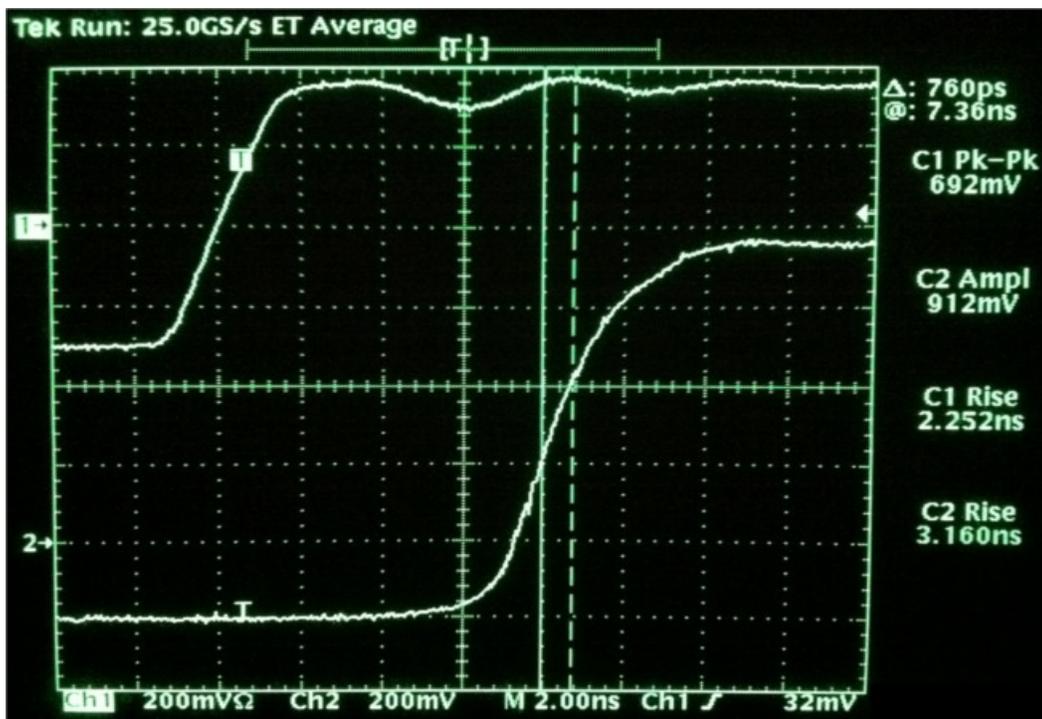


Figura 6.49: Medida de onda quadrada, com ênfase na borda de subida, demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

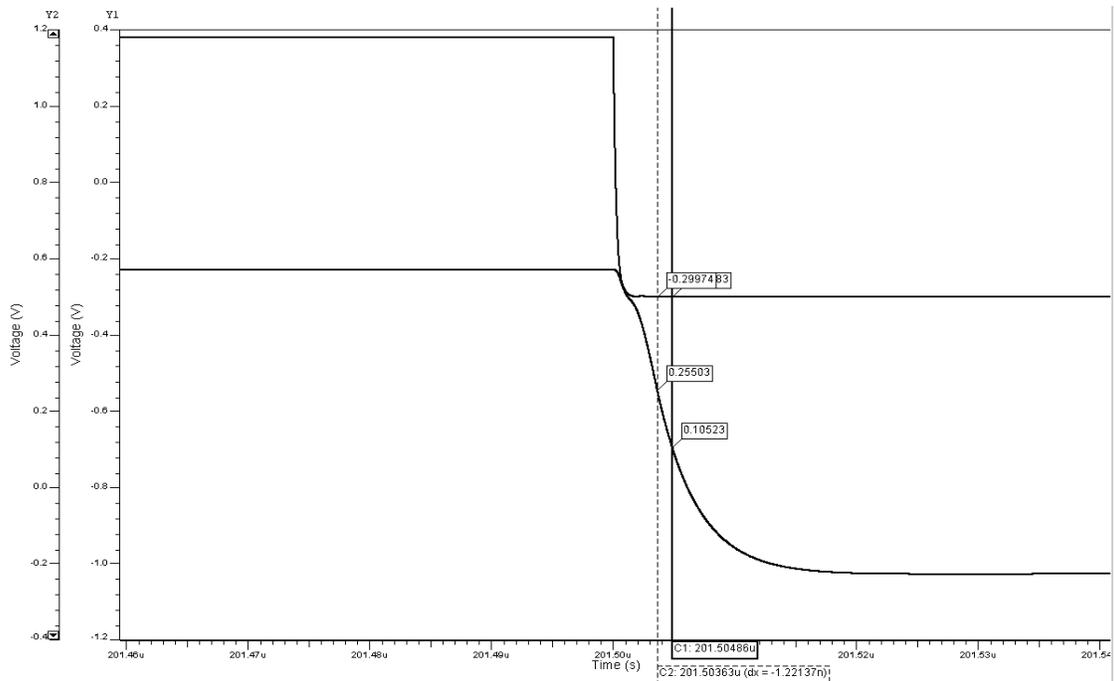


Figura 6.50: Simulação de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

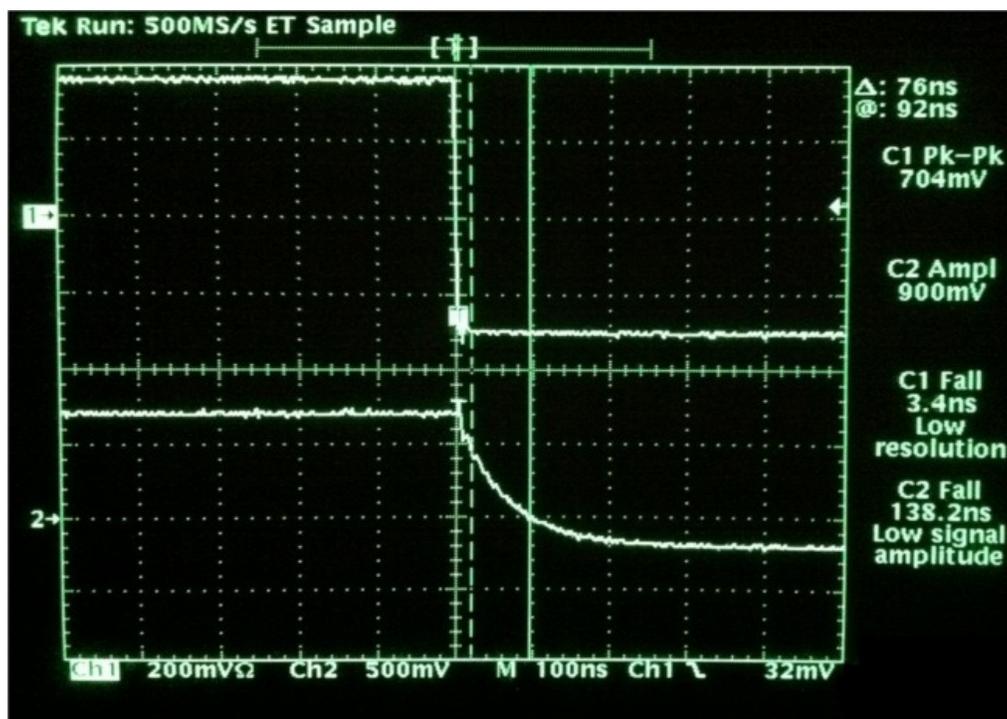


Figura 6.51: Medida de onda quadrada, com ênfase na borda de descida, demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

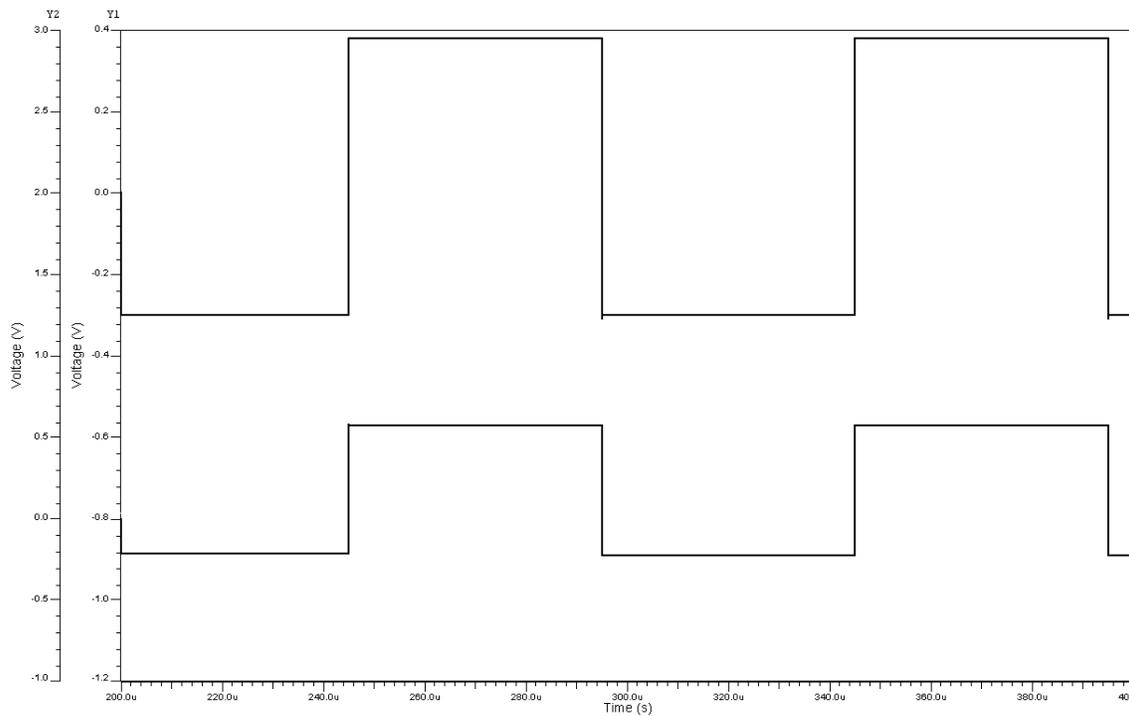


Figura 6.52: Simulação de onda quadrada demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

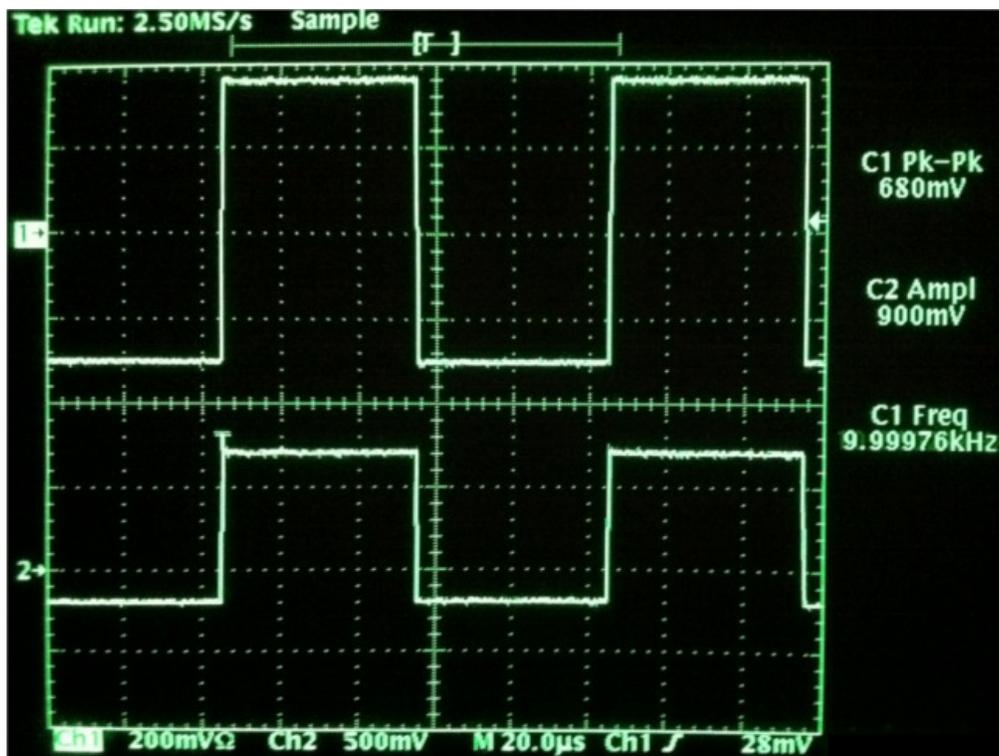


Figura 6.53: Medida de onda quadrada demonstrando a capacidade de *slew-rate* do CFA com transistores compostos. Forma de onda superior demonstra o sinal de entrada e a na inferior a de saída.

O mesmo procedimento de medida de *slew-rate* ilustrado para os sinais providos pelo gerado é utilizado para obtenção desta característica do sinal de saída. A Tabela 6-4 resume os resultados em simulação e medidas obtidos para as duas topologias.

É diferenciado na tabela o *slew-rate* de subida e de descida, pois a assimetria do par diferencial de entrada do CFA resulta em diferentes valores. Isto não ocorre no amplificador operacional realimentado por tensão devido a este parâmetro ser limitado pela a corrente de polarização do par diferencial que é drenada ou fornecida para o capacitor de compensação, sendo, portanto a mesma magnitude de corrente e mesma capacitância em ambos os casos.

<i>Slew-rate</i>			
		Simulado (V/μs)	Medido (V/μs)
CFA básico	Borda de Subida	719,69	378,78
	Borda de Descida	852,35	312,50
CFA com transistores compostos	Borda de Subida	219,52	263,16
	Borda de Descida	122,65	6,58

Tabela 6-4: *Slew-rate*, medido e simulado, dos CFA fabricados.

Observa-se que casos houve redução para o CFA básico em relação aos valores de projeto. Essa redução é justificada pela variação de processo e a inclusão de capacitâncias de interconexão, como explicado anteriormente neste capítulo. No caso do CFA com transistores compostos, a redução da capacidade de drenar corrente aumentou o *slew-rate* de subida e reduziu o de descida.

O CFA com transistores compostos apresentou significativa redução no *slew-rate* de borda de descida, demonstrando uma incapacidade de drenar corrente. Esta observação é reforçada pela Figura 6.28 exposta na seção 6.5 onde observamos que o amplificador não consegue reproduzir a parte inferior da senóide, momento no qual este necessita drenar corrente da carga.

As variações não nos impedem de verificar a superioridade, neste parâmetro, do CFA em relação ao VOA. O segundo, na tecnologia CMOS, usualmente apresenta *slew-rate* de no máximo algumas dezenas de volts por microssegundo.

6.7 RESUMO DOS RESULTADOS

A Tabela 6-5 resume os principais resultados exposto nesse capítulo de forma a permitir uma visão geral e comparações.

Parâmetro	Unidade	CFA básico		CFA com transistores compostos	
		Simulado	Medido	Simulado	Medido
Consumo	mA	15	--	15	--
Excursão de saída/entrada Mínimo (V)	V	-0.47	-0.63	-0.66	-0.68
Excursão de saída/entrada Máximo (V)	V	0.41	0.51	0.55	0.54
f-3dB @G=6dB	MHz	42,27	23,04	32,27	26,45
$\Delta f-3dB/(f-3dB@G=6dB)$	%	43,81	64,84	19,09	102,53
<i>Slew-rate</i> de subida	V/ μ s	719,69	378,78	219,52	263,16
<i>Slew-rate</i> de descida	V/ μ s	852,35	312,50	122,65	6,58
<i>Offset</i>	mV	~0	-16,72	~0	-11,06
Area	μ m x μ m	260 x 392		270 x 306	

Tabela 6-5: Resumo dos resultados obtidos para ambas as topologias em simulação e medidas.

A tabela acima nos dá uma visão geral comparativa entre as duas topologias. Apesar de erros no projeto terem prejudicado a comparação baseadas em medidas, alguns conclusões podem ser obtidas.

Comparando a frequência de -3 dB de ambas as topologias observamos que para projeto com mesmo consumo o CFA básico possui melhor resposta em frequência do que o CFA com transistores compostos. Dois fatores foram determinantes neste resultado:

1 – Compromisso transcondutância / resposta em frequência do transistor composto: Como explicado no Capítulo 4, este compromisso limita a banda de frequência quando alta transcondutância é desejada. A impedância de saída possui grande influência na insensibilidade da banda em relação ao ganho, como explicado na seção 2.3.1. Em busca da redução da variação da frequência de -3dB optou-se por aumentar a transcondutância em detrimento à resposta em frequência.

2 – Extensão de banda utilizada no CFA básico: A modificação do espelho de corrente, fez com que este não fosse propriamente o amplificador com realimentação em corrente básico, permitindo a extensão da banda como explicado no Capítulo 4.

O parâmetro representado por $\Delta f_{-3dB}/(f_{-3dB@G=6dB})$ na tabela corresponde à proporção entre a diferença entre as frequências de corte, para ganho de 20 dB e 4 dB, e a frequência para ganho 6 dB. Isto nos permite avaliar a sensibilidade da frequência de corte com a variação do ganho. Comparando o resultado de simulações, percebemos que o aumento da transcondutância equivalente provido pela estrutura realimentada foi efetivo em projeto. A sensibilidade foi reduzida para menos da metade sem acréscimo de consumo.

Foi observado comparando os resultados de simulação maior *slew-rate* para o CFA básico. Como explicado anteriormente, este parâmetro é determinado pela capacidade de fornecer ou drenar corrente da capacitância de compensação. Nos amplificadores com realimentação em corrente a limitação é imposta pela excursão de sinal, limitando a tensão de porta-fonte presente nos transistores conectados à entrada inversora, e pelo valor da capacitância de compensação. Apesar da capacitância de compensação utilizada para o CFA básico ter sido maior que a utilizada na topologia com transistores compostos, foi fator determinante a dimensão dos transistores, do par diferencial assimétrico, conectados à entrada inversora. Estes possibilitaram maior fornecimento de corrente à capacitância, resultando em maior *slew-rate*. O principal fator, entretanto, é a impossibilidade de aproximar os sinais de entrada das alimentações no segundo bloco projetado. Caso a entrada chegue a tais níveis de tensão, o circuito busca a estabilização com correntes nulas, deixando de funcionar. Este é um defeito grave desta topologia que precisa ser contornado em trabalhos futuros.

O número reduzido de amostras não nos permite conclusões definitivas sobre o *offset* por estar vinculado à distribuição probabilística da variação de processo. Entretanto, indo de encontro com o resultado obtido, esperasse melhor resultado no CFA com transistores compostos devido ao espelho de corrente NMOS-PMOS utilizado atuar como circuito casador de tensões porta-fonte, como explicado no Capítulo 4.

Feita essas observações resume-se na Tabela 6-6 os resultados. Esta compara, marcando um X na topologia da qual se espera melhor característica, os compromissos a serem ponderados entre as principais características esperadas de um CFA para o mesmo consumo disponível.

Parâmetro	CFA básico	CFA com transistores compostos
f-3dB @G=6dB	X	
$\Delta f-3dB/(f-3dB@G=6dB)$		X
Offset		X
Insensibilidade a variações de processo e temperatura	X	
<i>Slew-Rate</i>	X	
Área		X

Tabela 6-6: Comparação entre as topologias marcando um X na topologia que apresentou melhor características.

Capítulo 7.

CONCLUSÕES

O estudo realizado e apresentado neste trabalho reúne os melhores conteúdos da literatura aprofundando e simplificando as equações e informações. Foram obtidas equações fechadas para a função de transferência e critério de estabilidade que consideram as resistências parasitas e o pólo secundário devido ao espelho de corrente. Buscaram-se os porquês da eficácia desta célula em aplicações que trabalham com grandes sinais em alta frequência, que necessitem de ganho variável, ou diferente do unitário, em banda larga. Entretanto, o VOA é melhor solução em relação às células aqui apresentadas quando precisão DC é requerida.

Verificou-se que, existem alguns autores na literatura que esqueceram os fundamentos do amplificador realimentado em corrente e a história que levou à sua concepção. Com isso, encontram-se diversos trabalhos que se autodenominam CFA quando na verdade, não apresentam as características básicas necessárias a um.

A validação do estudo realizado foi feita através do projeto, em tecnologia 0,35 μm CMOS da *foundry* Austriamicrosystems, de duas topologias, sendo uma baseada na configuração denominada básica ao longo deste trabalho e a outra que utiliza transistores compostos. Ambas foram dimensionadas para consumir 15 mA. A utilização de transistores compostos é justificada pelos desafios impostos na implementação de CFAs em tecnologia CMOS.

A utilização de amplificadores realimentados em corrente na tecnologia CMOS é possível, entretanto, estes não possuem resultados semelhantes aos bipolares. A simples substituição por transistores MOS em topologias bipolares não apresenta bons resultados. A baixa transcondutância do transistor CMOS resulta em elevadas impedâncias de entrada inversora e saída, assim como, em nós internos. Este fator limita a banda do CFA, principalmente devido aos seguidores de tensão que possuem pólos não afastados de mais de uma década das frequências de interesse, necessitando, portanto, de maior capacitância para obter estabilidade. A elevada capacitância de compensação tem implicações severas na banda do amplificador realimentado em corrente.

Este trabalho aprofundou as equações relativas à célula transistor composto, existentes na literatura, e obteve seu comportamento em frequência. Foi identificado que o principal

problema deste bloco é o compromisso entre banda e transcondutância equivalente. Foram propostos dois métodos para relaxar este compromisso, os quais se mostraram efetivos no aumento da resposta em frequência da célula.

Deve-se ressaltar a metodologia de projeto e estudo desenvolvido, além do aprendizado dentro da área de circuitos analógicos. Envolve conhecimento, aplicação das técnicas de projeto e metodologia, utilização das ferramentas de projeto disponíveis, familiarização com equipamentos de medidas e métodos de medição. Além disso, o autor acredita que a formação de um bom projetista não se dá apenas com leitura de livros e artigos científicos, mas sim, com o acúmulo de experiências obtidas através dos resultados práticos na bancada. O conhecimento é mais bem absorvido quando identificamos a causa de nossos erros e evitamos os mesmos nos projetos subsequentes.

Capítulo 8.

TRABALHOS FUTUROS

O conceito por trás da célula transistor composto é extremamente interessante e engenhoso, o aumento de banda proposto por esse trabalho apresenta simples implementação e é essencial para a utilização da célula, entretanto, os resultados obtidos ensinaram ao autor a importância e mandatoriedade de simulações Monte Carlo e utilizando *corners*.

A topologia auto polarizada utilizada no transistor composto é extremamente dependente dos parâmetros de processo e dimensão dos transistores. Os resultados foram prejudicados por esta particularidade, a qual não foi percebida na fase de projeto e não constava qualquer menção na literatura relacionada.

Trabalhos futuros devem buscar a redução da influência de variações de processo, tensão e temperatura. São necessárias, também, soluções alternativas visando deslocar os pólos secundários para mais altas frequências.

O estudo realizado indica que tecnologias de poço isolado resultariam em melhorias significativas em todas as características do CFA.

Referências bibliográficas

- [1] **Manetakis, K., Toumazou, C. e Papavassiliou, C.** A 120 MHz, 12 mW CMOS current feedback opamp. *Custom Integrated Circuits Conference, 1998. Proceedings of the IEEE 1998.* 11-14 de Maio de 1998, p. 365.
- [2] **Black, Harold Stephen.** *Wave Translation System. Patent 2,102,671* United States, 1937.
- [3] *High Speed Current Feedback Op Amps. Analog Devices.* MT-057 TUTORIAL.
- [4] **Schulz, E.H.** Comparison of Voltage- and Current-Feedback Amplifiers. *Proceedings of the Institute of Radio Engineers.* Jan. 1943, Vol. 31, 1, p. 25.
- [5] **Sedra, K. C. Smith and A. S.** The current conveyor a new building block. *Proc. IEEE.* Agosto de 1968, Vol. 56, pp. 1368-1369.
- [6] **REIS FILHO, C. A.** *Tópicos em Circuitos Integrados Analógicos.* 01 ed. Campinas, SP : Komedi, 2006. p. 206. Vol. 01.
- [7] **Roberts, Adel S. Sedra and Gordon W.** The current conveyor: history, progress and new results. s.l. : Circuits, Devices and Systems, IEE Proceedings G , 1990, Capítulo 3, pp. 78-87.
- [8] **Korte, J. H. Hujising and J. De.** Monolithic nullor - a universal active network element. *IEEE Journal of Solid State Circuits.* Fevereiro de 1977, Vols. SC-12, 5, pp. 59-64.
- [9] **Wilson, B.** Universal conveyor instrumentation amplifier. *Electronics Letter.* Vol. 25, 7, pp. 470-471.
- [10] **Lidgey, C. Tomazou and F. J.** Novel current-mode instrumentation amplifier. *Electronic Letters.* Fevereiro de 1989, Vol. 25, 3, pp. 228-230.
- [11] **Lidgey, F. J. and Hayatleh, K.** Current-feedback operational amplifiers and applications. *Electronics & Communication Engineering Journal.* August 1997, pp. 176-182.
- [12] **David A. Nelson, Kenneth R. Saller.** *Settling time reduction in wide-band direct-coupled transistor amplifiers.* US4502020 26 de Outubro de 1983. Patent.

- [13] **Comlinear Corporation.** *Fast Settling, High Current Wideband Op Amp.* [Datasheet] 1982.
- [14] **Elantec Inc.** *EL2020C 50MHz Current Feedback Amplifier.* [Datasheet] 1987.
- [15] **Palumbo, G.** Current feedback amplifier: stability and compensation. *Proceedings of the 40th Midwest Symposium on Circuits and Systems.* 03-06 de Agosto de 1997, Vol. 1, pp. 249 - 252.
- [16] **Franco, S.** Analytical Foudantions of Current-Feedback Amplifiers. *IEEE International Symposium on Circuits and Systems.* 3-6 de Maio de 1993, Vol. 2, pp. 1050 - 1053.
- [17] **Jung, Taewon.** Design of a 570 MHz current feedback amplifier on bonded wafer technology. *Conference Record Southcon.* 25-27 de Junho de 1996, pp. 396 - 399.
- [18] **Selvanayagam, S. e Lidghey, F. J.** Wide Bandwidth CMOS Current Feedback Op Amp for Inverting Amplifier Applications. *Wideband Circuits, Modelling and Techniques, IEE Colloquium.* 10 de May de 1996, pp. 7/1-7/4.
- [19] **Manetakis, K. e Toumazou, C.** Current-feedback Opamp Suitable for CMOS VLSI Technology. *Electronics Letters.* 6 de June de 1996, Vol. 32, 12, pp. 1090 - 1092 .
- [20] **Manetakis, K., Toumazou, C. e Papavassiliou, C.** A high-frequency CMOS current feedback op amp. *Analog and Mixed IC Design, 1997. Proceedings., 1997 2nd IEEE-CAS Region 8 Workshop on.* Setembro de 1997, p. 79.
- [21] **Assi, A., Sawan, M. e Zhu, Jieyan.** An offset compensated and high-gain CMOS current-feedback op-amp. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications,* . Janeiro de 1998, Vol. 45, 1, p. 85.
- [22] **Djebbi, M., Assi, A. e Sawan, M.** An offset-compensated wide-bandwidth CMOS current-feedback operational amplifier. *Canadian Conference on Electrical and Computer Engineering, 2003. IEEE CCECE 2003.* 4-7 de Maio de 2003, p. 73.
- [23] **Mahattanakul, J. e Toumazou, C.** A Theoretical Study of the Stability of High Frequency Current Feedback Op-Amp Integrators. *IEEE Transactions on Circuits and Systems.* Janeiro de 1996, Vol. 43, No.1.
- [24] **Boylestad, Robert L. e Nashelsky, Louis.** *Electronic Devices and Circuit Theory.* 10ed. s.l. : Prentice Hall, 2008, Cap. 14.
- [25] **Smith, S.O.** The good, the bad and the ugly: current feedback-technical contributions and limitations. *IEEE International Symposium on Circuits and Systems, 1993., ISCAS '93, 1993.* Maio de 03 de 1993, Vol. 2, pp. 1058 - 1061.
- [26] **Potson, David.** Current Feedback Op Amp Applications Circuit Guide. *National Semiconductor Corporation Application Note.* 2001, AN01278.

- [27] **Texas Instruments.** Current Feedback Amplifier Analysis and Compensation. *Application Report*. Março de 2001, SLOA021A.
- [28] **Elsayed, F., et al.** A new 90NM CMOS current feedback operational amplifier. *Canadian Conference on Electrical and Computer Engineering, 2009. CCECE '09.* 3-6 de Maio de 2009, p. 903.
- [29] **Madian, A.H., Mahmoud, S.A. e Soliman, A.M.** Low Voltage CMOS Fully Differential Current Feedback Amplifier with Controllable 3-dB Bandwidth. *IEEE International Conference on Signal Processing and Communications, 2007. ICSPC 2007.* 24-27 de Novembro de 2007, p. 93.
- [30] **Nandwana, R.K., Arrawatia, M. e Goel, N.** Design of low-voltage high performance CMOS-Current feedback amplifier using indirect feedback compensated Op-Amp. *IEEE 8th International Conference on ASIC, 2009. ASICON '09.* 20-23 de Outubro de 2009, p. 254.
- [31] **Arbe, Arie F. e Goldminz, Lavy.** Output stage for current-mode feedback amplifiers, theory and applications. *Analog Integrated Circuits and Signal Processing.* 1992, Vol. 2, pp. 243-255.
- [32] **Ismail, A.M. e Soliman, A.M.** Novel CMOS current feedback op-amp realization suitable for high frequency applications. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications.* Junho de 2000, Vol. 47, 6, pp. 918 - 921 .
- [33] **Moraveji, F.** A tiny, high-speed, wide-band, voltage-feedback amplifier stable with all capacitive load. *IEEE Journal of Solid-State Circuits.* Outubro de 1996, Vol. 31, 10.
- [34] *AMS 0.35 μ m CMOS C35 Process Parameters Manual.* [Online] www.austriamicrosystems.com.
- [35] **Sproul, A. B., and M. A. Green.** Improved value for the silicon intrinsic carrier concentration from 275 to 375 K. *Journal of Applied Physics.* 1991, Vol. 70, 2, p. 846.
- [36] [Online] Mentor Graphics. [Citado em: 23 de novembro de 2011.] <http://www.mentor.com/>.
- [37] **Maneesha Gupta, Prashant Aggarwal , Pritender Singh , Naveen Kumar Jindal.** Low voltage current mirrors with enhanced bandwidth. Abril de 2009, Vol. 59, 1.
- [38] **Voo, T. e Toumazou, C.** High-speed current mirror resistive compensation technique. *Electronics Letters.* 16 de Fevereiro de 1995, Vol. 31, 4, pp. 248 - 250.
- [39] **Manetakis, K. and Toumazou, C.** A new high-frequency very low output-impedance CMOS buffer. *IEEE International Symposium on Circuits and Systems.* 1996, Vol. 1, p. 485.
- [40] **Comer, D.J., et al.** Bandwidth Extension of High-Gain CMOS Stages Using Active Negative Capacitance. *13th IEEE International Conference on Electronics, Circuits and Systems, 2006. ICECS '06.* 10-13 de Dezembro de 2006, pp. 628 - 631.

[41] **P. R. Gray, P. Hurst, S. Lewis, and R. G. Meyer.** *Analysis and Design of Analog Integrated Circuits*. New York, NY : Wiley, 2001.

[42] **Bruun, E.** CMOS technology and current-feedback op-amps. *IEEE International Symposium on Circuits and Systems, 1993., ISCAS '93, 1993.* 3-6 de Maio de 1993, p. 1062.

Apêndice A.

EQUAÇÕES BÁSICAS DOS TRANSISTORES MOS

Abaixo listaremos as equações básicas dos transistores MOS que utilizaremos ao longo deste trabalho [41].

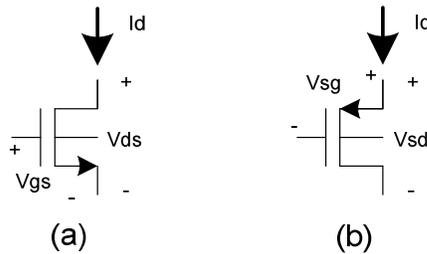


Figura A. 1: Símbolos utilizados para os transistores (a) NMOS e (b) PMOS.

A.1 TRANSISTOR NMOS

A.1.1 CORRENTE DE DRENO

A corrente de dreno na região de forte inversão saturação é dada por:

$$I_{DN} = \frac{1}{2} \cdot K_{PN} \cdot \frac{W_N}{L_N} \cdot (V_{gs} - V_{thn})^2 \cdot (1 + \lambda_n \cdot V_{ds}) \quad (A.1)$$

Sendo:

$$K_{PN} = \mu_N \cdot C_{OX}' \quad (A.2)$$

Onde:

I_{DN} (A): corrente de dreno do transistor

μ_N ($\frac{m^2}{V.s}$): mobilidade de elétrons

C_{OX}' ($\frac{fF}{\mu m^2}$): capacitância por área do terminal de porta

W_N (μm): Largura do canal do transistor

L_N (μm): Comprimento do canal do transistor

V_{gs} (V): Tensão entre porta e fonte do transistor

V_{thn} (V): tensão de limiar do transistor NMOS

λ_n (V^{-1}): parâmetro de efeito de modulação de canal para o transistor NMOS

V_{ds} (V): Tensão entre dreno e fonte do transistor

A.1.2 TENSÃO LIMIAR

A tensão de limiar resultante, considerando a influência do efeito de corpo, é calculada pela Equação A.3:

$$V_{thn} = V_{th0n} + \gamma_n \cdot \left(\sqrt{|V_{sb} + 2 \cdot \phi_{FN}|} - \sqrt{|2 \cdot \phi_{FN}|} \right) \quad (A.3)$$

onde V_{sb} (V) representa a tensão entre a fonte e substrato, γ_n ($V^{1/2}$) é o fator de efeito de corpo do transistor NMOS e ϕ_F (V) é a tensão de superfície calculada segundo a Equação A.4:

$$\phi_{FN} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{NSUBN}{n_i} \right) \quad (A.4)$$

Onde k (eV/K) é a constante de Boltzmann, $NSUBN$ ($10^{15}/cm^3$) representa a dopagem efetiva do substrato para o transistor NMOS, n_i ($10^{10}/cm^3$) é a dopagem intrínseca do substrato @ 300 K, T a temperatura em Kelvin e q (C) a carga do elétron.

A.1.3 TRANSCONDUTÂNCIA DE PORTA

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão porta-fonte e a corrente de dreno é dada como segue:

$$g_m = \frac{\partial I_{DN}}{\partial V_{gs}} = \frac{2 \cdot I_{DN}}{V_{gs} - V_{thn}} = \sqrt{\frac{2 \cdot I_{DN} \cdot K_{PN}}{(1 + \lambda_n \cdot V_{ds})}} \cdot \frac{W_N}{L_N} \quad (A.5)$$

A.1.4 TRANSCONDUTÂNCIA DE DRENO

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão dreno-fonte e a corrente de dreno é calculada como segue:

$$g_{ds} = \frac{\partial I_{DN}}{\partial V_{ds}} = \frac{I_{DN}}{\left(\frac{1}{\lambda_n} + V_{ds}\right)} \quad (A.6)$$

A.1.5 TRANSCONDUTÂNCIA DE CORPO

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão fonte-substrato e a corrente de dreno é dada como segue:

$$g_{mb} = g_m \cdot \frac{Y_n}{\left(2 \cdot \sqrt{|V_{sb} + 2 \cdot \Phi_{FN}|}\right)} \quad (A.7)$$

A.2 TRANSISTOR PMOS

A.2.1 CORRENTE DE DRENO

A corrente de dreno na região de forte inversão saturação é dada por:

$$I_{DP} = \frac{1}{2} \cdot K_{PP} \cdot \frac{W_N}{L_N} \cdot (V_{sg} - |V_{thp}|)^2 \cdot (1 + \lambda_p \cdot V_{sd}) \quad (A.8)$$

Sendo:

$$K_{PP} = \mu_p \cdot C_{OX}' \quad (A.9)$$

Onde:

I_{DP} (A): corrente de dreno do transistor

μ_p ($\frac{m^2}{V \cdot s}$): mobilidade de lacunas

W_p (μm): Largura do canal do transistor

L_p (μm): Comprimento do canal do transistor

V_{sg} (V): Tensão entre fonte e porta do transistor

V_{thp} (V): tensão de limiar do transistor PMOS

λ_p (V^{-1}): parâmetro de efeito de modulação de canal para o transistor PMOS

V_{sd} (V): Tensão entre fonte e dreno do transistor

A.2.2 TENSÃO LIMIAR

A tensão de limiar resultante considerando a influência do efeito de corpo é calculada pela Equação A.10:

$$V_{thp} = V_{th0p} + \gamma_p \cdot \left(\sqrt{|V_{bs} + 2 \cdot \phi_{FP}|} - \sqrt{|2 \cdot \phi_{FP}|} \right) \quad (A.10)$$

Onde V_{bs} (V) representa a tensão entre a fonte e substrato, γ_p ($V^{1/2}$) é o fator de efeito de corpo do transistor PMOS e ϕ_{FP} (V) é a tensão de superfície calculada segundo a Equação A.11:

$$\Phi_{FP} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{NSUBP}{n_i}\right) \quad (A.11)$$

onde k (eV/K) é a constante de Boltzmann, $NSUBP$ ($10^{15}/\text{cm}^3$) representa a dopagem efetiva do substrato para o transistor NMOS, n_i ($10^{10}/\text{cm}^3$) é a dopagem intrínseca do substrato @ 300 K, T a temperatura em Kelvin e q (C) a carga do elétron.

A.2.3 TRANSCONDUTÂNCIA DE PORTA

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão fonte-porta e a corrente de dreno é dada como segue:

$$g_m = \frac{\partial I_{DP}}{\partial V_{sg}} = \frac{2 \cdot I_{DP}}{V_{sg} - |V_{thp}|} = \sqrt{\frac{2 \cdot I_{DP} \cdot K_{PP}}{(1 + \lambda_p \cdot V_{sd})}} \cdot \frac{W_P}{L_P} \quad (A.12)$$

A.2.4 TRANSCONDUTÂNCIA DE DRENO

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão fonte-dreno e a corrente de dreno é calculada como segue:

$$g_{ds} = \frac{\partial I_{DP}}{\partial V_{sd}} = \frac{I_{DN}}{\left(\frac{1}{\lambda_p} + V_{sd}\right)} \quad (A.13)$$

A.2.5 TRANSCONDUTÂNCIA DE CORPO

A transcondutância em forte inversão saturação, para pequenos sinais, entre a tensão fonte-substrato e a corrente de dreno é dada como segue:

$$g_{mb} = g_m \cdot \frac{\gamma_p}{\left(2 \cdot \sqrt{|V_{bs} + 2 \cdot \Phi_{FP}|}\right)} \quad (A.14)$$

Apêndice B.

AMPLIFICADOR OPERACIONAL COM REALIMENTAÇÃO EM TENSÃO

O amplificador operacional com realimentação em tensão (VOA), é utilizado extensivamente na indústria eletrônica como um bloco versátil. A arquitetura do VOA apresenta vários atrativos como o par diferencial simétrico de entrada e a alta impedância de entrada sendo assim, excelente para rejeição de sinais de modo comum. Entretanto, para que este possa ser utilizado pelos projetistas de maneira simples, é necessária a presença de um pólo dominante garantindo assim a estabilidade do circuito. Como resultado, o VOA possui limitações como produto ganho-banda constante e baixo *slew-rate*. O baixo *slew-rate* é a principal causa de distorção em amplificadores de alta frequência que trabalham com grandes sinais [11].

As equações desenvolvidas neste apêndice são baseadas nas equações expostas no 0. É recomendada ao leitor a leitura deste para melhor compreensão dos desenvolvimentos e símbolos utilizados.

B.1 AMPLIFICADOR OPERACIONAL COM REALIMENTAÇÃO EM TENSÃO BÁSICO

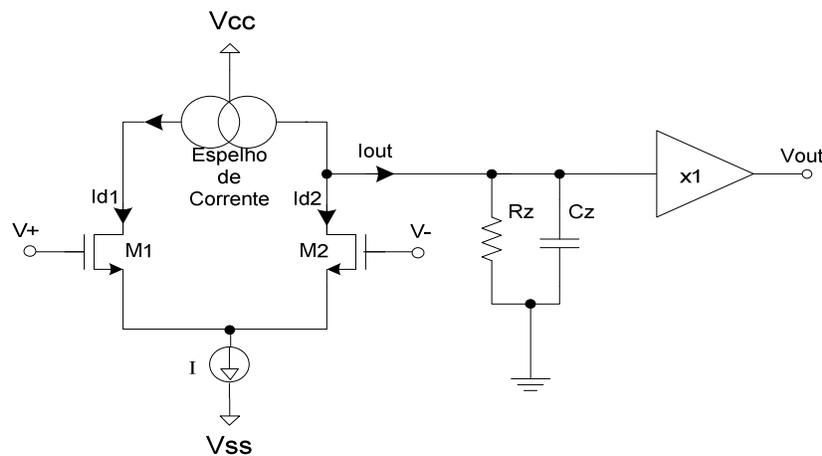


Figura B. 1: Esquemático simplificado de um amplificador operacional com realimentação de tensão (VOA)

Em busca do entendimento das limitações de um VOA, utilizaremos a arquitetura básica de um amplificador operacional exposta na Figura B. 1. Esta topologia é composta por um par diferencial de entrada, provendo a desejável alta impedância, polarizado por fonte única de corrente.

Aplicando-se uma diferença de tensão entre as entradas, inversora e não inversora, ocorre um desbalanceamento de corrente entre os ramos. Com o auxílio do espelho de corrente, a diferença entre elas é transferida para as impedâncias R_z e C_z , resultando na amplificação da tensão presente na entrada. O seguidor de tensão apenas atua isolando o nó de ganho de cargas inseridas na saída do VOA.

Ao se excursionar a tensão de modo comum do sinal de entrada, supondo fonte e espelho de corrente ideal, o comportamento do circuito não é alterado. Esta característica resulta na desejada rejeição de sinais de modo comum.

Outra característica desejável desta topologia é o baixo *offset*. Realizando um layout cuidadoso é possível obter excelentes resultados, dado que os transistores presentes no par diferencial são de mesmo tipo e geralmente de mesmo tamanho.

B.2 RESPOSTA EM FREQUÊNCIA DE MALHA ABERTA

A função de transferência em malha aberta pode ser aproximada por um sistema de apenas um pólo dominante formado pela resistência R_z e a capacitância C_z . Assim, temos:

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{A}{s + \frac{1}{R_z \cdot C_z}} \quad (B.1)$$

Na equação acima, o ganho em malha aberta, A , é dado por:

$$A = g_m \cdot R_z \quad (B.2)$$

onde, g_m representa a transcondutância dos transistores que compõe o par diferencial de entrada.

É importante salientar que, para que esta aproximação seja válida, é necessário que os demais pólos do circuito, como os do seguidor de tensão e os do espelho de corrente, estejam em frequências muito mais altas que o pólo dominante. Em geral esta afirmação é

verdadeira, pois, a impedância neste nó é dada pelo paralelo entre a impedância de saída do espelho de corrente, a resistência dreno-fonte de M2 e a capacitância de compensação, escolhida para alocar o pólo na posição desejada.

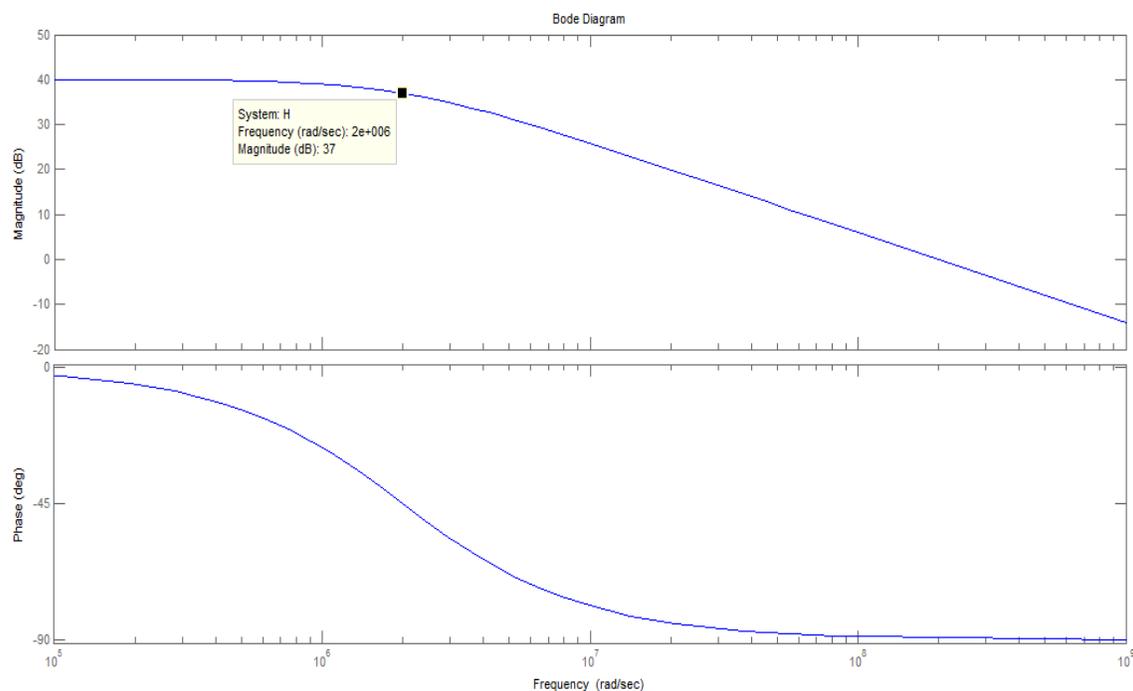


Figura B.2: Resposta em frequência do VOA para $A = 100 \text{ V/V}$, $R_z = 100 \text{ K}\Omega$ e $C_z = 1 \text{ pF}$

A figura acima ilustra a resposta em frequência de malha aberta para $A = 100 \text{ V/V}$, $R_z = 100 \text{ K}\Omega$ e $C_z = 5 \text{ pF}$. Observamos que, o pólo dominante está localizado na frequência 2 Mrad/s e que o ganho acompanha a assíntota da função de transferência, decaindo 20 dB/dec como esperado.

B.3 CONFIGURAÇÃO NÃO INVERSORA E RESPOSTA EM MALHA FECHADA

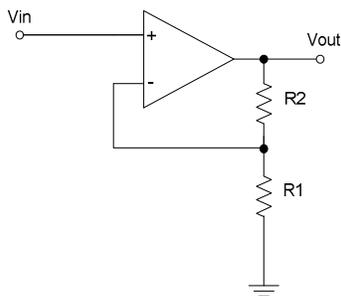


Figura B.3: Amplificador na configuração não inversora.

A Figura B.3 ilustra a utilização do amplificador realimentado em tensão na configuração não inversora. Podemos observar que, devido à alta impedância de entrada, a tensão de saída é amostrada retornando como sinal de entrada.

Utilizando as Equações B.1 e B.2, e substituindo s por $j.2\pi.f$, podemos obter a função de transferência em malha fechada:

$$H_f(f) = \frac{V_{out}}{V_{in}} = G \cdot \left(\frac{A}{A+G} \right) \cdot \left(\frac{1}{1+j \frac{f.G}{f_{MAX}}} \right) \quad (B.3)$$

Onde:

$$f_{MAX} = \frac{(A + G)}{2 \cdot \pi \cdot R_Z \cdot C_Z} \quad (B.4)$$

G representa o ganho de malha fechada e é dado por:

$$G = 1 + \frac{R_2}{R_1} \quad (B.5)$$

Sabendo que $A \gg G$, podemos aproximar a Equação B.3 por:

$$H_f(f) = \frac{V_{out}}{V_{in}} \cong G \cdot \left(\frac{1}{1 + j \cdot \frac{f}{f_p}} \right) \quad (B.6)$$

Onde, o pólo em malha fechada é dado por:

$$f_p = \frac{f_{MAX}}{G} \quad (B.7)$$

Observando a Equação B.7 nos deparamos com uma das limitações fundamentais do VOA. Aumentando o ganho de malha fechada G reduzimos a frequência do pólo dominante, enquanto o contrário ocorre quando reduzimos o ganho. A multiplicação $f_p \cdot G$ é

denominado produto ganho banda sendo utilizado como figura de mérito de um amplificador operacional com realimentação em tensão. Observamos também que, a frequência de -3 dB será máxima somente quando $G = 1$. Apesar de obtida para a topologia exposta na Figura B. 1, o produto ganho banda é comum a vasta maioria de VOAs, uma vez que este compromisso aparece devido à compensação em frequência por pólo dominante.

Manipulando a Equação B.6 e novamente expressando-a em função de s , deixaremos para referência futura reescrita conforme abaixo:

$$H_f(s) = \frac{V_{out}}{V_{in}} \cong G \cdot \frac{1}{s \cdot G \cdot \left(\frac{1}{g_m}\right) \cdot C_Z + 1} \quad (\text{B.8})$$

B.4 LIMITAÇÃO DE SLEW-RATE

Ainda utilizando o circuito da Figura B. 1, nota-se que, variações de grande amplitude no sinal de entrada resultam no chaveamento da corrente de polarização entre os ramos. Inicialmente, a amplitude da corrente cresce, obedecendo às Equações B.9 e B.10:

$$\begin{aligned} I_{out} &= I_{d1} - I_{d2} \\ &= \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot \left(V_{CM} - V_S + \frac{V_i}{2} - V_{thn}\right)^2 - \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot \left(V_{CM} - V_S - \frac{V_i}{2} - V_{thn}\right)^2 \end{aligned} \quad (\text{B.9})$$

$$\begin{aligned} I &= I_{d1} + I_{d2} \\ &= \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot \left(V_{CM} - V_S + \frac{V_i}{2} - V_{thn}\right)^2 + \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot \left(V_{CM} - V_S - \frac{V_i}{2} - V_{thn}\right)^2 \end{aligned} \quad (\text{B.10})$$

Nas equações acima, V_i representa a tensão diferencial presente no par de entradas, V_{CM} é a tensão de modo comum, V_S a tensão na fonte dos transistores do par diferencial, μ_n a mobilidade do elétron, C_{ox} a capacitância do óxido de porta, W a largura, L o comprimento, V_{th} a tensão de limiar e V_{gs} a tensão entre porta e fonte do transistor.

Dividindo as Equações B.9 e B.10, obtemos:

$$\frac{I_{\text{out}}}{I} = \frac{\left(V_{\text{CM}} - V_{\text{S}} + \frac{V_{\text{i}}}{2} - V_{\text{thn}}\right)^2 - \left(V_{\text{CM}} - V_{\text{S}} - \frac{V_{\text{i}}}{2} - V_{\text{thn}}\right)^2}{\left(V_{\text{CM}} - V_{\text{S}} + \frac{V_{\text{i}}}{2} - V_{\text{thn}}\right)^2 + \left(V_{\text{CM}} - V_{\text{S}} - \frac{V_{\text{i}}}{2} - V_{\text{thn}}\right)^2} \quad (\text{B.11})$$

Utilizando a Equação B.12, podemos reescrever a Equação B.11 como:

$$V_{\text{CM}} - V_{\text{S}} = V_{\text{thn}} + \sqrt{\frac{\frac{I}{2}}{\frac{\mu_{\text{n}} \cdot C_{\text{ox}}}{2} \cdot \frac{W}{L}}} \quad (\text{B.12})$$

$$I_{\text{out}} = I \cdot \frac{4 \cdot V_{\text{i}} \cdot \sqrt{I \cdot \mu_{\text{n}} \cdot C_{\text{ox}}} \cdot \sqrt{W/L}}{4 \cdot I + \mu_{\text{n}} \cdot C_{\text{ox}} \cdot \frac{W}{L} \cdot V_{\text{i}}^2} \quad (\text{B.13})$$

Quando V_{i} torna-se suficientemente grande a corrente de polarização fluirá, integralmente, da capacitância presente no nó de ganho. Portanto, a magnitude de I_{out} é limitada pela corrente de polarização

Como exemplo assumamos $I = 1 \text{ mA}$, $W/L = 10$ e $\mu_{\text{n}} \cdot C_{\text{ox}} = 170 \frac{\mu\text{A}}{\text{V}^2}$. Utilizando estes valores, a Figura B.4 ilustra a limitação da corrente de saída utilizando a Equação B.13:

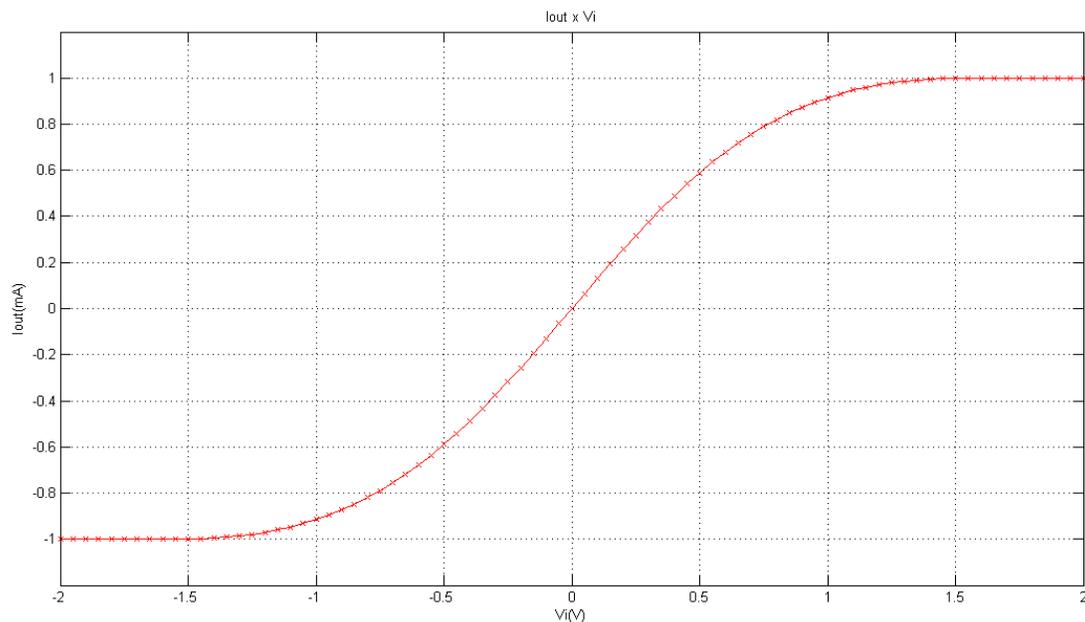


Figura B.4: I_{out} em função da tensão diferencial imposta no par de entradas.

Com isso, para sinais suficientemente grandes, o *slew-rate* é limitado por:

$$SR = \frac{I}{C_Z} \quad (B.14)$$

Utilizando a Equação B.14 e valores típicos de projeto, corrente de polarização de 1 mA e capacitância de 5 pF, obtemos o *slew-rate* de apenas 200 V/ μ s. Com esse valor de *slew-rate*, utilizando a Equação 2.49, observamos que, para um sinal que resulte, com a malha fechada, em uma senóide de 1 V de pico na saída do VOA, a frequência máxima tolerada pelo amplificador será de 31,83 MHz.

