

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

Sistema Monofásico de Geração Distribuída baseado em Inversor Multinível

Autor: Sérgio Pires Pimentel

Orientador: Prof. Dr. José Antenor Pomilio

Tese de Doutorado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: **Energia Elétrica (AF)**.

Banca Examinadora

José Antenor Pomilio, Dr. (Presidente) DSCE/FEEC/UNICAMP
Enes Gonçalves Marra, Dr. UFG
Fernando Pinhabel Marafão, Dr. UNESP-Sorocaba
Ernesto Ruppert Filho, Dr. DSCE/FEEC/UNICAMP
Madson Cortes de Almeida, Dr. DSEE/FEEC/UNICAMP

Campinas, SP

27 de Julho de 2011

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

P649s Pimentel, Sérgio Pires
Sistema monofásico de geração distribuída baseado
em inversor multinível / Sérgio Pires Pimentel. –
Campinas, SP: [s.n.], 2011.

Orientador: José Antenor Pomilio.
Tese de Doutorado - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Geração distribuída de energia elétrica. 2.
Conversores de energia elétrica. 3. Eletrônica de
potência. 4. Sistemas de controle por realimentação. 5.
Controladores PID. I. Pomilio, José Antenor. II.
Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: Single-phase distributed generation system based on asymmetrical
cascaded multilevel inverter

Palavras-chave em Inglês: Distributed generation of electricity, Power converters,
Power electronics, Feedback control systems, PID
controllers

Área de concentração: Energia Elétrica

Titulação: Doutor em Engenharia Elétrica

Banca examinadora: Enes Gonçalves Marra, Fernando Pinhabel Marafão, Ernesto
Ruppert Filho, Madson Cortes de Almeida

Data da defesa: 27-07-2011

Programa de Pós Graduação: Engenharia Elétrica

(Cópia do documento “FOLHA DE APROVAÇÃO”)

COMISSÃO JULGADORA - TESE DE DOUTORADO

Candidato: Sérgio Pires Pimentel

Data da Defesa: 27 de julho de 2011

Título da Tese: "Sistema Monofásico de Geração Distribuída baseado em Inversor Multinível"

Prof. Dr. José Antenor Pomílio (Presidente): _____

Prof. Dr. Enes Gonçalves Marra: _____

Prof. Dr. Fernando Pinhabel Marafão: _____

Prof. Dr. Ernesto Ruppert Filho: _____

Prof. Dr. Madson Cortes de Almeida: _____

Agradecimentos

Em primeiro lugar, agradeço a Deus pela vida em Cristo e pelas inúmeras demonstrações de que Ele sempre está no controle de tudo, inclusive daquilo que julgamos impossível de ser obtido exclusivamente mediante as nossas próprias forças. De que adiantaria a busca pela realização de um sonho se ele não estiver de acordo com a vontade de Deus?

Agradeço e dedico este trabalho à minha esposa Aline e à minha filha Beatriz. Seria impossível não agradecer a elas todo o carinho e a compreensão recebidos durante a realização desta tese. Além da cerca que delimita a UNICAMP, foram elas as responsáveis por manter meu entusiasmo e minha determinação na busca de um sonho. Durante essa jornada nós cada vez mais nos alegamos, nos angustiamos, nos fortalecemos, nos descobrimos, nos aproximamos, nos confrontamos, enfim, vivemos tudo sempre juntos. Um beijo, um abraço, uma palavra de confiança ou uma oração delas me fortaleceram mais do que qualquer outro alimento ou noite de descanso, principalmente nos meses que antecederam a conclusão do trabalho.

Também agradeço ao Prof. Antenor pela maneira como ele conduziu as atividades da tese, por sempre estar muito receptivo às sugestões e aos desafios propostos e, também, por sempre incentivar as minhas participações em congressos nacionais e internacionais. Além das experiências pessoais, cresci profissionalmente também graças a tais eventos e aprendi a dar o valor merecido ao pesquisador e suas contribuições. Mesmo após o início das minhas atividades como professor no IFG, ainda durante o doutorado, as palavras de incentivo e a enorme paciência do prof. Antenor foram fundamentais para a conclusão deste trabalho. Por alguns meses, também pude compartilhar com ele a experiência em um ambiente de sala de aula do ponto de vista do professor. Atualmente não tenho dúvidas de que desenvolvo a minha didática a partir de algum detalhe que observei nele já nessa época. Enfim, antes de um orientador, enxergo no prof. Antenor um amigo para o restante da vida.

Aos meus pais, Doracina (*in memoriam*) e Gilmar Pimentel, pelas oportunidades de estudo que recebi deles desde os meus primeiros anos de vida e por permitir a busca dos meus sonhos, mesmo a mais de 800km deles. À minha avó Maria Pimentel (*in memoriam*) pelas diversas palavras de encorajamento durante o doutorado e pela expectativa de que retornássemos a morar próximo dela em Goiânia. E aos meus sogros, Mary e Alexandre Willik, pelas inúmeras orações de intercessão e por todas as demonstrações de carinho que nos aproximam cada vez mais.

Ao Prof. Dr. Edson Adriano Vendrusculo, ao Prof. Dr. Luiz Carlos Pereira da Silva e ao Dr. Marcelo Gradella Villalva por suas participações no exame de qualificação deste trabalho e pelas sugestões de atividades necessárias para a sua conclusão.

Aos membros da banca examinadora pelas sugestões apresentadas no intuito de melhorar alguns pontos da tese e pelos gratificantes elogios conferidos no dia de sua defesa.

Aos irmãos em Cristo que compõem a Igreja Batista no Crimeia Leste (de Goiânia) e Igreja Batista em Barão Geraldo (de Campinas) pelo agradável convívio e pelas orações de intercessão em favor deste trabalho e da nossa família.

Aos alunos, professores, servidores e gestores do Instituto Federal de Educação, Ciência e Tecnologia de Goiás (IFG) pela compreensão do meu envolvimento com as atividades do doutorado e, também, pelas diversas palavras de incentivo durante o exercício das minhas atividades como professor no campus Itumbiara e no campus Goiânia. Em especial, aos professores Tauler Borges, Pedro Abrão, Ezio Silva, Samuel de Paula, Elder Domingues, José Domingos, Wagner Lopes, Ghunter Vi-ajante e Marcos de Freitas pelas orientações e orações de intercessão.

Ao amigo Rodolfo Manuel Moreno Martinez por sua amizade, pelas duradouras discussões sobre detecção de ilhamento e controladores ressonantes e, também, pela cooperação na elaboração de diversas atividades de pesquisa que fizemos em conjunto.

Ao Alexandre Soares, ao André Ferreira, ao Diodomiro Baldomero, ao Edson Vendrusculo, ao Ernesto Luna, ao Ernesto (“peruano”), ao Felliipe Garcia, ao Fernando Fajoni, ao Giuliano Sperandio, ao Helmo Paredes, ao Jakson Bonaldo, ao Juan Suni, à Juliana Lopes, ao Leonardo Silva, ao Marcelo Villalva, ao Marcos de Alvarenga, à Maria Teresa, ao Newton Silva e ao Rodolfo Martinez, pelas contribuições e pelos momentos agradáveis enquanto estive desempenhando as minhas atividades no Laboratório de Condicionamento de Energia Elétrica (LCEE) da FEEC/UNICAMP.

Aos amigos Fernando Fajoni, Jakson Bonaldo, Marcus Vinícius Souza (Kim) e Suzan Martino que nos hospedaram em suas aconchegantes residências quando íamos a Campinas no período em que já não mais residíamos nessa belíssima cidade.

E, finalmente, à CAPES pela bolsa de doutorado concedida a mim durante os três primeiros anos deste trabalho, período¹ no qual pude me dedicar exclusivamente às atividades da tese.

¹De 2006 até 2009. A concessão da bolsa foi cancelada, a pedidos, após o início das minhas atividades como professor efetivo no Instituto Federal de Educação, Ciência e Tecnologia de Goiás (IFG) em 2009.

Resumo

Este trabalho aborda as características que envolvem o gerenciamento da operação de um sistema monofásico de geração distribuída. Embora tais características possam ser expandidas para sistemas trifásicos e de potência elevada, o sistema proposto está relacionado com aplicações de geração distribuída em baixa tensão ou naquelas que envolvam consumidores residenciais. O funcionamento do sistema proposto é baseado em um conversor eletrônico de potência elaborado a partir da estrutura multinível na topologia cascata assimétrica de 19 níveis. Nesta topologia, as tensões dos barramentos CC devem ser isoladas e desiguais entre si. Tal condição permite o envolvimento, nos barramentos CC do inversor, de múltiplas ou diferentes fontes alternativas de energia elétrica tais como sistemas fotovoltaicos, sistemas de células a combustível ou sistemas eólicos associados com conversores CC/CC. Com o sistema em operação, busca-se uma injeção apenas de potência ativa no sistema de distribuição alimentador e um fornecimento ininterrupto de energia elétrica para uma carga local mesmo quando nesta predominar características não-lineares de alimentação. Assim, de acordo com os seus objetivos, o sistema proposto opera de forma contínua e intercalada entre os modos ilhado e compartilhado. Detalhes sobre tais modos de operação e suas respectivas transições são apresentadas. As transições envolvem a detecção de ilhamento e o êxito no sincronismo. Em função disso, é apresentado um método ativo de detecção de condições de ilhamento. Tal método representa a adaptação de um método ativo já existente (AFDPF) aos requisitos de operação do sistema proposto neste trabalho. Justificativas e detalhes dessa adaptação do método ativo AFDPF são apresentados. Com relação à outra transição, um método de sincronismo baseado em técnicas PLL é apresentado. Tal método de sincronismo atende os requisitos estabelecidos em IEEE Std 1547-2003, diminuindo os impactos de uma possível religação com o sistema de distribuição. Para permitir um melhor funcionamento sob diferentes requisitos, também são descritas as etapas que envolvem os métodos de projeto dos controladores adotados: controlador PI de corrente de saída; controlador PI de potência média injetada; e controlador P+Ress de tensão na carga. Em especial, é apresentada uma nova metodologia de projeto do controlador proporcional e ressonante (P+Ress) de tensão baseada na sua resposta em malha fechada observada no domínio do tempo, em contrapartida ao seu método clássico de projeto baseado no domínio da frequência. Um modelo matemático para simulações computacionais e um protótipo experimental utilizando o DSP TMS320F2812 foram considerados. Resultados de simulações computacionais e experimentais são comparados e permitem a verificação do comportamento do sistema proposto sob condições normais e anormais de operação.

Palavras-chave: Inversor Multinível, Geração Distribuída, Energia Fotovoltaica, Controlador Ressonante, Células a Combustível, Detecção de Ilhamento, Energia Renovável.

Abstract

This work regards the issues related to the operation management of a single-phase distributed generation system. Although these issues can be applied three-phase systems and high power systems, the proposed system is related to low voltage distributed generation applications or related to residential consumers. The operation of the single-phase proposed system is based on an utility-interactive power electronics converter which is composed by an asymmetrical cascaded multilevel inverter. This topology is able to create an output signal with up to 19 levels and it is supplied by DC voltage power sources that must be isolated and unequal from each other. By this demand it is possible to combine multiple and/or different alternative DC voltage power supplies as photovoltaic, fuel cells or wind energy systems into the DC buses of the single-phase multilevel inverter. During the operation of the proposed system, an injection of only active power into the grid utility and an uninterrupted load supply are achieved even when the local load (or group of local loads) has predominant nonlinear characteristics. For those reasons the proposed system operates continuously and alternately between two operation modes: grid-connected mode and stand-alone mode. Details about them and its transitions are also presented. The transitions are related to a correct detection of islanding situations and also to an effective synchronization method. The islanding detection is achieved by adaptations on an already known active method (AFDPF) to accomplish the project's goals. The reasons and details about these adaptations are presented. Furthermore the synchronization method is described and it is based on PLL techniques. Both transition methods meet the IEEE Std 1547-2003 requirements and it decreases the impacts from the proposed system into grid utility. To guarantee a suitable operating under several conditions, a wide range of operation points can be found by using the design methods described to each proposed controller: PI output current controller; PI injected active power controller; and a P+Res load voltage controller. In highlights it is proposed a new design method to proportional and resonant controller (P+Res) based on its closed-loop time response, instead of the classical method based on its open-loop frequency response. A mathematical model for simulations and an experimental low power prototype based on DSP TMS320F2812 have been considered. Simulation and experimental results are compared and they allow examining the performance of the proposed system operating under normal and abnormal conditions.

Keywords: Multilevel Inverter, Distributed Generation, Photovoltaic Energy, Resonant Controller, Fuel Cells, Islanding Detection, Renewable Energy.

Sumário

Lista de Figuras	xiii
Lista de Tabelas	xvii
Lista de Abreviaturas e Siglas	xix
1 Introdução	1
1.1 Motivações e objetivos do trabalho	5
1.2 Organização do texto	9
1.3 Publicações	11
1.4 Principais contribuições	12
1.5 Conclusões	13
2 Sistema Monofásico de Geração Distribuída	15
2.1 Introdução	15
2.2 Inversor multinível	16
2.2.1 Topologia em cascata assimétrica	20
2.2.2 Estratégia de modulação para a topologia em cascata assimétrica	28
2.3 Proposta de um sistema monofásico	31
2.4 Conclusões	37
3 Modos de Operação do Sistema Proposto	39
3.1 Introdução	39
3.2 Modo compartilhado	40
3.2.1 Método de controle da corrente (ação PI)	41
3.2.2 Método de controle da potência média (ação PI)	44
3.3 Detecção de ilhamento	51
3.4 Modo ilhado	60
3.4.1 Método de controle da tensão na carga (ação P+Ress)	61
3.5 Sincronismo	84
3.6 Conclusões	87
4 Implementação do Sistema Proposto	89
4.1 Introdução	89
4.2 Especificação dos controladores	91

4.3	Aspectos do modelo computacional	94
4.4	Aspectos da implementação	96
4.5	Resultados	99
4.5.1	SEPL original	100
4.5.2	SEPL com filtro LC	111
4.6	Conclusões	129
5	Conclusões finais	131
5.1	Sugestões para trabalhos futuros	134
	Referências bibliográficas	137
A	Código do programa elaborado no DSP	145
A.1	Programa principal	145
A.2	Inicialização das variáveis	151
A.3	Leitura dos dados convertidos pelo ADC.	152
A.4	Ajuste dos sinais obtidos pelo ADC.	153
A.5	Cálculo dos valores eficazes.	154
A.6	Rastreador PLL e detector de onda fundamental	154
A.7	Filtragem dos sinais de tensão CC	156
A.8	Confere violação de limites em V/Hz.	158
A.9	Deteção de ilhamento	159
A.10	Síntese da referência durante o modo ilhado.	161
A.11	Condições vigentes para os parâmetros dos controladores	165
A.12	Definição dos pulsos de acionamento dos IGBT's	167
A.13	Cálculos dos valores de potência ativa	170
A.14	Escolha dos sinais a serem visualizados nos DAC	172
A.15	Liga e desliga o processo de conversão no DAC	173
B	Códigos dos blocos DLL do modelo computacional	175
B.1	Cálculo do valor eficaz por sua definição	175
B.2	Rastreador PLL e detector de onda fundamental	176
B.3	Método ativo de detecção de ilhamento	177
B.4	Controle do estado da chave S_1	179
B.5	Elaboração da referência durante o modo ilhado	181
B.6	Média-móvel das tensões CC do inversor	183
C	Placa de condicionamento de corrente	185
D	Placa de condicionamento de tensão	191
E	Placa de interface do DSP	195
F	Placa de monitoramento das proteções e liberação dos pulsos	199

G	Placa de interface dos módulos de potência	201
H	Módulo de potência	205
I	Placa de acionamento do relé de estado sólido	211
J	Fotos do protótipo experimental	213

Lista de Figuras

1.1	Projeções de aumento da demanda energética global (a) e da expansão da matriz energética global (b), ambas disponibilizadas em [10].	3
1.2	Projeções da matriz energética para o Brasil (a) e para a União Européia (b) conforme [10].	3
1.3	Fontes de energia exploradas no Brasil - ANEEL (Junho/2011) [11].	4
2.1	Formas de onda para uma referência senoidal em inversores de 3(a), 5(b) 7(c) e 9(d) níveis.	18
2.2	Espectro em frequência (FFT) das formas de onda da figura 2.1.	19
2.3	Topologias em cascata simétrica (a) e assimétrica (b) de um inversor multinível generalizado.	21
2.4	Topologia em cascata simétrica de 2 módulos: diagrama (a) e elaboração do sinal v_c (b).	25
2.5	Topologia em cascata assimétrica de 2 módulos (1:2) e sinal v_c com 5 (a) ou 7 (b) níveis.	26
2.6	Tensão de saída com 27 (acima) e 19 (abaixo) níveis de um inversor multinível em cascata assimétrica considerando modulação PWM no módulo de menor tensão.	27
2.7	Estratégia de modulação do inversor multinível com PWM no módulo de menor tensão.	29
2.8	Estratégia de modulação no módulo n para o caso de modulação PWM no módulo de menor tensão: fluxograma (a) e relação entrada-saída (b).	30
2.9	Sinal de referência v_c^* (a) e de expectativa de sinal de saída ($\equiv v_1^* + v_2^* + v_3^*$) (b) para um inversor multinível de 19 níveis com $V_1 = 1V$	32
2.10	Comportamento dos módulos 3 (a), 2 (b) e 1 (c, d) de um inversor de 19 níveis durante a elaboração, mediante a estratégia de modulação da figura 2.7, do sinal de saída da figura 2.9(b).	33
2.11	Visão geral da proposta de um sistema monofásico de geração distribuída.	33
2.12	Diagrama equivalente ao sistema de energia elétrica da figura 2.11.	35
3.1	Modos de operação e condições de transição do sistema de geração distribuída proposto.	39
3.2	Sistema de geração distribuída proposto operando no modo compartilhado.	40
3.3	Diagrama de blocos do método de controle da corrente i_c no modo compartilhado.	41
3.4	Diagrama de blocos do método de controle da potência média P_s no modo compartilhado.	45
3.5	Derivações do método de controle da potência média P_s da figura 3.4 para variações de i_s^*	46
3.6	Diagrama simplificado do método de controle da potência média P_s da figura 3.5(b).	49
3.7	Zonas de não-deteção deilhamento para uma suposta troca de energia entre SEPA e SEPL.	55
3.8	Diagrama de blocos do método de detecção deilhamento utilizado (AFDPF modificado).	58
3.9	Distorções no ângulo (a) e na forma de onda (b) da tensão distorcida v_d provocadas pelo método de detecção da figura 3.8 a partir do aumento (azul) ou da diminuição (vermelho) de f_d	60
3.10	Sistema de geração distribuída proposto operando no modo ilhado.	60
3.11	Circuito elétrico equivalente do SEPL durante a operação no modo ilhado.	61
3.12	Diagrama de blocos do método de controle da tensão na carga v_{PAC} no modo ilhado.	62
3.13	Respostas em frequência dos controladores tipo PI e tipo P+Ress sintonizado em 60Hz.	63
3.14	Respostas em frequência das funções seno e cosseno com oscilação na frequência de 60Hz.	65
3.15	Lugar geométrico dos zeros z_1 e z_2 de $G_v(s)$ conforme as equações 3.65 e 3.66.	68
3.16	Estabilidade relativa do controlador P+Ress em função dos coeficientes α_1 e β_1	69
3.17	Partes real (contínuo) e imaginária (tracejado) dos zeros z_1 e z_2 em função de α_1 e de β_1	70
3.18	Lugar geométrico dos pólos em malha fechada p_3 e p_4 conforme a equação 3.74.	72

3.19	Resposta ao impulso da função de transferência em malha fechada $V(s)$ da equação 3.48.	73
3.20	Respostas ao impulso da função $G_v(s)$ da equação 3.47 para α_1 fixo e β_1 variável.	77
3.21	Respostas do sistema em malha fechada $V(s)$ (equação 3.48) para entrada senoidal de 1pu.	78
3.22	Envoltória aproximada para o crescimento do sinal de saída do sistema em malha fechada em direção a uma referência senoidal de 1pu conforme as equações 3.84 e 3.85.	79
3.23	Valores do fator de ajuste k_v para variações em α_1 (a) e em β_1 (b), calculados conforme o modelo da equação 3.86 (sinal contínuo) e a partir do método <i>spline</i> de interpolação (sinal tracejado).	81
3.24	Efeito na constante de tempo τ_v da envoltória aproximada para variações em α_1 e em β_1	82
3.25	Sinais de entrada e de saída do método de sincronismo das tensões v_s e v_{PAC}	85
3.26	Fluxograma interno da operação do método de sincronismo presente na figura 3.25.	86
3.27	Fluxograma para determinar o estado da chave S_1 a partir dos sinais lógicos SID e SSA.	87
4.1	Carga não-linear considerada como conectada à barra PAC para a obtenção dos resultados.	90
4.2	Resposta em frequência da malha fechada do método de controle da corrente de saída do inversor multinível da figura 3.3 para os parâmetros obtidos na tabela 4.2.	93
4.3	Resposta em frequência da malha fechada do método de controle da potência média (ativa) fornecida ao SEPA da figura 3.4 para os parâmetros obtidos na tabela 4.2.	93
4.4	Resposta em malha fechada do método de controle da tensão na carga para uma referência senoidal de 1pu e considerando os parâmetros do controlador P+Res equivalentes aos da tabela 4.2.	95
4.5	Diagrama de blocos do controlador do tipo PI com saturação dinâmica.	96
4.6	Respostas em frequência do controlador tipo P+Res ideal e de sua aproximação.	97
4.7	Atrasos verificados durante o uso de um relé de estado sólido associado com uma chave contatora para controlar a alimentação de uma carga resistiva. Em ambas: corrente de alimentação (Ch1: 1A/div); sinal de controle do relé (Ch2: 10V/div); e tensão de alimentação (Ch4: 200V/div).	98
4.8	Circuito elétrico equivalente do sistema proposto durante a obtenção dos resultados.	100
4.9	Conexão do inversor multinível ao PAC e início da operação do sistema proposto. Em (b): i_s (Ch1: 2A/div); v_{PAC} (Ch2: 200V/div); i_c (Ch3: 2A/div); e v_c (Ch4: 250V/div).	100
4.10	Início do fornecimento de potência ativa do SEPL para o SEPA. Em (b): i_s (Ch1: 2A/div); v_{PAC} (Ch2: 200V/div); i_L (Ch3: 2A/div); e i_c (Ch4: 2A/div).	101
4.11	Verificação de inversão de fase entre v_{PAC} e i_s indicando uma injeção de energia no SEPA (a) e comportamento das potências ativas durante a operação no modo compartilhado (b).	102
4.12	Deteção da condição de ilhamento quando não havia fornecimento de potência ativa para o SEPA ($P_s^* = 0$). Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	103
4.13	Diferenças notadas no comportamento das grandezas elétricas a partir de ações do método de detecção de uma condição de ilhamento ocorrida enquanto havia ou não uma injeção de potência ativa no SEPA.	104
4.14	Simulação — Relação entre o ganho de aceleração de recorte k_f e o tempo de detecção de uma situação de ilhamento considerando uma injeção de potência ativa nula no SEPA ($P_s^* = 0$).	105
4.15	Adaptação no SEPA para reproduzir uma condição de ilhamento provocada pela abertura de chave seccionadora S_2 no lado primário do transformador de distribuição (TD) vinculado ao PAC.	106
4.16	Deteção de uma condição de ilhamento por violação de tensão quando não havia fornecimento de potência ativa para o SEPA da figura 4.15 ($P_s^* = 0$). Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	107
4.17	Manutenção da alimentação da carga durante o modo ilhado. Em (b): v_c (Ch1: 100V/div); v_{PAC} (Ch2: 100V/div); i_L (Ch3: 5A/div); v_{PAC}^* (Ch4: 100V/div); e v_c^* (R4: 100V/div).	108
4.18	Religação da chave S_1 após uma condição de sincronismo estável ser atingida. Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	109
4.19	Comportamento das correntes durante a religação da chave S_1 conforme a figura 4.18. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	109
4.20	Visão geral da detecção de ilhamento para em seguida iniciar os ajustes para a religação da chave S_1 (considerando o SEPA da figura 4.15 e $P_s^* = 0$). Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	110
4.21	Adição de um capacitor no circuito equivalente do SEPL para a formação do filtro LC.	111

4.22	Comportamento das opções alternativas de estratégia de modulação para um inversor multinível de 9 níveis (2 módulos) a partir de um sinal de referência senoidal de 1pu.	112
4.23	SEPL com filtro LC – Manutenção de alimentação da carga durante o modo ilhado. Em (b): v_c (Ch1: 100V/div); v_{PAC} para SEPL com filtro LC (Ch2: 100V/div); $-i_L$ (Ch3: 5A/div); v_{PAC}^* (Ch4: 100V/div); e v_{PAC} para SEPL com filtro L (R2: 100V/div).	114
4.24	Espectros em frequência das tensões durante o modo ilhado considerando SEPL original e SEPL com o filtro LC. Em (a): FFT de v_c (M1: 20dB/div); e FFT de v_{PAC} (M2: 20dB/div). Em (b): FFT de v_{PAC} para o SEPL original (M2: 20dB/div) e para o SEPL com filtro LC (Ref2: 20dB/div)	115
4.25	SEPL com filtro LC – Ações de sincronismo após a percepção da disponibilidade do SEPA em operar de acordo com os seus respectivos valores nominais (defasagem inicial de 120°). Em (b): ($\Delta\theta = \sin\theta_s - \sin\theta_{PAC}$) (Ch1: 1rad/div); SEPA disponível (lógico) (Ch2: 5V/div); i_L (Ch3: 2A/div); e v_{PAC} (Ch4: 100V/div).	116
4.26	SEPL com filtro LC – Comportamento da frequência e do valor eficaz da tensão na barra PAC durante a religação da chave S_1 . Em (b): f_{PAC} (Ch1: 30Hz/div); V_{PAC}^{rms} (Ch2: 63,5V/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	117
4.27	SEPL com filtro LC – Religação da chave S_1 após uma condição de sincronismo estável ser obtida. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	117
4.28	SEPL com filtro LC – Comportamento das potências instantâneas para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (b): p_s (Ch1: 500VA/div); p_L (Ch2: 500VA/div); p_c (Ch3: 500VA/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).	118
4.29	SEPL com filtro LC – Comportamento nos domínios do tempo (a) e da frequência (b) da tensão na barra PAC (v_{PAC}) e da corrente associada ao SEPA (i_s) para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (a): i_s (Ch1: 1A/div); e v_{PAC} (Ch4: 100V/div). Em (b): FFT de i_s (M1: 20dB/div); e FFT de v_{PAC} (M2: 20dB/div).	119
4.30	SEPL com filtro LC – Comportamento das tensões CC para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (b): V_3 (Ch1: 68,848V/div ou 0,5pu/div); V_2 (Ch2: 22,949V/div ou 0,5pu/div); V_1 (Ch3: 11,474V/div ou 0,5pu/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).	120
4.31	SEPL com filtro LC – Variações nas tensões CC para diferentes pontos de operação do sistema proposto. Em ambas: V_3 (Ch1: 68,848V/div ou 0,5pu/div); V_2 (Ch2: 22,949V/div ou 0,5pu/div); V_1 (Ch3: 11,474V/div ou 0,5pu/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).	120
4.32	SEPL com filtro LC – Relação entre os desvios das tensões CC de seus respectivos valores de referência e a qualidade da potência ativa fornecida ao SEPA durante o modo compartilhado.	121
4.33	SEPL com filtro LC – Comportamento das tensões CC em função do tipo de carga conectada ao PAC para uma operação no modo compartilhado. Em ambas: V_1 (Ch1: 11,4V/div ou 0,5pu/div); V_2 (Ch2: 22,9V/div ou 0,5pu/div); V_3 (Ch3: 68,8V/div ou 0,5pu/div); e i_s (Ch4: 5A/div).	122
4.34	SEPL com filtro LC – Comportamento das potências ativas no modo compartilhado para variações na carga com e sem injeção de potência ativa no SEPA. Em (b): P_L (Ch1: 100W/div); P_c (Ch2: 100W/div); P_s (Ch3: 100W/div); e i_s (Ch4: 2A/div).	122
4.35	SEPL com filtro LC – Situação de ilhamento alternativa com $P_s^* = 0$: afundamento da tensão na barra PAC e, conseqüentemente, abertura da chave S_1 por violação dos limites de tensão. Em (b): V_{PAC}^{rms} (Ch1: 127V/div); S_1 (lógico) (Ch2: 5V/div); i_L (Ch3: 5A/div); e v_{PAC} (Ch4: 100V/div).	123
4.36	SEPL com filtro LC – Comportamento do valor eficaz e da frequência associados à tensão na barra PAC em função da detecção de uma situação de ilhamento com $P_s^* = 0$. Em (b): V_{PAC}^{rms} (Ch1: 63,5V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	124
4.37	SEPL com filtro LC – Comportamento das correntes durante a detecção de uma situação de ilhamento com $P_s^* = 0$. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	124
4.38	SEPL com filtro LC – Visão geral da detecção de uma situação de ilhamento com $P_s^* = 0$ e das ações do método de sincronismo antes que se faça a religação da chave S_1 . Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	125
4.39	SEPL com filtro LC – Comportamento do valor eficaz e da frequência associados à tensão na barra PAC em função da detecção de uma situação de ilhamento com $P_s^* \neq 0$. Em (b): f_{PAC} (Ch1: 30Hz/div); V_{PAC}^{rms} (Ch2: $127/2$ V/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	126

4.40	SEPL com filtro LC – Comportamento das correntes durante a detecção de uma situação deilhamento com $P_s^* \neq 0$. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).	126
4.41	Diferentes representações da figura 4.40(b) para variações em sua escala horizontal.	127
4.42	SEPL com filtro LC – Ciclo completo de operação do sistema proposto exibido a partir do modo compartilhado para a condição $P_s^* = -50W$. Em ambas: i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); e S_1 (lógico) (Ch3: 5V/div).	128
4.43	SEPL com filtro LC – Ciclo completo de operação do sistema proposto exibido a partir do estado inativo (ou desligado) e considerando $P_s^* = -100W$ durante o modo compartilhado. Em ambas: \overline{V}_1 (Ch1: 11,4V/div ou 0,5pu/div); \overline{V}_2 (Ch2: 22,9V/div ou 0,5pu/div); \overline{V}_3 (Ch3: 68,8V/div ou 0,5pu/div); e i_s (Ch4: 2A/div).	128
4.44	Visão geral do ambiente de simulação do sistema proposto de geração distribuída no PSIM.	130
J.1	Visão geral do protótipo experimental considerado.	213
J.2	Torre de captação dos sinais de interesse e suporte para o DSP e sua placa de interface.	214
J.3	Detalhes da placa de acionamento manual/automático da chave de interligação S_1	214
J.4	Visão da carga não-linear alimentada.	215
J.5	Visão das fontes CC utilizadas (isolações na parte posterior).	215
J.6	Bancos de cargas resistivas em série/paralelo e associados à(s) carga(s) não-linear(es).	216
J.7	Visão do inversor multinível de 3 módulos, da chave de interligação S_1 e do indutor de acoplamento ao PAC.	216
J.8	Condição de ilhamento forçada mediante a abertura de chave seccionadora no lado primário do transformador de distribuição.	217
J.9	Características observadas no osciloscópio instantes após a detecção de uma condição de ilhamento.	217

Lista de Tabelas

2.1	Relações das tensões CC nas principais configurações da topologia em cascata assimétrica.	22
2.2	Número máximo de níveis obtidos pelas topologias em cascata simétrica e assimétrica.	23
3.1	Tempo máximo de abertura da chave S_1 para condições anormais de tensão [3, 48].	52
3.2	Tempo máximo de abertura da chave S_1 para condições anormais de frequência [3, 48].	53
3.3	Valores de tensão e de frequência que correspondem a uma operação normal do SEPA.	53
3.4	Principais métodos de detecção de ilhamento em sistemas elétricos de potência [53, 56].	54
3.5	Sequência de etapas do método de projeto do controlador P+Ress utilizado na figura 3.12.	83
4.1	Valores adotados para os parâmetros do sistema de teste exibido na figura 4.1.	91
4.2	Parâmetros adotados para os controladores de corrente PI_c e de potência média PI_p	92
4.3	Valores obtidos ao se percorrer o método de projeto do controlador P+Ress da tabela 3.5.	94

Lista de Abreviaturas e Siglas

AFD	- <i>Active Frequency Drift</i> (Tradução: Desvio Ativo da Frequência)
AFDPF	- <i>Active Frequency Drift with Positive Feedback</i> (Tradução: Desvio Ativo da Frequência com Realimentação Positiva)
ANEEL	- Agência Nacional de Energia Elétrica
APOD	- <i>Alternative Phase Opposition Disposition</i> (Tradução: Arranjo com Oposição Alternada de Fase)
AWG	- <i>American Wire Gauge</i> (Tradução: Bitola de Cabo Estadunidense)
CA	- Corrente Alternada
CAA	- Cabo de Alumínio Nu com Alma de Aço
CC	- Corrente Contínua
DHT	- Distorção Harmônica Total
DSP	- <i>Digital Signal Processor</i> (Tradução: Processador Digital de Sinais)
EPS	- <i>Electric Power System</i> (Tradução: Sistema Elétrico de Potência)
I/O	- <i>Input/Output</i> (Tradução: Entrada/Saída)
IEM	- Interferência Eletromagnética
MSHE	- <i>Multilevel Selective Harmonic Elimination</i> (Tradução: Eliminação Seletiva de Harmônicos em Inversores Multiníveis)
NPC	- <i>Neutral Point Clamped</i> (Tradução: Neutro Grampeado)
PAC	- Ponto de Acoplamento Comum
PD	- <i>Phase Disposition</i> (Tradução: Arranjo em Fase)
PLCC	- <i>Power Line Carrier Communications</i> (Tradução: Comunicações via Portadora em Barramentos de Energia Elétrica)
POD	- <i>Phase Opposition Disposition</i> (Tradução: Arranjo com Oposição de Fase)
PSCPWM	- <i>Phase Shifted Carrier Pulse Width Modulation</i> (Tradução: Modulação por Largura de Pulso com Deslocamento de Fase da Portadora)
PWM	- <i>Pulse Width Modulation</i> (Tradução: Modulação por Largura de Pulso)
RLS	- <i>Resistive Load Synthesis</i> (Tradução: Síntese de Carga Resistiva)
ROCOF	- <i>Rate of Change of Frequency</i> (Tradução: Taxa de Variação da Frequência)
SCR	- Síntese de Carga Resistiva
SFS	- <i>Sandia Frequency Shift</i> (Tradução: Desvio Sandia da Frequência)
SGD	- Sistema de Geração Distribuída
SEP	- Sistema Elétrico de Potência

(continua)

SEPA	-	Sistema Elétrico de Potência Alimentador
SEPL	-	Sistema Elétrico de Potência Local
SID	-	<i>Situação de Ilhamento Detectada</i>
SHE	-	<i>Selective Harmonic Elimination</i> (Tradução: Eliminação Seletiva de Harmônicos)
SSA	-	<i>Situação de Sincronismo Atingida</i>
SSE	-	<i>Situação de Sincronismo Estável</i>
SVS	-	<i>Sandia Voltage Shift</i> (Tradução: Desvio Sandia da Tensão)
SCADA	-	<i>Supervisory Control and Data Acquisition</i> (Tradução: Sistemas de Supervisão e Aquisição de Dados)
THD	-	<i>Total Harmonic Distortion</i> (Tradução: Distorção Harmônica Total)
UPS	-	<i>Uninterruptible Power Supply</i> (Tradução: Fonte de Alimentação Ininterrupta)
ZND	-	Zona de Não-Detecção

Capítulo 1

Introdução

O termo sistema de geração distribuída (ou gerador distribuído) refere-se a um conjunto de instalações necessárias para se produzir energia elétrica que é conectado diretamente à rede de distribuição elétrica e cuja operação não é centralmente controlada e despachada [1, 2]. A faixa de potência compreendida pelos sistemas de geração distribuída vai desde poucas unidades de kW até: 100kW para [2]; 10MVA para [3]; 50MW para [4]; e 100MW para [1]. Apesar da diferença com relação ao valor máximo de potência, tais referências são unânimes em afirmar que consumidores e concessionárias de energia elétrica tendem a ganhar com o aumento de sistemas de geração distribuída conectados ao sistema de distribuição. Eles proporcionariam: um aumento nas opções de segurança e de diversidade energética; um aumento na eficiência da geração e da transmissão; uma redução da emissão de poluentes por adotar principalmente a produção de energia limpa; a melhoria na qualidade da energia elétrica e na estabilidade do sistema; a redução de custos; e diminuem as perdas nas linhas de distribuição [5].

Apesar das vantagens proporcionadas pela sua adoção, a referência [2] ressalta que: “as facilidades e as dificuldades (...) para a geração (...) em pequena escala são bastante distintas daquelas esperadas para os grandes sistemas de geração em diversos aspectos: legislação; impactos sobre o meio ambiente; complexidade das instalações; usuário; tipo de energia primária; forma de energia elétrica pretendida; propriedade pública/privada; sistema de transmissão/distribuição; efeitos socioeconômicos e outros.”. A referência [1] também detecta um ponto importante na transição de um modelo radial do sistema elétrico de potência para um sistema elétrico composto por diversas fontes geradoras conectadas ao longo das suas linhas de transmissão ou de distribuição: “as redes de distribuição existentes foram projetadas para a configuração radial com fluxo unidirecional de potência (...). O aumento de geradores distribuídos (...) pode resultar na inversão do fluxo de potência e violar as condições de projeto. Tal situação aumenta a complexidade de operação e de controle das linhas (...) e pode proporcionar desafios técnicos na implantação satisfatória de sistemas de geração distribuída.”

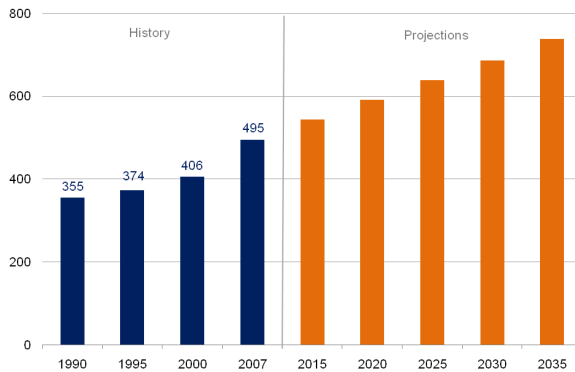
De fato, a reestruturação do sistema de distribuição de energia original de forma a permitir fluxos de energia em ambos os sentidos é fundamental para a ampliação da geração distribuída. Tal exigência pode ser verificada principalmente nos elementos de proteção do sistema, os quais normalmente são configurados para detectar condições de falta em apenas um dos sentidos da linha.

Apesar dessas dificuldades, a cada ano verifica-se um crescimento gradativo no número de estudos feitos que estão relacionados à geração distribuída. Conforme essa tendência, o envolvimento com a geração distribuída se tornará ainda maior pois ela está diretamente associada às questões ambientais, às fontes alternativas de energia elétrica de menor custo devido ao desenvolvimento tecnológico e, também, como uma alternativa para uma possível crise energética mundial nas próximas décadas [6]. Esse crescimento tem sido observado principalmente em sistemas de geração distribuída que utilizam os recursos de uma ou mais fontes alternativas de energia elétrica [7]. Outra justificativa para esse crescimento envolve o interesse cada vez maior pelas tecnologias e pelos benefícios da adoção de redes inteligentes de energia elétrica (*Smart Grids*). Tais redes inteligentes são capazes de integrar diversos pequenos sistemas de geração distribuída (*Microgrids*) ao sistema elétrico de potência de acordo com a ação de mecanismos vinculados aos sistemas de informação [8].

O interesse por fontes alternativas de energia elétrica deve-se, basicamente, a dois fatores: futura escassez de fontes não-renováveis de energia; e esperado aumento na demanda de energia global. Diante desse aspecto é preciso diferenciar fontes renováveis e não-renováveis de energia. As fontes não-renováveis de energia são aquelas que não permitem uma reposição (pelo menos não em um período inferior a milhões de anos) daquilo que é utilizado para o aproveitamento energético. A energia proveniente da fissão nuclear e dos combustíveis fósseis (petróleo, carvão e gás natural) são exemplos de fontes não-renováveis de energia. Por outro lado, as fontes renováveis correspondem aos métodos de aproveitamento de recursos naturais e que são naturalmente reabastecidos ao longo dos anos. Exemplos de fontes renováveis de energia: energia hidráulica; biomassa; energia solar; energia eólica; energia geotérmica; energia do hidrogênio; e energia maremotriz [9].

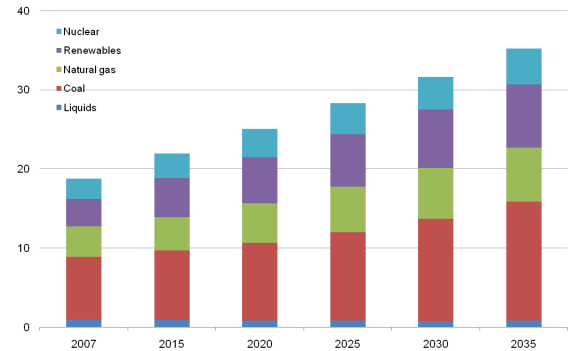
Uma agência independente norte-americana chamada EIA (*U.S. Energy Information Administration*), que realiza estudos baseados em dados energéticos, divulgou o resultado de uma projeção do aumento da demanda global de energia para os 25 anos seguintes ao ano de 2010. A figura 1.1(a) exibe esse resultado. O aumento previsto na demanda tende a estimular ainda mais o uso de fontes alternativas de energia elétrica. Tal expectativa pode ser verificada na figura 1.1(b), na qual é exibida, para o período considerado na figura 1.1(a), a previsão de evolução da matriz energética global relacionada com geração de energia elétrica. Nota-se que permanecerá grande a utilização de energia proveniente da queima de combustíveis fósseis (não-renováveis) tais como o petróleo, o gás natural e o carvão mineral. No entanto, também espera-se que a contribuição das fontes renováveis na matriz energética global se torne cada vez maior.

Figure 12. World marketed energy consumption, 1990-2035
quadrillion Btu



(a) Nota: 1 Btu \approx 0,2929 Wh.

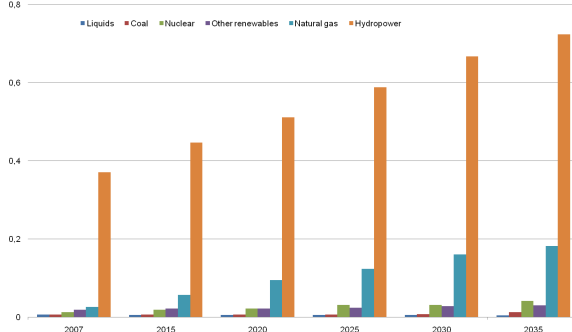
Figure 18. World electricity generation by fuel, 2007-2035
trillion kilowatthours



(b)

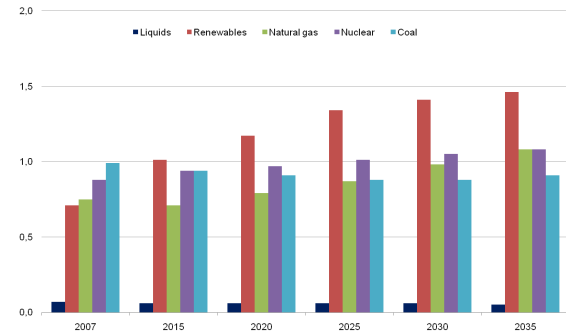
Fig. 1.1: Projeções de aumento da demanda energética global (a) e da expansão da matriz energética global (b), ambas disponibilizadas em [10].

Figure 80. Net electricity generation in Brazil by fuel, 2007-2035
(trillion kilowatthours)



(a)

Figure 74. Net electricity generation in OECD Europe by fuel, 2007-2035
(trillion kilowatthours)



(b)

Fig. 1.2: Projeções da matriz energética para o Brasil (a) e para a União Européia (b) conforme [10].

Além da análise global, a EIA também divulgou previsões a respeito da evolução da matriz energética do Brasil e dos países que compõem a União Européia considerando o mesmo período para a geração de energia elétrica. As figuras 1.2(a) e 1.2(b) exibem, respectivamente, os resultados dessas projeções. Percebe-se que, segundo a EIA, o Brasil aumentará ainda mais o aproveitamento de sua capacidade hidrelétrica (fonte renovável), que permanecerá como sendo a principal fonte energética adotada. De forma paralela, ocorrerá uma contribuição gradativamente maior de usinas termelétricas no Brasil. Segundo a EIA, o aumento de usinas termelétricas baseia-se nas descobertas de reservas de petróleo e gás natural em área ultraprofunda na Bacia de Santos. As previsões da EIA sobre a matriz energética brasileira estão de acordo com dados divulgados pela ANEEL (Agência Nacional de Energia Elétrica), os quais são exibidos na figura 1.3. Segundo a ANEEL, as principais fontes de energia que serão ou já são exploradas estão relacionadas às usinas hidrelétricas e termelétricas. Com

Resumo da Situação Atual dos Empreendimentos		
Fonte de Energia	Situação	Potência Associada (kW)
124 empreendimento(s) de fonte Eólica	outorgada	3.921.004
34 empreendimento(s) de fonte Eólica	em construção	897.990
52 empreendimento(s) de fonte Eólica	em operação	1.008.542
1 empreendimento(s) de fonte Fotovoltaica	em construção	5.000
5 empreendimento(s) de fonte Fotovoltaica	em operação	87
242 empreendimento(s) de fonte Hidrelétrica	outorgada	20.832.841
59 empreendimento(s) de fonte Hidrelétrica	em construção	8.290.896
915 empreendimento(s) de fonte Hidrelétrica	em operação	81.191.066
1 empreendimento(s) de fonte Maré	outorgada	50
164 empreendimento(s) de fonte Termelétrica	outorgada	12.409.160
34 empreendimento(s) de fonte Termelétrica	em construção	4.799.894
1461 empreendimento(s) de fonte Termelétrica	em operação	32.028.235

Fig. 1.3: Fontes de energia exploradas no Brasil - ANEEL (Junho/2011) [11].

relação à demanda total brasileira, nota-se que as contribuições atuais e previstas de usinas eólicas e usinas fotovoltaicas são relativamente pequenas. E, também, que entre as duas fontes de energia elétrica, a contribuição das usinas eólicas é maior.

Diferentemente do que é previsto para os países da União Européia, na figura 1.2(b) nota-se que haverá um aumento considerável no uso de fontes renováveis de energia para a geração de energia elétrica. Para tal previsão, considerava-se a manutenção da operação de grandes usinas nucleares localizadas principalmente na Alemanha e na França. No último mês de maio, em decorrência do acidente nuclear ocorrido em Fukushima (Japão), o governo alemão divulgou que fechará todas as suas usinas nucleares até o ano de 2022 [12]. Dessa forma, espera-se que a participação de fontes renováveis de energia na geração de energia elétrica na União Européia seja ainda maior do que foi previsto pela EIA.

Em meio a esse processo estão os dispositivos vinculados à área da Eletrônica de Potência e que podem representar uma alternativa no processo de expansão da geração distribuída. Principalmente para sistemas que envolvam aplicações de baixa tensão. O uso de tais dispositivos provoca uma melhoria na resposta transitória do sistema de geração distribuída. Além disso, a eficiência global do sistema é aumentada e isso permite que sistemas baseados em células fotovoltaicas, em células a combustível e em turbinas eólicas sejam integrados no sistema de geração distribuída proposto.

Dentro dessa perspectiva de expansão do uso de dispositivos da Eletrônica de Potência, são apresentadas na seção seguinte as motivações para a elaboração deste trabalho. Em seguida, são traçados os objetivos a serem cumpridos pelo sistema proposto durante sua operação.

1.1 Motivações e objetivos do trabalho

As diversas tecnologias disponíveis para sistemas de geração distribuída incluem sistemas rotacionais (turbinas rotativas, máquinas de combustão interna e micro-turbinas) e sistemas não-rotacionais de geração de energia elétrica (painéis fotovoltaicos, turbinas eólicas¹ e células a combustível). Dentre eles, os sistemas não-rotacionais tendem a apresentar uma eficiência energética relativamente melhor que os sistemas rotacionais. Dentre os não-rotacionais, os sistemas baseados em células a combustível apresentam a melhor eficiência relativa conforme [4].

Um dos motivos que influenciaram na opção pelo estudo de sistemas monofásicos de geração distribuída de baixa tensão² foi o pequeno número de estudos divulgados e relacionados com a aplicação deste trabalho [5, 14]. Segundo [6], um grupo considerável de casos e aplicações envolvendo sistemas trifásicos de geração distribuída já foram verificados mas poucos sistemas monofásicos foram estudados ou, até mesmo, conectados à rede elétrica disponível como forma de caracterizar uma possível geração distribuída. Tal carência talvez possa ser justificada a partir de cinco possíveis fatores:

1. As principais técnicas de controle utilizadas em sistemas trifásicos envolvem a transformação de Park dos sinais nos eixos abc para os eixos $dq0$. Tais métodos elaborados em $dq0$ não podem ser aplicados diretamente nos sistemas monofásicos.
2. Mesmo após algumas modificações que permitiriam a aplicação dos métodos elaborados em $dq0$, os valores dos componentes $dq0$ obtidos a partir do sistema monofásico não seriam constantes quando houvesse a presença de harmônicos, ressonâncias ou desbalanço entre as fases da rede secundária de distribuição.
3. O método de controle clássico para variações nos fluxos de potências mediante modificações na amplitude e na fase angular é baseado em equações senoidais e válidas durante o regime permanente.
4. A adoção de métodos de controle da potência reativa pressupõe que o conceito a respeito da potência reativa já esteja totalmente definido.
5. Por fim, os custos elevados para a aquisição e a implantação das tecnologias de fontes alternativas e do inversor requerido impedem uma expansão de sistemas de geração distribuída de baixa potência, associados principalmente aos sistemas monofásicos.

¹Apesar de basear-se na rotação das hélices, elas não são consideradas como sistemas rotacionais pois normalmente são interfaceadas por conversores CC/CC cujas frequências de entrada e de saída possuem valores assíncronos.

²Segundo o documento PRODIST [13] elaborado pela Agência Nacional de Energia Elétrica (ANEEL), um sistema de distribuição de baixa tensão (BT) é caracterizado por possuir um valor eficaz de tensão entre as fases inferior a 1kV.

É cada vez maior a preocupação e o envolvimento com a questão ambiental. Consumidores com baixa demanda de energia, tipicamente residenciais ou não, interessados em fazer uso de fontes alternativas de energia e implantar sistemas autônomos de geração de energia elétrica em seus respectivos pontos de conexão às redes secundárias de baixa tensão, poderão ser beneficiados com os estudos de sistemas monofásicos de geração distribuída de baixa tensão. Em todos esses casos há a necessidade de se gerenciar a operação do sistema de geração autônomo de forma a não causar danos ao consumidor e à rede elétrica disponível. O contrário também é válido no sentido de proteger o sistema proposto em função de uma contingência ocorrida na rede elétrica.

Na medida em que ocorre uma evolução tecnológica dos materiais utilizados na elaboração de sistemas alternativos de geração de energia elétrica, ocorre também uma diminuição dos custos necessários para a sua implantação. Sob custos menores de implantação, mais pessoas poderão ter a iniciativa de implantar em suas residências sistemas autônomos de geração distribuída. A operação desses diversos sistemas deve ser monitorada de forma individual e não em conjunto, exceto para o caso no qual o sistema autônomo seja conectado no ponto de derivação de diversas unidades consumidoras, tal como ocorreria em um condomínio de apartamentos. A partir do momento em que ocorrer um aumento do número de sistemas de geração distribuída autônomos em execução, pode-se vislumbrar uma situação na qual tais sistemas se proliferarão e as redes secundárias de tensão serão utilizadas para coletar a energia disponibilizada em diversos trechos da sua região de abrangência. A associação com redes de baixa tensão e o fato das unidades consumidoras geralmente ocuparem espaços físicos limitados determinam que os sistemas de geração distribuída que vierem a se proliferar terão características não-rotacionais de geração. Dentre as opções não-rotacionais, os sistemas fotovoltaicos e os sistemas com células a combustível se destacam nessa ordem.

Uma vez que a aplicação do sistema proposto envolve redes secundárias de baixa tensão, é preciso capacitar o sistema proposto para operar com condições típicas de tais redes. Nesse nível de tensão predominam a ocorrência de cargas não-lineares, envolvidas principalmente com os dispositivos de entrada de diversos aparelhos eletrodomésticos e eletroeletrônicos, típicos em um ambiente residencial. Assim, o sistema proposto deve ser capaz de operar na presença de cargas lineares, cargas não-lineares ou em uma associação de ambas. Além disso, significa que o sistema proposto deve ser controlado considerando a presença de harmônicos, ressonâncias e outros fenômenos associados a uma baixa qualidade da energia elétrica.

Em cargas não-lineares, apesar da tensão disponível ter comportamento próximo de sinal senoidal, a corrente não mantém o formato da tensão de alimentação. Não há como definir uma característica predonimante na forma de onda da corrente porque ela depende das características não-lineares da carga. De qualquer forma, nota-se que o envolvimento de sinais não-lineares excluem a possibilidade da operação do sistema proposto ser regida por equações de cálculo das potências ativa e reativas

baseadas em circuitos lineares, senoidais e operando em regime permanente.

Além das justificativas apresentadas adiante na seção 2.2, a opção pela adoção de um inversor multinível na composição do sistema proposto deu-se também por duas razões: o pequeno número de trabalhos envolvendo o seu uso; e um conhecimento prévio das características e da operação do inversor multinível adquiridos durante a elaboração da dissertação de mestrado, porém relacionados com outra aplicação da Eletrônica de Potência.

É sabido que os temas da geração distribuída são amplos e permitem o estudo de várias aplicações em diversos pontos da região de análise. Este trabalho restringe sua análise ao controle e à operação de um inversor multinível conectado a uma rede elétrica de baixa tensão de forma que ele seja capaz de fornecer energia elétrica ao sistema elétrico disponível à montante do ponto de conexão.

Portanto, este trabalho não envolve o estudo de dispositivos responsáveis por extrair a energia diretamente da(s) fonte(s) primária(s), nem tampouco a análise do sistema de distribuição que recebe a energia injetada em termos de estabilidade, de variações nos níveis de curto-circuito e em outros tópicos relacionados com o estudo dos Sistemas Elétricos de Potência. Por estar relacionado à Eletrônica de Potência, este trabalho vislumbra a verificação experimental dos conceitos abordados. De acordo com a perspectiva da aplicação, este trabalho foi desenvolvido nas seguintes condições:

- Já existe um fornecimento individual de energia elétrica aos barramentos CC do inversor multinível. Dessa forma, a operação do inversor multinível é envolvida apenas com relação ao atendimento das especificações do lado CA da topologia e de sua relação com a rede elétrica;
- O ponto de conexão do inversor multinível à rede elétrica corresponde à localização na qual os impactos verificados nos perfis de tensão, na estabilidade absoluta e nos níveis de curto-circuito após a inserção de um gerador distribuído são classificados como mínimos ou satisfatórios, de forma a não comprometer a operação normal da rede elétrica. Ou ainda, que tais impactos sejam desconsiderados;
- Enquanto o inversor estiver conectado apenas à carga (com a rede elétrica indisponível), a quantidade de energia CC acumulada ou em produção nos barramentos CC do inversor multinível é considerada equivalente à demanda requerida pela carga. Caso não houvesse tal equivalência, duas situações poderiam ocorrer: a demanda da carga ser maior que a energia disponível no inversor multinível; ou a demanda de carga ser inferior ao montante disponível. Nesta última, haveria um acúmulo crescente de energia excedente no inversor multinível e, por consequência, um aumento gradativo de suas tensões CC. Além de interferir na estratégia de modulação do inversor multinível, essa energia excedente poderia danificar os capacitores que compõem os barramentos CC do inversor. Isso poderia ser evitado adicionando conversores CC/CC com

isolação aos barramentos CC do inversor multinível, de forma conjunta ou não com um sistema de gerenciamento da energia CC capaz de: armazenar o excedente em baterias para uma utilização futura; promover o aquecimento de volumes de água e/ou de ambientes; ou, simplesmente, dissipá-la em uma resistência. Na condição contrária, com a demanda de carga superior ao montante de energia disponível, seria necessária uma metodologia de corte de cargas na qual somente as cargas prioritárias continuariam sendo alimentadas. Essa configuração permitiria um equilíbrio entre a demanda das cargas prioritárias e a energia disponível no inversor multinível. A longo prazo, as fontes primárias de energia do inversor multinível poderiam modificar os seus pontos de operação para o restabelecimento gradativo da alimentação das demais cargas.

Após a apresentação das considerações envolvendo a operação do sistema, pode-se estabelecer os objetivos propostos para este trabalho. São eles:

- Garantir um fornecimento ininterrupto de energia elétrica à carga local (ou conjunto de cargas que, ao serem agrupadas, representem a carga local);
- Efetuar a injeção apenas de potência ativa na rede elétrica disponível mediante o uso da síntese de carga resistiva, na qual os sinais de tensão e corrente possuem a mesma forma de onda;
- Ser capaz de detectar a existência de uma condição de ilhamento mesmo nos casos em que a troca de energia com a rede elétrica for praticamente nula ($\Delta P \rightarrow 0$) e, assim, diminuir a área interna da zona de não-deteção associada;
- Gerenciar o fechamento e a abertura da chave estática que faz interligação da rede de energia elétrica disponível com a carga local, conectada em paralelo ao inversor multinível;
- Verificar e validar as informações obtidas a partir de resultados de simulação em conjunto com resultados experimentais;
- Avaliar o desempenho do sistema monofásico de geração distribuída proposto a partir de uma recomendação normativa em vigência. Neste trabalho, baseou-se nas especificações listadas na recomendação IEEE Std 1547-2003 [3];
- Determinar os métodos de projeto para todos os controladores envolvidos no sistema. Principalmente aos controladores principais de: corrente, tensão e potência média;
- Obter uma maneira de controlar as tensões, as correntes e as potências ativas envolvidas diretamente a partir de seus respectivos sinais instantâneos. Tal maneira não deve utilizar as

equações clássicas para sinais senoidais em regime permanente que relacionam as potências ativa e reativa, respectivamente, à defasagem angular e à diferença de amplitude das tensões;

- Verificar o desempenho do sistema proposto considerando o uso de um inversor multinível ao invés de um inversor conversor convencional de 3 níveis com modulação PWM; e
- Identificar possibilidades de melhoria do sistema proposto com relação às condições de alimentação da carga e do fornecimento de potência ativa à rede elétrica que não prejudiquem a qualidade da energia elétrica envolvida.

1.2 Organização do texto

Na busca por alcançar e cumprir de forma integral os objetivos estabelecidos na seção anterior, as ações necessárias foram realizadas previamente à elaboração deste documento e foram divididas em etapas. As atividades realizadas em cada uma dessas etapas contemplaram o cumprimento de uma sequência descrita, resumidamente, como: estudo da aplicação; modelagem matemática; simulação computacional; e verificação experimental. Apesar disso, algumas etapas foram desenvolvidas em uma ordem diferente da sequência pré-estabelecida. Tais variações durante a execução das etapas não prejudicaram o cumprimento integral dos objetivos ao final delas mas, caso as informações deste documento fossem apresentadas de acordo com a ordem cronológica das atividades, a versão final do texto poderia ser confusa e dificultar o entendimento do leitor. Assim, definiu-se uma nova ordem para a apresentação das informações que visam, basicamente, estimular no leitor uma gradativa e sólida compreensão a cerca da aplicação analisada.

Neste capítulo já foram apresentados a contextualização, as motivações e os objetivos para o sistema monofásico de geração distribuída proposto. Na seção seguinte é apresentada uma listagem com as publicações obtidas direta e indiretamente em decorrência das atividades realizadas durante este trabalho. Por fim, breves conclusões são estalecidas e direcionam o leitor aos principais tópicos do capítulo seguinte.

As informações contidas no capítulo 2 podem ser divididas em duas partes. Na primeira parte são apresentadas as características de uma estrutura multinível e as suas principais topologias. Também são abordadas as vantagens e as desvantagens da adoção da estrutura multinível em detrimento ao inversor convencional de 3 níveis com modulação PWM. Dentre as topologias apresentadas, a opção pela topologia em cascata assimétrica é justificada. Em seguida, são definidos a relação entre as tensões CC do inversor, o número máximo de níveis presentes e a estratégia de modulação empregada. Na segunda parte do capítulo, as características e os requisitos de operação de um sistema monofásico de geração distribuída em baixa tensão são discutidas. Tais informações são utilizadas para justificar

a adoção do sistema monofásico proposto e, também, descrever as diretrizes para a coordenação da operação do sistema. Os detalhes de sua operação são descritos no capítulo seguinte.

O capítulo 3 descreve os dois modos de operação do sistema e as condições que determinam a migração de um para o outro. Conforme é apresentado, eles são denominados: modo compartilhado e modo ilhado. A transição do modo compartilhado para o modo ilhado é feita a partir da detecção de uma condição de ilhamento. A transição contrária decorre do sucesso obtido no método de sincronismo, necessário para diminuir os efeitos de uma religação. Além das características de operação que vigoram em cada um dos modos, são descritos os métodos de projeto dos sistemas de controle envolvidos em ambos os modos. Justificativas para se verificar continuamente uma condição de ilhamento são listadas e uma visão geral dos principais métodos de detecção estudados é feita. A partir de modificações em um método existente, é proposto um método ativo de detecção de ilhamento. As ações do método de sincronismo são apresentadas e o seu princípio de funcionamento é descrito. Também são fornecidos os fluxogramas que descrevem as características principais do método de detecção de ilhamento e do método de sincronismo. O desempenho da operação do sistema proposto nos modos apresentados é feita no capítulo seguinte, juntamente com a apresentação dos resultados experimentais.

O capítulo 4 complementa e valida as informações apresentadas no capítulo 3 através da análise de resultados de simulações e experimentais. Antes da exibição dos resultados, descreve-se a configuração adotada para o gerenciamento da operação do sistema. Os pré-requisitos e os parâmetros calculados para os controladores são apresentados. Detalhes envolvendo a criação de um modelo computacional para simulações e a elaboração de um protótipo experimental são acrescentadas. Os resultados oriundos de simulações computacionais são apresentados de forma simultânea aos resultados experimentais, de forma a permitir uma melhor comparação entre eles. Resultados relacionados aos modos de operação e suas respectivas transições são apresentados, representando uma verificação do ciclo completo de operação do sistema. Em seguida, para a melhoria da tensão de alimentação da carga, são apresentados os resultados obtidos a partir da inclusão de um filtro passivo de 2ª ordem do tipo LC na saída do inversor multinível. A diferença em termos dimensionais do filtro LC utilizado com relação a um filtro LC destinado a inversores convencionais é apresentada. Os resultados obtidos a partir da inclusão ou não do filtro LC são comparados. Ao final do capítulo, faz-se um levantamento das características, limitações e soluções alternativas observadas durante o processo de validação da operação completa do sistema.

Por fim, no capítulo 5 são apresentadas as conclusões finais sobre o desempenho do sistema monofásico de geração distribuída. Também é feita uma análise da condição de cumprimento integral ou não dos objetivos estabelecidos neste capítulo 1 para o trabalho. Pontos favoráveis e limitações do sistema proposto, identificados nos capítulos anteriores, são discutidos. Possíveis soluções às

limitações verificadas são sugeridas. A opção por substituir, em sistemas de geração distribuída, o inversor convencional de 3 níveis com modulação PWM por um inversor multinível na topologia em cascata assimétrica é validada. Também são identificadas algumas linhas de estudo que, em caráter sugestivo, permitiriam a continuidade dos trabalhos desenvolvidos nesta tese.

Após a apresentação das referências bibliográficas deste trabalho, é disponibilizada uma seção de Apêndices. Nesta seção estão disponíveis maiores informações sobre o modelo computacional utilizado nas simulações e, também, do protótipo experimental. A rigor, a seção de Apêndices é de caráter informativo. Portanto, não se faz obrigatória a leitura integral das informações ali disponibilizadas para que se obtenha uma boa compreensão sistêmica do trabalho realizado. Tal objetivo pode ser alcançado a partir da leitura dos capítulos apenas.

1.3 Publicações

Em consequência das atividades realizadas durante a elaboração deste trabalho foram obtidas as seguintes publicações:

- S. P. Pimentel, R. M. M. Martinez, J. A. Pomilio. “Single-phase Distributed Generation System Based on Asymmetrical Cascaded Multilevel Inverter”. *Distributed Generation*, capítulo 8, D N Gaonkar (Ed.), ISBN: 978-953-307-046-9, InTech, Fevereiro 2010. Disponível em: <http://www.intechopen.com/articles/show/title/single-phase-distributed-generation-system-based-on-asymmetrical-cascaded-multilevel-inverter>
- S. P. Pimentel, R. M. M. Martinez, J. A. Pomilio. “Single-Phase Distributed Generation System Based On Asymmetrical Cascaded Multilevel Inverter”. *10º Congresso Brasileiro de Eletrônica de Potência 2009 (COBEP 2009)*, pp. 346-353, Bonito/MS, Brasil, Outubro 2009.
- S. P. Pimentel, E. K. Luna, J. A. Pomilio. “Uso da Estratégia de Modulação com Eliminação Seletiva de Harmônicos em Inversores Multiníveis em Cascata” *Encontro de Pesquisadores em Sistemas de Potência 2009 (SisPot 2009)*, pg. 76-77, Campinas/SP, Brasil, Abril 2009.
- S. P. Pimentel, J. A. Pomilio. “Asynchronous Distributed Generation System Based On Asymmetrical Cascaded Multilevel Inverter” *34th Annual Conference of the IEEE Industrial Electronics Society (IECON'08)*, pg. 3227-3232, Orlando/FL, EUA, Novembro 2008.
- S. P. Pimentel, J. A. Pomilio. “Modos de Operação de um Sistema de Geração Distribuída Não-Rotacional Baseado em um Inversor Multinível de 19 Níveis” *Encontro de Pesquisadores em Sistemas de Potência 2008 (SisPot 2008)*, pg. 60-61, Campinas/SP, Brasil, Março 2008.

Adicionalmente, outras publicações foram elaboradas de forma indireta em auxílio a outros trabalhos desenvolvidos no Laboratório de Condicionamento de Energia Elétrica (LCEE). São elas:

- R. M. M. Martinez, J. A. Pomilio, L. C. P. da Silva, S. P. Pimentel. “Mitigation of Harmonic Distortion by Power Electronic Interface Connecting Distributed Generation Sources to a Weak Grid. Eletrônica de Potência”. *Eletrônica de Potência*, Revista da Associação Brasileira de Eletrônica de Potência (SOBRAEP), vol. 14, nº 4, pg. 269-276, Novembro 2009.
- R. M. M. Martinez, J. A. Pomilio, L. C. P. da Silva, S. P. Pimentel. “Mitigation of Harmonic Distortion by Power Electronics Interface Connecting Distributed Generation Sources to a Weak Grid”. *10º Congresso Brasileiro de Eletrônica de Potência 2009 (COBEP 2009)*, pp. 41-48, Bonito/MS, Brasil, Outubro 2009.
- R. M. M. Martinez, J. A. Pomilio, L. C. P. da Silva, S. P. Pimentel. “Control of Power Electronic Interface for Renewable Energy Sources Under Distorted Grid Voltage”. *IEEE 2009 International Conference on Clean Electrical Power - Renewable Energy Resources Impac*, pp. 407-414, Capri, Itália, Junho 2009.
- L. A. Silva, S. P. Pimentel, J. A. Pomilio. “Mitigação de Efeito Flicker por Meio de Compensação Série do Tipo Indutância Negativa Utilizando Inversor Multinível”. *Eletrônica de Potência*, Revista da Associação Brasileira de Eletrônica de Potência (SOBRAEP), vol. 13, nº 3, pg. 147-153, Agosto 2008.
- L. A. Silva, S. P. Pimentel, J. A. Pomilio. “Mitigação de Efeito Flicker por Meio de Compensação Série do Tipo Indutância Negativa”. *VI Conferência Brasileira Sobre Qualidade da Energia Elétrica 2007 (CBQEE 2007)*, pp. 1-6, Santos/SP, Agosto 2007.

1.4 Principais contribuições

Além de fomentar discussões envolvendo temas da geração distribuída no âmbito de sistemas monofásicos e de inversores multiníveis, este trabalho apresenta algumas contribuições importantes que se destacaram ao longo de sua execução. São elas:

- Descrição e abordagem da operação do sistema de geração distribuída considerando a alimentação de cargas não-lineares;
- Gerenciamento automático do estado da chave de interligação com a rede elétrica mediante o emprego do DSP F2812 para implementar a máquina de estados desejada;

- Adaptação de um método ativo de detecção de ilhamento considerando: a alimentação de cargas não-lineares; e um mínimo desbalanço de energia com a rede elétrica ($\Delta P, \Delta Q \rightarrow 0$);
- Operação do sistema de geração distribuída baseada nos sinais instantâneos de tensões e de correntes, ao invés de ser baseada nas clássicas equações de fluxos de potência definidas para condições senoidais e em regime permanente;
- Proposta de método de projeto do controlador P+Ress (ações proporcional e ressonante) baseado na análise de sua resposta temporal em malha fechada.
- Aplicação da técnica de síntese de carga resistiva (RLS) em sistemas de geração distribuída de forma a garantir apenas a injeção de potência ativa na rede elétrica;
- Proposta de um método de sincronismo das tensões presentes nos terminais da chave de interligação baseado nos conceitos abordados por técnicas PLL;
- Uso de inversores multiníveis em sistemas de geração distribuída em detrimento aos inversores PWM convencionais;

1.5 Conclusões

Este capítulo apresentou uma visão geral das justificativas e das ações que envolveram o desenvolvimento da tese e, também, da elaboração deste documento feito posteriormente. Foram estabelecidos os objetivos a serem cumpridos ao final do trabalho. Uma introdução ao conceito de geração distribuída e os tipos de sistemas baseados em fontes alternativas de geração de energia elétrica foram brevemente abordados. Estudos realizados por uma agência de pesquisa norte-americana e um levantamento feito pela ANEEL contribuíram para a elaboração de uma projeção da demanda mundial por energia e quais tipos de fontes de energia estariam sendo utilizadas no Brasil, na União Européia e no mundo num prazo de 25 anos. Por fim, foram listadas as publicações relacionadas às atividades da tese e as suas principais contribuições à área de estudo. No capítulo seguinte, detalhes sobre o sistema monofásico de geração distribuída e também sobre o inversor multinível são abordados.

Capítulo 2

Sistema Monofásico de Geração Distribuída

2.1 Introdução

Segundo [15], a geração distribuída pode ser definida de acordo com: o objetivo operacional da unidade de geração (ex.: fornecimento de potência ativa ou de ambas as potências ativa e reativa.); o ponto de conexão com o sistema elétrico e seus respectivos níveis de tensão (baixa tensão, média tensão ou alta tensão); a faixa de potência nominal da unidade geradora; a tecnologia e a fonte de energia adotadas; os impactos e os benefícios ambientais potencialmente alcançados; a responsabilidade de operação (agência reguladora, concessionária de energia elétrica envolvida ou produtor local de energia); e os modos de operação da unidade de geração.

É sabido também que o termo geração distribuída normalmente está associado com sistemas elétricos de potência de grande porte, nos quais os valores de tensão e potência equivalem a, respectivamente, algumas centenas de kV e algumas dezenas de MW. Talvez por isso, a análise de possíveis métodos de geração distribuída envolva principalmente as aplicações trifásicas e os seus possíveis impactos na operação de sistemas de transmissão de energia elétrica [16]. Para cada método de geração distribuída, busca-se determinar a melhor combinação de diferentes fontes de alimentação, a melhor distribuição delas ao longo das barras e a melhor redundância no fornecimento de energia elétrica a determinados pontos do sistema (subestações de interligação, subestações rebaixadoras, cargas com elevada demanda etc.). Tais verificações permitem, por exemplo, prever as condições de instabilidade e mapear as possíveis regiões com afundamento de tensão caso novas fontes de alimentação sejam inseridas em um sistema elétrico já em operação [17, 18].

Nos últimos anos os sistemas elétricos em diversos países sofreram algumas modificações tais como: uma maior conscientização e fiscalização dos impactos ambientais provocados por diferentes transformações de energia; a diversificação da matriz energética do setor elétrico como tentativa de se evitar a adoção de políticas de racionamento do consumo; e o avanço tecnológico verificado em apli-

cações que envolvam fontes alternativas ou renováveis de energia. Esta última modificação permitiu que alguns sistemas com baixa potência de produção (algumas dezenas de kW) fossem inseridos em redes de distribuição de energia elétrica já existentes, o que também pode ser caracterizado como um exemplo de geração distribuída [19].

O aproveitamento de pontos de consumo de baixa potência e que são conectados às redes secundárias de distribuição em baixa tensão proporcionou um novo paradigma para o estudo de sistemas de geração distribuída. Isso porque em tais pontos de consumo há uma predominância de aplicações monofásicas e que, portanto, necessitam de abordagens específicas de sistemas monofásicos. Sabe-se que as técnicas de análise de geração distribuída voltadas para aplicações trifásicas [19–25] não podem ser aplicadas diretamente em sistemas monofásicos pois nestes há a predominância de cargas não-lineares, cujos conteúdos harmônicos estão associados a formas de onda não-senoidais. O desafio da integração desses novos tipos de fontes de alimentação baseia-se, portanto, em manter a alimentação dos pontos de consumo em seus valores nominais e proporcionar a injeção de energia de forma a não prejudicar o desempenho do sistema elétrico que a recebe [26].

Dentro dessa perspectiva, um sistema monofásico de geração distribuída capaz de operar em tais condições é proposto na seção 2.3. Ele é baseado na operação de um inversor multinível de 19 níveis e é válido para a alimentação de cargas lineares, não-lineares ou a combinação de ambas. Antes de detalhar o sistema de geração distribuído proposto, as principais características da estrutura multinível, de suas topologias em cascata e das estratégias de modulação específicas são descritas na seção 2.2. Além disso são apresentadas as razões de se optar pela adoção de um inversor multinível de 19 níveis no sistema proposto.

2.2 Inversor multinível

A região de operação de um inversor (também denominado como conversor CC/CA) é definida, dentre outros fatores, a partir de sua potência nominal. Essa definição baseia-se principalmente na limitação dos dispositivos semicondutores escolhidos para operar como chaves do inversor. A limitação de potência está relacionada às capacidades de bloqueio de tensão e de condução de corrente, dos intervalos de comutação e da capacidade de dissipação do calor produzido internamente em tais dispositivos. Quando à aplicação do inversor exigir níveis de tensão ou de corrente maiores do que podem ser suportados por um único dispositivo deve-se recorrer à(s) associação(ões) de componentes. Associações típicas são feitas em série, para ampliar a capacidade de bloqueio de tensão, ou em paralelo, para permitir uma maior condução de corrente. A dificuldade de tais soluções é garantir uma distribuição igualitária de tensão ou de corrente dentre os diversos dispositivos usados, tanto em regime permanente quanto durante as comutações [27].

A necessidade de manipular níveis de potência cada vez maiores e a limitação tecnológica de dispositivos semicondutores resultou no surgimento dos chamados inversores multiníveis. Data de 1975 uma patente norte-americana a respeito de inversores multiníveis [28], sendo que somente em 1981 o termo multinível foi designado para descrever um inversor de três níveis [29]. De forma geral pode-se dizer que os inversores multiníveis são dispositivos de conversão CC/CA constituídos por diversos componentes semicondutores e por um ou mais barramentos CC. Nos terminais de saída de um inversor multinível, pode-se gerar formas de onda divididas em vários degraus ou níveis, justificando o uso do termo multinível para a sua designação. A divisão em vários níveis ocorre de forma semelhante ao efeito de quantização observada na digitalização na conversão de sinais analógicos.

A figura 2.1 apresenta as formas de onda obtidas por alguns inversores multiníveis na elaboração de um sinal de referência do tipo senoidal. A partir da figura 2.1(a), pode-se concluir que um inversor multinível é denominado um inversor de 3 níveis (ou um inversor multinível de 3 níveis) quando ele for capaz de fornecer um sinal de saída composto por até 3 diferentes valores, distribuídos em: um valor positivo (+1); um valor negativo (-1); e um valor nulo. O resultado da soma das quantidades de possíveis valores positivos, negativos e nulo de um inversor corresponde ao seu número máximo de níveis. Por exemplo, a figura 2.1(d) refere-se ao sinal de saída de um inversor de nove níveis, constituído por: quatro valores positivos (+0.25, +0.50, +0.75 e +1.00), quatro valores negativos (-0.25, -0.50, -0.75 e -1.00); e um valor nulo (0.00). Ou seja: $(4 + 4 + 1) = \text{nove níveis}$.

Em um inversor multinível, o número máximo de níveis (ou degraus) obtidos no sinal de saída é determinado em função do tipo de modulação empregada e da quantidade disponível de dispositivos armazenadores de energia em CC (capacitores, supercapacitores, baterias etc.). Uma vez que há a presença de um valor nulo na forma de onda de saída, o número máximo de níveis produzido por cada inversor multinível sempre corresponde a um valor ímpar e superior a 2. O número máximo de níveis é obtido quando o valor do índice de modulação¹² estiver próximo de seu valor unitário ou quando o inversor estiver operando na região de sobremodulação (índice de modulação > 1.0).

Um aumento no número máximo de níveis elaborados reduz a distorção da forma de onda do sinal de saída em relação a uma dada referência, por exemplo uma forma de onda senoidal. Ao comparar as figuras 2.1(a), 2.1(b), 2.1(c) e 2.1(d), nota-se uma aproximação das formas de onda com o formato senoidal de referência à medida que o número de níveis aumenta. Além da percepção através das formas de onda no domínio do tempo, pode-se verificar tal aproximação também no domínio da frequência a partir das informações contidas na figura 2.2. Ela exhibe os espectros em frequência das

¹O índice de modulação, geralmente representado por m , é a relação entre o máximo valor desejado e o máximo valor disponível nos terminais de saída de um inversor. Para os cálculos considera-se apenas os valores máximos positivos se a forma de onda gerada possuir valor médio nulo. Por exemplo, um inversor com um barramento CC de 300V ao fornecer uma tensão CA senoidal simétrica com 150V de pico opera segundo um índice de modulação de 0,5 ($m = +150/300$).

²Em inversores multiníveis em cascata (subseção 2.2.1, página 20) o denominador de m corresponde ao somatório das tensões CC de todos os módulos em ponte que compõem a topologia, mesmo quando tais tensões CC são equivalentes.

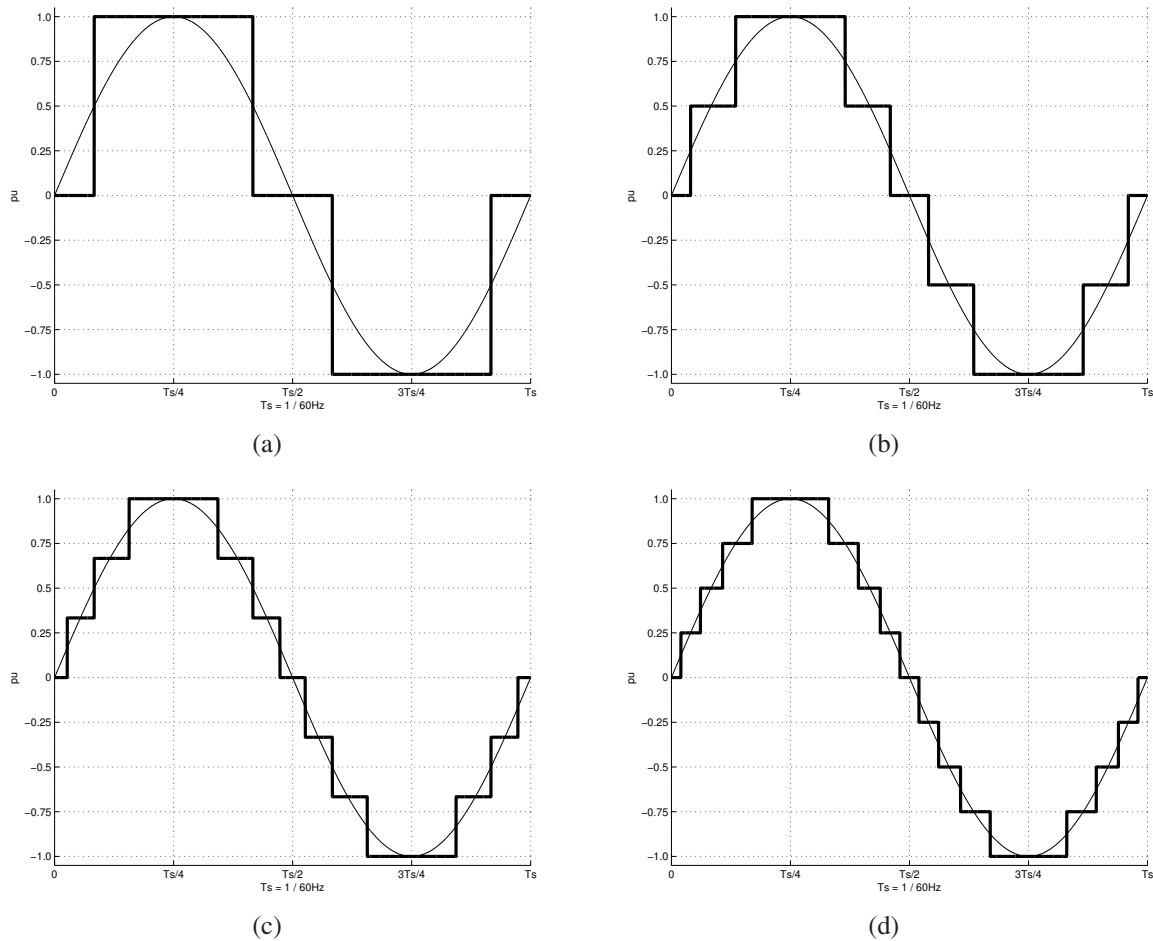


Fig. 2.1: Formas de onda para uma referência senoidal em inversores de 3(a), 5(b) 7(c) e 9(d) níveis.

formas de onda da figura 2.1. Além da componente fundamental (60Hz), as demais componentes harmônicas sofrem uma variação de acordo com o aumento do número de níveis do inversor [30]. Uma vez que o sinal de referência é uma senóide com frequência definida, deseja-se obter um espectro em frequência contendo apenas a componente fundamental. Portanto, partindo-se de uma referência senoidal, quanto maior o número de níveis no sinal de saída do inversor, mais próximo dessa condição estará o espectro em frequência obtido. A partir das figuras 2.2(a) e 2.2(d), percebe-se que o aumento do número de níveis possibilita uma maior concentração do sinal na frequência fundamental e uma diminuição nas demais componentes harmônicas. Para níveis maiores, cada vez mais próximo de um valor unitário estará a componente fundamental e mais proporcionalmente desprezíveis estarão as demais componentes harmônicas do sinal de saída do inversor.

A partir da figura 2.2 pode-se concluir também que a distorção harmônica total (DHT) do sinal de saída do inversor diminui com o aumento do número de níveis. A partir das componentes fundamental (V_1) e harmônicas (V_n) presentes em seu espectro em frequência, o cálculo da DHT de um sinal é feito

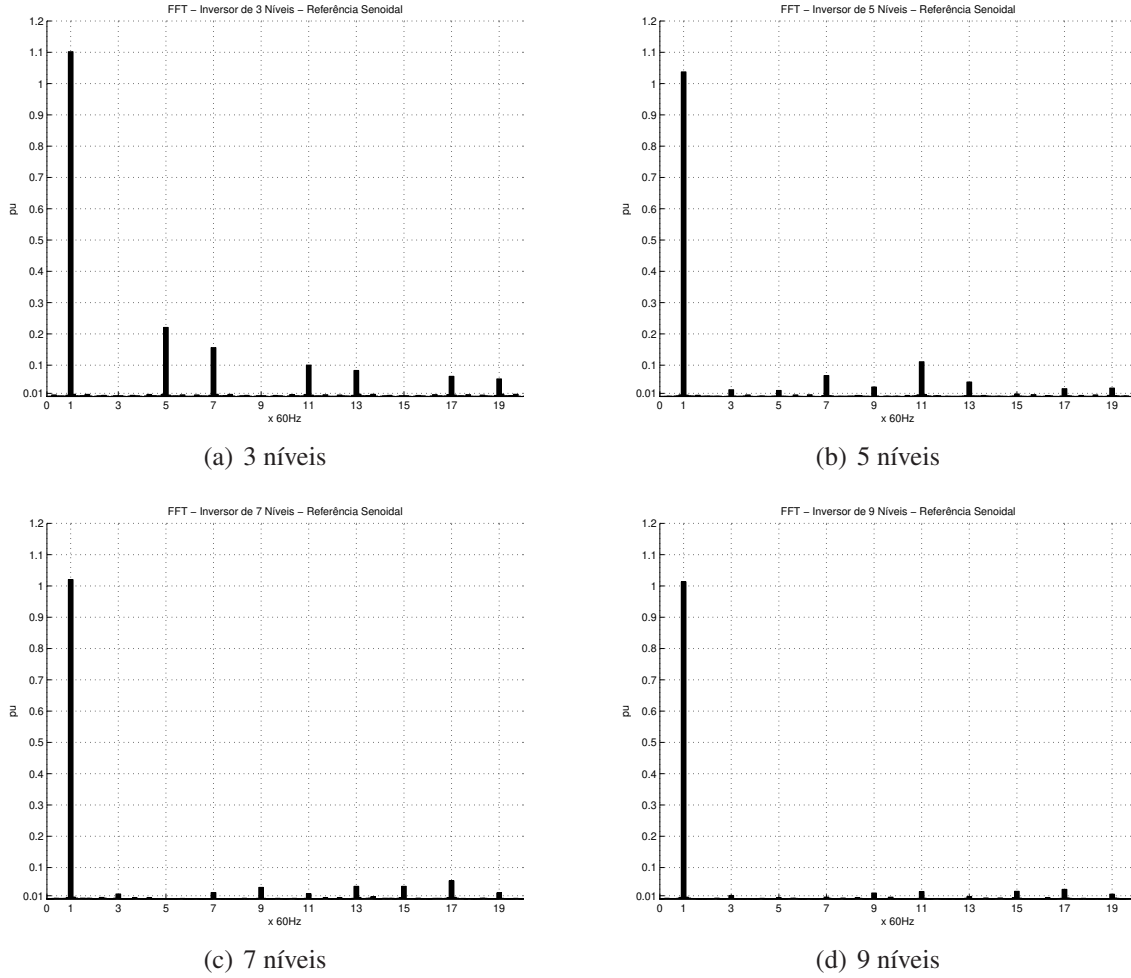


Fig. 2.2: Espectro em frequência (FFT) das formas de onda da figura 2.1.

conforme a equação 2.1 [31, 32].

$$\text{DHT \%} = 100 \cdot \sqrt{\sum_{n=2}^{\infty} \left(\frac{V_n}{V_1} \right)^2} \quad (2.1)$$

Os valores calculados de DHT para as formas de onda das figuras 2.2(a), 2.2(b), 2.2(c) e 2.2(d) são, respectivamente, 29.79%, 16.26%, 10.86% e 8.16%. Percebe-se que a DHT do sinal de saída de um inversor de 9 níveis é menor do que àquela correspondente a um inversor de 3 níveis, uma vez que as componentes harmônicas foram reduzidas. Apesar da variação ocorrida na componente fundamental, tal variação nas demais componentes harmônicas é relativamente maior, bem como o seu impacto no cálculo da DHT. A capacidade de elaborar sinais de saída com baixo valor de DHT é uma das vantagens da estrutura multinível. Dentre as outras vantagens da estrutura multinível, pode-se citar [27, 33]:

- a possibilidade de operação com baixa frequência de comutação de alguns (ou de todos) dispositivos semicondutores utilizados; e
- permitir uma conexão direta dos terminais de saída do inversor a níveis maiores de tensão sem o uso de transformadores como elemento de acoplagem.

A operação em baixa frequência e o baixo índice de DHT permitem o uso de pequenas indutâncias na elaboração de filtros passivos de 1ª (L) ou de 2ª (LC) ordens. A função do filtro passivo é atenuar os componentes de alta frequência presentes na variável de saída e diminuir o nível de interferência eletromagnética (IEM), deixando-o abaixo dos limites estabelecidos por normas pertinentes. A capacidade da estrutura multinível em requerer baixos valores de indutâncias possibilita o uso de estruturas mais simples de filtros passivos ou o aumento da sua faixa de passagem (com a redução nos valores dos componentes L e C dos filtros). Isso porque as componentes espectrais (ou harmônicas) a serem filtradas são, tipicamente, de menor amplitude comparadas às produzidas por inversores PWM para a mesma aplicação. Maiores detalhes sobre o dimensionamento de filtros passivos são descritos em [34].

Nas diversas aplicações da estrutura multinível, são utilizadas basicamente as topologias neutro grampeado (NPC), capacitor grampeado e em cascata. A escolha por uma delas é baseada em uma análise do tipo de aplicação envolvida, do número de níveis desejados para o sinal de saída, do valor máximo de tensões CC e CA disponíveis, da faixa de potência durante a operação e, também, da quantidade de componentes requerida. Os inversores multiníveis têm sido utilizados em aplicações de alta potência (da ordem de dezenas de MW) com níveis médios de tensão ($\geq 2,3\text{kV}$), tais como o acionamento de bombas, compressores, ventiladores, moinhos, laminadores, etc. [35].

Uma descrição mais ampla sobre inversores multiníveis, as características de suas principais topologias, o número de componentes empregados e as estratégias de modulação pode ser obtida nas referências [27, 30, 33, 35]. Durante a elaboração deste estudo, optou-se por trabalhar apenas com a topologia em cascata assimétrica. As características dessa topologia e as justificativas de sua escolha são apresentadas a seguir.

2.2.1 Topologia em cascata assimétrica

A topologia em cascata é composta por diversos módulos de pontes inversoras do tipo H (*H-bridge*) associados em série e operados de forma independente. A principal vantagem da topologia em cascata é uma melhor relação entre o número de componentes necessários para obter uma certa quantidade de níveis. Em relação às topologias neutro grampeado (NPC) e capacitor grampeado, a topologia em cascata é capaz de produzir a mesma quantidade de níveis a partir de um número menor de componentes [36].

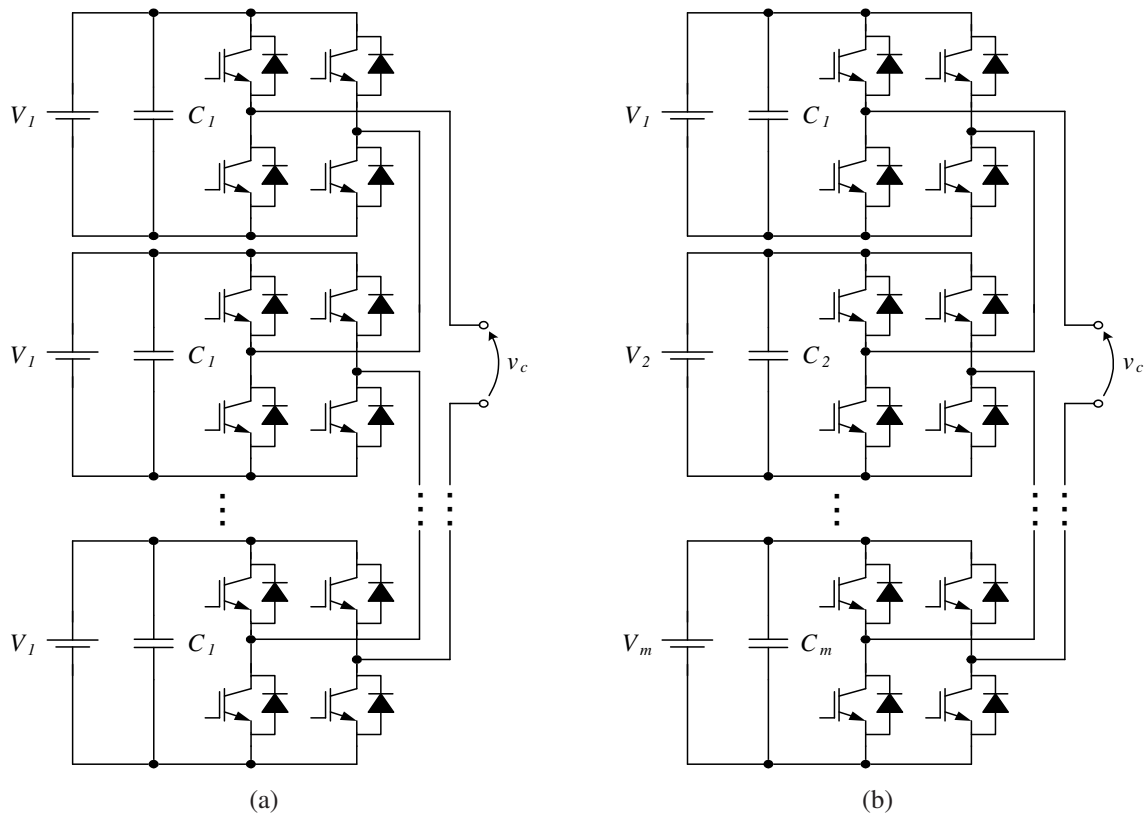


Fig. 2.3: Topologias em cascata simétrica (a) e assimétrica (b) de um inversor multinível generalizado.

A principal desvantagem das topologias em cascata é o fato de requererem fontes CC individuais e isoladas em todos os módulos existentes. Ou seja, não há um barramento CC único e comum a todos os módulos. Em aplicações nas quais o inversor não fornece potência ativa, tal como uma compensação reativa ou harmônica, pode-se substituir as fontes CC por elementos passivos e armazenadores de energia (capacitor ou indutor). Caso esta opção seja adotada, é preciso garantir que os valores das grandezas (tensão ou corrente) disponíveis nos barramentos CC permaneçam iguais ou relativamente próximos aos seus respectivos valores de referência. Nas aplicações em que o inversor fornece ambas as potências (ativa e não-ativa), é necessário o uso de conversores CC/CC isolados associados a cada um dos barramentos CC da topologia.

A topologia em cascata possui dois tipos de implementação: a cascata simétrica; e a cascata assimétrica. A figura 2.3 exibe as formas generalizadas de ambos os tipos. A tensão v_c é a tensão de saída do inversor multinível e é produzida mediante a soma das tensões obtidas nos terminais de saída de cada módulo em ponte da topologia. Na topologia em cascata simétrica todas as fontes CC empregadas são equivalentes a V_1 . Por outro lado, na cascata assimétrica, as fontes CC possuem valores diferentes (V_1, V_2, \dots e V_m) e que são determinados em função da configuração escolhida para as fontes CC e da estratégia de modulação utilizada. Entre as fontes CC da cascata assimétrica,

Tab. 2.1: Relações das tensões CC nas principais configurações da topologia em cascata assimétrica.

<i>Tensão CC</i>	<i>Configuração</i>		
	<i>Binária ou</i> (1 : 2 : 4 : 8 : ...)	<i>Com PWM ou</i> (1 : 2 : 6 : 18 : ...)	<i>Ternária ou</i> (1 : 3 : 9 : 27 : ...)
$V_1 =$	Equação 2.2	Equação 2.2	Equação 2.2
$V_2 =$	$2 \cdot V_1$	$2 \cdot V_1$	$3 \cdot V_1$
$V_3 =$	$4 \cdot V_1$	$6 \cdot V_1$	$9 \cdot V_1$
$V_4 =$	$8 \cdot V_1$	$18 \cdot V_1$	$27 \cdot V_1$
\vdots	\vdots	\vdots	\vdots
$V_m =$	$2^{(m-1)} \cdot V_1$	$2 \cdot \sum_{j=1}^{(m-1)} V_j$	$3^{(m-1)} \cdot V_1$

V_1 é a de menor valor e V_m , a de maior valor. A equação 2.2 exibe uma maneira de calcular o valor apropriado da menor tensão CC (V_1).

$$V_1 = \frac{[\text{Valor de pico desejado para a saída } v_c]}{\sum (\text{coeficientes das tensões CC})} \equiv \frac{v_{c_{pico}}}{\sum_{j=1}^m \left(\frac{V_j}{V_1} \right)} \quad (2.2)$$

A tabela 2.1 apresenta as relações entre as tensões CC das principais configurações adotadas na topologia em cascata assimétrica [27, 33, 37]. Haja vista que o termo V_1 é comum a todas as tensões CC, uma forma habitual de referenciar uma configuração é através da relação entre os coeficientes das tensões CC. Assim, as configurações da topologia em cascata assimétrica podem ser referenciadas pelo seu respectivo nome de identificação (binária, com PWM ou ternária) ou simplesmente pela relação dos coeficientes que as caracterizam. Ou seja, a configuração ternária também poderia ser referenciada através do termo: configuração (1:3:9:27:...).

Desconsiderando as perdas nos componentes do inversor, os valores máximos a serem obtidos no sinal de saída (v_c) pelas topologias em cascata simétrica e assimétrica são apresentados, respectivamente, nas equações 2.3 e 2.4. Nota-se que a topologia em cascata assimétrica possui um melhor aproveitamento da quantidade de módulos. Isso porque, valendo-se da configuração escolhida para as tensões CC, a assimétrica é capaz de atingir um valor positivo máximo X a partir de um número menor de módulos que seriam envolvidos na simétrica. Na topologia em cascata simétrica, para se atingir o mesmo valor X , seriam necessários obrigatoriamente X/V_1 módulos com tensões CC iguais e equivalentes a V_1 .

Tab. 2.2: Número máximo de níveis obtidos pelas topologias em cascata simétrica e assimétrica.

Número de módulos do inversor	Número máximo de níveis			
	Cascata Simétrica	Cascata Assimétrica		
		Configuração binária ou (1 : 2 : 4 : 8 : ...)	Configuração com PWM ou (1 : 2 : 6 : 18 : ...)	Configuração ternária ou (1 : 3 : 9 : 27 : ...)
1	3	3	3	3
2	5	7	7	9
3	7	15	19	27
4	9	31	55	81
⋮	⋮	⋮	⋮	⋮
10	21	2047	39367	59049
⋮	⋮	⋮	⋮	⋮
m	$= 1 + 2m$	$= 1 + 2 \sum_{j=1}^m \left(\frac{V_j}{V_1} \right)$		

$$v_{c_{pico}} \Big|_{\text{simétrica}} = \underbrace{V_1 + V_1 + \dots + V_1}_{p \text{ módulos}} = \sum_{j=1}^p V_1 \quad (2.3)$$

$$v_{c_{pico}} \Big|_{\text{assimétrica}} = V_1 + V_2 + \dots + V_m = \sum_{j=1}^m V_j \quad (2.4)$$

A capacidade de um melhor aproveitamento da topologia em cascata assimétrica também pode ser estendida ao número máximo de níveis que um inversor multinível pode produzir. A tabela 2.2 exibe a característica de aproveitamento das topologias em cascata simétrica e em cascata assimétrica. Nota-se que o número máximo de níveis para a cascata assimétrica não depende do tipo de configuração adotada e que o seu crescimento é mais progressivo do que a variação linear observada na cascata simétrica. Caso um inversor multinível composto por 10 módulos conectados em série faça uso da topologia em cascata simétrica, ele será capaz de gerar até 21 níveis no sinal de saída v_c . Uma quantidade semelhante (19 ou 27 níveis) poderia ser alcançada com apenas 3 módulos a partir da topologia em cascata assimétrica.

A vantagem da cascata assimétrica em obter um número maior de níveis pode sugerir que tal topologia seja sempre a melhor alternativa na elaboração de um inversor multinível em cascata. Antes que tal sugestão seja tida como definitiva é preciso lembrar que na cascata assimétrica há sempre duas particularidades: o número de comutações por ciclo do módulo de menor tensão (V_1) é proporcional

ao número de níveis do inversor; e o valor da tensão no módulo de maior tensão (V_m) é relativamente próximo ao máximo valor desejado na saída do inversor ($v_{c_{pico}}$). Esta última particularidade significa que um ou mais módulos superiores da topologia estarão comutando sob valores elevados de tensão CC em aplicações acima de 400V. No caso da configuração (1 : 3 : 9), o módulo de maior tensão promove comutações de uma tensão que representa aproximadamente 70% da tensão total [27]. Além do aumento do número de componentes necessários para compor cada módulo em ponte e da dificuldade em se obter elevadas tensões CC isoladas, a comutação de tais valores, mesmo em baixas frequências, deve ser evitada. Uma alternativa a tal particularidade seria a inclusão de um transformador com relação de espiras de 1 : N em série com os terminais de saída do inversor. Porém, além de prejudicar a dinâmica de operação do inversor multinível e induzir à condução de uma corrente N vezes maior através do inversor, o uso de transformadores inibiria uma das principais vantagens da estrutura multinível: a conexão direta sem o uso de transformadores como elemento de acoplagem. Uma vez que na topologia em cascata simétrica as tensões CC são equivalentes, um valor elevado de tensão na saída do inversor é igualmente dividido entre todos os módulos, diferentemente da cascata assimétrica, na qual as tensões elevadas estão concentradas nos módulos superiores. Portanto, o uso da topologia em cascata simétrica é recomendada em aplicações de inversores multiníveis com tensões elevadas, enquanto que a cascata assimétrica é indicada para aplicações de baixa tensão. Caso a opção seja feita pela cascata simétrica, a análise da primeira particularidade citada torna-se desnecessária, uma vez que ela é restrita à topologia em cascata assimétrica.

A outra particularidade da topologia em cascata assimétrica diz respeito à escolha dos dispositivos semicondutores e da configuração a ser adotada na topologia. Tal particularidade provoca uma restrição nos dispositivos semicondutores de potência aptos à utilização no módulo de menor tensão em função da velocidade de comutação requerida, das perdas por condução para correntes elevadas e da máxima tensão de bloqueio a ser suportada (igual à tensão CC do módulo). A análise dessa particularidade pode ser verificada a partir de um inversor multinível em cascata composto por dois módulos em ponte, por um momento formando uma topologia em cascata simétrica e em outro momento, uma cascata assimétrica.

A figura 2.4(a) exibe o diagrama desse inversor considerando a cascata simétrica. Os dois módulos conectados em série possuem tensões de barramentos CC equivalentes a V_1 . Esse inversor é capaz de gerar um sinal de saída v_c composto por até 5 níveis conforme as formas de onda da figura 2.4(b). Caso a cascata assimétrica na configuração (1 : 2) fosse escolhida, as formas de onda associadas ao inversor corresponderiam àquelas exibidas na figura 2.5. Nota-se que, em função das tensões CC serem diferentes na cascata assimétrica, as tensões de saída dos módulos (v_1 e v_2) possuiriam também valores diferentes de amplitude. Conforme a tabela 2.2 e a figura 2.5(b), a configuração (1 : 2) é capaz de gerar até 7 níveis no sinal de saída do inversor (v_c). Vale ressaltar que esse número

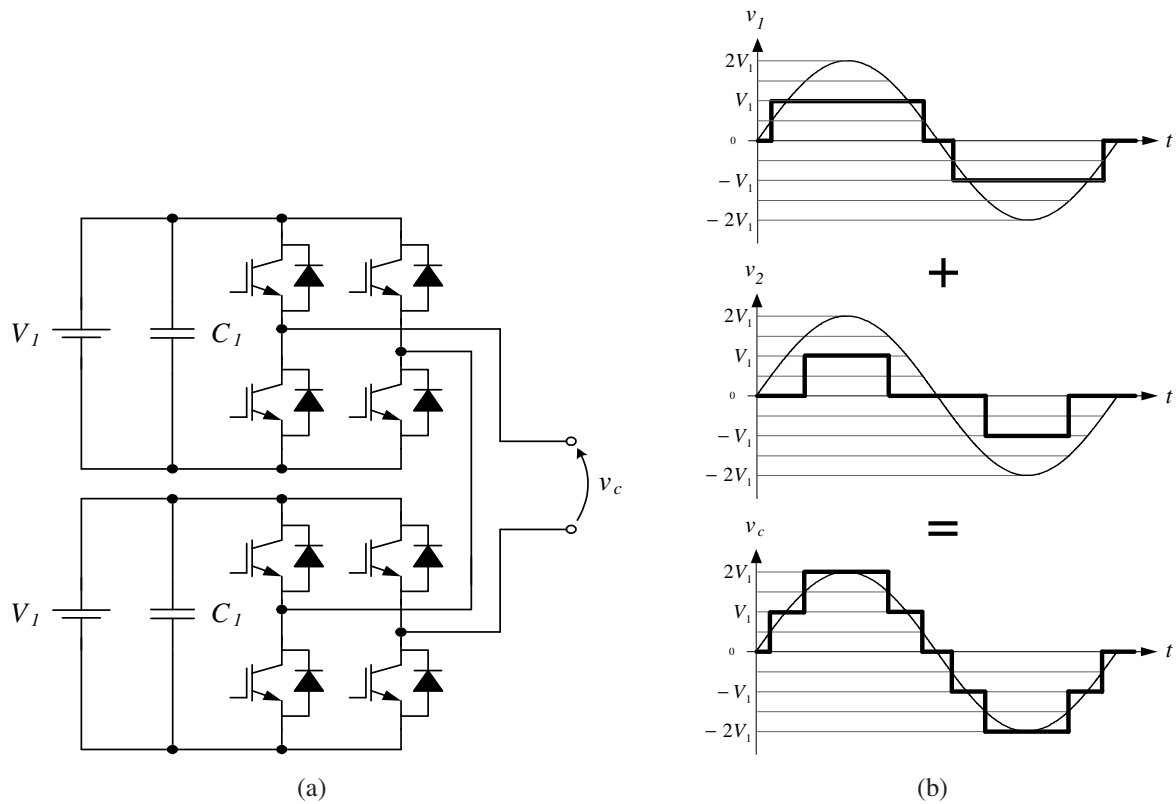


Fig. 2.4: Topologia em cascata simétrica de 2 módulos: diagrama (a) e elaboração do sinal v_c (b).

máximo de níveis é obtido somente quando o índice de modulação for igual ou superior ao valor unitário. A figura 2.5(a) representa o comportamento do inversor em cascata assimétrica sob um índice de modulação < 1 e que resultaria na formação de uma tensão v_c semelhante àquela da figura 2.4(b). Porém, a semelhança entre as tensões v_c não é verificada também entre as formas de onda da tensão v_1 . Verifica-se que para elaborar os 5 níveis de v_c , a tensão do módulo de menor tensão v_1 nas figuras 2.4(b) e 2.5(a) possui, respectivamente, 4 e 8 comutações por ciclo. Ou seja, a troca da topologia representa um aumento no número de comutações por ciclo em v_1 . Além disso, conforme as figuras 2.5(a) e 2.5(b), o aumento do número de níveis de v_c na mesma topologia também provoca um aumento de 8 para 12 comutações por ciclo na elaboração da tensão v_1 . Para a cascata simétrica, o número de comutações por ciclo de v_1 permaneceria inalterado e igual a 4 mesmo com um aumento do número de níveis (e, conseqüentemente, do número de módulos na topologia) desejados para a tensão v_c . Portanto, a topologia em cascata assimétrica possui a desvantagem de aumentar a frequência de comutação do módulo de menor tensão a partir do aumento do número de níveis na saída do inversor.

Com um aumento no número de níveis do sinal de saída, a configuração ternária da cascata assimétrica é a que possuirá o maior número de comutações por ciclo para o módulo de menor tensão V_1 . Em seguida a configuração com PWM e, por último, a configuração binária. Apesar do reduzido

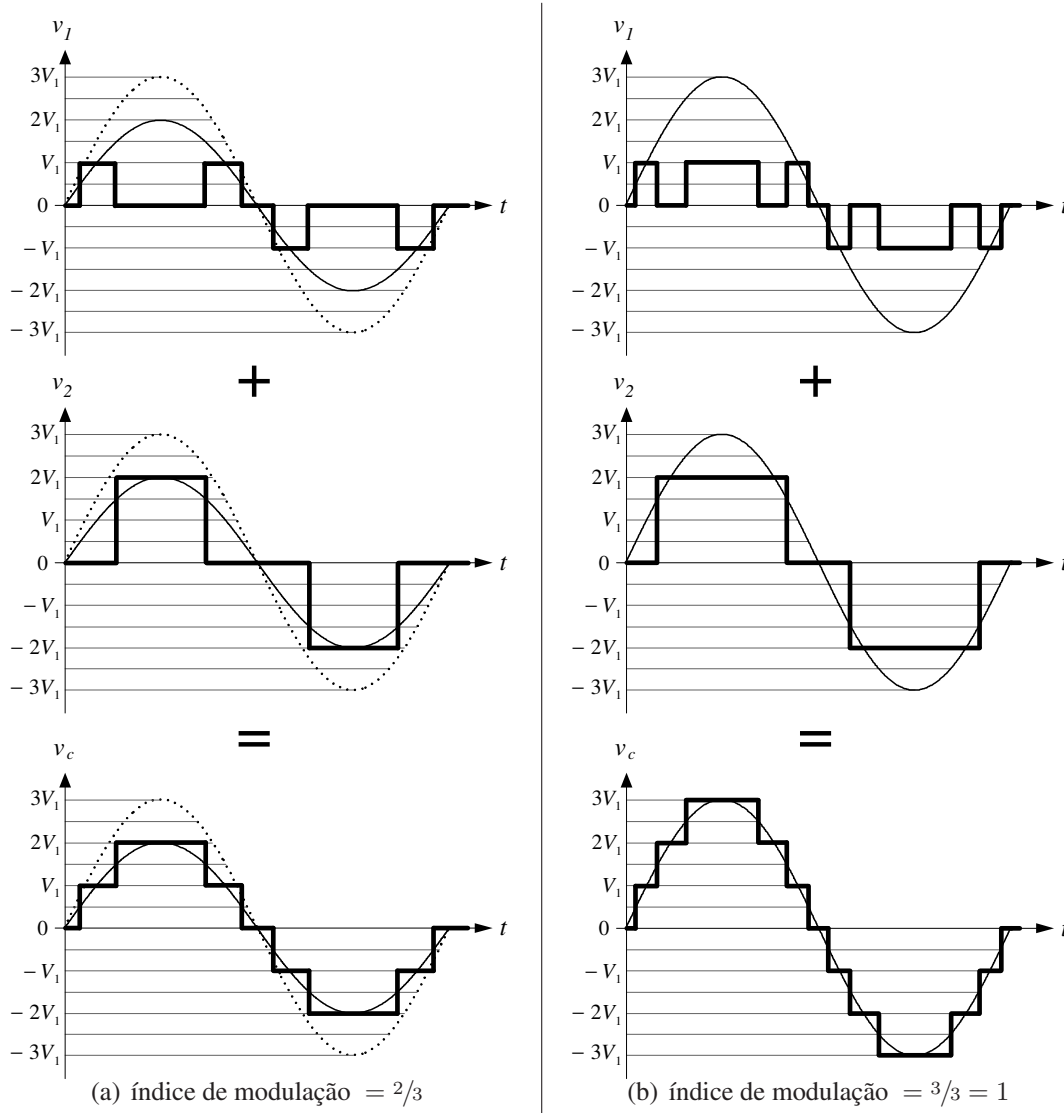


Fig. 2.5: Topologia em cascata assimétrica de 2 módulos (1:2) e sinal v_c com 5 (a) ou 7 (b) níveis.

número de comutações por ciclo, a configuração binária para três ou mais módulos em série produz um número inferior de níveis se comparada com a configuração com PWM. Portanto a configuração com PWM é a escolha mais adequada para a topologia em cascata assimétrica quando deseja-se obter um sinal com vários níveis e, simultaneamente, reduzir o número de comutações por ciclo do módulo de menor tensão.

Há outros fatores que também justificam a escolha da configuração com PWM em relação à configuração ternária: a modulação PWM no módulo de menor tensão; e uma redução do erro de resolução³ do sinal gerado. Uma vez que o aumento do número de níveis aumenta as comutações

³Semelhante ao erro de quantização associado à digitalização de sinais analógicos.

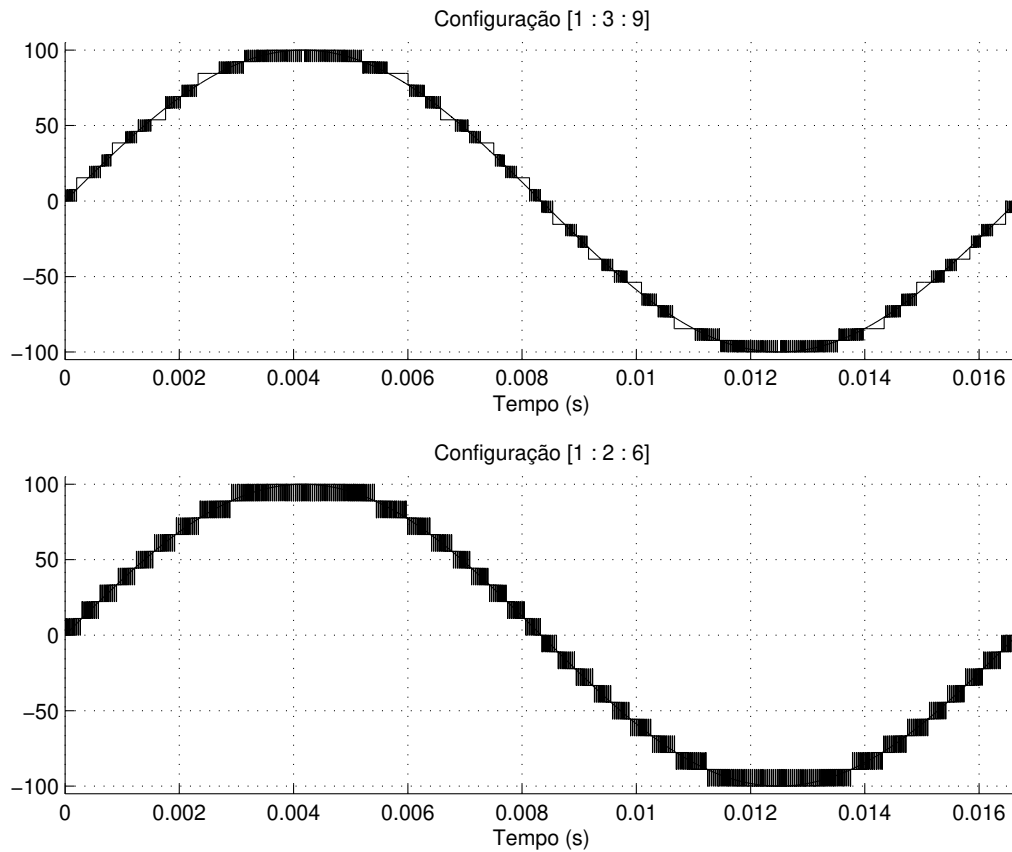


Fig. 2.6: Tensão de saída com 27 (acima) e 19 (abaixo) níveis de um inversor multinível em cascata assimétrica considerando modulação PWM no módulo de menor tensão.

por ciclo do módulo de menor tensão, a configuração ternária, apesar de não estar relacionada à modulação PWM, naturalmente apresenta uma alta taxa de comutação no módulo de menor tensão. Extrapolando-se o número de níveis do sinal gerado, o comportamento do módulo de menor tensão em ambas as configurações será semelhante. Porém, o uso da modulação PWM permite uma variação linear na composição do sinal de saída v_c , aproximando-o mais de seu respectivo sinal de referência ao permitir um melhor rastreamento de suas variações. Não bastaria simplesmente adequar a configuração ternária de forma que ela também opere com modulação PWM no módulo de menor tensão. Tal medida provocaria um aumento do erro de resolução do sinal gerado e das desigualdades na formação de seus níveis. A figura 2.6 exibe o efeito dessa medida.

Para um sinal de referência senoidal com 100V de pico e um inversor multinível em cascata assimétrica composto por três módulos em série, a figura 2.6 exibe o comportamento do sinal de saída v_c correspondente ao uso da modulação PWM no módulo de menor tensão nas configurações ternária e com PWM. Segundo a tabela 2.2, a configuração ternária (ou 1 : 3 : 9) produz um sinal de saída de 27 níveis e a configuração com PWM (ou 1 : 2 : 6), um de 19 níveis. A partir da figura

2.6, percebe-se que a configuração ternária obtém os 27 níveis no sinal de saída mas o módulo de menor tensão não possui comutação uniforme ao longo de um ciclo do sinal de referência. Não há comutações de alta frequência em todos os níveis permitidos e por conta disso, o sinal com 27 níveis apresenta um erro de resolução maior em relação ao de 19 níveis. A ausência das comutações oriundas da modulação PWM em alguns níveis da configuração (1 : 3 : 9) é determinada pela extrapolação dos limites $\pm V_1$ do sinal de referência exclusivo do módulo de menor tensão (sinal $v_{mod_1}^*$ nas figuras 2.7 e 2.10(c)). Nos níveis em que não há comutações, o sinal de referência do módulo de menor tensão é: maior ou igual a $+V_1$; ou menor ou igual a $-V_1$. Como a extrapolação não ocorre na configuração (1 : 2 : 6), a tensão do módulo de menor tensão é escalonada, a partir da modulação PWM, somente entre os valores 0 e $\pm V_1$. A maneira como são determinados os sinais de referência para cada um dos módulos diz respeito à estratégia de modulação adotada, descrita adiante na subseção 2.2.2.

Em função das características apresentadas para as topologias em cascata e, também, das variações das configurações assimétricas em termos do número de níveis, do número de comutações por ciclo e do erro de resolução, pode-se determinar a melhor alternativa para uma determinada aplicação. Uma vez que o inversor multinível escolhido neste trabalho foi implementado em laboratório, optou-se pela topologia em cascata por utilizar um número menor de componentes para produzir uma certa quantidade de níveis. O inversor multinível em cascata implementado foi utilizado em um sistema monofásico de distribuição de energia elétrica (padrão 127/220V). Tal nível de tensão constitui uma aplicação de baixa tensão, na qual recomenda-se o uso da cascata assimétrica. O número de módulos da topologia em cascata assimétrica foi determinado em função da quantidade de pinos de I/O disponíveis no processador digital (DSP de 32 bits e ponto fixo) para controlar os dispositivos semicondutores do estrutura, das dimensões físicas do dissipador acoplado aos módulos de potência, do número de níveis elaborados e da baixa DHT observada no sinal de saída. Tais fatores determinaram a adoção de 3 módulos para a topologia em cascata assimétrica. Restava apenas a opção pela configuração adequada: ternária ou com PWM. Uma vez que o inversor da aplicação operaria majoritariamente como uma fonte de tensão controlada por corrente e havia a necessidade de envolver cargas não-lineares na aplicação, a configuração escolhida para o inversor deveria permitir o melhor rastreamento possível de um sinal alternado e não necessariamente senoidal. Optou-se pela configuração com PWM ou (1 : 2 : 6). Assim foi especificado o inversor monofásico da aplicação: um inversor multinível em cascata assimétrica de 19 níveis. Em tal denominação já estão embutidos a configuração assimétrica e o número de módulos em ponte que estão associados em série.

2.2.2 Estratégia de modulação para a topologia em cascata assimétrica

A estratégia de modulação de um inversor corresponde a um conjunto de regras que define a maneira como os dispositivos semicondutores do inversor são acionados de forma a sintetizar um

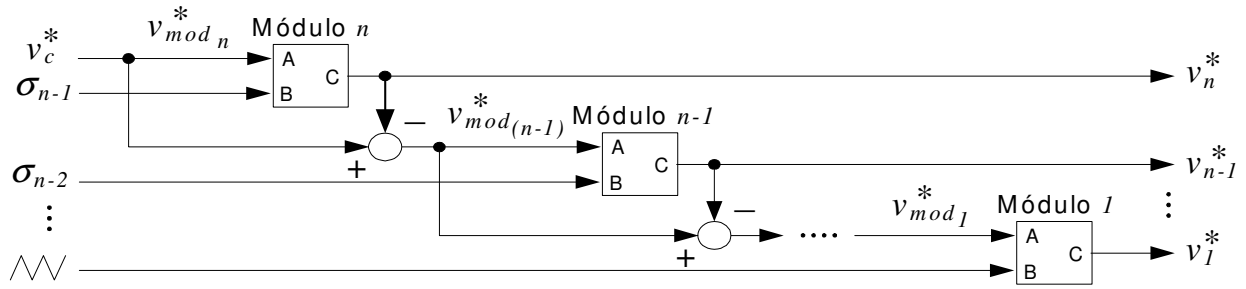


Fig. 2.7: Estratégia de modulação do inversor multinível com PWM no módulo de menor tensão.

signal de saída desejado, conforme uma referência pré-estabelecida. Uma estratégia de modulação para os módulos que compõem a topologia em cascata assimétrica também deve ser do tipo cascata ou em série. Ou seja, é preciso que haja uma concordância dos sinais obtidos nos terminais de saída de cada módulo para que eles, ao serem somados algebricamente, resultem num sinal próximo ao sinal de referência do conversor. Para isso, o sinal de referência de cada módulo deve levar consigo as informações do quanto aquele módulo específico necessita gerar e, também, do quanto já foi gerado por módulos anteriores.

Além disso, a estratégia de modulação do tipo cascata precisa ter uma ordem de modulações. Essa ordem equivale à sequência decrescente dos valores de tensão dos barramentos CC de todos os módulos. Com isso, a definição do comando do módulo de maior tensão acontece antes do que a do módulo da segunda maior tensão que, por sua vez, também ocorre antes do que a do módulo da terceira maior tensão, assim por diante, até chegar ao módulo de menor tensão, cuja definição do comando é a última a ser realizada.

Em cada módulo da topologia cascata assimétrica, a definição do comando é feita a partir da comparação do sinal de referência daquele módulo com níveis constantes e específicos daquele módulo. A presença ou não de modulação PWM em um ou mais módulos, interfere na maneira como esses níveis de comparação são calculados. Em função do inversor escolhido na subseção 2.2.1, apenas a estratégia de modulação com modulação PWM no módulo de menor tensão é abordada. Caso haja interesse nas demais estratégias, sugere-se a leitura das referências [27, 30, 33, 38–41].

Para uma topologia em cascata assimétrica na qual o módulo de menor tensão opera segundo uma modulação PWM, a estratégia de modulação a ser utilizada é abordada em [39]. As figuras 2.7 e 2.8 exibem os detalhes dessa estratégia de modulação. Essa estratégia de modulação é específica para tal condição e independe do tipo de modulação PWM para inversores multiníveis a ser adotada no módulo de menor tensão (PSCPWM, PD, POD e APOD) [40, 41]. O inversor multinível deste trabalho utiliza a modulação PWM do tipo POD no módulo de menor tensão.

A estratégia de modulação da figura 2.7 é baseada na comparação, em cada módulo, de um sinal

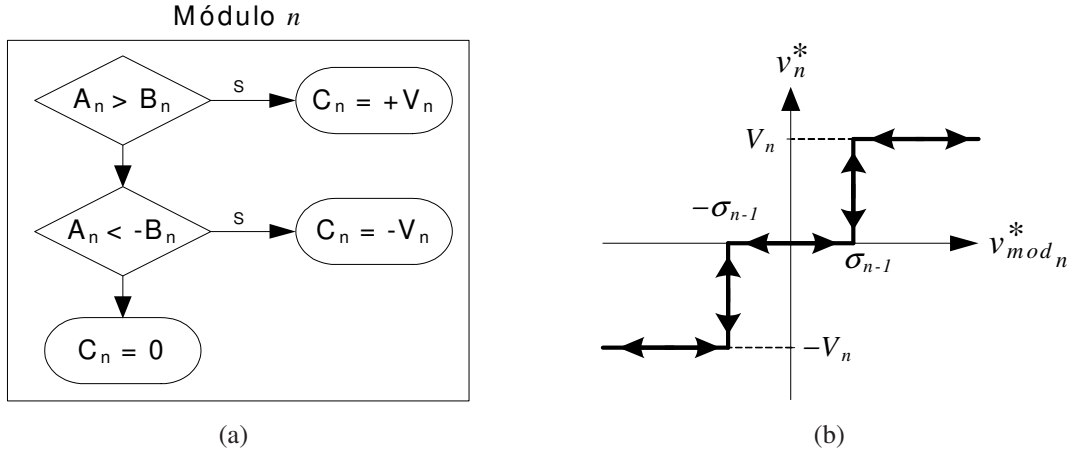


Fig. 2.8: Estratégia de modulação no módulo n para o caso de modulação PWM no módulo de menor tensão: fluxograma (a) e relação entrada-saída (b).

de referência com níveis constantes calculados de acordo com a equação 2.5. O módulo n representa o módulo de maior tensão da topologia e a tensão (ou sinal) de referência total a ser gerada pelo inversor multinível é representada pelo símbolo v_c^* . É preciso ressaltar que os sinais de referência $v_1^*, v_2^* \dots v_n^*$ não são iguais aos sinais de referência utilizados para a modulação em cada um dos módulos, $v_{mod\,1}^*, v_{mod\,2}^* \dots v_{mod\,n}^*$. Estes dependem da diferença entre a quantidade que o conversor necessita gerar v_c^* e o quanto disso já foi gerado até então.

$$\sigma_j = \pm \sum_{k=1}^j V_k \quad [j \in \mathbb{N} : 1 \leq j \leq (n-1)] \quad (2.5)$$

Adicionalmente, a figura 2.8 exibe os detalhes da comparação realizada no módulo n através do fluxograma e da relação entrada-saída daquele módulo. A figura 2.8(a) descreve a sequência da comparação feita internamente ao módulo n de forma a definir o valor do sinal de saída C_n a partir dos valores dos sinais de entrada A_n e B_n . O sinal de referência do módulo n corresponde à entrada A_n e o seu respectivo nível de comparação, à entrada B_n . O sinal v_n^* corresponde à saída C_n do fluxograma e determina os estados de condução ou não dos dispositivos semicondutores do módulo n . Isso porque o sinal v_n^* é a referência da tensão v_n a ser disponibilizada pelos terminais de saída do módulo n .

A partir da relação entrada-saída apresentada na figura 2.8, percebe-se que ela apresenta um comportamento não-linear. É possível extrair uma regra geral para o método de comparação da estratégia de modulação e que para o módulo $(n-k)$, tal regra estaria de acordo com a equação 2.6. Tal equação pode ser aplicada na determinação das regras de todos os módulos do inversor multinível. As regras dos módulos poderão ser utilizadas na modelagem e na análise das não-linearidades do

inversor multinível através do uso do método da função descritiva [42–44].

$$[\forall k \in \mathbb{N} : 0 \leq k \leq (n-1)] \quad v_{(n-k)}^* = \begin{cases} +V_n & , \text{ se } v_{mod(n-k)}^* > +\sigma_{(n-k-1)} \\ -V_n & , \text{ se } v_{mod(n-k)}^* < -\sigma_{(n-k-1)} \\ 0 & , \text{ se } -\sigma_{(n-k-1)} \leq v_{mod(n-k)}^* \leq +\sigma_{(n-k-1)} \end{cases} \quad (2.6)$$

Para o caso de um inversor multinível cascata assimétrica de 19 níveis na configuração (1 : 2 : 6) e de acordo com a equação 2.5, os níveis de comparação utilizados pela estratégia de modulação da figura 2.7 nos módulos de maior e média tensão são iguais a $\sigma_2 = \pm 3V_1$ e $\sigma_1 = \pm V_1$, respectivamente. Não há um nível constante de comparação associado ao módulo de menor tensão pois este opera segundo a modulação PWM do tipo APOD. O nível de comparação para o módulo de menor tensão é a própria portadora da modulação PWM na frequência de comutação desejada. As figuras 2.9 e 2.10 exibem os sinais envolvidos na estratégia de modulação para uma estrutura multinível nessas condições a partir de um suposto sinal de referência senoidal com amplitude máxima igual a 9V. Considerando que a tensão CC do módulo de menor tensão seja igual a 1V, a tensão de saída total esperada para o inversor multinível em questão é exibida na figura 2.9(b). Nota-se que a saída esperada representa a soma dos sinais v_1^* , v_2^* e v_3^* da figura 2.10 e que ela será composta por 19 níveis de tensão uma vez que o índice de modulação vale 1.

A partir das figuras 2.10(a) e 2.10(b) percebe-se que os módulos de maior e média tensões operam com baixas frequências de comutação e que o módulo de maior tensão permanece acionado durante boa parte de um ciclo do sinal de referência. Outro ponto a ser observado nas figuras 2.10(c) e 2.10(d) é que, ao contrário dos outros módulos, o módulo de menor tensão apresenta comutações em alta frequência de forma a rastrear adequadamente o sinal v_1^* , que representa a parcela não-gerada por todos os módulos anteriores. Por apresentar valores relativamente baixos, os componentes de alta frequência na tensão de saída do módulo de menor tensão podem ser filtrados de forma satisfatória através de um filtro passivo de 1ª ordem. Tal característica permite que o inversor multinível possa ser acoplado diretamente ao ponto de acoplamento comum (PAC) através de um indutor simples. A presença do indutor também permite a injeção de uma corrente controlada no PAC a partir de variações na tensão de saída do inversor multinível considerado.

2.3 Proposta de um sistema monofásico

A proposta de um sistema de geração distribuída é apresentada na figura 2.11. Ela exhibe uma possível configuração de um sistema de distribuição monofásico de baixa tensão (127/220V) repre-

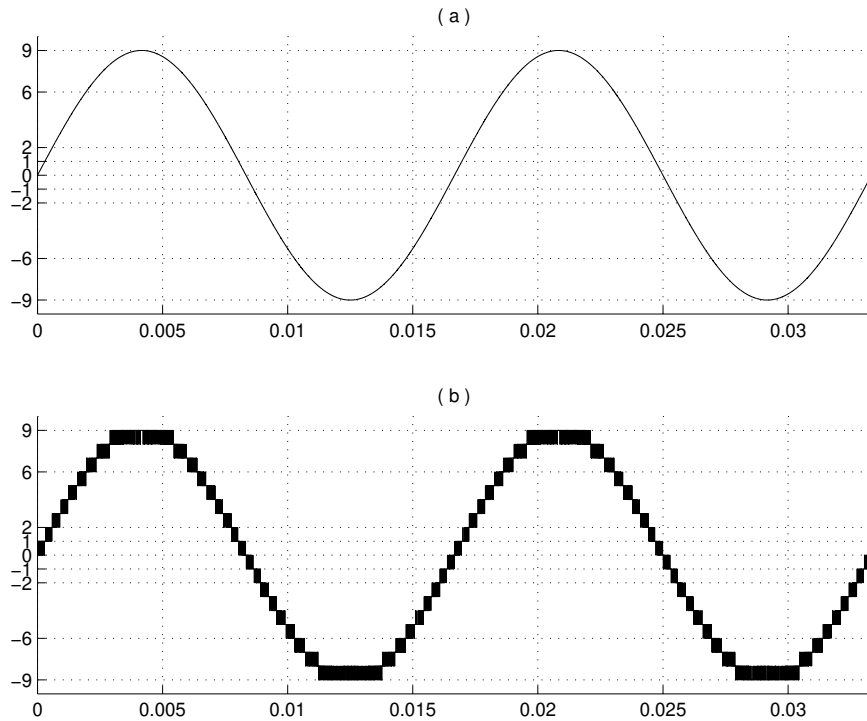


Fig. 2.9: Sinal de referência v_c^* (a) e de expectativa de sinal de saída ($\equiv v_1^* + v_2^* + v_3^*$) (b) para um inversor multinível de 19 níveis com $V_1 = 1V$.

sentado pelo diagrama unifilar por fase do caso estudado. Apesar das idéias apresentadas serem relacionadas a um sistema monofásico, as conclusões obtidas podem ser generalizadas para aplicações trifásicas e de tensões mais elevadas. A operação em tensões mais elevadas é facilitada pela capacidade dos inversores multiníveis em produzir tais valores a partir de comutação de diversas tensões menores. Vale ressaltar que a ampliação de um sistema monofásico para um trifásico é válida desde que cada uma das fases seja operada de forma independente. A operação individual das fases requer um número maior de medições dos sinais de tensão e de corrente, mas preserva uma característica importante do sistema de geração distribuída proposto: operar de forma satisfatória em condições de desbalanço de cargas e, principalmente, de alimentação de cargas não-lineares.

O sistema de geração distribuída proposto na figura 2.11 baseia-se no gerenciamento da operação de um inversor multinível monofásico de 19 níveis e, também, do estado de uma chave estática bidirecional S_1 situada entre as barras S e PAC (ponto de acoplamento comum). O estado da chave S_1 representa uma operação do sistema de geração distribuída com ou sem a disponibilidade de fornecimento de energia elétrica pela empresa concessionária associada à barra S. Ou seja, seu estado representa uma condição verificada de ilhamento ou não do sistema de geração distribuída proposto.

Conforme a seção 2.2, o inversor multinível adotado trata-se de uma estrutura multinível de topologia cascata assimétrica, na configuração (1 : 2 : 6) e com modulação PWM no módulo de menor

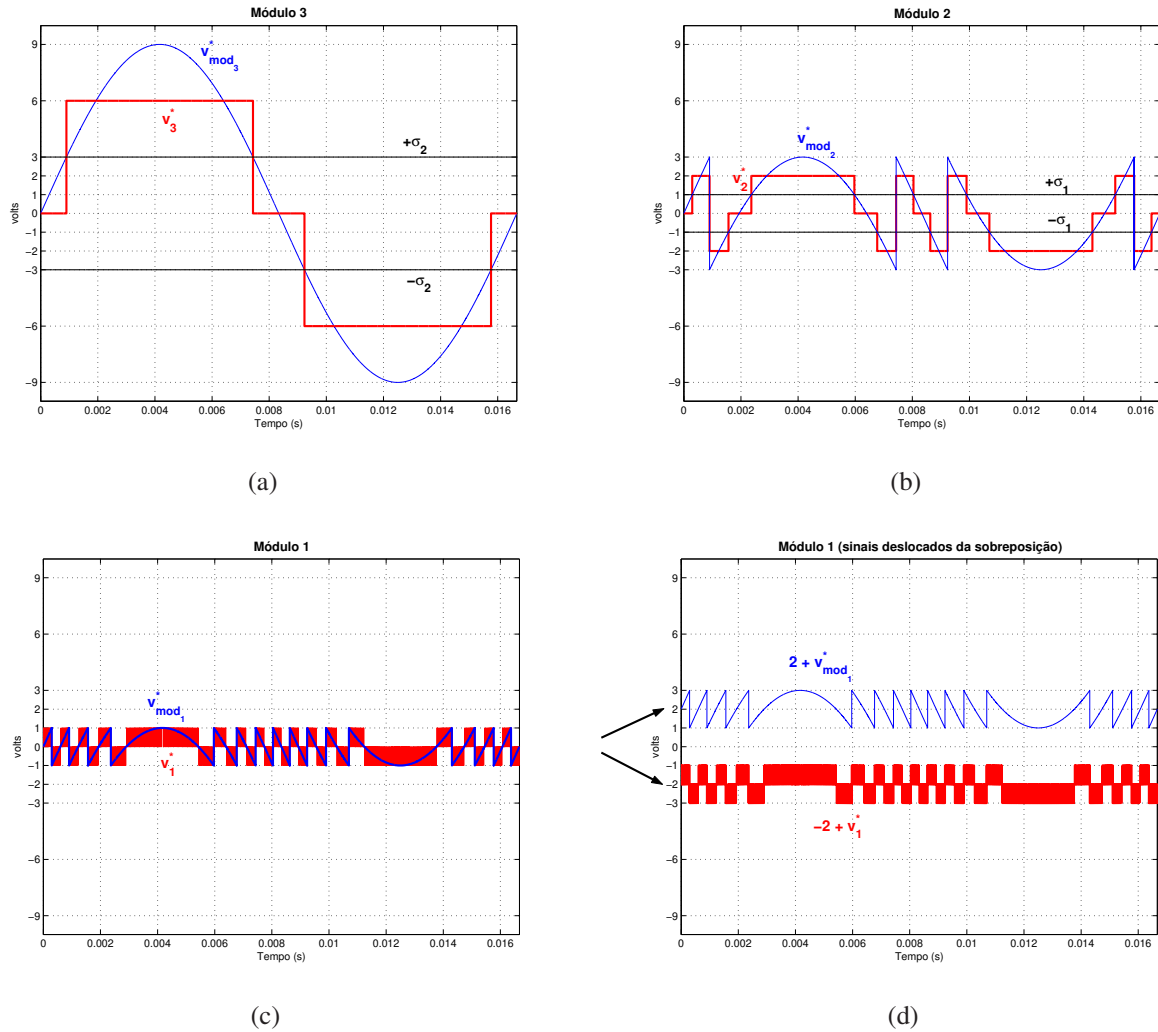


Fig. 2.10: Comportamento dos módulos 3 (a), 2 (b) e 1 (c, d) de um inversor de 19 níveis durante a elaboração, mediante a estratégia de modulação da figura 2.7, do sinal de saída da figura 2.9(b).

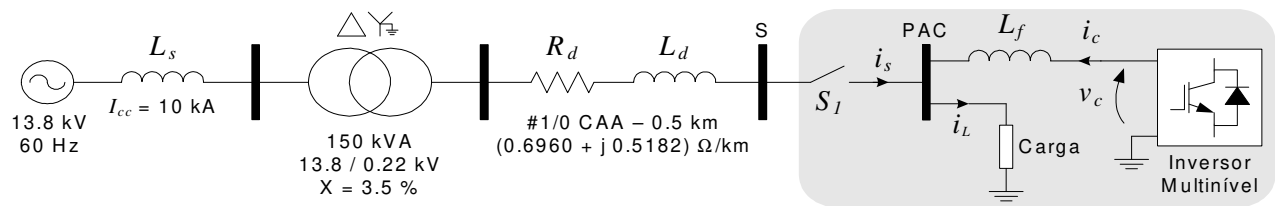


Fig. 2.11: Visão geral da proposta de um sistema monofásico de geração distribuída.

tensão. Ele é conectado à barra PAC através de uma indutância L_f , cuja função principal é permitir a manipulação da corrente de saída do inversor i_c a partir de variações em sua tensão de saída v_c . No sistema de geração distribuída proposto, o inversor multinível é o dispositivo de interface entre a(s)

fonte(s) primária(s) de energia e o sistema elétrico mantido pela concessionária local. Além do inversor multinível, a barra PAC conecta-se também a uma carga (ou um grupo de cargas) representada(o) por sua corrente de alimentação i_L . Portanto, o inversor multinível está conectado de forma paralela à(s) carga(s) através da barra PAC.

Para sintetizar a tensão de saída v_c , são necessárias tensões CC de diferentes valores nos barramentos CC do inversor multinível conforme a configuração (1 : 2 : 6). Tais tensões CC podem ser estabelecidas a partir do aproveitamento de uma ou de várias fontes primárias de energia. A única exigência, relacionada à topologia em cascata, é que haja isolação elétrica entre todas as tensões CC do inversor multinível. Em função do número de barramentos CC do inversor, a energia a ser provida por ele através de sua corrente de saída i_c representa a composição das energias fornecidas para cada barramento CC a partir de uma ou mais fontes primárias. É possível, portanto, elaborar um sistema de geração distribuída heterogêneo e que seja composto por diferentes fontes primárias de energia, de forma a proporcionar um melhor aproveitamento dos recursos disponíveis. Para o sistema de geração distribuída proposto, as tensões CC poderão ser fornecidas por sistemas baseados em: células a combustível; sistemas fotovoltaicos; sistemas eólicos associados com baterias de armazenamento; ou a combinação entre eles. Vale ressaltar que a energia fornecida por cada sistema de fonte primária deve ser manipulada por um conversor CC/CC isolado antes que ela seja armazenada em baterias, capacitores ou quaisquer outros elementos de armazenamento que estejam diretamente acoplados aos barramentos CC do inversor multinível. Uma vez que a energia primária advém de grandezas elétricas CC, o sistema proposto pode ser caracterizado como sendo um sistema assíncrono de geração distribuída por envolver sinais cujas frequências de operação (CC: 0Hz) não são equivalentes à frequência nominal do sistema (60Hz) [26, 45].

Por se tratar de sistema de geração distribuída em baixa tensão, a barra S representa o ponto de uma rede de distribuição de energia elétrica alimentada por um transformador de distribuição típico para áreas urbanas residenciais. Entre a barra S e o transformador de distribuição considerado, supõe-se a existência de um trecho dessa linha de distribuição com aproximadamente 500 metros de comprimento e modelado em termos da sua resistência R_d e da sua reatância indutiva X_{L_d} . Os valores de R_d e de X_{L_d} são definidos por fase e equivalem às respectivas características elétricas de um cabo típico em redes de distribuição em baixa tensão: o cabo de alumínio nu com alma de aço e bitola 1/0 (código AWG, ver Glossário) – ou, simplesmente, cabo tipo #1/0 CAA.

$$Z_{eq} = R_{eq} + jX_{eq} \quad (2.7)$$

É possível calcular a impedância equivalente por fase Z_{eq} (equação 2.7) da concessionária de energia elétrica à montante⁴ da barra S considerando que:

⁴Apesar de serem originalmente vinculados a sistemas hidráulicos ou ao curso de um leito d'água, os termos montante

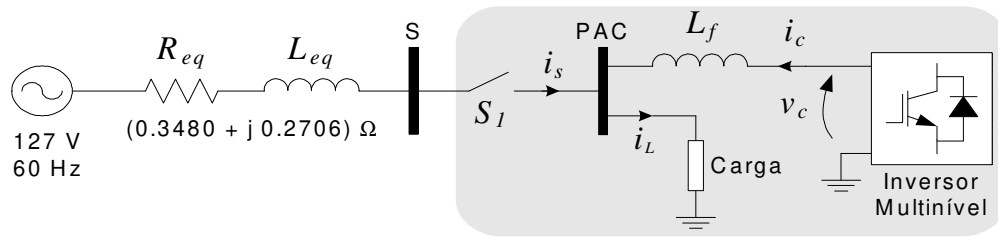


Fig. 2.12: Diagrama equivalente ao sistema de energia elétrica da figura 2.11.

- a linha de distribuição secundária seja exclusiva para a alimentação da barra S ou que não haja carga(s) conectada(s) no trecho considerado;
- o transformador de distribuição adotado seja o elemento de conexão entre uma rede primária trifásica de 13,8kV (conexão a 3 fios em Δ) e uma rede secundária trifásica de 220V (conexão a 4 fios em Y);
- a impedância de dispersão do transformador de distribuição seja equivalente a 0,035pu;
- a potência nominal do transformador seja de 150kVA; e
- a rede primária de 13,8kV possua uma corrente de curto-circuito I_{cc} equivalente a 10kA.

Após tais considerações, o diagrama unifilar da figura 2.11 pode ser substituído por sua representação equivalente apresentada na figura 2.12. Ao comparar as figuras 2.11 e 2.12 nota-se que não há alterações à jusante da barra S (região em destaque). A figura 2.12 representa um diagrama por fase do caso estudado e, portanto, a tensão de alimentação adotada é equivalente à tensão de fase nominal da concessionária (=127V). Também são exibidos os valores obtidos para a resistência R_{eq} e reatância X_{Leq} equivalentes.

Mediante a análise da figura 2.12 e do conhecimento dos tipos predominantes de cargas alimentadas em baixa tensão, pode-se estabelecer as seguintes diretrizes para a coordenação da operação do sistema de geração distribuída (SGD) proposto:

1. *O SGD deve garantir sempre o fornecimento ininterrupto de energia elétrica à carga mesmo quando houver condições adversas de operação. Tal condição aproxima o seu comportamento ao de uma fonte de alimentação ininterrupta (UPS) do tipo on-line (sempre em operação). A diferença entre os dois dispositivos é a capacidade adicional do SGD em fornecer potência ativa à concessionária local, caracterizando-o como uma aplicação de geração distribuída.*

e jusante também são adotados em sistemas elétricos de potência para diferenciar as duas regiões de análise estabelecidas a partir de um ponto específico. Em um sistema elétrico radial e unidirecional de potência, estar à montante de um determinado ponto significa estar posicionado antes dele no sentido de propagação da energia elétrica. E, de forma análoga, estar à jusante significa estar posicionado após esse ponto.

2. O inversor multinível deve assumir de forma total (ou compartilhada com o sistema elétrico à montante da barra S) a alimentação da(s) carga(s) conectada(s) ao PAC (ou barra PAC), representada pela corrente de alimentação de carga i_L . Ou seja:

$$i_L = i_s + i_c \quad (2.8)$$

3. Preferencialmente, a corrente do inversor i_c deve ser maior ou igual à corrente de carga i_L . Assim, caso a corrente fornecida pela concessionária local i_s seja nula, em função da indisponibilidade do sistema conectado à barra S ou da abertura da chave S_1 , tem-se que $i_L = i_c$ e o fornecimento de energia elétrica à carga não é afetado.
4. Caso a chave S_1 esteja aberta, a alimentação nominal da(s) carga(s) é prioridade do SGD. Neste regime de operação é possível que a energia armazenada no inversor multinível seja maior do que a demanda de energia requerida pela(s) carga(s) ou que ocorra o contrário. Na primeira situação (demanda de carga é inferior) é preciso evitar que a energia em excesso fornecida pelas fontes primárias se acumule no inversor multinível e, conseqüentemente, eleve demasiadamente as suas tensões CC. Uma solução é que tal excedente seja armazenado em baterias ou utilizado em sistemas de aquecimento de água. Já na segunda situação (demanda de carga é superior) é preciso classificar as cargas com relação à prioridade de funcionamento e garantir que um número mínimo delas continue em operação de acordo com o montante de energia disponível. Ou ainda, aproveitar-se da energia armazenada em baterias carregadas durante a vigência da primeira situação de forma a atender as demais cargas também.
5. Com a chave S_1 fechada e caso a quantidade de energia armazenada e disponibilizada nos barramentos CC do inversor multinível seja maior que a quantidade de energia requerida pela(s) carga(s) através da corrente i_L , a diferença entre elas pode ser direcionada ao sistema da concessionária local. Uma vez que o transporte da energia entre as partes do arranjo é feita através de suas correntes elétricas, a corrente i_s equivalerá à diferença entre as correntes i_c e i_L e ela representará o montante de energia fornecido à rede de distribuição da concessionária. Por se tratar de uma inserção de energia e por possuírem sentidos diferentes na barra PAC, espera-se que a corrente i_s possua uma defasagem de 180° em relação à corrente i_c .
6. O fornecimento de energia do SGD ao sistema elétrico da concessionária local é feito mediante a transferência de um montante de potência ativa (apenas) da barra PAC para a barra S. Deve-se evitar que haja também a transferência da potência não-ativa da barra PAC para a barra S. A potência não-ativa fornecida pelo inversor multinível deve ser completamente destinada à(s) carga(s). O fornecimento apenas de potência ativa diminui os impactos do SGD na operação

do sistema à montante da barra S e também permite um melhor aproveitamento da capacidade de geração do SGD proposto.

- 7. O fornecimento apenas da potência ativa pelo SGD deve ser obtido mediante o uso da técnica denominada “Síntese de Carga Resistiva” (SCR – ou RLS, do termo em inglês) [46], na qual o fator de potência é mantido próximo do valor unitário quando a corrente e a tensão consideradas possuem a mesma forma de onda. Se o valor do fator de potência for unitário significa que a transferência de energia é totalmente baseada na potência ativa apenas.*
- 8. O funcionamento do SGD não deve ser afetado em função da carga(s) alimentada(s) possuir(em) características lineares, não-lineares ou a combinação de ambas. Para isso, a operação do SGD deve utilizar técnicas de controle que permitam o uso de cargas não-lineares.*
- 9. As ações de abertura ou de fechamento da chave S_1 serão realizadas, respectivamente, somente de forma posterior à detecção de uma condição de ilhamento ou à confirmação de um sincronismo entre as tensões presentes nas barras S e PAC. Mediante tais condições, o SGD deve ser responsável por determinar o estado da chave S_1 .*

Após a caracterização e a descrição da topologia do sistema de geração distribuída proposto, é necessário descrever os seus modos de operação e os seus mecanismos de coordenação do estado da chave S_1 .

2.4 Conclusões

Neste capítulo foram apresentadas as motivações e os principais desafios para o estudo de sistemas monofásicos de geração distribuída. Em um primeiro momento, antes de se descrever uma proposta de geração distribuída, foram apresentados aspectos de um inversor multinível. Assim, foram apresentadas as principais vantagens e desvantagens da estrutura multinível em relação à estrutura PWM tradicional. Aspectos sobre a aplicação da estrutura multinível na compensação de harmônicos e reativos também foram citados. Também foram mostradas as principais topologias utilizadas na estrutura multinível. Estas foram comparadas com relação ao número de componentes utilizados e à capacidade em atingir diversos níveis de tensão a partir de fontes de tensão. Critérios para a escolha de uma determinada topologia também foram adotados. A partir dessas informações, foi possível concluir que a escolha por uma das topologias pode interferir no nível máximo de tensão produzido e/ou no custo total de implementação de um inversor multinível, e, também, que o nível de tensão relacionado à aplicação determina qual é a topologia em cascata mais indicada. Normalmente, faz-se uma distinção em aplicações de baixa tensão e de média/alta tensão.

Na segunda parte do capítulo, foi apresentada a proposta de um sistema monofásico de geração distribuída baseado em um inversor multinível. Assim, foram determinadas as regras de operação do sistema de geração distribuída proposto, bem como as suas características, a sua topologia e o seu método de inserção de energia elétrica no sistema elétrico disponível. Verificou-se que a proposta apresentada atende aos desafios estabelecidos para uma aplicação monofásica de geração distribuída.

No próximo capítulo, a proposta monofásica de geração de geração distribuída é detalhada em termos dos seus modos de operação.

Capítulo 3

Modos de Operação do Sistema Proposto

3.1 Introdução

No capítulo 2 foi apresentada a proposta de um sistema monofásico de geração distribuída baseado em um inversor multinível de 19 níveis. Foram descritas as suas principais características e o diagrama equivalente do sistema proposto. A operação do sistema de geração distribuída é baseada no estado da chave S_1 . A figura 3.1 exibe a máquina de estados do sistema proposto, contendo os modos de operação e as condições de transição de estados. O sistema proposto, após ser habilitado, operará sempre em um dos modos de operação apresentados: no compartilhado ou no ilhado. As condições de transição são continuamente checadas de forma a garantir que o sistema esteja operando sempre no modo correto.

Se a chave S_1 estiver fechada, o sistema opera no modo compartilhado. Em tal situação, a(s) carga(s) pode(m) ser alimentada(s) pelo inversor multinível, pela rede de distribuição da concessionária local através da barra S ou por ambas, desde que a demanda total da(s) carga(s) seja compartilhada entre elas. Possibilidade esta, que dá origem ao nome do modo de operação. No modo compartilhado, é possível a injeção de corrente do sistema de geração distribuída para a rede de distribuição, uma vez

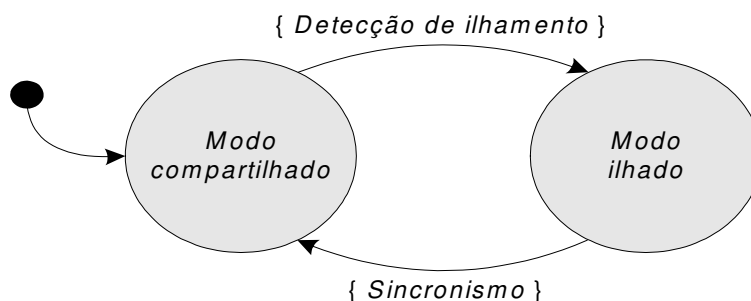


Fig. 3.1: Modos de operação e condições de transição do sistema de geração distribuída proposto.

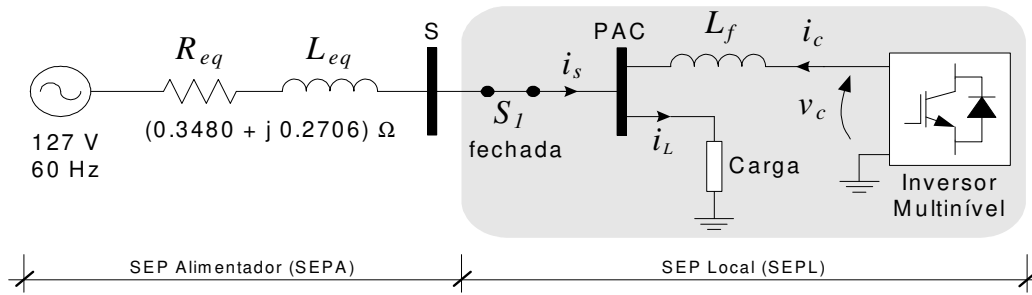


Fig. 3.2: Sistema de geração distribuída proposto operando no modo compartilhado.

que a chave S_1 encontra-se fechada. Portanto, a ação de uma geração distribuída em si depende de uma interligação entre os dois sistemas elétricos envolvidos.

Vale ressaltar que segundo as diretrizes apresentadas na seção 2.3, a operação do sistema não é limitada somente à exportação de energia ao sistema da concessionária. Por isso, caso a chave S_1 esteja aberta, a operação do sistema proposto será feita no modo ilhado. Em tal situação, a(s) carga(s) é(são) alimentada(s) somente pelo inversor multinível e o sistema deve garantir que a tensão na barra PAC (tensão de alimentação) permaneça em seus valores nominais. Uma vez que a chave S_1 esteja aberta, não há condições de ocorrer uma injeção de energia na concessionária. Dessa forma o sistema proposto opera de forma independente à dinâmica da rede de distribuição à montante de barra S e a máxima energia fornecida à(s) carga(s) equivale à máxima energia disponível nos terminais de saída do inversor multinível.

Conforme a figura 3.1, a operação do sistema proposto sempre é iniciada no modo compartilhado. Caso o sistema da concessionária à montante da barra S não esteja disponível, uma condição de ilhamento é verificada já no início da operação e ocorre uma migração para o modo ilhado. Tal transição (compartilhado \rightarrow ilhado) ocorre mediante a abertura da chave S_1 , realizada manualmente (opção não-recomendada) ou a partir da detecção de uma condição real de ilhamento (exemplo anterior). A transição no sentido contrário (ilhado \rightarrow compartilhado) ocorre mediante o fechamento (ou religação) da chave S_1 e é realizada somente quando um sincronismo duradouro entre as tensões nas barras S e PAC for alcançado. Ambas as condições de transição também são apresentadas na figura 3.1. Os modos de operação do sistema de geração distribuída proposto e os requisitos para que ocorra uma transição entre tais modos são descritos nas seções seguintes deste capítulo.

3.2 Modo compartilhado

No modo compartilhado (cujo termo em inglês é *grid-connected mode*), a chave S_1 encontra-se fechada e a topologia do sistema de geração distribuída proposto é exibida na figura 3.2. A região

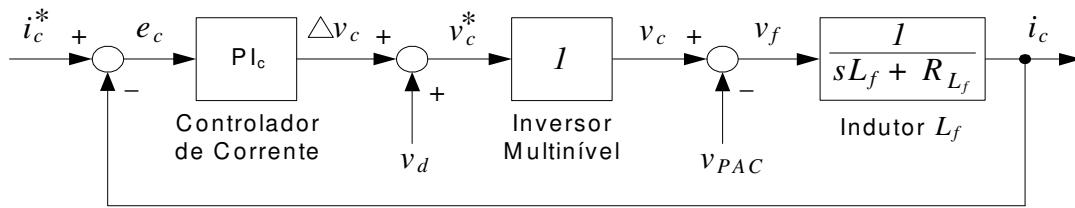


Fig. 3.3: Diagrama de blocos do método de controle da corrente i_c no modo compartilhado.

destacada na figura pode ser referenciada como “Sistema Elétrico de Potência Local” (SEPL) e a região sem destaque, como “Sistema Elétrico de Potência Alimentador” (SEPA). Tais identificações são, respectivamente, as adaptações dos termos “Local EPS” (*Local Electric Power System*) e “Area EPS” (*Area Electric Power System*) apresentados em [3, 47–49].

Uma vez que a chave S_1 está fechada, as regiões SEPL e SEPA estão interligadas. Nessa configuração, as tensões nas barras S e PAC são impostas pelo SEPA e estão sob sua influência. Em função disso o sistema proposto torna-se responsável por duas funções no modo compartilhado: ser capaz de fornecer potência ativa do SEPL para o SEPA; e fornecer totalmente as potências ativa e não-ativa requeridas pela carga conectada ao PAC. O fornecimento para o SEPA é feito mediante um controle da potência média injetada na barra S pelo SEPL. O fornecimento à carga é feito mediante um controle da corrente de saída do inversor multinível. Assim, a corrente i_c deve ser composta pelas parcelas ativa e reativa da corrente i_L em condições normais de operação e também pela corrente i_s , proporcional à injeção desejada de potência ativa na barra S. Ambos os métodos de controle necessários são descritos nas subseções 3.2.1 e 3.2.2.

3.2.1 Método de controle da corrente (ação PI)

A corrente de saída do inversor multinível deve conter as informações relativas à alimentação da carga e ao fornecimento de energia do SEPL para o SEPA. Portanto, a definição de um valor de referência para essa corrente i_c^* deve contemplar as necessidades da carga e da proposta de geração distribuída pré-estabelecida. Após a sua definição, a corrente i_c^* é o valor de referência (*setpoint*) para o método de controle da corrente i_c exibido na figura 3.3. Ele é baseado em um sistema de controle com realimentação unitária, no qual o erro de corrente e_c equivale à diferença entre os valores de referência e real para a corrente i_c . Uma maneira de se calcular o valor de referência i_c^* pode ser feita com o uso das equações 3.16 e 3.17, descritas a seguir na subseção 3.2.2.

A manipulação da corrente i_c é obtida mediante variações na tensão de saída do conversor v_c . Uma vez que a tensão na barra PAC é mantida pelo SEPA e conforme a figura 3.2, a diferença entre as tensões v_c e v_{PAC} equivale à tensão v_f presente nos terminais do indutor L_f . A relação entre a tensão e a corrente associadas ao indutor L_f é a base para a determinação de sua função de transferência,

exibida na equação 3.1. A corrente no indutor é a própria corrente do inversor i_c e os termos L_f e R_{L_f} representam, respectivamente, a indutância e a resistência interna do indutor.

$$\frac{I_c(s)}{V_f(s)} = \frac{1}{(sL_f + R_{L_f})} \quad (3.1)$$

A partir da figura 3.3, nota-se que o inversor multinível de 19 níveis é modelado por uma função de transferência com ganho unitário e que independe da frequência do sinal de entrada v_c^* . Tal consideração é válida pois o inversor multinível é capaz de gerar em seus terminais de saída um sinal (tensão v_c) com baixo erro de resolução em relação ao seu sinal de referência (tensão v_c^*). Um baixo erro de resolução é obtido por conta da modulação PWM no módulo de menor tensão do inversor, de acordo com a estratégia de modulação descrita na subseção 2.2.2.

A tensão de referência do inversor v_c^* é obtida pela soma entre a tensão v_d (eq. 3.42, pág. 59) e o sinal de saída Δv_c do controlador PI_c . A tensão v_d pode ser equivalente à tensão presente na barra PAC (v_{PAC}) ou a um sinal senoidal cujos parâmetros (amplitude, frequência e fase) são determinados pelo método de detecção de ilhamento descrito na seção 3.3. A interferência na elaboração da tensão v_c através da tensão distorcida v_d representa uma ação de perturbação do método na tentativa de se verificar a vigência de uma situação de ilhamento do SEPL.

O erro de corrente e_c , verificado após a realimentação da corrente i_c , representa o sinal de entrada do controlador PI_c . Este produz um sinal de saída Δv_c específico com o objetivo de diminuir o valor do erro e_c e, conseqüentemente, de aproximar a corrente i_c do seu valor de referência i_c^* . A função de transferência do controlador PI_c é exibida na equação 3.2. Pode-se perceber que se trata de um controlador linear clássico com um pólo na origem e um zero sobre o eixo real do plano- S [50].

$$PI_c(s) \equiv \frac{\Delta V_c(s)}{E_c(s)} = k_{pc} + \frac{k_{ic}}{s} = \frac{(k_{pc}s + k_{ic})}{s} \quad (3.2)$$

As funções de transferência em malha aberta e em malha fechada do sistema de controle da figura 3.3 podem ser determinadas a partir das equações 3.1 e 3.2. Desconsiderando os sinais de distúrbio (ou seja, $v_d = 0$ e $v_{PAC} = 0$), as funções em malha aberta $G_c(s)$ e em malha fechada $C(s)$ são apresentadas nas equações 3.3 e 3.4. A equação característica da função $C(s)$, na equação 3.5.

$$G_c(s) = \frac{I_c(s)}{E_c(s)} = \frac{(k_{pc}s + k_{ic})}{(L_f s^2 + R_{L_f} s)} \quad (3.3)$$

$$C(s) = \frac{I_c(s)}{I_c^*(s)} = \frac{G_c(s)}{1 + G_c(s)} = \frac{(k_{pc}s + k_{ic})}{[L_f s^2 + (R_{L_f} + k_{pc})s + k_{ic}]} \quad (3.4)$$

$$L_f s^2 + (R_{L_f} + k_{pc})s + k_{ic} = 0 \quad (3.5)$$

Por análise da equação 3.5 e considerando uma resistência R_{L_f} muito menor que o valor de k_{p_c} , percebe-se que os coeficientes k_{p_c} e k_{i_c} devem possuir o mesmo sinal para que o sistema de controle representado pela função $C(s)$ seja estável. Ou seja:

$$\frac{k_{p_c}}{k_{i_c}} > 0 \quad (3.6)$$

Pelo critério de estabilidade de Hurwitz-Routh [51, 52], para que todas as raízes da equação característica (equação 3.5) estejam no semi-plano esquerdo do plano- S , é necessário que duas regras sejam cumpridas. A primeira é que todos os seus coeficientes sejam não-nulos e possuam o mesmo sinal. Neste caso, o fato de L_f ser positivo determina que os coeficientes k_{p_c} e k_{i_c} também devem ser positivos e não-nulos. A outra regra do critério é que os determinantes das matrizes D_{1c} e D_{2c} , exibidas em 3.7 e 3.8, sejam positivos e não-nulos. Novamente considerando L_f positivo, ambos os determinantes indicam a necessidade do valor do coeficiente k_{p_c} ser positivo e não-nulo. A partir da equação 3.6, conclui-se que o valor do coeficiente k_{i_c} também deve ser positivo e não-nulo.

$$D_{1c} = \begin{bmatrix} k_{p_c} \end{bmatrix} \quad (3.7)$$

$$D_{2c} = \begin{bmatrix} k_{p_c} & k_{i_c} \\ 0 & L_f \end{bmatrix} \quad (3.8)$$

Após a definição da faixa de valores na qual o sistema de controle da corrente i_c é mantido estável, pode-se calcular os coeficientes do controlador PI_c a partir da função de transferência em malha aberta $G_c(s)$. Substituindo s por $j\omega$ e desconsiderando a resistência R_{L_f} , o módulo e a fase dessa função de transferência correspondem às equações 3.9 e 3.10, respectivamente.

$$|G_c(j\omega)| = \frac{\sqrt{(k_{i_c})^2 + (\omega k_{p_c})^2}}{\omega^2 L_f} \quad (3.9)$$

$$\angle G_c(j\omega) = \left[\tan^{-1} \left(\frac{\omega k_{p_c}}{k_{i_c}} \right) - \pi \right] \quad [\text{rad}] \quad (3.10)$$

Como a função $G_c(s)$ não possui pólos localizados no semi-plano direito do plano- S , o sistema de controle da corrente i_c é considerado estável segundo o critério de estabilidade de Nyquist [43, 51] se o diagrama de Nyquist da função $G_c(s)$ não envolver o ponto $(-1,0)$. Caso a função $G_c(j\omega)$ possua ganho unitário constante, a margem de fase é definida como sendo a diferença angular entre a fase de $G_c(j\omega)$ e um ângulo igual a $\pm 180^\circ$, referente ao ponto $(-1,0)$. Assim, a margem de fase representa a distância, em termos de fase, de um ponto qualquer até o ponto $(-1,0)$, no qual o sistema de controle torna-se marginalmente estável. Se houver uma variação na fase de $G_c(j\omega)$ que seja maior ou igual à

margem de fase considerada, o sistema se tornará instável ou marginalmente estável, respectivamente.

A partir da equação 3.9 percebe-se que o módulo de $G_c(j\omega)$ não é unitário para os valores de frequência referentes a uma condição de contorno apenas do eixo imaginário positivo do plano- S , ou seja, para $0 \leq \omega < +\infty$. Mesmo assim, é possível encontrar um valor de frequência no qual essa condição seja verdadeira. Tal frequência é chamada de frequência de corte do controlador de corrente (ω_{ctc}) e, a partir dela, é possível encontrar a margem de fase MF_c de $G_c(j\omega)$. Dessa forma, a frequência de corte (em rad/s) e a margem de fase (em rad) podem ser adotados como critérios de projeto do sistema de controle da corrente.

Substituindo a frequência ω pela frequência de corte ω_{ctc} nas equações 3.9 e 3.10, tem-se:

$$|G_c(j\omega_{ctc})| = \frac{\sqrt{(k_{ic})^2 + (\omega_{ctc}k_{pc})^2}}{\omega_{ctc}^2 L_f} = 1 \quad (3.11)$$

$$\angle G_c(j\omega_{ctc}) = \left[\tan^{-1} \left(\frac{\omega_{ctc}k_{pc}}{k_{ic}} \right) - \pi \right] = MF_c - \pi \quad (3.12)$$

Após as devidas substituições e simplificações algébricas nas equações 3.11 e 3.12, é possível determinar os valores dos coeficientes k_{pc} e k_{ic} do controlador PI_c a partir das equações 3.13 e 3.14, respectivamente. Vale ressaltar que o valor da margem de fase MF_c deve estar em radianos.

$$k_{pc} = (\omega_{ctc} L_f) \sqrt{\frac{\tan MF_c}{(1 + \tan MF_c)}} \quad (3.13)$$

$$k_{ic} = k_{pc} \left(\frac{\omega_{ctc}}{\tan MF_c} \right) \quad (3.14)$$

3.2.2 Método de controle da potência média (ação PI)

Em função da necessidade de se prever a alimentação de cargas não-lineares conectadas ao PAC, o gerenciamento da quantidade de energia injetada no SEPA e da quantidade de energia destinada à carga não deve ser baseado em técnicas puramente senoidais. Assim, recomenda-se que as potências ativa e não-ativa não sejam calculadas a partir de equações válidas somente para sinais senoidais e em regime permanente. Assim, não recomenda-se associar tais potências com as variações de fase e de amplitude nos fasores associados à barra PAC pois, em função da não-linearidade, as tensões e as correntes envolvidas podem apresentar diferentes formas de onda.

Por definição, a potência ativa corresponde ao valor médio da potência instantânea durante um intervalo considerado. Ou seja:

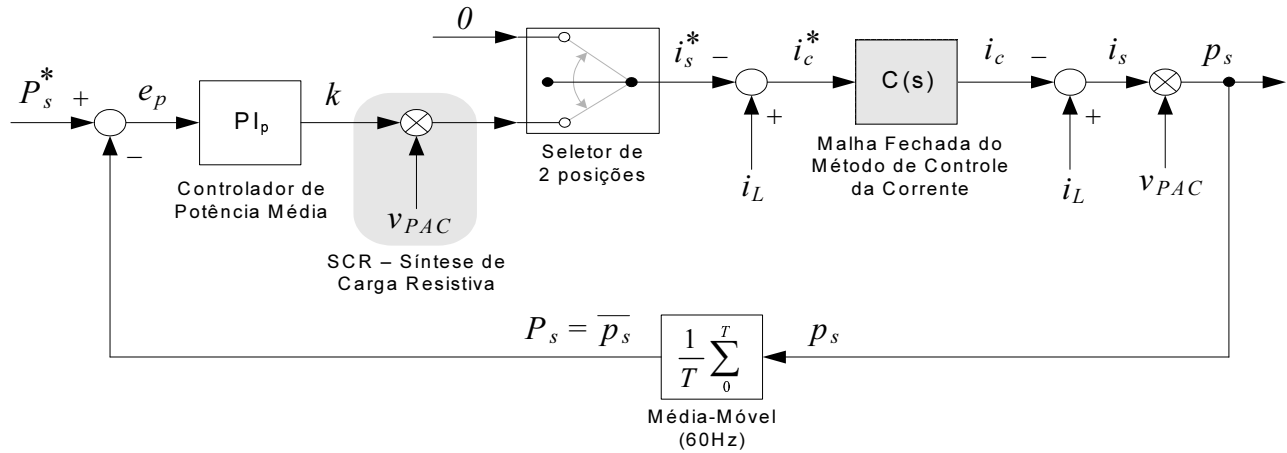


Fig. 3.4: Diagrama de blocos do método de controle da potência média P_s no modo compartilhado.

$$p_{ativa} = P = \bar{p}(t) = \frac{1}{T} \int_0^T p(t) dt = \frac{1}{T} \int_0^T [v(t) i(t)] dt \quad (3.15)$$

O cálculo da potência ativa através da equação 3.15 é válido para quaisquer formas de onda de tensão $v(t)$ e de corrente $i(t)$, ou seja, tendo elas comportamentos lineares ou não. Essa vantagem permite que a potência ativa fornecida do SEPL para o SEPA seja monitorada a partir do valor médio da potência instantânea associada, inclusive quando a(s) carga(s) conectada(s) ao PAC for(em) não-linear(es). Baseando-se nesse diferencial, o método de controle da potência média P_s no modo compartilhado é exibido na figura 3.4.

Para o cálculo do valor médio da potência instantânea p_s do SEPA, utiliza-se um filtro de média móvel com um número inteiro de amostras em um ciclo de 60Hz. O valor médio obtido \bar{p}_s representa a potência ativa P_s associada ao SEPA. O valor da potência ativa P_s é realimentado para uma comparação com o seu valor de referência P_s^* . A diferença entre P_s^* e P_s equivale ao erro de potência média e_p . O erro e_p é utilizado pelo controlador PI_p na tentativa de se obter o nível desejado de energia injetada no SEPA a partir do SEPL. É preciso ressaltar que possíveis flutuações em baixa frequência ($<10\text{Hz}$) presentes em p_s também estarão presentes no valor médio P_s , o quê pode sugerir a utilização de outro filtro digital conforme a necessidade.

A partir da equação 2.8, o valor de referência da corrente do inversor i_c^* pode ser calculada com o uso das equações 3.16 e 3.17. No sistema de controle da figura 3.4, o sinal de referência i_c^* é obtido conforme a equação 3.17 e ele corresponde ao sinal de entrada do método de controle da corrente (figura 3.3) representado pela sua função de transferência em malha fechada $C(s)$ (equação 3.4).

$$i_c = i_L - i_s \quad (3.16)$$

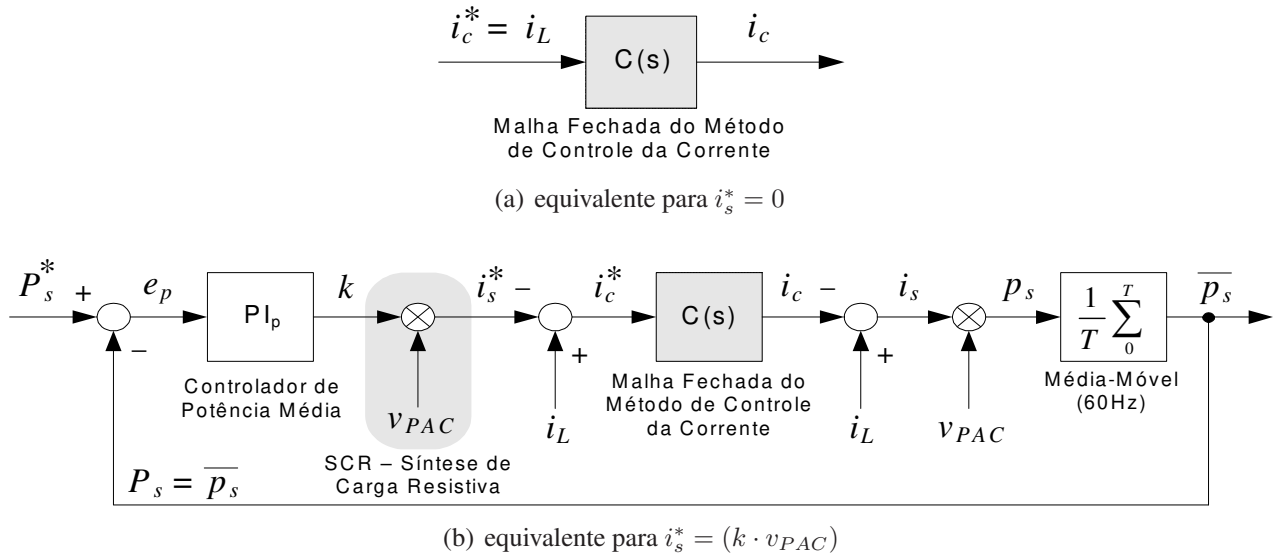


Fig. 3.5: Derivações do método de controle da potência média P_s da figura 3.4 para variações de i_s^* .

$$i_c^* = (i_L - i_s)^* = i_L^* - i_s^* = i_L - i_s^* \quad (3.17)$$

Conforme apresentado na seção 3.1 e uma vez que a chave de interligação S_1 está fechada, o sistema proposto é capaz de: compartilhar a alimentação i_L da carga com o SEPA e, assim, não fornecer energia ao SEPA pois a corrente i_s seria nula; assumir completamente a alimentação i_L da carga e não fornecer energia ao SEPA pois a corrente i_s seria positiva; ou assumir completamente a alimentação i_L da carga e também fornecer potência ativa ao SEPA pois a corrente i_s seria negativa. Com essas considerações, percebe-se que a corrente i_s determina o comportamento do sistema proposto e que a alimentação i_L da carga independente do comportamento vigente. Tais condições de comportamento do sistema proposto são previstas no sistema de controle da figura 3.4 através da manipulação do seletor de duas posições que define o sinal de referência i_s^* :

$$i_s^* = \begin{cases} 0 & , \text{ para o seletor na posição 1 (inicial)} \\ (k \cdot v_{PAC}) \neq 0 & , \text{ para o seletor na posição 2} \end{cases} \quad (3.18)$$

A figura 3.5 exhibe as derivações do método de controle da potência média da figura 3.4 a partir das opções listadas na equação 3.18 para o sinal de referência i_s^* .

Com o seletor na posição 1, o sinal de referência i_s^* é nulo e não há fornecimento de energia para o SEPA. Neste caso, $i_s \cong 0$ e $i_c = i_L$. A corrente i_s é aproximadamente nula pois o estado fechado da chave S_1 ainda permite trocas rápidas de energia entre SEPL e SEPA. Tal condição permite que uma requisição com uma alta taxa de variação (d/dt) da corrente i_L seja rapidamente suprida pelo SEPA ao

invés de ser fornecida pelo inversor multinível. Isso acontece principalmente com cargas não-lineares em função da indutância L_f do SEPL não permitir variações bruscas de energia associadas à corrente i_c . Para o sistema de controle equivalente da figura 3.5(a) não é necessário o uso de um controlador de potência média PI_p e a operação no modo compartilhado é baseada somente no método de controle da corrente da subseção 3.2.1.

Com o seletor na posição 2, o método de controle da potência média P_s é realizado conforme a figura 3.5(b). Percebe-se que o sinal de referência i_s^* é obtido pela multiplicação do sinal de saída k do controlador PI_p com a tensão disponível na barra PAC v_{PAC} . Tal multiplicação representa a ação da síntese de carga resistiva (SCR ou RLS) [34, 46] no método de controle da potência média. Segundo o método da SCR, a corrente i_s deve ter uma forma de onda semelhante à da tensão v_s (equivalente a v_{PAC} em função da chave S_1 estar fechada) disponível na barra S, mesmo quando v_s possuir distorções na sua forma de onda que a torne diferente de uma forma senoidal. Se a corrente i_s possuir a mesma forma de onda da tensão v_s , tal qual acontece em um resistor linear, o SEPL é visto como uma “resistência equivalente” pelo SEPA. Com isso, o fator de potência associado é mantido próximo do valor unitário, tal qual acontece em um resistor. Por conta disso, o método SCR é diferente do método de síntese de corrente senoidal, que é limitado no envolvimento de cargas não-lineares.

Quando houver o interesse de fornecer potência ativa ao SEPA e por tratar-se de um fluxo de energia contrário ao fluxo normal de operação do SEPA, a corrente i_s apresentará um sentido contrário (defasagem de $\pm 180^\circ$) àquele exibido na figura 3.2. Vale ressaltar que a defasagem de i_s não altera a sua forma de onda. Em consequência, a potência média P_s associada à corrente i_s será negativa. Para isso acontecer, o seu valor de referência P_s^* também deverá ser negativo e representará a quantidade desejada de potência ativa a ser fornecida ao SEPA. Caso o valor de P_s^* fosse valor não-nulo e positivo, isso indicaria que a alimentação i_L da carga seria compartilhada entre o SEPA e o inversor multinível. Tal condição, a rigor, não pode ser caracterizada como sendo uma aplicação de geração distribuída pois o sistema proposto operaria de forma semelhante a um compensador de harmônicos e reativos. Nesta situação, o método da SCR impõe a absorção apenas de potência ativa através de i_s^* e, consequentemente, o valor do fator de potência do SEPL visto pelo SEPA é mantido próximo do valor unitário.

O método de controle exibido na figura 3.5(b) pode ser utilizado na determinação dos valores para os coeficientes k_{p_p} e k_{i_p} do controlador PI_p . Porém, tal método de controle apresenta algumas particularidades que podem dificultar o dimensionamento desse controlador. A primeira delas é a presença da malha de controle de corrente $C(s)$ dentro da malha de controle de potência média. A segunda é a dificuldade em definir a função de transferência do filtro de média móvel no domínio contínuo S . A terceira é a presença de duas operações de multiplicação envolvendo o sinal de tensão

v_{PAC} . Para facilitar o entendimento da malha de controle, é necessário fazer algumas simplificações.

Sabe-se que entre duas malhas de controle distintas, aquela que possuir uma frequência de corte maior é qualificada como sendo mais rápida do que a outra. Em termos de frequência, isso quer dizer que a malha mais rápida não está imune a determinadas frequências que, na outra malha, não seriam notadas. Desse ponto de vista e comparando as malhas de controle de corrente e de potência média, percebe-se que esta deve ser muito mais lenta do que aquela. Isso porque o filtro de média móvel foi projetado para atenuar componentes de frequências múltiplas inteiras de 60Hz. Então, variações provocadas pelo controlador PI_p não serão percebidas de forma tão instantânea como aquelas provocadas pelo controlador PI_c . Além disso, variações bruscas no valor médio da potência instantânea P_s não provocam reações no controlador PI_p . Enquanto que no controlador PI_c , variações bruscas na corrente i_c podem ser notadas. Sendo assim, na faixa de operação da malha de controle de potência média, a malha de controle de corrente pode ser representada por um ganho unitário apenas. Ou seja, para o método de controle da figura 3.5(b), a malha fechada do método de controle da corrente $C(s)$ comporta-se de acordo com equação 3.19 por ter uma frequência de corte muito superior.

$$C(s) \cong 1 \quad (3.19)$$

Como a malha de controle de corrente possui ganho unitário, as duas operações de multiplicação envolvendo o sinal de tensão v_{PAC} podem ser agrupadas e representadas por v_{PAC}^2 . Considerando que o sinal v_{PAC} permaneça constante e que ele seja uma senóide de amplitude V_{pico} e frequência de oscilação ω_{PAC} , é possível obter uma expressão para v_{PAC}^2 conforme as equações 3.20 e 3.21.

$$v_{PAC}(t) = V_{pico} \sin(\omega_{PAC}t) \quad (3.20)$$

$$v_{PAC}^2(t) = V_{pico}^2 \sin^2(\omega_{PAC}t) = \frac{V_{pico}^2}{2} + \left[\frac{V_{pico}^2}{2} \cos(2\omega_{PAC}t) \right] \quad (3.21)$$

Percebe-se que a expressão de v_{PAC}^2 possui uma parcela constante e outra parcela oscilatória. Como a dinâmica da malha de controle de potência média é lenta, a parte oscilatória com uma frequência duas vezes maior do que a frequência de operação do filtro de média móvel pode ser desprezada. Dessa forma é possível considerar a função v_{PAC}^2 como sendo equivalente ao valor médio da equação 3.21. A equação 3.22 corresponde à união dessa aproximação de v_{PAC}^2 com o ganho unitário da malha de controle de corrente $C(s)$ (equação 3.19) e, também, com os giros de fase observados na composição dos sinais i_c^* e i_s da figura 3.5(b).

$$M_v(s) \cong \frac{V_{pico}^2}{2} \quad (3.22)$$

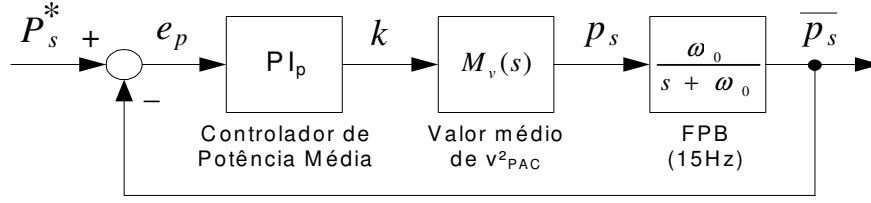


Fig. 3.6: Diagrama simplificado do método de controle da potência média P_s da figura 3.5(b).

Conforme [27], para frequências até 10Hz há uma semelhança entre a resposta em frequência de um filtro de média móvel em 60Hz com a de um filtro passa-baixa de 1ª ordem sintonizado em 15Hz. Uma vez que o controlador PI_p possui uma dinâmica lenta, tal aproximação entre os filtros pode ser considerada. Assim, a função de transferência do filtro de média móvel em 60Hz $FMM_{60}(s)$ pode ser aproximada pela função de transferência do filtro passa-baixa exibida na equação 3.23 ao se considerar $\omega_0 = (2\pi \cdot 15)$ rad/s.

$$FMM_{60}(s) \equiv \frac{\bar{P}_s(s)}{P_s(s)} \cong \frac{\omega_0}{s + \omega_0} \quad (3.23)$$

Após essas considerações, o método de controle da potência média da figura 3.5(b) pode ser simplificado, resultando no método de controle simplificado da figura 3.6.

A função de transferência do controlador PI_p é exibida na equação 3.24. Sua representação no plano- S é semelhante à do controlador PI_c (equação 3.2), exceto pela localização dos zeros da funções de transferência sobre o eixo real já que os parâmetros dos dois controladores não são equivalentes.

$$PI_p(s) \equiv \frac{K(s)}{E_p(s)} = k_{p_p} + \frac{k_{i_p}}{s} = \frac{(k_{p_p}s + k_{i_p})}{s} \quad (3.24)$$

As funções de transferência em malha aberta e em malha fechada do sistema de controle da figura 3.5(b) podem ser determinadas a partir do diagrama simplificado da figura 3.6. As funções em malha aberta $G_p(s)$ e em malha fechada $M(s)$ são apresentadas nas equações 3.25 e 3.26. A equação característica da função $M(s)$, na equação 3.27.

$$G_p(s) = \frac{\bar{P}_s(s)}{E_p(s)} = \frac{K(s)}{E_p(s)} \cdot \frac{P_s(s)}{K(s)} \cdot \frac{\bar{P}_s(s)}{P_s(s)} = \frac{\omega_0 V_{pico}^2 (k_{p_p}s + k_{i_p})}{2s(s + \omega_0)} \quad (3.25)$$

$$M(s) = \frac{\bar{P}_s(s)}{P_s^*(s)} = \frac{G_p(s)}{1 + G_p(s)} = \frac{\omega_0 V_{pico}^2 (k_{p_p}s + k_{i_p})}{[2s(s + \omega_0) + \omega_0 V_{pico}^2 (k_{p_p}s + k_{i_p})]} \quad (3.26)$$

$$2s^2 + (2 + k_{p_p} V_{pico}^2) \omega_0 s + k_{i_p} \omega_0 V_{pico}^2 = 0 \quad (3.27)$$

Assim como foi feito para o controlador de corrente PI_c , antes de se determinar as equações de cálculo dos coeficientes do controlador PI_p faz-se uma análise de sua estabilidade absoluta. Considerando o primeiro critério de estabilidade de Hurwitz-Routh [51, 52], de que todos os coeficientes da equação 3.27 tenham o mesmo sinal, os coeficientes k_{pp} e k_{ip} do controlador PI_p devem possuir valores que estejam de acordo com as equações 3.28 e 3.29, respectivamente.

$$(2 + k_{pp} V_{pico}^2) \omega_0 > 0 \quad \rightarrow \quad k_{pp} > -\frac{2}{V_{pico}^2} \quad (3.28)$$

$$k_{ip} \omega_0 V_{pico}^2 > 0 \quad \rightarrow \quad k_{ip} > 0 \quad (3.29)$$

Considerando agora o segundo critério de estabilidade de Hurwitz-Routh [51, 52], os determinantes das matrizes D_{1p} e D_{2p} exibidas em 3.30 e 3.31 sugerem valores para o coeficiente k_{pp} que estão de acordo com a conclusão da equação 3.28.

$$D_{1p} = \left[(2\omega_0 + k_{pp} \omega_0 V_{pico}^2) \right] \quad (3.30)$$

$$D_{2p} = \begin{bmatrix} (2\omega_0 + k_{pp} \omega_0 V_{pico}^2) & k_{ip} \omega_0 V_{pico}^2 \\ 0 & 2 \end{bmatrix} \quad (3.31)$$

Uma vez que a relação entre os coeficientes k_{pp} e k_{ip} define a constante de tempo T_{ip} do controlador PI_p , ambos devem possuir o mesmo sinal para que $T_{ip} > 0$. Por tal motivo e em função das equações 3.28 e 3.29, os coeficientes k_{pp} e k_{ip} devem possuir valores positivos.

Após a definição da faixa de valores na qual o sistema de controle da potência média é mantido estável, pode-se calcular os coeficientes do controlador PI_p a partir da função de transferência em malha aberta $G_p(s)$. Substituindo s por $j\omega$, o módulo e a fase dessa função de transferência correspondem às equações 3.32 e 3.33, respectivamente.

$$|G_p(j\omega)| = \frac{\omega_0 V_{pico}^2}{2\omega} \sqrt{\frac{[k_{ip}^2 + (\omega k_{pp})^2]}{(\omega^2 + \omega_0^2)}} \quad (3.32)$$

$$\angle G_p(j\omega) = \left[\tan^{-1} \left(\frac{\omega k_{pp}}{k_{ip}} \right) - \tan^{-1} \left(\frac{\omega_0}{-\omega} \right) \right] \quad [\text{rad}] \quad (3.33)$$

Definindo a frequência de corte do controlador de potência média (ω_{ctp}) e a sua margem de fase MF_p como critérios de projeto, ao substituir ω por ω_{ctp} nas equações 3.32 e 3.33, tem-se:

$$|G_p(j\omega_{ct_p})| = \frac{\omega_0 V_{pico}^2}{2\omega_{ct_p}} \sqrt{\frac{[k_{i_p}^2 + (\omega_{ct_p} k_{p_p})^2]}{(\omega_{ct_p}^2 + \omega_0^2)}} = 1 \quad (3.34)$$

$$\angle G_p(j\omega_{ct_p}) = \left[\tan^{-1} \left(\frac{\omega_{ct_p} k_{p_p}}{k_{i_p}} \right) - \tan^{-1} \left(\frac{\omega_0}{-\omega_{ct_p}} \right) \right] = \text{MF}_p - \pi \quad (3.35)$$

Após simplificações algébricas nas equações 3.34 e 3.35, pode-se determinar os valores dos coeficientes k_{p_p} e k_{i_p} do controlador PI_p a partir das equações 3.36, 3.37 e 3.38. Para o cálculo da variável auxiliar λ , a margem de fase MF_p deve estar em radianos.

$$\lambda = \tan \left[\tan^{-1} \left(\frac{\omega_0}{-\omega_{ct_p}} \right) + \text{MF}_p - \pi \right] \quad (3.36)$$

$$k_{p_p} = \frac{2\lambda}{\omega_0 V_{pico}^2} \sqrt{\frac{\omega_{ct_p}^2 + \omega_0^2}{1 + \lambda^2}} \quad (3.37)$$

$$k_{i_p} = \frac{\omega_{ct_p} k_{p_p}}{\lambda} \quad (3.38)$$

3.3 Detecção de ilhamento

Durante o modo compartilhado, o gerenciamento das operações do sistema de geração distribuída proposto deve também envolver a percepção de diversas variações no sistema elétrico de potência à montante da barra S de modo que uma condição de ilhamento seja detectada o mais breve possível. Conforme a figura 3.1, caso haja a detecção de uma condição de ilhamento, a operação do sistema proposto deve ser modificada de forma a exercer as ações exclusivas do modo ilhado.

Segundo [3, 48], o termo ilhamento refere-se a uma situação na qual uma parte do SEPA é alimentada exclusivamente pelo SEPL através da barra S desde que esta parte esteja eletricamente isolada do restante do SEPA. Uma situação ou condição de ilhamento pode ocorrer de forma intencional (ou planejada) para serviços de manutenção no SEPA ou de forma não-intencional (ou não esperada) em função de contingências ocorridas no SEPA. Em ambas as situações, intencional ou não, o SEPL deve ser desconectado do SEPA e direcionar suas ações de forma a manter ininterrupta a alimentação da(s) carga(s) conectada(s) ao PAC. Há duas razões para que essa desconexão seja obrigatória. A primeira razão, de interesse da concessionária de energia elétrica que administra a parte do SEPA, é que a obrigatoriedade da desconexão garante que equipes técnicas de manutenção façam os reparos necessários no SEPA para o restabelecimento de sua operação de forma segura e sem acidentes provocados por energizações indevidas. A segunda razão, de interesse dos consumidores e das cargas

Tab. 3.1: Tempo máximo de abertura da chave S_1 para condições anormais de tensão [3, 48].

Faixa de tensão (% do valor eficaz nominal)	Prazo de abertura (s)
$V < 50$	0,16
$50 \leq V < 88$	2,00
$110 < V < 120$	1,00
$V \geq 120$	0,16

atendidas pela parte do SEPA, é que enquanto não houver a desconexão, a alimentação desta parte do SEPA estará vinculada ao SEPL. Este poderá não suportar tamanho acréscimo no fornecimento de energia e vir a ser desativado ou continuar ativo mas de forma precária, comprometendo a qualidade da energia elétrica disponibilizada. Inclusive àquela destinada à(s) carga(s) conectada(s) ao PAC e que, teoricamente, não deveria(m) ser afetada(s) por mudanças ocorridas no SEPA.

Assim, a detecção de um ilhamento não-intencional é fundamental para a operação eficaz de qualquer sistema de geração distribuída. Porém faz-se necessário associar uma condição de ilhamento com as grandezas elétricas do SEPA disponíveis na barra S. Tal relação permite que uma condição de ilhamento não-intencional seja detectada a partir de variações ocorridas em tais grandezas elétricas. A referência [3] quantifica essa relação com a tensão presente na barra S, em termos dos valores observados para o seu valor eficaz e para a sua frequência de oscilação. De acordo com a potência máxima disponível no SEPL, as tabelas 3.1 e 3.2 apresentam os prazos em segundos para que a interligação seja desfeita com a abertura da chave S_1 . Apesar dos valores apresentados serem semelhantes (0,16s que equivalem a aproximadamente 10 ciclos de 60Hz), os prazos são determinados também em função do percentual do valor eficaz observado e da frequência do sinal observado. É possível que em uma condição de ilhamento, ambas as grandezas tenham os valores extrapolados de forma que a operação vigente seja classificada como anormal. Porém, a grandeza (% do valor eficaz ou frequência) que se enquadrar primeiramente nas condições listadas nas tabelas 3.1 e 3.2 será a responsável por determinar o prazo máximo de desconexão entre o SEPA e o SEPL.

Uma vez que as tabelas 3.1 e 3.2 exibem as condições anormais de operação do SEPA, pode-se, a partir da verificação das faixas de valores descritas, determinar aquelas condições nas quais não há um prazo estipulado para a abertura da chave de interligação. Tal especificação não é feita pois tais valores não-listados correspondem a uma condição de operação normal do SEPA na qual, por não envolver uma condição de ilhamento, a interligação entre os dois sistemas pode ser mantida. A tabela 3.3 apresenta as faixas de valores da frequência e da tensão eficaz que confirmam uma condição normal de operação. Nota-se que são definidos os valores máximo e mínimo para cada grandeza. Segundo [3], qualquer ponto de operação do sistema de geração distribuída no qual o valor da tensão eficaz

Tab. 3.2: Tempo máximo de abertura da chave S_1 para condições anormais de frequência [3, 48].

Potência do inversor	Faixa de frequência (Hz)	Prazo de abertura (s)
$\leq 30\text{kW}$	$> 60,5$	0,16
	$< 59,3$	0,16
$> 30\text{kW}$	$> 60,5$	0,16
	$< \{59,8 \text{ a } 57,0\}$ (ajustável)	0,16 a 300 (ajustável)
	$< 57,0$	0,16

Tab. 3.3: Valores de tensão e de frequência que correspondem a uma operação normal do SEPA.

Grandeza	Faixa normal de operação
Valor eficaz da tensão na barra S	$(88 \leq V \leq 110) \%$ do valor nominal
Frequência do sinal de tensão na barra S	$(59,3\text{Hz} \leq f \leq 60,5\text{Hz})$

na barra S ou o valor da sua frequência não esteja listado dentre as opções da tabela 3.3 representa uma condição de ilhamento. Portanto, após a definição do que é uma situação de ilhamento, pode-se determinar quando é que ela não está em vigor. Ou seja, se ambas as grandezas cumprem as especificações da tabela 3.3, pode-se afirmar que não há um ilhamento em vigor. Por outro lado, se existir uma situação na qual uma das grandezas extrapole os seus limites máximo ou mínimo, tal situação pode ser caracterizada como uma condição de ilhamento. O fato de haver duas possibilidades de ilhamento para cada grandeza permite a identificação de qual limite foi violado durante a detecção do ilhamento: o limite de sobre-tensão eficaz ($>110\%$); o limite de sub-tensão eficaz ($<88\%$); o limite de sobre-frequência ($>60,5\text{Hz}$); ou o limite de sub-frequência ($<59,3\text{Hz}$). Daí se originam as expressões “ilhamento por violação de tensão”, “ilhamento por violação de frequência” ou “ilhamento por violação de tensão e de frequência”.

É preciso ressaltar que poderão ocorrer situações nas quais uma condição de ilhamento não provoque naturalmente violações de tensão ou de frequência, indicando a vulnerabilidade do método sugerido. Um exemplo dessa situação pode ocorrer quando duas ou mais unidades geradoras estão conectadas no mesmo ramal de distribuição.

Baseados nas relações entre a ocorrência de um ilhamento e as grandezas elétricas associadas à barra S, diversos métodos de detecção de uma condição de ilhamento não-intencional já foram analisados conforme [25, 53–57]. Tais métodos de detecção podem ser divididos em técnicas passivas, ativas e remotas, conforme é mostrado na tabela 3.4 [53, 56].

As técnicas remotas usam os sistemas de telecomunicações para alertar ou notificar situações de ilhamento já detectadas em outras partes do SEPA. São as técnicas mais confiáveis, porém tradicio-

Tab. 3.4: Principais métodos de detecção de ilhamento em sistemas elétricos de potência [53, 56].

<i>Métodos de detecção de uma condição de ilhamento não-intencional</i>	
Técnicas Passivas	Ocorrência de sobre ou sub-tensão
	Ocorrência de sobre ou sub-frequência
	Taxa de variação da frequência (ROCOF)
	Salto de fase da tensão ou desvio de vetor da tensão
	Presença de harmônicos na tensão
	Presença de harmônicos na corrente
Técnicas Ativas	Medição da impedância
	Detecção da impedância em uma frequência específica – ou salto de amplitude harmônica
	Desvio deslizante (<i>slip-mode</i>) da frequência
	Desvio da frequência ou desvio ativo da frequência (AFD)
	Desvio Sandia da frequência (SFS) – ou desvio ativo da frequência com realimentação positiva (AFDPF)
	Desvio Sandia da tensão (SVS)
	Salto da frequência ou método zebra
Técnicas Remotas	Inserção de impedância ou de reatância no SEPA
	Comunicações via portadora em barramentos de energia elétrica (PLCC)
	Controle supervisão e sistemas do tipo SCADA

nalmente apresentam custos e complexidade elevados [56]. Porém, tais técnicas tendem a se tornar mais baratas à medida em que novas possibilidades de comunicação podem ser desenvolvidas a um custo menor, tais como as redes com fibra óptica, as redes TCP/IP baseadas na Internet, as redes locais sem-fio WLAN ou mesmo as tradicionais transmissões AM/FM [55]. As técnicas ativas de detecção inserem, a partir do SEPL, um ou mais sinais de distúrbio nas grandezas elétricas da barra S e verificam qual é a resposta do SEPA frente a tais perturbações [6]. Durante a operação normal do SEPA, tais distúrbios não afetam significativamente os comportamentos das grandezas elétricas na barra S. Mas se os seus efeitos forem notados, tal situação pode significar a vigência de uma condição de ilhamento.

As técnicas passivas de detecção apenas monitoram as grandezas elétricas disponíveis na barra S e verificam se elas estão ou não dentro de uma faixa de valores estabelecida como uma condição normal de operação (tabelas 3.1, 3.2 e 3.3). Tais técnicas são as que apresentam o menor custo e a maior simplicidade [56]. Uma das vantagens principais das técnicas passivas é que elas não modificam a forma de onda da tensão e, por isso, não afetam a qualidade da energia elétrica associada à barra S, diferentemente do que ocorre nas técnicas ativas. Outra vantagem é o de que elas não necessitam de um sistema de comunicação para compor seu o método de detecção, diferentemente do que ocorre

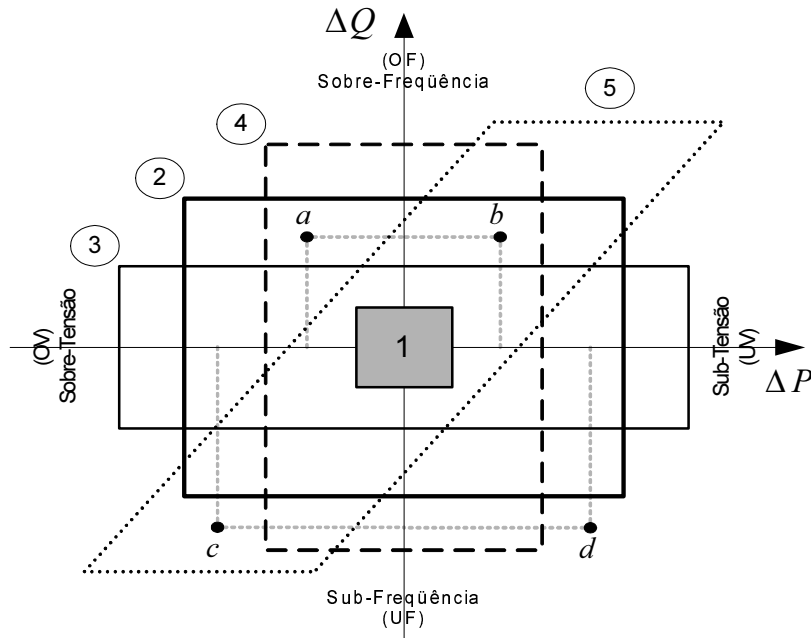


Fig. 3.7: Zonas de não-detecção de ilhamento para uma suposta troca de energia entre SEPA e SEPL.

nas técnicas remotas [55].

As técnicas passivas apresentam algumas desvantagens que as tornam uma solução menos preferida na prevenção de uma condição de ilhamento durante a operação de um sistema de geração distribuída. Em função de sua característica de não interferir nas grandezas elétricas, as técnicas passivas dependem da dinâmica e do comportamento de tais grandezas para que uma violação de tensão, de frequência ou de ambas seja verificada. Isso significa que o tempo de detecção de um ilhamento não-intencional pode ser variável e imprevisível, podendo inclusive não atender os prazos estabelecidos nas tabelas 3.1 e 3.2 para que uma interligação entre SEPL e SEPA seja desfeita. Outra desvantagem das técnicas passivas (talvez a principal delas) é a sua falta de sensibilidade em detectar condições de ilhamento quando houver pequenas trocas de energia entre o SEPL e o SEPA. Diferentemente do que acontece quando tal situação ocorre durante uma elevada troca de energia, condição na qual as técnicas passivas são eficazes em sua detecção. Essa falta de sensibilidade envolvendo pequenas trocas de energia entre SEPL e SEPA pode ser quantificada através de uma representação gráfica chamada zona de não-detecção (ZND) [58]. A ZND de um método de detecção de ilhamento equivale à área interna de um contorno no plano PQ e é formada por diversos pontos de operação do sistema de geração distribuída envolvido. A figura 3.7 exhibe supostas zonas de não-detecção associadas a cinco diferentes métodos de detecção de uma condição de ilhamento não-intencional.

A ZND é representada no plano PQ pois as pequenas trocas de energia entre o SEPL e o SEPA podem ser associadas ao intercâmbio (ou desequilíbrio) das potências ativa ΔP e reativa ΔQ envolvi-

das. Pode-se considerar uma situação na qual o SEPL esteja em operação e que a sua troca de energia com o SEPA corresponda a um ponto no plano PQ localizado na área interna de uma ZND. Nesta situação, a ocorrência de uma condição de ilhamento não seria detectada pelo método vinculado a essa ZND. A figura 3.7 exhibe quatro diferentes pontos de operação de um suposto sistema de geração distribuída. De acordo com as zonas de não-deteção representadas, o ponto a está localizado nas áreas internas das zonas 2 e 4. Ou seja, uma condição de ilhamento para o sistema em operação no ponto a não seria detectada pelos métodos das zonas 2 e 4 e seria detectada pelos métodos das zonas 1, 3 e 5. O ponto b representa uma operação semelhante àquela do ponto a pois envolve os mesmos valores ΔP e ΔQ , porém os sentidos dos fluxos de potência ativa são contrários um do outro. Tal inversão de sentido apenas em ΔP inibe a detecção de um ilhamento também pelo método da zona 5. No ponto b apenas os métodos das zonas 1 e 3 seriam eficazes nessa detecção. É fácil perceber que o ponto c está localizado na área interna somente da zona 5 e que após uma inversão apenas no sentido do fluxo de potência ativa, o ponto d estaria localizado externamente a todas as zonas apresentadas e, portanto, uma operação no ponto d habilitaria todos os métodos apresentados na detecção de uma condição de ilhamento não-intencional.

A partir da localização dos pontos de operação a , b , c e d da figura 3.7 percebe-se que o método da zona 1 é o único capaz de detectar uma condição de ilhamento em todos eles. Isso ocorre porque a zona 1 possui a menor área interna dentre as zonas apresentadas. Conclui-se que há uma relação direta entre a eficiência de um método de detecção e a área interna do contorno correspondente a sua ZND. Vale ressaltar que uma ZND obtida experimentalmente possui um aspecto diferente dos apresentados na figura 3.7. Apesar disso, ela ainda se tratará de um contorno no plano PQ e a análise da eficiência do método a partir do tamanho da área interna desse contorno também é mantida. As técnicas passivas normalmente possuem zonas de não-deteção estáticas, com áreas internas grandes e limitadas basicamente pelo desempenho dos relés de proteção contra sobre/sub-tensão e sobre/sub-frequência utilizados perante a situações envolvendo pequenas trocas de energia [53, 56]. Nas técnicas ativas, no entanto, busca-se continuamente a redução máxima dessa área interna da ZND mediante as ações de perturbação, realimentação e correção.

Em função disso, o sistema de geração distribuída proposto utiliza uma técnica ativa para a detecção de uma condição de ilhamento. A técnica ativa utilizada é listada na tabela 3.4 como “Desvio Ativo da Frequência com Realimentação Positiva” (AFDPF ou SFS) [6]. A ação de realimentação positiva da técnica adotada é responsável por impor uma condição de instabilidade na tensão da barra PAC (equivalente à tensão da barra S em função da chave S_1 estar fechada). Originalmente, o método de detecção AFDPF apresentado em [6] insere uma pequena perturbação na corrente de saída do inversor multinível i_c (figura 3.2) ao provocar variações na sua frequência de oscilação. O método de detecção utilizado faz, porém, uma alteração em tal característica. O método empregado também

provoca variações na frequência de oscilação mas tais perturbações são inseridas na tensão de saída do inversor multinível v_c através da manipulação de uma tensão distorcida v_d . Conforme a figura 3.3, a tensão de referência do inversor v_c^* é obtida a partir da soma entre essa tensão distorcida v_d e o sinal de saída Δv_c do controlador de corrente empregado. Tal ação permite que uma condição de ilhamento seja detectada mesmo quando houver uma situação de operação com troca mínima de energia entre o SEPA e o SEPL, como por exemplo na figura 3.5(a) na qual $i_s^* = 0$. A escolha pela tensão v_c ao invés da corrente i_c deu-se pelas características da corrente de alimentação de cargas não-lineares. Nestas, as correntes de alimentação podem permanecer nulas ou constantes por longos trechos de um período da tensão de alimentação. Assim perturbações inseridas na frequência da corrente i_c não terão efeitos durante tais trechos do ciclo da tensão na barra PAC. O que, provavelmente, comprometeria a eficácia do método de detecção de ilhamento a ser empregado.

A tensão distorcida v_d é elaborada a partir do estado da chave de interligação S_1 e, também, a partir de informações extraídas da tensão disponível na barra PAC v_{PAC} . Além do cálculo correto de seu valor eficaz V_{PAC}^{rms} por sua definição, são extraídas a sua frequência de oscilação f_{PAC} e o seu ângulo de fase θ_{PAC} a partir da técnica de rastreamento de fase (PLL) descrita em [59]. Também é extraída a amplitude de sua componente fundamental V_{PAC_1} a partir da técnica de detecção de onda fundamental (sequência positiva) descrita em [60].

A figura 3.8 exhibe o diagrama de blocos do método de detecção de uma condição de ilhamento e, também, de elaboração da tensão distorcida v_d . O sinal de saída SID trata-se de um sinal de lógica booleana cuja sigla corresponde à expressão “Situação de Ilhamento Detectada”. O sinal SID torna-se verdadeiro ($SID = 1$) quando há uma violação das faixas de valores estabelecidas na tabela 3.3 para o valor eficaz V_{PAC}^{rms} e a frequência de oscilação f_{PAC} , ambos associados à tensão no PAC. Vale lembrar que a violação apenas de uma das faixas já é suficiente para indicar a ocorrência de uma situação de ilhamento. No momento em que ocorrer a violação, o sinal SID sofre uma transição de 0 para 1 e se mantém na condição verdadeira enquanto a(s) violação(ões) persistir(em).

A frequência da tensão da barra PAC (f_{PAC}) é usada no cálculo do fator de recorte cf (*chopping factor*) da frequência conforme é exibido na equação 3.39.

$$cf = cf_0 + k_f \cdot (f_{PAC} - f_{PAC_0}) \quad (3.39)$$

Os termos f_{PAC_0} e k_f correspondem, respectivamente, à frequência nominal da tensão no PAC (60Hz) e ao ganho de aceleração do recorte. O termo k_f pode ser considerado um coeficiente de amortecimento para valores de frequência com alta taxa de variação. Porém, tal ação de amortecimento implica em desacelerar a ação de perturbação do método e retardar uma possível detecção. Dessa forma, é preciso ter cautela na definição do valor de k_f . O termo cf_0 representa o fator de recorte inicial cujo valor é definido como sendo igual a 0,0083264. Este valor equivale, conforme a

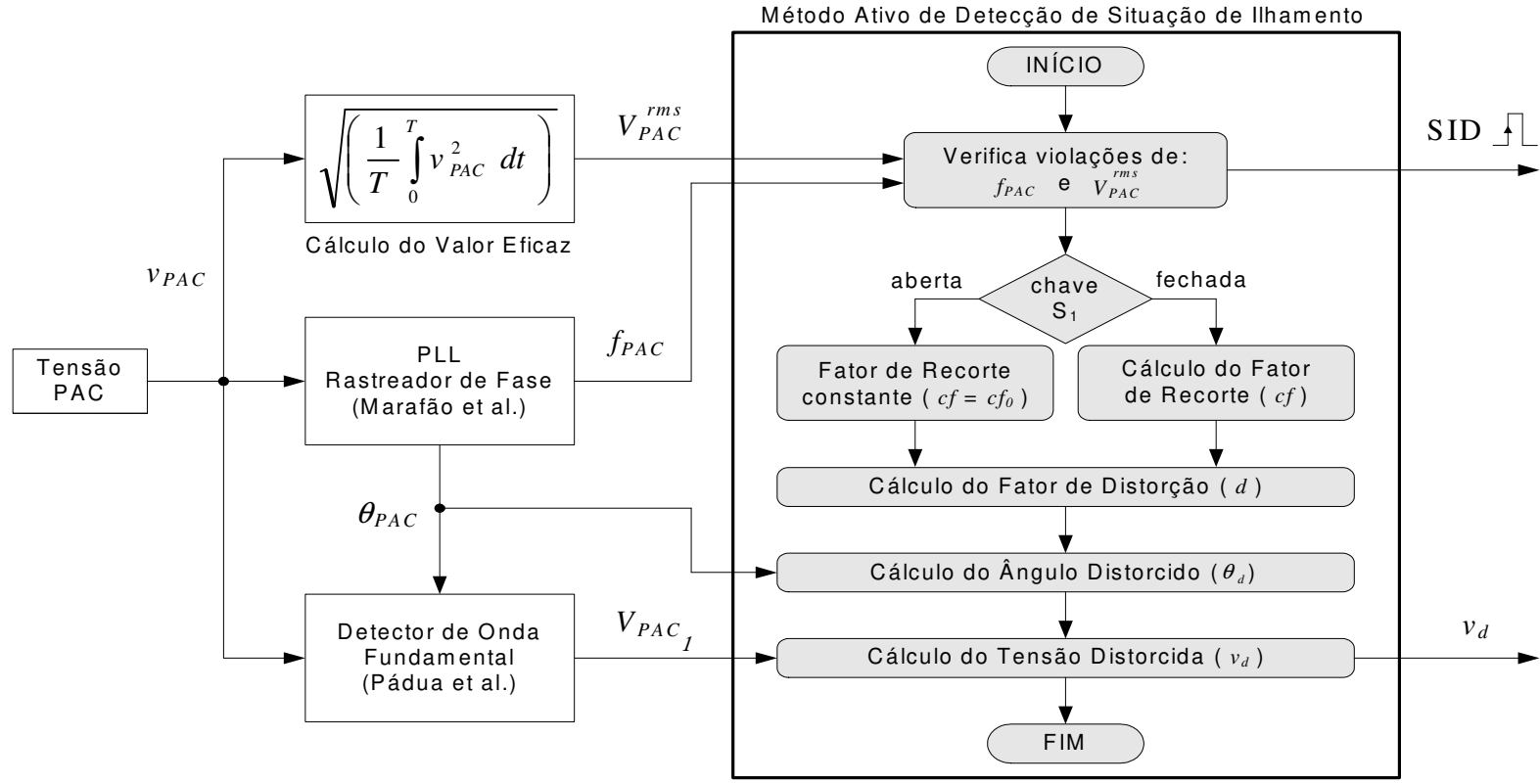


Fig. 3.8: Diagrama de blocos do método de detecção de ilhamento utilizado (AFDPF modificado).

equação 3.40, a uma frequência de distorção f_d igual a 60,05Hz. O fator de recorte cf será igual ao seu valor inicial sempre que as frequências f_{PAC} e f_{PAC_0} forem equivalentes ou quando o sistema de geração distribuída proposto estiver operando no modo ilhado.

O fator de recorte cf é utilizado para determinar o fator de distorção d conforme é exibido na equação 3.40. O fator d corresponde a uma medida do quão maior ou menor a frequência de distorção f_d é com relação à frequência f_{PAC} . O fator d é importante para o processo de realimentação positiva porque se as frequências f_{PAC} e f_{PAC_0} não forem equivalentes, ele tenderá a aumentar essa diferença de forma a forçar uma desestabilização na frequência da tensão na barra PAC. Isso acontece de forma contínua, sendo interrompido apenas durante a operação do sistema proposto no modo ilhado.

$$d = \frac{f_d}{f_{PAC_0}} = \frac{1}{(1 - cf)} \quad (3.40)$$

O fator de distorção d é utilizado na elaboração do ângulo distorcido θ_d a partir do ângulo de fase da tensão na barra PAC θ_{PAC} conforme é exibido na equação 3.41. A taxa de variação do ângulo θ_{PAC} é modificada a cada semi-ciclo do período de oscilação da frequência f_{PAC} conforme é exibido na figura 3.9(a). Se f_d for maior que f_{PAC} , a evolução de θ_d em relação a θ_{PAC} corresponderá a uma situação de aumento da frequência para cada semi-ciclo. Do contrário, sua evolução corresponderá a uma situação de diminuição da frequência.

$$\theta_d = \begin{cases} d \cdot \theta_{PAC}, & \text{se } (0 < \theta_{PAC} \leq \pi) \\ \pi + [d \cdot (\theta_{PAC} - \pi)], & \text{se } (\pi < \theta_{PAC} \leq 2\pi) \end{cases} \quad (3.41)$$

O ângulo distorcido θ_d e a amplitude da componente fundamental da tensão na barra PAC V_{PAC_1} são utilizados na composição da tensão distorcida v_d conforme é exibido na equação 3.42. Por isso, a tensão v_d absorve todas as modificações feitas pelo fator d no ângulo θ_{PAC} . Tais variações de ângulo provocam variações na frequência da forma de onda da tensão v_d a cada semi-ciclo do período de oscilação da frequência f_{PAC} conforme o comportamento dos sinais representados na figura 3.9(b). Vale ressaltar que as formas de onda da tensão v_d e da componente fundamental da tensão no PAC v_{PAC_1} normalmente não são exatamente iguais. Isso porque, para o valor escolhido de cf_0 , a tensão v_d tenderá a oscilar conforme uma senóide com frequência a partir de 60,05Hz.

$$v_d = V_{PAC_1} \cdot \sin(\theta_d) \quad (3.42)$$

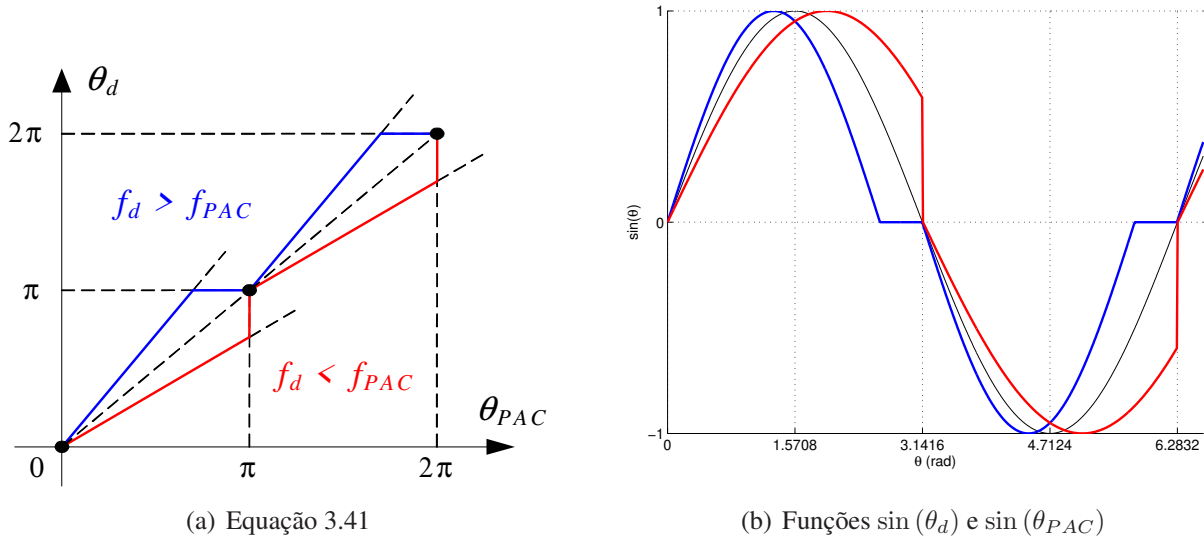


Fig. 3.9: Distorções no ângulo (a) e na forma de onda (b) da tensão distorcida v_d provocadas pelo método de detecção da figura 3.8 a partir do aumento (azul) ou da diminuição (vermelho) de f_d .

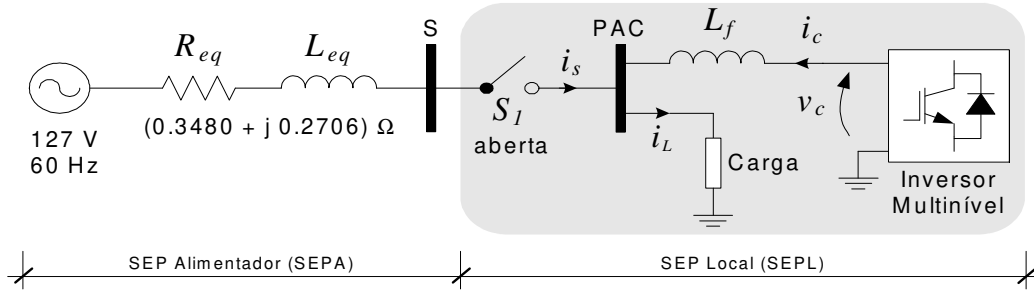


Fig. 3.10: Sistema de geração distribuída proposto operando no modo ilhado.

3.4 Modo ilhado

Durante a operação no modo ilhado (cujo termo em inglês é *stand-alone mode*), a chave S_1 encontra-se aberta e a topologia do sistema de geração distribuída proposto é exibida na figura 3.10. Ele atua durante o modo ilhado como uma fonte de tensão controlada e que é destinada exclusivamente à alimentação da(s) carga(s) conectada(s) ao PAC. Nesta situação, pode-se representar a topologia da figura 3.10 através de um circuito elétrico equivalente. O circuito elétrico relacionado à operação no modo ilhado é exibido na figura 3.11. O inversor multinível é modelado por uma fonte de tensão variável de acordo com o índice de modulação e cuja tensão de saída é v_c .

Conforme pode ser observado na figura 3.11, a corrente i_s é nula pois a chave S_1 está aberta e não há interligação entre as regiões SEPA e SEPL. Dessa forma, conforme a equação 2.8, a alimentação i_L da carga deve ser totalmente fornecida pela corrente i_c do inversor multinível. Este, a partir de

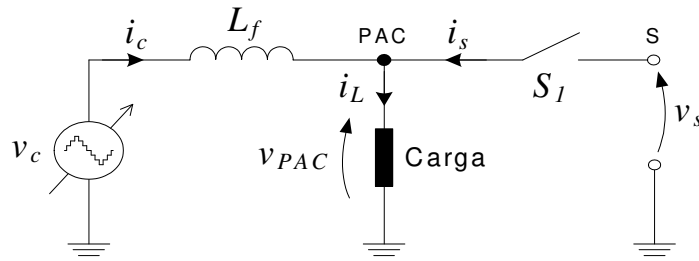


Fig. 3.11: Circuito elétrico equivalente do SEPL durante a operação no modo ilhado.

sua(s) fonte(s) primária(s) de energia, deve fornecer uma tensão de saída v_c que seja composta pela tensão desejada no PAC e pela compensação da queda de tensão que ocorre na indutância L_f durante a passagem da corrente i_c .

Em função de tais requerimentos de operação, no modo ilhado o sistema proposto torna-se responsável por duas funções: fornecer totalmente as potências ativa e não-ativa requeridas pela carga conectada ao PAC; e manter a tensão na barra PAC o mais próximo possível de uma forma de onda senoidal e nos seus valores nominais de operação (tensão eficaz de 127V, tensão de pico de $127\sqrt{2} \equiv 179.605\text{V}$, frequência de oscilação de 60Hz e um ângulo de fase semelhante ao que vigorava pouco antes da abertura da chave S_1). O fornecimento das potências à(s) carga(s) pode ser considerado como sendo uma condição dependente da sua tensão de alimentação. Ou seja, somente a manutenção da tensão de alimentação em seus respectivos valores nominais deve implicar indiretamente no fornecimento das potências nominais requeridas pela(s) carga(s) conectadas ao PAC. Até porque um sinal de tensão bem próximo a esse é que seria disponibilizado pelo SEPA em uma aplicação que não envolvesse diretamente uma geração distribuída.

A manutenção da tensão na barra PAC próxima de suas características nominais é coordenada pelo método de controle da tensão na carga descrito a seguir. Tal método de controle envolve a manipulação do sinal instantâneo da tensão v_{PAC} .

3.4.1 Método de controle da tensão na carga (ação P+Ress)

Caso o sistema proposto não necessitasse, durante o modo ilhado, de que a tensão de alimentação da carga fosse mantida próximo de um sinal e referência, a operação do SEPL poderia ser elaborada a partir de um sistema de controle em malha aberta. Porém, de acordo com as exigências de operação no modo ilhado, requer-se a adoção de um sistema de controle realimentado. Baseando-se no circuito elétrico da figura 3.11, o método escolhido para controle da tensão na carga é exibido na figura 3.12.

O método de controle da tensão na carga v_{PAC} é capaz de ajustar a tensão de referência do inversor multinível v_c^* a partir da realimentação do sinal de tensão de saída v_{PAC} . Os ajustes são feitos pelo

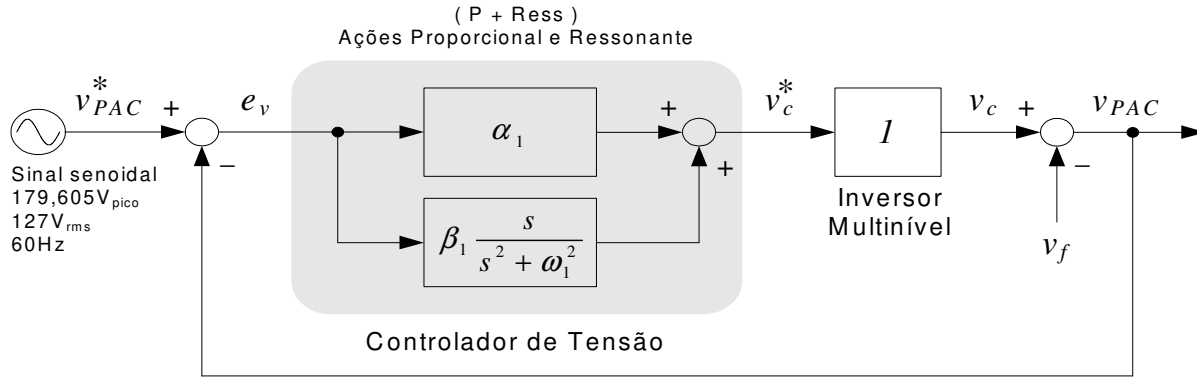


Fig. 3.12: Diagrama de blocos do método de controle da tensão na carga v_{PAC} no modo ilhado.

controlador de tensão do tipo P+Ress, que envolve as ações proporcional e ressonante exercidas no sinal de erro da tensão e_v . A equação 3.43 exibe a função de transferência desse controlador [61, 62].

$$[P+Ress](s) \equiv \frac{V_c^*(s)}{E_v(s)} = \alpha_1 + \beta_1 \frac{s}{s^2 + \omega_1^2} \quad (3.43)$$

O sinal de erro e_v é obtido a partir da diferença entre a tensão senoidal de referência com parâmetros nominais v_{PAC}^* (equação 3.44) e o sinal realimentado da tensão de saída v_{PAC} . Outros métodos de controle da tensão foram testados para regular o valor de pico ou o valor eficaz da tensão v_{PAC} com o uso de controladores do tipo PI. Porém eles não apresentaram um desempenho satisfatório, tal qual é observado com o uso do método de controle da figura 3.12.

$$v_{PAC}^* = 127\sqrt{2} \cdot \sin[(2\pi \cdot 60) + \theta_{PAC}] \quad (3.44)$$

A opção pelo uso do controlador tipo P+Ress ao invés de um controlador clássico do tipo PI deve-se basicamente ao interesse de se anular o erro e_v na frequência de 60Hz. Nesta frequência os dois controladores apresentam comportamentos diferentes conforme pode ser observado a partir da figura 3.13. Para se obter esta figura, considerou-se que os parâmetros do controlador tipo P+Ress são $\alpha_1=1$, $\beta_1=800$ e $\omega_1=2\pi 60$. E, também, que os parâmetros do controlador tipo PI são $k_p=1$ e $k_i=400$.

Conforme a figura 3.13, o controlador tipo P+Ress corresponde a um elevado ganho em 60Hz ($\gg 76,9\text{dB}$), enquanto que o controlador tipo PI corresponde a um ganho elevado somente para sinais constantes ou para sinais com frequência de 0Hz ($\approx 52\text{dB}$) [61, 62]. Isso significa que o erro de tensão e_v pode vir a se tornar nulo na frequência de 0Hz ou na de 60Hz em função do tipo de controlador considerado. Uma vez que o sinal de referência v_{PAC}^* oscila na frequência de 60Hz, a componente em 60Hz da tensão de alimentação da carga v_{PAC} deve se equivaler a esse sinal de referência. Tal condição é possível somente com o uso do controlador do tipo P+Ress sintonizado em 60Hz. Outra característica do controlador tipo PI que pode prejudicar a diminuição do erro de tensão e_v é o seu

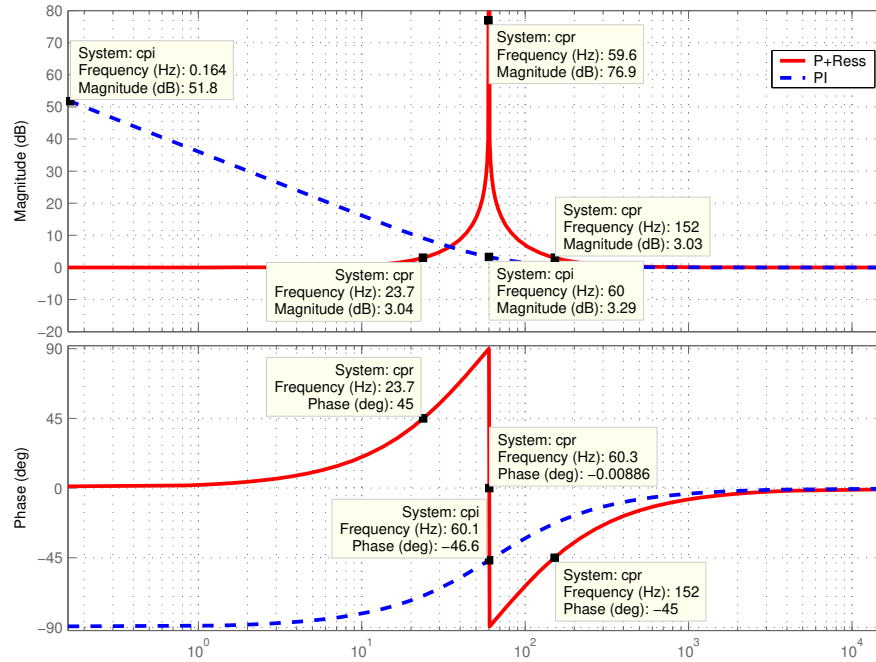


Fig. 3.13: Respostas em frequência dos controladores tipo PI e tipo P+Res sintonizado em 60Hz.

ângulo de fase observado em 60Hz ($\approx -46,6^\circ$). Tal característica provocaria uma defasagem entre a tensão v_{PAC}^* e o seu sinal de referência v_{PAC}^* cujo valor seria proporcional ao valor da fase do controlador tipo PI em 60Hz. Apesar de não ser obtido um erro nulo em 60Hz, tal defasagem não afetaria o desempenho de um sistema de geração que operasse somente no modo ilhado. Porém, caso houvesse a necessidade de sincronização do sinal de tensão no PAC com um outro sinal de tensão, tal defasagem impediria que esse processo fosse feito através do método de controle da figura 3.12.

Na equação 3.43, a ação proporcional do controlador tipo P+Res está relacionada ao ganho α_1 e a ação ressonante, à frequência de ressonância ω_1 ($\equiv 2\pi 60\text{rad/s}$) em conjunto com o ganho β_1 . A parte ressonante, portanto, é representada pela multiplicação do termo β_1 com uma função dependente da variável complexa s e da frequência de ressonância ω_1 . Tal função em s equivale à transformada de Laplace da função $\cos(\omega_1 t)$ conforme a equação 3.45. Uma forma alternativa para essa função em s seria a transformada de Laplace da função $\sin(\omega_1 t)$ exibida na equação 3.46 [63].

$$\mathcal{L}[\cos(\omega_1 t)] \equiv \frac{s}{s^2 + \omega_1^2} \quad (3.45)$$

$$\mathcal{L} [\sin (\omega_1 t)] \equiv \frac{\omega_1}{s^2 + \omega_1^2} \quad (3.46)$$

Apesar de ambas as funções apresentarem comportamento senoidal no domínio do tempo, suas respectivas funções em s apresentam comportamentos diferentes no domínio da frequência de acordo com a figura 3.14. A função em s da equação 3.45 possui dois pólos complexos conjugados ($s = \pm j\omega_1$) e um zero na origem ($s = 0$). Enquanto que a função em s da equação 3.46 apresenta os mesmos pólos mas não possui zeros. A presença ou não de zeros determina as interferências na amplitude e na fase de sinais de entrada com valores de frequência inferiores e superiores à frequência de ressonância ω_1 (=60Hz). Por não possuir zeros, a função da equação 3.46 sofre variação de fase de 0° até -180° exclusivamente em função de seus pólos na frequência ω_1 . Por outro lado, tal variação é de $+90^\circ$ a -90° na função da equação 3.45 em função do zero na origem. Dessa forma, a função da equação 3.45 apresenta uma margem de fase de 90° contra uma margem de fase de 0° da função da equação 3.46. Uma margem de fase maior significa maior robustez frente a desvios de fase e uma resposta transitória mais amortecida [63]. Tal característica justifica o uso da função 3.45 para compor a parte ressonante do controlador tipo P+Ress. Outra justificativa para o seu uso pode ser obtida a partir da análise dos módulos apresentados na figura 3.14. Pela existência do zero em frequência nula, a função da equação 3.45 apresenta uma atenuação decrescente de $+20\text{dB/dec}$ até a frequência ω_1 , para em seguida apresentar uma atenuação crescente de -20dB/dec . A função da equação 3.46 apresenta uma atenuação mais acentuada -40dB/dec para frequências superiores à ω_1 mas apresenta ganho unitário para frequência inferiores à ω_1 . Tais diferenças, principalmente em frequências inferiores à ω_1 , determinam a susceptibilidade dessas funções frente a sinais de entrada de baixa frequência. Por ser mais imune a tais frequências, a função 3.45 é capaz de fornecer um sinal de saída mais próximo do sinal senoidal em 60Hz do que a função da 3.46.

A partir da figura 3.12, pode-se determinar as funções de transferência em malha aberta e em malha fechada do sistema de controle da tensão na carga baseado no controlador P+Ress. As funções em malha aberta $G_v(s)$ e em malha fechada $V(s)$ são apresentadas nas equações 3.47 e 3.48. A equação característica do sistema de controle em malha fechada é exibida na equação 3.49.

$$G_v(s) = \frac{V_{PAC}(s)}{E_v(s)} = \frac{V_c^*(s)}{E_v(s)} \cdot \frac{V_c(s)}{V_c^*(s)} \cdot \frac{V_{PAC}(s)}{V_c(s)} = \frac{V_c^*(s)}{E_v(s)} = \frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{(s^2 + \omega_1^2)} \quad (3.47)$$

$$V(s) = \frac{V_{PAC}(s)}{V_{PAC}^*(s)} = \frac{G_v(s)}{1 + G_v(s)} = \frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{[(1 + \alpha_1) s^2 + \beta_1 s + (1 + \alpha_1) \omega_1^2]} \quad (3.48)$$

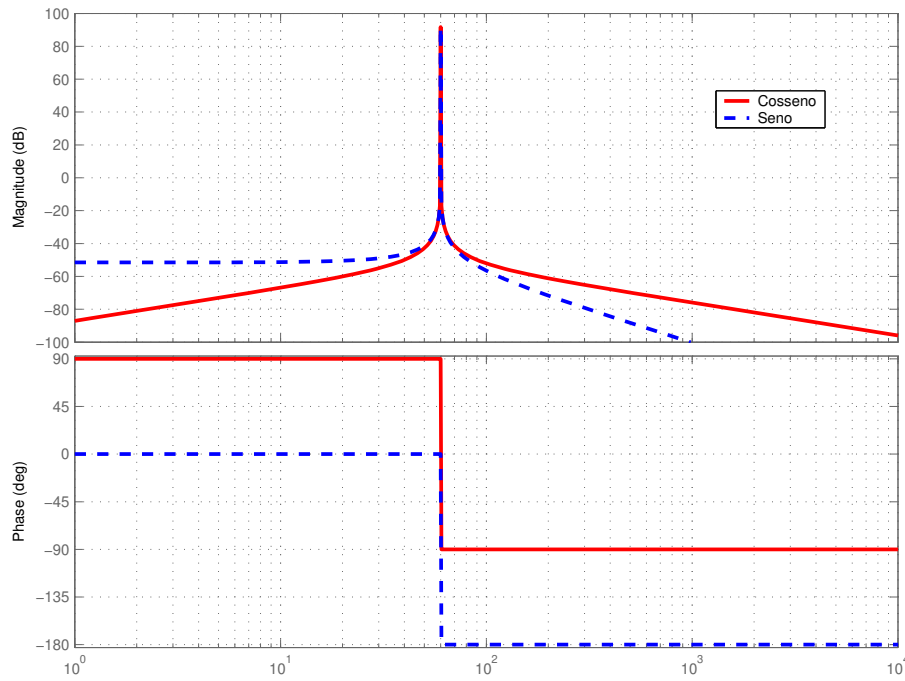


Fig. 3.14: Respostas em frequência das funções seno e cosseno com oscilação na frequência de 60Hz.

$$(1 + \alpha_1) s^2 + \beta_1 s + [(1 + \alpha_1) \omega_1^2] = 0 \quad (3.49)$$

De forma semelhante às análises dos controladores de corrente e de potência média no modo compartilhado, pode-se verificar a estabilidade absoluta do método de controle da tensão na carga a partir dos critérios de estabilidade de Hurwitz-Routh [51, 52]. Segundo o primeiro critério de estabilidade, todos os coeficientes da equação 3.49 devem possuir o mesmo sinal. Assim, os coeficientes α_1 e β_1 do controlador P+Ress devem possuir valores que estejam de acordo com as equações 3.50 e 3.51, respectivamente.

$$(1 + \alpha_1) > 0 \quad \rightarrow \quad \alpha_1 > -1 \quad (3.50)$$

$$\beta_1 > 0 \quad (3.51)$$

Conforme o segundo critério de estabilidade de Hurwitz-Routh, os valores dos determinantes das matrizes D_{1v} e D_{2v} exibidas em 3.52 e 3.53 devem ser positivos. Em função dessa análise, os valores

encontrados para os coeficientes α_1 e β_1 a partir do segundo critério reforçam os valores obtidos a partir do primeiro critério de estabilidade (equações 3.50 e 3.51).

$$D_{1v} = \begin{bmatrix} \beta_1 \end{bmatrix} \rightarrow \det |D_{1v}| > 0 \rightarrow \beta_1 > 0 \quad (3.52)$$

$$D_{2v} = \begin{bmatrix} \beta_1 & (1 + \alpha_1) \omega_1^2 \\ 0 & (1 + \alpha_1) \end{bmatrix} \rightarrow \det |D_{2v}| > 0 \rightarrow \begin{cases} \beta_1 > 0 \\ \alpha_1 > -1 \end{cases} \text{ e} \quad (3.53)$$

Uma vez que os coeficientes α_1 e β_1 estão associados às ações proporcional e ressonante do controlador P+Ress, os seus valores interferem nas parcelas individuais que são somadas para compor o sinal de saída do controlador. Caso α_1 possua um valor real negativo, haverá uma inversão de fase no sinal de erro da tensão na carga e_v durante a elaboração da parcela proporcional do controlador. Como tal inversão de fase não ocorre na parte ressonante atuando sobre o mesmo sinal de erro, a composição do sinal de saída do controlador poderá ser prejudicada em função dessa oposição de fase em suas parcelas. Para evitar tal inversão de fase e, também, para atender os critérios de estabilidade de Hurwitz-Routh, pode-se definir que:

$$\alpha_1 > 0 \quad \text{e} \quad \beta_1 > 0. \quad (3.54)$$

Após a definição das faixas de valores permitidas para os coeficientes α_1 e β_1 , pode-se determinar o impacto de seus respectivos valores nos pólos e nos zeros da função de transferência em malha aberta $G_v(s)$ e, conseqüentemente, também nos pólos e zeros do sistema de controle em malha fechada $V(s)$. Uma vez que a função $G_v(s)$ possui dois pólos e dois zeros, ela também pode ser representada em função de suas raízes conforme a equação 3.55.

$$G_v(s) = K_1 \cdot \frac{(s - z_1) \cdot (s - z_2)}{(s - p_1) \cdot (s - p_2)} = K_1 \cdot \frac{[s^2 + (-z_1 - z_2)s + (z_1 z_2)]}{[s^2 + (-p_1 - p_2)s + (p_1 p_2)]} \quad (3.55)$$

Dessa forma, a função $G_v(s)$ pode ser representada conforme as equações 3.47 ou 3.55. Uma vez que a função $G_v(s)$ possui pólos complexos conjugados iguais a $\pm j\omega_1$, pode-se igualar tais equações e estabelecer as seguintes relações:

$$\frac{K_1 \cdot [s^2 + (-z_1 - z_2)s + (z_1 z_2)]}{[s^2 + (-p_1 - p_2)s + (p_1 p_2)]} = \frac{\alpha_1 \cdot [s^2 + (\beta_1/\alpha_1)s + \omega_1^2]}{[s^2 + 0s + \omega_1^2]} \quad (3.56)$$

$$K_1 = \alpha_1 \quad (3.57)$$

$$(-z_1 - z_2) = \frac{\beta_1}{\alpha_1} \rightarrow z_1 + z_2 = -\left(\frac{\beta_1}{\alpha_1}\right) \rightarrow z_2 = -\left(z_1 + \frac{\beta_1}{\alpha_1}\right) \quad (3.58)$$

$$z_1 z_2 = \omega_1^2 \rightarrow -(z_1 z_2) + \omega_1^2 = 0 \quad (3.59)$$

$$(-p_1 - p_2) = 0 \rightarrow -(+j\omega_1) - (-j\omega_1) = 0 \quad \checkmark \quad (3.60)$$

$$(p_1 p_2) = \omega_1^2 \rightarrow (+j\omega_1) \cdot (-j\omega_1) = \omega_1^2 \rightarrow -(j^2 \omega_1^2) = \omega_1^2 \quad \checkmark \quad (3.61)$$

$$G_v(s=0) = K_1 \cdot \frac{(-z_1) \cdot (-z_2)}{(-p_1) \cdot (-p_2)} = \alpha_1 \cdot \frac{\omega_1^2}{\omega_1^2} \rightarrow G_v(0) = \alpha_1 \quad \checkmark \quad (3.62)$$

Se a relação entre z_1 e z_2 , exibida na equação 3.58, for utilizada na equação 3.59, tem-se:

$$z_1^2 + \left(\frac{\beta_1}{\alpha_1}\right) z_1 + \omega_1^2 = 0 \quad (3.63)$$

$$\Delta_1 = \left[\left(\frac{\beta_1}{\alpha_1}\right)^2 - 4\omega_1^2 \right] \rightarrow \begin{cases} \Delta_1 > 0 & \text{para } \beta_1 > (2\omega_1\alpha_1) \\ \Delta_1 = 0 & \text{para } \beta_1 = (2\omega_1\alpha_1) \\ \Delta_1 < 0 & \text{para } \beta_1 < (2\omega_1\alpha_1) \end{cases} \quad (3.64)$$

Conforme a equação 3.64, para que as raízes da equação 3.63 sejam diferentes e tenham partes imaginárias nulas, o valor de Δ_1 deve ser positivo e, como requisito para isso, os valores dos coeficientes α_1 e β_1 devem obedecer à inequação $\beta_1 > (2\omega_1\alpha_1)$. Nessas condições, os zeros z_1 e z_2 não são equivalentes e estão localizados sobre o eixo real do plano s de $G_v(s)$. A partir das equações 3.58, 3.63 e 3.64, pode-se calcular os valores de z_1 e de z_2 mediante o uso da equação 3.65 e 3.66.

$$z_1 = -\frac{\beta_1}{2\alpha_1} + \frac{\sqrt{\Delta_1}}{2} \quad (3.65)$$

$$z_2 = -\frac{\beta_1}{2\alpha_1} - \frac{\sqrt{\Delta_1}}{2} \quad (3.66)$$

Uma representação da distribuição geométrica dos zeros z_1 e z_2 no plano complexo em função dos valores dos coeficientes α_1 e β_1 é exibida na figura 3.15. De acordo com a equação 3.64, a condição na qual os zeros z_1 e z_2 são equivalentes ocorre quando $\beta_1 = (2\omega_1\alpha_1)$ e $z_1 = z_2 = -\omega_1$.

Os valores dos coeficientes α_1 e β_1 que atendem a especificação exibida na equação 3.54 são suficientes para manter, conforme a figura 3.15, uma operação estável do controlador P+Res. Porém,

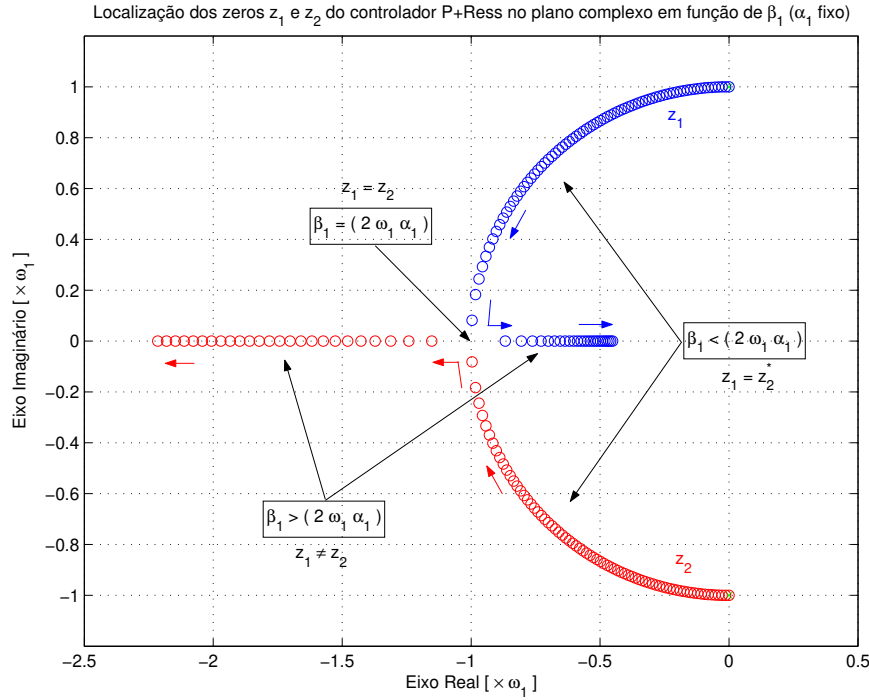


Fig. 3.15: Lugar geométrico dos zeros z_1 e z_2 de $G_v(s)$ conforme as equações 3.65 e 3.66.

pode-se perceber que tais coeficientes são capazes de alocar os zeros z_1 e z_2 mais ou menos próximos dos pólos complexos conjugados p_1 e p_2 ($\pm j\omega_1$) de $G_v(s)$. Essa proximidade entre zeros e pólos altera a estabilidade relativa do controlador P+Ress e, conseqüentemente, a resposta do controlador frente às variações ocorridas no sinal de entrada e_v . Quanto maior for a distância entre eles, maior é a robustez do controlador. Dessa forma, pode-se determinar que um controlador P+Ress com zeros reais e distintos possui uma estabilidade relativa maior do que um controlador equivalente com zeros complexos conjugados. Uma vez que a localização dos zeros de $G_v(s)$ apresentada na figura 3.15 é dependente dos valores de α_1 e β_1 , pode-se vincular tais coeficientes ao mapeamento da estabilidade relativa do controlador. A figura 3.16 exibe os diferentes níveis de estabilidade de $G_v(s)$. Nesta figura, a área sombreada é a que possui maior estabilidade relativa do que a área clara e ela está associada à condição $\beta_1 > (2\omega_1\alpha_1)$. A fronteira entre as regiões sombreada e clara é determinada pela condição $\beta_1 = (2\omega_1\alpha_1)$. Tal fronteira representa a margem de estabilidade relativa do controlador P+Ress. Para garantir uma operação do controlador na área sombreada da figura 3.16, a especificação dos coeficientes α_1 e β_1 exibida na equação 3.54 pode ser redefinida conforme a equação 3.67.

$$\alpha_1 > 0 \quad \text{e} \quad \beta_1 > (2\omega_1\alpha_1) \quad (3.67)$$

De acordo com a equação 3.62, o valor do coeficiente α_1 corresponde ao ganho CC do controlador

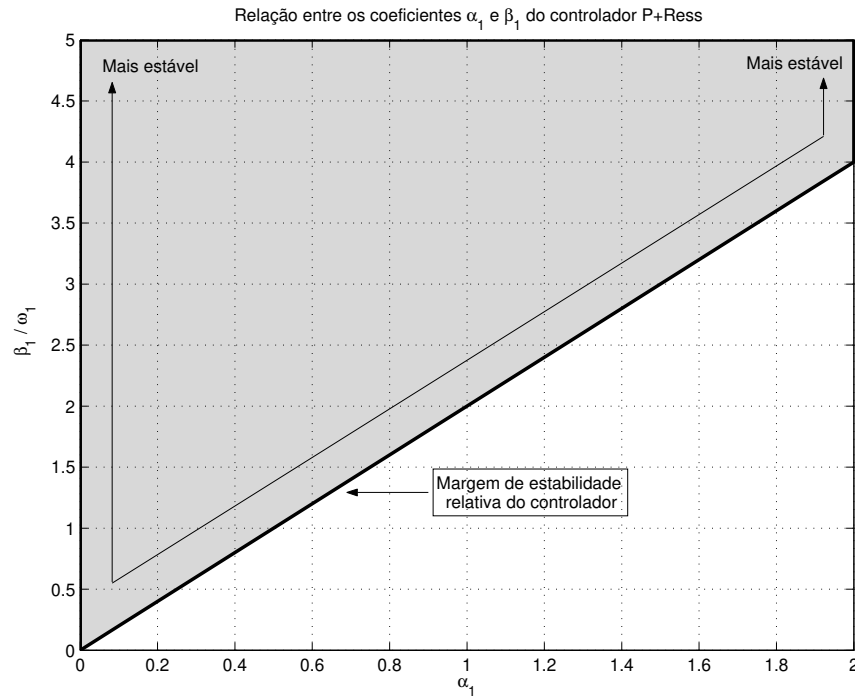


Fig. 3.16: Estabilidade relativa do controlador P+Ress em função dos coeficientes α_1 e β_1 .

$G_v(0)$. Por conta da característica ressonante do controlador P+Ress, o ganho $G_v(0)$ se mantém constante para todos os valores de frequência inferiores a uma vizinhança próxima da frequência de ressonância ω_1 . Dessa forma, o valor escolhido para α_1 implicará na amplificação ou na atenuação dos sinais em baixa frequência presentes no sinal de entrada do controlador. Um exemplo de especificação do controlador P+Ress seria o interesse por um ganho unitário para frequências inferiores a ω_1 e uma operação estável na região sombreada da figura 3.16. Baseando-se nessas características e na equação 3.67, o controlador P+Ress pode ser especificado conforme a equação 3.68. Nesta configuração, valores de β_1 cada vez maiores ($3\omega_1$, $4\omega_1$, $5\omega_1$, ...) tornarão ainda mais estável a operação do controlador P+Ress uma vez que o valor de α_1 é mantido constante.

$$\alpha_1 = 1 (\equiv 0\text{dB}) \rightarrow \beta_1 > 2\omega_1 \quad (3.68)$$

O caso anterior refere-se a uma linha vertical na figura 3.16 situada no interior da região sombreada e em $\alpha_1 = 1$. Caso outros valores de α_1 fossem considerados, essa linha vertical se movimentaria horizontalmente e o percentual do seu comprimento total que estaria dentro da região sombreada também seria modificado. O mesmo aconteceria se uma linha horizontal (para o caso de β_1 ser mantido constante) fosse movimentada verticalmente. Tais condições de análise vertical e horizontal permitem uma descrição dos valores obtidos para os zeros da função $G_v(s)$ a partir de variações, respectiva-

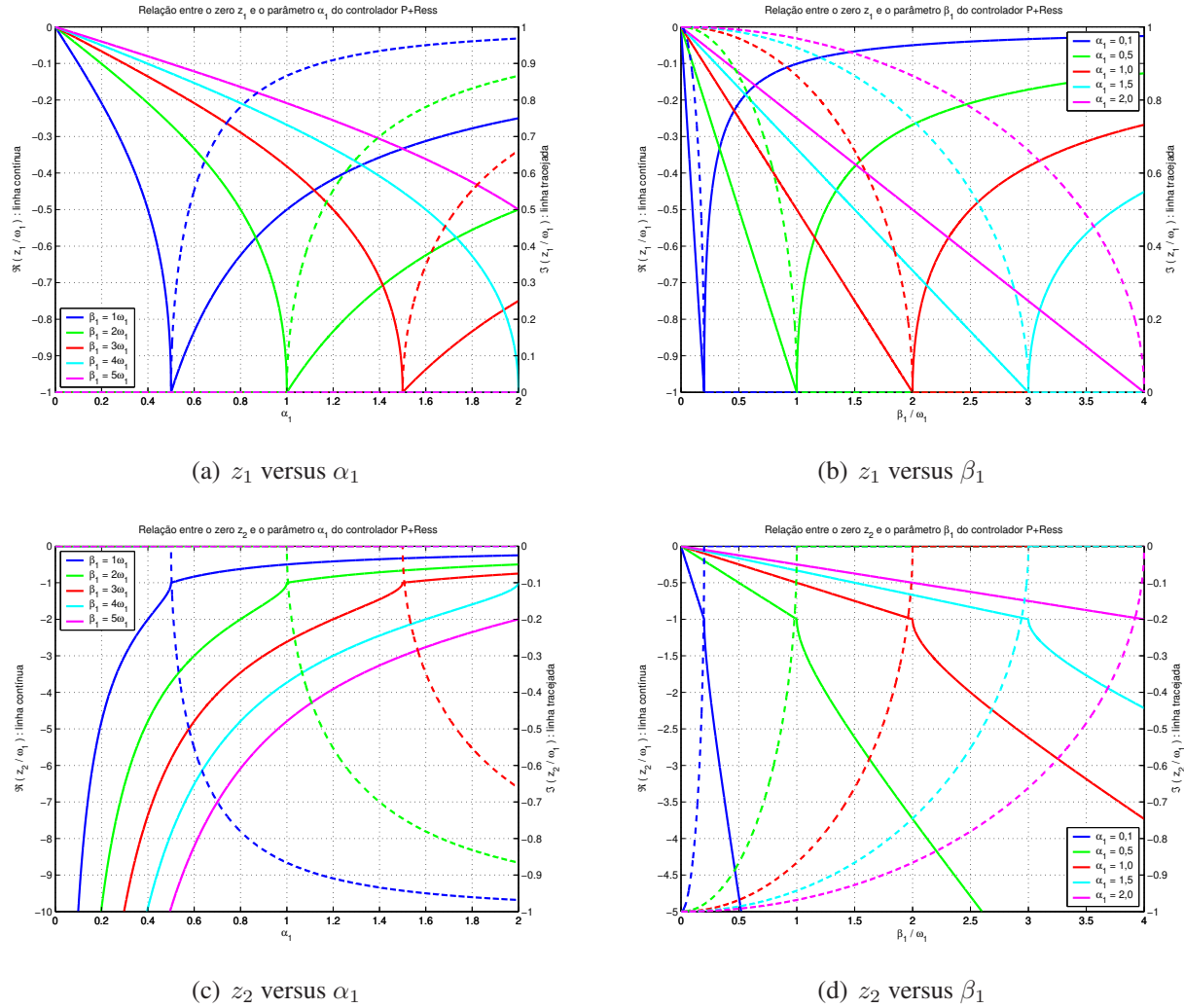


Fig. 3.17: Partes real (contínuo) e imaginária (tracejado) dos zeros z_1 e z_2 em função de α_1 e de β_1 .

mente, em α_1 e em β_1 . A figura 3.17 exhibe os resultados de tais condições relacionadas às partes real e imaginária que compõem os zeros z_1 e z_2 .

Conforme a figura 3.15 e as equações 3.65 e 3.66, o zero z_1 aproxima-se da origem sobre o eixo real à medida que o valor de β_1 torna-se cada vez maior que a condição de fronteira $\beta_1 = (2\omega_1\alpha_1)$. Esta fronteira, inclusive, pode ser observada nas curvas da figura 3.15 a partir das regiões em que os valores imaginários são anulados ou quando os valores reais apresentem certas discontinuidades (“pontas”), tal como ocorre nas figuras 3.17(a) e 3.17(b). Diferentemente da evolução dos valores de z_1 , os valores de z_2 tendem a $-\infty$ (se afastando da condição de fronteira) sobre o eixo real quando $\beta_1 > (2\omega_1\alpha_1)$. Nota-se que a faixa de valores possíveis para z_2 durante uma operação na área sombreada da figura ($-\infty < z_2 < -\omega_1$) é proporcionalmente maior que a equivalente faixa de valores para z_1 ($-\omega_1 < z_1 < 0$). Conclui-se que z_2 possui uma sensibilidade maior do que z_1 em relação

aos valores de α_1 e de β_1 . Tal como ocorre nas figuras 3.17(c) e 3.17(d), pequenas modificações nos valores de α_1 e de β_1 provocam um desvio maior de valores de z_2 se comparado ao efeito nos valores de z_1 . Tal observação, aliada ao comportamento dos valores da parte real de z_1 para uma operação na região sombreada da figura 3.16, sugere a existência de uma restrição máxima aos valores dos coeficientes α_1 e β_1 .

Se a função $G_v(s)$ da equação 3.55 for aplicada na equação 3.48, a função de transferência em malha fechada $V(s)$ do método de controle da figura 3.12 também pode ser representada em função dos pólos e zeros em malha aberta conforme a equação 3.69.

$$V(s) = \frac{G_v(s)}{1 + G_v(s)} = \frac{K_1 \cdot (s - z_1) \cdot (s - z_2)}{\{(1 + K_1)s^2 - [K_1(z_1 + z_2) + (p_1 + p_2)]s + [p_1p_2 + K_1(z_1z_2)]\}} \quad (3.69)$$

Sabendo-se que os pólos de $G_v(s)$ equivalem a $\pm j\omega_1$ e $K_1 = \alpha_1$, pode-se aplicar as relações das equações 3.58 e 3.59 na equação 3.69. Além disso, considerando que z_3, z_4, p_3 e p_4 são os zeros e os pólos em malha fechada, tem-se que:

$$V(s) = K_2 \cdot \frac{(s - z_3) \cdot (s - z_4)}{(s - p_3) \cdot (s - p_4)} = \frac{\alpha_1}{(1 + \alpha_1)} \cdot \frac{(s - z_1) \cdot (s - z_2)}{\left\{s^2 + \left[\frac{\beta_1}{(1 + \alpha_1)}\right]s + \omega_1^2\right\}} \quad (3.70)$$

Por equivalência, é possível obter as seguintes relações a partir da equação 3.70:

$$K_2 = \frac{\alpha_1}{(1 + \alpha_1)} \quad (3.71)$$

$$z_3 = z_1 \quad \text{e} \quad z_4 = z_2 \quad (3.72)$$

$$\Delta_2 = \left[\frac{\beta_1}{(1 + \alpha_1)}\right]^2 - 4\omega_1^2 \rightarrow \begin{cases} \Delta_2 > 0 & \text{para } \beta_1 > 2\omega_1(1 + \alpha_1) \\ \Delta_2 = 0 & \text{para } \beta_1 = 2\omega_1(1 + \alpha_1) \\ \Delta_2 < 0 & \text{para } \beta_1 < 2\omega_1(1 + \alpha_1) \end{cases} \quad (3.73)$$

$$p_3 = -\left[\frac{\beta_1}{2(1 + \alpha_1)}\right] + \frac{\sqrt{\Delta_2}}{2} \quad \text{e} \quad p_4 = -\left[\frac{\beta_1}{2(1 + \alpha_1)}\right] - \frac{\sqrt{\Delta_2}}{2} \quad (3.74)$$

A partir da equação 3.74, a figura 3.18 exhibe a distribuição dos pólos p_3 e p_4 de $V(s)$ no plano complexo s em função dos valores dos coeficientes α_1 e β_1 . Percebe-se que a localização dos pólos está de acordo com a equação 3.73 e que a condição na qual ambos os pólos p_3 e p_4 são equivalentes a $-\omega_1$ ocorre quando $\beta_1 = [2\omega_1(1 + \alpha_1)]$. Tal ponto corresponde à condição de fronteira da margem de estabilidade relativa do sistema de controle em malha fechada representado pela função $V(s)$. De

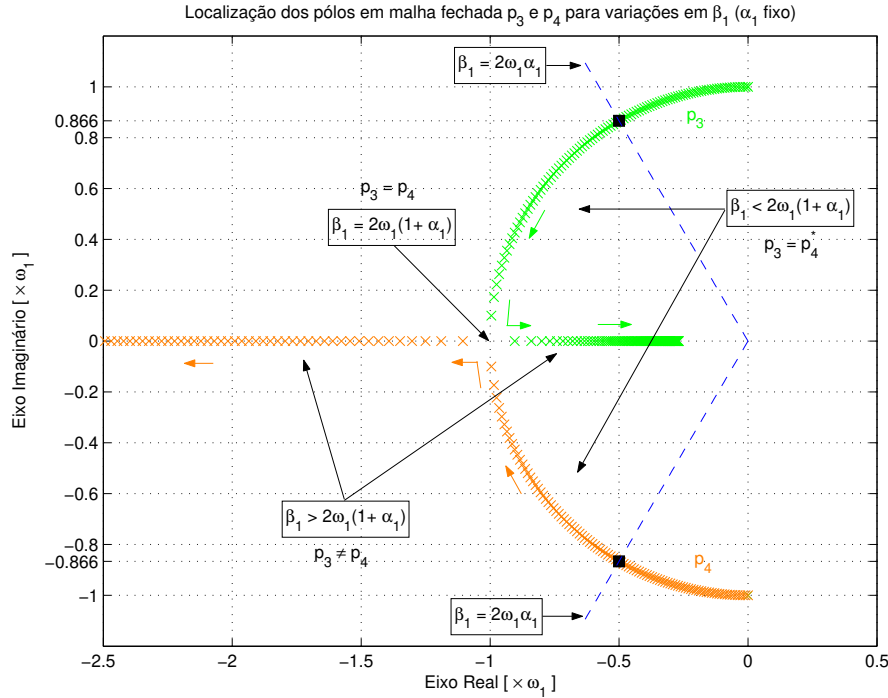


Fig. 3.18: Lugar geométrico dos pólos em malha fechada p_3 e p_4 conforme a equação 3.74.

acordo com a teoria de sistemas de controle [51], a dinâmica da função $V(s)$ em regime transitório pode ser caracterizada como subamortecida para $\beta_1 < [2\omega_1(1 + \alpha_1)]$, criticamente amortecida para $\beta_1 = [2\omega_1(1 + \alpha_1)]$ ou superamortecida para $\beta_1 > [2\omega_1(1 + \alpha_1)]$. Para $\alpha_1=1$ e $\omega_1=2\pi 60$, a figura 3.19 exibe, conforme a equação 3.48, as respostas ao impulso de $V(s)$ para alguns valores de β_1 .

Assim, para as condições da figura 3.19, as respostas transitórias exibidas poderiam ser caracterizadas como subamortecidas para $\beta_1=[0,1\omega_1, 1\omega_1, 2\omega_1, 3\omega_1]$, criticamente amortecida para $\beta_1=4\omega_1$ e superamortecida para $\beta_1=5\omega_1$. Tais denominações são baseadas na diferença comportamental entre as respostas ao degrau unitário no que diz respeito ao amortecimento das oscilações não-sustentadas, ao tempo de acomodação, ao máximo sobre-sinal e ao tempo de atraso [51, 64]. De fato, tais características são válidas na figura 3.19 para o intervalo de tempo $t>0,4s$, no qual um aumento no valor de β_1 corresponderá a uma resposta transitória do sistema mais amortecida, mais lenta e com um valor menor de máximo sobre-sinal. A razão dessa caracterização ser válida para $t>0,4s$ é o fato do sinal de entrada do sistema em malha fechada ser constante e nulo durante tal intervalo. Assim, tal análise não pode ser aplicada no intervalo de tempo $0\leq t<0,4s$, no qual as respostas, com exceção daquelas com baixo amortecimento ($\beta_1=0,1\omega_1$), possuem comportamentos transitórios semelhantes e, principalmente, em $t=0s$ quando o sinal de entrada é não-nulo, assume um valor elevado (impulso) e apresenta uma taxa de variação que tende a $+\infty$. Em função disso, os valores iniciais das respostas

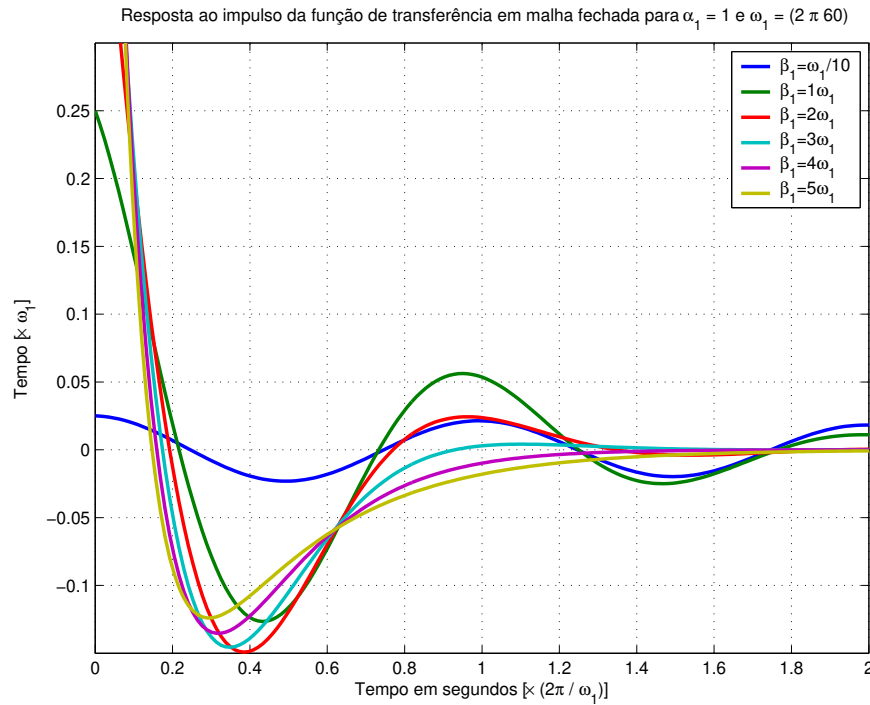


Fig. 3.19: Resposta ao impulso da função de transferência em malha fechada $V(s)$ da equação 3.48.

da figura 3.19 variam de acordo com os valores de β_1 . Nota-se que um aumento no valor de β_1 corresponde a um aumento do valor inicial e, conseqüentemente, o sistema responde mais rapidamente a uma variação no sinal de entrada. Ou seja, no intervalo do tempo $0 \leq t < 0,4s$ o valor de β_1 interfere de forma contrária à sua ação verificada para $t > 0,4s$. Por exemplo, para $\beta_1 = 5\omega_1$ o sistema é subamortecido ($0 \leq t < 0,4s$) por um momento e superamortecido em outro momento ($t > 0,4s$). E vice-versa, para $\beta_1 = 3\omega_1$. Caso viesse a ocorrer uma nova variação no sinal de entrada durante o intervalo $t > 0,4s$, a velocidade da resposta e o máximo sobre-sinal observados na saída do sistema em malha fechada seriam diretamente proporcionais ao valor de β_1 . Assim, pode-se restringir os valores de β_1 para que tais efeitos sejam minimizados. Considerando que um sistema subamortecido para um sinal de entrada nula ou constante apresenta um amortecimento relativamente maior caso haja uma variação no sinal de entrada, a restrição aos valores de β_1 pode ser feita a partir da localização dos pólos na figura 3.19 e conforme é especificada na equação 3.75. Outra justificativa para a escolha por um sistema subamortecido é que os dispositivos de eletrônica de potência, tal como o inversor multinível do sistema proposto, geralmente são sistemas subamortecidos de transferência de energia [65].

$$\alpha_1 > 0 \quad \text{e} \quad \beta_1 < 2\omega_1 (1 + \alpha_1) \quad (3.75)$$

Porém, deve-se lembrar que um sistema extremamente subamortecido ($\beta_1 \rightarrow 0$) atende a especi-

ificação da equação 3.75 mas fornecerá um sinal de saída com caráter oscilatório em regime permanente. Na figura 3.19, a condição $\beta_1=0,1\omega_1$ apresenta uma resposta com comportamento oscilatório não-amortecido em função da localização dos zeros e dos pólos da função $V(s)$ no plano complexo s . Uma vez que o valor de β_1 é relativamente baixo, os zeros e os pólos estão posicionados próximos aos pontos $(0, \pm j\omega_1)$ dos mapas apresentados nas figuras 3.15 e 3.18. Pela proximidade com o eixo imaginário, o sistema de controle em malha fechada apresenta uma estabilidade marginalmente estável no ponto de operação, cuja principal característica é um comportamento oscilatório do sinal de saída. Para evitar um comportamento oscilatório e reforçar a condição de estabilidade do sistema em malha fechada, sugere-se que ambos os pólos e os zeros da função $V(s)$ estejam localizados a partir de uma distância mínima dos pontos $(0, \pm j\omega_1)$. Essa distância mínima pode ser condicionada aos valores dos coeficientes α_1 e β_1 uma vez que são eles que determinam a localização dos pólos e zeros de $V(s)$ conforme as equações 3.64, 3.65, 3.66, 3.72, 3.73 e 3.74. Como os zeros em malha fechada são equivalentes aos zeros em malha aberta, pode-se quantificar essa distância mínima a partir da especificação dos coeficientes α_1 e β_1 apresentada na equação 3.67, na qual os valores dos zeros são reais e diferentes. Na figura 3.18 são exibidos os valores mínimos para os pólos de $V(s)$ que obedecem essa condição mínima ($\beta_1 = 2\omega_1\alpha_1$). Assim, de forma indireta, a restrição aos valores dos zeros em malha aberta também é contemplada.

A união entre as especificações apresentadas na equações 3.67 e 3.75 resulta na especificação da equação 3.76. Recomenda-se o uso desta especificação para a escolha dos valores para os coeficientes α_1 e β_1 do controlador P+Ress de forma a garantir uma ação satisfatória do método de controle da tensão na carga durante o modo ilhado.

$$\left[\alpha_1 > 0 \right] \quad \text{e} \quad \left[2\omega_1\alpha_1 < \beta_1 < 2\omega_1(1 + \alpha_1) \right] \quad (3.76)$$

Após a definição das faixas de valores recomendados para os coeficientes α_1 e β_1 do controlador P+Ress, pode-se determinar um método de projeto para o cálculo desses parâmetros a partir de algumas características desejadas para a operação do sistema de geração distribuída proposto. Conforme a figura 3.13, é possível concluir que o módulo e a fase do sistema de controle em malha se mantêm próximos, respectivamente, de 0dB e 0° ao longo de todo o espectro de frequências considerado, exceto na vizinhança da frequência de ressonância ω_1 . Essas características inviabilizam o projeto do controlador P+Ress no domínio da frequência através da especificação das margens de ganho e de fase desejadas. Isso porque o número possível de soluções em frequência que atenderiam ambos os critérios ($|G_v(s)| = 0 \text{ dB}$ e $\angle G_v(s) = -180^\circ$) seria infinito e a definição de uma solução generalizada não pode ser considerada, a rigor, como um método de projeto em si. Com essa restrição no domínio da frequência, sugere-se que o projeto do controlador P+Ress seja elaborado no domínio do tempo mediante a análise das respostas dinâmicas dos sistemas de controle em malha aberta e em

malha fechada.

Com o objetivo de analisar a resposta dinâmica do sistema em malha aberta, a função de transferência $G_v(s)$ pode ser decomposta mediante a aplicação da técnica de decomposição por (ou expansão em) frações parciais [64] na equação 3.47. Assim:

$$G_v(s) = \frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{(s^2 + \omega_1^2)} = \frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{[(s + j\omega_1) \cdot (s - j\omega_1)]} = \frac{A_1}{(s + j\omega_1)} + \frac{A_2}{(s - j\omega_1)} \quad (3.77)$$

Os termos A_1 e A_2 da equação 3.77 são determinados conforme as equações 3.78 e 3.79.

$$A_1 = [(s + j\omega_1) \cdot G_v(s)]_{s=-(+j\omega_1)} = \left[\frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{(s - j\omega_1)} \right]_{s=-j\omega_1} \rightarrow A_1 = \frac{\beta_1}{2} \quad (3.78)$$

$$A_2 = [(s - j\omega_1) \cdot G_v(s)]_{s=-(-j\omega_1)} = \left[\frac{(\alpha_1 s^2 + \beta_1 s + \alpha_1 \omega_1^2)}{(s + j\omega_1)} \right]_{s=+j\omega_1} \rightarrow A_2 = \frac{\beta_1}{2} \quad (3.79)$$

Em seguida, a equação 3.77 pode ser substituída pela equação 3.80.

$$G_v(s) = \frac{\beta_1}{2} \cdot \left[\frac{1}{(s + j\omega_1)} \right] + \frac{\beta_1}{2} \cdot \left[\frac{1}{(s - j\omega_1)} \right] \quad (3.80)$$

As funções $G_v(s)$ e $g_v(t)$ representam a maneira como o sistema em malha aberta responde a um estímulo no sinal de entrada e_v , respectivamente, nos domínios da frequência e do tempo. Uma vez que o interesse da análise situa-se no domínio do tempo, a função $g_v(t)$ pode ser obtida através da transformada inversa de Laplace da função $G_v(s)$ conforme a equação 3.81 (condição inicial nula).

$$\begin{aligned} g_v(t) &= \mathcal{L}^{-1}[G_v(s)] \\ &= \frac{\beta_1}{2} \cdot \left\{ \mathcal{L}^{-1} \left[\frac{1}{(s + j\omega_1)} \right] \right\} + \frac{\beta_1}{2} \cdot \left\{ \mathcal{L}^{-1} \left[\frac{1}{(s - j\omega_1)} \right] \right\} \\ &= \frac{\beta_1}{2} \cdot [e^{-(+j\omega_1)t}] + \frac{\beta_1}{2} \cdot [e^{-(-j\omega_1)t}] \\ &= \beta_1 \cdot \left[\frac{e^{+j(\omega_1)t} + e^{-j(\omega_1)t}}{2} \right] \\ &= \beta_1 \cdot \cos(\omega_1 t) \end{aligned} \quad (3.81)$$

Assim, o sinal de saída $v_{PAC}(t)$ para o sistema de controle em malha aberta da tensão na carga possuirá um comportamento senoidal conforme é definido na equação 3.82.

$$\begin{aligned} v_{PAC}(t) &= g_v(t) \cdot e_v(t) \\ &= \beta_1 \cdot \cos(\omega_1 t) \cdot e_v(t) \end{aligned} \quad (3.82)$$

O comportamento oscilatório do sinal $v_{PAC}(t)$ deve-se ao fato que os pólos de $G_v(s)$ são equivalentes a $\pm j\omega_1$ e que, portanto, estão situados sobre o eixo imaginário do plano complexo s . Nesta situação, o sistema de controle em malha aberta é marginalmente estável e o seu sinal de saída é oscilatório com amplitude constante. As localizações dos zeros de $G_v(s)$ são definidas a partir dos valores de α_1 e β_1 conforme as equações 3.64, 3.65 e 3.66. Tais valores dos zeros não modificam o comportamento oscilatório do sinal de saída em malha aberta. Conforme a equação 3.82, eles interferem somente na amplitude do sinal de saída. Tal condição pode ser verificada também a partir da figura 3.20. Ela exhibe as respostas ao impulso obtidas para a função de transferência em malha aberta da equação 3.47 considerando diferentes localizações dos zeros de $G_v(s)$. Mesmo nos casos extremos de α_1 , associados às figuras 3.20(a) e 3.20(d), o comportamento e a amplitude dos respectivos sinais de saída obtidos não são alterados.

Uma vez que o comportamento oscilatório do sinal de saída do sistema em malha aberta está mais relacionado aos pólos de $G_v(s)$ do que aos zeros de $G_v(s)$, pode-se concluir que o projeto do controlador P+Ress também não deve ser baseado na resposta no tempo em malha aberta. Apesar de β_1 ser capaz de modificar a amplitude do sinal, modificações na relação entre os valores de α_1 e β_1 não provocam reações no sinal de saída. Uma utilidade para a resposta do sistema em malha aberta seria a definição do valor máximo permitido para β_1 em função de uma faixa de valores conhecidos para o sinal de erro de tensão $e_v(t)$. Porém, tal especificação já foi apresentada na equação 3.76 mediante uma análise do sistema em malha fechada.

Portanto, é preciso estabelecer uma relação entre o comportamento da resposta temporal em malha fechada com os valores de α_1 e β_1 . Tal relação permitirá o projeto do controlador de tensão do tipo P+Ress. Para isso, pode-se analisar a resposta da função de transferência $V(s)$ da equação 3.48 diante de um sinal de entrada típico. Ao invés de um sinal do tipo degrau unitário ou do tipo impulso, pode-se considerar um sinal de entrada senoidal. Até porque o sinal de referência do método de controle da tensão na carga v_{FAP}^* trata-se também de um sinal senoidal conforme a equação 3.44.

A figura 3.21 exhibe diferentes respostas em malha fechada do sistema de controle da tensão na carga. Em todas elas, o sinal de entrada considerado trata-se do sinal de referência senoidal v_{FAP}^* descrito da equação 3.44. Na figura 3.21 o sinal de referência é representado pelo seu equivalente no sistema PU (por unidade) para uma tensão de base equivalente a $127\sqrt{2}$ V. Além disso, os valores dos

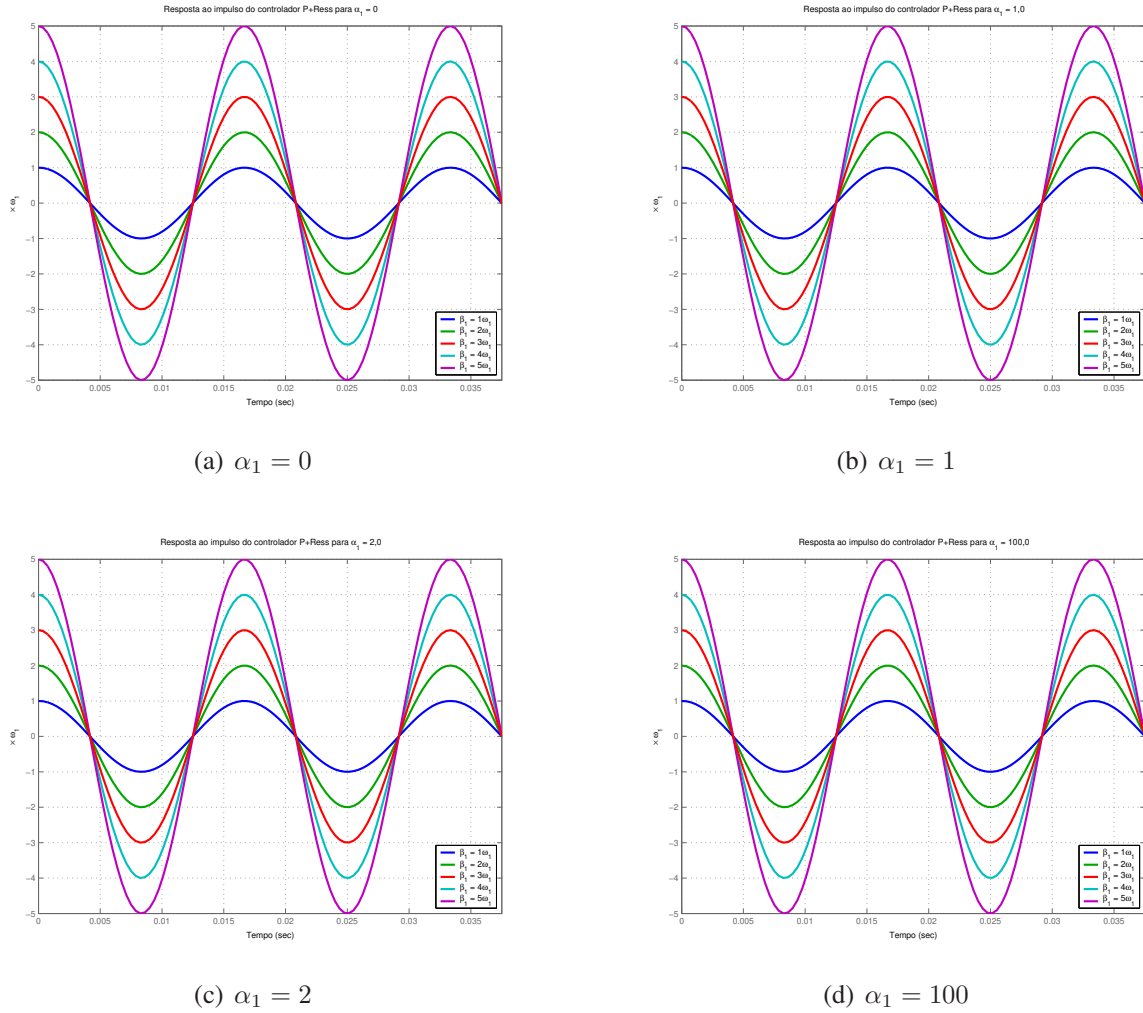


Fig. 3.20: Respostas ao impulso da função $G_v(s)$ da equação 3.47 para α_1 fixo e β_1 variável.

coeficientes α_1 e β_1 foram modificados em todas as respostas temporais. Nota-se que, diferentemente do que acontece com o sistema em malha aberta, a relação entre α_1 e β_1 é capaz de modificar a resposta do sistema de controle em malha fechada. Tal verificação fortalece o método de projeto do controlador P+Res tendo como um dos pré-requisitos, a obtenção de um comportamento desejado no domínio do tempo para o sistema de controle em malha fechada. Assim, o propósito de tornar mais rápida ou não a ação do controlador P+Res pode ser utilizado durante a escolha dos valores de α_1 e β_1 .

As respostas a uma referência senoidal da figura 3.21 podem ser comparadas escolhendo-se um valor para α_1 e variando o parâmetro β_1 . Ou fixando-se β_1 e variando α_1 . Em ambos os métodos de comparação, conclui-se de forma semelhante que o aumento individual ou em conjunto dos coeficientes α_1 e β_1 diminui o tempo de convergência do sinal de saída em direção ao sinal de entrada

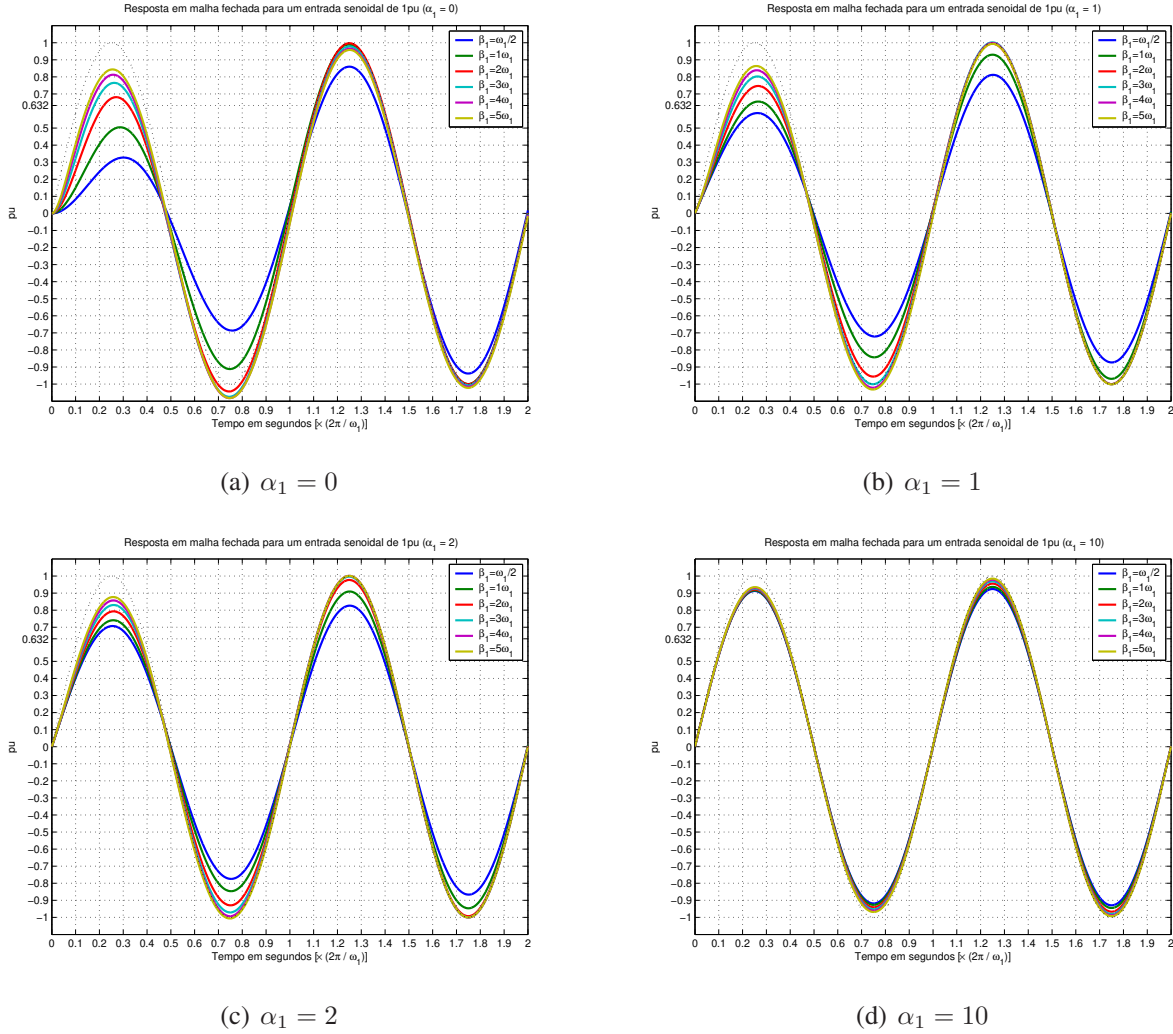


Fig. 3.21: Respostas do sistema em malha fechada $V(s)$ (equação 3.48) para entrada senoidal de 1 pu.

senoidal. Em regime permanente, conforme esperado pela ação ressonante, os sinais de saída e de entrada estão sobrepostos. Porém, já que o sistema de controle parte de condições iniciais nulas, o tempo de convergência (ou o regime transitório) do sinal de saída equivale ao tempo de variação de sua amplitude de 0 até 1 pu. Nota-se que esse crescimento da amplitude do sinal de saída ao longo do regime transitório possui um limitador do tipo exponencial, e que tal limitador exponencial é modificado a partir dos valores de α_1 e β_1 . Assim, o projeto do controlador P+Res pode ser feito a partir de uma aproximação de tal limitador exponencial. Pelas características apresentadas nas respostas da figura 3.21, o limitador exponencial possui um valor máximo na condição inicial e sua ação limitadora é diminuída com o transcorrer da operação em malha fechada. Diante de tais considerações, o comportamento do sinal de saída v_{PAC} pode ser aproximado pelo modelo matemático exibido na equação 3.83.

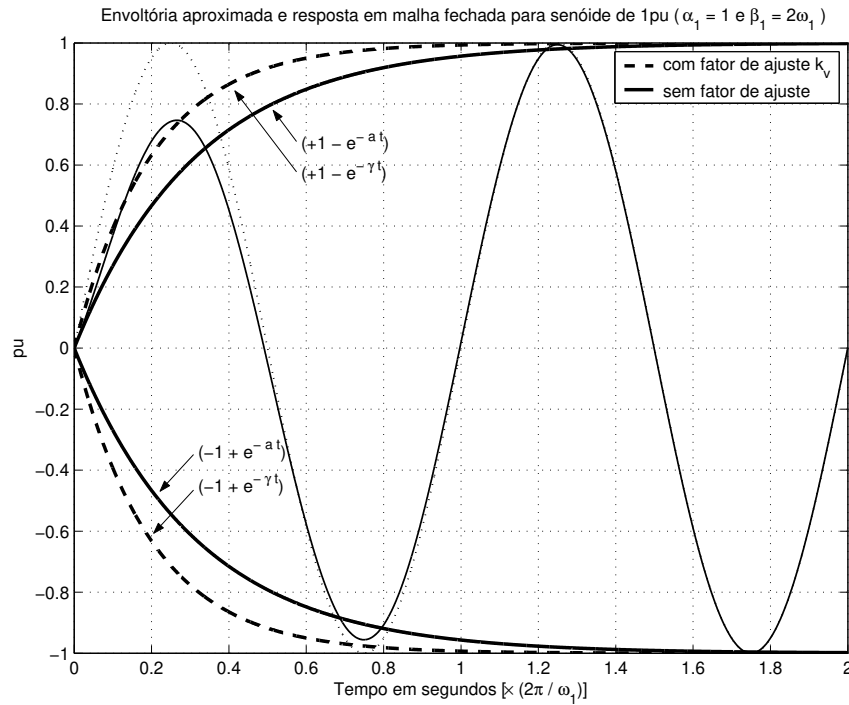


Fig. 3.22: Envolvória aproximada para o crescimento do sinal de saída do sistema em malha fechada em direção a uma referência senoidal de 1pu conforme as equações 3.84 e 3.85.

$$\underbrace{[v_{PAC}(t)]}_{\text{saída}} \approx \underbrace{[1 - (\text{exponencial decrescente})]}_{\text{envolvória de crescimento}} \times \underbrace{[v_{PAC}^*(t)]}_{\text{entrada}} \quad (3.83)$$

A partir das expressões para o cálculo dos pólos em malha fechada de $V(s)$ exibidas na equação 3.74, percebe-se que a parte real dos pólos p_3 e p_4 está vinculada a um fator de amortecimento das oscilações que ocorrem no sinal de saída da malha fechada. Uma vez que o limitador exponencial do crescimento do sinal de saída também impõe, de forma indireta, uma ação de amortecimento no sinal de saída, pode-se vincular tal limitador à parte real dos pólos p_3 e p_4 . Ou seja, a parcela exponencial da equação 3.83 pode ser descrita em função da parte real dos pólos, conforme a equação 3.84.

$$v_{PAC}(t) \approx [1 - e^{-at}] \cdot v_{PAC}^*(t) \quad , \text{ onde: } a = \left[\frac{\beta_1}{2(1 + \alpha_1)} \right] \quad (3.84)$$

A figura 3.22 exibe a envoltória aproximada obtida pela equação 3.84 para um o sinal de entrada senoidal com amplitude de 1pu e na condição de $\alpha_1=1$ e de $\beta_1=2\omega_1$. Percebe-se que a envoltória calculada não contém todo o sinal de saída durante o seu crescimento pois ela aparenta ter uma dinâmica de crescimento mais lenta. Uma alternativa de solução para tal questão é a modificação do

coeficiente de amortecimento a da parcela exponencial através da inclusão de um fator de ajuste k_v . O fator k_v altera a dinâmica da envoltória de forma que ela se torne, em regime transitório, maior que todos os valores máximos presentes no sinal de saída. Assim, a inclusão do fator k_v também modifica o modelo matemático do sinal de saída. Em função dessa associação, a equação 3.84 pode ser substituída pela equação 3.85. Pelo fato de ser capaz de modificar o amortecimento do sistema em malha fechada, o fator k_v pode ser modelado como um sinal de ganho no coeficiente de amortecimento a conforme a equação 3.85. O sinal tracejado da figura 3.22 equivale à envoltória de crescimento do sinal de saída conforme a equação 3.85 para um certo valor de k_v . Nota-se, nesta situação, que o sinal de saída passa a estar quase totalmente contido pelas suas envoltórias aproximadas de crescimento.

$$v_{PAC}(t) \approx \left[1 - e^{-\gamma t}\right] \cdot v_{PAC}^*(t) \quad , \text{ onde: } \gamma = k_v \cdot a = k_v \cdot \left[\frac{\beta_1}{2(1 + \alpha_1)}\right] \quad (3.85)$$

O valor do fator de ajuste k_v capaz de produzir o efeito da figura 3.22 foi determinado manualmente a partir de variações em seu valor e na verificação das respectivas envoltórias obtidas. Ou seja, o valor final de k_v é válido apenas para o caso em que $\alpha_1=1$ e $\beta_1=2\omega_1$ e, também, a sua especificação quantitativa envolveu um método manual de projeto. Na busca por um método de projeto do controlador P+Res, a identificação do valor correto para o fator de ajuste k_v não deve ser feita de forma visual e sim mediante um modelo matemático que envolva as principais combinações de valores para α_1 e β_1 . Assim, inicialmente foram determinados de forma visual os valores esperados para o fator de ajuste k_v na condição de $\alpha_1=1$ e β_1 variável. Em seguida, os valores de k_v foram determinados com α_1 variável e $\beta_1=1\omega_1$. As duas operações permitiram que uma função de ajuste aproximada fosse determinada utilizando o método *spline* de interpolação dos dados obtidos. A partir da função de interpolação encontrada, pode-se verificar quais seriam os possíveis valores do fator k_v para diferentes combinações de valores para α_1 e β_1 . Os sinais tracejados nas figuras 3.23(a) e 3.23(b) correspondem aos valores do fator k_v obtidos a partir da função de ajuste interpolada considerando variações, respectivamente, em α_1 e em β_1 .

Uma vez que a função de interpolação encontrada é constituída por vários polinômios de ordem 4 ou superior, a sua implementação em dispositivos microcontroladores ou microprocessados tais como o DSP (*Digital Signal Processor*) envolveria o preenchimento de vários registradores de memória e, principalmente, a execução de várias operações matemáticas com duração relativamente prolongada para um dispositivo de ponto fixo. Dessa forma, optou-se por encontrar um modelo matemático mais simples cujos valores encontrados para o fator k_v fossem próximos aos respectivos valores obtidos pela função de interpolação determinada pelo método *spline*. Após algumas observações do comportamento da função e sucessivas tentativas de ajuste, chegou-se ao modelo matemático da equação

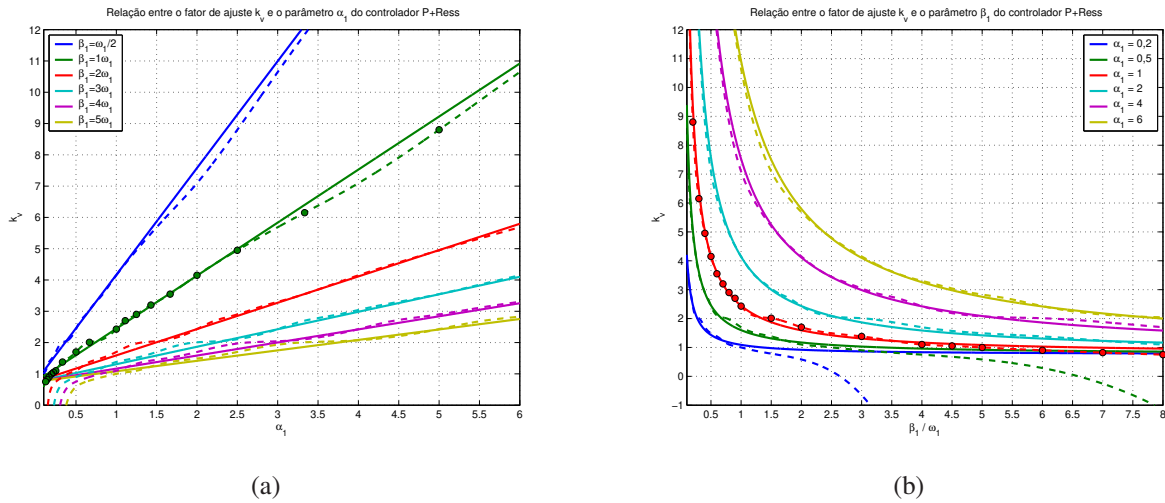


Fig. 3.23: Valores do fator de ajuste k_v para variações em α_1 (a) e em β_1 (b), calculados conforme o modelo da equação 3.86 (sinal contínuo) e a partir do método *spline* de interpolação (sinal tracejado).

3.86. Os valores de k_v obtidos a partir do modelo da equação 3.86 correspondem aos sinais contínuos exibidos nas figuras 3.23(a) e 3.23(b). Para um valor fixo de β_1 , a função comporta-se como uma reta proporcional a α_1 conforme a figura 3.23(a). Para α_1 fixo, ela comporta-se como uma função inversa de β_1 conforme a figura 3.23(b). Nota-se uma aproximação das duas funções para valores de α_1 e β_1 que atendam as especificações definidas nas equações 3.68 e 3.76. Tais características validam o uso do modelo da equação 3.86 na busca por um método de projeto do controlador P+Ress.

$$k_v \approx \sqrt{3} \left(\frac{\alpha_1 \omega_1}{\beta_1} \right) + \frac{3}{4} \left[1 - \frac{\alpha_1}{10} \left(\frac{\omega_1}{\omega_1 + \beta_1} \right) \right] \quad (3.86)$$

Após a determinação de um modelo baseado nos parâmetros do controlador P+Ress e com a capacidade de encontrar os valores corretos para o fator de ajuste k_v , pode-se relacionar os parâmetros β_1 e α_1 com o comportamento da envoltória aproximada da equação 3.86. Na figura 3.22, nota-se que a curva considerando o fator de ajuste k_v comporta-se de forma semelhante à resposta temporal de um circuito elétrico de 1ª ordem dos tipos RC ou RL. Em tais circuitos, a dinâmica da resposta temporal pode ser descrita através da constante de tempo τ do circuito. Por definição, a constante de tempo corresponde ao intervalo Δt compreendido entre o instante em que a resposta sai do seu estado inicial ($t = t_0$) e o instante em que ela atinge um equivalente a 63,2% de seu valor final em regime permanente (100%). Assim, uma constante de tempo menor significa uma dinâmica de resposta mais rápida e vice-versa. Em circuitos de primeira ordem, a constante de tempo τ está relacionada com o expoente da função exponencial da resposta. A partir de uma analogia entre a envoltória aproximada da equação 3.86 com a resposta temporal de circuitos RL ou RC, pode-se estimar uma constante

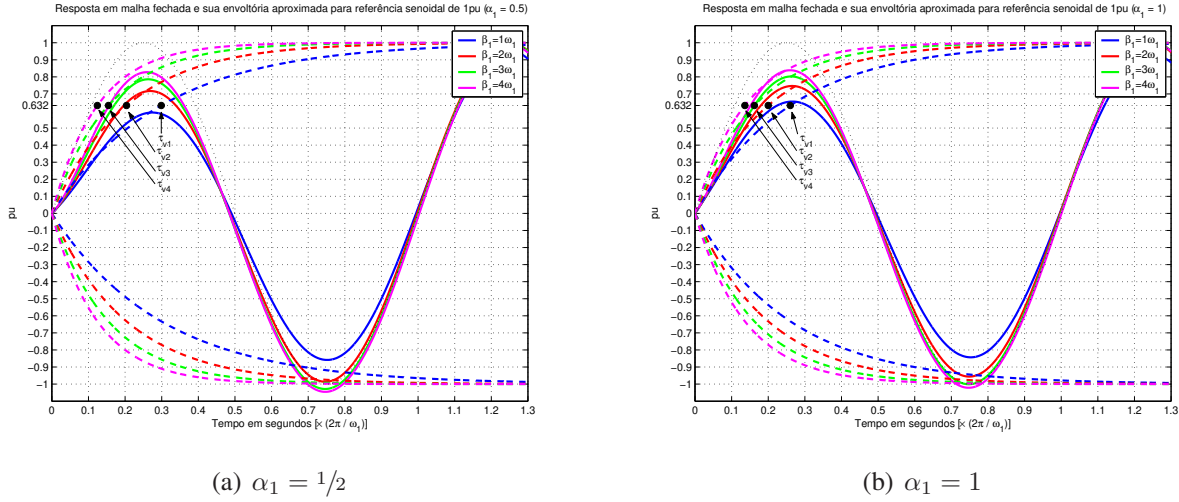


Fig. 3.24: Efeito na constante de tempo τ_v da envoltória aproximada para variações em α_1 e em β_1 .

de tempo τ_v para o sinal de saída do sistema de controle em malha fechada. Tal analogia pode ser representada pelas equações 3.87 e 3.88.

$$\left[\frac{v_{PAC}(t)}{v_{PAC}^*(t)} \right] \approx [1 - e^{-\gamma t}] \equiv [1 - e^{-t/\tau_v}] \quad (3.87)$$

$$\gamma = \frac{1}{\tau_v} \rightarrow k_v \cdot \left[\frac{\beta_1}{2(1 + \alpha_1)} \right] = \frac{1}{\tau_v} \rightarrow \beta_1 = \frac{2(1 + \alpha_1)}{\tau_v k_v} \quad (3.88)$$

De acordo com a equação 3.88, caso o valor de α_1 seja pré-estabelecido e a constante de tempo τ_v seja um critério de projeto, o parâmetro β_1 vinculado a esse ponto de operação do controlador poderá ser calculado. A opção contrária, calcular a correspondente constante de tempo para um β_1 conhecido, também é possível. Para isso, basta que a constante de tempo seja isolada em um dos lados da equação 3.88 para ser calculada em função dos demais parâmetros. A figura 3.24 exhibe os valores obtidos para a constante de tempo τ_v a partir de variações individuais ou em conjunto nos parâmetros α_1 e β_1 do controlador P+Res. Nota-se que o valor de τ_v diminui à medida que se aumenta a relação entre α_1 e β_1 . O quê, aliás, já era esperado conforme a equação 3.88.

Conforme já abordado, a equação 3.88 é útil para calcular o valor de β_1 capaz de aproximar a dinâmica do sistema em malha fechada de uma condição desejada. Porém, os valores calculados para β_1 devem satisfazer também as especificações exibidas na equação 3.76. Em função disso e considerando que os valores máximo e mínimo de β_1 são obtidos nas condições, respectivamente, de mínimo e de máximo de τ_v , a faixa de valores permitidos para a constante de tempo da envoltória aproximada é exibida na equação 3.89.

Tab. 3.5: Sequência de etapas do método de projeto do controlador P+Ress utilizado na figura 3.12.

<i>Etapa</i>	<i>Descrição (objetiva)</i>	<i>Equação</i>
I	Definir o valor da frequência ressonante ω_1 . Para 60Hz, $\omega_1=2\pi(60)$ rad/s.	—
II	Definir o valor de α_1 , o qual interfere no ganho aplicado a $\omega \neq \omega_1$.	3.54
III	Definir o valor de τ_v . Sugere-se que τ_v corresponda a 15-25% de $(2\pi/\omega_1)$.	—
IV	Calcular o valor do fator de ajuste k_v para a envoltória aproximada.	3.90
V	Checar o valor de τ_v . Se falhar, voltar à etapa III e escolher outra τ_v .	3.89
VI	Calcular o valor do parâmetro β_1 .	3.88
VII	Checar o valor de β_1 . Se falhar, voltar à etapa II e escolher outro α_1 .	3.76
VIII	Obter a função de transferência do controlador para os valores de ω_1 , α_1 e β_1 .	3.43

$$\left[\frac{1}{k_v \omega_1} \right] < \tau_v < \left[\frac{1}{k_v \omega_1} \cdot \left(\frac{1 + \alpha_1}{\alpha_1} \right) \right] \quad (3.89)$$

Caso a expressão para o cálculo de β_1 exibida na equação 3.88 seja aplicada na equação 3.86, o fator de ajuste k_v da envoltória aproximada tornar-se-ia dependente apenas dos parâmetros ω_1 , α_1 e τ_v . A equação 3.90 exhibe essa expressão alternativa para o cálculo aproximado do fator k_v . O fato dessa expressão alternativa ser independente do parâmetro β_1 indica que o fator de ajuste k_v pode ser calculado diretamente dos critérios de projeto do controlador, os quais poderiam ser ω_1 , α_1 e τ_v .

$$k_v \approx \left[-\frac{y_1}{2x_1} + \frac{1}{2x_1} \sqrt{(y_1^2 - 4x_1 z_1)} \right] \quad , \text{ onde:} \quad (3.90)$$

$$x_1 = \left[80\omega_1 (1 + \alpha_1) \tau_v - 40\sqrt{3}\alpha_1\omega_1^2\tau_v^2 \right] \quad ;$$

$$y_1 = \left[160 (1 + \alpha_1)^2 - (80\sqrt{3} - 6) \alpha_1 \omega_1 (1 + \alpha_1) \tau_v - 60\omega_1 (1 + \alpha_1) \tau_v \right] \quad ; \text{ e}$$

$$z_1 = \left[-120 (1 + \alpha_1)^2 \right] \quad .$$

Conclui-se, portanto, que o controlador P+Ress do método de controle da figura 3.12 pode ser projetado a partir de características desejadas para a dinâmica de sua resposta transitória em malha fechada. A sequência das etapas de tal método de projeto é apresentada na tabela 3.5.

3.5 Sincronismo

Conforme a seção 3.4, o modo ilhado do sistema de geração distribuída proposto pode ser caracterizado pela chave S_1 na posição aberta e, também, pela busca em manter a tensão na carga próxima de um sinal senoidal de referência. Apesar da tensão v_{PAC} ser monitorada para possibilitar um controle em malha fechada, qualquer alteração na tensão v_{PAC} não provocará efeitos sobre a tensão presente na barra S uma vez que o SEPA e o SEPL não estão interligados. Assim, conforme a figura 3.10, a tensão v_s é independente do SEPL e está vinculada exclusivamente à oferta ou não de energia elétrica em condições nominais pelo SEPA.

Mesmo considerando que o sistema proposto já estivesse em operação no modo ilhado, que a chave S_1 ainda estivesse aberta e que o SEPA já estivesse apto a fornecer energia elétrica à barra S em condições nominais, as tensões v_{PAC} e v_s poderiam não ser equivalentes. E isso pode ocorrer simplesmente porque, no modo ilhado, não há uma relação direta entre tais tensões. Caso as tensões v_{PAC} e v_s não sejam semelhantes em termos de tensão elétrica, de defasagem angular e de frequência de oscilação, a chave S_1 não poderá ser fechada. O interesse no fechamento da chave S_1 para uma condição nominal do SEPA baseia-se no objetivo do sistema proposto em retomar (ou iniciar) o fornecimento de potência ativa do SEPL para o SEPA assim que for possível. Para minimizar os efeitos causados pelo fechamento da chave S_1 , um método de sincronismo torna-se necessário para aproximar a tensão na barra PAC da tensão que é disponibilizada pelo SEPA na barra S. O sucesso do método de sincronismo (ou aproximação) entre tais tensões permite que a interligação entre o SEPA e o SEPL seja refeita (ou iniciada).

Uma vez que o momento de retorno a (ou o início de) uma operação do SEPA em condições nominais é imprevisível, não é necessário que o método de sincronismo seja completamente executado. Ou seja, para alguns casos, certas ações do método de sincronismo podem ser interrompidas uma vez que elas não contribuirão para uma interligação entre o SEPA e o SEPL. Do ponto de vista de implementação, seria gasto um intervalo de tempo desnecessário para a sua execução e isso poderia comprometer a execução total de outras rotinas importantes do projeto. Dessa forma, as ações de ajuste do método de sincronismo devem ser iniciadas somente quando a tensão na barra S atender todas as especificações da tabela 3.3, indicando uma disponibilidade do SEPA. As demais ações do método de sincronismo podem ser executadas continuamente, inclusive durante o modo compartilhado de operação. Isso pode ser justificado pelo fato do valor inicial do ângulo de fase da tensão durante o modo ilhado ser equivalente ao último valor correspondente no modo compartilhado. Tal condição sugere a necessidade de um monitoramento contínuo da tensão na barra S.

Uma versão resumida da parte externa do método de sincronismo adotado, com a indicação dos sinais de entrada e de saída envolvidos, é exibida na figura 3.25. Nota-se que tal método faz uso das tensões v_s e v_{PAC} , do cálculo do valor eficaz de v_s e de dados extraídos de v_s e v_{PAC} através de

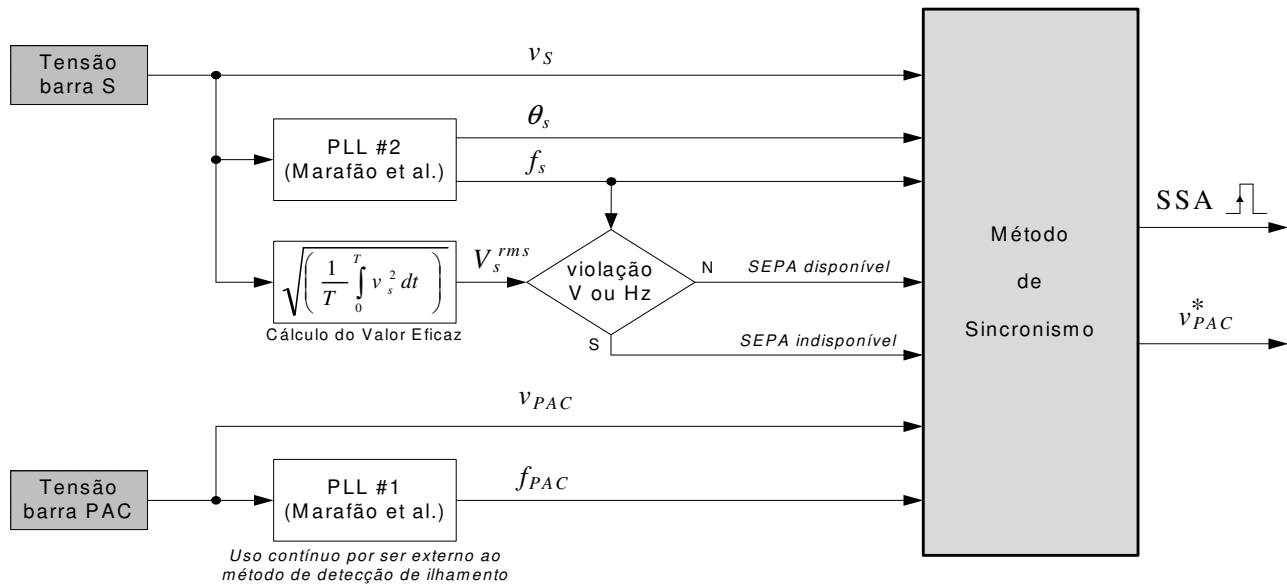


Fig. 3.25: Sinais de entrada e de saída do método de sincronismo das tensões v_s e v_{PAC} .

blocos seguidores de fase ou blocos PLL [59]. O método de sincronismo manipula esses dados para, em seguida, elaborar dois sinais de saída: um sinal lógico SSA (Sinal de Sincronismo Atingido), cuja sigla indica a condição de sucesso do método; e o sinal v_{PAC}^* , correspondente ao sinal de referência para o método de controle em malha fechada da tensão na carga exibido na figura 3.12. O bloco PLL relacionado à tensão v_{PAC} corresponde ao mesmo bloco PLL utilizado para fornecer dados ao método detecção de ilhamento exibido na figura 3.8. Por ser um bloco externo ao método de detecção de ilhamento e, conseqüentemente, não depender da sua execução, o bloco PLL relacionado à tensão v_{PAC} deve ser executado de forma contínua enquanto o sistema proposto estiver em operação.

O sinal de saída v_{PAC}^* representa o sinal de atuação do método de sincronismo adotado. A partir de variações em v_{PAC}^* , o método é capaz de aproximar a tensão na barra PAC da tensão na barra S. O sinal lógico SSA em seu nível ALTO (=1) corresponde a informação de que uma condição de sincronismo entre essas tensões foi alcançada e que essa condição se mantém estável há vários ciclos de 60Hz. A maneira como os sinais de saída v_{PAC}^* e SSA são elaborados internamente pelo método de sincronismo é exibida na figura 3.26.

Os ajustes relacionados à busca por uma aproximação entre as tensões v_s e v_{PAC} são feitos de forma suave e são baseados no princípio de funcionamento do bloco PLL descrito em [59, 60]. Após serem iniciadas, as ações de ajuste do método de sincronismo são interrompidas caso: o sistema proposto de geração distribuída não opere mais no modo ilhado; ou a tensão v_s volte a extrapolar os limites da tabela 3.3, indicando uma indisponibilidade do SEPA. Para ambas as situações, o método de sincronismo deve retornar à condição de espera pela operação no modo ilhado ou por uma nova situação de disponibilidade do SEPA. Caso elas sejam retomadas, as ações de ajuste do método deverão

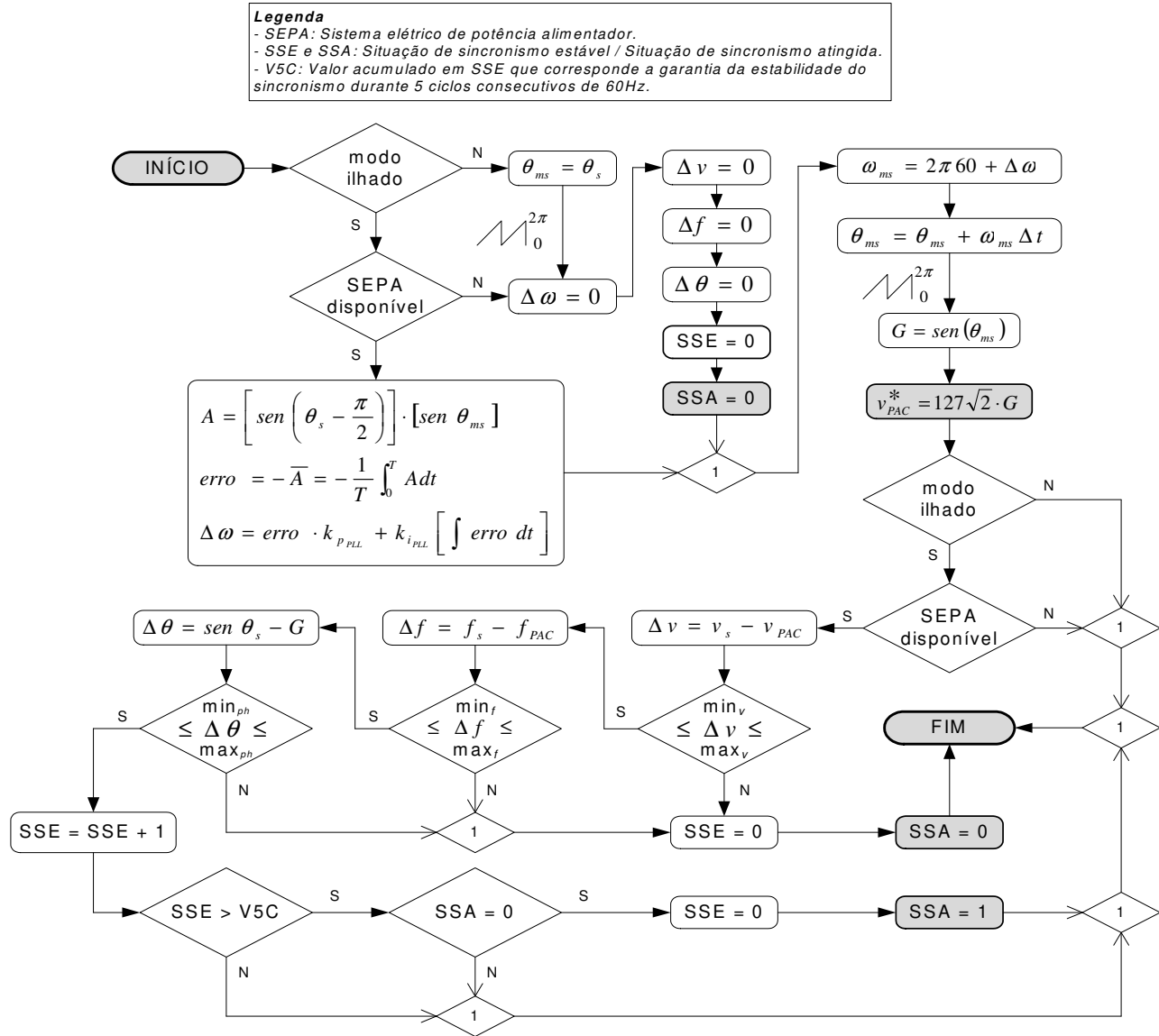


Fig. 3.26: Fluxograma interno da operação do método de sincronismo presente na figura 3.25.

ser realizadas sob novas condições iniciais.

Por outro lado, se uma sobreposição das tensões v_{PAC} e v_s for obtida e se tal situação permanecer estável por um período estipulado (por exemplo, alguns ciclos de 60Hz), o sucesso no sincronismo terá sido alcançado e o sinal lógico SSA será comutado para o estado ativo ALTO (=1). O sinal lógico SSA permanecerá neste estado enquanto vigorar a estabilidade do sincronismo no modo ilhado.

Conforme a máquina de estados exibida na figura 3.1, o sucesso do método de sincronismo representa a condição necessária para se permitir uma troca de estados de uma operação no modo ilhado para uma operação no modo compartilhado. Uma vez que as transições entre os estados da figura 3.1 estão relacionadas à detecção de um ilhamento ou à obtenção de um sincronismo, uma associação

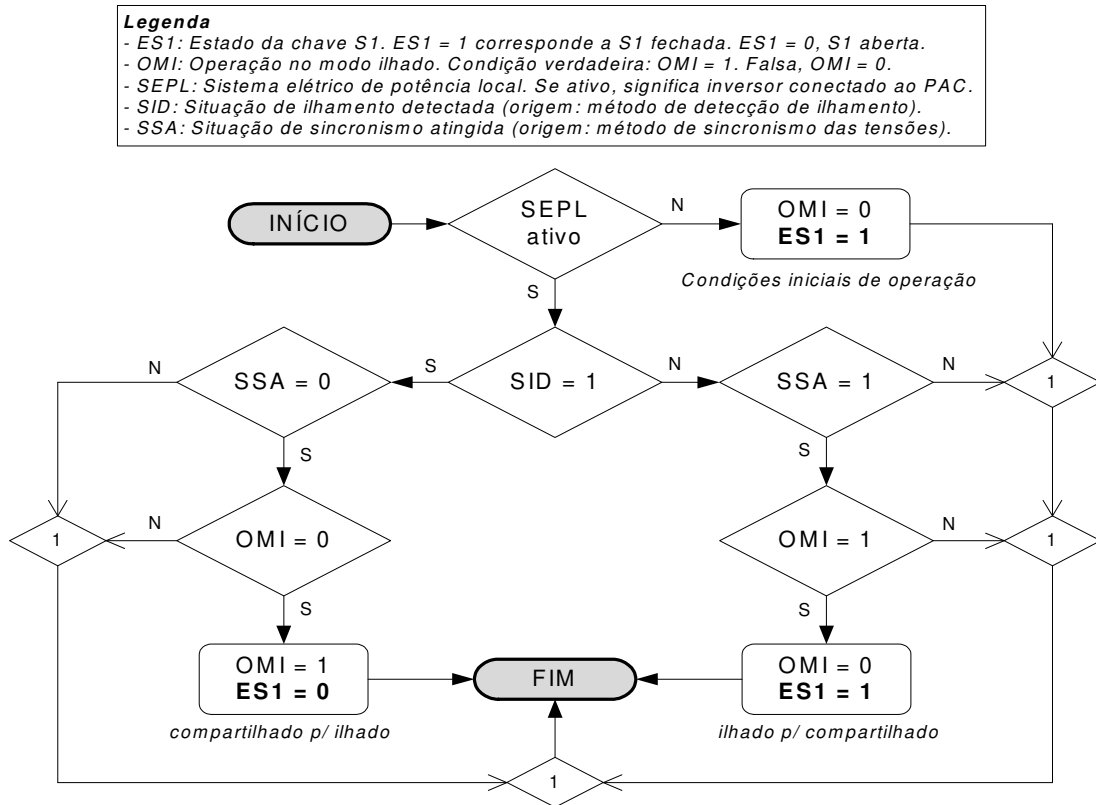


Fig. 3.27: Fluxograma para determinar o estado da chave S_1 a partir dos sinais lógicos SID e SSA .

entre os sinais lógicos SSA e SID pode ser feita de forma a determinar o estado da chave S_1 . E, consequentemente, permitir ou não que se faça uma interligação entre o SEPA e o SEPL.

O fluxograma da figura 3.27 descreve a maneira como os sinais SSA e SID determinam o estado da chave S_1 . Assim como a operação do bloco PLL relacionado à tensão v_{PAC} , deve-se determinar o estado da estado da chave S_1 de forma contínua enquanto o sistema proposto estiver em operação.

3.6 Conclusões

Desde o início do capítulo, procurou-se enfatizar a relação direta entre o modo de operação do sistema e o estado da chave de interligação entre o SEPA e o SEPL. Primeiramente foram descritas as características de funcionamento do SEPA. Em seguida, os modos de operação do sistema de geração distribuída foram descritos no capítulo. E para cada um dos modos de operação, determinou-se as principais características de funcionamento, as exigências do modo, os objetivos principais, as transições possíveis, os controladores envolvidos e os tipos de respostas dinâmicas esperadas.

Para que uma operação autônoma do sistema proposto fosse possível, foram descritos os sistemas de controle em malha fechada associados ao sistema proposto. A partir de algumas considerações

do comportamento e da descrição dos critérios desejados, foram estabelecidos os métodos de projeto de todos os controladores do sistema: controlador de corrente; controlador de potência média; e controlador de tensão na carga. Dessa forma, a análise desse sistema pode ser generalizada e não estar associada somente a um ponto de operação desejado.

Também foram destacadas a importância de se detectar rapidamente uma condição de ilhamento e, também, de se sincronizar as tensões aplicadas sobre a chave S_1 para que uma interligação entre SEPA e SEPL possa ser (re-)feita de forma segura.

A seguir, o capítulo 4 apresenta os resultados obtidos para uma simulação completa do sistema proposto, considerando todas as opções da figura 3.1. Como forma de comprovação dos resultados obtidos nas simulações, a implementação de um protótipo em baixa potência possibilitou a coleta de resultados experimentais. Uma comparação entre os resultados de simulações e experimentais é feita. A partir dessa comparação, pode-se fortalecer ainda mais o conhecimento a respeito das características e das exigências de operação do sistema proposto de geração distribuída.

Capítulo 4

Implementação do Sistema Proposto

4.1 Introdução

Nos capítulos 2 e 3 foram descritas a topologia e o funcionamento do inversor multinível em cascata assimétrica, a topologia do sistema monofásico de geração distribuída proposto, os seus respectivos modos de operação e as possíveis transições entre eles. Neste capítulo, tais informações podem ser verificadas a partir de resultados obtidos por simulações computacionais e, também, através de um protótipo experimental.

Uma vez que a aplicação está relacionada com sistemas monofásicos de baixa tensão, nos quais há uma predominância de cargas não-lineares, o tipo de carga escolhida para possibilitar a coleta de resultados foi o retificador monofásico em ponte completa com filtro capacitivo em sua saída, cuja topologia é exibida na figura 4.1. De acordo com [66] a carga da figura 4.1 trata-se de uma carga não-linear e ela é um tipo de carga predominante em consumidores residenciais e comerciais. Isso porque a maioria das fontes de alimentação dos aparelhos eletroeletrônicos e eletrodomésticos contém uma interface de entrada CA-CC elaborada a partir de um retificador correspondente ao da figura 4.1.

O capacitor em paralelo à carga C_L reduz o fator de ondulação da tensão de saída do retificador. Quanto maior for o valor de sua capacitância, menor será o *ripple* da tensão de saída e mais estreito será o pulso da corrente de alimentação através de L_{RC} . Assim, a transferência de energia da fonte de alimentação CA para o capacitor C_L ocorre em um intervalo de tempo reduzido, provocando um aumento da taxa de variação da corrente de alimentação. Para atenuar esses efeitos e incluir a indutância dos cabos de alimentação da carga, inclui-se o indutor em série L_{RC} à alimentação da carga. A função do indutor L_{RC} é suavizar as variações na corrente de alimentação da carga e está relacionada à tensão produzida a partir da variação da corrente que circula por uma bobina. Quanto maior for a indutância L_{RC} , maior será o efeito de suavização da elevação da corrente de alimentação. O tipo de carga da figura 4.1 apresenta um fator de potência próximo de 0,7.

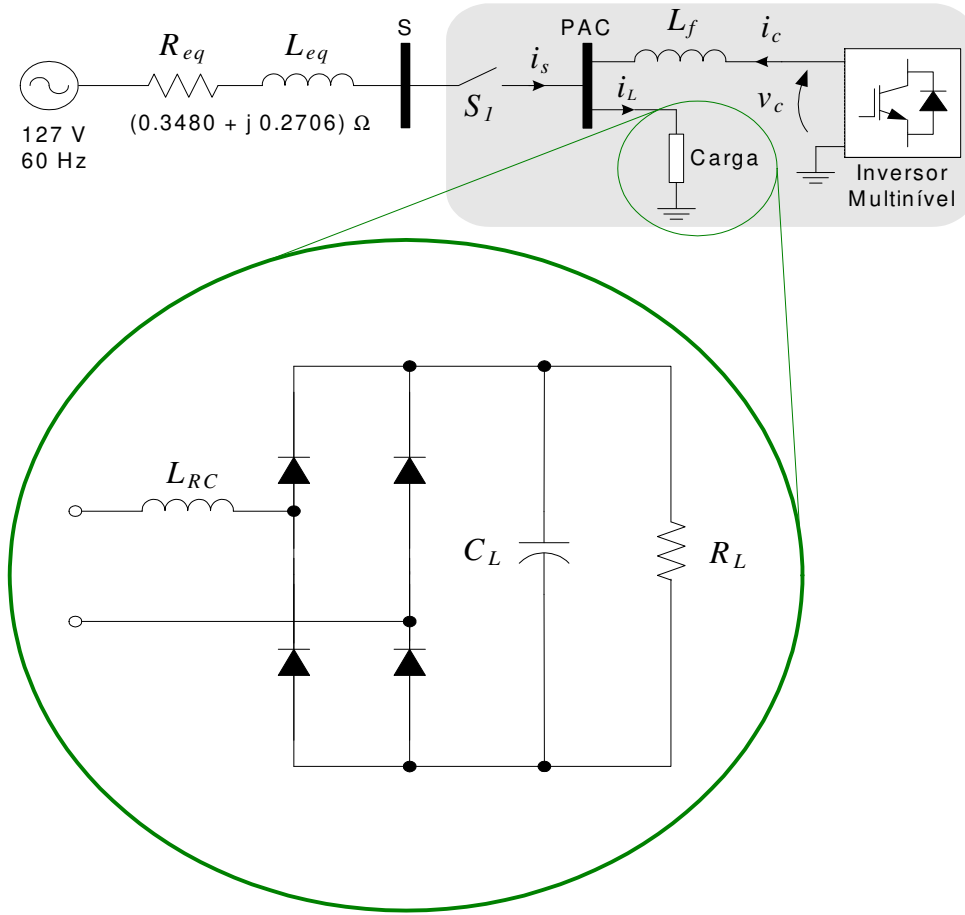


Fig. 4.1: Carga não-linear considerada como conectada à barra PAC para a obtenção dos resultados.

A figura 4.1 exibe, além do tipo de carga adotado, a topologia do sistema monofásico de geração distribuída descrita ao longo dos capítulos anteriores. Os valores adotados para os parâmetros do sistema apresentado na figura 4.1 estão listados na tabela 4.1. Em função dos valores baixos que elas apresentam, as resistências R_{L_f} e $R_{L_{RC}}$ podem ser desprezadas.

A partir do valor adotado para o valor de pico da tensão máxima do inversor multinível, pode-se calcular os valores das tensões que constituirão os barramentos CC da topologia cascata assimétrica. Uma vez que o inversor multinível elabora uma tensão de saída composta por 19 níveis na configuração com PWM (ou 1 : 2 : 6), a equação 2.2 pode ser utilizada para o cálculo do valor da tensão CC V_1 . Assim, tem-se que:

$$V_1 = \frac{1,15 \times 127\sqrt{2}}{\left(\frac{1V_1}{V_1} + \frac{2V_1}{V_1} + \frac{6V_1}{V_1}\right)} = \frac{206,546V}{(1 + 2 + 6)} \rightarrow V_1 \approx 23V \quad (4.1)$$

Mediante o conhecimento do valor requerido para a tensão V_1 obtido na equação 4.1, pode-se

Tab. 4.1: Valores adotados para os parâmetros do sistema de teste exibido na figura 4.1.

<i>Descrição</i>	<i>Parâmetro</i>	<i>Valor</i>	<i>Unidade</i>
Valor de pico da tensão de saída do inversor multinível	$v_{c_{pico}}$	$1,15 \times 127\sqrt{2}$	V
Indutância de acoplamento do SEPL	L_f	3,85	mH
Resistência da indutância de acoplamento	R_{L_f}	0,01	Ω
Indutância equivalente do SEPA	L_{eq}	0,70	mH
Resistência equivalente do SEPA	R_{eq}	0,35	Ω
Indutância de entrada do retificador em ponte	L_{RC}	4	mH
Resistência de entrada do retificador em ponte	$R_{L_{RC}}$	0,01	Ω
Capacitância de saída do retificador em ponte	C_L	470	μF
Carga alimentada pelo retificador em ponte	R_L	100 – 200	Ω

determinar os valores necessários para as tensões V_2 e V_3 conforme as equações 4.2 e 4.3.

$$V_2 = 2V_1 \rightarrow V_2 \approx 2 \times 23V \rightarrow V_2 \approx 46V \quad (4.2)$$

$$V_3 = 6V_1 \rightarrow V_3 \approx 6 \times 23V \rightarrow V_3 \approx 138V \quad (4.3)$$

Após a caracterização da topologia e da quantificação dos parâmetros relacionados ao circuito da figura 4.1, pode-se determinar as características de operação do sistema de geração distribuída para a obtenção dos resultados. No capítulo 3 foram descritos os métodos de projeto dos controladores envolvidos. A seguir, tais métodos são utilizados para se especificar os parâmetros dos controlados de acordo com os critérios estabelecidos. Em seguida, são apresentados os resultados de simulação e os resultados experimentais obtidos. Ao final do capítulo, são feitas conclusões a partir da comparação dos resultados obtidos.

4.2 Especificação dos controladores

A operação do sistema monofásico de geração distribuída proposto nos modos compartilhado e ilhado da figura 3.1 envolve o uso de três controladores principais. O controlador de corrente do inversor do tipo PI_c , o controlador de potência média fornecida ao SEPA do tipo PI_p e o controlador da tensão na carga do tipo P+Ress.

Para obter os valores dos parâmetros dos controladores PI_c e PI_p , é necessário determinar dois requisitos de projeto: as margens de fase desejadas (MF_c e MF_p) e a frequência de corte de cada sistema de controle (ω_{ctc} e ω_{ctp}). Uma vez que a frequência de amostragem dos sinais no protótipo e a frequência de passo da simulação correspondem ambas a 36kHz, a frequência de corte do controlador

Tab. 4.2: Parâmetros adotados para os controladores de corrente PI_c e de potência média PI_p .

<i>Controlador PI_c</i>	<i>Controlador PI_p</i>
$MF_c = \pi \cdot (70^\circ/180^\circ) \text{ rad}$	$MF_p = \pi \cdot (70^\circ/180^\circ) \text{ rad}$
$\omega_{ct_c} = 2\pi \cdot 3600 \text{ rad/s}$	$\omega_{ct_p} = 2\pi \cdot 10 \text{ rad/s}$
$k_{p_c} = 74,37228879851907$	$k_{p_p} = 0,000017635415$
$k_{i_c} = 612293,1268343417$	$k_{i_p} = 0,004548895464$
$T_{i_c} = k_{p_c}/k_{i_c} = 0,00012146517009 \text{ s}$	$T_{i_p} = k_{p_p}/k_{i_p} = 0,0038768564476 \text{ s}$
—	$\omega_0 = 2\pi \cdot 15 \text{ rad/s}$
—	$V_{pico} = 127\sqrt{2} \text{ V}$

PI_c pode ser escolhida como sendo 10 vezes menor do que 36kHz, ou seja, $\omega_{ct_c}=3,6\text{kHz}$. O controlador PI_p opera com sinais oriundos de média aritmética e cujas maiores componentes espectrais estão concentradas próximas a 0Hz. Dessa forma, a frequência de corte do controlador PI_p pode ser definida como 10Hz para permitir uma resposta em frequência uniforme para frequências inferiores a 1Hz. Segundo [67], é usual que a margem de fase possua valores entre 70° e 85° . Optando pelo valor de 70° como referência para ambas as margens de fase, pode-se aplicar tais considerações nas equações 3.13, 3.14, 3.37 e 3.38. A tabela 4.2 exibe um resumo das operações efetuadas com tais equações e os respectivos valores obtidos para os parâmetros dos controladores PI_c e PI_p .

A figura 4.2 exibe a resposta em frequência da malha de controle de corrente antes e depois do emprego do controlador PI_c . Conforme indicado pelas setas, pode-se perceber que a margem de fase desejada (70°) é obtida na frequência de corte do controlador PI_c (3,6kHz). Com isso, os parâmetros calculados para o controlador PI_c permitem que o controle da corrente do inversor i_c seja feito conforme os pré-requisitos de projeto.

A figura 4.3 exibe a resposta em frequência da malha de controle de potência média fornecida ao SEPA antes e depois do emprego do controlador PI_p . Através das setas, pode-se perceber que a margem de fase desejada (70°) é obtida na frequência de corte do controlador PI_p (10Hz). Assim como ocorreu para o controlador de corrente, a verificação dos valores desejados para o controlador de potência média sugere que os métodos adotados durante o projeto estão corretos.

O controlador da tensão na carga do tipo P+Ress pode ser especificado mediante o cumprimento das etapas apresentadas na tabela 3.5. Considerando que a ação ressonante do controlador deve ocorrer em 60Hz, tal tabela pode ser percorrida conforme as etapas apresentados na tabela 4.2. Ao final das tarefas, são obtidos os parâmetros do controlador P+Ress para que haja uma resposta dinâmica conforme o desejado.

Os dados obtidos na etapa VIII da tabela 4.2 correspondem à função de transferência em malha aberta do método de controle da tensão na carga durante o modo ilhado. Para que os critérios de

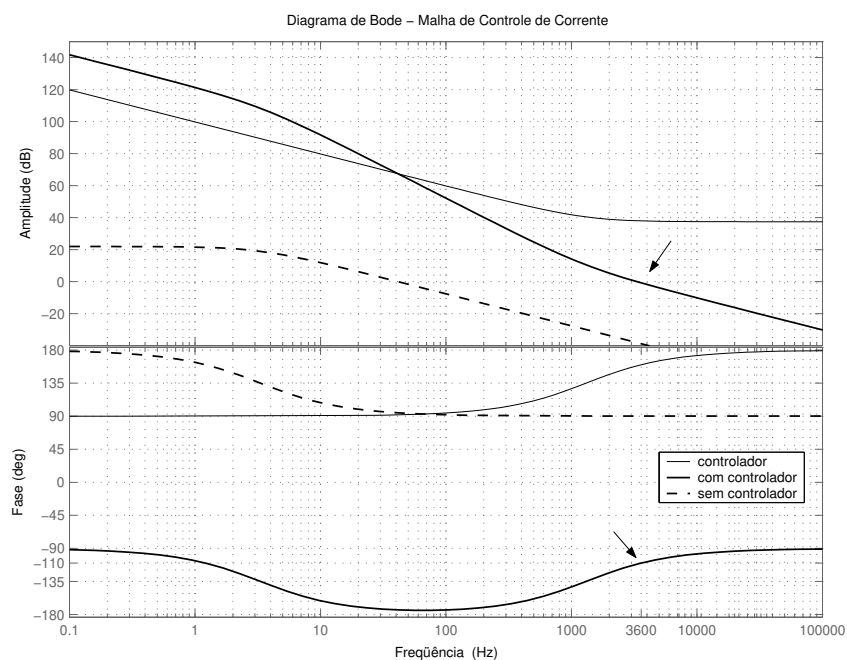


Fig. 4.2: Resposta em frequência da malha fechada do método de controle da corrente de saída do inversor multinível da figura 3.3 para os parâmetros obtidos na tabela 4.2.

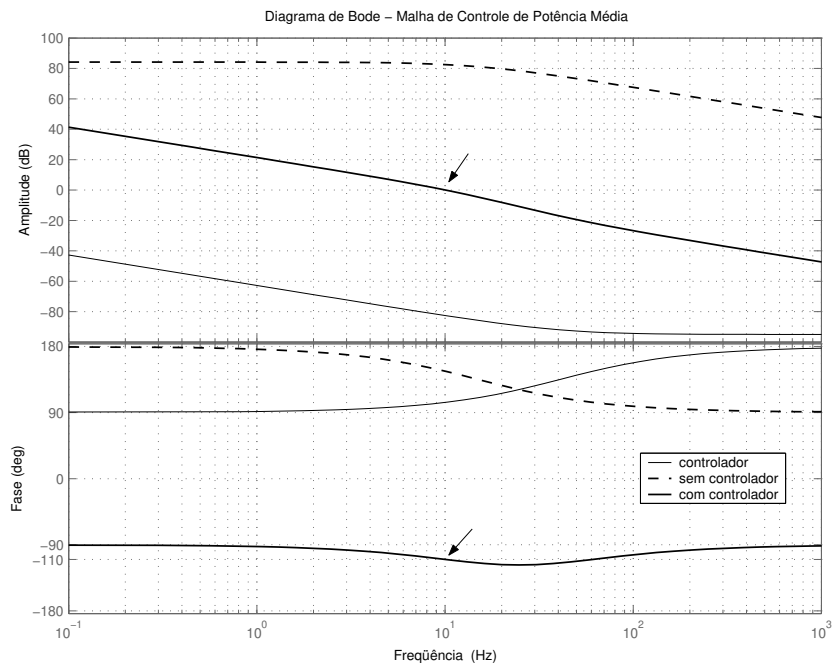


Fig. 4.3: Resposta em frequência da malha fechada do método de controle da potência média (ativa) fornecida ao SEPA da figura 3.4 para os parâmetros obtidos na tabela 4.2.

Tab. 4.3: Valores obtidos ao se percorrer o método de projeto do controlador P+Ress da tabela 3.5.

<i>Etapa</i>	<i>Resultado obtido ao final da etapa</i>	<i>Equação</i>
I	$\omega_1 = 2\pi 60 \text{ rad/s}$	—
II	$\alpha_1 = 1$	3.54
III	$\tau_v = 20\% \text{ de } (2\pi/\omega_1) \rightarrow \tau_v = 0,003333 \text{ s}$	—
IV	$k_v = 1,59042571610297$	3.90
V	$0,001668 < (\tau_v = 0,003333) < 0,003336 \quad \checkmark$	3.89
VI	$\beta_1 = 754,515$	3.88
VII	$753,982 < (\beta_1 = 754,515) < 1507,964 \quad \checkmark$	3.76
VIII	$= 1 + \left[\frac{754,515s}{(s^2 + 142122,3033756867)} \right]$	3.43

projeto sejam checados, é preciso analisar a resposta em malha fechada para um sinal de referência senoidal de 1pu. A figura 4.4 exibe essa resposta em malha fechada para o controlador P+Ress especificado na tabela 4.2. A partir das marcações na figura, nota-se que a envoltória aproximada possui uma constante de tempo equivalente àquela utilizada como critério de projeto (etapa III da tabela 4.2). Tal verificação valida o método de projeto apresentado no capítulo 3 para esse tipo de controlador e garante uma maior estabilidade relativa do sistema de controle da tensão na carga.

4.3 Aspectos do modelo computacional

Após a definição da topologia a ser considerada no sistema monofásico de geração distribuída, bem como a especificação de seus parâmetros de controle da operação, pode-se iniciar as verificações das características descritas até então. Inicialmente, tais informações são exploradas a partir de resultados obtidos em simulações computacionais. O ambiente de simulação foi elaborado no software PSIM [68]. Uma visão geral desse ambiente é apresentada na figura 4.44, localizada ao final deste capítulo.

Para as simulações computacionais, considerou-se que os dispositivos semicondutores do tipo IGBT que compõem o inversor multinível são ideais. A comutação desses dispositivos é controlada por pulsos de disparo que não são fornecidos por *drivers* de acionamento. Tais sinais de controle são fornecidos diretamente pela estratégia de modulação considerada.

Os controladores do sistema proposto são modelados através de suas funções de transferência no domínio s . A discretização de suas funções não é considerada uma vez que o passo da simulação é relativamente pequeno ($\approx 5,56\mu\text{s}$). Porém, por se tratar de controladores analógicos, os sinais de entrada dos controladores são anulados sempre que o respectivo controlador não estiver em uso.

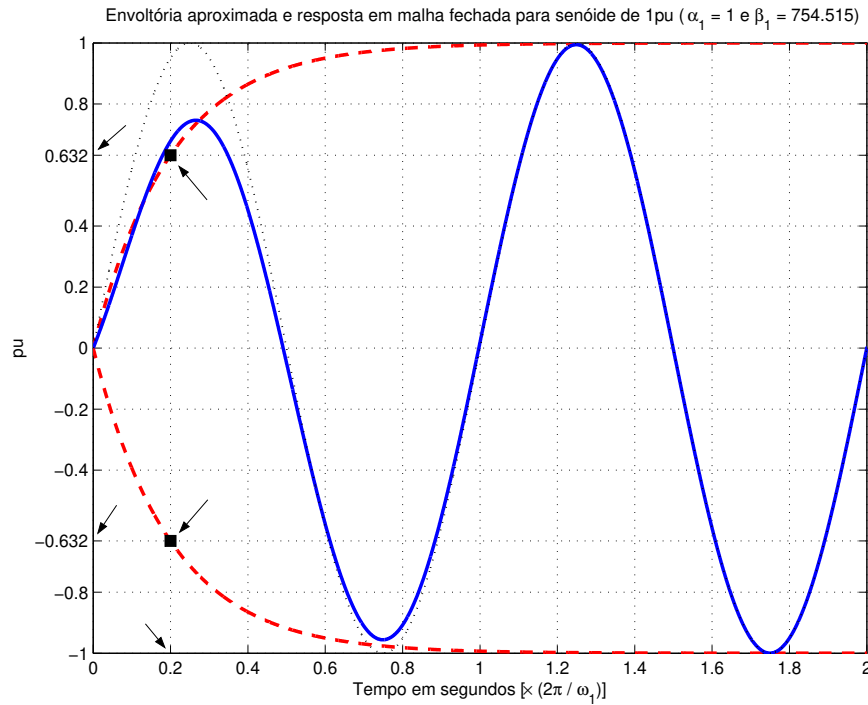


Fig. 4.4: Resposta em malha fechada do método de controle da tensão na carga para uma referência senoidal de 1pu e considerando os parâmetros do controlador P+Ress equivalentes aos da tabela 4.2.

Algumas funções específicas, tais como cálculo de média-móvel ou cálculo do valor eficaz, foram implementadas na linguagem C/C++ e, posteriormente, armazenadas em arquivos DLL. O PSIM importa as rotinas presentes em tais arquivos DLL em um bloco do modelo para, em seguida, executar as tarefas desejadas para o modelo computacional. A elaboração dos sinais de saída deste bloco dependem do passo de simulação adotado. Dessa forma, os arquivos DLL implementados referem-se a um passo de simulação de aproximadamente $5,56\mu s$.

O gerenciamento da operação do sistema proposto no modelo computacional também é baseada em arquivos DLL. Assim, rotinas como a determinação do estado correto para a chave S_1 , a elaboração das ações de perturbação para detectar situações de ilhamento, os ajustes de sincronização necessários para uma religação e outras, são baseadas na importação de arquivos DLL. Essa opção foi escolhida para facilitar a adaptação das rotinas do modelo computacional durante a implementação do protótipo experimental. Isso porque o gerenciamento do protótipo é baseado em um DSP de 32 bits que é programado na linguagem C/C++.

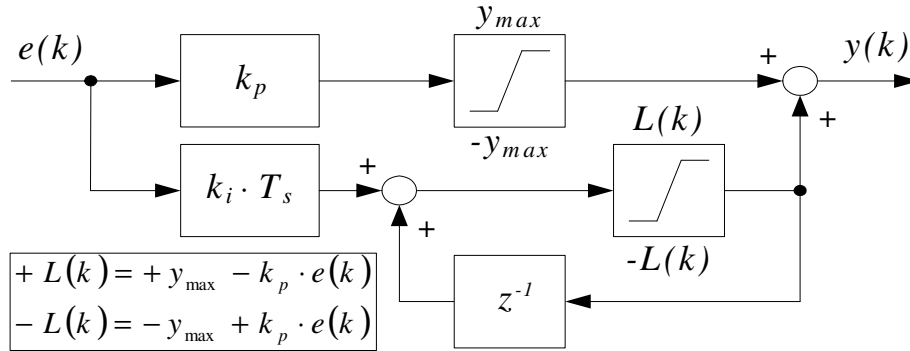


Fig. 4.5: Diagrama de blocos do controlador do tipo PI com saturação dinâmica.

4.4 Aspectos da implementação

Para que fosse possível uma comparação, os resultados experimentais foram obtidos mediante o uso da mesma topologia, do mesmo tipo de carga e sob os mesmos parâmetros de operação adotados durante as simulações computacionais. Mesmo assim, há determinadas condições que podem ser desprezadas ou aproximadas de forma a facilitar a implementação do protótipo. Tais ações podem ser feitas desde que elas não prejudiquem o comportamento esperado do sistema proposto durante sua operação.

Por se tratar de uma implementação que contém uma parte digital baseada em DSP, os equivalentes no domínio z para os controladores envolvidos são calculados mediante a transformação bilinear. Além disso, os controladores PI_c e PI_p foram implementados com características não-lineares. Para estes utilizou-se uma estrutura com saturação dinâmica (*anti-wind-up*) na qual o limite de restrição à ação integral sobre o sinal de entrada depende da parcela já associada à ação proporcional, que também é limitada. Ao privilegiar a ação proporcional, tal estrutura evita que haja sobre-sinais na saída total do controlador e favorece a resposta dinâmica durante momentos transitórios [50, 69, 70]. A figura 4.5 exibe o diagrama de blocos do controlador do tipo PI com a saturação dinâmica. Conforme a figura, a ação integral é limitada pela faixa de valores $\pm L(k)$, cuja expressão depende da diferença entre a saída proporcional e a máxima saída desejável. Além das saturações envolvidas nas ações integral e proporcional, nota-se que o novo ganho integral é formado pela multiplicação do ganho integral tradicional (k_i) com o período de amostragem (T_s). Essa multiplicação é feita por se tratar de uma implementação digital na qual o intervalo de integração equivale ao período de amostragem.

Além dos controladores PI_c e PI_p , o controlador do tipo P+Res também foi implementado de uma forma diferente. Conforme pode ser observado na resposta em frequência de um controlador P+Res ideal exibida na figura 3.13, o ângulo de fase se mantém estável por todo o espectro exceto nas proximidades da frequência de ressonância. Nesta região, o ângulo de fase apresenta uma alta

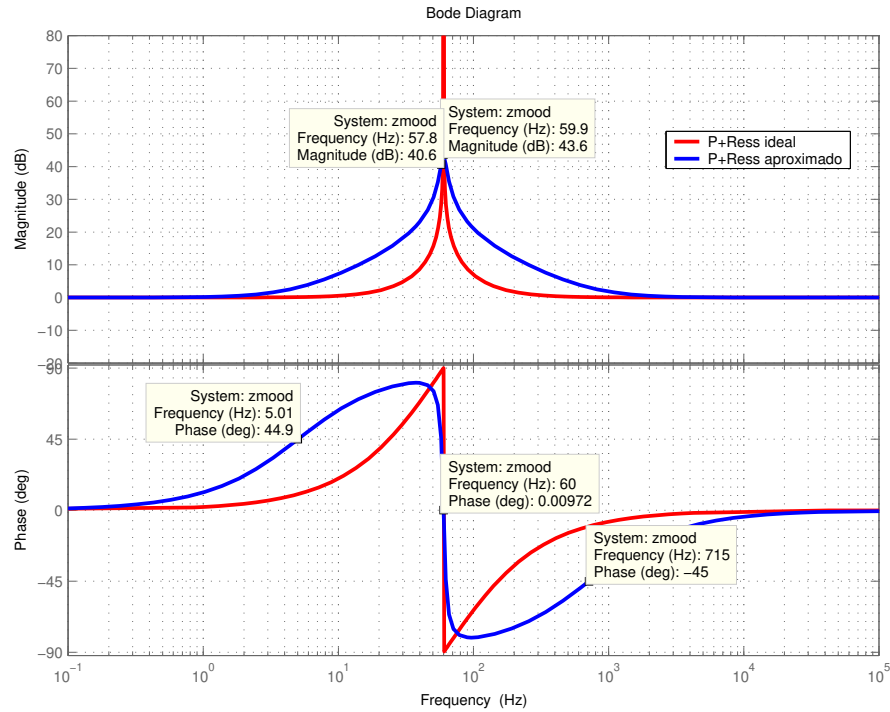


Fig. 4.6: Respostas em frequência do controlador tipo P+Ress ideal e de sua aproximação.

taxa de variação e qualquer pequeno desvio de frequência pode ocasionar em uma grande variação de fase. Outra característica do controlador P+Ress ideal é que o seu ganho tende a um valor infinito quando a frequência novamente se aproxima da frequência de ressonância, e um ganho exagerado pode comprometer a estabilidade do sistema em malha fechada.

Como solução a tais dificuldades, pode-se modificar a parte ressonante do controlador. Assim, a função de transferência do controlador [P+Ress] exibida na equação 3.43 pode ser aproximada pela função [P+Ress]₂ exibida na equação 4.4 [62].

$$[P+Ress]_2(s) = \alpha_1 + \frac{2K_i\omega_c s}{s^2 + 2\omega_c s + \omega_1^2} \quad (4.4)$$

Tal aproximação permite que seja formada uma banda de passagem em torno da frequência de ressonância, além de possibilitar um ganho finito na frequência de ressonância e uma variação de fase mais suave nesta vizinhança. Essas características podem ser observadas a partir da figura 4.6.

É possível notar também que apesar do ganho ser limitado na frequência de ressonância, o seu valor ainda é suficiente para que função aproximada seja capaz de tornar nulo um sinal de entrada com frequência de oscilação equivalente à frequência de ressonância. A faixa de passagem em torno da

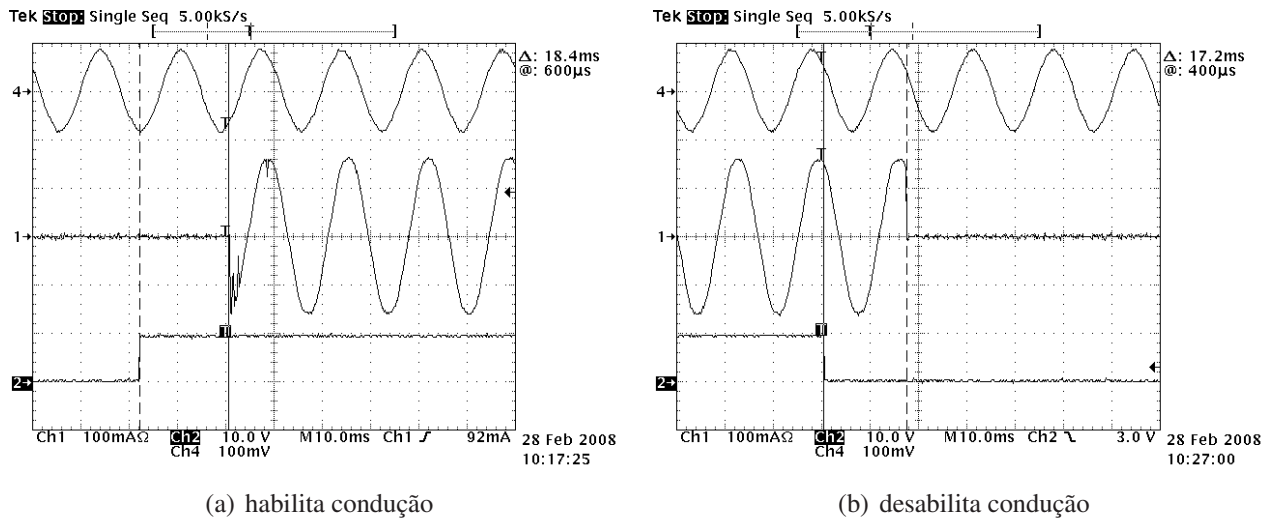


Fig. 4.7: Atrasos verificados durante o uso de um relé de estado sólido associado com uma chave contatora para controlar a alimentação de uma carga resistiva. Em ambas: corrente de alimentação (Ch1: 1A/div); sinal de controle do relé (Ch2: 10V/div); e tensão de alimentação (Ch4: 200V/div).

frequência de ressonância é controlada pelo parâmetro ω_c da função aproximada exibida na equação 4.4. Um valor alto para ω_c permite que sinais de outras frequências também sejam amplificadas e um baixo valor para ω_c diminui a dinâmica do sinal de saída do controlador. As referências [25, 62] sugerem que o parâmetro admita valores práticos entre 5 e 15 rad/s. Neste trabalho optou-se por $\omega_c = 15$ rad/s para tornar mais suave a variação de fase do controlador próximo à frequência de ressonância. O parâmetro α_1 da função aproximada do controlador P+Ress equivale ao especificado na tabela 4.2 e o parâmetro K_i equivale a aproximadamente $\frac{1}{5}$ do valor de β_1 . Como referência, para a elaboração da figura 4.6, utilizou-se $\omega_c = 15$ rad/s, $\alpha_1 = 1$ e $K_i = 150$. Tais valores, inclusive, correspondem àqueles adotados no controlador P+Ress da equação 4.4 para a obtenção dos resultados experimentais.

Inicialmente, uma chave contatora foi escolhida para representar a chave bidirecional S_1 que interliga o SEPA e o SEPL. Para que a abertura e o fechamento de seus contatos fosse controlada a partir do DSP, optou-se por utilizar um relé de estado sólido para acionar a bobina de magnetização da chave contatora. Nesta configuração, o relé de estado sólido faria o papel de uma botoeira em tipo de ligação direta. Porém, tal idéia foi substituída pelo uso de um relé de estado sólido bidirecional apenas. Além de diminuir o número de elementos com funções redundantes na implementação, tal substituição foi motivada também em função dos atrasos verificados nas mudanças de estado do conjunto. A figura 4.7 exibe tais atrasos durante o início e o fim da condução de corrente elétrica pela chave contatora. Entre os instantes em que ocorrem as variações no sinal de controle e os respectivos instantes nos quais o conjunto é realmente ligado ou desligado, os intervalos de tempo observados são de aproximadamente um período de 60Hz. Dessa forma, tais atrasos poderiam comprometer a

operação do sistema proposto durante as transições dos modos de operação. A detecção e o término de uma condição de ilhamento se tornariam mais demorados, o quê contraria a necessidade do sistema proposto em identificar e agir rapidamente sob tal condição. Além disso, a religação entre o SEPA e o SEPL poderia ser comprometida caso o sincronismo obtido deixasse de vigorar durante o atraso de resposta do conjunto descartado. Portanto, para sistemas de geração distribuída baseados em conversores eletrônicos de potência, a velocidade de atuação pode ser um dos critérios de escolha para o dispositivo de interligação.

A frequência de amostragem adotada foi de 36kHz. Portanto, o período de amostragem T_s equivale ao valor exibido na equação 4.5. A amostragem é realizada nos limites máximo e mínimo de um contador do DSP que alterna sequências crescentes e decrescentes de contagem.

$$T_s = \frac{1}{f_s} = \frac{1}{36000\text{Hz}} = 27,777778 \mu\text{s} \quad (4.5)$$

A modulação PWM no módulo de menor tensão (cuja tensão CC é V_1) do inversor multinível foi implementada numa frequência de 18kHz (f_{PWM}). Tal valor equivale à metade do valor adotado para a frequência de amostragem. Isso possibilita a leitura de duas amostras a cada ciclo da frequência f_{PWM} .

O DSP utilizado na implementação é o TMS320F2812 da TEXAS INSTRUMENTS, disponibilizado através do *starter kit* F2812 eZdsp (DSK) TMDSEZD2812 [71]. A frequência do *clock* do DSP é de até 150MHz e o *starter kit* contém um conversor A/D de 12 bits de 16 canais. Por esses canais, foram lidas as amostras dos sinais de tensão e de corrente obtidos através de placas eletrônicas de condicionamento de sinais. Essas placas foram elaboradas a partir de sensores de efeito Hall, amplificadores operacionais, circuitos diferenciais e outros componentes passivos. Outros detalhes sobre as placas de condicionamento de sinais e o software desenvolvido no DSP estão disponíveis nos Apêndices.

4.5 Resultados

Nesta seção, os resultados alcançados são apresentados em duas etapas. Essa separação decorre do elemento de filtragem adotado para acoplar o inversor multinível ao PAC. Primeiramente, caso o elemento de filtragem adotado seja um filtro de 1ª ordem (ou filtro L), o SEPL correspondente pode ser referenciado pelo termo “SEPL original” por envolver condições e as características tratadas até então neste documento. Em seguida, caso um filtro de 2ª ordem (filtro LC) seja utilizado no acoplamento, o SEPL para esta configuração é referenciado por “SEPL com filtro LC”. Razões que justificam a escolha por um filtro de 2ª ordem também são apresentadas na segunda parte.

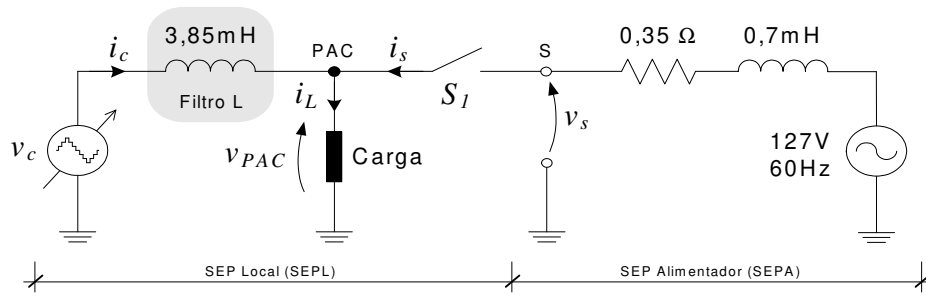
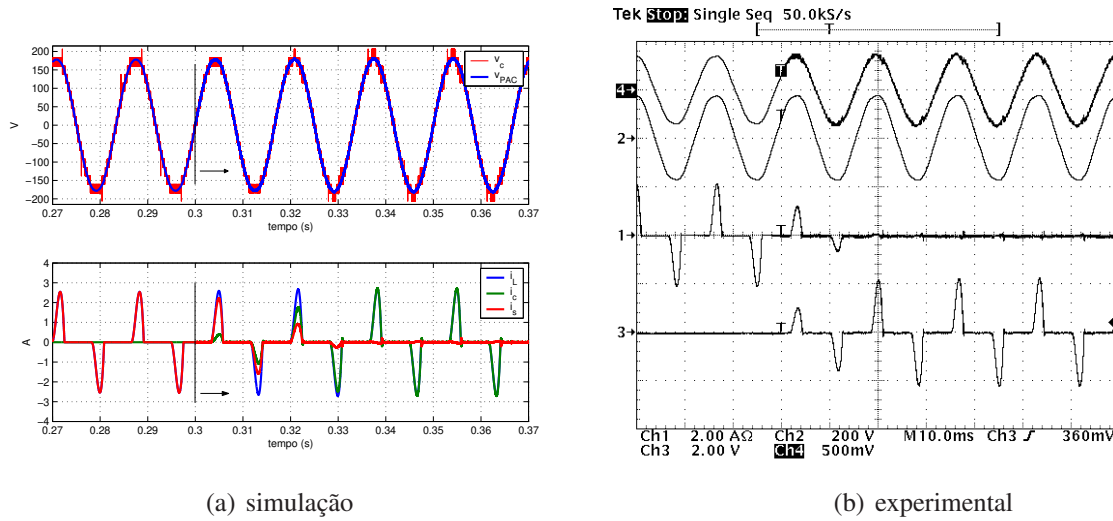


Fig. 4.8: Circuito elétrico equivalente do sistema proposto durante a obtenção dos resultados.



(a) simulação

(b) experimental

Fig. 4.9: Conexão do inversor multinível ao PAC e início da operação do sistema proposto. Em (b): i_s (Ch1: 2A/div); v_{PAC} (Ch2: 200V/div); i_c (Ch3: 2A/div); e v_c (Ch4: 250V/div).

4.5.1 SEPL original

O modelo monofásico do sistema proposto considerando o uso de filtro de 1ª ordem é exibido na figura 4.8. Nesta figura também se define a notação simbólica das variáveis elétricas de interesse para monitoramento. Os dados de operação do sistema proposto são apresentados de forma gráfica e a distinção entre eles é feita conforme a notação de sinais da figura 4.8. Vale ressaltar que a carga escolhida para ser conectada à barra PAC corresponde à carga não-linear da figura 4.1.

Inicialmente o SEPL está desconectado da barra PAC. Essa condição de desconexão é mantida enquanto o sistema de geração proposto permanecer inativo por interesse ou em função da escassez de energia armazenada nos barramentos CC do inversor multinível, associados à(s) fonte(s) primária(s) da aplicação. A figura 4.9 exhibe o início da operação do sistema proposto mediante a transição entre os estados inativo e ativo. Conforme a máquina de estados da figura 3.1, após ser ativado, o sistema proposto deve iniciar as suas ações sempre no modo compartilhado de operação.

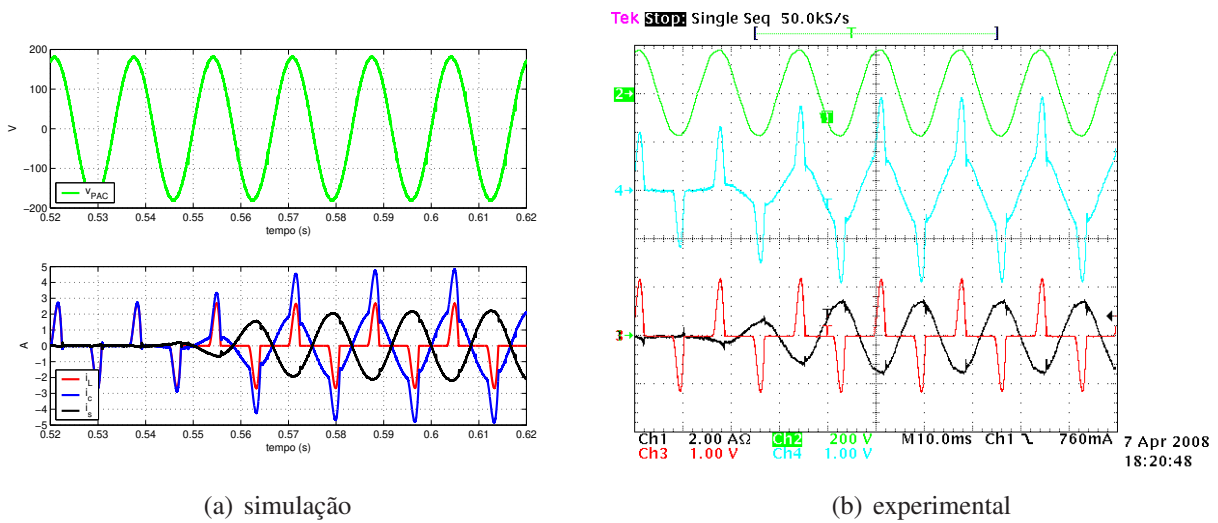
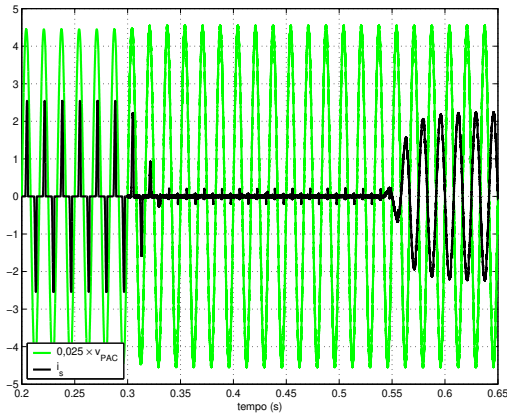


Fig. 4.10: Início do fornecimento de potência ativa do SEPL para o SEPA. Em (b): i_s (Ch1: 2A/div); v_{PAC} (Ch2: 200V/div); i_L (Ch3: 2A/div); e i_c (Ch4: 2A/div).

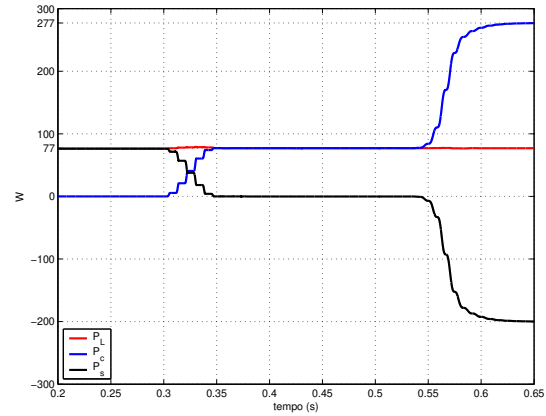
No modo compartilhado, o inversor multinível supre a alimentação integral da carga e ainda é capaz de fornecer uma parcela adicional de energia ao SEPA. A fim de se evitar atuações indesejadas de dispositivos de proteção localizados no SEPA, no inversor multinível e na carga, a alimentação integral da carga é transferida de forma gradativa do SEPA para o SEPL. Essa transição gradativa da carga pode ser verificada na figura 4.9. Percebe-se também que o fornecimento de potência ativa ao SEPA não é iniciado tão logo o sistema proposto é ativado. Pela mesma razão, assume-se primeiramente a alimentação integral da carga para, em seguida, iniciar tal fornecimento. Além de não estimular a ação de dispositivos de proteção, tal procedimento auxilia na manutenção das tensões CC em seus respectivos valores de referência por parte de sistemas de controle dedicados. Estes são estimulados por variações na potência de saída do inversor e caso elas sejam variações gradativas, não serão necessárias ações de correção imediatas nos barramentos CC do inversor. Tal condição contribui para um melhor funcionamento da(s) fonte(s) primária(s) envolvida(s), principalmente se ela(s) apresenta(m) resposta(s) transitória(s) super-amortecida(s).

Sendo assim, após a estabilização da alimentação integral da carga por parte do SEPL, este pode iniciar o fornecimento de uma parcela adicional de energia ao SEPA. A figura 4.10 exibe o início do fornecimento de potência ativa ao SEPA. Assim como ocorreu com a transferência de carga do SEPA para o SEPL, essa operação também é iniciada de forma gradativa. A injeção de energia no SEPA pode ser verificada pela defasagem de 180° existente entre a tensão v_{PAC} e a corrente i_s .

A figura 4.11 apresenta uma visão geral da operação do sistema proposto no modo compartilhado. A partir de variações na corrente i_s associada ao SEPA, pode-se verificar o início das operações do sistema proposto. A partir do instante $t=0,3s$, ocorre a transferência gradativa da alimentação da carga



(a) simulação



(b) simulação

Fig. 4.11: Verificação de inversão de fase entre v_{PAC} e i_s indicando uma injeção de energia no SEPA (a) e comportamento das potências ativas durante a operação no modo compartilhado (b).

do SEPA para o SEPL até que ela seja totalmente concluída com a indicação de uma corrente i_s nula. Em função da limitação do inversor em provocar variações bruscas na corrente de saída i_c , a corrente i_s não é completamente nula ao longo de um período de 60Hz. O SEPA mantém o fornecimento de pequenas parcelas de energia à carga sempre que ocorre uma elevada taxa de variação da corrente i_L . Tais transições bruscas estão relacionadas à característica não-linear da carga considerada. Apesar da limitação do inversor, tais transições não impediriam que a chave S_1 fosse aberta, a interligação entre o SEPA e o SEPL fosse desfeita e alimentação da carga permanecesse mantida. A partir do instante $t=0,54s$, o SEPL fornece a parcela da potência ativa disponibilizada ao SEPA. Nota-se que i_s e v_{PAC} apresentam, de fato, uma defasagem de 180° e que a potência de saída do inversor equivale à soma das potências requeridas ao longo da operação no modo compartilhado.

A partir das figuras 4.10 e 4.11, nota-se que a alimentação da carga não é prejudicada após as duas intervenções do sistema proposto. Para que esta condição seja sempre mantida, o resultado da soma das potências requerida pela carga e destinada ao SEPA sempre deve corresponder a um valor menor do que a máxima potência CC armazenada no inversor multinível. Caso a relação entre as potências de saída e de entrada no inversor esteja próximo de seu valor unitário, deve-se priorizar a alimentação da carga. Ou seja, mediante uma demanda maior de energia por parte da carga, deve-se diminuir o montante de energia destinada ao SEPA de forma a não comprometer a alimentação de ambos.

Após ser ativado e mantido em operação no modo compartilhado, o sistema proposto requer que uma condição de ilhamento seja detectada para que sua operação migre para o modo ilhado. Tal recurso do sistema proposto pode ser explorado considerando uma interrupção forçada na disponibilidade de fornecimento de energia elétrica a partir do SEPA. Considerando que o sistema proposto

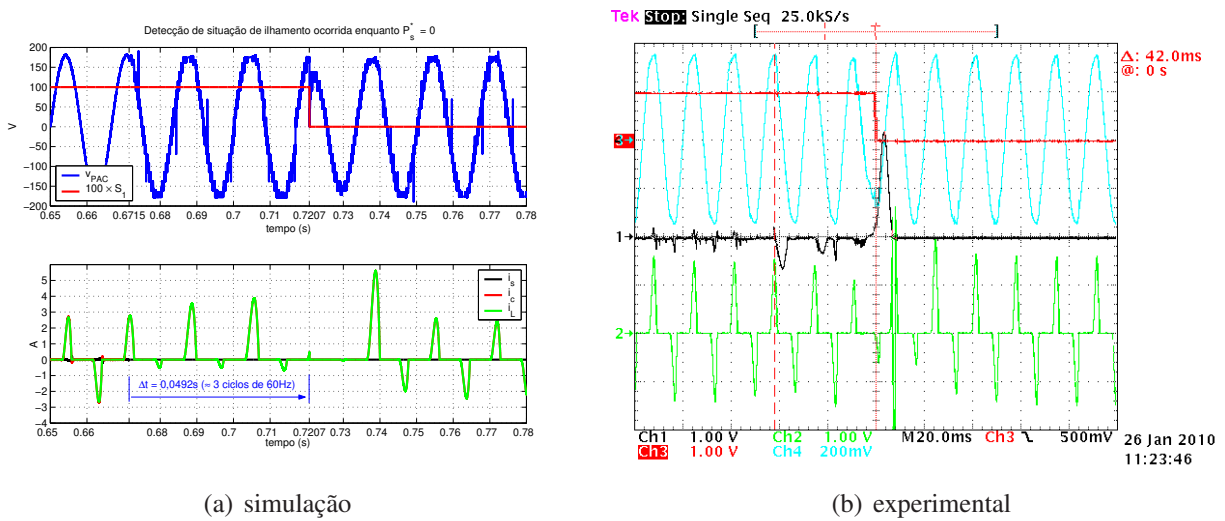


Fig. 4.12: Detecção da condição de ilhamento quando não havia fornecimento de potência ativa para o SEPA ($P_s^* = 0$). Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

já esteja ativo, operando no modo compartilhado mas sem, por interesse, fornecer energia ao SEPA ($P_s^* = 0$), uma condição forçada de ilhamento pode ser detectada conforme é exibido na figura 4.12. As distorções na frequência de oscilação da tensão v_{PAC} causadas pelo método de detecção do ilhamento resultam em uma violação da frequência f_{PAC} e, conseqüentemente, na abertura da chave S_1 . Conforme a figura 4.12, o processo de perturbação da frequência permitiu que a condição de ilhamento fosse detectada com um atraso de aproximadamente 3 ciclos de 60Hz. Apesar de corresponder a um longo período com relação à operação do inversor multinível sob condições adversas, tal intervalo de tempo ainda é inferior ao prazo máximo de detecção estabelecido em [3], que é de aproximadamente 10 ciclos de 60Hz para SEPL's inferiores a 30kW.

De acordo com a seção 3.3, a ocorrência de uma condição de ilhamento em uma interligação que envolva pequenas trocas de energia entre o SEPA e o SEPL pode não ser notada. Por outro lado, tal condição envolvendo trocas não desprezíveis de energia são facilmente detectadas. Essa variação é baseada na localização do ponto de operação analisado, se ela pertence ou não contido à região interna da zona de não-deteção do método empregado. Por essa razão o período de detecção do ilhamento para a uma condição $P_s^* = 0$ pode ser maior do que o período que seria verificado caso $P_s^* \neq 0$. Um exemplo dessa diferença no intervalo de detecção pode ser verificada a partir das figuras 4.13(a) e 4.13(b). Nota-se uma redução de aproximadamente 84% no intervalo de detecção da mesma condição de ilhamento.

As figuras 4.13(c) e 4.13(d) apresentam os comportamentos do valor eficaz da tensão na barra PAC V_{PAC}^{rms} e de sua respectiva frequência de oscilação f_{PAC} durante os períodos envolvidos na detecção

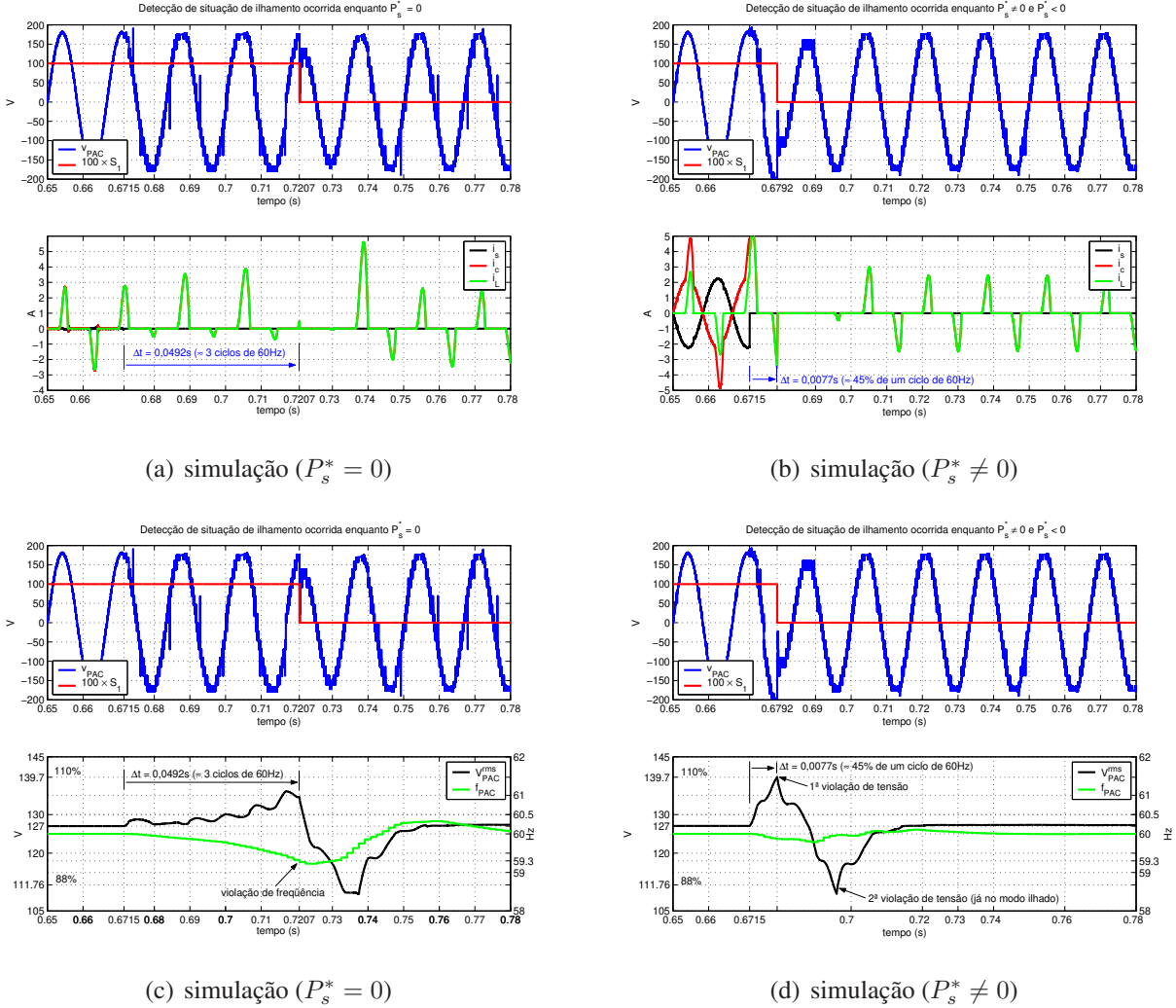


Fig. 4.13: Diferenças notadas no comportamento das grandezas elétricas a partir de ações do método de detecção de uma condição de ilhamento ocorrida enquanto havia ou não uma injeção de potência ativa no SEPA.

de uma mesma condição de ilhamento. É importante ressaltar que V_{PAC}^{rms} e f_{PAC} são os parâmetros utilizados para identificar a vigência ou não de uma situação de ilhamento no modo compartilhado. Nota-se que uma condição de ilhamento ocorrida enquanto $P_s^* = 0$ é detectada por violação de frequência. Enquanto $P_s^* \neq 0$, por violação de tensão. Na figura 4.13(d) são verificadas duas violações consecutivas de tensão. Porém, enquanto que a primeira violação de tensão provoca a abertura da chave S_1 , a segunda violação não produz efeitos sobre o sistema proposto uma vez que sua operação já era regida sob o modo ilhado.

Na condição $P_s^* = 0$, os períodos de detecção da condição de ilhamento são dependentes, principalmente, do comportamento do método de detecção. Conforme a seção 3.3, o método ativo de

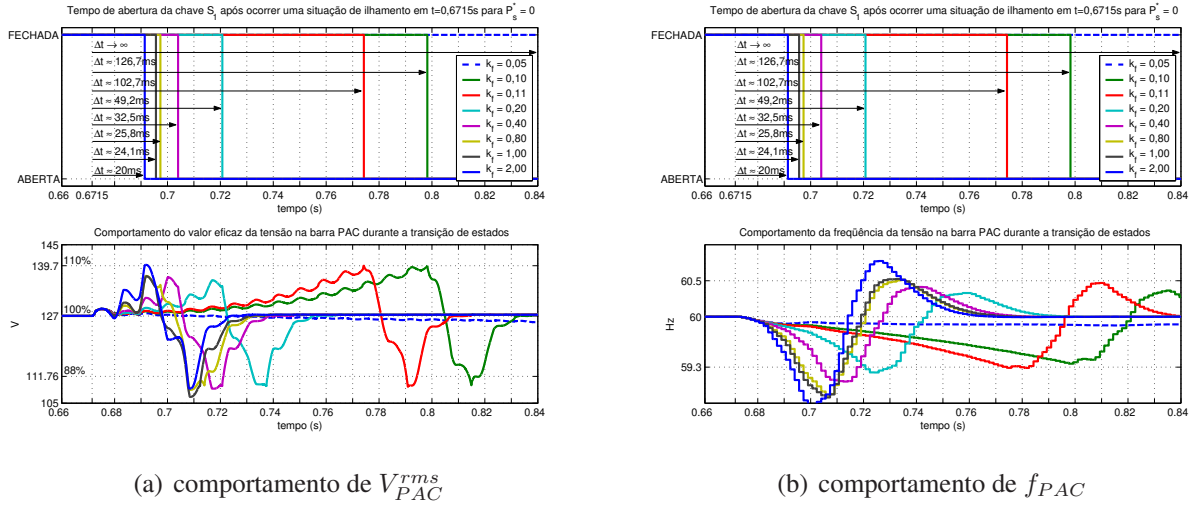


Fig. 4.14: Simulação — Relação entre o ganho de aceleração de recorte k_f e o tempo de detecção de uma situação de ilhamento considerando uma injeção de potência ativa nula no SEPA ($P_s^* = 0$).

detecção utilizado pode ter sua resposta transitória modificada a partir de variações no ganho de aceleração do recorte k_f . A figura 4.14 apresenta os tempos de abertura da chave S_1 para diferentes valores de k_f e para a mesma condição de ilhamento iniciada em $t=0,6715s$. Além dos tempos de abertura, são exibidos os comportamentos dos parâmetros cujos valores identificam o sucesso na detecção: V_{PAC}^{rms} e f_{PAC} . Nota-se que os tempos de abertura são proporcionais aos valores do ganho k_f . Para pequenos valores de k_f ($k_f < 0,1$), a condição de ilhamento não é detectada ou é detectada após intervalos de tempo maiores que o prazo máximo estabelecido em [3]. Assim, são faixas de valores indesejados. Por outro lado, para altos valores de k_f ($k_f \geq 0,8$), os tempos de detecção da condição de ilhamento são aproximadamente iguais e, em alguns casos, uma violação de tensão ocorre antes da violação de frequência. Apesar de promover tempos de detecção menores, não se recomenda que o ganho k_f possua valores elevados. Isso porque o método de detecção é executado de forma contínua durante o modo compartilhado. Para um método de detecção muito sensível (elevado ganho k_f), as situações que não representariam uma condição de ilhamento, como por exemplo uma variação na carga, poderiam ser interpretadas de forma errada e provocar uma abertura equivocada da chave S_1 durante uma operação normal do SEPA. Para garantir a detecção do ilhamento e também diminuir sua sensibilidade, adotou-se $k_f = 0,2$ no método ativo empregado.

Para a condição $P_s^* \neq 0$, os períodos de detecção da condição de ilhamento em função do valor de P_s^* não se diferenciam de forma significativa do valor exibido na figura 4.13(d). Isso porque, de forma independente ao valor vigente de P_s^* , é necessário calcular o valor eficaz da tensão na barra PAC para que a violação de tensão seja identificada. E este cálculo, por sua vez, inclui um atraso de aproximadamente meio ciclo de 60Hz. Tal qual o período de detecção exibido na figura 4.13(d).

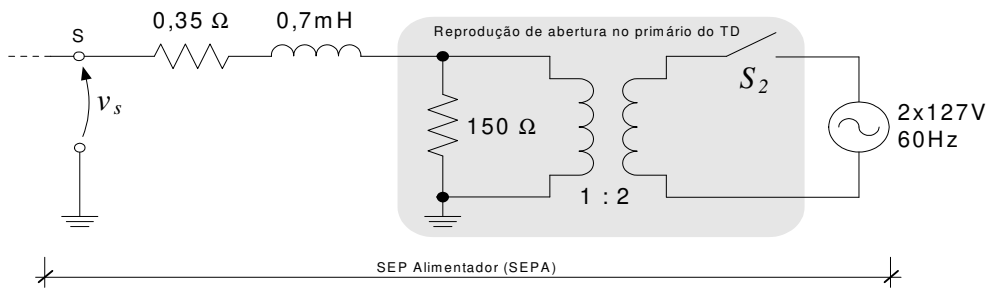


Fig. 4.15: Adaptação no SEPA para reproduzir uma condição de ilhamento provocada pela abertura de chave seccionadora S_2 no lado primário do transformador de distribuição (TD) vinculado ao PAC.

Até aqui, a condição forçada de ilhamento tem sido baseada na desconexão instantânea da barra S com o restante do SEPA mediante a abertura de uma chave bidirecional auxiliar. Porém, tal condição não representa uma manobra rotineira no SEPA exceto quando há o rompimento do ramal de ligação da unidade consumidora por elementos externos à rede de distribuição: queda de galhos das árvores sobre o ramal aéreo; movimentação de veículos de altura considerável sob o ramal aéreo; acidentes veiculares que resultam na queda de poste de distribuição e de iluminação associado a ramais aéreos e subterrâneos; etc.. Apesar de incomum, tal condição pode vir a ocorrer e os resultados já apresentados permitiram a análise da eficácia do método de detecção empregado.

Daqui em diante, a condição de ilhamento considerada representa uma manobra mais comum no SEPA: a abertura de uma chave seccionadora no lado primário de um transformador de distribuição. A figura 4.15 exhibe a maneira como tal condição foi reproduzida durante a análise do sistema proposto. Utilizou-se um transformador abaixador para provocar uma desigualdade entre as tensões primária e secundária, tal qual é em linhas primária e secundária de distribuição. A tensão primária segue a relação de espiras do transformador de forma a garantir a tensão nominal na barra PAC. A resistência de 150Ω conectada em paralelo ao circuito secundário representa os dispositivos de iluminação pública e/ou de sinalização semafórica alimentados pelo transformador de distribuição vinculado ao circuito de distribuição conectado ao PAC. Além deles, a resistência em paralelo pode representar também a conexão de outras unidades consumidoras ao mesmo circuito de distribuição do PAC. No âmbito experimental, a tensão primária foi obtida a partir de uma das tensões de linha de uma fonte trifásica de tensão ajustável (VARIAC) e a chave seccionadora S_2 corresponde a um relé de estado sólido cujo circuito de controle é independente daquele empregado na chave S_1 .

Para uma condição de ilhamento forçada mediante a abertura da chave S_2 no SEPA da figura 4.15, a figura 4.16 exhibe a maneira como se desenvolveu a detecção de tal condição de ilhamento, ocorrida enquanto não havia fornecimento de potência ativa para o SEPA. Nota-se que diferentemente daquilo que é exibido na figura 4.13(c), a condição de ilhamento foi detectada através de uma violação de tensão e um intervalo de tempo menor. Conforme é exibido na figura 4.16, o valor eficaz da tensão

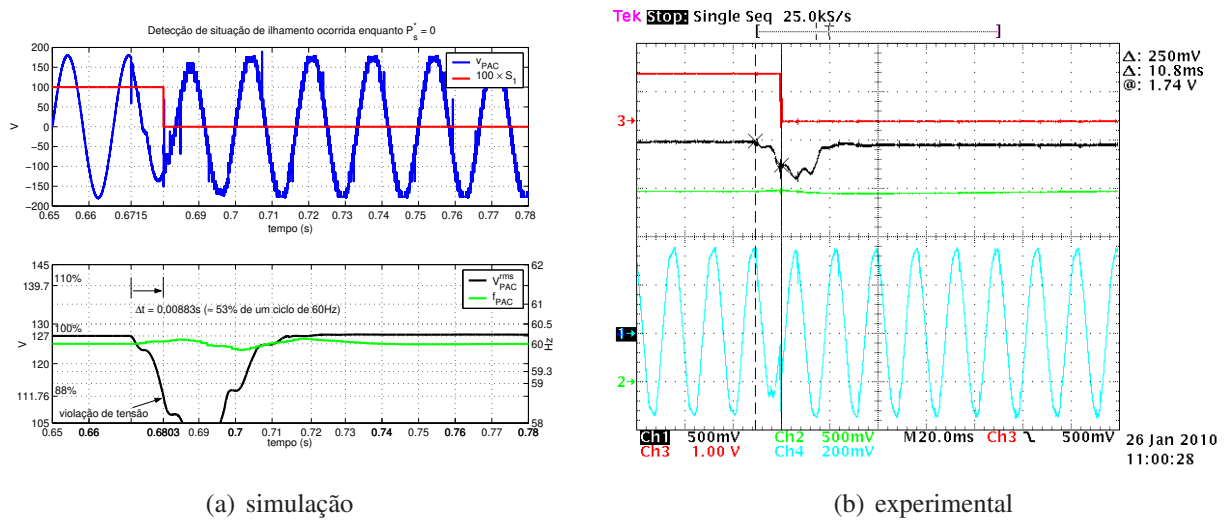


Fig. 4.16: Detecção de uma condição deilhamento por violação de tensão quando não havia fornecimento de potência ativa para o SEPA da figura 4.15 ($P_s^* = 0$). Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

na barra PAC tende a diminuir pois, no modo compartilhado, o inversor multinível opera como uma fonte de corrente controlada por tensão. Assim, após a abertura da chave S_2 , a tensão na barra PAC não é capaz de manter a magnetização do transformador, a alimentação da resistência de 150Ω e a alimentação da carga. Além disso, a resistência de 150Ω acelera a desmagnetização do transformador e, consequentemente, também a redução do valor eficaz da tensão na barra PAC.

Considerando que a condição de ilhamento já foi detectada, o sistema proposto opera no modo ilhado de forma independente ao método de detecção empregado e ao intervalo de tempo gasto na detecção. Tais características da detecção apenas aceleram ou retardam o início da operação no modo ilhado. Neste modo de operação, o inversor multinível torna-se uma fonte de tensão controlada por tensão e visa manter a tensão de alimentação na carga próxima de um sinal senoidal de referência. A figura 4.17 exibe as características de alimentação da carga não-linear conectada à barra PAC e, também, de operação do inversor multinível durante o modo ilhado. Por conta de uma maior escala de visualização, percebe-se cada um dos 19 níveis que compõem a tensão de saída do inversor multinível v_c . É possível notar que as formas de onda da tensão de saída do inversor v_c e do seu sinal de referência v_c^* são propositalmente deformadas de forma a compensar a queda de tensão presente na indutância do filtro L quando ela é percorrida pela corrente i_L . Essa compensação auxilia na tentativa de manter a tensão v_{PAC} próxima de seu sinal senoidal de referência v_{PAC}^* . A partir da forma de onda da corrente i_L , nota-se também que a característica não-linear de alimentação da carga é mantida.

Durante a operação do sistema proposto no modo ilhado, pode-se retornar à operação no modo compartilhado desde que sejam completadas todas as ações de sincronismo envolvendo as tensões

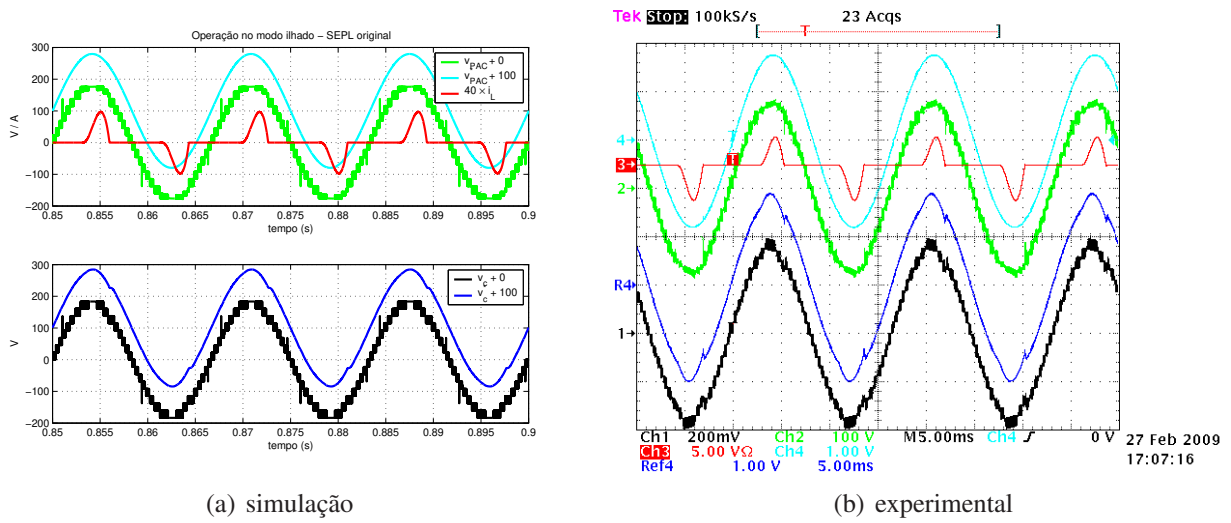
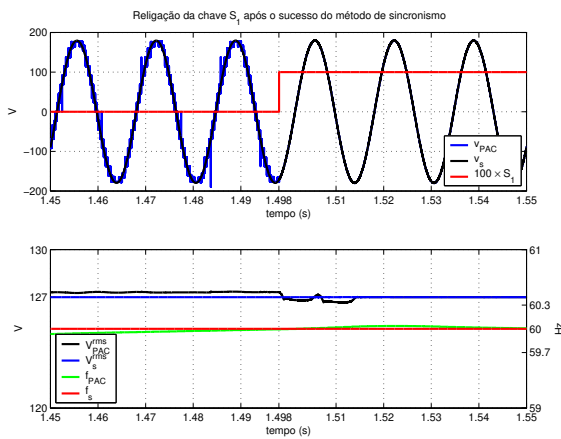


Fig. 4.17: Manutenção da alimentação da carga durante o modo ilhado. Em (b): v_c (Ch1: 100V/div); v_{PAC} (Ch2: 100V/div); i_L (Ch3: 5A/div); v_{PAC}^* (Ch4: 100V/div); e v_c^* (R4: 100V/div).

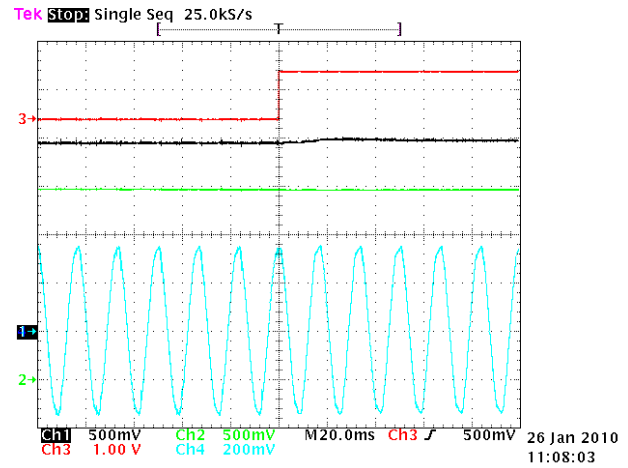
nas barras PAC e S. Diferentemente do método de detecção de ilhamento realizado de forma contínua durante o modo compartilhado, as ações do método de sincronismo no modo ilhado são iniciadas somente após o SEPA apresentar condições normais de operação através da tensão v_s . Caso a tensão v_s não permaneça em condições normais durante a execução do método de sincronismo, tais ações são interrompidas e serão retomadas, sob novas condições iniciais, somente após um novo restabelecimento de operação normal no SEPA.

Ao final do método de sincronismo, a chave de interligação S_1 pode ser fechada e o sistema proposto volta a operar sob o modo compartilhado. É preciso ressaltar que, inicialmente, a operação no modo compartilhado não envolve o fornecimento de potência ativa ao SEPA em função das razões já descritas anteriormente. Desta vez, porém, não há uma transferência gradativa da alimentação da carga uma vez que esta já vinha sendo alimentada pelo SEPL desde a sua operação no modo ilhado. Tais condições estão representadas nas figuras 4.18 e 4.19. Nelas são exibidos o instante em que chave S_1 é (novamente) fechada após a conclusão do método de sincronismo e os efeitos causados por essa (nova) religação entre SEPA e SEPL nos parâmetros associados às barras PAC e S.

Além das formas de onda das tensões v_{PAC} e v_s , a figura 4.18 exhibe o comportamento dos valores eficazes e das frequências de oscilação de ambas as tensões durante a religação da chave S_1 . Nota-se que antes da religação as tensões v_{PAC} e v_s já estavam sobrepostas e que, por isso, a religação de S_1 não provoca variações significativas em seus respectivos valores eficazes e frequências de oscilação. O sucesso do método de sincronismo das tensões permite também que seja feita uma religação sem grandes efeitos nos sinais de corrente exibidos na figura 4.19. Dessa forma, a transição do modo ilhado para o modo compartilhado ocorre de maneira bem mais suave do que a transição inversa,

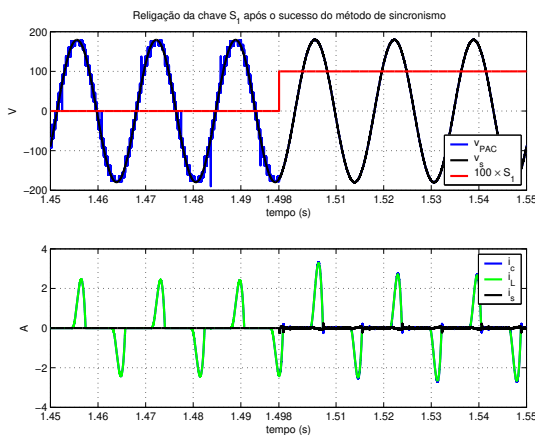


(a) simulação

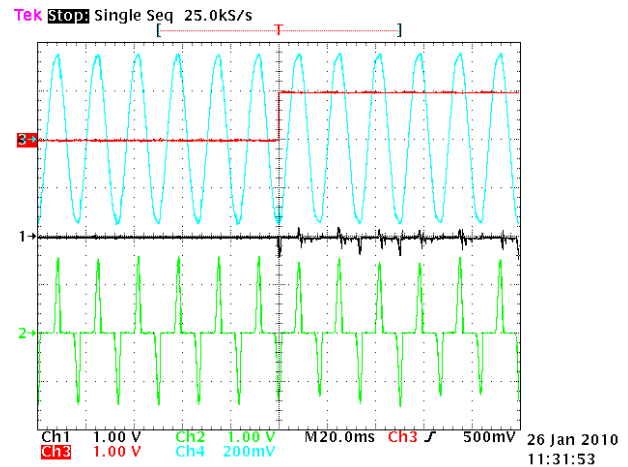


(b) experimental

Fig. 4.18: Religação da chave S_1 após uma condição de sincronismo estável ser atingida. Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).



(a) simulação



(b) experimental

Fig. 4.19: Comportamento das correntes durante a religação da chave S_1 conforme a figura 4.18. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

ocorrida após a detecção de uma condição de ilhamento.

Enquanto as figuras 4.18 e 4.19 exibem de forma mais específica o instante da religação da chave S_1 , a figura 4.20 apresenta uma visão geral das ações do método de sincronismo que antecedem tal religação. Após as variações ocorridas durante a detecção do ilhamento, os sinais V_{PAC}^{rms} e f_{PAC} permanecem equivalentes aos seus valores nominais de operação no modo ilhado até que o SEPA esteja novamente disponível. A partir da disponibilidade do SEPA, as ações do método de sincronismo são iniciadas e provocam variações em V_{PAC}^{rms} e, principalmente, em f_{PAC} . Após os ajustes necessários,

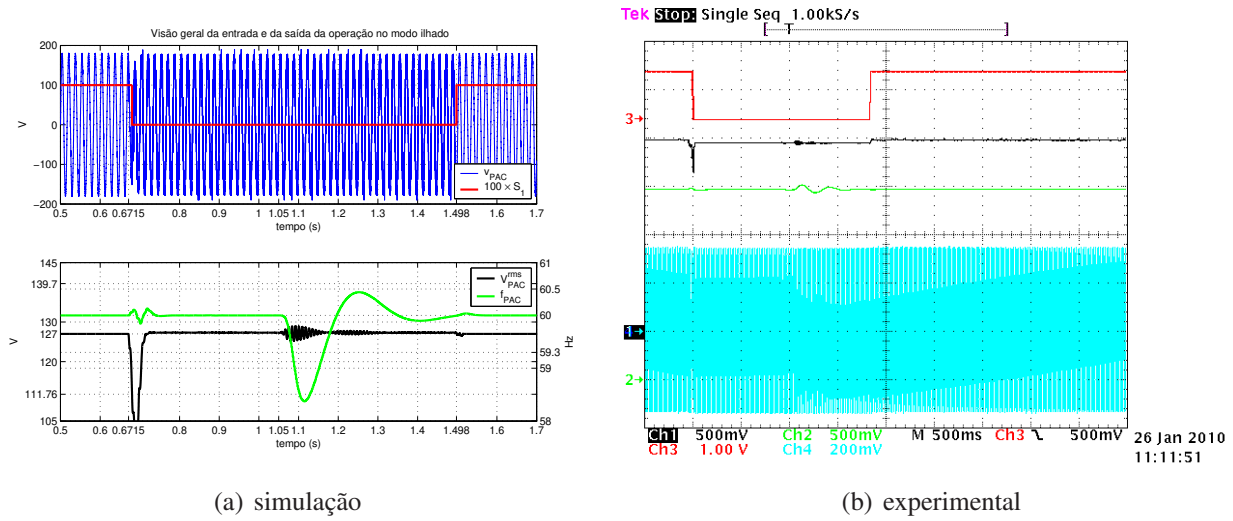


Fig. 4.20: Visão geral da detecção de ilhamento para em seguida iniciar os ajustes para a religação da chave S_1 (considerando o SEPA da figura 4.15 e $P_s^* = 0$). Em (b): V_{PAC}^{rms} (Ch1: $127/2$ V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

tais variações vão sendo gradativamente minimizadas à medida que o instante da religação se aproxima e um sincronismo estável é cada vez mais presente. Nesta configuração, é preciso determinar os requisitos necessários para que uma condição de sincronismo seja considerada relativamente mais estável o suficiente para permitir a religação da chave S_1 .

Conforme [3], a religação entre o SEPL e o SEPA é permitida para sistemas de geração distribuída inferiores a 500kVA desde que três requisitos envolvendo os parâmetros das tensões v_s e v_{PAC} sejam completamente atendidos por 5 ciclos consecutivos de 60Hz em um prazo máximo de 5 minutos:

- máxima variação de frequências Δf_{max} inferior a 0,3Hz;
- máxima variação de valores eficazes ΔV_{max} inferior a 10% do valor eficaz nominal; e
- máxima variação angular $\Delta \theta_{max}$ inferior a 20° .

Por abranger uma grande faixa de potências (0-500kVA) e também por não serem diferenciados de acordo com o nível de tensão, tais requisitos para a religação da chave S_1 podem ser considerados como levemente rigorosos. Para restringir ainda mais a condição de estabilidade do sincronismo alcançado e, principalmente, para diminuir os efeitos causados pela religação, o sistema proposto adota os seguintes requisitos: $\Delta f_{max} \leq 0,1\text{Hz}$; $\Delta V_{max} \leq 6,35\text{V}$ ($\equiv 5\%$ de 127V); e $\Delta \theta_{max} \leq 4,6^\circ$. Caso o cumprimento de tais requisitos permaneça vigente por 5 ciclos consecutivos de 60Hz, uma condição de sincronismo estável pode ser declarada e a religação da chave S_1 se torna permitida.

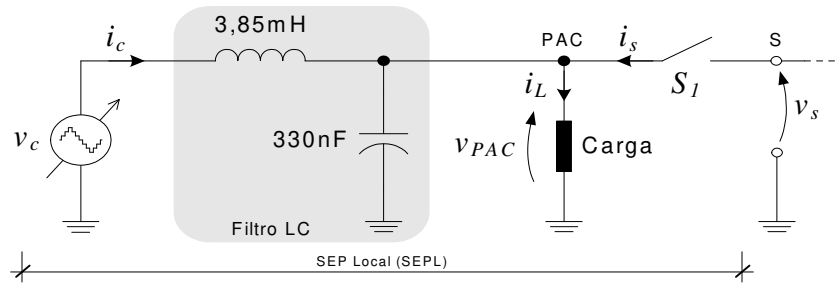
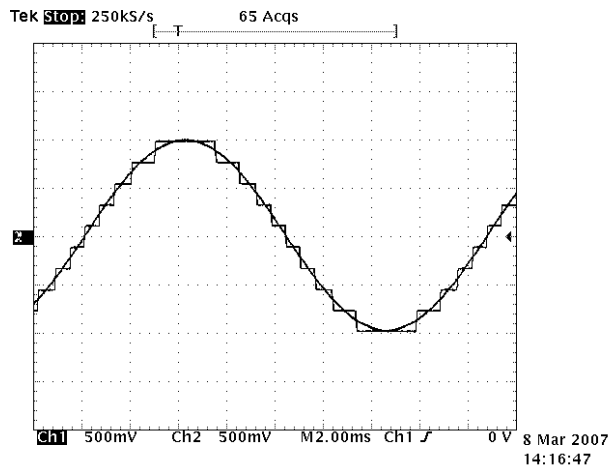


Fig. 4.21: Adição de um capacitor no circuito equivalente do SEPL para a formação do filtro LC.

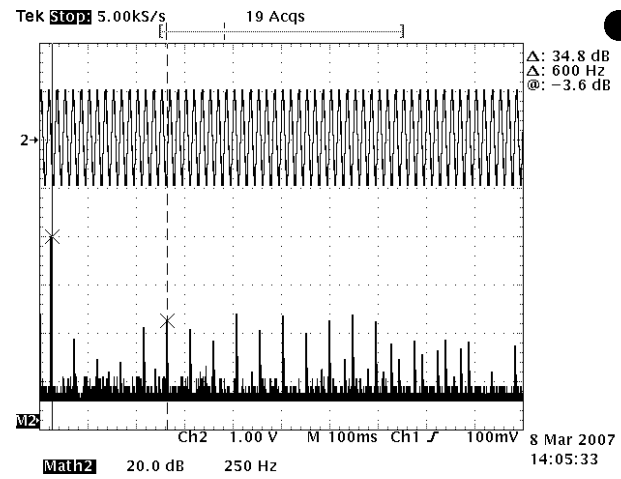
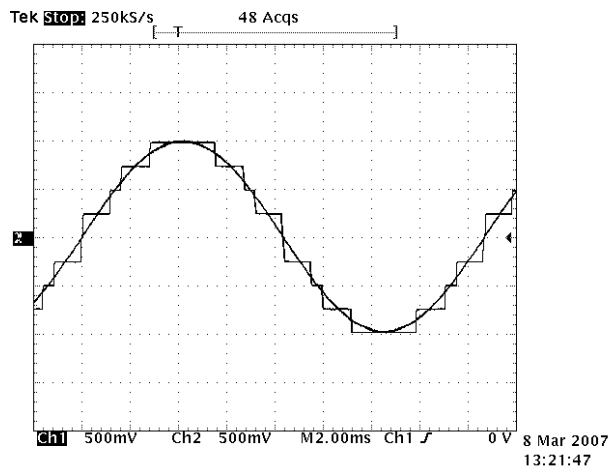
4.5.2 SEPL com filtro LC

Durante a operação no modo ilhado, a tensão de alimentação da carga é mantida próxima do seu valor senoidal de referência conforme é exibido na figura 4.17. Apesar do formato senoidal, nota-se que a tensão v_{PAC} também apresenta componentes em alta frequência provenientes das comutações em PWM do módulo de menor tensão do inversor multinível e, posteriormente, são inseridos na tensão de saída v_c . Os componentes da tensão v_c estão presentes também na tensão v_{PAC} em função da ausência de um dispositivo de filtragem para tais componentes posicionado entre o inversor multinível e a barra PAC. Conforme a figura 4.8, a indutância que representa o filtro L ocupa essa posição. De acordo com a sua função de transferência, o filtro L é capaz de atenuar apenas os componentes em alta frequência da corrente de saída do inversor i_c . Tal característica difere da que ocorre em um filtro de 2ª ordem do tipo LC, que por sua vez é capaz de atenuar também os componentes em alta frequência da tensão presente sob os terminais do capacitor. Dessa forma, caso haja o interesse em melhorar a qualidade da tensão de alimentação da carga e, conseqüentemente, aproximar ainda mais sua forma de uma referência senoidal, o filtro L pode ser substituído pelo filtro LC de 2ª ordem. Esta última configuração, que altera apenas a topologia do SEPL, é exibida na figura 4.21.

Apesar de não exigir o uso de um filtro LC como elemento para acoplamento em função da baixa DHT do sinal de saída do inversor, a estrutura multinível pode ser usada em conjunto com tal elemento de filtragem. A diferença entre um filtro LC para uma estrutura multinível e um filtro LC para uma estrutura PWM de 3 níveis baseia-se nas dimensões físicas dos elementos que o compõem. Para a mesma capacitância, a indutância do filtro LC para a estrutura multinível é fisicamente menor do que a indutância equivalente do filtro LC, na sua robustez. Tal análise também é válida caso um valor fixo da indutância. Sabendo-se que a frequência de amostragem é definida a partir da equação 4.5 e que a frequência de comutação da modulação PWM no módulo de menor tensão equivale a 18kHz, uma frequência de corte próxima de 4,5kHz pode ser escolhida para o filtro LC. Para um valor de indutância semelhante ao já adotado pelo filtro L da figura 4.8 e uma capacitância de 330nF, a frequência natural não-amortecida do filtro LC obtida equivale a 4,46kHz.



(a) modulação sem PWM

(b) FFT de v_c (sem PWM) \rightarrow DHT = 8,46%

(c) modulação SHE

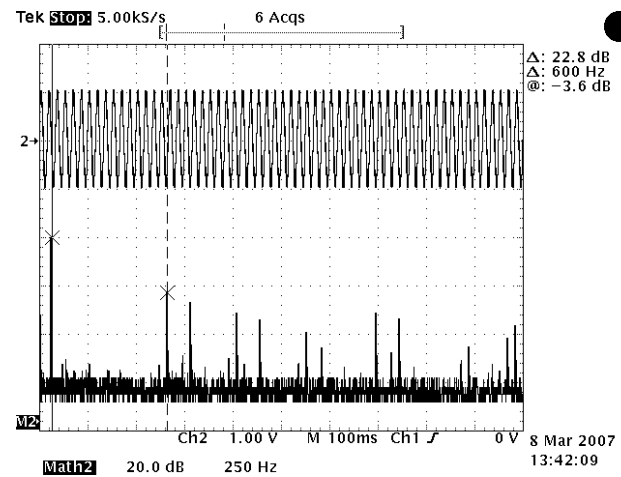
(d) FFT de v_c (SHE) \rightarrow DHT = 11,14%

Fig. 4.22: Comportamento das opções alternativas de estratégia de modulação para um inversor multinível de 9 níveis (2 módulos) a partir de um sinal de referência senoidal de 1pu.

Apesar deste trabalho fazer uso de um filtro LC, vale ressaltar que a atenuação das componentes em alta frequência na tensão de alimentação da carga poderia ser obtida também de outras maneiras. Duas delas são apresentadas na figura 4.22 para um inversor multinível de 9 níveis formado por 2 módulos de pontes inversoras conectadas em série a partir de uma referência senoidal de 1pu e 60Hz. Apesar do número de níveis envolvidos na figura 4.22 corresponder a um valor menor do que o requerido para o sistema proposto, tais informações são apresentadas de forma a exemplificar as estratégias de modulação optativas.

Exclusivamente durante o modo ilhado, o inversor multinível poderia operar sem a modulação PWM no módulo de menor tensão, cujas características são descritas na subseção 2.2.1. Em contrapartida, tal condição exigiria que a configuração ternária (1 : 3 : 9) fosse utilizada e isso envolveria

ajustes nos valores das tensões CC do inversor a cada vez que houver uma transição entre os modos de operação. A troca de configurações é necessária pela maneira como o inversor é controlado durante cada modo de operação. No modo ilhado, a configuração seria a ternária (1 : 3 : 9) pois o inversor trata-se de uma fonte de tensão controlada por tensão. No modo compartilhado, a configuração com PWM (1 : 2 : 6) pois o inversor comporta-se como uma fonte de corrente controlada por tensão. Tais requisitos envolveriam ajustes adicionais em um sistema de controle específico para as tensões CC, cujo desempenho dependeria também da resposta dinâmica das fontes primárias envolvidas. Em função de tais exigências, a adoção da modulação sem PWM no modo ilhado foi desconsiderada.

Uma outra opção para compensação dos componentes harmônicos na tensão da carga seria o uso da estratégia de modulação SHE (*Selective Harmonic Elimination*) relacionada com inversores multiníveis em cascata [72, 73]. A modulação SHE baseia-se em ações de atraso ou de antecipação das transições entre os níveis que formam a tensão de saída total do inversor de acordo com o índice de modulação requerido. Tais ações resultam em uma atenuação considerável de um número limitado de componentes harmônicos ímpares em baixa frequência e que são previamente selecionados. Na figura 4.22, quatro diferentes ângulos de disparo na faixa $0^\circ < \theta < 90^\circ$ são requeridos para a atenuação dos harmônicos de ordens 3, 5, 7 e 9. O número de ângulos envolvidos está relacionado com o número de transições entre os níveis da tensão de saída que ocorrem a cada $\frac{1}{4}$ de ciclo da fundamental. Para o inversor multinível de 19 níveis do sistema proposto, há 9 transições no intervalo considerado e, portanto, seria possível atenuar os harmônicos de ordens 3, 5, 7, 9, 11, 13, 15, 17 e 19. Uma desvantagem da modulação SHE está relacionada com a determinação dos valores requeridos para os ângulos de disparo. Tal determinação envolve um sistema não-linear cuja solução é obtida através do “Método de Newton-Raphson”. A convergência do método iterativo para a solução desejada depende do valor inicial adotado em função da dispersão das soluções no plano de fases correspondente. Uma vez que se obtenha a convergência e os valores dos ângulos sejam determinados, tal condição é válida somente para o índice de modulação considerado. Esta limitação corresponde à segunda desvantagem da modulação SHE. Seria necessário a elaboração de uma tabela com os valores requeridos para os ângulos de disparo em função do índice de modulação exigido. Apesar do esforço antecipado na elaboração dessa tabela, a dificuldade é maior durante a implementação dessa tabela em um dispositivo microprocessado (DSP ou μC). Essa tabela exigiria uma região considerável da memória de dados do dispositivo e suas dimensões são proporcionais ao número de níveis da tensão de saída do inversor. Em função do sistema proposto já utilizar uma memória externa adicional, o uso da modulação SHE foi desconsiderado no sistema proposto.

Uma terceira opção seria associar um filtro LC de dimensões ainda menores com a estratégia de modulação SHE. O filtro LC atenuaria componentes em alta frequência e a modulação SHE, em baixa frequência. Em função da modulação SHE, essa associação também foi desconsiderada.

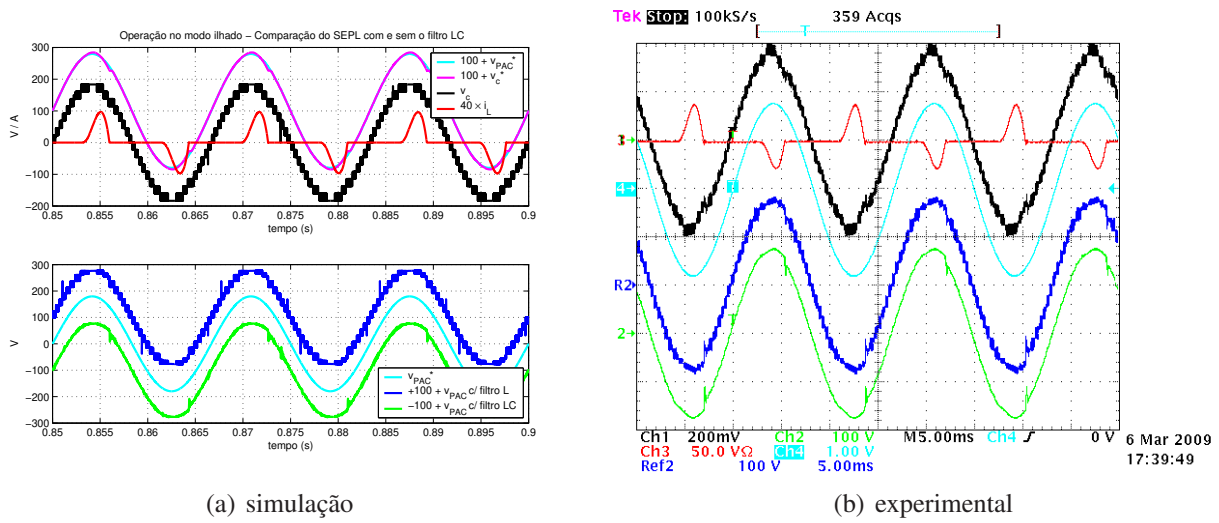


Fig. 4.23: SEPL com filtro LC – Manutenção de alimentação da carga durante o modo ilhado. Em (b): v_c (Ch1: 100V/div); v_{PAC} para SEPL com filtro LC (Ch2: 100V/div); $-i_L$ (Ch3: 5A/div); v_{PAC}^* (Ch4: 100V/div); e v_{PAC} para SEPL com filtro L (R2: 100V/div).

De acordo com o SEPL exibido na figura 4.21, no sistema proposto adotou-se o filtro LC para a atenuar os componentes em alta frequência da tensão de saída do inversor multinível. Durante a operação no modo ilhado, a alimentação da carga conectada à barra PAC e a manutenção da tensão v_{PAC} próxima de sua referência senoidal são garantidas conforme pode ser verificado na figura 4.23.

Nota-se que apesar de ainda haver as comutações em alta frequência entre cada um dos 19 níveis da tensão de saída do inversor v_c , elas são atenuadas através do filtro LC de tal maneira que a tensão de alimentação da carga v_{PAC} aproxima-se ainda mais do seu sinal de referência senoidal v_{PAC}^* do que acontecia no SEPL original. Essa percepção é possível a partir da figura 4.23 uma vez que ela exhibe as formas de onda da tensão v_{PAC} para as duas topologias do SEPL. Um ponto interessante de ser notado é que as deformações inseridas nas tensões v_c e v_c^* para compensar as quedas de tensão na indutância do filtro não foram significativamente modificadas, uma vez que elas estão mais relacionadas com a corrente de alimentação da carga i_L do que com a tensão v_{PAC} .

A figura 4.23 permite uma comparação das duas formas de onda da tensão v_{PAC} no domínio do tempo. A atenuação no domínio do tempo pode ser quantificada de forma visual pela ausência dos componentes de alta frequência na tensão v_{PAC} . Uma outra maneira de observar tal atenuação pode ser feita no domínio da frequência. A figura 4.24 exhibe, além do espectro em frequência da tensão de saída do conversor v_c , os respectivos espectros da tensão v_{PAC} para as duas topologias do SEPL.

Para o SEPL original, nota-se na figura 4.24(a) que há uma semelhança entre os componentes harmônicos de baixa frequência nas tensões v_c e v_{PAC} . As amplitudes de tais componentes são, respectivamente, 35dB menores ($\leq 1,78\%$) e 40dB menores ($\leq 1\%$) do que a amplitude da componente

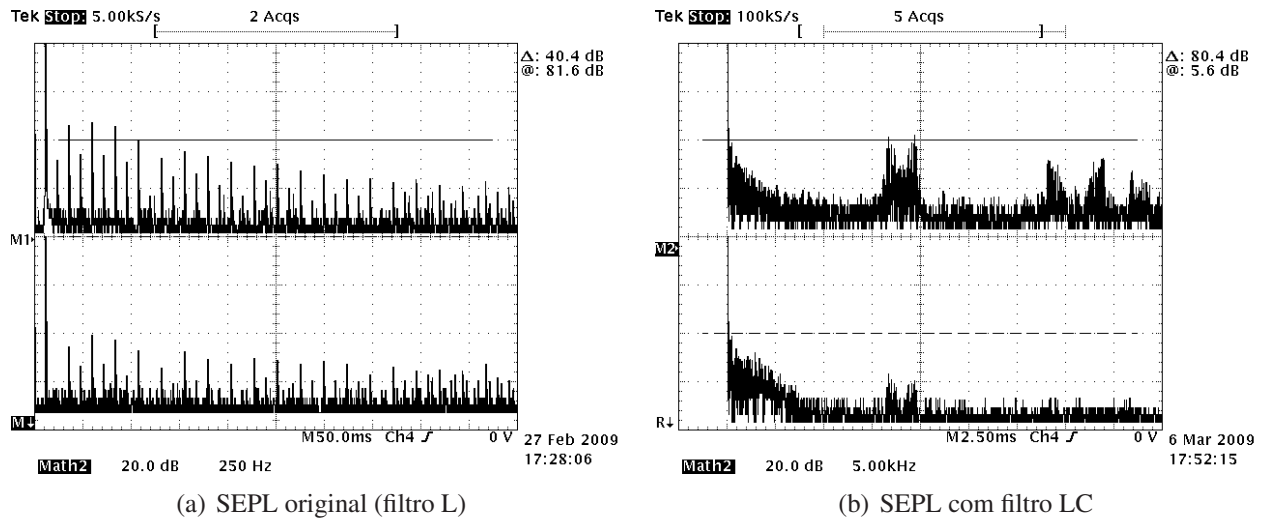
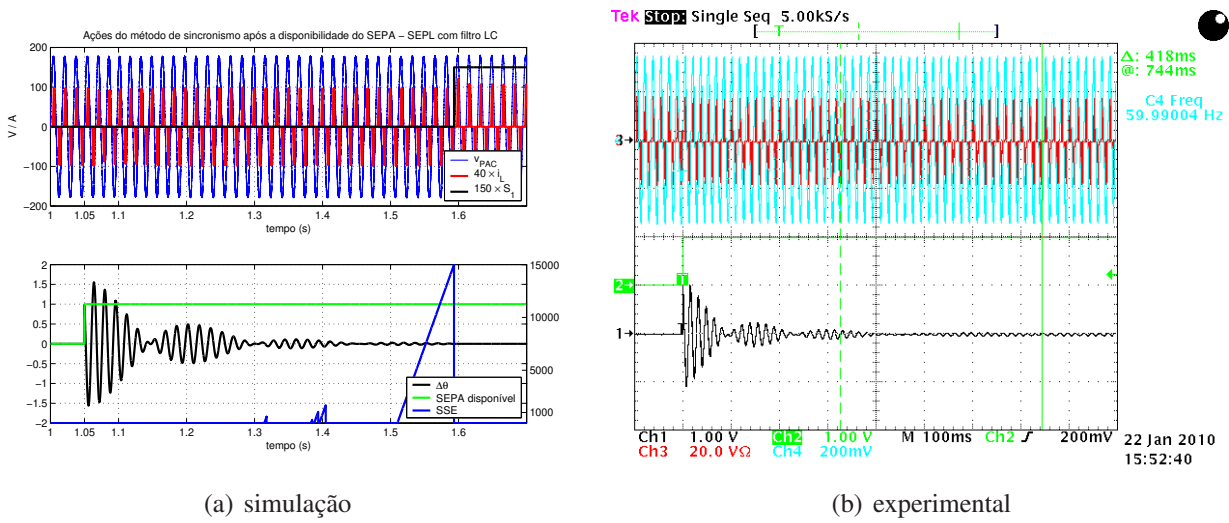


Fig. 4.24: Espectros em frequência das tensões durante o modo ilhado considerando SEPL original e SEPL com o filtro LC. Em (a): FFT de v_c (M1: 20dB/div); e FFT de v_{PAC} (M2: 20dB/div). Em (b): FFT de v_{PAC} para o SEPL original (M2: 20dB/div) e para o SEPL com filtro LC (Ref2: 20dB/div)

fundamental. Na condição da figura 4.24(a), os valores medidos para a DHT de tensão e de corrente são: 118% para a corrente de carga i_L ; 4,1% para a tensão de saída do inversor v_c ; e 1,7% para a tensão de alimentação da carga v_{PAC} . O baixo valor para a THD da tensão v_{PAC} confirma a percepção feita no domínio do tempo de que, apesar de conter comutações em alta frequência, a sua forma de onda está próxima de seu valor senoidal de referência. Além disso, o valor medido da DHT está abaixo do valor máximo de 5% estabelecido em [3] para a tensão na barra PAC.

Para o SEPL com filtro LC, a figura 4.23 apresentou as formas de onda da tensão v_{PAC} considerando ou não o uso do filtro LC. A figura 4.24(b) apresenta as mesmas versões para a tensão v_{PAC} mas considerando agora suas representações no domínio da frequência. Nela é possível verificar os componentes vinculados à frequência de chaveamento (18kHz) e um de seus respectivos múltiplos (36kHz). Tais componentes correspondem às comutações em alta frequência observadas nas formas de onda no domínio do tempo. Nota-se que o filtro LC contribuiu em uma atenuação de pelo menos 20dB nos componentes vinculados à frequência de chaveamento e suas respectivas frequências múltiplas.

Os valores de 3,85mH e 330nF para os elementos do filtro LC determinam uma frequência natural não-amortecida de 4,46kHz. O valor da frequência amortecida para o filtro LC tende a ser menor que a não-amortecida. Seu valor pode ser determinado a partir do espectro em frequência da tensão v_{PAC} para o SEPL com filtro LC exibido na figura 4.24(b). Os componentes próximos à frequência amortecida do filtro LC tendem a ser levemente amplificados e o pico observado nessa região corresponde à frequência amortecida. De acordo com a figura 4.24(b), a frequência amortecida do filtro LC vale



(a) simulação

(b) experimental

Fig. 4.25: SEPL com filtro LC – Ações de sincronismo após a percepção da disponibilidade do SEPA em operar de acordo com os seus respectivos valores nominais (defasagem inicial de 120°). Em (b): ($\Delta\theta = \sin\theta_s - \sin\theta_{PAC}$) (Ch1: 1rad/div); SEPA disponível (lógico) (Ch2: 5V/div); i_L (Ch3: 2A/div); e v_{PAC} (Ch4: 100V/div).

aproximadamente 3,75kHz. Os valores medidos para a DHT nas tensões v_{PAC} com e sem filtro LC foram semelhantes e próximos de 2%. Isso ocorre porque no cálculo da DHT os componentes de baixa frequência são mais relevantes do que os de alta frequência. Conforme verificado, o filtro LC afeta apenas os harmônicos de tensão de ordem superior a 60 ($\approx 3,75\text{kHz}/60\text{Hz}$).

É sabido que durante a operação no modo ilhado, o sistema proposto inicia os ajustes de sincronismo das tensões v_s e v_{PAC} a partir do instante em que o SEPA indicar através de v_s que está disponível e operando normalmente. A figura 4.25 exibe as ações do método de sincronismo a partir da disponibilidade do SEPA até o instante em que a interligação entre o SEPA e o SEPL é (r)estabelecida pelo fechamento da chave S_1 .

O sinal $\Delta\theta$ exibido na figura 4.25 trata-se de um dos requisitos adotados para se verificar uma condição de sincronismo estável. Uma vez que para o sistema proposto estipulou-se que $\Delta\theta_{max} \leq 4,6^\circ$, tal variação corresponde a uma variação de $\pm 0,0802$ em termos da função senoidal. O sinal $\Delta\theta$, portanto, atenderá o pré-requisito $\Delta\theta_{max}$ caso o seu valor permaneça contido na faixa $\pm 0,0802$.

Conforme a seção 3.5, o sinal SSE exibido na figura 4.25(a) é incrementado sempre que houver um cumprimento integral dos requisitos de um sincronismo estável. Por tal razão, observa-se que o sinal SSE sofre pequenas variações ao longo do método de sincronismo. Próximo dos instantes que antecem o fechamento da chave S_1 , o sinal SSE é incrementado de forma contínua até atingir um valor de 15000. O alcance de tal valor em SSE corresponde à informação de que o cumprimento integral dos requisitos de sincronismo se manteve vigente por no mínimo 5 ciclos consecutivos de

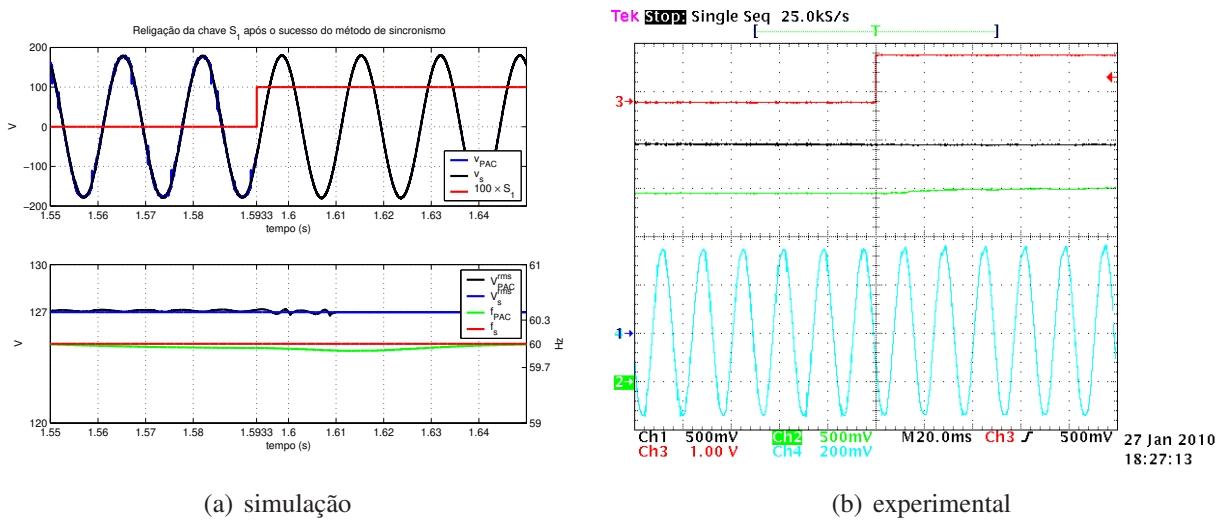


Fig. 4.26: SEPL com filtro LC – Comportamento da frequência e do valor eficaz da tensão na barra PAC durante a religação da chave S_1 . Em (b): f_{PAC} (Ch1: 30Hz/div); V_{PAC}^{rms} (Ch2: 63,5V/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

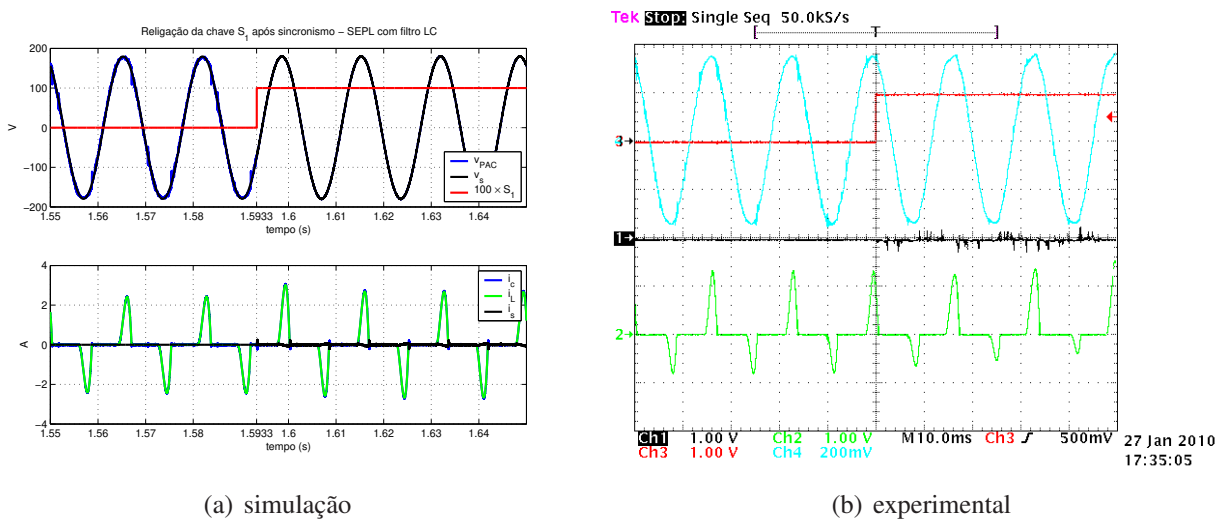


Fig. 4.27: SEPL com filtro LC – Religação da chave S_1 após uma condição de sincronismo estável ser obtida. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

60Hz. Com isso, internamente ao sistema proposto, sabe-se que uma situação de sincronismo foi atingida e permite-se que: a chave S_1 seja fechada; e o sistema proposto passe a operar no modo compartilhado. As figuras 4.26 e 4.27 descrevem os comportamentos dos parâmetros da barra PAC durante o fechamento da chave S_1 após a conclusão do método de sincronismo. Tais figuras exploram, portanto, um trecho do período observado na figura 4.25. Assim como ocorria no SEPL original, o retorno à operação no modo compartilhado ocorre de forma suave também no SEPL com filtro LC.

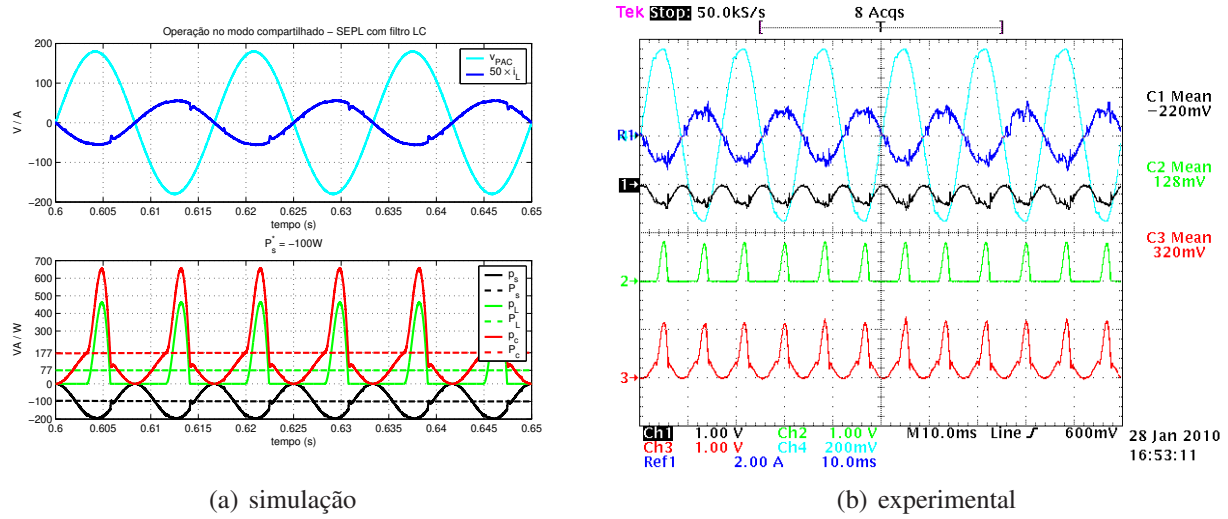


Fig. 4.28: SEPL com filtro LC – Comportamento das potências instantâneas para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (b): p_s (Ch1: 500VA/div); p_L (Ch2: 500VA/div); p_c (Ch3: 500VA/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).

Considerando o SEPL com filtro LC, a operação do sistema proposto no modo compartilhado é exibida na figura 4.28. Percebe-se que apesar da inclusão da capacitância de filtragem no PAC, o sistema proposto ainda é capaz de controlar a injeção de potência ativa no SEPA através da corrente i_s . Isso deve-se, novamente, ao fato do inversor multinível operar como uma fonte de corrente controlada por tensão durante o modo compartilhado.

Os valores médios das potências instantâneas exibidas na figura 4.28 correspondem às potências ativas associadas ao ponto de operação analisado. Nota-se que a potência ativa associada ao SEPA P_s possui um valor negativo (o que caracteriza a sua injeção no SEPA) e, também, que a potência ativa fornecida pelo inversor P_c equivale à soma da potência ativa entregue à carga P_L com o inverso do montante de potência ativa injetada no SEPA $-P_s$.

Ao verificar a forma de onda da corrente i_s associada ao SEPA na figura 4.28(b), percebe-se que ela apresenta algumas deformações que não estão presentes no respectivo sinal exibido na figura 4.28(a). A figura 4.29 exibe tais deformações para uma menor escala vertical de visualização da corrente i_s exibida na figura 4.28(b). De acordo com a figura 4.29(b), nota-se que os componentes harmônicos referentes à tensão v_{PAC} são menores que os respectivos componentes harmônicos da corrente i_s . Dessa forma, pode-se concluir que as deformações na corrente i_s não estão presentes de forma equivalente na tensão v_{PAC} . Isso também pode ser notado ao se comparar as formas de onda exibidas na figura 4.29(a).

Uma vez que a tensão v_{PAC} não apresenta as mesmas deformações que i_s , pode-se concluir a partir da figura 3.5(b) que o sinal de referência i_s^* também não apresenta essas deformações. Tal conclusão

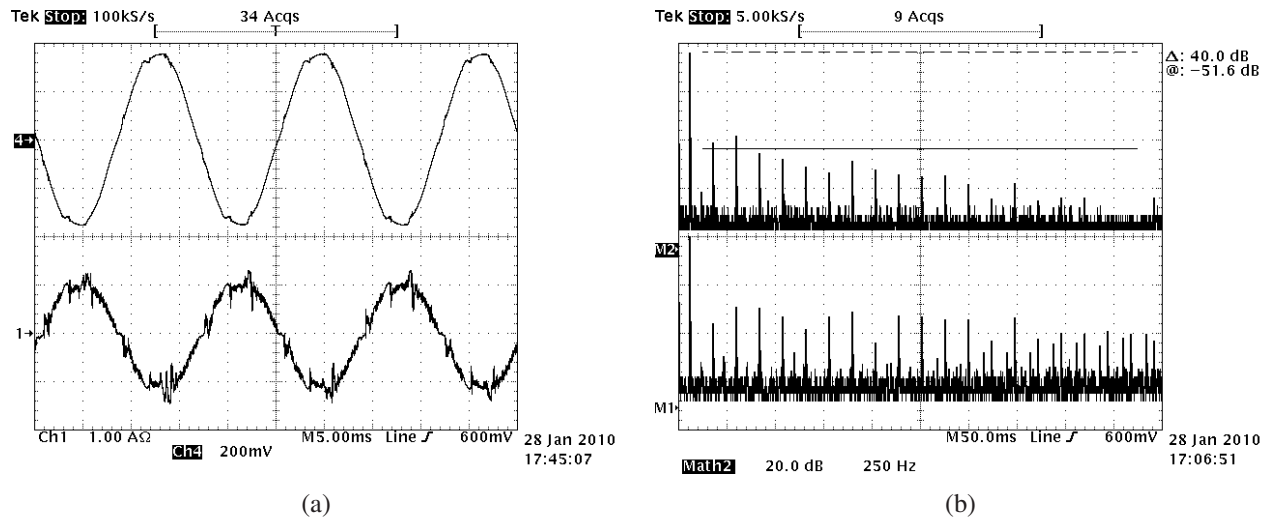
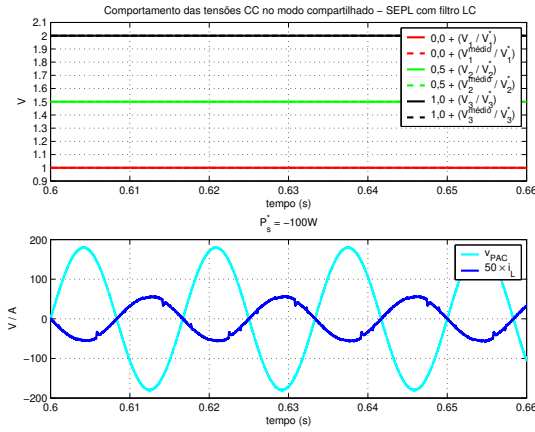


Fig. 4.29: SEPL com filtro LC – Comportamento nos domínios do tempo (a) e da frequência (b) da tensão na barra PAC (v_{PAC}) e da corrente associada ao SEPA (i_s) para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (a): i_s (Ch1: 1A/div); e v_{PAC} (Ch4: 100V/div). Em (b): FFT de i_s (M1: 20dB/div); e FFT de v_{PAC} (M2: 20dB/div).

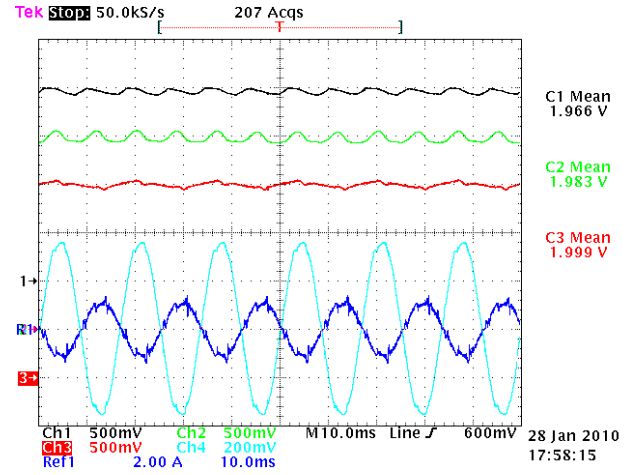
sugere que as deformações observadas na corrente i_s correspondem a uma incapacidade do inversor multinível em sintetizar o sinal desejado i_s^* . As razões para tal incapacidade podem ser basicamente duas: a tensão de referência do inversor multinível v_c^* não contém as ações de correção Δv_c frente a tais deformações; ou a tensão de saída do inversor v_c não corresponde à sua tensão de referência v_c^* . A primeira opção representaria um erro de operação do controlador de corrente empregado e a segunda, que as tensões nos barramentos CC do inversor multinível não seriam equivalentes aos seus respectivos valores de referência. De acordo com a figura 4.30, as tensões CC comportam-se de maneiras diferentes no modelo computacional e no protótipo experimental.

No modelo utilizado durante as simulações computacionais, as tensões CC são impostas por fontes ideais de tensão CC isoladas entre si. Os valores ajustados em tais fontes CC são mantidos constantes e de forma independente à potência de saída requerida de cada uma delas. Dessa maneira, a tensão de saída do inversor v_c é formada pelos valores corretos das tensões CC de acordo com a configuração escolhida para o inversor multinível. A partir dos valores CC corretos, o inversor é capaz de reproduzir mais fielmente a tensão de referência v_c^* . Consequentemente, o sistema proposto é capaz de fornecer uma corrente ao SEPA com um número reduzido de deformações, exceto por aquelas provocadas pelas características não-lineares da carga conectada ao PAC.

No protótipo experimental, as tensões CC são fornecidas por retificadores monofásicos não-controlados com filtro de saída capacitivo e isolados entre si. Em função das elevadas capacitâncias presentes nos barramentos CC do inversor multinível, as ondulações das tensões CC em torno de seus

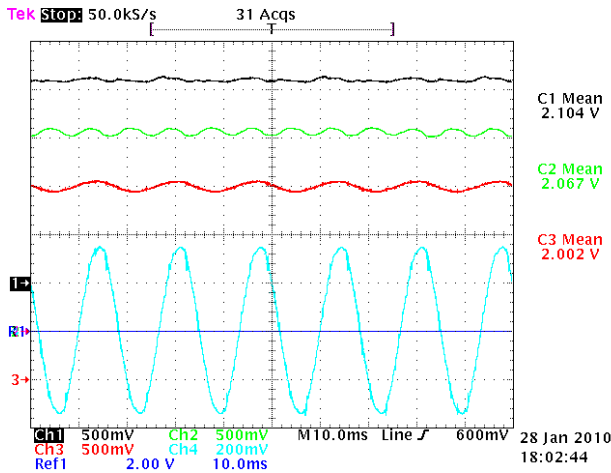


(a) simulação

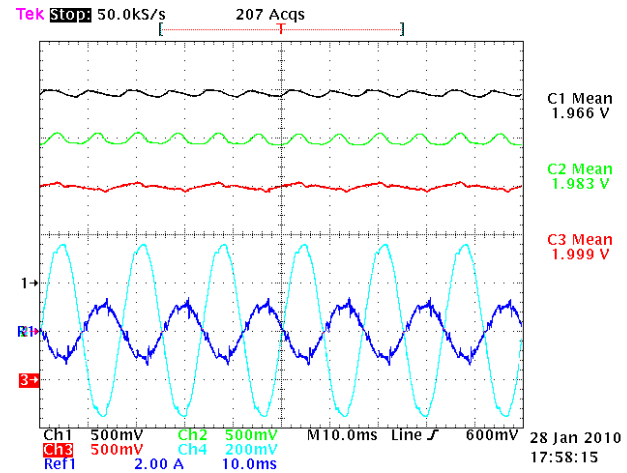


(b) experimental

Fig. 4.30: SEPL com filtro LC – Comportamento das tensões CC para uma operação no modo compartilhado e considerando uma injeção de potência ativa no SEPA. Em (b): V_3 (Ch1: 68,848V/div ou 0,5pu/div); V_2 (Ch2: 22,949V/div ou 0,5pu/div); V_1 (Ch3: 11,474V/div ou 0,5pu/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).



(a) SEPL inativo



(b) SEPL ativo e com injeção

Fig. 4.31: SEPL com filtro LC – Variações nas tensões CC para diferentes pontos de operação do sistema proposto. Em ambas: V_3 (Ch1: 68,848V/div ou 0,5pu/div); V_2 (Ch2: 22,949V/div ou 0,5pu/div); V_1 (Ch3: 11,474V/div ou 0,5pu/div); v_{PAC} (Ch4: 100V/div); e i_s (Ref1: 2A/div).

respectivos valores médios são minimizadas. Apesar de minimizadas, tais ondulações nas tensões CC ainda persistem e são proporcionais aos níveis de potência observados em cada um dos módulos de pontes inversoras que compõem o inversor multinível. As ondulações nas tensões CC do protótipo experimental podem ser verificadas nas figuras 4.30(b) e 4.31.

Além das ondulações, percebe-se também que os valores das tensões CC são desviados dos seus

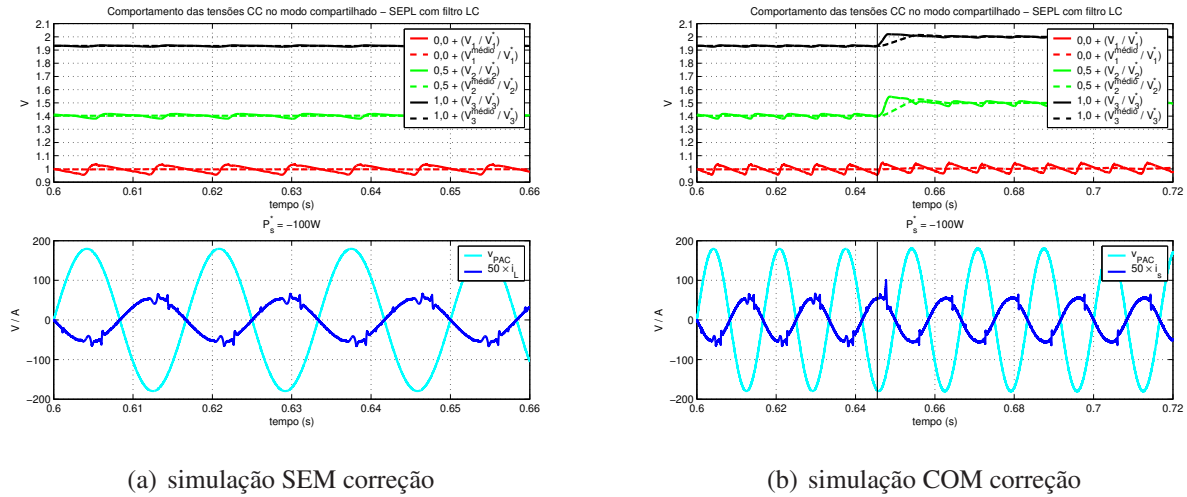
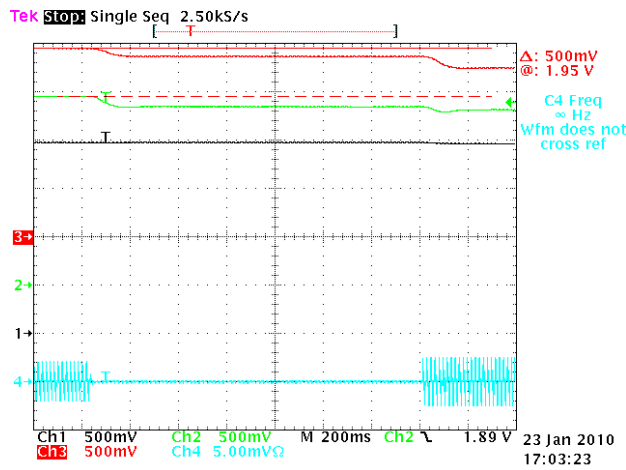


Fig. 4.32: SEPL com filtro LC – Relação entre os desvios das tensões CC de seus respectivos valores de referência e a qualidade da potência ativa fornecida ao SEPA durante o modo compartilhado.

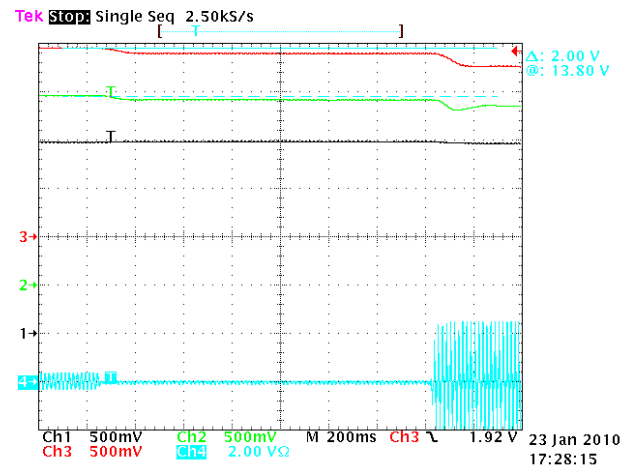
respectivos valores de referência conforme a potência CC requerida é modificada. A figura 4.31 exemplifica os desvios ocorridos nas tensões CC de um inversor multinível. Em (a), o sistema proposto está inativo e o inversor multinível não fornece nenhuma potência ativa. Em (b), o sistema proposto já foi ativado e opera no modo compartilhado com o inversor multinível fornecendo energia à carga e ao SEPA. Os desvios observados nas tensões CC nos dois momentos prejudicam a tensão de saída do inversor que, por sua vez, prejudica a aproximação da corrente i_s injetada no SEPA de sua referência i_s^* . É o que ocorre na figura 4.30(b).

Após incluir os retificadores não-controlados no modelo computacional para a elaboração das tensões CC, o sistema proposto comportou-se conforme é exibido na figura 4.32(a). Nota-se que tal condição de operação aproxima-se daquela que é observada na figura 4.30(b). É correto afirmar que as ondulações e os desvios nas tensões CC provocam as deformações na corrente i_s . Porém os efeitos individuais dessas características não são iguais e, portanto, um deles deve influenciar mais que o outro na deformação da corrente i_s . A figura 4.32(b) exhibe uma situação de correção (ou anulação) dos desvios das tensões CC. Nota-se que após essa ação, as deformações na corrente i_s diminuíram consideravelmente. Portanto, pode-se concluir que os desvios de valores nas tensões CC prejudicam mais a operação do inversor multinível do que apenas a presença de ondulações nas tensões CC.

Os desvios nas tensões CC ocorrem quando não há sistemas automáticos de controle das tensões CC. Em função de tais considerações percebe-se a real necessidade de manter as tensões CC próximas de seus valores de referência via sistemas de controle auxiliares. Para tensões CC mantidas por conversores CC/CC, estes deverão incluir sistemas realimentados de controle das tensões CC. Tais procedimentos garantirão uma operação correta do inversor multinível quando for solicitado.

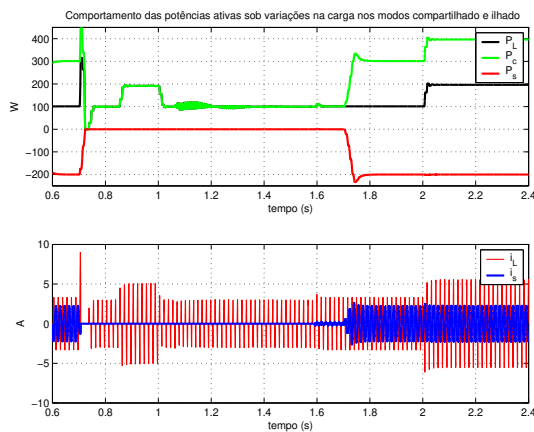


(a) carga não-linear da figura 4.1

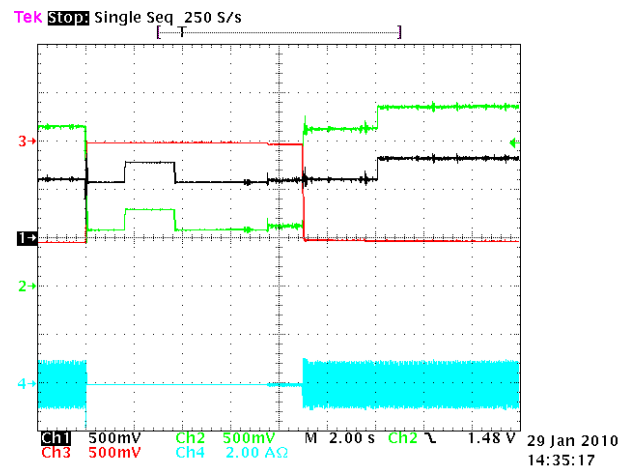


(b) carga linear do tipo R

Fig. 4.33: SEPL com filtro LC – Comportamento das tensões CC em função do tipo de carga conectada ao PAC para uma operação no modo compartilhado. Em ambas: V_1 (Ch1: 11,4V/div ou 0,5pu/div); V_2 (Ch2: 22,9V/div ou 0,5pu/div); V_3 (Ch3: 68,8V/div ou 0,5pu/div); e i_s (Ch4: 5A/div).



(a) simulação



(b) experimental

Fig. 4.34: SEPL com filtro LC – Comportamento das potências ativas no modo compartilhado para variações na carga com e sem injeção de potência ativa no SEPA. Em (b): P_L (Ch1: 100W/div); P_C (Ch2: 100W/div); P_S (Ch3: 100W/div); e i_s (Ch4: 2A/div).

Adicionalmente à figura 4.31, a figura 4.33 exibe o comportamento das tensões CC ao longo de uma execução do sistema proposto no modo compartilhado. Nota-se um aumento nos desvios das tensões CC à medida que são aumentadas as exigências de energia requerida pela carga. Isso ocorre de forma independente ao fato da carga ser linear ou não-linear.

A figura 4.34 exibe o comportamento das potências ativas durante um ciclo completo da operação do sistema proposto no modo compartilhado para o SEPL com filtro LC. Durante a varredura

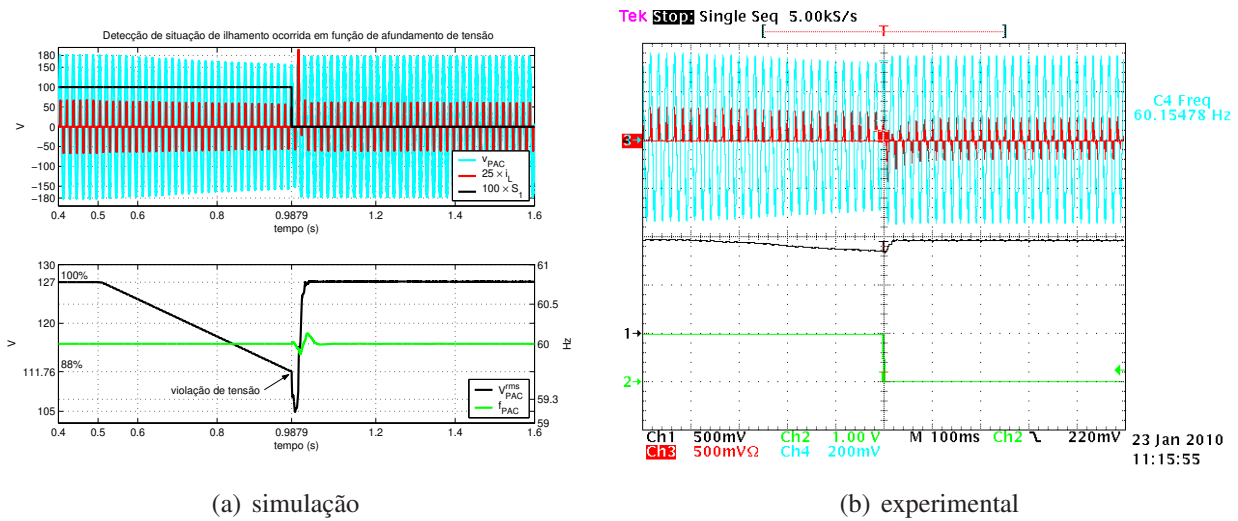


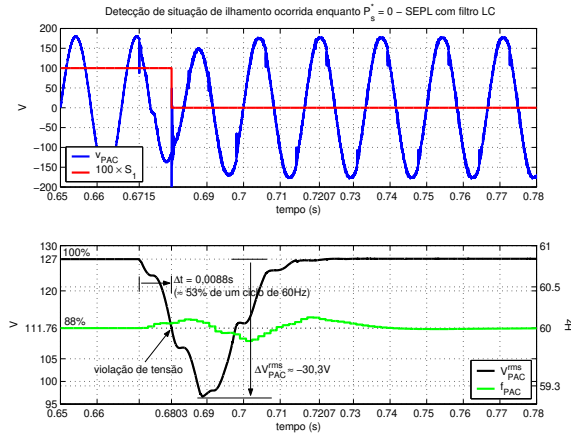
Fig. 4.35: SEPL com filtro LC – Situação de ilhamento alternativa com $P_s^* = 0$: afundamento da tensão na barra PAC e, conseqüentemente, abertura da chave S_1 por violação dos limites de tensão. Em (b): V_{PAC}^{rms} (Ch1: 127V/div); S_1 (lógico) (Ch2: 5V/div); i_L (Ch3: 5A/div); e v_{PAC} (Ch4: 100V/div).

deste ciclo, nota-se que ocorreram mudanças na carga enquanto havia e não havia o fornecimento de potência ativa para o SEPA. Como resposta a tais sinais de distúrbio, o inversor multinível foi capaz de aumentar ou diminuir a potência de saída do inversor de forma a responder satisfatoriamente às variações de alimentação da carga e, também, manter constante o fornecimento desejado ao SEPA.

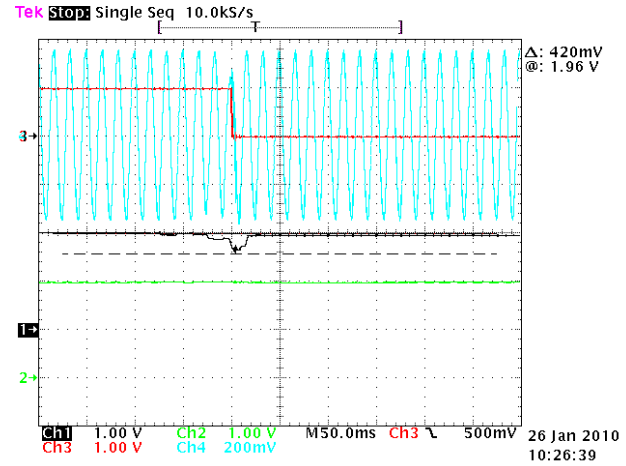
Após a verificação da operação do sistema proposto no modo compartilhado considerando o SEPL com filtro LC, é necessário checar se a inclusão da capacitância de filtragem provoca alterações na detecção de uma condição de ilhamento.

Primeiramente, uma forma alternativa de estimular a detecção de uma condição de ilhamento é apresentada na figura 4.35. A condição de ilhamento forçada corresponde a um afundamento da tensão da barra PAC a partir de um instante no qual não havia injeção de potência ativa no SEPA ($P_s^* = 0$). O tempo de detecção do afundamento de tensão não é relevante uma vez que o afundamento depende, dentre outros fatores, da taxa de decaimento da tensão na barra PAC. Por outro lado, o tempo de recuperação da tensão v_{PAC} após a detecção da condição de ilhamento e, conseqüentemente, a retomada no fornecimento nominal de energia elétrica à carga são características notáveis dessa condição-teste de afundamento.

Outra maneira de verificar a detecção de uma condição de ilhamento para o SEPL com filtro LC é a realização da manobra indicada na figura 4.15. Para tal manobra do primário do transformador de distribuição e considerando que não havia fornecimento de potência ativa do SEPL para o SEPA ($P_s^* = 0$), as figuras 4.36 e 4.37 exibem as características que envolveram a detecção da condição de ilhamento testada.

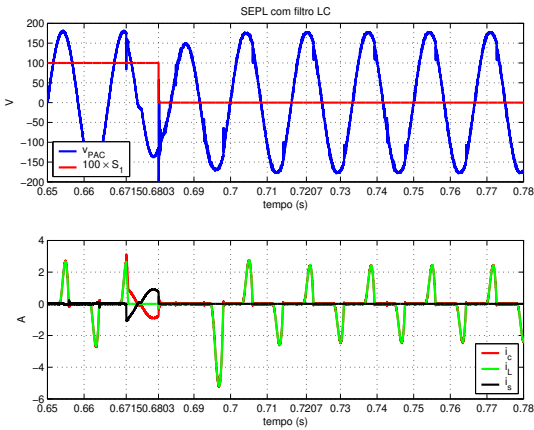


(a) simulação

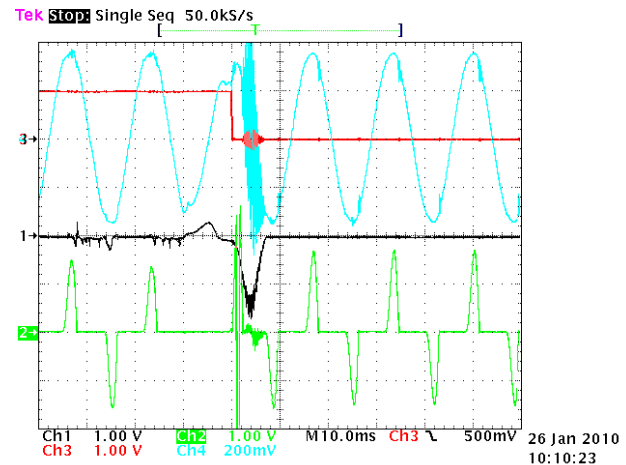


(b) experimental

Fig. 4.36: SEPL com filtro LC – Comportamento do valor eficaz e da frequência associados à tensão na barra PAC em função da detecção de uma situação de ilhamento com $P_s^* = 0$. Em (b): V_{PAC}^{rms} (Ch1: 63,5V/div); f_{PAC} (Ch2: 30Hz/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).



(a) simulação (ref. Fig. 4.36(a))



(b) experimental

Fig. 4.37: SEPL com filtro LC – Comportamento das correntes durante a detecção de uma situação de ilhamento com $P_s^* = 0$. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

A figura 4.36 exibe o comportamento dos parâmetros V_{PAC}^{rms} e f_{PAC} , os quais são os parâmetros que determinam a vigência ou não de uma condição de ilhamento. Exceto pela forma de onda da tensão v_{PAC} após a abertura da chave S_1 , os dados da figura 4.36 são muito semelhantes aos dados exibidos na figura 4.16 para o SEPL original.

O comportamento das correntes durante a detecção do ilhamento e a abertura da chave S_1 é exibido na figura 4.37. Pode-se notar na figura 4.37(b) que mesmo após a detecção da condição de ilha-

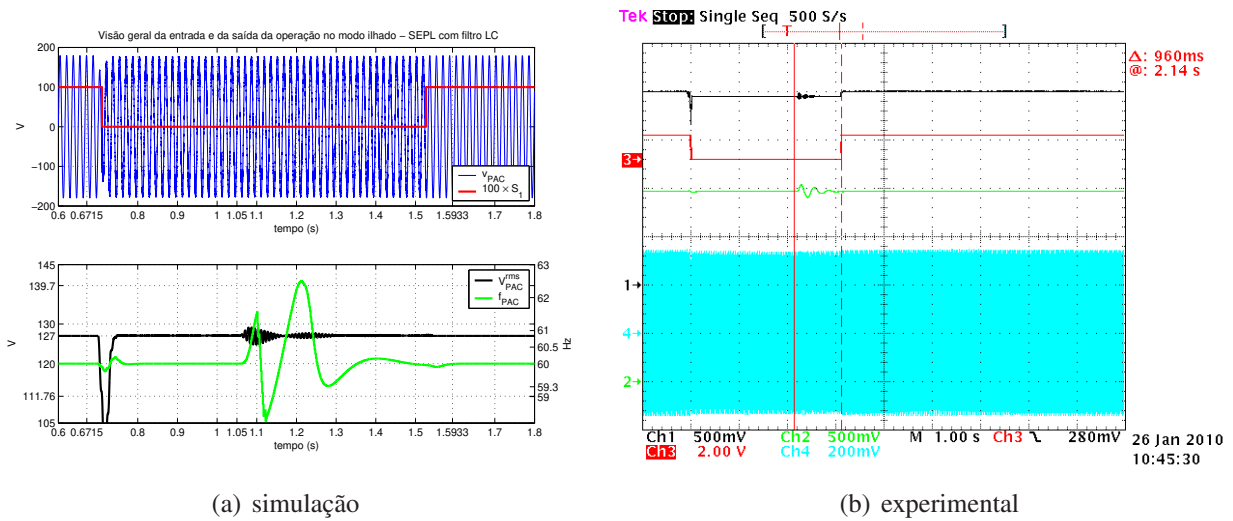


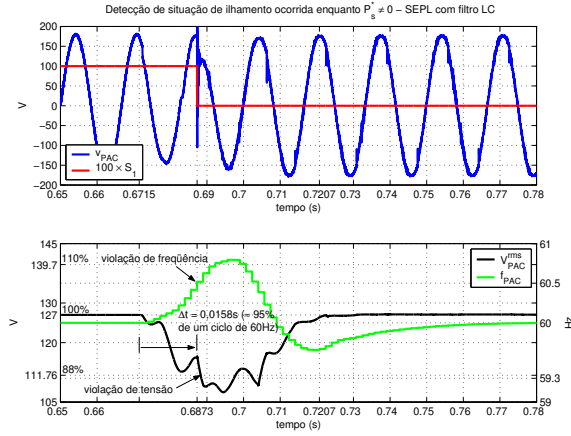
Fig. 4.38: SEPL com filtro LC – Visão geral da detecção de uma situação de ilhamento com $P_s^* = 0$ e das ações do método de sincronismo antes que se faça a religação da chave S_1 . Em (b): V_{PAC}^{rms} (Ch1: $127/2V/div$); f_{PAC} (Ch2: $30Hz/div$); S_1 (lógico) (Ch3: $5V/div$); e v_{PAC} (Ch4: $100V/div$).

mento a chave S_1 permanece fechada por alguns instantes. Durante esse intervalo de tempo, ocorrem variações em alta frequência na tensão v_{PAC} na tentativa de se manter constante o fluxo magnético no transformador de distribuição. Parte da energia acumulada no capacitor do filtro LC força a condução da chave S_1 . Ela é mantida fechada até que a corrente i_s seja diminuída e a transferência de energia para transformador seja cessada. Após esse instante, a chave S_1 é aberta e o sistema proposto passa a operar corretamente no modo ilhado.

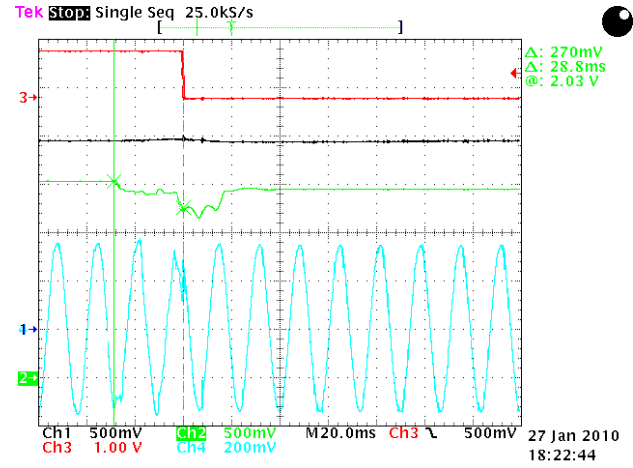
A partir da figura 4.38 é possível ter uma visão geral da operação integral do sistema proposto no modo ilhado. Desde o seu início, a partir da detecção da condição de ilhamento na condição $P_s^* = 0$ (figura 4.36) até o retorno à operação no modo compartilhado mediante a religação da chave S_1 após os ajustes do método de sincronismo (figura 4.26). Nota-se que os ajustes feitos na frequência f_{PAC} durante o método de sincronismo são mais intensos do que aqueles realizados na figura 4.20, provavelmente em função da defasagem inicial não ser equivalente em ambos os casos.

As características relacionadas ao método de detecção de uma condição de ilhamento para o sistema proposto para o SEPL com filtro LC ocorrida enquanto havia a injeção de um montante de potência ativa no SEPA ($P_s^* \neq 0$) são apresentadas nas figuras 4.39, 4.40 e 4.41.

A partir da figura 4.39 nota-se que a condição de ilhamento foi detectada por uma violação de frequência ocorrida poucos instantes antes de também ocorrer uma violação de tensão. Diferentemente do que é exibido na figura 4.36, a frequência f_{PAC} sofre uma variação maior provocada pelo método ativo de detecção empregado. A combinação da inclusão do filtro LC com a presença de uma injeção de potência ativa no SEPA parece retardar variações na tensão v_{PAC} em função do ponto de

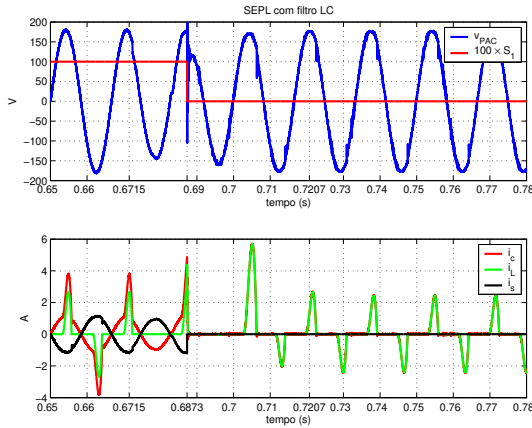


(a) simulação

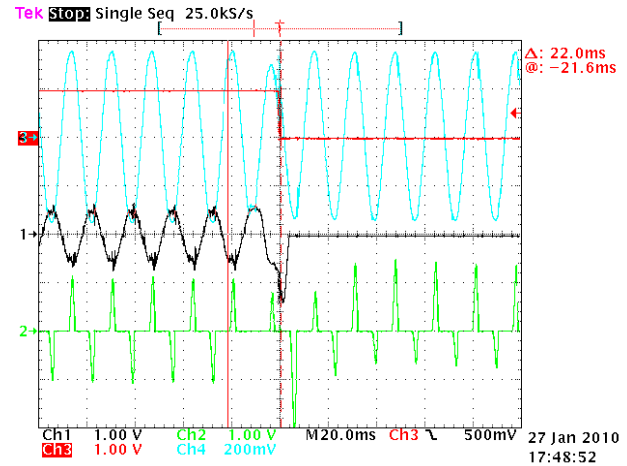


(b) experimental

Fig. 4.39: SEPL com filtro LC – Comportamento do valor eficaz e da frequência associados à tensão na barra PAC em função da detecção de uma situação de ilhamento com $P_s^* \neq 0$. Em (b): f_{PAC} (Ch1: 30Hz/div); V_{PAC}^{rms} (Ch2: 127/2V/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).



(a) simulação (ref. Fig. 4.39(a))



(b) experimental

Fig. 4.40: SEPL com filtro LC – Comportamento das correntes durante a detecção de uma situação de ilhamento com $P_s^* \neq 0$. Em (b): i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); S_1 (lógico) (Ch3: 5V/div); e v_{PAC} (Ch4: 100V/div).

operação do transformador de distribuição. Tal retardo na variação da tensão parece estimular uma maior variação na frequência f_{PAC} como forma de perturbar cada vez mais a tensão v_{PAC} e provocar uma violação de tensão/frequência.

As figuras 4.40(b) e 4.41 reforçam a hipótese de que após a abertura da chave seccionadora do lado primário do transformador de distribuição, usa-se uma parcela de energia proveniente do SEPL na tentativa de manter constante o fluxo magnético no transformador. Após essa transferência da

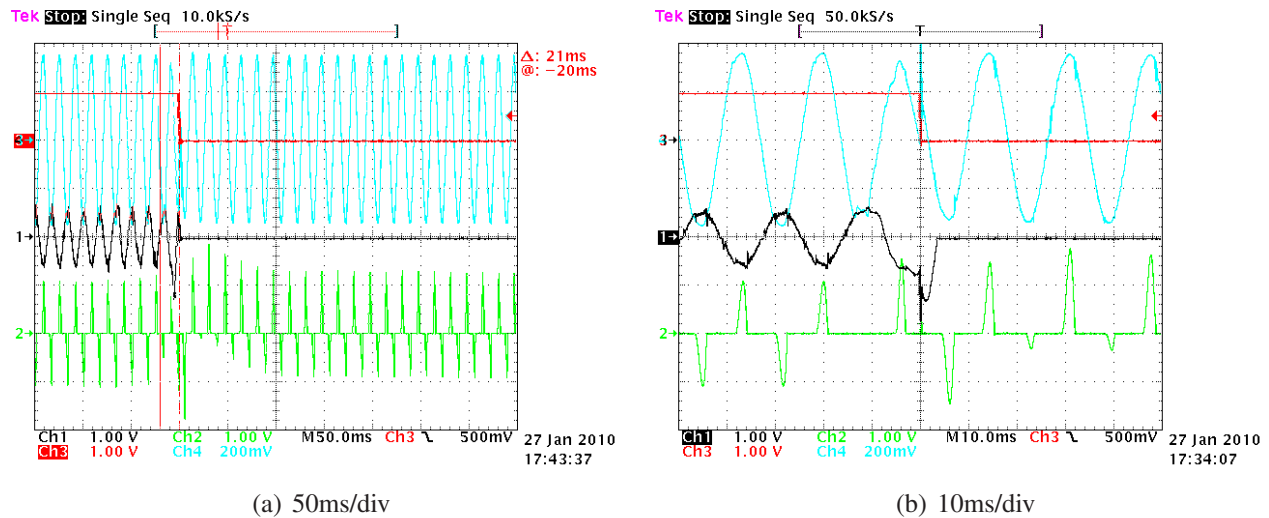


Fig. 4.41: Diferentes representações da figura 4.40(b) para variações em sua escala horizontal.

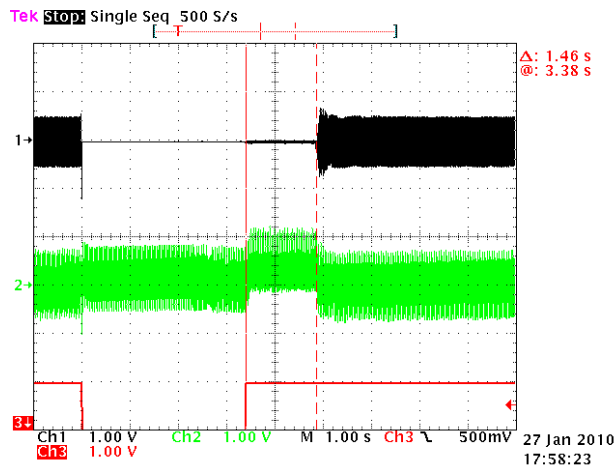
parcela de energia, a chave S_1 é aberta e a corrente de alimentação de carga i_L tende de forma exponencial ao seu estado em regime permanente, conforme é exibido na figura 4.41(a).

Por fim, as figuras 4.42 e 4.43 exemplificam uma razão para a limitação em potência existente no protótipo experimental. Apesar dos resultados exibidos terem sido obtidos para o SEPL com filtro LC, tal limitação em potência é verificada também no SEPL original pois ela é mais dependente das características de operação do inversor multinível.

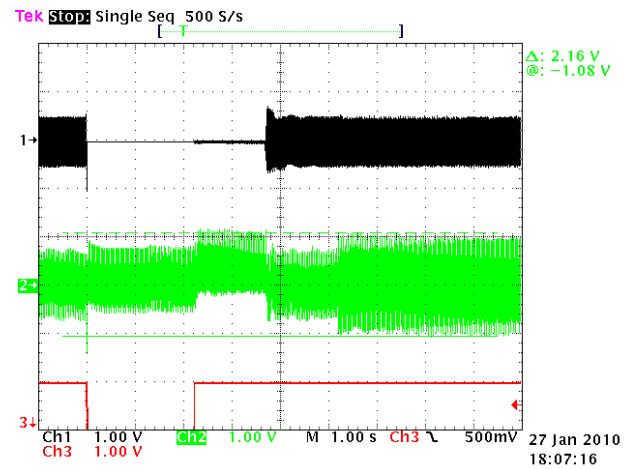
A figura 4.42 exibe a operação completa do sistema proposto sob duas diferentes situações: a carga é mantida constante durante todo o intervalo de observação; ou a demanda de alimentação da carga é dobrada após a religação da chave S_1 e a injeção de 50W no SEPA. Analisando os sinais das correntes i_s e i_L para ambas as situações, nota-se que a variação da carga não afetou o desempenho do sistema proposto em suprir as necessidades de alimentação da carga e também em fornecer a potência ativa desejada para o SEPA.

A figura 4.43 exibe as mesmas situações da figura 4.42. Naquela, porém, em uma das situações a demanda da carga é dobrada enquanto um montante de 100W é injetado no SEPA. Conforme observado na figura 4.42(b), a partir dessa variação na demanda da carga, a operação do sistema proposto em manter, simultaneamente, a alimentação da carga e a injeção de potência ativa no SEPA, é prejudicada. As oscilações presentes na corrente i_s após a variação na demanda da carga indicam que, no intuito de privilegiar a alimentação da carga, não resta mais uma quantia adicional de potência CC que seja capaz de estabilizar a operação do controlador de potência média e, consequentemente, garantir a injeção do montante desejado de 100W no SEPA.

Além da corrente i_s referente ao SEPA, a figura 4.43 também exibe o comportamento dos valores médios das tensões CC do inversor multinível durante a operação completa do sistema proposto.

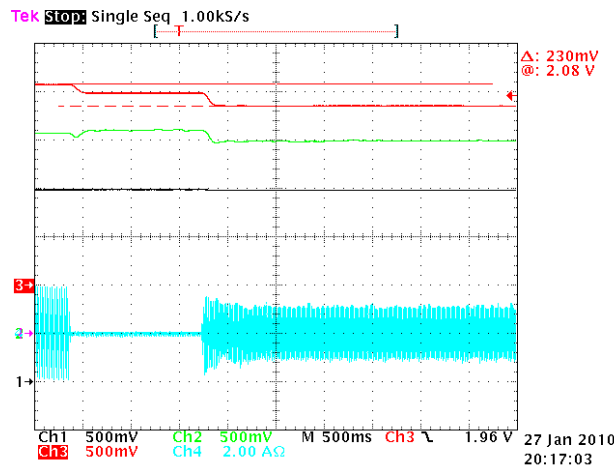


(a) carga constante

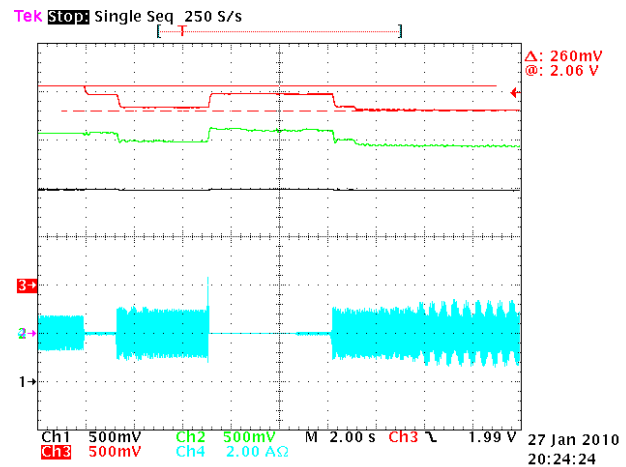


(b) aumento de carga

Fig. 4.42: SEPL com filtro LC – Ciclo completo de operação do sistema proposto exibido a partir do modo compartilhado para a condição $P_s^* = -50\text{W}$. Em ambas: i_s (Ch1: 2A/div); i_L (Ch2: 2A/div); e S_1 (lógico) (Ch3: 5V/div).



(a) inativo até modo compartilhado sob carga constante



(b) aumento de carga após reinício de injeção de pot. ativa

Fig. 4.43: SEPL com filtro LC – Ciclo completo de operação do sistema proposto exibido a partir do estado inativo (ou desligado) e considerando $P_s^* = -100\text{W}$ durante o modo compartilhado. Em ambas: \bar{V}_1 (Ch1: 11,4V/div ou 0,5pu/div); \bar{V}_2 (Ch2: 22,9V/div ou 0,5pu/div); \bar{V}_3 (Ch3: 68,8V/div ou 0,5pu/div); e i_s (Ch4: 2A/div).

Percebe-se que mesmo quando não há variação na demanda da carga, as tensões \bar{V}_2 e \bar{V}_3 são desviadas de forma significativa dos seus respectivos valores iniciais, e que tais desvios são proporcionais à potência de saída do inversor multinível. Os efeitos não são percebidos também na tensão \bar{V}_1 pois, neste caso, ela é mantida constante mediante o uso de uma fonte de tensão CC regulável e isolada.

Os desvios observados nas tensões \bar{V}_2 e \bar{V}_3 resultam das quedas de tensão sobre as resistências

internas das fontes CC não-controladas acopladas aos barramentos CC do inversor multinível. Conforme a figura 4.43(b), a variação na demanda de carga provoca uma estagnação nos desvios das tensões \overline{V}_2 e \overline{V}_3 . Tal estagnação advém do fato de que as novas potências requeridas para os módulos inversores excedem a capacidade de fornecimento de potência CC dessas fontes CC não-controladas. Consequentemente, a potência de saída total do inversor multinível é limitada e incapaz de suprir as necessidades da carga e do fornecimento ao SEPA. Tal limitação não é verificada nas situações exibidas na figura 4.42 porque o montante de potência ativa fornecida ao SEPA corresponde à metade do valor desejado para as situações da figura 4.43.

A limitação em potência do inversor multinível também está relacionada aos desvios observados nas tensões \overline{V}_2 e \overline{V}_3 . Os sistemas de controle que regem a operação do sistema proposto durante o modo compartilhado requerem que a tensão de saída do inversor v_c seja semelhante ao seu sinal de referência v_c^* , que corresponde ao sinal de atuação. Como tal semelhança não ocorre em função dos desvios nas tensões CC, os sistemas de controle envolvidos são comprometidos. Especificamente com relação à corrente i_s , sua forma de onda difere da forma de onda da tensão v_{PAC} e tais deformações comprometem também a qualidade da energia injetada no SEPA. Portanto, a manutenção das tensões CC próximas de seus respectivos valores de referência é de suma importância para um funcionamento eficaz do sistema proposto de geração distribuída. Os dispositivos auxiliares que forem responsáveis pela regulação de tais tensões CC devem também permitir a possibilidade de ocorrer um aumento da potência CC fornecida pelos barramentos CC sem que isso resulte, em regime permanente, em um desvio do valor desejado.

4.6 Conclusões

Neste capítulo foram apresentados de forma simultânea os resultados obtidos a partir de um protótipo experimental e também de um modelo computacional para simulações, considerando uma operação plena do sistema monofásico de geração distribuída proposto. A partir das especificações e do projeto dos controladores envolvidos, foi possível verificar o sistema proposto em operação nos modos compartilhado e ilhado. Além disso, foram apresentadas as ações e os efeitos verificados quando há uma transição entre os modos de operação, seja pela detecção de uma condição de ilhamento, seja pela sincronização das tensões a chave de interligação entre o SEPA e o SEPL.

Os resultados obtidos validaram o método de gerenciamento proposto para um sistema monofásico de geração distribuída. Porém, conclui-se que o sucesso de sua operação está diretamente relacionada com uma contínua correção das tensões CC no inversor multinível. Desvios provocados em tais tensões afetam a qualidade da energia elétrica injetada no SEPA e também contribuem na limitação da potência de saída do inversor multinível. Considerações sobre a elaboração do modelo

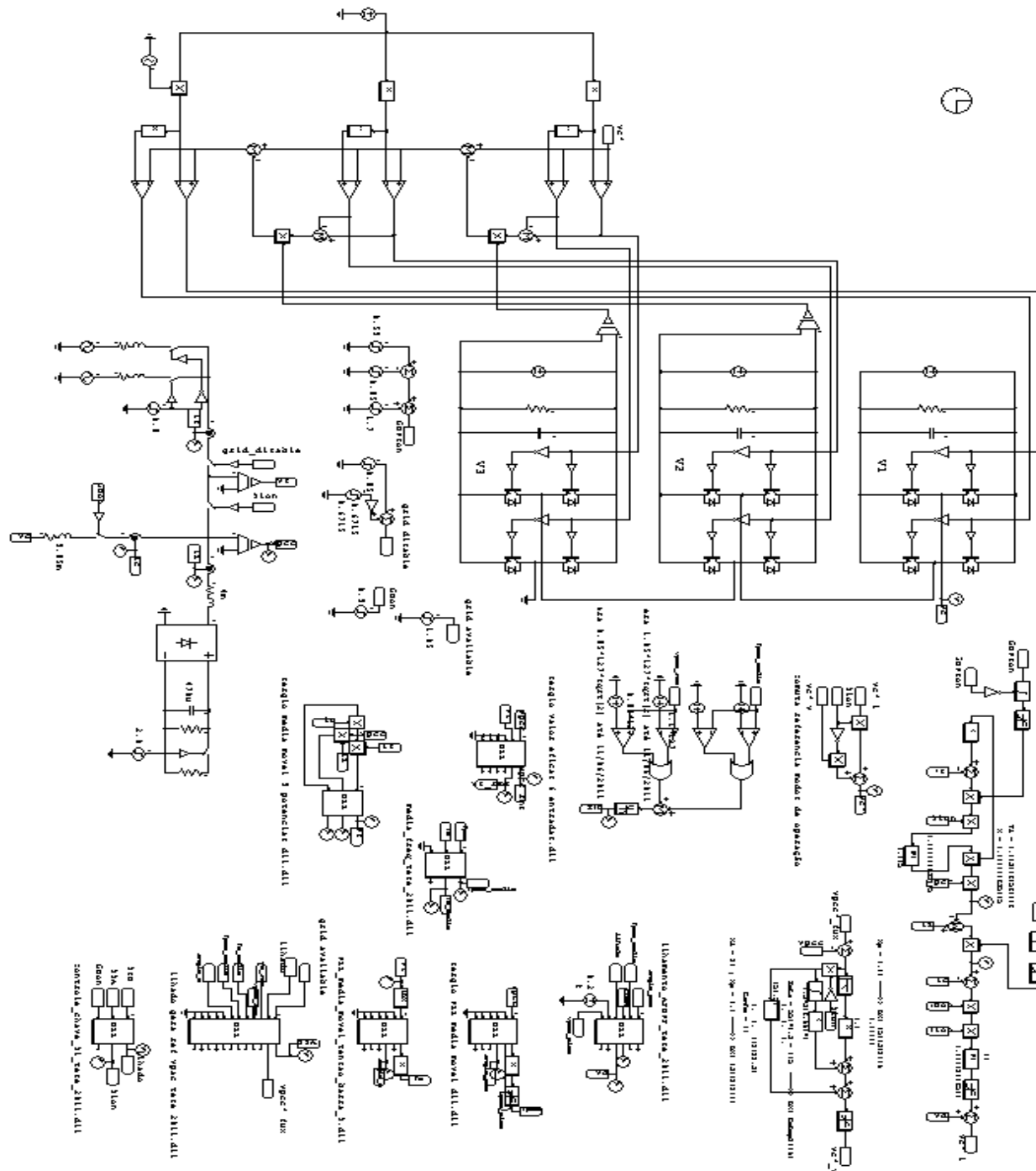


Fig. 4.44: Visão geral do ambiente de simulação do sistema proposto de geração distribuída no PSIM.

computacional e do protótipo experimental são apresentadas. Possibilidades de melhoria da tensão de alimentação da carga durante o modo ilhado também são discutidas e uma delas é verificada.

Capítulo 5

Conclusões finais

As informações contidas nos capítulos anteriores descreveram a maneira como os objetivos propostos para este trabalho foram cumpridos. Para isso, os dados apresentados e relativos à proposta de um sistema monofásico de geração distribuída envolveram todas as etapas de sua elaboração, desde a contextualização da aplicação e a descrição dos dispositivos envolvidos até a verificação e a análise dos resultados obtidos.

Dessa forma, pode-se afirmar que foi apresentado um sistema monofásico de geração distribuída capaz de ser mantido em operação considerando alimentação de cargas lineares, cargas não-lineares ou cargas resultantes da combinação entre elas, pois tais tipos de cargas são típicas em circuitos secundários de distribuição de energia elétrica em baixa tensão, associados principalmente com consumidores residenciais. O sistema deve manter a qualidade da tensão local de alimentação. O comportamento do sistema foi verificado para uma operação sob tal cenário. A partir do desempenho satisfatório verificado, pode-se vislumbrar que ele seja capaz de se comportar satisfatoriamente também em outras condições de operação e que envolvam outros tipos de cargas.

Foram apresentados os elementos constituintes e os detalhes que envolvem a operação do sistema monofásico de geração distribuída. Ele é constituído por uma associação de inversor multinível de 19 níveis com uma indutância de acoplamento. Essa associação é colocada em derivação junto à carga no seu ponto de conexão à rede secundária de distribuição de energia elétrica. Detalhes com relação ao inversor multinível também foram apresentados, tais como: vantagens e desvantagens da estrutura multinível; aproveitamento da energia proveniente de uma ou mais fontes primárias de energia; topologia e estratégia de modulação escolhidas; número de módulos inversores do tipo ponte H agrupados; e o número máximo de níveis verificados no sinal de saída do inversor.

A relação direta entre o modo de operação do sistema e o estado da chave de interligação S_1 foi enfatizada. Com a chave S_1 fechada, o sistema operou no modo compartilhado. Quando ela esteve aberta, no modo ilhado. A determinação dos estados aberto ou fechado da chave S_1 foi definida a partir

dos métodos de gerenciamento das transições entre os modos de operação. Foram eles: o método de detecção de condição de ilhamento e o método de sincronismo das tensões nos terminais da chave. Durante o modo compartilhado, o sistema proposto foi capaz de fornecer toda a demanda de alimentação da carga e, em casos de sub-utilização da energia armazenada no inversor multinível, promover o fornecimento de potência ativa ao circuito secundário alimentador. Foram utilizados sistemas de controle realimentados para manter as correntes e as potências de interesse próximas de seus respectivos valores de referência. As etapas dos métodos de projeto de cada um dos controladores envolvidos nos sistemas realimentados foram detalhadas. Durante o modo ilhado, a tensão de alimentação da carga foi mantida próxima de um sinal de referência senoidal e que correspondia às características nominais de alimentação da carga. Os ajustes necessários para tal objetivo foram realizados por um controlador do tipo proporcional e ressonante. As justificativas e pontos principais da proposta de um método de projeto para o controlador do tipo proporcional e ressonante também foram apresentadas.

Para verificar o comportamento do sistema proposto, duas etapas foram contempladas neste trabalho: a elaboração de um modelo computacional para simulações; a elaboração de um protótipo experimental para comprovação dos resultados. O modelo computacional foi elaborado no software PSIM e envolveu também o uso de blocos funcionais específicos do tipo DLL desenvolvidos em linguagem C no software Dev-C++. O protótipo experimental envolveu o uso de módulos de potência baseados em IGBT's e de um DSP de ponto fixo TMS320F2812 como elementos principais. O gerenciamento da operação do DSP foi possível a partir de rotinas implementadas nas linguagens C e IQMATH. Detalhes a respeito do modelo computacional para simulações e do código implementado no DSP estão disponíveis na seção de Apêndices.

Os resultados obtidos nos âmbitos computacional e experimental foram comparados. Tal comparação envolveu as características da operação completa do sistema proposto de acordo com a sequência: inativo; início no modo compartilhado; detecção de condição de ilhamento no modo compartilhado; modo ilhado; sincronismo das tensões no modo ilhado e retorno ao modo compartilhado, reiniciando o ciclo de operação. A partir da comparação e da análise dos resultados obtidos foi possível notar uma limitação do controlador de corrente do tipo PI utilizado. O uso de tal tipo de controlador restringe a operação do sistema proposto a um número limitado de pontos de operação, nos quais pode-se manter a estabilidade absoluta da operação e, também, manter o seu desempenho satisfatório. Tal limitação e a necessidade de alimentar cargas não-lineares sugerem que outros tipos de controladores sejam utilizados, provavelmente aqueles baseados em técnicas não-lineares.

Outro ponto observado a partir da comparação de resultados foi que o desempenho do sistema proposto é dependente da relação observada entre os valores das tensões CC do inversor multinível. De acordo com a configuração escolhida, tais tensões CC devem respeitar a relação 1 : 2 : 6. Desvios em das tensões CC de seus respectivos valores de referência promovem variações nesta relação e,

consequentemente, limitam a potência de saída do inversor e afetam a qualidade da energia elétrica fornecida ao circuito secundário alimentador.

Por fim, durante a apresentação dos resultados obtidos para uma operação no modo ilhado, considerou-se a substituição da indutância de acoplamento do sistema proposto por um filtro de 2ª ordem do tipo LC. Essa substituição seria motivada pelo interesse em atenuar os componentes em alta frequência da tensão de alimentação da carga e que são provenientes das comutações em alta frequência do módulo de menor tensão do inversor multinível. Resultados obtidos após essa substituição foram apresentados e comparados com os resultados obtidos com o uso apenas da indutância de acoplamento. Outras alternativas que contemplam tal objetivo também foram discutidas.

Diante das características observadas, pode-se afirmar que este estudo estimula as discussões relacionadas à utilização da Eletrônica de Potência em sistemas de geração distribuída e, também, aos aspectos da inserção de fontes alternativas de geração de energia elétrica em redes de baixa tensão. Em relação a outros estudos envolvendo sistemas monofásicos de geração distribuída, este trabalho contribuiu com a abordagem de cargas não-lineares conectadas ao PAC e, também, com a apresentação dos métodos de projeto dos sistemas de controle envolvidos na operação. Principalmente com relação ao controlador do tipo proporcional e ressonante, para o qual foi apresentada uma proposta de projeto baseada na sua resposta em malha fechada no domínio do tempo. Geralmente tal tipo de controlador é especificado apenas a partir de variações na sua função de transferência em malha aberta observadas no domínio da frequência. Assim como foi observado na descrição do método ativo de detecção de ilhamento utilizado, o qual, diferentemente propostas anteriores, insere perturbações na tensão de saída do inversor. Geralmente tais perturbações são inseridas na corrente de saída, entretanto supõe-se que elas tenham formas de onda praticamente senoidais. A técnica de síntese de carga resistiva tem sido normalmente associada a dispositivos de compensação harmônica como por exemplo um filtro ativo de potência. A sua utilização em sistemas de geração distribuída pode ser considerada inovadora e ela foi escolhida em função do interesse em maximizar o fator de potência da energia fornecida à rede de distribuição.

De acordo com os argumentos apresentados, a estrutura multinível adotada para o inversor multinível foi a topologia em cascata assimétrica de 19 níveis. Em contrapartida à simplificação do filtro de saída, a adoção da topologia em cascata assimétrica requer que múltiplas fontes CC isoladas entre si sejam utilizadas nos barramentos CC do inversor multinível. Aparentemente tal desvantagem pode tornar mais complexa e numerosa a topologia física do inversor. Porém, considerando um sistema de geração distribuída que incorpore um sistema fotovoltaico de geração de energia elétrica, tais fontes CC isoladas poderiam ser obtidas mediante o agrupamento de painéis fotovoltaicos que resultassem em tensões de saída equivalentes aos valores desejados pela topologia. Tal analogia também poderia ser aplicada para sistemas de geração de energia baseados em células a combustível. A exigência

de isolamento entre as fontes CC também permite que se aproveite diferentes tipos de geração de energia elétrica. Sistemas que apresentam desempenho transitório mais lento poderiam acoplados aos módulos de maior tensão do inversor e vice-versa.

5.1 Sugestões para trabalhos futuros

Como sugestão à continuidade deste trabalho, as seguintes questões ainda podem ser exploradas:

- Inclusão de conversores CC/CC acoplados aos barramentos CC do inversor multinível de forma a manter as tensões CC equivalentes aos seus respectivos valores de referência para uma faixa considerável de pontos de operação;
- Considerando o uso de conversores CC/CC, estudo comparativo da inclusão e aproveitamento energético de diversos tipos de fontes primárias de energia, principalmente, àquelas que envolvam sistemas fotovoltaicos e sistemas baseados em células a combustível;
- Uso de capacitâncias mais elevadas nos barramentos CC do inversor multinível de forma a diminuir as ondulações de tensão observadas;
- Verificação experimental e determinação matemática da limitação de potência presente na operação do sistema proposto;
- Adoção de um sistema de controle do total de energia CC armazenada no inversor durante a operação no modo ilhado. Tal sistema atuaria no balanço de energia observado entre o montante disponível no lado CC do inversor e a demanda requerida pela carga;
- Estudos dos efeitos causados por desvios das tensões CC de seus respectivos valores de referência na qualidade da energia elétrica fornecida à carga e, também, injetada no circuito secundário alimentador disponível à montante da chave S_1 na forma de potência ativa;
- Estudo da viabilidade e da implementação de outras técnicas ativas na detecção de uma condição de ilhamento em um período de tempo que não extrapole os limites estabelecidos em [3] ou outra referência de caráter normativo relacionada à aplicação em análise;
- Uso e descrição do método de projeto de controladores com características não-lineares nos sistemas de controle realimentados do sistema proposto, principalmente no sistema de controle da corrente de saída do inversor multinível;
- Análise da operação do sistema proposto em aplicações que envolvam outros tipos de cargas;

- Aplicação das técnicas de gerenciamento da operação do sistema proposto em sistemas trifásicos de geração distribuída que envolvam a injeção de potências mais elevadas em sistemas de energia elétrica com níveis mais altos de tensão;
- Tal qual sugestão imediatamente anterior, mas considerando o uso de um inversor multinível na topologia cascata simétrica;
- Estudo comparativo da operação do sistema proposto conforme os métodos de controle apresentados (baseado nos sinais instantâneos de tensão e corrente) e, também, conforme o método clássico de controle do fluxo de potência (baseado em condições de regime permanente e envolvendo variações de fase e de amplitude);
- Determinação de modelos matemáticos para os elementos com características não-lineares de operação do sistema proposto (inversor multinível e cargas não-lineares) em termos de funções descritivas;
- Determinação de modelos em variáveis de estado para o inversor multinível e, também, para o sistema proposto de acordo com modo de operação vigente;
- Sub-divisão das tarefas realizadas pelo DSP em outros processadores de menor capacidade, tal qual um sistema de controle distribuído e que permita a execução de diversas rotinas em períodos diferentes de processamento. A inclusão de conversores CC/CC no sistema proposto é um dos exemplos que necessitariam dessa sub-divisão das tarefas (rotinas) necessárias;
- Análise do desempenho da operação do sistema proposto na tentativa de se cumprir os índices de análise estabelecidos pela norma européia UL 1741. Uma vez que este trabalho é verificado com a recomendação americana IEEE Std 1547-2003, a utilização de outra referência normativa possibilitaria uma comparação entre os dois;
- Levantamento das ZND's observadas para diferentes valores do ganho k_f do método ativo de detecção de ilhamento e verificação da robustez do método frente a cortes de carga e/ou ocorrência de curto-circuitos;
- Estudo e implementação de outras alternativas para a melhoria de tensão de alimentação da carga durante o modo ilhado de operação;
- Estudo dos efeitos no desempenho do sistema proposto ocasionados pela diminuição das frequências de amostragem e de comutação; e
- Por fim, o uso de outras chaves semicondutoras no inversor multinível e seus respectivos impactos no desempenho do sistema monofásico de geração distribuída apresentado.

Referências bibliográficas

- [1] D. N. Gaonkar (Ed.). *Distributed Generation*. InTech, 2010. ISBN 978-953-307-046-9.
- [2] F. A. Farret. *Aproveitamento de pequenas fontes de energia elétrica*. Ed. da UFSM, 1999. ISBN 85-7391-014-3.
- [3] *IEEE Standard for Interconnecting Distributed Resources with Electric Power Systems*. IEEE Std 1547-2003, 2003.
- [4] H. Xu, L.i Kong, and X. Wen. Fuel cell power system and high power dc-dc converter. *IEEE Transactions on Power Electronics*, vol. 19, no. 5, pp. 1250-1255, September 2004.
- [5] Y. Xue, L. Chang, S. B. Kjaer, J. Bordonau, and T. Shimizu. Topologies of single-phase inverters for small distributed power generators: An overview. *IEEE Transactions on Power Electronics*, vol. 19, no. 5, pp. 1305-1314, September 2004.
- [6] Y. Jung, J. Choi, B. Yu, and G. Yu. Optimal design of active anti-islanding method using digital pll for grid-connected inverters. *IEEE Power Electronics Specialists Conf. (PESC'06)*, pages 1-6, 2006.
- [7] M. G. Villalva. Conversor eletrônico de potência trifásico para sistema fotovoltaico conectado à rede elétrica. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Outubro 2010.
- [8] H. Farhangi. The path of the smart grid. *IEEE Power and Energy Magazine*, pp. 18-28, January/February 2010.
- [9] Wikipédia. Energia renovável. 2011. http://pt.wikipedia.org/wiki/Energia_renovável, acesso em junho/2011.
- [10] *International Energy Outlook 2010*. U.S. Energy Information Administration (EIA), 2010.
- [11] *BIG - Banco de Informações de Geração (Atualizado em: 28/06/2011)*. ANEEL, 2011.

- [12] Matéria Jornalística. Governo alemão anuncia o fechamento de suas usinas nucleares até 2022. *Folha de São Paulo*, publicada em 30/05/2011, 2011.
- [13] *Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional - PRODIST*. ANEEL, 2011.
- [14] F. Filho, Y. Cao, and L. M. Tolbert. 11-level cascaded h-bridge grid-tied inverter interface with solar panels. *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC'2010)*, pp. 968-972, February 2010.
- [15] T. Ackermann, G. Andersson, and L. Söder. Distributed generation: a definition. *Electric Power Systems Research*, vol. 57, pp. 194-204, 2001.
- [16] K. M. N. Syafii and M. Abdel-Akher. Analysis of three phase distribution networks with distributed generation. *2nd IEEE International Conference on Power and Energy (PECon 08)*, pp. 1563-1568, Johor Baharu, Malaysia, December 2008.
- [17] L. V. L. de Abreu, F. A. S. Marques, J. Morin, W. Freitas, and L. C. P. da Silva. Impact of distributed synchronous generators on the dynamic performance of electrical power distribution systems. *IEEE/PES Transmission and Distribution Conference and Exposition: Latin America*, pp. 959-963, Sao Paulo, Brazil, November 2004.
- [18] H. M. Ayres, W. Freitas, M. C. De Almeida, and L. C. P. da Silva. Method for determining the maximum allowable penetration level of distributed generation without steady-state voltage violations. *IET Generation, Transmission and Distribution*, vol. 4, no. 4, pp. 495-508, 2010. DOI: 10.1049/iet-gtd.2009.0317.
- [19] R. Q. Machado. Sistema de geração distribuída com fontes ca e cc conectado a rede monofásica e controle eletrônico da qualidade da energia elétrica. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Fevereiro 2005.
- [20] A. Timbus, R. Teodorescu, F. Blaabjerg, and M. Liserre. Synchronization methods for three phase distributed power generation systems - an overview and evaluation. *IEEE Power Electronics Specialists Conference 2005 (PESC'05)*, pp. 2474-2481, Recife, Brazil, June 2005.
- [21] D. Yazdani, M. Pahlevaninezhad, and A. Bakhshai. Three-phase grid synchronization techniques for grid connected converters in distributed generation systems. *IEEE International Symposium on Industrial Electronics (ISIE 2009)*, pp. 1105-1110, Seoul, Korea, July 2009.

- [22] J. Qiang and L. Yong-li. A study on steady characters of inverter interfaced distributed generation in three phase symmetrical system. *International Conference on Power System Technology (POWERCON 2010)*, pp. 1-7, Hangzhou, China, October 2010. DOI: 10.1109/POWERCON.2010.5666669.
- [23] F. Wang, J. L. Duarte., and M. A. M. Hendrix. Pliant active and reactive power control for grid-interactive converters under unbalanced voltage dips. *IEEE Transactions on Power Electronics*, vol. PP, no. 4, pp. 1-1, 2010. DOI: 10.1109/TPEL.2010.2052289.
- [24] G. M. Martins. Desenvolvimento de conversor comutado em baixa frequência para aplicação em sistemas de geração distribuída baseados em células a combustível. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Julho 2006.
- [25] R. M. M. Martinez. Estudo de técnicas de controle de fluxo de potência e de gerenciamento de ilhamento em sistemas de geração distribuída com interfaces eletrônicas de potência para conexão com a rede elétrica. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Fevereiro 2010.
- [26] S. P. Pimentel, R. M. M. Martinez, and J. A. Pomilio. Single-phase distributed generation system based on asymmetrical cascaded multilevel inverter. *Congresso Brasileiro de Eletrônica de Potência 2009 (COBEP 2009)*, pp. 346-353, Bonito, MS, Setembro/Outubro 2009.
- [27] S. P. Pimentel. Aplicação de inversor multinível como filtro ativo de potência. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Agosto 2006.
- [28] R. H. Baker and L. H. Bannister. Electric power converter. U.S. Patent 3 867 643, February 1975.
- [29] A. Nabae, I. Takahashi, and H. Akagi. A new neutral-point clamped pwm inverter. *IEEE Transactions on Industry Applications*, vol. IA-17, pp. 518-523, September/October 1981.
- [30] D. G. Holmes and T. A. Lipo. *Pulse Width Modulation For Power Converters: Principles and Practice*. IEEE Press Series on Power Engineering. John Wiley and Sons, Inc., 2003. ISBN 0-471-20814-0.
- [31] R. P. Martin and S. P. Pimentel. Compensação de harmônicos: medição, modelagem e simulação. Projeto final de curso, Escola de Engenharia Elétrica e de Computação (EEEC), Universidade Federal de Goiás, Dezembro 2003.

- [32] S. M. Deckmann and J. A. Pomilio. Avaliação da qualidade da energia elétrica. Apostila da disciplina IT012, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Março 2004. <http://www.dsce.fee.unicamp.br/~antenor/it012.html>, acesso em julho/2010.
- [33] L. A. Silva. Síntese de indutância negativa para aplicação série em redes de energia elétrica. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Março 2007.
- [34] M. V. Ataíde. Contribuição ao projeto de filtros ativos monofásicos de potência. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Janeiro 1997.
- [35] J. Rodriguez, J. S. Lai, and F. Z. Peng. Multilevel inverters: A survey of topologies, controls, and applications. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, August 2002.
- [36] J. S. Lai and F. Z. Peng. Multilevel converters - a new breed of power converters. *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/June 1996.
- [37] C. Rech, H. Pinheiro, H. A. Grundling, H. L. Hey, and J. R. Pinheiro. Analysis and comparison of hybrid multilevel voltage source inverters. *IEEE Power Electronics Specialists Conference 2002 (PESC'02)*, vol. 2, pp. 491-496, June 2002.
- [38] L. A. Silva, S. P. Pimentel, and J. A. Pomilio. Analysis and proposal of capacitor voltage control for an asymmetric cascaded converter. *IEEE Power Electronics Specialists Conference 2005 (PESC'05)*, pp. 809-815, Recife, Brazil, June 2005.
- [39] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo. Hybrid topology for multilevel power conversions. U.S. Patent 6 005 788, 1999.
- [40] M. Calais, L. J. Borle, and V. G. Agelidis. Analysis of multicarrier pwm methods for a single-phase five level inverter. *IEEE Power Electronics Specialists Conference 2001 (PESC'01)*, vol. 3, pp. 1351-1356, Vancouver, Canada, June 2001.
- [41] B. P. McGrath and D. G. Holmes. Multicarrier pwm strategies for multilevel inverters. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 858-867, August 2002.
- [42] H. K. Khalil. *Nonlinear Systems*. Prentice Hall, 3rd edition, December 2001. ISBN 978-0130673893.

- [43] J. C. Geromel and R. H. Korogui. *Controle Linear de Sistemas Dinâmicos*. Editora Edgar Blücher, 2011. ISBN 978-8521205906.
- [44] L. H. A. Monteiro. *Sistemas Dinâmicos*. Editora Livraria da Física, 2ª edição, 2006. ISBN 85-88325-08-X.
- [45] S. P. Pimentel and J. A. Pomilio. Asynchronous distributed generation system based on asymmetrical cascaded multilevel inverter. *34th Annual Conference of IEEE Industrial Electronics Society (IECON 2008)*, pp. 3227-3232, Orlando, FL, USA, November 2008. DOI: 10.1109/IECON.2008.4758477.
- [46] T. E. Nuñez-Zuñiga and J. A. Pomilio. Shunt active filter synthesizing resistive loads. *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 273-278, March 2002.
- [47] *IEEE Standard Conformance Test Procedures for Equipment Interconnecting Distributed Resources with Electric Power Systems*. IEEE Std 1547.1-2005, 2005.
- [48] *IEEE Application Guide for IEEE Std 1547*. IEEE Std 1547.2-2008, 2009.
- [49] *IEEE Guide for Monitoring, Information Exchange, and Control of Distributed Resources Interconnected with Electric Power Systems*. IEEE Std 1547.3-2007, 2007.
- [50] K. J. Åström and T. Hägglund. *PID Controllers: Theory, Design, and Tuning*. Instrument Society of America, 2nd edition, 1995. ISBN 1-55617-516-7.
- [51] R. C. Dorf and R. H. Bishop. *Sistemas de Controle Modernos*. Editora LTC, ed. 11, 2009. ISBN 978-8521617143.
- [52] C. P. Bottura. *Princípios de Controle e Servomecanismos*. Guanabara Dois, 1982.
- [53] *Evaluation of Islanding Detection Methods for Photovoltaic Utility-Interactive Power Systems*. International Energy Agency, Photovoltaic Power Systems Programme, Report IEA-PVPS T5-09: 2002, 2002.
- [54] *Evaluation of Islanding Detection Methods for Utility-Interactive Inverters in Photovoltaic Systems*. Sandia National Laboratories, Report SAND2002-3591, 2002.
- [55] N. Stråth. Islanding detection in power systems. Licentiate thesis, Department of Industrial Electrical Engineering and Automation, Lund University, Sweden, 2005.

- [56] D. S. Correa. Metodologias para análise do risco de ocorrência de ilhamentos não intencionais de geradores síncronos distribuídos. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Junho 2008.
- [57] P. C. M. Meira. Análise da proteção anti-ilhamento de geradores de indução conectados em redes de distribuição de energia elétrica. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Fevereiro 2010.
- [58] Z. Ye, A. Kolwalkar, Y. Zhang, P. Du, and R. Walling. Evaluation of anti-islanding schemes based on nondetection zone concept. *IEEE Transactions on Power Electronics*, vol. 19, no. 5, pp. 1171-1176, September 2004. DOI: 10.1109/TPEL.2004.833436.
- [59] F.P. Marafao, S.M. Deckmann, J.A. Pomilio, and R.Q. Machado. Metodologia de projeto e análise de algoritmos de sincronismo pll. *Revista Eletrônica de Potência*, 10(1):7–14, June 2005.
- [60] M.S. Padua, S.M. Deckmann, and F.P. Marafao. Frequency-adjustable positive sequence detector for power conditioning applications. *IEEE Power Electronics Specialists Conf. (PESC'05)*, pages 1928–1934, 2005.
- [61] Y. Sato, T. Ishizuka, K. Nezu, and T. Kataoka. A new control strategy for voltage-type pwm rectifiers to realize zero steady-state control error in input current. *IEEE Transactions on Industry Applications*, vol. 34, no. 3, pp. 480-486, May/June 1998.
- [62] D.N. Zmood and D.G. Holmes. Stationary frame current regulation of pwm inverters with zero steady-state error. *IEEE Transactions on Power Electronics*, vol. 18, no. 3, pp. 814-822, May 2003.
- [63] S.Fukuda and T. Yoda. A novel current-tracking method for active filters based on a sinusoidal internal model. *IEEE Transactions on Industry Applications*, vol. 37, no. 3, pp. 888-895, May/June 2001.
- [64] K. Ogata. *Engenharia de Controle Moderno*. Pearson Prentice Hall, ed. 4, 2003. ISBN 978-85-87918-23-9.
- [65] M. H. Rashid. *Eletrônica de Potência: circuitos, dispositivos e aplicações*. Makron Books, 1999. ISBN 85-346-0598-X.
- [66] J. A. Pomilio and S. M. Deckmann. Caracterização e compensação de harmônicos e reativos de cargas não-lineares residenciais e comerciais. *Eletrônica de Potência, Revista da Associação Brasileira de Eletrônica de Potência SOBRAEP*, vol. 11, no. 1, pg. 9-16, Março 2006.

- [67] F. P. Marafão. Análise e controle da energia elétrica através de técnicas de processamento digital de sinais. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Dezembro 2004.
- [68] PSIM/SIMCAD. Página na internet, Powersim Inc. <http://www.powersimtech.com>, acesso em junho/2011.
- [69] F. P. Marafão. Análise e controle da energia elétrica através de técnicas de processamento digital de sinais. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação (FEEC), Universidade Estadual de Campinas, Dezembro 2004.
- [70] S. Buso. DSP and microcontrollers applications in power electronics. Página na internet, Agosto 2004. <http://www.dsce.fee.unicamp.br/~antenor/Simone2004.html>, acesso em junho/2011.
- [71] Texas Instruments. TMDSEZD2812 - F2812 eZdsp(DSK). Página na internet. <http://focus.ti.com/docs/toolsw/folders/print/tmdsezd2812.html>, acesso em junho/2011.
- [72] M. S. A. Dahidah and V. G. Agelidis. Selective harmonic elimination pwm control for cascaded multilevel voltage source converters: A generalized formula. *IEEE Transactions on Power Electronics*, vol. 23, no. 4, pp. 1620-1630, July 2008.
- [73] S. P. Pimentel, E. K. Luna, and J. A. Pomilio. Uso da estratégia de modulação com eliminação seletiva de harmônicos em inversores multiníveis em cascata. *Encontro de Pesquisadores em Sistemas de Potência (SisPot 2009)*, pp. 76-77, Campinas, SP, Brasil, Abril 2009.

Apêndice A

Código do programa elaborado no DSP

O programa descrito neste apêndice foi elaborado nas linguagens C e IQMATH através do editor *Code Composer Studio* da *Texas Instruments* na versão 2.20 de 2003. O modelo do DSP utilizado foi o TMS320F2812, também fabricado pela *Texas Instruments*. O DSP opera com registradores de 32 bits no formato hexadecimal. A linguagem IQMATH, disponibilizada pela *Texas Instruments*, aborda operações matemáticas e lógicas entre números representados no formato IQ sem a necessidade de pré-conversões.

O valor da frequência de amostragem adotado é de 36ks/s e para a frequência da modulação PWM, de 18kHz. Ambas frequências estão sincronizadas por um contador interno do DSP, pois são iniciadas a partir de interrupções (*overflow* e *underflow*) requeridas durante a contagem desse contador. Qualquer uma dessas interrupções habilita a leitura dos sinais analógicos pelo ADC, que por sua vez, ao final da conversão de todos os sinais, habilita a execução das rotinas descritas a seguir. Durante essa execução, os pulsos de comando enviados aos 12 IGBTs do inversor multinível são atualizados em uma das rotinas. Ao final da execução, o sistema é preparado para "atender" a interrupção seguinte. Em seguida, o ciclo é reiniciado.

O programa contém, ainda, uma rotina principal de execuções com *loop* infinito, na qual as outras rotinas são executadas a partir de determinadas condições.

A.1 Programa principal

```
#include "main.h" // Armazena todos os includes necessários para a execução dos comandos

//interrupt void evb_timer4_isr(void);
interrupt void fim_de_conversao_ADC_isr(void);

//void init_evb_timer4(void);
//void init_eva_timer1(void);
void init_evb_timer3(void);

_iq30 intervalo_programa;
```

```

void main(void) {

// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the DSP281x_SysCtrl.c file.
    InitSysCtrl();

// Configura os tempos de acesso à memória externa XINTF Zona 6
    XINTF_zona6_config();

    EALLOW;

// Habilita todas as saídas PWM
    GpioMuxRegs.GPAMUX.all = 0x00FF; // EVATimers e PWM 1-6
    GpioMuxRegs.GPBMUX.all = 0x00FF; // EVBTimers e PWM 7-12

// Habilita saídas para o DAC
    GpioMuxRegs.GPFMUX.all = 0x0000; // GPFMUX como saídas digitais: DB0-DB11, A0-A1 e /LDAC
    GpioMuxRegs.GPFDIR.all = 0x7FFF; //

// Habilita I/O para interrupção por proteção externa (sobre ou sub-corrente; sobre ou subtensão)
    GpioMuxRegs.GPEMUX.bit.XNMI_XINT13_GPIOE2 = 0;
    GpioMuxRegs.GPDIR.bit.GPIOE2 = 0; // bit GPIOE2 como entrada digital

// Habilita I/O para manter a proteção ativada
    GpioMuxRegs.GPAMUX.bit.C3TRIP_GPIOA15 = 0; // configurado como I/O
    GpioMuxRegs.GPADIR.bit.GPIOA15 = 1; // bit GPIOA15 configurado como saída digital

// Habilita I/O para abrir/fechar a chave S1 de conexão com a rede
    GpioMuxRegs.GPAMUX.bit.C2TRIP_GPIOA14 = 0; // configurado como I/O
    GpioMuxRegs.GPADIR.bit.GPIOA14 = 1; // bit GPIOA14 configurado como saída digital
    GpioDataRegs.GPADAT.bit.GPIOA14 = 0; // saída no nível LOW (estado inicial)

// Define o período do clock
    SysCtrlRegs.HISPCP.all = 0x0; // HSPCLK = SYSCLKOUT/1 -- SYSCLKOUT é definido no arquivo "DSP281x_Examples.h"
    //SysCtrlRegs.HISPCP.all = 0x1; // HSPCLK = SYSCLKOUT/2
    //SysCtrlRegs.HISPCP.all = 0x2; // HSPCLK = SYSCLKOUT/4
    //SysCtrlRegs.HISPCP.all = 0x3; // HSPCLK = SYSCLKOUT/6
    //SysCtrlRegs.HISPCP.all = 0x4; // HSPCLK = SYSCLKOUT/8
    //SysCtrlRegs.HISPCP.all = 0x5; // HSPCLK = SYSCLKOUT/10
    //SysCtrlRegs.HISPCP.all = 0x6; // HSPCLK = SYSCLKOUT/12
    //SysCtrlRegs.HISPCP.all = 0x7; // HSPCLK = SYSCLKOUT/14

    EDIS;

// Step 2. Initialize GPIO:
// This example function is found in the DSP281x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
// InitGpio(); // Skipped for this example

// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
    DINT;

// Initialize PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP281x_PieCtrl.c file.
    InitPieCtrl();

// Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;

// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in DSP281x_DefaultIsr.c.
// This function is found in DSP281x_PieVect.c.
    InitPieVectTable();

```

```

// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
EALLOW; // This is needed to write to EALLOW protected registers
//PieVectTable.T4PINT = &evb_timer4_isr;
PieVectTable.ADCINT = &fim_de_conversao_ADC_isr;
EDIS; // This is needed to disable write to EALLOW protected registers

// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP281x_InitPeripherals.c
// InitPeripherals(); // Not required for this example

    // Carrega diversas constantes usadas no projeto
    Inicia_Constantes_Geral();

    // Carrega ganhos das placas de condicionamento
    Turn_Gains_on();

    // Inicializa temporizador 1 do EVA
    //init_eva_timer1(); // Pino de I/O para verificar tempo do programa

    // Inicializa temporizador 3 do EVB
    init_evb_timer3();

    // Funcao padrao para o ADC localizada no arquivo DSP281x_Adc.c
    InitAdc();

// Step 5. User specific code, enable interrupts:

    // Enable PIE group 2 interrupt 4 for T1PINT
    //PieCtrlRegs.PIEIER2.all = M_INT4; // CPU Group INT2 <AND> PIE T1PINT

    // Enable PIE group 3 interrupt 1 for T2PINT
    //PieCtrlRegs.PIEIER3.all = M_INT1; // CPU Group INT3 <AND> PIE T2PINT

    // Enable PIE group 4 interrupt 4 for T3PINT <AND> group 4 interrupt 6 for T3UFINT
    // PieCtrlRegs.PIEIER4.all = (M_INT4 | M_INT6);

    // Enable PIE group 5 interrupt 1 for T4PINT
    //PieCtrlRegs.PIEIER5.all = M_INT1; // CPU Group INT5 <AND> PIE T4PINT

    // Enable ADCINT in PIE
    //PieCtrlRegs.PIEIER1.bit.INTx6 = 1;
    PieCtrlRegs.PIEIER1.all = M_INT6; // by Sergio - Outra maneira de habilitar a interrupção do ADC

    // Enable CPU INT2 for T1PINT, INT3 for T2PINT, INT4 for T3PINT
    // and INT5 for T4PINT:
    //IER |= (M_INT2 | M_INT3 | M_INT4 | M_INT5);
    //IER |= (M_INT5 | M_INT1);
    IER |= (M_INT1);

    // Enable global Interrupts and higher priority real-time debug events:
    EINT; // Enable Global interrupt INTM
    ERTM; // Enable Global realtime interrupt DBGM

    // Configure ADC
    /*
    AdcRegs.ADCMAXCONV.all = 0x0001; // Setup 2 conv's on SEQ1
    AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x3; // Setup ADCINA3 as 1st SEQ1 conv.
    AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x2; // Setup ADCINA2 as 2nd SEQ1 conv.
    AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1; // Enable EVASOC to start SEQ1
    AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt (every EOS)
    */

    // Configuracao ADC - By Sergio
    AdcRegs.ADCTRL3.bit.SMODE_SEL = 1; // Simultaneous sampling mode
    AdcRegs.ADCTRL1.bit.SEQ_CASC = 1; // Cascaded sequencer mode

    AdcRegs.ADCTRL1.bit.CPS = 1;
    AdcRegs.ADCTRL3.bit.ADCCLKPS = 3; // Clock do ADC = Clock_CPU/6 = 25MHz
    AdcRegs.ADCTRL1.bit.ACQ_PS = 0; // Largura do pulso de cada conversao igual a 1 ciclo do clock do ADC

    AdcRegs.ADCMAXCONV.all = 0x0007; // 8 pares de conversoes (16 no total)
    AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // ADCINA0 (Canal 5T) e ADCINB0 (Canal 1C)

```

```

AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // ADCINA1 (Canal 4T) e ADCINB1 (Canal 2C)
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // ADCINA2 (Canal 3T) e ADCINB2 (Canal 3C)
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // ADCINA3 (Canal 2T) e ADCINB3 (Nenhum sinal)
AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4; // ADCINA4 (Canal 1T) e ADCINB4 (Nenhum sinal)
AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0x5; // ADCINA5 (Nenhum sinal) e ADCINB5 (Canal Kd)
AdcRegs.ADCCHSELSEQ2.bit.CONV06 = 0x6; // ADCINA6 (Nenhum sinal) e ADCINB6 (Canal Ki)
AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x7; // ADCINA7 (Nenhum sinal) e ADCINB7 (Canal Kp)
AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // Reset SEQ1
AdcRegs.ADCTRL2.bit.EVB_SOC_SEQ = 1; // SOC habilitado para um sinal do EVB - Bit 15 do registrador ADCTRL2

// Interrupção do ADC (ADCINT)
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Habilita
AdcRegs.ADCTRL2.bit.INT_MOD_SEQ1 = 0; // Gera interrupção no final de cada sequência de conversão

/*
AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1; // Enable EVASOC to start SEQ1
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt (every EOS)
*/

/*
// Configure EVA
// Assumes EVA Clock is already enabled in InitSysCtrl();
EvbRegs.T1CMPR = 0x0080; // Setup T1 compare value
EvbRegs.T1PR = 0xFFFF; // Setup period register
EvbRegs.GPTCONA.bit.T4TOADC = 1; // Enable EVASOC in EVA
EvbRegs.T1CON.all = 0x1042; // Enable timer 1 compare (upcount mode)
*/

// Step 6. IDLE loop. Just sit and loop forever:

for(;;);

}

/*void init_eva_timer1(void) {
// Inicialização do EVA Timer 1
EvaRegs.GPTCONA.all = 0;

// Limpa o registrador de contagem do timer 1
EvaRegs.T1CNT = 0x0000;

// Carrega o período de "estouro" do timer 1
EvaRegs.T1PR = 0x1046; // T1PR + 1 ciclo de clock = 4166.67 (#1047h) ciclos de clock = 27.78 us (1/36kHz)
EvaRegs.T1CMPR = 0x0822; // Comparação = (4166.67/2) - 1 = 2082.33 = #0822h - Gera trem de pulsos em 36kHz

// Registrador de controle do timer 4
EvaRegs.T1CON.all = 0x1042; // Contagem Crescente, T1CMPR habilitado, clock interno igual ao da CPU

EvaRegs.GPTCONA.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
EvaRegs.GPTCONA.bit.T1PIN = 1; // Polaridade do PWM do Timer 1 como ativo baixo
}*/

void init_evb_timer3(void) {
// "Reset"
EvbRegs.GPTCONB.all = 0;
EvbRegs.ACTRB.all = 0x0000;

// Configura contador para o Temporizador 3
//EvbRegs.T3PR = 0x1D4C; // Período = 2*T3PR ciclos de clock = (1/10kHz) - Triangular de 10kHz para o PWM
//EvbRegs.T3CMPR = 0x0EA6;
EvbRegs.T3PR = 0x1047; // Período = 2*T3PR ciclos de clock = (1/18kHz) - Triangular de 18kHz para o PWM
EvbRegs.T3CMPR = 0x0824; // Timer3 compare
EvbRegs.T3CNT = 0x0001; // Timer3 counter -- Não inicia em 0x0000 para não dar Underflow de início
EvbRegs.CMPR4 = 0x0000;
EvbRegs.CMPR5 = 0x0000;
EvbRegs.CMPR6 = 0x0000;
//EvbRegs.T3CON.all = 0x0842; // Formato Triangular e dados recarregados quando T3CNT for zero
//EvbRegs.T3CON.all = 0x084A; // Formato Triangular e dados recarregados imediatamente

```



```

    EvbRegs.T3CON.all = 0x0846; // Formato Triangular e dados recarregados quando houver T3PINT e T3UFINT

    EvbRegs.DBTCONB.all = 0x0000;
    EvbRegs.COMCONB.all = 0xA600; // Dados recarregados quando houver T3PINT ou T3UFINT
    //EvbRegs.COMCONB.all = 0xCA00; // Dados recarregados imediatamente

    // "Reset" e Habilita interrupções (período e underflow)
    EvbRegs.EVBIMRA.all = 0x0000;
    EvbRegs.EVBIFRA.all = 0x0000;
    EvbRegs.EVBIMRA.bit.T3PINT = 1;
    EvbRegs.EVBIFRA.bit.T3PINT = 1;
    EvbRegs.EVBIMRA.bit.T3UFINT = 1;
    EvbRegs.EVBIFRA.bit.T3UFINT = 1;

    // Primeiramente, Interrupção por período inicia conversão do ADC
    EvbRegs.GPTCONB.bit.T3TOADC = 2;

    EvbRegs.GPTCONB.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
    EvbRegs.GPTCONB.bit.T3PIN = 1; // Polaridade do PWM do Timer 3 como ativo baixo
}

/*void init_evb_timer4(void) {
    // Inicialização do EVB Timer 4
    EvbRegs.GPTCONB.all = 0;

    // Limpa o registrador de contagem do timer 4
    EvbRegs.T4CNT = 0x0000;
    //EvbRegs.T3CNT = 0x0000;

    // Carrega o período de "estouro" do timer 4
    //EvbRegs.T4PR = 0x0EA5; // T4PR + 1 ciclo de clock = 3750 (#0EA6h) ciclos de clock = 25 us (1/40kHz)
    EvbRegs.T4PR = 0x1046; // T4PR + 1 ciclo de clock = 4166.67 (#1047h) ciclos de clock = 27.78 us (1/36kHz)
    //EvbRegs.T4CMPR = 0x0752; // Comparação = (3750/2) - 1 = 1874 = #0752h - Gera trem de pulsos em 40kHz
    EvbRegs.T4CMPR = 0x0822; // Comparação = (4166.67/2) - 1 = 2082.33 = #0822h - Gera trem de pulsos em 36kHz

    // Habilita interrupção por "estouro" de período para o timer 4 do EVB
    EvbRegs.EVBIMRB.bit.T4PINT = 1;
    EvbRegs.EVBIFRB.bit.T4PINT = 1;

    // Registrador de controle do timer 4
    EvbRegs.T4CON.all = 0x1042; // Contagem Crescente, T4CMPR habilitado, clock interno igual ao da CPU
    //EvbRegs.T4CON.all = 0x1742;

    // Interrupção gerada pelo Timer 4 do EVB gera SOC (Start-Of-Conversion) no ADC
    EvbRegs.GPTCONB.bit.T4TOADC = 2; // SOC (Start-Of-Conversion) no ADC gerada pelo "estouro" do período do timer 4
    EvbRegs.GPTCONB.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
    EvbRegs.GPTCONB.bit.T4PIN = 1; // Polaridade do PWM do Timer 4 como ativo baixo
}*/

/*interrupt void evb_timer4_isr(void) {
    //EvbRegs.GPTCONB.bit.T4PIN = 3; // Teste de duração - Turn ON

    //EvbTimer4InterruptCount++;
    EvbRegs.EVBIMRB.bit.T4PINT = 1;

    // Armazena os sinais de tensão, corrente e potenciômetros lidos pelo ADC nos respectivos registradores
    Leitura_sinais_ADC();
    // Multiplicação dos sinais lidos no ADC pelos ganhos do condicionamento e do DAC
    Ajuste_sinais_ADC();

    // PLL (Phase Locked-Loop) e FWD (Fundamental Wave Detector)
    PLL_seq_pos_1F();

    // Diagrama de controle - FAP
    // Gera tensão de referência para o inversor
    Controle_FAP_mono();

    // Sinais de referência para as células do inversor
    Pulsos_IGBTs();
}*/

```

```

// Seleciona sinais para conversao no DAC
Sinais_to_DAC();
// Liga e inicia conversao no DAC
Coversao_DAC();

// Note: To be safe, use a mask value to write to the entire
// EVBIFRB register. Writing to one bit will cause a read-modify-write
// operation that may have the result of writing 1's to clear
// bits other than those intended.
EvbRegs.EVBIFRB.all = BIT0;

// Acknowledge interrupt to receive more interrupts from PIE group 5
PieCtrlRegs.PIEACK.all = PIEACK_GROUP5; // CPU Group 5 - PIE T4PINT

//EvbRegs.GPTCONB.bit.T4PIN = 0; // Teste de duração - Turn OFF

}*/

interrupt void fim_de_conversao_ADC_isr(void) {
    // Teste de duração - Turn ON -----> PRECISA HABILITAR TIMER 1
    //EvaRegs.GPTCONA.bit.T1PIN = 3;

    // Teste de duração - Turn ON (usando pino I/O para detecção de ilhamento)
    //GpioDataRegs.GPADAT.bit.GPIOA14 = 1;

    // Habilita interrupção do ADC
    AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;

    /*// Programa simples para teste da saída digital C2Tripn para abrir/fechar chave de conexão com a rede
    if(GpioDataRegs.GPADAT.bit.GPIOA14 == 1)
    {
        GpioDataRegs.GPADAT.bit.GPIOA14 = 0;
    }
    else
    {
        GpioDataRegs.GPADAT.bit.GPIOA14 = 1;
    }
    */

    // Armazena os sinais de tensao, corrente e potenciometros lidos pelo ADC nos respectivos registradores
    Leitura_sinais_ADC();
    // Multiplicação dos sinais lidos no ADC pelos ganhos do condicionamento e do DAC
    Ajuste_sinais_ADC();

    // Valor RMS das tensões nas barras PCC e S
    calculo_valor_RMS();

    // PLL's
    PLL_PCC(); // barra PCC
    PLL_S(); // barra S

    // FPB para ajuste dos sinais
    FPB_Tensoes_Caps();

    // Confere limites de freq. e Vrms nas barras PCC e S --> ISD ou grid-restored
    Tensoes_vs_vpcc_IEEE_Std_1547();

    // Detecção de ilhamento
    Detecta_ilhamento_AFDPF();

    // Gera a referência de tensão p/ o modo ilhado
    Gera_Referencia_ILHADO();

    // Determina a posição da chave S1 (aberta ou fechada)
    Comando_Chave_S1();

    // Atualiza e/ou "reset" nos controladores de acordo com a condição vigente
    // 5 casos possíveis --> O mais importante é zerar a parte integral do controlador em seu desuso!
    //Condicoes_PI_Pot_Corr_Tensao_COM_SWITCH();
    Condicoes_PI_Pot_Corr_Tensao_COM_IF();

    // Definição do modo de operação da GD

```

```

Controle_GD();

// Sinais de referencia para as células do inversor
Pulsos_IGBTs();
//Pulsos_IGBTs_SHE();

// Calculo das potências ativas do GDSsystem por FPB
calcula_potencias_ativas();

// Seleciona sinais para conversao no DAC
Sinais_to_DAC();
// Liga e inicia conversao no DAC
Conversao_DAC();

// Limpa Flags da Interrupções
AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1; // Limpa o flag da INT_SEQ1 (ADCINT)
if(EvbRegs.GPTCONB.bit.T3TOADC==2) // Entrou por causa da T3PINT
{
    EvbRegs.GPTCONB.bit.T3TOADC = 1; // Próxima conversão ADC será iniciada pela T3UFINT
    EvbRegs.EVBIFRA.all = BIT7; // Limpa o flag da T3PINT e os demais do EVBIFRA
}
else // Entrou por causa da T3UFINT
{
    EvbRegs.GPTCONB.bit.T3TOADC = 2; // Próxima conversão ADC será iniciada pela T3PINT
    EvbRegs.EVBIFRA.all = BIT9; // Limpa o flag da T3UFINT e os demais do EVBIFRA
}

// Acknowledge interrupt to receive more interrupts from PIE group 1
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // CPU Group 1 - PIE ADCINT

// Teste de duração - Turn OFF
//EvaRegs.GPTCONA.bit.T1PIN = 0;

// Teste de duração - Turn OFF (usando pino I/O para detecção de ilhamento)
//GpioDataRegs.GPADAT.bit.GPIOA14 = 0;
}

```

A.2 Inicialização das variáveis

```

#### Carrega ganhos das placas de condicionamento
#include "Load_Gains_Sensors.h" #include "DSP281x_Device.h" // DSP281x Headerfile Include File #include "DSP281x_Examples.h" // DSP281x
Examples Include File #include "IQmathLib.h"

#define ADC_usDELAY 8000L
#define ADC_usDELAY2 20L

_iq29 K_AD;

_iq23 K_canal_1T; _iq23 K_canal_2T; _iq25 K_canal_3T; _iq26 K_canal_4T; _iq27 K_canal_5T;

_iq27 K_canal_1C; _iq27 K_canal_2C; _iq27 K_canal_3C;

/*_iq26 K_canal_Kp; _iq26 K_canal_Ki; _iq26 K_canal_Kd;*/

_iq29 DC_level_canal_1C; _iq29 DC_level_canal_2C; _iq29 DC_level_canal_3C;

_iq29 DC_level_canal_1T; _iq29 DC_level_canal_2T; _iq29 DC_level_canal_3T; _iq29 DC_level_canal_4T; _iq29 DC_level_canal_5T;

void Turn_Gains_on(void) {
    // Ganho fixo do ADC ---- In/Out = 3/4095
    K_AD = _IQ29((3.0)/(4095.0));

    // Placa de Corrente
    K_canal_1C = _IQ27(7.58737633728); // At. 28/03/2008
    K_canal_2C = _IQ27(7.57223556652); // At. 28/03/2008
}

```

```

K_canal_3C = _IQ27(7.57868757930); // At. 28/03/2008

DC_level_canal_1C = _IQ29(1.537271); // (ADC + Placa) ### At. 28/03/2008
DC_level_canal_2C = _IQ29(1.555861); // (ADC + Placa) ### At. 28/03/2008
DC_level_canal_3C = _IQ29(1.539789); // (ADC + Placa) ### At. 28/03/2008

// Placa de Tensão
K_canal_1T = _IQ23(166.242647009); // At. 26/09/2008
K_canal_2T = _IQ23(166.109309768); // At. 26/09/2008
K_canal_3T = _IQ25(53.1113966185); // At. 26/09/2008
K_canal_4T = _IQ26(19.8789866031); // At. 26/09/2008
K_canal_5T = _IQ27(11.8563948428); // At. 26/09/2008

DC_level_canal_1T = _IQ29(1.586813); // (ADC + Placa) ### At. 26/09/2008
DC_level_canal_2T = _IQ29(1.564331); // (ADC + Placa) ### At. 26/09/2008
DC_level_canal_3T = _IQ29(0.02193223); // (ADC + Placa) ### At. 26/09/2008
DC_level_canal_4T = _IQ29(0.0429945); // (ADC + Placa) ### At. 26/09/2008
DC_level_canal_5T = _IQ29(0.02934982); // (ADC + Placa) ### At. 26/09/2008

/**/ Ajuste fino de controladores (potenciômetros analógicos)
K_canal_Kp = _IQ26(-16.077170418006430868167202572347); // = (3.11)/(-50.0)
K_canal_Kd = _IQ26(-16.077170418006430868167202572347);
K_canal_Ki = _IQ26(-16.077170418006430868167202572347);*/

```

A.3 Leitura dos dados convertidos pelo ADC.

```

#include "Le_Sinais_ADC.h" #include "DSP281x_Device.h" // DSP281x Headerfile Include File #include "DSP281x_Examples.h" // DSP281x Examples
#include "IQmathLib.h"

extern _iq4 Med_Amostra; extern _iq4 Num_Amostra; extern _iq4 Amostra; extern Uint16 Conversoes; _iq29 offset_medio;

_iq4 Vout_canal_1T; _iq4 Vout_canal_2T; _iq4 Vout_canal_3T; _iq4 Vout_canal_4T; _iq4 Vout_canal_5T;

_iq4 Vout_canal_1C; _iq4 Vout_canal_2C; _iq4 Vout_canal_3C;

_iq4 Vout_kp; _iq4 Vout_ki; _iq4 Vout_kd;

void Leitura_sinais_ADC(void) {

    // Armazena sinais de tensão
    Vout_canal_1T = AdcRegs.ADCRESULT8; // ADCINA4 // Vs
    Vout_canal_2T = AdcRegs.ADCRESULT6; // ADCINA3 // Vpac
    Vout_canal_3T = AdcRegs.ADCRESULT4; // ADCINA2 // Vc3
    Vout_canal_4T = AdcRegs.ADCRESULT2; // ADCINA1 // Vc2
    Vout_canal_5T = AdcRegs.ADCRESULT0; // ADCINA0 // Vc1

    // Armazena sinais de corrente
    Vout_canal_1C = AdcRegs.ADCRESULT1; // ADCINB0 // Irede
    Vout_canal_2C = AdcRegs.ADCRESULT3; // ADCINB1 // Iconv
    Vout_canal_3C = AdcRegs.ADCRESULT5; // ADCINB2 // Icarga

    /**/ Armazena sinais dos potenciômetros;
    Vout_kp = AdcRegs.ADCRESULT15; // ADCINB7 // Kp
    Vout_ki = AdcRegs.ADCRESULT13; // ADCINB6 // Ki
    Vout_kd = AdcRegs.ADCRESULT11; // ADCINB5 // Kd*/

    // Rotina para dedução de um valor médio do offset total (ADC + Placa) após 50 mil conversões

    /*if(Conversoes < 50000)
    {
        Num_Amostra++;
        Amostra = Amostra + Vout_canal_5T;
        Med_Amostra = (Amostra)/(Num_Amostra);
        offset_medio = _IQ29mpyIQX(Med_Amostra, 4, _IQ29((3.0)/(4095)), 29);
    }

```

```

        Conversoes++;
    }
    else
    {
        Num_Amostra = Num_Amostra;
        Med_Amostra = Med_Amostra;
        Amostra = Amostra;
        offset_medio = offset_medio;
    }
}

```

A.4 Ajuste dos sinais obtidos pelo ADC.

```

#include "Ajuste_sinais_ADC.h" #include "DSP281x_Device.h" // DSP281x Headerfile Include File #include "DSP281x_Examples.h" // DSP281x
Examples Include File #include "IQmathLib.h"

_iq23 Tensao_REDE; _iq23 Tensao_PCC; _iq23 Tensao_VC3; _iq25 Tensao_VC2; _iq25 Tensao_VC1;

_iq27 Corrente_REDE; _iq27 Corrente_Inversor; _iq27 Corrente_Carga;

/*_iq24 Ganho_ajuste_Kp; _iq24 Ganho_ajuste_Ki; _iq24 Ganho_ajuste_Kd;*/

extern _iq4 Vout_canal_1T; extern _iq4 Vout_canal_2T; extern _iq4 Vout_canal_3T; extern _iq4 Vout_canal_4T; extern _iq4
Vout_canal_5T; extern _iq4 Vout_canal_1C; extern _iq4 Vout_canal_2C; extern _iq4 Vout_canal_3C; extern _iq4 Vout_kp; extern _iq4
Vout_ki; extern _iq4 Vout_kd;

extern _iq29 K_AD; extern _iq23 K_canal_1T; extern _iq23 K_canal_2T; extern _iq25 K_canal_3T; extern _iq26 K_canal_4T; extern _iq27
K_canal_5T;

extern _iq27 K_canal_1C; extern _iq27 K_canal_2C; extern _iq27 K_canal_3C;

extern _iq29 DC_level_canal_1C; extern _iq29 DC_level_canal_2C; extern _iq29 DC_level_canal_3C; extern _iq29 DC_level_canal_1T; extern
_iq29 DC_level_canal_2T; extern _iq29 DC_level_canal_3T; extern _iq29 DC_level_canal_4T; extern _iq29 DC_level_canal_5T;

extern _iq26 K_canal_Kp; extern _iq26 K_canal_Ki; extern _iq26 K_canal_Kd;

void Ajuste_sinais_ADC(void) {

    // Ajuste dos sinais de tensão
    Tensao_REDE = _IQ29mpyIQX(Vout_canal_1T, 4, K_AD, 29);
    Tensao_REDE = Tensao_REDE - DC_level_canal_1T;
    Tensao_REDE = _IQ23mpyIQX(Tensao_REDE, 29, K_canal_1T, 23);

    Tensao_PCC = _IQ29mpyIQX(Vout_canal_2T, 4, K_AD, 29);
    Tensao_PCC = Tensao_PCC - DC_level_canal_2T;
    Tensao_PCC = _IQ23mpyIQX(Tensao_PCC, 29, K_canal_2T, 23);

    Tensao_VC3 = _IQ29mpyIQX(Vout_canal_3T, 4, K_AD, 29);
    Tensao_VC3 = Tensao_VC3 - DC_level_canal_3T;
    Tensao_VC3 = _IQ23mpyIQX(Tensao_VC3, 29, K_canal_3T, 25);

    Tensao_VC2 = _IQ29mpyIQX(Vout_canal_4T, 4, K_AD, 29);
    Tensao_VC2 = Tensao_VC2 - DC_level_canal_4T;
    Tensao_VC2 = _IQ25mpyIQX(Tensao_VC2, 29, K_canal_4T, 26);

    Tensao_VC1 = _IQ29mpyIQX(Vout_canal_5T, 4, K_AD, 29);
    Tensao_VC1 = Tensao_VC1 - DC_level_canal_5T;
    Tensao_VC1 = _IQ25mpyIQX(Tensao_VC1, 29, K_canal_5T, 27);

    // Ajuste dos sinais de corrente

```

```

Corrente_REDE = _IQ29mpyIQX(Vout_canal_1C, 4, K_AD, 29);
Corrente_REDE = Corrente_REDE - DC_level_canal_1C;
Corrente_REDE = _IQ27mpyIQX(Corrente_REDE, 29, K_canal_1C, 27);

Corrente_Inversor = _IQ29mpyIQX(Vout_canal_2C, 4, K_AD, 29);
Corrente_Inversor = Corrente_Inversor - DC_level_canal_2C;
Corrente_Inversor = _IQ27mpyIQX(Corrente_Inversor, 29, K_canal_2C, 27);

Corrente_Carga = _IQ29mpyIQX(Vout_canal_3C, 4, K_AD, 29);
Corrente_Carga = Corrente_Carga - DC_level_canal_3C;
Corrente_Carga = _IQ27mpyIQX(Corrente_Carga, 29, K_canal_3C, 27);

/*// Ajuste dos sinais dos potenciômetros
Ganho_ajuste_Kp = _IQ29mpyIQX(Vout_kp, 4, K_AD, 29);
Ganho_ajuste_Kp = _IQ24mpyIQX(Ganho_ajuste_Kp, 29, K_canal_Kp, 26);

Ganho_ajuste_Ki = _IQ29mpyIQX(Vout_ki, 4, K_AD, 29);
Ganho_ajuste_Ki = _IQ24mpyIQX(Ganho_ajuste_Ki, 29, K_canal_Ki, 26);

Ganho_ajuste_Kd = _IQ29mpyIQX(Vout_kd, 4, K_AD, 29);
Ganho_ajuste_Kd = _IQ24mpyIQX(Ganho_ajuste_Kd, 29, K_canal_Kd, 26);*/

```

A.5 Cálculo dos valores eficazes.

```

#include "main.h"

extern _iq23 Tensao_PCC; // barra PCC
extern _iq23 Tensao_REDE; // barra S

extern _iq5 somatorio_vpcc2;
extern _iq5 vetor_vpcc2[600];
extern _iq15 vpcc2_medio;
extern _iq15 vpcc_rms;
extern Uint16 ponteiro_rms;

extern _iq5 somatorio_vs2;
extern _iq5 vetor_vs2[600];
extern _iq15 vs2_medio;
extern _iq15 vs_rms;

void calculo_valor_RMS(void)
{
    somatorio_vpcc2 = somatorio_vpcc2 - vetor_vpcc2[ponteiro_rms];
    vetor_vpcc2[ponteiro_rms] = _IQ5mpyIQX(Tensao_PCC, 23, Tensao_PCC, 23);
    somatorio_vpcc2 = somatorio_vpcc2 + vetor_vpcc2[ponteiro_rms];
    vpcc2_medio = _IQ15mpyIQX(somatorio_vpcc2, 5, _IQ30((1.0)/(600.0)), 30);
    vpcc_rms = _IQ15sqrt(vpcc2_medio);

    somatorio_vs2 = somatorio_vs2 - vetor_vs2[ponteiro_rms];
    vetor_vs2[ponteiro_rms] = _IQ5mpyIQX(Tensao_REDE, 23, Tensao_REDE, 23);
    somatorio_vs2 = somatorio_vs2 + vetor_vs2[ponteiro_rms];
    vs2_medio = _IQ15mpyIQX(somatorio_vs2, 5, _IQ30((1.0)/(600.0)), 30);
    vs_rms = _IQ15sqrt(vs2_medio);

    ponteiro_rms++;
    if(ponteiro_rms==600) ponteiro_rms = 0;
}

```

A.6 Rastreador PLL e detector de onda fundamental

```

#include "main.h"

extern _iq24 freq_PCC_anterior; extern _iq24 freq_PCC; extern _iq24 freq_PCC_medio;

/*extern _iq24 d_freq_PCC; extern _iq21 d_freq_PCC_dt; extern _iq21 d_freq_PCC_dt_medio;*/

extern _iq28 theta_PLL_anterior; extern _iq28 d_theta_PLL; extern _iq13 d_theta_PLL_dt;

extern _iq23 Tensao_PCC; // barra PCC
//extern _iq23 Tensao_REDE; // barra S

extern _iq28 theta_PLL; extern _iq22 velocidade_angular_PLL_ref; extern _iq22 velocidade_angular_PLL_PCC; extern _iq23 tensao_base;
extern _iq23 tensao_base_inverso; extern _iq30 Ts; extern _iq22 PI_dp_out_PCC; extern Uint16 no_amostra_PCC; extern _iq21
dp_somatorio_va_uortho_PCC; extern _iq21 dp_somatorio_PSD; extern _iq21 produto_escalar[600]; extern _iq21 dp_PSD[600];

_iq30 dp_medio_va_uortho_PCC; _iq28 dp_medio_PSD; _iq28 u_ortho_PCC; _iq30 sinal_PCC; _iq28 phi_PSD; _iq27 erro_dp_PCC; _iq23
Tensao_PCC_fundamental; _iq30 sinal_seq_pos_fundamental; _iq28 u_a; _iq21 k_medio; _iq21 dp_onda;

/*extern _iq22 angulo; _iq28 angulo_rad; _iq23 senoide;*/

extern _iq19 vetor_freq_PCC[10]; extern _iq19 soma_vetor_freq_PCC; extern _iq19 media_vetor_freq_PCC; extern Uint16 ponteiro10; extern
Uint16 ponteiro60;
//extern _iq21 vetor_d_freq_PCC_dt[10];
//extern _iq21 soma_vetor_d_freq_PCC_dt;
//extern _iq21 media_vetor_d_freq_PCC_dt;

void PLL_PCC(void) {

    sinal_PCC = _IQsat(_IQ30mpyIQX(Tensao_PCC, 23, tensao_base_inverso, 23), _IQ30(1.0), _IQ30(-1.0));
    //sinal_PCC = _IQsat(_IQ30mpyIQX(Tensao_REDE, 23, tensao_base_inverso, 23), _IQ30(1.0), _IQ30(-1.0));

    // Produto escalar e Média Móvel
    dp_somatorio_va_uortho_PCC = dp_somatorio_va_uortho_PCC - produto_escalar[no_amostra_PCC];
    u_ortho_PCC = _IQ28sin(theta_PLL);
    produto_escalar[no_amostra_PCC] = _IQ21mpyIQX(sinal_PCC, 30, u_ortho_PCC, 28);
    dp_somatorio_va_uortho_PCC = dp_somatorio_va_uortho_PCC + produto_escalar[no_amostra_PCC];
    dp_medio_va_uortho_PCC = _IQ30mpyIQX(dp_somatorio_va_uortho_PCC, 21, _IQ30((1.0)/(600.0)), 30);

    // Controlador PI
    erro_dp_PCC = _IQ27mpyIQX(dp_medio_va_uortho_PCC, 30, _IQ27(-1.0), 27); // erro = ref(=0) - média
    PI_dp_PCC();

    // Gera Theta - Ângulo real do sinal "rastreado"
    velocidade_angular_PLL_PCC = velocidade_angular_PLL_ref + PI_dp_out_PCC;
    theta_PLL_anterior = theta_PLL;
    theta_PLL = theta_PLL + _IQ28mpyIQX(velocidade_angular_PLL_PCC, 22, Ts, 30);
    d_theta_PLL = theta_PLL - theta_PLL_anterior;

    // Detector de sequencia positiva (PSD) e Detector de onda fundamental (FWD)
    phi_PSD = theta_PLL + _IQ28(1.5707963267949); // phi = theta + pi/2
    if(phi_PSD>=_IQ28(6.28318530717959)) phi_PSD = phi_PSD - _IQ28(6.28318530717959);
    if(theta_PLL>=_IQ28(6.28318530717959)) theta_PLL = theta_PLL - _IQ28(6.28318530717959); // Theta=2*pi <=> Theta=0
    u_a = _IQ28sin(phi_PSD);

    dp_somatorio_PSD = dp_somatorio_PSD - dp_PSD[no_amostra_PCC];
    //dp_PSD[no_amostra] = _IQ21mpyIQX(u_a, 28, sinal, 30);
    dp_onda = _IQ21mpyIQX(u_a, 28, sinal_PCC, 30);
    dp_PSD[no_amostra_PCC] = dp_onda;
    dp_somatorio_PSD = dp_somatorio_PSD + dp_PSD[no_amostra_PCC];
    dp_medio_PSD = _IQ28mpyIQX(dp_somatorio_PSD, 21, _IQ30((1.0)/(600.0)), 30);
    k_medio = _IQ21mpyIQX(dp_medio_PSD, 28, _IQ29(2.0), 29); // k_medio = 2*dp_medio_PSD
    sinal_seq_pos_fundamental = _IQ30mpyIQX(u_a, 28, k_medio, 21);
    Tensao_PCC_fundamental = _IQ23mpyIQX(sinal_seq_pos_fundamental, 30, tensao_base, 23);

    // Incrementa o ponteiro dos registradores de ambos produtos escalares
    no_amostra_PCC++;
    if(no_amostra_PCC==600) no_amostra_PCC = 0;

    // Taxa de variação do ângulo => frequencia PCC
    //d_theta_PLL = theta_PLL - theta_PLL_anterior;

```

```

//theta_PLL_anterior = theta_PLL;
d_theta_PLL_dt = _IQ13mpyIQX(d_theta_PLL, 28, _IQ15(36000.0), 15); // d_theta_PLL/Ts
freq_PCC = _IQ13mpyIQX(d_theta_PLL_dt, 13, _IQ30(0.159154943091895), 30); // multiplica por "1/(2pi)"
freq_PCC = _IQsat(freq_PCC, _IQ13(100.0), _IQ13(20.0));
freq_PCC = _IQ24mpyIQX(freq_PCC, 13, _IQ30(1.0), 30); // melhora a resolução das casas decimais

// Filtragem - via funções
/*FPB_PLL_15_Hz(freq_PCC, freq_PCC_in, freq_PCC_out);
freq_PCC_medio = freq_PCC_out[0];
FPB_PLL_15_Hz(d_freq_PCC_dt, d_freq_PCC_dt_in, d_freq_PCC_dt_out);
d_freq_PCC_dt_medio = d_freq_PCC_dt_out[0]; */

// Filtragem - via código sequencial (individual)
//FPB_PLL_15_Hz_PCC();

// Taxa de variação de frequência PCC - media_vetor_freq_PCC (valor médio)
/*d_freq_PCC = media_vetor_freq_PCC - freq_PCC_anterior;
d_freq_PCC = _IQ30mpyIQX(d_freq_PCC, 19, _IQ30(1.0), 30);
freq_PCC_anterior = media_vetor_freq_PCC;
d_freq_PCC_dt = _IQ21mpyIQX(d_freq_PCC, 30, _IQ15(36000.0), 15);
d_freq_PCC_dt = _IQsat(d_freq_PCC_dt, _IQ21(+30.0), _IQ21(-30.0));
//d_freq_PCC_dt = _IQ30mpyIQX(d_freq_PCC_dt, 21, _IQ30(0.001), 30); // ---> conforme DLL Serjao
*/

// Valor médio - frequência PCC
if(ponteiro60==60) // 1 amostra aproveitada a cada 60 --> 10 amostras por ciclo
{
    // f_pcc
    soma_vetor_freq_PCC = soma_vetor_freq_PCC - vetor_freq_PCC[ponteiro10];
    vetor_freq_PCC[ponteiro10] = _IQ19mpyIQX(freq_PCC, 24, _IQ30(1.0), 30);
    soma_vetor_freq_PCC = soma_vetor_freq_PCC + vetor_freq_PCC[ponteiro10];
    media_vetor_freq_PCC = _IQ19mpyIQX(soma_vetor_freq_PCC, 19, _IQ30(0.1), 30); // divide por 1/10

    // d(f_pcc)/dt
    /*soma_vetor_d_freq_PCC_dt = soma_vetor_d_freq_PCC_dt - vetor_d_freq_PCC_dt[ponteiro10];
    vetor_d_freq_PCC_dt[ponteiro10] = d_freq_PCC_dt;
    soma_vetor_d_freq_PCC_dt = soma_vetor_d_freq_PCC_dt + vetor_d_freq_PCC_dt[ponteiro10];
    media_vetor_d_freq_PCC_dt = _IQ21mpyIQX(soma_vetor_d_freq_PCC_dt, 21, _IQ30(0.1), 30); // divide por 1/10*/

    // atualiza ponteiro
    ponteiro10++;
    if(ponteiro10>=10) ponteiro10 = 0;
    ponteiro60 = 0;
}
else
{
    ponteiro60++;
}
}

```

A.7 Filtragem dos sinais de tensão CC

```

#include "main.h" #include "FPB_bilinear.h"

extern Uint16 ISR_transicao_Low_to_High;

extern _iq23 Tensao_VC3; extern _iq25 Tensao_VC2; extern _iq25 Tensao_VC1;

extern _iq30 e1_FPB_Tensoes_Caps; extern _iq30 e2_FPB_Tensoes_Caps; extern _iq30 e3_FPB_Tensoes_Caps; extern _iq30 o1_FPB_Tensoes_Caps;
extern _iq30 o2_FPB_Tensoes_Caps;

extern _iq23 FPB_VC3_in[3]; extern _iq25 FPB_VC2_in[3]; extern _iq25 FPB_VC1_in[3];

extern _iq23 FPB_VC3_out[2]; extern _iq25 FPB_VC2_out[2]; extern _iq25 FPB_VC1_out[2];

extern _iq23 VC3_filt; extern _iq25 VC2_filt; extern _iq25 VC1_filt;

```



```

void FPB_Tensoes_Caps(void) {
    // FPB de 2ª ordem - transformação bilinear
    //  $y_k = e1 \cdot x_k + e2 \cdot x_{k-1} + e3 \cdot x_{k-2} + o1 \cdot y_{k-1} + o2 \cdot y_{k-2}$ 

    //////////////////////////////////////
    // -----> VC3
    //////////////////////////////////////

    // Desloca vetor de entrada
    FPB_VC3_in[2] = FPB_VC3_in[1];
    FPB_VC3_in[1] = FPB_VC3_in[0];
    FPB_VC3_in[0] = Tensao_VC3; // atualiza entrada

    // Desloca vetor de saída
    FPB_VC3_out[1] = FPB_VC3_out[0];
    FPB_VC3_out[0] = VC3_filt;

    // Atualiza saída do FPB
    VC3_filt = _IQ20mpyIQX(e1_FPB_Tensoes_Caps, 30, FPB_VC3_in[0], 23);
    VC3_filt = VC3_filt + _IQ20mpyIQX(e2_FPB_Tensoes_Caps, 30, FPB_VC3_in[1], 23);
    VC3_filt = VC3_filt + _IQ20mpyIQX(e3_FPB_Tensoes_Caps, 30, FPB_VC3_in[2], 23);
    VC3_filt = VC3_filt + _IQ20mpyIQX(o1_FPB_Tensoes_Caps, 30, FPB_VC3_out[0], 23);
    VC3_filt = VC3_filt + _IQ20mpyIQX(o2_FPB_Tensoes_Caps, 30, FPB_VC3_out[1], 23);
    VC3_filt = _IQ23mpyIQX(VC3_filt, 20, _IQ30(1.0), 30);

    //////////////////////////////////////
    // -----> VC2
    //////////////////////////////////////

    // Desloca vetor de entrada
    FPB_VC2_in[2] = FPB_VC2_in[1];
    FPB_VC2_in[1] = FPB_VC2_in[0];
    FPB_VC2_in[0] = Tensao_VC2; // atualiza entrada

    // Desloca vetor de saída
    FPB_VC2_out[1] = FPB_VC2_out[0];
    FPB_VC2_out[0] = VC2_filt;

    // Atualiza saída do FPB
    VC2_filt = _IQ22mpyIQX(e1_FPB_Tensoes_Caps, 30, FPB_VC2_in[0], 25);
    VC2_filt = VC2_filt + _IQ22mpyIQX(e2_FPB_Tensoes_Caps, 30, FPB_VC2_in[1], 25);
    VC2_filt = VC2_filt + _IQ22mpyIQX(e3_FPB_Tensoes_Caps, 30, FPB_VC2_in[2], 25);
    VC2_filt = VC2_filt + _IQ22mpyIQX(o1_FPB_Tensoes_Caps, 30, FPB_VC2_out[0], 25);
    VC2_filt = VC2_filt + _IQ22mpyIQX(o2_FPB_Tensoes_Caps, 30, FPB_VC2_out[1], 25);
    VC2_filt = _IQ25mpyIQX(VC2_filt, 22, _IQ30(1.0), 30);

    //////////////////////////////////////
    // -----> VC1
    //////////////////////////////////////

    // Desloca vetor de entrada
    FPB_VC1_in[2] = FPB_VC1_in[1];
    FPB_VC1_in[1] = FPB_VC1_in[0];
    FPB_VC1_in[0] = Tensao_VC1; // atualiza entrada

    // Desloca vetor de saída
    FPB_VC1_out[1] = FPB_VC1_out[0];
    FPB_VC1_out[0] = VC1_filt;

    // Atualiza saída do FPB
    VC1_filt = _IQ22mpyIQX(e1_FPB_Tensoes_Caps, 30, FPB_VC1_in[0], 25);
    VC1_filt = VC1_filt + _IQ22mpyIQX(e2_FPB_Tensoes_Caps, 30, FPB_VC1_in[1], 25);
    VC1_filt = VC1_filt + _IQ22mpyIQX(e3_FPB_Tensoes_Caps, 30, FPB_VC1_in[2], 25);
    VC1_filt = VC1_filt + _IQ22mpyIQX(o1_FPB_Tensoes_Caps, 30, FPB_VC1_out[0], 25);
    VC1_filt = VC1_filt + _IQ22mpyIQX(o2_FPB_Tensoes_Caps, 30, FPB_VC1_out[1], 25);
    VC1_filt = _IQ25mpyIQX(VC1_filt, 22, _IQ30(1.0), 30);
}

```

```
}
```

A.8 Confere violação de limites em V/Hz.

```
#include "main.h"

extern Uint16 ilhado; extern Uint16 SyA; extern Uint16 GDon;

extern _iq28 phi_PSD; extern _iq28 theta_VPCC;

extern _iq15 vpcc_rms; extern _iq15 vs_rms; extern _iq19 media_vetor_freq_PCC; extern _iq19 media_vetor_freq_S;

_iq30 Slon_DAC;

Uint16 ISD={0}; Uint16 grid_restored={0}; Uint16 Slon={0};

void Tensoes_vs_vpcc_IEEE_Std_1547(void) {
    // Teste vpcc --> ISD (Island Situation Detected)
    if(ilhado==0)
    {
        ISD = 1;
        if(media_vetor_freq_PCC > _IQ19(59.3))
        {
            if(media_vetor_freq_PCC < _IQ19(60.5))
            {
                if(vpcc_rms > _IQ15(111.76)) // 88% de 127V
                {
                    if(vpcc_rms < _IQ15(139.7)) // 110% de 127V
                    {
                        ISD = 0;
                    }
                }
            }
        }
    }
    else
    {
        if(ilhado==1) ISD = 0; // Se está ilhado, não precisa detectar o ilhamento
    }

    // Teste vs --> grid_restored (rede presente e operando normalmente)
    grid_restored = 0;
    if(media_vetor_freq_S > _IQ19(59.3))
    {
        if(media_vetor_freq_S < _IQ19(60.5))
        {
            if(vs_rms > _IQ15(111.76)) // 88% de 127V = 111.76V
            {
                if(vs_rms < _IQ15(139.7)) // 110% de 127V = 139.7V
                {
                    grid_restored = 1;
                }
            }
        }
    }
}

void Comando_Chave_S1(void) {
    // Variável "ilhado_toogle" foi excluída em 20/05/2009.
    // Em seu lugar (rotina if), utilizou-se a variável "ilhado".
    // Para tanto, o código de "GeraReferencia_ILHADO" precisou ser modificado na parte
    // em que o sinal SyA é gerado. Esta última alteração também foi feita em 20/05!
    if(GDon==1)
    {
        if(ISD==1)
```

```

    {
        if (SyA==0)
        {
            if (ilhado==0)
            {
                ilhado = 1;
                Slon = 0;
            }
        }
    }
else
{
    if (ilhado==1)
    {
        if (SyA==1)
        {
            ilhado = 0;
            Slon = 1;
        }
    }
}
}
else
{
    ilhado = 0;
    Slon = 1; // inicialmente carga conectada à rede
}
}

void Controle_GD(void) {
    ////////// CUIDADO CUIDADO CUIDADO CUIDADO //////////
    // Situação forçada MANUALMENTE somente para testes independentes!!!
    /*ilhado = 0; // p/ coletar dados somente do modo grid-connected <<-----*/
    Slon = 1; // p/ coletar dados somente do modo grid-connected <<-----*/
    /*ilhado = 1; // p/ coletar dados somente do modo stand-alone <<-----
    Slon = 0;*/

    Slon_DAC = _IQ30(0.0);
    if (ilhado==0)
    {
        Controle_GD_modocompartilhado(); // Diagrama de controle - Modo Compartilhado
        theta_VPCC = phi_PSD; // --> utilizado pelo controlador ressonante
        Slon_DAC = _IQ30(1.0);
    }
    else
    {
        if (ilhado==1) Controle_GD_modoilhado(); // Diagrama de controle - Modo Ilhado
    }
}
}

```

A.9 Detecção de ilhamento

```

#include "main.h"

extern Uint16 ISR_transicao_Low_to_High;

extern Uint16 ilhado;

extern _iq19 media_vetor_freq_PCC;

extern _iq28 phi_PSD;

Uint16 GDon; Uint16 AFDPF_enabled; Uint16 cf_fixo; Uint16 cf0_fixo;

_iq30 GDon_DAC;

```

```

_iq30  k_f; _iq24  fpcc0; _iq24  cf0; _iq24  cf; _iq24  fd; _iq24  fator_d;

_iq28  theta_d;

extern _iq21  k_medio; extern _iq23  tensao_base; _iq23  v_d;

void Detecta_ilhamento_AFDPF(void) {
    cf_fixo = 0;
    cf0_fixo = 0;

    // Verifica se o inversor está conectado ao PAC. Se sim, GDon=1.
    // variavel "AFDPF_enabled" pode ser dispensável!
    if(ISR_transicao_Low_to_High==0)
    {
        GDon = 0;
        AFDPF_enabled = 0;
        GDon_DAC = _IQ30(0.0);
    }
    else
    {
        GDon = 1;
        GDon_DAC = _IQ30(1.0);
        if(ilhado==0)
        {
            AFDPF_enabled = 1;
            cf0_fixo = 1; // nao atualiza cf0
        }
        else
        {
            cf_fixo = 1; // cf = cf0
            AFDPF_enabled = 0;
        }
    }

    // Se o inversor está conectado no PAC (GDon = 0) OU
    // se o sistema está ilhado (ilhado = 1) -----> atualiza cf0 p/ a freq. presente no PAC
    if(cf0_fixo==0)
    {
        //k_f = _IQ30(1.0); // ----> Simulacao DLL
        //k_f = _IQ30(0.1); // ----> Retirado 26/01/2010
        k_f = _IQ30(0.2); // ----> Added 26/01/2010
        fpcc0 = _IQ24mpyIQX(media_vetor_freq_PCC, 19, _IQ30(1.0), 30);
        cf0 = fpcc0 + _IQ24(0.05);
        cf0 = _IQ24div(fpcc0, cf0);
        cf0 = _IQ24(1.0) - cf0;
    }

    // Verifica se GDon=1 e ilhado=1 ----> modifica ou não o valor de "cf"
    if(cf_fixo==1)
    {
        cf = cf0;
    }
    {
        cf = _IQ24mpyIQX(media_vetor_freq_PCC, 19, _IQ30(1.0), 30);
        cf = cf - fpcc0; // fpcc - fpcc0
        // ----> Se k_f = 1, operação desnecessária!
        cf = _IQ24mpyIQX(cf, 24, k_f, 30); // kf*(fpcc - fpcc0)
        cf = cf + cf0; // cf0 + kf*(fpcc - fpcc0)
    }

    // Cálculo de fd --> freq. de distúrbio
    fator_d = _IQ24(1.0) - cf;
    fator_d = _IQ24div(_IQ24(1.0), fator_d);
    fator_d = _IQsat(fator_d, _IQ24(1.17), _IQ24(0.83)); // fdmax = 70Hz; fdmin=50Hz
    fd = _IQ24mpyIQX(fpcc0, 24, fator_d, 24);

    // Cálculo do ângulo theta_d
    // parte I
    if(phi_PSD <= _IQ28(3.14159265358979324))
    {
        theta_d = _IQ28mpyIQX(phi_PSD, 28, fator_d, 24); // d*angle_vpcc
    }
}

```

```

    }
    else
    {
        theta_d = phi_PSD - _IQ28(3.14159265358979324); // angle_vpcc - PI
        theta_d = _IQ28mpyIQX(theta_d, 28, fator_d, 24); // d*angle_dist
        theta_d = theta_d + _IQ28(3.14159265358979324); // angle_dist + PI
    }
    // parte II
    if(theta_d >= _IQ28(3.14159265358979324))
    {
        if(phi_PSD <= _IQ28(3.14159265358979324))    theta_d = _IQ28(3.14159265358979324); // angle_dist=PI
    }
    else
    {
        if(phi_PSD >= _IQ28(3.14159265358979324))    theta_d = _IQ28(3.14159265358979324); // angle_dist=PI
    }
    // parte III
    if(theta_d >= _IQ28(6.28318530717958648))
    {
        if(phi_PSD <= _IQ28(6.28318530717958648))    theta_d = _IQ28(6.28318530717958648); // angle_dist=PIx2
    }
    else
    {
        if(phi_PSD >= _IQ28(6.28318530717958648))    theta_d = _IQ28(6.28318530717958648); // angle_dist=PIx2
    }

    // Gera tensão distorcida ---> v_d
    v_d = _IQ28sin(theta_d);
    v_d = _IQ30mpyIQX(v_d, 28, k_medio, 21); // amplitude fundamental em pu ---> PLL barra PCC
    v_d = _IQ23mpyIQX(v_d, 30, tensao_base, 23); // tensao de base ---> PLL barra PCC
}

```

A.10 Síntese da referência durante o modo ilhado.

```

#include "main.h"

extern _iq23  Tensao_PCC; extern _iq23  Tensao_REDE; _iq23  delta_v_chave_S1;

extern _iq24  freq_S; extern _iq24  fpcc0; _iq24  delta_freq_sync; Uint16  condicoes_sync_ok;

extern _iq22  PI_dp_out_sync; extern _iq22  PI_dp_out_int_sync;

extern _iq22  velocidade_angular_PLL_ref;

extern Uint16  ilhado;

extern Uint16  grid_restored;

extern _iq28  theta_S_sincronizado; extern _iq28  u_ortho_S;

extern _iq30  Ts;

Uint16  stable_sync={0}; Uint16  SyA={0}; Uint16  ponteiro_dp_sync={0}; _iq19  contador_sync={0};

_iq28  erro_v_sync={0}; _iq28  erro_pi_sync={0}; _iq22  veloc_angular_sync={0}; _iq28  ang_B={0}; _iq28  sinal_D={0}; _iq28  sinal_C={0};

extern _iq21  prod_escalar_sync_vetor[600]; _iq21  prod_escalar_sync_soma={0}; _iq30  prod_escalar_sync_medio={0};

_iq22  delta_omega_sync;

void Gera_Referencia_ILHADO(void) {
    // Gera variacão em frequencia --> Seguidor de fase/"Freeze" ou ajuste de sincronismo pré-religamento
    if(grid_restored==1)
    {
        if(ilhado==1)

```

```

{
    /*
    //
    //
    //////////////////////////////////////
    // Algoritmo de sincronismo ANTIGO
    // Adicionado outro (abaixo) em 21/01/2010.
    //////////////////////////////////////

    sinal_D = _IQ28sin(ang_B);
    sinal_D = _IQ28mpyIQX(sinal_D, 28, u_ortho_S, 28); // D = [ sin(theta_S - pi/2) * sin(B) ]

    // Produto escalar e valor médio
    prod_escalar_sync_soma = prod_escalar_sync_soma - prod_escalar_sync_vetor[ponteiro_dp_sync];
    prod_escalar_sync_vetor[ponteiro_dp_sync] = _IQ19mpyIQX(sinal_D, 28, _IQ30(1.0), 30);
    prod_escalar_sync_soma = prod_escalar_sync_soma + prod_escalar_sync_vetor[ponteiro_dp_sync];
    prod_escalar_sync_medio = _IQ28mpyIQX(prod_escalar_sync_soma, 19, _IQ30((1.0)/(600.0)), 30);

    // Atualiza ponteiro
    ponteiro_dp_sync++;
    if(ponteiro_dp_sync==600) ponteiro_dp_sync = 0;

    // Controlador PI
    //erro_pi_sync = _IQ28(0.0) - prod_escalar_sync_medio;
    erro_pi_sync = _IQ28mpyIQX(prod_escalar_sync_medio, 28, _IQ28(1.0), 28);
    PI_dp_sync();
    delta_omega_sync = PI_dp_out_sync;
    */

    //
    //
    //////////////////////////////////////
    // Alteração do algoritmo de sincronismo
    // Objetivo: igualar com os PLL's. Data: 21/01/2010.
    //////////////////////////////////////
    sinal_D = _IQ30mpyIQX(_IQ28sin(ang_B), 28, _IQ30(1.0), 30);
    sinal_D = _IQ21mpyIQX(sinal_D, 30, u_ortho_S, 28); // D = [ sin(theta_S - pi/2) * sin(B) ]

    // Produto escalar e valor médio
    prod_escalar_sync_soma = prod_escalar_sync_soma - prod_escalar_sync_vetor[ponteiro_dp_sync];
    prod_escalar_sync_vetor[ponteiro_dp_sync] = sinal_D;
    prod_escalar_sync_soma = prod_escalar_sync_soma + prod_escalar_sync_vetor[ponteiro_dp_sync];
    prod_escalar_sync_medio = _IQ30mpyIQX(prod_escalar_sync_soma, 21, _IQ30((1.0)/(600.0)), 30);

    // Atualiza ponteiro
    ponteiro_dp_sync++;
    if(ponteiro_dp_sync==600) ponteiro_dp_sync = 0;

    // Controlador PI
    //erro_pi_sync = _IQ27mpyIQX(sinal_D, 21, _IQ27(1.0), 27);
    erro_pi_sync = _IQ27mpyIQX(prod_escalar_sync_medio, 30, _IQ27(1.0), 27);
    PI_dp_sync();
    delta_omega_sync = PI_dp_out_sync;
}
else
{
    ang_B = theta_S_sincronizado;
    //
    delta_omega_sync = _IQ22(0.0);
    PI_dp_out_int_sync = _IQ22(0.0); // "reset" no integrador do PI de sincronismo
    PI_dp_out_sync = _IQ22(0.0);
    ponteiro_dp_sync = 0;
    prod_escalar_sync_soma = _IQ21(0.0);
    prod_escalar_sync_medio = _IQ30(0.0);
    erro_pi_sync = _IQ27(0.0);
}
}
else
{
    condicoes_sync_ok = 0;
    delta_freq_sync = _IQ24(0.0);
    delta_v_chave_S1 = _IQ23(0.0);
    erro_v_sync = _IQ28(0.0);
}

```

```

    stable_sync = 0;
    contador_sync = _IQ19(0.0);
    SyA = 0;
    //
    prod_escalar_sync_medio = _IQ30(0.0);
    delta_omega_sync = _IQ22(0.0);
    //
    PI_dp_out_sync = _IQ22(0.0);
    PI_dp_out_int_sync = _IQ22(0.0); // "reset" no integrador do PI de sincronismo
}

// Atuador
//veloc_angular_sync = velocidade_angular_PLL_ref;
veloc_angular_sync = velocidade_angular_PLL_ref + delta_omega_sync;

//
if(ilhado==1)
{
    ang_B = ang_B + _IQ28mpyIQX(veloc_angular_sync, 22, Ts, 30);
    if(ang_B>_IQ28(6.28318530717959)) ang_B = ang_B + _IQ28(-6.28318530717959); // 6.28318530717959 rad = 360°
}
sinal_C = _IQ28sin(ang_B);

//
//
// Checagem de sincronismo ---> ANTIGO ---> Novo abaixo. Modificado em 21/01/2010.
/*if(grid_restored==1)
{
    delta_v_chave_S1 = Tensao_PCC - Tensao_REDE;

    erro_v_sync = _IQ28sin(theta_S_sincronizado);
    erro_v_sync = erro_v_sync - sinal_C; // erro_v = sin(theta_S) - C
    //
    if(erro_v_sync <= _IQ28(0.00000001)) // diferença inferior ou equivalente a 1% --> p.u.
    //if( (erro_v_sync <= _IQ28(0.01)) && (erro_v_sync >= _IQ28(-0.01)) ) // diferença inferior ou equivalente a 1% --> p.u.
    {
        stable_sync++;
        //
        if(stable_sync==3000) // 5 ciclos consecutivos de 60 Hz --> 600 amostras/ciclo
        {
            if(SyA==0) // 5 ciclos e atingiu sincronismo
            {
                stable_sync = 0; // zera contador
                if(ilhado==1) SyA = 1; // sincronismo atingido SOMENTE durante o ilhamento!
            }
        }
        //
        if(stable_sync==1200) // 2 ciclos consecutivos de 60 Hz --> 600 amostras/ciclo
        {
            if(SyA==1)
            {
                stable_sync = 0;
                if(ilhado==0) SyA = 0; // Retorna ao nível BAIXO com atraso de 2 ciclos de 60Hz
                // e mantém SyA nível BAIXO enquanto estiver no modo compartilhado (grid-connected)
            }
        }
    }
    else
    {
        stable_sync = 0;
    }
}*/

//
//
////////////////////////////////////
// Checagem de sincronismo
// Algoritmo NOVO ---> Criado em 21/01/2010.
//
if(grid_restored==1)
{
    condicoes_sync_ok = 0; // n° de condições atendidas para o sincronismo. São três!!

```

```

// Frequency range
delta_freq_sync = fpcc0 - freq_S;
if(delta_freq_sync < _IQ24(0.1))
{
    if(delta_freq_sync > _IQ24(-0.1))
    {
        condicoes_sync_ok++;
    }
}

// Voltage range
delta_v_chave_S1 = Tensao_PCC - Tensao_REDE;
if(delta_v_chave_S1 < _IQ23(16.0))
{
    if(delta_v_chave_S1 > _IQ23(-16.0))
    {
        condicoes_sync_ok++;
    }
}

// Phase range
erro_v_sync = _IQ28sin(theta_S_sincronizado);
erro_v_sync = erro_v_sync - sinal_C; // erro_v = sin(theta_S) - C
if(erro_v_sync < _IQ28(0.08))
{
    if(erro_v_sync > _IQ28(-0.08))
    {
        condicoes_sync_ok++;
    }
}

//
if(condicoes_sync_ok >= 3) // todas atendidas ----> vpcc e vs sincronizadas!
{
    stable_sync++;
    contador_sync = contador_sync + _IQ19(1.0);
    //
    if(SyA==0)
    {
        if(stable_sync==3000) // 5 ciclos consecutivos de 60 Hz --> 600 amostras/ciclo
        {
            stable_sync = 0; // zera contador
            contador_sync = _IQ19(0.0);
            if(ilhado==1)
            {
                SyA = 1; // sincronismo atingido SOMENTE durante o ilhamento!
            }
        }
    }
    if(SyA==1)
    {
        if(stable_sync==3000) // 5 ciclos consecutivos de 60 Hz --> 600 amostras/ciclo
        {
            stable_sync = 0;
            contador_sync = _IQ19(0.0);
            if(ilhado==0) SyA = 0; // Retorna ao nível BAIXO com atraso de 2 ciclos de 60Hz
            // e mantém SyA nível BAIXO enquanto estiver no modo compartilhado (grid-connected)
            // caso haja potência extra, pode-se injetar na rede
        }
    }
}
else
{
    stable_sync = 0;
    contador_sync = _IQ19(0.0);
}
}
}

```


A.11 Condições vigentes para os parâmetros dos controladores

```
#include "main.h"

extern _iq20   ganho_rampa; extern _iq20   ganho_rampa_potencia;

extern Uint16  SyA; extern  Uint16  GDon; extern  Uint16  Slon; extern  Uint16  ilhado;

extern  Uint16  injeta_potencia;

extern _iq23   erro_Tensao_PCC; extern _iq23   P_Ress_saida; extern _iq23   inout_Ress[5];

extern _iq18   erro_potencia_REDE; extern _iq17   PI_Potencia_REDE_out_prop; extern _iq17   PI_Potencia_REDE_out_int; extern _iq17   PI_Potencia_REDE_out;

extern _iq27   erro_corrente; extern _iq17   PI_Corrente_out_prop; extern _iq17   PI_Corrente_out_int; extern _iq17   PI_Corrente_out;

Uint16  caso_PI_PIV; Uint16  aux_PIV;

void Condicoes_PI_Pot_Corr_Tensao_COM_IF(void) {
    //Slon = 0; // ??? Por quê estava aqui? Para garantir modo ILHADO somente? ??

    if(GDon==1)
    {
        if(Slon==1)
        {
            if(SyA==1)
            {
                caso_PI_PIV = 5;
            }
            else
            {
                if(injeta_potencia>=50000)
                {
                    caso_PI_PIV = 3;
                }
                else
                {
                    caso_PI_PIV = 2;
                }
            }
        }
        else
        {
            caso_PI_PIV = 4;
        }
    }
    else
    {
        caso_PI_PIV = 1;
    }
}

//

////////////////////////////////////
if(caso_PI_PIV==1) // caso 1
{
    // Início de operação --> Conversor desconectado do PAC
    // PI potencia
    injeta_potencia = 0;
    erro_potencia_REDE = _IQ18(0.0);
    PI_Potencia_REDE_out_prop = _IQ17(0.0);
    PI_Potencia_REDE_out_int = _IQ17(0.0);
    PI_Potencia_REDE_out = _IQ17(0.0);

    // PI corrente
    erro_corrente = _IQ27(0.0);
    PI_Corrente_out_prop = _IQ17(0.0);
    PI_Corrente_out_int = _IQ17(0.0);
    PI_Corrente_out = _IQ17(0.0);
}
```

```

// P+Ress
erro_Tensao_PCC = _IQ23(0.0);
P_Ress_saida = _IQ23(0.0);
for(aux_PIV=0;aux_PIV<5;aux_PIV++)
{
    inout_Ress[aux_PIV] = _IQ23(0.0);
}
}
////////////////////////////////////
if(caso_PI_PIV==2) // caso 2
{
    // Modo compartilhado SEM injeção de potência
    //
    // PI potencia
    erro_potencia_REDE = _IQ18(0.0);
    PI_Potencia_REDE_out_prop = _IQ17(0.0);
    PI_Potencia_REDE_out_int = _IQ17(0.0);
    PI_Potencia_REDE_out = _IQ17(0.0);

    // P+Ress
    erro_Tensao_PCC = _IQ23(0.0);
    P_Ress_saida = _IQ23(0.0);
    for(aux_PIV=0;aux_PIV<5;aux_PIV++)
    {
        inout_Ress[aux_PIV] = _IQ23(0.0);
    }
}
////////////////////////////////////
if(caso_PI_PIV==3) // caso 3
{
    // Modo compartilhado COM injeção de potência
    //
    // P+Ress
    erro_Tensao_PCC = _IQ23(0.0);
    P_Ress_saida = _IQ23(0.0);
    for(aux_PIV=0;aux_PIV<5;aux_PIV++)
    {
        inout_Ress[aux_PIV] = _IQ23(0.0);
    }
}
////////////////////////////////////
if(caso_PI_PIV==4) // caso 4
{
    // Modo ilhado
    //
    // PI potencia
    injeta_potencia = 0;
    erro_potencia_REDE = _IQ18(0.0);
    PI_Potencia_REDE_out_prop = _IQ17(0.0);
    PI_Potencia_REDE_out_int = _IQ17(0.0);
    PI_Potencia_REDE_out = _IQ17(0.0);

    // PI corrente
    erro_corrente = _IQ27(0.0);
    PI_Corrente_out_prop = _IQ17(0.0);
    PI_Corrente_out_int = _IQ17(0.0);
    PI_Corrente_out = _IQ17(0.0);
}
////////////////////////////////////
if(caso_PI_PIV==5) // caso 5
{
    // Pós-religamento --> duração depende do sinal SyA
    //
    // PI potencia
    injeta_potencia = 0;
    erro_potencia_REDE = _IQ18(0.0);
    PI_Potencia_REDE_out_prop = _IQ17(0.0);
    PI_Potencia_REDE_out_int = _IQ17(0.0);
    PI_Potencia_REDE_out = _IQ17(0.0);

    // P+Ress
    erro_Tensao_PCC = _IQ23(0.0);

```

```

P_Ress_saida = _IQ23(0.0);
for(aux_PIV=0;aux_PIV<5;aux_PIV++)
{
    inout_Ress[aux_PIV] = _IQ23(0.0);
}

// Rampas de transferência
ganho_rampa = _IQ20(1.0); // Rampa PI Corrente
ganho_rampa_potencia = _IQ20(0.0); // Rampa PI Potencia
}
}

```

A.12 Definição dos pulsos de acionamento dos IGBT's

```

#include "main.h" #include "Gera_Pulsos_IGBTs.h"

extern volatile union RegPulsosIGBTs_REG RegPulsosIGBTs;

extern Uint16 Slon;

extern Uint16 Inv3_Zero_Up; extern Uint16 Inv2_Zero_Up; extern Uint16 Inv1_Zero_Up;

//extern _iq23 Tensao_VC3;
//extern _iq25 Tensao_VC2;
//extern _iq25 Tensao_VC1;

extern _iq23 VC3_filt; extern _iq25 VC2_filt; extern _iq25 VC1_filt;

extern _iq22 Vinv3_ref_pos; extern _iq22 Vinv2_ref_pos; extern _iq22 Vinv1_ref_pos; extern _iq22 Vinv3_ref_neg; extern _iq22
Vinv2_ref_neg; extern _iq22 Vinv1_ref_neg; extern _iq22 Vpico_Inversor; extern _iq22 Vpico_REDE; _iq22 nivel_comp_inv3_pos; _iq22
nivel_comp_inv3_neg; _iq22 nivel_comp_inv2_pos; _iq22 nivel_comp_inv2_neg; _iq22 nivel_comp_inv1_pos; _iq22 nivel_comp_inv1_neg;

extern _iq23 Tensao_conversor_ref; extern _iq23 Tensao_PCC;

_iq22 ref_modulo3; _iq22 ref_modulo2; _iq22 ref_modulo1;

_iq22 saida_modulacao; _iq22 saida1_modulacao; _iq22 saida2_modulacao; _iq22 saida3_modulacao; _iq22 entrada_modulacao;

Uint16 comparacao_PWM;

extern _iq22 angulo;

_iq28 angulo_rad; _iq22 senoide;

// PWM12 P9+
// PWM11 P9+
// PWM10 P3+
// PWM9 P3-
// PWM8 P1+
// PWM7 P1-

// 00 Forced Low
// 01 Active Low
// 10 Active High
// 11 Forced High

void Pulsos_IGBTs(void) {
    saida_modulacao = _IQ22(0.0);
    saida1_modulacao = _IQ22(0.0);
    saida2_modulacao = _IQ22(0.0);
    saida3_modulacao = _IQ22(0.0);
}

```

```

// Senóide de referência
/*angulo_rad = _IQ28mpyIQX(angulo, 22, _IQ30((3.14159265358979)/(180.0)), 30);
senoide = _IQ28sin(angulo_rad);
senoide = _IQ22mpyIQX(senoide, 28, Vpico_Inversor, 22);
//if(angulo>=_IQ22(360.0)) angulo = angulo + _IQ22(-360.0); // go back 360°*/

// Não mexer ##### Os pulsos dependem da sequência de códigos abaixo
angulo = angulo + _IQ22((360.0)*(60.0)/(36000.0)); // 60Hz "amostrados" a 36kHz
if(angulo>=_IQ22(360.0))
{
    angulo = angulo + _IQ22(-360.0); // go back 360°
    if(Inv3_Zero_Up==0)
    {
        Inv3_Zero_Up = 1;
        Inv2_Zero_Up = 1;
        Inv1_Zero_Up = 1;
    }
    else
    {
        Inv3_Zero_Up = 0;
        Inv2_Zero_Up = 0;
        Inv1_Zero_Up = 0;
    }
}

//entrada_modulacao = senoide;
entrada_modulacao = _IQ22mpyIQX(Tensao_conversor_ref, 23, _IQ2(1.0), 2);
//entrada_modulacao = _IQ22mpyIQX(Tensao_conversor_ref, 23, _IQ30(1.0), 30);
//entrada_modulacao = _IQ22mpyIQX(Tensao_PCC, 23, _IQ30(1.0), 30);

// Pulsos para Inv3
nivel_comp_inv3_pos = Vinv2_ref_pos + Vinv1_ref_pos;
//nivel_comp_inv3_pos = Tensao_VC1 + Tensao_VC2;
//nivel_comp_inv3_pos = _IQ22mpyIQX(nivel_comp_inv3_pos, 25, _IQ30(1.0), 30);
nivel_comp_inv3_neg = _IQ22mpyIQX(nivel_comp_inv3_pos, 22, _IQ30(-1.0), 30);
ref_modulo3 = entrada_modulacao;
if(ref_modulo3>nivel_comp_inv3_pos)
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv3_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv3_HIN2 = 0; // Forced Low
    //entrada_modulacao = entrada_modulacao - Vinv3_ref_pos;
    //saida3_modulacao = saida3_modulacao + Vinv3_ref_pos; // ----> Retirado 26/01/2010
    saida3_modulacao = _IQ22mpyIQX(VC3_filt, 23, _IQ30(1.0), 30); // ----> Add 26/01/2010
}
else
{
    if(ref_modulo3<nivel_comp_inv3_neg)
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv3_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Inv3_HIN2 = 3; // Forced High
        //entrada_modulacao = entrada_modulacao - Vinv3_ref_neg;
        //saida3_modulacao = saida3_modulacao + Vinv3_ref_neg; // ----> Retirado 26/01/2010
        saida3_modulacao = _IQ22mpyIQX(VC3_filt, 23, _IQ30(-1.0), 30); // ----> Add 26/01/2010
    }
    else
    {
        if(Inv3_Zero_Up==1)
        {
            // Vout = 0 (chaves de baixo)
            RegPulsosIGBTs.bit.Inv3_HIN1 = 0; // Forced Low
            RegPulsosIGBTs.bit.Inv3_HIN2 = 0; // Forced Low
        }
        else
        {
            // Vout = 0 (chaves de cima)
            RegPulsosIGBTs.bit.Inv3_HIN1 = 3; // Forced High
            RegPulsosIGBTs.bit.Inv3_HIN2 = 3; // Forced High
        }
    }
}

```

```

    }
}

// Pulsos para Inv2
nivel_comp_inv2_pos = Vinv1_ref_pos;
//nivel_comp_inv2_pos = _IQ22mpyIQX(Tensao_VC1, 25, _IQ30(1.0), 30);
nivel_comp_inv2_neg = _IQ22mpyIQX(nivel_comp_inv2_pos, 22, _IQ30(-1.0), 30);
ref_modulo2 = entrada_modulacao - saida3_modulacao;
//ref_modulo2 = entrada_modulacao;
if(ref_modulo2>nivel_comp_inv2_pos)
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv2_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv2_HIN2 = 0; // Forced Low
    //entrada_modulacao = entrada_modulacao - Vinv2_ref_pos;
    //saida2_modulacao = saida2_modulacao + Vinv2_ref_pos; // ----> Retirado 26/01/2010
    saida2_modulacao = _IQ22mpyIQX(VC2_filt, 25, _IQ30(1.0), 30); // ----> Add 26/01/2010
}
else
{
    //if(entrada_modulacao<Vinv1_ref_neg)
    if(ref_modulo2<nivel_comp_inv2_neg)
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv2_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Inv2_HIN2 = 3; // Forced High
        //entrada_modulacao = entrada_modulacao - Vinv2_ref_neg;
        //saida2_modulacao = saida2_modulacao + Vinv2_ref_neg; // ----> Retirado 26/01/2010
        saida2_modulacao = _IQ22mpyIQX(VC2_filt, 25, _IQ30(-1.0), 30); // ----> Add 26/01/2010
    }
    else
    {
        if(Inv2_Zero_Up==1)
        {
            // Vout = 0 (chaves de baixo)
            RegPulsosIGBTs.bit.Inv2_HIN1 = 0; // Forced Low
            RegPulsosIGBTs.bit.Inv2_HIN2 = 0; // Forced Low
        }
        else
        {
            // Vout = 0 (chaves de cima)
            RegPulsosIGBTs.bit.Inv2_HIN1 = 3; // Forced High
            RegPulsosIGBTs.bit.Inv2_HIN2 = 3; // Forced High
        }
    }
}
}

/*// Pulsos para Inv1 sem PWM
nivel_comp_inv1_pos = _IQ22mpyIQX(Vinv1_ref_pos, 22, _IQ30(0.5), 30);
nivel_comp_inv1_neg = _IQ22mpyIQX(Vinv1_ref_neg, 22, _IQ30(0.5), 30);
ref_modulo1 = ref_modulo2 - saida2_modulacao;
if(ref_modulo1>nivel_comp_inv1_pos)
//if(entrada_modulacao>_IQ22(0.5*Vinv1_ref_pos))
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv1_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv1_HIN2 = 0; // Forced Low
    //saida1_modulacao = saida1_modulacao + Vinv1_ref_pos;
    saida1_modulacao = Vinv1_ref_pos;
}
else
{
    if(ref_modulo1<nivel_comp_inv1_neg)
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv1_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Inv1_HIN2 = 3; // Forced High
        //saida1_modulacao = saida1_modulacao + Vinv1_ref_neg;
        saida1_modulacao = Vinv1_ref_neg;
    }
}
}

```

```

else
{
    saida1_modulacao = _IQ22(0.0);
    if(Invl_Zero_Up==1)
    {
        // Vout = 0 (chaves de baixo)
        RegPulsosIGBTs.bit.Invl_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Invl_HIN2 = 0; // Forced Low
    }
    else
    {
        // Vout = 0 (chaves de cima)
        RegPulsosIGBTs.bit.Invl_HIN1 = 3; // Forced High
        RegPulsosIGBTs.bit.Invl_HIN2 = 3; // Forced High
    }
}
}*/

// Pulsos para Invl com PWM
ref_modulo1 = ref_modulo2 - saida2_modulacao;
//ref_modulo1 = entrada_modulacao; // ---> Apenas para visualização através do DAC do sinal de referência
if(ref_modulo1>_IQ22(0.0))
{
    ref_modulo1 = _IQsat((_IQ22div(ref_modulo1, Vinvl_ref_pos)), _IQ22(1.0), _IQ22(0.0));
    saida1_modulacao = Vinvl_ref_pos;
    ref_modulo1 = _IQ2mpyIQX(ref_modulo1, 22, _IQ1(4167.0), 1); // multiplica pelo valor de "estouro" do Timer associado ao PWM
    EvbRegs.CMPR4 = ref_modulo1 >> 2;
    RegPulsosIGBTs.bit.Invl_HIN1 = 1; // Ativo Baixo -- Segue PWM
    RegPulsosIGBTs.bit.Invl_HIN2 = 0; // Permanece sempre em nível baixo
}
else
{
    ref_modulo1 = _IQsat((_IQ22div(ref_modulo1, Vinvl_ref_neg)), _IQ22(1.0), _IQ22(0.0));
    saida1_modulacao = Vinvl_ref_neg;
    ref_modulo1 = _IQ2mpyIQX(ref_modulo1, 22, _IQ1(4167.0), 1); // multiplica pelo valor de "estouro" do Timer associado ao PWM
    EvbRegs.CMPR4 = ref_modulo1 >> 2;
    RegPulsosIGBTs.bit.Invl_HIN1 = 0; // Permanece sempre em nível baixo
    RegPulsosIGBTs.bit.Invl_HIN2 = 1; // Ativo Baixo -- Segue PWM
}

saida_modulacao = saida1_modulacao + saida2_modulacao + saida3_modulacao;

// Abre ou fecha chave Slon --> grid-connected or stand-alone modes
// OBS.: O pino de entrada na placa externa é ativo
if(Slon==0)
{
    GpioDataRegs.GPADAT.bit.GPIOA14 = 1; // mantém chave S1 ABERTA
}
else
{
    if(Slon==1)
    {
        GpioDataRegs.GPADAT.bit.GPIOA14 = 0; // mantém chave S1 FECHADA
    }
}

// Carrega todos os pulsos
if(RegPulsosIGBTs.bit.Libera_Pulsos==1) EvbRegs.ACTRB.all = RegPulsosIGBTs.all;
}

```

A.13 Cálculos dos valores de potência ativa

```
#include "main.h"
```

```
#pragma DATA_SECTION(Wrede_vec, "MMvec"); #pragma DATA_SECTION(Wcarga_vec, "MMvec"); #pragma DATA_SECTION(Winversor_vec, "MMvec");

extern _iq23 Tensao_PCC; // barra PCC

extern _iq27 Corrente_REDE; extern _iq27 Corrente_Inversor; extern _iq27 Corrente_Carga;

_iq11 Wrede_vec[600]; _iq11 Wrede_soma; _iq20 Wrede_medio;

_iq11 Wcarga_vec[600]; _iq11 Wcarga_soma; _iq20 Wcarga_medio;

_iq11 Winversor_vec[600]; _iq11 Winversor_soma; _iq20 Winversor_medio;

_iq11 Wrede; _iq11 Wcarga; _iq11 Winversor;

Uint16 ponteiro_pot_ativa={0}; Uint16 inicia_vec_pot_ativa={0}; Uint16 vec_pot_ativa_iniciado={0};

void calculo_potencias_ativas(void) {
    // Inicia vetores e variáveis
    if(vec_pot_ativa_iniciado==0)
    {
        for(inicia_vec_pot_ativa=0;inicia_vec_pot_ativa<600;inicia_vec_pot_ativa++)
        {
            Wrede_vec[inicia_vec_pot_ativa] = _IQ11(0.0);
            Wcarga_vec[inicia_vec_pot_ativa] = _IQ11(0.0);
            Winversor_vec[inicia_vec_pot_ativa] = _IQ11(0.0);
        }
        Wrede_soma = _IQ11(0.0);
        Wcarga_soma = _IQ11(0.0);
        Winversor_soma = _IQ11(0.0);
        Wrede_medio = _IQ20(0.0);
        Wcarga_medio = _IQ20(0.0);
        Winversor_medio = _IQ20(0.0);
        vec_pot_ativa_iniciado = 1;
    }

    // Potências instantâneas
    Wrede = _IQ11mpyIQX(Tensao_PCC, 23, Corrente_REDE, 27);
    Wcarga = _IQ11mpyIQX(Tensao_PCC, 23, Corrente_Carga, 27);
    Winversor = _IQ11mpyIQX(Tensao_PCC, 23, Corrente_Inversor, 27);

    // Valores médios...

    // ... REDE
    Wrede_soma = Wrede_soma - Wrede_vec[ponteiro_pot_ativa];
    Wrede_vec[ponteiro_pot_ativa] = Wrede;
    Wrede_soma = Wrede_soma + Wrede_vec[ponteiro_pot_ativa];
    Wrede_medio = _IQ20mpyIQX(Wrede_soma, 11, _IQ30((1.0)/(600.0)), 30);

    // ... CARGA
    Wcarga_soma = Wcarga_soma - Wcarga_vec[ponteiro_pot_ativa];
    Wcarga_vec[ponteiro_pot_ativa] = Wcarga;
    Wcarga_soma = Wcarga_soma + Wcarga_vec[ponteiro_pot_ativa];
    Wcarga_medio = _IQ20mpyIQX(Wcarga_soma, 11, _IQ30((1.0)/(600.0)), 30);

    // ... INVERSOR MULTINÍVEL
    Winversor_soma = Winversor_soma - Winversor_vec[ponteiro_pot_ativa];
    Winversor_vec[ponteiro_pot_ativa] = Winversor;
    Winversor_soma = Winversor_soma + Winversor_vec[ponteiro_pot_ativa];
    Winversor_medio = _IQ20mpyIQX(Winversor_soma, 11, _IQ30((1.0)/(600.0)), 30);

    // Loop de varredura
    ponteiro_pot_ativa++;
    if(ponteiro_pot_ativa==600) ponteiro_pot_ativa = 0;
}
}
```

A.14 Escolha dos sinais a serem visualizados nos DAC

```
#include "DSP281x_Device.h"    // DSP281x Headerfile Include File #include "DSP281x_Examples.h"    // DSP281x Examples Include File #include
"IQmathLib.h" #include "Sinais_to_DAC.h"

extern Uint16 TO_DAC_canalA; extern Uint16 TO_DAC_canalB; extern Uint16 TO_DAC_canalC; extern Uint16 TO_DAC_canalD;

//extern _iq22 senoide;
//extern _iq22 saida_modulacao;
//extern _iq22 saida1_modulacao;
//extern _iq22 saida2_modulacao;
//extern _iq22 saida3_modulacao;
//extern _iq22 ref_modulo3;
//extern _iq22 ref_modulo2;
//extern _iq22 ref_modulo1;

//extern _iq18 ref_p_REDE_media;
//extern _iq18 potencia_instantanea_REDE_media;
//extern _iq18 erro_potencia_REDE;
//extern _iq17 PI_Potencia_REDE_out;
//extern _iq17 PI_Potencia_REDE_out_prop;
//extern _iq17 PI_Potencia_REDE_out_int;

//extern _iq27 Corrente_Inversor_ref;
//extern _iq23 Tensao_conversor_ref;
//extern _iq17 PI_Corrente_out;
//extern _iq17 PI_Corrente_out_int;
//extern _iq17 PI_Corrente_out_prop;
//extern _iq23 Tensao_REDE;

//extern _iq24 freq_PCC;
//extern _iq19 media_vetor_freq_PCC;

//extern _iq15 vpcc_rms;

//extern _iq21 d_freq_PCC_dt;
//extern _iq21 media_vetor_d_freq_PCC_dt;

extern _iq27 Corrente_REDE;
//extern _iq27 Corrente_Carga;
//extern _iq27 Corrente_Inversor;
//extern _iq27 Corrente_REDE_ref;
//extern _iq27 Corrente_Inversor_ref;

//extern _iq23 Tensao_PCC_fundamental;
//extern _iq30 sinal;

//extern _iq25 Tensao_VC2;

//extern _iq23 VC3_filt;
//extern _iq25 VC2_filt;
//extern _iq25 VC1_filt;

//extern _iq23 Tensao_VC3;
//extern _iq25 Tensao_VC2;
//extern _iq25 Tensao_VC1;

//extern _iq23 Tensao_PCC;
//extern _iq23 Tensao_PCC_ref;
//extern _iq23 Tensao_conversor_ref;
//extern _iq23 erro_Tensao_PCC;

//extern _iq28 sinal_C;
//extern _iq28 sinal_D;
//extern _iq28 ang_B;
//extern _iq22 veloc_angular_sync;
//extern _iq22 PI_dp_out_sync;
//extern _iq28 prod_escalar_sync_medio;

//extern _iq30 S1on_DAC;
```



```

//extern    _iq30    GDon_DAC;

//extern    _iq28    erro_v_sync;
//extern    _iq23    delta_v_chave_S1;

//extern    _iq19    contador_sync;

//extern    _iq23    v_d;
//extern    _iq28    theta_d;
//extern    _iq28    phi_PSD;
//extern    _iq28    u_a;
//extern    _iq28    theta_PLL;
//extern    _iq28    u_ortho_PCC;

//extern    _iq30    sinal_S;
//extern    _iq28    theta_S_sincronizado;
//extern    _iq28    u_ortho_S;
//extern    _iq22    PI_dp_out_S;
//extern    _iq27    erro_dp_S;

extern _iq20    Wrede_medio; extern _iq20    Wcarga_medio; extern _iq20    Winversor_medio;

_iq29    sinal_norm; _iq30    escalaDAC; _iq21    K_DA; Uint16    offsetDAC;

void Sinais_to_DAC(void) {

    offsetDAC = 0x0800; // padrão - 2048
    K_DA = _IQ21((4095.0)/(5.0));

    //////////////////////////////////////

    // Ajuste do sinal para o canal A do DAC
    escalaDAC = _IQ30((1.0)/(100.0)); // Escala vertical no osciloscópio => 1/8 aqui vale 8V/div no oscil.
    sinal_norm = _IQ29mpyIQX(Wcarga_medio, 20, escalaDAC, 30);
    TO_DAC_canalA = _IQ1mpyIQX(sinal_norm, 29, K_DA, 21) >> 1;
    TO_DAC_canalA = TO_DAC_canalA + offsetDAC;

    // Ajuste do sinal para o canal B do DAC
    escalaDAC = _IQ30((1.0)/(100.0));
    sinal_norm = _IQ29mpyIQX(Winversor_medio, 20, escalaDAC, 30);
    TO_DAC_canalB = _IQ1mpyIQX(sinal_norm, 29, K_DA, 21) >> 1;
    TO_DAC_canalB = TO_DAC_canalB + offsetDAC;

    // Ajuste do sinal para o canal C do DAC
    escalaDAC = _IQ30((1.0)/(100.0));
    sinal_norm = _IQ29mpyIQX(Wrede_medio, 20, escalaDAC, 30);
    TO_DAC_canalC = _IQ1mpyIQX(sinal_norm, 29, K_DA, 21) >> 1;
    TO_DAC_canalC = TO_DAC_canalC + offsetDAC;

}

```

A.15 Liga e desliga o processo de conversão no DAC

```

#include "DSP281x_Device.h"    // DSP281x Headerfile Include File #include "DSP281x_Examples.h"    // DSP281x Examples Include File #include
"IQmathLib.h" #include "Load_DAC.h"

volatile union DacEntradas_REG DacEntradas;

extern Uint16    TO_DAC_canalA; extern Uint16    TO_DAC_canalB; extern Uint16    TO_DAC_canalC; extern Uint16    TO_DAC_canalD;

void Conversao_DAC(void) {

    // Procedimento para "desconectar" os sinais de saída do DAC com suas respectivas entradas
    DacEntradas.bit.Desliga = 1;
    GpioDataRegs.GPFDAT.all = DacEntradas.all;
}

```

```
// Seleciona o Canal A do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 0;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalA;
GpioDataRegs.GPFDAT.all = DacEntradas.all;

// Seleciona o Canal B do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 1;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalB;
GpioDataRegs.GPFDAT.all = DacEntradas.all;

// Seleciona o Canal C do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 2;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalC;
GpioDataRegs.GPFDAT.all = DacEntradas.all;

// Seleciona o Canal D do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 3;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalD;
GpioDataRegs.GPFDAT.all = DacEntradas.all;

// Procedimento para "liberar" os sinais nos canais de saida do DAC
DacEntradas.bit.Desliga = 0;
GpioDataRegs.GPFDAT.all = DacEntradas.all;

}
```

Apêndice B

Códigos dos blocos DLL do modelo computacional

B.1 Cálculo do valor eficaz por sua definição

```
#include <math.h>

__declspec(dllexport) void simuser (t, delt, in, out)

// Note that all the variables must be defined as "double"
double t, delt; double *in, *out;

{
// Place your code here.....begin

// Define "sum" as "static" in order to retain its value.
// static double nsum=0., sum=0., rms;
// double Tperiod;
static double true_rms_0=0.0, media_0=0.0, produto_0=0.0, amostra_0[3000];
static double true_rms_1=0.0, media_1=0.0, produto_1=0.0, amostra_1[3000];
static double true_rms_2=0.0, media_2=0.0, produto_2=0.0, amostra_2[3000];
static double true_rms_3=0.0, media_3=0.0, produto_3=0.0, amostra_3[3000];
static double true_rms_4=0.0, media_4=0.0, produto_4=0.0, amostra_4[3000];
static double true_rms_5=0.0, media_5=0.0, produto_5=0.0, amostra_5[3000];
static unsigned int aux0=0, aux1=0, aux2=0, aux3=0, aux4=0, aux5=0;

// Tperiod=1./60.;

produto_0 = produto_0 - amostra_0[aux0];
amostra_0[aux0] = in[0]*in[0];
produto_0 = produto_0 + amostra_0[aux0];
aux0++;
if (aux0 >= 3000) aux0=0;
media_0 = produto_0 / 3000;
true_rms_0 = sqrt(media_0);
out[0] = true_rms_0;

produto_1 = produto_1 - amostra_1[aux1];
amostra_1[aux1] = in[1]*in[1];
produto_1 = produto_1 + amostra_1[aux1];
aux1++;
if (aux1 >= 3000) aux1=0;
media_1 = produto_1 / 3000;
true_rms_1 = sqrt(media_1);
out[1] = true_rms_1;
```

```

produto_2 = produto_2 - amostra_2[aux2];
amostra_2[aux2] = in[2]*in[2];
produto_2 = produto_2 + amostra_2[aux2];
aux2++;
if (aux2 >= 3000) aux2=0;
media_2 = produto_2 / 3000;
true_rms_2 = sqrt(media_2);
out[2] = true_rms_2;

produto_3 = produto_3 - amostra_3[aux3];
amostra_3[aux3] = in[3]*in[3];
produto_3 = produto_3 + amostra_3[aux3];
aux3++;
if (aux3 >= 3000) aux3=0;
media_3 = produto_3 / 3000;
true_rms_3 = sqrt(media_3);
out[3] = true_rms_3;

produto_4 = produto_4 - amostra_4[aux4];
amostra_4[aux4] = in[4]*in[4];
produto_4 = produto_4 + amostra_4[aux4];
aux4++;
if (aux4 >= 3000) aux4=0;
media_4 = produto_4 / 3000;
true_rms_4 = sqrt(media_4);
out[4] = true_rms_4;

produto_5 = produto_5 - amostra_5[aux5];
amostra_5[aux5] = in[5]*in[5];
produto_5 = produto_5 + amostra_5[aux5];
aux5++;
if (aux5 >= 3000) aux5=0;
media_5 = produto_5 / 3000;
true_rms_5 = sqrt(media_5);
out[5] = true_rms_5;

// Place your code here.....end

}

```

B.2 Rastreador PLL e detector de onda fundamental

```

#include <math.h>

__declspec(dllexport) void simuser (t, delt, in, out)

// Note that all the variables must be defined as "double"
double t, delt; double *in, *out;

{
// Place your code here.....begin

// Define "sum" as "static" in order to retain its value.
//static double media_dp=0.0, soma_dp=0.0, vpac, vpac_l, ul, upac_ortho, dp[600], w=0.0;
static double media_dp=0.0, soma_dp=0.0, vpac, vpac_l, ul, upac_ortho, dp[3000], w=0.0;
static double angulo=0.0, pi_dp_in, pi_dp_in_max=0.0, pi_dp_out, pi_dp_out_max=13.0, pi_dp_int=0.0, kp_pi_dp=38.5, ki_pi_dp=850.0;
//static double Amp_soma, dp2[600], Amp=0.0;
static double Amp_soma, dp2[3000], Amp=0.0;
static unsigned int aux1=0;
const double PIx2=6.283185, PI=3.141593;

// Tensao em pu
vpac = in[0]/200;

// Produto escalar
upac_ortho = sin(angulo);

```

```

soma_dp = soma_dp - dp[aux1];
dp[aux1]=vpac*upac_ortho;
soma_dp = soma_dp + dp[aux1];

// Média Móvel
//media_dp = soma_dp / 600;
media_dp = soma_dp / 3000;
pi_dp_in = 0 - media_dp;

// Controlador PI
pi_dp_out = kp_pi_dp*pi_dp_in;
if (pi_dp_out>pi_dp_out_max) pi_dp_out = pi_dp_out_max;
if (pi_dp_out<-pi_dp_out_max) pi_dp_out = -pi_dp_out_max;
pi_dp_in_max = pi_dp_out_max - pi_dp_out;
//pi_dp_int = pi_dp_int + pi_dp_in;
//pi_dp_out = pi_dp_out + pi_dp_int*delt*ki_pi_dp;
pi_dp_int = pi_dp_int + pi_dp_in*delt*ki_pi_dp;
if ( (pi_dp_int<pi_dp_in_max) & (pi_dp_int>-pi_dp_in_max)) pi_dp_out = pi_dp_out + pi_dp_int;

// Frequência e Ângulo
w = PIX2*60 + pi_dp_out;
angulo = angulo + delt*w;
if (angulo>PIX2) angulo=angulo-(PIX2);
if (angulo<0.0) angulo=0.0;
out[0]=w;

// Detector de Onda Fundamental
//Amp_soma, dp2[600], Amp
u1 = sin(angulo + 0.5*PI);
Amp_soma = Amp_soma - dp2[aux1];
dp2[aux1] = vpac*u1;
Amp_soma = Amp_soma + dp2[aux1];
//Amp = Amp_soma / 300;
Amp = Amp_soma / 1500;
vpac_1 = Amp*u1;

out[1]=200*Amp;
out[2]=200*vpac_1;

aux1++;
//if(aux1>=600) aux1=0;
if(aux1>=3000) aux1=0;

// Place your code here.....end
}

```

B.3 Método ativo de detecção de ilhamento

```

#include "dll.h"
#include <windows.h>
#include <stdio.h>
#include <stdlib.h>

DLLIMPORT void simuser(t,delt,in,out)

double t, delt; double *in, *out;

{
// início do programa

// Define "sum" as "static" in order to retain its value.

const double PIX2=6.28318530717958648, PI=3.14159265358979324;

static double cf0=0.0, cf=0.0, fpac0=60.0, d=1.0, fd=60.0, angulo_d=0.0, vd=0.0;

```

```

static double angulo_vpac=0.0, fpac=60.0, GDon=0.0,ilhado=0.0, k=0.0, vpac1_pico=180.0;
static unsigned int cf_fixo=0, cf0_fixo=0, liga_deteccao=0;

// Leitura das entradas
angulo_vpac = in[0];
fpac = in[1];
GDon = in[2];
ilhado = in[3];
k = in[4];
vpac1_pico = in[5];

// Verifica se o inversor está conectado ao PAC
// e se o sistema opera no modoilhado
cf_fixo = 0;
cf0_fixo = 0;
if(GDon>0.001)
{
    if(ilhado<0.001)
    {
        liga_deteccao = 1;
        cf0_fixo = 1; // nao atualiza cf0
    }
    else
    {
        cf_fixo = 1; // cf = cf0
        liga_deteccao = 0;
    }
}

// Se o inversor está conectado no PAC (GDon = 0) OU
// se o sistema estáilhado (ilhado = 1) ----> atualiza cf0 p/ a freq. presente no PAC
if(cf0_fixo==0)
{
    fpac0 = fpac;
    cf0 = fpac0/(fpac0+0.05);
    cf0 = 1.0 - cf0;
}

// Verifica se GDon=1 eilhado=1 ---> modifica ou não o valor de "cf"
if(cf_fixo==1)
{
    cf = cf0;
}
else
{
    cf = (fpac - fpac0);
    cf = cf*k;
    cf = cf + cf0; // cf0 + kf*(fpcc - fpcc0)
}

// Cálculo de fd --> freq. de distúrbio
d = 1.0/(1.0-cf);
if (d>1.17) d=1.17;
if (d<0.83) d=0.83;
fd=d*fpac0;

//const double P1x2=6.28318530717958648, PI=3.14159265358979324;
// Cálculo do ângulo theta_d
// ----- parte I
if(angulo_vpac <= PI)
{
    angulo_d = d*angulo_vpac;
}
else
{
    angulo_d = angulo_vpac - PI;
    angulo_d = d*angulo_d;
    angulo_d = angulo_d + PI;
}
// ----- parte II
if(angulo_d >= PI)
{

```

```

        if(angulo_vpac <= PI) angulo_d = PI; // angle_dist=PI
    }
    else
    {
        if(angulo_vpac >= PI) angulo_d = PI; // angle_dist=PI
    }
    // ----- parte III
    if(angulo_d >= PIx2)
    {
        if(angulo_vpac <= PIx2) angulo_d = PIx2; // angle_dist=PIx2
    }
    else
    {
        if(angulo_vpac >= PIx2) angulo_d = PIx2; // angle_dist=PIx2
    }

    // Gera tensão distorcida
    vd = sin(angulo_d);
    vd = vpac1_pico*vd;

    // Atualização das saídas
    out[0] = cf;
    out[1] = angulo_d;
    out[2] = fd;
    out[3] = vd;

// fim do programa
}

// Não alterar daqui em diante

BOOL APIENTRY DllMain (HINSTANCE hInst     /* Library instance handle. */ ,
                       DWORD reason        /* Reason this function is being called. */ ,
                       LPVOID reserved    /* Not used. */ )
{
    switch (reason)
    {
        case DLL_PROCESS_ATTACH:
            break;

        case DLL_PROCESS_DETACH:
            break;

        case DLL_THREAD_ATTACH:
            break;

        case DLL_THREAD_DETACH:
            break;
    }

    /* Returns TRUE on success, FALSE on failure */
    return TRUE;
}

```

B.4 Controle do estado da chave S_1

```

/* Replace "dll.h" with the name of your header */ #include "dll.h" #include <windows.h> #include <stdio.h> #include <stdlib.h>

DLLIMPORT void simuser(t,delt,in,out)

// Note that all the variables must be defined as "double"
double t, delt; double *in, *out;

{

```

```

// início do programa

static double ISD=0.0, SyA=0.0, GDon=0.0, ilhado=0.0, Slon=1.0;

ISD = in[0];
SyA = in[1];
GDon = in[2];

if (GDon<0.001)
{
    ilhado = 0.0;
    Slon = 1.0;
}
else
{
    if (ISD>0.001)
    {
        if ((SyA<0.001)&&(ilhado==0.0))
        {
            ilhado = 1.0;
            Slon = 0.0;
        }
    }
    else
    {
        if ((SyA>0.001)&&(ilhado==1.0))
        {
            ilhado = 0.0;
            Slon = 1.0;
        }
    }
}

out[0] = ilhado;
out[1] = Slon;

// fim do programa
}

// Não alterar daqui em diante

BOOL APIENTRY DllMain (HINSTANCE hInst      /* Library instance handle. */ ,
                      DWORD reason          /* Reason this function is being called. */ ,
                      LPVOID reserved       /* Not used. */ )
{
    switch (reason)
    {
        case DLL_PROCESS_ATTACH:
            break;

        case DLL_PROCESS_DETACH:
            break;

        case DLL_THREAD_ATTACH:
            break;

        case DLL_THREAD_DETACH:
            break;
    }

    /* Returns TRUE on success, FALSE on failure */
    return TRUE;
}

```


B.5 Elaboração da referência durante o modo ilhado

```

/* Replace "dll.h" with the name of your header */ #include "dll.h" #include <windows.h> #include <stdio.h> #include <stdlib.h>

DLLIMPORT void simuser ( t, delt, in, out)

// Note that all the variables must be defined as "double"
double t, delt; double *in, *out;

{
// início do programa

const double Ptx2=6.28318530717958648, PI=3.14159265358979324, PI_metade=1.57079632679489662;
const double Tstep=0.0000055555555555555556; // 1/180k ---> 3000 em um ciclo de 60Hz
const double PI_sobre_9=0.349065850398866; // pi/9 --> corresponde a 20°

static double SEPA_ok=1.0, ilhado=0.0, angulo_vs=0.0, vs_rms=0.0, vpac_rms=0.0, fs=60.0, fpac=60.0;
static double dv=0.0, df=0.0, da=0.0, A=0.0, A_medio=0.0, A_vetor[3000], A_soma=0.0, dw=0.0, erro=0.0;
static double G=0.0, angulo_ms=0.0, wms=377.0, kp_PLL=40.0, ki_PLL=850.0;
static double vpac_ref=0.0, SSA=0.0, SSE=0.0, dwp=0.0, dwi=0.0, dwi_max=0.0, dwi_min=0.0;
static unsigned int ponteiroA=0;

// Leitura das entradas
SEPA_ok = in[0];
ilhado = in[1];
vs_rms = in[2];
vpac_rms = in[3];
fs = in[4];
fpac = in[5];
angulo_vs = in[6];

// Definição da defasagem ---> "Freeze" ou em busca de sincronismo quando SEPA estiver OK!
if(ilhado>0.001)
{
    if(SEPA_ok>0.001)
    {
        // produto escalar
        A=sin(angulo_vs+PI_metade);
        A=A*sin(angulo_ms);

        //média-móvel do produto
        A_soma = A_soma - A_vetor[ponteiroA];
        A_vetor[ponteiroA] = A;
        A_soma = A_soma + A_vetor[ponteiroA];
        A_medio = A_soma/3000;
        ponteiroA++;
        if (ponteiroA>=3000) ponteiroA=0;

        //erro e ajuste do controlador PI
        erro = 0.0 - A_medio;
        dwp=kp_PLL*erro;
        dwi_max = 25.0 - dwp; dwi_min = -25.0 - dwp;
        dwi=dwi+(ki_PLL*erro*Tstep);
        if(dwi>=dwi_max) dwi=dwi_max;
        if(dwi<=dwi_min) dwi=dwi_min;
        dw = dwp + dwi;
    }
    else
    {
        dv=0.0; df=0.0; da=0.0;
        A=0.0; A_medio=0.0; A_soma=0.0; dw=0.0; dwi=0.0; erro=0.0;
        SSE=0.0; SSA=0.0;
    }
}
else
{
    angulo_ms = angulo_vs;
    dv=0.0; df=0.0; da=0.0;
}
}

```

```

        A=0.0; A_medio=0.0; A_soma=0.0; dw=0.0; dwi=0.0; erro=0.0;
        SSE=0.0; SSA=0.0;
    }

    // ajusta o sinal de frequencia e do ângulo
    wms = 60.0*Pix2;
    wms = wms + dw;
    angulo_ms = angulo_ms + (wms*Tstep);
    if(angulo_ms>Pix2) angulo_ms = angulo_ms - Pix2; // wrapping phase
    if(angulo_ms<=-Pix2) angulo_ms = angulo_ms + Pix2;

    // Sinal interno em fase com a saída
    G = sin(angulo_ms);
    vpac_ref = 179.6051224214*G;

    // Verifica se há sincronismo estável somente no modo ilhado
    if((SEPA_ok>0.001)&&(ilhado>0.001))
    {
        dv=vs_rms-vpac_rms;
        df=fs-fpac; da=sin(angulo_vs); da=da-G;
        if((dv<=6.35)&&(dv>=-6.35)) // 5% de 127V. A norma exige 10%
        {
            //df=fs-fpac;
            if((df<=0.1)&&(df>=-0.1)) // 33% da exigência da norma.
            {
                //da=sin(angulo_vs);
                //da=da-G;
                if((da<=0.08)&&(da>=-0.08)) // corresponde a 4.59° de defasagem. A norma exige 20°.
                {
                    SSE = SSE + 1.0;
                    if((SSE>=15000.0)&&(SSA<0.001)) // 15000 = 5 x 3000 = 5 ciclos de 60Hz consecutivos
                    {
                        SSE = 0.0;
                        SSA = 1.0;
                    }
                    /*if((SSE>=6000.0)&&(SSA>0.001)) // 2 ciclos de 60Hz consecutivos
                    {
                        SSE = 0.0;
                        SSA = 0.0;
                    }*/
                }
            }
            else
            {
                SSE = 0.0;
                SSA = 0.0;
            }
        }
        else
        {
            SSE = 0.0;
            SSA = 0.0;
        }
    }
    else
    {
        SSE = 0.0;
        SSA = 0.0;
    }
}

// Atualiza as saídas
out[0] = SSA;
out[1] = vpac_ref;
out[2] = SSE;
out[3] = da;

// fim do programa
}

```

```
// Não alterar daqui em diante

BOOL APIENTRY DllMain (HINSTANCE hInst      /* Library instance handle. */ ,
                      DWORD reason        /* Reason this function is being called. */ ,
                      LPVOID reserved     /* Not used. */ )
{
    switch (reason)
    {
        case DLL_PROCESS_ATTACH:
            break;

        case DLL_PROCESS_DETACH:
            break;

        case DLL_THREAD_ATTACH:
            break;

        case DLL_THREAD_DETACH:
            break;
    }

    /* Returns TRUE on success, FALSE on failure */
    return TRUE;
}
```

B.6 Média-móvel das tensões CC do inversor

```
/* Replace "dll.h" with the name of your header */ #include "dll.h" #include <windows.h> #include <stdio.h> #include <stdlib.h>

DLLIMPORT void simuser(t,delt,in,out)

// Note that all the variables must be defined as "double"
double t, delt; double *in, *out;

{
// início do programa

// Define "sum" as "static" in order to retain its value.

    static double v1=0.0, v2=0.0, v3=0.0;
    static double v1_medio=1.0, v2_medio=1.0, v3_medio=1.0;
    static double v1_soma=0.0, v2_soma=0.0, v3_soma=0.0;
    static double v1_vetor[1500], v2_vetor[1500], v3_vetor[1500];
    static unsigned int ponteiro=0;

    v1 = in[0];
    v2 = in[1];
    v3 = in[2];

    // v1
    v1_soma = v1_soma - v1_vetor[ponteiro];
    v1_vetor[ponteiro] = v1;
    v1_soma = v1_soma + v1_vetor[ponteiro];
    v1_medio = v1_soma/1500;

    // v2
    v2_soma = v2_soma - v2_vetor[ponteiro];
    v2_vetor[ponteiro] = v2;
    v2_soma = v2_soma + v2_vetor[ponteiro];
    v2_medio = v2_soma/1500;

    // v3
    v3_soma = v3_soma - v3_vetor[ponteiro];
```

```
v3_vetor[ponteiro] = v3;
v3_soma = v3_soma + v3_vetor[ponteiro];
v3_medio = v3_soma/1500;

// atualiza ponteiro
ponteiro++;
if(ponteiro>=1500) ponteiro = 0;

out[0] = v1_medio;
out[1] = v2_medio;
out[2] = v3_medio;

// fim do programa
}

// Não alterar daqui em diante

BOOL APIENTRY DllMain (HINSTANCE hInst      /* Library instance handle. */ ,
                      DWORD reason          /* Reason this function is being called. */ ,
                      LPVOID reserved       /* Not used. */ )
{
    switch (reason)
    {
        case DLL_PROCESS_ATTACH:
            break;

        case DLL_PROCESS_DETACH:
            break;

        case DLL_THREAD_ATTACH:
            break;

        case DLL_THREAD_DETACH:
            break;
    }

    /* Returns TRUE on success, FALSE on failure */
    return TRUE;
}
```

Apêndice C

Placa de condicionamento de corrente

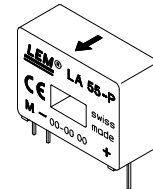
Placa para medição de até 4 sinais de corrente CC ou CA utilizando sensores do tipo Hall com saídas reguladas individualmente. Há também indicação de sobre-correntes com ajuste único para todos os canais.



Current Transducer LA 55-P

For the electronic measurement of currents : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).

$$I_{PN} = 50 \text{ A}$$



Electrical data

I_{PN}	Primary nominal r.m.s. current	50	A
I_P	Primary current, measuring range	0 .. ± 70	A
R_M	Measuring resistance @	$T_A = 70^\circ\text{C}$ $T_A = 85^\circ\text{C}$ R_{Mmin} R_{Mmax} R_{Mmin} R_{Mmax}	
	with $\pm 12 \text{ V}$	@ $\pm 50 \text{ A}_{max}$	10 100 60 95 Ω
		@ $\pm 70 \text{ A}_{max}$	10 50 60 ¹⁾ 60 ¹⁾ Ω
	with $\pm 15 \text{ V}$	@ $\pm 50 \text{ A}_{max}$	50 160 135 155 Ω
		@ $\pm 70 \text{ A}_{max}$	50 90 135 ²⁾ 135 ²⁾ Ω
I_{SN}	Secondary nominal r.m.s. current	50	mA
K_N	Conversion ratio	1 : 1000	
V_C	Supply voltage ($\pm 5\%$)	$\pm 12 \dots 15$	V
I_C	Current consumption	10 (@ $\pm 15 \text{ V}$) + I_S	mA
V_d	R.m.s. voltage for AC isolation test, 50 Hz, 1 mn	2.5	kV

Accuracy - Dynamic performance data

X	Accuracy @ I_{PN} , $T_A = 25^\circ\text{C}$	@ $\pm 15 \text{ V}$ ($\pm 5\%$)	± 0.65	%
		@ $\pm 12 \dots 15 \text{ V}$ ($\pm 5\%$)	± 0.90	%
ϵ_L	Linearity		< 0.15	%
I_O	Offset current @ $I_P = 0$, $T_A = 25^\circ\text{C}$	Typ	Max	
I_{OM}	Residual current ³⁾ @ $I_P = 0$, after an overload of $3 \times I_{PN}$		± 0.3	mA
I_{OT}	Thermal drift of I_O	0°C .. +70°C	± 0.1	± 0.5 mA
		-25°C .. +85°C	± 0.1	± 0.6 mA
t_{ra}	Reaction time @ 10 % of I_{Pmax}	< 500	ns	
t_r	Response time @ 90 % of I_{Pmax}	< 1	μs	
di/dt	di/dt accurately followed	> 200	A/ μs	
f	Frequency bandwidth (-1 dB)	DC .. 200	kHz	

General data

T_A	Ambient operating temperature	-25 .. +85	°C
T_S	Ambient storage temperature	-40 .. +90	°C
R_S	Secondary coil resistance @	$T_A = 70^\circ\text{C}$	80 Ω
		$T_A = 85^\circ\text{C}$	85 Ω
m	Mass	18	g
	Standards ⁴⁾	EN 50178	

Notes : ¹⁾ Measuring range limited to $\pm 60 \text{ A}_{max}$

²⁾ Measuring range limited to $\pm 55 \text{ A}_{max}$

³⁾ Result of the coercive field of the magnetic circuit

⁴⁾ A list of corresponding tests is available

Features

- Closed loop (compensated) current transducer using the Hall effect
- Printed circuit board mounting
- Insulated plastic case recognized according to UL 94-V0.

Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

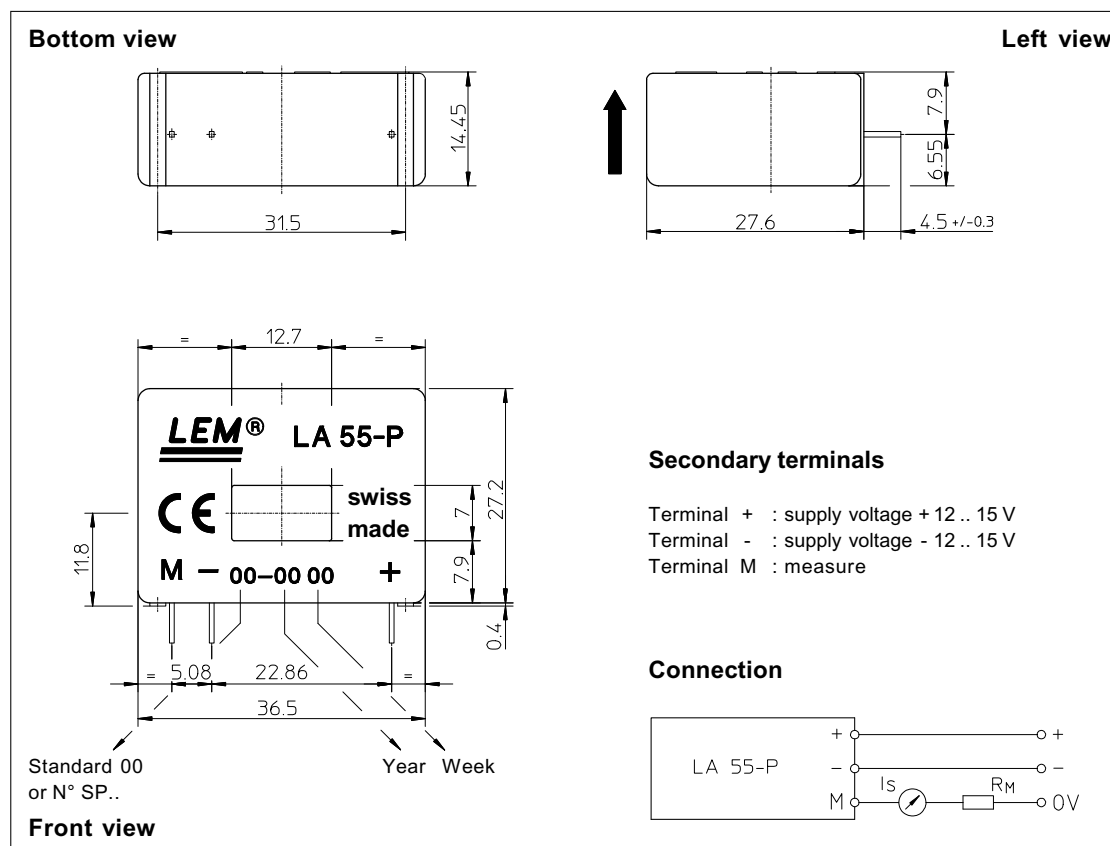
Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

980706/8



Dimensions LA 55-P (in mm. 1 mm = 0.0394 inch)

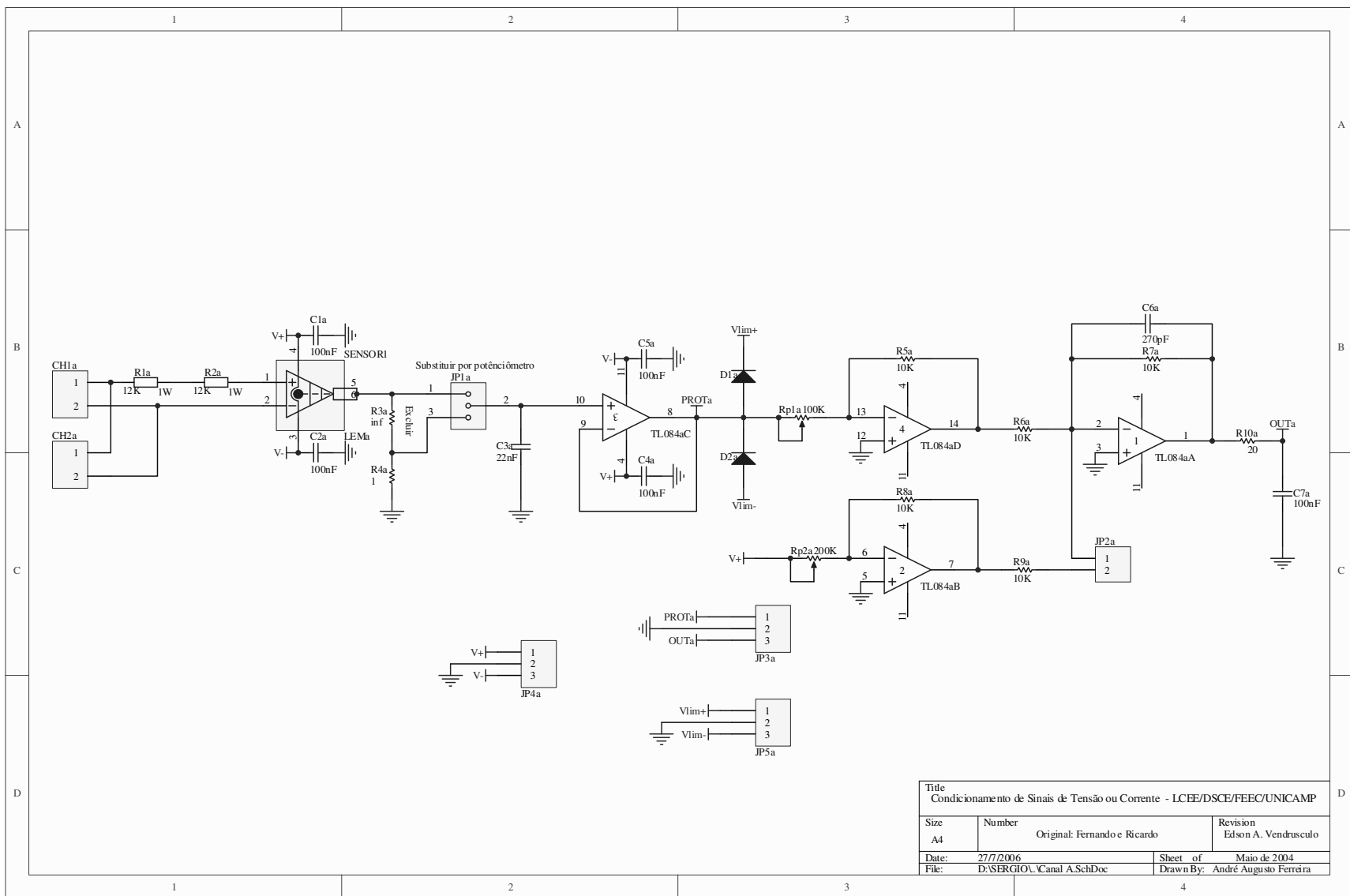


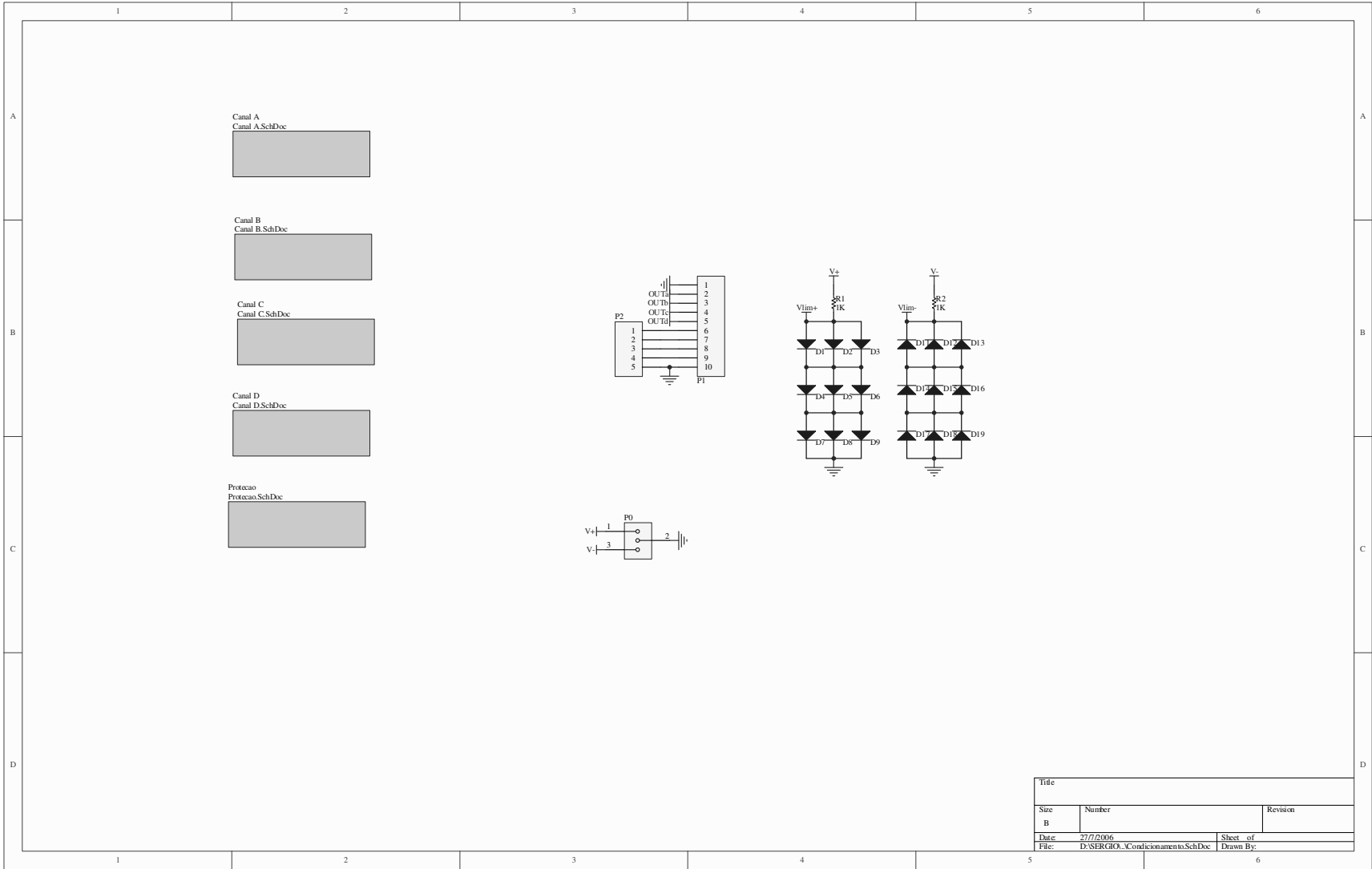
Mechanical characteristics

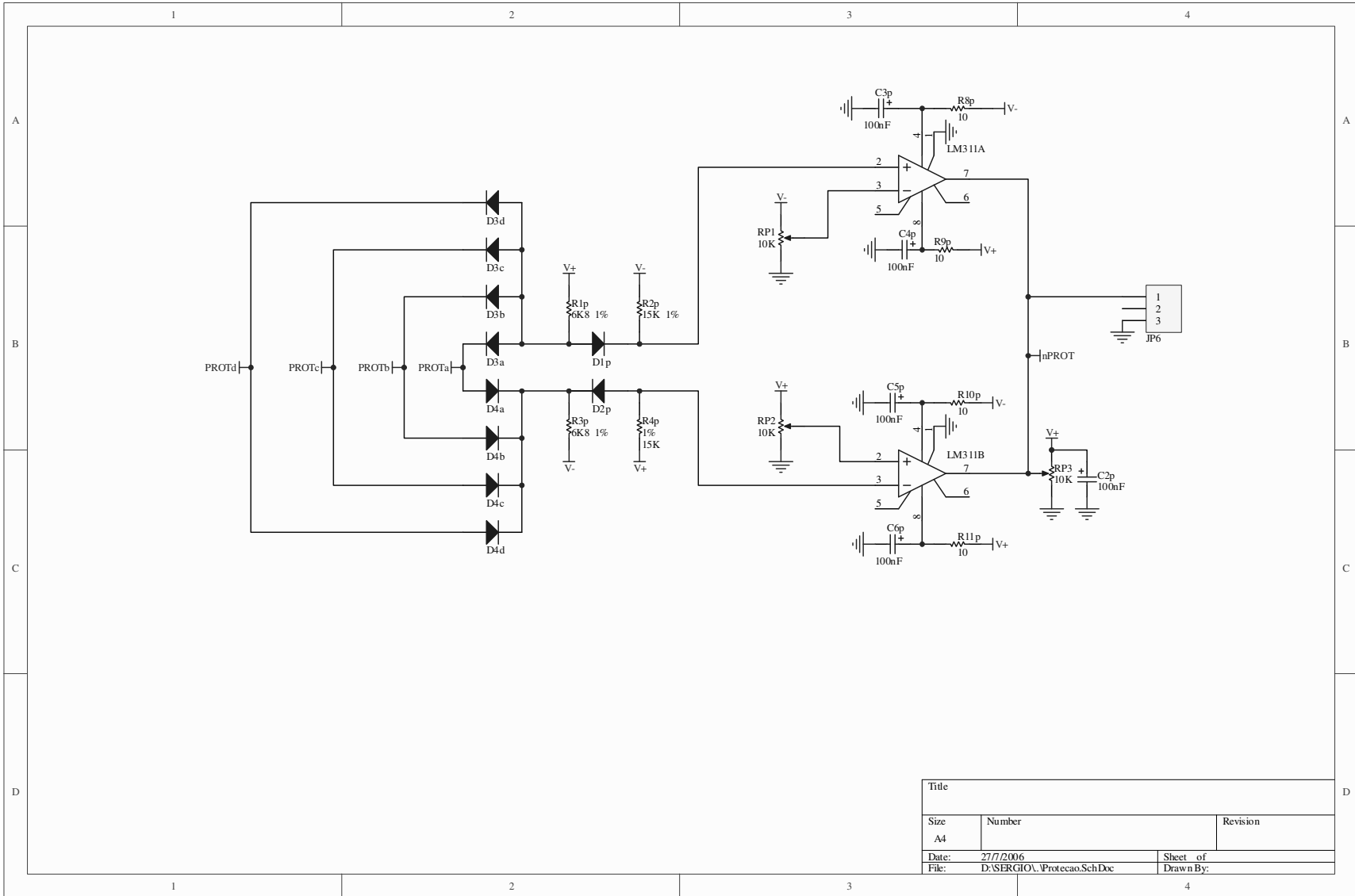
- General tolerance ± 0.2 mm
- Primary through-hole 12.7 x 7 mm
- Fastening & connection of secondary 3 pins
- Recommended PCB hole 0.63 x 0.56mm
- Recommended PCB hole 0.9 mm

Remarks

- I_s is positive when I_p flows in the direction of the arrow.
- Temperature of the primary conductor should not exceed 90°C.
- Dynamic performances (di/dt and response time) are best with a single bar completely filling the primary hole.
- In order to achieve the best magnetic coupling, the primary windings have to be wound over the top edge of the device.
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.



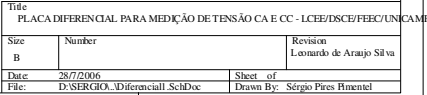


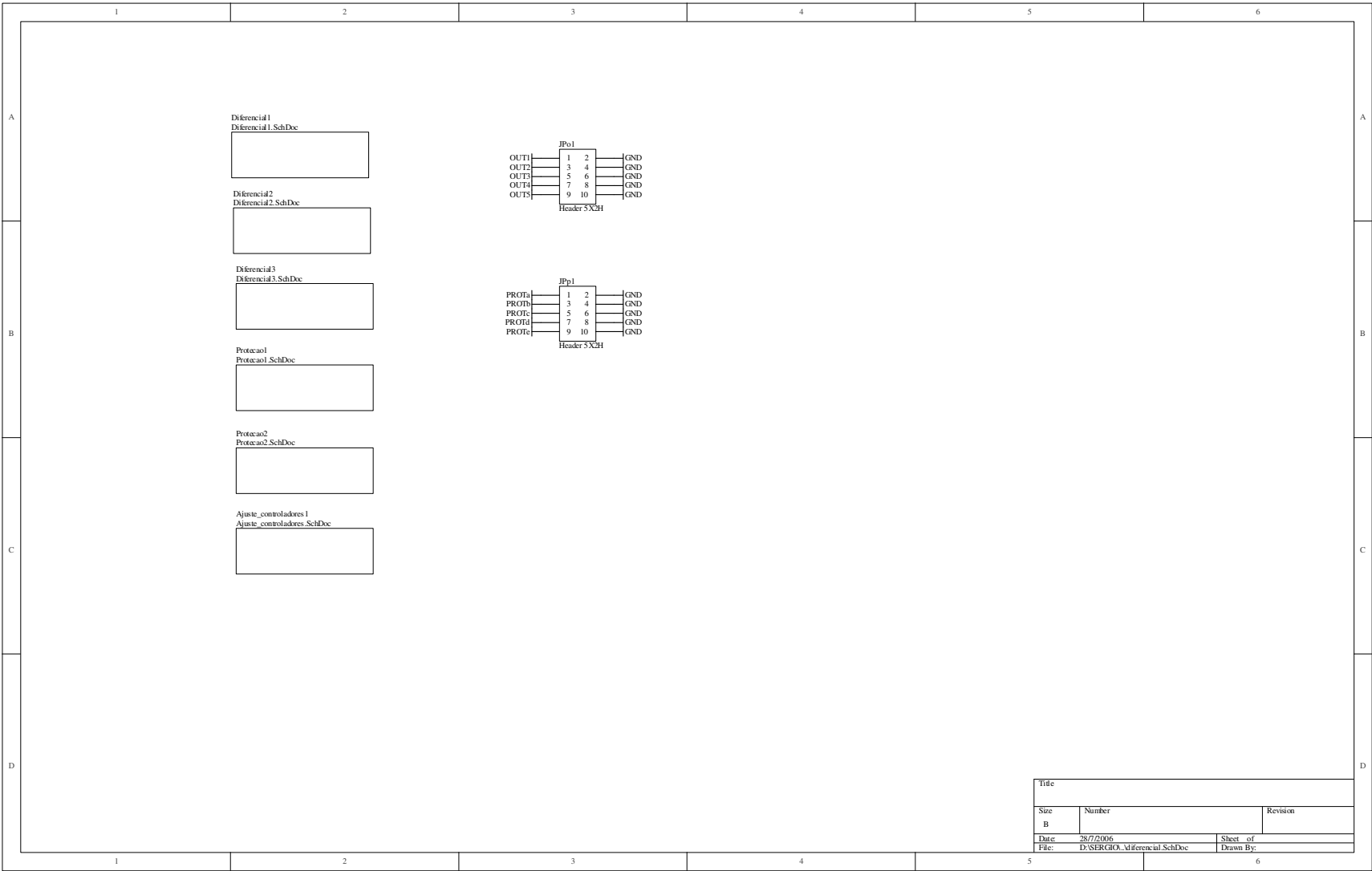


Apêndice D

Placa de condicionamento de tensão

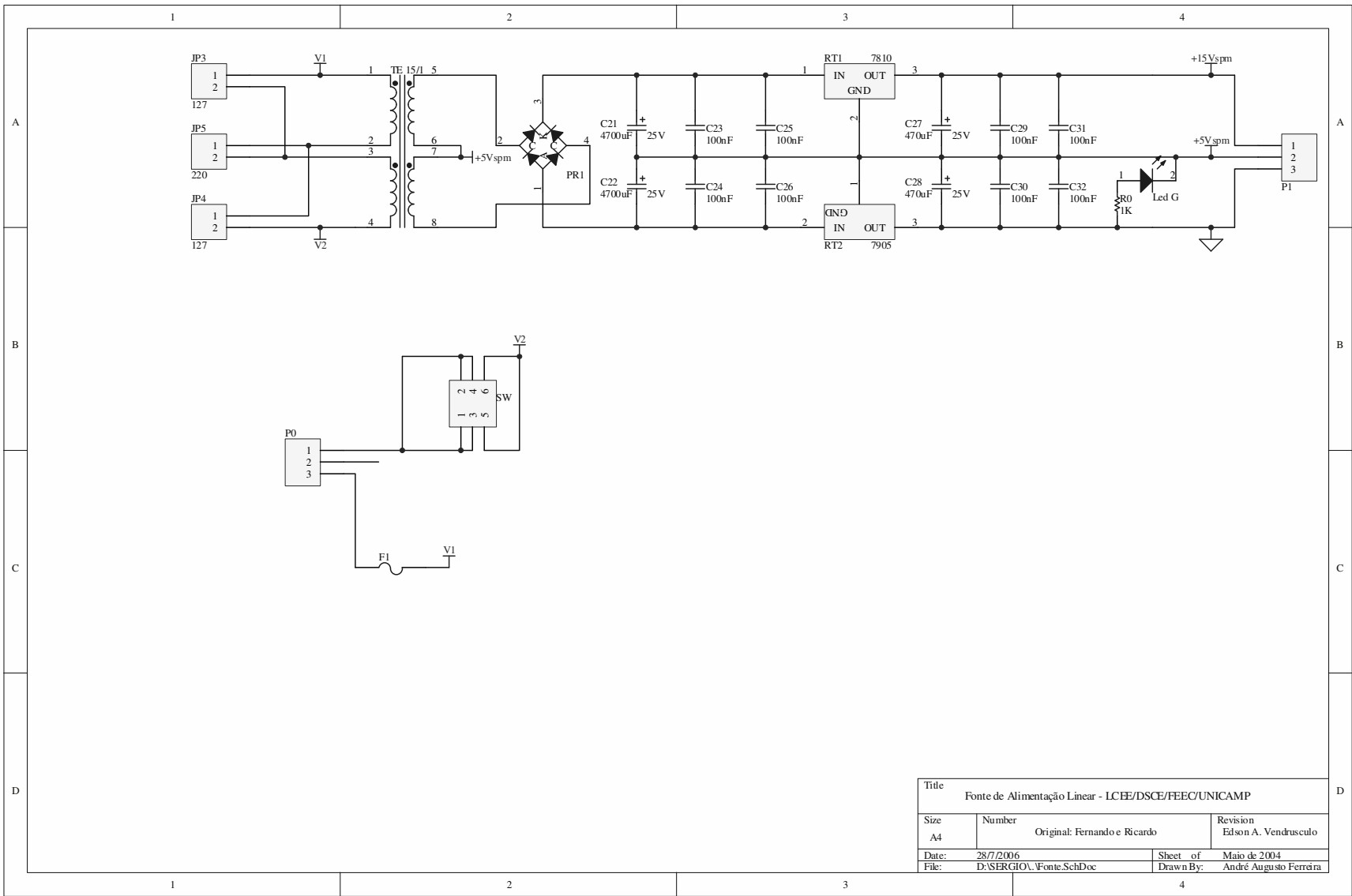
Placa diferencial para medição de até 5 sinais de tensão CA ou CC com ajuste individual de ganho. Há também indicação de sobre ou subtensão com ajuste individual por canal.

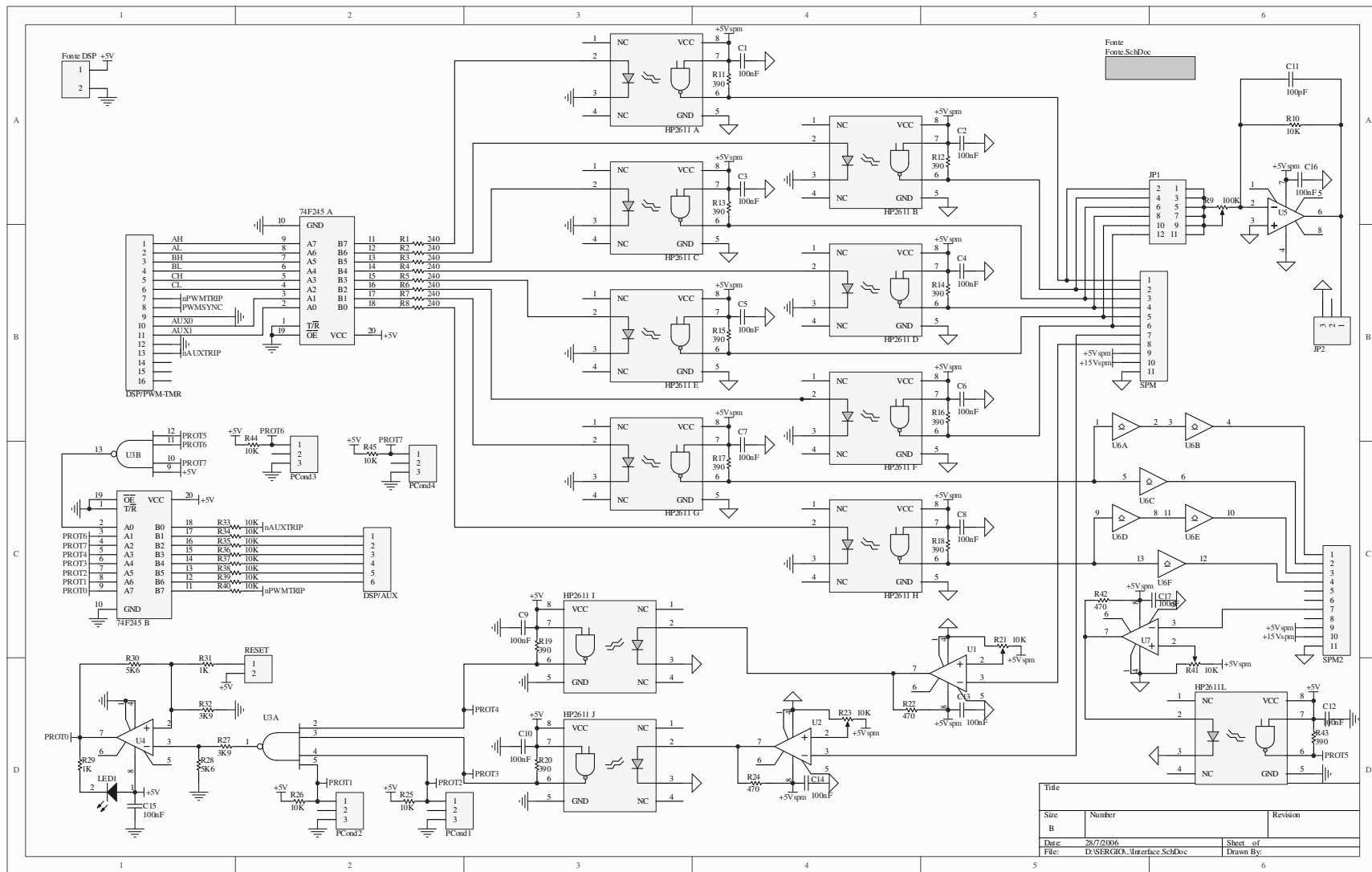




Apêndice E

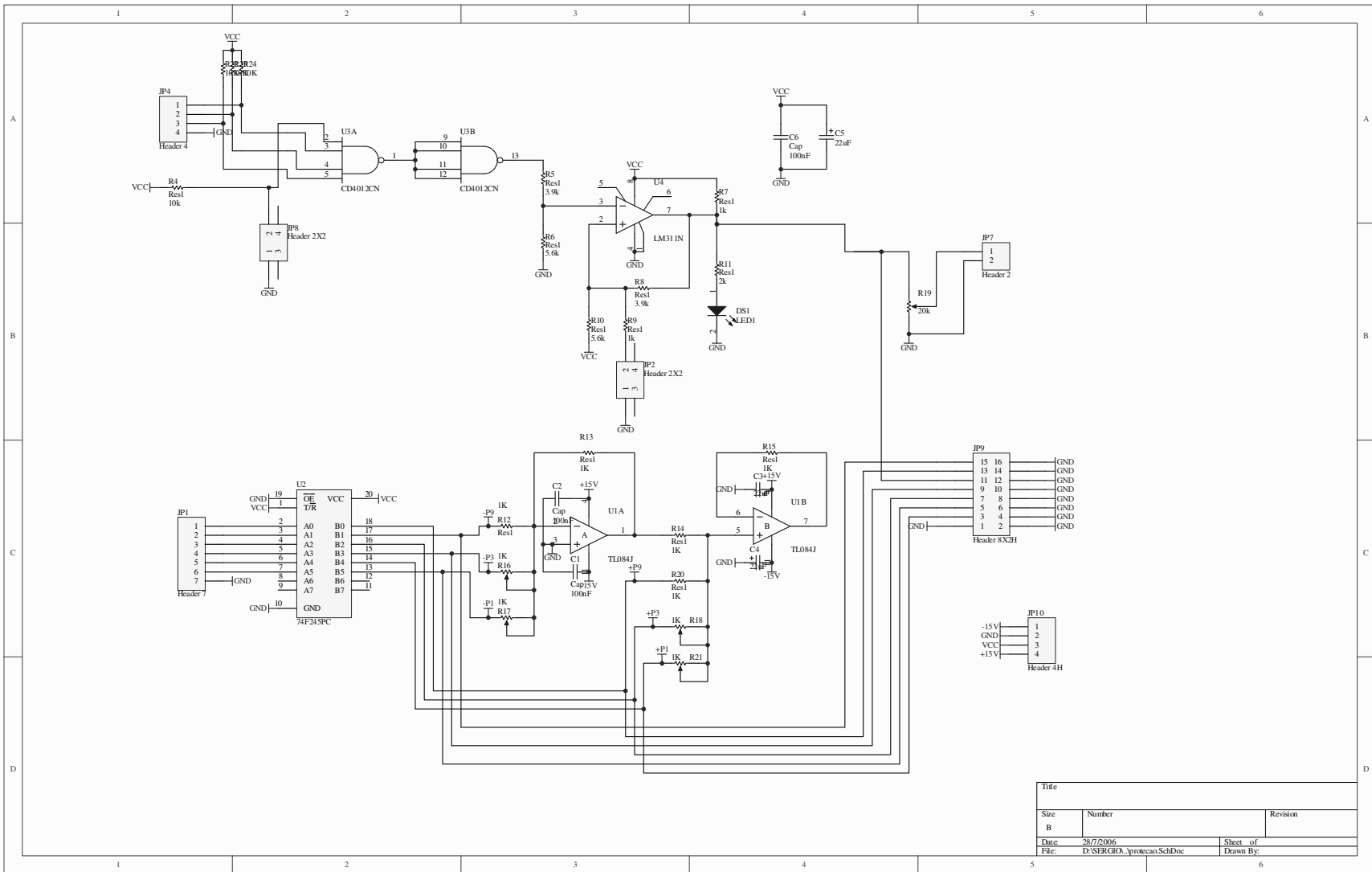
Placa de interface do DSP





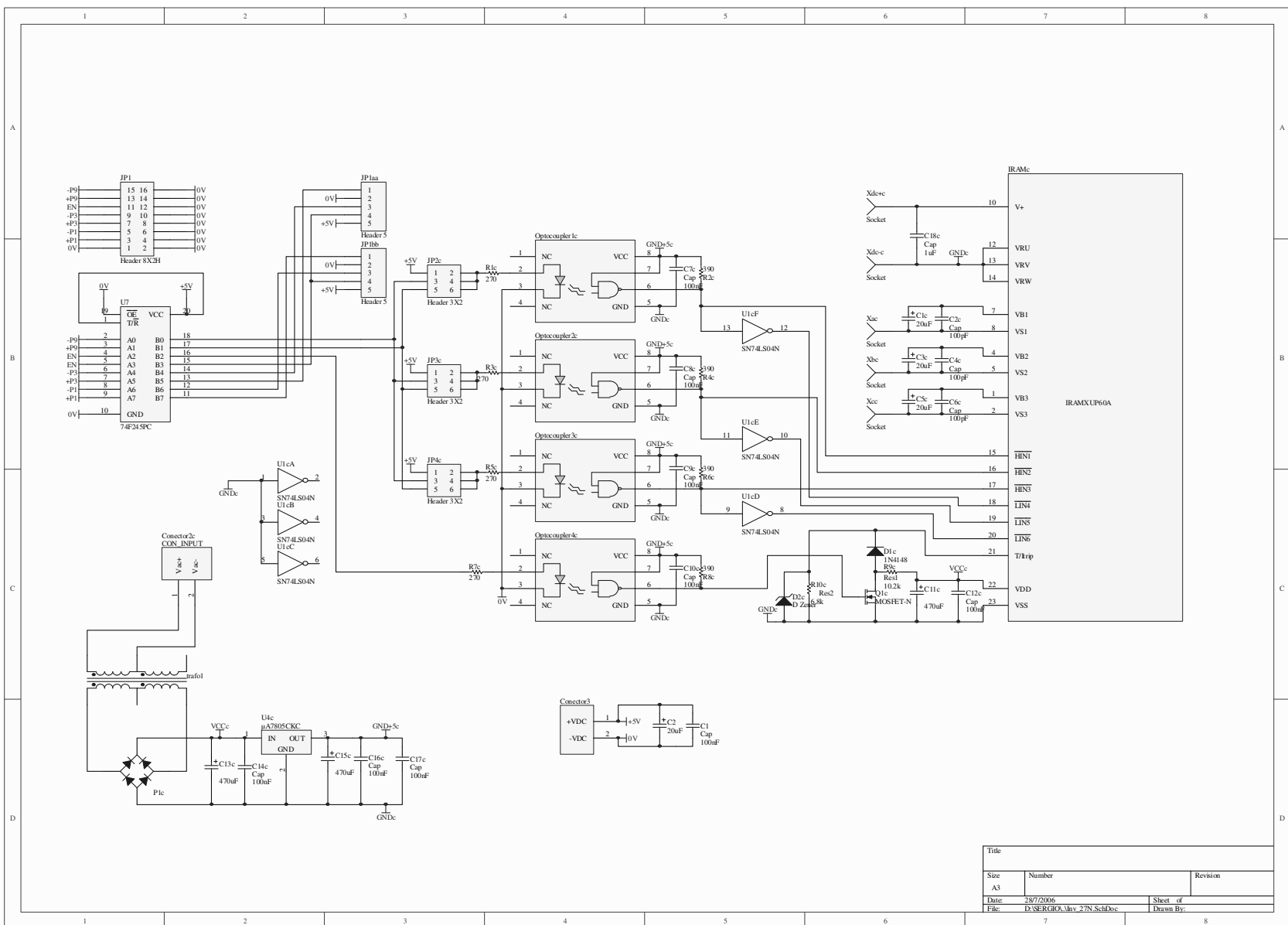
Apêndice F

Placa de monitoramento das proteções e liberação dos pulsos



Apêndice G

Placa de interface dos módulos de potência



Apêndice H

Módulo de potência

Os módulos de potência utilizados na elaboração da topologia em cascata assimétrica são do modelo IRAMX16UP60A fabricado pela *International Rectifier*. No total, foram utilizados 3 módulos de potência, sendo um por módulo do conversor CC/CA.

Cada modelo é composto por 6 chaves do tipo IGBT com diodos em anti-paralelo e que são acionadas através de um *driver* interno ao encapsulamento do módulo de potência. Os pulsos de comando para utilizados pelo *driver* são fornecidos no formato TTL por algum sistema externo, facilitando a implementação da ponte inversora.

A seguir são apresentadas algumas características do IRAMX16UP60A fornecidas pelo fabricante no *datasheet* do componente.

PD-94684 RevB



IRAMX16UP60A

*i*MOTION™ Series

16A, 600V

Plug N Drive™ Integrated Power
Module for Appliance Motor Drive

Description

International Rectifier's IRAMX16UP60A is an Integrated Power Module developed and optimized for electronic motor control in appliance applications such as washing machines and variable speed compressor drives for in-room air-conditioning systems and commercial refrigerators. Plug N Drive technology offers an extremely compact, high performance AC motor-driver in a single isolated package for a very simple design.

An open emitter configuration of the low side IGBT switches offer easy current feedback and overcurrent monitor for high precision and reliable control.

A built-in temperature monitor and over-current protection, along with the short-circuit rated IGBTs and integrated under-voltage lockout function, deliver high level of protection and fail-safe operation.

The integration of the bootstrap diodes for the high-side driver section, and the single polarity power supply required to drive the internal circuitry, simplify the utilization of the module and deliver further cost reduction advantages.

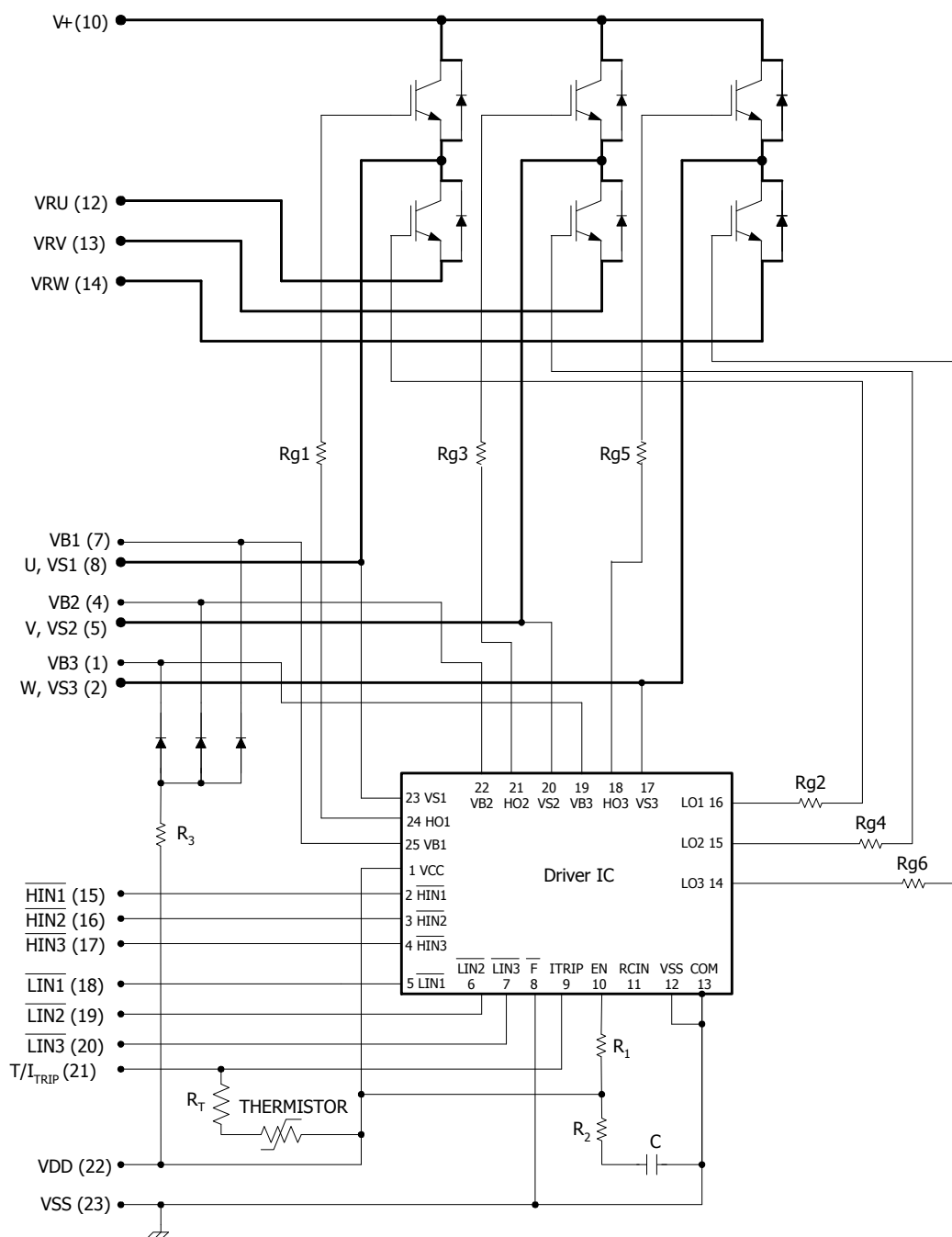
Features

- Integrated Gate Drivers and Bootstrap Diodes.
- Temperature Monitor
- Temperature and Overcurrent shutdown
- Fully Isolated Package.
- Low VCE (on) Non Punch Through IGBT Technology.
- Undervoltage lockout for all channels
- Matched propagation delay for all channels
- Low side IGBT emitter pins for current control
- Schmitt-triggered input logic
- Cross-conduction prevention logic
- Lower di/dt gate driver for better noise immunity
- Motor Power range 0.75~2kW / 85~253 Vac
- Isolation 2000V_{RMS} min



Absolute Maximum Ratings

Parameter	Description	Max. Value	Units
V_{CES}	Maximum IGBT Blocking Voltage	600	V
V^+	Positive Bus Input Voltage	450	
I_O @ $T_C=25^\circ\text{C}$	RMS Phase Current	16	A
I_O @ $T_C=100^\circ\text{C}$	RMS Phase Current	8	
I_{pk}	Maximum Peak Phase Current ($t_p < 100\text{ms}$)	30	
F_p	Maximum PWM Carrier Frequency	20	kHz
P_d	Maximum Power dissipation per Phase	35	W
V_{iso}	Isolation Voltage (1min)	2000	V _{RMS}
T_J (IGBT & Diodes)	Operating Junction temperature Range	-40 to +150	$^\circ\text{C}$
T_J (Driver IC)	Operating Junction temperature Range	-40 to +150	
T	Mounting torque Range (M3 screw)	0.8 to 1.0	Nm



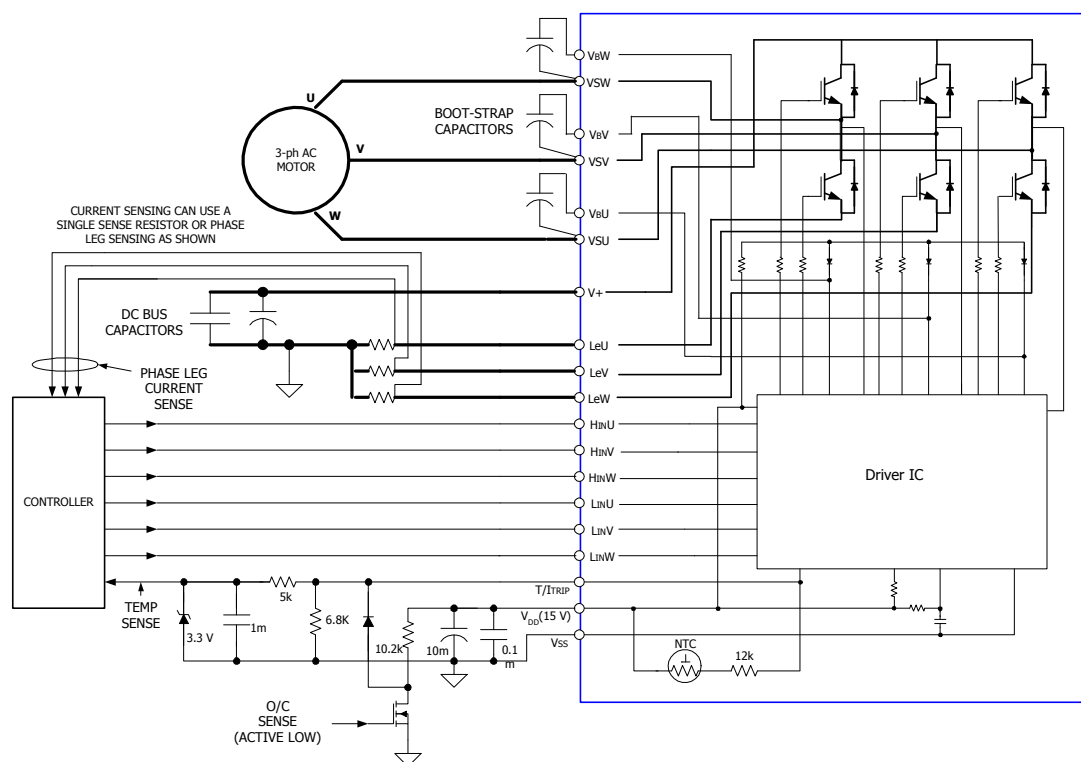
IRAMX16UP60A



Module Pin-Out Description

Pin	Name	Description
1	VB3	High Side Floating Supply Voltage 3
2	W,VS3	Output 3 - High Side Floating Supply Offset Voltage
3	na	none
4	VB2	High Side Floating Supply voltage 2
5	V,VS2	Output 2 - High Side Floating Supply Offset Voltage
6	na	none
7	VB1	High Side Floating Supply voltage 1
8	U,VS1	Output 1 - High Side Floating Supply Offset Voltage
9	na	none
10	V+	Positive Bus Input Voltage
11	na	none
12	LE1	Low Side Emitter Connection - Phase 1
13	LE2	Low Side Emitter Connection - Phase 2
14	LE3	Low Side Emitter Connection - Phase 3
15	HIN1	Logic Input High Side Gate Driver - Phase 1
16	HIN2	Logic Input High Side Gate Driver - Phase 2
17	HIN3	Logic Input High Side Gate Driver - Phase 3
18	LIN1	Logic Input Low Side Gate Driver - Phase 1
19	LIN2	Logic Input Low Side Gate Driver - Phase 2
20	LIN3	Logic Input Low Side Gate Driver - Phase 3
21	T/Itrip	Temperature Monitor and Shut-down Pin
22	VCC	+15V Main Supply
23	VSS	Negative Main Supply

Typical Application Connection IramX16UP60A

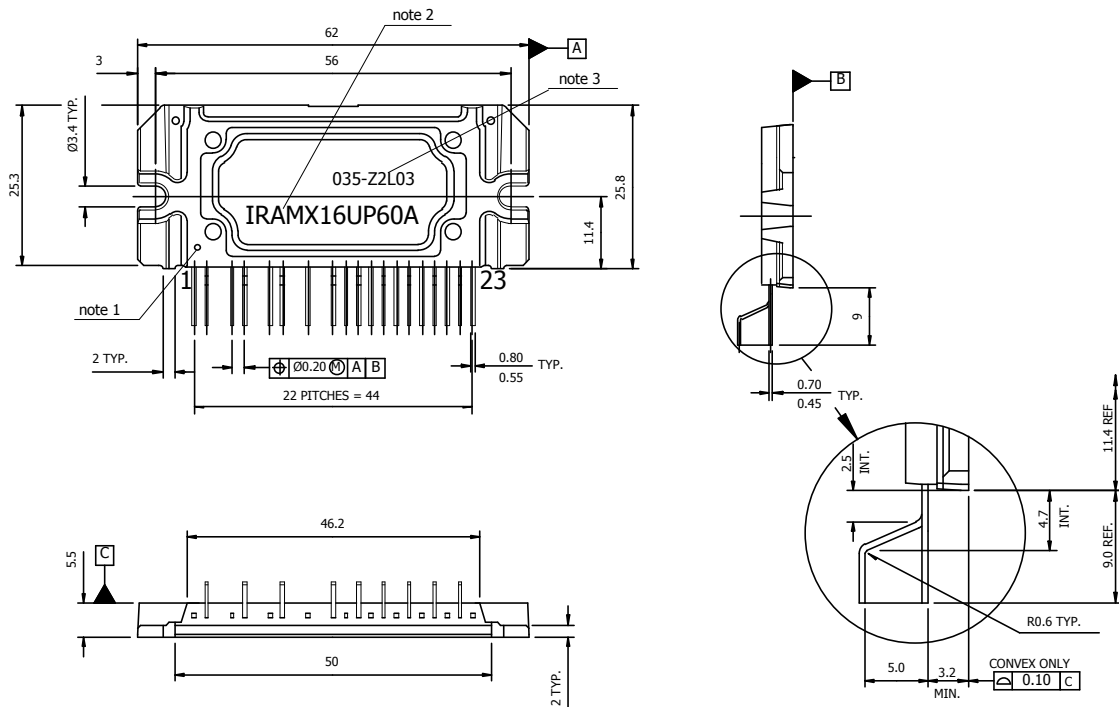


1. Electrolytic bus capacitors should be mounted as close to the module bus terminals as possible to reduce ringing and EMI problems. Additional high frequency ceramic capacitor mounted close to the module pins will further improve performance.
2. In order to provide good decoupling between Vcc-Gnd and Vb-Vs terminals, the capacitors shown connected between these terminals should be located very close to the module pins. Additional high frequency capacitors, typically 0.1mF, are strongly recommended.
3. Low inductance shunt resistors should be used for phase leg current sensing. Similarly, the length of the traces between pins 12, 13 and 14 to the corresponding shunt resistors should be kept as small as possible.
4. Value of the boot-strap capacitors depends upon the switching frequency. Their selection should be made based on IR design tip DN 98-2a, application note AN-1044, or figure 10.
5. Over-current sense signal can be obtained from external hardware detecting excessive instantaneous current in inverter.

IRAMX16UP60A



Package Outline



Standard pin leadforming option

Notes:

Dimensions in mm

1- Marking for pin 1 identification

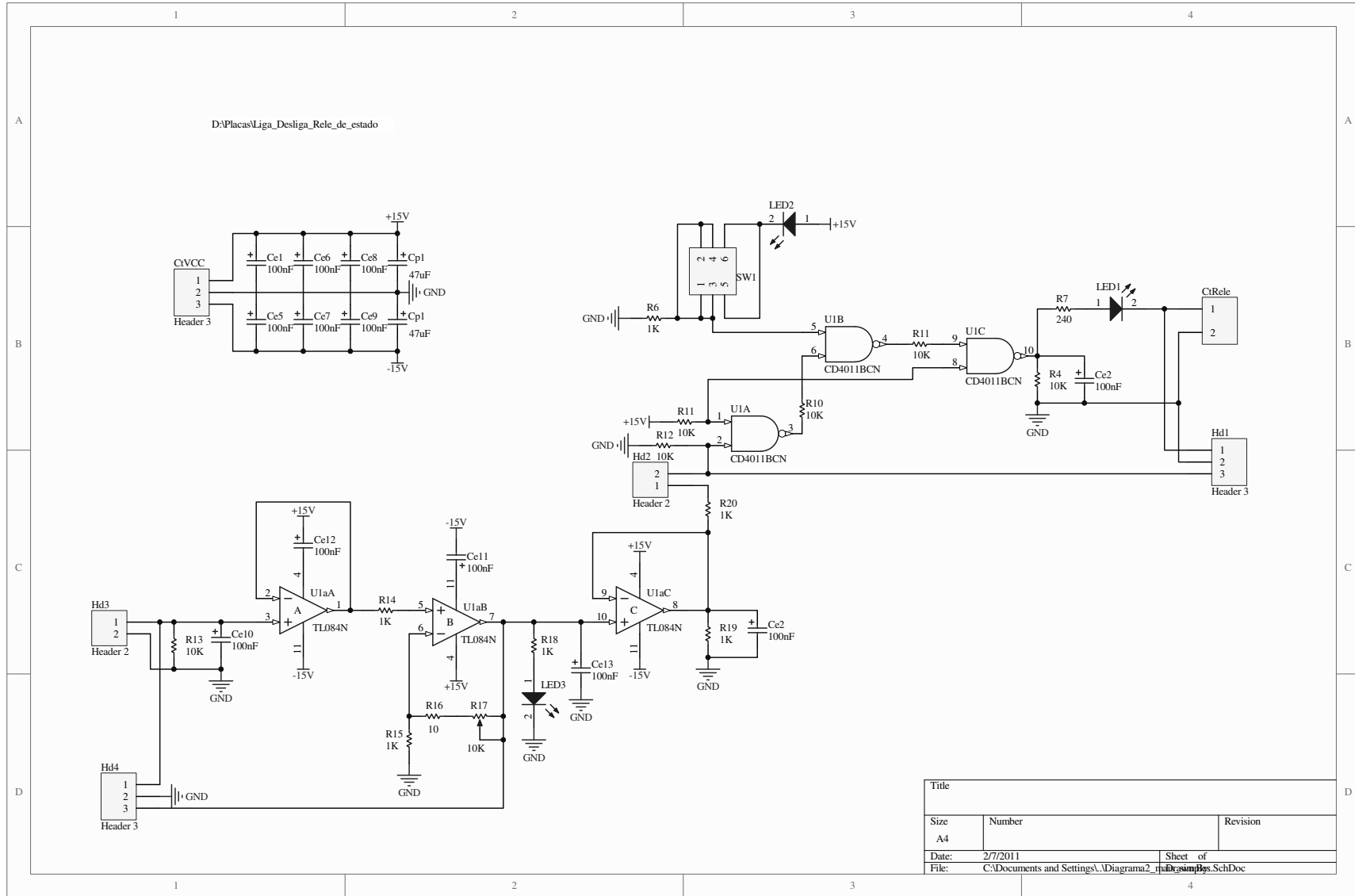
2- Product Part Number

3- Lot and Date code marking

For mounting instruction see AN-1049

Apêndice I

Placa de acionamento do relé de estado sólido



Apêndice J

Fotos do protótipo experimental



Fig. J.1: Visão geral do protótipo experimental considerado.

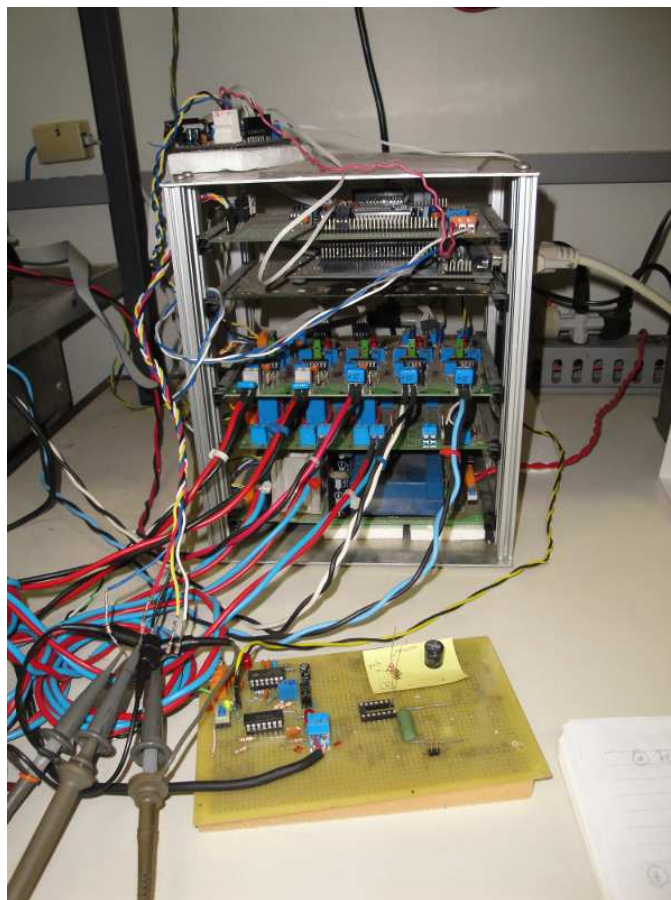


Fig. J.2: Torre de captação dos sinais de interesse e suporte para o DSP e sua placa de interface.

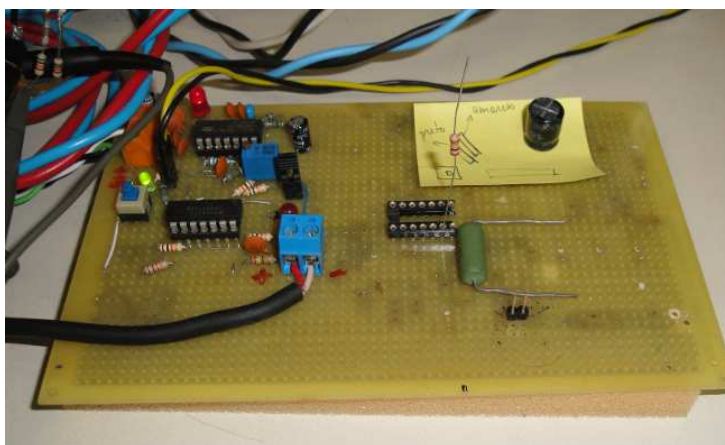


Fig. J.3: Detalhes da placa de acionamento manual/automático da chave de interligação S_1 .

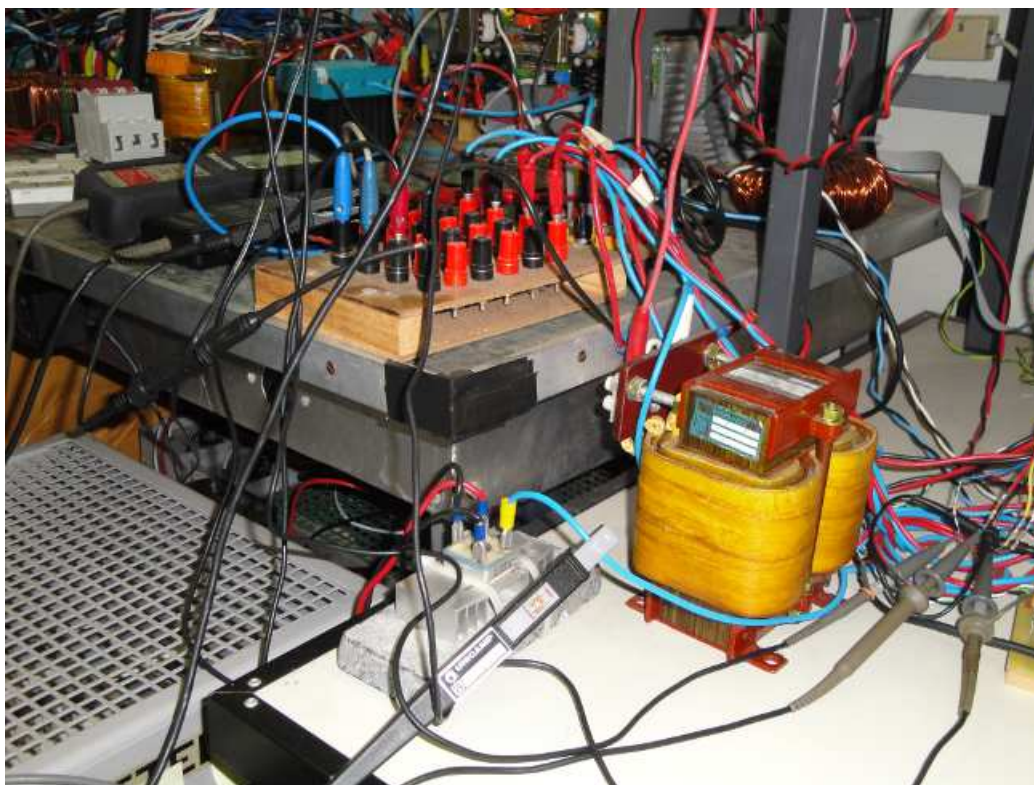


Fig. J.4: Visão da carga não-linear alimentada.



Fig. J.5: Visão das fontes CC utilizadas (isolações na parte posterior).

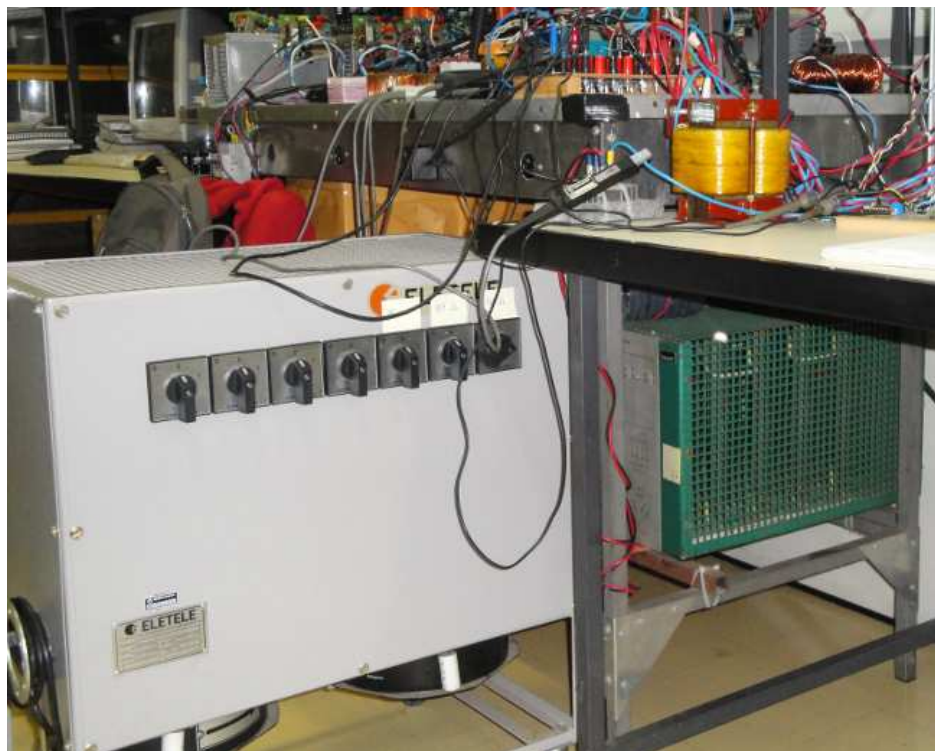


Fig. J.6: Bancos de cargas resistivas em série/paralelo e associados à(s) carga(s) não-linear(es).

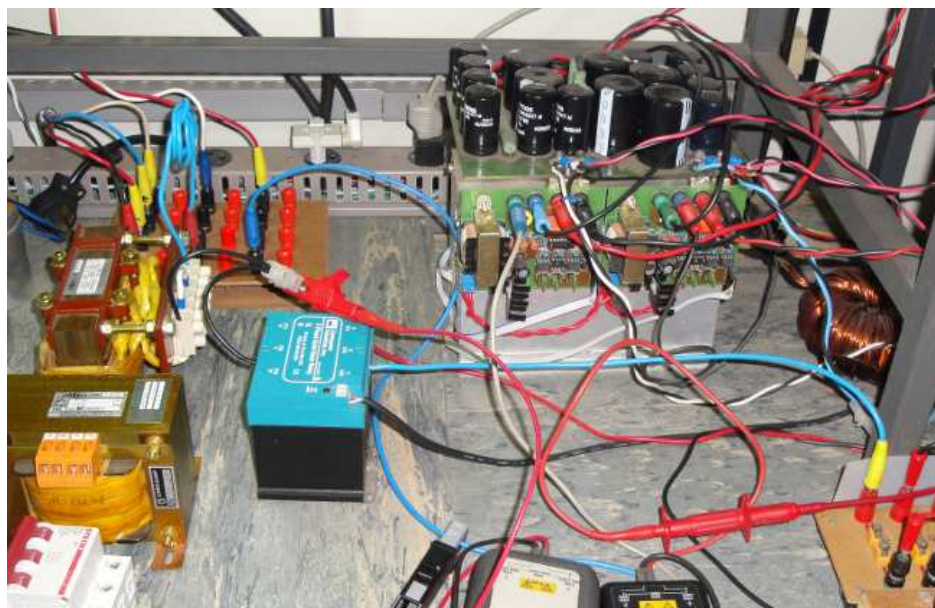


Fig. J.7: Visão do inversor multinível de 3 módulos, da chave de interligação S_1 e do indutor de acoplamento ao PAC.



Fig. J.8: Condição de ilhamento forçada mediante a abertura de chave seccionadora no lado primário do transformador de distribuição.

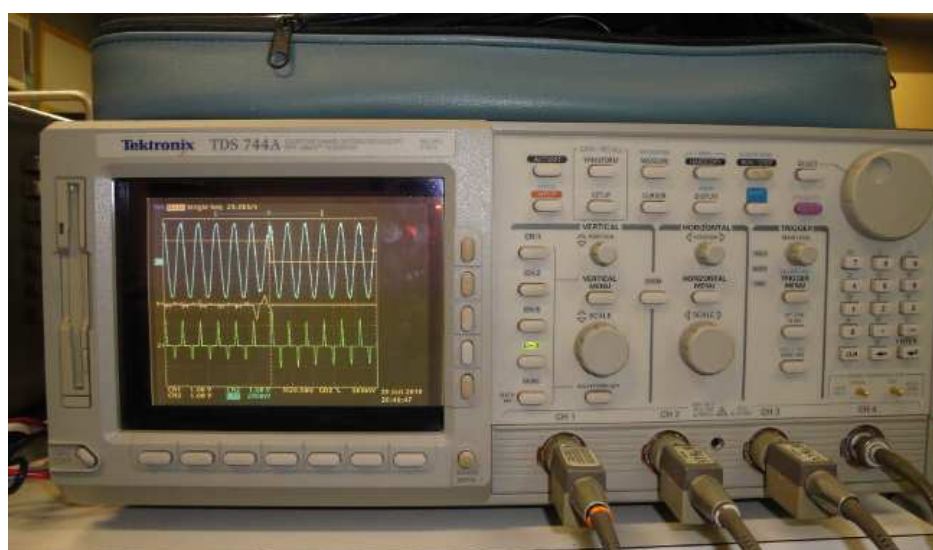


Fig. J.9: Características observadas no osciloscópio instantes após a detecção de uma condição de ilhamento.