

Estudo dos Limites de Performance dos Moduladores $\Sigma\Delta$ Implementados com Circuitos a Capacitores Chaveados

Autor:

Paulo Gustavo Raymundo Silva

Orientador:

Prof. Dr. Carlos Alberto dos Reis Filho

Dissertação Submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof.^o Dr. Carlos Alberto dos Reis Filho.

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho – FEEC/UNICAMP

Prof. Dr. Furio Damiani – FEEC/UNICAMP

Dr. Marcelo Jara – Motorola do Brasil

Campinas, 19 de Dezembro de 2001.

Resumo

Moduladores Sigma-Delta permitem a implementação de conversores A/D de alta resolução sem a necessidade de técnicas de pós-fabricação para a correção do descasamento entre dispositivos. Dentre as várias opções disponíveis para a implementação integrada destes moduladores, a técnica de capacitores chaveados tem se mostrado bastante adequada para a maioria das aplicações. Para o projeto bem sucedido desta classe de conversores, é fundamental a precisa caracterização dos limites de *performance* determinados pela técnica de implementação e pela tecnologia de fabricação. Neste trabalho são estudados e explicitados os limites de resolução e da taxa de amostragem impostos pela implementação com circuitos a capacitores chaveados.

Abstract

Sigma-Delta modulators are suitable for implementing high-resolution A/D converters since they dispense with the trimming of passive components to correct errors that are caused by device mismatches. Among the several techniques used for implementing these modulators, the most suitable has proven to be switched capacitors due to the tight control of timing and cancellation of device induced errors it allows. This dissertation presents the results of a study that focused on the limits of resolution and sampling rates, which are imposed by switched-capacitors implementations of Sigma-Delta modulators.

“Être gouverné, c'est être gardé à vue, inspecté, espionné, dirigé, légiféré, réglementé, parqué, endoctriné, prêché, contrôlé, estimé, apprécié, censuré, commandé, par des êtres qui n'ont ni titre ni la science, ni la vertu ...

Être gouverné, c'est être, à chaque opération, à chaque transaction, à chaque mouvement, noté, enregistré, recensé, tarifé, timbré, toisé, cotisé, patenté, licencié, admonestré, autorisé, apostillé, empêché, réformé, redressé, coté, corrigé.

C'est, sous prétexte d'utilité publique, et au nom de l'intérêt général, être mis à contribution, exercé, rançonné, exploité, monopolisé, concusionné, pressuré, mystifié, volé; puis, à la moindre résistance, au premier mot de plainte, réprimé, amendé, vilipendié, vexé, traqué, houspillé, assomé, désarmé, garotté, emprisonné, fusillé, mitraillé, jugé, condamné, déporté, sacrifié, vendu, trahi, et pour comble, joué, berné, outragé, déshonoré.

Voilà le gouvernement, voilà sa justice, voilà sa morale ! ”

(Pierre-Joseph Proudhon)

A minha mãe,
que sempre se empenhou ao máximo para que eu
e meus irmãos recebêssemos uma boa educação.

Sumário

LISTA DE FIGURAS.....	xi
LISTA DE TABELAS.....	xix
INTRODUÇÃO.....	xxi
1 FUNDAMENTOS DA CONVERSÃO A/D $\Sigma\Delta$	1
1.1 Princípios da Conversão A/D.....	3
1.2 Conversão A/D PCM.....	12
1.3 Conversão A/D PCM Superamostrada.....	14
1.4 Modulação Δ	18
1.5 Modulação $\Sigma\Delta$	23
2 ANÁLISE SISTÊMICA.....	37
2.1 Modulação $\Sigma\Delta$ de 2ª Ordem.....	39
2.2 Estabilidade e Ciclos Limite.....	44
2.3 Estruturas Estáveis de Ordens Superiores.....	52
2.4 Ruído de Quantização e Ciclos Limite.....	60
3 CARACTERÍSTICAS DOS SISTEMAS ANALÓGICOS AMOSTRADOS.....	65
3.1 Sinais “Amostrados e Retidos”.....	67
3.2 Mapeamentos Complexos $s = f(z)$	71
3.3 Integrador com Perdas.....	74
3.4 <i>Sampling Jitter</i>	85
4 MODULADORES $\Sigma\Delta$	
IMPLEMENTADOS COM CIRCUITOS A CAPACITORES CHAVEADOS.....	95
4.0 Introdução.....	97
4.1 Integradores SC.....	101
4.2 Não-Idealidades nos Amplificadores Operacionais.....	112
4.2.1 Ganho DC Finito e Tensão de <i>Offset</i>	112
4.2.2 Largura de Banda Finita.....	117
4.2.3 Tempo de Estabilização e <i>Slew-Rate</i>	127
4.3 Não-Idealidades nas Chaves Analógicas.....	133
4.3.1 Transferência de Carga.....	133
4.3.2 Injeção de Carga e <i>Clock Feedthrough</i>	136

4.4 Ruído.....	155
4.4.1 Ruído Intrínseco.....	155
4.4.2 Ruído Extrínseco.....	173
4.5 Distorção Harmônica.....	178
5 CONSIDERAÇÕES SOBRE OS LIMITES DE PERFORMANCE.....	183
5.1 Limites da Taxa de Amostragem.....	185
5.2 Limites da Resolução.....	187
CONCLUSÕES.....	193
REFERÊNCIAS BIBLIOGRÁFICAS.....	195

Lista de Figuras

1.1	Espectro do Sinal Analógico de Banda Limitada $x(t)$	3
1.2	Espectro do Sinal Amostrado $x_D(t)$	4
1.3	Reconstrução de $x(t)$	5
1.4	Espectro de $x_D(t)$ com <i>Aliasing</i>	5
1.5	Reconstrução com <i>Aliasing</i>	6
1.6	Diagrama de Blocos da Conversão A/D.....	6
1.7	Filtro Passa-Baixas Anti- <i>Aliasing</i>	7
1.8	Curva de Transferência do Quantizador e Erro de quantização $q(x)$	8
1.9	Curvas Características de Quantizadores Uniformes.....	9
1.10	Modelo Linear para o Ruído de Quantização.....	9
1.11	Estatística do Ruído de Quantização.....	10
1.12	Conversão A/D por Aproximação Sucessiva.....	12
1.13	Conversão A/D através de Comparações Paralelas.....	13
1.14	Superamostragem de Sinal de Banda Limitada.....	14
1.15	Efeito da Superamostragem na Densidade Espectral de Potência do Ruído de Quantização.....	15
1.16	Conversão PCM Superamostrada e Pós-processamento Digital.....	16
1.17	Modulador Delta.....	18
1.18	Modelo para Simulação do Modulador/Demodulador Delta.....	19
1.19	Entrada do Modulador Δ e Saída do Integrador para $T = 1s$	20
1.20	Saída do Modulador (<i>bit stream</i>) para $T = 1s$	20
1.21	Modelo Linear do Modulador Delta.....	21
1.22	Resposta de Amplitude das Funções de Transferência do Modulador Δ	22
1.23	Modulação Δ Modificada.....	23
1.24	Modulação $\Sigma\Delta$	24
1.25	Modelo para Simulação do Modulador Sigma-Delta DT.....	25
1.26	Saída Modulada $y[n]$ e a Entrada $x = 0 V$	25
1.27	Saída Modulada $y[n]$ e a Entrada $x = 0,7 V$	26
1.28	Sinal de Erro $e(nT)$ no Modulador $\Sigma\Delta$ para $x = 0,7 V$	26
1.29	Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = 0,7 V$	26
1.30	Saída Modulada $y[n]$ e a Entrada $x = -0,7 V$ para $f_s = 4 MHz$	27

1.31	Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = -0,7V$ $f_s = 4$ MHz.....	27
1.32	Saída Modulada $y[n]$ e a Entrada $x = -0,7$ V para $f_s = 8$ MHz.....	27
1.33	Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = -0,7V$ $f_s = 8$ MHz.....	28
1.34	Rampa na entrada do modulador $\Sigma\Delta$ e a saída modulada $y[n]$ $f_s = 4$ MHz.....	28
1.35	Senóide de 8kHz de Entrada e a Saída Modulada $y[n]$	29
1.36	Senóide de Grande Amplitude $x(nT)$ na Entrada do Modulador $\Sigma\Delta$ e a Saída Modulada $y[n]$	29
1.37	Modelo Linearizado do Modulador DT de 1ª Ordem.....	30
1.38	Função de Transferência do Ruído de Quantização na Modulação $\Sigma\Delta$	31
1.39	Função de Transferência do Sinal de Entrada na Modulação $\Sigma\Delta$	31
1.40	Comparação entre as Densidades Espectrais de Potência do Sinal de Entrada $S_x(\omega)$, do Ruído de Quantização na Conversão PCM e do Ruído na saída do Modulador Sigma-Delta.....	32
1.41	Diagrama de Blocos Funcionais de um Conversor A/D $\Sigma\Delta$	36
2.1	Modulador Sigma-Delta DT de 2ª Ordem.....	39
2.2	Entrada $x = 0,7V$ e a Saída Modulada $y[n]$	39
2.3	Sinal de Erro $e_1(nT)$ na Entrada do 1º Integrador.....	40
2.4	Saída $f_1(nT)$ do 1º Integrador.....	40
2.5	Sinal de Erro $e_2(nT)$ na Entrada do 2º Integrador.....	40
2.6	Saída $f_2(nT)$ do 2º Integrador.....	41
2.7	Modelo Linearizado do Modulador DT de 2ª Ordem.....	41
2.8	Espectro de Amplitude da Função de Transferência do Ruído de Quantização (NTF) dos Moduladores $\Sigma\Delta$ de 1ª, 2ª, e 3ª Ordens.....	42
2.9	Modelo Linearizado do Modulador DT Genérico de Ordem N.....	44
2.10	SNR (dB) dos Moduladores $\Sigma\Delta$ de 1ª, 2ª, e 3ª Ordens.....	45
2.11	Saída $f_1(nT)$ do 1º Integrador para $x(nT) = 0,95V$	46
2.12	Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 0,95V$	46
2.13	Saída $f_1(nT)$ do 1º Integrador para $x(nT) = 1,05V$	47
2.14	Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 1,05V$	47
2.15	Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 0,95V$ Integrador com Saturação em $\pm 2V$	48
2.16	Modulador de 2ª Ordem com Faixa de Entrada Estendida através do Reescalamento do Ganho dos Integradores.....	49
2.17	Modelo para Avaliação da Estabilidade do Modulador.....	49
2.18	<i>Root Locus</i> para o Modulador $\Sigma\Delta$ de 1ª Ordem.....	50

2.19	<i>Root Locus</i> para o Modulador $\Sigma\Delta$ de 2ª Ordem com os Zeros da NTF em $\omega=0$	51
2.20	<i>Root Locus</i> para o Modulador $\Sigma\Delta$ de 3ª Ordem com os Zeros da NTF em $\omega=0$	51
2.21	Modulador de 3ª Ordem com Faixa de Entrada Estendida através do Reescalamento do Ganho dos Integradores.....	53
2.22	<i>Root Locus</i> para o Modulador $\Sigma\Delta$ de 3ª Ordem da Figura 2.21.....	53
2.23	Espectro de Amplitude da Função da NTF dos Moduladores $\Sigma\Delta$ de 2ª e 3ª Ordens com Reescalamento do Ganho dos Integradores.....	54
2.24	Espectro de Amplitude da Função de Transferência do Ruído de Quantização dos Moduladores com NTF definida por Filtros Passa-Altas Butterworth e Chebyshev.....	55
2.25	Modulador $\Sigma\Delta$ de 5ª Ordem com NTF do Tipo Chebyshev Passa-Altas.....	56
2.26	<i>Noise Shaping</i> de 3ª Ordem Obtido com Cascata 2-1 de Moduladores.....	57
2.27	Modulador de 2ª Ordem Implementado com A/D e D/A internos de M bits.....	59
2.28	Densidade Espectral de Potência do Ruído no <i>Bit Stream</i> de Saída para o Modulador de 2ª Ordem com entrada DC $x = 0V$ (Experimental).....	62
2.29	Densidade Espectral de Potência do Ruído no <i>Bit Stream</i> de Saída para o Modulador de 2ª Ordem com entrada DC $x = 0,1656V$ (Simulação).....	63
3.1	Sinal Contínuo no Tempo $f(t)$ e sua Versão Quantizada no Tempo $f^*(t)$	67
3.2	Módulo da Resposta em Freqüência do Segurador de Ordem Zero.....	69
3.3	(a) Espectro de $f(t)$. (b) Espectro de $f_S(nT)$. (c) Espectro de $f_{SH}(nT)$	69
3.4	Amplitude da Resposta em Freqüência do Segurador de Ordem Zero.....	70
3.5	Técnicas de Integração Numérica.....	71
3.6	Amplitude (dB) da Resposta em Freqüência do Integrador Real e dos Acumuladores Obtidos a partir das Aproximações de Euler e Bilinear.....	73
3.7	Amplitude (dB) da Resposta em Freqüência do Acumulador Euler tipo Avanço para diversos valores de α	75
3.8	Modulador de 1ª Ordem com Integrador Não-Ideal.....	75
3.9	Amplitude (dB) da Resposta em Freqüência da STF de 1ª Ordem para diversos valores de α	76
3.10	Amplitude (dB) da Resposta em Freqüência da NTF de 1ª Ordem para diversos valores de α	76
3.11	Amplitude (dB) da Resposta em Freqüência da STF de 1ª Ordem para $g < 1$	77
3.12	Amplitude (dB) da Resposta em Freqüência da NTF de 1ª Ordem para $g < 1$	78
3.13	SNR do modulador de 1ª Ordem com Ganho Unitário para Diferentes Valores de α	80
3.14	SNR do modulador de 1ª Ordem sem Perdas para Diferentes Valores de g	81

3.15	Modulador de 2ª Ordem com Integradores Não-Ideais.....	81
3.16	SNR do modulador de 2ª Ordem com $g_1=g_2=1$ para Diferentes Valores de α	83
3.17	SNR do modulador de 2ª Ordem com $\alpha=g_2=1$ para Diferentes Valores de g_1	84
3.18	SNR do modulador de 2ª Ordem com $\alpha=g_1=1$ para Diferentes Valores de g_2	84
3.19	Sinal de Sincronismo (<i>clock</i>) Apresentando Imprecisão nos Instantes de Transição (<i>jitter</i>).....	85
3.20	SNR do Modulador de 2ª Ordem para Diversos Valores da Variância Normalizada $(\sigma_j/T)^2$ do Erro de Amostragem.....	89
3.21	Degradação da Resolução nos Moduladores de 1ª e 2ª Ordens devido ao <i>Sampling Jitter</i>	90
3.22	Degradação da Resolução nos Moduladores de 2ª e 3ª Ordens devido ao <i>Sampling Jitter</i>	91
3.23	Função de Bessel de Primeiro Tipo e Ordem k.....	93
4.1	Modulador $\Sigma\Delta$ de 2ª Ordem e Fontes de Erro Genéricas na Implementação Integrada com Circuitos a Capacitores Chaveados.....	97
4.2	Amplitude das Funções de Transferência de Todas as Entradas do Modulador para Saída.....	100
4.3	Integradores a Capacitores Chaveados.....	101
4.4	Capacitor Monolítico Realizado com 2 Camadas de <i>Poly</i> (a) e seu Modelo Incluindo a Capacitância Parasita entre a Placa Inferior e o Substrato (b).....	103
4.5	Transistor NMOS (a) e seu Modelo Incluindo as Capacitâncias Parasitas entre os Terminais de Fonte e Dreno e o Substrato (b).....	103
4.6	Inclusão dos Capacitores Parasitas no Circuito do Acumulador Euler tipo Atraso.....	104
4.7	Integrador a Capacitor Chaveado Insensível à Capacitância Parasitas.....	105
4.8	Linhas de Campo Elétrico entre as Placas do Capacitor.....	107
4.9	Erro Sistemático do Processo Litográfico na Definição de Geometrias.....	107
4.10	Variações Aleatórias Locais nas Bordas das Placas dos Capacitores.....	108
4.11	Variações Locais na Espessura do Óxido e na Permissividade do SiO_2	109
4.12	Topologia Centróide Comum para a Construção da Razão $C_2/C_1 = 5/4$ Insensível aos Erros Sistemáticos.....	111
4.13	Acumulador Euler tipo Atraso Implementado com AmpOp Considerando-se o Ganho DC Finito e o <i>Offset</i> na Entrada.....	112
4.14	Integrador Inversor Euler Tipo Atraso com Auto-Zero para Cancelamento de <i>Offset</i> ..	116
4.15	Acumulador Euler tipo Avanço Implementado com AmpOp de Largura de Banda e Ganho DC Finitos.....	117

4.16	Módulo da Resposta em Freqüência do Integrador Não-Ideal para Valores de f_s em Função de f_0	120
4.17	Detalhe do Módulo da Resposta em Freqüência do Integrador Não-Ideal para Valores de f_s em Função de f_0	121
4.18	Modulador $\Sigma\Delta$ de 1ª Ordem com Modelo de Integrador Implementado com AmpOp de Banda e Ganho DC Finitos.....	121
4.19	SNR x OSR para o Modulador de 1ª Ordem Implementado com AmpOp de Ganho DC 60 dB e Freqüência de Ganho Unitário.....	123
4.20	Modulador $\Sigma\Delta$ de 2ª Ordem com Modelo de Integrador Implementado com AmpOp de Banda e Ganho DC Finitos.....	123
4.21	SNR x OSR para o Modulador de 2ª Ordem Implementado com AmpOp's de Ganho DC 60 dB e Freqüência de Ganho Unitário.....	125
4.22	Degradação da SNR em função da Transferência Relativa de Carga no Modulador de 2ª Ordem com OSR de 256.....	126
4.23	Tensão na Saída do Integrador Euler e Sinais de Acionamento das Chaves.....	127
4.24	Modelo da Fase de Integração do Acumulador Implementado com AmpOp de Estágio Diferencial Não-Linear.....	128
4.25	Tempo de Estabilização em Função da Razão entre a Tensão Amostrada e o Extremo da Faixa Linear de Entrada do AmpOp.....	132
4.26	Integrador Euler tipo Avanço Implementado com Chave Não-Ideal.....	134
4.27	Circuito para Estudo da Injeção de Carga e do <i>Clock Feedthrough</i>	137
4.28	Modelo da Chave MOSFET durante o Desligamento.....	138
4.29	Percentual de Carga do Canal Injetada no Capacitor de Carga.....	139
4.30	Integrador Não-Inversor Implementado com Chaves e Amplificador Operacional Não-Ideais.....	140
4.31	Modulador de 1ª Ordem Considerando o Erro DC.....	143
4.32	Modulador de 2ª Ordem Considerando o Erro DC.....	145
4.33	Medidas do Erro de Chaveamento.....	146
4.34	Funções de Transferência do Erro DC Total para Saída nos Moduladores de 1ª e 2ª Ordens.....	147
4.35	SNR dos Moduladores de 1ª e 2ª Ordens Considerando-se os Erros DC.....	148
4.36	Integrador SC Completamente Diferencial Euler Tipo Avanço.....	149
4.37	SNR do Modulador de 2ª Ordem Implementado com Integradores Completamente Diferenciais. $\Delta = 5V$	153

4.38	SNR do Modulador de 2 ^a Ordem Implementado com Integradores Completamente Diferenciais. $\Delta = 2V$	154
4.39	Fontes Equivalentes de Ruído em MOSFET's.....	156
4.40	Densidade Espectral de Potência do Ruído Térmico e do Ruído 1/f.....	158
4.41	Fontes Intrínsecas de Ruído num Amplificador Operacional Canônico.....	158
4.42	Circuito Equivalente para Determinação da Densidade Espectral do Ruído no Capacitor.....	160
4.43	Densidade Espectral de Potência $S_{S/H}(f)$ do Ruído Térmico Filtrado e “Amostrado e Retido” para Diversas Razões de Subamostragem (f_C/f_S).....	162
4.44	Integrador SC Euler Avanço Completamente Diferencial e Todas as Fontes Intrínsecas de Ruído.....	163
4.45	Sinais de Controle das Chaves do Circuito da Fig. 4.44.....	163
4.46	Circuito Equivalente para a Determinação da Componente Direta durante as Fases I, II e IV.....	164
4.47	Circuito Equivalente para a Determinação da Componente Direta durante a Fase III.....	165
4.48	Circuito para Determinação da Componente “Amostrada e Retida” em C_S devida às Chaves Acionadas por ϕ_1	167
4.49	Modulador de 2 ^a Ordem Considerando as Fontes Intrínsecas de Ruído.....	169
4.50	SNR do Modulador de 2 ^a Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_{I1} . $\Delta = 5V$	171
4.51	SNR do Modulador de 2 ^a Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_{I1} . $\Delta = 2V$ e $R_{AO} = 100k\Omega$	172
4.52	SNR do Modulador de 2 ^a Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_{I1} . $\Delta = 2V$ e $R_{AO} = 700k\Omega$	173
4.53	Influência da Defasagem entre a Borda de Subida do <i>Clock</i> dos Filtros Digitais e o Instante de Amostragem nos Integradores SC.....	177
4.54	Esquema de Acionamento das Chaves em Circuitos SC para Supressão da Distorção Harmônica Induzida pela Injeção de Carga.....	179
4.55	Redução da Faixa Dinâmica de Entrada do Modulador em Função da Distorção Harmônica.....	181
5.1	Comparação entre as Constantes de Tempo que Limitam a Máxima Freqüência de Amostragem do Sistema.....	186
5.2	Comparação entre a Potência Média do Ruído de Quantização e a Potência Média de Ruído Térmico Introduzido no 1 ^o Integrador do Sistema.....	187

5.3	Comparação entre a Potência Média do Ruído de Quantização e a Potência Média do Erro de <i>Sampling Jitter</i> Aleatório.....	188
5.4	Comparação entre a Potência Média de Ruído Térmico Introduzido no 1º Integrador do Sistema e a Potência Média do Erro de <i>Sampling Jitter</i> Aleatório.....	188
5.5	Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de <i>Jitter</i> Aleatório na Saída do Modulador $\Sigma\Delta$ de 1ª Ordem.....	189
5.6	Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de <i>Jitter</i> Aleatório na Saída do Modulador $\Sigma\Delta$ de 2ª Ordem.....	190
5.7	Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de <i>Jitter</i> Aleatório na Saída do Modulador $\Sigma\Delta$ de 3ª Ordem.....	190

Lista de Tabelas

1.1	Resolução dos Quantizadores em Função do Número de Níveis.....	11
1.2	Relação entre Resolução e Casamento de Componentes.....	13
1.3	f_s Necessária para que Conversores PCM Superamostrados Satisfaçam o Padrão CD AudioQuality.....	17
3.1	Variância Normalizada do <i>Sampling Jitter</i> Aleatório.....	90
3.2	BL e NF no Modulador de 1ª Ordem.....	94
3.3	BL e NF no Modulador de 2ª Ordem.....	94
4.1	Parâmetros g e α em função do ganho DC do AmpOp.....	114
4.2	Parâmetros da Aproximação Linear do Erro de Chaveamento após o Reescalamento dos Componentes.....	147

Introdução

Conversores A/D Sigma-Delta são adequados para digitalização de sinais de banda estreita, desde medições sísmicas (500 Hz) até canais de rádio FM (200 kHz), com resoluções que vão de 12 até 24 bits [1]. Estes conversores conseguem atingir tais resoluções sem a necessidade de técnicas de pós-fabricação para o ajuste do casamento (*trimming*) entre componentes [10]-[11].

Os conversores Sigma-Delta são compostos por dois blocos básicos: o modulador Sigma-Delta e o filtro decimador. O primeiro é um circuito analógico onde o sinal é amostrado numa taxa muito superior à frequência de Nyquist e com baixa resolução (geralmente 1 bit), e a potência do ruído de quantização é fortemente atenuada dentro da banda do sinal. O segundo é um circuito digital onde toda a potência fora da banda do sinal é filtrada, a taxa de amostragem é reduzida e a resolução das amostras é aumentada [1].

Os moduladores Sigma-Delta podem ser implementados de forma integrada através de diversas técnicas: circuitos que operam em tempo contínuo, circuitos a capacitores chaveados (SC) ou circuitos a corrente chaveada (SI). Dentre estas possibilidades, a implementação com circuitos SC é adequada para uma vasta gama de aplicações: canais de voz em banda base para telefonia (13 bits / 4 kHz) [25], digitalização de áudio (16 bits / 22,05 kHz) [10], ISDN U-*interface* (14 bits / 80 kHz) [41], e outras (16 bits / 160 kHz) [44]. Apenas aplicações especiais, como conversores de altíssima resolução (>18 bits) [45]-[46],[52] e conversores que operam com altas taxas de amostragem (digitalização direta de IF em telefones celulares) [1] não são apropriadas para esta tecnologia.

O objetivo deste trabalho é o estudo dos limites de *performance* impostos pela implementação VLSI com circuitos a capacitores chaveados na tecnologia CMOS. Neste texto, duas características dos moduladores Sigma-Delta são avaliadas como medidas de desempenho: a resolução alcançada e a taxa de amostragem.

Para a determinação dos limites de *performance*, a seguinte metodologia foi adotada:

- Foram identificadas as principais fontes de erro nos circuitos a capacitores chaveados;
- O efeito de cada uma destas não-idealidades no desempenho dos integradores SC foi deduzido separadamente;
- O diagrama de blocos do modulador chaveado foi equacionado considerando-se o modelo mais refinado do integrador SC;
- A partir deste equacionamento a razão sinal-ruído (SNR) dentro da banda do sinal é calculada numericamente.

As fontes de erro que aumentam o nível de ruído dentro da banda do sinal são as limitantes da resolução. As fontes de erro que contribuem para a transferência incompleta de carga no modulador são as limitantes da taxa de amostragem. Ao longo do texto os limites de desempenho deduzidos teoricamente são comparados com os resultados obtidos nas implementações práticas divulgadas na vasta bibliografia publicada sobre o tema [20]-[62].

No Capítulo 1 são apresentados os fundamentos da conversão A/D Sigma-Delta. São discutidos o teorema da amostragem e, os conceitos de superamostragem e *noise shaping*.

No Capítulo 2 o modulador Sigma-Delta é estudado como um sistema não-linear. O conceito de estabilidade para estes sistemas é discutido. As características espectrais do erro de quantização para diversas topologias são apresentadas.

No Capítulo 3 são discutidas as características dos sistemas analógicos amostrados e as limitações de *performance* impostas pela integração com perdas e pela imprecisão nos instantes de amostragem (*sampling jitter*).

No Capítulo 4 são deduzidos os limites de desempenho impostos pela implementação com circuitos a capacitores chaveados. São consideradas as não-idealidades nos integradores SC, nos amplificadores operacionais, nas chaves analógicas e, as fontes de ruído.

No Capítulo 5 os limites de *performance* são comparados quantitativamente. Desta forma são determinados os principais limitantes da máxima resolução alcançável e da máxima frequência de operação.

CAPÍTULO 1

FUNDAMENTOS DA CONVERSÃO A/D $\Sigma\Delta$

1.1 Princípios da Conversão A/D

Dispositivos eletrônicos que realizam a conversão de sinais analógicos em seqüências numéricas são de grande valor devido ao número de aplicações da capacidade computacional a disposição atualmente. Todo este poder de processamento perderia boa parte de sua utilidade prática se não existissem tais sistemas, o que inviabilizaria o Processamento Digital de Sinais [2].

A representação discreta no tempo de sinais contínuos é conseguida a partir do processo chamado amostragem periódica. Através desta, uma seqüência de amostras $x_D(t)$ é obtida de um sinal contínuo no tempo $x(t)$ de acordo com a seguinte relação:

$$x_D(t) = \sum_{n=-\infty}^{+\infty} x(nT) \cdot \delta(t - nT) , \text{ onde } \delta(\cdot) \text{ é a função Delta de Dirac} \quad (1.1)$$

Na equação (1.1), T é o Período de Amostragem e seu inverso $f_s = 1/T$ é a Freqüência de Amostragem. O espectro de freqüências de $x_D(t)$ está relacionado ao espectro de freqüências de $x(t)$ (figura 1.1). $X(f)$ e $X_D(f)$ são, respectivamente, as transformadas de Fourier de $x(t)$ e $x_D(t)$ [2],[3].

$$X_D(f) = f_s \cdot \sum_{m=-\infty}^{+\infty} X(f - mf_s) \quad (1.2)$$

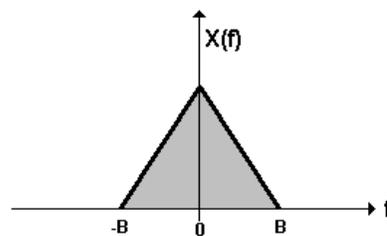


Figura 1.1 - Espectro do Sinal Analógico de Banda Limitada $x(t)$

De acordo com a equação (1.2), a amostragem periódica de um sinal contínuo no tempo de energia finita resulta num sinal com espectro periódico com período igual a taxa de amostragem f_s , como ilustrado na figura 1.2.

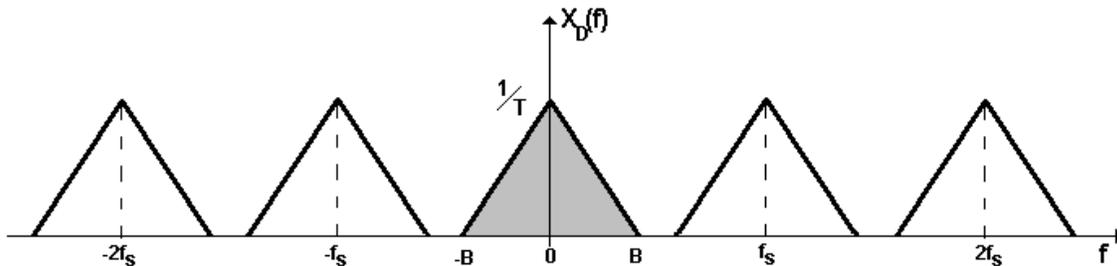


Figura 1.2 - Espectro do Sinal Amostrado $x_D(t)$.

Observando os espectros de frequência de $x(t)$ e $x_D(t)$ pode-se enunciar o Teorema da Amostragem de Shannon [3]:

“Um sinal de banda limitada e energia finita, que não apresenta componentes de frequência maiores que B hertz, é completamente descrito a partir dos valores específicos deste sinal tomados em instantes de tempo menores ou iguais a $1/2B$ segundos.”

Este período máximo em que se deve amostrar um sinal de banda limitada, determina uma frequência mínima de amostragem que permite a reconstrução exata do sinal contínuo original a partir de suas amostras, chamada Taxa de Nyquist $f_N = 2B$ hertz.

Para se obter novamente um sinal contínuo a partir de $x_D(t)$ basta aplicar este sinal discretizado num filtro passa baixas ideal com frequência de corte em B hertz, como ilustrado na figura 1.3 para um sinal amostrado na taxa de Nyquist. No domínio do tempo esta filtragem ideal corresponde a uma interpolação entre as amostras, que produz um sinal contínuo $x_R(t)$ que será idêntico a $x(t)$ caso o teorema da amostragem tenha sido respeitado.

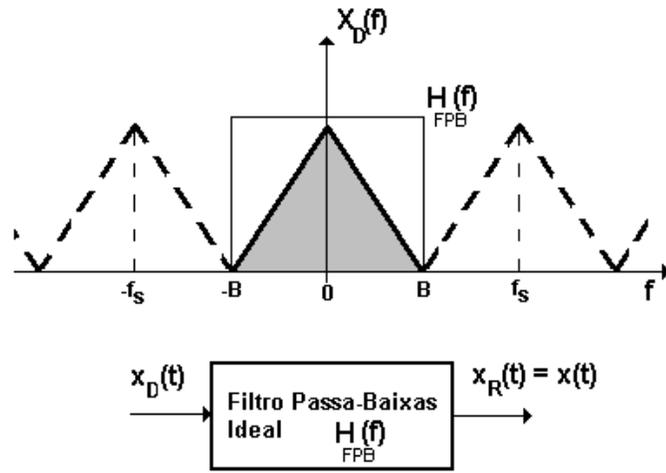


Figura 1.3 - Reconstrução de $x(t)$.

Se $x(t)$ for amostrado numa taxa inferior a taxa de Nyquist ocorrerá no espectro $X_D(f)$ uma superposição parcial das diversas réplicas de $X(f)$, como pode ser visto na figura 1.4. Este fenômeno é conhecido na literatura como *aliasing* [2]-[4].

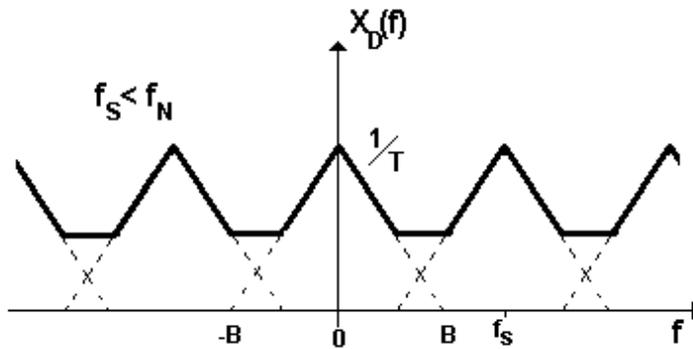


Figura 1.4 - Espectro de $x_D(t)$ com *Aliasing*.

Desta forma, a reconstrução de $x_D(t)$ resultará num sinal $x_R(t)$ distorcido que não mais corresponderá fielmente a $x(t)$ (figura 1.5).

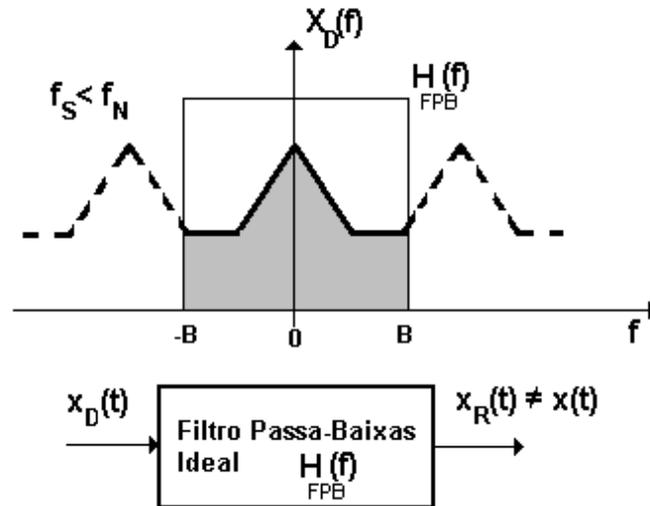


Figura 1.5 - Reconstrução com *Aliasing*.

Uma vez compreendida a amostragem ideal, a análise dos conversores A/D se torna tarefa bem mais simples. A figura 1.6 apresenta um diagrama de blocos genérico para este sistema:

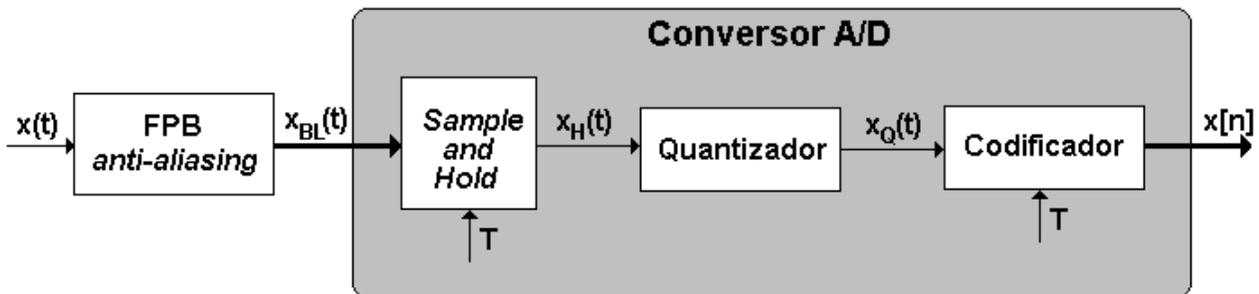


Figura 1.6 - Diagrama de Blocos da Conversão A/D.

É importante destacar o filtro passa-baixas na entrada de um conversor A/D real. A grande maioria dos sinais processados não é limitado em frequência, (figura 1.7). Sem este filtro, todo o processamento posterior a digitalização sofreria com distorções oriundas do fenômeno de *aliasing* [2],[3].

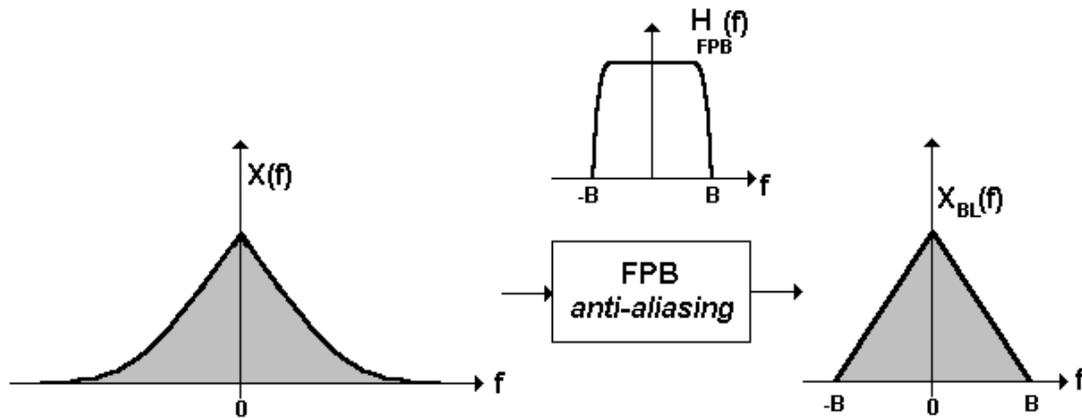


Figura 1.7 - Filtro Passa-Baixas Anti-*Aliasing*.

Infelizmente, um trem de impulsos como o utilizado idealmente para a amostragem do sinal $x(t)$ não é realizável. Além disso, os circuitos que vêm após o chamado “amostrador ideal” não conseguiriam processar as amostras obtidas se estas não estivessem disponíveis por um tempo finito. Portanto, um circuito *Sample and Hold* (amostra e segura) é necessário dentro do conversor A/D. Apesar de discretizadas no tempo, as amostras de $x_H(t)$ podem apresentar qualquer valor de amplitude. Para serem processadas computacionalmente, as amostras também devem ser discretizadas em amplitude.

Até a quantização, todos os procedimentos apresentados (com exceção da pré-filtragem para eliminação de componentes de altas freqüências desnecessárias) são completamente reversíveis. O sinal $x_{BL}(t)$ pode ser reconstruído com exatidão se o teorema da amostragem for respeitado. Na quantização entretanto, o valor das amostras obtidas é arredondado para valores pré-determinados na curva de transferência do quantizador (figura 1.8). Esta curva não é necessariamente linear (uniforme), embora sempre o seja para fins de processamento digital de sinais. Quantizadores com compactação (*companding*) são utilizados, por exemplo, em telefonia para promover semelhante resolução para sons com baixa e alta intensidades.

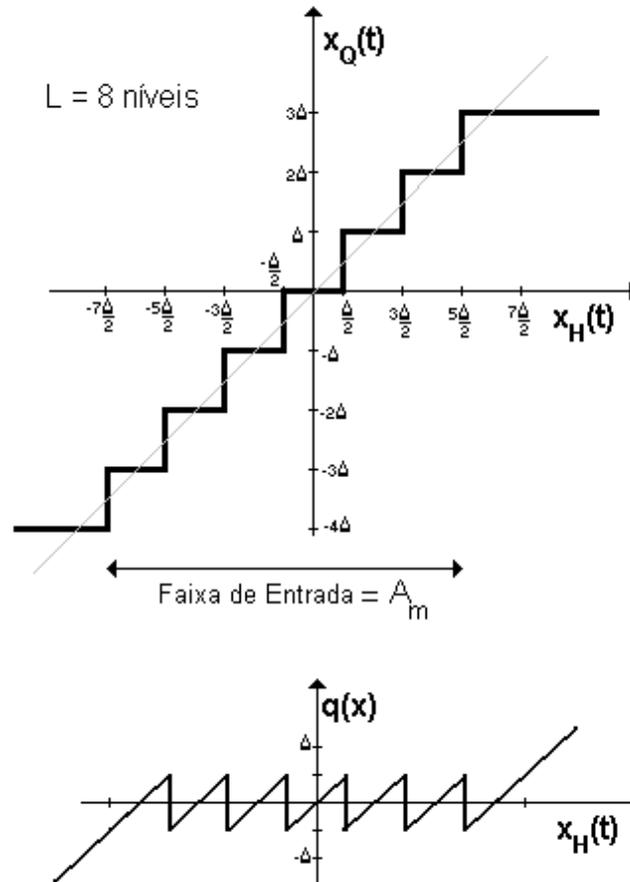


Figura 1.8 - Curva de Transferência do Quantizador e Erro de quantização $q(x)$.

$$x_Q(t) = x_H(t) + q(t) \tag{1.3}$$

$$\Delta = \frac{A_m}{L} \tag{1.4}$$

O erro de quantização $q(x)$ apresenta como valor máximo a metade do degrau de quantização ($\Delta/2$), excetuando-se as situações em que a entrada apresenta uma amplitude superior à faixa de entrada A_m (*overloading*). A resolução de um conversor A/D (em bits ou dB) depende diretamente da quantidade de níveis que o quantizador pode resolver (L) e do tamanho do degrau de quantização (Δ). Os quantizadores uniformes podem ser de dois tipos: *midriser* e *midtread* [11]. Como pode ser visto na figura 1.9, o *midriser* necessita de um número par de níveis de saída para ter uma curva característica simétrica, enquanto que o *midtread* precisa de um número ímpar para conseguir o mesmo.

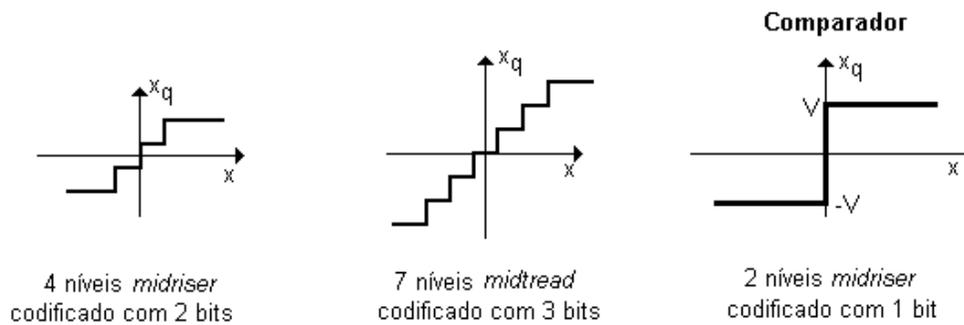


Figura 1.9 - Curvas Características de Quantizadores Uniformes.

$$\begin{cases} b = \log_2(L) \text{ bits} & \textit{midriser} \\ b = \log_2(L+1) \text{ bits} & \textit{midtread} \end{cases} \quad (1.5)$$

Se o sinal de entrada não ultrapassar a faixa máxima de entrada do conversor (A_m) e for suficientemente aleatório, podem ser feitas várias hipóteses sobre a estatística do ruído de quantização [1]-[3],[17]:

- 1) $q(t)$ é um processo aleatório estacionário.
- 2) $q(t)$ é não correlato com $x_H(t)$.
- 3) A distribuição de probabilidade de $q(x)$ é uniforme sobre toda a faixa do erro de quantização: $-\Delta/2 < q(x) < \Delta/2$.

Se estas condições forem válidas, pode-se considerar o ruído de quantização como uma fonte aditiva de ruído branco filtrado (figura 1.10), apresentando uma potência média $P_q = \sigma_q^2$ constante e independente de f_s (figura 1.11).

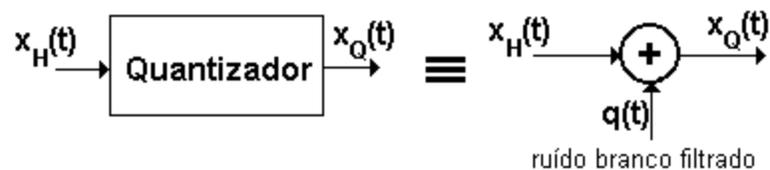


Figura 1.10 - Modelo Linear para o Ruído de Quantização.

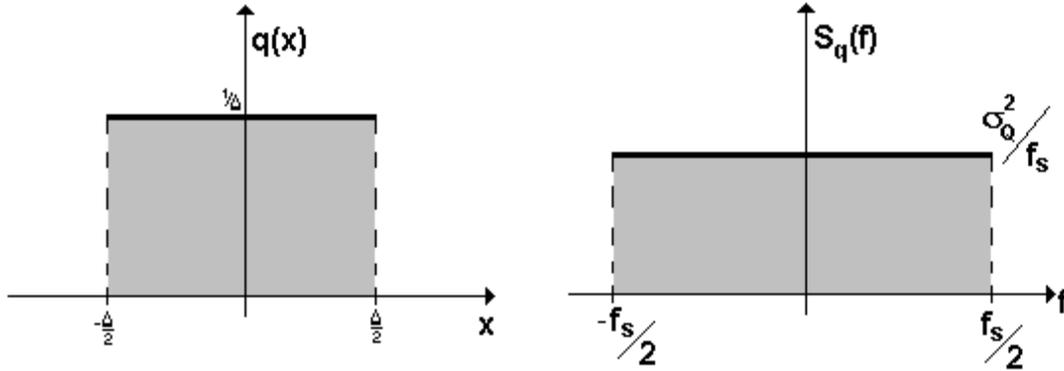


Figura 1.11 - Estatística do Ruído de Quantização.

$q(x)$: Densidade de Probabilidade do Erro de Quantização.

$P_q(f)$: Densidade Espectral de Potência do Ruído de Quantização.

Para a variável aleatória Q (ruído de quantização), com função densidade de probabilidade $q(x)$, calculamos sua média ($m_Q = E[Q]$), valor quadrático médio ($q_{\text{RMS}} = E[Q^2]$) e variância ($\sigma_Q^2 = \text{Var}[Q] = E[(Q - m_Q)^2]$) [3]:

$$q(x) = \frac{1}{\Delta} \quad , \quad -\frac{\Delta}{2} \leq x \leq \frac{\Delta}{2} \quad (1.6)$$

$$m_Q = E[Q] = \int_{-\infty}^{\infty} x \cdot q(x) dx \quad (1.7)$$

$$m_Q = \int_{-\Delta/2}^{\Delta/2} \left(\frac{x}{\Delta}\right) dx = \frac{\left(\frac{\Delta}{2}\right)^2 - \left(-\frac{\Delta}{2}\right)^2}{2\Delta} = 0 \quad (1.8)$$

$$E[Q^2] = \int_{-\infty}^{\infty} x^2 \cdot q(x) dx \quad (1.9)$$

$$E[Q^2] = \int_{-\Delta/2}^{\Delta/2} \left(\frac{x^2}{\Delta}\right) dx = \frac{\left(\frac{\Delta}{2}\right)^3 - \left(-\frac{\Delta}{2}\right)^3}{3\Delta} = \frac{\Delta^2}{12} \quad (1.10)$$

$$\sigma_Q^2 = E[(Q - m_Q)^2] = E[Q^2] - 2m_Q E[Q] + m_Q^2 \quad (1.11)$$

$$\sigma_Q^2 = E[Q^2] - m_Q^2 = \Delta^2/12 \quad (1.12)$$

Considere que seja aplicada na entrada do conversor uma senóide do tipo $x(t) = A_m/2 \cdot \text{Sen}(\omega t)$. Pode-se assim determinar a razão sinal/ruído de quantização (SNR) do conversor A/D:

$$P_x = \frac{A_m^2}{8} \text{ é a potência média desta senóide} \quad (1.13)$$

$$P_q = \int_{-\infty}^{+\infty} S_q(f) df = \sigma_Q^2 \quad (1.14)$$

$$P_q = \Delta^2/12 = \frac{A_m^2}{L^2} \cdot 12 \quad (1.15)$$

$$SNR = \frac{P_x}{P_q} = \frac{3L^2}{2} \quad (1.16)$$

$$SNR(dB) = 10 \text{Log}_{10}(SNR_q) = 1,8 + 20 \text{Log}_{10}(L) \quad (1.17)$$

Substituindo-se (1.5) em (1.17) obtém-se:

$$SNR(dB) = (1,8 + 6b) \text{ dB} \quad (1.18)$$

A tabela 1.1 mostra a SNR em função do número de bits do quantizador.

L (nº de níveis)	b (bits)	SNRq (dB)
32	5	31.8
64	6	37.8
128	7	43.8
256	8	49.8

Tabela 1.1 - Resolução dos Quantizadores em Função do Número de Níveis.

1.2 Conversão A/D PCM

Os conversores A/D PCM (*pulse-code modulation*) têm como característica uma taxa de amostragem muito próxima a taxa de Nyquist (f_N) e na saída amostras codificadas como palavras binárias com largura igual a resolução do conversor em bits [13]-[16]. O processo de conversão PCM apresenta um modelo comportamental bastante similar ao descrito para a conversão A/D genérica (figura 1.6) discutida na seção anterior. Estes conversores podem ser implementados através de diversas técnicas. Por exemplo: aproximação sucessiva (figura 1.12) e conversão paralela (figura 1.13).

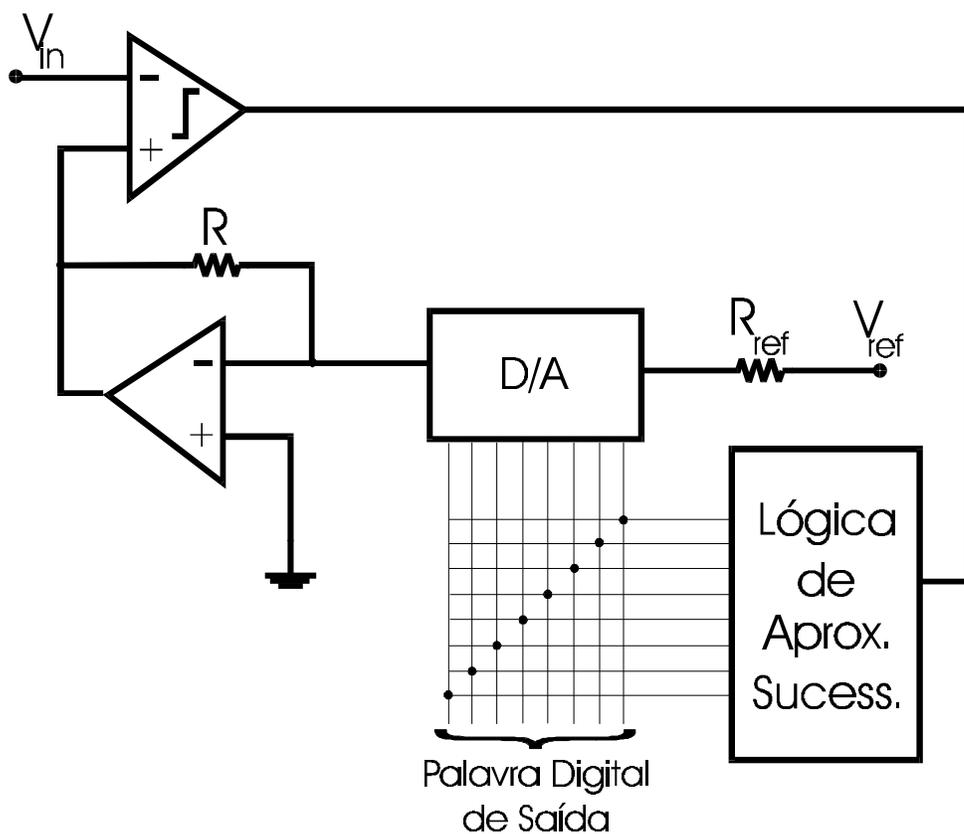


Figura 1.12 - Conversão A/D por Aproximação Sucessiva.

Por operarem na taxa de Nyquist, cada amostra é quantizada com a máxima precisão do conversor. A resolução destes conversores implementados em circuitos integrados VLSI é limitada essencialmente pelo processo em que são fabricados. Por exemplo, conversores que operam por aproximação sucessiva dependem do casamento de dois capacitores integrados para realizarem repetidas divisões de uma tensão de referência por 2 [15].

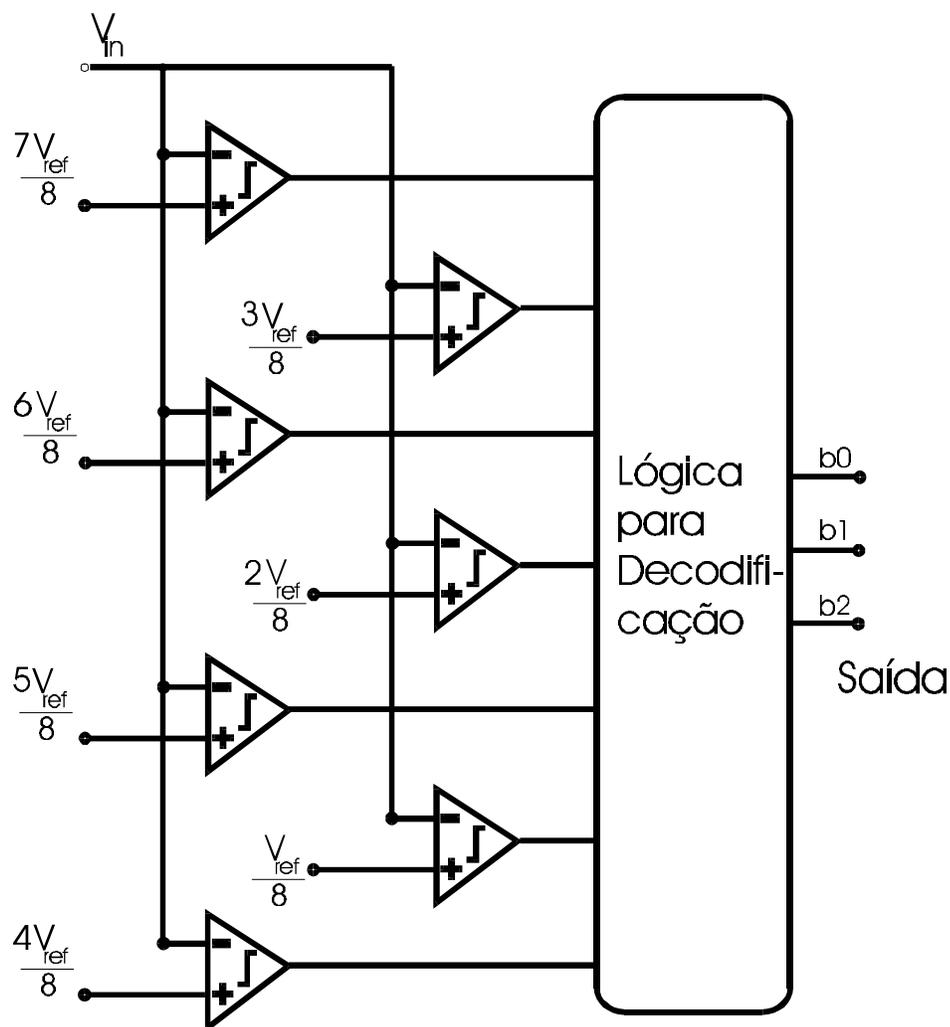


Figura 1.13 - Conversão A/D através de Comparações Paralelas.

De forma geral, a máxima resolução dos conversores PCM's é determinada pelo casamento de componentes. Uma resolução de N bits requer um casamento mínimo entre componentes de 1 parte em 2^N . Casamento entre componentes maior que 10 bits (1 parte em $2^{10} \cong 0.1\%$) é uma tarefa difícil em VLSI [11].

N (bits)	Matching
6	1,562%
8	0,391%
10	0,097%
12	0,024%
14	0,006%

Tabela 1.2 - Relação entre Resolução e Casamento de Componentes.

Conversores A/D que operam na taxa de Nyquist com elevadas resoluções são praticamente impossíveis de serem realizados em tecnologias convencionais sem que sejam utilizadas técnicas de pós-fabricação [4],[6]-[7], como ajustes de componentes passivos por laser (*laser trimming*) e/ou alguma forma de calibração. Além disso, como o sinal é amostrado próximo do limite mínimo teórico, são necessários filtros anti-aliasing que apresentem uma atenuação bem rápida após a frequência de corte (ordem elevada) [1],[11]-[12].

1.3 Conversão A/D PCM Superamostrada

Uma maneira de melhorar a resolução dos conversores PCM é através da superamostragem (*oversampling*), ou seja, amostras com N bits de resolução são produzidas pelo conversor numa taxa bem maior que a taxa de Nyquist [1],[11]-[12]. Conseqüentemente, o espectro discretizado $X_D(f)$ será formado por infinitas réplicas do espectro original de banda limitada, espaçadas entre si por uma distância bem maior que 2B (figura 1.14).

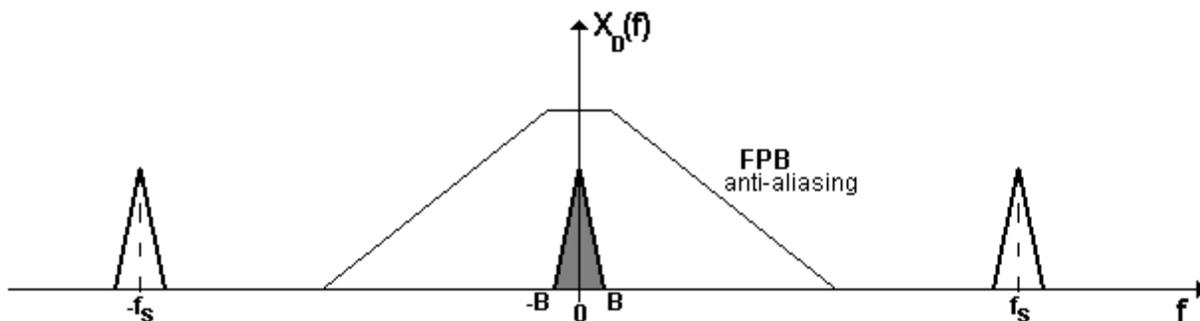


Figura 1.14 - Superamostragem de Sinal de Banda Limitada.

Observando o espectro $X_D(f)$ percebe-se claramente uma das vantagens da superamostragem: devido ao grande espaçamento entre as réplicas de $X(f)$, a pré-filtragem anti-aliasing pode ser realizada com um filtro que tenha taxa de decaimento bem suave e de custo bem inferior aos filtros utilizados com conversores que trabalham na taxa de Nyquist [1],[11]-[12].

A densidade espectral de potência do ruído de quantização é função da taxa de amostragem, como pode ser visto na figura 1.15 (apenas uma réplica das densidades

espectrais é mostrada, $S_{q1}(f)$ e $S_{q2}(f)$ são periódicos). A taxa de amostragem f_{s1} é menor que f_{s2} , a potência média do ruído de quantização independe da taxa de amostragem [1]-[3].

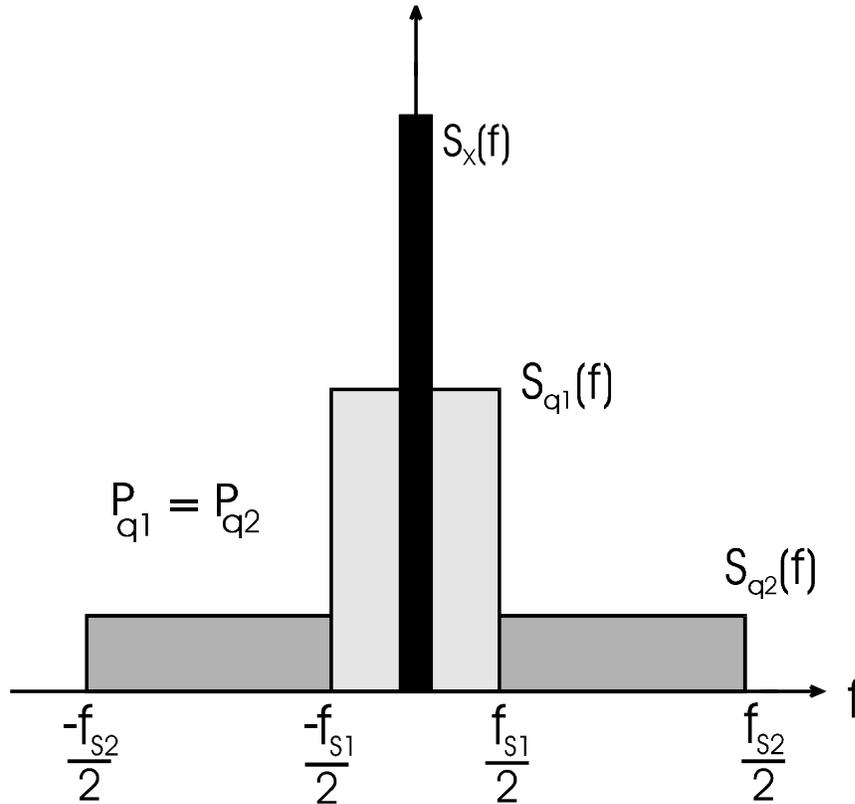


Figura 1.15 - Efeito da Superamostragem na Densidade Espectral de Potência do Ruído de Quantização. $f_{s2} > f_{s1}$.

$$P_{q1} = \int_{-f_{s1}/2}^{f_{s1}/2} \frac{\sigma_Q^2}{f_{s1}} df = \sigma_Q^2 \quad P_{q2} = \int_{-f_{s2}/2}^{f_{s2}/2} \frac{\sigma_Q^2}{f_{s2}} df = \sigma_Q^2 \quad (1.19)$$

Desta forma, o único benefício imediato da superamostragem é a possibilidade de empregar um filtro anti-aliasing de ordem bem mais baixa. A razão sinal/ruído de quantização de um conversor A/D PCM superamostrado é a mesma de um conversor A/D PCM. Porém, a superamostragem possibilita que amostras com resoluções acima da resolução original de N bits destes conversores sejam alcançadas. Para tal, é necessário um pós-processamento digital da seqüência superamostrada $x[n]$. A figura 1.16 ilustra esta possibilidade.

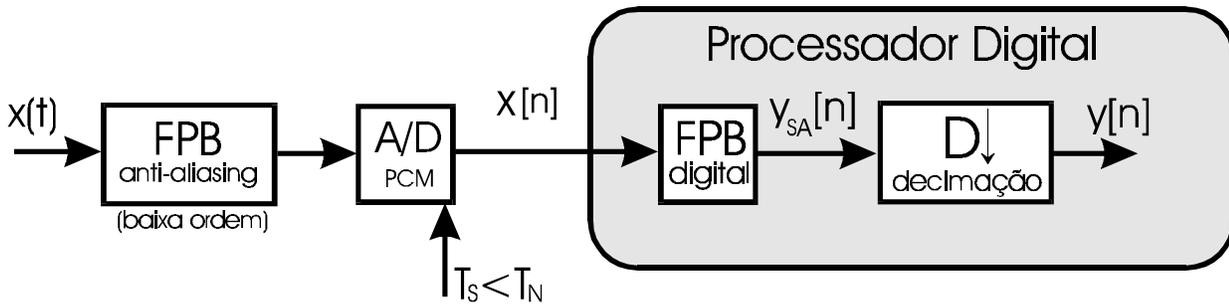


Figura 1.16 - Conversão PCM Superamostrada e Pós-processamento Digital.

A idéia por trás deste sistema de conversão A/D é simples: a filtragem digital da seqüência $x[n]$ com freqüência de corte no limite da banda útil eliminaria a potência de ruído de quantização no intervalo de freqüências de $\omega = \pi \cdot f_N / f_s$ até $\omega = \pi$ rad/s (e para as infinitas réplicas deste intervalo). Depois, a decimação (descarte de amostras desnecessárias [2]) abaixaria a freqüência de amostragem para a taxa de Nyquist. Após o processamento digital temos :

$$P_n = \int_{-f_{s1}/2}^{f_{s1}/2} \frac{\sigma_Q^2}{f_{s2}} df = \sigma_Q^2 \cdot \frac{f_{s1}}{f_{s2}} \quad \therefore \quad P_n < P_q \quad (1.20)$$

Para $f_{s1} = f_N$ e $f_{s2} = f_s$ define-se a Razão de Superamostragem (*Oversampling Ratio*) como:

$$OSR = \frac{f_s}{f_N} \quad (1.21)$$

Considere mais uma vez que seja aplicada no conversor uma senóide $x(t) = A_m/2 \cdot \text{Sen}(\omega t)$ e que a faixa de entrada deste seja A_m Volts. A razão sinal/ruído após a decimação pode ser calculada:

$$P_n = \frac{\sigma_Q^2}{OSR} = \frac{A_m^2}{OSR \cdot L^2 \cdot 12} \quad (1.22)$$

$$SNR = \frac{P_x}{P_n} = \frac{A_m^2/8}{A_m^2/OSR \cdot L^2 \cdot 12} = OSR \cdot \frac{3L^2}{2} \quad (1.23)$$

$$SNR(dB) = 1.8 + 20\text{Log}_{10}(L) + 10\text{Log}_{10}(OSR) \quad (1.24)$$

É conveniente expressarmos a razão de superamostragem como potência de 2:

$$OSR = 2^r \quad (1.25)$$

Substituindo (1.5) e (1.25) em (1.24) obtemos:

$$SNR(dB) = 1.8 + 6b + 3r \quad (1.26)$$

Para cada vez que a razão de superamostragem for duplicada (incremento em r) a SNR aumenta de 3dB, ou a resolução do sistema [PCM Superamostrado + Processamento Digital] aumenta de ½bit [1],[11]-[13]. Desta forma, para que altas resoluções sejam alcançadas devemos ter $f_s \gg f_N$ e um *hardware* digital de altíssima velocidade. Para conseguirmos, por exemplo, digitalizar um sinal de áudio com 22,05 kHz de banda com 16 bits de resolução (padrão de CD de áudio – IEC 908) utilizando conversores PCM de 6, 8, 10 e 12 bits precisaríamos das seguintes freqüências de amostragem (tabela 1.3) :

b (bits)	f_s	OSR
6	46 GHz	2^{20}
8	3 GHz	2^{16}
10	189 MHz	2^{12}
12	11 MHz	2^8

Tabela 1.3 - f_s necessária para que conversores PCM satisfaçam o padrão *CD AudioQuality* (IEC 908).

Analisando-se os resultados da tabela 1.3 conclui-se que é impossível a utilização de conversores PCM de 6 e 8 bits para satisfazer a especificação 16bits / 20kHz . O projeto de conversores de 10 e 12 bits nas freqüências de amostragem necessárias também são uma tarefa extremamente difícil e que resultam em componentes de custo elevado.

1.4 Modulação Delta

Quando um sinal contínuo $x(t)$ é amostrado numa taxa bem maior que a taxa de Nyquist, pode-se dizer que a seqüência resultante apresenta uma alta correlação entre as amostras adjacentes. Esta alta correlação significa que, na média, a seqüência varia muito pouco de uma amostra para a seguinte. Por outro lado, já constatamos que uma seqüência oriunda da superamostragem de um sinal apresenta uma grande redundância de informação sobre o sinal original. Uma forma de acabar com este excesso de informação é através da redução da taxa de amostragem, implementado através do algoritmo de decimação. Entretanto, a redundância pode ser eliminada também se tomarmos a direção radicalmente oposta: manutenção da elevada taxa de amostragem e redução da palavra código resultante (número de bits de cada amostra). Assim, chega-se a uma outra família de conversores com características diferentes: os que se fundamentam no princípio da Quantização Diferencial [3].

A aplicação ao extremo do princípio da quantização diferencial leva ao sistema de conversão A/D chamado Modulação Delta. Ela é caracterizada pela simplicidade conceitual, pela facilidade de implementação e pela alta taxa de amostragem. O modulador delta (figura 1.17) é um sistema de quantização diferencial em que as amostras apresentam um comprimento mínimo (1 bit).

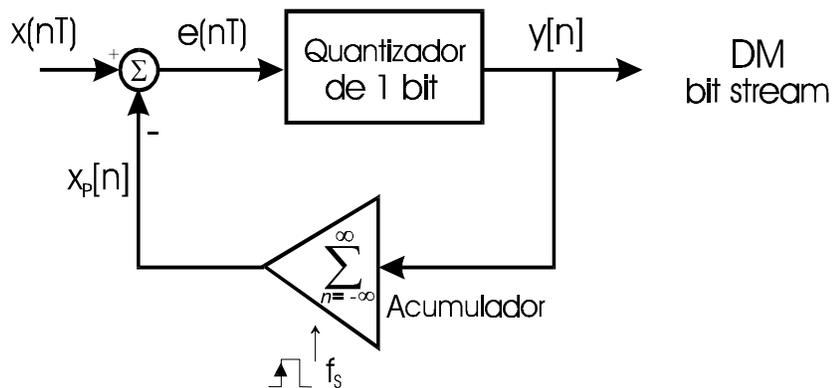


Figura 1.17 - Modulador Delta.

O comportamento do sistema é descrito pelas equações subsequentes. O quantizador é implementado através de um comparador com níveis de saída $+\delta V$ e $-\delta V$.

$$e(nT) = x(nT) - x_p[n] \quad (1.27)$$

$$y[n] = e(nT) + q_e[n] \quad (1.28)$$

$$x_p[n] = x([n-1]T) + q_e[n-1] \quad (1.29)$$

Substituindo (1.27) em (1.29) obtém-se:

$$e(nT) = x(nT) - x([n-1]T) - q_e[n-1] \quad (1.30)$$

ou seja, a menos do erro de quantização do modulador delta, a entrada do quantizador é a derivada discreta do sinal $x(nT)$ [3],[13]. A saída do modulador delta é um arredondamento da diferença entre as amostras subseqüentes do sinal de entrada. Não é transmitida nenhuma informação sobre o nível DC da entrada. A precisão desta codificação está diretamente ligada ao tamanho do degrau de quantização $\Delta = 2\delta$. Para $e[n] \leq \delta$, $x_p[n]$ é uma aproximação por escada (*staircase approximation*) do sinal contínuo $x(t)$, e $q_e[n]$ é denominado Ruído Granular. O ruído granular apresenta o mesmo tipo de comportamento estatístico que o ruído de quantização introduzido pelos conversores PCM quando não sobrecarregados. Para $e[n] > \delta$, a derivada do sinal $x(t)$ é maior que a máxima derivada possível para $x_p[n]$ e o sinal de erro torna-se muito grande. Esta situação é denominada Distorção por Excesso de Inclinação (*slope-overload distortion*).

A partir do modelo para simulação da fig. 1.18 pode-se obter as formas de onda no modulador delta.

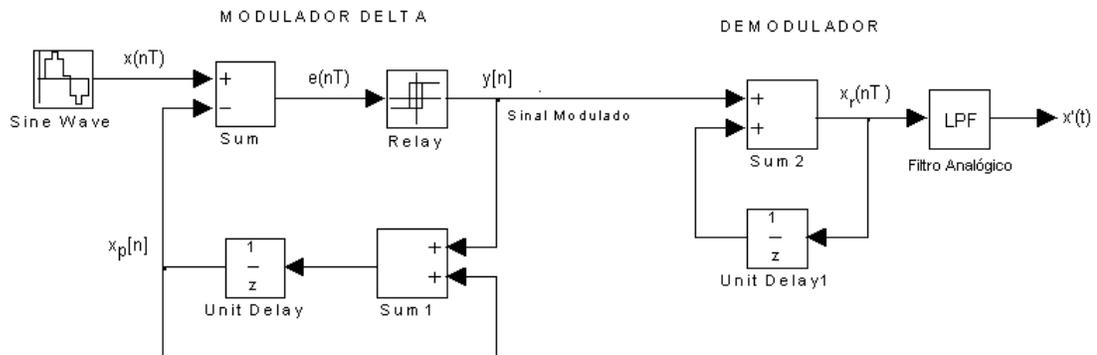


Figura 1.18 - Modelo para Simulação do Modulador/Demodulador Delta.

Para uma senóide de entrada $x(t) = 8.\text{Sen}(0,06.t)$, $\delta = 1\text{V}$ e um período de amostragem $T = 1\text{s}$ (OSR = 52) foram obtidas as formas de onda de $x(n)$ e $x_p[n]$ (figura 1.19) e de $y[n]$ (figura 1.20).

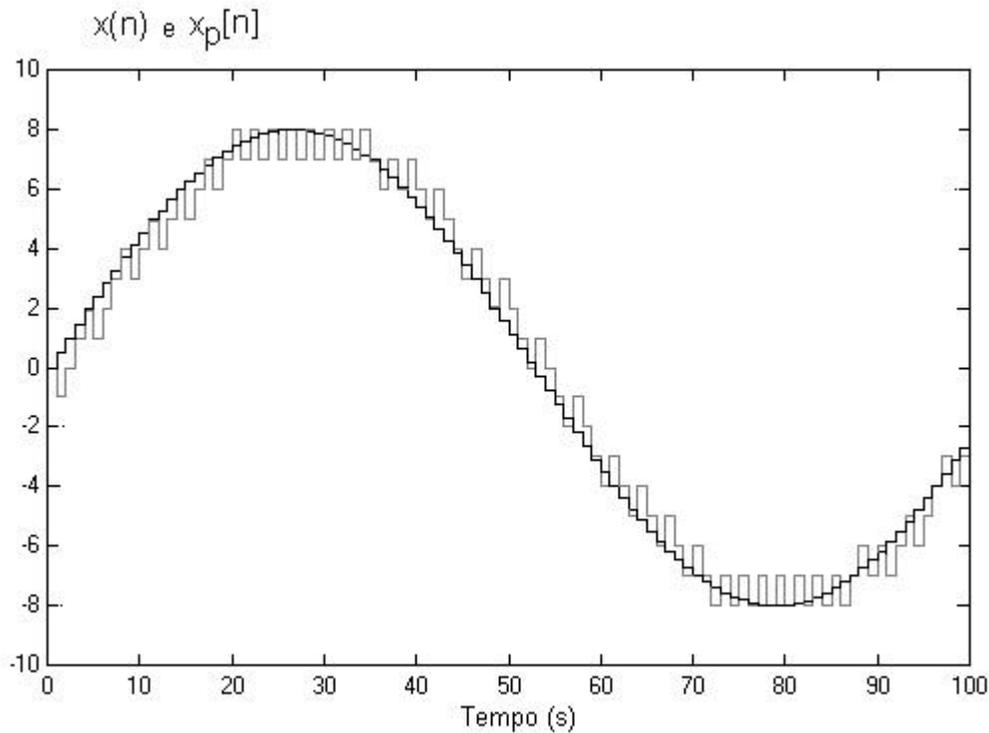


Figura 1.19 - Entrada do Modulador Δ (preto) e Saída do Integrador (cinza) para $T = 1\text{s}$.

Na figura 1.19 nota-se facilmente o princípio básico da quantização diferencial: aplicar no quantizador propriamente dito a diferença entre o sinal original e uma estimativa do mesmo feita com base nas amostras anteriores [3].

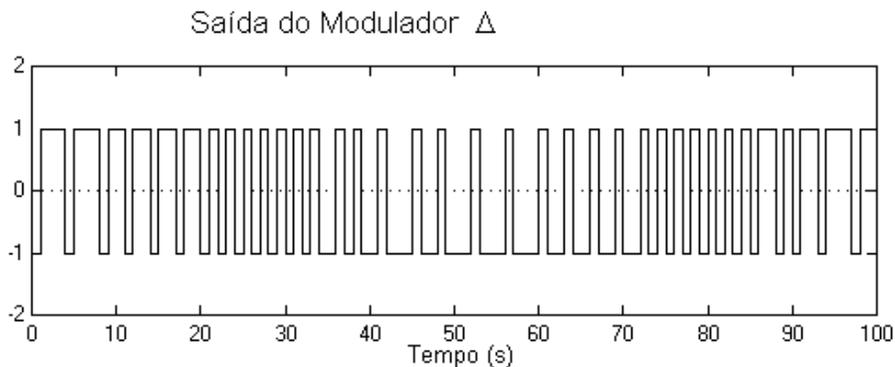


Figura 1.20 - Saída do Modulador (*bit stream*) para $T = 1\text{s}$.

Na figura 1.20 tem-se um exemplo de codificação digital num trem de bits (*bit stream*). As características do sinal de entrada estão codificadas na freqüência com que pulsos de duração fixa T aparecem na saída. Na seqüência de saída de um modulador delta, é transmitida o quanto a amostra codificada, no instante atual, difere da amostra anterior. Se esta diferença em módulo for menor ou igual a δ , a precisão máxima do sistema é alcançada.

O diagrama de blocos linearizado do modulador delta é mostrado na figura 1.21 (válido para a hipótese de predominância do ruído granular):

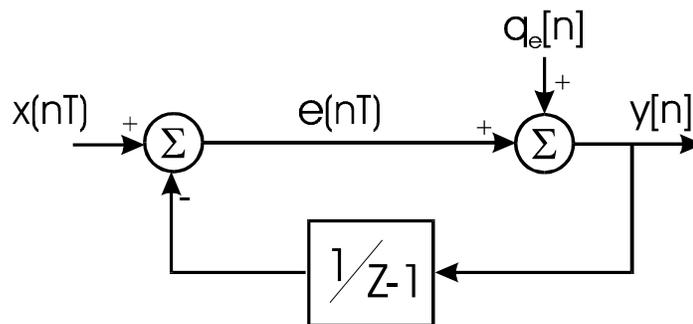


Figura 1.21 - Modelo Linear do Modulador Delta.

$$Y(z) = Q(z) + X(z) - \frac{Y(z)}{z-1} \quad (1.31)$$

$$Y(z) = \left(\frac{z-1}{z} \right) \cdot X(z) + \left(\frac{z-1}{z} \right) \cdot Q(z) \quad (1.32)$$

$$H_{x\Delta}(z) = H_{Q\Delta}(z) = 1 - z^{-1} \quad (1.33)$$

onde $H_{Q\Delta}(z)$ e $H_{x\Delta}(z)$ são, respectivamente, a função de transferência do ruído de quantização e a função de transferência do sinal (figura 1.22).

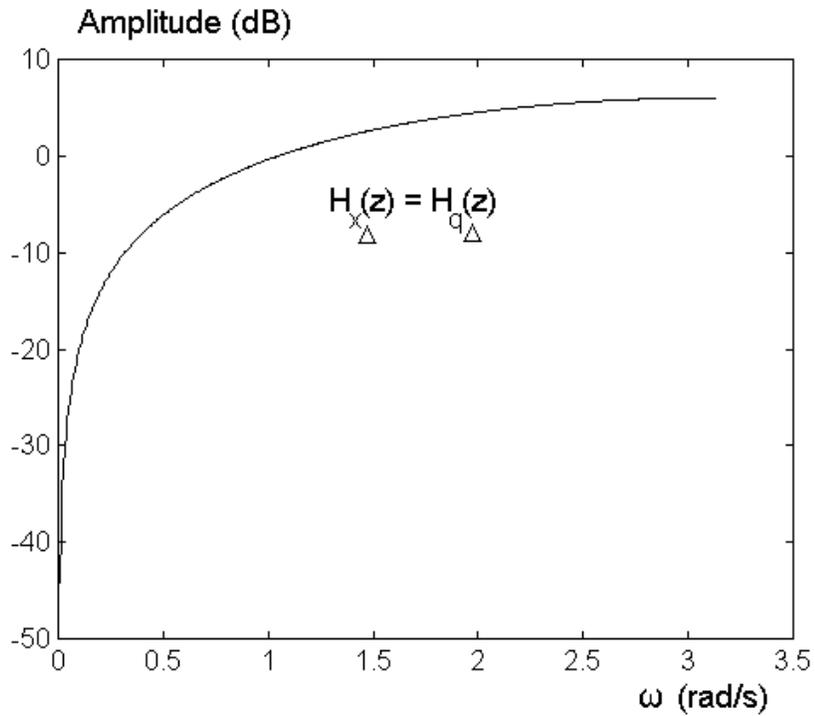


Figura 1.22 - Resposta de Amplitude das Funções de Transferência do Modulador Δ .

A resposta de amplitude do modulador delta revela uma de suas grandes deficiências: toda a potência do sinal próximo de DC é fortemente atenuada. É necessário também um integrador na entrada do demodulador, o que ocasiona na acumulação de todo o ruído introduzido durante a transmissão da informação. Por isto a modulação delta é adequada apenas para sinais de áudio de baixa qualidade (voz). Com o intuito de resolver estes problemas, mantendo-se a simplicidade da implementação, foi desenvolvido o modulador sigma-delta [1].

1.5 Modulação Sigma-Delta

No início da década de 60, H. Inose e Y. Yasuda propuseram uma modificação na modulação delta [18],[19]: o integrador é retirado do demodulador e colocado na entrada do modulador (figura 1.23). Desta forma o modulador delta, que antes produzia um sinal quantizado a partir da derivada do sinal de entrada, passa a codificar a derivada da integral do sinal de entrada. O sinal modulado, que antes informava apenas se a amostra atual era maior, menor ou igual a anterior, passa a transportar informação sobre o valor médio da entrada. Como não há mais integração no demodulador, também o problema de acúmulo das perturbações provenientes do canal de comunicação não mais existe.

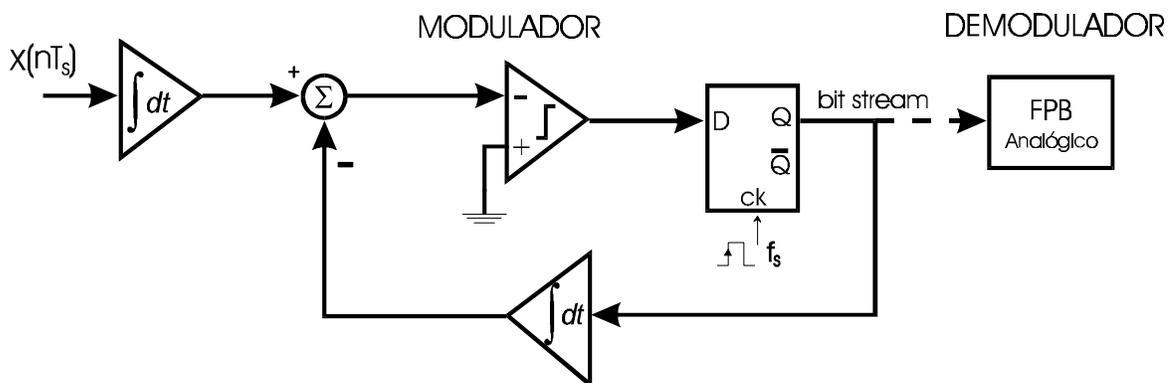


Figura 1.23 - Modulação Δ Modificada.

Entretanto, o sistema proposto na figura 1.23 não é realizável, pois seria necessário que o integrador de entrada tivesse uma faixa de saída infinita para permitir a integração de sinais DC [18]. Como a subtração é uma operação linear, o sistema pode ser alterado para a configuração mostrada na figura 1.24, sem perder suas vantagens. Este novo sistema de codificação digital superamostrado é denominado Modulador Sigma-Delta ($\Sigma\Delta$). A nomenclatura original usava o termo delta-sigma em alusão à seqüência de operações efetuadas sobre a entrada: primeiro uma diferenciação, como na modulação delta (Δ), e depois uma integração (Σ).

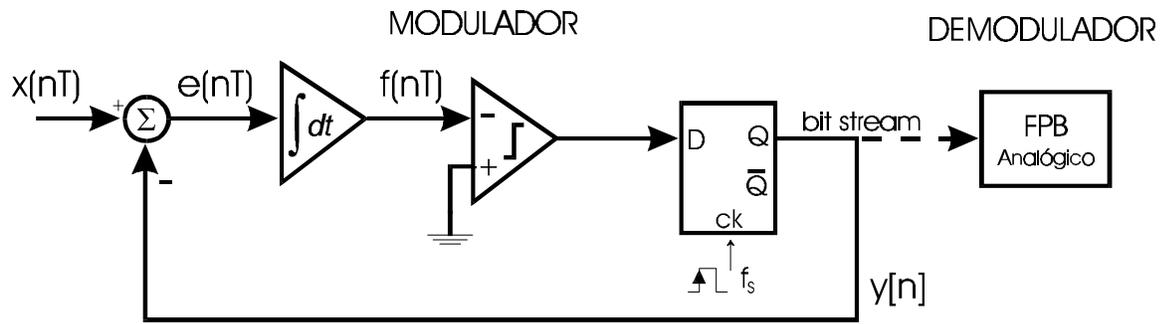


Figura 1.24 - Modulação $\Sigma\Delta$.

Uma vez que a frequência de amostragem é muito alta, como nos quantizadores puramente diferenciais, pode-se considerar o valor do sinal de entrada $x(t)$ praticamente constante para cada período de amostragem T . Para simplificar a notação e os cálculos subseqüentes assume-se que entre o sinal de entrada e o modulador exista um circuito *sample and hold*. Da mesma forma que na modulação delta, a saída $y[n]$ vai tentar sempre acompanhar $x(nT)$. Há entretanto três diferenças fundamentais: agora é aplicado na entrada do quantizador a integral $f(nT)$ do sinal de erro $e(nT)$, o degrau de quantização $\Delta = 2\delta$ é igual a faixa de entrada A_m do modulador e, a saída modulada é realimentada diretamente para o ponto de subtração. As equações abaixo descrevem o comportamento do sistema:

$$e(nT) = x(nT) - y[n] \quad (1.34)$$

$$f(nT) = \int_0^t e(nT) d\tau \quad (1.35)$$

$$y[n] = \frac{\Delta}{2} \cdot \text{Sign}(f([n-1]T)) \quad (1.36)$$

O sistema funciona da seguinte maneira: toda vez que a integral do erro $f(nT)$ é ligeiramente maior que a referência de comparação, o nível de saída do quantizador passa para $+\Delta/2$ V e $e(nT)$ se torna negativo. Quando $f(nT)$ se torna ligeiramente negativo, a saída do quantizador cai para $-\Delta/2$ V e $e(nT)$ se torna novamente positivo. Através da realimentação negativa, a integral da diferença dos sinais é mantida oscilando em torno da referência de comparação [1],[11]-[12].

Como complementação à descrição matemática da modulação sigma-delta são apresentadas e analisadas as formas de onda internas ao modulador implementado com integrador chaveado (DT). Estes gráficos foram obtidos a partir da simulação no ambiente MatLab do modelo apresentado na figura 1.25.

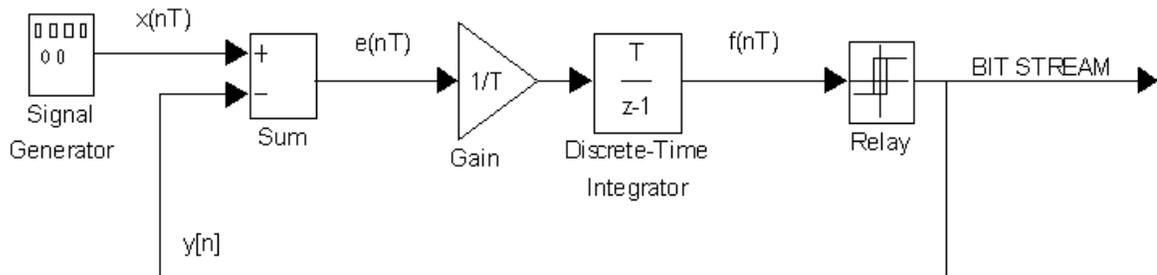


Figura 1.25 - Modelo para Simulação do Modulador Sigma-Delta DT.

Para entrada DC $x = 0$ V, $\Delta = 2$ V, e período de amostragem $T = 0,25\mu\text{s}$ foram obtidas as formas de onda de $y[n]$ e $x(nT)$ (figura 1.26).

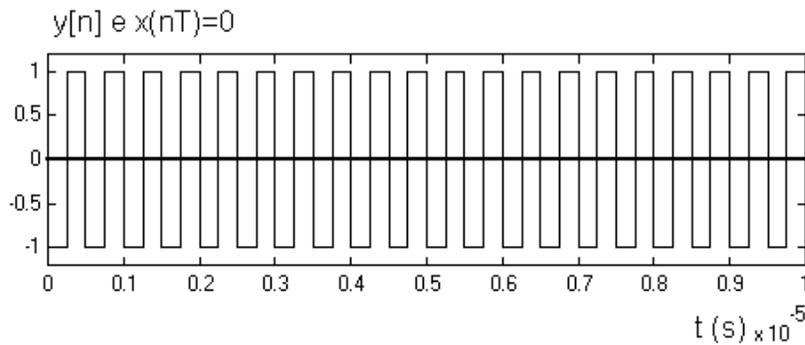


Figura 1.26 - Saída Modulada $y[n]$ e a Entrada $x = 0$ V (curva em negrito).

Na figura 1.26 percebe-se que a saída do modulador exibe um ciclo limite cuja média é o valor da tensão de entrada. Para entrada DC $x = 0,7$ V, $\Delta = 2$ V, e período de amostragem $T = 0,25\mu\text{s}$ foram obtidas as formas de onda de $y[n]$ e $x(nT)$ (figura 1.27), $e(nT)$ (figura 1.28) e $f(nT)$ (figura 1.29).

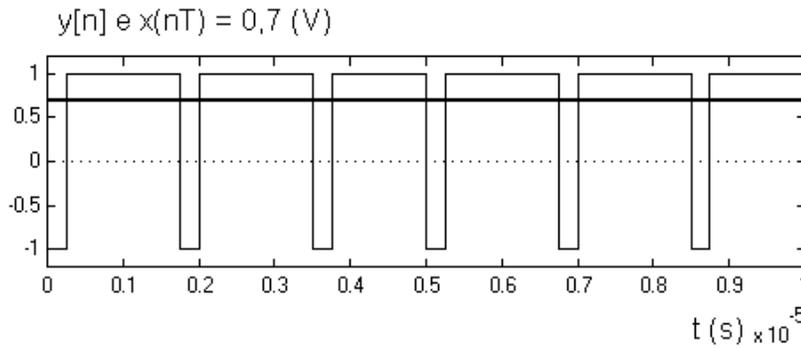


Figura 1.27 - Saída Modulada $y[n]$ e a Entrada $x = 0,7$ V (curva em negrito).

Mudando-se o nível DC na entrada, ocorre a mudança na densidade de pulsos no sinal modulado $y[n]$ de forma que a média deste continue sendo igual a entrada.

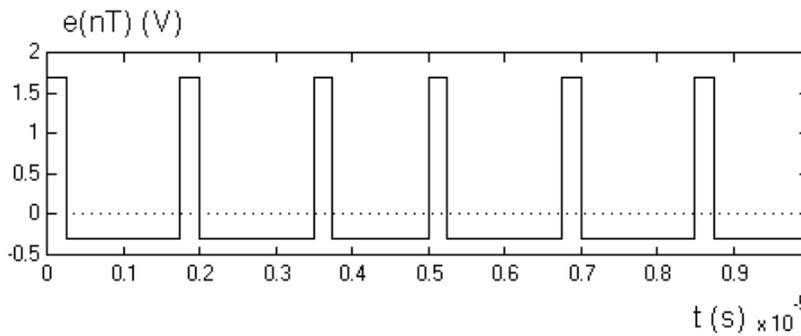


Figura 1.28 - Sinal de Erro $e(nT)$ no Modulador $\Sigma\Delta$ para $x = 0,7$ V.

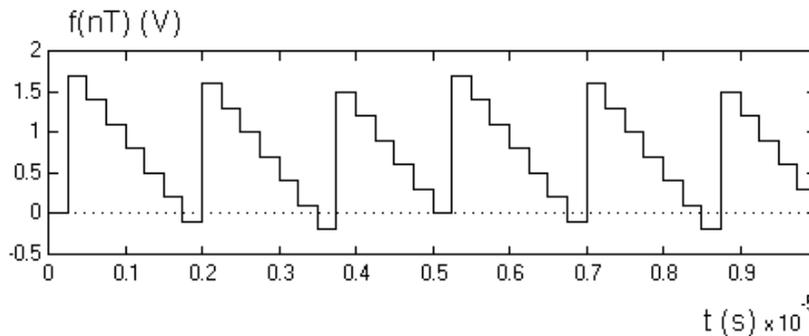


Figura 1.29 - Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = 0,7$ V.

Nas figuras 1.28 e 1.29 tem-se o sinal de erro e sua integral. Ambos cruzam o 0V com a mesma freqüência que a saída modulada $y[n]$. A partir da análise destes gráficos fica claro o efeito da realimentação negativa no sistema. A saída modulada fica sempre “perseguido” a entrada $x(nT)$ de forma a minimizar o erro.

Variando-se o nível DC da entrada e mantendo os demais parâmetros constantes foram obtidos os gráficos de $x(nT)$ e $y[n]$ (figura 1.30) e $f(nT)$ (figura 1.31) para $x = -0,7V$.

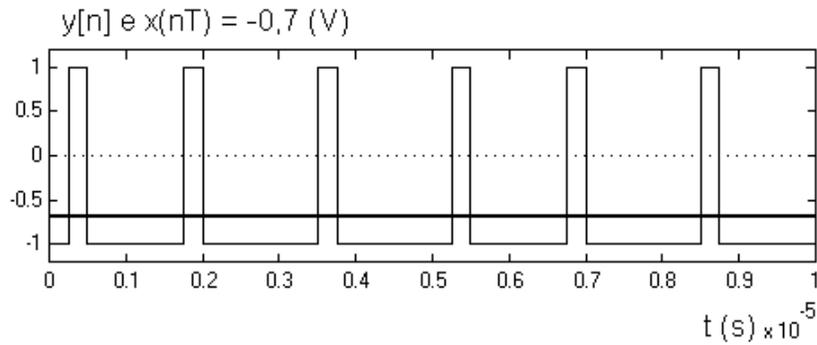


Figura 1.30 - Saída Modulada $y[n]$ e a Entrada $x = -0,7$ V (curva em negrito) para $f_s = 4$ MHz.

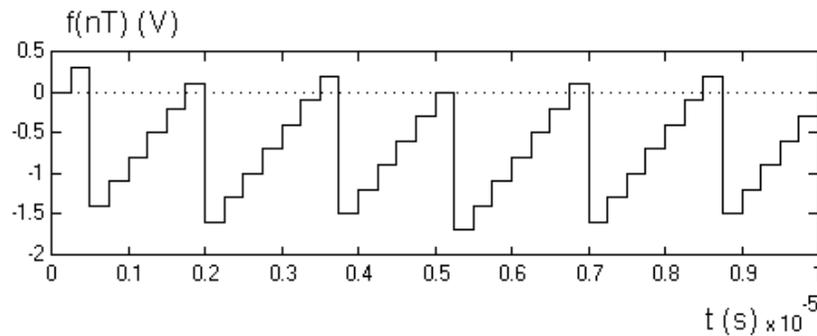


Figura 1.31 - Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = -0,7V$
 $f_s = 4$ MHz.

Conforme o esperado, a saída do modulador para $x = -0,7$ V é complementar ao resultado obtido para $x = +0,7$ V. Dobrando-se agora a frequência de amostragem e mantendo os demais parâmetros constantes, obtemos as curvas de $x(nT)$ e $y[n]$ (figura 1.32) e $f(nT)$ (figura 1.33).

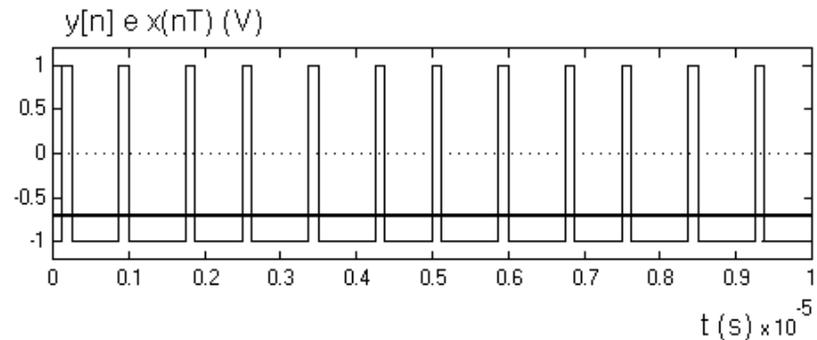


Figura 1.32 - Saída Modulada $y[n]$ e a Entrada $x = -0,7$ V (curva em negrito) para $f_s = 8$ MHz.

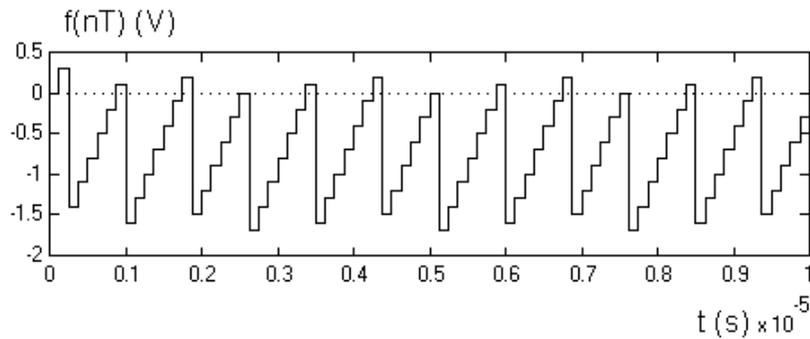


Figura 1.33 - Integral do Sinal de Erro $f(nT)$ no Modulador $\Sigma\Delta$ para $x = -0,7V$
 $f_s = 8 \text{ MHz}$.

Nota-se que à duplicação da freqüência de amostragem corresponde a perfeita duplicação da freqüência do ciclo limite da saída modulada, mas a sua média continua sendo igual ao nível de entrada. Isto significa que a realimentação pode corrigir a diferença entre a entrada e a saída mais rapidamente.

A aplicação de uma rampa na entrada do modulador (figura 1.34) é um exemplo bastante ilustrativo: percebe-se com muita clareza que a amplitude de entrada é codificada na densidade de pulsos da saída. Ao aumento progressivo da tensão de entrada corresponde linearmente o aumento na densidade de pulsos na saída $y[n]$.

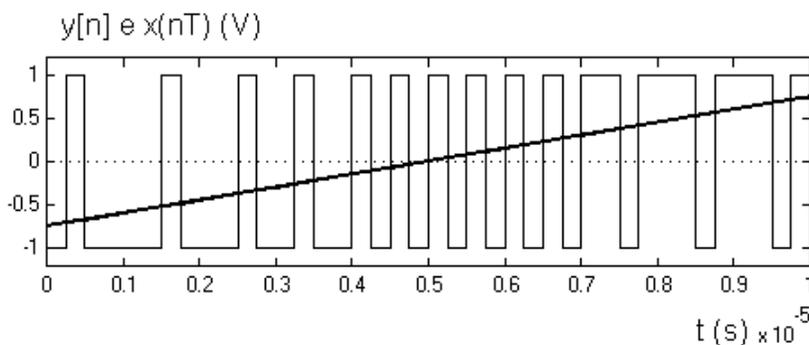


Figura 1.34 - Rampa na entrada do modulador $\Sigma\Delta$ (curva em negro)
e a saída modulada $y[n]$, $f_s = 4\text{MHz}$.

Outro exemplo bastante interessante para demonstrar a versatilidade da modulação sigma-delta é a codificação de sinais AC. Com uma senóide $x(t)=0,5.\text{sen}(10^6\text{rad/s.t})$ num

sistema com $\Delta = 2V$ e período de amostragem $T = 0,25\mu s$ foram obtidas as formas de onda de $x(nT)$ e $y[n]$ (figura 1.35).

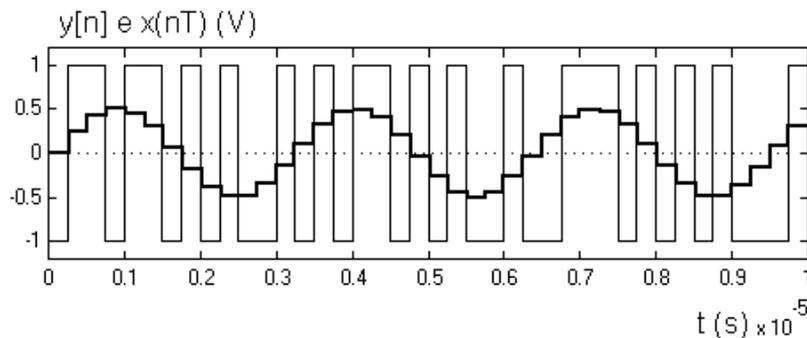


Figura 1.35 - Senóide de 8kHz de Entrada (curva em negrito) e a Saída Modulada $y[n]$.

Até agora manteve-se a amplitude do sinal de entrada dentro dos limites do degrau de quantização Δ . Na figura 1.36 ilustra-se a situação pouco usual do sinal de entrada maior que o degrau de quantização: $x(t)=2.\text{sen}(10^6\text{rad/s.t})$, $\Delta = 2V$, e período de amostragem $T = 0,25\mu s$. A saída passa a conter longas seqüências de 1's e 0's e a *performance* do sistema fica bastante deteriorada [1]. Este tipo de situação deve ser evitado a todo custo.

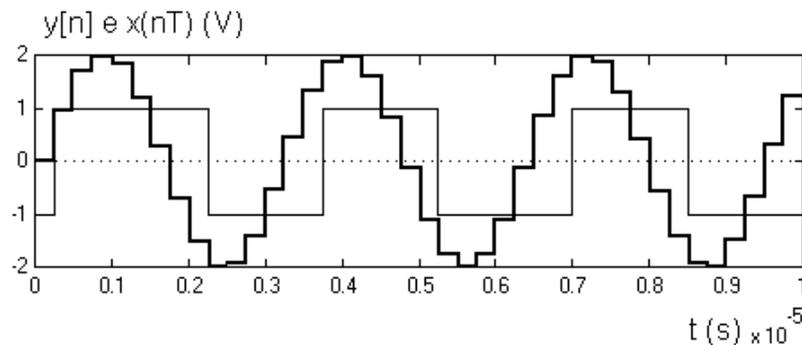


Figura 1.36 - Senóide de Grande Amplitude $x(nT)$ na Entrada do Modulador $\Sigma\Delta$ (curva em negrito) e a Saída Modulada $y[n]$.

O modulador $\Sigma\Delta$ pode ser implementado com integrador contínuo no tempo (CT) ou com integrador chaveado (DT), cuja análise matemática é bem mais simples que a versão CT. Neste trabalho são considerados apenas moduladores DT. Se a entrada do quantizador nunca for maior que o degrau de quantização e for suficientemente aleatória, $q[n]$ e $x(nT)$ são incorrelatos. Podemos então modelar o quantizador como uma fonte aditiva de ruído branco filtrado [1],[11]-[12]. Caso contrário, a seqüência de saída $y[n]$ é periódica (figuras 1.26, 1.27,

1.30, 1.32 e 1.35) e o erro de quantização apresenta um espectro tonal [1],[21]. O equacionamento do modelo linearizado permite o estudo de diversas propriedades da modulação $\Sigma\Delta$ (figura 1.37).

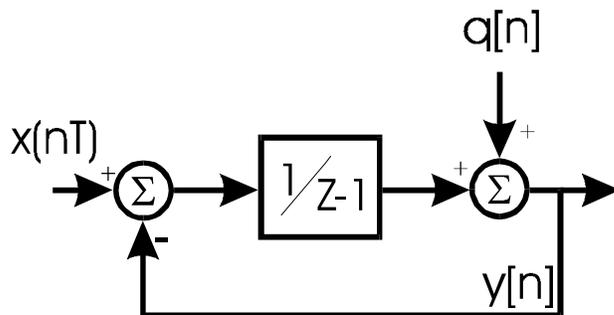


Figura 1.37 - Modelo Linearizado do Modulador DT de 1ª Ordem.
 $q[n]$ e $x(nT)$ são Incorrelatos.

$$Y(z) = Q(z) + \frac{1}{z-1}(X(z) - Y(z)) \quad (1.37)$$

$$Y(z) = \frac{z-1}{z}Q(z) + \frac{X(z)}{z} \quad (1.38)$$

$$H_{X\Sigma\Delta}(z) = z^{-1} \quad H_{Q\Sigma\Delta}(z) = 1 - z^{-1} \quad (1.39)$$

De todos os tipos de conversão A/D estudados até agora, a modulação sigma-delta é a única que apresenta uma função de transferência para o ruído de quantização (NTF) $H_{Q\Sigma\Delta}(z)$ diferente da função de transferência para o sinal de entrada (STF) $H_{X\Sigma\Delta}(z)$. Na figuras 1.38 e 1.39, respectivamente, são mostrados os gráficos de amplitude (dB) destas funções de transferência.

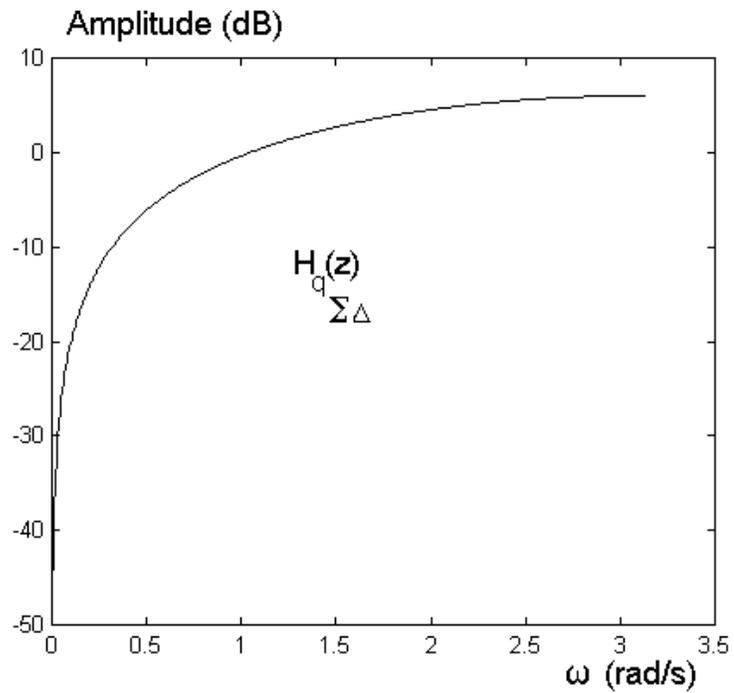


Figura 1.38 - Função de Transferência do Ruído de Quantização (NTF) na Modulação $\Sigma\Delta$.

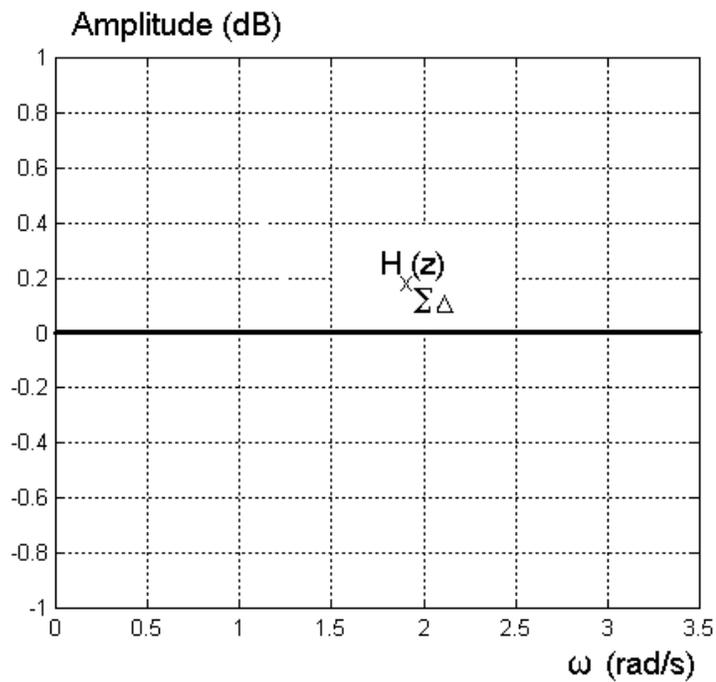


Figura 1.39 - Função de Transferência do Sinal de Entrada (STF) na Modulação $\Sigma\Delta$.

O *bit stream* de saída $y[n]$ vai conter sempre toda a informação do sinal de entrada sem distorcer em amplitude nenhuma de suas componentes espectrais, uma vez que $H_{\Sigma\Delta}(z)$ tem módulo unitário. Já o ruído de quantização tem sua densidade espectral de potência $S_Q(\omega)$ fortemente atenuada próximo à frequência zero em decorrência da característica passa-altas de $H_{\Sigma\Delta}(z)$. Na figura 1.40 este efeito, denominado *noise shaping*, é melhor visualizado.

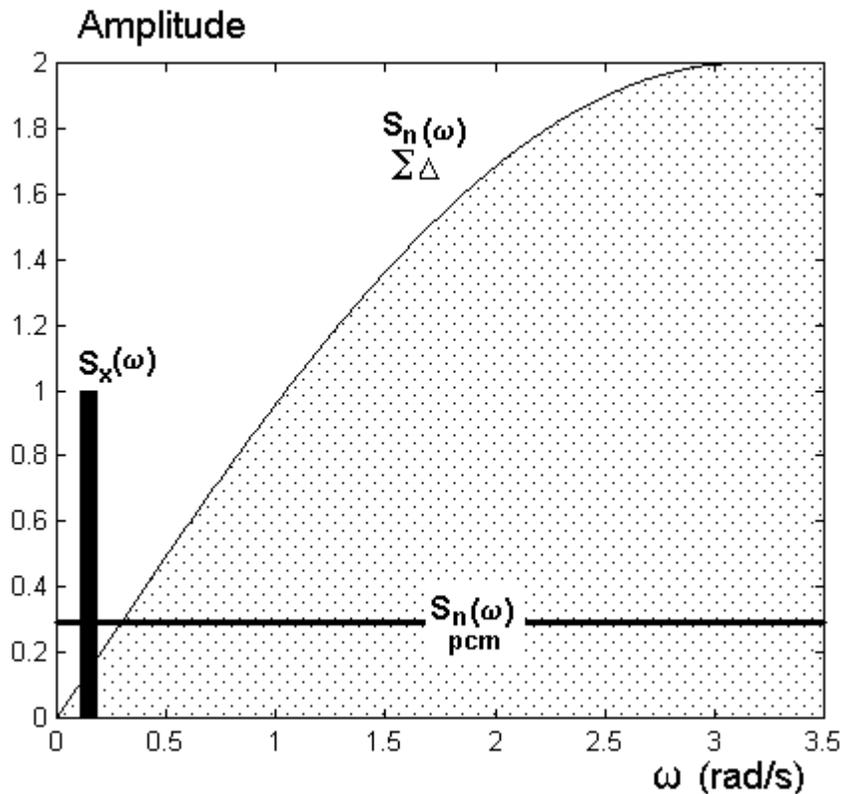


Figura 1.40 - Comparação entre as Densidades Espectrais de Potência do Sinal de Entrada $S_x(\omega)$, do Ruído de Quantização na Conversão PCM e do Ruído na saída do Modulador Sigma-Delta.

Fica claro como o modulador sigma-delta retira potência do ruído de quantização das frequências mais baixas, onde se concentra toda a potência do sinal de entrada (o modulador trabalha superamostrado), e a transfere para o final da banda. É esta característica que faz o modulador sigma-delta, também chamado *noise shaper*, atingir altas resoluções. Se considerarmos apenas o espectro de frequência em torno da banda do sinal de entrada, a relação sinal/ruído de quantização obtida na saída do modulador será maior que a relação sinal/ruído dos quantizadores PCM. Como o *bit stream* é demodulado apenas com um filtro

passa-baixas analógico, se este apresentar sua freqüência de corte logo após o término da banda do sinal, a maior parte da potência de ruído será descartada.

$$SNR_{\Sigma\Delta} = \frac{P_x}{P_N} \quad (1.40)$$

A densidade espectral do ruído na saída do modulador é dada por:

$$S_N(e^{j\omega T}) = \left| H_{q\Sigma\Delta}(e^{j\omega T}) \right|^2 \cdot S_Q(e^{j\omega T}) \quad (1.41)$$

onde $S_Q(e^{j\omega T})$ é a densidade espectral de potência do ruído de quantização introduzido no comparador.

$$H_{q\Sigma\Delta}(e^{j\omega T}) = 1 - e^{-j\omega T} \quad (1.42)$$

$$\left| H_{q\Sigma\Delta}(e^{j\omega T}) \right|^2 = \left| 1 - \text{Cos}(\omega T) - j \text{Sen}(\omega T) \right|^2 \quad (1.43)$$

$$\left| H_{q\Sigma\Delta}(e^{j\omega T}) \right|^2 = 4 \cdot \text{Sen}^2(\pi f T) \quad (1.44)$$

A potência média de um sinal é a integral em todo o eixo das freqüências da densidade espectral de potência. Se considerarmos apenas a potência média delimitada por uma banda de $-f_c$ até $+f_c$, $f_c < f_s/2$, que contém toda a potência do sinal $x(t)$, temos:

$$P_n = \sigma_n^2 = \int_{-f_c}^{f_c} \left| H_{q\Sigma\Delta}(f) \right|^2 \cdot S_Q(f) df \quad (1.45)$$

$$P_n = \int_{-f_c}^{f_c} \left[4 \cdot \text{Sen}^2\left(\frac{\pi f}{f_s}\right) \right] \cdot \left(\frac{\sigma_q^2}{f_s} \right) df \quad (1.46)$$

$$P_n = \frac{2\sigma_q^2}{\pi} \cdot \left[\frac{2\pi f_c}{f_s} - \text{Sen}\left(\frac{2\pi f_c}{f_s}\right) \right] \quad (1.47)$$

A função seno tem como expansão em série de Taylor o seguinte polinômio [10]:

$$\text{Sen}(x) = x - \frac{x^3}{3!} + \frac{x^5}{5!} - \frac{x^7}{7!} + \dots \quad (1.48)$$

Como f_s é sempre bem maior que f_c podemos aproximar o seno pelos primeiros dois termos da série. Para $f_c = f_N/2$ obtém-se:

$$P_n \cong \frac{2\sigma_Q^2}{\pi} \cdot \left[\left(\frac{\pi f_N}{f_s} \right) - \left(\frac{\pi f_N}{f_s} \right)^3 + \frac{\left(\frac{\pi f_N}{f_s} \right)^5}{3!} \right] \quad (1.49)$$

$$P_n \cong \frac{1}{3} \cdot \sigma_Q^2 \cdot \pi^2 \cdot \frac{1}{OSR^3} \quad (1.50)$$

A $SNR_{\Sigma\Delta} = P_x/P_n$ pode ser então determinada ($OSR=2^r$):

$$SNR_{\Sigma\Delta} (dB) = 10 \text{Log}_{10}(P_x) - 10 \text{Log}_{10}(\sigma_q^2) - 5,17 + 9,03 \cdot r \quad (1.51)$$

Cada vez que dobramos a taxa de amostragem há um ganho de 1,5 bits na resolução do sistema. Suponha que seja aplicada na entrada do modulador uma senóide $x(t) = \Delta/2 \cdot \text{Sen}(\omega t)$, onde a freqüência do sinal é bem menor que a freqüência de amostragem. Substituindo-se (1.12) e (1.13) em (1.51) obtém-se:

$$SNR_{\Sigma\Delta} (dB) = 9,03 \cdot r - 3,4 \quad (1.52)$$

Voltemos ao exemplo do conversor A/D para processamento de áudio com qualidade de CD (IEC 908). Suponha que seja necessária a transmissão de áudio codificado com resolução de 16 bits numa banda de 22,05 kHz. Este dispositivo é inviável na tecnologia de conversores PCM convencionais. A tabela 1.3 mostrou várias tentativas frustradas de implementação usando conversores PCM operados com superamostragem. Para o modulador sigma-delta descrito na figura 1.37 temos:

$$16bits = 98dB$$

$$98 = 9,03r - 3,4 \quad \therefore \quad r = 11,22$$

$$OSR = \frac{f_s}{f_N} = 2^{12}$$

$$f_s = 4096 \cdot 44,1 \text{ kHz} = 180,63 \text{ MHz}$$

A frequência de amostragem ainda é muito alta. É necessária a utilização de uma outra arquitetura de modulador sigma-delta para a realização do conversor A/D de 16 bits para áudio CD [30]. Mas para utilização com resoluções um pouco mais baixas numa banda menor, o modulador de 1ª ordem é suficiente. Por exemplo, para utilização no sistema telefônico [22],[25]-[28]:

$$13bits = 80dB$$

$$80 = 9,03r - 3,4 \quad \therefore \quad r = 9,23$$

$$OSR = \frac{f_s}{f_N} = 2^{10}$$

$$f_s = 1024 \cdot 8 \text{ kHz} = 8,19 \text{ MHz}$$

A associação do modulador sigma-delta com circuitos digitais que processam o *bit stream*, deu origem a toda uma nova família de sistemas de conversão analógico-digital [1],[11]-[13]. Apesar da modulação $\Sigma\Delta$ ter sido proposta no começo dos anos 60, transcorreram-se quase duas décadas entre a proposição da nova topologia e a introdução em grande escala no mercado de conversores A/D que empregassem este princípio.[20]-[29]. De fato, para que o modulador $\Sigma\Delta$ fosse utilizado na implementação de conversores A/D, era necessária a existência de uma tecnologia microeletrônica rápida o suficiente para que o processamento digital do *bit stream* fosse realizado em tempo real. Tecnologias que atendessem estes requisitos começaram a aparecer apenas a partir da década de 80 com a consagração do processo CMOS como a melhor opção para a era VLSI.

Os Conversores A/D Sigma-Delta (figura 1.41) são tradicionalmente adequados a aplicações que exigem alta resolução (>12 bits) para sinais de baixa frequência (<200 kHz). Conversores PCM de alta resolução só podem ser realizados em processos especiais que permitam alta qualidade dos componentes passivos e ajustes de casamento por laser (*laser trimming*) [13]-[16]. Já os conversores sigma-delta, por não dependerem tanto do casamento de componentes, podem ser fabricados em processos CMOS convencionais otimizados para

projetos digitais. Devido a estas características eles se tornam também extremamente adequados para comporem sistemas completamente integrados (*System on a Chip*) onde microprocessadores, periféricos, lógica dedicada, interface A/D D/A e até mesmo filtros e *buffers* precisam ser fabricados num único C.I. .

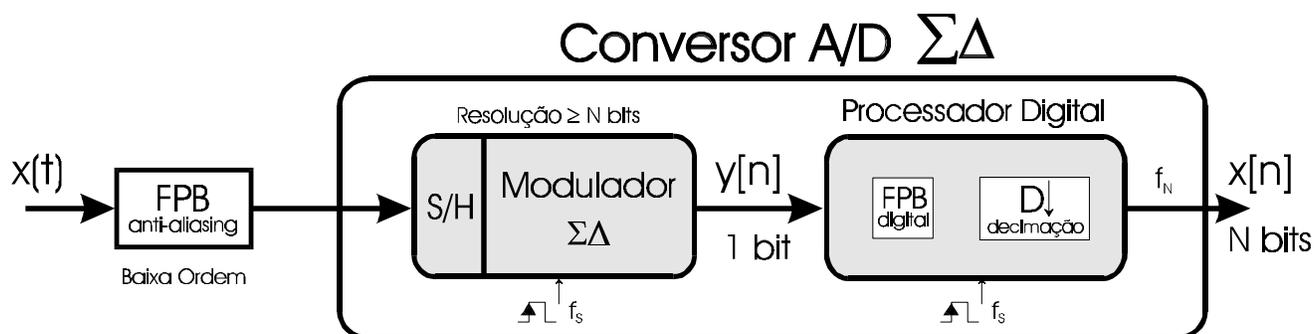


Figura 1.41 - Diagrama de Blocos Funcionais de um Conversor A/D $\Sigma\Delta$.

Entre o conversor e a fonte do sinal de entrada deve ser colocado o filtro passa-baixas anti-aliasing de baixa complexidade, como o utilizado com todos os outros conversores que operam superamostrados. A seguir, já dentro do conversor propriamente dito, o sinal de banda limitada pode ou não sofrer uma discretização no tempo. Nos moduladores DT, a operação S/H é realizada intrinsecamente no primeiro integrador do sistema. Como a banda do sinal é muito pequena em relação a frequência de amostragem, a entrada pode ser considerado constante nos moduladores CT (dentro de cada ciclo de conversão). O modulador deve apresentar uma resolução maior ou igual a resolução de N bits especificada para o conversor A/D como um todo. A última etapa da conversão é o processamento digital do *bit stream*. Este processamento é responsável pela filtragem da potência do ruído após a banda do sinal, pela redução da taxa de amostragem, e pelo aumento da largura das amostras. No final de cada ciclo de Nyquist deve estar disponível na saída do dispositivo uma amostra codificada com no máximo N bits [1],[11]-[13].

CAPÍTULO 2

ANÁLISE SISTÊMICA

2.1 Modulação Sigma-Delta de 2ª Ordem

A simples extensão do conceito estudado no capítulo anterior (Seção 1.5) leva ao desenvolvimento do modulador $\Sigma\Delta$ de 2ª ordem [30]. A partir da simulação do diagrama de blocos da figura 2.1, o comportamento temporal do sistema pode ser avaliado.

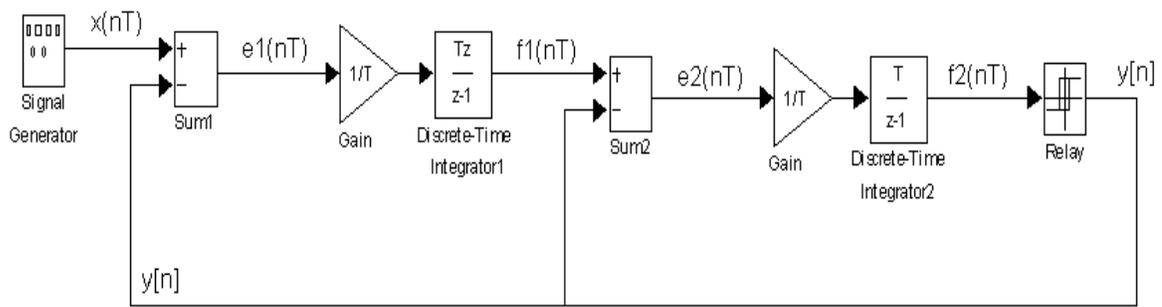


Figura 2.1 - Modulador Sigma-Delta DT de 2ª Ordem.

Para uma entrada constante $x(t) = 0,7 \text{ V}$ e um período de amostragem $T = 0,25 \mu\text{s}$, foram obtidas as formas de onda da saída $y[n]$ e da entrada $x(nT)$ (fig. 2.2), dos sinais de erro $e_1(nT)$ (fig. 2.3) e $e_2(nT)$ (fig. 2.5) e da saída dos integradores $f_1(nT)$ (fig. 2.4) e $f_2(nT)$ (fig. 2.6).

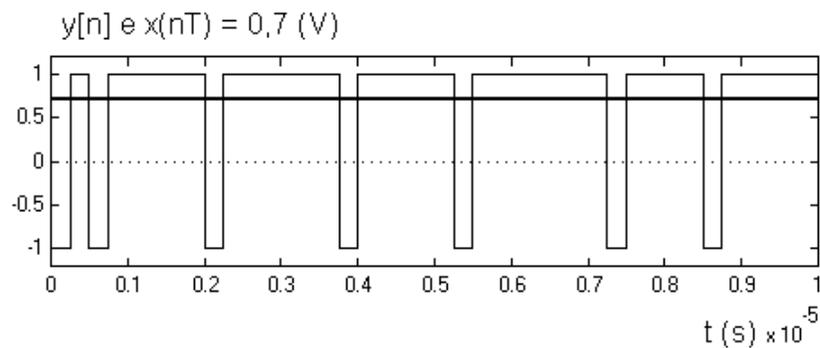


Figura 2.2 - Entrada $x = 0,7\text{V}$ (curva em negrito) e a Saída Modulada $y[n]$.

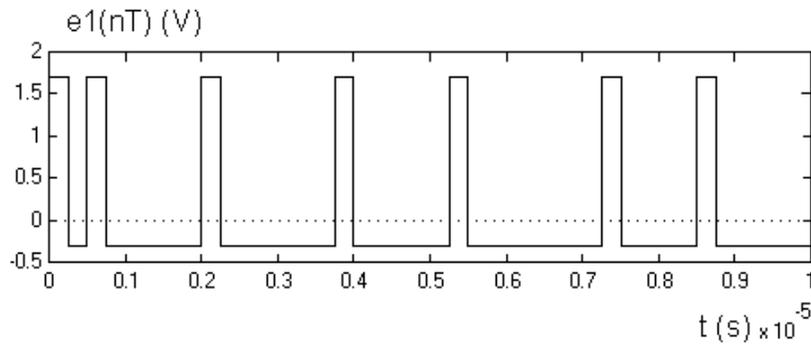


Figura 2.3 - Sinal de Erro $e_1(nT)$ na Entrada do 1º Integrador.

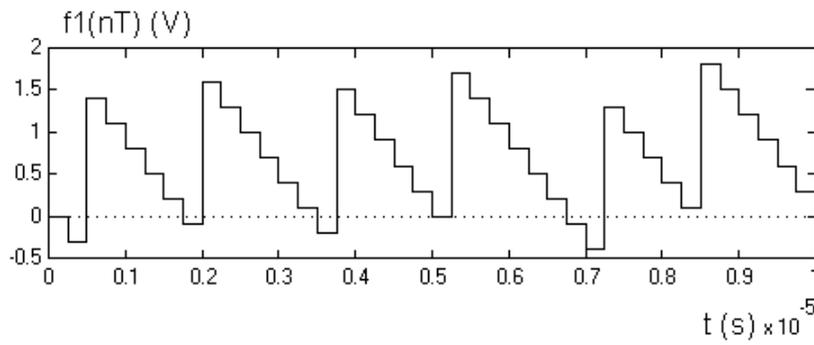


Figura 2.4 - Saída $f_1(nT)$ do 1º Integrador.

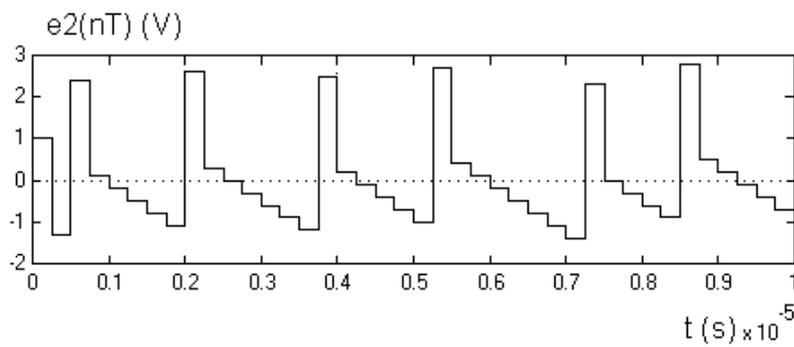


Figura 2.5 - Sinal de Erro $e_2(nT)$ na Entrada do 2º Integrador.

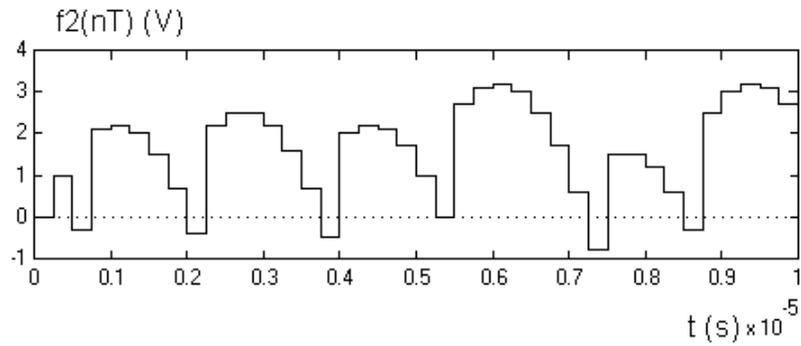


Figura 2.6 - Saída $f_2(nT)$ do 2º Integrador.

A análise qualitativa das figuras 2.2 a 2.6 mostra que $e_2(nT)$ pode ser entendido como uma versão mais precisa do sinal de erro $e_1(nT)$. A saída $y[n]$ é obtida a partir da quantização da integral desta versão mais refinada do sinal de erro. Portanto, a saída do modulador de 2ª ordem tende a ser mais precisa que a saída do modulador de 1ª ordem [11]-[12].

O estudo do comportamento temporal do modulador não permite avaliar com clareza o desempenho do sistema. Através do equacionamento do modelo linearizado (figura 2.7) determina-se a SNR na banda do sinal.

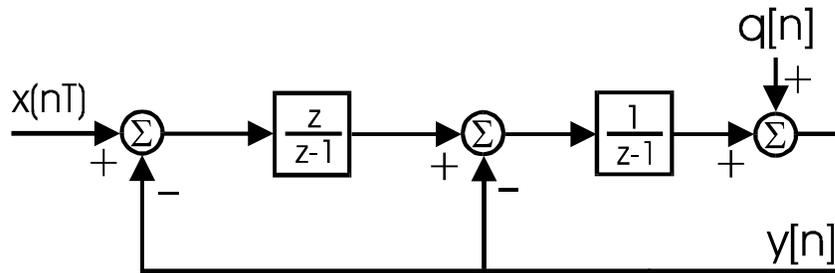


Figura 2.7 - Modelo Linearizado do Modulador DT de 2ª Ordem.

$$Y(z) = Q(z) + \frac{1}{z-1} \left(\frac{z}{z-1} (X(z) - Y(z)) - Y(z) \right) \quad (2.1)$$

$$Y(z) = \frac{(z-1)^2}{z^2} Q(z) + \frac{X(z)}{z} \quad (2.2)$$

$$H_{X2}(z) = z^{-1} \quad H_{Q2}(z) = (1 - z^{-1})^2 \quad (2.3)$$

A NTF do modulador de 2ª ordem $H_{Q2}(z)$ apresenta dois zeros em $\omega = 0$, o que proporciona uma maior atenuação do ruído de quantização nas baixas frequências. Na figura 2.8 é apresentada uma comparação entre os espectros de amplitude das NTF's dos moduladores de 1ª e 2ª ordens. Verifica-se claramente que o aumento da ordem do modulador propicia a obtenção de resoluções mais elevadas.

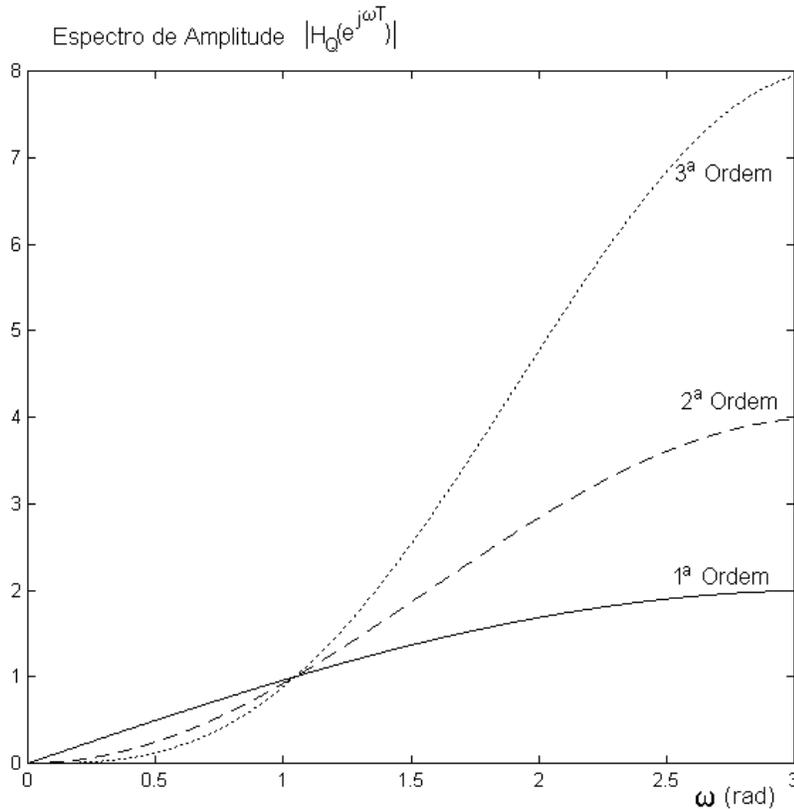


Figura 2.8 - Espectro de Amplitude da Função de Transferência do Ruído de Quantização (NTF) dos Moduladores $\Sigma\Delta$ de 1ª, 2ª, e 3ª Ordens.

Para o modulador de 2ª ordem, a densidade espectral de potência do ruído no *bit stream* de saída é dado por:

$$S_{N_2}(f) = |H_{Q2}(e^{j2\pi fT})|^2 \cdot S_Q(f) \quad (2.4)$$

$$|H_{Q2}(e^{j2\pi fT})|^2 = \left[4 \cdot \text{Sen}^2\left(\frac{\pi f}{f_s}\right) \right]^2 \quad (2.5)$$

A partir da potência média do ruído na banda do sinal P_{N2} , a SNR pode ser determinada:

$$P_{N2} = \int_{-f_N/2}^{f_N/2} \left[4 \cdot \text{Sen}^2 \left(\frac{\pi f}{f_S} \right) \right]^2 \cdot \left(\frac{\sigma_q^2}{f_S} \right) df \quad (2.6)$$

$$P_{N2} = \frac{\sigma_Q^2}{\pi} \left[\frac{6\pi}{OSR} - 8 \cdot \text{Sen} \left(\frac{\pi}{OSR} \right) + \text{Sen} \left(\frac{2\pi}{OSR} \right) \right] \quad (2.7)$$

Substituindo-se a expressão truncada da série de Taylor da função $\text{Sen}(x)$ [10] em (2.7) obtém-se:

$$P_{N2} \cong \sigma_Q^2 \cdot \frac{\pi^4}{5} \cdot \frac{1}{OSR^5} \quad (2.8)$$

Para $P_x = \Delta^2/8$ e $OSR = 2^r$ temos:

$$SNR_2 = 15,05r - 11,13 \quad (2.9)$$

Para moduladores de 2ª ordem [31],[34],[38]-[39],[41]-[42], a cada vez que dobramos a taxa de amostragem há um ganho de 2,5 bits na resolução do sistema [11]-[12],[30]. Voltemos ao exemplo do conversor A/D para processamento de áudio com resolução de 16 bits numa banda de 22,05 kHz [48]:

$$16 \text{ bits} = 98 \text{ dB}$$

$$98 = 15,05r - 11,13 \quad \therefore \quad r = 7,25$$

$$OSR = \frac{f_S}{f_N} = 2^8$$

$$f_S = 256 \cdot 44,1 \text{ kHz} = 11,29 \text{ MHz}$$

A velocidade de operação necessária para atingir as especificações de áudio digital (IEC 908) com o modulador de 2ª ordem são bastante compatíveis com a tecnologia CMOS desde meados da década de 80 [4],[6]-[8].

2.2 Estabilidade e Ciclos Limite

Quanto maior a ordem do modulador $\Sigma\Delta$, menor é a frequência de amostragem necessária para que o sistema atinja uma determinada resolução. A forma mais simples para aumentar a ordem de um modulador é o posicionamento de mais um zero em $\omega = 0$ na NTF, através da colocação de mais um integrador no caminho direto entre a entrada e a saída (figura 2.9).

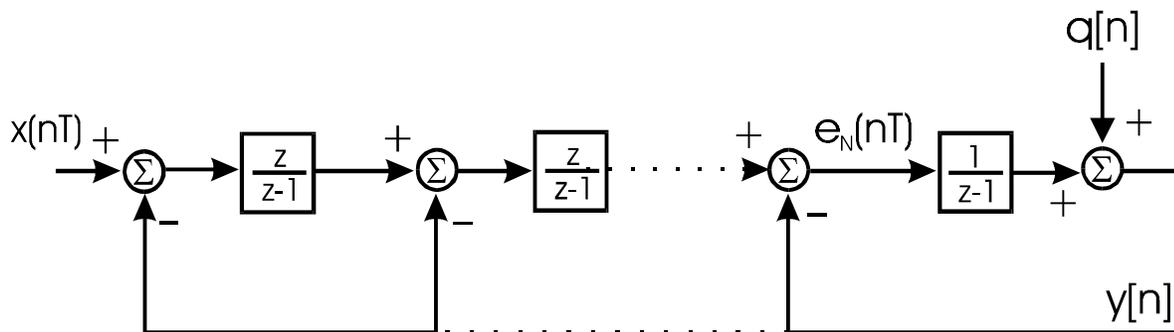


Figura 2.9 - Modelo Linearizado do Modulador DT Genérico de Ordem N.

A SNR na banda do sinal obtida na saída do modulador $\Sigma\Delta$ de ordem N da figura 2.9 é expressa por [1]:

$$SNR_N \cong \frac{3}{2} \cdot \frac{2N+1}{\pi^{2N}} \cdot OSR^{(2N+1)} \quad (2.10)$$

A figura 2.10 mostra a SNR dos moduladores de 1ª, 2ª e 3ª ordens em função da OSR.

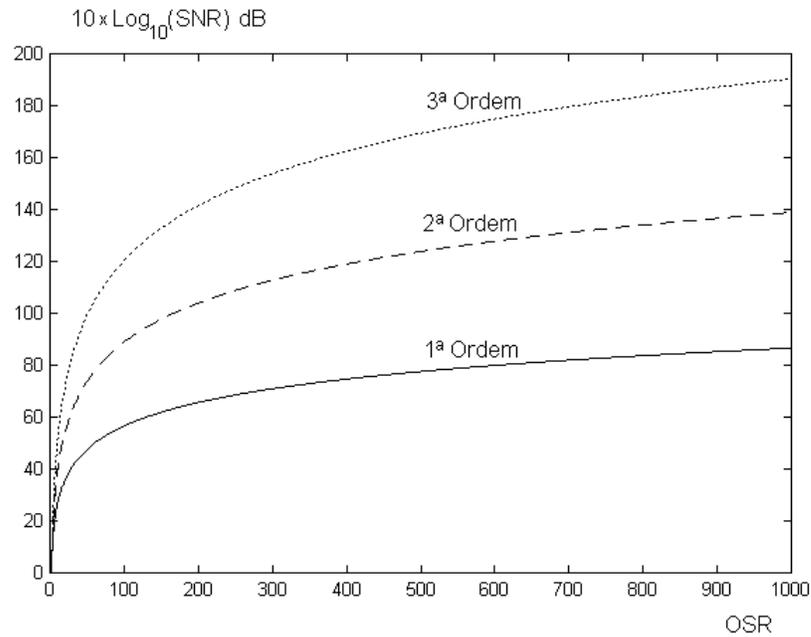


Figura 2.10 - SNR (dB) dos Moduladores $\Sigma\Delta$ de 1ª, 2ª, e 3ª Ordens que Adotam a Topologia da Fig. 2.9.

A melhoria na *performance* do sistema com o aumento da ordem do modulador é evidente. Entretanto, moduladores de ordem 3 ou superior, com quantizadores de 1 bit e que adotam a topologia mostrada na figura 2.9, são instáveis [1],[11]-[12],[30]. Para análise da estabilidade o modelo linearizado é inútil.

O modulador $\Sigma\Delta$ é um sistema não-linear com realimentação[20]-[21],[30],[36] e a análise direta da estabilidade dos moduladores de ordens superiores é uma tarefa complexa [63]-[68]. Esta questão se torna tratável se abordarmos o problema sob a ótica do espaço de estado [5]. As variáveis de estado do modulador de ordem N são as tensões de saída dos integradores $f_i(nT)$, $1 \leq i \leq N$. Como ponto de partida, vamos adotar o critério BIBS (*Bounded Input, Bounded State*) de estabilidade: num modulador estável, para uma entrada limitada em amplitude, o estado do sistema também é limitado em amplitude.

A análise da estabilidade do modulador de 1ª ordem DT (figura 1.25) é trivial [11].

$$f(nT) = x(nT - T) - (y[n-1] - f(nT - T)) \quad (2.11)$$

$$|f(nT)| = |x(nT - T) - q[n-1]| \leq |x(nT - T)| + |q[n-1]| \quad (2.12)$$

Para um quantizador com níveis de saída $\pm U$ ($U = \Delta/2$), a saída do integrador é limitada a $\pm 2U$ se a entrada do modulador é limitada a $\pm U$ e a condição inicial do integrador é também limitada a $\pm 2U$:

$$|f(nT)| \leq U + U = 2U \quad (2.13)$$

A estabilidade do modulador de 2ª ordem DT pode ser verificada através de simulações. Para entrada DC $x = 0,7V < U$, $U = 1V$, os estados do sistema $f_1(nT)$ e $f_2(nT)$ são limitados (figuras 2.4 e 2.6). A evolução temporal das variáveis de estado é mostrada também para as entradas $x = 0,95V$ e $x = 1,05V$ (figuras 2.11 a 2.14) sob as mesmas condições de simulação.

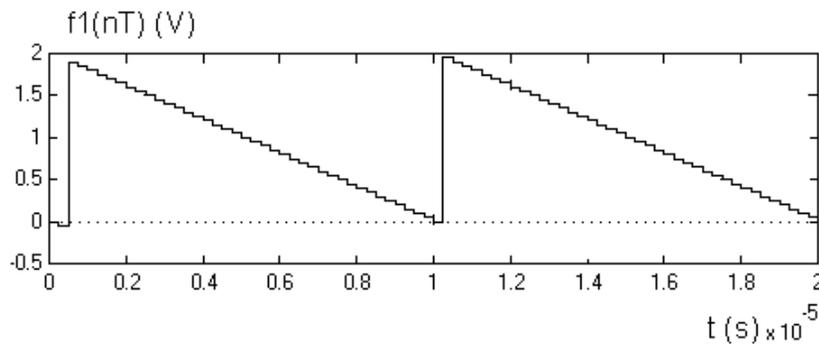


Figura 2.11 - Saída $f_1(nT)$ do 1º Integrador para $x(nT) = 0,95V$.

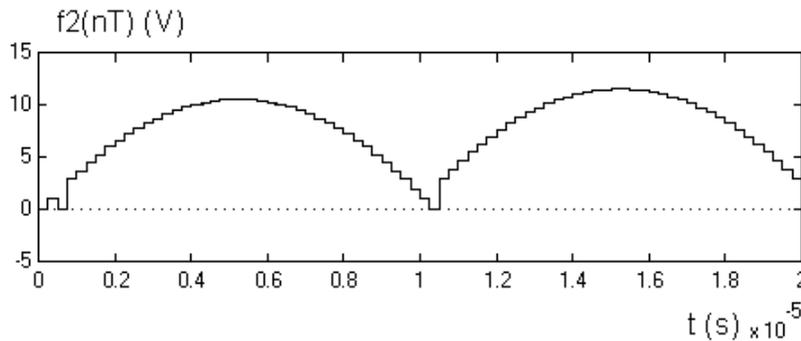


Figura 2.12 - Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 0,95V$.

Para o modulador de 2ª ordem, o estado do 1º integrador do sistema se comporta como a saída do integrador do modulador de 1ª ordem. O estado do 2º integrador também é limitado, mas a um valor bem superior a $2U$.

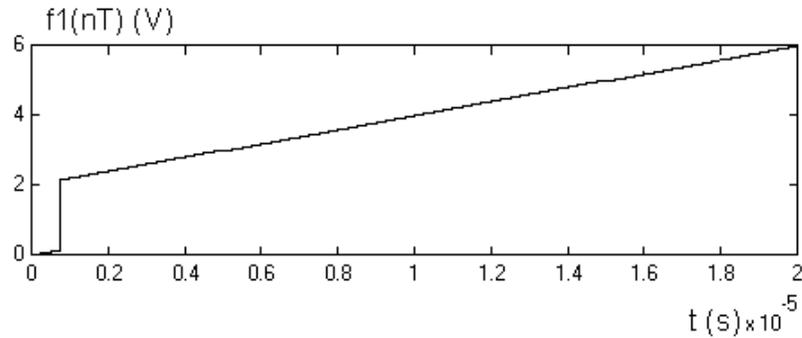


Figura 2.13 - Saída $f_1(nT)$ do 1º Integrador para $x(nT) = 1,05V$.

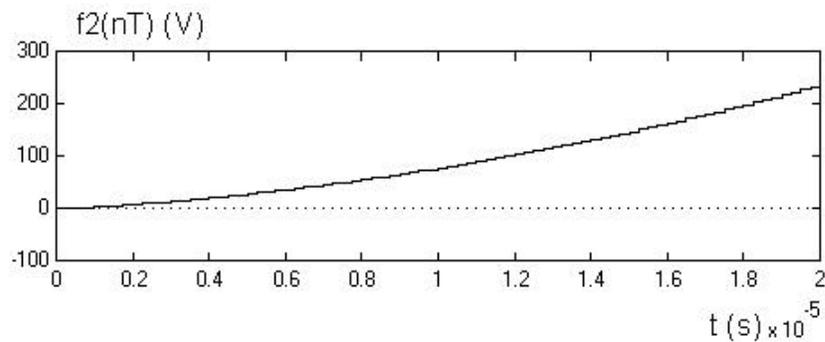


Figura 2.14 - Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 1,05V$.

Quando o módulo da entrada do sistema é maior que o limite $U = 1V$, os estados do sistema tendem a infinito (figuras 2.13 e 2.14). De acordo com o critério BIBS, o modulador de 2ª ordem da figura 2.1 é instável apenas para entradas DC fora da faixa de saída do quantizador. Entretanto, integradores reais tem sua faixa de saída limitada pelos níveis de alimentação do circuito [4],[6]-[8]. Desta forma, não faz sentido avaliar a estabilidade do sistema diretamente pelo critério BIBS: os estados do sistema são sempre limitados, qualquer que seja a amplitude da entrada do modulador [66].

Durante a operação normal, os estados do sistema permanecem abaixo da faixa de operação dos circuitos. Quando ocorre a saturação (figura 2.15), há perda de informação nas variáveis de estado, e a *performance* se degrada.

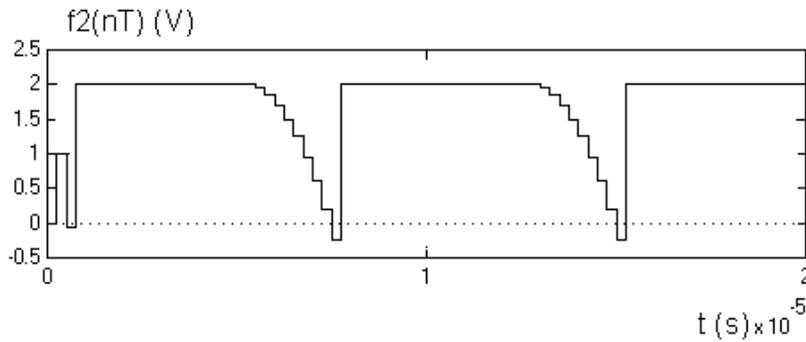


Figura 2.15 - Saída $f_2(nT)$ do 2º Integrador para $x(nT) = 0,95V$.
Integrador com Saturação em $\pm 2V$.

A estabilidade do sistema deve ser estudada através dos ciclos limites no *bit stream* de saída. A ocorrência de ciclos limites é normal para entradas determinísticas, principalmente nos moduladores de 1ª e 2ª ordens [20],[30],[74]. Quando a entrada AC ultrapassa uma determinada faixa, as variáveis de estado atingem a saturação e passam a oscilar “lentamente” entre as máximas tensões de operação: a saída é então composta por longas seqüências de 1’s e 0’s (figura 1.36). O modulador é dito instável quando, mesmo após a retirada da excitação que levou as variáveis de estado à saturação, os ciclos limites de baixas freqüências permanecem indefinidamente na saída [63]-[70].

Experimentalmente foi verificado por Candy et al que, pelo critério de extinção dos ciclos limites de saturação, os moduladores de 1ª e 2ª ordens são sempre estáveis [30]. O estudo rigoroso da persistência destes ciclos limites é feito com uso de ferramentas de dinâmica não linear, através da determinação das trajetórias no espaço de estado para diversos tipos de excitação [65]-[66]. A estabilidade dos moduladores de 2ª ordem para entradas DC, senoidal e somatório de senóides é provado em [67]-[68].

Apesar de incondicionalmente estável, o modulador de 2ª ordem das figuras 2.1 e 2.7 sofre com a diminuição da SNR para entradas próximas do limite de $\pm U$. Isto ocorre em função da saturação do 2º integrador do sistema (figura 2.15). A *performance* é melhorada com a diminuição do ganho dos integradores (figura 2.16) [38]. Além disso, a utilização de integradores com atraso unitário no caminho direto do sinal diminui os requisitos de tempo de estabilização para o correto funcionamento do modulador [38],[41].

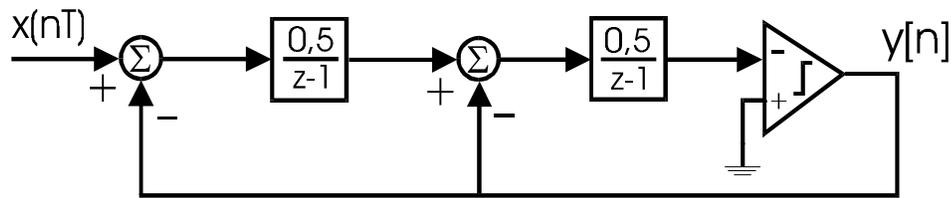


Figura 2.16 - Modulador de 2ª Ordem com Faixa de Entrada Estendida através do Reescalamento do Ganho dos Integradores.

Para os moduladores de ordens superiores a estabilidade é condicional [63]-[66]: quando o sistema opera em ciclos limites de saturação, a operação normal só é recuperada se todos os estados do sistema são forçadamente zerados. Para que o modulador tenha utilidade prática, a faixa dinâmica da entrada deve ser limitada de forma que os estados nunca saturam, ou pelo menos saturam com pouca frequência [43],[53].

Devido à complexidade do estudo rigoroso da estabilidade condicional dos moduladores de ordem elevada ($N \geq 3$) [65]-[66], diversos métodos empíricos tem sido preferidos pelos projetistas e utilizados com sucesso [53],[64]. Estes entretanto, se aplicam apenas a situações específicas, ou podem prever alguns resultados errôneos [69]. Uma estratégia alternativa para o estudo da estabilidade dos moduladores $\Sigma\Delta$ e que não é baseada na dinâmica não-linear foi proposta em [70]. Este método é baseado na técnica de *Root Locus* [5], desenvolvida originalmente para a análise de sistemas lineares realimentados. A figura 2.17 mostra um modulador genérico com o quantizador modelado como um ganho escalar variável:

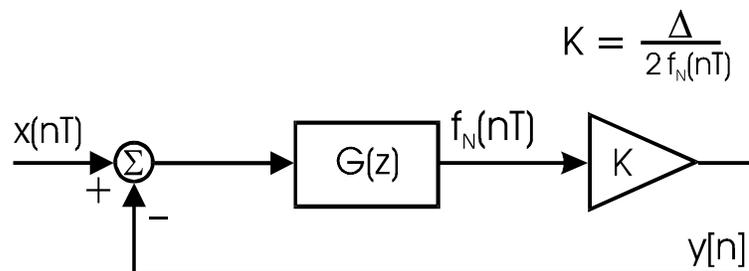


Figura 2.17 - Modelo para Avaliação da Estabilidade do Modulador.

Para avaliar a estabilidade dos moduladores, $G(z)$ é a função de transferência do caminho direto da entrada para a saída (*loop filter*), supondo-se que os integradores são lineares (não há saturação). K é o ganho equivalente do quantizador em cada ciclo de operação. No caso do quantizador de 1 bit, temos:

$$\begin{cases} K[n] \rightarrow \infty, & f_N(nT) \cong 0 \\ K[n] = 1, & f_N(nT) = \Delta/2 \\ K[n] < 1, & f_N(nT) > \Delta/2 \end{cases} \quad (2.14)$$

No método de *Root Locus* modificado [70], a extensão do lugar geométrico das raízes para fora do círculo unitário representa a ocorrência de ciclos limite na saída. Para a arquitetura descrita na figura 2.9, são mostradas nas figuras 2.18, 2.19 e 2.20, respectivamente, as curvas de estabilidade dos moduladores de 1^a, 2^a e 3^a ordens.

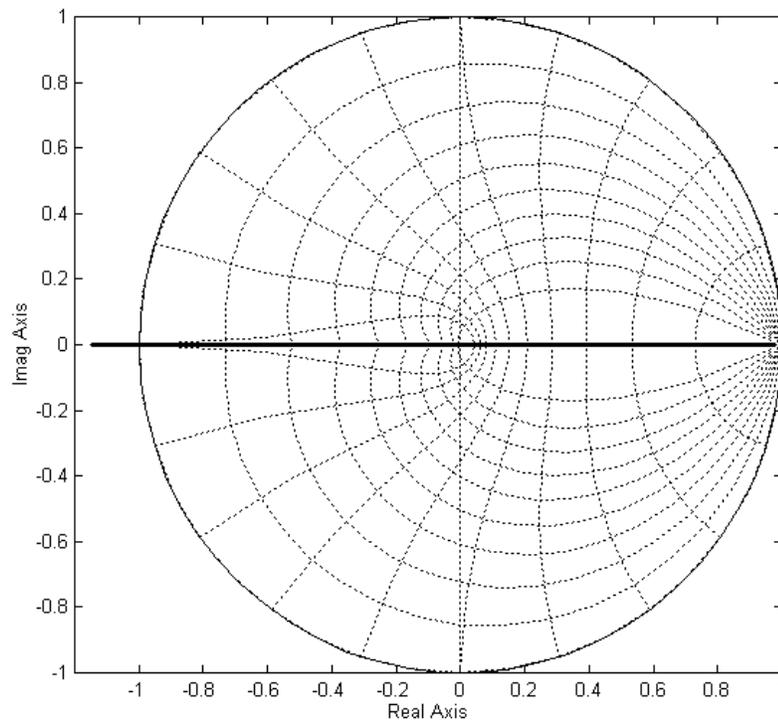


Figura 2.18 - *Root Locus* para o Modulador $\Sigma\Delta$ de 1^a Ordem.

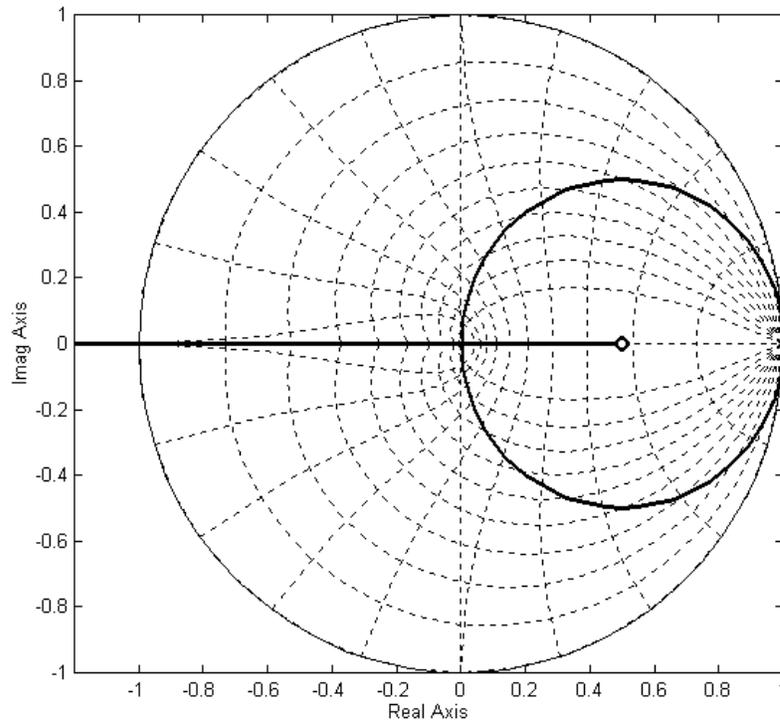


Figura 2.19 - *Root Locus* para o Modulador $\Sigma\Delta$ de 2ª Ordem com os Zeros da NTF em $\omega=0$.

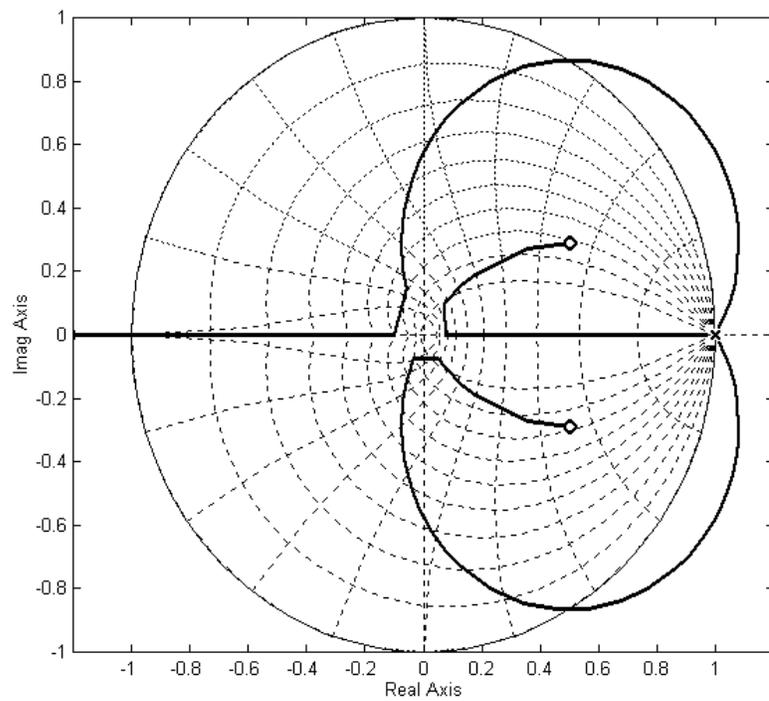


Figura 2.20 - *Root Locus* para o Modulador $\Sigma\Delta$ de 3ª Ordem com os Zeros da NTF em $\omega=0$.

Para os moduladores de 1ª e 2ª ordens, o lugar das raízes se estende além do círculo unitário apenas para $K \rightarrow \infty$. Neste caso, a saída do último integrador apresenta uma pequena amplitude. Com um pólo posicionado fora do círculo unitário, o estado do sistema tende a crescer, fazendo com que K diminua até que o pólo volte para dentro da região de estabilidade. Este comportamento corresponde a um ciclo limite estável, fundamental para a dinâmica do sistema.

Para o modulador de 3ª ordem, o lugar das raízes se estende além do círculo unitário também para $0 < K < 0,5$. Neste caso, a amplitude da tensão no último integrador está acima, em módulo, do nível de saída do quantizador. O posicionamento dos pólos complexos conjugados fora do círculo unitário faz com que o estado do sistema tenda a crescer, impedindo que os pólos voltem para a região de estabilidade. Este comportamento corresponde a um ciclo limite de saturação. Uma vez determinado o conjunto de valores proibidos de K , a máxima tensão permitida na saída do último integrador é conhecida.

2.3 Estruturas Estáveis de Ordens Superiores

O aumento da atenuação do ruído de quantização na banda do sinal, além do obtido com moduladores de 2ª ordem, é fundamental em diversas aplicações [43]-[47],[49],[51]-[53],[55]-[62]. Em virtude desta necessidade, algumas estruturas foram desenvolvidas: moduladores de ordem N com quantizador de 1 bit condicionalmente estáveis, cascata de moduladores de 1ª e/ou 2ª ordem e, moduladores com A/D e D/A internos de M bits.

Moduladores de ordem $N \geq 3$ que seguem a topologia mostrada na figura 2.9 são inúteis: sinais de amplitude extremamente reduzida provocam a ocorrência na saída de ciclos limite perenes [1],[11]-[12],[30]. Entretanto, o reescalamento do ganho dos integradores, como o utilizado no modulador prático de 2ª ordem [38],[41], permite que a faixa de entrada seja ampliada. A figura 2.21 mostra modulador de 3ª ordem com quantizador de 1 bit e ganhos não unitários nos integradores [70].

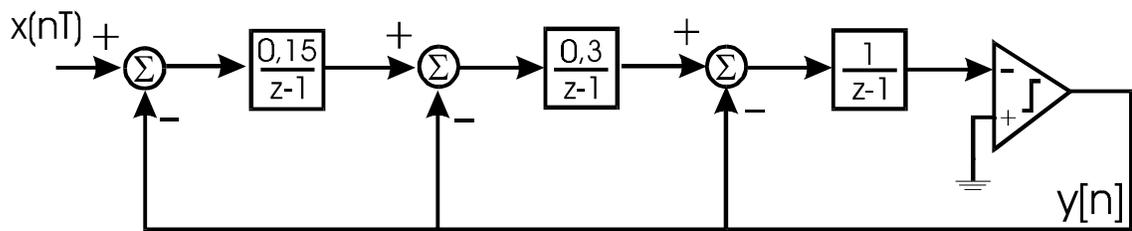


Figura 2.21 - Modulador de 3ª Ordem com Faixa de Entrada Estendida através do Reescalamento do Ganho dos Integradores.

O reescalamento do ganho dos integradores tem por objetivo diminuir a excursão dos sinais internos do modulador (variáveis de estado), ampliando desta forma a faixa dinâmica útil de entrada. O efeito do reescalamento também pode ser entendido com o auxílio do diagrama de *Root Locus* modificado (figura 2.22). A principal diferença entre os diagramas das figuras 2.20 e 2.22 é o conjunto dos valores de K para os quais o lugar das raízes se estende além do círculo unitário. No modulador de 3ª ordem da figura 2.21, os ciclos limite de saturação são excitados apenas para $0 < K < 0,24$. A partir da determinação do valor máximo permitido para a tensão na saída do último integrador do sistema, a faixa útil de entrada é encontrada através de simulações [69].

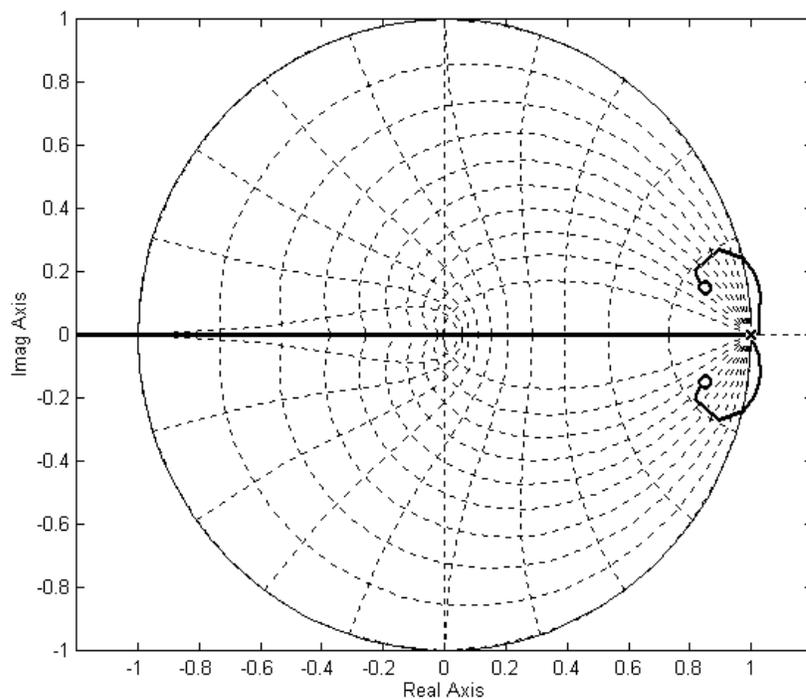


Figura 2.22 - *Root Locus* para o Modulador $\Sigma\Delta$ de 3ª Ordem da Figura 2.21.

O custo do reescalamento do ganho dos integradores pode ser visto na figura 2.23: há uma diminuição da atenuação do ruído de quantização na banda do sinal. O compromisso entre estabilidade e *performance* é discutido mais profundamente em [66].

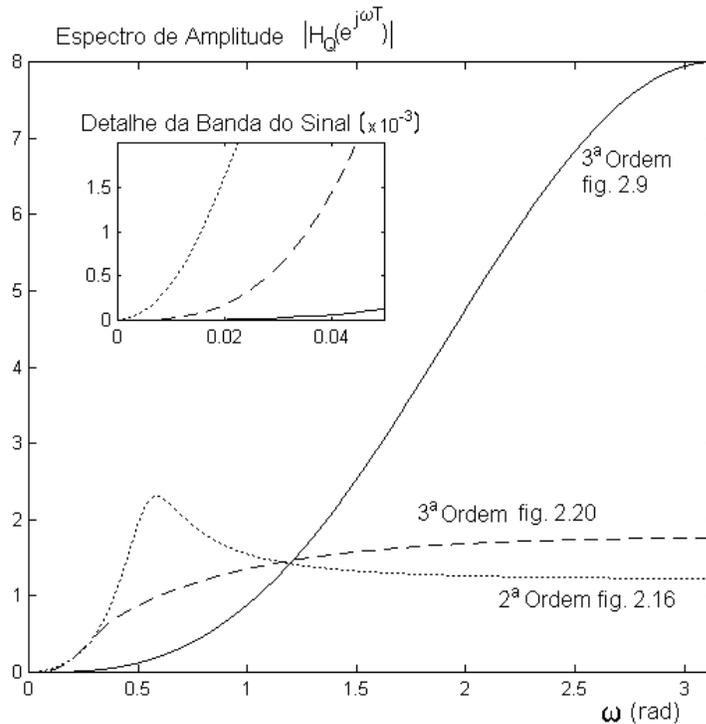


Figura 2.23 - Espectro de Amplitude da Função de Transferência do Ruído de Quantização (NTF) dos Moduladores $\Sigma\Delta$ de 2ª e 3ª Ordens com Reescalamento do Ganho dos Integradores.

Apesar da redução do ganho dos integradores do modulador de 3ª ordem conseguir estabilizá-lo, esta não é a melhor opção de projeto para moduladores de ordem elevada. Esta afirmação é fundamentada num critério empírico de estabilidade que se baseia na análise da NTF do sistema: o modulador $\Sigma\Delta$ é estável se, em toda a faixa de frequências, o módulo da NTF é inferior a 2 [53],[64]. Na figura 2.8 são mostrados os módulos das NTF's dos moduladores de 1ª, 2ª e 3ª ordens. De acordo com este critério, apenas o modulador de 1ª ordem é estável. De fato, a instabilidade do modulador de 2ª ordem com ganhos unitários é prevista erroneamente. Entretanto, tanto o modulador de 2ª ordem utilizado na prática (figura 2.16), bem como o modulador reescalado de 3ª ordem (figura 2.21) atendem este requisito (figura 2.23).

Com base neste critério, o reescalamento passa ter como objetivo reduzir o ganho da NTF fora da banda do sinal. Todavia, a redução dos ganhos também ocasiona a degradação da SNR nas baixas freqüências (figura 2.23). Este problema é resolvido quando a NTF é projetada como um filtro passa-altas tipo Butterworth (figura 2.24): o módulo da NTF na banda passante se torna constante e determinado pelo projetista, e este valor passa a não interferir na atenuação do ruído de quantização na banda do sinal. A partir da NTF, a função de transferência do caminho direto da entrada para a saída (*loop filter*) é facilmente determinada:

$$G(z) = \frac{1 - H_Q(z)}{H_Q(z)} \quad (2.15)$$

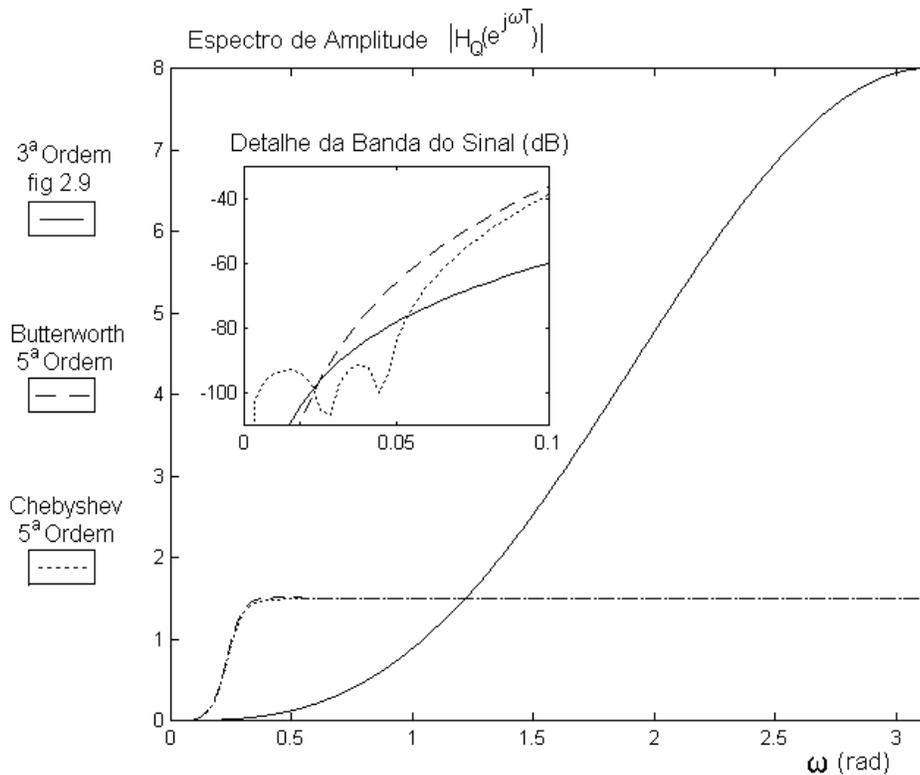


Figura 2.24 - Espectro de Amplitude da Função de Transferência do Ruído de Quantização dos Moduladores $\Sigma\Delta$ com NTF definida por Filtros Passa-Altas Butterworth e Chebyshev.

A SNR do sistema melhora mais ainda, sem comprometimento da estabilidade, se os zeros da NTF são espalhados na banda do sinal (figura 2.24). Isto é conseguido se a NTF é projetada como um filtro passa-altas tipo Chebyshev com resposta plana na banda passante.

Na referência [69] é listado o posicionamento ótimo dos zeros na banda do sinal, de forma que a SNR seja máxima, para filtros Chebyshev de 2ª a 8ª ordens.

O diagrama de blocos do modulador de 5ª ordem com NTF Chebyshev utilizado no gráfico da figura 2.24 é mostrado na figura 2.25. O modulador de 5ª ordem com NTF Butterworth é obtido se os coeficientes b_1 e b_2 são nulos [53]. A faixa dinâmica útil da entrada é determinada posteriormente através de simulações.

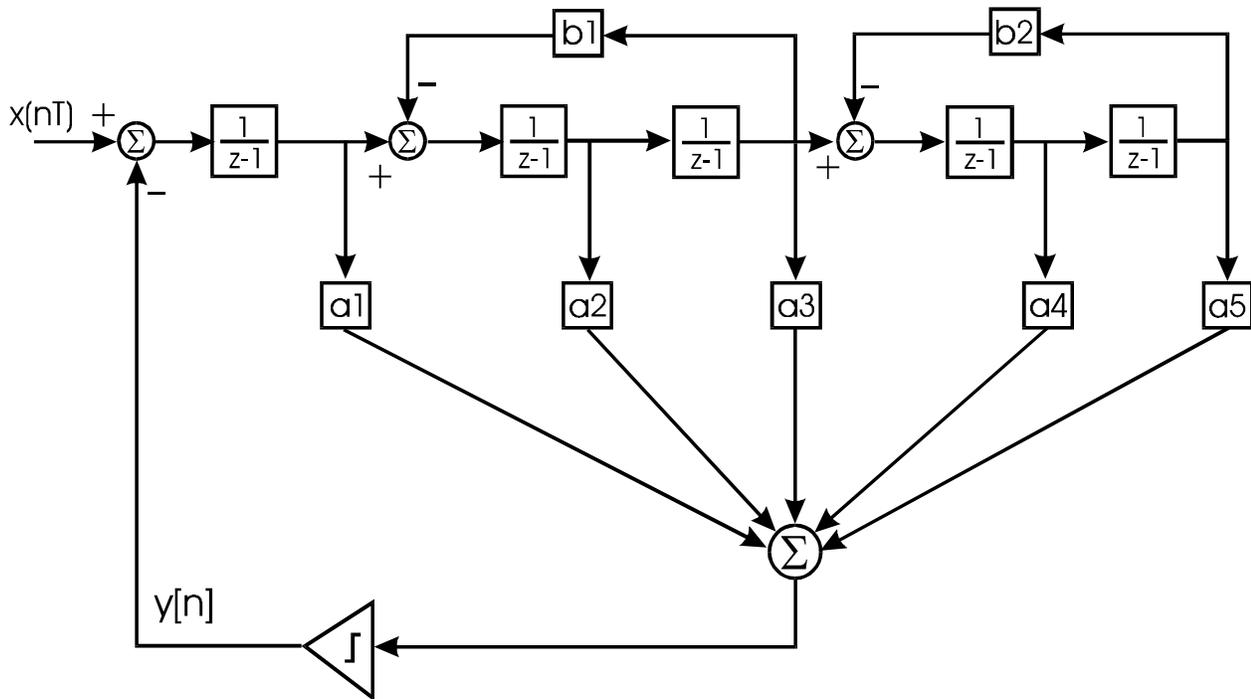


Figura 2.25 - Modulador $\Sigma\Delta$ de 5ª Ordem com NTF do Tipo Chebyshev Passa-Altas.

Uma alternativa à utilização de moduladores de ordens elevadas na implementação de conversores de alta resolução são os moduladores formados por cascatas de estágios de 1ª e/ou 2ª ordens [37],[44],[49],[54]-[55],[57],[59]. Esta arquitetura tem como grande vantagem possibilitar a implementação de *noise shapers* de ordem elevada, sem problemas de instabilidade nem limitações excessivas à faixa de entrada [40].

A figura 2.26 mostra um modulador de 3ª ordem implementado como uma cascata 2-1 [47]. A entrada do segundo estágio é o erro de quantização do primeiro. A saída dos dois moduladores é combinada digitalmente, o que resulta numa maior atenuação do ruído na banda do sinal.

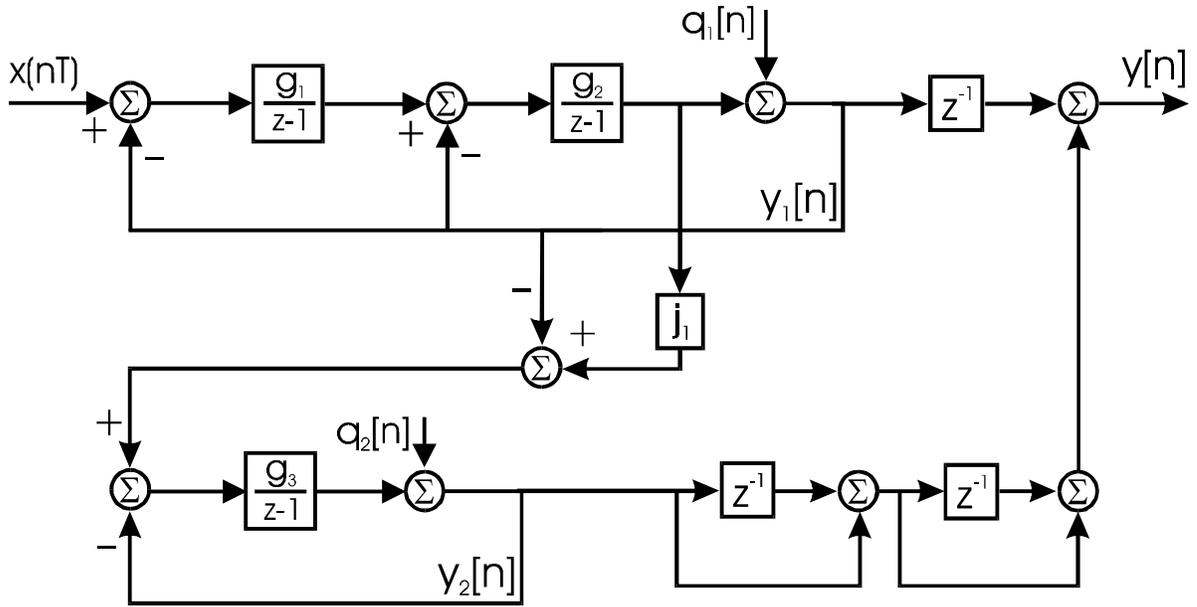


Figura 2.26 - *Noise Shaping* de 3ª Ordem Obtido com Cascata 2-1 de Moduladores.

O equacionamento do diagrama de blocos linearizado permite um melhor entendimento do funcionamento do sistema. Para $j_1=1$ temos:

$$Y_1(z) = Q_1(z) + \frac{g_2}{z-1} \left\{ \frac{g_1}{z-1} [X(z) - Y_1(z)] - Y_1(z) \right\} \quad (2.16)$$

$$Y_1(z) = \frac{(z-1)^2 \cdot Q_1(z) + g_1 g_2 \cdot X(z)}{z^2 + (g_2 - 2)z + (1 + g_1 g_2 - g_2)} \quad (2.17)$$

$$Y_2(z) = Q_2(z) + \frac{g_3}{z-1} [-Q_1(z) - Y_2(z)] \quad (2.18)$$

$$Y_2(z) = \frac{z-1}{z+(g_3-1)} \cdot Q_2(z) - \frac{g_3}{z+(g_3-1)} Q_1(z) \quad (2.19)$$

$$Y(z) = \frac{Y_1(z)}{z} + \frac{(z-1)^2}{z^2} \cdot Y_2(z) \quad (2.20)$$

A escolha adequada para os valores dos ganhos dos integradores faz com que o ruído de quantização introduzido no 1º estágio seja completamente anulado. Para $g_1=1/2$, $g_2=2$ e $g_3=1$ temos:

$$Y(z) = \frac{X(z)}{z^3} + \frac{(z-1)^3}{z^3} \cdot Q_2(z) \quad (2.21)$$

A cascata 2-1 de moduladores apresenta o desempenho equivalente ao modulador de 3ª ordem das figuras 2.8 e 2.10, que na prática não pode ser realizado.

Como a funcionalidade do modulador de 2ª ordem é independente do valor de g_2 (desde que não haja saturação do 2º integrador), o valor $g_2=1/2$ pode ser utilizado [38],[41]. Desta forma, a faixa dinâmica útil de entrada é aumentada. Entretanto, para que continue havendo cancelamento do ruído de quantização $q_1[n]$, deve ser utilizado o valor $j_1=4$ [47].

Teoricamente, não há limite no número de estágios. Entretanto, o descasamento entre os ganhos e o erro na posição do pólo dos integradores impede que o cancelamento do erro de quantização de todos os estágios, com exceção do último, seja conseguido [37],[40],[47]. Um estudo comparativo completo entre as diversas arquiteturas de moduladores de múltiplos estágios é encontrado na referência [47].

A *performance* dos moduladores $\Sigma\Delta$ é sensivelmente melhorada se forem utilizados internamente conversores A/D e D/A de M bits (figura 2.27). Desta forma é possível aumentar a SNR mantendo-se a OSR dentro dos limites realizáveis, sem a necessidade de se lidar com estruturas condicionalmente estáveis. A maioria dos moduladores implementados com componentes LSI, bastante populares na década de 70, adotavam este recurso [22]-[28].

A SNR na banda do sinal obtida na saída do modulador $\Sigma\Delta$ de ordem N (figura 2.9) com quantizador interno de M bits é expressa por [1]:

$$SNR \cong \frac{3}{2} \cdot \frac{2N+1}{\pi^{2N}} \cdot (2^M - 1)^2 \cdot OSR^{(2N+1)} \quad (2.22)$$

A utilização de quantizador interno de M bits também tem efeito sobre a estabilidade do sistema: quanto menor a distância entre os níveis de quantização (Δ), menor é a chance de que

o ganho $K[n]$ do quantizador, definido no método de *Root Locus* modificado, seja menor que 1. Portanto, quanto maior o valor de M , mais estável é o modulador [70].

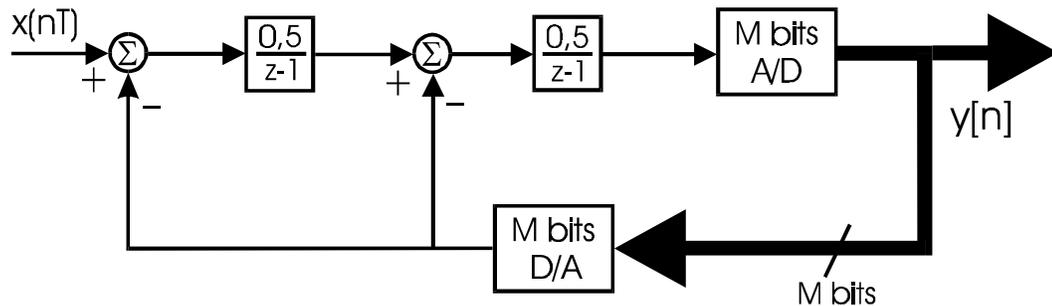


Figura 2.27 - Modulador de 2ª Ordem Implementado com A/D e D/A internos de M bits.

A principal dificuldade na implementação de moduladores com esta arquitetura está no D/A interno de M bits: a linearidade do sistema é, na melhor das hipóteses, determinada pela linearidade do D/A [1],[11]. Quantizadores e D/A's de 1 bit são inerentemente lineares e são preferidos pela facilidade de implementação.

O objetivo deste trabalho é o estudo dos limites físicos de *performance* impostos pela implementação VLSI com circuitos a capacitores chaveados (SC). Estes limites são estudados nos moduladores DT de 1ª e 2ª ordens com quantizadores de 1 bit e, facilmente estendidos para os moduladores formados por múltiplos estágios com esta mesma arquitetura. Moduladores de ordem elevada ou com A/D e D/A internos de maior resolução não serão abordados.

2.4 Ruído de Quantização e Ciclos Limite

O modulador $\Sigma\Delta$ é um sistema não-linear que, durante sua operação normal, tenta estabelecer ciclos limite na saída para representar o sinal de entrada. Apesar da grande não-linearidade, a análise da *performance* do modulador (SNR) é bastante simplificada se o quantizador é substituído por uma fonte aditiva de ruído branco [11]-[13],[20],[30],[38],[41]. Esta aproximação é razoável se algumas condições são respeitadas [81]:

- 1) O quantizador não opera sobrecarregado.
- 2) O quantizador tem um grande número de níveis.
- 3) A distância entre os degraus de quantização é pequena.
- 4) A entrada é suficientemente aleatória.

Estas condições são geralmente violadas no caso de conversores $\Sigma\Delta$. Na maioria das implementações, o quantizador apresenta apenas 2 níveis cuja distância é igual a faixa de entrada do sinal. Além disso, para sinais determinísticos, a entrada do quantizador é periódica.

Apesar disto, para algumas topologias a hipótese de ruído de quantização branco é comprovada. Para outras o espectro de saída é extremamente “colorido”, ou seja, é formado por raias muito bem definidas [81]. A análise das características espectrais do *bit stream* de saída e da estatística do erro de quantização é conseguida a partir da solução da equação não-linear a diferenças que descreve o comportamento do modulador DT. Diversos trabalhos abordam esta questão [21],[74]-[84], cada um enfocando uma arquitetura de modulador e algum(ns) tipo(s) de entrada(s).

A estrutura dos ciclos limite nos moduladores de 1^a e 2^a ordens com quantizadores de 1 bit foi estudada em [74]. Para entradas DC racionais, a saída é periódica (figuras 1.27, 1.28, 1.31, 1.33 e 2.2) e espectralmente composta por raias discretas. Todavia, estes resultados são completamente precisos apenas para moduladores digitais utilizados em conversores D/A.

Os moduladores de 1ª ordem são também analisados em [72],[75],[78]: para entradas DC quaisquer e senoidais é provado que o espectro de saída é composto por raias discretas e que o erro de quantização é altamente correlacionado com a entrada. Entretanto, a média e a variância do erro de quantização estão de acordo com o previsto pela hipótese de ruído branco. Portanto, o cálculo da SNR através do modelo linearizado (figura 1.38) fornece resultados confiáveis.

Para os moduladores compostos por vários estágios de 1ª ordem com quantizadores de 1 bit é provado que, para entrada DC ou senoidal, tanto a média e a variância do erro de quantização no último estágio, quanto o espectro do mesmo estão de acordo com o previsto pelo modelo linearizado [77]: $m_Q = 0$, $\sigma_Q^2 = \Delta^2/12$ e densidade espectral de potência uniforme. Apenas no caso do modulador de 2 estágios e entrada senoidal, o espectro não é uniforme [76]. Mas os momentos estatísticos (m_Q e σ_Q^2) continuam de acordo com a hipótese linear.

Moduladores de ordem $N \geq 2$ com quantizador de pelo menos N bits também se comportam de acordo com o previsto pelo modelo linearizado [79],[83]. Não existem resultados rigorosos sobre a estatística do erro de quantização em moduladores de 2ª ordem com quantizador de 1 bit. Entretanto, simulações e resultados experimentais são apresentados em diversos artigos [34],[48],[59],[73]. Estes mostram que o erro de quantização é menos correlacionado com a saída do que no caso dos moduladores de 1ª ordem.

O ciclo limite previsto em [74] para entrada DC $x = 0V$ pode ser observado na figura 2.28. Neste caso a saída é uma onda quadrada com a metade da frequência de amostragem do sistema. Para o modulador da referência [34], $f_s = 15$ MHz. A raia espectral em $f = 7,5$ MHz (1ª harmônica da onda quadrada) é bem visível na figura 2.28 e apresenta amplitude de -8 dB em relação ao nível máximo de entrada. Quando as componentes espectrais dos ciclos limite ocorrem fora da banda do sinal, a *performance* do sistema não é degradada [48].

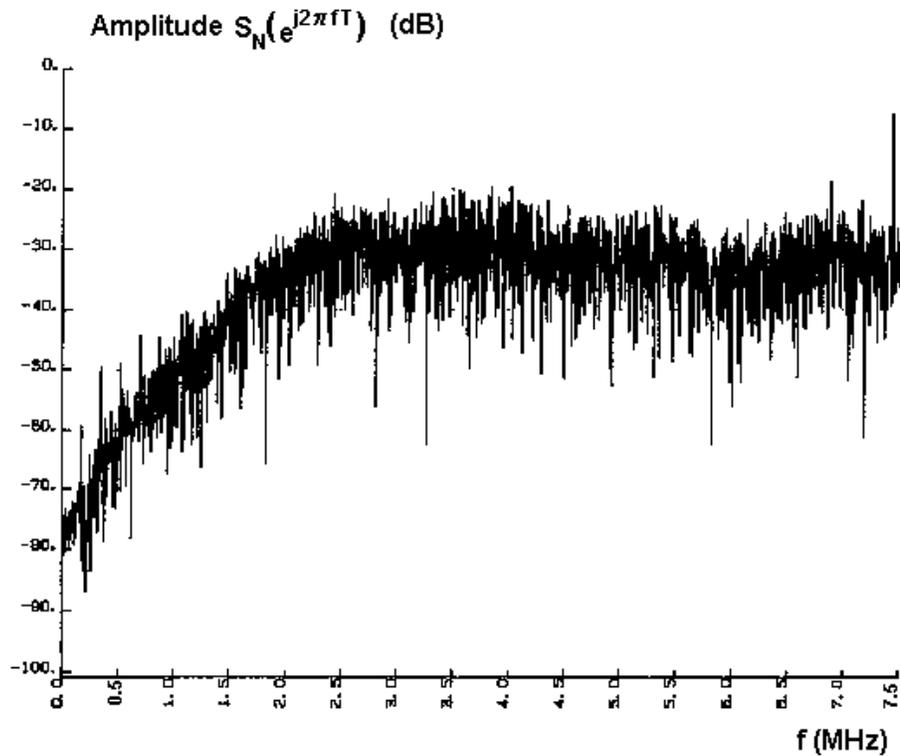


Figura 2.28 - Densidade Espectral de Potência do Ruído no *Bit Stream* de Saída para o Modulador de 2ª Ordem com Quantizador de 1 bit ($f_s = 15$ MHz) e entrada DC $x = 0V$ (Experimental) [34].

Muitas vezes, contudo, ocorrem raias espectrais dentro da banda do sinal. Quando estes tons apresentam uma amplitude considerável, passam a ser percebidos e comprometem a qualidade do sinal digitalizado [59]. Felizmente, estas raias são atenuadas pela NTF do sistema, seguindo a previsão do modelo linearizado [48]. A figura 2.29 mostra a densidade espectral de potência, dentro da banda base, do ruído na saída do modulador [59] para uma entrada DC $x = 0,1656$ V. Neste caso, a componente espectral de baixa frequência do ciclo limite apresenta amplitude de apenas -98 dB.

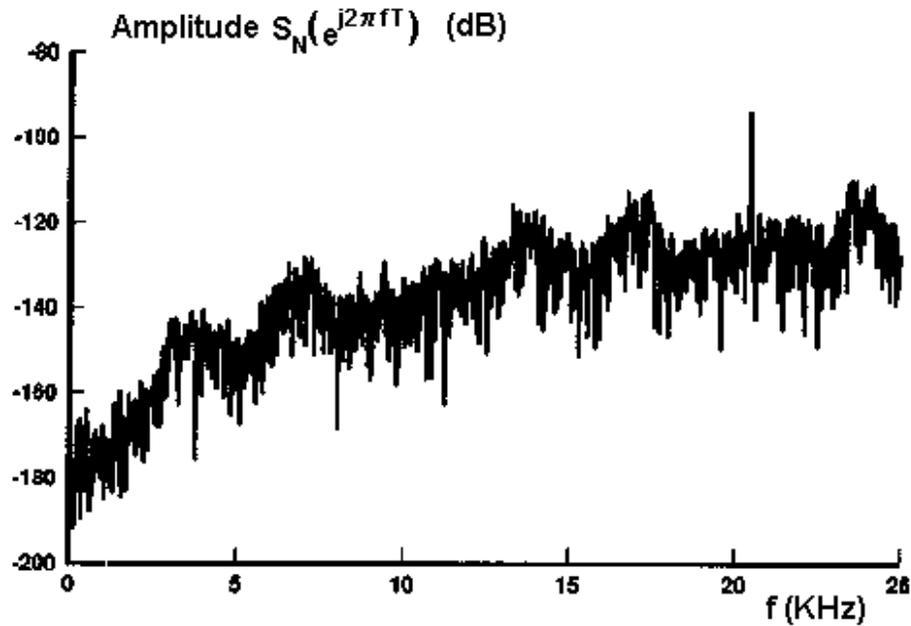


Figura 2.29 - Densidade Espectral de Potência do Ruído no *Bit Stream* de Saída para o Modulador de 2ª Ordem com Quantizador de 1bit e entrada DC $x = 0,1656V$ (Simulação) [59].

Apesar do erro de quantização ser menos correlacionado com a entrada no caso do modulador de 2ª ordem com quantizador de 1 bit, este não apresenta densidade espectral plana como o modulador de 2ª ordem com quantizador de 2 bits [79]: o espectro é contínuo e composto por vários picos próximos entre si (figuras 2.28 e 2.29), que são também atenuadas pelo *noise shaping* do sistema. Esta “coloração” espalhada é bem menos prejudicial à *performance* do sistema do que as raias discretas decorrentes dos ciclos limite [59],[73].

No final da seção 2.1 é apresentado o exemplo de um modulador de 2ª ordem para aplicação de áudio. Apesar do sistema atender à especificação de resolução, a presença de tons audíveis na banda base do sinal faz com que a qualidade percebida no áudio seja precária. Por isso, a maioria das aplicações de áudio utiliza moduladores de ordens elevadas [43],[45],[53],[62], ou moduladores de múltiplos estágios [59].

O estudo rigoroso do erro de quantização [74]-[84] comprova que, mesmo no modulador de 1ª ordem, os momentos estatísticos (m_Q e σ_Q^2) se comportam como previsto pelo modelo linear. Portanto, toda análise dos capítulos subseqüentes, que é baseada na degradação da SNR devido as características físicas dos circuitos a capacitores chaveados, é válida.

CAPÍTULO 3

CARACTERÍSTICAS DOS SISTEMAS ANALÓGICOS AMOSTRADOS

3.1 Sinais “Amostrados e Retidos”

Os sistemas analógicos chaveados apresentam algumas características dos sistemas analógicos que operam em tempo contínuo e algumas características dos sistemas de computação digital. A coexistência de características de dois universos tão distintos torna a análise destes sistemas peculiar e necessária para o correto modelamento destes circuitos híbridos.

Nos moduladores $\Sigma\Delta$ implementados com circuitos analógicos chaveados todos os sinais internos ao sistema ($x(nT)$, $e_i(nT)$, $f_i(nT)$ e $y[n]$) são “amostrados e retidos” (*sampled and held*) [1], ou seja, podem apresentar valores quaisquer de amplitude, mas estes valores só se alteram em instantes de tempo bem definidos e periódicos (discretização temporal). A figura 3.1 mostra a relação entre o sinal contínuo no tempo $f(t)$ e sua versão quantizada no tempo $f^*(t)$.

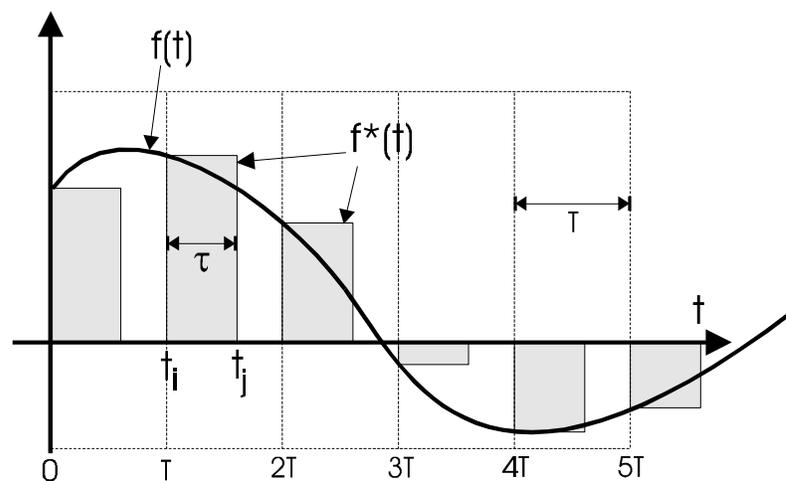


Figura 3.1 - Sinal Contínuo no Tempo $f(t)$ e sua Versão Quantizada no Tempo $f^*(t)$.

Expressando-se $f^*(t)$ em função de $f(t)$, pode-se facilmente determinar a transformada $F^*(s)$ [4]:

$$f^*(t) = \sum_{n=0}^{\infty} \{ f(nT) [u(t - nT) - u(t - nT - \tau)] \} \quad (3.1)$$

onde $u(t)$ é a função degrau.

$$F^*(s) = \frac{1 - e^{-s\tau}}{s} \cdot \sum_{n=0}^{\infty} f(nT) e^{-snT} \quad (3.2)$$

$$\text{Define-se a variável complexa } z = e^{sT} \quad (3.3)$$

Quando $\tau \rightarrow 0$, a quantização temporal apresentada na figura 3.1 recai no caso da amostragem ideal discutida na Seção 1.1 que não é realizável. Neste caso $f^*(t) = f_s(nT)$, cuja transformada z é $F_S(z)$. Quando $\tau \rightarrow T$, tem-se o caso dos sinais “amostrados e retidos”: $f^*(t) = f_{SH}(nT)$. As transformadas de Laplace de sinais amostrados e sinais “amostrados e retidos” diferem entre si apenas do fator $H_{SH}(s)$, que é a função de transferência do segurador de ordem zero (s.o.z.):

$$F_{SH}(s) = \frac{1 - e^{-sT}}{s} \cdot \sum_{n=0}^{\infty} f(nT_s) e^{-snT} \quad (3.4)$$

$$H_{SH}(s) = \frac{1 - e^{-sT}}{s} \quad (3.5)$$

$$F_S(z) = \sum_{n=0}^{\infty} f_s(nT) \cdot z^{-n} \quad (3.6)$$

Como todos os sinais no modulador são “amostrados e retidos”, as funções de transferência de quaisquer destas variáveis para a saída não apresentam o fator referente ao s.o.z. e podem ser expressas utilizando a transformada z . Para simplificação da notação pode-se desprezar o fator $H_{SH}(s)$ na transformada de Laplace dos sinais e também representá-los através da transformada z . Esta simplificação de notação, entretanto, faz com que seja desprezada a distorção causada pelo s.o.z. na banda do sinal (figura 3.3c). Através do equacionamento da resposta em frequência do segurador pode-se quantificar esta distorção:

$$H_{SH}(j\Omega) = \frac{1 - e^{-j\Omega T}}{j\Omega} = T \cdot e^{-j\Omega \frac{T}{2}} \cdot \frac{\text{Sen}(\Omega T/2)}{\Omega T/2} \quad (3.7)$$

$$|H_{SH}(j\Omega)| = \frac{\sqrt{2 - 2 \cdot \text{Cos}(\Omega T)}}{|\Omega|} \quad (3.8)$$

O módulo de $H_{SH}(j\Omega)$ é mostrado na figura 3.2. A figura 3.3 mostra, respectivamente, os módulos dos espectros de $f(t)$, $f_s(nT)$ e $f_{SH}(nT)$. O espectro de $f_{SH}(nT)$ é obtido a partir da convolução do espectro periódico de $f_s(nT)$ com o s.o.z. $H_{SH}(s)$. Em $F_{SH}(j\Omega)$ as infinitas réplicas do espectro original $F(j\Omega)$, que compõem $F_s(j\Omega)$, são fortemente atenuadas além da frequência normalizada $\omega = \pi$ rad.

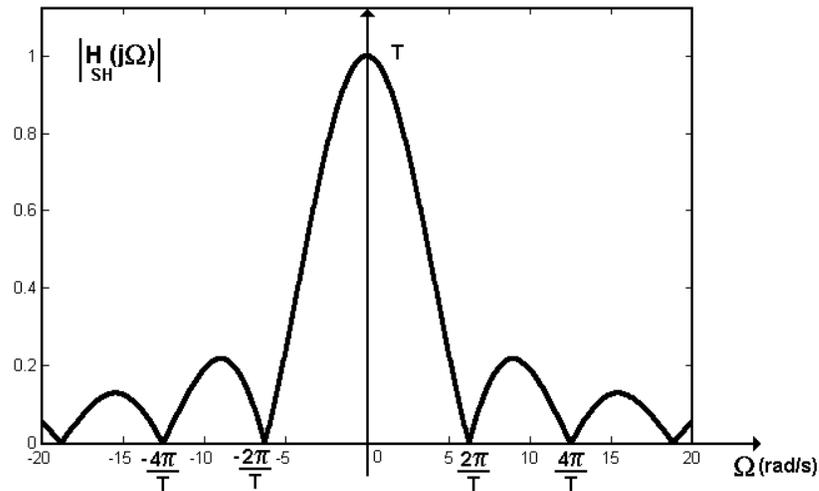


Figura 3.2 - Módulo da Resposta em Frequência do Segurador de Ordem Zero.

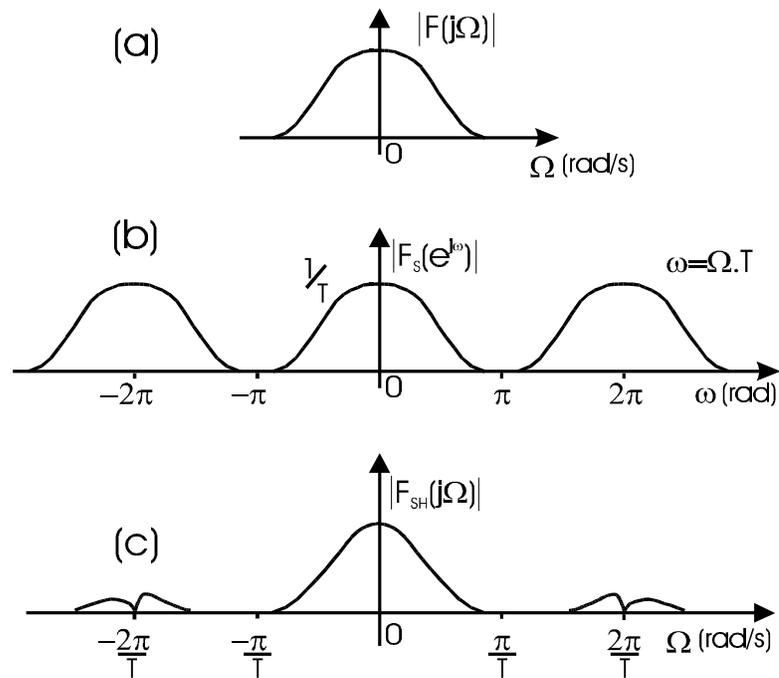


Figura 3.3 - (a) Espectro de $f(t)$. (b) Espectro de $f_s(nT)$. (c) Espectro de $f_{SH}(nT)$.

A resposta em frequência do s.o.z. provoca uma distorção considerável no espectro do sinal dentro do intervalo $-\pi < \omega < \pi$ (figura 3.3c), como pode ser melhor observado na figura 3.4:

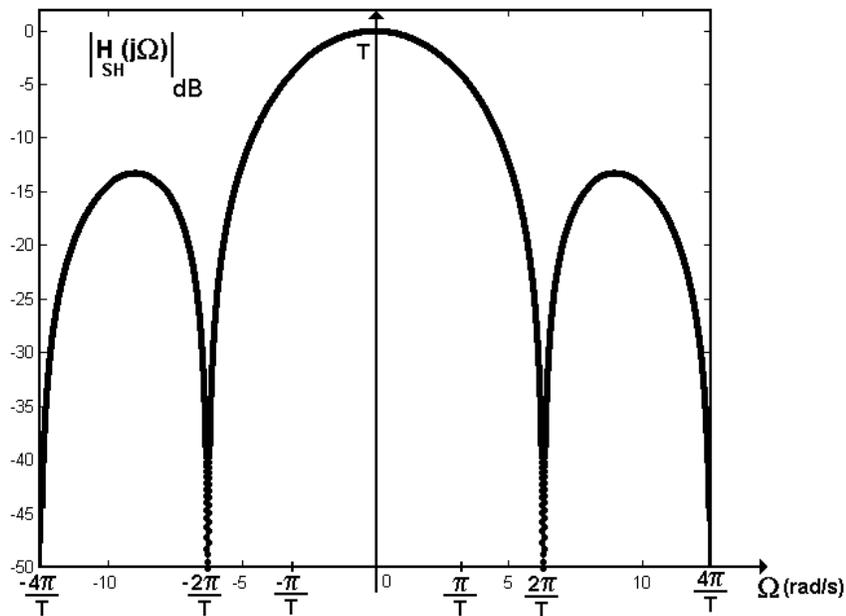


Figura 3.4 - Amplitude da Resposta em Frequência do Segurador de Ordem Zero.

Nos moduladores $\Sigma\Delta$ que operam com grandes taxas de superamostragem (OSR) a distorção causada pelo s.o.z. é insignificante. A atenuação nas extremidades da banda de um sinal “amostrado e retido” com potência confinada no intervalo $-\pi/16 < \omega < \pi/16$ é de apenas 0,015 dB. Para conversores com taxas de superamostragem de apenas 64, a potência do sinal de entrada está confinada no intervalo $-\pi/64 < \omega < \pi/64$ e a distorção na prática não existe. Nestas condições pode-se também utilizar a transformada z na representação das diversas variáveis do modulador sem a introdução de erros no modelo do sistema.

3.2 Mapeamentos Complexos $s = f(z)$

Os moduladores realizados com circuitos chaveados utilizam acumuladores numéricos para implementação da operação de integração. Estes acumuladores são blocos que processam sinais discretizados no tempo, sejam eles amostrados ou “amostrados e retidos”, através de diferentes técnicas de integração numérica (figura 3.5). A cada tipo de integrador também está associada uma função que mapeia os pontos do plano complexo s (domínio da transformada de Laplace) no plano complexo z (domínio da transformada z) [4]. O integrador analógico apresenta função de transferência:

$$H_I(s) = \frac{A}{s} \quad (3.9)$$

onde A é a constante de tempo do integrador.

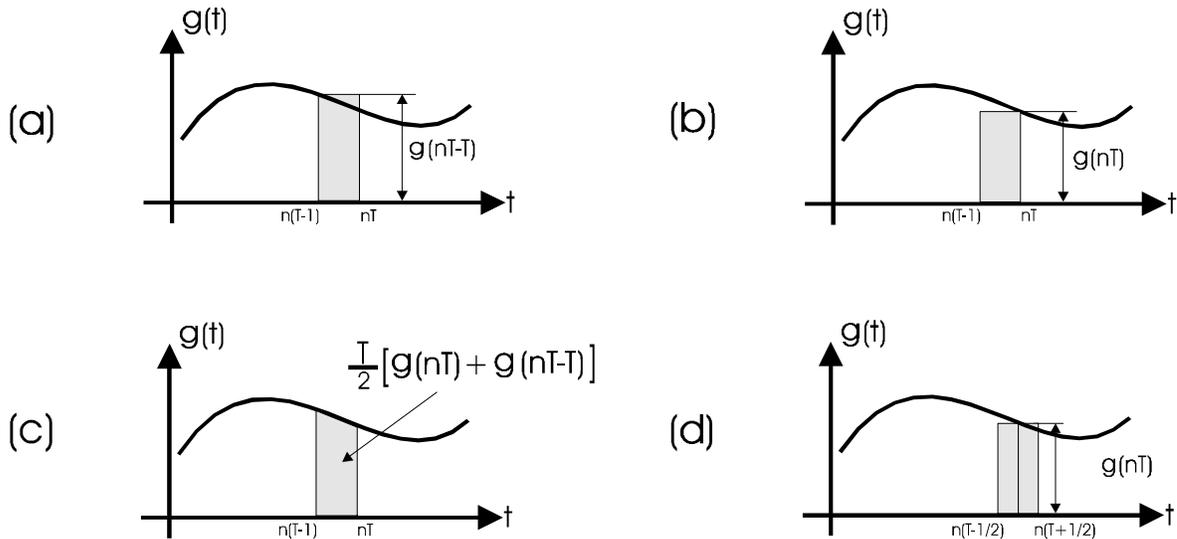


Figura 3.5 - Técnicas de Integração Numérica. (a) Euler tipo Avanço. (b) Euler tipo Atraso. (c) Trapezoidal. (d) Ponto Médio.

$$H_{Acc}(z) = \frac{A}{f(z)} \quad (3.10)$$

Para que um mapeamento complexo do plano s para o plano z seja útil em circuitos chaveados, $f(z)$ deve ser facilmente implementável e deve atender aos seguintes requisitos:

- i) $f(z)$ tem que ser uma função racional de z .
- ii) Para $|z| = 1$, $f(z)$ tem que ser imaginário puro. O eixo $j\Omega$ do plano s tem que ser mapeado no círculo unitário no plano z .
- iii) Para $|z| < 1$, a parte real de $f(z)$ tem que ser negativa.

Os tipos de acumuladores para cada um dos tipos de integração numérica mostrados na figura 3.5 são [4]:

■ Euler tipo Avanço (*Forward Euler*)

$$s = f_{FE}(z) = \frac{z-1}{T} \quad (3.11)$$

$$H_{FE}(z) = AT \cdot \frac{1}{z-1} \quad (3.12)$$

$$\omega = \Omega T \quad (3.13)$$

■ Euler tipo Atraso (*Backward Euler*)

$$s = f_{BE}(z) = \frac{z-1}{zT} \quad (3.14)$$

$$H_{BE}(z) = AT \cdot \frac{z}{z-1} \quad (3.15)$$

$$\omega = \Omega T \quad (3.16)$$

■ Trapezoidal ou Bilinear

$$s = f_{BI}(z) = \frac{2}{T} \frac{z-1}{z+1} \quad (3.17)$$

$$H_{BI}(z) = \frac{AT}{2} \cdot \frac{z+1}{z-1} \quad (3.18)$$

$$\Omega = \frac{2}{T} \cdot \text{Tan}\left(\frac{\omega T}{2}\right) \quad (3.19)$$

■ LDI (*Lossless Discrete Integrator*) [98]

$$s = f_{LDI}(z) = \frac{1}{T} \frac{z-1}{z^{1/2}} \quad (3.20)$$

$$H_{LDI}(z) = AT \cdot \frac{z^{1/2}}{z-1} \quad (3.21)$$

$$\Omega = \frac{1}{T} \cdot \text{Sen}(\omega T) \quad (3.22)$$

A figura 3.6 mostra um comparação entre a resposta em freqüência do integrador real $H_I(j\Omega)$ e as respostas em freqüência dos acumuladores $H_{FE}(j\Omega)$, $H_{BE}(j\Omega)$ e $H_{BI}(j\Omega)$. Fica claro que para todos os acumuladores apenas para $|\Omega T| \ll 1$ a integração numérica coincide com a integração analógica.

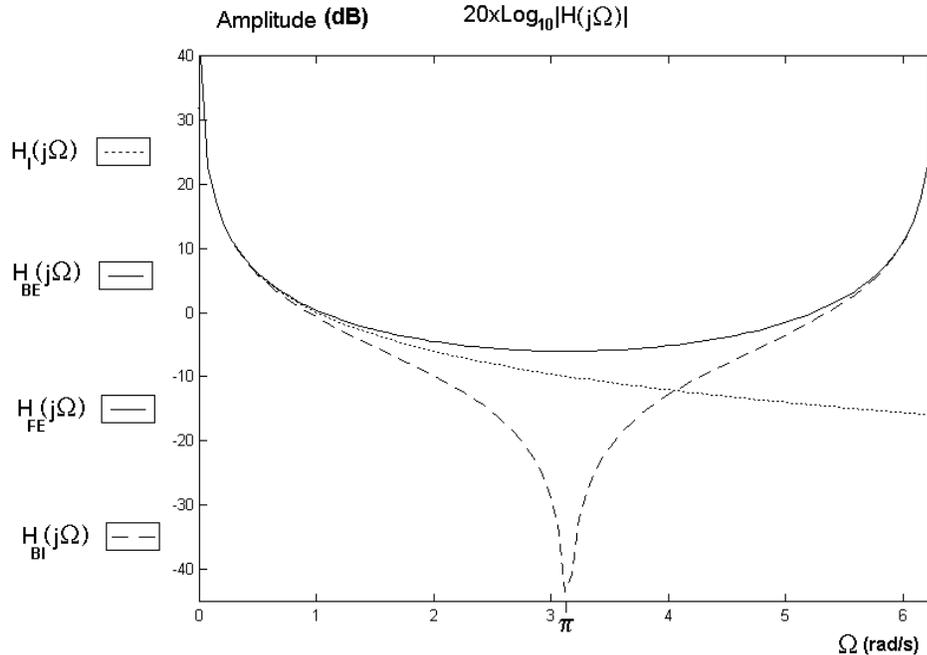


Figura 3.6 - Amplitude em dB Normalizada da Resposta em Freqüência do Integrador Real $H_I(j\Omega)$ e dos Acumuladores Obtidos a partir das Aproximações de Euler $H_{FE}(j\Omega)$ e $H_{BE}(j\Omega)$ e, Bilinear $H_{BI}(j\Omega)$.

As funções de transferência do sinal de entrada $H_x(z)$ e do ruído de quantização $H_Q(z)$ dependem diretamente dos tipos de acumuladores usados em cada modulador $\Sigma\Delta$. A relação sinal ruído de um modulador $\Sigma\Delta$ vai depender não somente da ordem do modulador, mas também do(s) tipo(s) de acumulador(es) usado(s) em sua constituição. A cada topologia corresponde uma expressão para SNR individual que não pode ser utilizada em outros projetos. Moduladores implementados com acumuladores sem atraso são mais estáveis [70], porém as especificações de tempo de estabilização dos mesmos são mais difíceis de serem atingidas [38],[41].

3.3 Integrador com Perdas

Os acumuladores descritos na Seção 3.2 quando implementados em sistemas de computação digital, seja em *hardware* ou em *software*, realizam a integração numérica sem perdas como mostrado na figura 3.6. Isto não ocorre quando a integração numérica é implementada com circuitos analógicos: o comportamento não-ideal dos diversos componentes utilizados como capacitores, amplificadores operacionais, chaves analógicas, etc... resultam num integrador com perdas. A equação (3.23) exemplifica esta questão para o acumulador Euler tipo avanço.

$$i[n] = g \cdot x[n] + \alpha \cdot i[n-1] \quad (3.23)$$

Nesta equação a diferenças, $i[n]$ é a saída do integrador, $x[n]$ a entrada, $i[n-1]$ o valor acumulado até o instante anterior, $g = A.T$ é o ganho normalizado do integrador e α é a fração retida do valor acumulado no instante atual, $\alpha < 1$.

$$H_{FE}(z) = \frac{I(z)}{X(z)} = \frac{g}{z - \alpha} \quad (3.24)$$

O deslocamento do pólo de $H_{FE}(z)$ para dentro do círculo unitário ilustra muito bem o efeito das não-idealidades do acumulador: o integrador discreto com perdas não apresenta resposta de amplitude infinita para entradas DC, como o integrador discreto ideal. A figura 3.7 mostra esta diferença.

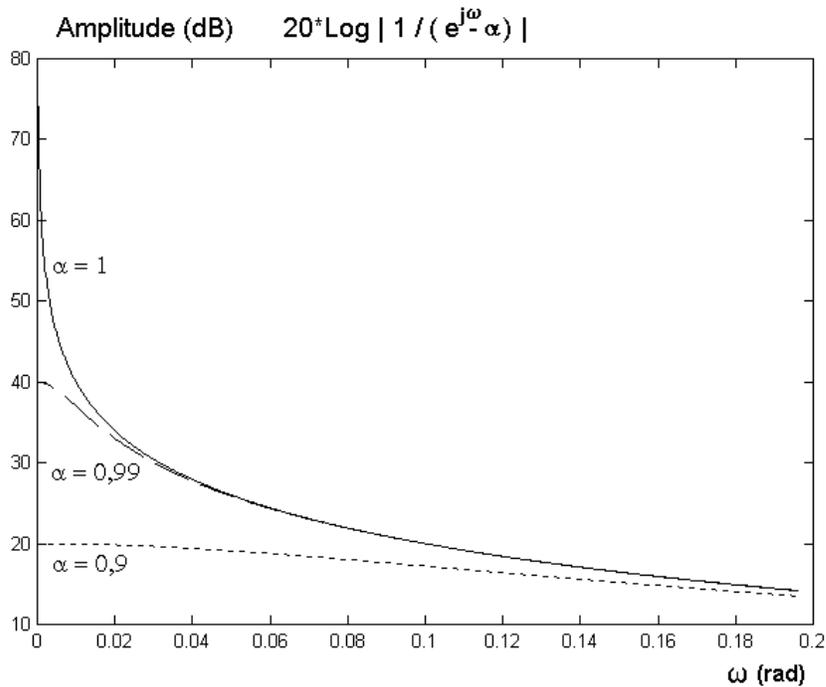


Figura 3.7 - Amplitude (dB) da Resposta em Freqüência do Acumulador Euler tipo Avanço para diversos valores de α .

A inclusão de perdas no modelo do acumulador tem reflexos na NTF e na STF do sistema. Para o modulador de 1ª ordem (figura 3.8) obtém-se.

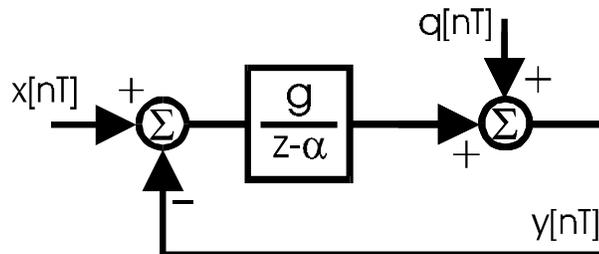


Figura 3.8 - Modulador de 1ª Ordem com Integrador Não-Ideal.

$$H_{x1}(z) = \frac{g}{z - \alpha + g} \quad (3.25)$$

$$H_{q1}(z) = \frac{z - \alpha}{z - \alpha + g} \quad (3.26)$$

As figuras 3.9 e 3.10 mostram, respectivamente, o efeito do integrador numérico com perdas nas respostas de amplitude de $H_{X1}(e^{j\omega})$ e $H_{Q1}(e^{j\omega})$.

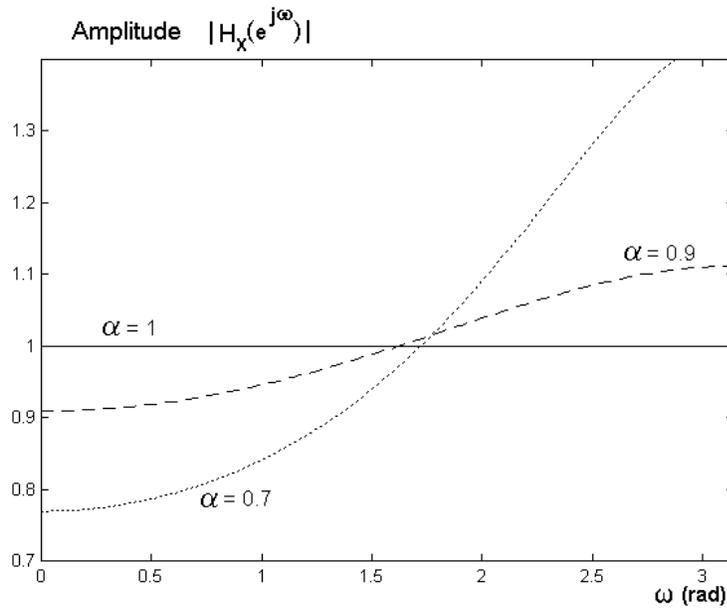


Figura 3.9 - Amplitude (dB) da Resposta em Freqüência da STF de 1ª Ordem para diversos valores de α .

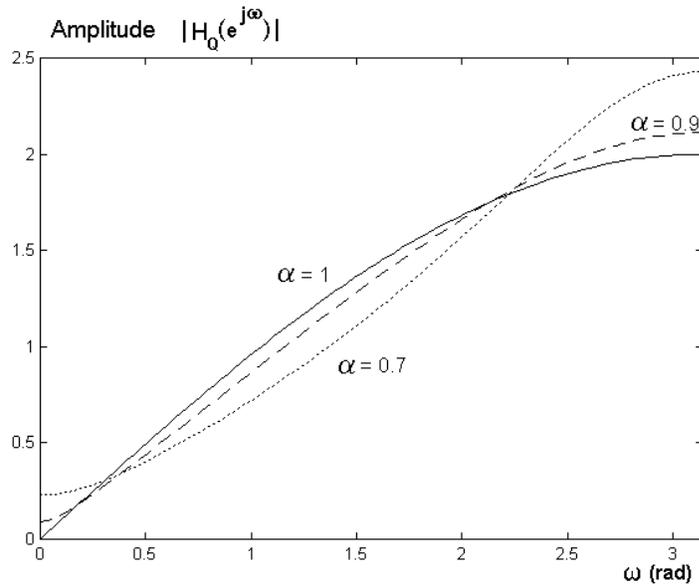


Figura 3.10 - Amplitude (dB) da Resposta em Freqüência da NTF de 1ª Ordem para diversos valores de α .

As perdas no acumulador tem reflexos negativos no desempenho do modulador: Quanto maiores as perdas, menor é a atenuação do ruído na banda do sinal e maior é a atenuação da potência do sinal de entrada, o que diminui a relação sinal ruído.

O valor do ganho normalizado g do integrador também altera as características das funções de transferência do sistema. As figuras 3.11 e 3.12 mostram, respectivamente, o efeito do integrador numérico com ganho $g < 1$ nas respostas de amplitude de $H_{X1}(e^{j\omega})$ e $H_{Q1}(e^{j\omega})$ do modulador de 1ª ordem.

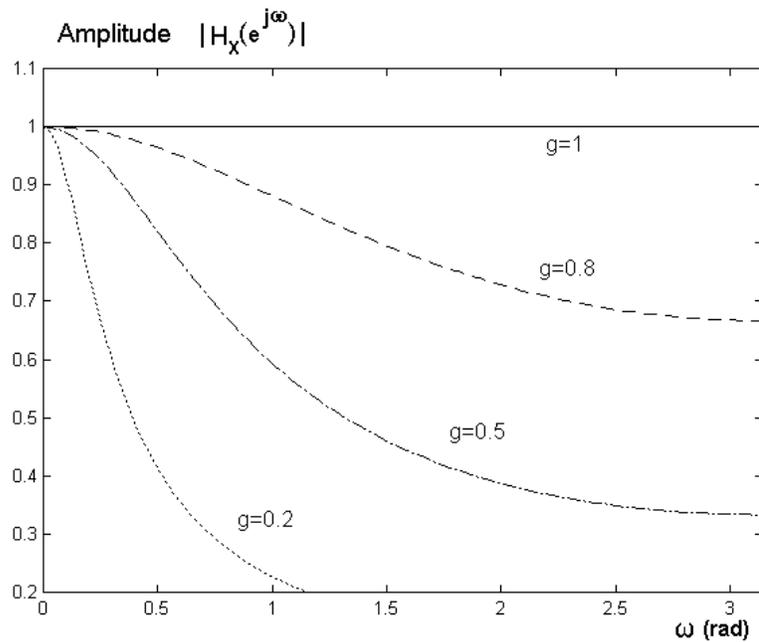


Figura 3.11 - Amplitude (dB) da Resposta em Freqüência da STF de 1ª Ordem para $g < 1$.

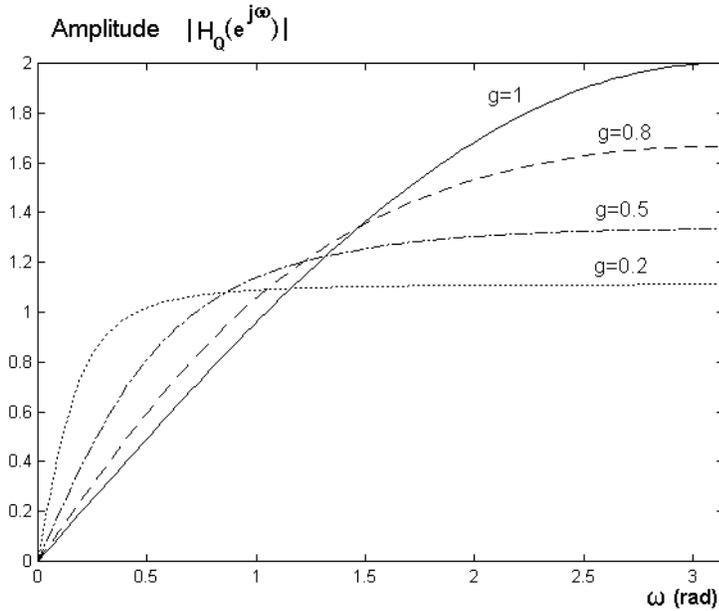


Figura 3.12 - Amplitude (dB) da Resposta em Frequência da NTF de 1ª Ordem para $g < 1$.

Devido à superamostragem, a diminuição do ganho normalizado g praticamente não interfere na potência do sinal. O ruído de quantização, com a diminuição do ganho, sofre menor atenuação. Este efeito adverso é necessário para a correta operação do modulador, pois desta forma diminui-se a probabilidade de que a saída do integrador esteja saturada [38],[41].

A partir das funções de transferência $H_{X1}(z)$ e $H_{Q1}(z)$ do modulador de 1ª ordem da figura 3.8, com parâmetros literais α e g , pode-se deduzir uma expressão genérica para a razão sinal/ruído (SNR) na saída. A SNR para o modulador de 1ª ordem implementado com o integrador Euler tipo avanço ideal foi deduzida na Seção 1.5.

Seguindo o mesmo procedimento do Capítulo 1 a SNR do modulador de 1ª ordem dentro da banda do sinal com valores arbitrários de g e α é deduzida:

$$SNR_1 = \frac{P_{S1}}{P_{N1}} = \frac{\int_{-f_N/2}^{f_N/2} |H_{X1}(e^{j2\pi fT})|^2 \cdot S_X(f) \cdot df}{\int_{-f_N/2}^{f_N/2} |H_{Q1}(e^{j2\pi fT})|^2 \cdot S_Q(f) \cdot df} \quad (3.27)$$

onde P_{S1} , P_{N1} , $S_X(f)$ e $S_Q(f)$ são, respectivamente, as potências médias do sinal e do ruído na banda do sinal na saída do modulador e, as densidades espectrais de potência do sinal na entrada do modulador e do ruído de quantização.

$$\left|H_{X1}(e^{j2\pi fT})\right|^2 = \frac{g^2}{1 + (g - \alpha)^2 + 2(g - \alpha)\text{Cos}(2\pi fT)} \quad (3.28)$$

Para uma senóide de entrada $x(t) = \Delta/2 \text{ Sen}(\pi f_N t)$, Δ sendo o degrau de quantização, a densidade espectral de potência é expressa por:

$$S_X(f) = \frac{\Delta^2}{16} \cdot \delta\left(f - \frac{f_N}{2}\right) + \frac{\Delta^2}{16} \cdot \delta\left(f + \frac{f_N}{2}\right) \quad (3.29)$$

A partir de (3.29), P_{S1} é determinada:

$$P_{S1} = \int_{-f_N/2}^{f_N/2} \left|H_{X1}(e^{j2\pi fT})\right|^2 \cdot \frac{\Delta^2}{16} \left[\delta\left(f - \frac{f_N}{2}\right) + \delta\left(f + \frac{f_N}{2}\right) \right] df \quad (3.30)$$

$$P_{S1} = \frac{\Delta^2}{16} \cdot \left[\left|H_X(e^{j\pi f_N T})\right|^2 + \left|H_X(e^{-j\pi f_N T})\right|^2 \right] \quad (3.31)$$

$$P_{S1} = \frac{(g\Delta)^2}{8} \frac{1}{1 + (g - \alpha)^2 + 2(g - \alpha)\text{Cos}(\pi/OSR)} \quad (3.32)$$

O módulo ao quadrado da NTF é dado por:

$$\left|H_{Q1}(e^{j2\pi fT})\right|^2 = \frac{1 + \alpha^2 + 2\alpha\text{Cos}(2\pi fT)}{1 + (g - \alpha)^2 + 2(g - \alpha)\text{Cos}(2\pi fT)} \quad (3.33)$$

$$S_Q(f) = \frac{\sigma_Q^2}{f_s} = \frac{\Delta^2}{12f_s} \quad (3.34)$$

P_{N1} é determinada substituindo-se (3.33) e (3.34) no denominador de (3.27):

$$P_{N1} = \frac{\sigma_Q^2}{f_s} \int_{-f_N/2}^{f_N/2} \frac{1 + \alpha^2 + 2\alpha \cos(2\pi fT)}{1 + (g - \alpha)^2 + 2(g - \alpha) \cos(2\pi fT)} df \quad (3.35)$$

A expressão para a SNR genérica do modulador de 1ª ordem é bastante complexa e foi calculada numericamente para diversos valores dos parâmetros α e g . A figura 3.13 mostra a SNR em função da OSR para diferentes valores de α . A figura 3.14 mostra a SNR em função da OSR para diferentes valores de ganho g .

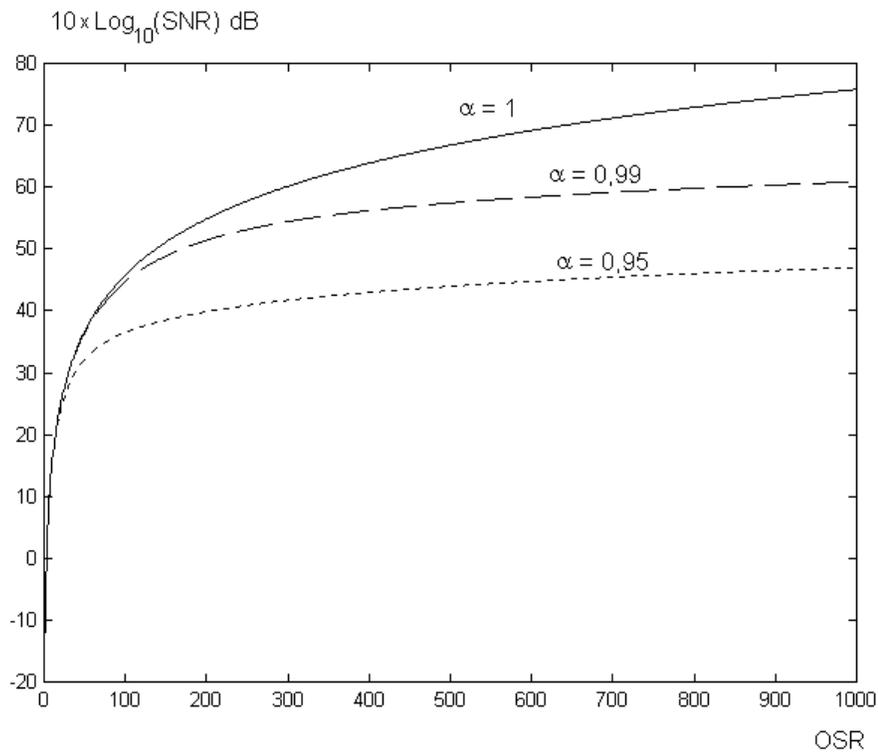


Figura 3.13 - SNR do modulador de 1ª Ordem com Ganho Unitário para Diferentes Valores de α .

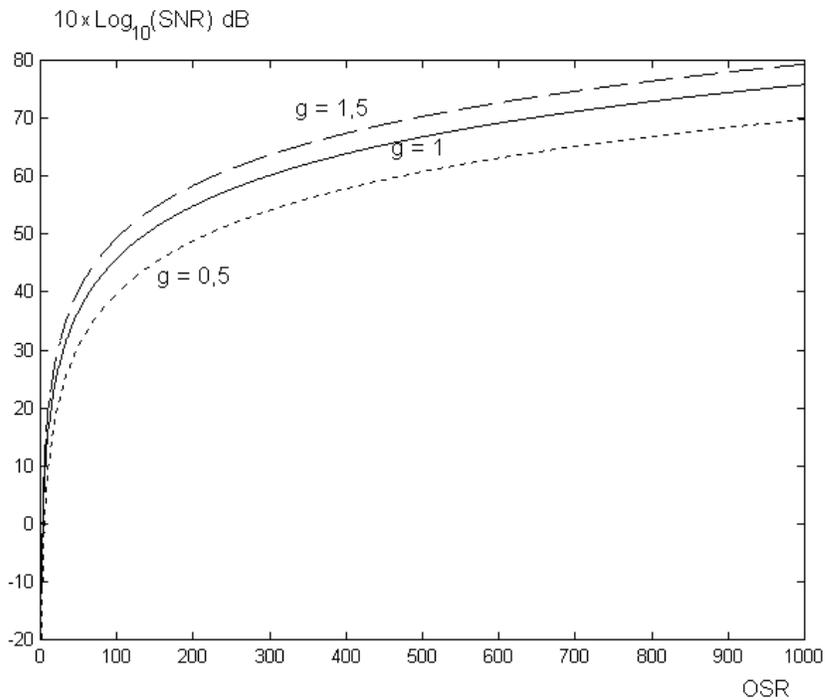


Figura 3.14 - SNR do modulador de 1ª Ordem sem Perdas para Diferentes Valores de g .

Observa-se que as perdas no integrador degradam bastante a *performance* do sistema. A variação do ganho tem uma contribuição menos significativa na determinação da SNR. Para o modulador de 2ª ordem o mesmo tipo de análise pode ser realizada. A SNR incluindo as não-idealidades dos integradores analógicos chaveados é obtida a partir do equacionamento do modulador da figura 3.15. A SNR de 2ª ordem ideal foi deduzida na Seção 2.1.

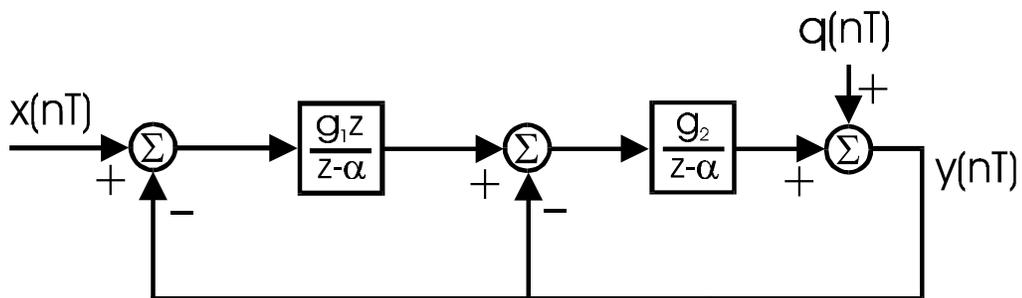


Figura 3.15 - Modulador de 2ª Ordem com Integradores Não-Ideais.

$$H_{X_2}(z) = \frac{Y(z)}{X(z)} = \frac{z(g_1g_2)}{z^2 + z(g_1g_2 + g_2 - 2\alpha) + (\alpha^2 - \alpha g_2)} \quad (3.36)$$

$$H_{Q_2}(z) = \frac{Y(z)}{Q(z)} = \frac{z^2 - 2\alpha z + \alpha^2}{z^2 + z(g_1g_2 + g_2 - 2\alpha) + (\alpha^2 - \alpha g_2)} \quad (3.37)$$

$$k_1 = g_1g_2 + g_2 - 2\alpha \quad (3.38)$$

$$k_2 = \alpha^2 - \alpha g_2 \quad (3.39)$$

A SNR é dada por:

$$SNR_2 = \frac{P_{S_2}}{P_{N_2}} = \frac{\int_{-f_N/2}^{f_N/2} |H_{X_2}(e^{j2\pi fT})|^2 \cdot S_X(f) \cdot df}{\int_{-f_N/2}^{f_N/2} |H_{Q_2}(e^{j2\pi fT})|^2 \cdot S_Q(f) \cdot df} \quad (3.40)$$

$$|H_{X_2}(e^{j\omega T})|^2 = \frac{(g_1g_2)^2}{[\text{Cos}(2\omega T) + k_1\text{Cos}(\omega T) + k_2]^2 + [\text{Sen}(2\omega T) + k_1\text{Sen}(\omega T)]^2} \quad (3.41)$$

Para uma senóide de entrada $x(t) = \Delta/2 \text{ Sen}(\pi f_N t)$, a densidade espectral de potência é expressa pela equação (3.29). Substituindo-se (3.29) e (3.41) no numerador de (3.40) determina-se P_{S_2} :

$$P_{S_2} = \frac{(g_1g_2\Delta)^2 / 8}{\left[\text{Cos}\left(\frac{2\pi}{OSR}\right) + k_1\text{Cos}\left(\frac{\pi}{OSR}\right) + k_2 \right]^2 + \left[\text{Sen}\left(\frac{2\pi}{OSR}\right) + k_1\text{Sen}\left(\frac{\pi}{OSR}\right) \right]^2} \quad (3.42)$$

O módulo ao quadrado da NTF é dado por:

$$\left| H_{Q2}(e^{j\omega T}) \right|^2 = \frac{[\alpha^2 - 2\alpha \cos(\omega T) + 1]^2}{[\cos(2\omega T) + k_1 \cos(\omega T) + k_2]^2 + [\sin(2\omega T) + k_1 \sin(\omega T)]^2} \quad (3.43)$$

Substituindo-se (3.34) e (3.43) no denominador de (3.40) determina-se P_{N2} :

$$P_{N2} = \frac{\Delta^2}{12} \int_{\frac{-0,5}{OSR.T}}^{\frac{0,5}{OSR.T}} \frac{T[\alpha^2 - 2\alpha \cos(\omega T) + 1]^2}{[\cos(2\omega T) + k_1 \cos(\omega T) + k_2]^2 + [\sin(2\omega T) + k_1 \sin(\omega T)]^2} df \quad (3.44)$$

Como no caso anterior, não foi possível obter uma expressão analítica para a potência média P_{N2} . Para a obtenção dos gráficos de SNR x OSR, em função dos parâmetros α , g_1 e g_2 , a integral (3.44) foi resolvida numericamente. Estes gráficos são mostrados nas figuras 3.16 a 3.18.

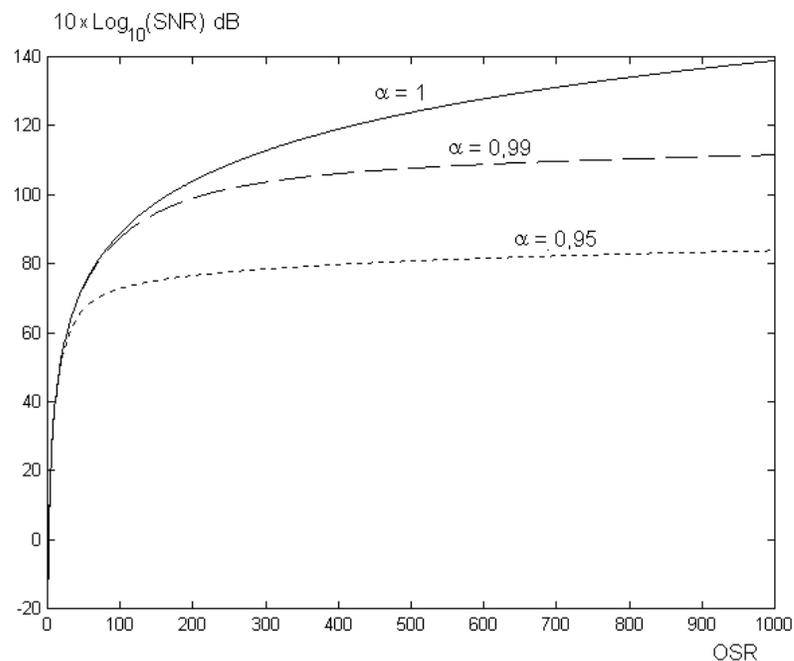


Figura 3.16 - SNR do modulador de 2ª Ordem com $g_1 = g_2 = 1$ para Diferentes Valores de α .

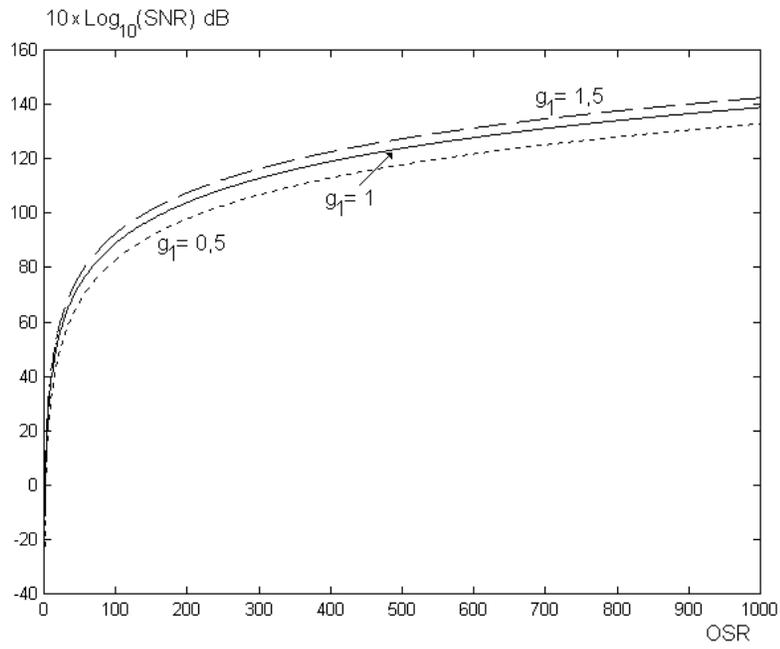


Figura 3.17 - SNR do modulador de 2ª Ordem com $\alpha = g_2 = 1$ para Diferentes Valores de g_1 .

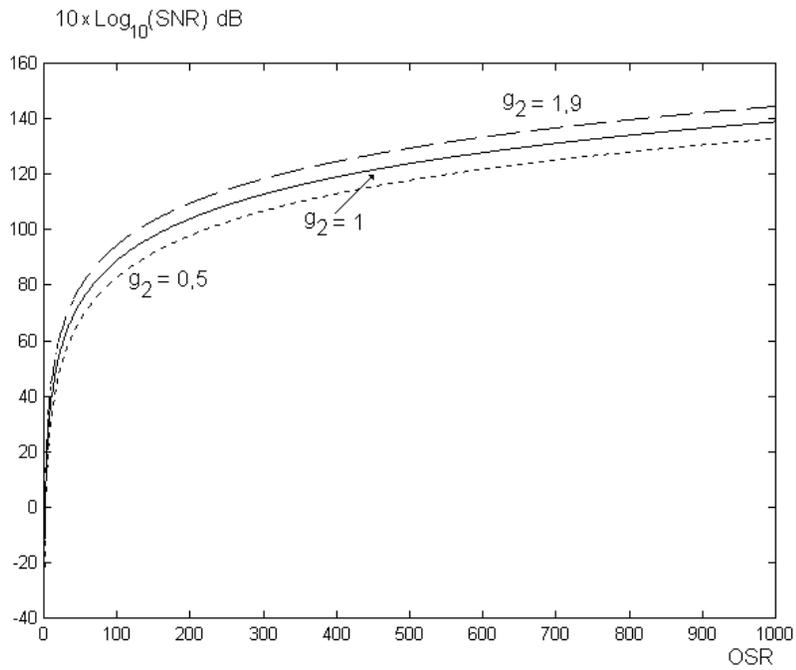


Figura 3.18 - SNR do modulador de 2ª Ordem com $\alpha = g_1 = 1$ para Diferentes Valores de g_2 .

Para o modulador de 2ª ordem novamente verifica-se a grande degradação na SNR devido às perdas nos integradores. Os ganhos normalizados g_1 e g_2 também influenciam, em menor escala, a *performance* do sistema.

3.4 *Sampling Jitter*

Todos os sistemas analógicos chaveados têm seu funcionamento controlado por sinais digitais de sincronismo (*clock*), oriundos de osciladores ou PLL's. Estes sinais apresentam uma determinada estabilidade em frequência, de precisão finita e mensurável [88],[89]. A figura 3.19 mostra um exemplo de sinal digital apresentando imprecisão nos instantes de transição.



Figura 3.19 - Sinal de Sincronismo (*clock*) Apresentando Imprecisão nos Instantes de Transição (*jitter*).

Nos moduladores $\Sigma\Delta$ a capacitores chaveados, os sinais de sincronismo controlam a amostragem do sinal de entrada e todo o processamento subsequente das amostras. Como nos circuitos SC as cargas são transferidas quase que instantaneamente após o fechamento das chaves [4],[95], pequenas variações nos instantes de mudança de estado destas não interferem no processamento das amostras. Portanto, imprecisões nos instantes de transição degradam a *performance* do modulador apenas na amostragem realizada no primeiro integrador do sistema [93],[97].

A cada pequena variação no instante de amostragem (*sampling jitter*), corresponde um erro na amplitude das amostras do sinal de entrada. Este erro depende mutuamente das características espectrais da entrada e da estabilidade em frequência do sinal que controla o amostrador. Portanto, apenas estimativas da degradação da *performance* do modulador podem ser realizadas. Uma boa previsão dos efeitos dos erros de amostragem é conseguida a partir

do estudo de três situações específicas: sinal de entrada DC, sinal de entrada senoidal e *sampling jitter* aleatório e, sinal de entrada senoidal e *sampling jitter* também senoidal.

Para o modulador com entrada DC , a imprecisão na amostragem não provoca nenhuma limitação na *performance* do modulador. Portanto, pode-se inferir que este tipo de erro é diretamente proporcional à derivada do sinal de entrada [90]-[92],[94].

Para o modulador com entrada senoidal e *sampling jitter* aleatório, a resolução do sistema é degradada [97]. No modulador ideal, a saída se relaciona com as entradas pela seguinte equação a diferença:

$$y[n] = (y[n] + x(nT)) \otimes h[n] + q[n] \quad (3.45)$$

onde $y[n]$ é a saída do modulador ideal, $x(nT)$ é a entrada “amostrada e retida”, $h[n]$ é a resposta ao impulso do filtro interno do modulador (*loop filter*) e $q[n]$ é o ruído de quantização.

A amostragem não-ideal é modelada da seguinte forma:

$$x[n] = x(nT + J[n]) = x(nT) + x'(nT) \cdot J[n] + \frac{x''(nT) \cdot J[n]^2}{2!} + \dots \quad (3.46)$$

$$y_J[n] \cong (y_J[n] + x(nT) + x'(nT) \cdot J[n]) \otimes h[n] + q_J[n] \quad (3.47)$$

onde $J[n]$ é uma pequena perturbação em torno do instante de amostragem e, $y_J[n]$ e $q_J[n]$ são, respectivamente, a saída do modulador e o ruído de quantização com amostragem não-ideal.

Subtraindo-se (3.45) de (3.47) determina-se a parcela de erro adicional devido ao *sampling jitter* $\epsilon_J[n] = y_J[n] - y[n]$:

$$\epsilon_J[n] = (\epsilon_J[n] + x'(nT) \cdot J[n]) \otimes h[n] + (q_J[n] - q[n]) \quad (3.48)$$

$$E_J(z) = \frac{1}{1-H(z)} \cdot [\hat{X}(z) + Q_J(z) - Q(z)] - \hat{X}(z) \quad (3.49)$$

onde $\hat{x}[n] = x'(nT) \cdot J[n]$. Na equação (3.49), a expressão entre colchetes é multiplicada pela função de transferência do ruído de quantização (NTF), que apresenta amplitude próxima de zero nas frequências mais baixas. Portanto, dentro da banda do sinal, a densidade espectral de potência do erro introduzido pela imprecisão na amostragem é praticamente independente da ordem do modulador [97]:

$$S_{E_j}(e^{j\omega T}) \cong S_{\hat{x}}(e^{j\omega T}), \quad \frac{-\omega_N}{2} < \omega < \frac{\omega_N}{2} \quad (3.50)$$

A perturbação $J[n]$ é modelada como um processo aleatório, de média $m_J = 0$, variância σ_J^2 e densidade espectral de potência uniforme (ruído branco). A densidade espectral de potência do erro de amostragem pode ser determinada a partir da autocorrelação de $\hat{x}[n]$:

$$R_{\hat{x}}[k] = E\{\hat{x}[n] \cdot \hat{x}[n+k]\} \quad (3.51)$$

onde $E\{\cdot\}$ é o operador esperança matemática.

$$R_{\hat{x}}[k] = E\{x'(nT) \cdot J[n] \cdot x'(nT+kT) \cdot J[n+k]\} \quad (3.52)$$

Como $x'(nT)$ e $J[n]$ são incorrelatos, a autocorrelação do erro de amostragem pode ser expressa por:

$$R_{\hat{x}}[k] = M\{x'(nT) \cdot x'(nT+kT)\} \cdot E\{J[n] \cdot J[n+k]\} \quad (3.53)$$

onde $M\{\cdot\}$ é o operador média temporal.

A autocorrelação de $J[n]$ é dada por [3]:

$$R_J[k] = E\{J[n] \cdot J[n+k]\} = \sigma_J^2 \cdot \delta[k] \quad (3.54)$$

A estimativa de pior caso para o erro de *jitter* ocorre para a senóide de entrada de máxima amplitude e na frequência mais alta da banda do sinal:

$$x(t) = \frac{\Delta}{2} \cdot \text{Sen}(\pi f_N t) \quad (3.55)$$

$$x'(t) = \pi f_N \frac{\Delta}{2} \cdot \text{Cos}(\pi f_N t) \quad (3.56)$$

$$x'(nT) \cdot x'(nT + kT) = \left(\pi f_N \frac{\Delta}{2} \right)^2 \cdot \text{Cos}(\pi f_N nT) \cdot \text{Cos}(\pi f_N T[n + k]) \quad (3.57)$$

Através da utilização de identidades trigonométricas [10], a expressão (3.57) é desenvolvida:

$$\frac{\left(\pi f_N \frac{\Delta}{2} \right)^2}{2} \cdot \left\{ \text{Cos}(2\pi f_N nT) \cdot \text{Cos}(\pi f_N nk) + \text{Sen}(2\pi f_N nT) \cdot \text{Sen}(\pi f_N nk) + \text{Cos}(\pi f_N nk) \right\} \quad (3.58)$$

A média temporal da expressão (3.58) é dada por:

$$M\{x'(nT) \cdot x'(nT + kT)\} = \frac{\left(\pi f_N \frac{\Delta}{2} \right)^2}{2} \cdot \text{Cos}(\pi f_N nk) \quad (3.59)$$

Combinando-se (3.54) e (3.59), a autocorrelação de $\hat{x}[n]$ é determinada:

$$R_{\hat{x}}[k] = \frac{\left(\pi f_N \frac{\Delta}{2} \right)^2}{2} \cdot \text{Cos}(\pi f_N nk) \cdot \sigma_J^2 \cdot \delta[k] \quad (3.60)$$

A transformada de Fourier de (3.60) resulta na densidade espectral de potência do erro de amostragem na banda do sinal:

$$S_{E_y}(e^{j\omega T}) \cong \frac{\left(\pi f_N \frac{\Delta}{2} \right)^2}{2} \cdot \frac{\sigma_J^2}{f_s} \quad (3.61)$$

Integrando-se (3.61) na banda do sinal obtém-se a estimativa de pior caso para o erro de amostragem para entrada senoidal e *sampling jitter* aleatório:

$$P_J = \int_{-f_N/2}^{f_N/2} S_{E_y}(e^{j2\pi fT}) df = \frac{(\pi f_N \Delta)^2}{8} \cdot \frac{\sigma_J^2}{OSR} \quad (3.62)$$

A SNR do modulador levando-se em conta a imprecisão nos sinais de sincronismo é dada por:

$$SNR_{\Sigma\Delta} = \frac{P_s}{P_N + P_J} \quad (3.63)$$

A figura 3.20 mostra a SNR do modulador de 2ª ordem para diversos valores da variância normalizada $(\sigma_J/T)^2$ do erro de amostragem.

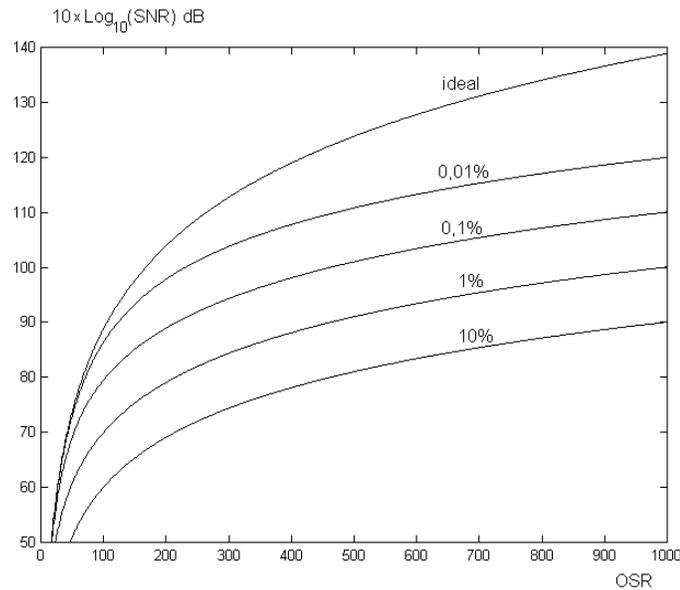


Figura 3.20 - SNR do Modulador de 2ª Ordem para Diversos Valores da Variância Normalizada $(\sigma_J/T)^2$ do Erro de Amostragem.

Enquanto o ruído de quantização é o principal fator limitante da resolução na saída do modulador, a SNR cresce rapidamente com o aumento da OSR. Quando o erro de *jitter* passa a ser o fator predominante, a SNR cresce de forma linear como previsto por (3.62). A tabela 3.1 mostra valores da variância normalizada $(\sigma_J/T)^2$ para diversas combinações de frequência de amostragem e de desvio padrão σ_J .

σ_J	f_s	$(\sigma_J/T)^2 \%$
1 ns	1 MHz	0,0001
1 ns	10 MHz	0,01
1 ns	100 MHz	1
100 ps	1 MHz	0,000001
100 ps	10 MHz	0,0001
100 ps	100 MHz	0,01
10 ps	10 MHz	0,000001
10 ps	100 MHz	0,0001

Tabela 3.1 - Variância Normalizada do *Sampling Jitter* Aleatório.

A figura 3.21 compara a sensibilidade dos moduladores de 1ª e 2ª ordens à imprecisão no instante de amostragem. A figura 3.22 compara a sensibilidade dos moduladores de 2ª e 3ª ordens à imprecisão no instante de amostragem.

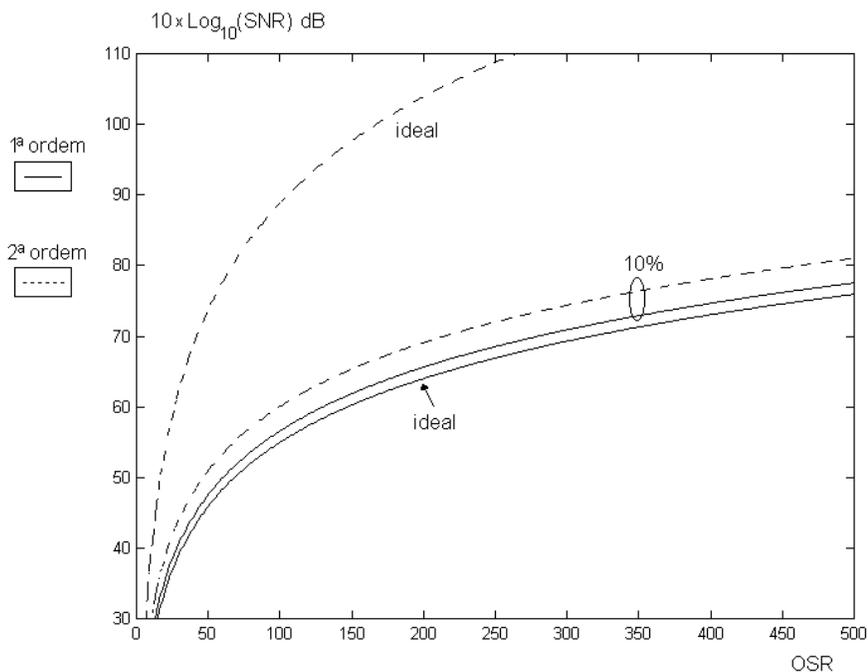


Figura 3.21 - Degradação da Resolução nos Moduladores de 1ª e 2ª Ordens devido ao *Sampling Jitter*.

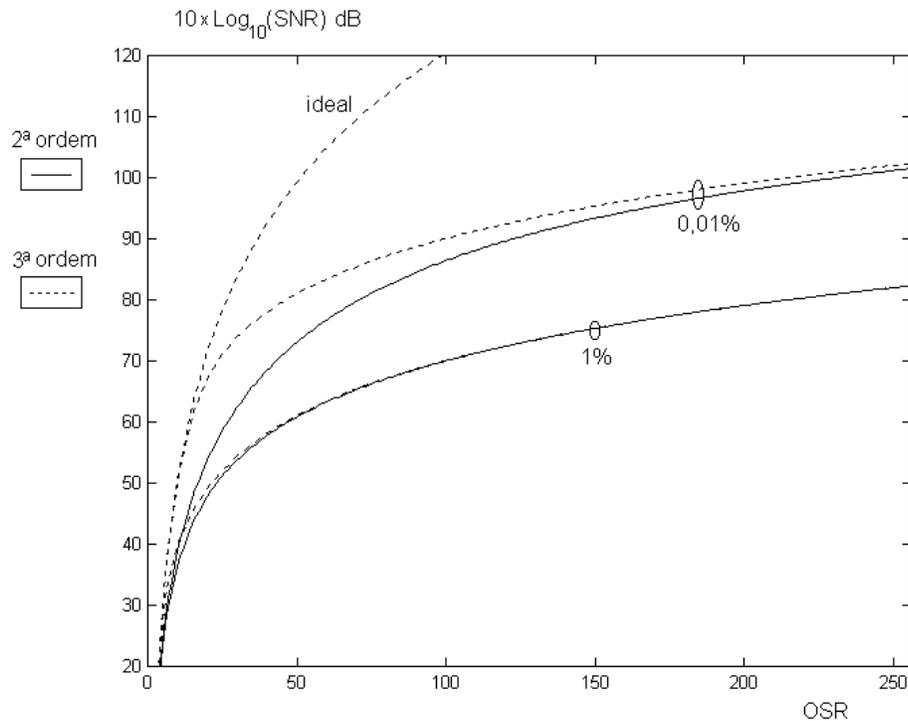


Figura 3.22 - Degradação da Resolução nos Moduladores de 2ª e 3ª Ordens devido ao *Sampling Jitter*.

Como no modulador de 1ª ordem a atenuação do ruído de quantização na banda do sinal não é tão grande quanto nos moduladores de ordens mais elevadas, o erro de *jitter* se torna desprezível para a determinação da SNR do sistema (figura 3.21)

Na figura 3.22 verifica-se que o erro na amostragem degrada a *performance* do sistema independentemente da ordem e da arquitetura do modulador.

Para o modulador com entrada senoidal e *sampling jitter* também senoidal, o sinal amostrado é distorcido de forma análoga à modulação em FM [92]. Neste caso o sinal equivaleria à portadora e o erro de *jitter* à mensagem modulante.

$$J(t) = J \cdot \text{Sen}[\Omega_j t] \quad (3.64)$$

O processo de amostragem é perturbado de acordo com a seguinte expressão:

$$x[n] = x(nT + J \cdot \text{Sen}[\omega_j \cdot n]) \quad (3.65)$$

Matematicamente, um sinal de entrada modulado senoidalmente em frequência e amostrado nos instantes de tempo corretos produz a mesma seqüência de amostras especificadas na equação (3.65). Portanto, os efeitos do *jitter* senoidal na banda base do modulador podem ser determinados a partir do estudo do espectro do sinal de entrada modulado em FM:

$$x(t) = A \cdot \text{Cos}(\Omega_x [t + J \cdot \text{Sen}(\Omega_j t)]) \quad (3.66)$$

$$x(t) = A \cdot \text{Cos}(\Omega_x t + \beta \cdot \text{Sen}(\Omega_j t)) \quad (3.67)$$

$$\beta = 2\pi \cdot \frac{J}{T_x} \quad (3.68)$$

onde β é o índice de modulação do sinal modulado em FM. A expressão (3.67) foi desenvolvida em [3], e é equivalente a:

$$x(t) = A \cdot \sum_{k=-\infty}^{\infty} J_k(\beta) \cdot \text{Cos}([\Omega_x + k\Omega_j]t) \quad (3.69)$$

$$X(f) = \frac{A}{2} \sum_{k=-\infty}^{\infty} J_k(\beta) \cdot [\delta(f - f_x - kf_j) + \delta(f + f_x + kf_j)] \quad (3.70)$$

onde $J_k(\cdot)$ é a função de Bessel de primeiro tipo e ordem k (figura 3.23). Como a amplitude do erro de *jitter* é bem pequena em relação ao período T_x , o índice de modulação β é sempre menor do que 1. Neste caso a seguinte aproximação é válida [3]:

$$\begin{cases} J_0(\beta) \cong 1 \\ J_1(\beta) \cong \beta/2 \\ J_k(\beta) \cong 0, \quad k > 1 \end{cases} \quad (3.71)$$

O espectro de $X(f)$ será então caracterizado por uma raia central correspondente ao sinal de entrada sem *jitter* e duas raias laterais proporcionais ao índice de modulação (FM de banda estreita).

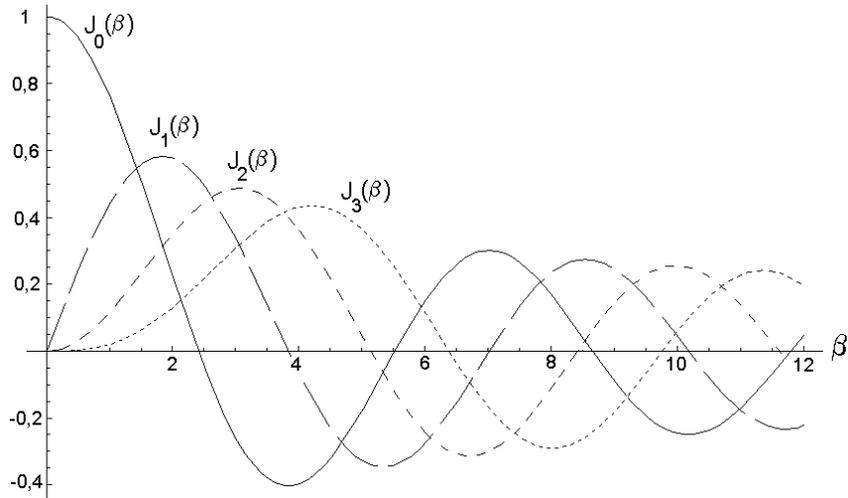


Figura 3.23 - Função de Bessel de Primeiro Tipo e Ordem k $J_k(\beta)$.

O efeito da amostragem com *sampling jitter* senoidal é explicitado na equação (3.72). Neste caso, a distorção causada ao sinal de entrada é independente da ordem do modulador e também da taxa de amostragem.

$$x[n] \cong A \cdot \text{Cos}(\omega_x n) + \frac{\beta A}{2} \cdot \text{Cos}([\omega_x + \omega_J]n) - \frac{\beta A}{2} \cdot \text{Cos}([\omega_x - \omega_J]n) \quad (3.72)$$

Dependendo da aplicação, as bandas laterais presentes no espectro do sinal amostrado podem ser indesejáveis. Em sistemas de áudio, estas raias são potencialmente perceptíveis se elas estiverem acima do patamar do ruído de quantização [92]. No caso em que a senóide de entrada tem amplitude máxima $\Delta/2$ (0 dB), a amplitude das bandas laterais (BL) e o patamar de ruído na frequência do sinal (NF) são, respectivamente, expressos por:

$$BL = \frac{\left(\frac{\beta \cdot A}{2}\right)^2}{4} = \frac{(\pi \cdot J \cdot f_x \cdot \Delta)^2}{16} \quad (3.73)$$

$$NF = \frac{\Delta^2}{12 \cdot f_s} \left[4 \cdot \text{Sen}\left(\frac{\pi \cdot f_x}{f_s}\right) \right]^L \quad (3.74)$$

onde L é a ordem do modulador. As tabelas 3.2 e 3.3 mostram os valores computados de BL e NF para diversos valores de f_x , f_s e J.

J	f_x	f_s	BL (dB)	NF (dB)
1 ns	2 kHz	4 MHz	-96	-107
1 ns	20 kHz	4 MHz	-82	-92
1 ns	50 kHz	4 MHz	-74	-84
100 ps	2 kHz	4 MHz	-116	-107
100 ps	20 kHz	4 MHz	-102	-92
100 ps	50 kHz	4 MHz	-94	-84
1 ns	20 kHz	40 MHz	-82	-123
1 ns	50 kHz	40 MHz	-74	-115
100 ps	20 kHz	40 MHz	-102	-123
100 ps	50 kHz	40 MHz	-94	-115
10 ps	20 kHz	40 MHz	-122	-123
10 ps	50 kHz	40 MHz	-114	-115

Tabela 3.2 - BL e NF no Modulador de 1ª Ordem.

J	f_x	f_s	BL (dB)	NF (dB)
1 ns	2 kHz	4 MHz	-96	-151
1 ns	20 kHz	4 MHz	-82	-123
1 ns	50 kHz	4 MHz	-74	-107
100 ps	2 kHz	4 MHz	-116	-151
100 ps	20 kHz	4 MHz	-102	-123
100 ps	50 kHz	4 MHz	-94	-107
1 ns	20 kHz	40 MHz	-82	-173
1 ns	50 kHz	40 MHz	-74	-157
100 ps	20 kHz	40 MHz	-102	-173
100 ps	50 kHz	40 MHz	-94	-157
10 ps	20 kHz	40 MHz	-122	-173
10 ps	50 kHz	40 MHz	-114	-157

Tabela 3.3 - BL e NF no Modulador de 2ª Ordem.

Mesmo estando na maioria dos casos acima do patamar de ruído, as bandas laterais ficam muito abaixo da amplitude do sinal e são praticamente imperceptíveis. Na prática, nem sempre o patamar de ruído é determinado pelo ruído de quantização: o ruído térmico introduzido no modulador pelos dispositivos eletrônicos impede que os níveis de ruído previstos nas tabelas 3.2 e 3.3 sejam tão baixos (Seção 4.4.1).

CAPÍTULO 4

MODULADORES $\Sigma\Delta$ IMPLEMENTADOS COM CIRCUITOS A CAPACITORES CHAVEADOS

4.0 Introdução

Os moduladores $\Sigma\Delta$ implementados com circuitos a capacitores chaveados (SC) foram uma unanimidade na década de 80 e até hoje são bastante adequados para diversas aplicações: canais de voz em banda base para telefonia (13 bits / 4 kHz) [25], digitalização de áudio (16 bits / 22,05 kHz) [10], ISDN U-*interface* (14 bits / 80 kHz) [41], e outras (16 bits / 160 kHz) [44]. As técnicas de projeto utilizadas são as mesmas que foram desenvolvidas para filtros analógicos no mesmo período. Praticamente, todos os estudos sobre não-idealidades e limites de *performance* foram feitos visando a aplicação de filtragem de sinais [4],[99]-[116].

Os circuitos reais apresentam diversas não-idealidades que se somam às limitações de desempenho impostas pela implementação analógica chaveada genérica (Capítulo 3). Deve-se portanto agregar ao modelo as não-idealidades e fontes de erro presentes. Este modelo mais refinado é mostrado na figura 4.1. Todos os blocos constituintes do sistema são acrescidos de uma fonte de erro projetada para suas entradas correspondentes às imperfeições presentes nas possíveis implementações práticas destes mesmos blocos.

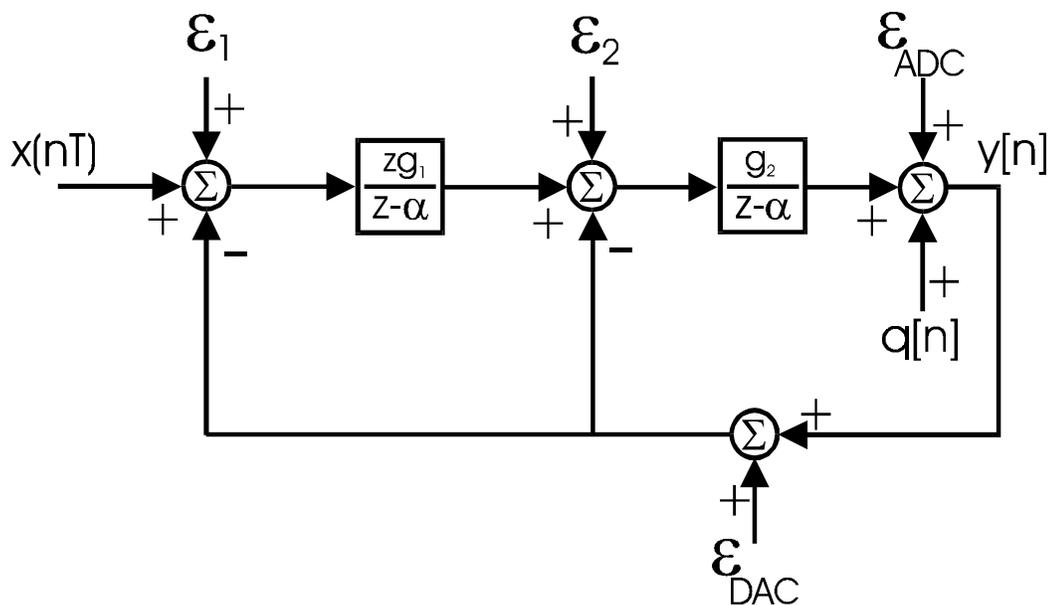


Figura 4.1 - Modulador $\Sigma\Delta$ de 2ª Ordem e Fontes de Erro Genéricas na Implementação Integrada com Circuitos a Capacitores Chaveados.

Na figura 4.1 a seguinte notação é adotada:

- T - período de amostragem.
- $x(nT)$ - versão *sampled-and-held* do sinal analógico $x(t)$.
- $y[n]$ - *bit stream* de saída do modulador com quantizador de 1 bit.
- $q[n]$ - erro de quantização modelado como fonte aditiva de ruído branco.
- $\mathbf{\epsilon}_i$ - somatória de todos os erros presentes na implementação do i -ésimo integrador projetada para a entrada do mesmo.
- $\mathbf{\epsilon}_{ADC}$ - somatória de todos os erros presentes na implementação do quantizador projetada para entrada do mesmo.
- $\mathbf{\epsilon}_{DAC}$ - somatória de todos os erros presentes na implementação do conversor D/A de 1 bit da malha de realimentação projetada para entrada do mesmo.

Para que a influência de cada uma das as fontes de erro possa ser corretamente avaliada é preciso equacionar a função de transferência de todas estas entradas indesejadas do sistema para a saída $y[n]$. Para $\alpha = g_1 = g_2 = 1$ tem-se:

$$Y(z) = \mathbf{\epsilon}_{ADC} + Q(z) + \frac{1}{z-1} \left\{ \mathbf{\epsilon}_2 - Y(z) - \mathbf{\epsilon}_{DAC} + \frac{z}{z-1} \cdot [\mathbf{\epsilon}_1 + X(z) - Y(z) - \mathbf{\epsilon}_{DAC}] \right\} \quad (4.1)$$

$$Y(z) = \mathbf{\epsilon}_{ADC} + Q(z) + \frac{1}{z-1} \left\{ \mathbf{\epsilon}_2 - Y(z) - \mathbf{\epsilon}_{DAC} + \frac{z\mathbf{\epsilon}_1}{z-1} + \frac{zX(z)}{z-1} - \frac{zY(z)}{z-1} - \frac{z\mathbf{\epsilon}_{DAC}}{z-1} \right\} \quad (4.2)$$

$$Y(z) \left[\frac{z^2}{(z-1)^2} \right] = \mathbf{\epsilon}_{ADC} + Q(z) + \frac{\mathbf{\epsilon}_2}{z-1} + \frac{z\mathbf{\epsilon}_1}{(z-1)^2} + \frac{zX(z)}{(z-1)^2} - \frac{(2z-1)}{(z-1)^2} \mathbf{\epsilon}_{DAC} \quad (4.3)$$

$$H_Q(z) = \frac{Y(z)}{Q(z)} = \frac{(z-1)^2}{z^2} \quad (4.4)$$

$$H_{\epsilon_{ADC}}(z) = \frac{Y(z)}{\epsilon_{ADC}} = \frac{(z-1)^2}{z^2} \quad (4.5)$$

$$H_{\epsilon_2}(z) = \frac{Y(z)}{\epsilon_2} = \frac{z-1}{z^2} \quad (4.6)$$

$$H_X(z) = \frac{Y(z)}{X(z)} = \frac{1}{z} \quad (4.7)$$

$$H_{\epsilon_1}(z) = \frac{Y(z)}{\epsilon_1} = \frac{1}{z} \quad (4.8)$$

$$H_{\epsilon_{DAC}}(z) = \frac{Y(z)}{\epsilon_{DAC}} = -\frac{2z-1}{z^2} \quad (4.9)$$

A partir das funções de transferência das diversas variáveis presentes no modulador pode-se traçar a amplitude da resposta em frequência das mesmas, que são mostrados na figura 4.2 . Percebe-se a partir destas curvas que todos os erros introduzidos pelo quantizador (ϵ_{ADC}) serão submetidos ao mesmo *noise shaping* de 2ª ordem a que é submetido o ruído de quantização. O conjunto de erros introduzido pelo 2º integrador do sistema (ϵ_2) é submetido a um *noise shaping* de 1ª ordem.

Entretanto, o conjunto de erros introduzido pelo 1º integrador do sistema (ϵ_1) e os erros introduzidos pelo DAC da malha de realimentação (ϵ_{DAC}) não são atenuados dentro da banda do sinal pelo modulador $\Sigma\Delta$. O modelamento detalhado destes dois blocos é fundamental para a correta previsão do comportamento dinâmico do modulador já que os erros por eles introduzidos na banda base são incorporados diretamente ao espectro do sinal.

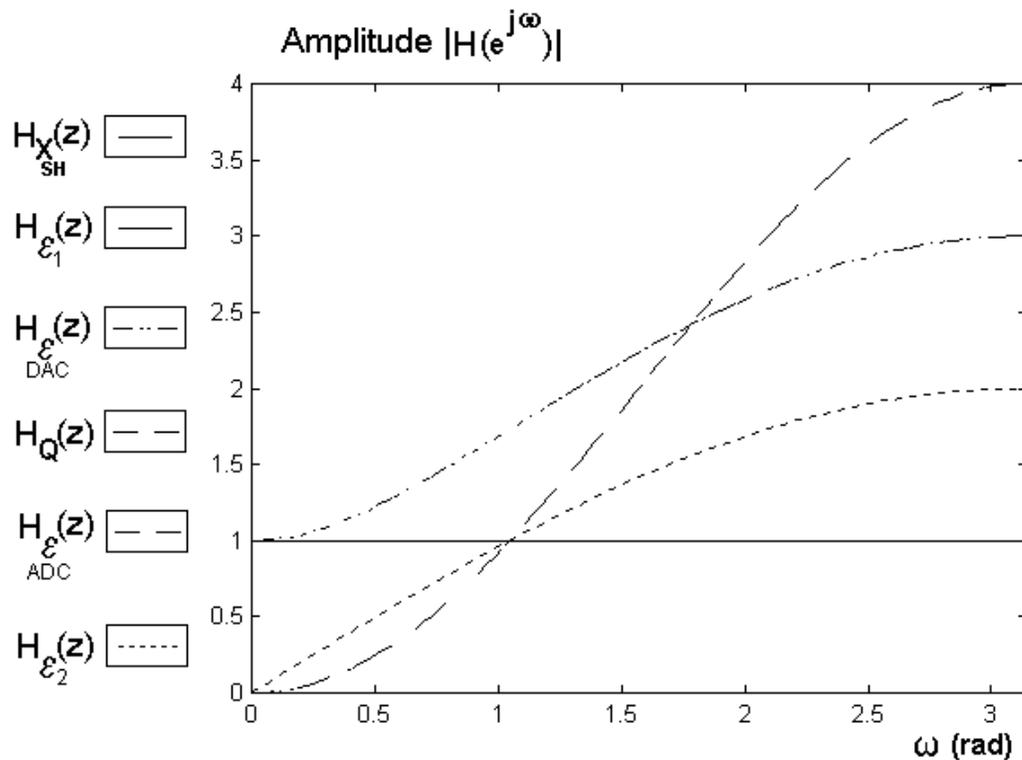


Figura 4.2 - Amplitude das Funções de Transferência de Todas as Entradas do Modulador para Saída

Fica evidente que o projeto do 1º integrador do sistema, independente da ordem e da topologia de modulador $\Sigma\Delta$ escolhida, e do DAC da malha de realimentação devem ser os mais refinados possíveis. São estes blocos principalmente que determinam a máxima *performance* alcançável pelo conversor. Os demais integradores (quando presentes) e o quantizador podem ter especificações de projeto bem menos rigorosas.

A combinação do estudo dos erros introduzidos na implementação com circuitos SC com as características físicas do processo CMOS permite a obtenção de curvas parametrizadas para a previsão do SNR do modulador $\Sigma\Delta$ e para a determinação dos limites de desempenho atingíveis.

Como o comportamento do DAC de 1 bit implementado com circuitos SC é bem próximo do ideal [38],[41], este não será considerado nas análises subseqüentes.

4.1 Integradores SC

O princípio de funcionamento da técnica de capacitores chaveados está baseado na transferência quantizada de cargas entre nós do circuito. O bipolo equivalente que opera desta forma se comporta aproximadamente como um resistor. Assim se consegue realizar de forma monolítica produtos RC de alta precisão apenas com capacitores e chaves analógicas. Todos estes componentes ocupam também muito menos área que os resistores em circuitos integrados. Uma análise detalhada do funcionamento de circuitos SC é encontrada nas referências [4],[101],[111]-[114].

A implementação de constantes de tempo RC estáveis e precisas é fundamental na construção de integradores para fins de processamento de sinais. A figura 4.3 apresenta várias arquiteturas de integradores discretos a capacitores chaveados. Aplicando-se as leis de Kirchhoff e a conservação da carga equaciona-se facilmente a função de transferência destes circuitos [4]. Os sinais de sincronismo ϕ_1 e ϕ_2 controlam o estado das chaves.

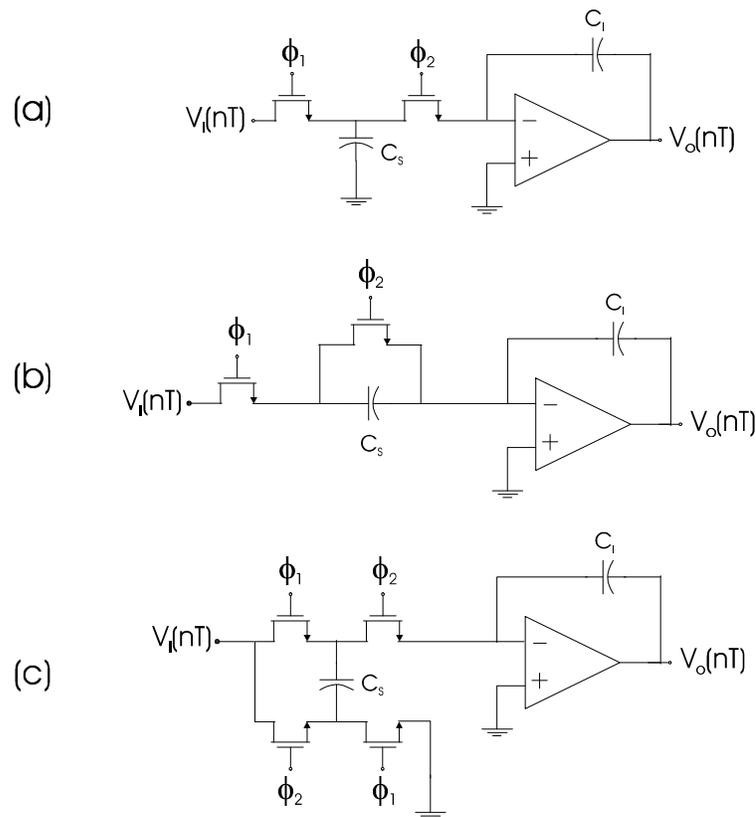


Figura 4.3 - Integradores a Capacitores Chaveados. (a) Euler tipo Avanço. (b) Euler tipo Atraso / LDI. (c) Bilinear.

Os acumuladores inversores mostrados na figura 4.3 implementam, respectivamente, os métodos integração numérica Euler tipo avanço, Euler tipo atraso e Bilinear. A integração LDI é implementada amostrando-se a saída do acumulador das figura 4.3b na metade do período de amostragem do sistema.

$$I_a(z) = \frac{V_o(z)}{V_i(z)} = -\frac{C_S}{C_I} \cdot \frac{1}{z-1} \quad (4.10)$$

$$I_b(z) = \frac{V_o(z)}{V_i(z)} = -\frac{C_S}{C_I} \cdot \frac{z}{z-1} \quad (4.11)$$

$$I_c(z) = \frac{V_o(z)}{V_i(z)} = -\frac{2 \cdot C_S}{C_I} \cdot \frac{z+1}{z-1} \quad (4.12)$$

Entretanto, diversas não-idealidades nas chaves e nos capacitores destes integradores fazem com que as funções de transferência realizadas na prática sejam diferentes do previsto [111]-[114]. Capacitores integrados podem ser realizados de 3 formas diferentes através da superposição de camadas [101],[113],[118]: metal2-SiO₂-metal1, metal1-SiO₂-difusão de dreno e *poly2*-SiO₂-*poly1*. O primeiro grupo apresenta uma capacitância por área muito baixa, o segundo era utilizado apenas nos antigos processos NMOS com região de porta (G) do transistor feito de alumínio e o terceiro representa a melhor opção tecnológica para capacitores nos processos atuais. Nesta seção apenas serão analisadas as características dos capacitores realizados com duas camadas de poli-silício (*poly*). Transistores MOS também podem ser usados como capacitores (MOSCAP's), mas sua utilização em projetos requer cuidados especiais [137].

Capacitores *poly2*-SiO₂-*poly1* (figura 4.4a) apresentam boas características físicas, pequena dependência da capacitância com a tensão aplicada e capacitâncias por área da ordem de 1 fF/pm². A capacitância principal está entre os contatos T e B, mas a capacitância entre a placa inferior (*bottom plate*) e o substrato pode valer de 5 a 20% da capacitância C_{TB} [4] e precisa ser incluída no modelamento (figura 4.4b).

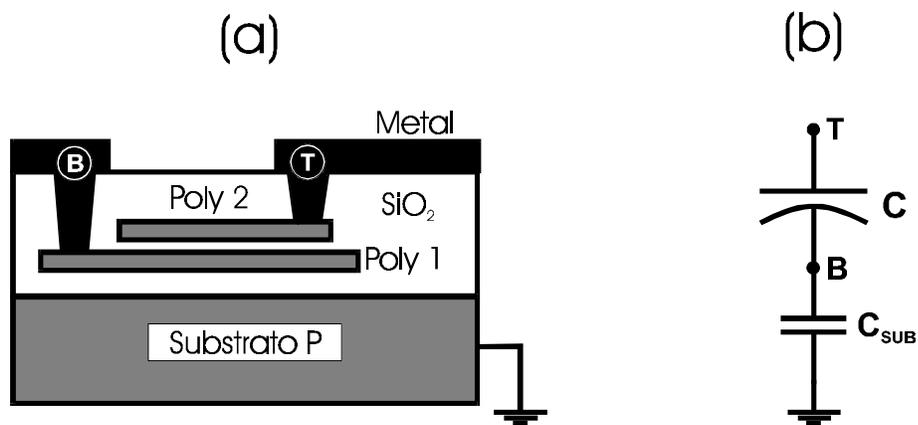


Figura 4.4 - Capacitor Monolítico Realizado com 2 Camadas de *Poly* (a) e seu Modelo Incluindo a Capacitância Parasita entre a Placa Inferior e o Substrato (b).

As chaves analógicas são realizadas com transistores NMOS (figura 4.5a). Quando o transistor está cortado ($V_{GS}=0$), a chave está aberta ($R_{OFF} \cong \infty$). Quando o transistor está na região linear ($V_{GS}=V_{DD}$), a chave está fechada ($R_{ON} \cong 5k\Omega$). O modelo do MOSFET contém diversas capacitâncias entre seus 3 terminais (C_{GS} , C_{GD} , etc...) [6]-[8], mas apenas as capacitâncias entre os terminais de fonte(S)-substrato(SUB) e dreno(D)-substrato(SUB), C_{SSUB} e C_{DSUB} (figura 4.5b), são importantes para o estudo das capacitâncias parasitas que alteram o valor da razão C_S/C_I do integrador. C_{SSUB} e C_{DSUB} são capacitâncias de junção PN e portanto seus valores variam de forma não-linear com a diferença de potencial na junção. Outras não-idealidades das chaves são analisadas nas Seções 4.3 e 4.4 .

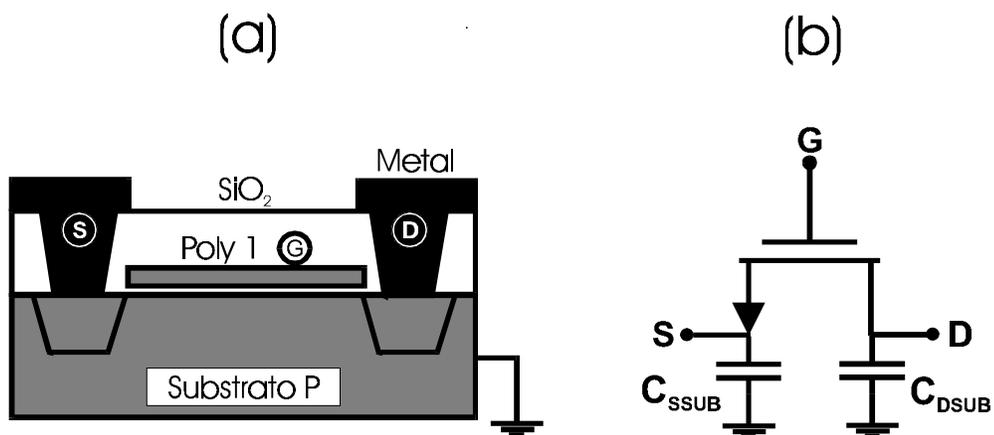


Figura 4.5 - Transistor NMOS (a) e seu Modelo Incluindo as Capacitâncias Parasitas entre os Terminais de Fonte e Dreno e o Substrato (b).

As capacitâncias parasitas das chaves e dos capacitores provocam alterações nos circuitos dos acumuladores. A figura 4.6 mostra a inclusão das capacitâncias parasitárias no esquemático do integrador Euler tipo atraso. Para a correta previsão do comportamento do modulador $\Sigma\Delta$, estas não-idealidades precisam ser consideradas no equacionamento da SNR do modulador.

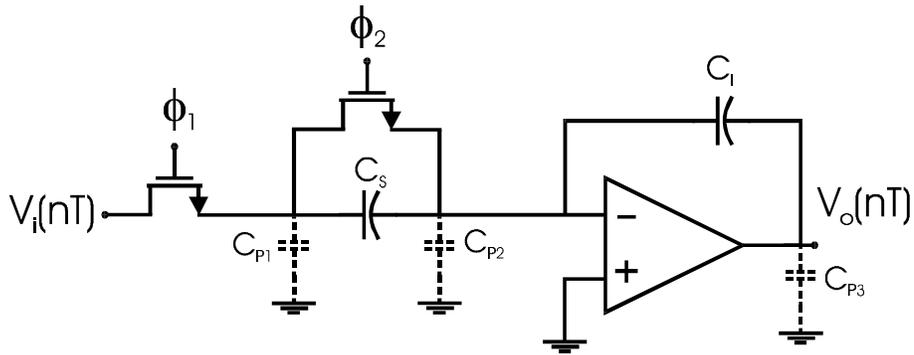


Figura 4.6 - Inclusão dos Capacitores Parasitas no Circuito do Acumulador Euler tipo Atraso.

Entretanto, na prática, os integradores descritos na figura 4.3 não são utilizados. Com base em determinadas considerações é possível encontrar arquiteturas de integradores cujas funções de transferência são, aproximadamente, insensíveis à presença de capacitâncias parasitas. As seguintes regras devem ser seguidas, para que os circuitos implementados com capacitores chaveados operem da forma mais próxima possível da ideal [101]:

- Capacitores chaveados não podem ser os únicos elementos a fechar a malha de realimentação da saída de amplificadores operacionais para uma de suas entradas. Caso contrário a aproximação de terra virtual só é válida nos instantes em que o caminho de realimentação está fechado.
- Não podem existir nós flutuantes no circuito. As placas dos capacitores estão sujeitas à acumulação de cargas oriundas de correntes de fuga de junções PN reversamente polarizadas, de radiação eletromagnéticas ou de transientes nas linhas de alimentação. Deve existir sempre um caminho direto ou através de um capacitor chaveado entre cada um dos nós e uma fonte de tensão.

- Os sinais de controle complementares ϕ_1 e ϕ_2 das chaves não podem mudar de estado no mesmo instante. Estes sinais precisam ser interdigitados.
- A placa inferior dos capacitores precisa estar ligada a uma fonte de tensão (V_{DD} , V_{SS} , GND, saída do amplificador operacional ou no terra virtual). Caso contrário a capacitância parasita não-linear entre a placa inferior e o substrato degrada consideravelmente a *performance* do circuito.
- A entrada não-inversora dos amplificadores operacionais precisa estar conectada a uma tensão constante. Se esta entrada é também conectada a uma fonte de sinal, a função de transferência do circuito se torna sensível a todas as capacitâncias parasitas neste nó.

A partir destas considerações chegou-se à arquitetura de integrador chaveado mostrada na figura 4.7. Esta topologia é imune à presença de capacitâncias parasitas [105]. Assim, as capacitâncias utilizadas nos projetos convencionais podem ser da ordem de apenas 2pF [4]. Este circuito apresenta 2 modos de operação: quando o primeiro par de chaves é acionado com os sinais de controle indicados fora dos parêntesis na figura 4.7, é realizado o integrador inversor Euler tipo avanço (4.10); quando acionado com os sinais entre parênteses é realizado o integrador não-inversor Euler tipo atraso (4.11).

$$I_1(z) = \frac{V_o(z)}{V_i(z)} = -\frac{C_s}{C_l} \cdot \frac{1}{z-1} \quad (4.13)$$

$$I_2(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_s}{C_l} \cdot \frac{z}{z-1} \quad (4.14)$$

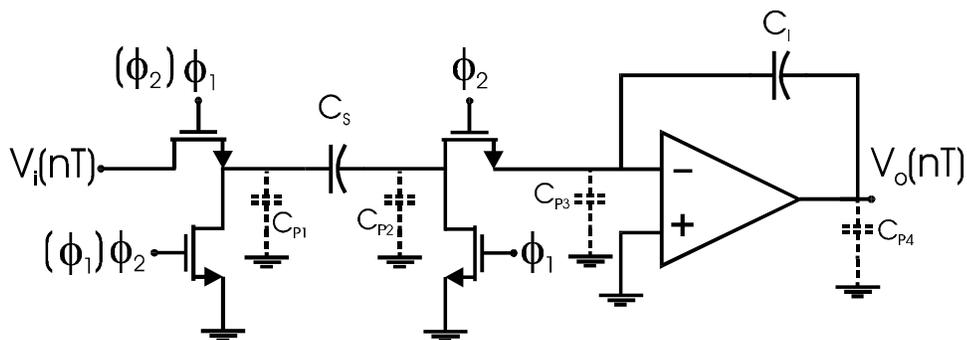


Figura 4.7 - Integrador a Capacitor Chaveado Insensível às Capacitância Parasitas.

Outros fatores além das capacitâncias parasitas alteram o valor e a linearidade da razão C_S/C_1 . As características do processo de fabricação determinam outros defeitos nos capacitores do acumulador da figura 4.7. Num processo de fabricação ideal, o valor do capacitor depende apenas da capacitância por área da estrutura *poly2-SiO₂-poly1* e das dimensões do componente:

$$C = \frac{\epsilon_{OX}}{t_{OX}} W_C L_C \quad (4.15)$$

onde $\epsilon_{OX} = \epsilon_0 \times k_{OX}$ é constante dielétrica do SiO₂, t_{OX} é a espessura do filme de SiO₂ e $W_C \times L_C$ é a área do capacitor.

Os erros de fabricação nos capacitores integrados podem ser separados em dois tipos [4],[115]-[118]: erros sistemáticos, que são caracterizados por uma grande correlação espacial, e erros aleatórios. São erros sistemáticos o gradiente de variação da espessura do óxido ao longo do circuito integrado, o efeito de borda e a dependência térmica da capacitância γ_θ^C . São erros aleatórios as variações locais na espessura e na permissividade dielétrica do óxido e as variações aleatórias nas bordas de cada capacitor. A dependência da capacitância com a diferença de potencial aplicada no capacitor γ_V^C é abordada na Seção 4.5 e está ligada a distorção harmônica do integrador chaveado.

O gradiente de variação da espessura do óxido ao longo do circuito integrado, em todas as direções, ocorre em função da não-uniformidade da temperatura na superfície do *wafer* durante o crescimento do óxido térmico. Para que a razão $g = C_2/C_1$ seja minimamente afetada por esta variação global na espessura do óxido, os capacitores devem ser construídos os mais próximos o possível entre si [4].

O efeito de borda compreende dois fenômenos distintos: a existência de linhas de campo elétrico nas bordas do capacitor ligando as placas de poli-silício (figura 4.8) e o erro sistemático do processo litográfico na definição de geometrias (figura 4.9).

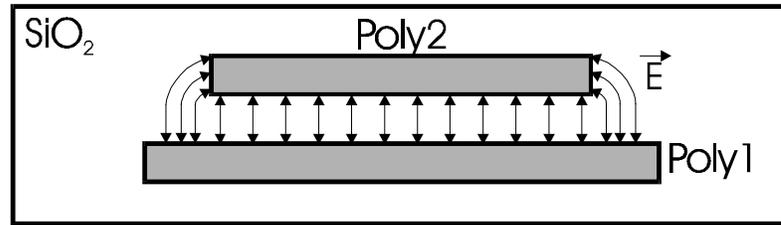


Figura 4.8 - Linhas de Campo Elétrico entre as Placas do Capacitor.

A existência de linhas de campo elétrico nas bordas do capacitor faz com que a capacitância apresente duas componentes: uma componente proporcional à área e outra componente proporcional ao perímetro do capacitor.

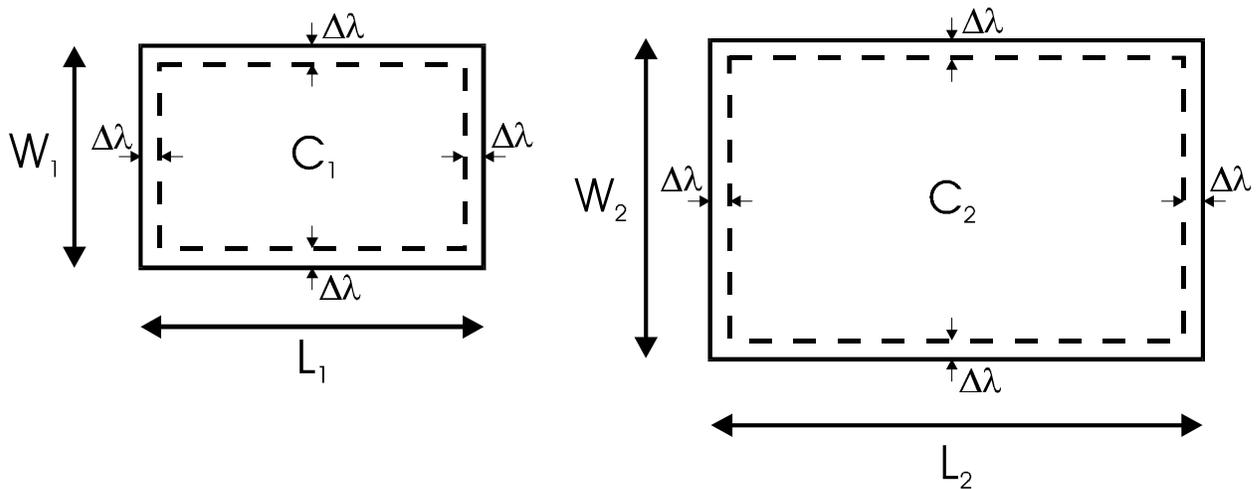


Figura 4.9 - Erro Sistemático do Processo Litográfico na Definição de Geometrias.

O erro litográfico sistemático interfere na área efetiva do dispositivo. Estes dois fenômenos que promovem o efeito de borda têm como consequência um erro no ganho normalizado g . Este problema é resolvido de forma bem simples: a razão g deve ser uma fração racional e os capacitores C_2 e C_1 devem ser implementados como associações em paralelo de capacitores iguais.

As capacitâncias integradas também são função da temperatura do silício na região do circuito em que foram construídas. Portanto, $C = C(\Theta)$ e a sensibilidade térmica da capacitância é definida como:

$$\gamma_{\Theta}^C = \frac{\Delta C/C}{\Delta \Theta} \cong \frac{1}{C} \cdot \frac{\partial C}{\partial \Theta} \quad (4.16)$$

Valores típicos de γ_{Θ}^C ficam em torno de 20 ppm/°C [115]. O valor da razão C_2/C_1 varia com a temperatura de operação do circuito apenas se os capacitores C_2 e C_1 são construídos em regiões de isothermas diferentes.

Os erros aleatórios compreendem as variações aleatórias locais de capacitor para capacitor e que não podem ser canceladas por técnicas de casamento dos dispositivos. Estes erros representam a limitação absoluta na precisão alcançável na razão C_2/C_1 [116]-[117].

As variações aleatórias nas bordas dos capacitores são decorrentes de imperfeições durante a corrosão (*etching*) destas bordas e da própria natureza granular do poli-silício, que faz com que apenas grãos inteiros possam ser removidos [116]. Quanto maior a uniformidade dos grãos do poli-silício e melhor a qualidade da técnica de corrosão de camadas de um processo de fabricação, menor o desvio padrão das variações locais nas bordas dos capacitores. A figura 4.10 ilustra este fenômeno.

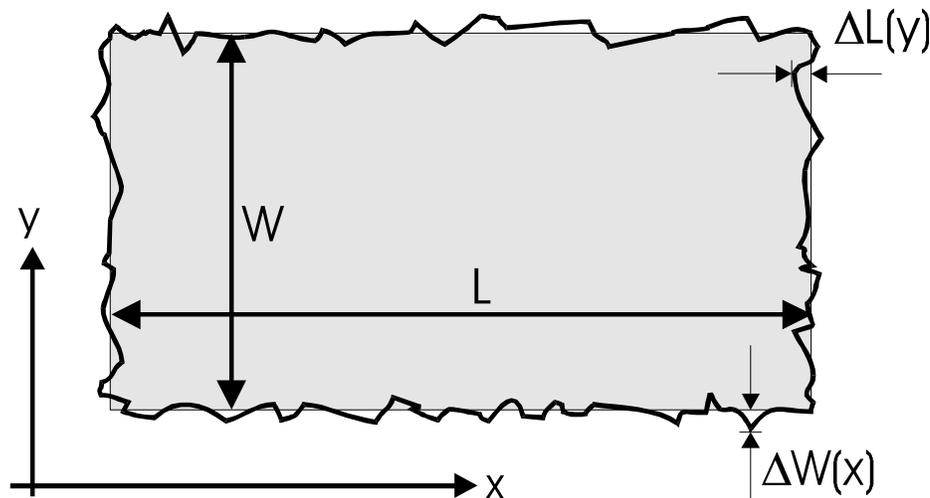


Figura 4.10 - Variações Aleatórias Locais nas Bordas das Placas dos Capacitores

Variações aleatórias no valor da capacitância por área são decorrentes de variações locais na espessura do óxido e na constante dielétrica do SiO_2 . Este fenômeno é mostrado na figura 4.11.

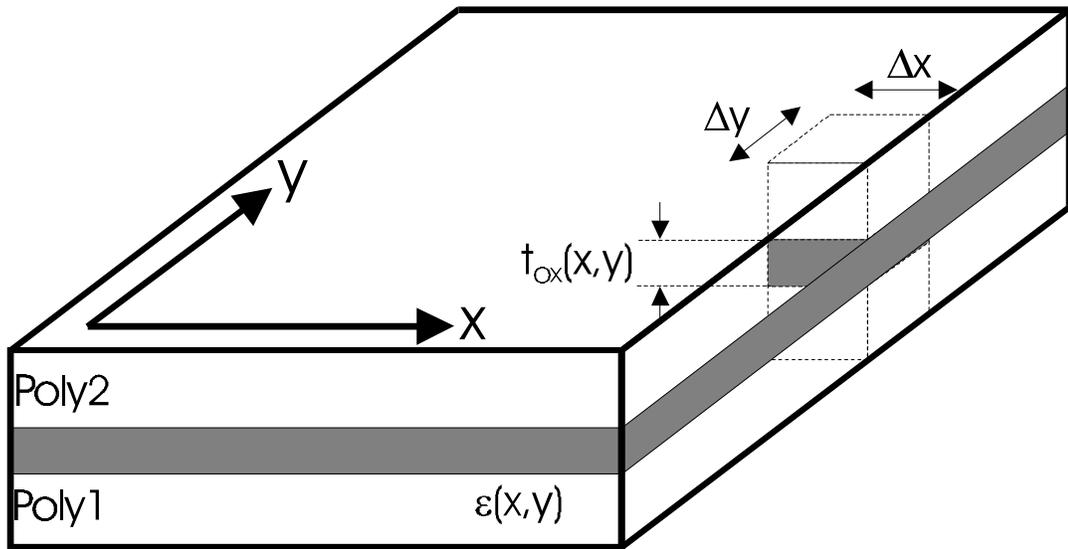


Figura 4.11 - Variações Locais na Espessura do Óxido t_{ox} e na Permissividade do SiO_2 ϵ_{OX} .

Tomando por hipótese que todas as fontes de erros globais e locais são incorrelatas, o erro relativo no valor de um capacitor isolado pode ser equacionado [116]:

$$\frac{\sigma_C}{C} = \sqrt{\frac{K_{LE}}{C^{3/2}} + \frac{K_{GE}}{C} + \frac{K_{LO}}{C} + K_{GO}} \quad (4.17)$$

onde C é a capacitância projetada, σ_C é o desvio padrão do valor da capacitância, K_{LE} representa as variações locais nas bordas, K_{GE} leva em consideração todos os erros globais nas bordas, K_{LO} representa as variações locais nas características do óxido e K_{GO} representa os gradientes globais nas propriedades do SiO_2 .

$$K_{LE} \cong 8 \cdot d_E \cdot \sigma_{LE}^2 \cdot \overline{C_{OX}}^{3/2} \quad (4.18)$$

$$K_{GE} \cong 7 \cdot \overline{C_{OX}} \cdot \sigma_{GE}^2 \quad (4.19)$$

$$K_{LO} \cong 4 \cdot d_o^2 \cdot \overline{C_{OX}} \cdot \left(\frac{\sigma_{LE}^2}{\epsilon_{OX}^2} + \frac{\sigma_{Lt}^2}{t_{OX}^2} \right) \quad (4.20)$$

$$K_{GO} \cong \left(\frac{\sigma_{G\epsilon}^2}{\epsilon_{OX}^2} + \frac{\sigma_{Gt}^2}{t_{OX}^2} \right) \quad (4.21)$$

Nas equações (4.18) a (4.21), é adotada a seguinte convenção:

- d_E - raio de correlação das variações locais nas bordas.
- σ_{LE} - desvio padrão das variações locais nas bordas.
- $\overline{C_{OX}}$ - valor médio da capacitância por área da estrutura *poly2-SiO₂-poly1*.
- $\overline{\epsilon_{OX}}$ - valor médio da constante dielétrica do SiO₂.
- $\overline{t_{OX}}$ - valor médio da espessura do óxido.
- σ_{GE} - desvio padrão das variações globais nas bordas.
- $\sigma_{L\epsilon}$ - desvio padrão da variação local da constante dielétrica do SiO₂.
- σ_{Lt} - desvio padrão da variação local da espessura do óxido.
- d_O - raio de correlação das variações locais no óxido.
- $\sigma_{G\epsilon}$ - desvio padrão da variação global da constante dielétrica do SiO₂.
- σ_{Gt} - desvio padrão da variação global da espessura do óxido.

Nos circuitos SC, o valor isolado dos capacitores não é muito importante. A razão entre capacitâncias é o principal parâmetro para a definição das constantes de tempo nos integradores. Para que casamento entre 2 capacitores que definem o ganho normalizado g de um acumulador SC seja máximo, o efeito das variações globais deve ser minimizado através de técnicas de *lay-out*. Todos os erros sistemáticos são cancelados em 1ª ordem se a topologia de centróide comum é adotada para a construção dos capacitores (figura 4.12). Esta topologia atende a todos os requisitos para cancelamentos dos erros globais: capacitores próximos e simétricos em relação a todos os gradientes de variação da espessura do óxido, realizados como associações em paralelo de capacitores iguais e simétricos em relação a todas as fontes térmicas.

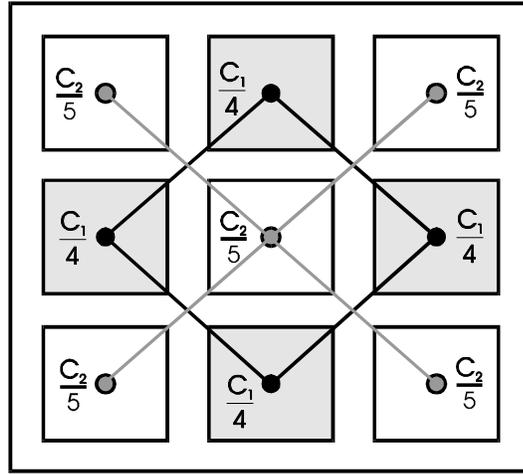


Figura 4.12 - Topologia Centróide Comum para a Construção da Razão $C_2/C_1 = 5/4$ Insensível aos Erros Sistemáticos.

A partir da equação 4.17, o erro relativo no valor de um capacitor formado pela associação em paralelo de capacitores iguais pode ser determinado [116]. Para um capacitor $C=n \cdot C_U$ tem-se:

$$\frac{\sigma_C}{C} = \sqrt{\frac{\sqrt{n} \cdot K_{LE}}{C^{3/2}} + \frac{K_{LO}}{C} + \frac{n \cdot K_{GE}}{C} + K_{GO}} \quad (4.22)$$

$$\frac{\sigma_{nC_U}}{nC_U} = \sqrt{\frac{K_{LE}}{n \cdot C_U^{3/2}} + \frac{K_{LO}}{n \cdot C_U} + \frac{K_{GE}}{C_U} + K_{GO}}$$

O erro relativo no ganho normalizado $g = C_2/C_1$, para $C_1 = n \cdot C_U$ e $C_2 = m \cdot C_U$ e, dispostos de acordo com a geometria centróide comum é dado por:

$$\frac{\sigma_g}{g} = \sqrt{\left(\frac{\sigma_{nC_U}}{C_1}\right)^2 + \left(\frac{\sigma_{mC_U}}{C_2}\right)^2} \cong \sqrt{\frac{n+m}{n \cdot m} \cdot \left(\frac{K_{LE}}{C_U^{3/2}} + \frac{K_{LO}}{C_U}\right)} \quad (4.23)$$

Mesmo que o *lay-out* das capacitâncias casadas seja feito de forma cuidadosa, os erros locais persistem e determinam a máxima precisão alcançável para a razão C_2/C_1 num determinado processo de fabricação. O uso de capacitores grandes reduz esta indesejável variação. De qualquer forma, variações no ganho normalizado g têm menos influência na SNR do modulador $\Sigma\Delta$ que o valor das perdas nos integradores (Seção 3.3).

4.2 Não-Idealidades nos Amplificadores Operacionais

Os amplificadores operacionais (AmpOp's) são componentes essenciais dos integradores SC. Devido às características intrínsecas destes circuitos, diversos fenômenos indesejados estão sempre presentes e degradam seu desempenho: tensão de *offset* na entrada, ganho DC finito, largura de banda finita e limitação de *slew-rate* [6]-[8]. Estas imperfeições limitam a *performance* dos moduladores $\Sigma\Delta$ e devem ser precisamente quantificadas para que a máxima resolução alcançável numa determinada tecnologia possa ser estimada.

4.2.1 Ganho DC Finito e Tensão de *Offset*.

Os efeitos do ganho DC finito em malha aberta e da tensão de *offset* podem ser estudados incluindo-se estas imperfeições no circuito do integrador chaveado (figura 4.13). A partir do equacionamento deste circuito utilizando um modelo de AmpOp mais realista e considerando todos os outros componentes (chaves e capacitores) ideais obtém-se uma nova função de transferência para o integrador.

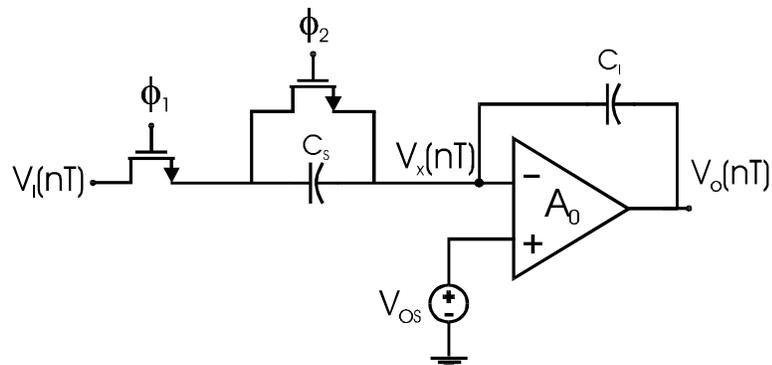


Figura 4.13 - Acumulador Euler tipo Atraso Implementado com AmpOp
Considerando-se o Ganho DC Finito e o *Offset* na Entrada.

Durante $\phi_1=1$ tem-se:

$$i_{C_f} = i_{C_s} \quad \therefore \quad \Delta q_f = \Delta q_s \quad (4.24)$$

$$q_I\left(\frac{T}{2}\right) = q_I(0) + q_S\left(\frac{T}{2}\right) \quad (4.25)$$

$$-C_I\left(v_o\left[\frac{T}{2}\right] - v_x\left[\frac{T}{2}\right]\right) = -C_I(v_o[0] - v_x[0]) + C_S\left(v_i\left[\frac{T}{2}\right] - v_x\left[\frac{T}{2}\right]\right) \quad (4.26)$$

A tensão de *offset* é considerada constante dentro de cada ciclo de conversão e dependente apenas da temperatura. O ganho do AmpOp é considerado finito e constante durante toda a banda de operação do modulador:

$$v_o[n] = A_0(-v_x[n] + V_{os}) \quad (4.27)$$

$$-v_o\left[\frac{T}{2}\right]\left(1 + \frac{1}{A_0} + \frac{C_S}{A_0 C_I}\right) + v_o[0]\left(1 + \frac{1}{A_0}\right) = \frac{C_S}{C_I}v_i\left[\frac{T}{2}\right] - \frac{C_S}{C_I}V_{os} \quad (4.28)$$

Durante $\phi_2=1$ as tensões na entrada e na saída do integrador permanecem constantes. Portanto $v_o[T] = v_o[T/2]$ e $v_i[T] = v_i[T/2]$.

$$-v_o[n]\frac{A_0 C_I + C_I + C_S}{A_0 C_I} + v_o[n-1]\frac{A_0 + 1}{A_0} = \frac{C_S}{C_I}(v_i[n] - V_{os}) \quad (4.29)$$

$$\frac{V_o(z)}{V_i(z)} = -\frac{\frac{C_S}{C_I} \cdot z \left(1 + \frac{C_S + C_I}{A_0 C_I}\right)^{-1}}{z - \left(\frac{A_0 + 1}{A_0}\right) \left(1 + \frac{C_S + C_I}{A_0 C_I}\right)^{-1}} \quad (4.30)$$

A equação (4.30) expressa a função de transferência do integrador no mesmo formato da função de transferência do integrador com perdas da Seção 3.3. Toda a análise da influência dos parâmetros g e α nas SNR's dos moduladores de 1ª e 2ª ordem pode ser aproveitada para estudar o efeito do ganho finito A_0 do amplificador operacional se $f_s \ll f_0$ (frequência de ganho unitário). Neste caso:

$$g = \frac{C_S}{C_I} \left(1 + \frac{C_S + C_I}{A_0 C_I}\right)^{-1} \quad (4.31)$$

$$\alpha = \left(\frac{A_0 + 1}{A_0} \right) \left(1 + \frac{C_S + C_I}{A_0 C_I} \right)^{-1} \quad (4.32)$$

Para o caso de $C_S = C_I$, a tabela 4.1 apresenta os parâmetros g e α calculados para diversos valores de A_0 :

A₀ (dB)	g	α
40	0,98	0,99
60	0,998	0,999
80	0,9998	0,9999

Tabela 4.1 - Parâmetros g e α em função do ganho DC do AmpOp.

A função de transferência da tensão DC de *offset* do AmpOp para a saída do integrador também é determinada:

$$\frac{V_o(z)}{\varepsilon_{DC}(z)} = \frac{g}{z - \alpha} \quad (4.33)$$

No cálculo da SNR do modulador $\Sigma\Delta$, a parcela de erro devida ao *offset* do AmpOp deve ser adicionada à potência média do ruído de quantização dentro da banda do sinal. Para isto, a função de transferência deste erro para o *bit stream* de saída precisa ser determinada. No caso do modulador de 1ª ordem tem-se:

$$H_\varepsilon(z) = \frac{z - \alpha}{z - (\alpha - g)} \frac{g}{z - \alpha} = \frac{g}{z - (\alpha - g)} \quad (4.34)$$

Na Seção 4.3.2, são analisados os efeitos da tensão de *offset* no(s) integrador(es) e no comparador e, o efeito do erro de chaveamento na SNR do modulador $\Sigma\Delta$.

A tensão de *offset* apresenta duas componentes distintas: o *offset* sistemático e o *offset* aleatório. O erro sistemático é devido ao mal dimensionamento dos transistores e/ou das correntes de polarização no 1º e no 2º estágio do amplificador. Para o AmpOp canônico de 2

estágios, mostrado na figura 4.41 da Seção 4.4.1, a condição de *offset* sistemático nulo é obtida quando tem-se $I_6 = I_7$ para ambas as entradas aterradas [6]. Isto é conseguido apenas quando as densidades de corrente nos transistores M3, M4 e M6 são iguais:

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} = \frac{I_5}{2I_7} \quad (4.35)$$

O erro aleatório é devido ao descasamento nas dimensões dos transistores e às diferenças na tensão de limiar V_T entre os dispositivos. Para o mesmo AmpOp da figura 4.41, se são considerados apenas os descasamentos entre M1/M2 e M3/M4, a tensão de *offset* devida às imperfeições do processo é dada por [6]:

$$V_{OS} = \Delta V_{T12} + \Delta V_{T34} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) - \frac{(V_{GS} - \bar{V}_T)_{12}}{2} \cdot \left[\frac{\Delta(W/L)_{12}}{(W/L)_{12}} + \frac{\Delta(W/L)_{34}}{(W/L)_{34}} \right] \quad (4.36)$$

onde o índices “12” e “34” referem-se, respectivamente, aos pares M1/M2 e M3/M4.

As causas do descasamento entre os transistores são as mesmas do descasamento entre os capacitores [117],[119]-[120], estudadas na Seção 4.1. As variações globais podem ser bastante minimizadas se os componentes casados são construídos o mais próximo possível e sob a mesma orientação no *wafer*. Mas as variações locais permanecem. Assim, o *offset* aleatório é inevitável, mas algumas cuidados podem ser tomados para que seja diminuído [119]:

- As dimensões W e L devem ser grandes em relação às dimensões mínimas do processo.
- Para o par diferencial de entrada, deve ser adotado o *lay-out* em quadra-cruzada.
- Os espelhos e fontes de corrente devem ser projetados com transistores iguais, utilizando dispositivos em paralelo quando for necessária a multiplicação de corrente.

Se todas estas medidas forem tomadas, obtém-se um *offset* na faixa de 1 a 5 mV [120]-[122]. Para moduladores com resolução acima de 14 bits este erro é grande demais, como pode ser visto na figura 4.37 (Seção 4.3.2).

Para circuitos a capacitores chaveados, a técnica mais adequada para cancelamento da tensão de *offset* é a implementação de integradores com auto-zero [4], [123]-[126]. Nesta técnica, a operação do integrador é dividida em duas fases: fase de integração e fase de auto-zero [127]. Nos moduladores SC em que é necessário o cancelamento do *offset*, apenas o primeiro acumulador precisa ser compensado [44],[59]. Na maioria das aplicações o segundo integrador não precisa de auto-zero, pois seus erros são atenuados pelo *noise shaping* do sistema. Na figura 4.14 é mostrado o acumulador Euler tipo atraso insensível às capacitâncias parasitas e com compensação de *offset*, proposto na referência [123]. No modulador da referência [59] (16 bits / banda de áudio) é utilizada uma versão Euler tipo avanço completamente diferencial deste circuito.

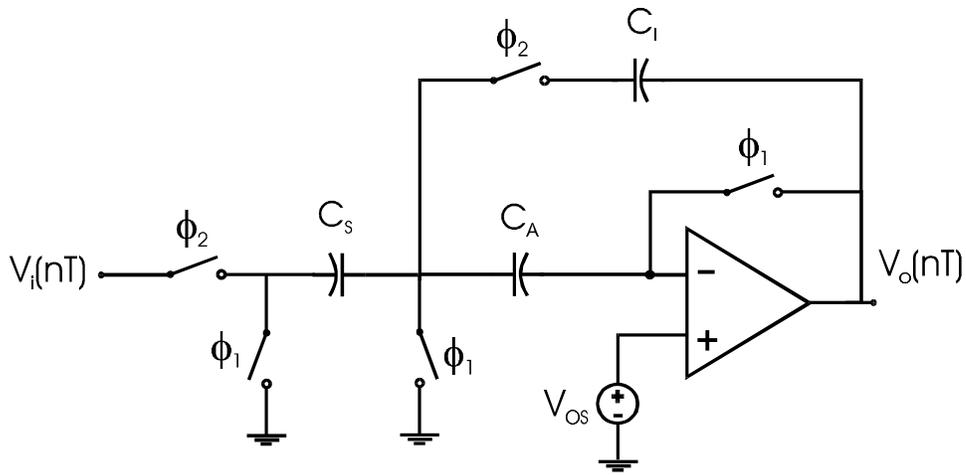


Figura 4.14 - Integrador Inversor Euler Tipo Atraso com Auto-Zero para Cancelamento de *Offset* [123].

O funcionamento deste acumulador é bem simples. Desprezando-se as demais não-idealidades tem-se:

$$\begin{aligned} \phi_1 = 1 \quad & v_{C_s} \left[n - \frac{1}{2} \right] = 0 \\ & v_{C_A} \left[n - \frac{1}{2} \right] = +V_{OS} \left[n - \frac{1}{2} \right] \end{aligned} \quad (4.37)$$

$$\phi_2 = 1 \quad v_o[n] = v_o[n-1] - \frac{C_s}{C_1} v_i[n] + \frac{C_s}{C_1} \left(V_{OS}[n] - V_{OS} \left[n - \frac{1}{2} \right] \right) \quad (4.38)$$

Como o erro V_{OS} é suposto constante dentro de cada ciclo de conversão do modulador, ocorre o cancelamento. Entretanto, na prática ainda persiste uma tensão DC residual devida ao erro de chaveamento (Seção 4.3.2). Pequenas alterações nos circuitos SC com auto-zero levam às topologias que também compensam, em parte, os efeitos do ganho DC finito dos AmpOp's nos integradores [127].

4.2.2 Largura de Banda Finita.

Quando o sistema é operado numa frequência f_s acima da frequência de corte (3dB) do AmpOp utilizado na implementação do integrador chaveado, a hipótese de ganho DC constante não é mais válida e é preciso um modelo que leve em consideração a redução do ganho com a frequência. O equacionamento do integrador Euler tipo avanço mostrado na figura 4.15, considerando todos os demais componentes ideais, permite a determinação do efeito da banda finita do AmpOp na SNR do sistema [107]-[109].

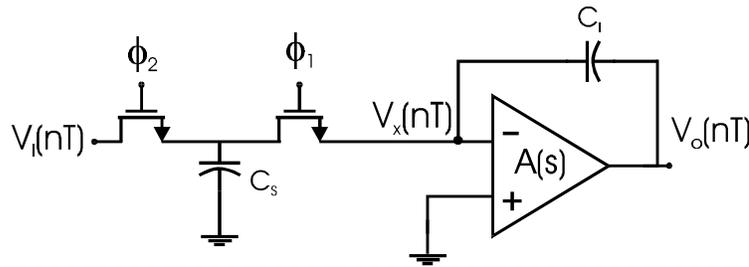


Figura 4.15 - Acumulador Euler tipo Avanço Implementado com AmpOp de Largura de Banda e Ganho DC Finitos.

$$A(s) = \frac{V_o(s)}{V_x(s)} = \frac{-A_0}{s \frac{A_0}{\Omega_0} + 1} \quad (4.39)$$

onde A_0 é o ganho DC e Ω_0 é a frequência de ganho unitário do AmpOp.

$$v_x(t) = -\frac{v_o(t)}{A_0} - \frac{1}{\Omega_0} \frac{dv_o(t)}{dt} \quad (4.40)$$

A análise é dividida em 2 partes: primeiro o transiente de $\phi_1 = 1$, quando a carga é transferida de C_S para C_I ; depois o transiente de $\phi_2 = 1$, quando a carga de C_I é mantida [107].

■ $\phi_1 = 1, t_{n-1} < t \leq t_{n-1/2}$

$$v_o(t) = v_{CI}(t) + v_x(t) \quad (4.41)$$

$$C_I(v_{CI}(t) - v_{CI}[n-1]) = -C_S(v_i[n-1] - v_x(t)) \quad (4.42)$$

A partir de (4.40), (4.41) e (4.42) obtém-se:

$$\frac{1}{k\Omega_0} \frac{dv_o(t)}{dt} + \left(1 + \frac{1}{kA_0}\right)v_o(t) = \hat{v}[n-1] \quad (4.43)$$

$$k = \frac{C_I}{C_I + C_S}, \quad \hat{v}[n-1] = v_{CI}[n-1] - \frac{C_S}{C_I}v_i[n-1] \quad (4.44)$$

A solução da equação diferencial (4.43) é dada por:

$$v_o(t) = \left(\frac{kA_0}{1+kA_0}\right)\hat{v}[n-1]\left(1 - e^{-\Omega_0\left(\frac{1+kA_0}{A_0}\right)(t-t_{n-1})}\right) + v_o[n-1]e^{-\Omega_0\left(\frac{1+kA_0}{A_0}\right)(t-t_{n-1})} \quad (4.45)$$

$$v_{CI}(t) = \hat{v}[n-1]\left[\left(\frac{kA_0+k}{kA_0+1}\right) - \left(\left(\frac{kA_0+k}{kA_0+1}\right) - k\right)e^{-\Omega_0\left(\frac{kA_0+1}{A_0}\right)(t-t_{n-1})}\right] + v_o[n-1](1-k)e^{-\Omega_0\left(\frac{kA_0+1}{A_0}\right)(t-t_{n-1})} \quad (4.46)$$

- $\phi_2 = 1, t_{n-1/2} < t \leq t_n$

A partir de (4.41) e (4.42) obtém-se:

$$\frac{1}{k\Omega_0} \frac{dv_0(t)}{dt} + \left(1 + \frac{1}{kA_0}\right) v_0(t) = v_{CI} \left[n - \frac{1}{2}\right] \quad (4.47)$$

A solução da equação diferencial (4.47) é dada por:

$$v_o(t) = \left(\frac{A_0}{A_0+1}\right) v_{CI} \left[n - \frac{1}{2}\right] \left[1 - e^{-\Omega_0 \left(\frac{A_0}{A_0+1}\right) (t-t_{n-1/2})}\right] + v_o \left[n - \frac{1}{2}\right] e^{-\Omega_0 \left(\frac{A_0}{A_0+1}\right) (t-t_{n-1/2})} \quad (4.48)$$

$$v_{CI}(t) = v_{CI} \left[n - \frac{1}{2}\right] \quad (4.49)$$

A função de transferência do acumulador é determinada substituindo-se $(t - t_{n-1})$ por $T/2$ nas equações (4.45) e (4.46) e, $(t - t_{n-1/2})$ por $T/2$ na equação (4.48). Resultam 3 equações a diferenças finitas. Aplicando-se a transformada z e combinando-as obtém-se a função de transferência o integrador Euler tipo avanço levando-se em conta a largura de banda e o ganho DC finitos do AmpOp:

$$H_{FE}(z) = - \frac{gz}{z^2 - \eta z + \zeta} \quad (4.50)$$

onde

$$\zeta = k e^{-\Omega_0 \left(k+1 + \frac{2}{A_0}\right) \frac{T}{2}} \quad (4.51)$$

$$g = \frac{C_S}{C_I} \left\{ \frac{kA_0}{kA_0+1} + \left[\frac{kA_0^2(k-1)}{(kA_0+1)(A_0+1)} \right] e^{-\Omega_0 \left(k + \frac{1}{A_0}\right) \frac{T}{2}} - \frac{kA_0}{A_0+1} e^{-\Omega_0 \left(k+1 + \frac{2}{A_0}\right) \frac{T}{2}} \right\} \quad (4.52)$$

$$\eta = \frac{kA_0 + k}{kA_0 + 1} \left(1 - e^{-\Omega_0 \left(k + \frac{1}{A_0} \right) \frac{T}{2}} \right) + \frac{k + A_0}{A_0 + 1} \cdot e^{-\Omega_0 \left(k + \frac{1}{A_0} \right) \frac{T}{2}} + \frac{kA_0 + 1}{A_0 + 1} \cdot e^{-\Omega_0 \left(k + 1 + \frac{2}{A_0} \right) \frac{T}{2}} \quad (4.53)$$

De forma análoga, a função de transferência do integrador Euler tipo atraso pode ser deduzida:

$$H_{BE}(z) = -\frac{gz^2}{z^2 - \eta z + \zeta} \quad (4.54)$$

Nas figuras 4.16 e 4.17 pode-se comparar o módulo da resposta em frequência do integrador Euler ideal com a do integrador não-ideal das equações (4.50) e (4.54). Na figura 4.16 fica evidente o efeito da largura de banda finita do AmpOp. Nestes gráficos $C_S = C_I/2$ e $A_0 = 1000$.

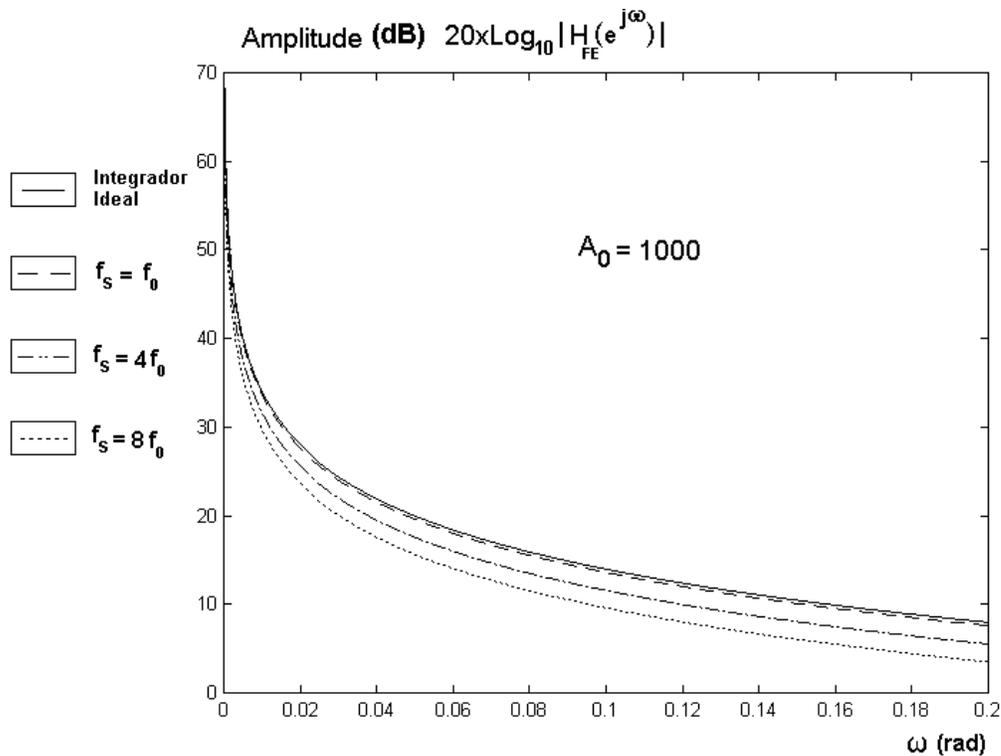


Figura 4.16 - Módulo da Resposta em Frequência do Integrador Não-Ideal para Valores de f_s em Função de f_0 .

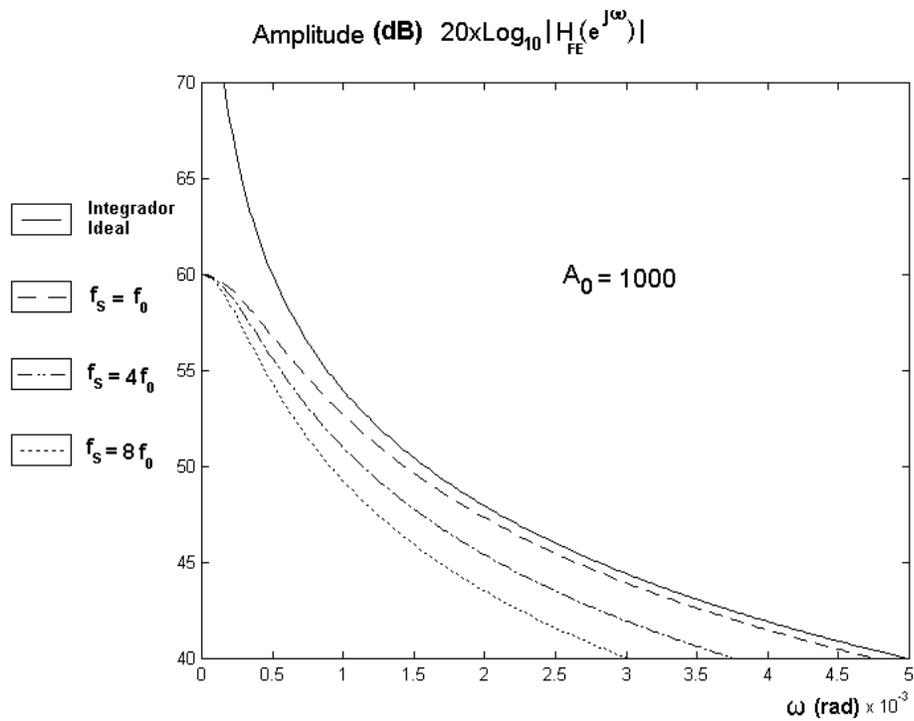


Figura 4.17 - Detalhe do Módulo da Resposta em Freqüência do Integrador Não-Ideal para Valores de f_s em Função de f_0 .

O equacionamento do modulador de 1ª ordem da figura 4.18 permite avaliar os efeitos da banda e do ganho DC finitos do AmpOp na SNR do sistema:

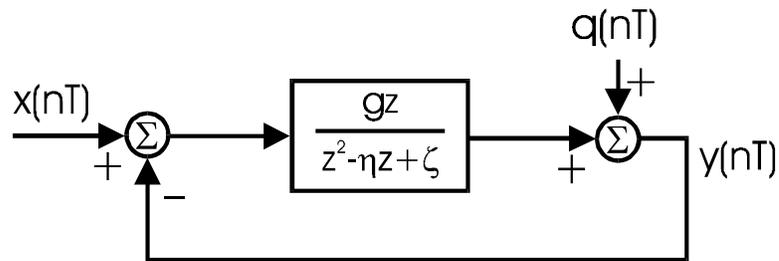


Figura 4.18 - Modulador $\Sigma\Delta$ de 1ª Ordem com Modelo de Integrador Implementado com AmpOp de Banda e Ganho DC Finitos.

$$H_{x1}(z) = \frac{gz}{z^2 + (g - \eta)z + \zeta} \quad (4.54)$$

$$H_{Q1}(z) = \frac{z^2 - \eta z + \zeta}{z^2 + (g - \eta)z + \zeta} \quad (4.55)$$

$$SNR_1 = \frac{P_{S1}}{P_{N1}} = \frac{\int_{-f_N/2}^{f_N/2} |H_{X1}(e^{j2\pi fT})|^2 \cdot S_X(f) \cdot df}{\int_{-f_N/2}^{f_N/2} |H_{Q1}(e^{j2\pi fT})|^2 \cdot S_Q(f) \cdot df} \quad (4.56)$$

$$H_{X1}(e^{j\omega}) = \frac{g \cdot e^{j\omega T}}{\cos(2\omega T) + j\sin(2\omega T) + (g - \eta)\cos(\omega T) + j(g - \eta)\sin(\omega T) + \zeta} \quad (4.57)$$

$$|H_{X1}(e^{j\omega})|^2 = \frac{g^2}{[\cos(2\omega T) + (g - \eta)\cos(\omega T) + \zeta]^2 + [\sin(2\omega T) + (g - \eta)\sin(\omega T)]^2} \quad (4.58)$$

Para $x(t) = \Delta/2 \cdot \text{Sen}(\pi f_N T)$ aplicado na entrada do modulador tem-se:

$$P_{S1} = \frac{g^2 \Delta^2 / 8}{[\cos(2\pi f_N T) + (g - \eta)\cos(\pi f_N T) + \zeta]^2 + [\sin(2\pi f_N T) + (g - \eta)\sin(\pi f_N T)]^2} \quad (4.59)$$

$$H_{Q1}(e^{j\omega}) = \frac{\cos(2\omega T) + j\sin(2\omega T) + \eta\cos(\omega T) + j\eta\sin(\omega T) + \zeta}{\cos(2\omega T) + j\sin(2\omega T) + (g - \eta)\cos(\omega T) + j(g - \eta)\sin(\omega T) + \zeta} \quad (4.60)$$

$$|H_{Q1}(e^{j\omega})|^2 = \frac{[\cos(2\omega T) + \eta\cos(\omega T) + \zeta]^2 + [\sin(2\omega T) + \eta\sin(\omega T)]^2}{[\cos(2\omega T) + (g - \eta)\cos(\omega T) + \zeta]^2 + [\sin(2\omega T) + (g - \eta)\sin(\omega T)]^2} \quad (4.61)$$

Para a obtenção dos gráficos de SNR x OSR a integral no denominador de (4.56) foi resolvida numericamente com $f_N = 1/\text{OSR}$. Os parâmetro g , η e ζ também são expressos em função da OSR. Para isto basta que a frequência de ganho unitário f_0 do amplificador operacional seja definida em função de f_N :

$$f_0 = m \cdot f_N \quad \therefore \quad \Omega_0 \frac{T}{2} = \frac{2\pi f_0}{2f_s} = m \frac{\pi}{\text{OSR}} \quad (4.62)$$

O gráfico da figura 4.19 foi obtido após esta substituição. Percebe-se que os resultados obtidos com o modelo que apenas considera o ganho DC finito do AmpOp e com o modelo que também considera a largura de banda finita coincidem quando $OSR \leq m$.

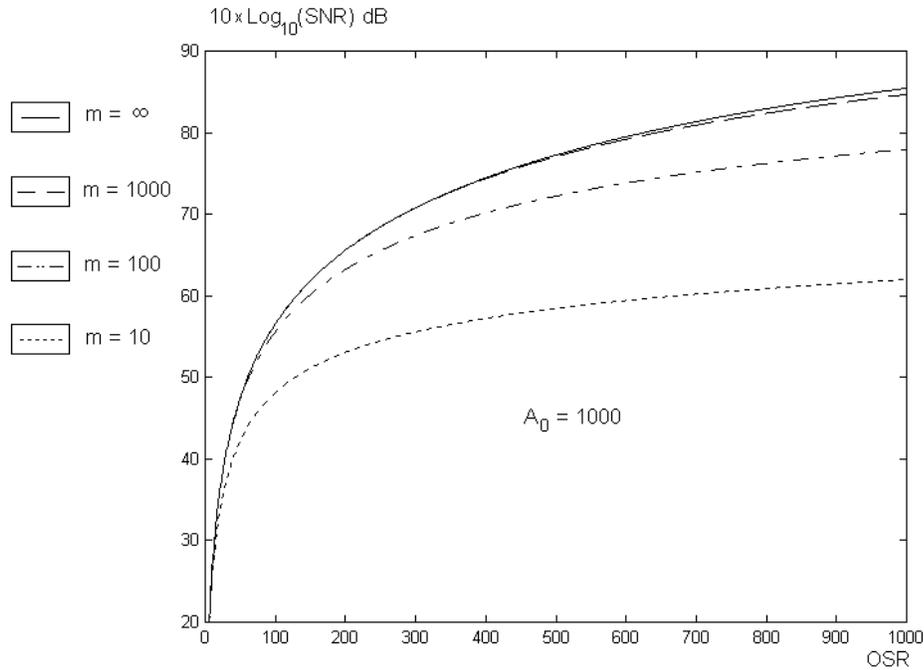


Figura 4.19 - SNR x OSR para o Modulador de 1^a Ordem Implementado com AmpOp de Ganho DC 60 dB e Frequência de Ganho Unitário $f_0 = m \cdot f_N$. $C_S = C_I$.

A figura 4.20 mostra o diagrama de blocos do modulador $\Sigma\Delta$ de 2^a ordem implementado com o integrador não-ideal da equação (4.50):

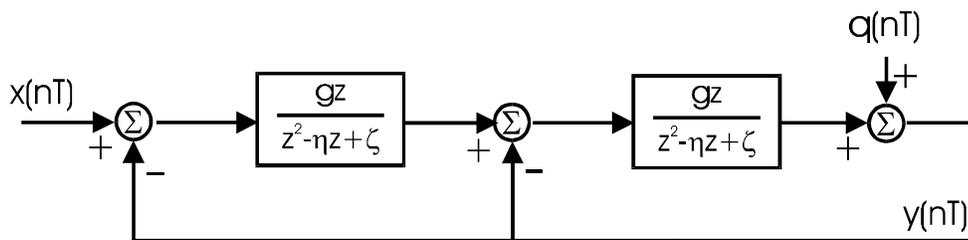


Figura 4.20 - Modulador $\Sigma\Delta$ de 2^a Ordem com Modelo de Integrador Implementado com AmpOp de Banda e Ganho DC Finitos. $g_1 = g_2 = g$.

Para este modulador de 2ª ordem, as funções de transferência são:

$$H_{X2}(z) = \frac{g^2 z^2}{z^4 + (g - 2\eta)z^3 + (g^2 - g\eta + \eta^2 + 2\zeta)z^2 + (g\zeta - 2\eta\zeta)z + \zeta^2} \quad (4.63)$$

$$H_{Q2}(z) = \frac{(z^2 - \eta z + \zeta)^2}{z^4 + (g - 2\eta)z^3 + (g^2 - g\eta + \eta^2 + 2\zeta)z^2 + (g\zeta - 2\eta\zeta)z + \zeta^2} \quad (4.64)$$

$$\left| H_{X2}(e^{j\omega T}) \right|^2 = \frac{g^4}{D_r^2(\omega T) + D_i^2(\omega T)} \quad (4.65)$$

$$\left| H_{Q2}(e^{j\omega T}) \right|^2 = \frac{NQ_r^2(\omega T) + NQ_i^2(\omega T)}{D_r^2(\omega T) + D_i^2(\omega T)} \quad (4.66)$$

onde $D_r(\omega)$ e $D_i(\omega)$ são, respectivamente, as partes real e imaginária do denominador das funções de transferência $H_{X2}(z)$ e $H_{Q2}(z)$. $NQ_r(\omega)$ e $NQ_i(\omega)$ são também as partes real e imaginária do numerador de $H_{Q2}(z)$.

$$D_r^2(\omega T) = \text{Cos}(4\omega T) + (g - 2\eta)\text{Cos}(3\omega T) + (g^2 - g\eta + \eta^2 + 2\zeta)\text{Cos}(2\omega T) + \zeta^2 + \zeta(g - 2\eta)\text{Cos}(\omega T) \quad (4.67)$$

$$D_i^2(\omega T) = \left[\begin{array}{l} 2(g - 2\eta)\text{Cos}(2\omega T) + 2(1 + g^2 - g\eta + \eta^2 + 2\zeta)\text{Cos}(\omega T) \\ + g - 2\eta + g\zeta - 2\eta\zeta + 2\text{Cos}(3\omega T) \end{array} \right] \cdot \text{Sen}(\omega T) \quad (4.68)$$

$$NQ_r^2(\omega T) = \text{Cos}(4\omega T) - 2\eta\text{Cos}(3\omega T) + (\eta^2 + 2\zeta)\text{Cos}(2\omega T) - 2\eta\zeta\text{Cos}(\omega T) + \zeta^2 \quad (4.69)$$

$$NQ_i^2(\omega T) = \left\{ 2[-\eta + 2\text{Cos}(\omega T)] [\zeta - \eta\text{Cos}(\omega T) + \text{Cos}(2\omega T)] \right\} \cdot \text{Sen}(\omega T) \quad (4.70)$$

A razão sinal ruído do modulador de 2ª ordem levando-se em consideração a largura de banda e o ganho DC finitos dos amplificadores operacionais é determinada a partir da solução numérica da equação (4.71):

$$SNR_2 = \frac{\int_{-f_N/2}^{f_N/2} \frac{g^4}{D_r^2(2\pi fT) + D_i^2(2\pi fT)} \cdot S_x(f) \cdot df}{\int_{-f_N/2}^{f_N/2} \frac{NQ_r^2(2\pi fT) + NQ_i^2(2\pi fT)}{D_r^2(2\pi f\omega T) + D_i^2(2\pi fT)} \cdot S_Q(f) \cdot df} \quad (4.71)$$

onde $S_x(f)$ e $S_Q(f)$ são definidos na Seção 3.3. Para a obtenção das curvas de SNR x OSR (figura 4.21), a frequência de ganho unitário f_0 foi expressa em função da taxa de Nyquist f_N de acordo com (4.62).

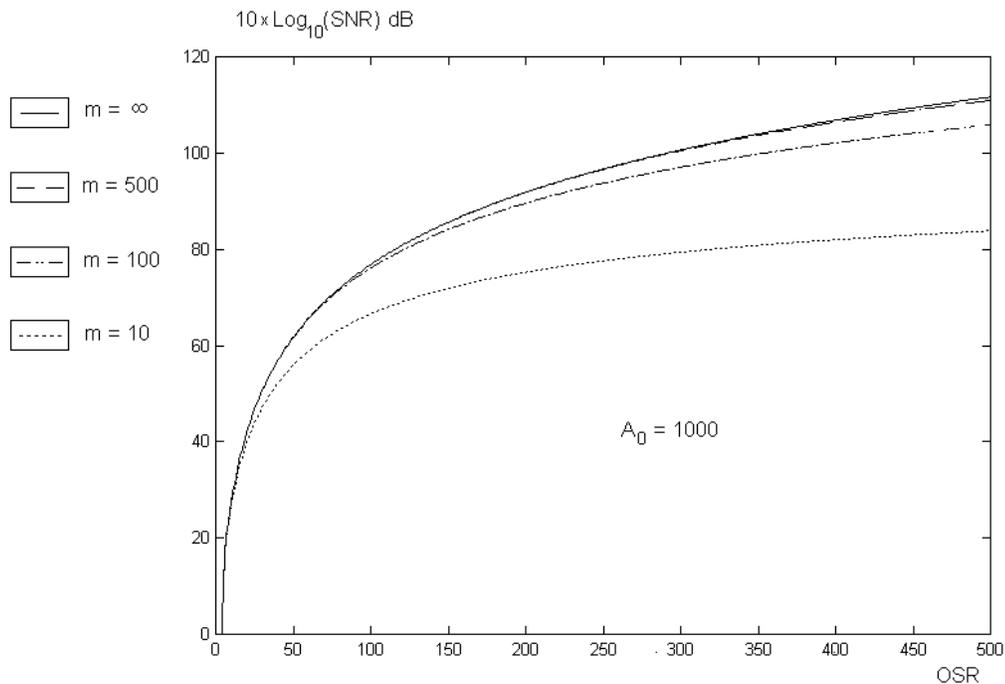


Figura 4.21 - SNR x OSR para o Modulador de 2ª Ordem Implementado com AmpOp's de Ganho DC 60 dB e Frequência de Ganho Unitário $f_0 = m \cdot f_N$. $C_S = 0,5 \times C_I$.

Como no caso do modulador 1ª ordem, para o modulador de 2ª ordem os resultados obtidos com o modelo que apenas considera o ganho DC finito do AmpOp e com o modelo que também considera a largura de banda finita coincidem quando $OSR \leq m$.

A degradação da *performance* quando a frequência de amostragem é maior que a frequência de ganho unitário do AmpOp está relacionada a transferência incompleta de carga para o capacitor de integração C_I . Antes da tensão $v_o[n]$ atingir seu valor final, a saída do integrador é amostrada pelo estágio seguinte. A figura 4.22 mostra a degradação relativa da SNR em função da transferência relativa de carga (TRC). A TRC é definida a partir da equação (4.45):

$$TRC = 1 - e^{-k\Omega_0 \left(1 + \frac{1}{kA_0}\right) \frac{T}{2}} \quad (4.72)$$

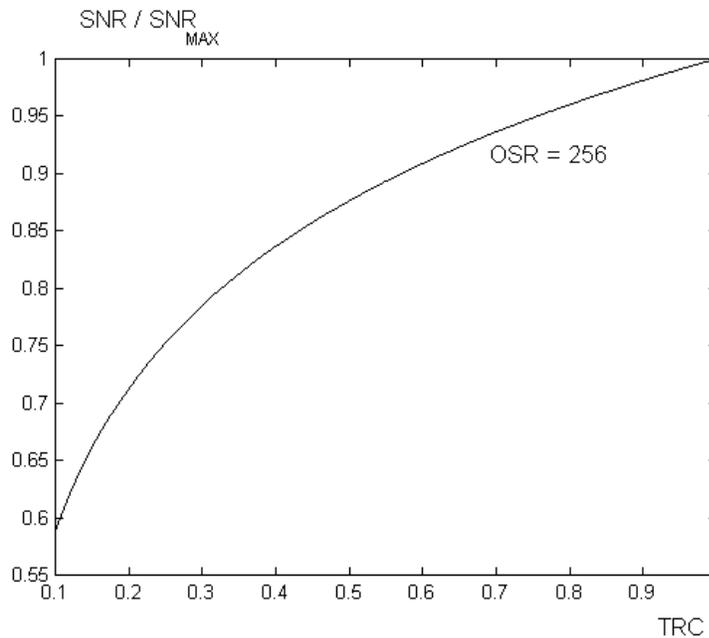


Figura 4.22 - Degradação da SNR em função da Transferência Relativa de Carga no Modulador de 2ª Ordem com OSR de 256.

De acordo com a figura 4.22 e com a equação (4.72), para que a degradação da SNR seja inferior a 2%, a frequência de ganho unitário do AmpOp e a taxa de amostragem devem se relacionar por:

$$f_0 \geq 2f_s \quad (4.73)$$

4.2.3 Tempo de Estabilização da Saída e *Slew-Rate*.

Para que a transferência de carga nos integradores SC seja completa, o tempo de estabilização [5] (*Settling Time*) da saída dos amplificadores operacionais utilizados deve estar contido na metade do período de amostragem do sistema (figura 4.23). Caso contrário, a resolução na saída do modulador é degradada (figura 4.22).

De acordo com a análise realizada na Seção 4.2.2, a transferência incompleta de carga devida à largura de banda finita do AmpOp é um fenômeno linear e resulta num integrador cujas perdas aumentam com o aumento da freqüência de chaveamento.

Entretanto, em todos os AmpOp's com estágio de entrada polarizado com uma simples fonte de corrente, o tempo de estabilização da saída é influenciado pela saturação do par diferencial [6]-[8]. Num AmpOp utilizado na configuração de seguidor da entrada, esta saturação acarreta numa limitação da máxima derivada possível na saída (*Slew-Rate Limitation*). Desta forma, o tempo de estabilização passa a apresentar uma componente linear (T_L) e uma componente não-linear (T_S), como pode ser visto na figura 4.23. Para que a transferência de carga seja sempre completa, deve-se garantir que:

$$T_{SETTLING} = T_S + T_L < T/2 \quad (4.74)$$

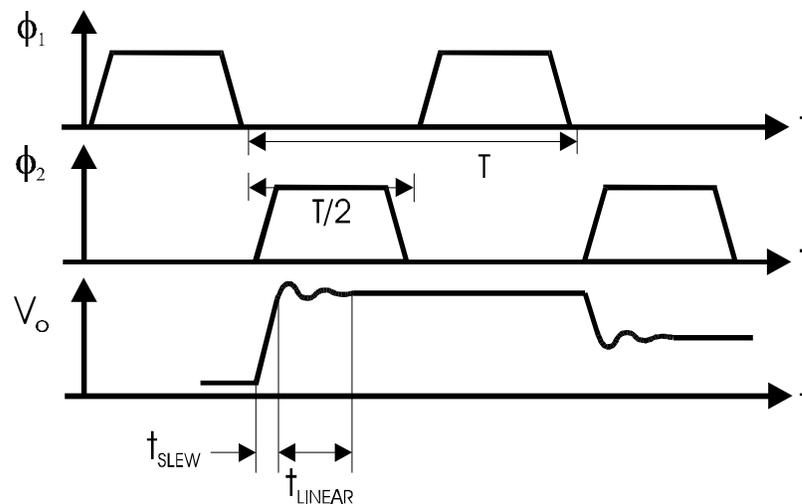


Figura 4.23 - Tensão na Saída do Integrador Euler e Sinais de Acionamento das Chaves

O estudo do tempo de estabilização da saída de AmpOp's com saturação do estágio diferencial está disponível na literatura [128],[129]. Para a determinação da influência desta não-linearidade nos integradores SC, basta introduzir a saturação no modelo da figura 4.15, e aplicar o método de equacionamento utilizado na seção 4.2.2. Este modelo mais completo é mostrado na figura 4.24.

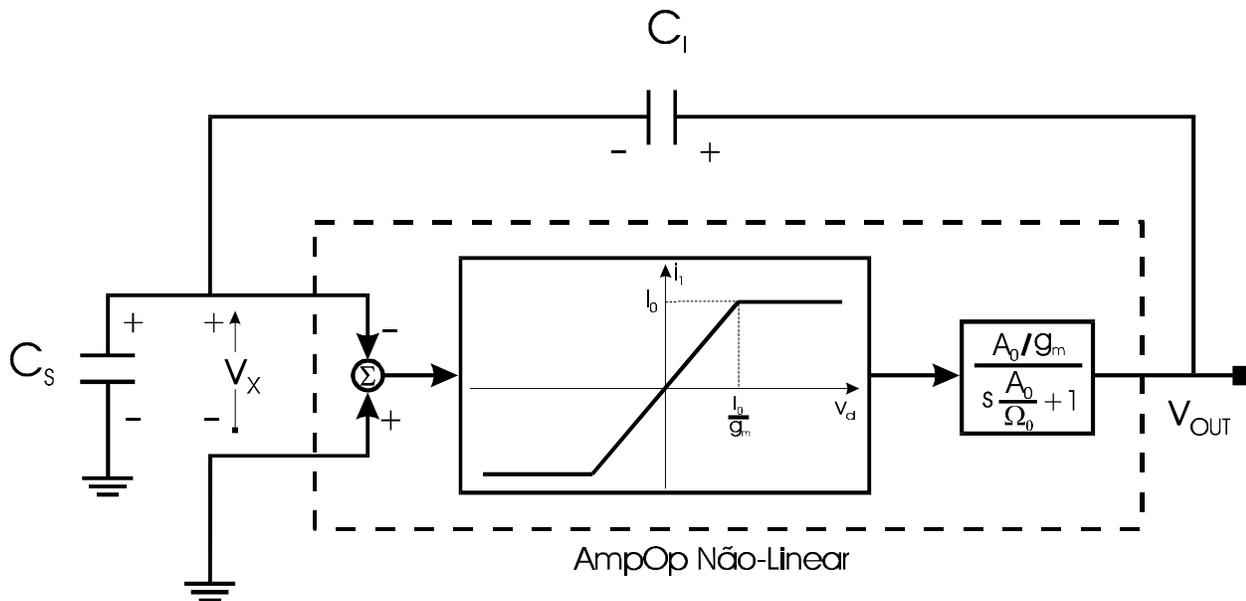


Figura 4.24 - Modelo da Fase de Integração do Acumulador Implementado com AmpOp com Estágio Diferencial Não-Linear.

A figura 4.24 apresenta o acumulador SC na fase de integração. Quando a tensão v_x entre os terminais do AmpOp está dentro da faixa linear do estágio de entrada, a análise da seção 4.2.2 é válida. Para o caso geral onde $|v_x| > I_0/g_m$, onde I_0 é a corrente de polarização do par diferencial e g_m é a transcondutância do mesmo, a realimentação é aberta por um período que depende da tensão inicial em C_S .

Quando $|v_x(t)|$ se torna menor que I_0/g_m , tem-se um sistema linear realimentado. Para que o tempo total de estabilização possa ser estimado corretamente, o sistema (figura 4.24) deve ser equacionado nestas duas regiões de operação:

- Estágio Diferencial Saturado: $v_d > I_0/g_m$

$$v_{CS}[n-1] = -V < -I_0/g_m \quad (4.75)$$

$$v_x(0) = v_{CS}[n-1] \quad (4.76)$$

$$V_o(s) = \frac{A_0/g_m \cdot I_0}{s \frac{A_0}{\Omega_0} + 1} \cdot \frac{1}{s} \quad (4.77)$$

$$\frac{A_0}{\Omega_0} \cdot \frac{dv_o}{dt} + v_o(t) = \frac{A_0 I_0}{g_m} \quad (4.78)$$

$$v_o(t) = v_{CI}(t) + v_x(t) \quad (4.79)$$

$$v_{CI}(t) = v_{CI}[n-1] - \frac{C_S}{C_I} (v_{CS}[n-1] - v_x(t)) \quad (4.80)$$

Substituindo-se (4.80) em (4.79) obtém-se:

$$v_o(t) = v_{CI}[n-1] - \frac{C_S}{C_I} v_{CS}[n-1] + \frac{C_S + C_I}{C_I} v_x(t) \quad (4.81)$$

Substituindo-se (4.81) em (4.78) obtém-se:

$$\frac{A_0}{\Omega_0} \cdot \frac{dv_x}{dt} + v_x(t) = \frac{C_I}{C_S + C_I} \cdot \frac{A_0 I_0}{g_m} + \frac{C_S}{C_S + C_I} \cdot v_{CS}[n-1] - \frac{C_I}{C_S + C_I} \cdot v_{CI}[n-1] \quad (4.82)$$

A equação diferencial (4.82) é resolvida para a C.I. dada por (4.76):

$$v_x(t) = E \left(1 - e^{-\frac{\Omega_0 t}{A_0}} \right) - V \cdot e^{-\frac{\Omega_0 t}{A_0}} \quad (4.83)$$

onde E é o termo constante no segundo membro da equação (4.82). A realimentação permanecerá aberta enquanto $v_x(t)$ não se igualar a $-I_0/g_m$. Desta forma determina-se T_S :

$$v_x(T_S) = \frac{-I_0}{g_m} = E - (E + V) \cdot e^{-\frac{\Omega_0 T_S}{A_0}} \quad (4.84)$$

$$-\frac{\Omega_0 T_S}{A_0} = \text{Ln} \left(\frac{E + \frac{I_0}{g_m}}{E + V} \right) \quad (4.85)$$

$$T_S = \frac{A_0}{\Omega_0} \cdot \text{Ln} \left(\frac{k \cdot \frac{A_0 I_0}{g_m} + \frac{C_S}{C_I} \cdot k \cdot V - k \cdot v_{CI}[n-1] + V}{k \cdot \frac{A_0 I_0}{g_m} + \frac{C_S}{C_I} \cdot k \cdot V - k \cdot v_{CI}[n-1] + \frac{I_0}{g_m}} \right) \quad (4.86)$$

onde k é definido em (4.44).

■ Estágio Diferencial Linear: $v_d \leq I_0/g_m$

Quando a realimentação se fecha, o sistema da figura 4.24 se torna idêntico ao integrador da figura 4.15. O comportamento dinâmico da saída é determinado resolvendo-se a equação (4.43) com a nova condição inicial:

$$v_o(T_S) = v_{CI}[n-1] - \frac{C_S}{C_I} v_{CS}[n-1] - \frac{I_0}{k \cdot g_m} \quad (4.87)$$

Desta forma, o comportamento da saída é dado por:

$$v_o(t) = \frac{\hat{v}[n-1]}{\left(1 + \frac{1}{kA_0}\right)} \cdot \left(1 - e^{-\left(1 + \frac{1}{kA_0}\right)k\Omega_0[t-T_S]}\right) + \left(\hat{v}[n-1] - \frac{I_0}{k \cdot g_m}\right) \cdot e^{-\left(1 + \frac{1}{kA_0}\right)k\Omega_0[t-T_S]} \quad (4.88)$$

O tempo necessário para que $v_o(t)$ atinja 99% do valor final pode ser determinado:

$$e^{-\left(1+\frac{1}{kA_0}\right)k\Omega_0 \cdot T_L} = 1\% \quad (4.89)$$

$$T_L = \frac{1}{k\Omega_0} \cdot \left(1 + \frac{1}{kA_0}\right)^{-1} \cdot \text{Ln}(100) \quad (4.90)$$

A componente T_L do tempo de estabilização depende apenas da constante de tempo determinada pela freqüência de ganho unitário do AmpOp. A componente T_S entretanto depende, a cada ciclo, do valor absoluto da carga armazenada em C_S .

O aumento do tempo de estabilização, em função da saturação do estágio de entrada, pode ser estimado. A tensão amostrada em C_S é definida como um múltiplo do extremo da faixa de operação linear:

$$V = R \cdot \frac{I_0}{g_m} \quad (4.91)$$

Substituindo-se (4.91) em (4.86), para o caso em que $v_{Ci}[n-1] = 0$, obtém-se:

$$T_S = \frac{A_0}{\Omega_0} \cdot \text{Ln} \left(\frac{kA_0 + k \frac{C_S}{C_I} \cdot R + R}{kA_0 + k \frac{C_S}{C_I} \cdot R + 1} \right) \quad (4.92)$$

A figura 4.25 mostra o tempo de estabilização como função da razão entre a tensão amostrada e a faixa linear de entrada do amplificador operacional. Neste gráfico os seguintes valores foram utilizados: $A_0 = 1000$, $f_0 = 60$ MHz, $C_S = 0,5 \times C_I$, e T_L é definido para 99% do valor final. Na situação extrema em que $R = 100$, o tempo de estabilização é cerca de 15 vezes maior que o previsto pelo modelo linear. A transferência incompleta de carga neste caso acarretaria numa grande degradação da SNR.

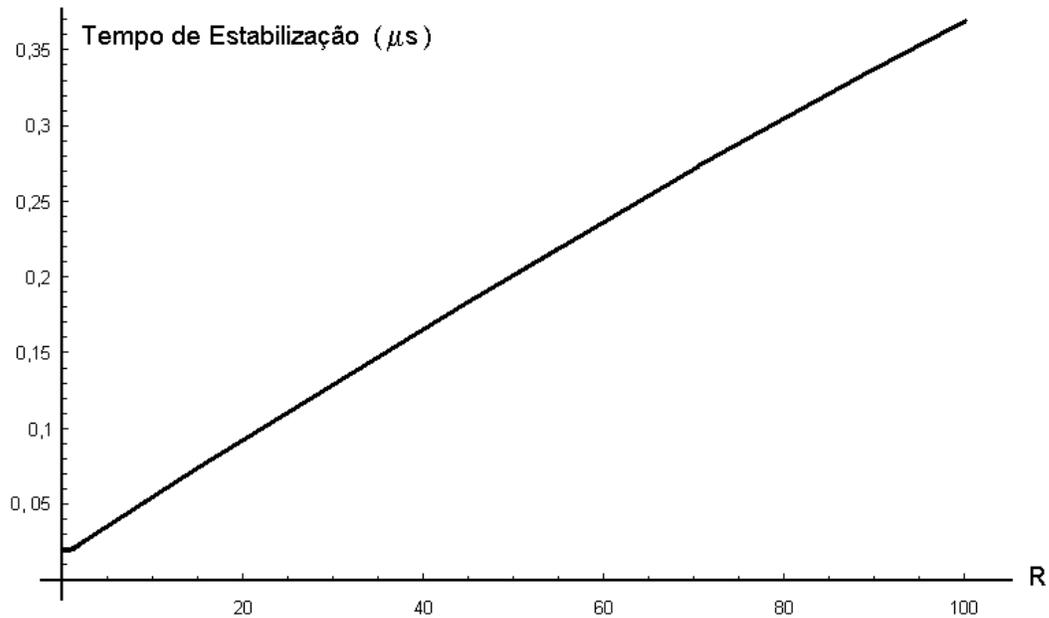


Figura 4.25 - Tempo de Estabilização em Função da Razão entre a Tensão Amostrada e o Extremo da Faixa Linear de Entrada do AmpOp.

Devido a sua influência na SNR, o tempo de estabilização dos integradores é o principal determinante da máxima frequência de amostragem nos moduladores SC. O comportamento não-linear da maioria dos amplificadores torna mais rígidas as especificações. No AmpOp classe AB com apenas 1 estágio de ganho apresentado na referência [133] não há saturação e $T_{SETTLING}$ pode ser projetado para valer até 90% de $T/2$, como comentado em [38]. Entretanto, estágios classe AB exigem geralmente tensão de alimentação de 5V. A topologia *Folded-Cascode* de 1 estágio completamente diferencial, também é uma opção bastante utilizada [44] por poder ser utilizada em tensões mais baixas. Outras alternativas para aumentar a faixa de operação não-saturada do estágio de entrada são apresentadas nas referências [134]-[136].

4.3 Não-Idealidades nas Chaves Analógicas

A chave analógica é implementada geralmente com um único transistor NMOS, como mostrado na figura 4.5 da Seção 4.1. A chave NMOS apresenta um comportamento bastante diferente de uma chave ideal. Como o valor instantâneo do sinal de controle da chave é V_{DD} ou V_{SS} , o transistor permanece na região linear de operação (triodo) quando a chave está fechada, e cortado quando a chave está aberta [4].

Quando a chave está aberta, o canal do transistor apresenta uma resistência R_{OFF} bastante elevada que pode ser considerada infinita. Quando a chave é fechada, a tensão v_{DS} é bastante pequena e menor que $(v_{GS} - V_{TE})$. A corrente pelo canal é dada por [6]-[8]:

$$i_D = \beta \left[2(v_{GS} - V_{TE})v_{DS} - v_{DS}^2 \right] \quad (4.93)$$

onde V_{TE} é a tensão efetiva de limiar (*threshold voltage*) e $\beta = \frac{1}{2} \mu \cdot C_{OX} \cdot W/L$. Neste caso a chave apresenta uma resistência dinâmica não-linear R_{ON} :

$$R_{ON} = \frac{1}{2\beta(v_{GS} - V_{TE} - v_{DS})} \quad (4.94)$$

A resistência finita R_{ON} faz com que a transferência de carga nos circuitos SC não seja instantânea. O escoamento das cargas que formam o canal da chave durante o desligamento e o acoplamento capacitivo do sinal de controle, alteram o valor das tensões amostradas e das cargas transferidas.

4.3.1 Transferência de Carga.

A existência de uma resistência finita em série com a chave altera o funcionamento do integrador SC. A figura 4.26 mostra o integrador Euler tipo avanço implementado com a chave não-ideal. A hipótese de que as correntes em circuitos SC são impulsivas não é mais válida.

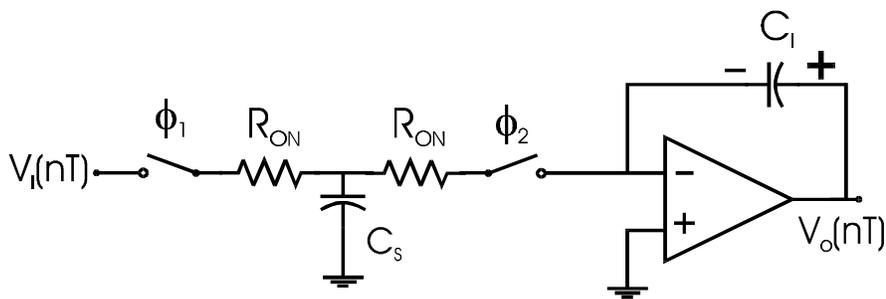


Figura 4.26 - Integrador Euler tipo Avanço Implementado com Chave Não-Ideal.

O efeito da resistência finita das chaves na *performance* do integrador SC é determinado através do equacionamento do circuito da figura 4.26, considerando o AmpOp ideal, nas duas fases de operação:

■ $\phi_1 = 1$

$$v_i[n-1] = v_{RON} + v_{CS} \quad (4.95)$$

$$v_i[n-1] = R_{ON} C_S \cdot \frac{dv_{CS}}{dt} + v_{CS}(t) \quad (4.96)$$

$$v_{CS}(t) = v_i[n-1] \cdot \left(1 - e^{-t/R_{ON}C_S}\right) \quad (4.97)$$

$$v_{CS}\left[n - \frac{1}{2}\right] = v_i[n-1] \cdot \left(1 - e^{-\frac{T/2}{R_{ON}C_S}}\right) \quad (4.98)$$

■ $\phi_2 = 1$

$$i_{RON} = -i_{CS} \quad (4.99)$$

$$C_S \cdot \frac{dv_{CS}}{dt} + \frac{v_{CS}(t)}{R_{ON}} = 0 \quad (4.100)$$

$$v_{CS}(t) = v_{CS} \left[n - \frac{1}{2} \right] \cdot e^{-\frac{t-T/2}{R_{ON}C_S}} \quad (4.101)$$

$$v_{CS}[n] = v_{CS} \left[n - \frac{1}{2} \right] \cdot e^{-\frac{T/2}{R_{ON}C_S}} \quad (4.102)$$

$$i_{CI} = -i_{CS} \quad (4.103)$$

De acordo com (4.102) e (4.103), a carga em C_S é transferida para C_I :

$$i_{CI}(t) = -\frac{v_{CS} \left[n - \frac{1}{2} \right]}{R_{ON}} \cdot e^{-\frac{t-T/2}{R_{ON}C_S}} \quad (4.104)$$

$$C_I \cdot \frac{dv_{CI}}{dt} = -\frac{v_{CS} \left[n - \frac{1}{2} \right]}{R_{ON}} \cdot e^{-\frac{t-T/2}{R_{ON}C_S}} \quad (4.105)$$

$$\int_{v_{CI}[n-1]}^{v_{CI}} \frac{R_{ON}C_I}{v_{CS} \left[n - \frac{1}{2} \right]} \cdot du = -\int_0^t e^{-\frac{\tau-T/2}{R_{ON}C_S}} \cdot d\tau \quad (4.106)$$

$$\frac{R_{ON}C_I}{v_{CS} \left[n - \frac{1}{2} \right]} \cdot (v_{CI}(t) - v_{CI}[n-1]) = R_{ON}C_S \cdot \left(e^{-\frac{t-T/2}{R_{ON}C_S}} - 1 \right) \quad (4.107)$$

$$v_{CI}(t) = v_{CI}[n-1] - \frac{C_S}{C_I} \cdot v_{CS} \left[n - \frac{1}{2} \right] \cdot \left(1 - e^{-\frac{t-T/2}{R_{ON}C_S}} \right) \quad (4.108)$$

Substituindo-se (4.98) em (4.108), com $v_o = v_{CI}$, obtém-se no final de φ_2 :

$$v_o[n] = v_o[n-1] - \frac{C_S}{C_I} \cdot v_i[n-1] \cdot \left(1 - e^{-\frac{T/2}{R_{ON}C_S}} \right)^2 \quad (4.109)$$

O acumulador SC implementado com chaves reais resulta num integrador discreto com redução do ganho normalizado (Seção 3.3). Esta degradação da *performance* é devida à transferência incompleta de carga nas fases φ_1 e φ_2 . Como na Seção 4.2.3, pode ser definido o tempo de estabilização das tensões nos capacitores no final de cada fase. Para que 99% da carga seja transferida, $T/2 \geq T_{CH}$:

$$1 - e^{-\frac{T_{CH}}{R_{ON}C_S}} = 1\% \quad (4.110)$$

$$T_{CH} = R_{ON}C_S \cdot \text{Ln}(100) \quad (4.111)$$

O tempo de transferência finito definido em (4.111) é mais um limitante para a máxima frequência de operação do sistema. Entretanto, é menos importante que o tempo de estabilização devido à dinâmica do AmpOp [1],[4] , estudado nas Seções 4.2.2 e 4.2.3. A Seção 5.1 apresenta uma comparação entre os fatores limitantes da taxa de amostragem.

4.3.2 Injeção de Carga e *Clock Feedthrough*

A chave MOS apresenta ainda outros problemas que limitam a precisão dos circuitos SC. Quando o MOSFET (figura 4.5) está conduzindo, uma quantidade finita de portadores móveis é armazenada no canal formado no dispositivo. O desligamento do transistor faz com que estas cargas armazenadas no canal se desloquem para os terminais de fonte (S) e dreno (D) e, para o substrato (B). A carga transferida para os capacitores durante a operação do circuito apresenta, superposta à tensão amostrada, uma componente de erro (*charge injection*). Além disso, há o acoplamento capacitivo do sinal de acionamento das chaves (*clock feedthrough*) através da capacitância de superposição (*overlap*) entre o terminal de porta (G) e as difusões de fonte (S) e dreno (D), que aumenta mais ainda a tensão de erro após o desligamento das chaves [138]-[140].

O desligamento da chave MOSFET apresenta dois períodos distintos: No período inicial a tensão de porta v_G é maior que a tensão efetiva de limiar V_{TE} . Ainda existe o canal de condução ligando as difusões de fonte e dreno. Com o decréscimo da tensão de porta, os portadores móveis se deslocam para os terminais de fonte e dreno (a absorção de portadores pelo substrato é desconsiderada). Assim que $v_G < V_{TE}$ o canal desaparece e não há mais

nenhuma ligação entre os terminais da chave (a condução em inversão fraca também é desprezível). Nesta segunda fase apenas o acoplamento capacitivo através das capacitâncias de superposição ainda está presente.

Um estudo preciso do sinal de erro no capacitor de armazenamento C_L após a abertura da chave foi realizado nas referências [139],[140]. A figura 4.27 mostra o circuito analisado no estudo da injeção de carga e do *clock feedthrough*.

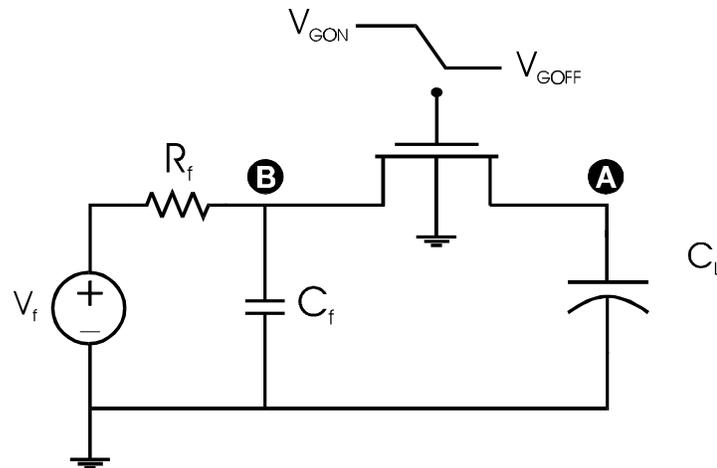


Figura 4.27 - Circuito para Estudo da Injeção de Carga e do *Clock Feedthrough*.

A figura 4.28 mostra o modelo da chave MOSFET nos dois períodos em que se divide o desligamento da chave. A seguinte notação é adotada:

- C_{OV} Capacitância de Superposição
- C_G Capacitância do Canal
- R_{CH} Resistência do Canal
- V_{GON} Nível Alto da Tensão de Controle
- V_{GOFF} Nível Baixo da Tensão de Controle
- U Taxa de Queda da Tensão de Controle
- V_F Fonte DC
- R_F Resistência da Fonte de Sinal
- C_F Capacitância da Fonte de Sinal
- v_F Tensão de Erro do nó B
- v_L Tensão de Erro do nó A

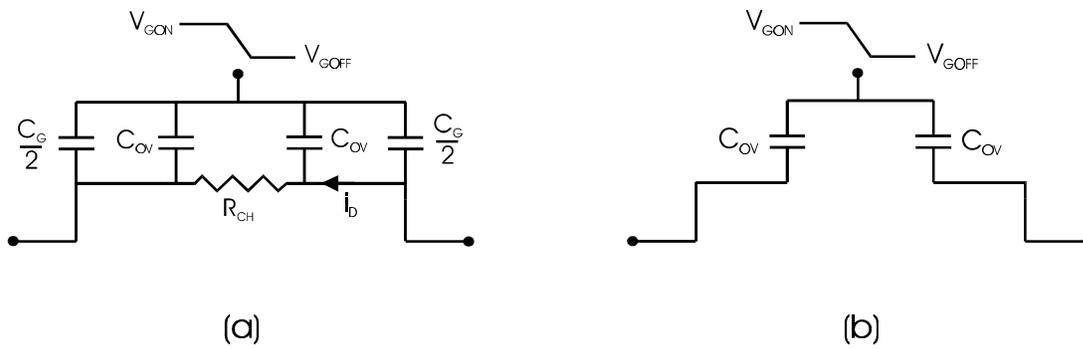


Figura 4.28 - Modelo da Chave MOSFET durante o Desligamento.

(a) Enquanto $v_G > V_{TE}$. (b) Depois que $v_G < V_{TE}$.

Aplicando-se a lei das correntes nos nós A e B (fig. 4.27) e considerando-se o modelo da figura 4.28a para a chave MOSFET tem-se:

$$C_L \frac{dv_L}{dt} = -i_D + \left(C_{OV} + \frac{C_G}{2} \right) \frac{d(v_G - v_L)}{dt} \quad (4.112)$$

$$\frac{v_F}{R_F} + C_F \frac{dv_F}{dt} = i_D + \left(C_{OV} + \frac{C_G}{2} \right) \frac{d(v_G - v_F)}{dt} \quad (4.113)$$

Assume-se que a tensão de controle decresce linearmente:

$$v_G = V_{GON} - U \cdot t \quad (4.114)$$

Sob a hipótese que $|dv_G/dt| \gg |dv_L/dt|$ e $|dv_F/dt|$ e que o transistor é operado na região de inversão forte, as equações (4.112) e (4.113) simplificam-se:

$$C_L \frac{dv_L}{dt} = -\beta(V_{HT} - Ut)(v_L - v_F) - \left(C_{OV} + \frac{C_G}{2} \right) U \quad (4.115)$$

$$\frac{v_F}{R_F} + C_F \frac{dv_F}{dt} = \beta(V_{HT} - Ut)(v_L - v_F) + \left(C_{OV} + \frac{C_G}{2} \right) U \quad (4.116)$$

onde $V_{HT} = V_{GON} - V_F - V_{TE}$.

O conjunto de equações (4.115) e (4.116) não apresenta solução analítica. Para o caso em que a fonte é ideal ($R_F = C_F = 0$) e a tensão de erro no nó A no instante que a tensão de controle é igual a tensão efetiva de limiar V_{TE} , tem-se:

$$v_L\left(\frac{V_{HT}}{U}\right) = -\sqrt{\frac{\pi UC_L}{2\beta}} \cdot \left(\frac{C_{OV} + C_G/2}{C_L}\right) \cdot \operatorname{erf}\left(\sqrt{\frac{\beta}{2UC_L}} \cdot V_{HT}\right) \quad (4.117)$$

O problema da injeção de carga foi resolvido numericamente por vários autores. No caso do circuito *sample and hold* da figura 4.27, o gráfico da figura 4.29 mostra o percentual de cargas armazenadas no canal que são injetadas no nó A para diversas razões C_F/C_L . Neste gráfico publicado em [138], a resistência R_F é suposta infinita.

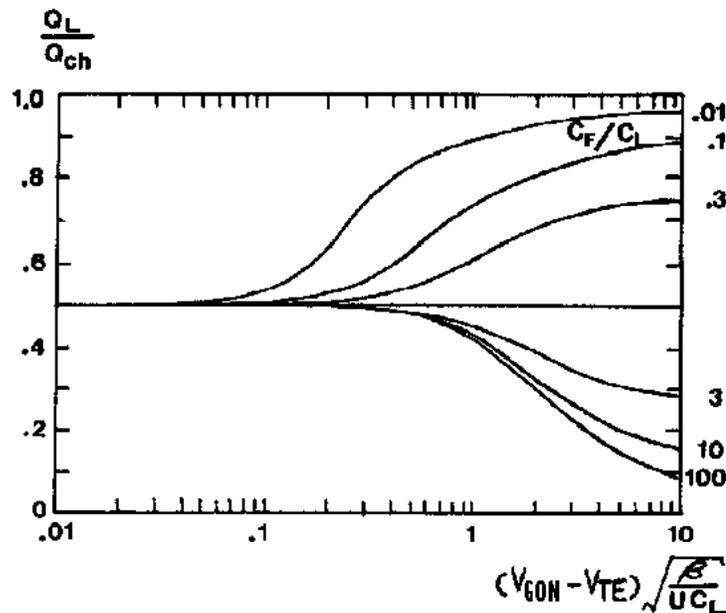


Figura 4.29 - Percentual de Carga do Canal Injetada no Capacitor de Carga [138].

Do momento em que o canal desaparece até o instante que a tensão de controle atinge o valor V_{GOFF} apenas o fenômeno de *clock feedthrough* está presente. O erro total de chaveamento é dado por [139],[140]:

$$v_\epsilon = v_L\left(\frac{V_{HT}}{U}\right) - \frac{C_{OV}}{C_L}(V_F + V_{TE} - V_{GOFF}) \quad (4.118)$$

As equações (4.117) e (4.118) determinam, em função de todos os parâmetros físicos das chaves, das características do sinal de controle e da tensão de entrada, o valor do erro de chaveamento. Experimentalmente [140],[141], para todos os demais parâmetros invariantes, foi constatada uma dependência aproximadamente linear deste erro com a tensão de entrada no intervalo de interesse :

$$v_{\epsilon} = -b - a \cdot V_F \quad (4.119)$$

onde a e b são constantes determinadas empiricamente. A análise do circuito integrador SC insensível às capacitâncias parasitas (figura 4.30), levando-se em consideração o erro de chaveamento, permite a quantificar o efeito desta não-idealidade na saída do integrador Euler tipo avanço.

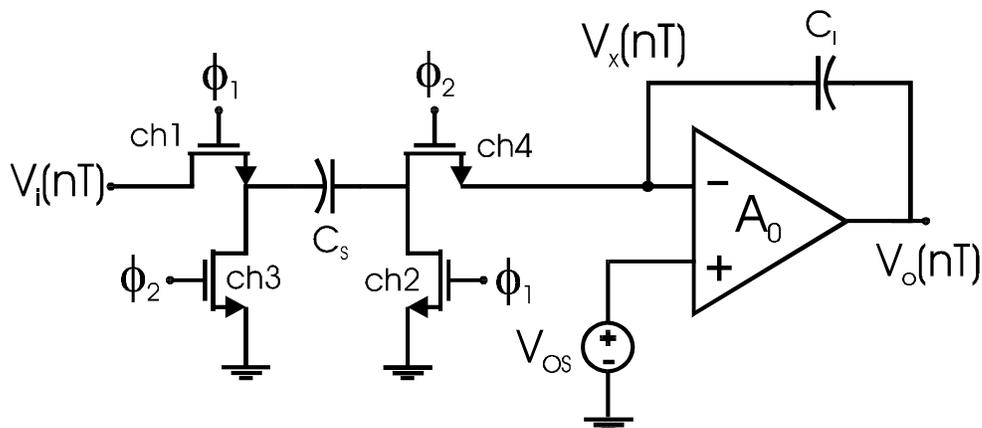


Figura 4.30 - Integrador Não-Inversor Implementado com Chaves e Amplificador Operacional Não-Ideais.

■ ϕ_1 está alto:

$$Q_s[n-1] = V_i[n-1] \cdot C_s \quad (4.120)$$

■ Desligamento de φ_1 :

$$Q_s \left[n - \frac{1}{2} \right] = V_i[n-1] \cdot C_s - q_{ch1} - q_{ch2} \quad (4.121)$$

$$V_{C_s} \left[n - \frac{1}{2} \right] = V_i[n-1] - aV_i[n-1] - 2b \quad (4.122)$$

■ Subida de φ_2 :

De forma análoga ao que ocorre durante a transição de descida do sinal de controle, quando cargas que formavam o canal da chave escoam para os terminais de fonte e dreno, cargas são drenadas do capacitor C_s para a formação do canal nas chaves $ch3$ e $ch4$. Constata-se também experimentalmente que este erro é uma função linear do potencial nos terminais do capacitor [142].

$$v'_e = d - c \cdot V \quad (4.123)$$

$$Q'_s \left[n - \frac{1}{2} \right] = Q_s \left[n - \frac{1}{2} \right] + q_{ch3} + q_{ch4} \quad (4.124)$$

$$V'_{C_s} \left[n - \frac{1}{2} \right] = V_i[n-1] - aV_i[n-1] - 2b + \frac{q_{ch3}}{C_s} + \frac{q_{ch4}}{C_s} \quad (4.125)$$

$$V'_{C_s} \left[n - \frac{1}{2} \right] = V_i[n-1] - aV_i[n-1] - 2b + d - cV_{C_s} \left[n - \frac{1}{2} \right] + d \quad (4.126)$$

$$V'_{C_s} \left[n - \frac{1}{2} \right] = (1-a)(1-c)V_i[n-1] + 2d - 2b(1-c) \quad (4.127)$$

$$Q'_i \left[n - \frac{1}{2} \right] = Q_i[n-1] - q_{ch4} = Q_i[n-1] - C_l \left(d - cV_x \left[n - \frac{1}{2} \right] \right) \quad (4.128)$$

■ φ_2 está alto:

$$V_{C_s}[n] = -V_{C_s}'\left[n - \frac{1}{2}\right] \quad (4.129)$$

$$Q_I[n] = Q_I'\left[n - \frac{1}{2}\right] + Q_S[n] + C_S \cdot V_x[n] \quad (4.130)$$

■ Desligamento de φ_2 :

$$Q_I'[n] = Q_I[n] + q_{ch4} = Q_I[n] - C_I(-b - aV_x[n]) \quad (4.131)$$

$$\begin{aligned} V_o[n] - V_x[n] &= V_o[n-1] - V_x[n-1] - d + cV_x\left[n - \frac{1}{2}\right] + b + aV_x[n] \\ &+ C_S(1-a)(1-c)V_i[n-1] + \frac{C_S}{C_I}[2d - 2b(1-c) + V_x[n]] \end{aligned} \quad (4.132)$$

$$V_o[n] = A_0(-V_x[n] + V_{os}) \quad (4.133)$$

$$\begin{aligned} V_o[n] \left(\frac{A_0 + 1 + a + C_S/C_I}{A_0} \right) &= V_o[n-1] \left(\frac{A_0 + 1 - c}{A_0} \right) + V_i[n-1] \frac{C_S}{C_I} (1-a)(1-c) \\ &+ \left\{ \frac{C_S}{C_I} [2d - 2b(1-c) + V_{os}] + b - d + (a+c)V_{os} \right\} \end{aligned} \quad (4.134)$$

$$V_o(z) \left(z \frac{A_0 + 1 + a + C_S/C_I}{A_0} - \frac{A_0 + 1 - c}{A_0} \right) = V_i(z) \frac{C_S}{C_I} (1-a)(1-c) + z\mathcal{E}_{FE}(z) \quad (4.135)$$

A partir da equação (4.135) as funções de transferência do integrador Euler tipo avanço não-inversor podem ser expressas:

$$\frac{V_o(z)}{V_i(z)} = \frac{\frac{C_s}{C_I} \frac{A_0(1-a)(1-c)}{A_0+1+a+C_s/C_I}}{z - \frac{A_0+1-c}{A_0+1+a+C_s/C_I}} = \frac{g_{FE}}{z-\alpha} \quad (4.136)$$

$$\frac{V_o(z)}{\varepsilon_{FE}(z)} = \frac{\frac{zA_0}{A_0+1+a+C_s/C_I}}{z - \frac{A_0+1-c}{A_0+1+a+C_s/C_I}} = \frac{z\gamma}{z-\alpha} \quad (4.137)$$

O equacionamento do modulador $\Sigma\Delta$ levando-se em consideração o erro de chaveamento, a tensão de *offset* no amplificador operacional do integrador e, a tensão de *offset* na entrada do quantizador (ε_Q), permite a previsão da SNR do sistema com maior precisão. Para o modulador de 1ª ordem da figura 4.31 tem-se:

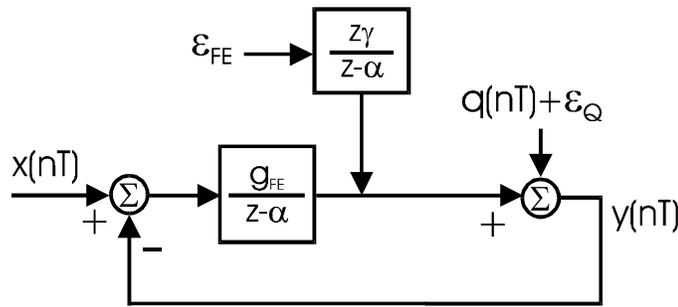


Figura 4.31 - Modulador de 1ª Ordem Considerando o Erro DC.

$$H_{\varepsilon}(z) = \frac{z\gamma}{(z-\alpha + g_{FE})} \quad (4.138)$$

As funções de transferência para o sinal de entrada e para o ruído de quantização são dadas, para $g_{FE} = g$, pelas equações (3.25) e (3.26) da Seção 3.3. O erro do comparador tem a mesma função de transferência que o ruído de quantização. A SNR do modulador neste caso também depende da potência média devida aos erro DC na saída do integrador e do comparador:

$$SNR_1 = \frac{P_S}{P_N + P_{\epsilon_{FE}} + P_{\epsilon_Q}} \quad (4.139)$$

onde P_S e P_N estão descritos, respectivamente, nas equações (3.32) e (3.35) da Seção 3.3 e a parcela devida ao erros é definida na equação abaixo:

$$P_{\epsilon_{FE}} = \frac{\gamma^2}{[1 - (\alpha - g_{FE})]^2} \cdot \left\{ \frac{C_S}{C_I} [2d - 2b(1-c) + V_{OS}] + b - d + (a+c)V_{OS} \right\}^2 \quad (4.140)$$

$$P_{\epsilon_Q} = \frac{(1-\alpha)^2}{[1 - (\alpha - g_{FE})]^2} \cdot \{V_{OS_Q}\}^2 \quad (4.141)$$

Invertendo-se os sinais de controle das chaves ch1 e ch4 da figura 4.30, implementa-se o integrador inversor Euler tipo atraso insensível às capacitâncias parasitas. Através do equacionamento deste circuito chega-se a:

$$V_o[n] \left(\frac{A_0 + 1 + a + C_S/C_I}{A_0} \right) = V_o[n-1] \left(\frac{A_0 + 1 - c}{A_0} \right) - \frac{C_S}{C_I} V_i[n] + \left\{ \left(\frac{C_S}{C_I} + a + c \right) V_{OS} + b - d \right\} \quad (4.142)$$

$$V_o(z) \left(z \frac{A_0 + 1 + a + C_S/C_I}{A_0} - \frac{A_0 + 1 - c}{A_0} \right) = -z V_i(z) \frac{C_S}{C_I} + z \epsilon_{BE}(z) \quad (4.143)$$

O integrador inversor Euler tipo atraso, levando-se em conta o erro de injeção de carga e o erro de *offset*, é caracterizado pela seguintes funções de transferência:

$$\frac{V_o(z)}{V_i(z)} = \frac{-z \frac{C_S}{C_I} \frac{A_0}{(A_0 + 1 + a + C_S/C_I)}}{z - \frac{A_0 + 1 - c}{A_0 + 1 + a + C_S/C_I}} = \frac{-z \cdot g_{BE}}{z - \alpha} \quad (4.144)$$

$$\frac{V_o(z)}{\epsilon_{BE}(z)} = \frac{\frac{zA_0}{(A_0 + 1 + a + C_s/C_I)}}{z - \frac{A_0 + 1 - c}{A_0 + 1 + a + C_s/C_I}} = \frac{z\gamma}{z - \alpha} \quad (4.145)$$

Utilizando-se os dois tipos de acumuladores Euler descritos nesta seção e contabilizando-se a tensão de *offset* na entrada do quantizador (ϵ_Q), pode-se determinar com maior precisão o comportamento do modulador $\Sigma\Delta$ de 2ª ordem (figura 4.32).

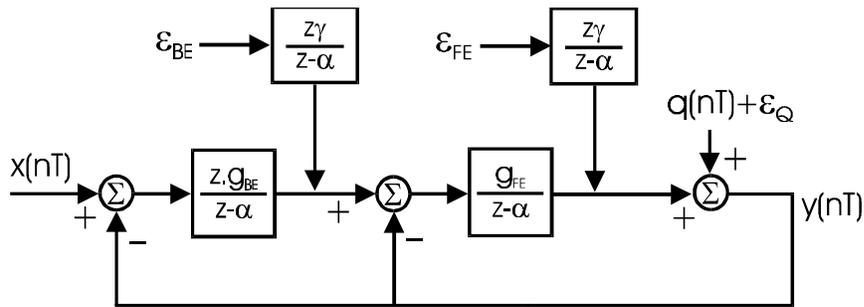


Figura 4.32 - Modulador de 2ª Ordem Considerando o Erro DC.

As funções de transferência para o sinal de entrada e para o ruído de quantização são dadas, para $g_{FE} = g_1$ e $g_{BE} = g_2$, pelas equações (3.36) e (3.37) da Seção 3.3. O erro do comparador tem a mesma função de transferência que o ruído de quantização. Para as parcelas de erro na saída dos integradores tem-se:

$$H_{\epsilon_{BE}}(z) = \frac{z g_{FE} \gamma}{z^2 + z(g_{BE} g_{FE} + g_{FE} - 2\alpha) + (\alpha^2 - \alpha g_{FE})} \quad (4.146)$$

$$H_{\epsilon_{FE}}(z) = \frac{z\gamma(z - \alpha)}{z^2 + z(g_{BE} g_{FE} + g_{FE} - 2\alpha) + (\alpha^2 - \alpha g_{FE})} \quad (4.147)$$

A SNR do sistema considerando os erros é dada por:

$$SNR_2 = \frac{P_S}{P_N + P_{\epsilon_{FE}} + P_{\epsilon_{BE}} + P_{\epsilon_Q}} \quad (4.148)$$

onde P_S e P_N estão descritos, respectivamente, nas equações (3.42) e (3.44) da Seção 3.3 e as parcelas devidas aos erros são definidas nas equações abaixo:

$$P_{\epsilon_{FE}} = \frac{\gamma^2(1-\alpha)^2}{\left[(1+\alpha)^2 - g_{FE}(g_{BE} + \alpha + 1)\right]^2} \cdot \left\{ \frac{C_S}{C_I} [2d - 2b(1-c) + V_{OS}] + b - d + (a+c)V_{OS} \right\}^2 \quad (4.149)$$

$$P_{\epsilon_{BE}} = \frac{\gamma^2 g_{FE}^2}{\left[(1+\alpha)^2 - g_{FE}(g_{BE} + \alpha + 1)\right]^2} \cdot \left\{ \frac{C_S}{C_I} V_{OS} + b - d + (a+c)V_{OS} \right\}^2 \quad (4.150)$$

$$P_{\epsilon_{\varrho}} = \frac{(1-\alpha)^4}{\left[(1+\alpha)^2 - g_{FE}(g_{BE} + \alpha + 1)\right]^2} \cdot \left\{ V_{OS_{\varrho}} \right\}^2 \quad (4.151)$$

O erro de chaveamento, nas transições de abertura e fechamento das chaves, foi caracterizado experimentalmente em [142]. A figura 4.33 mostra os dados obtidos nas duas transições. A partir destas curvas, os parâmetros a , b , c , d (equações (4.119) e (4.123)) que caracterizam a aproximação linear do erro chaveamento, podem ser determinados.

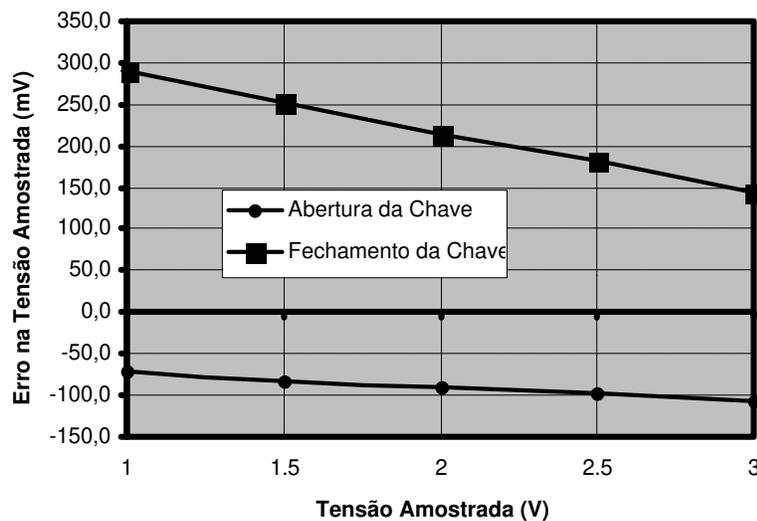


Figura 4.33 - Medidas do Erro de Chaveamento [142].

Entretanto, as curvas mostradas na figura 4.33 foram obtidas a partir de experimentos com chaves de grandes dimensões ($W/L = 40\mu\text{m}/10\mu\text{m}$) e capacitor de amostragem de 10pF num antigo processo CMOS $5\mu\text{m}$. Para que os resultados quantitativos subseqüentes estejam

mais de acordo com os processos utilizados atualmente, foi inferido o erro de chaveamento para uma chave de tamanho usual ($W/L = 4\mu\text{m}/1\mu\text{m}$) e capacitor de amostragem de 1pF. A tabela 4.2 mostra os parâmetros a, b, c, d, após o reescalamto dos componentes utilizados em [142].

a	1,75m
b	5,35 mV
c	7,25 m
d	36,25 mV

Tabela 4.2 - Parâmetros da Aproximação Linear do Erro de Chaveamento após o Reescalamto dos Componentes.

Com os dados da tabela 4.2, As funções de transferência do erro DC total (erro de chaveamento + *offset* do AmpOp) para saída e, a SNR dos moduladores de 1ª e 2ª ordem foram calculadas numericamente. Estes resultados estão, respectivamente, nas figuras 4.34 e 4.35. No modulador de 1ª ordem (figura 4.31) foi utilizado $C_S = C_I$, no de 2ª ordem (figura 4.32) $C_S = 0,5 \times C_I$.

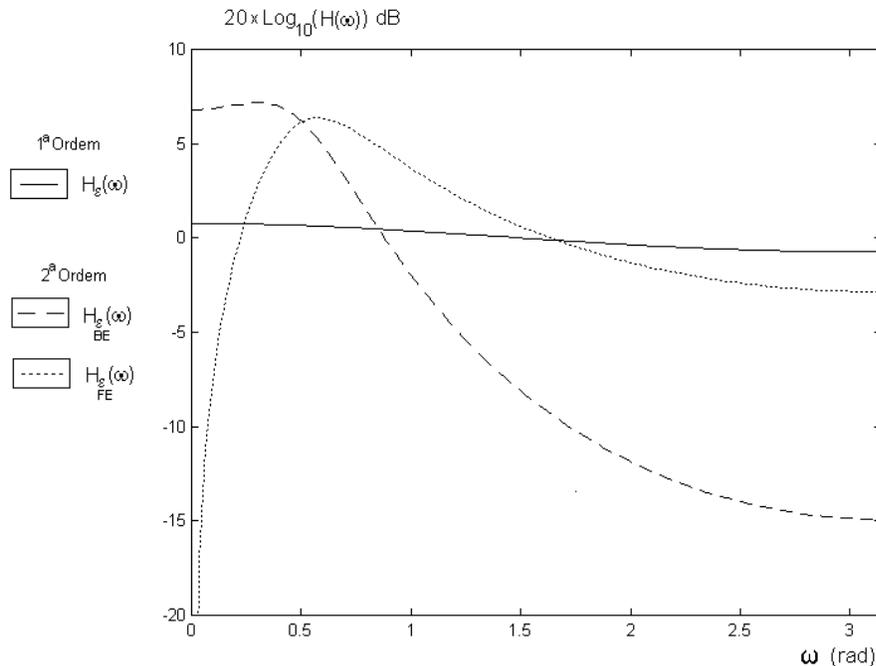


Figura 4.34 - Funções de Transferência do Erro DC Total para Saída nos Moduladores de 1ª e 2ª Ordens.

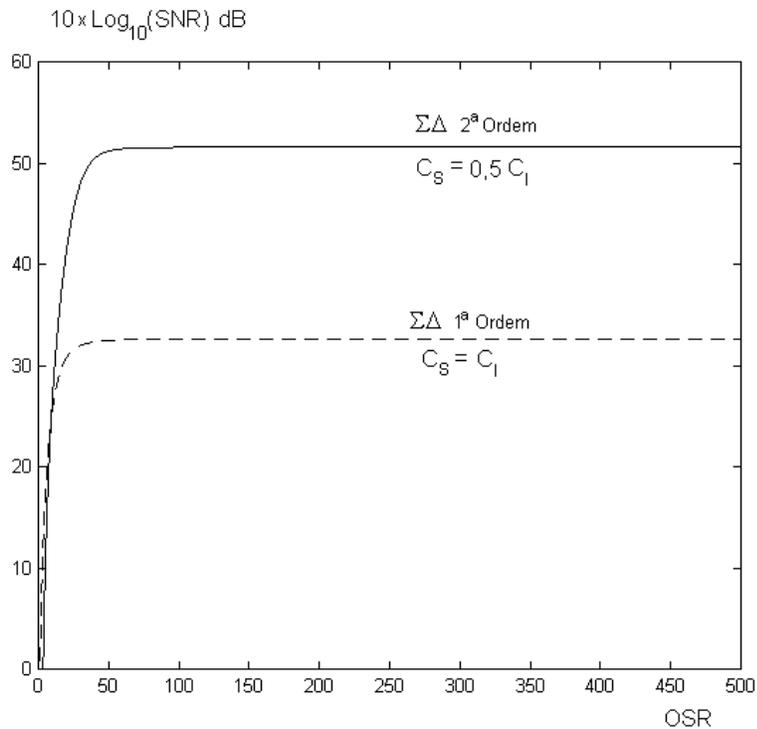


Figura 4.35 - SNR dos Moduladores de 1ª e 2ª Ordens
Considerando-se os Erros DC. $\Delta = 5$ V.

As simulações das figuras 4.34 e 4.35 mostram como a tensão de *offset* do AmpOp e os erros de chaveamento degradam a *performance* do modulador $\Sigma\Delta$. A implementação SC de conversores A/D $\Sigma\Delta$, sem a utilização de técnicas de cancelamento destes erros no primeiro integrador do sistema, é inviável.

A maneira mais eficiente e mais utilizada para a diminuição do erro de chaveamento é a utilização de circuitos completamente diferenciais [4],[38]. Nos integradores completamente diferenciais (figura 4.36), todos os erros que chegam igualmente às duas entradas do AmpOp são tratados como sinais de modo comum.

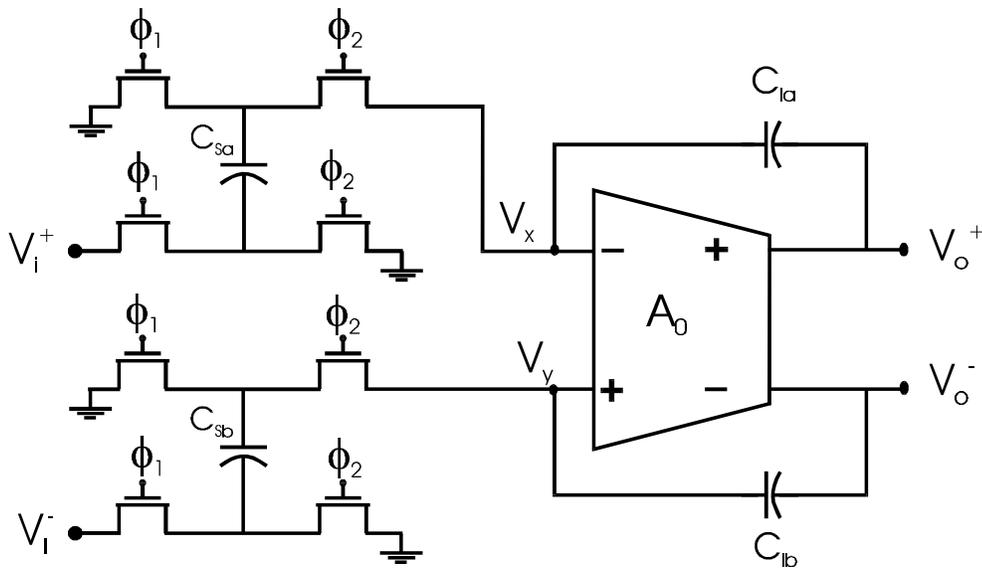


Figura 4.36 - Integrador SC Completamente Diferencial Euler Tipo Avanço.

Se as chaves utilizadas na implementação do integrador da figura 4.36 forem rigorosamente iguais, todo o erro de chaveamento é cancelado. Na prática, o descasamento entre as chaves faz com que persista um erro residual. Nos cálculos subsequentes é considerado o descasamento equivalente entre os dois grupos de chaves que amostram cada uma das componentes simétricas do sinal de entrada.

A aproximação linear para o erro de chaveamento (equações (4.119) e (4.123)) nas chaves ligadas à entrada inversora é modelado pelos parâmetros a , b , c , d , e nas chaves ligadas à entrada não-inversora pelos parâmetros $a+\Delta a$, $b+\Delta b$, $c+\Delta c$, $d+\Delta d$. A função de transferência do integrador da figura 4.36 pode ser determinada:

■ ϕ_1 está alto:

$$Q_{Sa}[n-1] = C_{Sa} \cdot V_i^+[n-1] \quad (4.152)$$

$$Q_{Sb}[n-1] = C_{Sb} \cdot V_i^-[n-1] \quad (4.153)$$

■ Desligamento de φ_1 :

$$Q_{Sa} \left[n - \frac{1}{2} \right] = C_{Sa} \{ (1-a)V_i^+[n-1] - 2b \} \quad (4.154)$$

$$Q_{Sb} \left[n - \frac{1}{2} \right] = C_{Sb} \{ (1-a-\Delta a)V_i^-[n-1] - 2(b+\Delta b) \} \quad (4.155)$$

■ Subida de φ_2 :

$$Q_{Sa} \left[n - \frac{1}{2} \right] = C_{Sa} \{ (1-a)(1-c)V_i^+[n-1] + 2d - 2b(1-c) \} \quad (4.156)$$

$$Q_{Sb} \left[n - \frac{1}{2} \right] = C_{Sb} \left\{ \begin{array}{l} (1-a-\Delta a)(1-c-\Delta c)V_i^-[n-1] + 2(d+\Delta d) \\ -2(b+\Delta b)(1-c-\Delta c) \end{array} \right\} \quad (4.157)$$

$$Q_{Ia} \left[n - \frac{1}{2} \right] = Q_{Ia}[n-1] - C_{Sa} \left(d - c.V_x \left[n - \frac{1}{2} \right] \right) \quad (4.158)$$

$$Q_{Ib} \left[n - \frac{1}{2} \right] = Q_{Ib}[n-1] - C_{Sb} \left(d + \Delta d - (c + \Delta c).V_y \left[n - \frac{1}{2} \right] \right) \quad (4.159)$$

■ φ_2 está alto:

$$Q_{Ia}[n] = Q_{Ia} \left[n - \frac{1}{2} \right] + C_{Sa} \{ (1-a)(1-c)V_i^+[n-1] + 2d - 2b(1-c) + V_x[n] \} \quad (4.160)$$

$$Q_{Ib}[n] = Q_{Ib} \left[n - \frac{1}{2} \right] + C_{Sb} \left\{ \begin{array}{l} (1-a-\Delta a)(1-c-\Delta c)V_i^+[n-1] + 2(d+\Delta d) \\ -2(b+\Delta b)(1-c-\Delta c) + V_y[n] \end{array} \right\} \quad (4.161)$$

■ Desligamento de φ_2 :

$$\begin{aligned} Q_{ia}[n] &= Q_{ia}\left[n - \frac{1}{2}\right] + C_{Sa} \left\{ (1-a)(1-c)V_i^+[n-1] + 2d - 2b(1-c) + V_x[n] \right\} \\ &- C_{Ia} \left\{ -b - a \cdot V_x[n] \right\} \end{aligned} \quad (4.162)$$

$$\begin{aligned} Q_{ib}[n] &= Q_{ib}\left[n - \frac{1}{2}\right] + C_{Sb} \left\{ (1-a-\Delta a)(1-c-\Delta c)V_i^+[n-1] + 2(d+\Delta d) \right\} \\ &- C_{Ib} \left\{ -(b+\Delta b) - (a+\Delta a) \cdot V_y[n] \right\} \end{aligned} \quad (4.163)$$

$$\begin{aligned} V_o^+[n] - V_x[n] &= V_o^+[n-1] - V_x[n-1] - d + cV_x\left[n - \frac{1}{2}\right] - b - aV_x[n] \\ &+ \frac{C_{Sa}}{C_{Ia}} \left\{ (1-a)(1-c)V_i^+[n-1] + 2d - 2b(1-c) + V_x[n] \right\} \end{aligned} \quad (4.164)$$

$$\begin{aligned} V_o^-[n] - V_y[n] &= V_o^-[n-1] - V_y[n-1] - (d+\Delta d) + (c+\Delta c)V_y\left[n - \frac{1}{2}\right] \\ &- (b+\Delta b) - (a+\Delta a)V_x[n] + \frac{C_{Sb}}{C_{Ib}} \left\{ (1-a-\Delta a)(1-c-\Delta c)V_i^+[n-1] \right. \\ &\left. + 2(d+\Delta d) - 2(b+\Delta b)(1-c-\Delta c) + V_y[n] \right\} \end{aligned} \quad (4.165)$$

Subtraindo (4.165) de (4.164) obtém-se:

$$\begin{aligned} V_o[n] + (V_y[n] - V_x[n]) &= V_o[n-1] + (V_y[n-1] - V_x[n-1]) + \Delta d \\ &- c \left(V_y\left[n - \frac{1}{2}\right] - V_x\left[n - \frac{1}{2}\right] \right) - \Delta c \cdot V_y\left[n - \frac{1}{2}\right] \\ &+ \frac{C_S}{C_I} \left\{ (1-a)(1-b)V_i[n-1] - 2\Delta d - 2(b \cdot \Delta c + \Delta b(c-1)) - V_y[n] + V_x[n] \right\} \\ &- \Delta b - a \{ V_y[n] - V_x[n] \} - \Delta a \cdot V_y[n] \end{aligned} \quad (4.166)$$

$$V_y - V_x = \frac{V_o}{A_0} - V_{os} \quad (4.167)$$

$$\begin{aligned}
V_o[n] + \frac{V_o[n]}{A_0} - V_{os} &= V_o[n-1] + \frac{V_o[n-1]}{A_0} - V_{os} + \Delta d - c \left\{ \frac{V_o[n-1]}{A_0} - V_{os} \right\} \\
- \Delta b - a \left\{ \frac{V_o[n]}{A_0} - V_{os} \right\} &- \Delta c \cdot V_y \left[n - \frac{1}{2} \right] - \Delta a \cdot V_y[n] \\
+ \frac{C_s}{C_l} \left\{ (1-a)(1-c)V_i[n-1] - 2\Delta d - 2(b\Delta c + \Delta b(c-1)) - \frac{V_o[n]}{A_0} + V_{os} \right\} &
\end{aligned} \tag{4.168}$$

Como nos amplificadores operacionais com saída diferencial o modo comum da saída é definido pelo circuito de realimentação do modo comum (*CMFB*), o valor da variável de tensão V_y é definido:

$$\frac{V_o^+ + V_o^-}{2} = 0 \therefore V_o^+ = -V_o^- \tag{4.169}$$

$$V_o^- = -A_0 V_y - \frac{A_0 V_{os}}{2} \therefore V_y = \frac{V_o^-}{2A_0} - \frac{V_{os}}{2} \tag{4.170}$$

Desta forma, a equação a diferenças do integrador é determinada:

$$\begin{aligned}
V_o[n] \left\{ 1 + \frac{1}{A_0} + \frac{a}{A_0} + \frac{C_s/C_l}{A_0} \right\} &= V_o[n-1] \left\{ 1 + \frac{1}{A_0} - \frac{c}{A_0} \right\} + \frac{C_s}{C_l} (1-a)(1-c)V_i[n-1] \\
- \frac{C_s}{C_l} \{ 2\Delta d + 2[b\Delta c + \Delta b(c-1)] - V_{os} \} &+ \Delta d - \Delta b + V_{os} \left\{ a + \frac{\Delta a}{2} + c + \frac{\Delta c}{2} \right\}
\end{aligned} \tag{4.171}$$

De forma análoga, o integrador Euler atraso completamente diferencial também pode ser equacionado:

$$\begin{aligned}
V_o[n] \left\{ 1 + \frac{1}{A_0} + \frac{a}{A_0} + \frac{C_s/C_l}{A_0} \right\} &= V_o[n-1] \left\{ 1 + \frac{1}{A_0} - \frac{c}{A_0} \right\} - \frac{C_s}{C_l} V_i[n] \\
+ \Delta d - \Delta b + V_{os} \left\{ \frac{C_s}{C_l} + a + \frac{\Delta a}{2} + c + \frac{\Delta c}{2} \right\} &
\end{aligned} \tag{4.172}$$

O equacionamento do modulador de 2ª ordem da figura 4.32 pode ser utilizado para a análise do efeito da adoção de uma arquitetura completamente diferencial na SNR do modulador. Os parâmetros α , γ , g_{FE} e g_{BE} são praticamente iguais aos do modulador implementado com circuitos unipolares. A diferença significativa entre as arquiteturas está no valor do erro DC equivalente na saída dos integradores, bem menor quando se utilizam circuitos completamente diferenciais.

Na simulação da figura 4.37, a SNR do modulador de 2ª ordem é calculada para valores diferentes da tensão de *offset* V_{OS} e do parâmetro de descasamento relativo entre chaves (δ). Este parâmetro relaciona as constantes a, b, c, d, que modelam o erro de chaveamento, e os descasamentos equivalentes Δa , Δb , Δc e Δd . Para $\delta = 1\%$, $\Delta a = a / 100$. Esta simulação é um previsão de pior caso para a SNR, pois é considerado que todo o erro de chaveamento é absorvido pelos capacitores projetados C_S e C_I . As diversas capacitâncias parasitas presentes e as capacitâncias do par diferencial de entrada do AmpOp são desconsideradas no modelo utilizado.

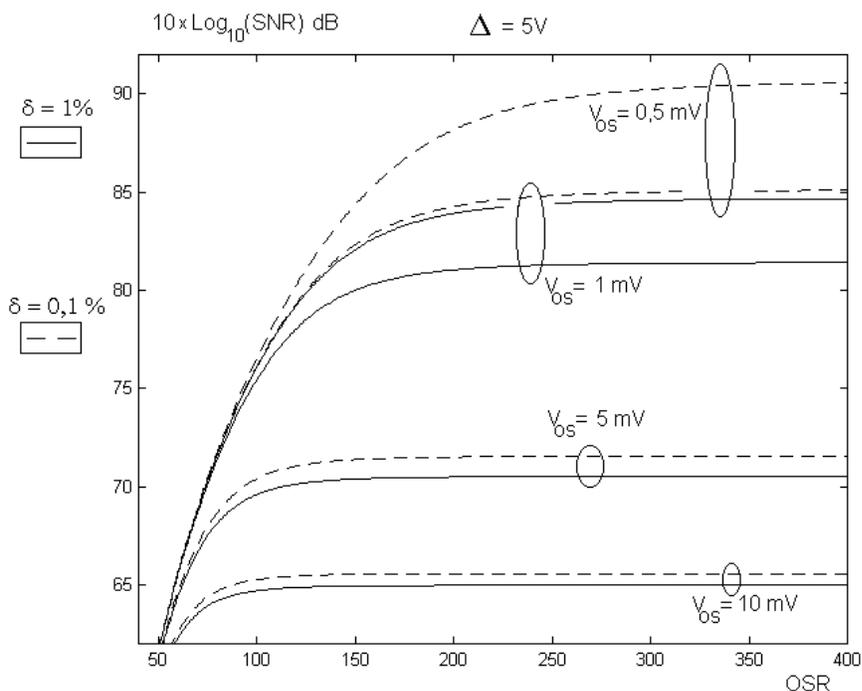


Figura 4.37 - SNR do Modulador de 2ª Ordem Implementado com Integradores Completamente Diferenciais. $\Delta = 5V$.

Verifica-se que a máxima resolução alcançável é determinada basicamente pela tensão *offset*. Apenas para valores abaixo de 1 mV, a diminuição do descasamento relativo entre as

chaves é significativo para o aumento da resolução. Os resultados mostrados na figura 4.37 estão de acordo com o relatado na literatura [34]-[62]: para se conseguir resoluções de 12 (74 dB) ou 14 bits (82 dB), podem ser utilizados integradores sem cancelamento dinâmico de *offset*. Moduladores com resolução a partir de 16 bits (91 dB) precisam ter o 1º integrador do sistema implementados com técnicas de cancelamento de *offset* (auto-zero ou *Chopper Stabilization*) [127].

A máxima SNR do modulador, de forma geral, é determinada por 2 fatores principais: a máxima amplitude do sinal de entrada e a somatório da potência média de todas as fontes de erro e de ruído dentro da banda do sinal. A tendência de diminuição da tensão de alimentação dos circuitos integrados CMOS se coloca como mais uma dificuldade para o projetista para que altas resoluções sejam alcançadas. A simulação da figura 4.38 foi realizada nas mesmas condições da simulação da figura 4.37, exceto pela diminuição da amplitude máxima da entrada de 5 V para 2 V (aproximadamente 8 dB). O resultado foi uma diminuição dos mesmos 8 dB em todas curvas de SNR.

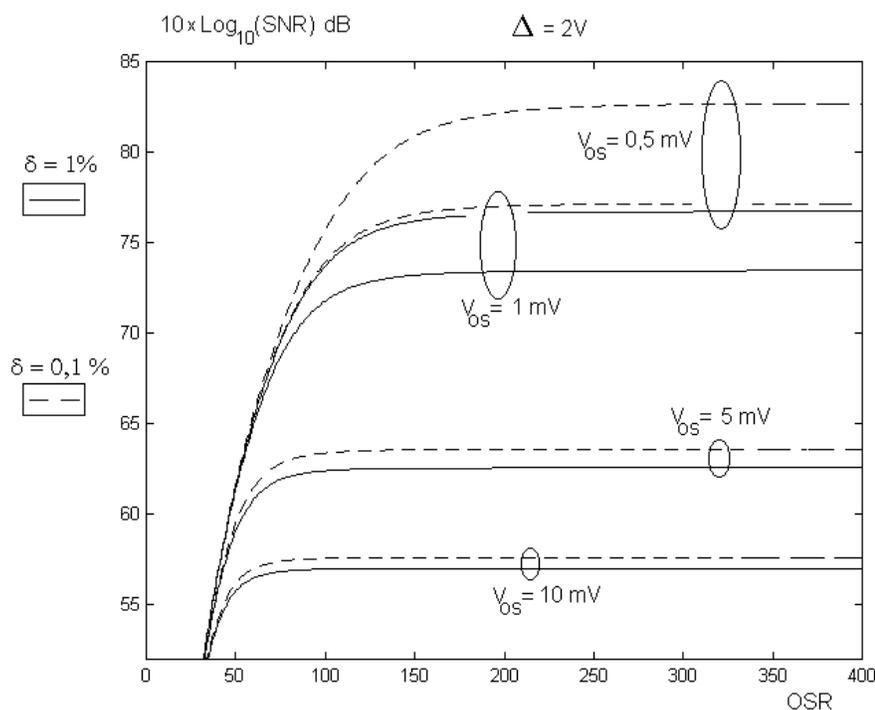


Figura 4.38 - SNR do Modulador de 2ª Ordem Implementado com Integradores Completamente Diferenciais. $\Delta = 2V$.

4.4 Ruído

O estudo de todas as fontes de ruído que contaminam um sistema eletrônico é de fundamental importância para a determinação da sua faixa dinâmica de operação. Esta apresenta seu limite superior fundamental determinado pelo ruído que já vem agregado à banda base do sinal a ser processado e/ou condicionado. A faixa dinâmica é geralmente diminuída devido às diversas fontes de ruído presentes num sistema eletrônico. Cabe ao projetista tentar diminuir ao máximo a degradação do sinal durante o processamento. No modulador $\Sigma\Delta$ ideal ocorre a contaminação pelo ruído de quantização, extensivamente estudado no Capítulo 1. O *noise shaping* do modulador consegue, felizmente, retirar quase toda energia do ruído de quantização da banda base do sinal (Seção 1.5). Desta forma obtêm-se altas resoluções na conversão A/D $\Sigma\Delta$.

Nas implementações de moduladores $\Sigma\Delta$ reais existem, entretanto, outras fontes de ruído que fazem com que a *performance* do sistema esteja aquém do ideal. A adição de ruído em diversos pontos do modulador é devida a fontes intrínsecas aos dispositivos utilizados na fabricação do modulador ou; a fontes extrínsecas ao circuito analógico propriamente dito mas que contaminam o mesmo. No primeiro caso enquadra-se, por exemplo, o ruído térmico gerado no canal dos transistores MOS. A interferência produzida pelo chaveamento de blocos digitais construídos no mesmo c.i. que o modulador se enquadra na segunda classe.

4.4.1 Ruído Intrínseco.

Nos dispositivos de estado sólido existem três tipos principais de ruído: ruído balístico (*shot noise*), ruído térmico e ruído de cintilação (*flicker noise*). Nos transistores MOS, que são as fontes de ruído intrínseco nos circuitos a capacitores chaveados, apenas os dois últimos estão presente de forma considerável [4],[6]-[8].

No canal formado nos MOSFET's durante a condução existem portadores livres. Estes portadores apresentam um movimento térmico aleatório. Portanto, uma diferença de potencial variante no tempo $v_{n\theta}$ aparece entre os terminais de fonte (S) e dreno (D), independente do valor nominal da corrente de dreno i_D . O equivalente de Norton para o ruído térmico no MOSFET é composto por uma fonte de corrente ruidosa $i_{n\theta}$ em paralelo com o canal (figura 4.39). O valor quadrático médio desta corrente é dado por [9]:

$$\overline{i_{n\Theta}^2} = \frac{4k_B\Theta}{R_{ON}} \cdot B \quad (4.173)$$

onde k_B é a constante de Boltzman, Θ é a temperatura absoluta e B é a largura de banda considerada durante a medição do valor quadrático médio do ruído. Uma representação mais conveniente para a fonte de ruído térmico é como uma fonte de tensão $v_{n\Theta}$ em série com o terminal de porta (G) de um transistor ideal (figura 4.39). Para os MOSFET's na região de saturação, $R_{ON} \cong 1,5.g_m$. Neste caso tem-se:

$$\overline{v_{n\Theta}^2} = P_{\Theta} = \int_{-B}^B S_{\Theta}(f)df \cong \frac{8}{3} \frac{k_B\Theta}{g_m} \cdot B \quad (4.174)$$

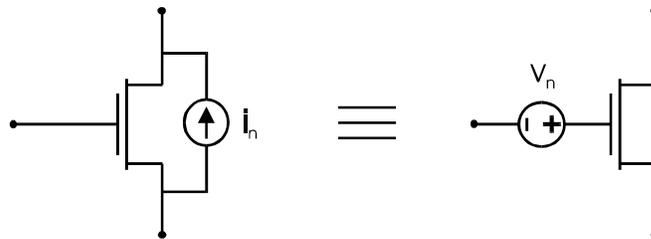


Figura 4.39 - Fontes Equivalentes de Ruído em MOSFET's.

Quando o dispositivo está na região de corte (desligado), praticamente não existem portadores livres sob a região de porta (G) e a resistência do canal se torna extremamente elevada. Considera-se portanto que nesta região de operação o ruído térmico é desprezível.

O ruído térmico apresenta uma densidade espectral de potência $S_{\Theta}(f)$ constante e de banda larga. Ele é modelado como uma fonte de ruído branco de média $m_{\Theta} = 0$ e variância σ_{Θ}^2 . Utilizando-se a representação bilateral do espectro de frequências tem-se:

$$S_{\Theta}(f) \cong \frac{4}{3} \frac{k_B\Theta}{g_m} \quad (4.175)$$

A interface entre o Si e o SiO₂ nos MOSFET's é caracterizada pela presença de estados extras de energia que podem capturar e injetar portadores no canal de forma aleatória [4],[6]. Este processo ruidoso é relativamente lento e é denominado ruído de cintilação (*flicker noise*). Como no caso do ruído térmico, a melhor representação para este fenômeno físico é modelo de Norton (figura 4.39). Também, por motivo de conveniência, esta fonte corrente ruidosa i_{nF} é transformada numa fonte equivalente de tensão v_{nF} em série com o terminal de porta (G) de um MOSFET ideal.

O ruído de cintilação apresenta sua potência média concentrada nas frequências mais baixas. Ele é modelado como um processo aleatório de média $m_F = 0$, variância σ_F^2 , e densidade espectral de potência $S_F(f)$ (representação unilateral) dada por [9]:

$$S_F(f) = \frac{K_f}{C_{OX}WL} \frac{1}{f^\alpha} \quad (4.176)$$

$$\overline{v_{nF}^2} = P_F = \int_{f_L}^{f_H} S_F(f) df = \frac{K_f}{C_{OX}WL} \cdot \ln\left(\frac{f_H}{f_L}\right) \quad (4.177)$$

onde C_{OX} é a capacitância de porta (G) por área, W e L são as dimensões do transistor, $\alpha \cong 1$ é adimensional, K_f é uma constante determinada experimentalmente que depende da temperatura e do processo de fabricação e, f_L e f_H são os limites inferior e superior da banda considerada no cálculo da potência média. O ruído de cintilação também é denominado ruído $1/f$. O valor quadrático médio do ruído de cintilação produzido no canal dos transistores PMOS é, em média, 4 vezes menor nos transistores NMOS [143].

Como o ruído térmico e o ruído $1/f$ são fenômenos físicos incorrelatos, suas densidades espectrais de potência podem ser somadas diretamente (figura 4.40). Considera-se então que todo o ruído produzido num MOSFET é devido a uma única fonte de tensão ruidosa em série com o terminal de porta (G), com média $m_N = 0$, variância σ_N^2 e densidade espectral de potência $S_N(f)$. A partir da frequência f_{CR} (*corner frequency*), $S_N(f) = S_\theta(f)$.

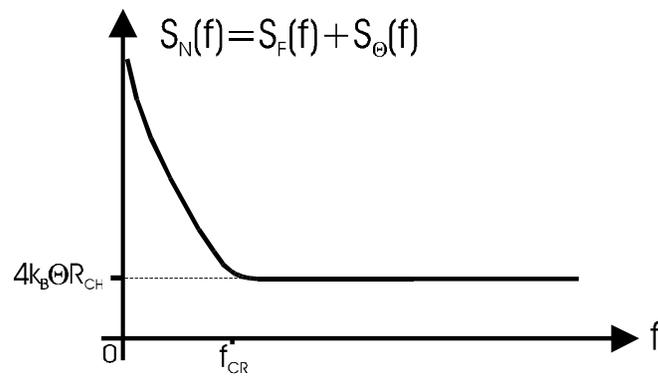


Figura 4.40 - Densidade Espectral de Potência do Ruído Térmico e do Ruído 1/f (Representação Unilateral).

A partir deste estudo sobre as fontes de ruído intrínsecas aos MOSFET's pode-se determinar o ruído equivalente associado aos dois principais constituintes dos integradores SC: os capacitores chaveados propriamente ditos e o amplificador operacional. Uma vez equacionadas estas contribuições individuais, chega-se à densidade espectral de potência total do ruído na saída do integrador. A figura 4.41 mostra o diagrama esquemático do amplificador operacional canônico de dois estágios. Em série com o terminal de porta de cada transistor está presente uma fonte de ruído equivalente (ruído térmico + ruído 1/f).

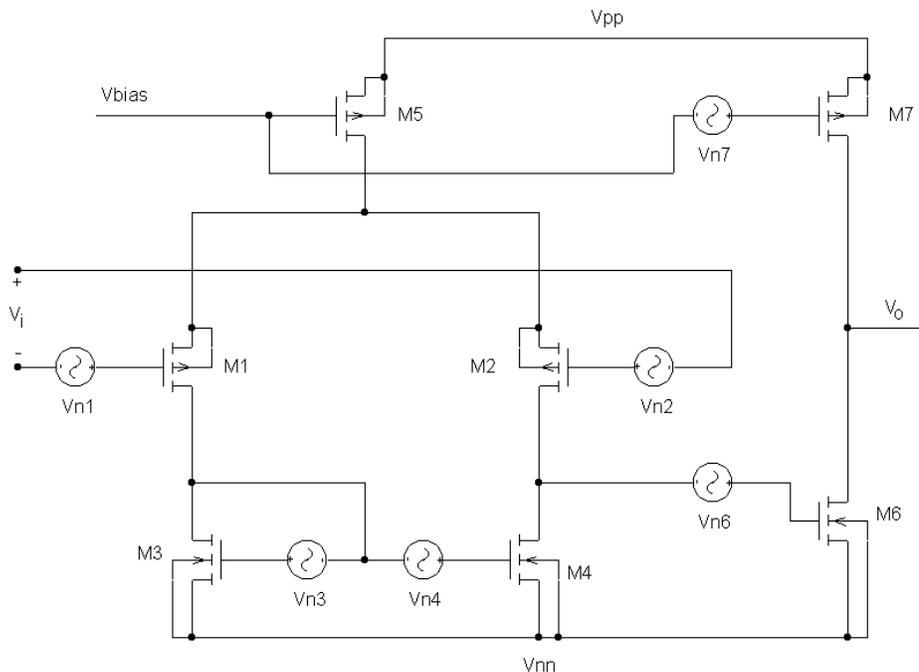


Figura 4.41 - Fontes Intrínsecas de Ruído num Amplificador Operacional Canônico.

As fontes de ruído em cada um dos transistores na figura 4.41 são totalmente incorrelatas entre si e podem ser agrupadas de forma mais conveniente, como uma única fonte equivalente de ruído em série com a entrada não-inversora do AmpOp [4]. A largura de banda do ruído equivalente na entrada do amplificador não é infinita. Ela é limitada pela freqüência de ganho unitário f_0 . O valor quadrático médio desta fonte equivalente de ruído é dado por:

$$\overline{v_{nAO}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + \left(\frac{g_{m4}}{g_{m1}}\right)^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2}) + \frac{\left[\overline{v_{n6}^2} + \left(\frac{g_{m7}}{g_{m6}}\right)^2 \cdot \overline{v_{n7}^2}\right]}{\left(\frac{g_{m1}}{g_{d2} + g_{d4}}\right)^2} \quad (4.178)$$

Para a redução da potência média equivalente de ruído na entrada do amplificador, é importante que o par M1/M2 seja PMOS e de grandes dimensões, de forma que a contribuição do ruído 1/f seja a menor possível. O ganho do par diferencial também deve ser o maior possível, reduzindo a contribuição de M6 e M7. A transcondutância de M1/M2 também deve ser bem maior que a transcondutância de M3/M4.

A chave MOS pode ser estudada como uma resistência variável (Seção 4.3), cujo valor depende do sinal de controle ϕ . As fontes de ruído associadas a esta resistência dinâmica podem ser modeladas como uma fonte de tensão ruidosa v_n em série com a mesma. A densidade espectral do ruído equivalente da chave apresenta uma banda limitada pelo filtro passa-baixas de 1ª ordem formado pela resistência do canal e pelo capacitor [144]. A função de transferência do circuito RC (v_C/v_R+v_C) é dada por:

$$H_{RC}(f) = \frac{1}{1 + j2\pi fRC} \quad (4.179)$$

A densidade espectral de potência do ruído térmico filtrado pelo circuito RC é dada por (espectro bilateral):

$$S_{RC}(f) = \frac{2k_B \Theta R_{ON}}{1 + (2\pi f R_{ON} C)^2} \quad (4.180)$$

Nos integradores SC, as chaves são acionadas na mesma frequência de amostragem do sistema f_s . Durante cada fração τT do período de amostragem, a chave permanece fechada e o ruído térmico filtrado é aplicado diretamente sobre o capacitor. Após a abertura da chave, o ruído é amostrado e retido no capacitor até o fim do ciclo (figura 4.42). Portanto, o ruído equivalente do conjunto chave + capacitor de amostragem $S_{SC}(f)$ apresenta duas componentes incorrelatas: uma componente direta $S_D(f)$ e uma componente “amostrada e retida” $S_{S/H}(f)$:

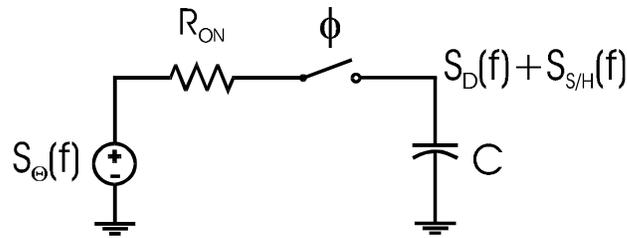


Figura 4.42 - Circuito Equivalente para Determinação da Densidade Espectral do Ruído no Capacitor.

$$S_{SC}(f) = S_D(f) + S_{S/H}(f) \quad (4.181)$$

A componente direta é obtida a partir da multiplicação no tempo da tensão de ruído térmico filtrado pelo sinal de controle da chave (PWM com *duty cycle* τ):

$$v_{nD}(t) = v_{nRC}(t) \cdot \phi(t) \quad (4.182)$$

A transformada de Fourier da componente direta é dada pela convolução na frequência das transformadas do ruído térmico filtrado e do sinal de controle:

$$V_{nD}(f) = \int_{-\infty}^{\infty} V_{nRC}(\lambda) \cdot \Phi(f - \lambda) d\lambda \quad (4.183)$$

onde $\Phi(f)$ é dado por:

$$\Phi(f) = \tau \cdot \sum_{l=-\infty}^{\infty} \text{Sinc}(l\tau) \cdot \exp(-j\pi l\tau) \cdot \delta(f - l \cdot f_s) \quad (4.184)$$

O desenvolvimento de (4.183) leva a:

$$|V_{nD}(f)| = \tau \cdot \sum_{l=-\infty}^{\infty} |\text{Sinc}(l\tau)| \cdot |V_{nRC}(f - l \cdot f_s)| \quad (4.185)$$

$$S_D(f) = \tau^2 \cdot \sum_{l=-\infty}^{\infty} \text{Sinc}^2(l\tau) \cdot S_{RC}(f - l \cdot f_s) \quad (4.186)$$

Para os casos em que $f_c \geq 3 \cdot f_s$, a seguinte aproximação é válida [145]:

$$S_D(f) \cong \tau \cdot S_{RC}(f) \quad (4.187)$$

onde $f_c = (2\pi R_{ON}C)^{-1}$ é a frequência de corte (3dB) do filtro de 1ª ordem formado pela resistência da chave e pelo capacitor. A componente “amostrada e retida” é dada por:

$$S_{S/H}(f) = (1-\tau)^2 \cdot \text{Sinc}^2\left(\frac{\pi(1-\tau)f}{f_s}\right) \cdot \sum_{l=-\infty}^{\infty} S_{RC}(f - l \cdot f_s) \quad (4.188)$$

Substituindo-se (4.180) em (4.188) tem-se [144]:

$$S_{S/H}(f) = (1-\tau)^2 \cdot \frac{f_c}{f_s} \cdot 2k_B \Theta R_{ON} \cdot \frac{\text{Sinh}\left(\frac{2\pi f_c}{f_s}\right)}{\text{Cosh}\left(\frac{2\pi f_c}{f_s}\right) - \text{Cos}\left(\frac{2\pi f}{f_s}\right)} \cdot \text{Sinc}^2\left(\frac{(1-\tau)\pi f}{f_s}\right) \quad (4.189)$$

Em geral, $f_c > 3 \cdot f_s$ e ocorre *aliasing* em função do processo de amostragem. A figura 4.43 mostra a densidade espectral de potência $S_{S/H}(f)$ normalizada para diversas razões de subamostragem (f_c/f_s).

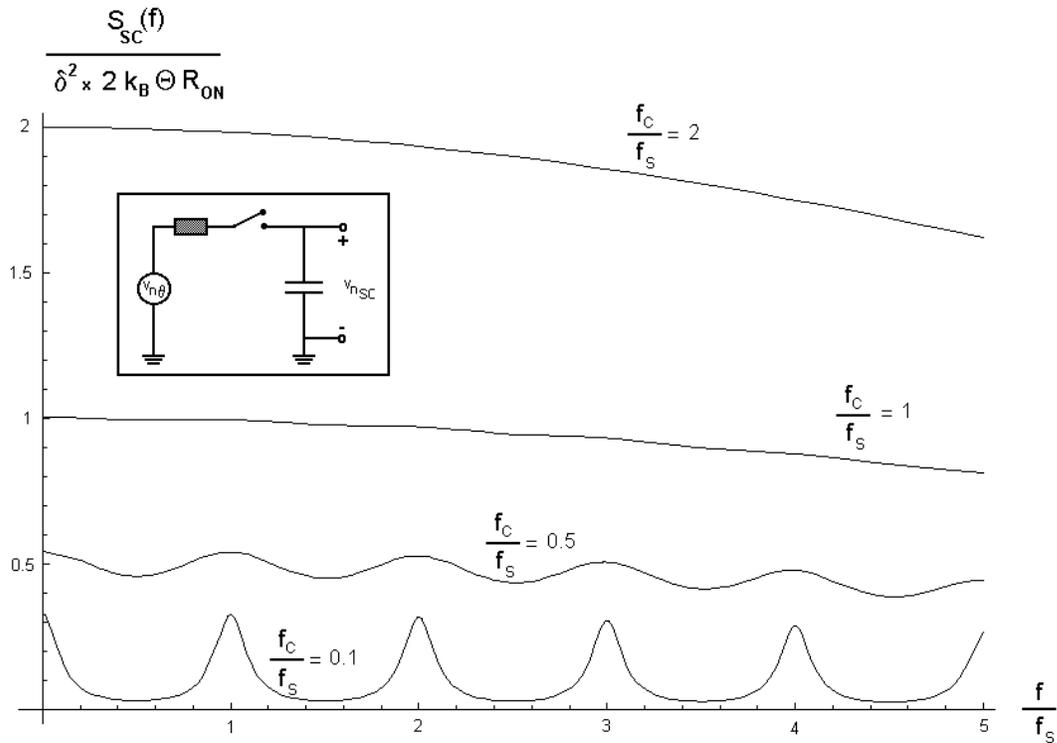


Figura 4.43 - Densidade Espectral de Potência $S_{S/H}(f)$ do Ruído Térmico Filtrado e “Amostrado e Retido” para Diversas Razões de Subamostragem (f_c/f_s). $\tau = 0,95$.

Para $f_c/f_s > 1$ tem-se:

$$S_{S/H}(f) \cong (1-\tau)^2 \cdot \frac{f_c}{f_s} \cdot 2k_B \Theta R_{ON} \cdot \text{Sinc}^2\left(\frac{(1-\tau)\pi f}{f_s}\right) \quad (4.190)$$

Como a densidade espectral de potência do ruído $1/f$ está concentrada em freqüências muito baixas, ela não é subamostrada como o ruído térmico, sendo superada por este. Desta forma, a componente $1/f$ do ruído “amostrado e retido”, que predomina sobre a componente direta, pode ser desprezada nas deduções subseqüentes sem prejuízos quantitativos para o resultado final.

A partir do estudo do ruído no amplificador operacional e nos capacitores chaveados pode-se determinar o ruído total na saída do integrador SC (figura 4.44). Como todas as fontes de ruído são modeladas como processos estocásticos incorrelatos, as contribuições direta e “amostrada e retida” de cada uma destas fontes são analisadas separadamente.

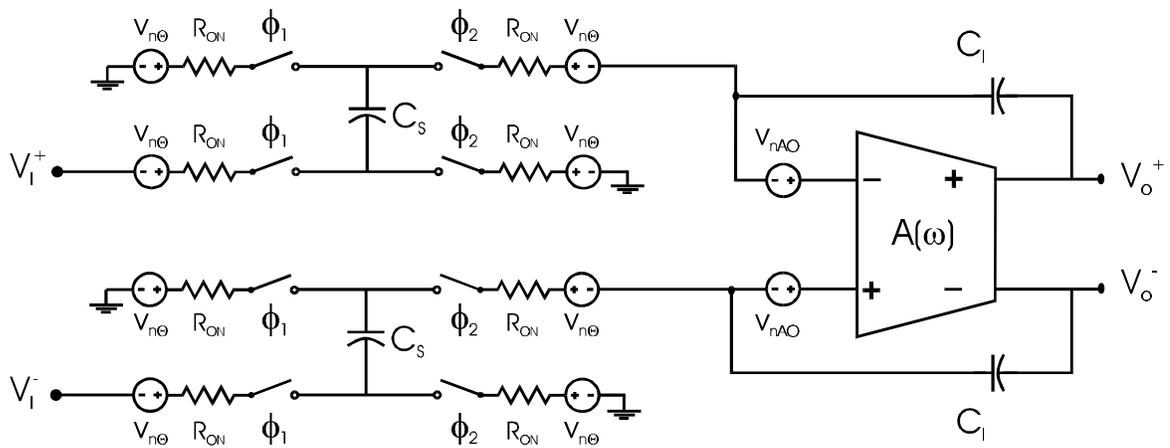


Figura 4.44 - Integrador SC Euler Avanço Completamente Diferencial e Todas as Fontes Intrínsecas de Ruído.

A análise do circuito da figura 4.44 é estritamente dependente da seqüência de acionamento das chaves e é dividida em 4 fases de operação (figura 4.45) determinadas pelos sinais de controle ϕ_1 e ϕ_2 .

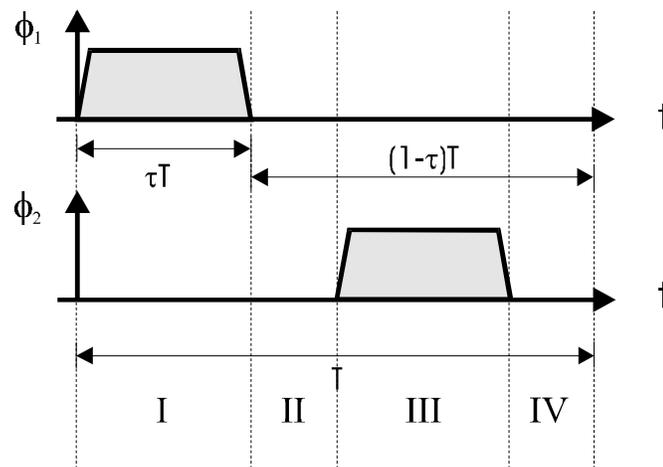


Figura 4.45 - Sinais de Controle das Chaves do Circuito da Fig. 4.44.

As fontes de ruído associadas a todas as chaves acionadas pelo sinal de controle ϕ_1 não apresentam, em nenhuma das fases do ciclo de operação do integrador, conexão direta com a saída. Desta forma, apenas o amplificador operacional e as chaves controladas por ϕ_2 contribuem diretamente para o ruído total na saída do acumulador.

A figura 4.46 mostra o circuito equivalente para a determinação da componente direta de ruído na saída $S_{D124}(f)$ durante as fases I, II e IV. Para simplificação dos cálculos e todas as análises subseqüentes serão realizadas sobre a versão unipolar do circuito completamente diferencial da figura 4.44.

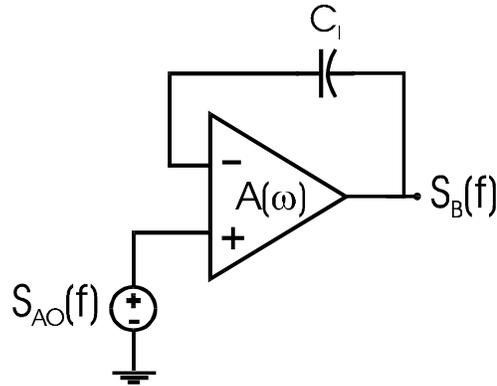


Figura 4.46 - Circuito Equivalente para a Determinação da Componente Direta durante as Fases I, II e IV.

$$S_B(f) = \left| \frac{V_B(f)}{V_{AO}(f)} \right|^2 \cdot S_{AO}(f) \quad (4.191)$$

A função de transferência da entrada não-inversora para a saída é determinada de forma trivial ($1/A_0 \cong 0$):

$$\frac{V_B(\omega)}{V_{AO}(\omega)} = \frac{A(\omega)}{1 + A(\omega)} \cong \frac{1}{1 + j \frac{\omega}{\omega_0}} \quad (4.192)$$

$$S_B(f) = \frac{2k_B \Theta R_{AO}}{1 + \left(\frac{f}{f_0} \right)^2} \quad (4.193)$$

Como o circuito equivalente da figura 4.46 é válido apenas por uma fração $(1-\tau)$ do período T, a componente direta durante as fase I, II e IV é dada por :

$$S_{D124}(f) \cong (1-\tau) \cdot S_B(f) \quad (4.194)$$

A figura 4.47 mostra o circuito equivalente para a determinação da componente direta de ruído na saída $S_{D3}(f)$ durante a fase III. As resistências das duas chaves em série com o capacitor C_S podem ser agrupadas numa única resistência $2R_{ON}$ com uma única fonte de ruído térmico equivalente.

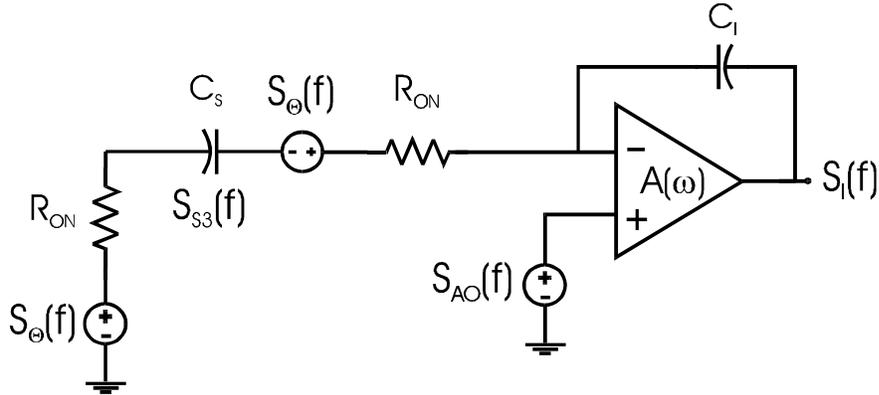


Figura 4.47 - Circuito Equivalente para a Determinação da Componente Direta durante a Fase III.

$$S_I(f) = \left| \frac{V_I(f)}{V_{AO}(f)} \right|^2 \cdot S_{AO}(f) + \left| \frac{V_I(f)}{V_{\Theta}(f)} \right|^2 \cdot S_{\Theta}(f) \quad (4.195)$$

Aplicando-se o princípio da superposição, as funções de transferência de cada uma das fontes são individualmente determinadas ($1/A_0 \cong 0$):

$$\frac{V_I(\omega)}{V_{AO}(\omega)} = \frac{g + 1 + j\omega 2R_{ON}C_S}{1 - \omega^2 \frac{2R_{ON}C_S}{\omega_0} + j\omega \left(2R_{ON}C_S + \frac{g + 1}{\omega_0} \right)} \quad (4.196)$$

$$\frac{V_I(\omega)}{V_{\Theta}(\omega)} = \frac{g}{1 - \omega^2 \frac{2R_{ON}C_S}{\omega_0} + j\omega \left(2R_{ON}C_S + \frac{g + 1}{\omega_0} \right)} \quad (4.197)$$

$$S_I(\omega) = \frac{2k_B \Theta \cdot \left\{ g^2 \cdot 2R_{ON} + \left[(g+1)^2 + (\omega R_{ON} C_S)^2 \right] \cdot R_{AO} \right\}}{1 + \left(\frac{\omega}{\omega_0} \right)^2 \left\{ (2R_{ON} C_S \omega_0)^2 + 4R_{ON} C_S \omega_0 g + (g+1)^2 \right\} + \left(\frac{\omega}{\omega_0} \right)^4 (2R_{ON} C_S \omega_0)^2} \quad (4.198)$$

As funções de transferência das equações (4.196) e (4.197) representam filtros de 2ª ordem e os resultados deduzidos para a componente direta do ruído no capacitor devido à chave (equações (4.182) a (4.187)) não se aplicam. Para que esta análise seja válida, é preciso aproximar as funções (4.196) e (4.197) por filtros de 1ª ordem equivalentes, como proposto em [145]:

$$S_I(f) \cong \frac{2k_B \Theta \cdot \left\{ g^2 \cdot 2R_{ON} + (g+1)^2 \cdot R_{AO} \right\}}{1 + \left(\frac{f}{f_0} \right)^2 \left\{ (2R_{ON} C_S \omega_0)^2 + 4R_{ON} C_S \omega_0 g + (g+1)^2 \right\}} \quad (4.199)$$

Como o circuito equivalente da figura 4.47 é válido apenas por uma fração τ do período T , a componente direta durante a fase III é dada por :

$$S_{D3}(f) \cong \tau \cdot S_I(f) \quad (4.200)$$

As componentes “amostradas e retidas” são encontradas seguindo-se o mesmo procedimento: determinação da função de transferência da fonte de ruído para o capacitor C_S ; aplicação do teorema da amostragem (4.188); utilização da aproximação apresentada em (4.190) (efeito da subamostragem) e; multiplicação pela função de transferência em z do capacitor C_S para a saída.

A figura 4.48 mostra o circuito para determinação da componente “amostrada e retida” em C_S devida às chaves acionadas por ϕ_1 , válido durante a fase I. As resistências das duas chaves em série com o capacitor C_S podem ser agrupadas numa única resistência $2R_{ON}$ com uma única fonte de ruído térmico equivalente.

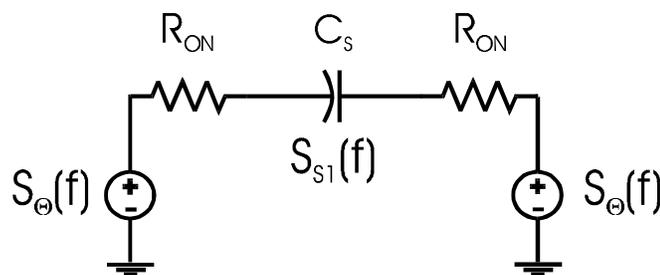


Figura 4.48 - Circuito para Determinação da Componente “Amostrada e Retida” em C_s devida às Chaves Acionadas por ϕ_1 .

$$S_{S1}(f) = \frac{2k_B\Theta \cdot 2R_{ON}}{1 + (2\pi f \cdot 2R_{ON}C_s)^2} \quad (4.201)$$

$$S_{S1H1}(f) \cong \frac{(1-\tau)^2}{f_s} \cdot \frac{k_B\Theta}{C_s} \cdot \text{Sinc}^2\left(\frac{\pi(1-\tau)f}{f_s}\right) \quad (4.202)$$

O circuito para determinação da componente “amostrada e retida” em C_s devida às chaves acionadas por ϕ_1 e ao AmpOp, válido durante a fase III, é mostrado na figura 4.47.

$$S_{S3}(f) = \left| \frac{V_{C_s}(f)}{V_{AO}(f)} \right|^2 \cdot S_{AO}(f) + \left| \frac{V_{C_s}(f)}{V_{\Theta}(f)} \right|^2 \cdot S_{\Theta}(f) \quad (4.203)$$

Aplicando-se o princípio da superposição, as funções de transferência de cada uma das fontes são individualmente determinadas ($1/A_0 \cong 0$):

$$\frac{V_{C_s}(\omega)}{V_{AO}(\omega)} = \frac{1}{1 - \omega^2 \frac{2R_{ON}C_s}{\omega_0} + j\omega \left(2R_{ON}C_s + \frac{g+1}{\omega_0} \right)} \quad (4.204)$$

$$\frac{V_{C_s}(\omega)}{V_{\Theta}(\omega)} = - \frac{1 + j\omega/\omega_0}{1 - \omega^2 \frac{2R_{ON}C_s}{\omega_0} + j\omega \left(2R_{ON}C_s + \frac{g+1}{\omega_0} \right)} \quad (4.205)$$

$$S_{S3}(\omega) = \frac{2k_B \Theta \cdot \left\{ 1 + \left(\frac{\omega}{\omega_0} \right)^2 \right\} \cdot 2R_{ON} + R_{AO}}{1 + \left(\frac{\omega}{\omega_0} \right)^2 \left\{ (2R_{ON} C_S \omega_0)^2 + 4R_{ON} C_S \omega_0 g + (g+1)^2 \right\} + \left(\frac{\omega}{\omega_0} \right)^4 (2R_{ON} C_S \omega_0)^2} \quad (4.206)$$

As funções de transferência das equações (4.204) e (4.205) representam filtros de 2ª ordem e os resultados deduzidos para a componente “amostrada e retida” no capacitor devido à chave (equações (4.188) a (4.190)) não se aplicam. Para que esta análise seja válida, é preciso aproximar as funções (4.204) e (4.205) por filtros de 1ª ordem equivalentes, como proposto em [145]:

$$S_{S3}(f) \cong \frac{2k_B \Theta \cdot \{2R_{ON} + R_{AO}\}}{1 + \left(\frac{f}{f_0} \right)^2 \left\{ (2R_{ON} C_S \omega_0)^2 + 4R_{ON} C_S \omega_0 g + (g+1)^2 \right\}} \quad (4.207)$$

$$S_{S/H3}(f) \cong \frac{(1-\tau)^2}{f_s} \cdot \frac{\omega_0 \cdot k_B \Theta \cdot \{2R_{ON} + R_{AO}\}}{\sqrt{(g+1)^2 + 4R_{ON} C_S \omega_0 g + (2R_{ON} C_S \omega_0)^2}} \cdot \text{Sinc}^2 \left(\frac{\pi(1-\tau)f}{f_s} \right) \quad (4.208)$$

O valor total da componente S/H na saída é determinada a partir da aplicação da função de transferência do integrador ideal sobre as densidades espectrais de potência $S_{S/H1}(f)$ e $S_{S/H3}(f)$ das amostras do ruído:

$$S_{S/H}(f) = \{S_{S/H1}(f) + S_{S/H3}(f)\} \cdot \frac{g^2}{4 \cdot \text{Sen}^2(\pi f T)} \quad (4.209)$$

O ruído total na saída do integrador SC Euler avanço completamente diferencial é obtido a partir da soma algébrica das densidades espectrais de cada uma das componentes. Este resultado deve ser multiplicado por 2, pois todas as deduções foram baseadas no circuito equivalente unipolar.

$$S_N(f) = 2 \cdot \{S_{S/H}(f) + S_{D3}(f) + S_{D124}(f)\} \quad (4.210)$$

Uma vez obtido o ruído na saída do integrador SC, a determinação da densidade espectral de potência na saída do modulador $\Sigma\Delta$ é direta. A figura 4.49 mostra o modulador ideal de 2ª ordem com as fontes aditivas de ruído na saída dos acumuladores.

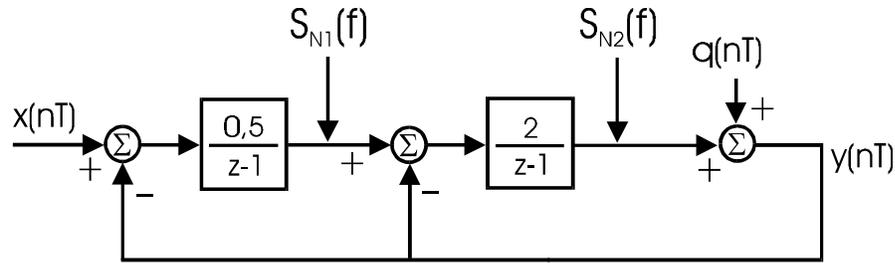


Figura 4.49 - Modulador de 2ª Ordem Considerando as Fontes Intrínsecas de Ruído.

O ruído equivalente na saída de cada um dos integradores é, entretanto, amostrado na entrada do 2º integrador ou na entrada de quantizador. A densidade espectral de potência das componentes S/H permanecem inalteradas. A componente $S_{D3}(f)$ pode ser desprezada, pois não está presente na saída do integrador durante a amostragem na entrada do bloco seguinte. A componente $S_{D124}(f)$ é “amostrada e retida” e deixa de contribuir diretamente para a saída do bloco seguinte, pois as fontes de ruído associadas às chaves acionadas pelo sinal de controle ϕ_1 não apresentam, em nenhuma das fases do ciclo de operação do integrador, conexão direta com a saída. A componente S/H de $S_{D124}(f)$ é dada por:

$$S_{DS/H}(f) \cong \frac{(1-\tau)^2}{f_s} \cdot \omega_0 k_B \Theta R_{AO} \cdot \text{Sinc}^2\left(\frac{\pi(1-\tau)f}{f_s}\right) \quad (4.211)$$

Para a determinação da densidade espectral de potência na saída do modulador, o valor do ruído total na saída do integrador deve levar em conta apenas as componentes S/H. Desta forma, a desconsideração do ruído 1/f das chaves e da entrada do AmpOp em todos os cálculos, não apresenta nenhuma influência quantitativa considerável no resultado final, pois o ruído 1/f é superado pelo ruído térmico subamostrado.

$$S_{Ni}(f) = 2 \cdot \left\{ S_{DS/H}(f) + [S_{S/H1}(f) + S_{S/H3}(f)] \cdot \frac{g_i^2}{4 \cdot \text{Sen}^2(\pi f T)} \right\} \quad (4.212)$$

Através do equacionamento do diagrama de blocos do modulador da figura 4.49, determina-se as funções de transferência da saída dos integradores para a saída do modulador:

$$\frac{Y(z)}{N_1(z)} = \frac{2(z-1)}{z^2} \quad (4.213)$$

$$\frac{Y(z)}{N_2(z)} = \frac{(z-1)^2}{z^2} \quad (4.214)$$

A densidade espectral de potência de ruído na saída do modulador $\Sigma\Delta$ devida às fontes intrínsecas de ruído dos circuito SC é dada por:

$$S_T(f) = 16 \cdot \text{Sen}^2(\pi f T) \cdot S_{N1}(f) + 16 \cdot \text{Sen}^4(\pi f T) \cdot S_{N2}(f) \quad (4.215)$$

A análise das parcelas das equações (4.212) e (4.215) permite concluir que, a exceção das componentes $S_{S/H1}(f)$ e $S_{S/H3}(f)$ do 1º integrador, todas as demais componentes são fortemente atenuadas na banda do sinal por um *noise shaping* de 1ª ou de 2ª ordem. Desta forma, $S_{S/H1}(f)$ e $S_{S/H3}(f)$ são os limitantes da máxima resolução alcançável pelo modulador $\Sigma\Delta$. $S_{S/H1}(f)$ é reduzido pelo aumento no valor de C_{S1} . $S_{S/H3}(f)$ é reduzido pelo aumento no valor de C_{S1} e pela diminuição da banda e/ou da resistência equivalente de ruído (R_{AO}) do AmpOp utilizado no 1º integrador. A expressão para SNR do modulador é:

$$SNR_2 = \frac{P_s}{\int_{-f_N/2}^{f_N/2} |H_{Q2}(e^{j2\pi f T})|^2 \cdot [S_Q(f) + S_T(f)] df} \quad (4.216)$$

O cálculo numérico de (4.216) permitiu a obtenção das curvas parametrizadas da figura 4.50. Os valores utilizados nesta simulação foram: $g_1 = 1/2$, $g = 2$, $C_{S2} = 2\text{pF}$, $\Delta = 5\text{V}$, $R_{ON} = 2\text{k}\Omega$, $R_{AO} = 100\text{k}\Omega$, $\tau = 2/5$, $f_0 = 60\text{MHz}$ e $\Theta = 300\text{K}$.

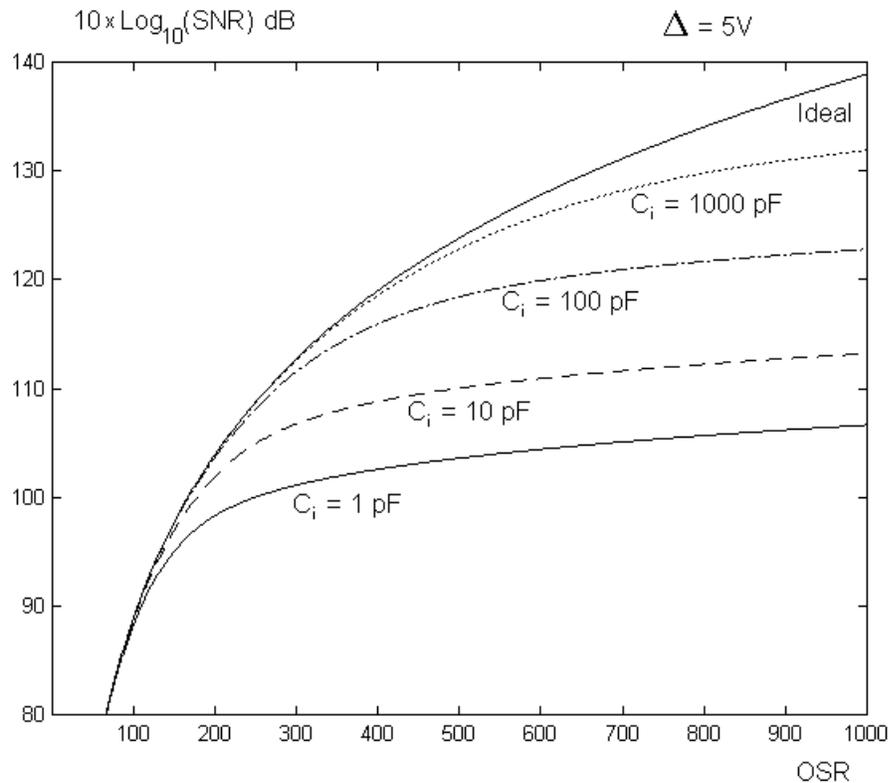


Figura 4.50 - SNR do Modulador de 2ª Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_i. Δ = 5V.

Os resultados mostrados na figura 4.50 mostram a forte dependência da máxima resolução alcançável com os valores dos capacitores utilizados no 1º integrador do sistema. A curva da SNR segue a curva ideal até que o ruído de quantização se torne comparável ao ruído térmico “amostrado e retido”. A partir deste ponto, todas as curvas de SNR apresentam a mesma inclinação. Concluí-se que, para resoluções acima de 18 bits, a implementação SC requer capacitores grandes demais no 1º integrador do sistema e se torna inviável. Moduladores com resoluções maiores foram projetados utilizando o 1º integrador a tempo contínuo [46],[52].

A simulação da figura 4.51 foi realizada nas mesmas condições da simulação da figura 4.50, exceto pela diminuição da amplitude máxima da entrada de 5 V para 2 V. O resultado foi uma diminuição de significativa em todas curvas. A tendência de diminuição da tensão de alimentação dos circuitos integrados CMOS se coloca como mais uma dificuldade para o projetista para que altas resoluções sejam alcançadas.

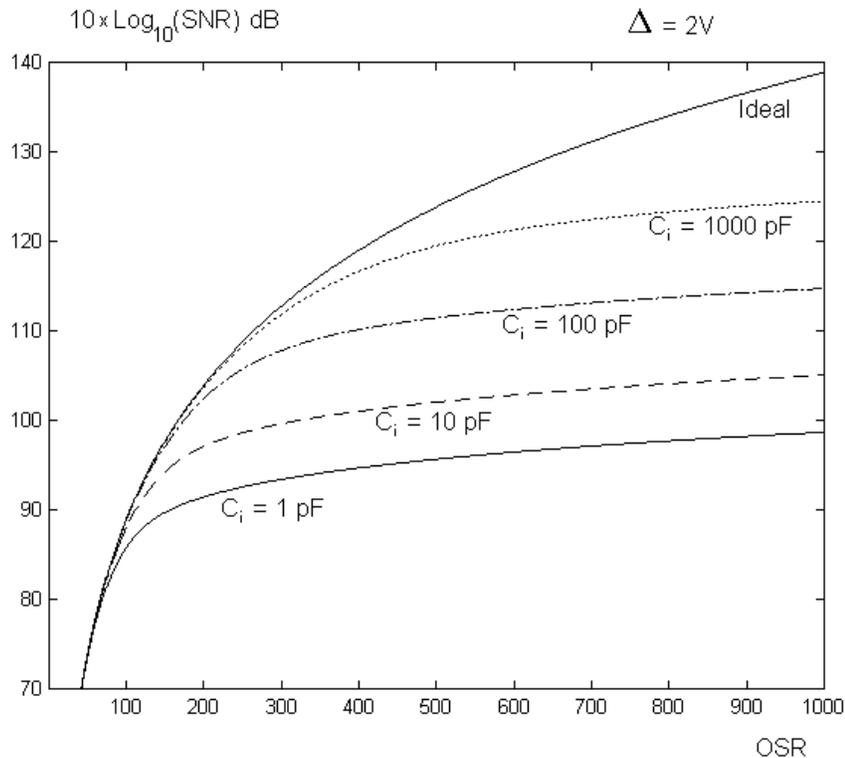


Figura 4.51 - SNR do Modulador de 2ª Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_i . $\Delta = 2$ V e $R_{AO} = 100$ k Ω .

O aumento da resolução nas simulações das figuras 4.51 e 4.52 devido ao aumento dos capacitores utilizados no 1º integrador do sistema está relacionado à diminuição da potência de ruído originada nas chaves. A resolução também é bastante influenciada pelo projeto do amplificador operacional. A figura 4.52 mostra uma simulação realizada com os mesmos parâmetros do gráfico 4.51, exceto pelo aumento da resistência de ruído equivalente do AmpOp para $R_{AO} = 700$ k Ω . A diminuição observada da SNR é significativa.

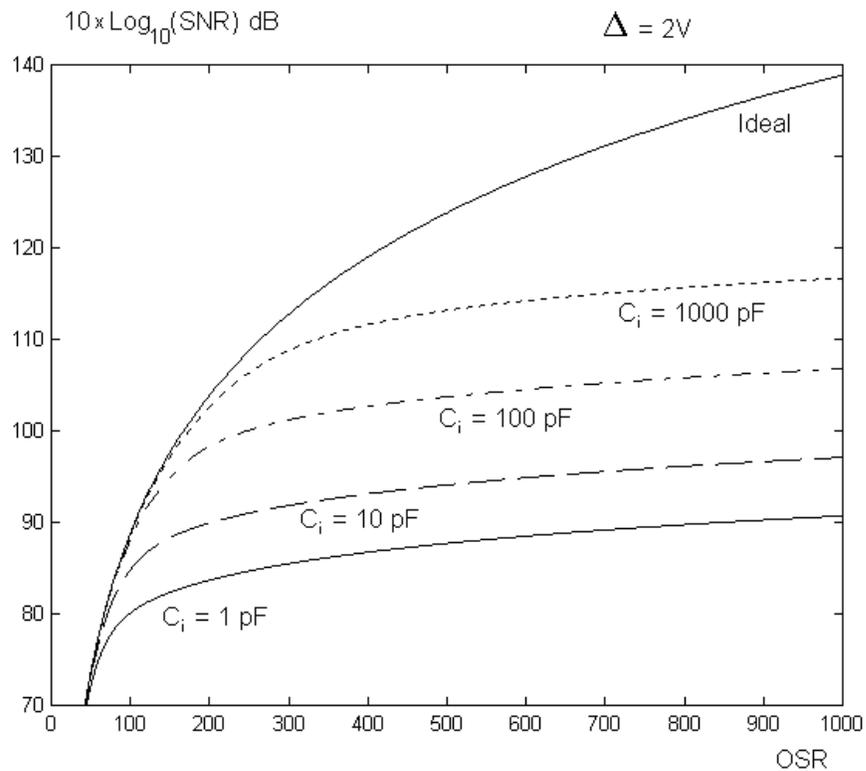


Figura 4.52 - SNR do Modulador de 2ª Ordem Considerando as Fontes Intrínsecas de Ruído para Diversos Valores de C_{i1} . $\Delta = 2V$ e $R_{AO} = 700k\Omega$.

4.4.2 Ruído Extrínseco.

Pode ser considerada fonte extrínseca de ruído qualquer tipo de perturbação ou interferência que degrade a *performance* do modulador $\Sigma\Delta$ cuja origem não esteja nos dispositivos que compõem o mesmo. As perturbações extrínsecas podem ser geradas em outras regiões do circuito integrado ou fora deste.

A principal fonte extrínseca de interferência que afeta o modulador é o *Ruído de Chaveamento*, produzido pelos blocos digitais integrados no mesmo C.I. [153],[154]. As portas lógicas CMOS consomem corrente apenas nos instantes de mudança de estado. Estas transições rápidas induzem transientes que se propagam pelo substrato e pelas linhas de alimentação, degradando todas as funções analógicas atingidas [146]-[149]. Nos casos dos circuitos digitais que operam acima de 1 GHz, também deve ser considerada a interferência radiada [157]. Circuitos de RF também produzem interferência capaz de influenciar o funcionamento de blocos analógicos de precisão [155]. O ruído de chaveamento digital é uma

das grandes barreiras para a implementação de soluções *mixed-signal* completamente integradas (*System on a Chip*).

Principais Mecanismos de Injeção de Ruído de Chaveamento:

- *di/dt* nas Linhas de Alimentação (*Delta-I Noise*): variações bruscas na corrente drenada pelos blocos digitais provocam transientes nas linhas de alimentação [148].
- Acoplamento Direto entre Interconexões: a proximidade entre linhas analógicas e linhas digitais favorece o acoplamento capacitivo entre as mesmas [146],[151].
- Indução de Correntes no Substrato: o chaveamento digital induz corrente no substrato pelos seguintes mecanismos:
 - a) Através das capacitâncias de depleção das junções PN reversamente polarizadas formadas nas interfaces dreno (D) - substrato (B) e fonte (S) - substrato (B) [146],[149],[151]. São especialmente ruidosos os inversores com capacidade de alimentar baixas impedâncias (*output drivers*) [147].
 - b) Ionização por Impacto na região de depleção próxima à região de dreno (D) produz “portadores quentes” (lacunas nos NMOSFETs) que fluem para o substrato. Quanto menor a dimensão mínima do processo, mais importante é a contribuição da ionização por impacto na indução de correntes [156].
 - c) Através das capacitâncias parasitas entre as interconexões digitais e o substrato. São especialmente ruidosos os barramentos digitais [152].
 - d) O ruído que contamina as linhas de alimentação digitais (*delta-I noise*) atinge diretamente o substrato p ou as ilhas n através dos contatos de polarização p^+ ou n^+ , ou através dos *pads* [151].

Principais Mecanismos de Recepção de Ruído de Chaveamento:

- Linhas de Alimentação Ruidosas: a interferência presente nas linhas de alimentação degrada a *performance* dos circuitos analógicos polarizados por tais linhas [148].

- Acoplamento Direto entre Interconexões: faz com que ocorram interferências nocivas nos sinais analógicos devido ao acoplamento capacitivo [146],[151]. As linhas digitais são bem mais robustas.
- Acoplamento pelo Substrato: as variações de potencial do substrato afetam os circuitos analógicos pelos seguintes mecanismos:
 - a) Através das capacitâncias de depleção das junções PN reversamente polarizadas formadas nas interfaces dreno (D) - substrato (B) e fonte (S) - substrato (B) [146],[149],[151]. Nos processos com substrato p apenas os transistores NMOS são afetados.
 - b) Através do efeito de corpo, variações na tensão V_{BS} provocam alterações em V_T que provocam variações na corrente I_{DS} dos transistores NMOS [146],[151].
 - c) Através das capacitâncias parasitas entre as interconexões analógicas e o substrato [146],[151].

A interferência provocada pelos circuitos digitais no substrato, nas interconexões e nas linhas de alimentação foi muito bem caracterizada na referência [158]. Temporalmente, o ruído digital se caracteriza por um sinal espúrio, muitas vezes aproximado por uma oscilação amortecida, que contamina o C.I. periodicamente e sincronizado com o instante de transição dos circuitos digitais. Espectralmente, ele é composto por máximos locais nos múltiplos da frequência fundamental do sinal de sincronismo (*clock*) dos blocos digitais e por um máximo principal na frequência de ressonância do circuito RLC formado pela indutância das linhas de alimentação (incluindo os pinos externos e as conexões dentro do encapsulamento), pela capacitância total do C.I. e pela resistência equivalente do substrato.

O ruído de chaveamento pode inviabilizar completamente o funcionamento de circuitos analógicos integrados junto com blocos digitais. A máxima amplitude e o tempo de estabilização da interferência causada pelos circuitos digitais dependem do tipo de encapsulamento utilizado e do tipo de *wafer* [149]-[151]. O encapsulamento determina basicamente a indutância parasita nas linhas de alimentação. O *wafer* pode ser p⁻ ou p⁺ com camada epitaxial p⁻. O primeiro é naturalmente menos ruidoso enquanto que o segundo

apresenta maior imunidade ao *latch-up*. Baseado nas características do ruído digital, nos mecanismos de acoplamento e no tipo de *wafer* utilizado, diversas medidas podem ser tomadas para a redução da interferência no funcionamento dos circuitos analógicos.

Medidas Genéricas (independentes do tipo de *wafer*) [149]-[151]:

- Devem ser utilizados pinos externos e linhas de alimentação separados para circuitos analógicos, circuitos digitais e anéis de guarda.
- As linhas analógicas devem estar fisicamente separadas das linhas digitais.
- Os circuitos analógicos devem ser projetados de forma completamente diferencial e com *layout* simétrico, de forma que o PSRR seja o maior possível.
- A indutância total das linhas de alimentação (incluindo os pinos externos e as conexões dentro do encapsulamento) deve ser a menor possível.
- Colocação de anéis de guarda p+ em volta dos circuitos analógicos sensíveis e dos blocos digitais ruidosos. Cada anel de guarda deve ser polarizado com um pino externo e uma linha de VSS dedicados.
- Blocos digitais muito ruidosos, como *Output Drivers*, não devem ser acionados de forma sincronizada [147].

Nos circuitos construídos em *wafers* p⁻, a eficiência dos anéis de guarda p⁺ na supressão do ruído de chaveamento é máxima. Quanto maior a distância entre os blocos analógicos e os blocos digitais, menor será a amplitude da interferência induzida nos primeiros [146].

Nos circuitos construídos em *wafers* p⁺ com camada epitaxial p⁻, a eficiência dos anéis de guarda não é tão grande. Além disso, a amplitude do ruído digital independe da distância entre os blocos analógicos e digitais, pois o substrato se comporta como um único nó no circuito. Neste caso, a maneira mais eficiente para a redução da interferência é a colocação de contatos de VSS na face inferior do C.I., reduzindo a indutância equivalente em série com o

substrato. Quanto maior o número de contatos na parte de baixo do substrato, menor a amplitude do ruído de chaveamento [146].

Apesar de ser dificilmente quantificado antes da caracterização de um C.I., o ruído de chaveamento deve ser considerado no projeto de conversores A/D $\Sigma\Delta$. Este é um tópico importante pois o conversor é formado naturalmente pela associação de blocos analógicos e digitais. A referência [148] cita o exemplo de um DAC $\Sigma\Delta$ de 16 bits que consegue atingir 18 bits de resolução apenas através da colocação do modulador digital e do filtro analógico em C.I.'s diferentes. O conversor A/D $\Sigma\Delta$ da referência [153], onde o modulador e os filtros digitais são integrados juntos, só consegue atingir a resolução projetada graças à adoção das técnicas descritas nesta Seção para redução do ruído digital.

A referência [154] apresenta um estudo específico sobre a influência do ruído de chaveamento na *performance* de um modulador $\Sigma\Delta$ implementado com integradores SC completamente diferenciais. Constata-se experimentalmente que o modulador é praticamente insensível à interferência externa, se há uma defasagem maior que 10ns entre o instante de amostragem dos integradores SC (borda de descida de φ_1 e φ_2) e o sinal de sincronismo (*clock*) dos blocos digitais. A figura 4.53 mostra o resultado deste experimento.

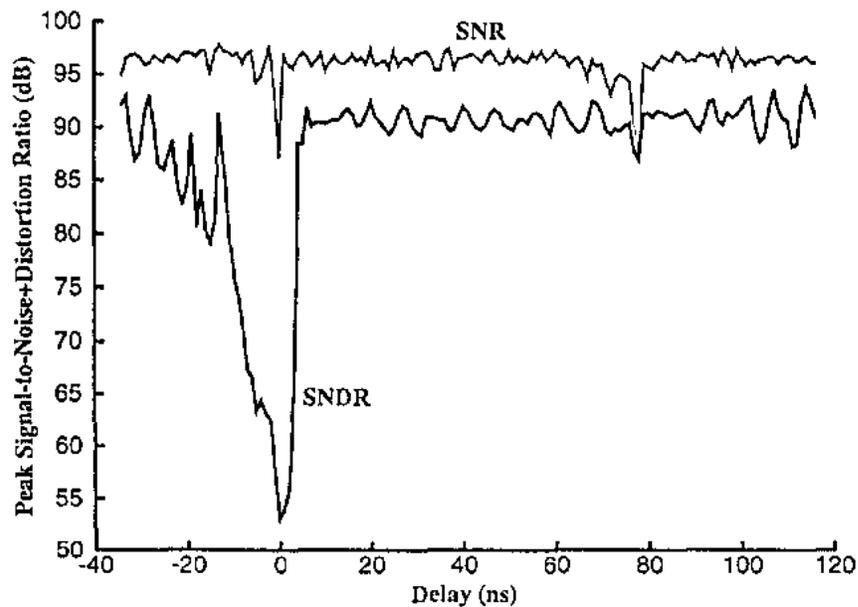


Figura 4.53 - Influência da Defasagem entre a Borda de Subida do *Clock* dos Filtros Digitais e o Instante de Amostragem nos Integradores SC [154].

Através da adoção das medidas apresentadas nesta seção, a *performance* dos moduladores $\Sigma\Delta$ construídos no mesmo substrato junto com blocos digitais é minimamente afetada pelo ruído de chaveamento.

4.5 Distorção Harmônica

Com o objetivo de simplificar a análise, os blocos funcionais que compõe o modulador $\Sigma\Delta$ são, em geral, modelados como estruturas lineares. Esta aproximação não permite a previsão dos limites de *performance* ligados à distorção do sinal. Os principais fenômenos físicos responsáveis pela distorção harmônica são [38],[159]-[167]: dependência $C(v)$ das capacitâncias, injeção de carga e não-linearidades nos AmpOp's. Apenas a distorção introduzida no primeiro integrador do sistema precisa ser considerada, as demais fontes são fortemente atenuadas pela realimentação [38]. O modelo genérico para o integrador SC não-linear é expresso por:

$$v_o[n] \cdot (1 + \beta_1 v_o[n] + \beta_2 v_o^2[n] + \dots) = g \cdot v_i[n-1] \cdot (1 + \alpha_1 v_i[n-1] + \alpha_2 \cdot v_i^2[n-1] + \dots) + v_o[n-1] \cdot (1 + \beta_1 v_o[n-1] + \beta_2 v_o^2[n-1] + \dots) \quad (4.217)$$

onde g é o ganho normalizado do integrador e, α_i e β_i são os coeficientes da expansão em série de Taylor da equação a diferenças que caracteriza o integrador e estão associados a cada uma das não-linearidades presentes.

Os capacitores integrados de melhor qualidade disponíveis nos processos comerciais são realizados com duas camadas de poli-silício (*poly*) [118]. Eles são caracterizados por uma grande linearidade e boas propriedades físicas. Entretanto, como visto na Seção 4.1, a capacitância parasita entre a placa inferior e o substrato, e as capacitâncias de junção C_{GS} e C_{GD} das chaves em paralelo com o capacitor *poly1-poly2* apresentam uma forte dependência com a tensão aplicada [4]. Felizmente, devido à utilização de estruturas insensíveis às capacitâncias parasitas [105], a distorção harmônica causada pelos capacitores parasitas é quase que totalmente suprimida [167].

Capacitores *poly1-poly2* estão disponíveis apenas em processos CMOS voltados para a produção de circuitos analógicos. Processos para circuitos digitais apresentam apenas uma

camada de poli-silício [137]. Neste caso, a melhor alternativa para construção de capacitores é o aproveitamento da própria estrutura do MOSFET. Esta, apesar de apresentar uma grande capacitância/área e bom casamento, possui uma capacitância extremamente não-linear [160]. Aplicações sensíveis à distorção harmônica só podem ser implementados nestes processos se técnicas de compensação da dependência $C(v)$, como as propostas em [137], puderem ser utilizadas.

A componente da injeção de carga dependente do sinal amostrado introduz distorção harmônica. Graças ao esquema de acionamento das chaves proposto em [167] e mostrado na figura 4.54, esta fonte de distorção também é praticamente suprimida.

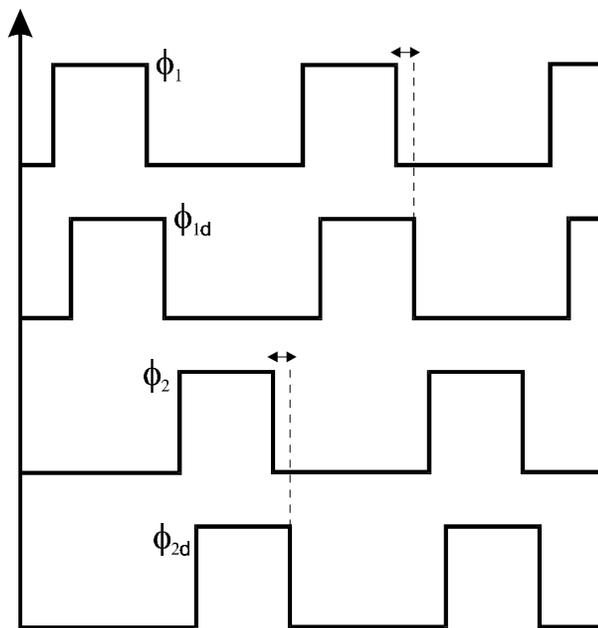


Figura 4.54 - Esquema de Acionamento das Chaves em Circuitos SC para Supressão da Distorção Harmônica Induzida pela Injeção de Carga [167].

Com base no integrador SC completamente diferencial da figura 4.36, a supressão da distorção harmônica é implementada quando as chaves acionadas originalmente por ϕ_1 e ligadas ao sinal de entrada passam a ser acionadas por ϕ_{1d} e, as chaves acionadas originalmente por ϕ_2 e ligadas à referência (GND) passam a ser acionadas por ϕ_{2d} [38].

O amplificador operacional é a principal causa de distorção nos moduladores $\Sigma\Delta$ [163]. As não-linearidades no AmpOp são: saturação da saída (*clipping*), variação do ganho de malha

aberta $A(\omega)$ e limitação de *slew-rate*. A saturação ocorre quando a saída do integrador é limitada pelas tensões inferior ou superior de alimentação do circuito. A saturação foi estudada na Seção 2.2 e acarreta perda de informação nos estados do sistema, podendo levar a instabilidade no caso de estruturas de ordens superiores [63]-[70].

A variação do modo comum da entrada se reflete na corrente de polarização do par diferencial [6]. Como conseqüência, o ganho DC (A_0) do AmpOp depende da tensão de saída (v_o). A variação relativa do ganho de malha aberta é diminuída com o aumento do valor de A_0 [163]. Além disso, o ganho de malha aberta deve se manter elevado em toda a banda do sinal. Estes dois requisitos para a diminuição da distorção harmônica são dificilmente atendidos ao mesmo tempo em projetos que exigem baixas tensões de alimentação e/ou baixo consumo (*low-voltage / low-power*) [165]. A utilização de topologias de integradores que cancelam o *offset* de entrada ao mesmo tempo que compensam os efeitos do ganho DC finito [127], reduz a distorção harmônica introduzida por AmpOp's com baixo ganho DC [161],[165].

A limitação de *slew-rate* já foi estudada na Seção 4.2.3. Ela faz com que o tempo de estabilização da saída dos integrados SC varie com o sinal de entrada, se a taxa de variação da saída for maior que a *slew rate* do AmpOp [129]. Esta dependência do erro de transferência de carga com o sinal de entrada introduz distorção harmônica [167],[159]. A distorção por *slew-rate* em moduladores $\Sigma\Delta$ foi detalhadamente modelada em [163]. A utilização de amplificadores operacionais com estágio diferencial classe AB elimina esta não-linearidade [133]. Entretanto, esta topologia não é adequada para projetos com baixas tensões de alimentação. Neste caso, a distorção harmônica pode ser diminuída com a diminuição da taxa de amostragem do sistema ou com aumento da corrente de polarização do par diferencial do primeiro AmpOp do modulador [38].

O efeito da distorção harmônica no modulador $\Sigma\Delta$ pode ser estudada através da razão entre a potência do sinal de entrada e a potência de todas as harmônicas acrescida da potência do ruído na banda base (SNDR):

$$SNDR = \frac{P_x}{P_N + P_2 + P_3 + P_4 + P_5 + \dots} \quad (4.218)$$

onde P_i é a potência da i -ésima harmônica na banda do sinal.

Para uma entrada senoidal $x(t) = A \cdot \text{Sen}(\omega t)$, $A \leq \Delta/2$, as potências das harmônicas são expressas genericamente por [161]:

$$P_i = \frac{\gamma_i^2 \cdot A^{2i}}{2 \cdot (2^{i-1})^2}, \quad i > 1 \quad (4.219)$$

onde γ_i é um coeficiente dependente do equacionamento de cada uma das não-linearidades levadas em consideração para a determinação da SNDR. Nos moduladores implementados com circuitos completamente diferenciais (grande maioria), as harmônicas pares são praticamente canceladas pela simetria do sistema [167].

Para um modulador de 2ª ordem com $\text{OSR} = 256$, a figura 4.55 mostra a SNDR para o caso ideal e levando-se em conta a 3ª e 5ª harmônicas ($\gamma_3=0.0001$ e $\gamma_5=0.00001$).

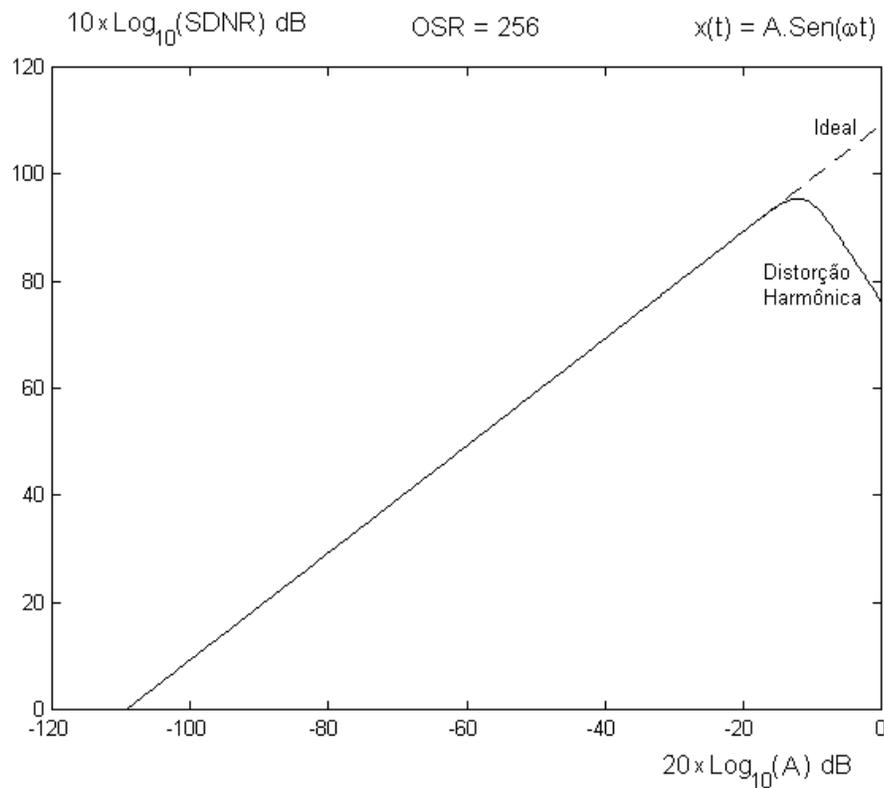


Figura 4.55 - Redução da Faixa Dinâmica de Entrada do Modulador em Função da Distorção Harmônica.

A principal consequência da distorção harmônica introduzida pelo modulador é a redução da faixa dinâmica de entrada nas aplicações que exigem baixos níveis de distorção, como áudio de alta qualidade.

Uma alternativa para eliminar a limitação imposta pela distorção, é a utilização de circuitos de controle automático de ganho (AGC) junto com o modulador. Através do AGC, o modulador pode operar sempre na região onde a SNDR do modulador é máxima. O AGC pode ser implementado através da utilização de um DAC cuja amplitude dos níveis de referência varia com a amplitude da entrada [162], ou através da colocação de um amplificador com ganho variável (VGA) na entrada do modulador [166]. Em ambos os casos, a *performance* do AGC se deteriora para sinais muito baixos devido ao ruído térmico.

CAPÍTULO 5

CONSIDERAÇÕES SOBRE OS LIMITES DE PERFORMANCE

5.1 Limites da Taxa de Amostragem

Ao longo do Capítulo 4, alguns fatores limitantes da máxima freqüência de amostragem do modulador foram identificados. A limitação na freqüência de operação ocorre em virtude da transferência incompleta de carga nos integradores a capacitores chaveados (SC). Por sua vez, a transferência incompleta de carga resulta numa redução da SNR no *bit stream* de saída.

Na Seção 4.2.2, a constante de tempo para estabilização da tensão de saída do integrador, definida pela dinâmica linear do amplificador operacional, foi determinada:

$$\tau_{AmpOp} = \frac{1}{k\Omega_0 \cdot \left(1 + \frac{1}{kA_0}\right)} \quad (5.1)$$

Entretanto, a saturação do estágio diferencial faz com que o integrador opere numa região não-linear. Na Seção 4.2.3, o equacionamento da transferência de carga nesta região de operação define a seguinte constante de tempo:

$$\tau_{SR} = \frac{A_0}{\Omega_0} \quad (5.2)$$

A dinâmica do amplificador operacional se comporta de forma não-linear até que a tensão diferencial na entrada do mesmo se reduza, alcançando a estreita faixa de operação linear. A partir deste ponto, o tempo de estabilização da saída é determinado pela equação (5.1).

Finalmente, na Seção 4.3.1, o efeito da resistência finita das chaves MOSFET na dinâmica do integrador foi investigado. O transiente de transferência de carga, nas duas fases de operação do integrador, é governado pela mesma constante de tempo:

$$\tau_{CH} = R_{ON} \cdot C_S \quad (5.3)$$

Na figura 5.1 a seguir, são comparadas as velocidades de decaimento destes transientes. Estes gráficos foram obtidos para os seguintes parâmetros: $A_0 = 1000$, $f_0 = 60$ MHz, $C_S = 1$ pF, $C_I = 2$ pF e, $R_{ON} = 1$ k Ω .

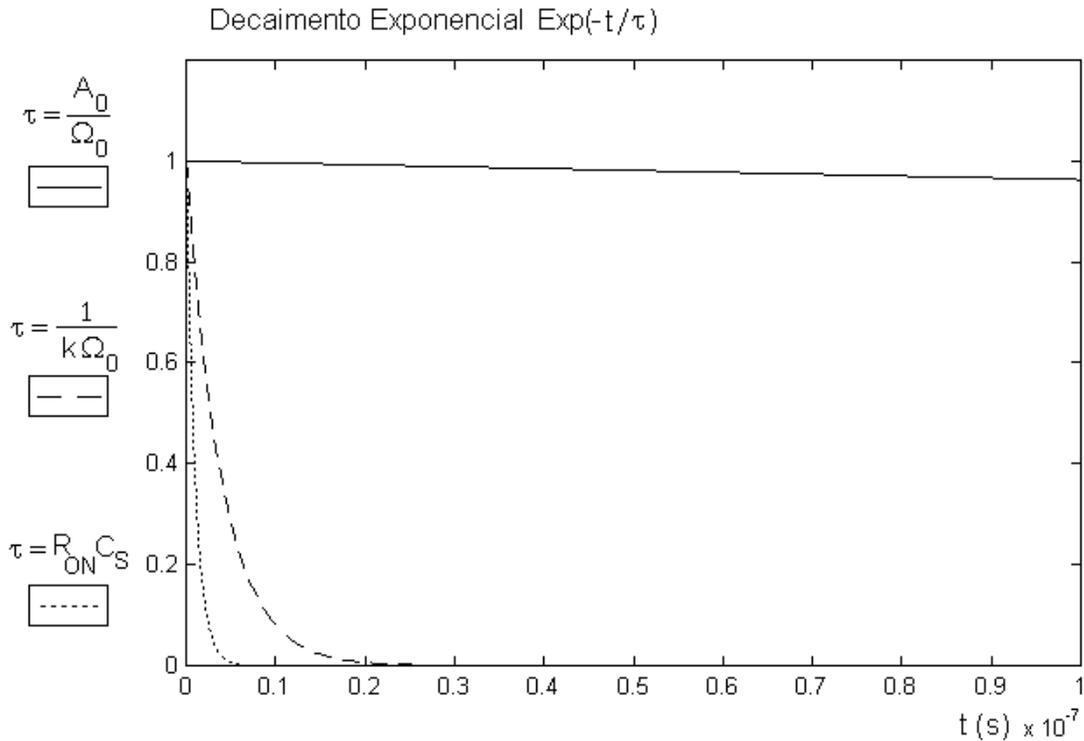


Figura 5.1 - Comparação entre as Constantes de Tempo que Limitam a Máxima Freqüência de Amostragem do Sistema.

Através da análise da figura 5.1, verifica-se que o principal determinante do tempo de estabilização da saída do integrador é o amplificador operacional. Entretanto, a duração da fase não-linear depende a cada ciclo de operação, da carga acumulada no capacitor de amostragem. Desta forma, a máxima freqüência de amostragem é determinada pelo pior caso do tempo de transferência de carga.

5.2 Limites da Resolução

No decorrer dos Capítulos 3 e 4, foram estudadas diversas características dos circuitos SC que limitam a máxima resolução alcançável pelos moduladores $\Sigma\Delta$. Estas não-idealidades determinam a máxima SNR, numa determinada OSR, quando a potência média dos erros por elas determinados superam a potência média do ruído de quantização.

A imprecisão na amostragem (Seção 3.4) e o ruído térmico (Seção 4.4.1), são os principais limitantes da resolução em moduladores implementados com circuitos SC. O erro de chaveamento e a tensão de *offset* dos AmpOp's (Seções 4.2.1 e 4.3.2), apesar de também influenciarem decisivamente a resolução, são facilmente cancelados com circuitos completamente diferenciais e integradores com auto-zero (CDS) [4],[127].

Nas figuras 5.2 a 5.4, as potências médias no *bit stream* de saída do ruído de quantização, do ruído térmico introduzido no 1º AmpOp do sistema, e do erro de *jitter* aleatório introduzido durante a amostragem são comparadas. Dependendo da OSR, uma destas componentes é a determinante da máxima SNR.

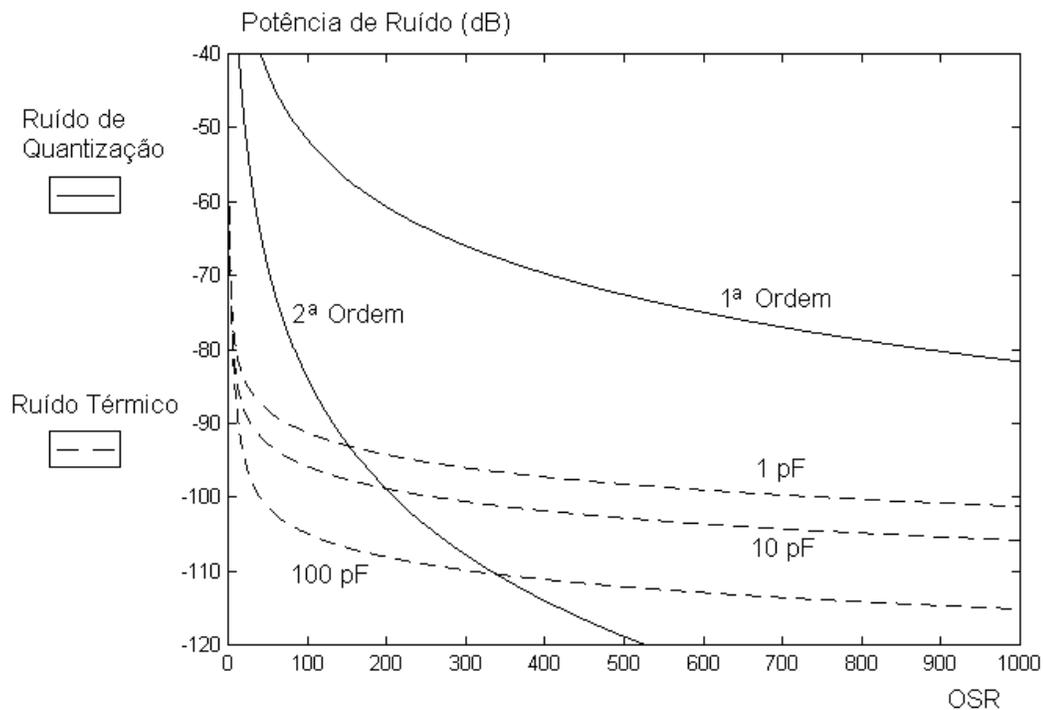


Figura 5.2 - Comparação entre a Potência Média do Ruído de Quantização e a Potência Média de Ruído Térmico Introduzido no 1º Integrador do Sistema.

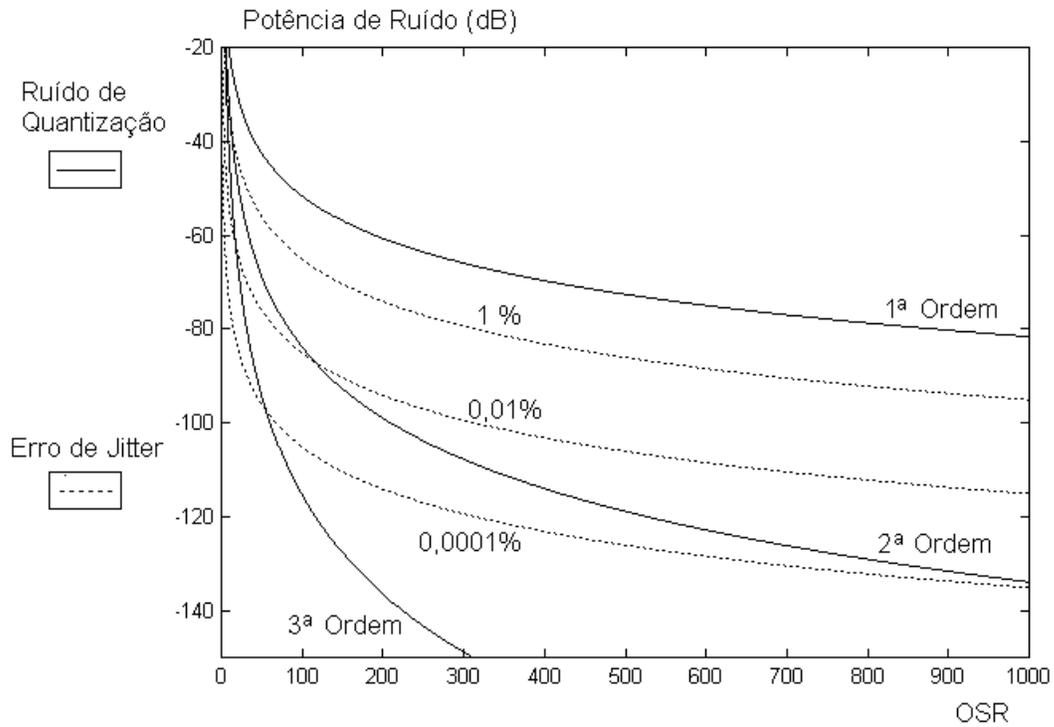


Figura 5.3 - Comparação entre a Potência Média do Ruído de Quantização e a Potência Média do Erro de *Sampling Jitter* Aleatório.

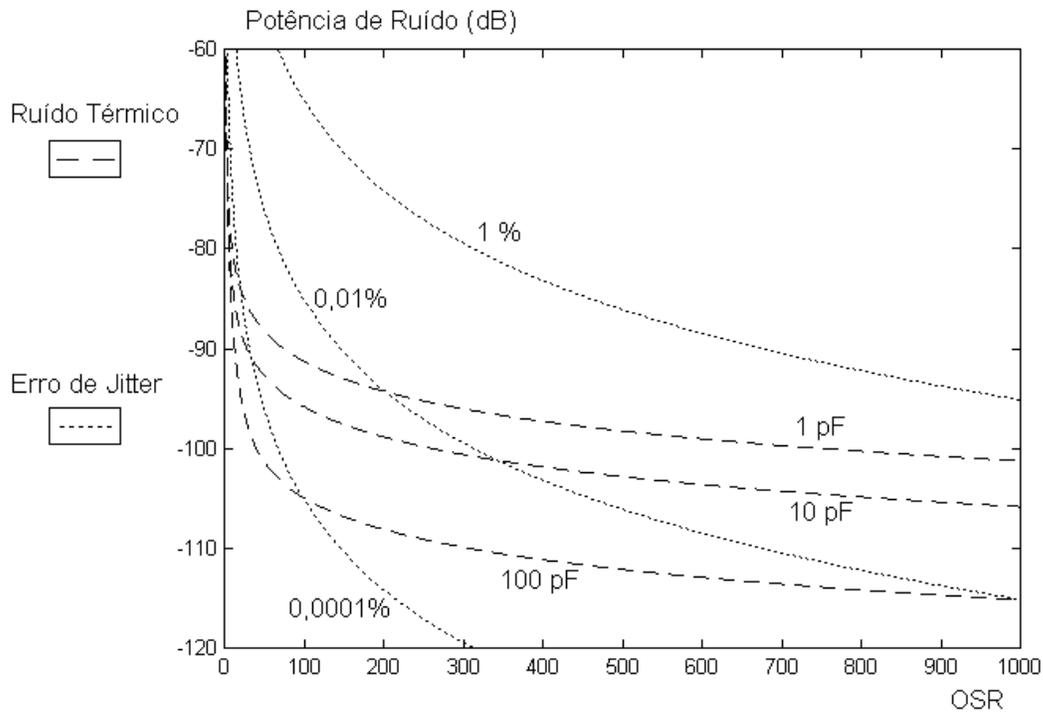


Figura 5.4 - Comparação entre a Potência Média de Ruído Térmico Introduzido no 1º Integrador do Sistema e a Potência Média do Erro de *Sampling Jitter* Aleatório.

As diversas combinações possíveis para ordem do modulador, tamanho dos capacitores no 1º integrador e variância do *jitter* apresentados nas figuras 5.2 a 5.4, determinam o comportamento da potência total de ruído na saída do modulador. Nas figuras 5.5 a 5.7 são mostrados três exemplos de moduladores: um projeto de 1ª ordem e baixa resolução, um projeto de 2ª ordem de resolução moderada, e um modulador de 3ª ordem com alta resolução. Para estas simulações, os seguintes parâmetros foram utilizados: $\Delta = 5 \text{ V}$, $g_1 = \frac{1}{2}$, $R_{ON} = 1 \text{ k}\Omega$, $R_{AO} = 100 \text{ k}\Omega$, $f_0 = 60 \text{ MHz}$ e $\Theta = 300 \text{ K}$.

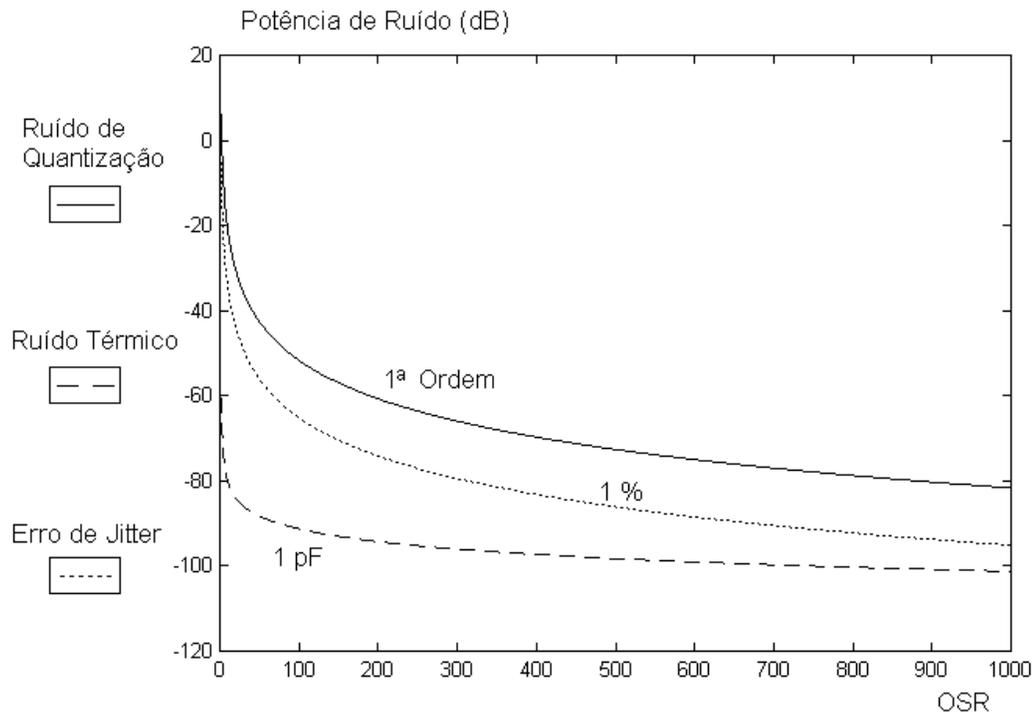


Figura 5.5 - Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de *Sampling Jitter* Aleatório na Saída do Modulador $\Sigma\Delta$ de 1ª Ordem.

O modulador de 1ª ordem da figura 5.5 foi simulado com capacitores pequenos e com um sinal de sincronismo (*clock*) bastante impreciso. Mesmo assim, como o ruído de quantização é pouco atenuado na banda do sinal, ele é o principal determinante da máxima resolução alcançável.

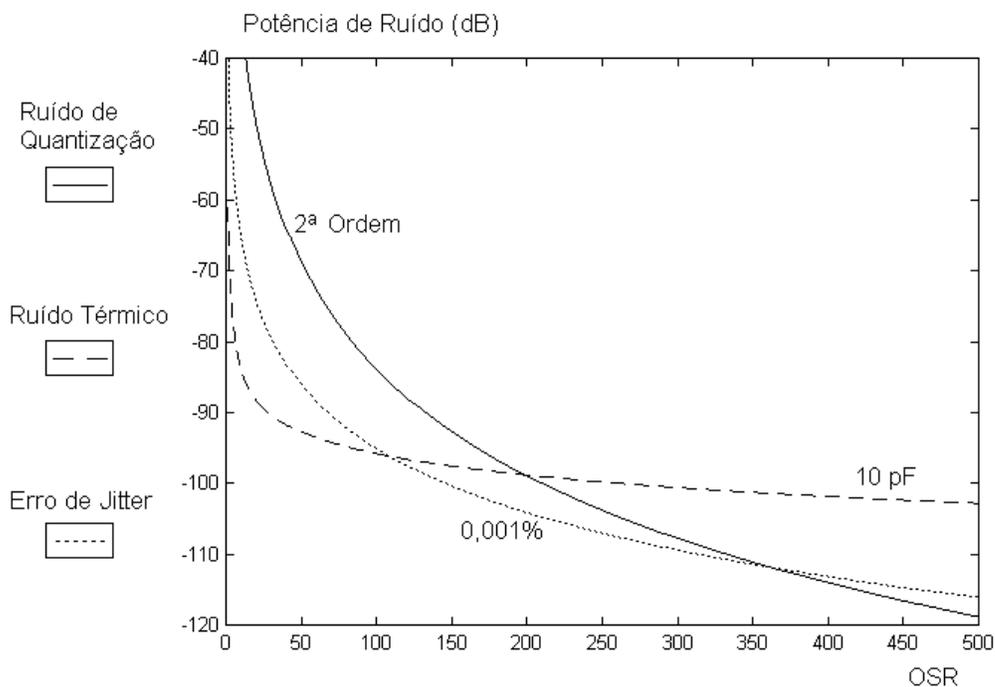


Figura 5.6 - Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de *Sampling Jitter* Aleatório na Saída do Modulador $\Sigma\Delta$ de 2ª Ordem.

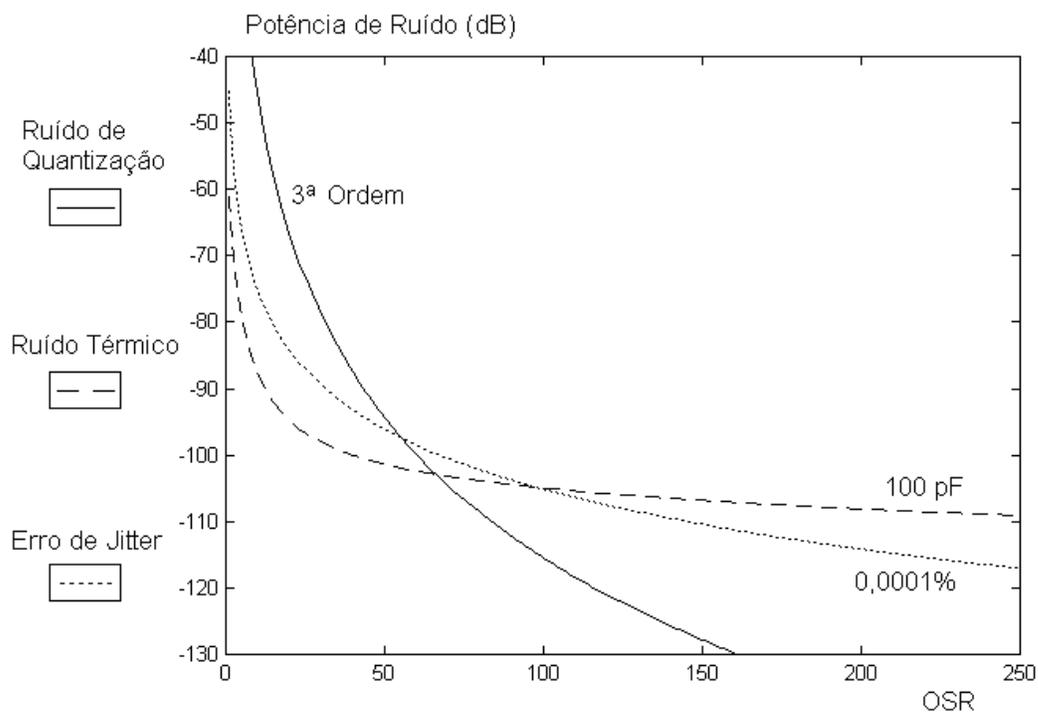


Figura 5.7 - Comparação entre as Potências Médias do Ruído de Quantização, do Ruído Térmico e do Erro de *Sampling Jitter* Aleatório na Saída do Modulador $\Sigma\Delta$ de 3ª Ordem.

O modulador de 2^a ordem da figura 5.6 foi simulado com capacitores de tamanho moderado e a amostragem foi realizada de forma precisa. Neste caso, para $OSR > 200$, a resolução do sistema é limitada pelo ruído térmico. Para valores menores, o ruído de quantização predomina.

O modulador de 3^a ordem da figura 5.7 foi simulado com capacitores grandes e com um sinal de sincronismo mais preciso ainda. Neste caso, para $OSR > 100$, a resolução do sistema é limitada pelo ruído térmico. Para valores menores, o ruído de quantização predomina. Apenas numa pequena faixa intermediária, o erro de *jitter* supera as demais fontes de ruído.

Todas estas simulações foram realizadas com valores típicos para a tecnologia disponível no início da década de 90, encontrados em vasta literatura [38]-[62]. Constata-se, baseado nestes resultados, que o principal limitante da máxima resolução alcançável pelos moduladores $\Sigma\Delta$ implementados com circuitos SC é o ruído térmico (Seção 4.4.1).

Conclusões

O objetivo deste trabalho foi o estudo dos limites de *performance* dos moduladores $\Sigma\Delta$ integrados implementados com circuitos a capacitores chaveados. O julgamento de um bom desempenho levou em consideração, particularmente, as características de resolução e de taxa de amostragem.

Os limites da resolução e da taxa de amostragem foram calculados a partir do modelamento das principais fontes de erros que degradam o desempenho dos circuitos a capacitores chaveados.

No Capítulo 5, os limites de *performance* deduzidos nos Capítulos 3 e 4 foram comparados quantitativamente. Deste forma, foram determinados os principais limitantes da máxima resolução alcançável e da máxima freqüência de operação.

Verificou-se através de simulações (Seção 5.1) que o principal determinante da transferência incompleta de carga no integrador é o amplificador operacional (Seção 4.2). Entretanto, a duração da fase não-linear do tempo de estabilização depende, a cada ciclo de operação, da carga acumulada no capacitor de amostragem. Desta forma, a máxima freqüência de amostragem depende do valor do tempo de transferência de carga no pior caso.

Com base nos moduladores simulados na Seção 5.2 constatou-se que o ruído térmico (Seção 4.4.1) é o principal limitante da máxima resolução alcançável. Os resultados de todas estas simulações foram validados através de comparações com dados publicados na vasta bibliografia disponível sobre o tema [20]-[62].

Referências Bibliográficas

- [1] S.R. Norsworthy, R. Schreier, and G.C. Temes, *"Delta-Sigma Data Converters - Theory, Design, and Simulation"*, IEEE Press, 1996.
- [2] A.V. Oppenheim and R.W. Schaffer, *"Discrete-Time Signal Processing"*, Prentice Hall, 1989.
- [3] S. Haykin, *"An Introduction to Analog and Digital Communications"*, John Wiley & Sons, 1989.
- [4] R. Gregorian and G.C. Temes, *"Analog MOS Integrated Circuits for Signal Processing"*, John Wiley & Sons, 1986
- [5] G.F. Franklin, J.D. Powell, and A. Emami-Naeini, *"Feedback Control of Dynamic Systems"*, Addison Wesley Publishing Co., 1994.
- [6] P.R. Gray and R.G. Meyer, *"Analysis and Design of Analog Integrated Circuits"*, John Wiley & Sons, 3rd Edition, 1993.
- [7] P.E. Allen and D.R. Holberg, *"CMOS Analog Circuit Design"*, Oxford University Press, 1987.
- [8] A.S. Sedra and K.C. Smith, *"Microelectronic Circuits"*, Oxford University Press, 3rd Edition, 1991.
- [9] C.D. Motchenbacher and F.C. Fitchen, *"Low-Noise Electronic Design"*, John Wiley & Sons, 1973.
- [10] M.R. Spiegel, *"Manual de Fórmulas, Métodos e Tabelas de Matemática"*, Coleção Schaum, Makron Books, 2^a Edição Traduzida, 1992.
- [11] P.M. Aziz, H.V. Sorensen, and J. van der Spiegel, *"An Overview of Sigma-Delta Converters"*, IEEE Signal Processing Magazine, Jan 1996.
- [12] M.W. Hauser, *"Principles of Oversampling A/D Conversion"*, J. Audio Engineering Society, Vol 39, n° 1/2, Jan/Fev 1991.
- [13] T.F. Darling and M.O.J. Hawksford, *"Oversampled Analog-to-Digital Conversion for Digital Audio Systems"*, J. Audio Engineering Society, Vol 38, n° 12, Dez 1990.
- [14] B.M. Gordon, *"Linear Electronic Analog/Digital Conversion Architectures, Their Origins, Parameters, Limitations, and Applications"*, IEEE Transactions on Circuits and Systems, Vol. 25, n° 7, Jul 1978.
- [15] P. Malcovati and F. Maloberti, *"A/D and D/A Converters"*, IEEE CAS Tour in South America 1999.
- [16] R.H. Walden, *"Analog-to-Digital Converter Survey and Analysis"*, IEEE Journal of Selected Areas in Communications, Vol. 17, n° 4, Abr 1999.

- [17] A.B. Sripad and D.L. Snyder, "A Necessary and Sufficient Condition for Quantization Errors to be Uniform and White", IEEE Transactions on Acoustics, Speech, and Signal Processing, Vol. 25, n° 5, Out 1977.
- [18] H. Inose, Y. Yasuda, and J. Murakami, "A Telemetry System by Code Modulation - $\Delta\Sigma$ Modulation", IRE Transactions on Space Electronics and Telemetry, Set 1962.
- [19] H. Inose and Y. Yasuda, "A Unit Bit Coding Method by Negative Feedback", Proceedings of the IEEE, Vol. 51, n° 11, Nov 1963.
- [20] J.C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters", IEEE Transactions on Communication, Vol. 29, n° 9, Set 1981.
- [21] J.C. Candy and O.J. Benjamin, "The Structure of Quantization Noise from Sigma-Delta Modulation", IEEE Transactions on Communications, Vol. 22, n° 3, Mar 1974.
- [22] J.C. Candy, W.H. Ninke, and B.A. Wooley, "A Per-Channel A/D Converter Having 15-Segment μ -255 Companding", IEEE Transactions on Communications, Vol. 24, n° 1, Mar 1976.
- [23] R.J. van der Plassche and R.E.J. van der Grift, "A Five-Digit Analog-Digital Converter", IEEE Journal of Solid-State Circuits, Vol. 12, n° 6, Dez 1977.
- [24] R.J. van der Plassche, "A Sigma-Delta Modulator as an A/D Converter", IEEE Transactions on Circuits & Systems, Vol. 25, n° 7, Jul 1978.
- [25] B.A. Wooley and J.L. Henry, "An Integrated Per-Channel PCM Encoder Based on Interpolation", IEEE Journal of Solid-State Circuits, Vol. 14, n° 1, Fev 1979.
- [26] J.D. Everard, "A Single-Channel PCM Codec", IEEE Journal of Solid-State Circuits, Vol. 14, n° 1, Fev 1979.
- [27] J.C. Candy, O.J. Benjamin, and B.A. Wooley, "A Voiceband Codec with Digital Filtering", IEEE Transactions on Communications, Vol. 29, n° 6, Jun 1981.
- [28] T. Misawa, J.E. Iwersen, L.J. Loporcaro, and J.G. Ruch, "Single-Chip per Channel Codec with Filters Utilizing $\Delta\Sigma$ Modulation", IEEE Journal of Solid-State Circuits, Vol. 16, n° 4, Ago 1981.
- [29] H.L. Fiedler and B. Hoefflinger, "A CMOS Pulse Density Modulator for High-Resolution A/D Converters", IEEE Journal of Solid-State Circuits, Vol. 19, n° 6, Dez 1984.
- [30] J.C. Candy, "A Use of Double Integration in Sigma Delta Modulation", IEEE Transactions on Communication, Vol. 33, n° 3, Mar 1985.
- [31] P. Defraeye, D. Rabaey, W. Roggeman, J. Yde, and L. Kiss, "A 3- μ m CMOS Digital Codec with Programable Echo Cancellation and Gain Setting", IEEE Journal of Solid-State Circuits, Vol. 20, n° 3, Jun 1985.
- [32] R.W. Adams, "Design and Implementation of na Audio 18-bit Analog-to-Digital Converter Using Oversampling Techniques", J. Audio Engineering Society, Vol 34, n° 3, Mar 1986.

- [33] U. Roettcher, H.L. Fiedler, and G. Zimmer, "A Compatible CMOS-JFET Pulse Density Modulator for Interpolative High-Resolution A/D Conversion", IEEE Journal of Solid-State Circuits, Vol. 21, n° 3, Jun 1986.
- [34] R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J.A. Fisher, and F. Parzefall, "A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15-MHz Clock Rate", IEEE Journal of Solid-State Circuits, Vol. 21, n° 6, Dec 1986.
- [35] L.R. Carley, "An Oversampling Analog-to-Digital Converter Topology for High-Resolution Signal Acquisition Systems", IEEE Transactions on Circuits & Systems, Vol. 34, n° 1, Jan 1987.
- [36] S.H. Ardalan and J.J. Paulos, "An Analysis of Nonlinear Behavior in Delta-Sigma Modulators", IEEE Transactions on Circuits & Systems, Vol. 34, n° 6, Jun 1987.
- [37] Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, M. Ishikawa, and T. Yoshitome, "A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping", IEEE Journal of Solid-State Circuits, Vol. 22, n° 6, Dec 1987.
- [38] B.E. Boser and B.A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", IEEE Journal of Solid-State Circuits, Vol. 23, n° 6, Dez 1988.
- [39] B.H. Leung, R. Neff, P.R. Gray, and R.W. Brodersen, "Area-Efficient Multichannel Oversampled PCM Voice-Bands Coder", IEEE Journal of Solid-State Circuits, Vol. 23, n° 6, Dec 1988.
- [40] K. Uchimura, T. Hayashi, T. Kimura, and A. Iwata, "Oversampling A-to-D and D-to-A Converters with Multistage Noise Shaping Modulators", IEEE Transactions on Acoustics, Speech, and Signal Processing, Vol. 36, n° 12, Dec 1988.
- [41] S.R. Norsworthy, I.G. Post, and H.S. Fetterman, "A 14-bit 80kHz Sigma-Delta A/D Converter: Modeling, Design, and Performance Evaluation", IEEE Journal of Solid-State Circuits, Vol. 24, n° 2, Abr 1989.
- [42] V. Friedman, D.M. Brinthaup, et al, "A Dual-Channel Voice-Band PCM Codec Using $\Sigma\Delta$ Modulation Technique", IEEE Journal of Solid-State Circuits, Vol. 24, n° 2, Apr 1989.
- [43] D.R. Welland, B.P. del Signore, E.J. Swanson, et al, "A Stereo 16-bit Delta-Sigma A/D Converter for Digital Audio", J. Audio Engineering Society, Vol 37, n° 6, Jun 1989.
- [44] M. Rebeschini, N.R. van Bavel, et al, "A 16-b 160-kHz CMOS A/D Converter Using Sigma-Delta Modulation", IEEE Journal of Solid-State Circuits, Vol. 25, n° 2, Abr 1990.
- [45] R.W Adams, "An IC Chip Set for 20-bit A/D Conversion", J. Audio Engineering Society, Vol 38, n° 6, Jun 1990.
- [46] B.P. del Signore, D.A. Kerth, N.S. Sook, and E.J. Swanson, "A Monolithic 20-b Delta-Sigma A/D Converter", IEEE Journal of Solid-State Circuits, Vol. 25, n° 6, Dez 1990.
- [47] D.B. Ribner, "A Comparison of Modulator Networks for High-Order Oversampled $\Sigma\Delta$ Analog-to-Digital Converters", IEEE Transactions on Circuits & Systems, Vol. 38, n° 2, Fev 1991.

- [48] B.P. Brandt, D.E. Wingard, and B.A. Wooley, "Second-Order Sigma-Delta Modulation for Digital-Audio Signal Acquisition", IEEE Journal of Solid-State Circuits, Vol. 26, n° 4, Abr 1991.
- [49] L.A. Williams III and B.. Wooley, "Third-Order Cascaded Sigma-Delta Modulators", IEEE Transactions on Circuits & Systems, Vol. 38, n° 5, Mai 1991.
- [50] D. Haspeslagh, J. Sevenhans, et al, "A Four-Channel Digital Signal Processor in 1.2- μ m CMOS with On-Chip D/A and A/D Conversion Serving Four Speech Channels in a New-Generation Subscriber Line Circuit", IEEE Journal of Solid-State Circuits, Vol. 26, n° 7, Jul 1991.
- [51] P.J.A. Naus and E.C. Dijkmans, "Multibit Oversampled $\Sigma\Delta$ A/D Converters as Front End for CD Players", IEEE Journal of Solid-State Circuits, Vol. 26, n° 7, Jul 1991.
- [52] H.A. Leopold, G. Winkler, et al, "A Monolithic CMOS 20-b Analog-to-Digital Converter", IEEE Journal of Solid-State Circuits, Vol. 26, n° 7, Jul 1991.
- [53] R.W. Adams, P.F. Ferguson, et al, "Theory and Practical Implementation of a Fifth-Order Sigma-Delta A/D Converter", J. Audio Engineering Society, Vol 39, n° 7/8, Jul/Ago 1991.
- [54] B.P. Brandt and B.A. Wooley, "A 50-MHz Multibit Sigma-Delta Modulator for 12-b 2 MHz A/D Conversion", IEEE Journal of Solid-State Circuits, Vol. 26, n° 12, Dez 1991.
- [55] D.B. Ribner, R.D. Baertsch, et al, "A Third-Order Multistage Sigma-Delta Modulator with Reduced Sensitivity to Nonidealities", IEEE Journal of Solid-State Circuits, Vol. 26, n° 12, Dez 1991.
- [56] L. le Toumelin, P. Carbou, et al, "A 5-V CMOS Line Controller with 16-b Audio Converters", IEEE Journal of Solid-State Circuits, Vol. 27, n° 3, Mar 1992.
- [57] G. Yin, F. Stubbe, and W. Sansen, "A 16-b 320-kHz CMOS A/D Converter Using Two-Stage Third-Order $\Sigma\Delta$ Noise Shaping", IEEE Journal of Solid-State Circuits, Vol. 28, n° 6, Jun 1993.
- [58] P.J. Hurst, R.A. Levinson, and D.J. Block, "A Switched-Capacitor Delta-Sigma Modulator with Reduced Sensitivity to Op-Amp Gain", IEEE Journal of Solid-State Circuits, Vol. 28, n° 6, Jun 1993.
- [59] L.A. Williams III and B.. Wooley, "A Third-Order Sigma-Delta Modulator with Extended Dynamic Range", IEEE Journal of Solid-State Circuits, Vol. 29, n° 3, Mar 1994.
- [60] G. Yin and W. Sansen, "A High-Frequency and High-Resolution Fourth-Order $\Sigma\Delta$ A/D Converter in BiCMOS Technology", IEEE Journal of Solid-State Circuits, Vol. 29, n° 8, Ago 1994.
- [61] S. Nadeem, C.G. Sodini, and H-S. Lee, "16-Channel Oversampled Analog-to-Digital Converter", IEEE Journal of Solid-State Circuits, Vol. 29, n° 9, Set 1994.
- [62] T. Ritoniemi, E. Pajarre, et al, "A Stereo Audio Sigma-Delta A/D-Converter", IEEE Journal of Solid-State Circuits, Vol. 29, n° 12, Dez 1994.
- [63] E.F. Stikvoort, "Some Remarks on the Stability and Performance of the Noise Shaper or Sigma-Delta Modulator", IEEE Transactions on Communications, Vol. 36, n° 10, Out 1988.

- [64] K. Chao, S. Nadeem, W.L. Lee, and C.G. Sodini, "A Higher Order Topology for Interpolative Modulators for Oversampling A/D Converters", IEEE Transactions on Circuits & Systems, Vol. 37, n° 3, Mar 1990.
- [65] H. Wang, "A Geometric View of $\Sigma\Delta$ Modulations", IEEE Transactions on Circuits & Systems-II, Vol. 39, n° 6, Jun 1992.
- [66] S. Hein and A. Zakhor, "On the Stability of Sigma Delta Modulators", IEEE Transactions on Signal Processing, Vol. 41, n° 7, Jul 1993.
- [67] S.C. Pinault and P.V. Lopresti, "On the Behavior of the Double-Loop Sigma-Delta Modulator", IEEE Transactions on Circuits & Systems-II, Vol. 40, n° 8, Ago 1993.
- [68] P. Steiner and W. Yang, "Stability Analysis of the Second Order $\Sigma\Delta$ Modulator", IEEE.
- [69] R. Scheirer, "An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators", IEEE Transactions on Circuits & Systems-II, Vol. 40, n° 8, Ago 1993.
- [70] R.T. Baird and T.S. Fiez, "Stability Analysis of High-Order Delta-Sigma Modulation for ADC's", IEEE Transactions on Circuits & Systems-II, Vol. 41, n° 1, Jan 1994.
- [71] L. Schuchman, "Dither Signals and Their Effect on Quantization Noise", IEEE Transactions on Communications Technology, Vol. 12, pp. 162-165, Dez 1964.
- [72] R.M. Gray, "Oversampled Sigma-Delta Modulation", IEEE Transactions on Communications, Vol. 35, n° 5, Mai 1987.
- [73] B.E. Boser and B.A. Wooley, "Quantization Error Spectrum of Sigma-Delta Modulators", IEEE ISCAS'88, 1988.
- [74] V. Friedman, "The Structure of the Limit Cycles in Sigma Delta Modulation", IEEE Transactions on Communications, Vol. 36, n° 8, Ago 1988.
- [75] R.M. Gray, "Spectral Analysis of Quantization Noise in a Single-Loop Sigma-Delta Modulator", IEEE Transactions on Communications, Vol. 37, n° 6, Jun 1989.
- [76] P.W. Wong and R.M. Gray, "Two-Stage Sigma-Delta Modulation", IEEE Transactions on Acoustics, Speech, and Signal Processing, Vol. 38, n° 11, Nov 1990.
- [77] W. Chou, P.W. Wong, and R.M. Gray, "Multistage Sigma-Delta Modulation", IEEE Transactions on Information Theory, Vol. 35, n° 4, Jul 1989.
- [78] R.M. Gray, W. Chou, and P.W. Wong, "Quantization Noise in Single-Loop Sigma-Delta Modulation with Sinusoidal Inputs", IEEE Transactions on Communications, Vol. 37, n° 9, Set 1989.
- [79] N. He, F. Kuhlmann, and A. Buzo, "Double-Loop Sigma-Delta Modulation with dc Input", IEEE Transactions on Communications, Vol. 38, n° 4, Abr 1990.
- [80] P.W. Wong and R.M. Gray, "Sigma-Delta Modulation with I.I.D. Gaussian Inputs", IEEE Transactions on Information Theory, Vol. 36, n° 4, Jul 1990.

- [81] R.M. Gray, "Quantization Noise Spectra", IEEE Transactions on Information Theory, Vol. 36, n° 6, Nov 1990.
- [82] W. Chou and R.M. Gray, "Dithering and Its Effects on Sigma-Delta and Multistage Sigma-Delta Modulation", IEEE Transactions on Information Theory, Vol. 37, n° 3, Mai 1991.
- [83] N. He, F. Kuhlmann, and A. Buzo, "Multiloop Sigma-Delta Quantization", IEEE Transactions on Information Theory, Vol. 38, n° 3, Mai 1992.
- [84] S.J. Park and R.M. Gray, "Sigma-Delta Modulation with Leaky Integration and Constant Input", IEEE Transactions on Information Theory, Vol. 38, n° 4, Set 1992.
- [85] S. Hein, "Exploiting Chaos to Suppress Spurious Tones in General Double-Loop $\Sigma\Delta$ Modulators", IEEE Transactions on Circuits & Systems-II, Vol. 40, n° 10, Out 1993.
- [86] S. Rangan and B. Leung, "Quantization Noise Spectrum of Double-Loop Sigma-Delta Converter with Sinusoidal Input", IEEE Transactions on Circuits & Systems-II, Vol. 41, n° 2, Fev 1994.
- [87] L. Risbo, "On the Design of Tone-Free $\Sigma\Delta$ Modulators", IEEE Transactions on Circuits & Systems-II, Vol. 42, n° 1, Jan 1995.
- [88] L.S. Cutler and C.L. Searle, "Some Aspects of the Theory and Measurement of Frequency Fluctuations in Frequency Standards", Proceedings of the IEEE, vol. 54, n° 2, Fev 1966.
- [89] J.A. Barnes, A.R. Chi, L.S. Cutler, et al., "Characterization of Frequency Stability", IEEE Transactions on Instrumentation and Measurement, vol 20, n° 2, May 1971.
- [90] M. Shinagawa, Y. Akazawa, and T. Wakimoto, "Jitter Analysis of High-Speed Sampling Systems", IEEE Journal of Solid-State Circuits, vol 25, n° 1, Fev 1990.
- [91] T.M. Souders, D.R. Flach, et al, "The Effects of Timing Jitter in Sampling Systems", IEEE Transactions on Instrumentation and Measurement, vol 39, n° 1, Fev 1990.
- [92] S. Harris, "The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters, and on Oversampling Delta-Sigma ADCs", J. Audio Engineering Society, vol 38, n° 7/8, Jul/Ago 1990.
- [93] J. Dunn, "Jitter: Specification and Assessment in Digital Audio Equipment", AES 93rd Convention, Out 1992.
- [94] A.A. Beex and M.P. Fargues, "Analysis of Clock Jitter in Switched-Capacitor Systems", IEEE Transactions on Circuits and Systems-I, vol 39, n° 7, Jul 1992.
- [95] E.J. van der Zwan and E.C. Dijkmans, "A 0.2-mW CMOS $\Sigma\Delta$ Modulator for Speech Coding with 80 dB Dynamic Range", IEEE Journal of Solid-State Circuits, vol 31, n° 12, Dez 1996.
- [96] J.A. Cherry and W.M. Snelgrove, "Clock Jitter and Quantizer Metastability in Continuous-Time Delta-Sigma Modulators", IEEE Transactions on Circuits and Systems-II, vol 46, n° 6, Jun 1999.

- [97] H. Tao, L. Tóth, and J.M. Khoury, "*Analysis of Timing Jitter in Bandpass Sigma-Delta Modulators*", IEEE Transactions on Circuits and Systems-II, vol 46, n° 8, Ago 1999.
- [98] L.T. Bruton, "*Low-Sensitivity Digital Ladder Filters*", IEEE Transactions on Circuits and Systems, vol 22, n° 3, Mar 1975.
- [99] G.M. Jacobs, D.J. Allstot, et al, "*Design Techniques for MOS Switched Capacitor Ladder Filters*", IEEE Transactions on Circuits and Systems, vol 25, n° 12, Dez 1978.
- [100] D.J. Allstot, R.W. Brodersen, and P.R. Gray, "*MOS Switched Capacitor Ladder Filters*", IEEE Journal of Solid-State Circuits, vol 13, n° 6, Dez 1978.
- [101] R.W. Brodersen, P.R. Gray, and D.A. Hodges, "*MOS Switched-Capacitor Filters*", Proceedings of the IEEE, vol 67, n° 1, Jan 1979.
- [102] C.F. Kurth and G.S. Moschytz, "*Nodal Analysis of Switched-Capacitor Networks*", IEEE Transactions on Circuits and Systems, vol 26, n° 2, Fev 1979.
- [103] Y.P. Tsvividis, "*Analysis of Switched Capacitive Networks*", IEEE Transactions on Circuits and Systems, vol 26, n° 11, Nov 1979.
- [104] R. Gregorian and W.E. Nicholson Jr., "*CMOS Switched-Capacitor Filters for a PCM Voice CODEC*", IEEE Journal of Solid-State Circuits, vol 14, n° 6, Dez 1979.
- [105] K. Martin, "*Improved Circuits for the Realization of Switched-Capacitor Filters*", IEEE Transactions on Circuits and Systems, vol 27, n° 4, Abr 1980.
- [106] T.C. Choi and R.W. Brodersen, "*Considerations for High-Frequency Switched-Capacitor Ladder Filters*", IEEE Transactions on Circuits and Systems, vol 27, n° 6, Jun 1980.
- [107] G.C. Temes, "*Finite Amplifier Gain and Bandwidth Effects in Switched-Capacitor Filters*", IEEE Journal of Solid-State Circuits, vol 15, n° 3, Dez 1980.
- [108] K. Martin and A. Sedra, "*Effects of the Op Amp Finite Gain and Bandwidth on the Performance of Switched-Capacitor Filters*", IEEE Transactions on Circuits and Systems, vol 28, n° 8, Ago 1981.
- [109] R.L. Geiger and E. Sanchez-Sinencio, "*Operational Amplifier Gain-Bandwidth Product Effects on the Performance of Switched-Capacitor Networks*", IEEE Transactions on Circuits and Systems, vol 29, n° 2, Ago 1982.
- [110] R.C. Yen and P.R. Gray, "*A MOS Switched-Capacitor Instrumentation Amplifier*", IEEE Journal of Solid-State Circuits, vol 17, n° 6, Dez 1982.
- [111] Y.P. Tsvividis, "*Principles of Operation and Analysis of Switched-Capacitor Circuits*", Proceedings of the IEEE, vol 71, n° 8, Ago 1983.
- [112] R. Gregorian, K.W. Martin, and G.C. Temes, "*Switched-Capacitor Circuit Design*", Proceedings of the IEEE, vol 71, n° 8, Ago 1983.
- [113] D.J. Allstot and W.C. Black Jr., "*Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems*", Proceedings of the IEEE, vol 71, n° 8, Ago 1983.

- [114] M.L. Liou, Y-L. Kuo, and C.F. Lee, "A Tutorial on Computer-Aided Analysis of Switched-Capacitor Circuits", Proceedings of the IEEE, vol 71, n° 8, Ago 1983.
- [115] J.L. McCreary, "Matching Properties, and Voltage and Temperature Dependence of MOS Capacitors", IEEE Journal of Solid-State Circuits, vol 16, n° 6, Dez 1981.
- [116] J-B. Shyu and G.C. Temes, "Random Errors in MOS Capacitors", IEEE Journal of Solid-State Circuits, vol 17, n° 6, Dez 1982.
- [117] J. Shyu, G.C. Temes, and F. Krummenacher, "Random Error Effects in Matched MOS Capacitors and Current Sources", IEEE Journal of Solid-State Circuits, vol. 19, n° 6, Dez 1984.
- [118] D.B. Stater Jr. And J.J. Paulos, "Low-Voltage Coefficient Capacitors for VLSI Processes", IEEE Journal of Solid-State Circuits, vol 24, n° 1, Fev 1989.
- [119] K.R. Lakshmikummar, R.A. Hadaway, and M.A. Copland, "Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design", IEEE Journal of Solid-State Circuits, vol 21, n° 6, Dez 1986.
- [120] M.J.M. Pelgrom, A.C.J. Duinmaijer, and A.P.G. Welbers, "Matching Properties of MOS Transistors", IEEE Journal of Solid-State Circuits, vol 24, n° 5, Out 1989.
- [121] J.H. Atherton and H.T. Simmonds, "An Offset Reduction Technique for Use with CMOS Integrated Comparators and Amplifiers", IEEE Journal of Solid-State Circuits, vol 27, n° 8, Ago 1992.
- [122] C. Yu and R.L. Geiger, "An Automatic Offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers", IEEE Journal of Solid-State Circuits, vol 29, n° 5, Mai 1994.
- [123] K.K.K. Lam and M.A. Copeland, "Noise-Cancelling Switched-Capacitor (SC) Filtering Technique", Electronics Letters, vol. 19, n° 20, Nov 1983.
- [124] G.C. Temes and K. Haug, "Improved Offset-Compensation Schemes for Switched-Capacitor Circuits", Electronics Letters, vol 20, n° 18, Jun 1984.
- [125] K. Haug, F. Maloberti, and G. Temes, "A Switched-capacitor integrator with low finite-gain sensitivity", Electronics Letters, vol. 21, n° 24, Nov 1985.
- [126] K. Nagaraj, J. Vlach, T. Viswanathan, and K. Singhal, "A Switched-capacitor integrator with reduced sensitivity to amplifier gain", Electronics Letters, vol 22, n° 21, Out 1986.
- [127] C. Enz and G.C. Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization", Proceedings of the IEEE, vol 84, n° 11, Nov 1996.
- [128] B.Y. Kamath, R.G. Meyer, and P.R. Gray, "Relationship Between Frequency Response and Settling Time of Operational Amplifiers", IEEE Journal of Solid-State Circuits, vol 9, n° 6, Dez 1974.

- [129] C.T. Chuang, "Analysis of the Settling Behavior of an Operational Amplifier", IEEE Journal of Solid-State Circuits, vol 17, n° 1, Fev 1982.
- [130] T.C. Choi, R.T. Kaneshiro, et al, "High-Frequency CMOS Switched-Capacitor Filters for Communications Application", IEEE Journal of Solid-State Circuits, vol 18, n° 6, Dez 1983.
- [131] A. de la Plaza and P. Morlon, "Power-Supply Rejection in Differential Switched-Capacitor Filters", IEEE Journal of Solid-State Circuits, vol 19, n° 6, Dez 1984.
- [132] R. Castello and P.R. Gray, "Performance Limitations in Switched-Capacitor Filters", IEEE Transactions on Circuits and Systems, vol 32, n° 9, Set 1985.
- [133] R. Castello and P.R. Gray, "A High-Performance Micropower Switched-Capacitor Filter", IEEE Journal of Solid-State Circuits, vol 20, n° 6, Dez 1985.
- [134] B.W. Lee and B.J. Sheu, "A High Slew-Rate CMOS Amplifier for Analog Signal Processing", IEEE Journal of Solid-State Circuits, vol 25, n° 3, Jun 1990.
- [135] K. Bult and G.J.M. Geelen, "A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gains", IEEE Journal of Solid-State Circuits, vol 25, n° 6, Dez 1990.
- [136] A.E. Stevens and G.A. Miller, "A High-Slew Integrator for Switched-Capacitor Circuits", IEEE Journal of Solid-State Circuits, vol 29, n° 9, Set 1994.
- [137] H. Yoshizawa, Y. Huang, et al, "MOSFET-Only Switched-Capacitor Circuits in Digital CMOS Technology", IEEE Journal of Solid-State Circuits, vol 34, n° 6, Jun 1999.
- [138] E.A. Vittoz, "Dynamic Analog Techniques" in *Design of MOS VLSI Circuits for Telecommunications*, Y. Tsvividis and P. Antognetti, Eds. Englewood Cliffs, Prentice Hall, 1985.
- [139] B.J. Sheu and C. Hu, "Switch-Induced Error Voltage on a Switched Capacitor", IEEE Journal of Solid-State Circuits, vol 19, n° 4, Ago 1984.
- [140] J. Shieh, M. Patil, and B.J. Sheu, "Measurement and Analysis of Charge Injection in MOS Analog Switches", IEEE Journal of Solid-State Circuits, vol 22, n° 2, Abr 1987.
- [141] W.B. Wilson, H.Z. Massoud, E.J. Swanson, R.T. George, and R.B. Fair, "Measurement and Modeling of Charge Feedthrough in n-Channel MOS Analog Switches", IEEE Journal of Solid-State Circuits, vol 20, n° 6, Dez 1985.
- [142] C.A. dos Reis Filho, Dados Experimentais Sobre Injeção de Carga.
- [143] R.D. Jolly and R.H. McCharles, "A Low-Noise Amplifier for Switched Capacitor Filters", IEEE Journal of Solid-State Circuits, vol 17, n° 6, Dez 1982.
- [144] C.A. Gobet. "Spectral Distribution of a Sampled 1st Order Lowpass Filtered White Noise", Electronics Letters, vol. 17, n° 19, Set 1981.
- [145] C.A. Gobet and A. Knob, "Noise Analysis of Switched Capacitor Networks", IEEE Transactions on Circuits and Systems, vol 30, n° 1, Jan 1983.

- [146] D.K. Su, M.J. Loinaz, S. Masui, and B.A. Wooley, "Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits", IEEE Journal of Solid-State Circuits, vol 28, n° 4, Abr 1993.
- [147] R. Senthinathan and J.L. Prince, "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise", IEEE Journal of Solid-State Circuits, vol 28, n° 12, Dez 1993.
- [148] B.R. Stanasic, N.K. Verghese, R.A. Rutenbar, L.R. Carley, and D.J. Allstot, "Addressing Substrate Coupling in Mixed-Mode IC's: Simulation and Power Distribution Synthesis", IEEE Journal of Solid-State Circuits, vol 29, n° 3, Mar 1994.
- [149] K. Joardar, "A Simple Approach to Modeling Cross-Talk in Integrated Circuits", IEEE Journal of Solid-State Circuits, vol 29, n° 10, Out 1994.
- [150] M. Ingels and M.S.J. Steyaert, "Desing Strategies and Decoupling Techniques for Reducing the Effects Interference in Mixed-Mode IC's", IEEE Journal of Solid-State Circuits, vol 32, n° 7, Jul 1997.
- [151] X. Aragonès and A. Rubio, "Experimental Comparison of Substrate Noise Coupling Using Different Wafer Types", IEEE Journal of Solid-State Circuits, vol 34, n° 10, Out 1999.
- [152] M. Felder and J. Ganger, "Analysis of Ground-Bounce Induced Substrate Noise Coupling in a Low Resistive Bulk Epitaxial Process: Design Strategies to Minimize Noise Effects on a Mixed-Signal Chip", IEEE Journal of Solid-State Circuits, vol 34, n° 11, Nov 1999.
- [153] M.A. Alexander, H. Mohajeri, and J.O. Prayogo, "A 192ks/s Sigma-Delta ADC with Integrated Decimation Filters Providing -97.4dB THD", IEEE 1994 International Solid-State Circuits Conference.
- [154] T. Blalack and B.A. Wooley, "The Effects of Switching Noise on an Oversampling A/D Converter", IEEE 1995 International Solid-State Circuits Conference.
- [155] D. England, "Substrate Noise in Mixed Signal Circuits: Two Case Studies", IEEE 1998.
- [156] J. Briare and K.S. Krisch, "Substrate Injection and Crosstalk in CMOS Circuits", IEEE 1999 Custom Integrated Circuits Conference.
- [157] S. Sali, "Radiated Interference", IEE 1999.
- [158] M. van Heijningen, J. Compriet, P. Wambacq, S. Donnay, and I. Bolsens, "A Design Experiment for Measurement of the Spectral Content of Substrate Noise in Mixed-Signal Integrated Circuits", IEEE 1999.
- [159] W.M.C. Sansen, H. Qiuting, and K.A.I. Halonen, "Transient Analysis of Charge Transfer in SC Filters - Gain Error and Distortion", IEEE Journal of Solid-State Circuits, vol 22, n° 2, Abr 1987.
- [160] A.T. Behr, M.C. Schneider, S. Noceti Filho, and C.G. Montoro, "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates", IEEE Journal of Solid-State Circuits, vol 27, n° 10, Out 1992.

- [161] V.F. Dias, G. Palmisano, and F. Maloberti, "Harmonic Distortion in SC Sigma-Delta Modulators", IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, vol 41, n° 4, Abr 1994.
- [162] D. Kim, J. Park, S. Kim, D-K. Jeong, and W. Kim, "A Single Chip Δ - Σ ADC with a Built-In Variable Gain Stage and DAC with a Charge Integrating Subconverter for a 5V 9600-b/s Modem", IEEE Journal of Solid-State Circuits, vol 30, n° 8, Ago 1995.
- [163] F. Medeiro, B. Pérez-Verdú, A. Rodríguez-Vázquez, and J.L. Huertas, "Modeling OpAmp-Induced Harmonic Distortion for Switched-Capacitor $\Sigma\Delta$ Modulator Design", IEEE 1996.
- [164] C. Garibay-Lúa and J. Silva-Martinez, "Reducing Harmonic Distortion Components of a Second-Order Sigma-Delta Modulator by Using a Compensated OTA", IEEE 1997.
- [165] Y. Huang, P. Ferguson, and G.C. Temes, "Reduced Nonlinear Distortion in Circuits with Correlated Double Sampling", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol 47, n° 7, Jul 1997,
- [166] X. Li and M. Ismail, "A Second-Order Sigma-Delta Modulator with Built-in VGA to Improve SNR and Harmonic Distortion", IEEE 1999.
- [167] K. Lee and R.G. Meyer. "Low-Distortion Switched-Capacitor Filter Design Techniques", IEEE Journal of Solid-State Circuits, vol 20, n° 6, Dez 1985.