



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação
Departamento de Semicondutores, Instrumentos e Fotônica

PROJETO DE UM AMPLIFICADOR OPERACIONAL CMOS DE BAIXA TENSÃO DO TIPO *RAIL-TO-RAIL*

Autor:

FÁBIO DE LACERDA

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho

Banca Examinadora:

Prof. Dr. Carlos Alberto dos Reis Filho - FEEC/UNICAMP

Prof. Dr. Wilmar Bueno de Moraes - FEEC/UNICAMP

Prof. Dr. Galdenoro Botura Júnior - UNESP/Guaratinguetá

Campinas, 10 de dezembro de 2001

Resumo

Este trabalho descreve o procedimento de projeto de amplificadores operacionais em tecnologia CMOS. Para isto, foram objetos deste processo dois amplificadores com especificações distintas. O primeiro foi o amplificador canônico com compensação interna do tipo Miller, cujas especificações incluíram a tensão de alimentação de 3V, o ganho mínimo de malha aberta em baixas frequências de 60dB e a frequência de ganho unitário de 4MHz para uma carga externa de 10k Ω em paralelo com 10pF. O segundo, já aplicando o aprendizado que resultou do primeiro, foi um amplificador operacional do tipo *rail-to-rail* na entrada e na saída, com especificações mais exigentes: tensão de alimentação de 3V, ganho mínimo de malha aberta em baixas frequências de 80dB e frequência de ganho unitário de 10MHz para carga externa de 10k Ω em paralelo com 10pF.

Os resultados obtidos a partir de protótipos fabricados em tecnologia CMOS de 0,8 μ m para o primeiro amplificador e 0,6 μ m para o segundo foram bastante próximos às especificações. Por exemplo, as excursões de entrada e de saída do segundo amplificador mostraram-se perfeitamente compatíveis com amp-ops *rail-to-rail* típicos enquanto as demais características medidas confirmaram que o procedimento de projeto adotado foi bastante adequado.

Abstract

This dissertation describes the process of designing operational amplifiers in CMOS technology. To accomplish this, the author focused on two amplifiers with distinct specifications. The first one was the canonical amplifier with internal Miller compensation, whose specifications included the nominal power supply of 3V, minimum open-loop low-frequency gain of 60dB and unity-gain frequency of 4MHz driving an external load of 10k Ω in parallel with 10pF. The second one, exploiting the experience obtained from the previous amplifier, was an operational amplifier with rail-to-rail input and output with more rigorous specifications: 3V power supply, minimum open-loop low-frequency gain of 80dB and 10MHz unity-gain frequency driving an external load of 10k Ω in parallel with 10pF.

Prototypes of the canonical amplifier were fabricated in 0.8 μ m CMOS technology while the rail-to-rail amplifier was implemented in 0.6 μ m CMOS technology. Experimental results were in very good agreement with the specifications. For example, input and output signal swings from the second amplifier proved to be fully compatible with typical rail-to-rail op-amps while the remaining characteristics confirmed that the design process was very adequate.

“Where there is a will, there is a way.”

Este trabalho encerra,
com esforço e determinação,
mais uma trilha no curso de minha vida.

Por esta razão,
dedico este trabalho a meus pais,
pelo apoio pleno e incondicional.

Agradecimentos
ao Instituto Tecnológico de Informática
pelas fotomicrografias,
especialmente a Carlos Oliveira e Saulo Finco.

SUMÁRIO

Lista de Figuras e Tabelas.....	ix
1 Introdução	1
1.1 O Universo Atual dos Amplificadores Operacionais.....	2
1.2 Modelamento do Transistor MOS.....	5
2 O Amplificador Operacional Canônico	11
2.1 Especificações de Projeto	11
2.2 O Processo de Fabricação	12
2.3 A Topologia Adotada.....	15
2.4 Análise do Amplificador Operacional Canônico	16
2.4.1 Estágio de Entrada	16
2.4.2 Estágio Intermediário.....	18
2.4.3 Estágio de Saída	19
2.4.4 Estágio de Saída <i>Rail-to-Rail</i>	21
2.4.5 Estrutura Interna Alternativa	23
2.4.6 Ganho de Malha Aberta.....	24
2.4.7 Compensação em Freqüência.....	24
2.4.8 Freqüência de Ganho Unitário.....	29
2.4.9 Margem de Fase.....	31
2.5 Projeto do Amplificador Operacional Canônico	32
2.5.1 Primeiro Estágio	32
2.5.2 Segundo Estágio	35
2.5.3 Terceiro Estágio.....	36
2.5.4 Ganho de Malha Aberta.....	39
2.5.5 Freqüência de Ganho Unitário.....	39
2.5.6 Compensação em Freqüência	41
2.5.7 Margem de Fase.....	43
2.5.8 Circuito de Polarização.....	45
2.5.9 Resultados de Projeto.....	46
2.6 Resultados de Simulação.....	47

2.7 O Circuito Integrado	54
2.8 Resultados Experimentais.....	57
2.8.1 Caracterização dos Componentes Passivos.....	57
2.8.2 Caracterização dos Amplificadores Operacionais.....	59
2.9 Considerações Gerais dos Resultados.....	66
3 O Amplificador Operacional <i>Rail-to-Rail</i>	69
3.1 Especificações de Projeto	69
3.2 O Processo de Fabricação	70
3.3 A Classe <i>Rail-to-Rail</i>	72
3.4 A Topologia Adotada.....	78
3.5 Análise do Amplificador Operacional <i>Rail-to-Rail</i>	79
3.5.1 Estágio de Entrada	79
3.5.2 Estágio de Saída	82
3.5.3 Ganho de Malha Aberta.....	83
3.5.4 Resposta em Freqüência.....	84
3.5.5 Compensação em Freqüência.....	86
3.5.6 Compensação Alternativa em Freqüência	90
3.5.7 Margem de Fase.....	94
3.5.8 Freqüência de Ganho Unitário	94
3.6 Projeto do Amplificador Operacional <i>Rail-to-Rail</i>	96
3.6.1 Estágio de Entrada	96
3.6.2 Fonte de Corrente Flutuante.....	100
3.6.3 Estágio de Saída	101
3.6.4 Margem de Fase.....	102
3.6.5 Freqüência de Ganho Unitário	106
3.6.6 Ganho de Malha Aberta.....	109
3.6.7 Compensação em Freqüência.....	111
3.6.8 Resistores de Compensação Ativos	113
3.6.9 Circuitos de Polarização	114
3.6.10 Resultados de Projeto.....	116
3.7 Resultados de Simulação.....	117
3.8 O Circuito Integrado	124
3.9 Resultados Experimentais.....	127
3.9.1 Caracterização dos Componentes Passivos.....	127
3.9.2 Caracterização dos Amplificadores Operacionais.....	128
3.10 Considerações Gerais dos Resultados.....	134

4 Conclusões..... 137
Referências 139

LISTA DE FIGURAS E TABELAS

Tabela 1.1: Comparação dos amp-ops de um mesmo fabricante	5
Figura 1.1: Transistor MOS.....	6
Figura 1.2: Modelo para pequenos sinais do transistor MOS.....	6
Tabela 2.1: Especificações do amplificador operacional canônico.....	12
Tabela 2.2: Características gerais do processo CYE.....	12
Tabela 2.3: Características do transistor NMOS	13
Tabela 2.4: Características do transistor PMOS	13
Tabela 2.5: Características de resistores de silício policristalino.....	13
Tabela 2.6: Características do capacitor de silício policristalino.....	13
Figura 2.1: Extração de parâmetros do transistor NMOS por simulação.....	14
Figura 2.2: Simulação de um transistor NMOS	14
Tabela 2.7: Resultados de simulações para transistores NMOS.....	15
Tabela 2.8: Resultados de simulações para transistores PMOS.....	15
Figura 2.3: Topologia do amplificador operacional canônico.....	16
Figura 2.4: Estágio de entrada.....	17
Figura 2.5: Estágio de ganho.....	18
Figura 2.6: Estágio de saída <i>follower</i>	19
Figura 2.7: Tensão de <i>threshold</i> do transistor M8.....	20
Figura 2.8: Estágio de saída <i>rail-to-rail</i>	21
Figura 2.9: Topologia alternativa do amplificador operacional canônico	24
Figura 2.10: Compensação Miller com resistor	25
Figura 2.11: Diagrama de Bode de circuitos com um e dois pólos.....	30
Figura 2.12: Polarização do estágio de entrada.....	32
Figura 2.13: Polarização do estágio de ganho.....	35
Figura 2.14: Polarização do estágio de saída <i>rail-to-rail</i>	36
Figura 2.15: Circuito de polarização	45
Tabela 2.9: Dimensões calculadas para o amplificador operacional canônico.....	46
Tabela 2.10: Desempenho calculado para o amplificador operacional canônico	47
Tabela 2.11: Dimensões para o amplificador operacional canônico.....	48

Figura 2.16: Procedimento prático de medida para corrente de polarização.....	48
Figura 2.17: Procedimento de medida para excursão de saída	48
Figura 2.18: Simulação da excursão de saída	49
Figura 2.19: Procedimento de medida para excursão de entrada.....	49
Figura 2.20: Procedimento de medida para <i>slew rate</i>	50
Figura 2.21: Simulação do <i>slew rate</i>	50
Figura 2.22: Procedimento de medida para tempo de estabilização	51
Figura 2.23: Simulação do tempo de estabilização	51
Figura 2.24: Procedimento de medida para resposta em freqüência	51
Figura 2.25: Resposta em freqüência do amp-op em malha aberta.....	52
Figura 2.26: Pólos e zeros do amp-op em malha aberta.....	52
Figura 2.27: Procedimento prático de medida para resposta em freqüência.....	53
Figura 2.28: Resposta em freqüência do amp-op realimentado	53
Figura 2.29: Pólos e zeros do amp-op realimentado.....	53
Tabela 2.12: Desempenho simulado para o amplificador operacional canônico	54
Tabela 2.13: Pinagem do encapsulamento.....	55
Figura 2.30: Fotomicrografia do circuito integrado completo.....	56
Figura 2.31: Fotomicrografia dos amplificadores operacionais	56
Figura 2.32: Medida dos resistores.....	57
Tabela 2.14: Medida dos resistores	58
Tabela 2.15: Medida dos capacitores	58
Figura 2.33: Medida da excursão de saída	60
Figura 2.34: Medida da excursão de entrada.....	60
Figura 2.35: Procedimento de medida para tensão de <i>offset</i> na entrada	61
Figura 2.36: Medida da tensão de <i>offset</i>	61
Figura 2.37: Medida do <i>slew rate</i> para amp-op com compensação passiva	62
Figura 2.38: Medida do <i>slew rate</i> para amp-op com compensação ativa.....	62
Figura 2.39: Medida do tempo de estabilização para amp-op com compensação passiva	63
Figura 2.40: Medida do tempo de estabilização para amp-op com compensação ativa.....	63
Figura 2.41: Resposta em freqüência do amp-op com compensação passiva realimentado	64
Figura 2.42: Resposta em freqüência do amp-op com compensação ativa realimentado.....	64
Figura 2.43: Análise da freqüência de -3dB do amp-op realimentado.....	65
Figura 2.44: Compensação Miller com transistor NMOS	66
Tabela 2.16: Desempenho medido para o amplificador operacional canônico.....	66
Tabela 3.1: Especificações do amplificador operacional <i>rail-to-rail</i>	70
Tabela 3.2: Características gerais do processo CUP	70

Tabela 3.3: Características do transistor NMOS	71
Tabela 3.4: Características do transistor PMOS	71
Tabela 3.5: Características do resistor de silício policristalino	71
Tabela 3.6: Características do capacitor de silício policristalino.....	71
Tabela 3.7: Resultados de simulação para transistores NMOS	72
Tabela 3.8: Resultados de simulação para transistores PMOS	72
Figura 3.1: Estágio de entrada convencional	73
Figura 3.2: Estágio de entrada <i>folded-cascode</i>	73
Figura 3.3: Estágio de entrada <i>rail-to-rail</i> básico.....	74
Figura 3.4: Estágio de entrada <i>rail-to-rail</i> com estágios <i>folded-cascode</i> isolados	75
Figura 3.5: Estágio de entrada <i>rail-to-rail</i> com fonte de corrente flutuante	75
Figura 3.6: Estágio de entrada <i>rail-to-rail</i> para baixa tensão de alimentação	76
Figura 3.7: Estágio de saída <i>rail-to-rail</i> em classe AB.....	77
Figura 3.8: Topologia do amplificador operacional <i>rail-to-rail</i>	78
Figura 3.9: Estágio de entrada <i>rail-to-rail</i>	79
Figura 3.10: Estágio de saída <i>rail-to-rail</i>	82
Figura 3.11: Principais capacitâncias do amplificador operacional <i>rail-to-rail</i>	84
Figura 3.12: Compensação Miller com resistor	87
Figura 3.13: Compensação <i>cascode</i> -Miller com resistor.....	90
Figura 3.14: Polarização do estágio de entrada.....	96
Figura 3.15: Polarização da fonte de corrente flutuante.....	100
Figura 3.16: Polarização do estágio de saída	101
Figura 3.17: Compensação Miller com transistores PMOS.....	113
Figura 3.18: Circuitos de polarização.....	114
Tabela 3.9: Dimensões calculadas para o amplificador operacional <i>rail-to-rail</i>	116
Tabela 3.10: Desempenho calculado para o amplificador operacional <i>rail-to-rail</i>	117
Tabela 3.11: Dimensões para o amplificador operacional <i>rail-to-rail</i>	118
Figura 3.19: Resposta em frequência do amp-op em malha aberta.....	119
Figura 3.20: Pólos e zeros do amp-op em malha aberta.....	119
Figura 3.21: Resposta em frequência do amp-op em malha aberta.....	120
Figura 3.22: Pólos e zeros do amp-op em malha aberta.....	120
Figura 3.23: Resposta em frequência do amp-op realimentado.....	121
Figura 3.24: Pólos e zeros do amp-op realimentado.....	121
Figura 3.25: Simulação da excursão de saída	122
Figura 3.26: Procedimento de medida para <i>slew rate</i>	122
Figura 3.27: Simulação do <i>slew rate</i>	122

Figura 3.28: Simulação do tempo de estabilização	123
Tabela 3.12: Desempenho simulado para o amplificador operacional <i>rail-to-rail</i>	123
Tabela 3.13: Pinagem do encapsulamento.....	125
Figura 3.29: Fotomicrografia do circuito integrado completo.....	125
Figura 3.30: Fotomicrografia dos <i>pads</i> do circuito integrado.....	126
Figura 3.31: Fotomicrografia dos amplificadores operacionais	126
Figura 3.32: Medida dos resistores.....	127
Tabela 3.14: Medida dos resistores	127
Tabela 3.15: Medida dos capacitores	128
Figura 3.33: Medida da excursão de saída	129
Figura 3.34: Procedimento de medida para excursão de entrada.....	129
Figura 3.35: Medida da excursão de entrada.....	130
Figura 3.36: Medida da tensão de <i>offset</i>	131
Figura 3.37: Procedimento de medida para <i>slew rate</i>	131
Figura 3.38: Medida do <i>slew rate</i> para amp-op com compensação passiva	132
Figura 3.39: Medida do <i>slew rate</i> para amp-op com compensação ativa.....	132
Figura 3.40: Medida do tempo de estabilização	133
Figura 3.41: Resposta em frequência do amp-op realimentado.....	133
Tabela 3.16: Desempenho medido para o amplificador operacional <i>rail-to-rail</i>	134

1 INTRODUÇÃO

Com a evolução da indústria de semicondutores, é crescente o interesse pela classe de circuitos integrados *mixed-mode* [1]-[3], que incorporam circuitos digitais e analógicos em um mesmo substrato. Por razões econômicas, geralmente os circuitos analógicos precisam adequar-se aos processos desenvolvidos basicamente para circuitos digitais [4].

Acompanhando esta tendência, este trabalho trata do projeto de amplificadores operacionais (amp-ops) em tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*), a mais utilizada em circuitos digitais [5], [6]. O tema é discutido através do projeto de dois amplificadores com características e especificações distintas. O primeiro, abordado no capítulo 2, é o amplificador operacional canônico com compensação interna de frequência do tipo Miller, presente em toda literatura de eletrônica de semicondutores e que serviu principalmente como veículo de aprendizado. O tema central deste trabalho é introduzido no capítulo 3 com o projeto de um amplificador operacional *rail-to-rail*, cuja característica principal é a ampla excursão dos sinais de entrada e saída entre os extremos da tensão de alimentação.

Os dois amplificadores projetados apresentam baixa tensão de alimentação, no caso 3 Volts, pois atualmente a maioria dos circuitos digitais opera na faixa de 2,7V a 3,3V [7]. Ambos foram dimensionados para operar com uma carga externa de $10\text{k}\Omega$ em paralelo com 10pF .

Para o amplificador operacional canônico, as especificações incluem ainda ganho mínimo de malha aberta de 60dB para baixas frequências e frequência de ganho unitário de 4MHz. As especificações do amp-op *rail-to-rail* são mais exigentes e incluem ganho mínimo de malha aberta de 80dB para baixas frequências e frequência de ganho unitário de 10MHz.

O amp-op canônico foi fabricado em tecnologia CMOS de $0,8\mu\text{m}$ da AMS e ocupa uma área de $0,04\text{mm}^2$. O consumo de corrente com entrada nula é de apenas $70\mu\text{A}$. Já o amp-op *rail-to-rail*, fabricado em tecnologia CMOS de $0,6\mu\text{m}$ da AMS, ocupa uma área de $0,31\text{mm}^2$ e consome uma corrente de $150\mu\text{A}$.

1.1 O Universo Atual dos Amplificadores Operacionais

As características mínimas de todo amplificador operacional são [8], [9], [10]:

- 1) uma entrada diferencial em tensão de alta impedância
- 2) uma saída referida ao terra em tensão de baixa impedância
- 3) alto ganho de tensão

Este ganho, que varia desde 10^3 até 10^6 , normalmente inviabiliza sua operação em malha aberta pois a saída atinge os terminais de alimentação mesmo quando a entrada diferencial é reduzida (da ordem milivolts ou mesmo microvolts). Contudo, quando um segundo circuito é conectado entre a saída e a entrada inversora, o alto ganho do amp-op produz um circuito realimentado cujo ganho depende apenas da malha de realimentação [8]. Esta propriedade do amp-op realimentado torna-o extremamente versátil e, por isso, tão importante para o universo analógico, tanto em aplicações lineares quanto em não-lineares.

O comportamento do amplificador operacional, segundo as três propriedades citadas acima, é válido respeitando-se uma série de condições, visto que o amp-op sofre de limitações assim como todo circuito eletrônico. Portanto, o desempenho real do amplificador operacional é avaliado por um extenso conjunto de propriedades, que incluem:

- ganho em malha aberta
- frequência de ganho unitário
- *slew rate*
- tempo de estabilização
- excursão do sinal de entrada
- excursão do sinal de saída
- tensão de alimentação mínima
- consumo de corrente quiescente
- tensão de *offset* na entrada
- relação sinal-ruído
- rejeição a ruído das fontes de alimentação
- rejeição à tensão de modo-comum na entrada

Tais propriedades derivam da estrutura interna adotada para o amplificador operacional e, dependendo dela, estão mutuamente relacionadas por meio de variáveis internas ao amp-op. Em alguns casos, uma mesma variável interna faz com que tais propriedades sejam inversamente proporcionais, caracterizando uma relação de perda e ganho entre elas. Portanto, aprimorar uma determinada característica geralmente implica em degradar outras. A impossibilidade de

concentrar todas as propriedades ótimas em um único amplificador operacional fez com que surgissem diferentes classes de amp-ops, onde cada classe preocupa-se em otimizar uma propriedade específica em detrimento das demais. A indústria de semicondutores normalmente classifica os amplificadores operacionais segundo as categorias abaixo:

- amp-ops de uso geral
- amp-ops de banda larga
- amp-ops de baixa tensão de alimentação
- amp-ops de baixo consumo
- amp-ops com excursão *rail-to-rail* nas entradas e na saída
- amp-ops de baixo ruído
- amp-ops com baixa tensão de *offset*
- amp-ops de potência

Os amp-ops de uso geral são aqueles que, apesar de apresentarem características de desempenho apenas satisfatórias, são adequados a uma ampla gama de aplicações devido ao seu baixo custo.

A classe dos amplificadores operacionais de banda larga concentra aqueles que possuem a mais alta frequência de operação, alcançando a ordem de GHz. Apresentam também excelente *slew rate*. Entretanto, o preço a pagar é um elevado consumo de corrente.

A categoria dos amp-ops de baixa tensão de alimentação tem por objetivo acompanhar a redução na tensão de alimentação dos circuitos integrados digitais e assim manter viável a existência de circuitos integrados *mixed-mode*, nos quais tanto o circuito digital quanto o analógico são implementados em um mesmo substrato.

Os amp-ops de baixo consumo são semelhantes aos amp-ops de baixa tensão quanto ao seu desempenho, tanto que amp-ops de baixa tensão geralmente são de baixo consumo. Entretanto, existem aqueles cuja característica principal é minimizar primeiramente o consumo e assim adequar-se aos circuitos de baixa potência, normalmente alimentados por pilha ou bateria e que armazenam quantidade limitada de energia. Em compensação, a baixa corrente de polarização de seus transistores internos não só eleva sua tensão de ruído como reduz significativamente sua banda de frequência.

Outra propriedade que tornou-se importante em função da redução na tensão de alimentação é a excursão *rail-to-rail* dos sinais de entrada e saída. Como a excursão de um amp-op, tanto na entrada quanto na saída, é limitada pela tensão de alimentação, amp-ops *rail-to-rail* são os mais indicados em circuitos de baixa tensão pois aproveitam toda a excursão disponível.

A categoria de amplificadores operacionais que apresentam baixa tensão de ruído é voltada

para aplicações que exigem alta precisão, como circuitos de instrumentação e aplicações militares. Contudo, a tensão de alimentação precisa ser relativamente alta para garantir boa relação sinal-ruído.

Outra classe voltada para circuitos de precisão compreende os amp-ops com baixa tensão de *offset* na entrada e são os mais adequados para circuitos de conversão analógica-digital ou digital-analógica.

Finalmente, tem-se a categoria dos amplificadores operacionais de potência, que oferece alta corrente na saída. Sua utilização ocorre normalmente em circuitos eletrônicos cuja tensão de saída precisa acionar algum dispositivo elétrico ou elétrico-mecânico, como uma lâmpada ou motor DC.

Para ilustrar a variação de desempenho entre as diferentes classes de amp-op, um dos líderes mundiais no mercado de circuitos integrados analógicos foi consultado. Selecionando os melhores amplificadores operacionais de cada categoria, suas principais características foram reunidas em uma mesma tabela (Tabela 1.1). Desta forma, pode-se visualizar a relação de perda e ganho entre as propriedades do amp-op. Existem ainda amplificadores operacionais especiais, como um amp-op cuja característica primária é o elevado *slew rate* ($4100\text{V}/\mu\text{s}$), superando inclusive amp-ops de banda larga. Por fim, existem aqueles que buscam otimizar múltiplas propriedades, como o amp-op de entrada e saída *rail-to-rail* que atinge uma banda de 75MHz com tensão de alimentação de apenas 2,7V.

Tabela 1.1: Comparação dos amp-ops de um mesmo fabricante

Parâmetro \ Classe	Uso Geral	Banda Larga	Baixa Alimentação	Baixo Consumo	Excursão Rail-to-Rail	Baixo Ruído	Baixo Offset	Alta Potência
Banda (MHz)	1	1900	0,05	0,01	1	33	6	0,7
<i>Slew Rate</i> (V/ μ s)	0,5	350	0,2	0,041	0,45	-	5	9
Tensão de Alimentação Mínima (V)	10	5	1,1	1,8	1,5	8	4,75	15
Corrente de Alimentação Máxima (mA)	2,8	18	0,4	0,0012	0,21	11	1	120
Excursão Rail-to-Rail	Não	Não	Saída	Saída	Entrada Saída	Não	Saída	Não
Tensão de ruído (nV/ \sqrt Hz)	30	1,05	50	170	45	0,58	85	60
Tensão de <i>Offset</i> Máxima (mV)	3	0,8	2	3	6	-	0,04	15
Corrente de Saída Típica (mA)	25	90	20	0,9	75	45	6	13000

1.2 Modelamento do Transistor MOS

A estrutura interna de amplificadores operacionais integrados em tecnologia CMOS é composta quase que exclusivamente por transistores MOS, uma vez que as tecnologias de fabricação atualmente disponíveis atingem alto grau de miniaturização para as dimensões de transistores mas não o fazem com a mesma eficiência para componentes passivos como resistores e capacitores. Conseqüentemente, o estudo de amplificadores operacionais consiste

basicamente na análise de transistores MOS.

Esta seção portanto apresenta as equações e a nomenclatura das variáveis adotadas pelo autor para o modelamento de transistores MOS de canal N e canal P [11] e que serão utilizadas ao longo de todo este trabalho.

A Figura 1.1a ilustra um transistor NMOS e as tensões entre seus quatro terminais: dreno (D de *drain*), porta (G de *gate*), fonte (S de *source*) e corpo (B de *body*). De forma análoga, a Figura 1.1b apresenta um transistor PMOS. Em ambos os transistores, o referencial de tensão adotado é o terminal de fonte (S).



Figura 1.1: Transistor MOS

Para sinais de baixa amplitude, tanto o transistor NMOS quanto o PMOS são substituídos pelo modelo de fontes de corrente controladas por tensão (Figura 1.2), amplamente adotado pela literatura de eletrônica de semicondutores [8]. Apesar deste modelo estar incompleto, pois não considera capacitâncias intrínsecas e extrínsecas entre os quatro terminais do transistor, ele é ideal para sinais de baixa frequência.

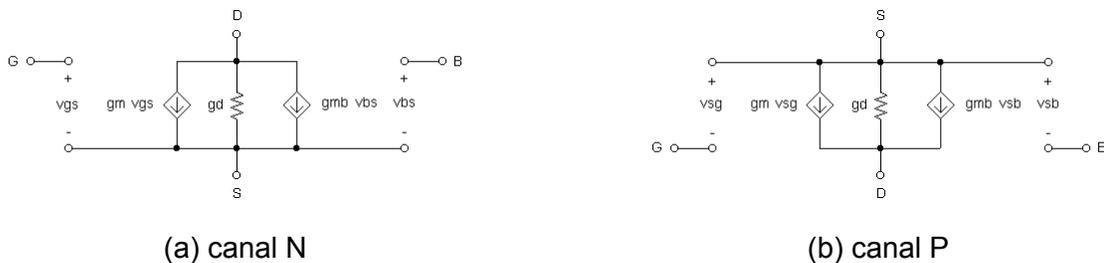


Figura 1.2: Modelo para pequenos sinais do transistor MOS

A polarização do transistor NMOS na região linear [11] é definida como

$$I_{DN} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_N}{L_N} \cdot (2 \cdot (V_{GS} - V_{TN}) - V_{DS}) \cdot V_{DS} \quad (1.1)$$

onde

I_{DN} : corrente **entrando** pelo dreno

μ_N : mobilidade de elétrons

C_{OX} : capacitância por área do terminal de porta

W_N : largura do canal N

L_N : comprimento do canal N

V_{TN} : tensão de *threshold* para transistores NMOS

Na região de saturação [11], sua polarização passa a ser

$$I_{DN} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_N}{L_N} \cdot (V_{GS} - V_{TN})^2 \cdot (1 + \lambda_N \cdot V_{DS}) \quad (1.2)$$

onde

λ_N : parâmetro de efeito de modulação de canal para transistores NMOS

A influência da tensão fonte-corpo (V_{SB}) na polarização do transistor NMOS é dada por

$$V_{TN} = V_{TON} + \gamma_N \cdot \left(\sqrt{|2 \cdot \phi_{FN}| + V_{SB}} - \sqrt{|2 \cdot \phi_{FN}|} \right) \quad (1.3)$$

onde

V_{TON} : tensão de *threshold* para transistores NMOS quando a tensão fonte-corpo é nula

γ_N : fator de corpo para transistores NMOS

ϕ_{FN} : potencial de Fermi para transistores NMOS

O potencial de Fermi ϕ_{FN} é um parâmetro proporcional à dopagem do corpo P segundo a equação

$$\phi_{FN} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{n_i}{N_A} \right) \quad (1.4)$$

onde

k : constante de Boltzmann

T : temperatura

q : carga do elétron

n_i : concentração de portadores do silício intrínseco

N_A : concentração de átomos aceitadores do silício dopado do tipo P

Os parâmetros incrementais do transistor NMOS (Figura 1.2a) na região linear podem ser expressos como

$$g_m = \mu_N \cdot C_{OX} \cdot \frac{W_N}{L_N} \cdot V_{DS} , \quad (1.5)$$

$$g_d = \mu_N \cdot C_{OX} \cdot \frac{W_N}{L_N} \cdot (V_{GS} - V_{TN} - V_{DS}), \quad (1.6)$$

$$g_{mb} = g_m \cdot \left(\frac{\gamma_N}{2 \cdot \sqrt{|2 \cdot \phi_{FN}| + V_{SB}}} \right). \quad (1.7)$$

Para a região de saturação, os mesmos parâmetros são dados por

$$g_m = \frac{2 \cdot I_{DN}}{(V_{GS} - V_{TN})}, \quad (1.8)$$

$$g_d = \frac{I_{DN}}{\left(\frac{1}{\lambda_N} + V_{DS} \right)}, \quad (1.9)$$

$$g_{mb} = g_m \cdot \left(\frac{\gamma_N}{2 \cdot \sqrt{|2 \cdot \phi_{FN}| + V_{SB}}} \right). \quad (1.10)$$

As equações (1.8), (1.9) e (1.10) são muito úteis pois relacionam os parâmetros incrementais do transistor com sua polarização sem a necessidade de definir suas dimensões.

O modelamento do transistor PMOS é semelhante ao modelamento do transistor NMOS. A polarização do transistor PMOS na região linear é dada por

$$I_{DP} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_P}{L_P} \cdot (2 \cdot (V_{SG} - V_{TP}) - V_{SD}) \cdot V_{SD} \quad (1.11)$$

onde

I_{DP} : corrente **saindo** pelo dreno

μ_P : mobilidade de lacunas

W_P : largura do canal P

L_P : comprimento do canal P

V_{TP} : tensão de *threshold* para transistores PMOS

Na região de saturação, sua polarização passa a ser

$$I_{DP} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_P}{L_P} \cdot (V_{SG} - V_{TP})^2 \cdot (1 + \lambda_P \cdot V_{SD}) \quad (1.12)$$

onde

λ_P : parâmetro de efeito de modulação de canal para transistores PMOS

A relação entre a tensão de *threshold* e a tensão corpo-fonte (V_{BS}) do transistor PMOS é

$$V_{TP} = V_{TOP} + \gamma_P \cdot \left(\sqrt{|2 \cdot \phi_{FP}| + V_{BS}} - \sqrt{|2 \cdot \phi_{FP}|} \right) \quad (1.13)$$

onde

V_{TOP} : tensão de *threshold* para transistores PMOS quando a tensão corpo-fonte é nula

γ_P : fator de corpo para transistores PMOS

ϕ_{FP} : potencial de Fermi para transistores PMOS

O potencial de Fermi ϕ_{FP} é proporcional à dopagem do corpo N segundo a equação

$$\phi_{FP} = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_D}{n_i}\right) \quad (1.14)$$

onde

N_D : concentração de átomos doadores do silício dopado do tipo N

Para a região linear, os parâmetros incrementais do transistor PMOS (Figura 1.2b) são

$$g_m = \mu_P \cdot C_{OX} \cdot \frac{W_P}{L_P} \cdot V_{SD}, \quad (1.15)$$

$$g_d = \mu_P \cdot C_{OX} \cdot \frac{W_P}{L_P} \cdot (V_{SG} - V_{TP} - V_{SD}), \quad (1.16)$$

$$g_{mb} = g_m \cdot \left(\frac{\gamma_P}{2 \cdot \sqrt{|2 \cdot \phi_{FP}| + V_{BS}}} \right). \quad (1.17)$$

Para a região de saturação, os mesmos parâmetros são dados por

$$g_m = \frac{2 \cdot I_{DP}}{(V_{SG} - V_{TP})}, \quad (1.18)$$

$$g_d = \frac{I_{DP}}{\left(\frac{1}{\lambda_P} + V_{SD} \right)}, \quad (1.19)$$

$$g_{mb} = g_m \cdot \left(\frac{\gamma_P}{2 \cdot \sqrt{|2 \cdot \phi_{FP}| + V_{BS}}} \right). \quad (1.20)$$

2 O AMPLIFICADOR OPERACIONAL CANÔNICO

O projeto de amplificadores operacionais integrados em tecnologia CMOS iniciou-se a partir do amplificador canônico. O termo “canônico” deriva do fato do amp-op possuir uma estrutura interna simples, contendo apenas blocos funcionais que garantem as características mínimas de todo amplificador operacional, conforme a seção 1.1. Diversas outras características inerentes ao amp-op, como *slew rate*, tempo de estabilização, excursão do sinal de entrada, excursão do sinal de saída, rejeição ao modo-comum do sinal de entrada, rejeição ao ruído das fontes de alimentação, etc, são relegadas a segundo plano, visto que aprimorar muitas destas características necessitaria de uma estrutura interna mais complexa.

A seção 2.4 apresenta uma análise qualitativa de sua estrutura interna (seção 2.3) com o objetivo de relacionar os parâmetros internos do amplificador às suas características de desempenho. Com base nesta análise, a segunda fase do estudo consiste no projeto do amplificador, descrito na seção 2.5. Tal projeto utiliza-se das características de um processo de fabricação pré-estabelecido, apresentado na seção 2.2, e busca atingir metas mínimas de desempenho, especificadas na seção 2.1. Ao fim do projeto, o desempenho do amp-op é avaliado através de simulação, cujos resultados são apresentados na seção 2.6. Quando da fabricação do amplificador operacional (seção 2.7), a seção 2.8 relata a caracterização do circuito integrado por meio de medidas em bancada. Finalmente, na seção 2.9 avalia-se de forma geral o trabalho desenvolvido sobre o amplificador operacional canônico, confrontando os resultados experimentais com as especificações, o método de projeto e os resultados de simulação.

2.1 Especificações de Projeto

Para o projeto do amplificador operacional canônico, as metas de desempenho a serem atingidas são apresentadas na Tabela 2.1 e constituem as especificações de projeto.

Tabela 2.1: Especificações do amplificador operacional canônico

1	Tensão de alimentação	3 V
2	Carga externa	resistor de 10 k Ω em paralelo com capacitor de 10 pF
3	Ganho DC mínimo em malha aberta	60 dB (1000 V/V)
4	Frequência de ganho unitário	4 MHz
5	Par diferencial de entrada	transistores de canal P
6	Estágio de saída	transistores em configuração <i>source-follower</i>

2.2 O Processo de Fabricação

Diversas constantes que integram o modelamento dos transistores (seção 1.2) são dependentes da tecnologia de fabricação de circuitos integrados. Portanto, esta seção apresenta o processo de fabricação escolhido para a implementação do amplificador operacional canônico, destacando apenas as constantes necessárias para o projeto de transistores, resistores e capacitores.

O processo CMOS adotado - **0,8 μ m CYE** da Austria Mikro Systeme (AMS) [12], [13] - dispõe de um substrato do tipo P e poços isolados do tipo N, permitindo a implementação de transistores PMOS com corpo independente e transistores NMOS com corpo comum (o substrato). O processo oferece ainda duas camadas de silício policristalino, o que possibilita implementar resistores e capacitores de alta linearidade, além de duas camadas de metalização. As principais características do processo são apresentadas na Tabela 2.2.

Tabela 2.2: Características gerais do processo CYE

Tensão de alimentação máxima	$V_{DDMÁX}$	5,5 V
Comprimento de canal mínimo	$L_{MÍN}$	0,8 μ m
Largura de canal mínima	$W_{MÍN}$	2,0 μ m
Capacitância por área do óxido de porta	C_{OX}	2,16 fF/ μ m ²
Dopagem do substrato P	N_A	74·10 ¹⁵ /cm ³
Dopagem do poço N	N_D	28·10 ¹⁵ /cm ³

Circuitos analógicos normalmente utilizam transistores com comprimento de canal um pouco maior que o comprimento mínimo da tecnologia [14], para que estes sejam menos sensíveis às imprecisões do processo de fabricação. Portanto, para o projeto do amp-op canônico, optou-se por transistores com comprimento de canal mínimo de **2 μ m**. Como a dimensão mínima para o *layout* de circuitos na tecnologia CYE é de 0,05 μ m [13], a precisão adotada para as dimensões dos

transistores foi de $\pm 0,1\mu\text{m}$.

A Tabela 2.3 contém os parâmetros de processo para transistores de canal N.

Tabela 2.3: Características do transistor NMOS

Mobilidade de elétrons	μ_N	463 $\text{cm}^2/(\text{V}\cdot\text{s})$
Tensão de <i>threshold</i>	V_{TON}	0,87 V
Fator de corpo	γ_N	0,73 $\text{V}^{1/2}$
Fator de modulação de canal	λ_N	1 / 30,8 V^{-1}

Já os parâmetros do processo CYE para transistores de canal P constam na Tabela 2.4.

Tabela 2.4: Características do transistor PMOS

Mobilidade de lacunas	μ_P	167 $\text{cm}^2/(\text{V}\cdot\text{s})$
Tensão de <i>threshold</i>	V_{TOP}	0,78 V
Fator de corpo	γ_P	0,45 $\text{V}^{1/2}$
Fator de modulação de canal	λ_P	1 / 35,6 V^{-1}

A Tabela 2.5 apresenta os parâmetros de processo necessários ao projeto de resistores utilizando a primeira ou a segunda camada de silício policristalino (*poly1* ou *poly2*).

Tabela 2.5: Características de resistores de silício policristalino

Resistência por quadrado (<i>poly1</i>)	R_{POLY1}	23 Ω
Largura mínima (<i>poly1</i>)	-	0,8 μm
Resistência por quadrado (<i>poly2</i>)	R_{POLY2}	27 Ω
Largura mínima (<i>poly2</i>)	-	1,6 μm

Por fim, tem-se na Tabela 2.6 os parâmetros de processo para capacitores de silício policristalino, implementados através da superposição das camadas *poly1* e *poly2*.

Tabela 2.6: Características do capacitor de silício policristalino

Capacitância por área	C_A	1,77 $\text{fF}/\mu\text{m}^2$
Capacitância por perímetro	C_P	0,20 $\text{fF}/\mu\text{m}$

É importante ressaltar que o parâmetro de modulação de canal λ_N não é definido pelas especificações da AMS. Já a tensão de *threshold* V_{TN} , apesar de constar nas especificações da AMS, varia significativamente em função das dimensões do terminal de porta [12]. Decidiu-se então extrair os valores de λ_N e V_{TN} por meio de simulações.

Tais simulações foram realizadas segundo a Figura 2.1 e utilizando o arquivo **cmos15tm** [12], fornecido pela própria AMS e que contém os parâmetros típicos de simulação para transistores NMOS e PMOS referentes ao processo CYE.

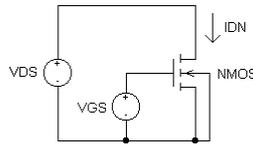


Figura 2.1: Extração de parâmetros do transistor NMOS por simulação

Mantendo a tensão porta-fonte (V_{GS}) constante, realiza-se uma varredura DC da tensão dreno-fonte (V_{DS}) enquanto a corrente de dreno (I_{DN}) é medida. Observando a curva $V_{DS} \times I_{DN}$ (Figura 2.2), nota-se que ela aproxima-se de uma reta quando o transistor atinge a saturação [11].

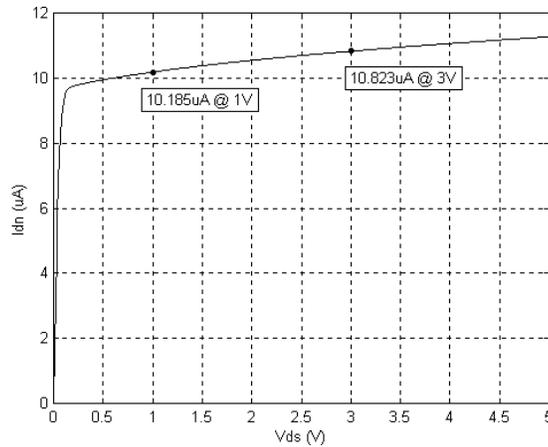


Figura 2.2: Simulação de um transistor NMOS

O parâmetro $1/\lambda_N$ é obtido extrapolando-se esta reta até seu cruzamento com o eixo das abscissas. Para isso, basta escolher dois pontos $P(V_{DS1}, I_{DN1})$ e $P(V_{DS2}, I_{DN2})$ contidos nesta faixa linear e aplicar a fórmula

$$-\frac{1}{\lambda_N} = \frac{I_{DN2} \cdot V_{GS1} - I_{DN1} \cdot V_{GS2}}{I_{DN2} - I_{DN1}} \quad (2.1)$$

A partir do parâmetro λ_N e da equação (1.2), que descreve a polarização de um transistor NMOS na região de saturação, calcula-se a tensão de *threshold* V_{TN} .

Este procedimento foi repetido para diferentes larguras de porta do transistor, resultando nos valores da Tabela 2.7.

Tabela 2.7: Resultados de simulações para transistores NMOS

W (μm)	L (μm)	V_{TON} (V)	λ_{N} (V^{-1})
2	2	0,8888	1 / 30,775
5	2	0,8685	1 / 30,790
10	2	0,8624	1 / 30,785
20	2	0,8594	1 / 30,828
60	2	0,8575	1 / 30,782
100	2	0,8571	1 / 30,793

Os parâmetros λ_P e V_{TOP} do transistor PMOS foram obtidos a partir de simulação utilizando um procedimento análogo ao descrito para o transistor NMOS. Os resultados estão contidos na Tabela 2.8.

Tabela 2.8: Resultados de simulações para transistores PMOS

W (μm)	L (μm)	V_{TOP} (V)	λ_P (V^{-1})
2	2	0,8294	1 / 35,571
5	2	0,7931	1 / 35,624
10	2	0,7805	1 / 35,655
20	2	0,7751	1 / 35,646
60	2	0,7716	1 / 35,636
100	2	0,7709	1 / 35,651

2.3 A Topologia Adotada

A estrutura interna do amplificador operacional canônico compreende três estágios e é apresentada na Figura 2.3. Esta estrutura utiliza o maior número possível de transistores PMOS pois a tecnologia CYE (seção 2.2) não dispõe de transistores NMOS com corpo isolado.

Os transistores M1-M5 compõem o primeiro estágio do amplificador operacional: o estágio de entrada. Conforme item 5 das especificações (Tabela 2.1), o par diferencial de entrada é composto por transistores PMOS (M2 e M3). Os transistores M6 e M7 constituem o segundo estágio, também chamado de estágio intermediário. Por fim, os transistores M8 e M9 completam o amp-op formando o estágio de saída em configuração *source-follower*, de acordo com o item 6 das especificações de projeto (Tabela 2.1). A finalidade e as características de cada um destes estágios serão analisadas em detalhes na seção 2.4.

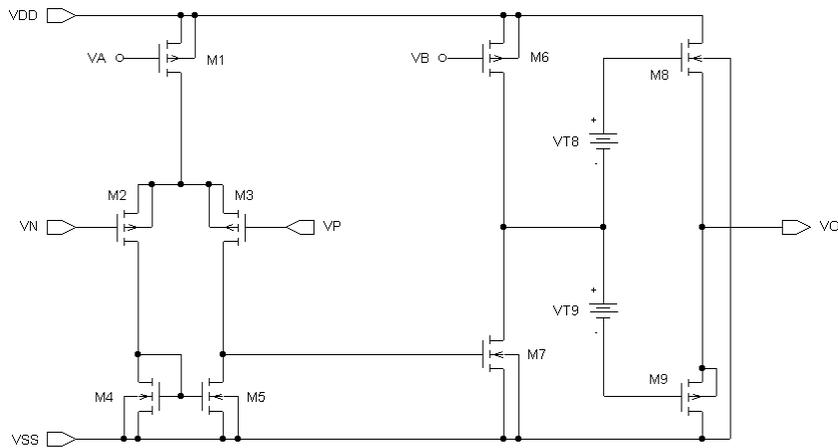


Figura 2.3: Topologia do amplificador operacional canônico

2.4 Análise do Amplificador Operacional Canônico

A análise do amplificador operacional canônico é importante pois relaciona sua estrutura interna com suas características de desempenho.

Para iniciar a análise, considera-se que todos os transistores estão polarizados na região de saturação. Assim, a corrente quiescente que flui pelos transistores torna-se menos sensível à tensão entre dreno e fonte. Além disso, na região de saturação o transistor MOS possui transcondutância g_m máxima enquanto a condutância g_d é mínima [11]. Com isso, eleva-se o ganho do primeiro e segundo estágios.

2.4.1 Estágio de Entrada

O estágio de entrada, apresentado na Figura 2.4, é o primeiro estágio do amplificador operacional canônico e constitui-se dos transistores M1, M2, M3, M4 e M5. Sua finalidade principal é prover uma entrada diferencial de tensão em alta impedância. Esta alta impedância de entrada é importante para a amostragem de sinais em tensão. O estágio de entrada contribui ainda para o ganho de malha aberta do amp-op.

Observando a Figura 2.4, pode-se identificar os três blocos funcionais do estágio:

- 1) o par diferencial de entrada, constituído pelos transistores PMOS M2 e M3
- 2) a fonte de corrente, constituída pelo transistor PMOS M1
- 3) o espelho de corrente, composto pelos transistores NMOS M4 e M5

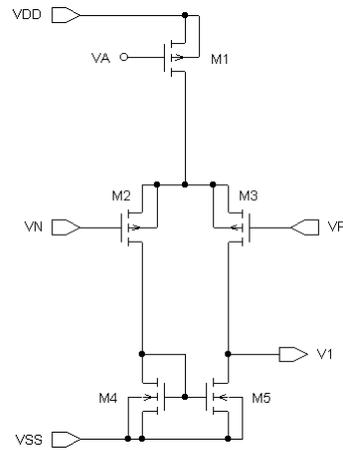


Figura 2.4: Estágio de entrada

O par diferencial de entrada é o elemento mais importante deste estágio pois ele é responsável pela entrada diferencial de tensão em alta impedância. Além disso, ele é a principal causa de tensão aleatória de *offset* em amplificadores operacionais [2], um problema que afeta significativamente seu comportamento. A função da fonte de corrente é polarizar o par diferencial de entrada enquanto o espelho de corrente converte a tensão diferencial de entrada em uma saída de tensão referida ao terra.

O ganho incremental de baixa frequência entre a entrada e a saída do primeiro estágio é obtido a partir da análise em pequenos sinais. Para isso, os parâmetros incrementais de cada transistor são adicionados ao circuito conforme a Figura 1.2. Para simplificar o equacionamento do circuito, algumas idealidades são consideradas. A primeira delas admite que a fonte de corrente M1 possui impedância de saída infinita,

$$g_{d1} = 0. \quad (2.2)$$

Outra consideração diz respeito ao par diferencial de entrada, admitindo que os transistores M2 e M3 são idênticos,

$$g_{m2} = g_{m3}, \quad (2.3)$$

$$g_{d2} = g_{d3}. \quad (2.4)$$

Por fim, os transistores M4 e M5, que compõem o espelho de corrente, também são considerados perfeitamente casados,

$$g_{m4} = g_{m5}, \quad (2.5)$$

$$g_{d4} = g_{d5}. \quad (2.6)$$

Analisando o circuito com todas estas idealidades e considerando que g_m predomina sobre

g_d , o ganho do estágio de entrada aproxima-se de

$$\frac{V_1}{V_P - V_N} \approx -\frac{g_{m3}}{g_{d3} + g_{d5}}. \quad (2.7)$$

2.4.2 Estágio Intermediário

Já foi mencionado que a finalidade do estágio de entrada é prover uma entrada diferencial de tensão em alta impedância e convertê-la em uma saída de tensão referida ao terra. Neste processo de conversão, o estágio de entrada introduz um ganho entre sua saída e suas entradas. Entretanto, tal ganho não é elevado o suficiente. Conseqüentemente, o amplificador operacional canônico possui um segundo estágio com o objetivo de amplificar a saída do primeiro estágio e, por isso, é comumente chamado de estágio de ganho.

O estágio intermediário, apresentado na Figura 2.5, é um amplificador de tensão constituído por um único transistor NMOS (M7) em configuração fonte-comum [9]. Um transistor PMOS (M6) desempenha a função de uma fonte de corrente para polarizar o transistor M7 e que, em pequenos sinais, opera como uma carga de alta impedância associada ao dreno do transistor M7.

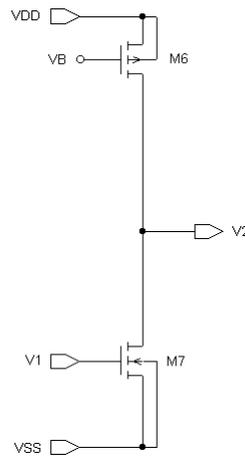


Figura 2.5: Estágio de ganho

A análise do segundo estágio para pequenos sinais resulta na equação de ganho

$$\frac{V_2}{V_1} = -\frac{g_{m7}}{g_{d6} + g_{d7}}. \quad (2.8)$$

Comparando as equações (2.7) e (2.8), nota-se que o ganho do primeiro e segundo estágios são muito semelhantes. Entretanto, o segundo estágio amplifica a saída do primeiro estágio seja ela produzida por uma tensão diferencial na entrada ou pela tensão de *offset*, conseqüência do descasamento de transistores no primeiro estágio. Por esta razão é preciso minimizar o

descasamento do par diferencial de entrada.

O cascadeamento do primeiro com o segundo estágios resulta num ganho total

$$\frac{V_2}{V_P - V_N} = A_{v1} \cdot A_{v2} = \frac{g_{m3}}{g_{d3} + g_{d5}} \cdot \frac{g_{m7}}{g_{d6} + g_{d7}}. \quad (2.9)$$

2.4.3 Estágio de Saída

Apesar da entrada diferencial de tensão em alta impedância e do alto ganho em malha aberta obtidos com os dois primeiros estágios, a presença da carga externa na saída do segundo estágio reduziria significativamente seu ganho. Além disso, a capacidade do segundo estágio de **fornecer** corrente à carga não é simétrica à sua capacidade de **absorver** corrente, uma vez que os transistores PMOS e NMOS neste estágio possuem funções distintas. Com a inclusão do estágio de saída, o amplificador operacional canônico adquire grande capacidade tanto de fornecer quanto de absorver corrente da carga enquanto preserva seu alto ganho em malha aberta.

O estágio de saída é composto por um par de transistores complementares M8 e M9 em configuração dreno-comum [9], conforme o item 6 das especificações (Tabela 2.1). A Figura 2.6 inclui também a carga externa resistiva de condutância G_L associada em paralelo a uma carga capacitiva C_L , conforme item 2 das especificações (Tabela 2.1). As fontes ideais de tensão V_{T8} e V_{T9} polarizam o estágio de saída em classe AB para reduzir a distorção na saída causada pelo efeito de *crossover* [9].

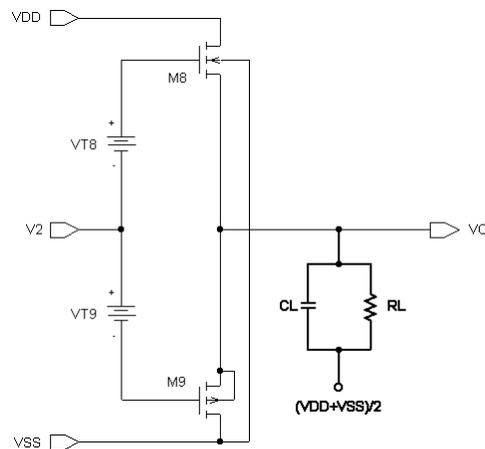


Figura 2.6: Estágio de saída *follower*

A análise para pequenos sinais deste estágio só é válida quando a amplitude da tensão de saída for incremental, pois assim garante-se que os parâmetros incrementais dos transistores permanecem constantes. Portanto, a análise é realizada considerando-se que ambos os

transistores estão polarizados na região de saturação e que suas correntes de polarização são idênticas. Considerando apenas a carga externa resistiva g_L , o ganho de tensão deste estágio é definido por

$$\frac{V_O}{V_2} = \frac{g_{m8} + g_{m9}}{g_{m8} + g_{mb8} + g_{m9} + g_{d8} + g_{d9} + g_L}. \quad (2.10)$$

Como g_m predomina sobre os demais parâmetros, conclui-se que o ganho aproxima-se de

$$\frac{V_O}{V_2} \approx 1. \quad (2.11)$$

Por isso este estágio é também chamado de seguidor de fonte (*source-follower*).

Uma característica importante neste estágio é o fato do transistor NMOS sofrer efeito de corpo, uma vez que sua tensão fonte-corpo (V_{SB}) não é nula. Sua tensão de *threshold* é dada por

$$V_{T8} = V_{TON} + \gamma_N \cdot \left(\sqrt{|2 \cdot \phi_{FN}| + V_O - V_{SS}} - \sqrt{|2 \cdot \phi_{FN}|} \right). \quad (2.12)$$

Os parâmetros V_{TON} e γ_N referentes ao processo CYE da AMS estão definidos na Tabela 2.3. O potencial de Fermi ϕ_{FN} é dado pela equação (1.4), onde todas as constantes são universais exceto a dopagem do substrato (N_A), definida para o processo CYE pela Tabela 2.2.

Por (2.12) nota-se que o efeito de corpo é agravado pelo fato deste não ser constante mas proporcional à V_O , como mostra a Figura 2.7.

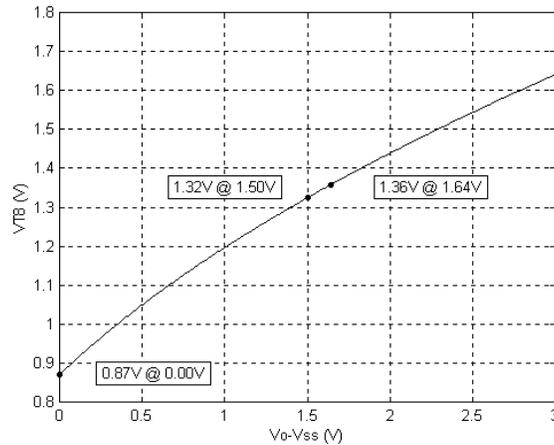


Figura 2.7: Tensão de *threshold* do transistor M8

A curva $(V_O - V_{SS}) \times V_{T8}$ destaca três pontos principais:

- 1) $V_{SB} = 0V$
- 2) $V_{SB} = 1,5V$

$$3) V_{SB} = 1,64V$$

O primeiro caso corresponde ao ponto em que a tensão V_{SB} é nula e, como esperado, encontra-se $V_{T8}=V_{TON}=0,87V$. O segundo caso refere-se ao ponto em que o estágio de saída passa do ciclo negativo de operação para o ciclo positivo. É neste ponto que o transistor NMOS começa a fornecer corrente à carga. Portanto, a curva não é importante para valores de tensão V_{SB} menores que 1,5V pois o transistor NMOS está cortado. A tensão de *threshold* neste caso (1,32V) define o valor da fonte de tensão V_{T8} para que não haja distorção na saída por *crossover*. O último caso corresponde à tensão de saída máxima (1,64V). Neste ponto, a tensão de *threshold* é tal (1,36V) que a tensão de entrada V_2 atinge seu valor máximo,

$$V_2 = V_{T8} + V_O - V_{SS} = 1,36 + 1,64 = 3V = V_{DD}. \quad (2.13)$$

Conclui-se que o efeito de corpo sobre o transistor M8 inutiliza por completo o estágio de saída *source-follower*. Enquanto no ciclo negativo de operação a saída excursions entre 0,82V e 1,5V, durante o ciclo positivo o efeito de corpo limita a excursão da saída à estreita faixa de 1,5V a 1,64V. Não há outra alternativa a não ser desconsiderar o item 6 das especificações (Tabela 2.1) e adotar outra topologia para o estágio de saída.

2.4.4 Estágio de Saída *Rail-to-Rail*

Uma vez que o estágio de saída em configuração *source-follower* não é adequado para a tecnologia de fabricação escolhida para o amplificador operacional canônico, uma configuração alternativa foi adotada: o estágio de saída *rail-to-rail*. Esta configuração, apresentada na Figura 2.8, também é muito utilizada em amplificadores operacionais [9].

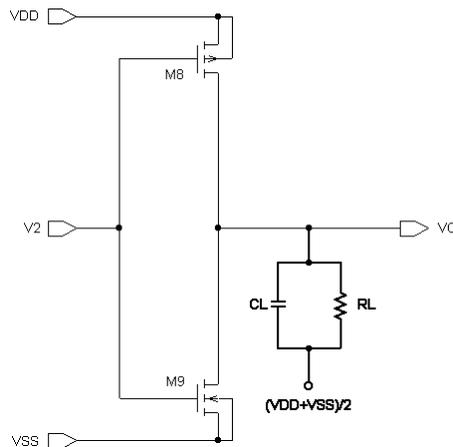


Figura 2.8: Estágio de saída *rail-to-rail*

Este estágio consiste de dois transistores complementares M8 e M9 em configuração fonte-

comum e apresenta uma série de vantagens em relação ao estágio *source-follower*. A principal delas é que o transistor NMOS não sofre efeito de corpo e portanto não há qualquer restrição quanto à sua utilização no amplificador operacional canônico. Outra característica importante é a excursão do sinal de saída (V_O) mais ampla, visto que nesta configuração a saída não cai de um V_T em relação à entrada (V_2) como no caso anterior. Através de um projeto adequado, a excursão de saída pode atingir praticamente ambos os terminais de alimentação, V_{DD} e V_{SS} , e por esta razão este estágio é chamado *rail-to-rail*. Além disso, seu ganho pode ser definido para valores superiores a 1, enquanto o ganho do estágio *source-follower* não ultrapassa 1. Por fim, como o estágio é polarizado em classe A, as fontes ideais de tensão V_{T8} e V_{T9} não são necessárias, simplificando a estrutura interna do amp-op.

Por outro lado, este estágio apresenta impedância de saída maior que no caso anterior. A associação desta impedância com a carga externa resulta em um pólo cuja frequência é menor que no caso anterior e pode degradar a banda de frequência do amplificador. Outra característica negativa deriva do fato do estágio estar polarizado em classe A e não mais em classe AB, o que aumenta o consumo de corrente do amp-op.

Considerando apenas a carga externa resistiva, a análise para pequenos sinais do novo estágio de saída resulta em um ganho de tensão dado por

$$\frac{V_O}{V_2} = -\frac{g_{m8} + g_{m9}}{g_{d8} + g_{d9} + g_L} \quad (2.14)$$

Entretanto, a equação de ganho (2.14) só é válida para sinais de baixa amplitude na saída, pelos mesmos motivos discutidos na seção 2.4.3. Para se estabelecer os limites da excursão de saída, é preciso fazer uma análise de grandes sinais.

Quando a tensão de saída é máxima, a tensão fonte-dreno do transistor PMOS (V_{SD8}) é suficientemente pequena a ponto do transistor sair da região de saturação e entrar na região linear. Nesta condição, sua corrente de dreno é dada por

$$I_{D8MÁX} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_8}{L_8} \cdot (2 \cdot (V_{SG8MÁX} - V_{T8}) - V_{SD8MÍN}) \cdot V_{SD8MÍN} \quad (2.15)$$

onde

$$V_{SG8MÁX} = V_{DD} - V_{4MÍN} , \quad (2.16)$$

$$V_{SD8MÍN} = V_{DD} - V_{OMÁX} . \quad (2.17)$$

Como a mesma corrente flui pela carga, tem-se

$$I_{D8MÁX} = G_L \cdot \left(V_{OMÁX} - \frac{V_{DD} + V_{SS}}{2} \right). \quad (2.18)$$

Pelas equações (2.15) e (2.18) conclui-se que, para aumentar a excursão positiva da saída, deve-se aumentar a corrente de dreno do transistor M8. Isto é possível principalmente através do aumento da relação W_8/L_8 do transistor. Entretanto, isto implica em aumentar a corrente de polarização do transistor quando a entrada do amp-op for nula. Caracteriza-se então um compromisso entre excursão de saída e consumo quiescente do estágio.

No ciclo negativo de operação, o raciocínio é análogo. A tensão de saída mínima

$$I_{D9MÁX} = G_L \cdot \left(\frac{V_{DD} + V_{SS}}{2} - V_{OMÍN} \right) \quad (2.19)$$

é definida pela corrente máxima através do transistor NMOS,

$$I_{D9MÁX} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_9}{L_9} \cdot \left(2 \cdot (V_{GS9MÁX} - V_{T9}) - V_{DS9MÍN} \right) \cdot V_{DS9MÍN} \quad (2.20)$$

onde

$$V_{GS9MÁX} = V_{4MÁX} - V_{SS}, \quad (2.21)$$

$$V_{DS9MÍN} = V_{OMÍN} - V_{SS}. \quad (2.22)$$

2.4.5 Estrutura Interna Alternativa

Por (2.14) nota-se que o ganho do estágio *rail-to-rail* é inversor, ao contrário do estágio *source-follower*. Portanto, deve-se inverter também a polaridade das entradas do amp-op. Estas alterações resultam em uma estrutura interna para o amplificador operacional canônico diferente da estrutura adotada até então (Figura 2.3). A Figura 2.9 apresenta esta outra topologia, destacando as diferenças em relação à topologia anterior.

Pela inversão de polaridade das entradas do amp-op, o ganho de tensão do primeiro estágio passa a ser

$$\frac{V_1}{V_P - V_N} = \frac{g_{m3}}{g_{d3} + g_{d5}}. \quad (2.23)$$

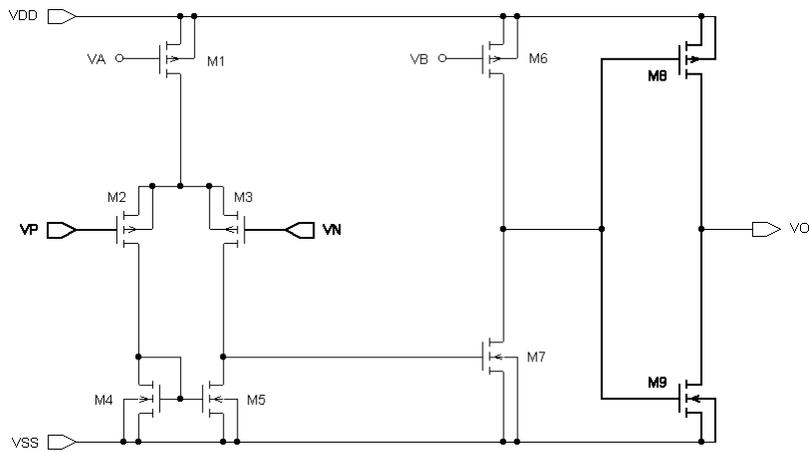


Figura 2.9: Topologia alternativa do amplificador operacional canônico

2.4.6 Ganho de Malha Aberta

O ganho de tensão em malha aberta do amplificador operacional canônico resulta do simples cascadeamento de seus três estágios,

$$\frac{V_O}{V_P - V_N} = A_{V1} \cdot A_{V2} \cdot A_{V3} = \frac{g_{m3}}{g_{d3} + g_{d5}} \cdot \frac{g_{m7}}{g_{d6} + g_{d7}} \cdot \frac{g_{m8} + g_{m9}}{g_{d8} + g_{d9} + g_L} \quad (2.24)$$

A equação (2.24), só é válida para sinais de baixa amplitude e de baixa frequência. A condição de baixa amplitude para o sinal diferencial de entrada é necessária para evitar o efeito de *slew rate*, causado pela limitação de corrente do primeiro estágio. Já a condição de baixa amplitude para o sinal de saída é necessária para que os parâmetros incrementais dos transistores de saída mantenham-se constantes (seção 2.4.4). A restrição quanto a sinais de alta frequência resulta da presença de capacitâncias no circuito que afetam o ganho por meio de pólos e zeros. Além da carga capacitiva, definida pelas especificações de projeto (Tabela 2.1), o circuito sofre a influência de capacitâncias intrínsecas e extrínsecas dos transistores MOS [11].

2.4.7 Compensação em Frequência

Para que o amplificador operacional canônico seja estável em toda sua banda de frequência, ou seja, para que a fase seja sempre menor que 180° , o circuito precisa ser internamente compensado em frequência.

A técnica de compensação mais empregada em amp-ops CMOS é conhecida como compensação Miller com resistor [15]. Esta técnica utiliza nada mais que um capacitor e um resistor, que não aumentam o consumo de corrente do amp-op nem requer que a topologia seja alterada.

Entretanto, resistores integrados em silício policristalino ocupam uma área demasiadamente grande, limitando em muito sua utilização. Uma forma de substituir resistores em circuitos integrados dá-se pelo uso de transistores MOS polarizados na região linear de operação [9]. O desempenho de resistores ativos é pior que de resistores passivos, uma vez que a resistência de canal em transistores MOS não é perfeitamente linear em relação à tensão dreno-fonte (V_{DS}). Além disso, a resistência de canal depende das tensões V_{GS} e V_T , tornando-a sensível a ruído e à temperatura. Contudo, a grande redução da área do circuito integrado pelo uso de resistores ativos justifica sua utilização em algumas aplicações.

No amplificador operacional canônico, a utilização de um resistor na malha de compensação não afeta sua polarização nem seu ganho de malha aberta. Portanto, o resistor pode ser implementado por um transistor PMOS sem qualquer perda no desempenho do circuito. Partindo da topologia adotada na seção 2.4.5, a Figura 2.10 apresenta o modelo para pequenos sinais do amp-op canônico, com a malha de compensação acoplada ao segundo estágio e as capacitâncias mais importantes para sua resposta em frequência.

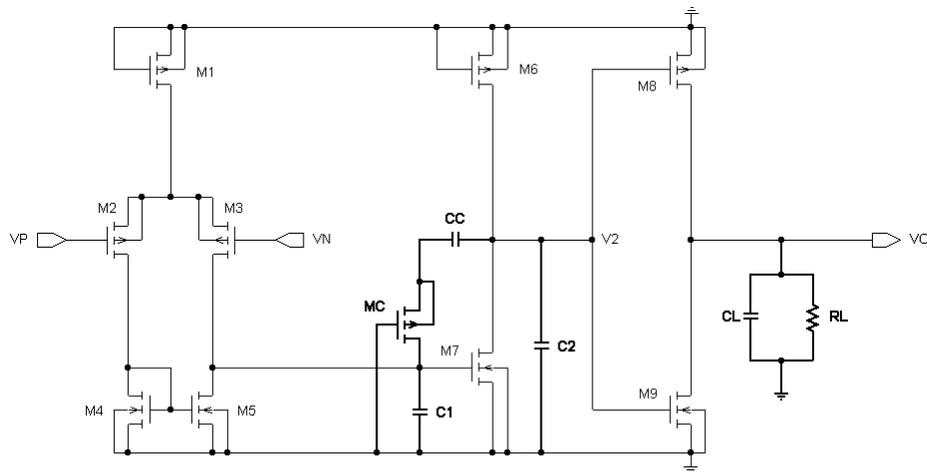


Figura 2.10: Compensação Miller com resistor

C_1 e C_2 representam as capacitâncias parasitas associadas aos pontos de maior impedância do circuito pois delas resultam os polos de menor frequência. C_1 corresponde à capacitância entre os terminais de porta e fonte do transistor M7 (C_{GS7}) enquanto C_2 resulta da associação em paralelo das capacitâncias entre porta e fonte dos transistores M8 e M9 ($C_{GS8} + C_{GS9}$). As demais capacitâncias intrínsecas e extrínsecas de cada transistor foram desconsideradas pois tornam a análise em frequência do amp-op demasiadamente complexa apesar de não contribuir significativamente para sua banda de frequência.

Através do *software* Sspice, obteve-se uma análise simbólica da estrutura apresentada na Figura 2.10. Como seus resultados são demasiadamente extensos, o *software* Mathematica foi utilizado para realizar uma simplificação matemática da análise simbólica. Assim, a resposta em

freqüência altas do primeiro e segundo estágios é dada por

$$\frac{V_2}{V_P - V_N} = - \frac{a_1 \cdot s + a_0}{b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0} \quad (2.25)$$

Considerando que g_c representa a condutância de canal do transistor M_c e que g_m predomina sobre g_d , os coeficientes da equação (2.25) podem ser aproximados por

$$a_0 \approx g_{m3} \cdot g_{m7} \cdot g_c, \quad (2.26)$$

$$a_1 \approx C_c \cdot g_{m3} \cdot (g_{m7} - g_c), \quad (2.27)$$

$$b_0 \approx (g_{d3} + g_{d5}) \cdot (g_{d6} + g_{d7}) \cdot g_c, \quad (2.28)$$

$$b_1 \approx C_c \cdot [(g_{d3} + g_{d5}) \cdot (g_{d6} + g_{d7}) + g_{m7} \cdot g_c] + (C_1 + C_c) \cdot (g_{d6} + g_{d7}) \cdot g_c + (C_2 + C_c) \cdot (g_{d3} + g_{d5}) \cdot g_c, \quad (2.29)$$

$$b_2 \approx C_2 \cdot C_c \cdot (g_{d3} + g_{d5} + g_c) + C_1 \cdot C_c \cdot (g_{d6} + g_{d7} + g_c) + C_1 \cdot C_2 \cdot g_c, \quad (2.30)$$

$$b_3 \approx C_1 \cdot C_2 \cdot C_c. \quad (2.31)$$

O zero da equação (2.25) é dado por

$$w_z = - \frac{a_0}{a_1} = \frac{1}{C_c \cdot \left(\frac{1}{g_{m7}} - \frac{1}{g_c} \right)}. \quad (2.32)$$

Para o cálculo dos pólos da equação (2.25), deve-se encontrar as raízes de seu denominador

$$D(s) = b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0. \quad (2.33)$$

Considera-se que o polinômio possui três raízes reais e negativas: w_{P1} , w_{P2} e w_{P3} . Se a raiz w_{P3} for muito maior que as demais enquanto a raiz w_{P2} é muito maior que w_{P1} , pode-se aproximar o polinômio segundo

$$D(s) = (s + w_{P3}) \cdot (s + w_{P2}) \cdot (s + w_{P1}) \approx s^3 + w_{P3} \cdot s^2 + w_{P3} \cdot w_{P2} \cdot s + w_{P3} \cdot w_{P2} \cdot w_{P1}. \quad (2.34)$$

Igualando as equações (2.33) e (2.34), as raízes definem-se então por

$$w_{P1} \approx - \frac{b_0}{b_1}, \quad (2.35)$$

$$w_{P2} \approx - \frac{b_1}{b_2}, \quad (2.36)$$

$$w_{P3} \approx -\frac{b_2}{b_3}. \quad (2.37)$$

Substituindo (2.28) e (2.29) em (2.35), obtém-se a equação do primeiro pólo,

$$w_{P1} = -\frac{1}{\left[C_1 + C_C \cdot \left(1 + \frac{g_{m7}}{g_{d6} + g_{d7}} \right) \right] \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) + (C_2 + C_C) \cdot \left(\frac{1}{g_{d6} + g_{d7}} \right) + C_C \cdot \frac{1}{g_C}}. \quad (2.38)$$

Admitindo que os parâmetros g_{m7} , g_C e C_C predominam sobre os demais, o pólo aproxima-se de

$$w_{P1} \approx -\frac{1}{C_C \cdot (-A_{v2}) \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right)}. \quad (2.39)$$

Por (2.39) observa-se que o capacitor de compensação, conectado entre os terminais de entrada e saída do segundo estágio, foi projetado para sua entrada multiplicado pelo seu ganho, caracterizando o efeito Miller [16].

O segundo pólo resulta da substituição das equações (2.29) e (2.30) em (2.36),

$$w_{P2} = -\frac{C_C \cdot [(g_{d3} + g_{d5}) \cdot (g_{d6} + g_{d7}) + g_{m7} \cdot g_C] + (C_1 + C_C) \cdot (g_{d6} + g_{d7}) \cdot g_C + (C_2 + C_C) \cdot (g_{d3} + g_{d5}) \cdot g_C}{C_2 \cdot C_C \cdot (g_{d3} + g_{d5} + g_C) + C_1 \cdot C_C \cdot (g_{d6} + g_{d7} + g_C) + C_1 \cdot C_2 \cdot g_C}. \quad (2.40)$$

Sabendo que os parâmetros g_{m7} , g_C e C_C são predominantes, a equação (2.40) aproxima-se de

$$w_{P2} \approx -\frac{1}{(C_1 + C_2) \cdot \frac{1}{g_{m7}}}. \quad (2.41)$$

Por fim, o terceiro pólo da equação (2.25) obtém-se substituindo (2.30) e (2.31) em (2.37),

$$w_{P3} = -\frac{C_2 \cdot C_C \cdot (g_{d3} + g_{d5} + g_C) + C_1 \cdot C_C \cdot (g_{d6} + g_{d7} + g_C) + C_1 \cdot C_2 \cdot g_C}{C_1 \cdot C_2 \cdot C_C}. \quad (2.42)$$

Como C_C e g_C predominam sobre os demais parâmetros, o pólo aproxima-se de

$$w_{P3} \approx -\frac{1}{\left(\frac{C_1 \cdot C_2}{C_1 + C_2} \right) \cdot \frac{1}{g_C}}. \quad (2.43)$$

O capacitor de carga C_L , apesar de ser um componente externo ao amp-op, quando

associado ao resistor de carga R_L e à impedância de saída do terceiro estágio, define um quarto pólo que pode afetar significativamente sua resposta em freqüência. A resposta em altas freqüências do estágio de saída fica então definida pela equação (2.44), cujo pólo é dado pela equação (2.45).

$$\frac{V_O}{V_2} = \frac{g_{m8} + g_{m9}}{g_{d8} + g_{d9} + g_L + s \cdot C_L} \quad (2.44)$$

$$W_{PL} = - \frac{1}{C_L \cdot \left(\frac{1}{g_{d8} + g_{d9} + g_L} \right)} \quad (2.45)$$

Com base nas equações (2.32), (2.39), (2.41), (2.43) e (2.45), conclui-se que o amplificador operacional canônico com compensação interna do tipo Miller com resistor apresenta um zero (w_z) e quatro pólos (w_{P1} , w_{P2} , w_{P3} e w_{PL}).

As equações (2.39) e (2.41) justificam porque esta técnica de compensação é tão empregada: pelo acréscimo de um único capacitor, o primeiro pólo do amp-op é deslocado para baixas freqüências e torna-se o pólo dominante. A partir deste pólo, o ganho de malha aberta passa a decair a uma taxa de -20dB por década. Além disso, devido ao alto ganho do segundo estágio, a capacitância de compensação é reduzida a ponto dela ser facilmente implementada por um capacitor integrado. Soma-se ainda o fato do segundo pólo ser deslocado para altas freqüências, além da banda de freqüência do amp-op.

Entretanto, a compensação Miller introduz um zero no semi-plano direito das freqüências, que degrada a margem de fase do amp-op [17]. A equação (2.32) demonstra que a freqüência deste zero depende diretamente da transcondutância g_m do transistor M7. Apesar deste zero ser desconsiderado em amplificadores operacionais integrados em tecnologia bipolar devido à alta transcondutância dos transistores bipolares [18], a baixa transcondutância de transistores MOS [2] torna a presença deste zero problemática. Por esta razão a malha de compensação contém um resistor: quando a condutância do resistor se aproxima da transcondutância do transistor M7, o zero tende a infinito, eliminando seu efeito sobre a resposta em freqüência do amp-op. Esta técnica permite ainda deslocar o zero para o semi-plano esquerdo das freqüências com a redução da condutância do resistor abaixo da transcondutância g_{m7} . Isto permite cancelar pólos reais negativos que estejam limitando a banda de freqüência do amp-op.

Contudo, algumas considerações devem ser observadas. Um resistor de valor elevado permite que o zero seja posicionado no eixo negativo das freqüências mas também desloca o pólo w_{P3} para baixas freqüências. Portanto, o resistor deve ser dimensionado de forma adequada para garantir que o pólo w_{P3} predomine sobre os demais. Caso contrário, todas as aproximações

consideradas anteriormente não se aplicam.

2.4.8 Freqüência de Ganho Unitário

Uma vez determinados os pólos e zeros do amplificador operacional canônico, sua relação com a freqüência de ganho unitário e a margem de fase serão analisadas. Esta seção trata da freqüência de ganho unitário enquanto a margem de fase será discutida na seção 2.4.9.

Para simplificar a análise da freqüência de ganho unitário do amp-op, considera-se que sua resposta em freqüência apresenta apenas um único pólo, o pólo dominante w_D ,

$$A(s) = \frac{A_{DC}}{1 + \frac{s}{w_D}} \quad (2.46)$$

onde

A_{DC} : ganho de malha aberta do amp-op, conforme equação (2.24)

Na freqüência de ganho unitário, tem-se

$$|A(s)| = 1, \quad (2.47)$$

$$s = j \cdot w_{0dB}. \quad (2.48)$$

Pelo sistema de equações (2.46), (2.47) e (2.48) obtém-se a relação

$$w_{0dB} = w_D \cdot \sqrt{A_{DC}^2 - 1}. \quad (2.49)$$

Como o ganho de malha aberta A_{DC} é muito maior que 1, a equação (2.49) pode ser aproximada por

$$w_{0dB} \approx w_D \cdot A_{DC}. \quad (2.50)$$

Considerando que o amp-op possui compensação Miller com resistor (seção 2.4.7), o pólo dominante w_D é descrito por (2.39). Assim, pelo sistema de equações (2.23), (2.24), (2.39) e (2.50) obtém-se

$$w_{0dB} = \frac{g_{m3}}{C_C} \cdot A_{V3}. \quad (2.51)$$

Por (2.51) conclui-se que a freqüência de ganho unitário é função do capacitor de compensação, da transcondutância do par diferencial de entrada e do ganho do terceiro estágio.

É importante ressaltar que a equação (2.51) aplica-se a um sistema com apenas um pólo. Contudo, amplificadores operacionais com alto ganho de malha aberta e apenas um pólo não são

apreciados pois sua margem de fase é 90° , invariavelmente. E como a margem de fase está relacionada com o tempo de estabilização do amp-op [10], grandes margens de fase apresentam tempos de estabilização mais longos [19], [20].

Na prática, o amplificador operacional canônico apresenta, além do pólo dominante, um zero e outros três pólos, todos de alta frequência (seção 2.4.7). São estes pólos de alta frequência que garantem sua margem de fase. Em contrapartida, degradam a frequência de ganho unitário, deslocando-a para frequências mais baixas. O efeito de pólos de alta frequência pode ser observado na Figura 2.11.

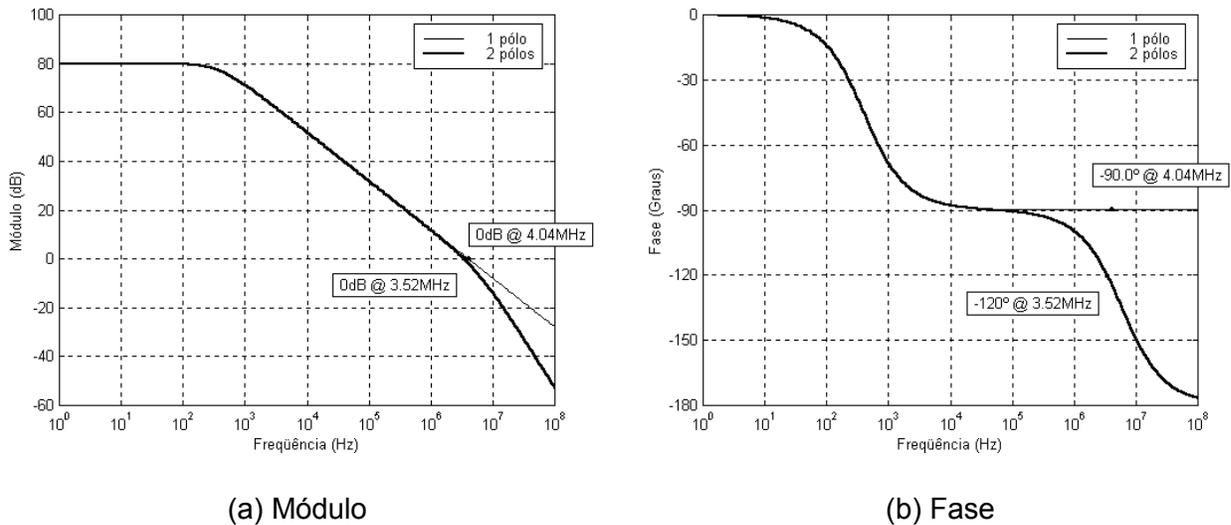


Figura 2.11: Diagrama de Bode de circuitos com um e dois pólos

A Figura 2.11 apresenta o diagrama de Bode de dois amplificadores operacionais hipotéticos *A* e *B*. Ambos apresentam ganho de malha aberta de 80dB e pólo dominante em 400Hz. A diferença entre eles reside no fato que o amp-op *A* possui apenas o pólo dominante enquanto o amp-op *B* possui um segundo pólo em 6MHz. No gráfico de módulo (Figura 2.11a), observa-se que o amp-op *A* apresenta uma frequência de ganho unitário de 4MHz, ao passo que o segundo pólo do amp-op *B* reduz sua banda para 3,5MHz. Já o gráfico de fase (Figura 2.11b) demonstra a melhora na margem de fase do amp-op *B* devido ao segundo pólo: a margem de fase cai de 90° para 60° .

Conclui-se então que a equação (2.51), apesar de não expressar com exatidão a banda de frequência de amplificadores operacionais com mais de um pólo, define claramente um limite mínimo de transcondutância e um limite máximo de capacitância para obter-se a banda desejada.

2.4.9 Margem de Fase

Na seção 2.4.8 a frequência de ganho unitário do amplificador operacional canônico foi definida com base em um modelo simplificado do circuito, no qual apenas o pólo dominante foi considerado. Já a análise da margem de fase contida nesta seção utiliza o modelo completo do amp-op. Tal modelo considera que o amp-op com compensação Miller com resistor possui dois pólos e um zero,

$$A(s) = \frac{A_{DC} \cdot \left(1 + \frac{s}{W_Z}\right)}{\left(1 + \frac{s}{W_D}\right) \cdot \left(1 + \frac{s}{W_2}\right)}. \quad (2.52)$$

Considera-se que o terceiro e quarto pólos presentes na resposta em frequência foram deslocados para muito além da frequência de ganho unitário, de forma que são descartados da equação (2.52). Sua margem de fase é definida como

$$MF = 180^\circ + \angle A_{0dB} \quad (2.53)$$

onde

$$\angle A_{0dB} = \arctan \left[\frac{A_{DC} \cdot \left(1 + \frac{s}{W_Z}\right)}{\left(1 + \frac{s}{W_D}\right) \cdot \left(1 + \frac{s}{W_2}\right)} \right], \quad (2.54)$$

$$s = j \cdot W_{0dB}. \quad (2.55)$$

Como a frequência de ganho unitário W_{0dB} é muito maior que a frequência do pólo dominante, o sistema de equações (2.53), (2.54) e (2.55) resulta na relação

$$MF \approx 90^\circ + \arctan \left[\frac{W_{0dB} \cdot (W_2 - W_Z)}{W_{0dB}^2 + W_2 \cdot W_Z} \right]. \quad (2.56)$$

Considerando que o segundo pólo foi previamente estabelecido em uma etapa anterior de projeto, é possível relacionar a posição do zero com a margem de fase desejada,

$$W_Z = W_{0dB} \cdot \left\{ \frac{W_2 - W_{0dB} \cdot \tan[MF - 90^\circ]}{W_{0dB} + W_2 \cdot \tan[MF - 90^\circ]} \right\}. \quad (2.57)$$

2.5 Projeto do Amplificador Operacional Canônico

A partir da análise da estrutura interna do amplificador operacional canônico, realizada na seção 2.4, esta seção descreve todo o procedimento de projeto a fim de atingir as especificações definidas na seção 2.1.

2.5.1 Primeiro Estágio

O projeto do amplificador operacional canônico iniciou-se pelo primeiro estágio, definindo seu ganho de tensão e a excursão do sinal de entrada.

Dada a tensão de alimentação de **3V** (Tabela 2.1) e considerando que a tensão de modo-comum na entrada do circuito é **1,5V** (metade da tensão de alimentação), as tensões de polarização do primeiro estágio são definidas conforme a Figura 2.12.

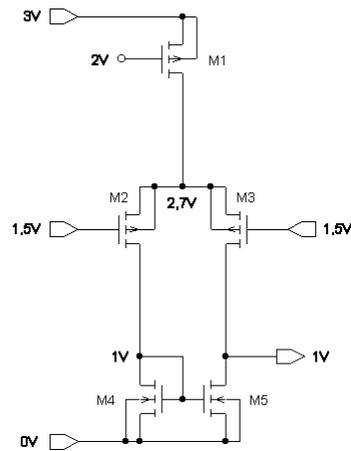


Figura 2.12: Polarização do estágio de entrada

A fonte de corrente M1 foi polarizada com baixa tensão fonte-dreno para aumentar a excursão positiva do sinal de entrada, uma vez que a tensão de entrada máxima na porta dos transistores M2 e M3 é limitada pela tensão de *threshold* do par diferencial (V_{TP}) e pela tensão fonte-dreno de saturação da fonte de corrente (V_{SD1SAT}).

Dado que

$$V_{SD1SAT} = V_{SG1} - V_{T1}, \quad (2.58)$$

conclui-se que a tensão V_{SG1} deve ser reduzida. Sendo assim, a tensão fonte-porta (V_{SG1}) foi escolhida como **1V**, próxima de V_{TP} mas acrescida de uma margem de segurança, de modo que pequenas variações no valor nominal de V_{TP} , causadas por imprecisões no processo de fabricação, não influenciem significativamente a polarização do transistor. A equação (2.58) resulta então em

$$V_{SDISAT} = 1 - 0,78 = 0,22V . \quad (2.59)$$

E assim foi adotada uma tensão V_{DS1} de **0,3V**. Da mesma forma, o transistor M4 do espelho de corrente foi polarizado com baixa tensão porta-fonte (V_{GS4}). Assim aumenta-se a excursão negativa do sinal de entrada, visto que a tensão de entrada mínima na porta do transistor M2 é limitada pela sua tensão fonte-dreno de saturação (V_{SD2SAT}) e pela tensão de *threshold* do transistor M4 (V_{T4}). No caso do transistor M3, sua tensão de entrada mínima é limitada pela tensão dreno-fonte de saturação do transistor M5 (V_{DS5SAT}) e não pela sua tensão de *threshold*. Entretanto, para eliminar tensão de *offset* na saída do primeiro estágio (V_1), os parâmetros incrementais g_m e g_d dos transistores M2 e M3 devem ser idênticos. Recorrendo à equação (1.18), constata-se que g_{m2} e g_{m3} são iguais se

$$I_{D2} = I_{D3} , \quad (2.60)$$

$$V_{SG2} = V_{SG3} , \quad (2.61)$$

$$V_{T2} = V_{T3} . \quad (2.62)$$

Quanto a g_{d2} e g_{d3} , a equação (1.19) exige que

$$I_{D2} = I_{D3} , \quad (2.63)$$

$$V_{SD2} = V_{SD3} . \quad (2.64)$$

Portanto, para eliminar *offset* sistemático do primeiro estágio, faz-se

$$V_{DS5} = V_{DS4} = V_{GS4} . \quad (2.65)$$

Sendo assim, a tensão fonte-porta (V_{GS4}) foi escolhida como **1V**, próxima de V_{TN} mas acrescida de uma margem de segurança.

A partir das tensões definidas acima, as tensões de polarização do par diferencial são calculadas,

$$V_{SG2} = V_{SG3} = 2,7 - 1,5 = \mathbf{1,2V} , \quad (2.66)$$

$$V_{SD2} = V_{SD3} = 2,7 - 1 = \mathbf{1,7V} . \quad (2.67)$$

Pode-se então calcular o ganho de tensão do estágio diferencial de entrada, dado pela equação (2.23). Considerando que os parâmetros g_m e g_d são definidos segundo as equações (1.8) e (1.9) para transistores NMOS e (1.18) e (1.19) para transistores PMOS, a equação (2.23) passa a ser

$$\frac{v_i}{v_P - v_N} = \frac{\left(\frac{2 \cdot I_{D3}}{V_{SG3} - V_{T3}} \right)}{\left(\frac{I_{D3}}{\frac{1}{\lambda_P} + V_{SD3}} \right) + \left(\frac{I_{D5}}{\frac{1}{\lambda_N} + V_{DS5}} \right)}. \quad (2.68)$$

Como as correntes de dreno dos transistores M3 e M5 são idênticas, o ganho do primeiro estágio é dado por

$$\frac{v_i}{v_P - v_N} = \frac{\left(\frac{2}{V_{SG3} - V_{T3}} \right)}{\left(\frac{1}{\frac{1}{\lambda_P} + V_{SD3}} \right) + \left(\frac{1}{\frac{1}{\lambda_N} + V_{DS5}} \right)}. \quad (2.69)$$

Por (2.69) nota-se que o ganho é inversamente proporcional às tensões V_{SG3} , V_{SD3} e V_{DS5} . Entretanto, o termo $1/\lambda$ é uma ou duas ordens de grandeza maior que V_{DS} tanto para transistores NMOS quanto para PMOS. Portanto, o ganho é determinado principalmente pela tensão fonte-porta do par diferencial de entrada. Ou seja, quanto menor a tensão V_{SG3} , maior o ganho.

Caracteriza-se então um compromisso entre ganho e excursão. Para aumentar o ganho do primeiro estágio, deve-se reduzir as tensões de polarização do par diferencial de entrada M2-M3 (V_{SD} e principalmente V_{SG}). Por outro lado, indiretamente as tensões de polarização da fonte de corrente M1 e do espelho de corrente M4-M5 são elevadas, reduzindo a excursão do sinal de entrada. O autor deu prioridade à excursão de entrada, com a justificativa de que uma redução no ganho do primeiro estágio pode ser compensada pelo segundo estágio, cuja função no amplificador operacional é justamente prover alto ganho de tensão.

A partir das tensões de polarização definidas na Figura 2.12, calcula-se o ganho do primeiro estágio,

$$\frac{v_i}{v_P - v_N} = \frac{\left(\frac{2}{1,2 - V_{T3}} \right)}{\left(\frac{1}{\frac{1}{\lambda_P} + 1,7} \right) + \left(\frac{1}{\frac{1}{\lambda_N} + 1} \right)} = 81,74 \text{ V/V}. \quad (2.70)$$

2.5.2 Segundo Estágio

A Figura 2.13 apresenta as tensões de polarização definidas para o segundo estágio do amplificador operacional canônico.

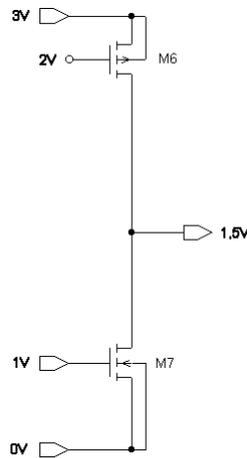


Figura 2.13: Polarização do estágio de ganho

A tensão de porta do transistor M7 foi previamente estabelecida no estágio anterior (seção 2.5.1). A tensão de saída (V_2 na Figura 2.5) foi definida como metade da tensão de alimentação (**1,5V**) a fim de otimizar a excursão da saída do segundo estágio tanto no ciclo positivo quanto no ciclo negativo. Por fim, a tensão fonte-porta da fonte de corrente M6 (V_{SG6}) foi escolhida de forma análoga à fonte de corrente M1, para reduzir a tensão de saturação V_{SD6SAT} e assim aumentar a excursão positiva da tensão V_2 .

Substituindo g_m e g_d no ganho do segundo estágio, equação (2.8), obtém-se

$$\frac{V_2}{V_1} = - \frac{\left(\frac{2 \cdot I_{D7}}{V_{GS7} - V_{T7}} \right)}{\left(\frac{I_{D6}}{\frac{1}{\lambda_P} + V_{SD6}} \right) + \left(\frac{I_{D7}}{\frac{1}{\lambda_N} + V_{DS7}} \right)}. \quad (2.71)$$

Como as correntes de dreno dos transistores M6 e M7 são idênticas, o ganho do segundo estágio reduz-se a

$$\frac{v_2}{v_1} = - \frac{\left(\frac{2}{V_{GS7} - V_{T7}} \right)}{\left(\frac{1}{\frac{1}{\lambda_P} + V_{SD6}} \right) + \left(\frac{1}{\frac{1}{\lambda_N} + V_{DS7}} \right)}. \quad (2.72)$$

De forma análoga ao estágio anterior, o ganho do segundo estágio é definido principalmente pela tensão porta-fonte do transistor M7 (V_{GS7}). Esta tensão foi previamente definida no primeiro estágio, de modo a aumentar a excursão negativa do sinal de entrada. Apesar de provocar uma pequena redução no ganho do primeiro estágio, aumentar a tensão porta-fonte (V_{GS}) do espelho de corrente contribuiu para elevar o ganho do segundo estágio. Assim, o amplificador operacional é capaz de oferecer alto ganho de malha aberta, além de ampla excursão negativa na entrada.

A partir das tensões de polarização definidas na Figura 2.13, o ganho do segundo estágio é

$$\frac{v_2}{v_1} = - \frac{\left(\frac{2}{1 - V_{T7}} \right)}{\left(\frac{1}{\frac{1}{\lambda_P} + 1,5} \right) + \left(\frac{1}{\frac{1}{\lambda_N} + 1,5} \right)} = -265,6 \text{ V/V}. \quad (2.73)$$

2.5.3 Terceiro Estágio

A Figura 2.14 apresenta as tensões de polarização definidas para o estágio de saída do amplificador operacional canônico.

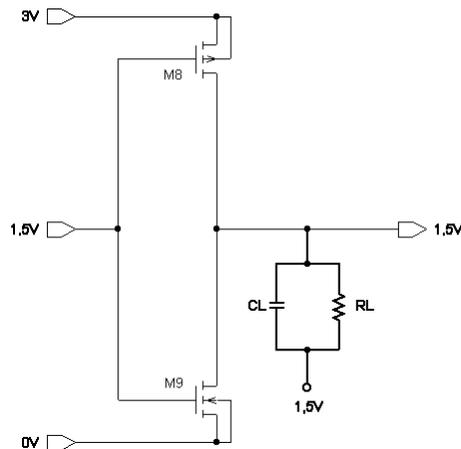


Figura 2.14: Polarização do estágio de saída *rail-to-rail*

A tensão de entrada deste estágio (V_2 na Figura 2.8) foi previamente estabelecida no estágio anterior. A tensão de saída (V_O na Figura 2.8) foi definida como metade da tensão de alimentação (**1,5V**) a fim de otimizar sua excursão tanto no ciclo positivo quanto no ciclo negativo.

Buscando uma situação que ofereça tanto boa excursão de saída quanto baixo consumo, optou-se por uma tensão máxima na saída 0,4V abaixo de V_{DD} , ou seja, **2,6V**. Por (2.18), tal valor resulta em uma corrente máxima de **110 μ A**. Considerando que a saída máxima V_O resulta de uma entrada mínima V_2 de **0V**, pela equação (2.15) calcula-se a relação W/L que garante 110 μ A de corrente de dreno,

$$\frac{W_8}{L_8} = \frac{2 \cdot 110 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (2 \cdot (3 - V_{T8}) - 0,4) \cdot 0,4} = 3,774 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{7,5\mu\text{m}}{2\mu\text{m}}. \quad (2.74)$$

A corrente quiescente do transistor M8, quando a entrada diferencial é nula, é dada por

$$I_{D8Q} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_8}{L_8} \cdot (V_{SG8Q} - V_{T8})^2 \cdot (1 + \lambda_P \cdot V_{SD8Q}) \quad (2.75)$$

onde

$$V_{SG8Q} = V_{DD} - V_{2Q} = 3 - 1,5 = 1,5V, \quad (2.76)$$

$$V_{SD8Q} = V_{DD} - V_{OQ} = 3 - 1,5 = 1,5V. \quad (2.77)$$

Para as dimensões calculadas em (2.74), a corrente quiescente de M8 é

$$I_{D8Q} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{7,5}{2} \cdot (1,5 - V_{T8})^2 \cdot (1 + \lambda_P \cdot 1,5) = 36,54\mu\text{A}, \quad (2.78)$$

apenas 33,22% de seu valor máximo.

Para garantir que a excursão de saída no ciclo negativo seja simétrica ao ciclo positivo, o valor mínimo da saída é de **0,4V**. Por (2.19), a corrente fluindo da carga para o dreno de M9 também é **110 μ A**. Considerando que a saída mínima corresponde a entrada máxima V_2 de **3V**, (2.20) determina as dimensões do transistor NMOS,

$$\frac{W_9}{L_9} = \frac{2 \cdot 110 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (2 \cdot (3 - V_{T9}) - 0,4) \cdot 0,4} = 1,425 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{2,9\mu\text{m}}{2\mu\text{m}}. \quad (2.79)$$

Sua corrente quiescente é dada por

$$I_{D9Q} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_9}{L_9} \cdot (V_{GS9Q} - V_{T9})^2 \cdot (1 + \lambda_N \cdot V_{DS9Q}) \quad (2.80)$$

onde

$$V_{GS9Q} = V_{2Q} - V_{SS} = 1,5 - 0 = 1,5V, \quad (2.81)$$

$$V_{DS9Q} = V_{OQ} - V_{SS} = 1,5 - 0 = 1,5V. \quad (2.82)$$

Para as dimensões calculadas em (2.79), a corrente quiescente de M9 é

$$I_{D9Q} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{2,9}{2} \cdot (1,5 - V_{T9})^2 \cdot (1 + \lambda_N \cdot 1,5) = 30,18\mu A. \quad (2.83)$$

É importante que as correntes quiescentes dos transistores M8 e M9 devem ser idênticas, caso contrário a diferença entre as correntes irá fluir pela carga e produzir tensão de *offset*. Portanto, as dimensões do transistor NMOS são recalculadas de modo que sua corrente seja de **36,54μA** ao invés de 30,18μA,

$$\frac{W_9}{L_9} = \frac{2 \cdot 36,54 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1,5 - V_{T9})^2 \cdot (1 + \lambda_N \cdot 1,5)} = 1,756 \frac{\mu m}{\mu m} \rightarrow \frac{3,5\mu m}{2\mu m}. \quad (2.84)$$

Para estas dimensões, a excursão mínima de saída é obtida a partir do sistema de equações (2.19), (2.20), (2.21) e (2.22), que resulta em

$$a_2 \cdot V_{OMIN}^2 + a_1 \cdot V_{OMIN} + a_0 = 0 \quad (2.85)$$

onde

$$a_0 = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_9}{L_9} \cdot [2 \cdot (V_{2MAX} - V_{T9}) - V_{SS}] \cdot V_{SS} + G_L \cdot \left(\frac{V_{DD} + V_{SS}}{2} \right), \quad (2.86)$$

$$a_1 = -\mu_N \cdot C_{OX} \cdot \frac{W_9}{L_9} \cdot (V_{2MAX} - V_{T9}) - G_L, \quad (2.87)$$

$$a_2 = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_9}{L_9}. \quad (2.88)$$

A partir de valores definidos nesta seção, a equação (2.85) passa a ser

$$87,51 \cdot 10^{-6} \cdot V_{OMIN}^2 - 472,8 \cdot 10^{-6} \cdot V_{OMIN} + 150,0 \cdot 10^{-6} = 0, \quad (2.89)$$

que resulta em uma tensão de saída mínima de **0,34V**.

Pode-se enfim calcular o ganho de tensão do estágio *rail-to-rail*. Sendo os parâmetros g_m e g_d definidos pelas equações (1.8) e (1.9) para o transistor NMOS e (1.18) e (1.19) para o transistor PMOS, o ganho é

$$\frac{v_O}{v_2} = - \frac{\left(\frac{2 \cdot I_{D8}}{V_{SG8} - V_{T8}} \right) + \left(\frac{2 \cdot I_{D9}}{V_{GS9} - V_{T9}} \right)}{\left(\frac{I_{D8}}{\frac{1}{\lambda_P} + V_{SD8}} \right) + \left(\frac{I_{D9}}{\frac{1}{\lambda_N} + V_{DS9}} \right) + g_L}. \quad (2.90)$$

Por (2.90) nota-se que quanto maior a corrente de polarização dos transistores, maior o ganho. Caracteriza-se mais uma vez um compromisso entre ganho de tensão e consumo de corrente. Contudo, a finalidade principal do estágio de saída não é introduzir ganho e por isso seu ganho é considerado apenas uma característica secundária.

A condutância da carga resistiva é definida segundo o item 2 das especificações (Tabela 2.1) enquanto a corrente de polarização é dada por (2.78). A partir das tensões de polarização definidas na Figura 2.14 obtém-se

$$\frac{v_O}{v_2} = - \frac{\left(\frac{2 \cdot 36,54 \cdot 10^{-6}}{1,5 - V_{T8}} \right) + \left(\frac{2 \cdot 36,54 \cdot 10^{-6}}{1,5 - V_{T9}} \right)}{\left(\frac{36,54 \cdot 10^{-6}}{\frac{1}{\lambda_P} + 1,5} \right) + \left(\frac{36,54 \cdot 10^{-6}}{\frac{1}{\lambda_N} + 1,5} \right) + g_L} = -2,130 \text{ V/V}. \quad (2.91)$$

2.5.4 Ganho de Malha Aberta

Os ganhos do primeiro, segundo e terceiro estágios são dados por (2.70), (2.73) e (2.91) respectivamente. Assim, o ganho de malha aberta do amplificador operacional canônico é

$$\frac{v_O}{v_P - v_N} = (81,74) \cdot (-265,6) \cdot (-2,130) = 46243 \text{ V/V} = \mathbf{93,30dB}, \quad (2.92)$$

que supera a meta de 60dB, conforme o item 3 das especificações de projeto (Tabela 2.1).

2.5.5 Freqüência de Ganho Unitário

Sendo o parâmetro g_{m3} definido pela equação (1.18), substituindo-o na equação (2.51) obtém-se a freqüência de ganho unitário,

$$\omega_{0dB} = \frac{2 \cdot I_{D3}}{C_C \cdot (V_{SG3} - V_{T3})} \cdot A_{V3}. \quad (2.93)$$

A tensão V_{SG3} foi definida na seção 2.5.1, enquanto o ganho incremental do estágio de saída

é dado por (2.91). Conclui-se então que w_{0dB} é função de apenas duas variáveis: I_{D3} e C_C . O autor optou por usar um capacitor de compensação de **1pF**, uma vez que já havia disponível na tecnologia CYE o *layout* de um capacitor com tal valor de capacitância. Portanto, a frequência de ganho unitário passa a ser diretamente proporcional à corrente de polarização do primeiro estágio,

$$2 \cdot I_{D3} = w_{0dB} \cdot \frac{C_C \cdot (V_{SG3} - V_{T3})}{A_{V3}}. \quad (2.94)$$

Para uma frequência de ganho unitário de 4MHz (Tabela 2.1), tem-se

$$2 \cdot I_{D3} = -2\pi \cdot 4 \cdot 10^6 \cdot \frac{1 \cdot 10^{-12} \cdot (1,2 - V_{T3})}{-2,130} = 4,956\mu A. \quad (2.95)$$

Como (2.93) aplica-se apenas a amplificadores operacionais com apenas um pólo em sua resposta em frequência, o valor calculado de 4,956 μ A não garante a banda de frequência do amplificador operacional canônico. Para compensar a presença do segundo pólo e obter uma banda um pouco superior à banda especificada de 4MHz (como margem de segurança para possíveis variações quando na fabricação do amp-op), uma corrente de **10 μ A** foi adotada para a fonte de corrente M1. Calcula-se então as dimensões de todos os transistores do primeiro estágio. Pelas equações (1.2) e (1.12), obtém-se

$$\frac{W_1}{L_1} = \frac{2 \cdot I_{D1}}{\mu_P \cdot C_{OX} \cdot (V_{SG1} - V_{T1})^2 \cdot (1 + \lambda_P \cdot V_{SD1})}, \quad (2.96)$$

$$\frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{2 \cdot I_{D2}}{\mu_P \cdot C_{OX} \cdot (V_{SG2} - V_{T2})^2 \cdot (1 + \lambda_P \cdot V_{SD2})}, \quad (2.97)$$

$$\frac{W_4}{L_4} = \frac{W_5}{L_5} = \frac{2 \cdot I_{D4}}{\mu_N \cdot C_{OX} \cdot (V_{GS4} - V_{T4})^2 \cdot (1 + \lambda_N \cdot V_{DS4})}, \quad (2.98)$$

que, a partir das tensões de polarização definidas na seção 2.5.1 e a corrente de polarização de 10 μ A, resultam em

$$\frac{W_1}{L_1} = \frac{2 \cdot 10 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T1})^2 \cdot (1 + \lambda_P \cdot 0,3)} = 11,36 \frac{\mu m}{\mu m} \rightarrow \frac{22,7\mu m}{2\mu m}, \quad (2.99)$$

$$\frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{2 \cdot 5 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,2 - V_{T2})^2 \cdot (1 + \lambda_P \cdot 1,7)} = 1,500 \frac{\mu m}{\mu m} \rightarrow \frac{6,0\mu m}{4\mu m}, \quad (2.100)$$

$$\frac{W_4}{L_4} = \frac{W_5}{L_5} = \frac{2 \cdot 5 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T4})^2 \cdot (1 + \lambda_N \cdot 1)} = 5,731 \frac{\mu m}{\mu m} \rightarrow \frac{11,5\mu m}{2\mu m}. \quad (2.101)$$

2.5.6 Compensação em Freqüência

Segundo critério adotado na seção 2.5.5, o capacitor de compensação foi estabelecido como 1pF. A partir de então, calcula-se os principais pólos do amp-op com compensação Miller com resistor (seção 2.4.7).

Considerando que o primeiro pólo é definido por (2.39), substituindo as equações (1.9) e (1.19) obtém-se a expressão

$$\omega_{P1} = \frac{\left(\frac{I_{D3}}{\frac{1}{\lambda_P} + V_{SD3}} \right) + \left(\frac{I_{D5}}{\frac{1}{\lambda_N} + V_{DSS}} \right)}{C_C \cdot A_{V2}} \quad (2.102)$$

As tensões de polarização foram definidas na seção 2.5.1 e o ganho de tensão na seção 2.5.2, enquanto a corrente de polarização foi estabelecida na seção 2.5.5. A partir de então, encontra-se a freqüência do primeiro pólo,

$$f_{P1} = \frac{\omega_{P1}}{2\pi} = \frac{1}{2\pi} \cdot \frac{\left(\frac{5 \cdot 10^{-6}}{\frac{1}{\lambda_P} + 1,7} \right) + \left(\frac{5 \cdot 10^{-6}}{\frac{1}{\lambda_N} + 1} \right)}{1 \cdot 10^{-12} \cdot 265,6} = -174,5\text{Hz} \quad (2.103)$$

O segundo pólo, dado por (2.41), depende da transcondutância do transistor M7 e das capacitâncias C_1 (C_{GS7}) e C_2 ($C_{GS8} + C_{GS9}$). A equação (2.41) é expressa então como

$$\frac{g_{m7}}{\omega_{P2}} + C_{GS7} = -C_{GS8} - C_{GS9} \quad (2.104)$$

Dado que a capacitância entre porta e fonte de um transistor MOS polarizado na região de saturação é

$$C_{GS} = \frac{2}{3} \cdot C_{OX} \cdot W \cdot L \quad [11], \quad (2.105)$$

o cálculo das capacitâncias dos transistores M8 e M9 é trivial, uma vez que suas dimensões foram definidas na seção 2.5.3. Entretanto, a corrente de polarização do segundo estágio ainda não foi estabelecida, de forma que as dimensões do transistor M7 permanecem desconhecidas. Apesar disso, substituindo a equação (2.105) em (1.2), obtém-se a relação entre a polarização de um transistor NMOS e sua capacitância C_{GS} ,

$$C_{GSN} = \frac{4}{3} \cdot \frac{L_N^2}{\mu_N} \cdot \frac{I_{DN}}{(V_{GS} - V_{TN})^2 \cdot (1 + \lambda_N \cdot V_{DS})}. \quad (2.106)$$

Assim, pelo sistema de equações (1.8), (2.104), (2.105) e (2.106) obtém-se

$$I_{D7} = \frac{-C_{OX} \cdot (W_8 \cdot L_8 + W_9 \cdot L_9)}{\left(\frac{1}{V_{GS7} - V_{T7}} \right) \cdot \left[\frac{3}{W_{P2}} + \frac{2 \cdot L_7^2}{\mu_N \cdot (V_{GS7} - V_{T7}) \cdot (1 + \lambda_N \cdot V_{DS7})} \right]}, \quad (2.107)$$

que descreve a relação entre a posição do segundo pólo do amplificador operacional e a corrente de polarização do transistor M7.

Sabendo que w_{P2} é um pólo de alta freqüência devido ao efeito de *pole splitting* da compensação, sua influência sobre a banda de freqüência do amp-op ocorre principalmente através da margem de fase (Figura 2.11). Portanto, para assegurar que a margem de fase do amplificador operacional canônico não será prejudicada por w_{P2} , sua freqüência deve estar no mínimo uma década acima da freqüência de ganho unitário, ou seja, **40MHz**. Lembrando que o comprimento de canal é de $2\mu\text{m}$ (seção 2.2), a partir das tensões de polarização definidas na seção 2.5.2 e das dimensões calculadas na seção 2.5.3, obtém-se a corrente mínima de polarização do segundo estágio,

$$I_{D7} = \frac{-C_{OX} \cdot (7,5 \cdot 10^{-6} \cdot 2 \cdot 10^{-6} + 3,5 \cdot 10^{-6} \cdot 2 \cdot 10^{-6})}{\left(\frac{1}{1 - V_{T7}} \right) \cdot \left[\frac{3}{(-2\pi \cdot 40 \cdot 10^6)} + \frac{2 \cdot (2 \cdot 10^{-6})^2}{\mu_N \cdot (1 - V_{T7}) \cdot (1 + \lambda_N \cdot 1,5)} \right]} = 579,0\text{nA}. \quad (2.108)$$

Por (2.108) conclui-se que qualquer corrente da ordem de microampere garante que o pólo w_{P2} está muito além da banda do amp-op.

Por simplicidade, a fonte de corrente M6, que polariza o segundo estágio, possui aproximadamente as mesmas dimensões da fonte de corrente M1. Portanto, o segundo estágio também é polarizado com **10 μA** . Enfim as dimensões dos transistores do segundo estágio podem ser precisamente calculadas. A partir das equações (1.2) e (1.12), obtém-se

$$\frac{W_6}{L_6} = \frac{2 \cdot I_{D6}}{\mu_P \cdot C_{OX} \cdot (V_{SG6} - V_{T6})^2 \cdot (1 + \lambda_P \cdot V_{SD6})}, \quad (2.109)$$

$$\frac{W_7}{L_7} = \frac{2 \cdot I_{D7}}{\mu_N \cdot C_{OX} \cdot (V_{GS7} - V_{T7})^2 \cdot (1 + \lambda_N \cdot V_{DS7})}, \quad (2.110)$$

que, a partir das tensões de polarização definidas na seção 2.5.2 e da corrente de polarização de $10\mu\text{A}$, resultam em

$$\frac{W_6}{L_6} = \frac{2 \cdot 10 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T6})^2 \cdot (1 + \lambda_P \cdot 1,5)} = 10,99 \mu\text{m} / \mu\text{m} \rightarrow \frac{22,0 \mu\text{m}}{2 \mu\text{m}}, \quad (2.111)$$

$$\frac{W_7}{L_7} = \frac{2 \cdot 10 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T7})^2 \cdot (1 + \lambda_N \cdot 1,5)} = 11,28 \mu\text{m} / \mu\text{m} \rightarrow \frac{22,6 \mu\text{m}}{2 \mu\text{m}}. \quad (2.112)$$

Ainda não é possível calcular a posição do terceiro pólo, equação (2.43), pois este depende do resistor de compensação.

O pólo w_{PL} é obtido substituindo as equações (1.9) e (1.19) em (2.45),

$$w_{PL} = - \frac{\left(\frac{I_{D8}}{\frac{1}{\lambda_P} + V_{SD8}} \right) + \left(\frac{I_{D9}}{\frac{1}{\lambda_N} + V_{DS9}} \right) + g_L}{C_L}. \quad (2.113)$$

A partir de valores calculados na seção 2.5.3, o pólo w_{PL} dá-se por

$$f_{PL} = \frac{w_{PL}}{2\pi} = - \frac{1}{2\pi} \cdot \frac{\left(\frac{36,54 \cdot 10^{-6}}{\frac{1}{\lambda_P} + 1,5} \right) + \left(\frac{36,54 \cdot 10^{-6}}{\frac{1}{\lambda_N} + 1,5} \right) + g_L}{C_L} = -1,625 \text{MHz}. \quad (2.114)$$

Por (2.114) nota-se que o terceiro pólo w_{PL} está abaixo da frequência de ganho unitário, de modo que sua influência é problemática. Além disso, a carga resistiva predomina sobre a impedância de saída do amplificador operacional, de forma que o pólo da carga depende apenas da própria carga (aproximadamente).

Concluindo, com a compensação Miller com resistor o pólo w_{P1} tornou-se o pólo dominante e o pólo w_{P2} foi deslocado para altas frequências, de forma que não afeta a resposta em frequência do amp-op. Observa-se ainda que o pólo da carga w_{PL} está em uma frequência intermediária e degrada significativamente a banda de frequência do amp-op.

2.5.7 Margem de Fase

Conforme analisado na seção 2.4.8, a margem de fase do amp-op é definida através de um segundo pólo cuja frequência é um pouco maior que sua banda de frequência. Entretanto, a seção 2.5.6 demonstrou que este pólo, o pólo da carga, está na verdade abaixo da frequência de ganho unitário. Portanto, é preciso deslocar o zero para o semi-plano negativo das frequências para que ele anule, ao menos parcialmente, a presença indesejável do pólo da carga.

Dada a frequência de ganho unitário de 4MHz (Tabela 2.1) e a frequência do pólo da carga

pela equação (2.114), calcula-se a frequência do zero através da equação (2.57). Para uma margem de fase de **70°**, o zero do amplificador operacional deve ser

$$f_z = \frac{w_z}{2\pi} = -4 \cdot 10^6 \cdot \left\{ \frac{-1,625 \cdot 10^6 + 4 \cdot 10^6 \cdot \tan[70^\circ - 90^\circ]}{-4 \cdot 10^6 - 1,625 \cdot 10^6 \cdot \tan[70^\circ - 90^\circ]} \right\} = -\mathbf{3,615MHz} . \quad (2.115)$$

Enfim o resistor de compensação pode ser calculado. Substituindo a equação (1.8) em (2.32), obtém-se

$$\frac{1}{g_c} = \frac{V_{GS7} - V_{T7}}{2 \cdot I_{D7}} - \frac{1}{w_z \cdot C_c} . \quad (2.116)$$

A tensão de polarização foi definida na seção 2.5.2, a corrente de polarização na seção 2.5.6 enquanto a frequência do zero é dada pela equação (2.115). Assim,

$$\frac{1}{g_c} = \frac{1 - V_{T7}}{2 \cdot 10 \cdot 10^{-6}} - \frac{1}{-2\pi \cdot 3,615 \cdot 10^6 \cdot 1 \cdot 10^{-12}} = \mathbf{50,53k\Omega} . \quad (2.117)$$

Por fim, calcula-se a posição do pólo w_{P3} . A partir da equação (2.117) e de dimensões calculadas nas seções 2.5.3 e 2.5.6, a equação (2.43) resulta em

$$f_{P3} = \frac{w_{P3}}{2\pi} = -\frac{1}{2\pi} \cdot \frac{1}{\left(\frac{65,38 \cdot 10^{-15} \cdot 31,68 \cdot 10^{-15}}{65,38 \cdot 10^{-15} + 31,68 \cdot 10^{-15}} \right) \cdot 50,53 \cdot 10^3} = -\mathbf{147,6MHz} . \quad (2.118)$$

Nota-se por (2.118) que o pólo w_{P3} está muito além da frequência de ganho unitário e portanto não afeta a resposta em frequência do amp-op, como desejado.

Conforme discutido na seção 2.4.7, o resistor de compensação é implementado por um transistor MOS polarizado na região linear (Figura 2.10), cuja condutância de canal é dada por (1.16). A partir das tensões de polarização definidas na seção 2.5.2 e da condutância dada por (2.117), as dimensões do transistor M_c são

$$\frac{W_c}{L_c} = \frac{1}{\mu_p \cdot C_{OX} \cdot (1 - V_{TP} - 0)} \cdot \frac{1}{50,53 \cdot 10^3} = 2,494 \frac{\mu m}{\mu m} \rightarrow \frac{\mathbf{5,0\mu m}}{\mathbf{2\mu m}} . \quad (2.119)$$

As equações (2.103), (2.114), (2.115) e (2.118) comprovam a eficiência da compensação Miller: através do capacitor de compensação, os pólos w_{P1} e w_{P2} foram deslocados para baixa e alta frequências respectivamente, caracterizando o afastamento dos pólos. Já o resistor deslocou o zero w_z para uma frequência tal que minimiza a presença indesejável do pólo da carga w_{PL} , não afetado pela presença do capacitor de compensação. Finalmente, o pólo w_{P3} , introduzido pelo resistor, está posicionado em alta frequência e portanto pode ser desconsiderado.

2.5.8 Circuito de Polarização

A Figura 2.9 apresenta a estrutura interna do amplificador operacional canônico de forma simplificada pois ela não especifica a origem das tensões de polarização V_A e V_B . Conforme critérios adotados nas seções 2.5.1 e 2.5.2, V_A e V_B são idênticas e equivalem a 2V. Portanto, um mesmo circuito é utilizado para polarizar as fontes de corrente PMOS M1 e M6.

Como 2V equivale a dois terços da tensão de alimentação V_{DD} , um circuito bastante simples e eficiente consiste em um divisor de tensão, composto por três “diodos MOS” empilhados [8], como mostra a Figura 2.15.

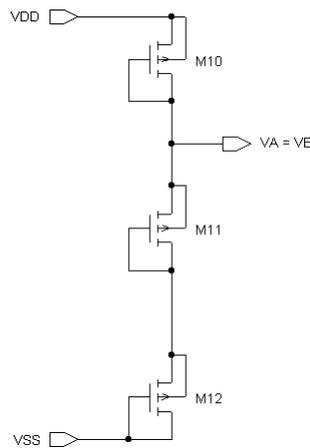


Figura 2.15: Circuito de polarização

Se M10, M11 e M12 são idênticos, tem-se

$$V_A = V_B = \frac{2}{3} \cdot V_{DD}, \quad (2.120)$$

independente das dimensões dos transistores.

Por (2.120) fica claro que a tensão de saída apresenta uma forte dependência em relação à tensão de alimentação. Portanto, este circuito não é recomendado para amplificadores operacionais que não possuem tensão de alimentação pré-definida e/ou que exigem alta rejeição ao ruído das fontes de alimentação. Para estes casos, existem outros circuitos de polarização mais adequados [9].

Por simplicidade, os transistores do circuito de polarização possuem aproximadamente as mesmas dimensões das fontes de corrente M1 e M6. Conseqüentemente, o circuito de polarização é capaz de fornecer 2V de tensão na saída consumindo uma corrente de **10 μ A**. Por (1.12) calcula-se as dimensões destes transistores,

$$\frac{W_{10}}{L_{10}} = \frac{W_{11}}{L_{11}} = \frac{W_{12}}{L_{12}} = \frac{2 \cdot I_{D10}}{\mu_P \cdot C_{OX} \cdot (V_{SG10} - V_{T10})^2 \cdot (1 + \lambda_P \cdot V_{SD10})} \quad (2.121)$$

Para tensão fonte-porta de **1V** e corrente de $10\mu\text{A}$, obtém-se

$$\frac{W_{10}}{L_{10}} = \frac{W_{11}}{L_{11}} = \frac{W_{12}}{L_{12}} = \frac{2 \cdot 10 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T10})^2 \cdot (1 + \lambda_P \cdot 1)} = 11,14 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{22,3\mu\text{m}}{2\mu\text{m}} \quad (2.122)$$

2.5.9 Resultados de Projeto

Com a fase de projeto concluída, a Tabela 2.9 concentra as dimensões calculadas para o amplificador operacional canônico. Com estas dimensões, a Tabela 2.10 apresenta as características de desempenho esperadas.

Tabela 2.9: Dimensões calculadas para o amplificador operacional canônico

Dispositivo	V_{GS} (V)	V_{DS} (V)	I_D (μA)	Dimensão ($\mu\text{m}/\mu\text{m}$)	OBS
M1	1	0,3	10	22,7 / 2,0	-
M2, M3	1,2	1,7	5	6,0 / 4,0	-
M4, M5	1	1	5	11,5 / 2,0	-
M6	1	1,5	10	22,0 / 2,0	-
M7	1	1,5	10	22,6 / 2,0	-
M8	1,5	1,5	36,54	7,5 / 2,0	-
M9	1,5	1,5	36,54	3,5 / 2,0	-
M10, M11, M12	1	1	10	22,3 / 2,0	-
Mc	1	0	0	5,0 / 2,0	50,53k Ω
Cc	-	-	-	-	1pF

Tabela 2.10: Desempenho calculado para o amplificador operacional canônico

Parâmetro	Valor calculado
Número de transistores	13
Corrente de Polarização	66,54 μ A
Tensão de saída máxima	2,60V
Tensão de saída mínima	0,34V
Ganho de malha aberta	93,30dB
Frequência de ganho unitário	4MHz
Margem de fase	70°
Frequência do pólo da carga	1,625MHz
Frequência do zero	3,615MHz

2.6 Resultados de Simulação

Após o projeto do amplificador operacional canônico, seu desempenho foi avaliado através de uma série de simulações utilizando o *software* Mentor Graphics, disponível em estações SPARC com sistema operacional Solaris. Os parâmetros típicos de simulação para os transistores NMOS e PMOS foram extraídos do arquivo **cmos15tm** [12]. Para cada curva traçada no simulador, foi criado um arquivo ASCII contendo as coordenadas de cada ponto da curva. A partir da leitura destes arquivos, o *software* MatLab foi capaz de reproduzir tais curvas em um computador PC com sistema operacional Windows. Assim, a maioria das curvas apresentadas neste trabalho foram produzidas pelo MatLab.

Primeiramente, analisou-se a polarização do amp-op. A partir das dimensões calculadas (Tabela 2.9), a análise DC buscou otimizá-las a fim de atingir valores exatos para as tensões e correntes definidas na seção 2.5. Assim, as novas dimensões dos transistores estão resumidas na Tabela 2.11.

Tabela 2.11: Dimensões para o amplificador operacional canônico

Dispositivo	Dimensão calculada ($\mu\text{m}/\mu\text{m}$)	Dimensão simulada ($\mu\text{m}/\mu\text{m}$)
M1	22,7 / 2,0	22,1 / 2,0
M2, M3	6,0 / 4,0	7,3 / 4,0
M4, M5	11,5 / 2,0	10,2 / 2,0
M6	22,0 / 2,0	21,0 / 2,0
M7	22,6 / 2,0	19,3 / 2,0
M8	7,5 / 2,0	9,3 / 2,0
M9	3,5 / 2,0	4,9 / 2,0
M10, M11, M12	22,3 / 2,0	21,3 / 2,0
Mc	5,0 / 2,0	4,6 / 2,0

Feito isso, as tensões e correntes internas ao amplificador operacional estão prontamente disponíveis no programa de simulação. Entretanto, em experimentos práticos a única informação disponível sobre sua polarização é a corrente que flui pelos terminais de alimentação. Para medir esta corrente de polarização e garantir que o amp-op estabilize na condição de entrada nula, utiliza-se o circuito da Figura 2.16. Por este procedimento, a corrente de polarização do amplificador operacional canônico é de **68,6 μA** .

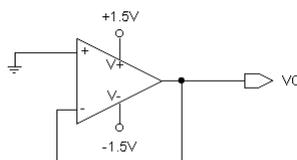


Figura 2.16: Procedimento prático de medida para corrente de polarização

A Figura 2.17 apresenta o amplificador operacional canônico em malha aberta para a medida de sua excursão de saída. Pela simulação (Figura 2.18) observa-se que a tensão de saída com carga resistiva acoplada limita-se entre -1,18V e 1,08V (ou **0,32V** e **2,58V**), como esperado.

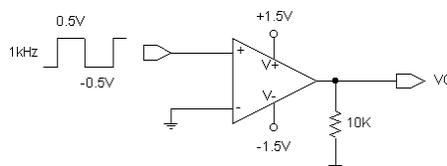


Figura 2.17: Procedimento de medida para excursão de saída

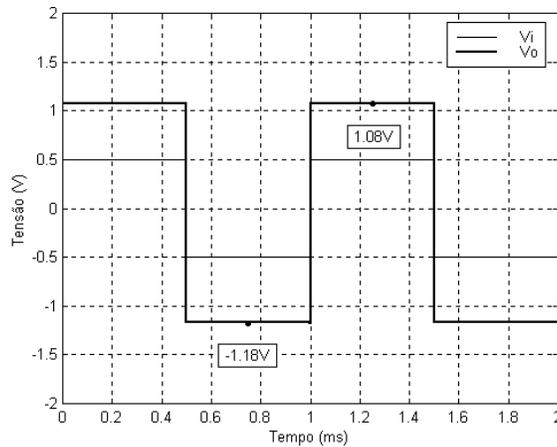


Figura 2.18: Simulação da excursão de saída

Os limites mínimo e máximo da excursão de entrada foram medidos através de uma configuração não-inversora de ganho 2 (Figura 2.19).

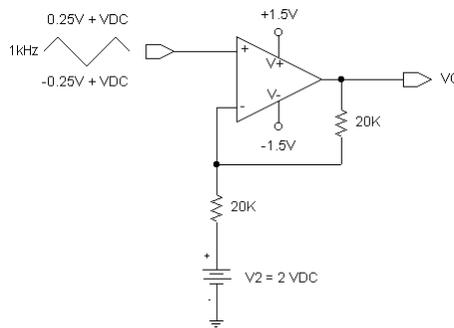


Figura 2.19: Procedimento de medida para excursão de entrada

A fonte de tensão V_2 é ajustável a fim de cancelar a tensão DC da saída, consequência da tensão DC na entrada. Com isso, garante-se que a tensão de saída permanece dentro de seus limites mínimo e máximo, mesmo se a tensão de entrada excursionar além dos terminais de alimentação. Contudo, devido a uma falha não identificada no programa de simulação, obtém-se como resultado uma excursão de entrada infinita, ou seja, sem limites. Sabendo que tal condição não é verdadeira, desconsiderou-se a simulação da excursão de entrada.

Apesar de não fazer parte das especificações de projeto, características como tempo de estabilização e *slew rate* também foram simuladas pois estão diretamente relacionadas com a resposta em frequência do amp-op. A Figura 2.20 apresenta o circuito de medida para o *slew rate* na saída. É importante ressaltar que o capacitor de carga (10pF) foi substituído por um capacitor de 15pF, que corresponde à capacitância introduzida por uma ponteira de prova do osciloscópio durante medidas práticas. Entretanto, como o *slew rate* é determinado principalmente pela corrente de polarização do primeiro estágio e pelo capacitor de compensação [10], o capacitor de

carga não influi significativamente. Os resultados (Figura 2.21) demonstram que o amplificador operacional canônico apresenta um *slew rate* de **+10,4V/μs** na transição positiva e **-10,5V/μs** na transição negativa.

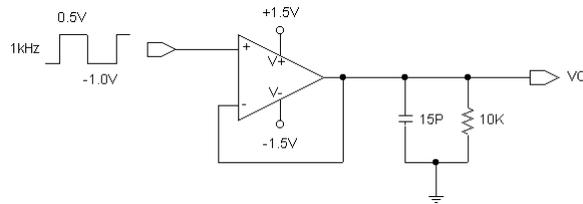
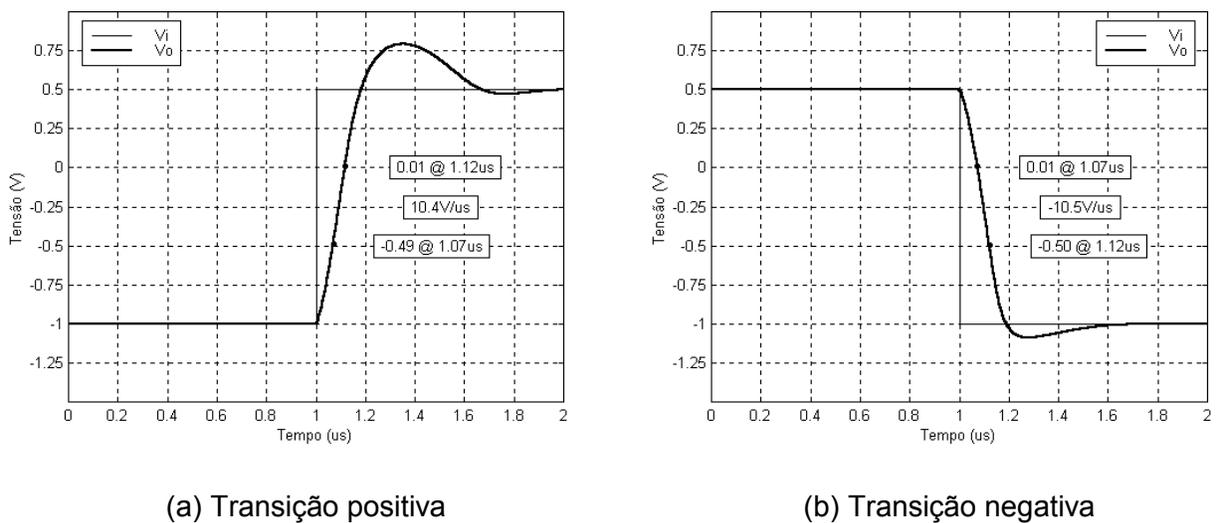


Figura 2.20: Procedimento de medida para *slew rate*



(a) Transição positiva

(b) Transição negativa

Figura 2.21: Simulação do *slew rate*

Para a medida do tempo de estabilização na saída, utiliza-se o procedimento da Figura 2.22. O circuito é o mesmo utilizado para a medida de *slew rate*, contudo a amplitude da entrada é menor. O *slew rate* ocorre quando a entrada diferencial é elevada, a ponto de um dos transistores de entrada entrar na região de corte e toda a corrente de polarização do primeiro estágio fluir pelo outro transistor do par diferencial. Nesta condição, o funcionamento do amp-op é não-linear e difere do seu modo normal de operação. Por outro lado, quando a tensão diferencial de entrada é pequena, o amp-op opera em seu modo linear, ou seja, como um amplificador diferencial de alto ganho. É nesta situação que realiza-se a medida do tempo de estabilização da saída em resposta a um degrau. Ao contrário do que ocorre para o *slew rate*, o capacitor de 15pF degrada o tempo de estabilização do amp-op. A simulação (Figura 2.23) demonstra que o tempo necessário para a saída estabilizar-se em 1% em relação à entrada é de **430ns** tanto na transição positiva quanto na transição negativa.

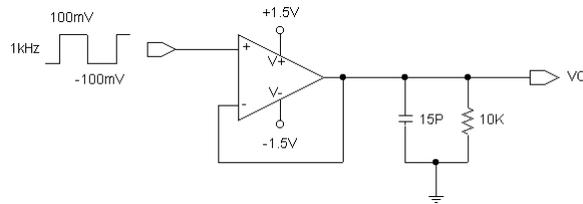
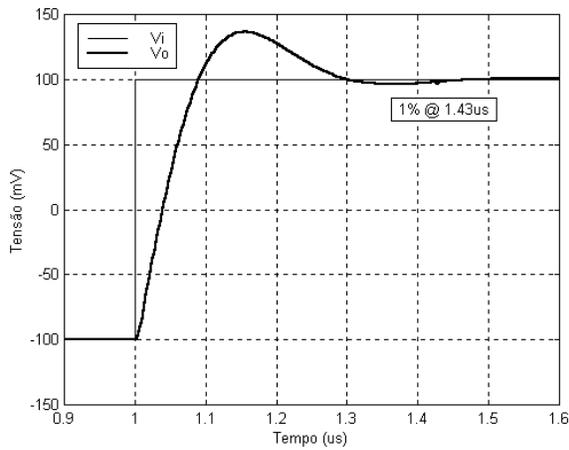
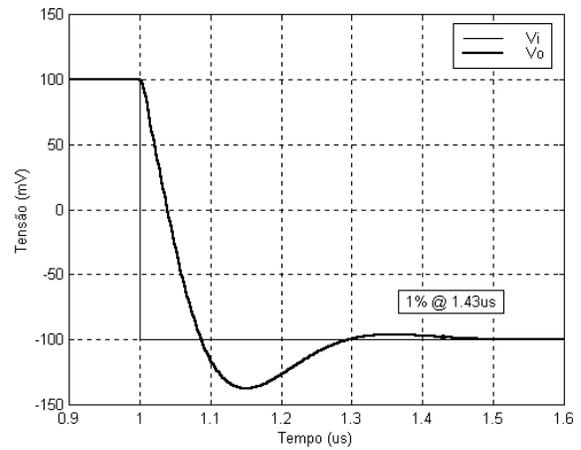


Figura 2.22: Procedimento de medida para tempo de estabilização



(a) Transição positiva



(b) Transição negativa

Figura 2.23: Simulação do tempo de estabilização

A resposta em frequência do amplificador operacional canônico em malha aberta é obtida através do circuito da Figura 2.24. Como a medida prática não envolve osciloscópio, neste caso a capacitância de carga considerada é de 10pF. Pela Figura 2.25 conclui-se que o amp-op apresenta ganho de malha aberta de **90,3dB** em baixas frequências, frequência de ganho unitário de **4,27MHz** e margem de fase de **67°**, valores muito próximos daqueles calculados.

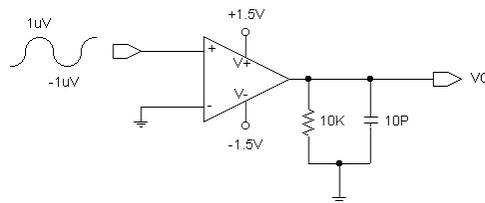
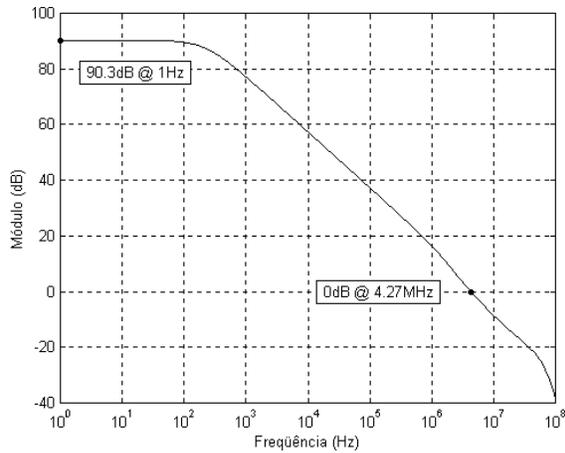
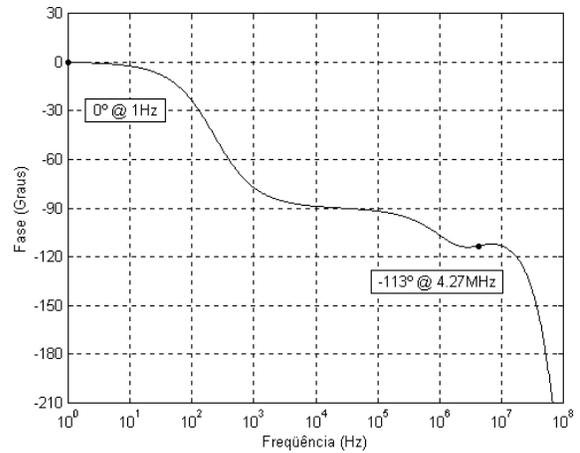


Figura 2.24: Procedimento de medida para resposta em frequência



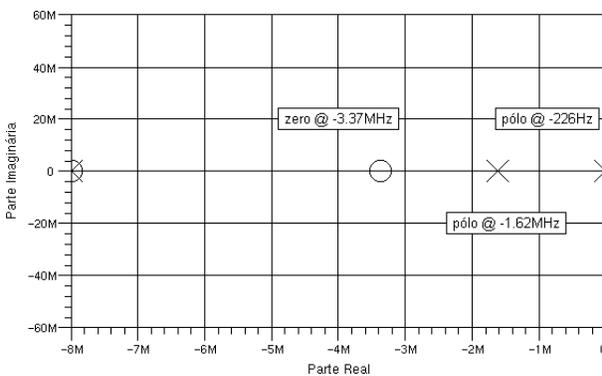
(a) Módulo



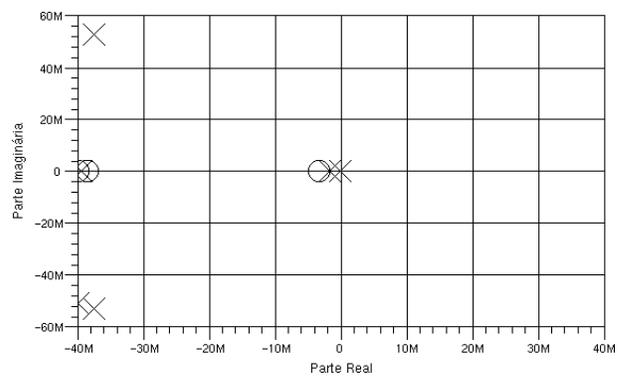
(b) Fase

Figura 2.25: Resposta em frequência do amp-op em malha aberta

A posição dos pólos e zeros que definem sua resposta em frequência é apresentada na Figura 2.26.



(a) Pólos e zeros na faixa de 8MHz



(b) Pólos e zeros na faixa de 40MHz

Figura 2.26: Pólos e zeros do amp-op em malha aberta

Ao contrário da simulação, medidas práticas da resposta em frequência do amplificador operacional em malha aberta são muito difíceis. Devido ao descasamento dos transistores do par diferencial e ao alto ganho do amplificador, a tensão de *offset* na entrada impede que a saída estabilize na metade de sua excursão, condição necessária para caracterizar sua resposta em frequência (seção 2.4.3). Portanto, o procedimento usual para medir a banda de amplificadores operacionais é através da configuração *follower* (Figura 2.27). Por este circuito, busca-se a frequência em que o ganho cai de -3dB em relação ao ganho unitário (Figura 2.28).

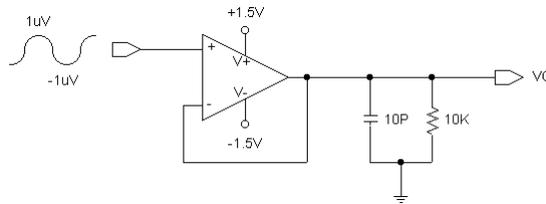
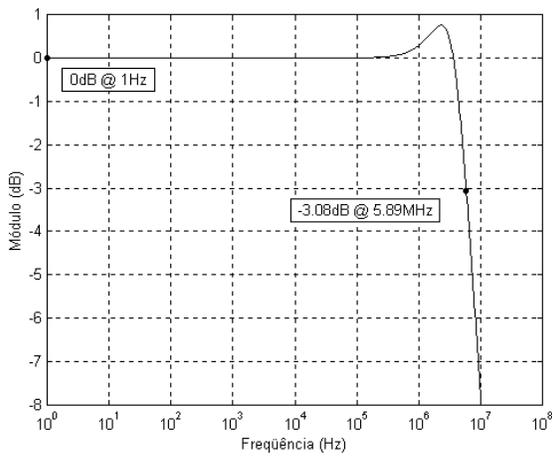
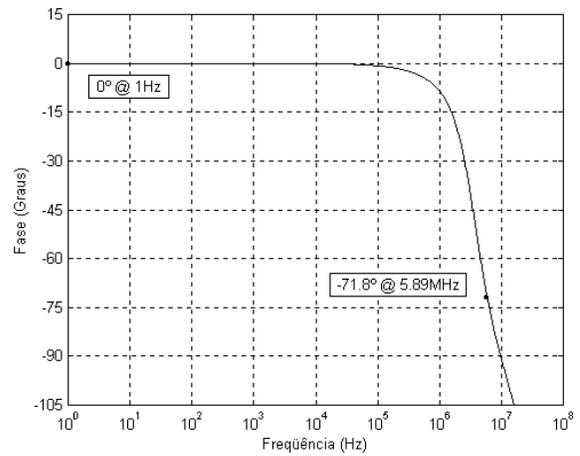


Figura 2.27: Procedimento prático de medida para resposta em frequência



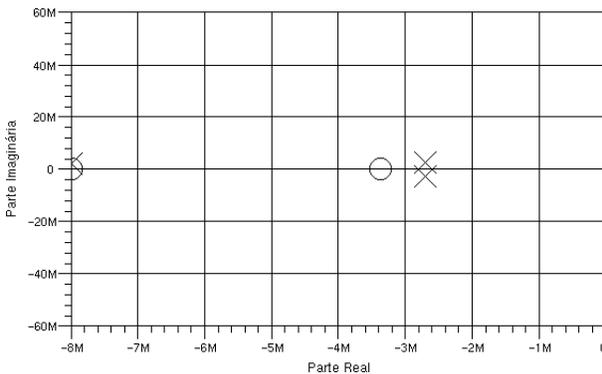
(a) Módulo



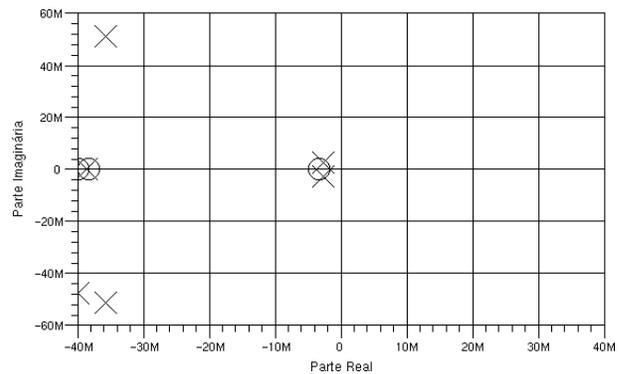
(b) Fase

Figura 2.28: Resposta em frequência do amp-op realimentado

A realimentação negativa reposiciona os pólos e zeros do amp-op segundo a Figura 2.29.



(a) Pólos e zeros na faixa de 8MHz



(b) Pólos e zeros na faixa de 40MHz

Figura 2.29: Pólos e zeros do amp-op realimentado

Os resultados de simulação estão resumidos na Tabela 2.12. Nota-se que o projeto do amplificador operacional canônico foi bem sucedido uma vez que todas as metas de desempenho foram cumpridas.

Tabela 2.12: Desempenho simulado para o amplificador operacional canônico

Parâmetro	Valor simulado	Valor calculado
Corrente de Polarização	68,6 μ A	66,54 μ A
Tensão de saída máxima	2,58V	2,60V
Tensão de saída mínima	0,32V	0,34V
<i>Slew rate</i> positivo	10,4V/ μ s	-
<i>Slew rate</i> negativo	-10,5V/ μ s	-
Tempo de estabilização positivo (1%)	430ns	-
Tempo de estabilização negativo (1%)	430ns	-
Ganho de malha aberta	90,3dB	93,30dB
Freqüência de ganho unitário	4,27MHz	4MHz
Margem de fase	67°	70°
Freqüência do pólo da carga	1,62MHz	1,625MHz
Freqüência do zero	3,37MHz	3,615MHz
Freqüência de -3dB	5,89MHz	-
Fase em -3dB	-71,8°	-

2.7 O Circuito Integrado

O circuito integrado que foi produzido contém dois amplificadores operacionais canônicos quase idênticos, numerados “1” e “2”. Enquanto o amp-op 1 possui um resistor de silício policristalino em sua malha de compensação, no amp-op 2 este resistor foi substituído por um transistor PMOS polarizado na região linear, cujo terminal de porta está conectado a um pino externo. Assim, para que a compensação tenha efeito sobre o amp-op 2, este pino deve ser conectado à fonte de alimentação V_{SS} . Caso contrário, a tensão fonte-porta do transistor PMOS será tal que a malha de compensação estará em circuito aberto.

Para caracterizar os componentes passivos responsáveis pela compensação dos amp-ops, o circuito integrado inclui ainda resistores e capacitores isolados. Um resistor de silício policristalino, idêntico ao utilizado na compensação do amp-op 1, foi conectado a pinos externos utilizando *pads* sem proteção. Entretanto, como as camadas de silício policristalino podem ser danificadas pelo acúmulo de carga eletrostática, acrescentou-se outro resistor, idêntico ao anterior, porém conectado a *pads* com proteção de diodos.

O mesmo foi feito com o capacitor de compensação: dois capacitores estão conectados a pinos externos, um através de *pads* sem proteção e outro protegido por resistor e diodos. Contudo,

como sua capacitância é de valor reduzido (1pF), cada componente passivo conectado aos *pads* é composto na verdade por dois capacitores em paralelo a fim de duplicar a capacitância total e assim facilitar sua medida.

Portanto, o circuito integrado contém ao todo dois amplificadores operacionais, dois resistores de 50,5k Ω e dois capacitores de 2pF, todos isolados entre si. A Figura 2.30 apresenta uma fotomicrografia do circuito integrado completo, que ocupa uma área de 1,78mm² (1840 μ m por 968 μ m). Desconsiderando os *pads*, a área ocupada pelo circuito propriamente dito (Figura 2.31) é de apenas 0,25mm² (1100 μ m x 228 μ m). O encapsulamento do circuito integrado possui 24 pinos, descritos na Tabela 2.13.

Tabela 2.13: Pinagem do encapsulamento

Pinos	Função	Observação
1 2	Terminais do resistor 1	<i>pad</i> com proteção de diodos
3	Entrada não-inversora do amp-op 1	<i>pad</i> com proteção de diodos e resistor de 200 Ω
4	Entrada inversora do amp-op 1	<i>pad</i> com proteção de diodos e resistor de 200 Ω
5 20	V _{DD}	<i>pad</i> de V _{DD}
6 7 18 19	Sem ligação	-
8 9	Terminais do capacitor 1	<i>pad</i> com proteção de diodos e resistor de 200 Ω
10 11 15	V _{SS} / V _{substrato}	<i>pad</i> de V _{SS}
12	Saída do amp-op 1	<i>pad</i> com proteção de diodos
13	Saída do amp-op 2	<i>pad</i> com proteção de diodos
14	Controle da compensação do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200 Ω
16 17	Terminais do capacitor 2	<i>pad</i> sem proteção
21	Entrada inversora do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200 Ω
22	Entrada não-inversora do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200 Ω
23 24	Terminais do resistor 2	<i>pad</i> sem proteção

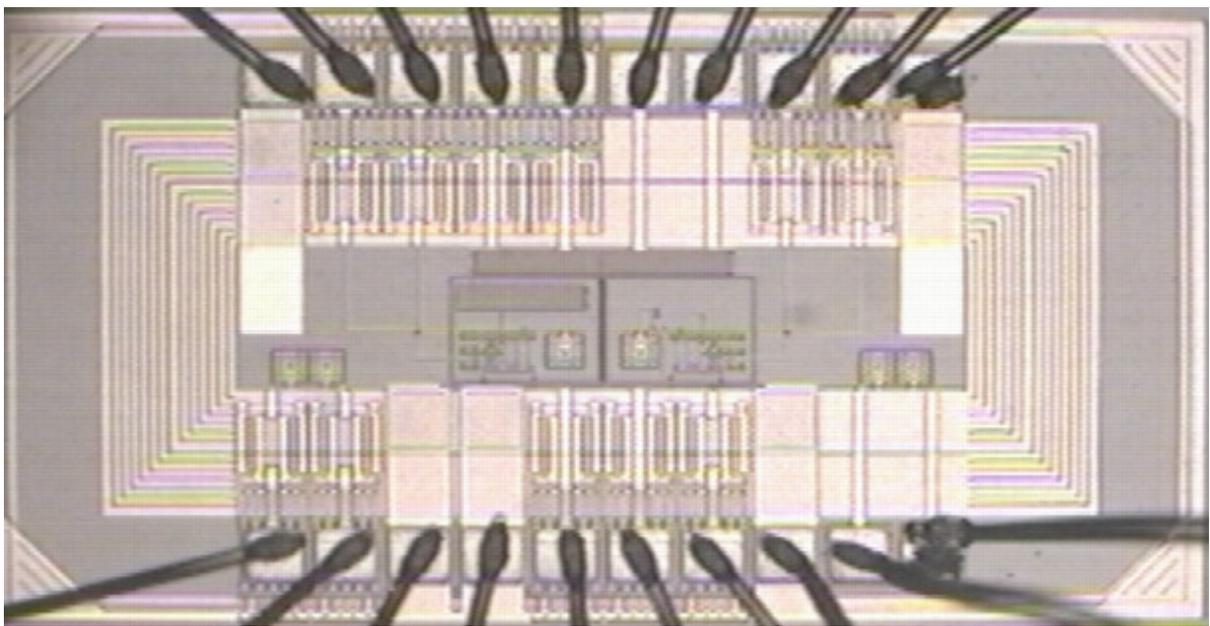


Figura 2.30: Fotomicrografia do circuito integrado completo

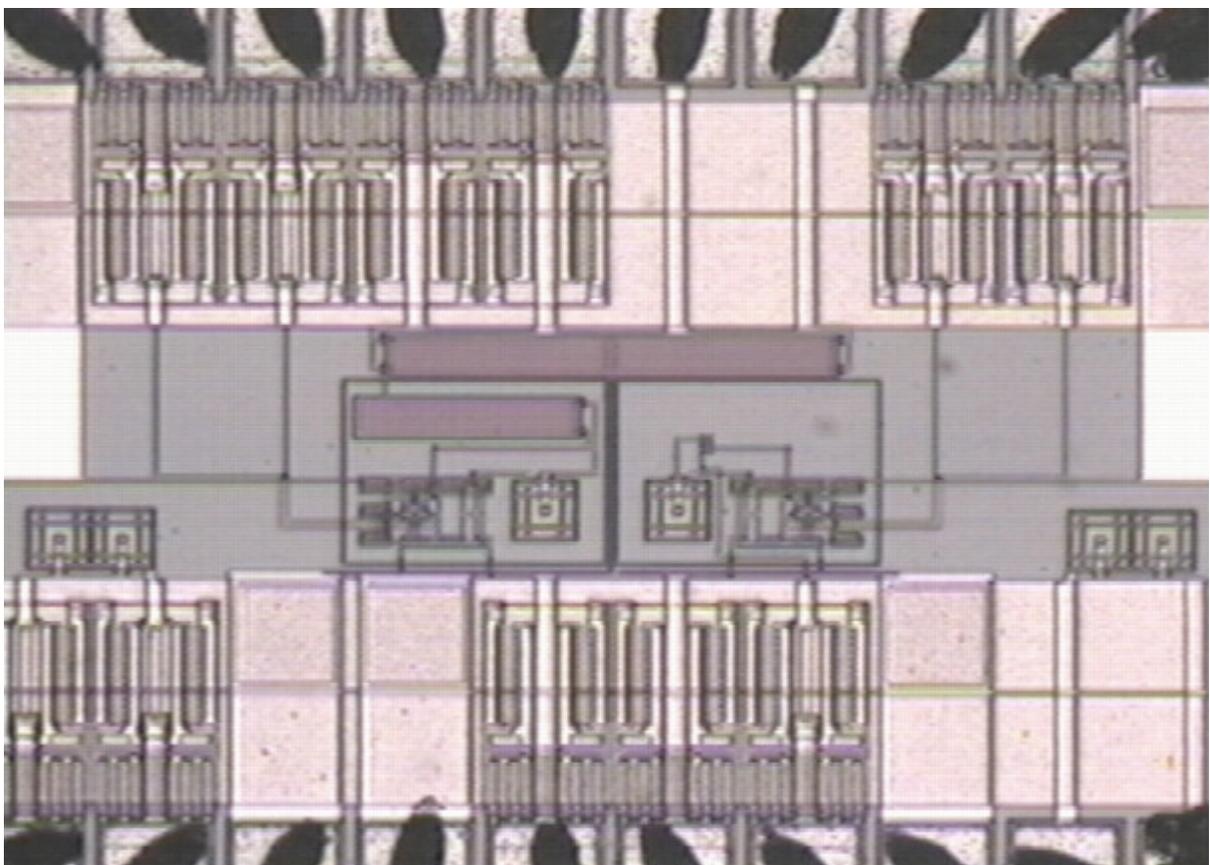


Figura 2.31: Fotomicrografia dos amplificadores operacionais

2.8 Resultados Experimentais

Foram recebidas quatro amostras do amplificador operacional canônico, nomeadas “A”, “B”, “C” e “D”. Os testes descritos a seguir foram realizados em todas as amostras, tanto do amp-op 1 quanto do amp-op 2, totalizando 8 amplificadores operacionais testados.

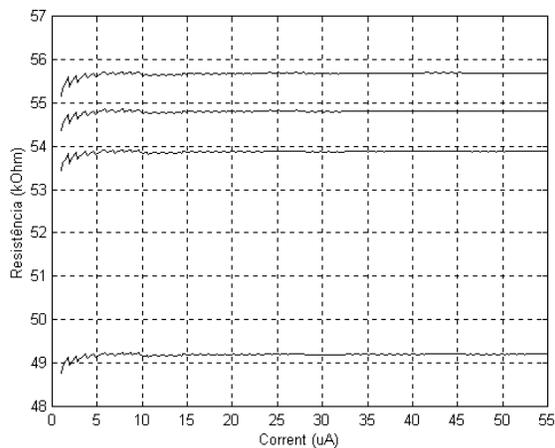
Para as medidas experimentais, foram utilizados os seguintes instrumentos:

- HP 4155A (*semiconductor parameter analyser*) - responsável pela caracterização dos resistores, medida da corrente de polarização e da tensão de *offset* dos amp-ops
- Tektronix TDS460A (osciloscópio) - responsável pelas medidas de excursão de entrada e de saída, *slew rate* e tempo de estabilização
- HP 4284A (*precision LCR meter*) - responsável pela caracterização dos capacitores
- HP 4195A (*network analyser*) - responsável pela medida da resposta em frequência dos amp-ops em configuração *follower*

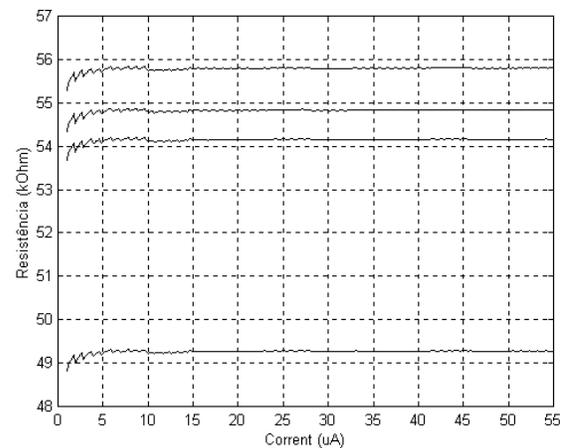
2.8.1 Caracterização dos Componentes Passivos

Antes de testar os amplificadores operacionais, caracterizou-se os componentes passivos isolados do circuito integrado pois estes estão relacionados com a compensação em frequência dos amp-ops.

Para a medida dos resistores, utilizou-se o método de quatro fios. Os resultados são apresentados na Figura 2.32.



(a) Resistores com proteção



(b) Resistores sem proteção

Figura 2.32: Medida dos resistores

Realizando uma média dos valores de resistência para correntes acima de $30\mu\text{A}$ obtém-se a Tabela 2.14.

Tabela 2.14: Medida dos resistores

Amostra	Resistor com proteção (Ω)	Resistor sem proteção (Ω)
A	53879	54156
B	55685	55799
C	49202	49274
D	54807	54834

Analisando os dados da Tabela 2.14, conclui-se que o desvio máximo em relação ao valor esperado de **50,5k Ω** é de **5,30k Ω (10,5%)**. Já o desvio máximo entre resistores de um mesmo substrato é de apenas **227 Ω (0,55%)** enquanto a diferença entre resistores em substratos diferentes atinge **6,52k Ω (12,9%)**. Por estes resultados, conclui-se que a razão mais provável pela qual os resistores não coincidem com o valor esperado seria algum erro no *layout* dos resistores. Por outro lado, a dispersão da resistência entre substratos diferentes é bem elevada, resultado da imprecisão do processo de fabricação.

Durante a caracterização dos capacitores isolados, não foi possível medir o capacitor com *pads* protegidos por exigir polarização reversa de seus diodos. Já a medida dos capacitores sem proteção apresentou os resultados da Tabela 2.15.

Tabela 2.15: Medida dos capacitores

Amostra	Capacitor sem proteção (pF)
A	5,32
B	5,23
C	5,16
D	5,37

Entretanto, capacitâncias parasitas de ordem de grandeza significativa desqualificam os resultados da Tabela 2.15. Primeiramente, o próprio encapsulamento introduz uma capacitância parasita em paralelo ao capacitor integrado. Isto foi comprovado medindo-se a capacitância entre os pinos 6 e 7, que não estão conectados ao substrato por nenhum *pad*. Ainda assim, a capacitância medida é da ordem de 1pF nas quatro amostras. Outra capacitância parasita em paralelo resulta do acoplamento capacitivo entre os *pads* do capacitor integrado e o substrato. Segundo dados da AMS [21], esta varia entre 2pF e 2,3pF. Portanto, não é possível concluir se o capacitor integrado atingiu o valor esperado de 2pF.

Com a caracterização, concluiu-se que a resistência acima da esperada provoca um deslocamento do zero para frequências mais baixas. Já a ausência de medidas confiáveis de capacitância não permite que a influência do capacitor sobre a resposta em frequência seja prevista. Apesar disso, a capacitância parasita entre *pad* e substrato existe em todos os *pads* do circuito integrado, inclusive na saída do amplificador operacional. Portanto, deve-se considerar que existe uma capacitância de 2pF entre a saída V_O e o terminal de alimentação V_{SS} . Com isso, a capacitância de carga total aumenta, deslocando também o pólo da carga para baixas frequências.

2.8.2 Caracterização dos Amplificadores Operacionais

Os testes do amp-op canônico se iniciaram com a medida de sua corrente de polarização. Pelo procedimento ilustrado na Figura 2.16, mediu-se a corrente através dos terminais de alimentação de cada amplificador operacional. Apesar de cada amp-op possuir *pads* de V_{DD} e V_{SS} independentes, descobriu-se após a execução do *layout* que todos os *pads* de V_{DD} estão em curto-circuito por meio de uma trilha de metal existente no próprio *pad*. Uma trilha de metal semelhante foi encontrada também nos *pads* de V_{SS} , de forma que estes também encontram-se em curto-circuito. Conseqüentemente, a corrente de polarização medida através dos terminais de alimentação resulta não de um único amplificador operacional mas da soma de ambos.

A medida desta corrente nas quatro amostras variou entre 91,7 μ A e 114,2 μ A, demonstrando que a corrente de polarização do amp-op é fortemente influenciada pela tensão de saída, mesmo que igual à tensão de *offset* na entrada. Isto porque a corrente através do estágio de saída responde por 56,2% do consumo total do amp-op. A medida de 114,2 μ A corresponde à amostra em que as tensões de *offset* são mínimas, portanto cada amp-op consome aproximadamente **57,1 μ A**.

Em seguida, mediu-se a excursão do sinal de saída. Através do circuito apresentado na Figura 2.17, a excursão de saída atingiu os níveis de -1,20V e 1,04V (ou **0,30V** e **2,54V**), como mostra a Figura 2.33. Esta excursão coincide com os valores previstos pela simulação.

A medida dos limites mínimo e máximo do sinal de entrada foi realizada segundo a Figura 2.19. A componente V_{DC} do sinal triangular de entrada foi ajustada em dois níveis diferentes. Em cada uma destas situações, a fonte de tensão V_2 foi devidamente ajustada a fim de evitar que o sinal de saída atinja tanto seu limite máximo quanto seu limite mínimo.

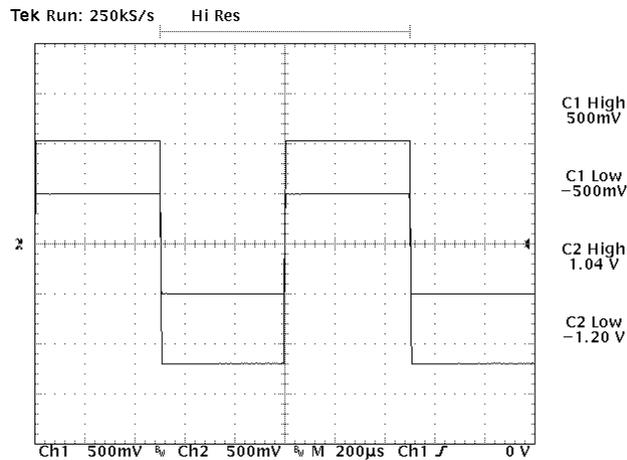
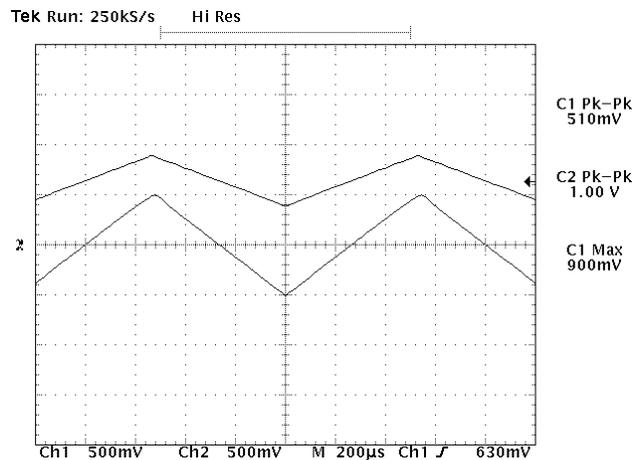
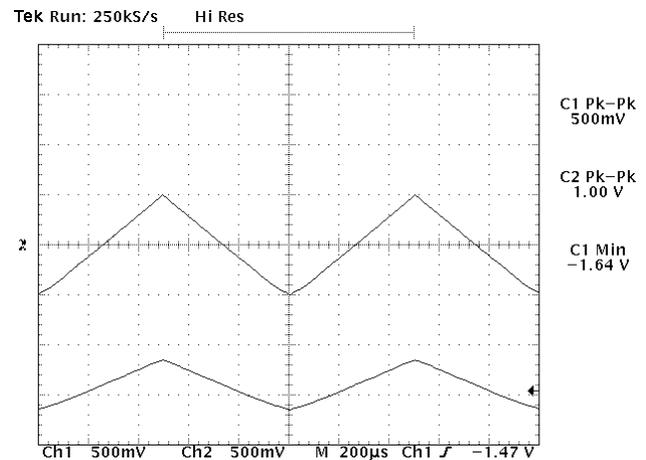


Figura 2.33: Medida da excursão de saída

Na primeira situação, elevou-se V_{DC} até o momento em que a tensão triangular de saída apresentasse algum tipo de distorção em seu pico positivo, mesmo sendo menor que a excursão máxima de saída. Nesta condição encontrou-se a tensão máxima permitida na entrada (0,90V ou **2,40V**), como mostra a Figura 2.34a. Na situação da Figura 2.34b, V_{DC} foi reduzida até que se observasse distorção no pico negativo do sinal de saída, caracterizando a tensão mínima de entrada (-1,64V ou **-0,14V**).



(a) Tensão de entrada máxima



(a) Tensão de entrada mínima

Figura 2.34: Medida da excursão de entrada

Uma vez determinada a excursão tanto do sinal de entrada quanto do sinal de saída, é possível medir a tensão de *offset* do amplificador operacional canônico quando em configuração *follower* (Figura 2.35). Efetuando uma varredura DC da tensão de entrada (respeitando os limites de entrada e de saída), encontrou-se a tensão de *offset* em função da tensão de modo-comum pela diferença entre as tensões de saída e entrada. Como o amp-op canônico possui apenas um

par diferencial, a tensão de *offset* não varia significativamente em função da tensão de modo-comum. Por outro lado, nota-se uma grande variação da tensão de *offset* entre as amostras e também entre amp-ops de uma mesma amostra (Figura 2.36).

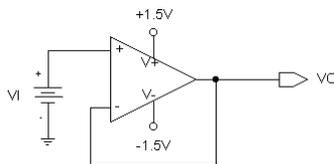
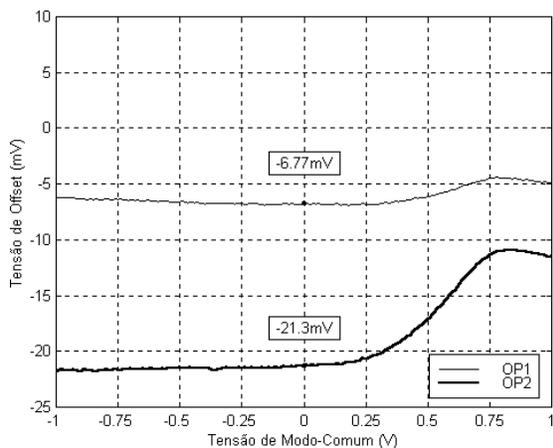
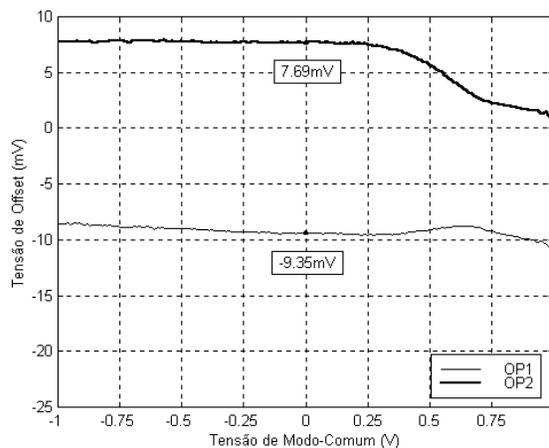


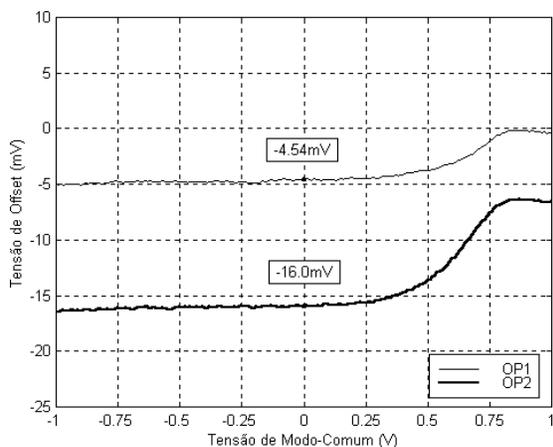
Figura 2.35: Procedimento de medida para tensão de *offset* na entrada



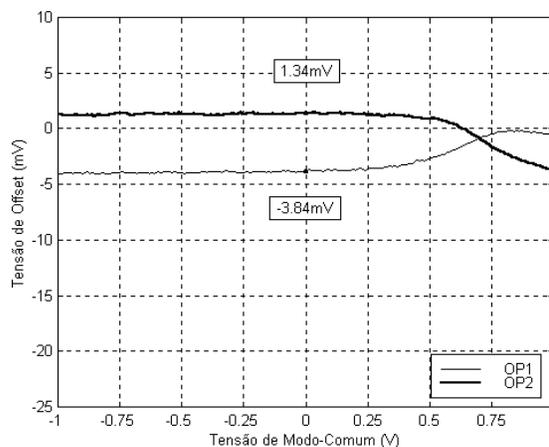
(a) Amostra "A"



(b) Amostra "B"



(c) Amostra "C"



(d) Amostra "D"

Figura 2.36: Medida da tensão de *offset*

A Figura 2.20 apresenta o circuito utilizado para a medida do *slew rate* na saída do amplificador operacional canônico. O *slew rate* do amp-op com compensação passiva é de

5,06V/μs em transições positivas e **-3,89V/μs** em transições negativas, como mostra a Figura 2.37. Já o amp-op com compensação ativa apresenta *slew rate* de **4,57V/μs** tanto em transições positivas quanto negativas (Figura 2.38).

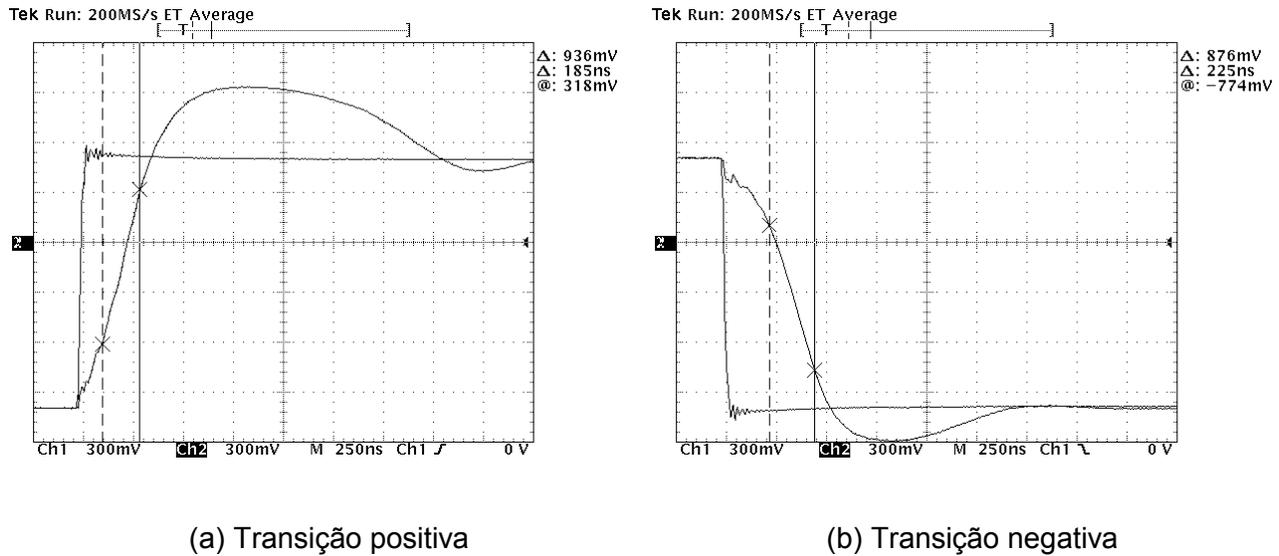


Figura 2.37: Medida do *slew rate* para amp-op com compensação passiva

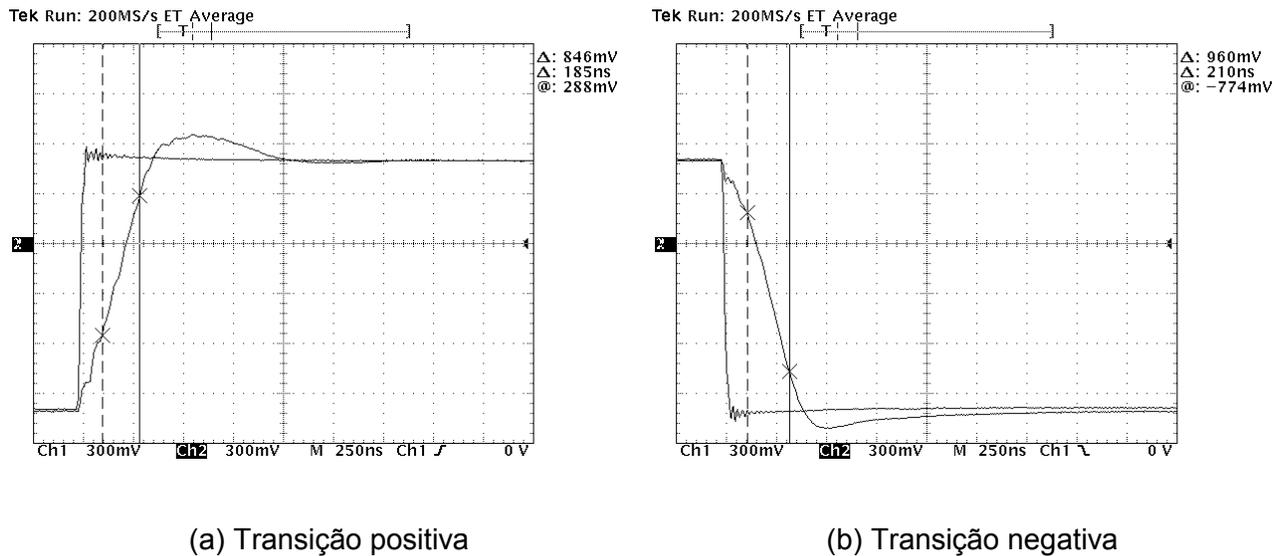


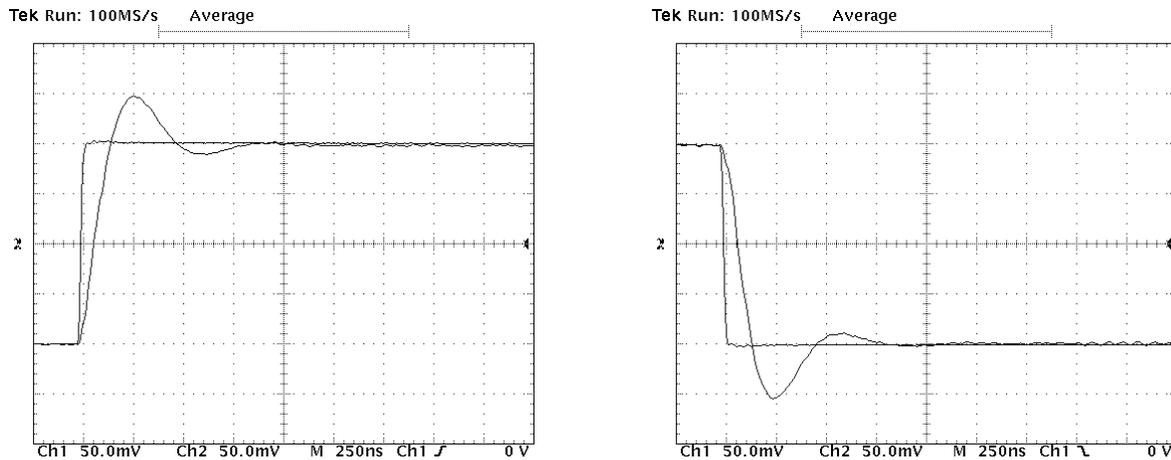
Figura 2.38: Medida do *slew rate* para amp-op com compensação ativa

O *slew rate* observado nas medidas de bancada é apenas metade do valor previsto pela simulação (Figura 2.21). Dado que o *slew rate* é definido pela corrente de polarização do primeiro estágio e pelo capacitor de compensação [8], [10], tem-se

$$SR = \frac{I_{D1}}{C_c} = \frac{10 \cdot 10^{-6}}{10^{-12}} = 10 \text{ V}/\mu\text{s} . \quad (2.123)$$

Conclui-se que o baixo *slew rate* deve-se a uma inesperada queda na relação entre I_{D1} e C_C . Como esta relação também define a frequência de ganho unitário, equação (2.93), espera-se uma redução na banda e na margem de fase do amp-op.

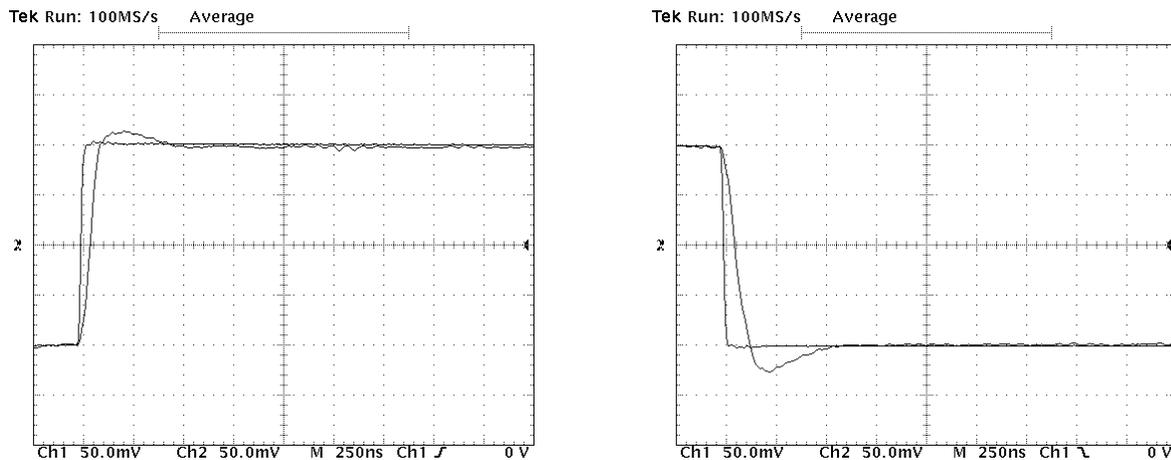
A medida do tempo de estabilização baseou-se no procedimento da Figura 2.22. O amp-op com compensação passiva apresenta tempos de estabilização da ordem de $1\mu\text{s}$ (Figura 2.39) enquanto o tempo de estabilização do amp-op com compensação ativa é de 550ns para transições positivas e 650ns para transições negativas (Figura 2.40).



(a) Transição positiva

(b) Transição negativa

Figura 2.39: Medida do tempo de estabilização para amp-op com compensação passiva



(a) Transição positiva

(b) Transição negativa

Figura 2.40: Medida do tempo de estabilização para amp-op com compensação ativa

Como esperado, com a redução da banda de frequência do amp-op sua resposta transitória tornou-se mais lenta, aumentando o tempo de estabilização de 430ns para $1\mu\text{s}$. Além disso, a

menor margem de fase traduz-se em menor fator de amortecimento da resposta transitória na Figura 2.39. Curiosamente, os efeitos da redução da banda não foram observados no amp-op com compensação ativa, de forma que seu tempo de estabilização ficou próximo do valor simulado.

A resposta em frequência do amplificador operacional canônico foi medida através da configuração *follower* (Figura 2.27). O amp-op com compensação passiva apresenta queda de -3dB em relação ao ganho unitário na frequência de **2,63MHz** com fase de **-103°** (Figura 2.41). Já a banda do amp-op com compensação ativa atingiu **6,03MHz** com fase de **-126°** (Figura 2.42).

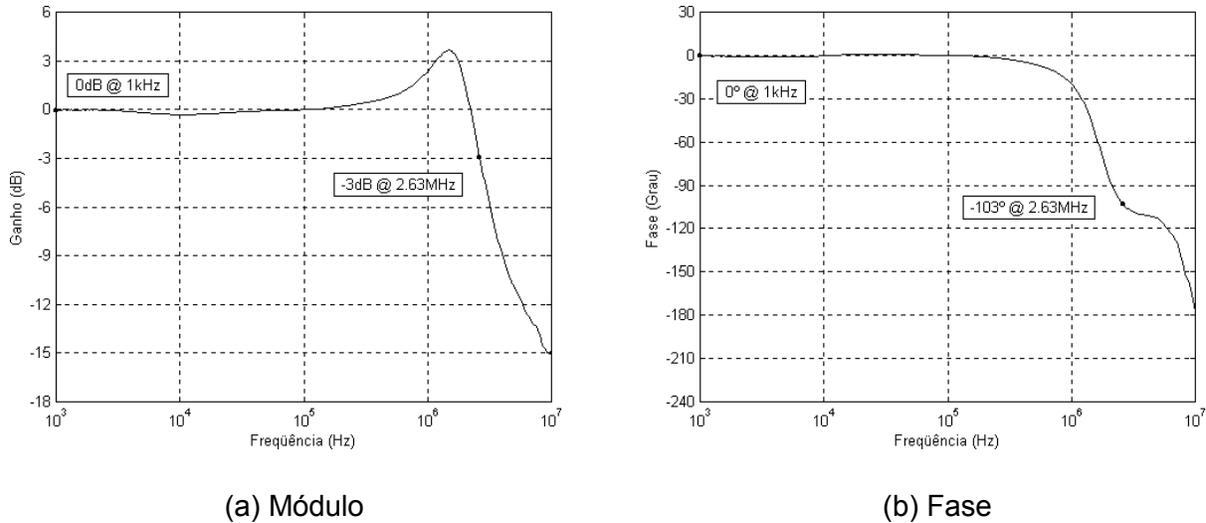


Figura 2.41: Resposta em frequência do amp-op com compensação passiva realimentado

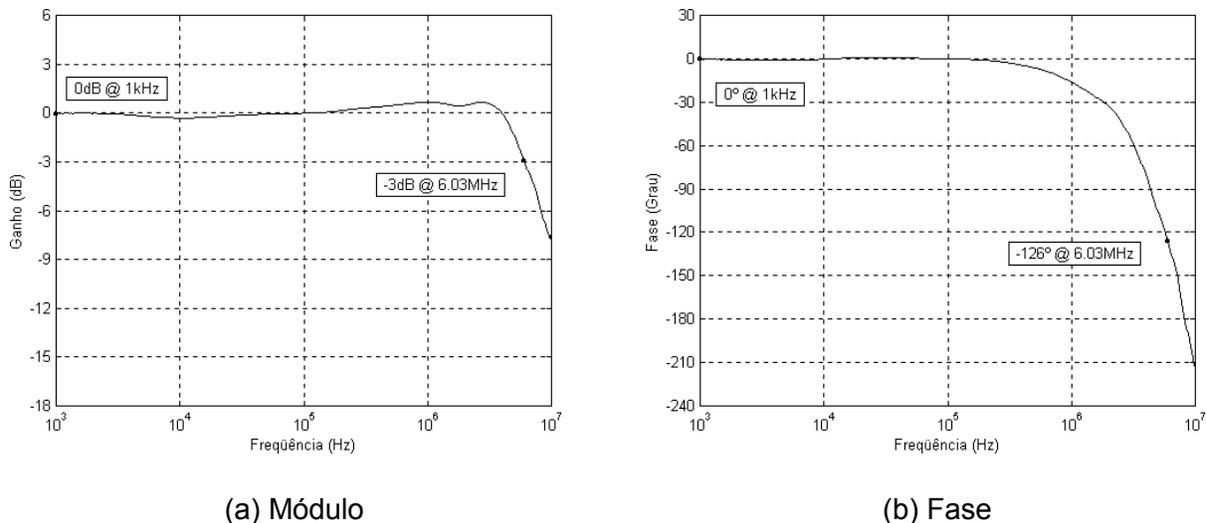


Figura 2.42: Resposta em frequência do amp-op com compensação ativa realimentado

A resposta em frequência obtida na Figura 2.41 comprova as considerações feitas anteriormente sobre a redução da frequência de ganho unitário e da margem de fase do amp-op

com compensação passiva. Entretanto, o amp-op com realimentação ativa atingiu a frequência de -3dB prevista pela simulação (Figura 2.28), contradizendo a esperada redução de sua banda devido ao baixo *slew rate* (observado na Figura 2.38).

Com o auxílio do osciloscópio, observou-se a resposta no tempo dos dois amplificadores operacionais desde as frequências mais baixas até a frequência próxima do ganho de -3dB (Figura 2.43).

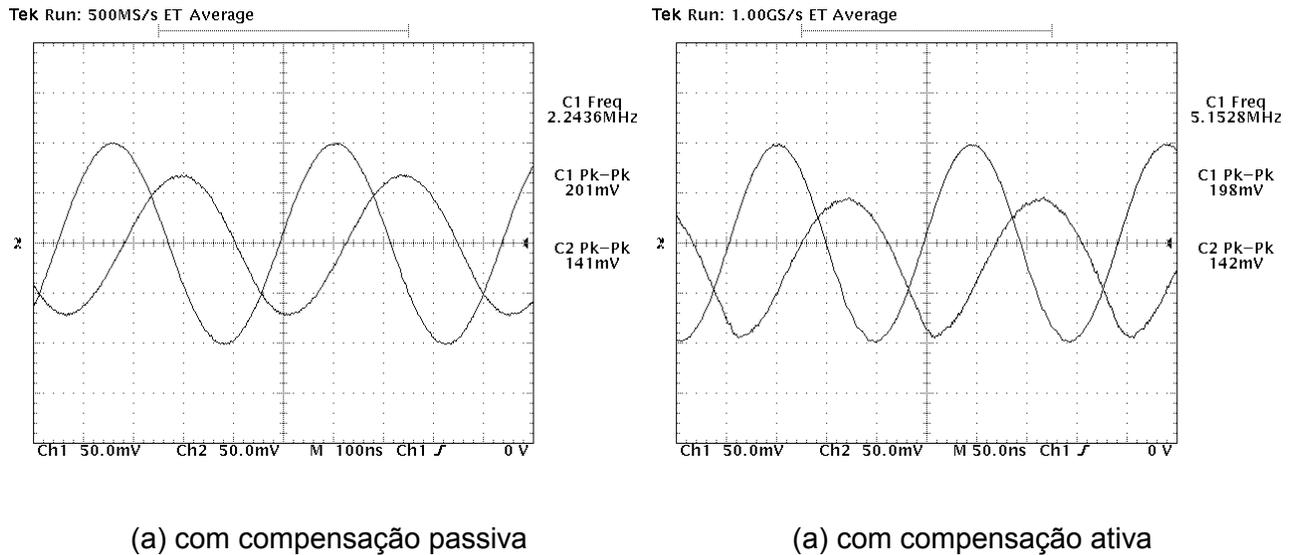


Figura 2.43: Análise da frequência de -3dB do amp-op realimentado

O comportamento do amp-op com compensação passiva (Figura 2.43a) na frequência de -3dB coincide com a resposta em frequência da Figura 2.41. Já para o amp-op com compensação ativa, na frequência de -3dB o sinal de saída apresenta-se distorcido com relação à entrada (Figura 2.43b). Portanto, a resposta em frequência apresentada na Figura 2.42 deve ser descartada pois não considera a distorção introduzida pela compensação ativa.

Na frequência de -3dB, o capacitor de compensação opera praticamente como um curto-circuito, de forma que a tensão no terminal de fonte do transistor M_c aproxima-se da tensão de saída do segundo estágio (V_2). O fato desta tensão apresentar livre excursão entre os terminais de alimentação pode ser a causa para a distorção observada na Figura 2.43b. Uma maneira de reduzir a flutuação da tensão na fonte do transistor M_c seria conectando o terminal de fonte à saída do primeiro estágio (V_1), onde a flutuação é bem menor. Para isso, basta que o resistor ativo seja implementado por um transistor NMOS, como mostra a Figura 2.44. Apesar de considerada durante a fase de projeto, esta alternativa foi descartada devido ao efeito de corpo sobre o transistor NMOS, que torna sua resistência de canal sensível também ao ruído de V_{SS} . Além disso, o transistor NMOS requer uma fonte de tensão adicional (V_C) pois o aumento de sua tensão de *threshold*, provocado pelo efeito de corpo, impede que o transistor seja polarizado pela fonte de

tensão V_B .

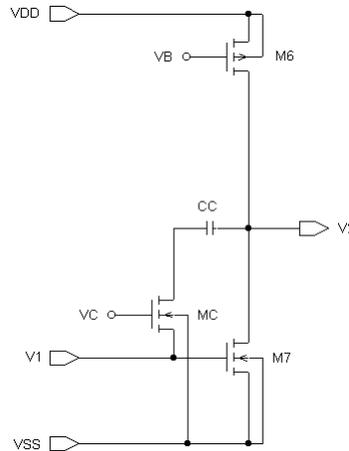


Figura 2.44: Compensação Miller com transistor NMOS

2.9 Considerações Gerais dos Resultados

Os resultados experimentais estão reunidos na Tabela 2.16.

Tabela 2.16: Desempenho medido para o amplificador operacional canônico

Parâmetro	Valor medido	Valor simulado	Valor calculado
Corrente de Polarização	45,9 μ A a 57,1 μ A	68,6 μ A	66,54 μ A
Tensão de saída máxima	2,54V	2,58V	2,60V
Tensão de saída mínima	0,30V	0,32V	0,34V
Tensão de entrada máxima	2,40V	-	-
Tensão de entrada mínima	-0,14V	-	-
Tensão de <i>offset</i>	-21,3mV a 7,69mV	-	-
<i>Slew rate</i> positivo	5,06V/ μ s	10,4V/ μ s	-
<i>Slew rate</i> negativo	-3,89V/ μ s	-10,5V/ μ s	-
Tempo de estabilização positivo (1%)	\sim 1 μ s	430ns	-
Tempo de estabilização negativo (1%)	\sim 1 μ s	430ns	-
Ganho de malha aberta	-	90,3dB	93,30dB
Freqüência de ganho unitário	-	4,27MHz	4MHz
Margem de fase	-	67°	70°
Freqüência do pólo da carga	-	1,62MHz	1,625MHz
Freqüência do zero	-	3,37MHz	3,615MHz
Freqüência de -3dB	2,63MHz	5,89MHz	-
Fase em -3dB	-103°	-71,8°	-

Concluiu-se que a metodologia de projeto adotada para o amplificador operacional canônico foi bastante adequada, visto que os valores calculados coincidiram com os resultados de simulação. Além disso, medidas experimentais realizadas em baixa frequência foram perfeitamente compatíveis com os valores calculados.

Um resultado inesperado foi a razão entre a corrente de polarização do primeiro estágio e o capacitor de compensação cair à metade do valor previsto. Como não há medidas diretas e precisas destas duas variáveis, torna-se impossível afirmar sua causa. Isto não impede que algumas suposições sejam levantadas. Qualquer falha de projeto foi descartada pois esta seria prontamente observada durante as simulações. Restam portanto falha durante a execução do *layout* ou imprecisão do processo de fabricação. Entretanto, o *layout* do circuito integrado foi verificado sucessivas vezes e nenhuma falha foi encontrada. Já as tensões de *offset* excessivamente elevadas comprovam que a imprecisão do processo de fabricação afeta significativamente a tensão de *threshold* dos transistores. Conseqüentemente, um desvio na tensão de *threshold* do transistor M1 afetaria diretamente a polarização do estágio de entrada. Mas a causa mais provável seria um valor excessivamente elevado do capacitor de compensação, como sugere a caracterização dos capacitores na seção 2.8.1. Isso poderia resultar de um dimensionamento equivocado do capacitor ou uma influência negativa de suas estruturas *dummy*, incluídas por recomendações da AMS [13].

Qualquer que seja a causa, os resultados experimentais comprovaram que a queda na relação entre I_{D1} e C_C afeta diretamente o *slew rate*, a frequência de ganho unitário, a margem de fase e o tempo de estabilização do amplificador operacional. Além disso, a capacitância parasita entre o substrato e o *pad* de saída contribui para a redução da banda do amp-op.

Apesar da distorção observada na saída do amplificador operacional para altas frequências devido à compensação ativa, não foi possível identificar sua causa pois nem os resultados em simulação evidenciaram tal distorção.

3 O AMPLIFICADOR OPERACIONAL

RAIL-TO-RAIL

O amplificador operacional canônico compôs uma parte importante do estudo sobre amp-ops integrados em tecnologia CMOS pois permitiu ao autor familiarizar-se com o projeto de amp-ops. Entretanto, julgou-se necessário estender o estudo para amp-ops mais elaborados. Considerou-se um bom desafio e ao mesmo tempo um excelente meio de aprendizado o projeto de um amplificador operacional *rail-to-rail*.

Um amp-op *rail-to-rail* é assim chamado pois sua principal característica é a ampla excursão de sinal tanto na entrada quanto na saída, podendo inclusive estender-se além dos terminais de alimentação. Ao contrário do amp-op canônico, o estudo do amp-op *rail-to-rail* não se inicia com uma topologia pré-definida. De fato, na seção 3.3 o autor analisa as diferentes topologias *rail-to-rail* existentes, buscando aquela que apresenta melhor desempenho e que seja exequível na tecnologia de fabricação disponível (seção 3.2). Em seguida, na seção 3.5, o autor analisa minuciosamente a estrutura interna adotada (seção 3.4) para que o projeto de um amp-op *rail-to-rail* (seção 3.6) atinja as metas de desempenho definidas na seção 3.1. A metodologia de projeto é avaliada através de uma série de simulações, descrita na seção 0. Com a fabricação do circuito integrado (seção 3.8), a seção 3.9 detalha as medidas experimentais do circuito integrado realizadas em bancada. Por fim, considerações gerais sobre os resultados encontram-se na seção 3.10, comparando o desempenho real do amp-op às especificações, ao método de projeto e aos resultados de simulação.

3.1 Especificações de Projeto

As metas de desempenho para o amplificador operacional *rail-to-rail* estão resumidas na Tabela 3.1.

Tabela 3.1: Especificações do amplificador operacional *rail-to-rail*

1	Tensão de alimentação	3 V
2	Carga externa	resistor de 10 k Ω em paralelo com capacitor de 10 pF
3	Ganho DC mínimo em malha aberta	80 dB (10000 V/V)
4	Frequência de ganho unitário	10 MHz
5	Excursão de entrada	<i>rail-to-rail</i>
6	Excursão de saída	<i>rail-to-rail</i>
7	Polarização do estágio de entrada	3 a 5 μ A

3.2 O Processo de Fabricação

Esta seção apresenta o processo de fabricação escolhido para a implementação do amplificador operacional *rail-to-rail*, destacando apenas as constantes necessárias para o projeto de transistores, resistores e capacitores.

O processo adotado - **0,6 μ m CUP** da AMS [22], [23] - dispõe de um substrato do tipo P e poços isolados do tipo N, permitindo a implementação de transistores PMOS com corpo independente e transistores NMOS com corpo comum (o substrato). O processo oferece ainda duas camadas de silício policristalino, que possibilita implementar resistores e capacitores com alta linearidade, além de três camadas de metalização. Existe ainda uma terceira camada de silício policristalino com o objetivo de implementar resistores de alta resistividade. As principais características do processo são apresentadas na Tabela 3.2.

Tabela 3.2: Características gerais do processo CUP

Tensão de alimentação máxima	V_{DDMAX}	5,5 V
Comprimento de canal mínimo	L_{MIN}	0,6 μ m
Largura de canal mínima	W_{MIN}	0,8 μ m
Capacitância por área do óxido de porta	C_{OX}	2,76 fF/ μ m ²
Dopagem do substrato P	N_A	145·10 ¹⁵ /cm ³
Dopagem do poço N	N_D	52·10 ¹⁵ /cm ³

Para reduzir a sensibilidade dos transistores às imprecisões do processo de fabricação, o comprimento de canal mínimo adotado para o projeto do amplificador *rail-to-rail* foi de **2 μ m**. Como a dimensão mínima para o *layout* na tecnologia CUP é de 0,05 μ m [23], a precisão adotada para as dimensões dos transistores foi de **\pm 0,05 μ m**.

A Tabela 3.3 contém os parâmetros de processo para transistores de canal N.

Tabela 3.3: Características do transistor NMOS

Mobilidade de elétrons	μ_N	430 cm ² /(V·s)
Tensão de <i>threshold</i>	V_{TON}	0,88V
Fator de corpo	γ_N	0,80 V ^{1/2}
Fator de modulação de canal	λ_N	1 / 37,3 V ⁻¹

Já os parâmetros do processo CUP para transistores de canal P estão listados na Tabela 3.4.

Tabela 3.4: Características do transistor PMOS

Mobilidade de lacunas	μ_P	145 cm ² /(V·s)
Tensão de <i>threshold</i>	V_{TOP}	0,86 V
Fator de corpo	γ_P	0,48 V ^{1/2}
Fator de modulação de canal	λ_P	1 / 55,5 V ⁻¹

A Tabela 3.5 apresenta os parâmetros de processo necessários ao projeto de resistores utilizando a primeira camada de silício policristalino.

Tabela 3.5: Características do resistor de silício policristalino

Resistência por quadrado	R_{POLY}	33 Ω
Largura mínima	-	0,8 μm

Ao contrário do processo CYE (seção 2.2), a implementação de resistores através da segunda camada de silício policristalino não é permitida. Esta camada só é utilizada em conjunto com a primeira camada de silício policristalino para a implementação de capacitores, cujos parâmetros de processo estão resumidos na Tabela 3.6.

Tabela 3.6: Características do capacitor de silício policristalino

Capacitância por área	C_A	0,86 fF/ μm^2
Capacitância por perímetro	C_P	0,11 fF/ μm

Tal como no processo CYE, a tensão de *threshold* e o parâmetro de modulação de canal para o processo CUP foram extraídos por meio de simulações, utilizando os mesmos procedimentos descritos na seção 2.2. O arquivo que contém os parâmetros típicos de simulação para transistores NMOS e PMOS referentes ao processo CUP chama-se **cmos15tm** [22] e foi fornecido pela AMS.

Os valores de V_{TON} e λ_N foram calculados para transistores NMOS de diferentes dimensões e

os resultados são apresentados na Tabela 3.7. Nota-se que o valor de V_{TON} adotado pela Tabela 3.3 é adequado para transistores cuja largura de porta é no mínimo $8\mu\text{m}$.

Tabela 3.7: Resultados de simulação para transistores NMOS

W (μm)	L (μm)	V_{TON} (V)	λ_N (V^{-1})
2	2	0,8942	1 / 35,81
4	2	0,8881	1 / 36,83
8	2	0,8850	1 / 37,33
16	2	0,8834	1 / 37,58
32	2	0,8826	1 / 37,71
64	2	0,8822	1 / 37,78
128	2	0,8820	1 / 37,81
256	2	0,8819	1 / 37,83

Os parâmetros V_{TOP} e λ_P do transistor PMOS foram obtidos a partir de simulação utilizando o mesmo procedimento descrito para o transistor NMOS. Pelos resultados (Tabela 3.8), conclui-se que o valor de V_{TOP} adotado na Tabela 3.4 também não é recomendado para transistores com largura de porta menor que $8\mu\text{m}$.

Tabela 3.8: Resultados de simulação para transistores PMOS

W (μm)	L (μm)	V_{TOP} (V)	λ_P (V^{-1})
2	2	0,8723	1 / 55,44
4	2	0,8665	1 / 55,50
8	2	0,8636	1 / 55,51
16	2	0,8622	1 / 55,52
32	2	0,8615	1 / 55,53
64	2	0,8611	1 / 55,55
128	2	0,8610	1 / 55,56
256	2	0,8609	1 / 55,56

3.3 A Classe *Rail-to-Rail*

Em virtude da busca constante por reduzir a tensão de alimentação dos amplificadores operacionais, novas estruturas internas precisaram ser desenvolvidas pois as topologias existentes apresentavam limitações de excursão tanto nas entradas quanto na saída.

Observando o estágio de entrada convencional de um amp-op, Figura 3.1, nota-se que a

tensão mínima do sinal de entrada é limitada pela tensão de *threshold* do espelho de corrente M4-M5.

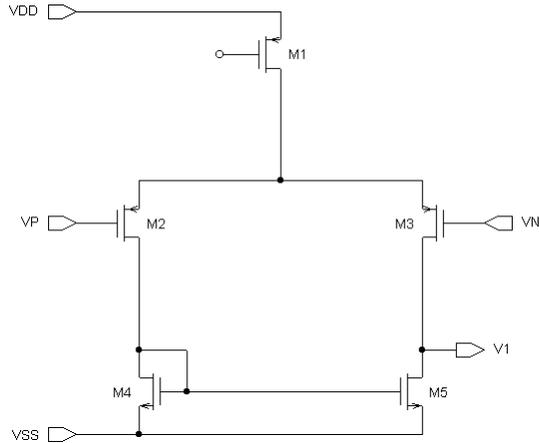


Figura 3.1: Estágio de entrada convencional

Para ampliar a excursão negativa de entrada, foi idealizada a estrutura da Figura 3.2, conhecida como estágio de entrada *folded-cascode* [24]. Nesta topologia, o espelho de corrente simples (transistores M4 e M5 na Figura 3.1) foi substituído por um espelho de corrente de grande excursão (transistores M4 a M7 na Figura 3.2), que requer duas fontes de corrente adicionais (transistores M11 e M12) para ser corretamente polarizado.

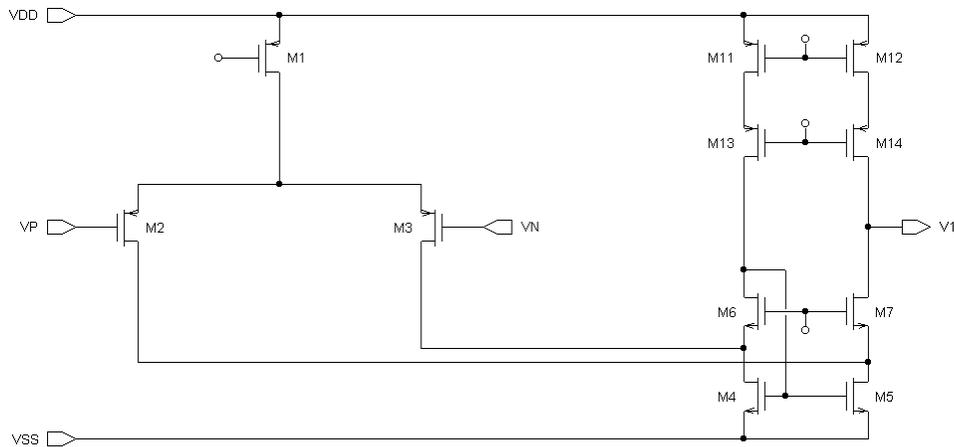


Figura 3.2: Estágio de entrada *folded-cascode*

Como os transistores M6 e M7 operam como deslocadores de nível DC, o transistor M6 desacopla as tensões de dreno e porta do transistor M4. Com isso, a tensão mínima não é mais limitada pela tensão de *threshold* do espelho M4-M5, mas pela sua tensão de saturação. Além disso, o transistor M7 adequa o nível DC da saída para o estágio seguinte. Outra vantagem referente aos transistores M6 e M7 é que eles contribuem significativamente para o ganho do estágio de entrada, tornando desnecessário o estágio intermediário de ganho e viabilizando assim

um amplificador operacional de apenas dois estágios. Os transistores M13 e M14 aumentam significativamente a impedância de saída das fontes de corrente M11 e M12 e conseqüentemente o ganho deste estágio.

Com relação à excursão positiva do sinal de entrada, ela limita-se pela tensão de *threshold* do par diferencial M2-M3 mais a tensão de saturação da fonte de corrente M1, assim como no estágio de entrada convencional. Para superar esta limitação e atingir uma excursão de entrada verdadeiramente *rail-to-rail*, Huijsing e Linebarger [25] introduziram **dois** pares diferenciais de entrada, complementares entre si e que operam em diferentes faixas de tensão na entrada. Desde então, todas as topologias de entrada *rail-to-rail* invariavelmente utilizam pares diferenciais complementares [14], [25]-[35].

Apesar de alguns amplificadores operacionais utilizarem pares diferenciais convencionais (Figura 3.1) para compor estruturas *rail-to-rail* [27], [29], [34], estágios *folded-cascode* (Figura 3.2) são mais adequados devido à maior excursão de entrada.

A estrutura mais simples para um estágio de entrada *rail-to-rail* é apresentada na Figura 3.3 [26]. Aproveitando-se da estrutura *cascode* das fontes de corrente M11 e M12, obtém-se o estágio *folded-cascode* complementar apenas acrescentando o par diferencial M9-M10 e a fonte de corrente M8 para sua polarização.

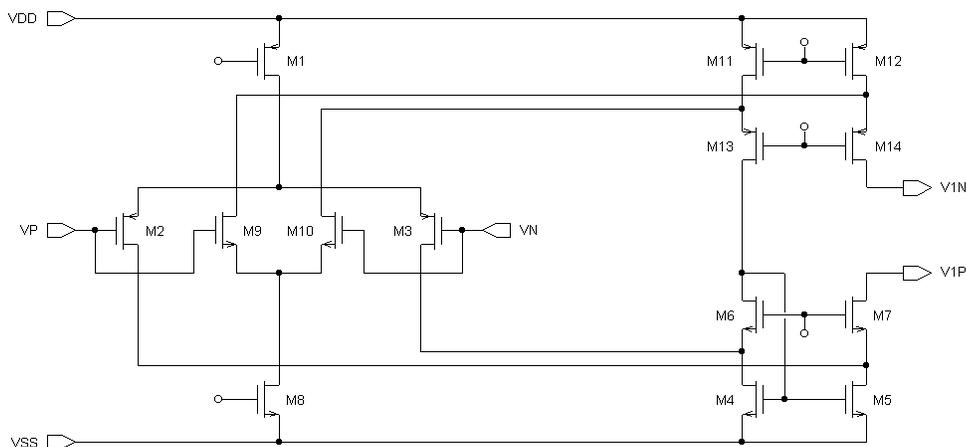


Figura 3.3: Estágio de entrada *rail-to-rail* básico

Esta estrutura está presente em alguns amplificadores operacionais [25], [26], [28], [30] mas contém uma falha que prejudica significativamente sua operação: a polarização do estágio depende da tensão de modo-comum (V_{CM}). Isto ocorre porque a corrente de polarização dos transistores M6 e M7 resulta das fontes de corrente M8, M11 e M12. Entretanto, quando a tensão V_{CM} aproxima-se de V_{SS} , o par diferencial M9-M10 deixa de operar, aumentando a corrente através do espelho de corrente M4-M7. Este desvio na polarização da estrutura *folded-cascode* M1-M7 altera seus parâmetros incrementais e conseqüentemente, o ganho do estágio de entrada.

Para impedir que um estágio *folded-cascode* interfira na polarização do *folded-cascode* complementar, foi desenvolvida a estrutura da Figura 3.4 [14], que implementa dois estágios *folded-cascode* complementares e independentes.

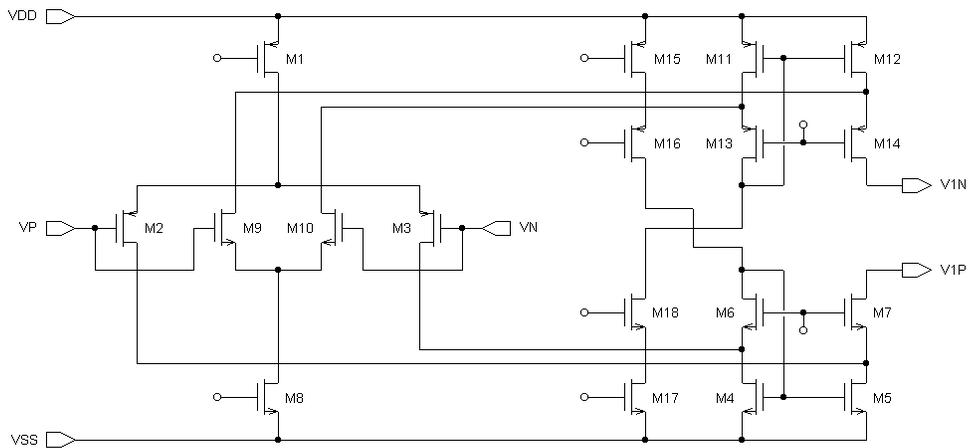


Figura 3.4: Estágio de entrada *rail-to-rail* com estágios *folded-cascode* isolados

Nesta estrutura, cada estágio *folded-cascode* é polarizado por uma fonte de corrente *cascode* independente (M15-M16 ou M17-M18), tornando-os completamente isolados. Entretanto, este estágio está sujeito à tensão de *offset* na saída caso estas fontes de corrente não sejam idênticas.

Uma estrutura mais elaborada que a anterior é apresentada na Figura 3.5 [31]. Através de uma fonte de corrente **flutuante**, constituída por dois transistores complementares M15 e M16, garante-se que os dois estágios *folded-cascode* são polarizados com a mesma corrente sem elevar a complexidade da estrutura.

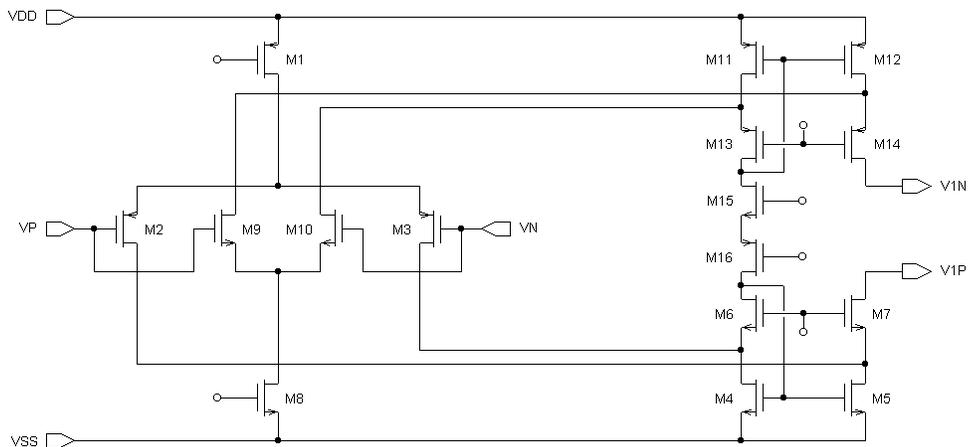


Figura 3.5: Estágio de entrada *rail-to-rail* com fonte de corrente flutuante

Esta topologia é ideal para amplificadores operacionais que operam com alta tensão de alimentação [31], [33]. Contudo, a fonte de corrente flutuante resulta do empilhamento de duas

tensões de *threshold*, inviável para amp-ops alimentados com tensões abaixo de 3V, principalmente se algum destes transistores está sujeito ao efeito de corpo.

O estágio de entrada *rail-to-rail* ilustrado na Figura 3.6 [14] possui uma estrutura alternativa para a fonte de corrente flutuante, que reduz a tensão mínima de alimentação [14], [32].

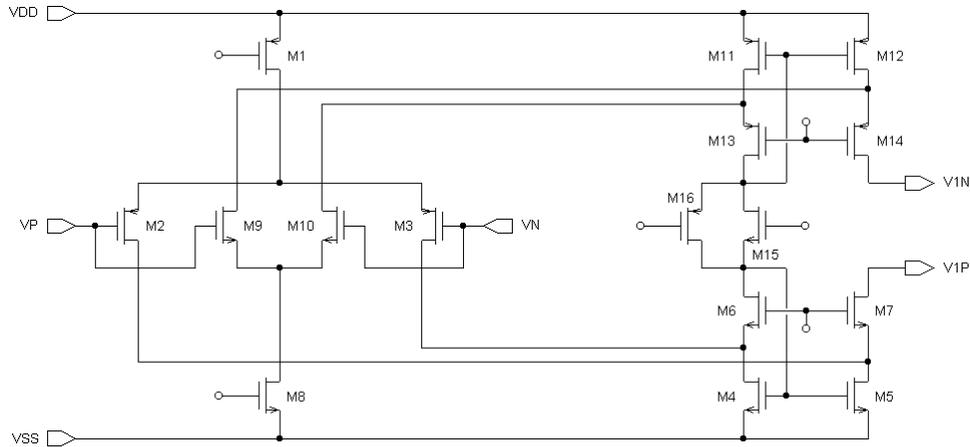


Figura 3.6: Estágio de entrada *rail-to-rail* para baixa tensão de alimentação

Composta na verdade por dois transistores complementares **em paralelo** (M15 e M16), esta estrutura opera aproximadamente como uma fonte de corrente pois suas tensões de dreno e fonte variam apenas incrementalmente. Neste caso não há o empilhamento de dois V_T enquanto um possível efeito de corpo sobre qualquer um destes transistores é menor.

Existe ainda uma última topologia *rail-to-rail* [35] que reduz o empilhamento de três transistores (M6, M13 e M15 na Figura 3.6) para apenas dois. Desta forma, a tensão de alimentação do amp-op pode ser reduzida para até 1,8V. Entretanto, esta estrutura foge do escopo deste trabalho e é apenas mencionada como parte da família de amplificadores operacionais *rail-to-rail*.

Apesar das diferentes topologias existentes para um estágio *rail-to-rail* de entrada, todas sem exceção sofrem de uma limitação importante: a banda de frequência varia conforme a tensão de modo-comum. Como são dois pares diferenciais de entrada complementares, na verdade existem dois caminhos independentes que conectam a entrada diferencial à saída do estágio de entrada. Cada caminho introduz um ganho próprio e a saída resulta da combinação destes ganhos. Um estágio de entrada ideal é composto por estágios *folded-cascode* com ganhos idênticos, de forma que o ganho total do estágio é o dobro. Contudo, quando a tensão de modo-comum aproxima-se dos terminais de alimentação, apenas um dos pares diferenciais mantém-se em operação. Isto elimina um dos caminhos entre a entrada e a saída e reduz o ganho total à metade. O fato do ganho ser menor nos extremos da excursão de entrada reflete-se com a mesma proporção sobre a frequência de ganho unitário do amp-op, como demonstrou a seção 2.4.8.

Para equalizar a banda de frequência do amp-op em função da tensão de modo-comum, o método mais utilizado é a equalização do ganho do estágio de entrada através de sua transcondutância g_m . Diferentes técnicas foram desenvolvidas [14], [25], [28]-[35] com a finalidade de duplicar a transcondutância de um par diferencial quando seu par complementar está fora de operação e assim garantir que o ganho de malha aberta do amplificador operacional não sofre alteração. Entretanto, circuitos para controle de g_m aumentam a complexidade tanto da topologia quanto do projeto do amplificador operacional, pois alguns circuitos de controle afetam a polarização de outros transistores além do par diferencial de entrada. Além disso, como a equalização do ganho de malha aberta não é vital para a operação do amplificador operacional *rail-to-rail*, o autor optou por não considerar este tipo de circuito.

Com relação ao estágio de saída, a topologia adotada por todos os amplificadores operacionais *rail-to-rail* é a mesma do amp-op canônico: o inversor CMOS (Figura 2.8). A estrutura apresentada na Figura 2.8 é extremamente simples pois os transistores são polarizados em classe A. Para melhorar a eficiência do inversor CMOS, diversas topologias com polarização classe AB foram desenvolvidas, desde as mais simples [27], [36] até as mais complexas [6], [25], [26], [30], [35], [37]-[40]. Dentre elas, destaca-se uma estrutura que, apesar de sua simplificação, mostra-se extremamente eficiente na polarização em classe AB dos transistores de saída. Apresentada na Figura 3.7, esta estrutura pode ser encontrada em uma série de amp-ops [14], [31]-[33].

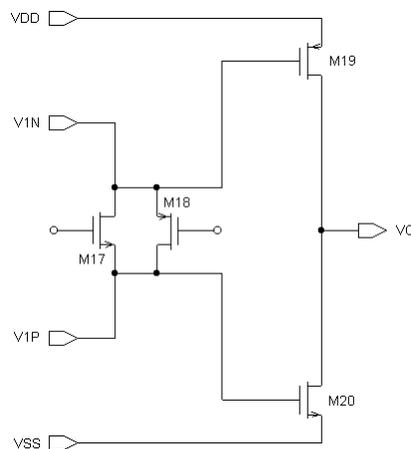


Figura 3.7: Estágio de saída *rail-to-rail* em classe AB

Considerando que o estágio de entrada apresenta dois estágios *folded-cascode* isolados, como na Figura 3.6, cada estágio aciona um dos transistores de saída (M19 ou M20). Entretanto, quando o estágio *folded-cascode* M1-M7 (ver Figura 3.6) deixa de operar, o terminal de porta do transistor M20 (V_{1P}) permanece indefinido. Utiliza-se então um transistor em configuração porta-comum (M18) para acoplar o terminal de porta do transistor M20 à saída do estágio *folded-cascode* complementar (V_{1N}). Além disso, o transistor funciona como um deslocador de nível DC,

polarizando os transistores de saída em classe AB. Contudo, como o acoplamento entre V_{1N} e V_{1P} através do transistor M18 é unidirecional, é preciso um segundo transistor (M17), complementar ao anterior e em paralelo, para acoplar de forma bidirecional os transistores de saída. Assim, garante-se que os dois transistores de saída apresentam um potencial definido independente da tensão de modo-comum.

Nota-se que o circuito de polarização em classe AB (transistores M17 e M18 na Figura 3.7) é idêntico à estrutura da fonte de corrente flutuante (transistores M15 e M16 na Figura 3.6). Esta semelhança não é por acaso: tal simetria permite que eventuais erros introduzidos por cada estrutura, tais como *offset* ou ruído, se cancelem mutuamente [14].

3.4 A Topologia Adotada

A partir do estudo realizado na seção 3.3 sobre diferentes topologias de amplificadores operacionais *rail-to-rail*, optou-se pela estrutura que melhor se adequa às especificações de projeto e à tecnologia de fabricação, como mostra a Figura 3.8. Esta estrutura deriva de Hogervorst *et al* [14].

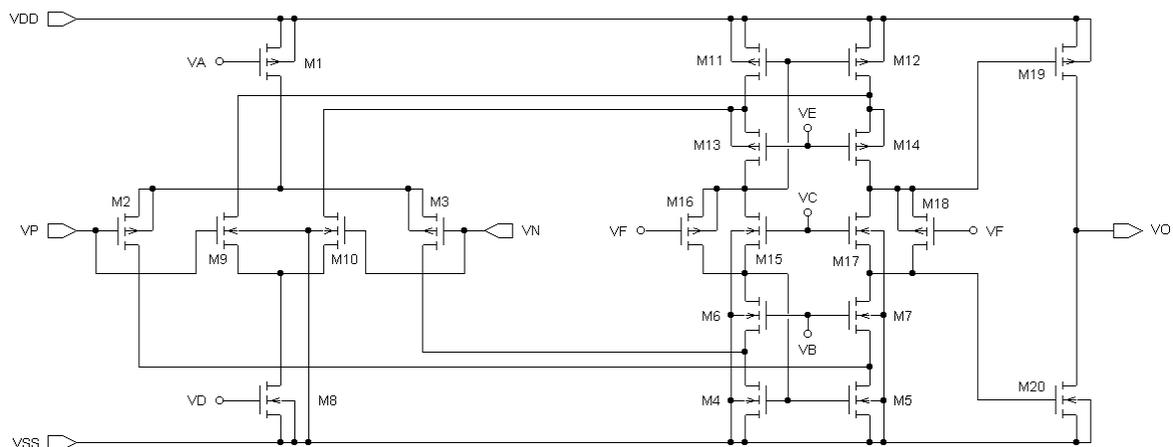


Figura 3.8: Topologia do amplificador operacional *rail-to-rail*

O amplificador operacional *rail-to-rail* é composto por apenas dois estágios: o estágio de entrada *rail-to-rail* e o estágio de saída *rail-to-rail* polarizado em classe AB. O estágio de entrada é composto por dois circuitos *folded-cascode* que são complementares entre si. O primeiro compreende os transistores M1 a M7 enquanto seu complementar é constituído pelos transistores M8 a M14. Os transistores M15 e M16 compõem a fonte de corrente flutuante que polariza os transistores M6, M7, M13 e M14. Os demais transistores, M17 a M20, constituem o estágio de saída inversor polarizado em classe AB. A análise detalhada de cada um destes blocos será realizada na seção 3.5.

4) a fonte de corrente flutuante, representada pela fonte ideal I_F

O fato de existirem dois pares diferenciais significa que existem dois caminhos distintos por onde o sinal diferencial de entrada se propaga, sendo que cada caminho introduz um ganho de tensão independente. Estes caminhos estão acoplados entre si nos terminais V_{1N} e V_{1P} por um circuito deslocador de nível, representado na Figura 3.9 pela fonte de tensão ideal V_L .

Na análise de pequenos sinais, o deslocador de nível é substituído por um curto-circuito. Como o circuito, nestas condições, se comporta como um sistema linear, utiliza-se o teorema da superposição [41] para calcular o ganho do estágio de entrada. Considerando que a entrada no par diferencial M9-M10 é nula, a impedância vista pelo dreno do transistor M7 é aproximadamente infinita. Da mesma forma, a impedância vista pelo transistor M14 quando a entrada no par diferencial M2-M3 é nula admite-se como infinita. Assim, a relação entre as saídas e a entrada diferencial é

$$V_{1N} = V_{1P} = A_{VN} \cdot (V_P - V_N) + A_{VP} \cdot (V_P - V_N) = (A_{VP} + A_{VN}) \cdot (V_P - V_N). \quad (3.1)$$

Para simplificar a análise de pequenos sinais do estágio de entrada, algumas idealidades que não comprometem a validade dos resultados são consideradas. Primeiramente, considera-se que a fonte de corrente flutuante é ideal. Contudo, esta fonte de corrente é sensível à tensão em seus terminais e portanto sua impedância de saída não é infinita. Apesar disso, esta não-idealidade não afeta significativamente o ganho do estágio de entrada e pode ser desconsiderada. Também considera-se que as fontes de corrente M1 e M8 possuem impedância de saída infinita, isto é,

$$g_{d1} = g_{d8} = 0. \quad (3.2)$$

Já os transistores que compõem o par diferencial de entrada PMOS (M2 e M3) são tidos como perfeitamente casados,

$$g_{m2} = g_{m3}, \quad (3.3)$$

$$g_{d2} = g_{d3}. \quad (3.4)$$

O mesmo se aplica ao par diferencial de entrada NMOS (M9 e M10). Contudo, como estes transistores sofrem efeito de corpo, o parâmetro incremental relativo à tensão fonte-corpo (V_{SB}) também deve ser considerado,

$$g_{m9} = g_{m10}, \quad (3.5)$$

$$g_{mb9} = g_{mb10}, \quad (3.6)$$

$$g_{d9} = g_{d10} . \quad (3.7)$$

Com relação aos espelhos de corrente M4-M5 e M11-M12, considera-se que os transistores são idênticos aos pares,

$$g_{m4} = g_{m5} , \quad (3.8)$$

$$g_{d4} = g_{d5} , \quad (3.9)$$

$$g_{m11} = g_{m12} , \quad (3.10)$$

$$g_{d11} = g_{d12} . \quad (3.11)$$

Finalmente, admite-se que os pares M6-M7 e M13-M14, que completam os espelhos, também são perfeitamente casados,

$$g_{m6} = g_{m7} , \quad (3.12)$$

$$g_{mb6} = g_{mb7} , \quad (3.13)$$

$$g_{d6} = g_{d7} , \quad (3.14)$$

$$g_{m13} = g_{m14} , \quad (3.15)$$

$$g_{d13} = g_{d14} . \quad (3.16)$$

Admitindo todas estas idealidades e sabendo que g_m predomina sobre g_d , a análise para pequenos sinais do estágio *folded-cascode* com entrada PMOS resulta na equação de ganho

$$A_{VP} \approx - \frac{g_{m3}}{(g_{d3} + g_{d5})} \cdot \frac{(g_{m7} + g_{mb7} + g_{d7})}{g_{d7}} . \quad (3.17)$$

A equação (3.17) equivale ao ganho do par diferencial convencional, equação (2.7), multiplicado pelo ganho introduzido pelo transistor M7. Nota-se a presença do parâmetro g_{mb7} devido ao efeito de corpo sobre M7.

De forma análoga, o ganho de tensão do estágio *folded-cascode* com entrada NMOS pode ser aproximado por

$$A_{VN} \approx - \frac{g_{m10}}{(g_{d10} + g_{d12})} \cdot \frac{(g_{m14} + g_{d14})}{g_{d14}} . \quad (3.18)$$

Por (3.18) observa-se um fato interessante: apesar do par diferencial M9-M10 ser constituído por transistores NMOS com tensão fonte-corpo não nula, o efeito de corpo não influencia seu ganho quando os transistores são casados.

Finalmente, obtém-se o ganho de tensão do estágio de entrada substituindo as equações

(3.17) e (3.18) em (3.1),

$$A_{V1} = - \frac{g_{m10}}{(g_{d10} + g_{d12})} \cdot \frac{(g_{m14} + g_{d14})}{g_{d14}} - \frac{g_{m3}}{(g_{d3} + g_{d5})} \cdot \frac{(g_{m7} + g_{mb7} + g_{d7})}{g_{d7}}. \quad (3.19)$$

Como mencionado na seção 3.3, a equação (3.19) refere-se à condição em que ambos os estágios *folded-cascode* estão em operação. Quando a tensão de modo-comum aproxima-se de V_{DD} , o par diferencial M2-M3 deixa de operar e a transcondutância g_{m3} cai a zero. De forma análoga, o mesmo ocorre com a transcondutância g_{m10} quando a tensão de modo-comum está muito próxima de V_{SS} .

3.5.2 Estágio de Saída

O estágio de saída do amplificador operacional *rail-to-rail* é composto por um inversor CMOS, assim como no amplificador operacional canônico (seção 2.4.4). Contudo, para reduzir o consumo de corrente quiescente do estágio de saída, no amp-op *rail-to-rail* este estágio é polarizado em classe AB através de um circuito deslocador de nível DC. A Figura 3.10 apresenta a estrutura do estágio de saída com a carga externa acoplada ao terminal de saída.

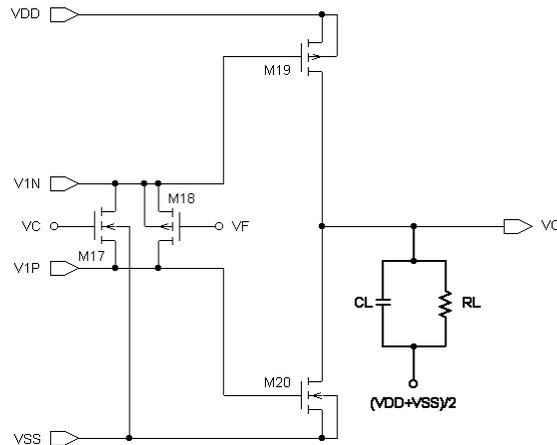


Figura 3.10: Estágio de saída *rail-to-rail*

Os transistores M19 e M20 compõem o inversor CMOS enquanto os transistores M17 e M18 integram o circuito de polarização em classe AB. A operação deste deslocador de nível DC varia conforme a tensão de modo-comum na entrada do amp-op [14], [31].

Independente da tensão de modo-comum, para sinais de pequena amplitude este deslocador de nível DC pode ser considerado um curto-circuito. Assim, a análise para pequenos sinais, considerando apenas a carga externa resistiva, resulta no ganho de tensão

$$\frac{V_O}{V_{IP}} = \frac{V_O}{V_{IN}} = - \frac{g_{m19} + g_{m20}}{g_{d19} + g_{d20} + g_L} . \quad (3.20)$$

Quando a tensão de saída é máxima, o transistor NMOS entra na região de corte enquanto o transistor PMOS opera na região linear, fornecendo corrente à carga segundo a equação

$$I_{D19MÁX} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_{19}}{L_{19}} \cdot (2 \cdot (V_{SG19MÁX} - V_{T19}) - V_{SD19MÍN}) \cdot V_{SD19MÍN} \quad (3.21)$$

onde

$$V_{SG19MÁX} = V_{DD} - V_{INMÍN} , \quad (3.22)$$

$$V_{SD19MÍN} = V_{DD} - V_{OMÁX} , \quad (3.23)$$

$$I_{D19MÁX} = G_L \cdot \left(V_{OMÁX} - \frac{V_{DD} + V_{SS}}{2} \right) . \quad (3.24)$$

No ciclo negativo de operação, o procedimento é análogo. A tensão de saída mínima

$$I_{D20MÁX} = G_L \cdot \left(\frac{V_{DD} + V_{SS}}{2} - V_{OMÍN} \right) \quad (3.25)$$

é definida pela corrente máxima através do transistor NMOS,

$$I_{D20MÁX} = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_{20}}{L_{20}} \cdot (2 \cdot (V_{GS20MÁX} - V_{T20}) - V_{DS20MÍN}) \cdot V_{DS20MÍN} \quad (3.26)$$

onde

$$V_{GS20MÁX} = V_{IPMÁX} - V_{SS} , \quad (3.27)$$

$$V_{DS20MÍN} = V_{OMÍN} - V_{SS} . \quad (3.28)$$

3.5.3 Ganho de Malha Aberta

O ganho de tensão em malha aberta do amplificador operacional *rail-to-rail* resulta do cascadeamento do estágio de entrada com o estágio de saída,

$$A_{DC} = \frac{V_O}{V_P - V_N} = \left[\frac{g_{m10}}{(g_{d10} + g_{d12})} \cdot \frac{(g_{m14} + g_{d14})}{g_{d14}} + \frac{g_{m3}}{(g_{d3} + g_{d5})} \cdot \frac{(g_{m7} + g_{mb7} + g_{d7})}{g_{d7}} \right] \cdot \frac{(g_{m19} + g_{m20})}{(g_{d8} + g_{d9} + g_L)} , \quad (3.29)$$

lembrando que as transcondutâncias g_{m3} ou g_{m10} podem ser nulas dependendo da tensão de modo-comum na entrada do amp-op.

3.5.4 Resposta em Freqüência

Assim como no amplificador operacional canônico, capacitâncias tanto internas quanto externas ao amp-op definem sua banda de freqüência. A Figura 3.11 apresenta o modelo para pequenos sinais do amplificador operacional *rail-to-rail*, destacando as capacitâncias mais importantes para sua resposta em freqüência, ou seja, aquelas associadas aos pontos de mais alta impedância do circuito.

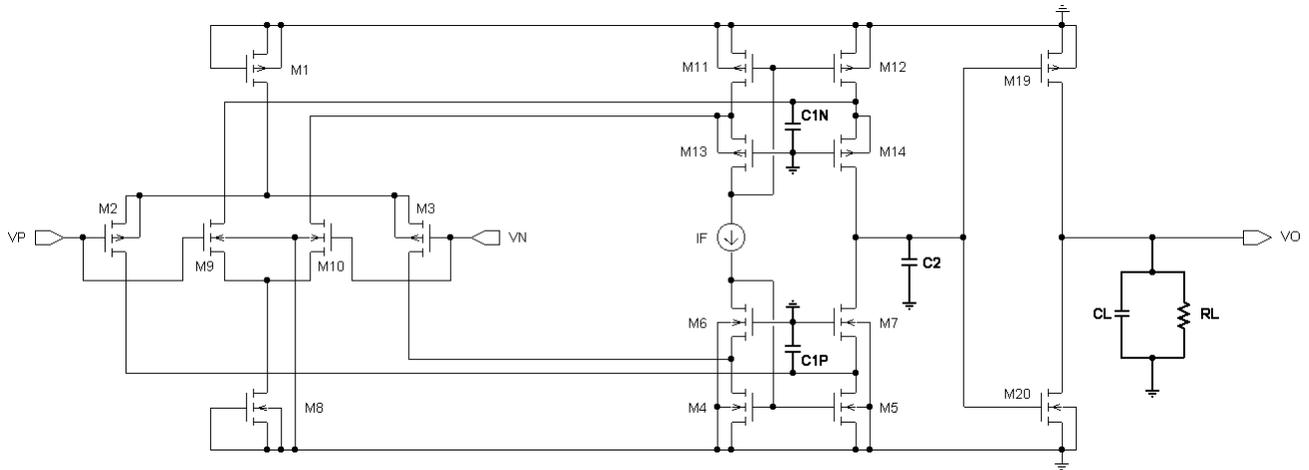


Figura 3.11: Principais capacitâncias do amplificador operacional *rail-to-rail*

O capacitor C_{1P} representa principalmente a capacitância entre os terminais de porta e fonte do transistor M7 (C_{GS7}) e introduz um pólo de baixa freqüência devido à alta impedância de saída do par diferencial PMOS. De forma análoga, o capacitor C_{1N} resulta da capacitância de porta do transistor M14 (C_{GS14}). Já o capacitor C_2 deriva da associação em paralelo da capacitância entre porta e fonte dos transistores de saída M19 e M20 ($C_{GS19} + C_{GS20}$), definindo um pólo de muito baixa freqüência pois a impedância vista por C_2 equivale à impedância de saída dos pares diferenciais multiplicada pelo ganho dos transistores M7 e M14.

Com o auxílio dos *softwares* Sspice e Mathematica, obteve-se uma expressão simbólica para a resposta em freqüência da estrutura apresentada na Figura 3.11. O estágio *folded-cascode* com entrada PMOS é afetado pelos capacitores C_{1P} e C_2 enquanto seu estágio complementar sofre a influência de C_{1N} e C_2 . Utilizando o teorema da superposição, analisou-se o ganho do circuito M1-M7 considerando que a entrada diferencial no circuito M8-M14 é nula. Portanto, pela presença dos capacitores C_{1P} e C_2 , o ganho do estágio *folded-cascode* com entrada PMOS passa a ser

$$\frac{V_{1P}}{V_P - V_N} = - \frac{a_0}{b_2 \cdot s^2 + b_1 \cdot s + b_0} \quad (3.30)$$

Sabendo que g_m predomina sobre g_d , os coeficientes da equação (3.30) podem ser aproximados por

$$a_0 \approx -g_{m3} \cdot (g_{m7} + g_{mb7} + g_{d7}), \quad (3.31)$$

$$b_0 \approx (g_{d3} + g_{d5}) \cdot g_{d7}, \quad (3.32)$$

$$b_1 \approx C_2 \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d5} + g_{d3}) + C_{1P} \cdot g_{d7}, \quad (3.33)$$

$$b_2 \approx C_{1P} \cdot C_2. \quad (3.34)$$

Por (3.30), nota-se que a resposta em frequência do estágio *folded-cascode* apresenta dois pólos. Considerando que ambos os pólos são reais e negativos, w_{C1P} e w_{C2P} , e que w_{C1P} é muito maior que w_{C2P} , os pólos podem ser aproximadamente por

$$w_{C2P} \approx -\frac{b_0}{b_1}, \quad (3.35)$$

$$w_{C1P} \approx -\frac{b_1}{b_2}. \quad (3.36)$$

Substituindo (3.32) e (3.33) em (3.35), obtém-se a equação do primeiro pólo,

$$w_{C2P} = -\frac{1}{\left[C_{1P} + C_2 \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right) \right] \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) + C_2 \cdot \frac{1}{g_{d7}}}. \quad (3.37)$$

Considerando que g_{m7} e g_{mb7} predominam sobre os demais parâmetros, a equação do primeiro pólo aproxima-se de

$$w_{C2P} \approx -\frac{1}{C_2 \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right)}. \quad (3.38)$$

A expressão para o pólo w_{C1P} é obtida substituindo as equações (3.33) e (3.34) em (3.36),

$$w_{C1P} = -\frac{1}{C_{1P} \cdot \left(\frac{1}{g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}} \right)} - \frac{1}{C_2 \cdot \frac{1}{g_{d7}}}, \quad (3.39)$$

que, pelas considerações acima, pode ser aproximado por

$$W_{C1P} \approx -\frac{1}{C_{1P} \cdot \left(\frac{1}{g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}} \right)}. \quad (3.40)$$

Como a análise de pequenos sinais para o estágio *folded-cascode* com entrada NMOS é análoga, conclui-se que seu ganho também possui dois pólos,

$$W_{C1N} \approx -\frac{1}{C_{1N} \cdot \left(\frac{1}{g_{m14} + g_{d14} + g_{d10} + g_{d12}} \right)}, \quad (3.41)$$

$$W_{C2N} \approx -\frac{1}{C_2 \cdot \left(\frac{1}{g_{d10} + g_{d12}} \right) \cdot \left(\frac{g_{m14} + g_{d14}}{g_{d14}} \right)}. \quad (3.42)$$

O capacitor de carga C_L , associado ao resistor de carga R_L e à impedância de saída do amplificador operacional *rail-to-rail*, define o terceiro pólo de sua resposta em frequência,

$$W_{PL} = -\frac{1}{C_L \cdot \left(\frac{1}{g_{d19} + g_{d20} + g_L} \right)}. \quad (3.43)$$

3.5.5 Compensação em Frequência

A seção 3.5.4 demonstrou que cada estágio *folded-cascode* do amplificador operacional *rail-to-rail* apresenta dois pólos principais que afetam seu ganho de malha aberta, além do pólo da carga. Para garantir que o amp-op seja estável em toda sua banda de frequência, utilizou-se a técnica de compensação Miller com resistor (seção 2.4.7). A malha de compensação foi acrescentada ao estágio de saída como mostra a Figura 3.12. O objetivo é realizar o afastamento dos pólos W_{C2N} , W_{C2P} e W_{PL} sem afetar significativamente a posição dos pólos W_{C1N} e W_{C1P} .

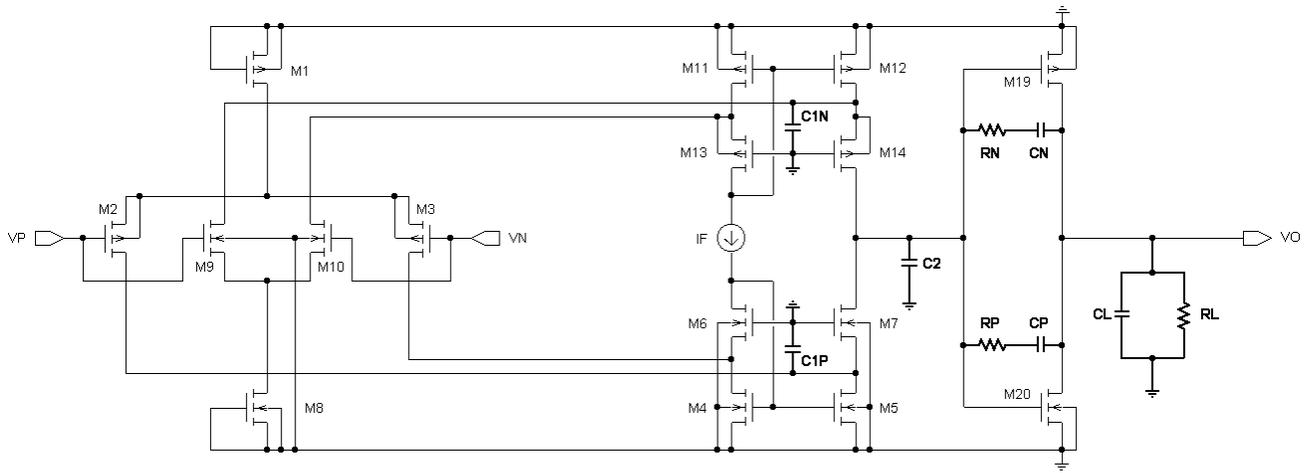


Figura 3.12: Compensação Miller com resistor

Como o estágio de saída apresenta duas entradas (V_{1N} e V_{1P} na Figura 3.9) é preciso utilizar duas malhas de compensação, R_N-C_N e R_P-C_P . Entretanto, como o deslocador de nível DC é substituído por um curto-circuito na análise de pequenos sinais, tem-se na verdade uma associação em paralelo destas malhas de compensação. Na condição em que

$$R_N = R_P, \quad (3.44)$$

$$C_N = C_P, \quad (3.45)$$

para pequenos sinais ambas as malhas de compensação equivalem a uma única malha R_C-C_C cujos resistor e capacitor são dados por

$$R_C = \frac{R_P}{2}, \quad (3.46)$$

$$C_C = 2 \cdot C_P. \quad (3.47)$$

Pelo teorema da superposição, o efeito da compensação foi analisado apenas sobre o estágio *folded-cascode* com entrada PMOS pois a análise para seu estágio complementar é análoga. Desconsiderando a presença dos capacitores C_{1N} e C_{1P} , a análise da estrutura da Figura 3.12 através do Sspice mostra que a malha de compensação afeta o ganho do amp-op segundo a equação

$$\frac{V_O}{V_P - V_N} = \frac{a_1 \cdot s + a_0}{b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0}. \quad (3.48)$$

Sabendo que g_m predomina sobre g_d , os coeficientes da equação (3.48) são aproximadamente

$$a_0 \approx g_{m3} \cdot (g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20}) \cdot g_C, \quad (3.49)$$

$$a_1 \approx C_C \cdot g_{m3} \cdot (g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20} - g_C), \quad (3.50)$$

$$b_0 \approx (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \cdot g_C, \quad (3.51)$$

$$b_1 \approx \left\{ \begin{array}{l} (C_2 + C_C) \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{d19} + g_{d20} + g_L) \cdot g_C + \\ (C_L + C_C) \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot g_C + \\ C_C \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{m19} + g_{m20}) \cdot g_C + \\ C_C \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \end{array} \right\}, \quad (3.52)$$

$$b_2 \approx \left\{ \begin{array}{l} (C_2 \cdot C_L + C_2 \cdot C_C + C_L \cdot C_C) \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot g_C + \\ C_2 \cdot C_C \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{d19} + g_{d20} + g_L) + \\ C_L \cdot C_C \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \end{array} \right\}, \quad (3.53)$$

$$b_3 \approx C_2 \cdot C_L \cdot C_C \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}). \quad (3.54)$$

Conforme esperado, a compensação Miller acrescentou um zero e um pólo à resposta em frequência do amp-op. O zero é definido por

$$w_Z = -\frac{a_0}{a_1} = \frac{1}{C_C \cdot \left(\frac{1}{g_{m19} + g_{m20}} - \frac{1}{g_C} \right)}. \quad (3.55)$$

Para o cálculo dos pólos da equação (3.48), considera-se que os pólos são reais e negativos, w_{P2} , w_{PL} e w_{P4} (lembrando que nesta análise o pólo w_{P1} não é considerado). Além disso, admite-se que eles estão amplamente afastados, ou seja, w_{P4} é muito maior que w_{PL} , que por sua vez é muito maior que w_{P2} . Desta forma, os pólos podem ser aproximados por

$$w_{P2} \approx -\frac{b_0}{b_1}, \quad (3.56)$$

$$w_{PL} \approx -\frac{b_1}{b_2}, \quad (3.57)$$

$$w_{P4} \approx -\frac{b_2}{b_3}. \quad (3.58)$$

Substituindo as equações (3.51) e (3.52) em (3.56), obtém-se a posição do pólo w_{P2} , deslocado para baixas frequências,

$$WP_2 = - \frac{1}{\left[\left[C_2 + C_C \cdot \left(1 + \frac{g_{m19} + g_{m20}}{g_{d19} + g_{d20} + g_L} \right) \right] \cdot \left[\left(\frac{1}{g_{d3} + g_{d5}} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right) + \frac{1}{g_{d7}} \right] + \right.} \quad (3.59)$$

$$\left. \left(C_L + C_C \right) \cdot \left(\frac{1}{g_{d19} + g_{d20} + g_L} \right) + C_C \cdot \frac{1}{g_C} \right]$$

Admitindo que as condutâncias g_{m7} e g_{mb7} e as capacitâncias C_L e C_C predominam sobre os demais parâmetros, pelas equações (3.20) e (3.59) o pólo aproxima-se de

$$WP_2 \approx - \frac{1}{C_C \cdot (-A_{V2}) \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right)}. \quad (3.60)$$

O pólo da carga, deslocado para altas frequências devido ao afastamento de pólos, é definido pelo sistema de equações (3.52), (3.53) e (3.57),

$$WP_L = - \frac{\left\{ \begin{array}{l} (C_2 + C_C) \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{d19} + g_{d20} + g_L) \cdot g_C + \\ (C_L + C_C) \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot g_C + \\ C_C \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{m19} + g_{m20}) \cdot g_C + \\ C_C \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \end{array} \right\}}{\left\{ \begin{array}{l} (C_2 \cdot C_L + C_2 \cdot C_C + C_L \cdot C_C) \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot g_C + \\ C_2 \cdot C_C \cdot (g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}) \cdot (g_{d19} + g_{d20} + g_L) + \\ C_L \cdot C_C \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \end{array} \right\}}. \quad (3.61)$$

Sabendo que C_C e C_L predominam sobre C_2 e admitindo que g_{m7} , g_{mb7} , g_L e g_C predominam sobre as demais condutâncias, o pólo da carga aproxima-se de

$$WP_L \approx - \frac{1}{C_L \cdot \left(\frac{1}{g_{m19} + g_{d19} + g_{m20} + g_{d20} + g_L} \right)}. \quad (3.62)$$

Finalmente, obtém-se a posição do pólo w_{P4} substituindo as equações (3.53) e (3.54) em (3.58),

$$WP_4 = - \left(\frac{1}{C_2} + \frac{1}{C_L} + \frac{1}{C_C} \right) \cdot g_C - \frac{1}{C_2} \cdot \left[\frac{(g_{d3} + g_{d5}) \cdot g_{d7}}{g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}} \right] - \frac{1}{C_L} \cdot (g_{d19} + g_{d20} + g_L). \quad (3.63)$$

que, pelas considerações acima, pode ser aproximado por

$$w_{P4} \approx -\frac{1}{C_2 \cdot \frac{1}{g_C}}. \quad (3.64)$$

Concluindo, o amp-op com compensação Miller no estágio de saída apresenta quatro pólos e um zero. Assumindo que o primeiro pólo (w_{P1}) não é afetado pela compensação, o segundo pólo (w_{P2}) é deslocado para baixas frequências enquanto o terceiro pólo (w_{PL}) é deslocado para altas frequências. A compensação introduz ainda um zero (w_Z) e um quarto pólo (w_{P4}) cujas frequências são determinadas basicamente pelo resistor de compensação.

3.5.6 Compensação Alternativa em Frequência

Além da compensação Miller com resistor, uma segunda técnica foi estudada para o amplificador operacional *rail-to-rail*. Apresentada na Figura 3.13, esta técnica difere da anterior pois a malha de compensação não se restringe ao estágio de saída, mas inclui também os transistores M7 e M14 dos estágios *folded-cascode*. Referida como compensação *cascode*-Miller com resistor, esta técnica deriva da compensação *cascode*-Miller [14] pela inclusão do resistor na malha de compensação. O objetivo desta técnica é realizar o afastamento dos pólos w_{C1N} , w_{C1P} e w_{PL} sem afetar a posição dos pólos w_{C2N} e w_{C2P} .

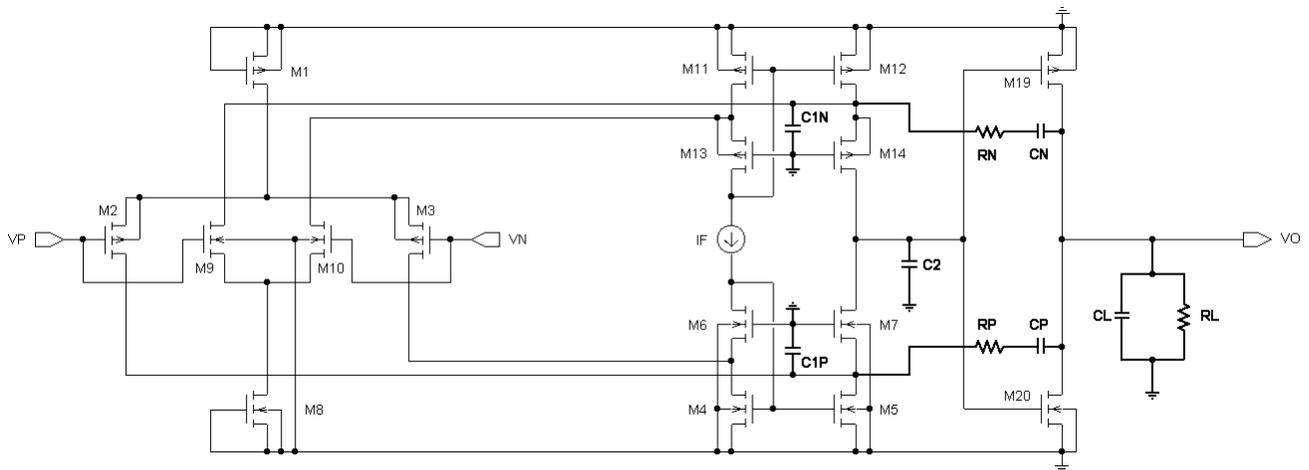


Figura 3.13: Compensação *cascode*-Miller com resistor

Assim como na técnica de compensação anterior, apenas o ganho entre o estágio *folded-cascode* com entrada PMOS e a saída do amp-op foi analisado pois os resultados para o estágio com entrada NMOS são análogos. Para simplificar a análise, desconsidera-se a presença do capacitor C_2 . Assim, a malha de compensação R_p - C_p afeta o ganho do amp-op segundo a equação

$$\frac{V_O}{V_P - V_N} = \frac{a_1 \cdot s + a_0}{b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0}, \quad (3.65)$$

cujos coeficientes são aproximadamente

$$a_0 \approx g_{m3} \cdot (g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20}) \cdot g_P, \quad (3.66)$$

$$a_1 \approx C_P \cdot g_{m3} \cdot [(g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20}) - g_{d7} \cdot g_P], \quad (3.67)$$

$$b_0 \approx (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \cdot g_P, \quad (3.68)$$

$$b_1 \approx \left\{ \begin{array}{l} (C_{1P} + C_P) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \cdot g_P + \\ (C_L + C_P) \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot g_P + \\ C_P \cdot (g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20}) \cdot g_P + \\ C_P \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \end{array} \right\}, \quad (3.69)$$

$$b_2 \approx \left\{ \begin{array}{l} (C_{1P} \cdot C_L + C_{1P} \cdot C_P + C_L \cdot C_P) \cdot g_{d7} \cdot g_P + \\ C_{1P} \cdot C_P \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) + \\ C_L \cdot C_P \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \end{array} \right\}, \quad (3.70)$$

$$b_3 \approx C_{1P} \cdot C_L \cdot C_P \cdot g_{d7}. \quad (3.71)$$

De forma análoga à compensação Miller, a compensação *cascode*-Miller acrescentou um zero e um pólo à resposta em frequência do amp-op. O zero é definido por

$$w_Z = -\frac{a_0}{a_1} = -\frac{1}{C_P \cdot \left[\left(\frac{1}{g_{m19} + g_{m20}} \right) \cdot \left(\frac{g_{d7}}{g_{m7} + g_{mb7} + g_{d7}} \right) - \frac{1}{g_P} \right]}. \quad (3.72)$$

Comparando as equações (3.55) e (3.72), conclui-se que o resistor de compensação não precisa ser tão grande para eliminar a influência do zero na compensação *cascode*-Miller.

Lembrando que o pólo w_{P2} não é considerado nesta análise, os três pólos da equação (3.65) são w_{P1} , w_{PL} e w_{P4} . Além disso, admite-se que eles estão amplamente afastados, ou seja, w_{P4} é muito maior que w_{PL} , que por sua vez é muito maior que w_{P1} . Desta forma, os pólos podem ser aproximados por

$$w_{P1} \approx -\frac{b_0}{b_1}, \quad (3.73)$$

$$w_{PL} \approx -\frac{b_1}{b_2}, \quad (3.74)$$

$$w_{P4} \approx -\frac{b_2}{b_3}. \quad (3.75)$$

Substituindo as equações (3.68) e (3.69) em (3.73), obtém-se a posição do pólo w_{P1} , deslocado para baixas frequências,

$$w_{P1} = -\frac{1}{\left\{ \left[C_{1P} + C_P \cdot \left[1 + \left(\frac{g_{m19} + g_{m20}}{g_{d19} + g_{d20} + g_L} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right) \right] \right] \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) + \right.} \quad (3.76)$$

$$\left. \left(C_L + C_P \right) \cdot \left(\frac{1}{g_{d19} + g_{d20} + g_L} \right) + C_P \cdot \frac{1}{g_P} \right\}}$$

Admitindo que as condutâncias g_{m7} e g_{mb7} predominam sobre as demais enquanto as capacitâncias C_L e C_P predominam sobre C_{1P} , pelas equações (3.20) e (3.76) o pólo aproxima-se de

$$w_{P1} \approx -\frac{1}{C_P \cdot (-A_{V2}) \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right)}. \quad (3.77)$$

As equações (3.60) e (3.77) demonstram que o pólo dominante é aproximadamente o mesmo em ambas as técnicas de compensação.

O pólo da carga, deslocado para altas frequências devido ao afastamento de pólos, é definido pelo sistema de equações (3.69), (3.70) e (3.74),

$$w_{PL} = -\frac{\left\{ \begin{array}{l} (C_{1P} + C_P) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \cdot g_P + \\ (C_L + C_P) \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot g_P + \\ C_P \cdot (g_{m7} + g_{mb7} + g_{d7}) \cdot (g_{m19} + g_{m20}) \cdot g_P + \\ C_P \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) \end{array} \right\}}{\left\{ \begin{array}{l} (C_{1P} \cdot C_L + C_{1P} \cdot C_P + C_L \cdot C_P) \cdot g_{d7} \cdot g_P + \\ C_{1P} \cdot C_P \cdot g_{d7} \cdot (g_{d19} + g_{d20} + g_L) + \\ C_L \cdot C_P \cdot (g_{d3} + g_{d5}) \cdot g_{d7} \end{array} \right\}}. \quad (3.78)$$

Sabendo que C_L e C_P predominam sobre C_{1P} e admitindo que g_m , g_L e g_P predominam sobre as demais condutâncias, o pólo da carga aproxima-se de

$$w_{PL} \approx -\frac{1}{C_L \cdot \frac{g_{d7}}{(g_{m7} + g_{mb7} + g_{d7})} \cdot \frac{1}{(g_{m19} + g_{m20})}}. \quad (3.79)$$

Pelas equações (3.62) e (3.79), nota-se que o afastamento do pólo da carga é mais eficiente

na compensação *cascooded*-Miller.

Finalmente, obtém-se a posição do pólo w_{P4} substituindo as equações (3.70) e (3.71) em (3.75),

$$w_{P4} = -\left(\frac{1}{C_{1P}} + \frac{1}{C_L} + \frac{1}{C_P}\right) \cdot g_P - \frac{1}{C_{1P}} \cdot (g_{d3} + g_{d5}) - \frac{1}{C_L} \cdot (g_{d19} + g_{d20} + g_L). \quad (3.80)$$

que, pelas considerações acima, pode ser aproximado por

$$w_{P4} \approx -\frac{1}{C_{1P} \cdot \frac{1}{g_P}}. \quad (3.81)$$

As equações (3.64) e (3.81) demonstram que o pólo w_{P4} é deslocado para aproximadamente a mesma frequência da compensação Miller.

Em resumo, o pólo dominante e o pólo w_{P4} são aproximadamente iguais em ambas as compensações. Já o afastamento do zero e do pólo da carga é maior na compensação *cascooded*-Miller. Contudo, é preciso considerar também os pólos que foram excluídos da compensação. Na compensação Miller, o pólo w_{P1} permanece o mesmo enquanto o pólo w_{P2} é deslocado para baixas frequências e torna-se o pólo dominante. Já na compensação *cascooded*-Miller ocorre o efeito inverso: o pólo w_{P1} torna-se o pólo dominante enquanto o pólo w_{P2} permanece fixo.

Comparando o pólo introduzido pelo capacitor C_{1P} , equação (3.40), com o pólo dominante introduzido pela compensação Miller, equação (3.60), obtém-se a relação

$$\frac{w_{C1P}}{w_{P2}} \approx \frac{C_C \cdot (-A_{V2})}{C_{1P}} \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7} + g_{d3} + g_{d5}}{g_{d3} + g_{d5}}\right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}}\right). \quad (3.82)$$

Já a relação entre o pólo introduzido pelo capacitor C_2 , equação (3.38), e o pólo dominante da compensação *cascooded*-Miller, equação (3.77), é dada por

$$\frac{w_{C2P}}{w_{P1}} \approx \frac{C_P \cdot (-A_{V2})}{C_2}, \quad (3.83)$$

que não é muito elevada devido ao ganho reduzido do estágio de saída e da alta capacitância C_2 , resultante das capacitâncias C_{GS} dos transistores de saída. Com isso, a influência do capacitor C_2 pode degradar significativamente a resposta em frequência do amp-op a ponto de inviabilizar a compensação *cascooded*-Miller.

Pelas equações (3.82) e (3.83) conclui-se que, no aspecto geral, a compensação Miller é mais eficiente pois, apesar do afastamento do zero e do pólo da carga serem menores, a influência do pólo excluído da compensação afeta em menor grau a resposta em frequência do amp-op.

3.5.7 Margem de Fase

As seções 3.5.5 e 3.5.6 analisaram como a compensação do amplificador operacional *rail-to-rail* define os pólos e zeros de sua resposta em frequência. A partir de então será estudada qual a relação destes pólos e zeros com a frequência de ganho unitário e margem de fase do amp-op.

Admitindo que o amplificador operacional *rail-to-rail* foi compensado através da técnica Miller com resistor (seção 3.5.5), sua resposta em frequência apresenta quatro pólos e um zero. Através de um projeto adequado, considera-se que dois destes pólos são deslocados para frequências muito além da banda de frequência do amp-op. Assim, sua resposta em frequência reduz-se a um pólo de baixa frequência, o pólo dominante, além de mais um pólo e um zero, ambos de frequência intermediária e que definem a margem de fase do amp-op.

Coincidentemente, a análise da margem de fase para o amp-op *rail-to-rail* é idêntica ao amp-op canônico, pois ambos são modelados como um sistema de dois pólos e um zero. Portanto, os resultados da seção 2.4.9 aplicam-se também ao amp-op *rail-to-rail*.

3.5.8 Frequência de Ganho Unitário

Para simplificar a análise da frequência de ganho unitário do amplificador operacional canônico (seção 2.4.8), ele foi modelado como um sistema de um único pólo. Com isso, a relação obtida entre o pólo dominante e a frequência de ganho unitário é apenas uma aproximação.

Para o amplificador operacional *rail-to-rail*, buscou-se uma relação mais precisa entre estas duas variáveis, de forma que o modelo completo do amp-op foi considerado: um sistema de dois pólos e um zero. Considera-se que w_D representa o pólo dominante enquanto w_2 e w_Z representam o segundo pólo e o zero, ambos de alta frequência. O problema deste modelo é que surgem duas novas variáveis: o segundo pólo e o zero. Por esta razão optou-se por analisar a margem de fase primeiramente, visto que o projeto da margem de fase (seção 3.5.7) define as frequências do zero e do segundo pólo.

O modelo completo do amp-op é expresso como

$$A(s) = \frac{A_{DC} \cdot \left(1 + \frac{s}{w_Z}\right)}{\left(1 + \frac{s}{w_D}\right) \cdot \left(1 + \frac{s}{w_2}\right)} \quad (3.84)$$

onde

A_{DC} : ganho de malha aberta do amp-op, conforme equação (3.29)

Na frequência de ganho unitário, tem-se

$$|A(s)| = 1, \quad (3.85)$$

$$s = j \cdot \omega_{0dB}. \quad (3.86)$$

Pelo sistema de equações (3.84), (3.85) e (3.86) obtém-se

$$A_{DC}^2 \cdot \frac{\omega_D^2 \cdot \omega_2^2}{\omega_Z^2} \cdot \frac{(\omega_Z^2 + \omega_{0dB}^2)}{(\omega_D^2 + \omega_{0dB}^2) \cdot (\omega_2^2 + \omega_{0dB}^2)} = 1. \quad (3.87)$$

Admitindo que o segundo pólo e o zero foram previamente calculados, a relação entre eles e a frequência de ganho unitário pode ser definida como

$$\omega_2 = k_2 \cdot \omega_{0dB}, \quad (3.88)$$

$$\omega_Z = k_Z \cdot \omega_{0dB}. \quad (3.89)$$

Substituindo (3.88) e (3.89) em (3.87), encontra-se o polinômio

$$-\omega_{0dB}^4 \cdot \{k_Z^2 \cdot (1 + k_2^2) \cdot \omega_{0dB}^2 - \{A_{DC}^2 \cdot k_2^2 + [(A_{DC}^2 - 1) \cdot k_2^2 - 1] \cdot k_Z^2\} \cdot \omega_D^2\} = 0, \quad (3.90)$$

cuja raiz positiva é

$$\omega_{0dB} = \omega_D \cdot \sqrt{\frac{A_{DC}^2 \cdot k_2^2 + [(A_{DC}^2 - 1) \cdot k_2^2 - 1] \cdot k_Z^2}{k_Z^2 \cdot (1 + k_2^2)}}. \quad (3.91)$$

Sabendo que A_{DC} é muito maior que 1, a relação entre a frequência de ganho unitário e o pólo dominante aproxima-se de

$$\omega_{0dB} \approx \omega_D \cdot A_{DC} \cdot \frac{k_2}{k_Z} \sqrt{\frac{1 + k_Z^2}{1 + k_2^2}}. \quad (3.92)$$

Pela equação (3.92) observa-se a importância da equalização do ganho de malha aberta em função da tensão de modo-comum na entrada pois qualquer variação no ganho reflete-se diretamente na frequência de ganho unitário.

Quando k_2 e k_Z são iguais, o zero cancela o segundo pólo e a equação (3.92) passa a ser

$$\omega_{0dB} = \omega_D \cdot A_{DC}, \quad (3.93)$$

que, como esperado, corresponde à relação de um amp-op com apenas um pólo (seção 2.4.8).

$$g_{m11} = g_{m12} = g_{m4} = g_{m5} . \quad (3.94)$$

Admitindo que a corrente de polarização dos espelhos é a mesma, a equação (3.94) traduz-se em

$$V_{SG12} - V_{T12} = V_{GS5} - V_{T5} . \quad (3.95)$$

Pelas tensões definidas acima, a equação (3.95) estabelece que V_{SG12} deve ser 0,98V. Por simulação este valor foi ajustado para **0,96V**. Isto resulta em uma tensão de saturação V_{SDSAT} de 0,10V e permite que uma tensão V_{DS} de **0,3V** seja adotada.

Para aumentar a excursão positiva do par diferencial PMOS, como nos casos anteriores optou-se por uma tensão fonte-porta (V_{SG}) de **1V** para a fonte de corrente M1. Além disso, buscou-se uma tensão fonte-dreno (V_{SD}) que estabelecesse uma mesma transcondutância para ambos os pares diferenciais de entrada,

$$g_{m2} = g_{m3} = g_{m9} = g_{m10} . \quad (3.96)$$

Apesar do par diferencial de entrada M9-M10 sofrer efeito de corpo, a transcondutância g_{mb} não afeta seu ganho de tensão (seção 3.5.1) e portanto não é considerada. Admitindo que as correntes de polarização dos pares diferenciais NMOS e PMOS são iguais, a equação (3.96) traduz-se em

$$V_{SG3} - V_{T3} = V_{GS10} - V_{T10} , \quad (3.97)$$

onde o efeito de corpo sobre V_{T10} é resultado da tensão dreno-fonte (V_{DS}) da fonte de corrente M8, conforme equação (1.3),

$$V_{T10} = V_{TON} + \gamma_N \cdot \left(\sqrt{|2 \cdot \phi_{IN}| + V_{DS8}} - \sqrt{|2 \cdot \phi_{IN}|} \right) . \quad (3.98)$$

Os parâmetros V_{TON} e γ_N referentes ao processo CUP da AMS são definidos segundo a Tabela 3.3 enquanto a dopagem do substrato é dada pela Tabela 3.2. Para uma tensão V_{DS8} de 0,3V, definida acima, a tensão de *threshold* é

$$V_{T10} = 0,88 + 0,80 \cdot \left(\sqrt{0,85 + 0,3} - \sqrt{0,85} \right) = \mathbf{1,00V} . \quad (3.99)$$

As equações (3.97) e (3.99) estabelecem que a tensão V_{SG3} deve ser 1,01V. A simulação comprova que a tensão ideal é de **1,04V**. Isto resulta em uma tensão fonte-dreno para a fonte de corrente M1 de **0,46V**.

A partir das tensões definidas acima, calcula-se as tensões de polarização do par diferencial NMOS,

$$V_{GS9} = V_{GS10} = 1,5 - 0,3 = \mathbf{1,2V} , \quad (3.100)$$

$$V_{DS9} = V_{DS10} = 2,54 - 0,3 = \mathbf{2,24V} . \quad (3.101)$$

As tensões de polarização resultantes para o par diferencial PMOS são

$$V_{SG2} = V_{SG3} = 2,54 - 1,5 = \mathbf{1,04V} , \quad (3.102)$$

$$V_{SD2} = V_{SD3} = 2,54 - 0,3 = \mathbf{2,24V} . \quad (3.103)$$

Para definir a polarização dos transistores M6 e M7, é preciso primeiramente avaliar seu efeito de corpo, dado por

$$V_{T6} = V_{T7} = V_{TON} + \gamma_N \cdot \left(\sqrt{|2 \cdot \phi_{IN}| + V_{DS4}} - \sqrt{|2 \cdot \phi_{IN}|} \right). \quad (3.104)$$

Para uma tensão V_{DS4} de 0,3V, definida acima, a tensão de *threshold* é

$$V_{T6} = V_{T7} = 0,88 + 0,80 \cdot \left(\sqrt{0,85 + 0,3} - \sqrt{0,85} \right) = \mathbf{1,00V} . \quad (3.105)$$

A partir da equação (3.105), optou-se por uma tensão porta-fonte (V_{GS}) de **1,2V**. A tensão dreno-fonte (V_{DS}) do transistor M6 resulta das tensões de polarização do espelho de corrente NMOS, mas a tensão dreno-fonte (V_{DS}) do transistor M7 permanece indefinida. Para garantir que os parâmetros incrementais destes transistores fossem idênticos, adotou-se para M7 a mesma tensão V_{DS} de M6, ou seja, **0,7V**.

Por fim, as tensões dos transistores M13 e M14 foram definidas. Buscou-se uma tensão fonte-porta (V_{SG}) tal que as transcondutâncias dos transistores M6, M7, M13 e M14 fossem idênticas,

$$g_{m13} = g_{m14} = g_{m6} + g_{mb6} = g_{m7} + g_{mb7} . \quad (3.106)$$

Considerando que as correntes de polarização dos transistores são iguais, obtém-se

$$V_{SG14} - V_{T14} = \left(\frac{V_{GS7} - V_{T7}}{1 + \alpha_7} \right) \quad (3.107)$$

onde

$$\alpha_7 = \frac{\gamma_N}{2 \cdot \sqrt{|2 \cdot \phi_{IN}| + V_{SB7}}} . \quad (3.108)$$

Pelas tensões definidas acima, (3.107) estabelece uma tensão V_{SG14} de **1,01V**. Como a tensão fonte-dreno (V_{SD}) do transistor M13 é resultante das tensões do espelho de corrente M11-M12, a tensão fonte-dreno (V_{SD}) do transistor M14 foi escolhida com o mesmo valor, **0,66V**, para garantir que os parâmetros incrementais de M13 e M14 fossem iguais.

Com relação ao ganho do estágio *folded-cascode* com entrada PMOS, substituiu-se as

equações que definem g_m e g_d dos transistores (seção 1.2) na equação (3.17) para obter

$$A_{VP} = - \frac{\frac{2 \cdot I_{D3}}{(V_{SG3} - V_{T3})}}{\left[\frac{I_{D3}}{\left(\frac{1}{\lambda_P} + V_{SD3} \right)} + \frac{I_{D5}}{\left(\frac{1}{\lambda_N} + V_{DS5} \right)} \right]} \cdot \frac{\left[\frac{2 \cdot I_{D7}}{(V_{GS7} - V_{T7})} \cdot (1 + \alpha_7) + \frac{I_{D7}}{\left(\frac{1}{\lambda_N} + V_{DS7} \right)} \right]}{\frac{I_{D7}}{\left(\frac{1}{\lambda_N} + V_{DS7} \right)}}. \quad (3.109)$$

Como a corrente através do espelho de corrente é a soma das correntes do par diferencial e do transistor M7, a equação (3.109) passa a ser

$$A_{VP} = - \frac{\frac{2}{(V_{SG3} - V_{T3})}}{\left[\frac{1}{\left(\frac{1}{\lambda_P} + V_{SD3} \right)} + \frac{\left(1 + \frac{I_{D7}}{I_{D3}} \right)}{\left(\frac{1}{\lambda_N} + V_{DS5} \right)} \right]} \cdot \frac{\left[2 \cdot \left(\frac{1}{\lambda_N} + V_{DS7} \right) \cdot (1 + \alpha_7) + 1 \right]}{\frac{2 \cdot \left(\frac{1}{\lambda_N} + V_{DS7} \right)}{(V_{GS7} - V_{T7})} + 1}. \quad (3.110)$$

Pela equação (3.110) observa-se que o ganho do estágio *folded-cascode* ainda não está completamente determinado pois depende da relação entre as correntes do par diferencial de entrada e da fonte de corrente flutuante.

De forma análoga, para o cálculo do ganho do estágio *folded-cascode* com entrada NMOS, substituiu-se os parâmetros incrementais g_m e g_d dos transistores (seção 1.2) na equação (3.18),

$$A_{VN} = - \frac{\frac{2 \cdot I_{D10}}{(V_{GS10} - V_{T10})}}{\left[\frac{I_{D10}}{\left(\frac{1}{\lambda_N} + V_{DS10} \right)} + \frac{I_{D12}}{\left(\frac{1}{\lambda_P} + V_{SD12} \right)} \right]} \cdot \frac{\left[\frac{2 \cdot I_{D14}}{(V_{SG14} - V_{T14})} + \frac{I_{D14}}{\left(\frac{1}{\lambda_P} + V_{SD14} \right)} \right]}{\frac{I_{D14}}{\left(\frac{1}{\lambda_P} + V_{SD14} \right)}}, \quad (3.111)$$

que pode ser expressa também como

$$A_{vN} = - \frac{\frac{2}{(V_{GS10} - V_{T10})}}{\left[\frac{1}{\left(\frac{1}{\lambda_N} + V_{DS10} \right)} + \frac{\left(1 + \frac{I_{D14}}{I_{D10}} \right)}{\left(\frac{1}{\lambda_P} + V_{SD12} \right)} \right]} \cdot \left[\frac{2 \cdot \left(\frac{1}{\lambda_P} + V_{SD14} \right)}{(V_{SG14} - V_{T14})} + 1 \right]. \quad (3.112)$$

Conforme esperado, o ganho deste estágio *folded-cascode* também depende da relação entre as correntes do par diferencial de entrada e da fonte de corrente flutuante.

3.6.2 Fonte de Corrente Flutuante

A fonte de corrente flutuante, até o momento considerada ideal, na verdade é composta por um par de transistores complementares que também precisa ser polarizado. As tensões de polarização para a fonte de corrente flutuante são apresentadas na Figura 3.15.

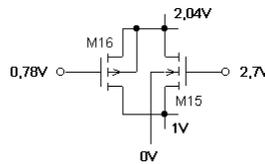


Figura 3.15: Polarização da fonte de corrente flutuante

A tensão entre dreno e fonte dos transistores resulta da diferença entre as tensões de porta dos transistores M4 e M11 (Figura 3.14). Como estas tensões foram previamente definidas na seção 3.6.1, a tensão dreno-fonte da fonte de corrente é **1,04V**. Portanto, resta estabelecer apenas a tensão de porta dos transistores M15 e M16. O efeito de corpo sobre o transistor M15, provocado pela tensão V_{GS} do transistor M4, causa um desvio em sua tensão de *threshold* dado por

$$V_{T15} = 0,88 + 0,80 \cdot \left(\sqrt{0,85 + 1} - \sqrt{0,85} \right) = \mathbf{1,23V}. \quad (3.113)$$

A partir da equação (3.113), optou-se por uma tensão porta-fonte (V_{GS}) de **1,7V** para o transistor M15. Assim, buscou-se uma tensão fonte-porta (V_{SG}) para o transistor M16 tal que as transcondutâncias de ambos os transistores fossem iguais,

$$g_{m16} = g_{m15} + g_{mb15}. \quad (3.114)$$

Considerando que as correntes de polarização dos transistores são idênticas, obtém-se

$$V_{SG16} - V_{T16} = \left(\frac{V_{GS15} - V_{T15}}{1 + \alpha_{15}} \right), \quad (3.115)$$

que, pelas tensões definidas acima, estabelece uma tensão V_{SG16} de 1,22V. Simulações comprovaram que o valor exato para a tensão V_{SG16} é **1,26V**.

3.6.3 Estágio de Saída

A polarização do estágio de saída é apresentada na Figura 3.16. A tensão de saída foi definida como metade da tensão de alimentação (**1,5V**) a fim de otimizar sua excursão tanto no ciclo positivo quanto no ciclo negativo. As tensões de entrada V_{1N} e V_{1P} foram previamente estabelecidas na seção 3.6.1.

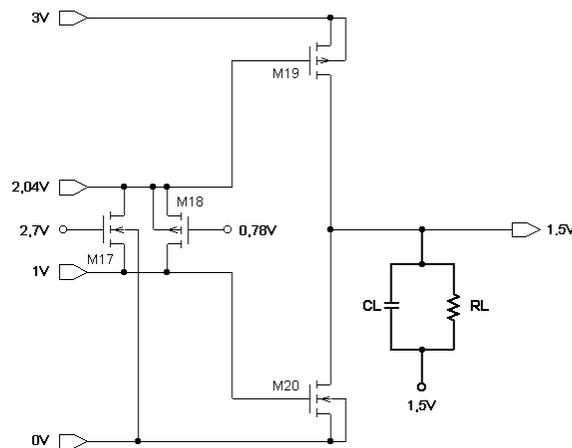


Figura 3.16: Polarização do estágio de saída

Resta definir apenas as tensões de porta dos transistores M17 e M18. Como o deslocador de nível DC apresenta uma topologia idêntica à fonte de corrente flutuante, optou-se por polarizar os transistores M17 e M18 da mesma maneira que os transistores M15 e M16 (seção 3.6.2).

Dois características direcionaram o projeto do estágio de saída do amplificador operacional *rail-to-rail*: a excursão do sinal de saída e a frequência do pólo da carga.

Apesar do amplificador operacional canônico possuir um estágio de saída *rail-to-rail*, sua tensão de saída não atingiu de fato os terminais de alimentação devido ao compromisso entre excursão de saída e consumo de corrente do amp-op (seção 2.4.4). Como o amplificador operacional *rail-to-rail* não apresenta esta limitação devido à polarização em classe AB do estágio de saída, buscou-se uma excursão na saída que verdadeiramente aproxima-se dos terminais de alimentação. Portanto, optou-se por uma tensão máxima na saída apenas 0,1V abaixo de V_{DD} , ou seja, **2,9V**. Por (3.24), tal valor resulta em uma corrente máxima de **140 μ A**. Considerando que a saída máxima V_O resulta de uma entrada mínima V_{1N} de **0V**, pela equação (3.21) calculou-se a relação W/L que garante 140 μ A de corrente de dreno,

$$\frac{W_{19}}{L_{19}} = \frac{2 \cdot 140 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (2 \cdot (3 - V_{T19}) - 0,1) \cdot 0,1} = 16,74 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{33,50 \mu\text{m}}{2 \mu\text{m}}. \quad (3.116)$$

Com entrada diferencial nula, a corrente quiescente do transistor M19 é

$$I_{D19Q} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_{19}}{L_{19}} \cdot (V_{SG19Q} - V_{T19})^2 \cdot (1 + \lambda_P \cdot V_{SD19Q}) \quad (3.117)$$

onde

$$V_{SG19Q} = V_{DD} - V_{IN} = 3 - 2,04 = 0,96V, \quad (3.118)$$

$$V_{SD19Q} = V_{DD} - V_{OQ} = 3 - 1,5 = 1,5V. \quad (3.119)$$

Para as dimensões calculadas em (3.116), a corrente quiescente de M19 é

$$I_{D19Q} = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{33,50}{2} \cdot (0,96 - V_{T19})^2 \cdot (1 + \lambda_P \cdot 1,5) = 3,442 \mu\text{A}. \quad (3.120)$$

Os cálculos para o transistor de saída NMOS são análogos: buscando uma tensão de saída mínima de **0,1V** quando a entrada V_{IP} máxima for **3V**, obtém-se as dimensões mínimas para o transistor M20. Em seguida, estas dimensões devem ser ajustadas para que a corrente quiescente dos transistores M19 e M20 sejam iguais e assim evitar tensão de *offset* sistemático.

Apesar das dimensões calculadas acima garantirem excursão *rail-to-rail* para a saída do amp-op, elas não garantem boa resposta em frequência, como será visto na seção a seguir.

3.6.4 Margem de Fase

Enquanto no amp-op canônico a malha de compensação está presente no segundo estágio, no amp-op *rail-to-rail* a mesma malha foi inserida no estágio de saída (seção 3.5.5). Com isso, o pólo da carga é proporcional não apenas à carga externa mas também à transcondutância dos transistores de saída, equação (3.62), uma propriedade que permite deslocar o pólo da carga para frequências além da banda de frequência do amp-op.

Com base nesta propriedade, considera-se que o pólo da carga foi deslocado para uma frequência tal que a margem de fase é definida única e exclusivamente pelo pólo da carga e a presença do zero não é necessária. Em termos matemáticos, tem-se

$$w_2 = k_2 \cdot w_{0dB}, \quad (3.121)$$

$$w_z = -\infty. \quad (3.122)$$

A equação (2.56), que define a margem de fase do amplificador operacional *rail-to-rail* compensado, pode ser escrita também como

$$MF = 90^\circ + \arctan \left[\frac{W_{0dB} \cdot \left(\frac{W_2}{W_Z} - 1 \right)}{\frac{W_{0dB}^2}{W_Z} + W_2} \right], \quad (3.123)$$

que, assumindo (3.121) e (3.122), aproxima-se de

$$MF \approx 90^\circ - \arctan \left[\frac{1}{k_2} \right]. \quad (3.124)$$

Portanto, para uma margem de fase de **60°**, a equação (3.124) resulta em

$$k_2 = \frac{1}{\tan[90^\circ - MF]} = \frac{1}{\tan[90^\circ - 60^\circ]} = \mathbf{1,732}. \quad (3.125)$$

Por (3.125) conclui-se que o pólo da carga precisa ser 1,732 vezes maior que a freqüência de ganho unitário.

Pela compensação Miller com resistor (seção 3.5.5), o pólo da carga é dado por (3.62), que, substituindo os parâmetros incrementais g_m e g_d conforme a seção 1.2, resulta em

$$w_{PL} = -\frac{1}{C_L} \cdot \left[\frac{2 \cdot I_{D19}}{(V_{SG19} - V_{T19})} + \frac{I_{D19}}{\left(\frac{1}{\lambda_P} + V_{SD19} \right)} + \frac{2 \cdot I_{D20}}{(V_{GS20} - V_{T20})} + \frac{I_{D20}}{\left(\frac{1}{\lambda_N} + V_{DS20} \right)} + g_L \right]. \quad (3.126)$$

Como as correntes dos transistores de saída são iguais na situação de equilíbrio, obtém-se a relação entre a corrente de polarização do estágio de saída e a posição do pólo da carga,

$$I_{D19} = I_{D20} = \frac{-w_{PL} \cdot C_L - g_L}{\left[\frac{2}{(V_{SG19} - V_{T19})} + \frac{1}{\left(\frac{1}{\lambda_P} + V_{SD19} \right)} + \frac{2}{(V_{GS20} - V_{T20})} + \frac{1}{\left(\frac{1}{\lambda_N} + V_{DS20} \right)} \right]}. \quad (3.127)$$

O resistor e capacitor de carga são definidos segundo a Tabela 3.1 enquanto as tensões de polarização foram definidas na seção 3.6.3. Adotou-se uma freqüência de ganho unitário de **14MHz**, 4MHz acima da banda determinada pelas especificações (Tabela 3.1) como margem de segurança contra eventuais falhas no processo de fabricação. Nesta condição, a posição do pólo da carga para se obter 60° de margem de fase é **24,25MHz**, conforme equação (3.125). Portanto, a equação (3.127) resulta em

$$I_{D19} = I_{D20} = \frac{-(-2\pi \cdot 24,25 \cdot 10^6) \cdot C_L - g_L}{\left[\frac{2}{(0,96 - V_{T19})} + \frac{1}{\left(\frac{1}{\lambda_P} + 1,5\right)} + \frac{2}{(1 - V_{T20})} + \frac{1}{\left(\frac{1}{\lambda_N} + 1,5\right)} \right]} = 38,78 \mu A. \quad (3.128)$$

Pelas equações (3.120) e (3.128) conclui-se que uma corrente de polarização de $3,442 \mu A$ para o estágio de saída garante sua excursão *rail-to-rail* mas não é suficiente para atingir a margem de fase desejada para o amp-op. Optou-se portanto por uma corrente de polarização de **$40 \mu A$** para o estágio de saída.

A partir de então o ganho do estágio de saída e as dimensões dos transistores M19 e M20 são calculados. Substituindo g_m e g_d em (3.20), a equação que define o ganho do estágio de saída, obtém-se

$$A_{V2} = - \frac{\frac{2 \cdot I_{D19}}{(V_{SG19} - V_{T19})} + \frac{2 \cdot I_{D20}}{(V_{GS20} - V_{T20})}}{\left(\frac{1}{\lambda_P} + V_{SD19}\right) + \left(\frac{1}{\lambda_N} + V_{DS20}\right) + g_L}. \quad (3.129)$$

A carga externa resistiva é definida pelas especificações de projeto (Tabela 3.1) enquanto as tensões de polarização foram definidas na seção 3.6.3. Logo, para uma corrente de polarização de $40 \mu A$, o ganho é

$$A_{V2} = - \frac{\frac{2 \cdot 40 \cdot 10^{-6}}{(0,96 - V_{T19})} + \frac{2 \cdot 40 \cdot 10^{-6}}{(1 - V_{T20})}}{\left(\frac{1}{\lambda_P} + 1,5\right) + \left(\frac{1}{\lambda_N} + 1,5\right) + g_L} = -14,42 \text{ V/V}. \quad (3.130)$$

Pelas equações (1.2) e (1.12), obtém-se

$$\frac{W_{19}}{L_{19}} = \frac{2 \cdot I_{D19}}{\mu_P \cdot C_{OX} \cdot (V_{SG19} - V_{T19})^2 \cdot (1 + \lambda_P \cdot V_{SD19})}, \quad (3.131)$$

$$\frac{W_{20}}{L_{20}} = \frac{2 \cdot I_{D20}}{\mu_N \cdot C_{OX} \cdot (V_{GS20} - V_{T20})^2 \cdot (1 + \lambda_N \cdot V_{DS20})}, \quad (3.132)$$

que, a partir das tensões de polarização definidas na seção 3.6.3 e da corrente de polarização de $40 \mu A$, resultam em

$$\frac{W_{19}}{L_{19}} = \frac{2 \cdot 40 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (0,96 - V_{T19})^2 \cdot (1 + \lambda_P \cdot 1,5)} = 194,6 \mu\text{m} / \mu\text{m} \rightarrow \frac{389,20 \mu\text{m}}{2 \mu\text{m}}, \quad (3.133)$$

$$\frac{W_{20}}{L_{20}} = \frac{2 \cdot 40 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T20})^2 \cdot (1 + \lambda_N \cdot 1,5)} = 45,00 \mu\text{m} / \mu\text{m} \rightarrow \frac{90,00 \mu\text{m}}{2 \mu\text{m}}. \quad (3.134)$$

O aumento da corrente de polarização do estágio de saída para garantir a margem de fase do amp-op afeta diretamente a excursão do sinal de saída. A excursão máxima é obtida através do sistema de equações (3.21), (3.22), (3.23) e (3.24), que resulta em

$$a_2 \cdot V_{OMÁX}^2 + a_1 \cdot V_{OMÁX} + a_0 = 0 \quad (3.135)$$

onde

$$a_0 = -\frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_{19}}{L_{19}} \cdot [V_{DD} - 2 \cdot (V_{INMÍN} + V_{T19})] \cdot V_{DD} - G_L \cdot \left(\frac{V_{DD} + V_{SS}}{2} \right), \quad (3.136)$$

$$a_1 = -\mu_P \cdot C_{OX} \cdot \frac{W_{19}}{L_{19}} \cdot (V_{INMÍN} + V_{T19}) + G_L, \quad (3.137)$$

$$a_2 = \frac{1}{2} \cdot \mu_P \cdot C_{OX} \cdot \frac{W_{19}}{L_{19}}. \quad (3.138)$$

A partir de valores definidos nesta seção, a equação (3.145) passa a ser

$$3,894 \cdot 10^{-3} \cdot V_{OMÁX}^2 - 6,598 \cdot 10^{-3} \cdot V_{OMÁX} - 15,10 \cdot 10^{-3} = 0, \quad (3.139)$$

que resulta em uma tensão de saída máxima de **2,99V**.

O cálculo da excursão mínima é análogo: o sistema de equações (3.25), (3.26), (3.27) e (3.28) resulta no polinômio

$$a_2 \cdot V_{OMÍN}^2 + a_1 \cdot V_{OMÍN} + a_0 = 0 \quad (3.140)$$

onde

$$a_0 = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_{20}}{L_{20}} \cdot [2 \cdot (V_{IPMÁX} - V_{T20}) - V_{SS}] \cdot V_{SS} + G_L \cdot \left(\frac{V_{DD} + V_{SS}}{2} \right), \quad (3.141)$$

$$a_1 = -\mu_N \cdot C_{OX} \cdot \frac{W_{20}}{L_{20}} \cdot (V_{IPMÁX} - V_{T20}) - G_L, \quad (3.142)$$

$$a_2 = \frac{1}{2} \cdot \mu_N \cdot C_{OX} \cdot \frac{W_{20}}{L_{20}}. \quad (3.143)$$

A partir de valores definidos nesta seção, a equação (3.140) passa a ser

$$5,341 \cdot 10^{-3} \cdot V_{OMIN}^2 - 22,75 \cdot 10^{-3} \cdot V_{OMIN} + 150,0 \cdot 10^{-3} = 0, \quad (3.144)$$

que resulta em uma tensão de saída mínima de **0,01V**.

3.6.5 Freqüência de Ganho Unitário

Recorrendo à análise da seção 3.5.8, a relação entre o zero, o pólo da carga e a freqüência de ganho unitário é

$$k_2 = \frac{W_2}{W_{0dB}}, \quad (3.145)$$

$$k_z = \frac{W_z}{W_{0dB}}. \quad (3.146)$$

Na seção 3.6.4 as posições do zero e do pólo da carga foram estabelecidas de tal forma que

$$k_2 = 1,732, \quad (3.147)$$

$$k_z = \infty. \quad (3.148)$$

Pelas equações (3.147), (3.148) e (3.92), que define a relação entre o pólo dominante e a freqüência de ganho unitário, obtém-se

$$W_{0dB} = W_D \cdot A_{DC} \cdot 0,866. \quad (3.149)$$

Substituindo (3.149) em (3.60), equação que descreve o pólo dominante em função dos parâmetros incrementais dos transistores, encontra-se

$$W_{0dB} = -0,866 \cdot \frac{A_{DC}}{C_C \cdot (-A_{V2}) \cdot \left(\frac{1}{g_{d3} + g_{d5}} \right) \cdot \left(\frac{g_{m7} + g_{mb7} + g_{d7}}{g_{d7}} \right)}. \quad (3.150)$$

Sabendo que o ganho de malha aberta do amp-op é dado por (3.29) e admitindo que os ganhos dos estágios *folded-cascode* são iguais, a equação (3.150) reduz-se a

$$W_{0dB} = -1,732 \cdot \frac{g_{m3}}{C_C}. \quad (3.151)$$

Portanto, substituindo (1.18) em (3.151), obtém-se a relação entre a corrente de polarização do estágio de entrada, o capacitor de compensação e a freqüência de ganho unitário,

$$I_{D3} = \frac{W_{0dB} \cdot C_C \cdot (V_{SG3} - V_{T3})}{-3,464}. \quad (3.152)$$

A frequência de ganho unitário é definida pelas especificações de projeto (Tabela 3.1) enquanto a tensão de polarização foi definida na seção 3.6.1. Portanto, a frequência de ganho unitário é proporcional a duas variáveis: o capacitor de compensação e a corrente de polarização do estágio de entrada. Curiosamente, esta proporcionalidade assemelha-se ao caso do amp-op canônico (seção 2.5.5), apesar da malha de compensação no amp-op *rail-to-rail* estar conectada apenas ao estágio de saída.

Pelas dimensões calculadas para os transistores de saída, nota-se que a associação de suas capacitâncias C_{GS} (C_2) não é tão desprezível como esperado. Para reduzir a influência destas capacitâncias sobre a frequência do pólo dominante, optou-se por um capacitor de compensação com no mínimo **1pF**. Por outro lado, aumentar demasiadamente o capacitor de compensação implica em elevar a corrente de polarização do par diferencial de entrada, o que é indesejável.

Lembrando que a capacitância C_C equivale ao dobro do capacitor de compensação, conforme equação (3.47), a utilização de dois capacitores de 1pF resulta em uma capacitância C_C de **2pF**. Portanto, para uma frequência de ganho unitário de 10MHz, conforme item 4 das especificações de projeto (Tabela 3.1), a corrente de polarização do par diferencial de entrada deve ser

$$I_{D3} = \frac{(-2\pi \cdot 10 \cdot 10^6) \cdot 2 \cdot 10^{-12} \cdot (1,04 - V_{T3})}{-3,464} = 6,530\mu\text{A} . \quad (3.153)$$

A equação (3.153) demonstra que é necessária uma corrente de polarização mínima de $13,06\mu\text{A}$ para cada par diferencial de entrada, ultrapassando o limite de $5\mu\text{A}$ estipulado pelo item 7 das especificações.

Como os itens 4 e 7 das especificações de projeto são contrários, optou-se por desconsiderar o limite máximo de corrente no estágio de entrada. Sem esta restrição, torna-se possível não apenas cumprir a meta de 10MHz de banda para o amp-op mas ultrapassá-la, acrescentando uma margem de segurança. Assim, para uma frequência de ganho unitário de 14MHz, conforme adotada na seção 3.6.4, a corrente de polarização do par diferencial de entrada deve ser

$$I_{D3} = \frac{(-2\pi \cdot 14 \cdot 10^6) \cdot 2 \cdot 10^{-12} \cdot (1,04 - V_{T3})}{-3,464} = 9,142\mu\text{A} . \quad (3.154)$$

Adotou-se então uma corrente de polarização de **9μA** para os transistores M2, M3, M9 e M10. Enfim as dimensões dos transistores que compõem os dois pares diferenciais são calculadas. Pelas equações (1.2) e (1.12), para o estágio diferencial de entrada PMOS tem-se

$$\frac{W_1}{L_1} = \frac{2 \cdot I_{D1}}{\mu_P \cdot C_{OX} \cdot (V_{SG1} - V_{T1})^2 \cdot (1 + \lambda_P \cdot V_{SD1})}, \quad (3.155)$$

$$\frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{2 \cdot I_{D2}}{\mu_P \cdot C_{OX} \cdot (V_{SG2} - V_{T2})^2 \cdot (1 + \lambda_P \cdot V_{SD2})}. \quad (3.156)$$

As respectivas tensões de polarização foram definidas na seção 3.6.1. Logo, para uma corrente de $18\mu\text{A}$ para a fonte de corrente M1 e $9\mu\text{A}$ para os transistores M2 e M3, as dimensões necessárias são

$$\frac{W_1}{L_1} = \frac{2 \cdot 18 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T1})^2 \cdot (1 + \lambda_P \cdot 0,46)} = 45,52 \mu\text{m}/\mu\text{m} \rightarrow \frac{91,05\mu\text{m}}{2\mu\text{m}}, \quad (3.157)$$

$$\frac{W_2}{L_2} = \frac{W_3}{L_3} = \frac{2 \cdot 9 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,04 - V_{T2})^2 \cdot (1 + \lambda_P \cdot 2,24)} = 13,34 \mu\text{m}/\mu\text{m} \rightarrow \frac{26,70\mu\text{m}}{2\mu\text{m}}. \quad (3.158)$$

Para reduzir a tensão de *offset* provocada pelo descasamento dos transistores M2 e M3, adotou-se a estrutura *cross-quad* [18], que consiste em um par diferencial com quatro transistores ao invés de apenas dois. Nesta estrutura, o transistor M2 é composto na verdade por dois transistores idênticos M2A e M2B em paralelo enquanto o par de transistores M3A e M3B compõe o transistor M3. Com isso, a relação W/L de cada transistor deve ser metade daquela calculada na equação (3.158),

$$\frac{W_{2A}}{L_{2A}} = \frac{W_{2B}}{L_{2B}} = \frac{W_{3A}}{L_{3A}} = \frac{W_{3B}}{L_{3B}} = \frac{1}{2} \cdot \frac{W_2}{L_2} = \frac{1}{2} \cdot \frac{W_3}{L_3} = 6,672 \mu\text{m}/\mu\text{m} \rightarrow \frac{26,70\mu\text{m}}{4\mu\text{m}}. \quad (3.159)$$

Decidiu-se duplicar o comprimento do canal dos transistores ao invés de dividir sua largura para garantir que as dimensões permaneçam uma ou duas ordens de grandeza acima das dimensões mínimas do processo CUP. Desta forma, espera-se melhorar ainda mais o casamento dos transistores.

O cálculo dos transistores do par diferencial NMOS é análogo ao seu par complementar: para uma corrente de $18\mu\text{A}$ para a fonte de corrente M8 e $9\mu\text{A}$ para os transistores M9 e M10, as dimensões necessárias são

$$\frac{W_8}{L_8} = \frac{2 \cdot 18 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T8})^2 \cdot (1 + \lambda_N \cdot 0,3)} = 20,90 \mu\text{m}/\mu\text{m} \rightarrow \frac{41,80\mu\text{m}}{2\mu\text{m}}, \quad (3.160)$$

$$\frac{W_9}{L_9} = \frac{W_{10}}{L_{10}} = \frac{2 \cdot 9 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1,2 - V_{T9})^2 \cdot (1 + \lambda_N \cdot 2,24)} = 3,592 \mu\text{m}/\mu\text{m} \rightarrow \frac{7,20\mu\text{m}}{2\mu\text{m}}. \quad (3.161)$$

Aplicando a estrutura *cross-quad* também ao par diferencial NMOS, as dimensões dos transistores M9A, M9B, M10A e M10B são

$$\frac{W_{9A}}{L_{9A}} = \frac{W_{9B}}{L_{9B}} = \frac{W_{10A}}{L_{10A}} = \frac{W_{10B}}{L_{10B}} = \frac{1}{2} \cdot \frac{W_9}{L_9} = \frac{1}{2} \cdot \frac{W_{10}}{L_{10}} = 1,796 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{28,80\mu\text{m}}{8\mu\text{m}}. \quad (3.162)$$

3.6.6 Ganho de Malha Aberta

Para definir o ganho de malha aberta do amplificador operacional *rail-to-rail*, considera-se que os estágios *folded-cascode* possuem ganhos iguais. Com isso, o ganho do amp-op, equação (3.29), passa a ser

$$A_V = 2 \cdot A_{VP} \cdot A_{V2}. \quad (3.163)$$

Substituindo (3.110) em (3.163), obtém-se a relação entre as correntes de polarização do estágio de entrada e o ganho de malha aberta do amp-op,

$$\frac{I_{D7}}{I_{D3}} = \left\{ -\frac{A_{V2}}{A_V} \cdot \frac{4}{(V_{SG3} - V_{T3})} \cdot \left[\frac{2 \cdot \left(\frac{1}{\lambda_N} + V_{DS7} \right)}{(V_{GS7} - V_{T7})} \cdot (1 + \alpha_7) + 1 \right] - \frac{1}{\left(\frac{1}{\lambda_P} + V_{SD3} \right)} \right\} \cdot \left(\frac{1}{\lambda_N} + V_{DS5} \right) - 1. \quad (3.164)$$

As tensões de polarização foram definidas na seção 3.6.1 enquanto o ganho do estágio de saída foi calculado na seção 3.6.4. Portanto, para se atingir 80dB (10^4 V/V) de ganho em malha aberta, definido pelas especificações de projeto (Tabela 3.1), a relação entre as correntes I_{D3} e I_{D7} deve ser

$$\frac{I_{D7}}{I_{D3}} = \left\{ -\frac{(-14,42)}{10^4} \cdot \frac{4}{(1,04 - V_{T3})} \cdot \left[2,746 \cdot \frac{\left(\frac{1}{\lambda_N} + 0,7 \right)}{(1,2 - V_{T7})} + 1 \right] - \frac{1}{\left(\frac{1}{\lambda_P} + 2,24 \right)} \right\} \cdot \left(\frac{1}{\lambda_N} + 0,3 \right) - 1. \quad (3.165)$$

$= 629,5$

Esta razão entre correntes é inconcebível em um amplificador operacional. Reduzir esta relação não somente reduz o consumo de corrente do amp-op como aumenta seu ganho de malha aberta. Portanto, optou-se por

$$I_{D7} = I_{D3}, \quad (3.166)$$

que, produz um ganho de **127,5dB**.

Como a corrente de polarização do par diferencial de entrada foi definida na seção 3.6.5,

pela equação (3.166) a fonte de corrente flutuante deve então fornecer **9μA**. Finalmente, para evitar tensão de *offset* sistemático na saída do primeiro estágio, o circuito deslocador de nível DC também é polarizado com **9μA**. A partir de então, calcula-se as dimensões dos demais transistores que compõem o amplificador operacional *rail-to-rail*.

Pela equação (1.2) obtém-se

$$\frac{W_6}{L_6} = \frac{W_7}{L_7} = \frac{2 \cdot I_{D6}}{\mu_N \cdot C_{OX} \cdot (V_{GS6} - V_{T6})^2 \cdot (1 + \lambda_N \cdot V_{DS6})}, \quad (3.167)$$

que, a partir das tensões de polarização definidas na seção 3.6.1 e da corrente de polarização de 9μA, resulta em

$$\frac{W_6}{L_6} = \frac{W_7}{L_7} = \frac{2 \cdot 9 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1,2 - V_{T6})^2 \cdot (1 + \lambda_N \cdot 0,7)} = 3,738 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{7,50\mu\text{m}}{2\mu\text{m}}. \quad (3.168)$$

De forma análoga, a relação W/L dos transistores M13 e M14 é

$$\frac{W_{13}}{L_{13}} = \frac{W_{14}}{L_{14}} = \frac{2 \cdot I_{D13}}{\mu_P \cdot C_{OX} \cdot (V_{SG13} - V_{T13})^2 \cdot (1 + \lambda_P \cdot V_{DS13})}, \quad (3.169)$$

que resulta em

$$\frac{W_{13}}{L_{13}} = \frac{W_{14}}{L_{14}} = \frac{2 \cdot 9 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,01 - V_{T13})^2 \cdot (1 + \lambda_P \cdot 0,66)} = 19,76 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{39,50\mu\text{m}}{2\mu\text{m}}. \quad (3.170)$$

A relação W/L dos transistores M4 e M5 é dada pelas tensões definidas na seção 3.6.1 e pela soma das correntes do par diferencial e da fonte de corrente flutuante, ou seja, **18μA**. Portanto,

$$\frac{W_4}{L_4} = \frac{W_5}{L_5} = \frac{2 \cdot 18 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T4})^2 \cdot (1 + \lambda_N \cdot 0,3)} = 20,90 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{41,80\mu\text{m}}{2\mu\text{m}}. \quad (3.171)$$

Pelo mesmo raciocínio, as dimensões dos transistores M11 e M12 são

$$\frac{W_{11}}{L_{11}} = \frac{W_{12}}{L_{12}} = \frac{2 \cdot 18 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (0,96 - V_{T11})^2 \cdot (1 + \lambda_P \cdot 0,3)} = 89,47 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{178,90\mu\text{m}}{2\mu\text{m}}. \quad (3.172)$$

Para o cálculo dos transistores que compõem a fonte de corrente flutuante e o deslocador de nível DC, considera-se que o transistor e seu complementar são polarizados com correntes idênticas (4,5μA), resultando na corrente desejada de 9μA. A partir das tensões de polarização definidas na seção 3.6.2, as dimensões dos transistores NMOS são

$$\frac{W_{15}}{L_{15}} = \frac{W_{17}}{L_{17}} = \frac{2 \cdot 4,5 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1,7 - V_{T15})^2 \cdot (1 + \lambda_N \cdot 1,04)} = 0,3351 \mu\text{m} / \mu\text{m} \rightarrow \frac{5,35 \mu\text{m}}{16 \mu\text{m}}. \quad (3.173)$$

Finalmente, tem-se as dimensões dos transistores PMOS,

$$\frac{W_{16}}{L_{16}} = \frac{W_{18}}{L_{18}} = \frac{2 \cdot 4,5 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,26 - V_{T16})^2 \cdot (1 + \lambda_P \cdot 1,04)} = 1,380 \mu\text{m} / \mu\text{m} \rightarrow \frac{5,50 \mu\text{m}}{4 \mu\text{m}}. \quad (3.174)$$

3.6.7 Compensação em Freqüência

Pelos cálculos realizados nas seções 3.6.4 e 3.6.5, o zero introduzido pela malha de compensação foi deslocado para muito além da banda de freqüência do amp-op enquanto o pólo da carga foi posicionado 1,732 vezes acima da freqüência de ganho unitário, garantindo 60° de margem de fase. Além disso, definiu-se a capacitância de compensação e a corrente de polarização dos pares diferenciais de entrada a fim de estabelecer a posição do pólo dominante e atingir 14MHz de freqüência de ganho unitário.

Na seção 3.5.5, considerou-se que os pólos resultantes das capacitâncias C_{1N} e C_{1P} não são significativamente afetados pela compensação Miller. Apesar disso, é preciso assegurar que estes pólos não prejudicam a resposta em freqüência do amp-op. Assim, substituindo as transcondutâncias g_m , g_{mb} e g_d (seção 1.2) na equação (3.40), que define o pólo w_{C1P} , obtém-se

$$w_{C1P} = - \frac{\frac{I_{D7}}{(V_{GS7} - V_{T7})} \cdot \left(2 + \frac{\gamma_N}{\sqrt{|2 \cdot \phi_{IN}| + V_{SB7}}} \right) + \frac{I_{D7}}{\left(\frac{1}{\lambda_N} + V_{DS7} \right)} + \frac{I_{D3}}{\left(\frac{1}{\lambda_P} + V_{SD3} \right)} + \frac{I_{D5}}{\left(\frac{1}{\lambda_N} + V_{DS5} \right)}}{C_{1P}} \quad (3.175)$$

onde

$$C_{1P} \approx C_{GS7} = \frac{2}{3} \cdot C_{OX} \cdot W_7 \cdot L_7. \quad (3.176)$$

As tensões de polarização foram definidas na seção 3.6.1 enquanto as dimensões de M7 foram calculadas na seção 3.6.6. Já as correntes de polarização encontram-se nas seções 3.6.5 e 3.6.6. Com isso, a freqüência do pólo é dada por

$$\begin{aligned}
f_{CIP} &= \frac{W_{CIP}}{2\pi} = \\
&= \frac{1}{2\pi} \cdot \frac{\frac{9 \cdot 10^{-6}}{(1,2 - V_{T7})} \cdot \left(2 + \frac{\gamma_N}{\sqrt{|2 \cdot \phi_{IN}| + 0,3}} \right) + \frac{9 \cdot 10^{-6}}{\left(\frac{1}{\lambda_N} + 0,7 \right)} + \frac{9 \cdot 10^{-6}}{\left(\frac{1}{\lambda_P} + 2,24 \right)} + \frac{18 \cdot 10^{-6}}{\left(\frac{1}{\lambda_N} + 0,3 \right)}}{\frac{2}{3} \cdot C_{OX} \cdot 7,50 \cdot 10^{-6} \cdot 2 \cdot 10^{-6}}, \\
&= \mathbf{-719,2MHz}
\end{aligned} \tag{3.177}$$

comprovando que o pólo devido à capacitância C_{IP} está muito além da banda de freqüência do amplificador operacional e portanto não contribui para sua resposta em freqüência. Como o desempenho do estágio *folded-cascode* com entrada NMOS é aproximadamente igual ao do estágio PMOS, considera-se que a freqüência do pólo introduzido pela capacitância C_{IN} é da mesma ordem de grandeza.

A posição do zero depende basicamente do resistor de compensação R_C , como mostra a equação (3.55). Assim, para que a freqüência do zero seja infinita, faz-se

$$\frac{1}{g_C} = \frac{1}{g_{m19} + g_{m20}}. \tag{3.178}$$

Dado que as transcondutâncias g_{m19} e g_{m20} são expressas por (1.18) e (1.8), a equação (3.178) traduz-se em

$$\frac{1}{g_C} = \frac{1}{\frac{2 \cdot I_{D19}}{(V_{SG19} - V_{T19})} + \frac{2 \cdot I_{D20}}{(V_{GS20} - V_{T20})}}. \tag{3.179}$$

As tensões de polarização foram definidas na seção 3.6.3 enquanto as correntes de polarização são dadas na seção 3.6.4. Assim, o resistor de compensação R_C é

$$\frac{1}{g_C} = \frac{1}{\frac{2 \cdot 40 \cdot 10^{-6}}{(0,96 - V_{T19})} + \frac{2 \cdot 40 \cdot 10^{-6}}{(1 - V_{T20})}} = \mathbf{681,8\Omega}. \tag{3.180}$$

Recorrendo à equação (3.46), o resistor R_C resulta da associação em paralelo dos resistores R_N e R_P . Portanto,

$$R_N = R_P = 2 \cdot R_C = \mathbf{1,364k\Omega}. \tag{3.181}$$

Por fim, verificou-se a freqüência do pólo w_{P4} . Pela equação (3.64), tem-se

$$\omega_{P4} \approx -\frac{1}{C_2 \cdot \frac{1}{g_c}} \quad (3.182)$$

onde

$$C_2 = C_{GS19} + C_{GS20} = \frac{2}{3} \cdot C_{OX} \cdot (W_{19} \cdot L_{19} + W_{20} \cdot L_{20}). \quad (3.183)$$

Pela equação (3.180) e dimensões calculadas na seção 3.6.4, obtém-se

$$\begin{aligned} f_{P4} &= \frac{\omega_{P4}}{2\pi} = \\ &= -\frac{1}{2\pi} \cdot \frac{1}{\frac{2}{3} \cdot C_{OX} \cdot (389,20 \cdot 10^{-6} \cdot 2 \cdot 10^{-6} + 90,00 \cdot 10^{-6} \cdot 2 \cdot 10^{-6}) \cdot 681,8} = -831,7\text{MHz} \end{aligned} \quad (3.184)$$

Concluindo, as equações (3.177), (3.180) e (3.184) demonstram que a resposta em frequência do amplificador operacional *rail-to-rail* aproxima-se de um sistema de dois pólos.

3.6.8 Resistores de Compensação Ativos

Uma alternativa para implementar os resistores de compensação dá-se através de transistores polarizados na região linear, como mostra a Figura 3.17.

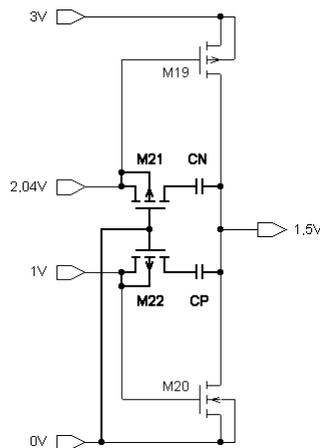


Figura 3.17: Compensação Miller com transistores PMOS

Sabendo que a condutância do canal de um transistor PMOS operando na região linear é dada pela equação (1.16), obtém-se

$$\frac{W_{21}}{L_{21}} = \frac{g_{d21}}{\mu_p \cdot C_{OX} \cdot (V_{SG21} - V_{T21} - V_{SD21})}. \quad (3.185)$$

As tensões de polarização da Figura 3.17 foram previamente definidas na seção 3.6.3 enquanto a resistência de compensação é dada por (3.181). Assim, as dimensões do transistor M21 são

$$\frac{W_{21}}{L_{21}} = \frac{\left(\frac{1}{1,364 \cdot 10^3}\right)}{\mu_P \cdot C_{OX} \cdot (2,04 - V_{T21} - 0)} = 15,52 \mu\text{m}/\mu\text{m} \rightarrow \frac{31,05 \mu\text{m}}{2 \mu\text{m}}. \quad (3.186)$$

De forma análoga, a relação entre as dimensões do transistor M22 e sua condutância de canal é

$$\frac{W_{22}}{L_{22}} = \frac{g_{d22}}{\mu_P \cdot C_{OX} \cdot (V_{SG22} - V_{T22} - V_{SD22})}, \quad (3.187)$$

que resulta em

$$\frac{W_{22}}{L_{22}} = \frac{\left(\frac{1}{1,364 \cdot 10^3}\right)}{\mu_P \cdot C_{OX} \cdot (1 - V_{T22} - 0)} = 130,9 \mu\text{m}/\mu\text{m} \rightarrow \frac{261,80 \mu\text{m}}{2 \mu\text{m}}. \quad (3.188)$$

3.6.9 Circuitos de Polarização

A topologia adotada para o amplificador operacional *rail-to-rail* depende de uma série de fontes de tensão, representadas na Figura 3.8 pelos terminais V_A , V_B , V_C , V_D , V_E e V_F . Para implementar estas tensões internamente, utiliza-se seis circuitos básicos, ilustrados na Figura 3.18.

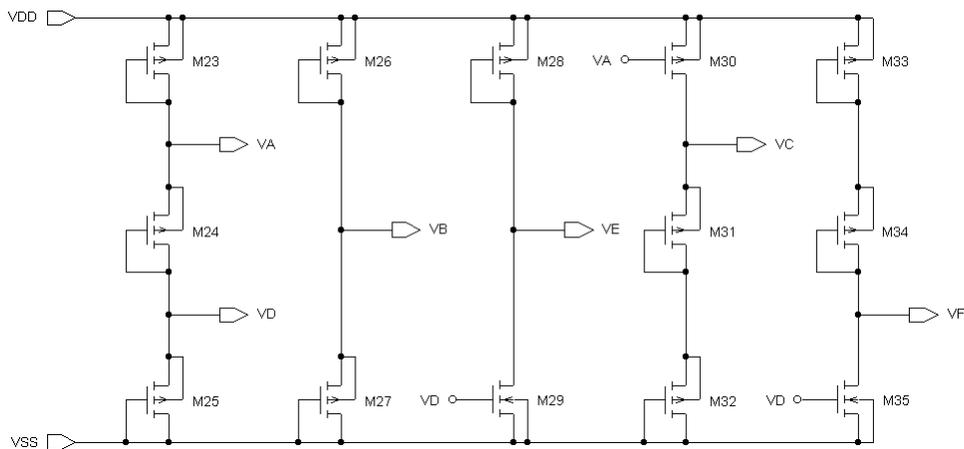


Figura 3.18: Circuitos de polarização

As tensões V_A , V_B e V_D resultam de dois divisores de tensão, implementados por “diodos” PMOS empilhados entre os terminais de alimentação V_{DD} e V_{SS} . Por outro lado, as tensões V_C , V_E

e V_F são produzidas a partir de “diodos” MOS polarizados por fontes de corrente que utilizam V_A , V_B ou V_D .

O projeto dos circuitos de polarização foi orientado de forma a consumir baixa corrente sem contudo exigir dimensões mínimas dos transistores. Desta forma, buscou-se uma corrente da ordem de $4\mu\text{A}$ para cada circuito.

No primeiro circuito, as dimensões dos transistores M23-M25 são calculadas a partir das tensões de saída V_A e V_D definidas na seção 3.6.1 e a corrente de $4\mu\text{A}$,

$$\frac{W_{23}}{L_{23}} = \frac{W_{24}}{L_{24}} = \frac{W_{25}}{L_{25}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T23})^2 \cdot (1 + \lambda_P \cdot 1)} = 10,02 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{40,10\mu\text{m}}{4\mu\text{m}}. \quad (3.189)$$

De forma análoga, as dimensões dos transistores M26 e M27 resultam da tensão de saída V_B e da corrente de $4\mu\text{A}$,

$$\frac{W_{26}}{L_{26}} = \frac{W_{27}}{L_{27}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,5 - V_{T26})^2 \cdot (1 + \lambda_P \cdot 1,5)} = 0,4752 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{1,90\mu\text{m}}{4\mu\text{m}}. \quad (3.190)$$

Dada a tensão de saída V_E , definida na seção 3.6.1, obtém-se para os transistores M28 e M29

$$\frac{W_{28}}{L_{28}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,31 - V_{T28})^2 \cdot (1 + \lambda_P \cdot 1,31)} = 0,9644 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{3,85\mu\text{m}}{4\mu\text{m}}, \quad (3.191)$$

$$\frac{W_{29}}{L_{29}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T29})^2 \cdot (1 + \lambda_N \cdot 1,69)} = 4,478 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{8,95\mu\text{m}}{2\mu\text{m}}. \quad (3.192)$$

Para implementar a tensão V_C , os transistores M30-M32 foram dimensionados da seguinte forma:

$$\frac{W_{30}}{L_{30}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1 - V_{T30})^2 \cdot (1 + \lambda_P \cdot 0,30)} = 10,14 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{20,30\mu\text{m}}{2\mu\text{m}}, \quad (3.193)$$

$$\frac{W_{31}}{L_{31}} = \frac{W_{32}}{L_{32}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,35 - V_{T31})^2 \cdot (1 + \lambda_P \cdot 1,35)} = 0,8128 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{3,25\mu\text{m}}{4\mu\text{m}}. \quad (3.194)$$

Finalmente, as dimensões dos transistores M33-M35, que implementam V_F , são

$$\frac{W_{33}}{L_{33}} = \frac{W_{34}}{L_{34}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_P \cdot C_{OX} \cdot (1,11 - V_{T33})^2 \cdot (1 + \lambda_P \cdot 1,11)} = 3,136 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{12,55\mu\text{m}}{4\mu\text{m}}, \quad (3.195)$$

$$\frac{W_{35}}{L_{35}} = \frac{2 \cdot 4 \cdot 10^{-6}}{\mu_N \cdot C_{OX} \cdot (1 - V_{T35})^2 \cdot (1 + \lambda_N \cdot 0,78)} = 4,585 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{9,15 \mu\text{m}}{2 \mu\text{m}}. \quad (3.196)$$

3.6.10 Resultados de Projeto

Com a fase de projeto concluída, a Tabela 3.9 concentra as dimensões calculadas para o amplificador operacional *rail-to-rail*. Com estas dimensões, a Tabela 3.10 apresenta as características de desempenho esperadas.

Tabela 3.9: Dimensões calculadas para o amplificador operacional *rail-to-rail*

Dispositivo	V _{GS} (V)	V _{DS} (V)	I _D (μA)	Dimensão (μm/μm)	OBS
M1	1	0,46	18	91,05 / 2,00	-
M2A, M2B, M3A, M3B	1,04	2,24	4,5	26,70 / 4,00	-
M4, M5	1	0,3	18	41,80 / 2,00	-
M6, M7	1,2	0,7	9	7,50 / 2,00	-
M8	1	0,3	18	41,80 / 2,00	-
M9A, M9B, M10A, M10B	1,2	2,4	4,5	28,80 / 8,00	-
M11, M12	0,96	0,3	18	178,90 / 2,00	-
M13, M14	1,01	0,66	9	39,50 / 2,00	-
M15, M17	1,7	1,04	9	5,35 / 16,00	-
M16, M18	1,26	1,04	9	5,50 / 4,00	-
M19	0,96	1,5	40	389,20 / 2,00	-
M20	1	1,5	40	90,00 / 2,00	-
M21	2,04	0	0	31,05 / 2,00	12kΩ
M22	1	0	0	261,80 / 2,00	12kΩ
M23, M24, M25	1	1	4	40,10 / 4,00	-
M26, M27	1,5	1,5	4	1,90 / 4,00	-
M28	1,31	1,31	4	3,85 / 4,00	-
M29	1	1,69	4	8,95 / 2,00	-
M30	1	0,3	4	20,30 / 2,00	-
M31, M32	1,35	1,35	4	3,25 / 4,00	-
M33, M34	1,11	1,11	4	12,55 / 4,00	-
M35	1	0,78	4	9,15 / 2,00	-
C _N , C _P	-	-	-	-	1pF

Tabela 3.10: Desempenho calculado para o amplificador operacional *rail-to-rail*

Parâmetro	Valor calculado
Número de transistores	39
Corrente de Polarização	114 μ A
Tensão de saída máxima	2,99V
Tensão de saída mínima	0,01V
Ganho de malha aberta	127,5dB
Frequência de ganho unitário	14MHz
Margem de fase	60°
Frequência do pólo da carga	24,25MHz
Frequência do zero	∞

3.7 Resultados de Simulação

Antes da execução do *layout* do amplificador operacional *rail-to-rail*, seu desempenho foi avaliado por meio de simulações com o auxílio do *software* Mentor Graphics. Os parâmetros típicos de simulação para transistores NMOS e PMOS foram extraídos do arquivo **cmos15tm** [22]. Em geral, os testes de simulação realizados com o amp-op *rail-to-rail* são idênticos àqueles descritos para o amp-op canônico (seção 2.6). Alguns testes diferem apenas nos limites de tensão de entrada, visto que as excursões de entrada e de saída para os amplificadores operacionais canônico e *rail-to-rail* são distintas.

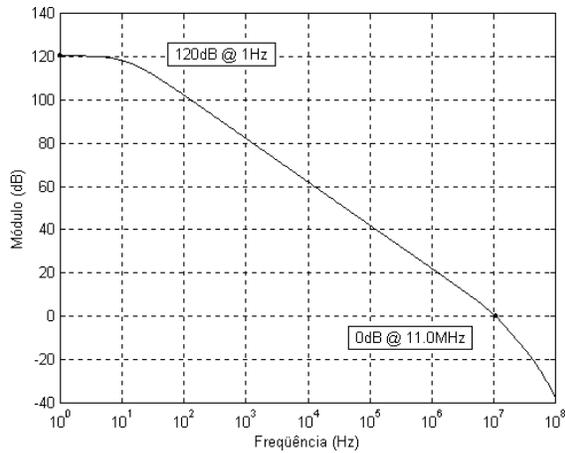
Primeiramente, analisou-se a polarização do amp-op. A partir das dimensões calculadas (Tabela 3.9), a análise DC buscou otimizá-las a fim de atingir valores exatos para as tensões e correntes definidas na seção 3.6. Assim, as novas dimensões dos transistores estão resumidas na Tabela 3.11.

Tabela 3.11: Dimensões para o amplificador operacional *rail-to-rail*

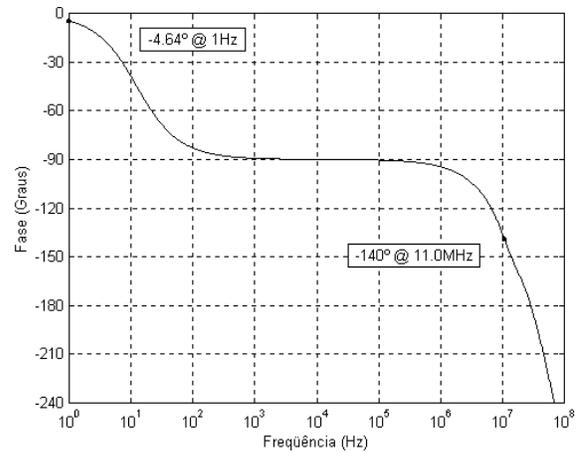
Dispositivo	Dimensão calculada ($\mu\text{m}/\mu\text{m}$)	Dimensão simulada ($\mu\text{m}/\mu\text{m}$)
M1	91,05 / 2,00	92,15 / 2,00
M2A, M2B, M3A, M3B	26,70 / 4,00	33,70 / 4,00
M4, M5	41,80 / 2,00	43,50 / 2,00
M6, M7	7,50 / 2,00	7,35 / 2,00
M8	41,80 / 2,00	43,50 / 2,00
M9A, M9B, M10A, M10B	28,80 / 8,00	19,20 / 8,00
M11, M12	178,90 / 2,00	148,80 / 2,00
M13, M14	39,50 / 2,00	39,25 / 2,00
M15, M17	5,35 / 16,00	6,70 / 16,00
M16, M18	5,50 / 4,00	8,25 / 4,00
M19	389,20 / 2,00	321,20 / 2,00
M20	90,00 / 2,00	92,55 / 2,00
M23, M24, M25	40,10 / 4,00	40,00 / 4,00
M26, M27	1,90 / 4,00	4,00 / 4,00
M28	3,85 / 4,00	6,00 / 4,00
M29	8,95 / 2,00	10,10 / 2,00
M30	20,30 / 2,00	16,70 / 2,00
M31, M32	3,25 / 4,00	4,00 / 4,00
M33, M34	12,55 / 4,00	16,00 / 4,00
M35	9,15 / 2,00	9,10 / 2,00

Pelo circuito da Figura 2.16, que mantém a estabilidade do amplificador operacional com entrada nula, a corrente necessária para polarizar sua estrutura interna é de **113,92 μA** , coincidindo com o valor calculado.

Simulações da resposta em frequência do amp-op em malha aberta, segundo o procedimento da Figura 2.24, mostraram um ganho de **120dB** e frequência de ganho unitário de **11,0MHz**. Contudo, a margem de fase de **40°** ficou abaixo do esperado, como mostra a Figura 3.19.



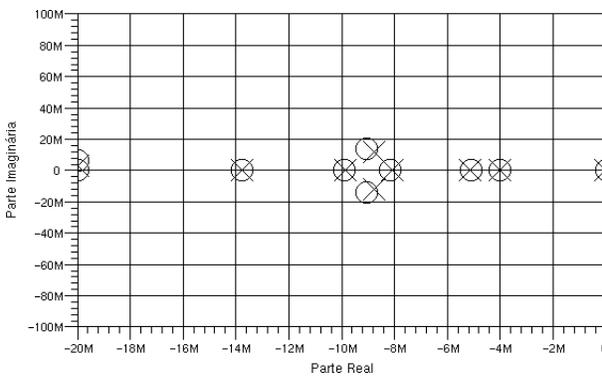
(a) Módulo



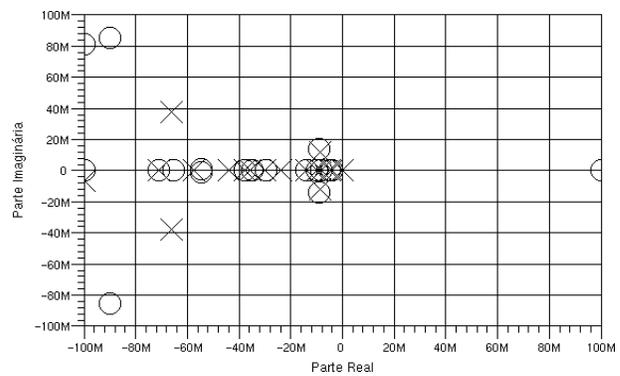
(b) Fase

Figura 3.19: Resposta em frequência do amp-op em malha aberta

Analisando o diagrama de pólos e zeros (Figura 3.20), nota-se um grande número de pares pólo-zero, conhecidos como *doublets* [19], e que resultam das capacitâncias intrínsecas dos diversos transistores que compõem o amplificador operacional *rail-to-rail*. Entretanto, a grande maioria destas capacitâncias foi desconsiderada na seção 3.5 caso contrário uma análise matemática da resposta em frequência do amp-op tornaria-se inviável.



(a) Pólos e zeros na faixa de 20MHz



(b) Pólos e zeros na faixa de 100MHz

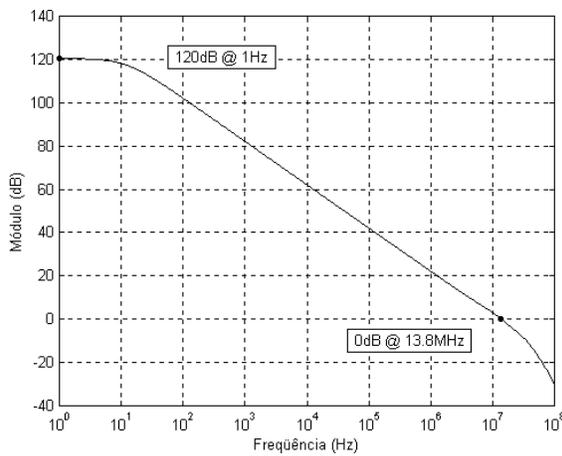
Figura 3.20: Pólos e zeros do amp-op em malha aberta

Para compensar este desvio na margem de fase, decidiu-se deslocar o zero w_z para o semi-plano esquerdo modificando os resistores de compensação. Atingiu-se a margem de fase de 60° elevando as resistências de R_N e R_P de $1,364k\Omega$ para $12k\Omega$. Pelas equações (3.185) e (3.187), as dimensões dos transistores M21 e M22 também foram ajustadas,

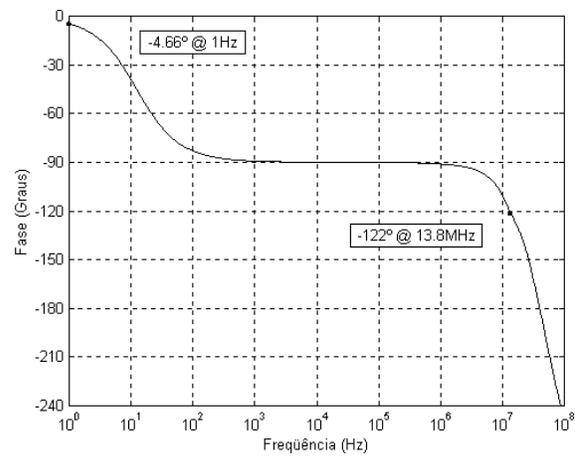
$$\frac{W_{21}}{L_{21}} = \frac{\left(\frac{1}{12 \cdot 10^3}\right)}{\mu_P \cdot C_{OX} \cdot (2,04 - V_{T21} - 0)} = 1,764 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{8,80 \mu\text{m}}{5 \mu\text{m}}, \quad (3.197)$$

$$\frac{W_{22}}{L_{22}} = \frac{\left(\frac{1}{12 \cdot 10^3}\right)}{\mu_P \cdot C_{OX} \cdot (1 - V_{T22} - 0)} = 14,87 \frac{\mu\text{m}}{\mu\text{m}} \rightarrow \frac{29,75 \mu\text{m}}{2 \mu\text{m}}. \quad (3.198)$$

Feito isso, o amp-op manteve o ganho de **120dB** ao passo que a freqüência de ganho unitário e a margem de fase subiram para **13,8MHz** e **58°** respectivamente (Figura 3.21), aproximando-se dos valores calculados. Observa-se a presença deste zero (próximo de -13MHz) no diagrama de pólos e zeros da Figura 3.22.

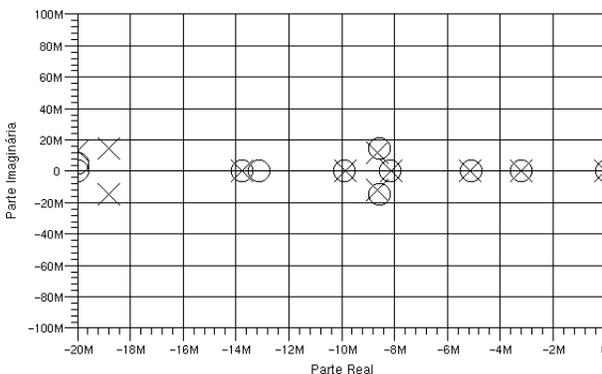


(a) Módulo

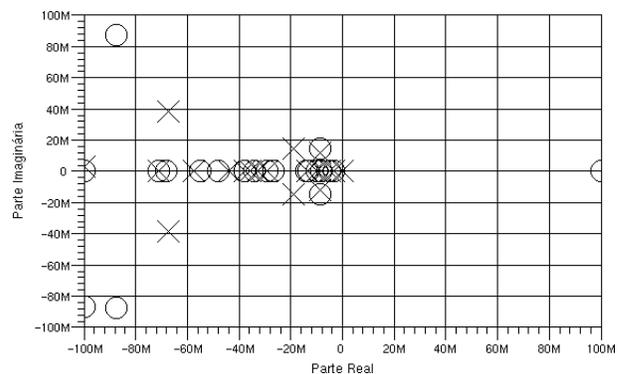


(b) Fase

Figura 3.21: Resposta em freqüência do amp-op em malha aberta



(a) Pólos e zeros na faixa de 20MHz

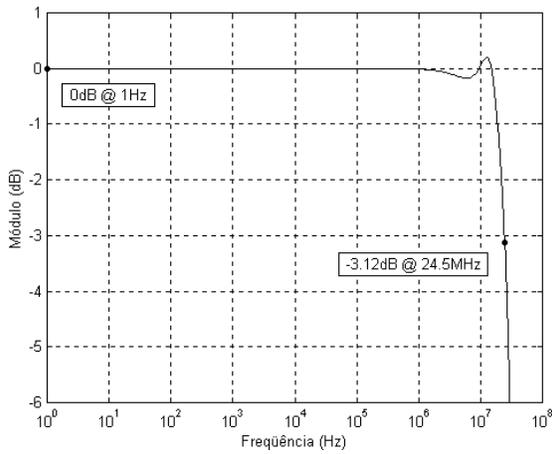


(b) Pólos e zeros na faixa de 100MHz

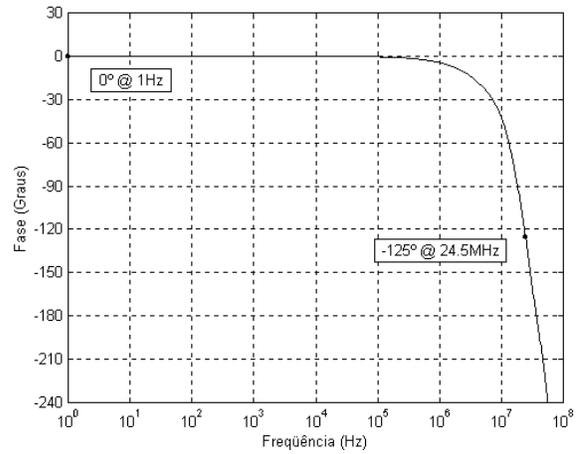
Figura 3.22: Pólos e zeros do amp-op em malha aberta

Em configuração *follower* (Figura 2.27), a resposta em freqüência do amplificador

operacional *rail-to-rail* é dada pela Figura 3.23.



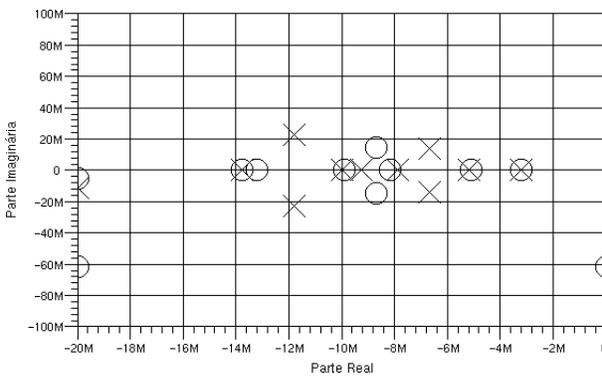
(a) Módulo



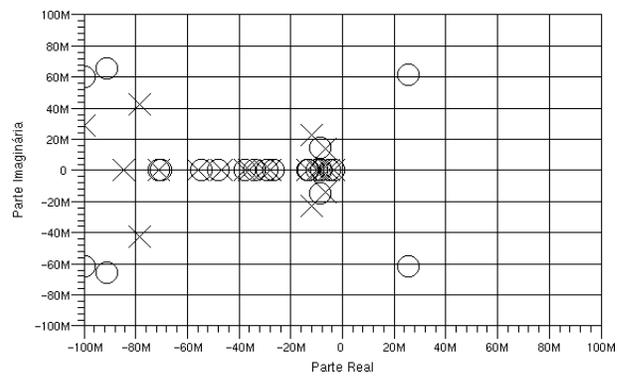
(b) Fase

Figura 3.23: Resposta em frequência do amp-op realimentado

A realimentação negativa reposiciona pólos e zeros do amp-op segundo a Figura 3.24.



(a) Pólos e zeros na faixa de 20MHz



(b) Pólos e zeros na faixa de 100MHz

Figura 3.24: Pólos e zeros do amp-op realimentado

Para medir a excursão do sinal de saída, utiliza-se o procedimento da Figura 2.17. Como esperado, os resultados (Figura 3.25) comprovam que a saída excursions livremente entre -1,49V e 1,49V (ou **0,01V** e **2,99V**).

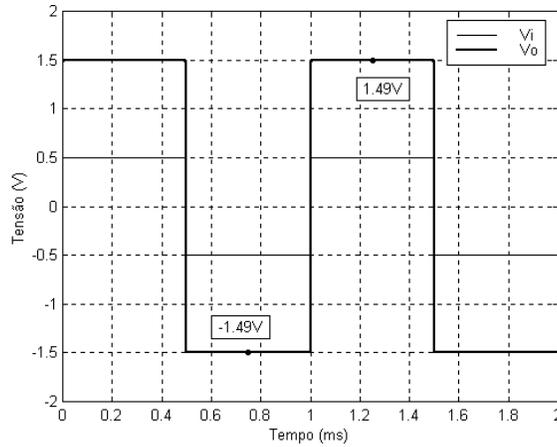


Figura 3.25: Simulação da excursão de saída

A Figura 3.26 ilustra o procedimento utilizado para medir o *slew rate* do amplificador operacional *rail-to-rail*. O capacitor externo de 15pF representa a capacitância parasita da ponteira de prova do osciloscópio. Conclui-se pela Figura 3.27 que o amplificador apresenta um *slew rate* de **+12,8V/μs** na transição positiva e **-12,6V/μs** na transição negativa.

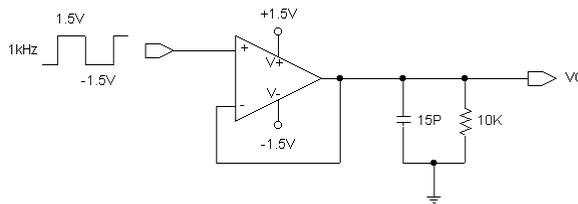
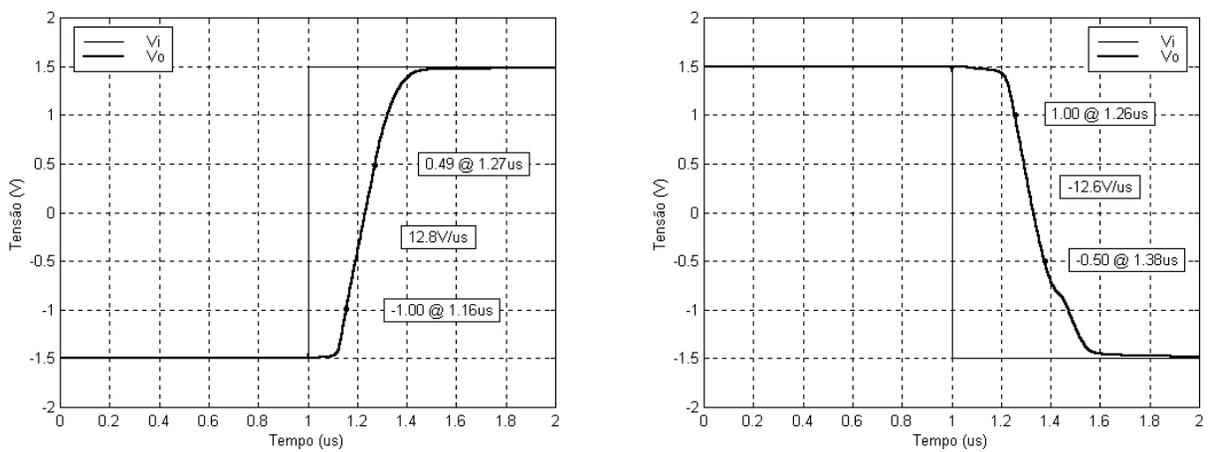


Figura 3.26: Procedimento de medida para *slew rate*

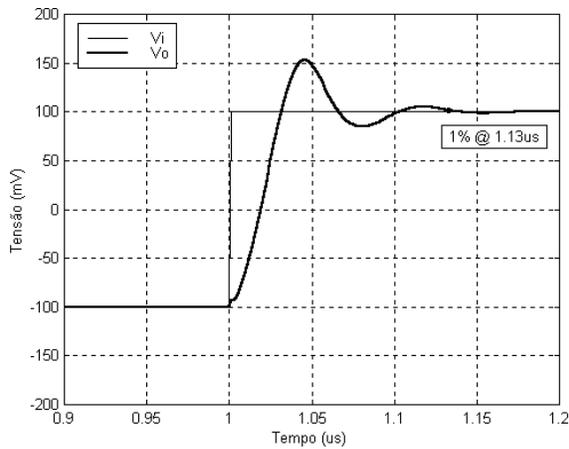


(a) Transição positiva

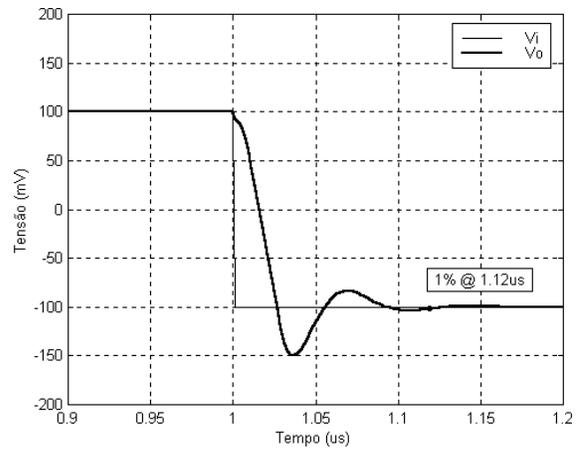
(b) Transição negativa

Figura 3.27: Simulação do *slew rate*

O tempo de estabilização é medido conforme a Figura 2.22. A simulação (Figura 3.28) demonstra que o tempo necessário para a saída estabilizar-se em 1% em relação à entrada é de **130ns** para transições positivas e **120ns** para transições negativas.



(a) Transição positiva



(b) Transição negativa

Figura 3.28: Simulação do tempo de estabilização

Os resultados de simulação estão resumidos na Tabela 3.12.

Tabela 3.12: Desempenho simulado para o amplificador operacional rail-to-rail

Parâmetro	Valor simulado	Valor calculado
Corrente de Polarização	113,92 μ A	114 μ A
Tensão de saída máxima	2,99V	2,99V
Tensão de saída mínima	0,01V	0,01V
<i>Slew rate</i> positivo	12,8V/ μ s	-
<i>Slew rate</i> negativo	-12,6V/ μ s	-
Tempo de estabilização positivo (1%)	130ns	-
Tempo de estabilização negativo (1%)	120ns	-
Ganho de malha aberta	120dB	127,5dB
Freqüência de ganho unitário	13,8MHz	14MHz
Margem de fase	58°	60°
Freqüência de -3dB	24,5MHz	-
Fase em -3dB	-125°	-

3.8 O Circuito Integrado

O circuito integrado que foi produzido contém dois amplificadores operacionais *rail-to-rail* quase idênticos, numerados “1” e “2”. O amp-op 1 possui um resistor de silício policristalino em ambas as malhas de compensação ao passo que no amp-op 2 cada resistor foi substituído por um transistor PMOS polarizado na região linear, cujos terminais de porta estão conectados a um pino externo. Para que a compensação tenha efeito sobre o amp-op 2, este pino deve ser conectado à fonte de alimentação V_{SS} .

Além dos amp-ops, o circuito integrado inclui quatro componentes passivos isolados: dois resistores de silício policristalino e dois capacitores. Apenas um resistor e um capacitor estão protegidos contra carga eletrostática enquanto os demais conectam-se aos pinos do encapsulamento através de *pads* sem proteção. Cada resistor é idêntico ao resistor de compensação do amp-op 1 enquanto cada capacitor isolado é composto na verdade por dois capacitores conectados em paralelo, idênticos ao capacitor de compensação dos amp-ops.

Portanto, o circuito integrado contém ao todo dois amplificadores operacionais, dois resistores de $12\text{k}\Omega$ e dois capacitores de 2pF . Seu encapsulamento é descrito na Tabela 3.13.

A Figura 3.29 apresenta uma fotomicrografia do circuito integrado completo, que ocupa uma área de $2,81\text{mm}^2$ ($1840\mu\text{m}$ por $1529\mu\text{m}$). Desconsiderando os *pads* (em destaque na Figura 3.30), a área ocupada pelo circuito propriamente dito é de apenas $0,87\text{mm}^2$ ($1100\mu\text{m}$ por $789\mu\text{m}$), como mostra a Figura 3.31.

Uma das causas para o descasamento da tensão de *threshold* entre transistores idênticos ocorre devido à imprecisão do processo durante a fabricação do circuito integrado. Para reduzir este efeito sobre os transistores de entrada, foram utilizados pares diferenciais em estrutura *cross-quad*. Entretanto, como a tensão de *threshold* depende da temperatura, outra fonte de descasamento resulta do gradiente de temperatura do substrato. Portanto, transistores idênticos precisam ser posicionados em uma mesma região isotérmica em relação às fontes de calor, caso contrário a diferença de temperatura entre os transistores provocará um descasamento de V_T .

Considera-se que os transistores de saída representam as fontes de calor mais significativas no substrato devido ao grande fluxo de carga através destes transistores para a carga externa. Portanto, o *layout* dos amplificadores operacionais *rail-to-rail* foi desenvolvido de forma a concentrar os transistores de saída em uma mesma região. Assim, o comportamento térmico dos quatro transistores de saída assemelha-se a uma fonte de calor pontual. A partir de então, distribuiu-se os demais transistores de cada amplificador operacional sobre linhas isotérmicas em relação aos transistores de saída, principalmente as estruturas *cross-quad* que compõem os pares de entrada *rail-to-rail*. Além disso, evitou-se aproximar os transistores de entrada dos transistores

de saída. Todas estas precauções [18] resultaram em uma estrutura duplamente simétrica, apresentada na Figura 3.31.

Tabela 3.13: Pinagem do encapsulamento

Pinos	Função	Observação
1 12 13 24	Sem ligação	-
2 3	Terminais do capacitor 1	<i>pad</i> com proteção de diodos e resistor de 200Ω
4 5 9	$V_{SS} / V_{\text{substrato}}$	<i>pad</i> de V_{SS}
6	Saída do amp-op 1	<i>pad</i> com proteção de diodos
7	Saída do amp-op 2	<i>pad</i> com proteção de diodos
8	Controle da compensação do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200Ω
10 11	Terminais do capacitor 2	<i>pad</i> sem proteção
14 23	V_{DD}	<i>pad</i> de V_{DD}
15	Entrada inversora do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200Ω
16	Entrada não-inversora do amp-op 2	<i>pad</i> com proteção de diodos e resistor de 200Ω
17 18	Terminais do resistor 2	<i>pad</i> sem proteção
19 20	Terminais do resistor 1	<i>pad</i> com proteção de diodos
21	Entrada não-inversora do amp-op 1	<i>pad</i> com proteção de diodos e resistor de 200Ω
22	Entrada inversora do amp-op 1	<i>pad</i> com proteção de diodos e resistor de 200Ω

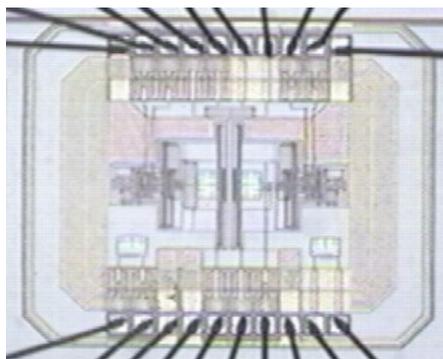


Figura 3.29: Fotomicrografia do circuito integrado completo

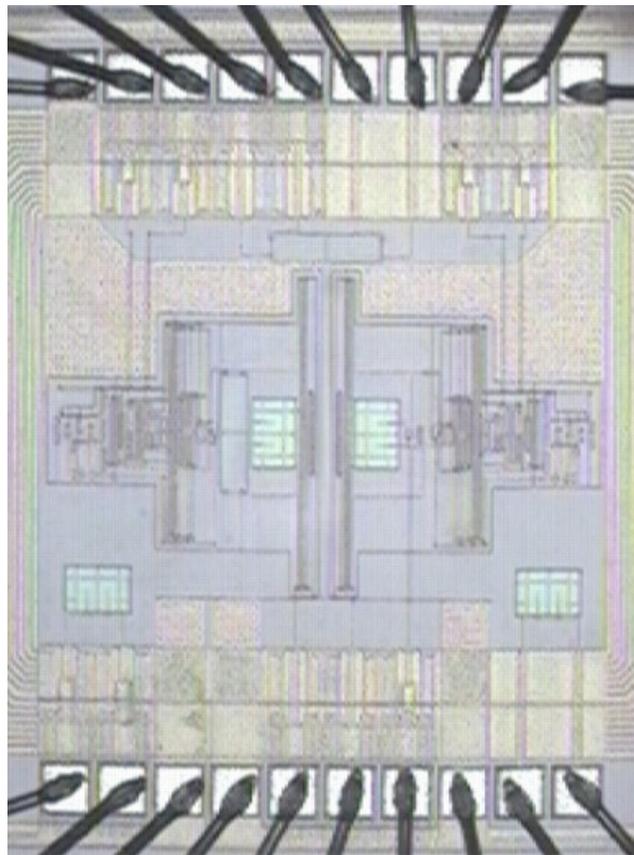


Figura 3.30: Fotomicrografia dos *pads* do circuito integrado

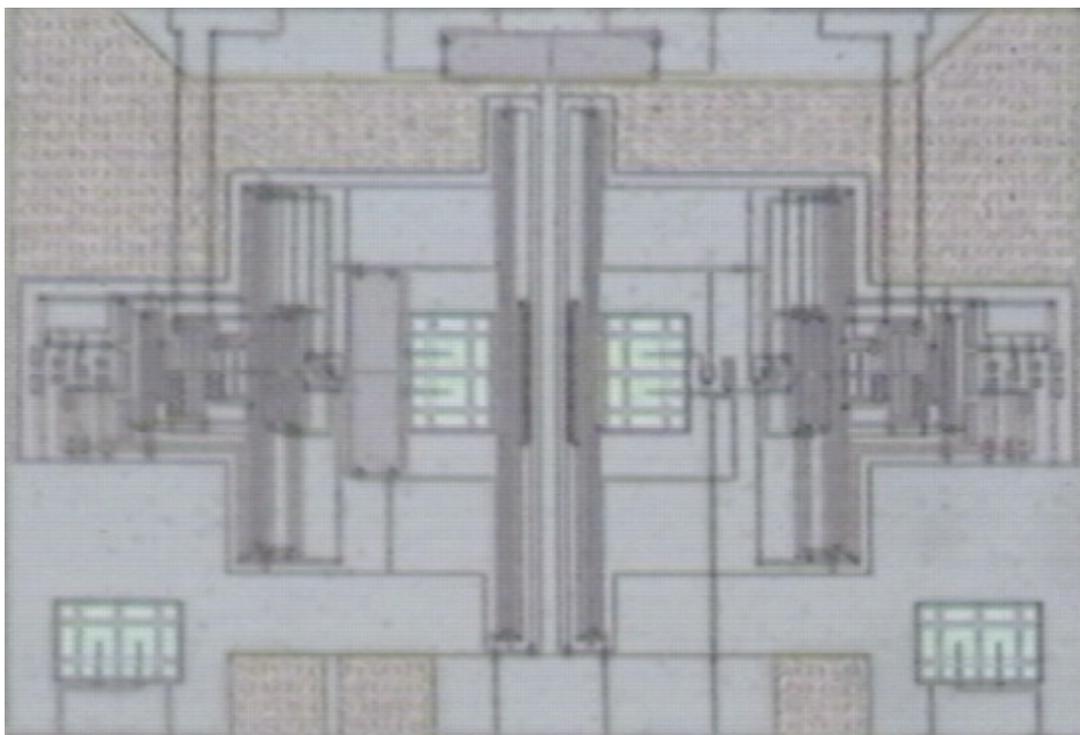


Figura 3.31: Fotomicrografia dos amplificadores operacionais

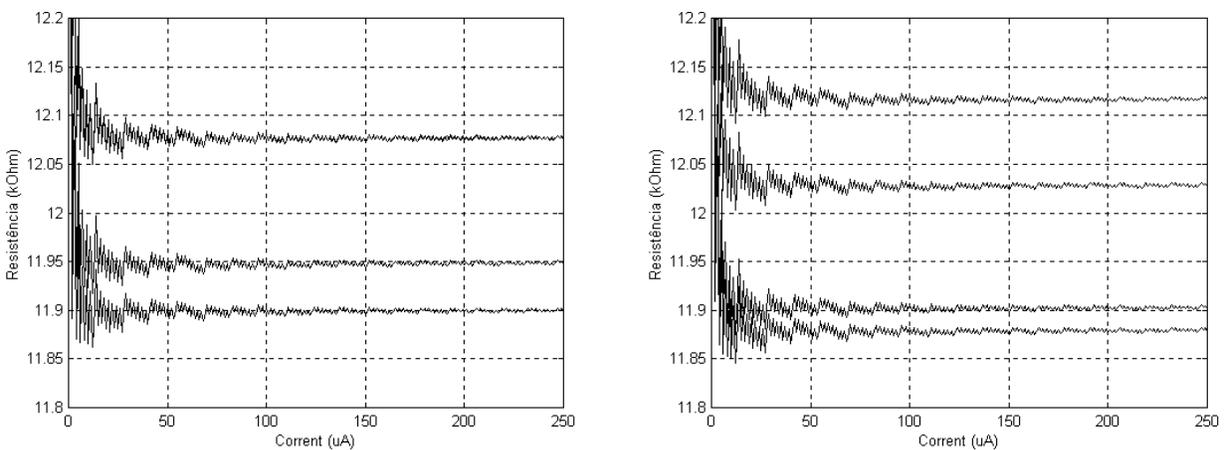
3.9 Resultados Experimentais

Foram recebidas quatro amostras do amplificador operacional *rail-to-rail*, nomeadas “A”, “B”, “C” e “D”. Os testes descritos a seguir foram realizados em todas as amostras, tanto do amp-op 1 quanto do amp-op 2, totalizando 8 amplificadores operacionais testados.

Os equipamentos utilizados para as medidas experimentais foram os mesmos da caracterização do amp-op canônico (seção 2.8).

3.9.1 Caracterização dos Componentes Passivos

A caracterização dos resistores através do método de quatro fios resultou na Figura 3.32.



(a) Resistores com proteção

(b) Resistores sem proteção

Figura 3.32: Medida dos resistores

Realizando uma média dos valores de resistência para correntes acima de $150\mu\text{A}$ obtém-se a Tabela 3.14.

Tabela 3.14: Medida dos resistores

Amostra	Resistor com proteção (Ω)	Resistor sem proteção (Ω)
A	11948	11903
B	12077	12117
C	11900	11879
D	12077	12028

Analisando os dados da Tabela 3.14, conclui-se que o desvio máximo em relação ao valor esperado de $12\text{k}\Omega$ é de apenas 121Ω (1,01%). O desvio máximo entre resistores de um mesmo

substrato é de apenas **48Ω (0,40%)**. Já a diferença entre resistores em substratos diferentes não ultrapassa **237Ω (1,98%)**. Por estes resultados, comprova-se a grande linearidade e precisão do processo de fabricação para resistores de silício policristalino.

Por sua vez, a medida de capacitância dos capacitores sem proteção apresentou os resultados da Tabela 3.15.

Tabela 3.15: Medida dos capacitores

Amostra	Capacitor sem proteção (pF)
A	5,52
B	5,44
C	5,49
D	5,46

Assim como no circuito integrado do amplificador operacional canônico, as medidas contidas na Tabela 3.15 não são confiáveis devido às capacitâncias parasitas associadas ao capacitor integrado. Neste caso, a capacitância parasita resultante do encapsulamento é da ordem de 1,6pF. Além disso, para o processo 0,6μm da AMS, o acoplamento capacitivo entre *pad* e substrato é de 4pF [42].

O fato dos resistores coincidirem com o valor previsto garante que a frequência do zero é próxima do esperado. Já a ausência de medidas precisas do capacitor integrado impede que a frequência do pólo dominante seja verificada. Entretanto, a capacitância de 4pF entre o substrato e o *pad* de saída do amp-op aumenta sua carga externa total, deslocando o pólo da carga para baixas frequências, degradando em parte sua banda e margem de fase.

3.9.2 Caracterização dos Amplificadores Operacionais

Iniciou-se os testes do amplificador operacional *rail-to-rail* medindo sua corrente de polarização através do circuito da Figura 2.16. Assim como ocorreu com o amp-op canônico, descobriu-se após a execução do *layout* que os *pads* de V_{DD} estão em curto-circuito por meio de uma trilha de metal existente no próprio *pad*. Como uma trilha de metal semelhante foi encontrada também nos *pads* de V_{SS} , estes também encontram-se em curto-circuito.

A corrente através dos terminais de alimentação nas quatro amostras variou entre 292μA e 312μA. Como a corrente através do estágio de saída equivale a 35,1% do consumo total do amp-op, atribuiu-se esta variação da corrente de polarização à tensão de saída não nula. A medida de 300μA corresponde à amostra em que as tensões de *offset* são mínimas, portanto cada amp-op consome aproximadamente **150μA**.

Em seguida, mediu-se a excursão do sinal de saída. Pelo procedimento da Figura 2.17, a excursão de saída atingiu os níveis de -1,46V e 1,44V (ou **0,04V** e **2,94V**). A Figura 3.33 confirma os valores esperados.

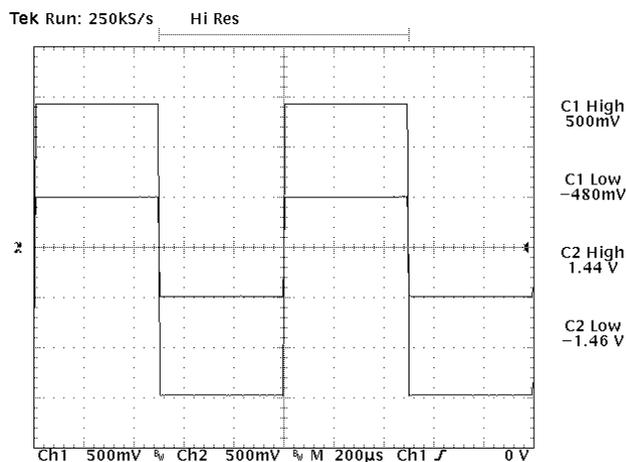


Figura 3.33: Medida da excursão de saída

Para medir a excursão do sinal de entrada, utilizou-se o circuito da Figura 3.34, semelhante ao utilizado pelo amplificador operacional canônico (Figura 2.19). Desta forma, a excursão de entrada compreende a faixa entre -2,04V e 2,09V (ou **-0,54V** e **3,59V**), como na Figura 3.35.

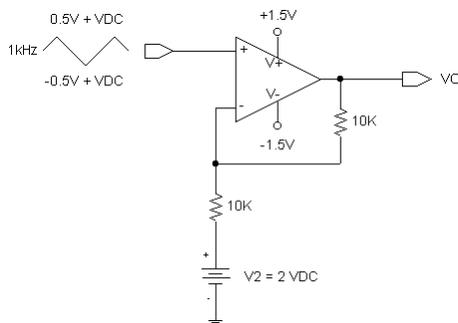
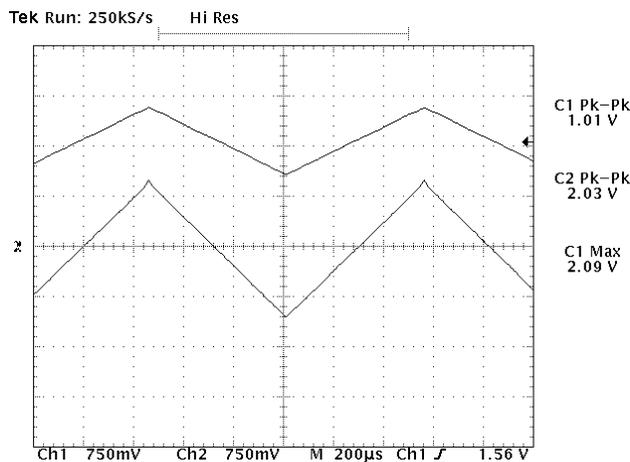
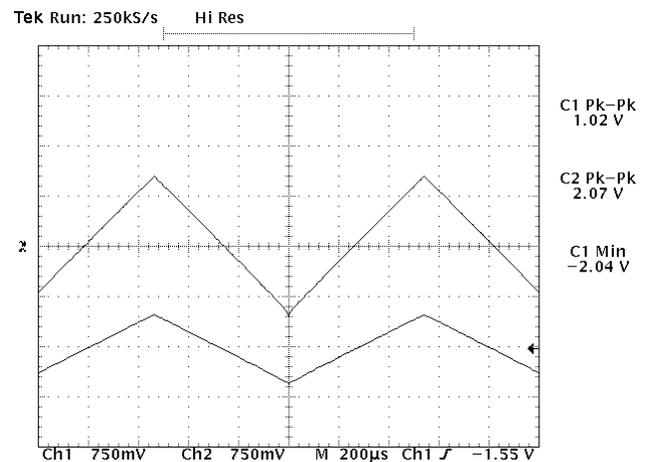


Figura 3.34: Procedimento de medida para excursão de entrada



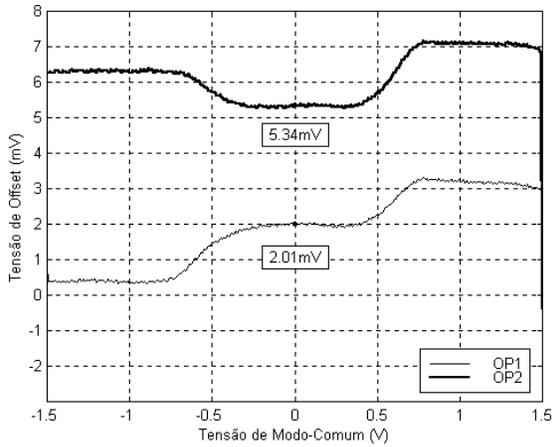
(b) Tensão de entrada máxima



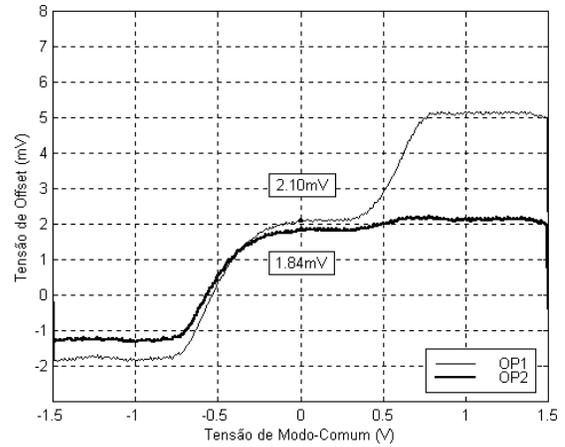
(a) Tensão de entrada mínima

Figura 3.35: Medida da excursão de entrada

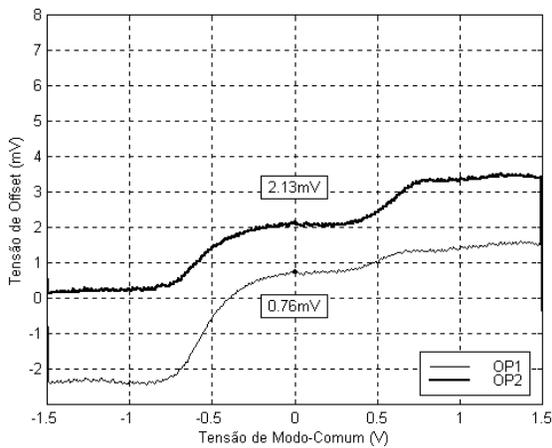
Uma vez conhecidos os limites mínimo e máximo tanto da entrada quanto da saída, mediu-se a tensão de *offset* na entrada em função de sua tensão de modo-comum (Figura 2.35). Pela Figura 3.36 observa-se que o uso de pares diferenciais *cross-quad* foi eficaz em reduzir a tensão de *offset* quando comparada ao amplificador operacional canônico (seção 2.8.2). Entretanto, a tensão de *offset* ainda varia significativamente entre os amp-ops, mesmo entre aqueles difundidos no mesmo substrato. Para tensões de modo-comum próximas a -1,5V, a tensão de *offset* medida corresponde ao descasamento dos transistores PMOS. Para tensões próximas a 1,5V ocorre o inverso: a tensão de *offset* medida resulta apenas do descasamento dos transistores NMOS. Nas proximidades de 0V, ambos os pares estão em operação, de forma que a tensão de *offset* na entrada deriva dos dois descasamentos. Entretanto, observou-se que não há qualquer relação matemática entre esta tensão de *offset* e aquelas medidas nos extremos da excursão.



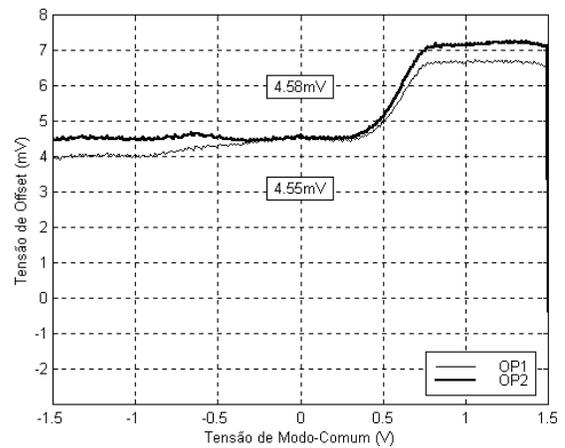
(a) Amostra "A"



(a) Amostra "B"



(a) Amostra "C"



(a) Amostra "D"

Figura 3.36: Medida da tensão de *offset*

A Figura 3.37 mostra o circuito utilizado para a medida do *slew rate* na saída do amplificador operacional *rail-to-rail*. Este procedimento diferente da Figura 2.20 apenas pela maior excursão do sinal de entrada. Um amp-op com compensação passiva atinge até **27,4V/μs** na transição positiva e **-19,1V/μs** na negativa (Figura 3.38) enquanto o *slew rate* de um amp-op com compensação ativa alcança até **49,4V/μs** na transição positiva e **-38,4V/μs** na negativa (Figura 3.39).

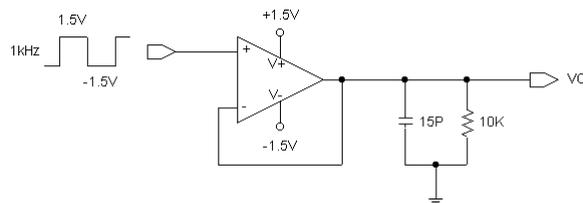
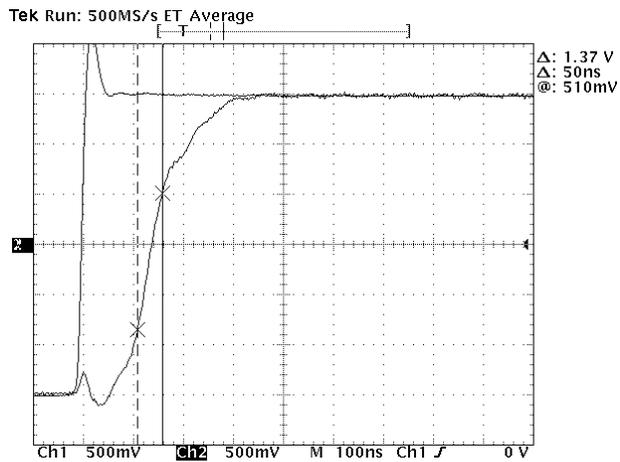
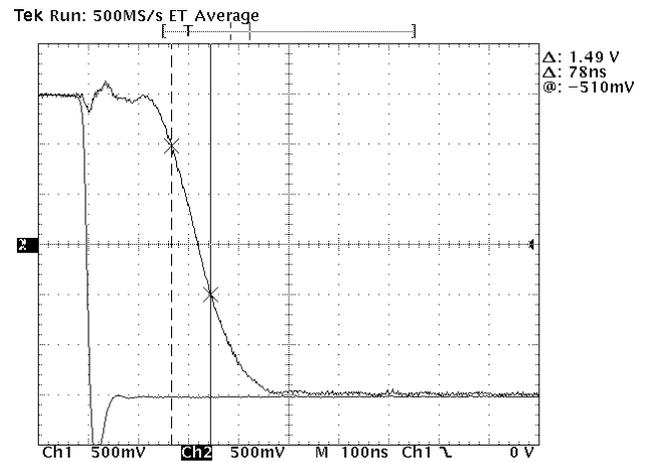


Figura 3.37: Procedimento de medida para *slew rate*

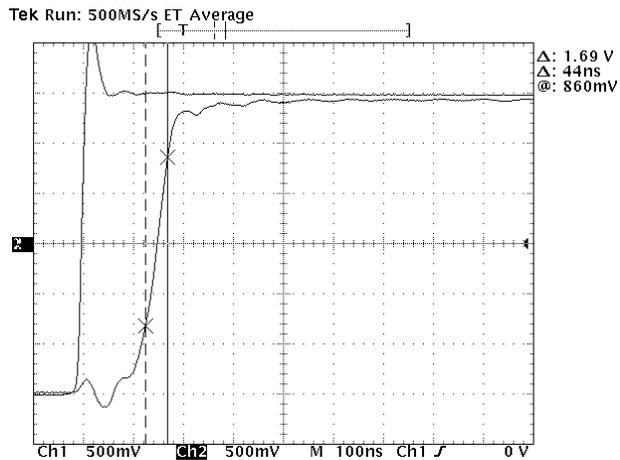


(a) Transição positiva

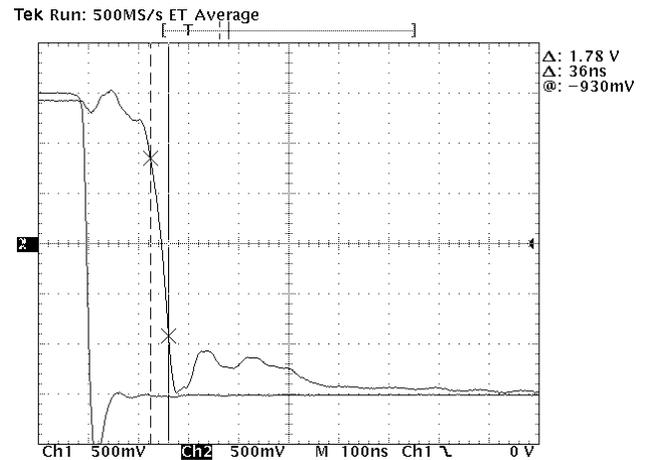


(b) Transição negativa

Figura 3.38: Medida do *slew rate* para amp-op com compensação passiva



(a) Transição positiva



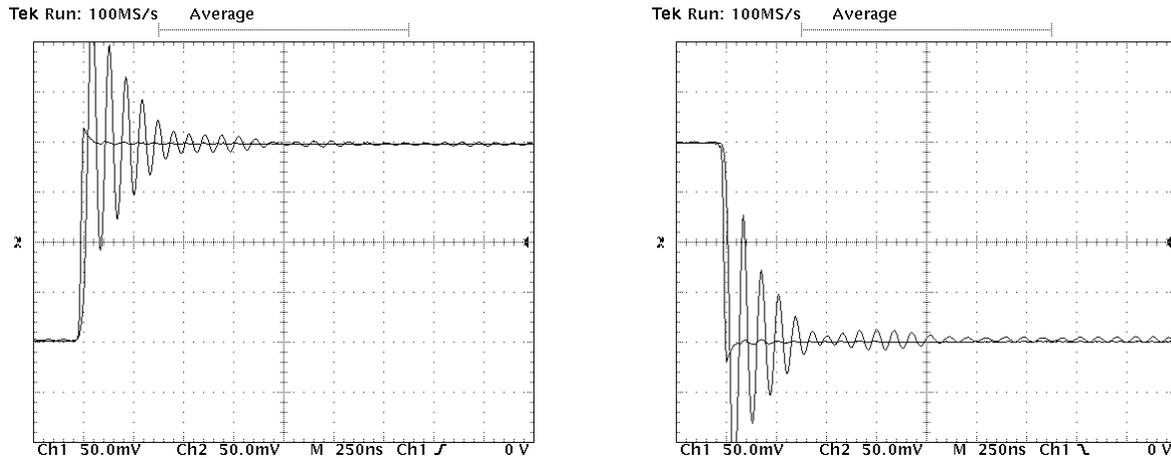
(b) Transição negativa

Figura 3.39: Medida do *slew rate* para amp-op com compensação ativa

Curiosamente, os resultados experimentais superaram as medidas de simulação (Figura 3.27) enquanto o *slew rate* do amp-op com compensação ativa é duas vezes maior que o *slew rate* do amp-op com compensação passiva. É um fato inesperado visto que a única diferença entre os amp-ops é o resistor de compensação, além de que, em teoria, o resistor de compensação não afeta o *slew rate* do estágio *folded-cascode* [8].

A medida do tempo de estabilização baseou-se no procedimento da Figura 2.22. Os resultados (Figura 3.40) demonstram que o tempo de estabilização é praticamente o mesmo entre os amp-ops 1 e 2. Contudo, observou-se uma resposta demasiadamente oscilatória, degradando significativamente o tempo de estabilização se comparado com os resultados de simulação (Figura

3.28). Enquanto o tempo de estabilização para transição positiva é um pouco menor que para transição negativa, os tempos medidos variam em torno de $1\mu\text{s}$ aproximadamente.



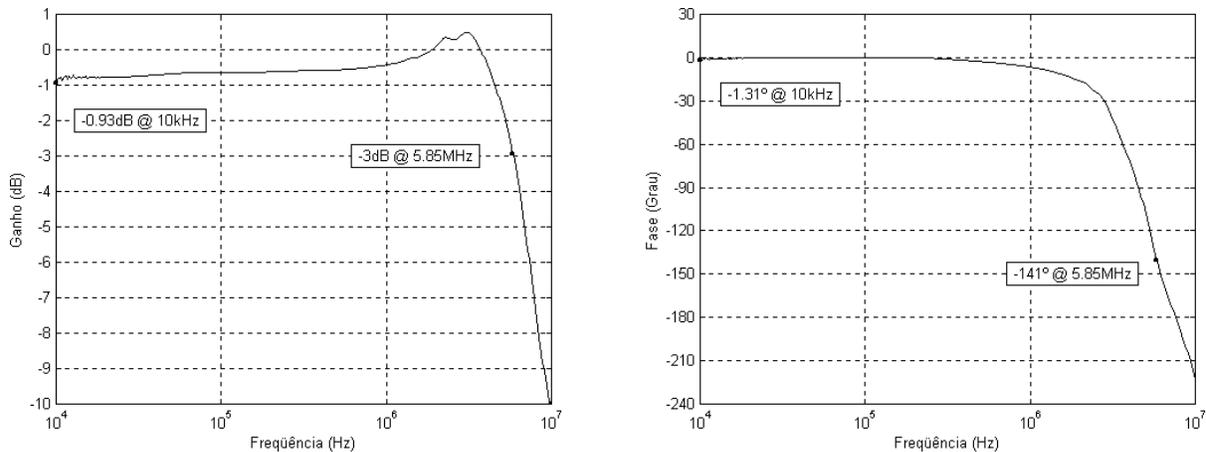
(a) Transição positiva

(b) Transição negativa

Figura 3.40: Medida do tempo de estabilização

A oscilação excessiva no tempo de estabilização é resultado do baixo fator de amortecimento do amp-op realimentado, o que indica uma estreita margem de fase.

A resposta em frequência foi medida utilizando o amplificador operacional como *follower* (Figura 2.27). Todos os amp-ops apresentaram resultados muito próximos: ganho de -3dB em torno de **5,85MHz** com fase de **-141°** (Figura 3.41).



(a) Módulo

(b) Fase

Figura 3.41: Resposta em frequência do amp-op realimentado

A Figura 3.41b comprova o que foi previsto anteriormente: a margem de fase do amp-op é muito estreita, uma vez que a fase do amp-op realimentado está muito próxima de -180° . A Figura

3.41a demonstra que a causa desta pequena margem de fase é a reduzida banda de frequência do amp-op.

A redução inesperada da banda do amp-op pode resultar de dois fatores. O primeiro seria um valor excessivamente alto do capacitor integrado, assim como no caso do amp-op canônico e como sugere a caracterização dos capacitores na seção 3.9.1. Contudo, a causa mais provável seria a presença de pares pólo-zero não considerados na análise da seção 3.5 mas que foram observados durante a simulação (seção 0). Por exemplo, o ganho do amplificador realimentado (Figura 3.41a) apresenta um pico que não corresponde a sistemas de segunda ordem. É uma evidência da presença de *doublets* na resposta em frequência do amplificador operacional *rail-to-rail*.

3.10 Considerações Gerais dos Resultados

Os resultados experimentais estão reunidos na Tabela 3.16.

Tabela 3.16: Desempenho medido para o amplificador operacional *rail-to-rail*

Parâmetro	Valor medido	Valor simulado	Valor calculado
Corrente de Polarização	146 μ A a 156 μ A	113,92 μ A	114 μ A
Tensão de saída máxima	2,94V	2,99V	2,99V
Tensão de saída mínima	0,04V	0,01V	0,01V
Tensão de entrada máxima	3,59V	-	-
Tensão de entrada mínima	-0,54V	-	-
Tensão de <i>offset</i>	0,76mV a 5,34mV	-	-
<i>Slew rate</i> positivo	27,4V/ μ s a 49,4V/ μ s	12,8V/ μ s	-
<i>Slew rate</i> negativo	-19,1 V/ μ s a -38,4V/ μ s	-12,6V/ μ s	-
Tempo de estabilização positivo (1%)	\sim 1 μ s	130ns	-
Tempo de estabilização negativo (1%)	\sim 1 μ s	120ns	-
Ganho de malha aberta	-	120dB	127,5dB
Frequência de ganho unitário	-	13,8MHz	14MHz
Margem de fase	-	58°	60°
Frequência de -3dB	5,85MHz	24,5MHz	-
Fase em -3dB	-141°	-125°	-

Concluiu-se que o projeto do amplificador operacional *rail-to-rail* foi adequado, visto que seu comportamento para baixas frequências coincidiu com o esperado. Por exemplo, a excursão do sinal de saída atinge perfeitamente os terminais de alimentação enquanto a excursão do sinal de

entrada estende-se além de V_{DD} e V_{SS} .

Já sua resposta em altas frequências ficou abaixo do esperado. Certamente a capacitância parasita entre o substrato e o *pad* de saída contribui para isso. Mas outros fatores podem ser o capacitor de compensação acima do projetado e pares pólo-zero introduzidos pela estrutura *folded-cascode*. Entretanto, a análise descrita na seção 3.5 já é demasiadamente complexa, de forma que considerar estes pares pólo-zero resultaria em uma análise simbólica inconclusiva. Pela mesma razão desconsiderou-se a presença dos pólos w_{C1N} e w_{C1P} na compensação Miller, descrita na seção 3.5.5.

Para o projeto de futuros amplificadores operacionais *rail-to-rail*, sugere-se um estudo mais aprofundado da estrutura *rail-to-rail* adotada a fim de identificar suas capacitâncias parasitas mais importantes. Feito isso, a metodologia de projeto deve ser revisada para garantir que o efeito destas capacitâncias parasitas possa ser efetivamente reduzido.

Assim como ocorreu com o amplificador operacional canônico, observou-se em altas frequências que o resistor ativo de compensação provoca uma ligeira distorção da saída do amp-op. Entretanto, a causa de distorção mais significativa resulta da própria estrutura *rail-to-rail* do estágio de entrada. O chaveamento dos estágios *folded-cascode* complementares provocado por sinais de entrada de grande amplitude é o grande responsável por distorções no sinal de saída. E a variação da banda do amp-op em função da tensão de modo-comum só tende a agravar o problema.

4 CONCLUSÕES

O procedimento de projeto aplicado aos amplificadores operacionais canônico e *rail-to-rail* foi extremamente lucrativo, uma vez que o conhecimento do autor evoluiu consideravelmente no que diz respeito ao projeto de amplificadores operacionais integrados e conseqüentemente de circuitos integrados analógicos em geral.

Ficou comprovado por exemplo que, através de uma análise detalhada do amp-op a ser projetado, obtém-se as informações que relacionam seu dimensionamento com as características de desempenho desejadas. A mesma análise também aprimora o senso crítico do projetista, através do qual ele é capaz de simplificar o projeto sem comprometer os resultados. Como exemplo, tem-se o tratamento dado ao amplificador operacional canônico: pela adoção de um conjunto apropriado de equações, seu ganho de malha aberta e sua excursão de saída foram completamente determinados definindo-se apenas algumas tensões e uma corrente de polarização. Não foi necessário calcular as dimensões de nenhum transistor.

O comportamento em baixa freqüência tanto do amplificador canônico quanto do amplificador *rail-to-rail* comprovou que a metodologia de projeto foi adequada em ambos os casos. Já o comportamento em alta freqüência dos amp-ops ficou aquém do previsto pelo projeto e pelas simulações. Observando os resultados experimentais concluiu-se também que a utilização de resistores ativos na compensação dos amp-ops não foi bem sucedida pois provoca distorção do sinal de saída e desvio em sua resposta em freqüência.

O projeto do amplificador operacional *rail-to-rail* evidenciou que a compensação Miller no estágio de saída é muito útil pois permite que o pólo da carga seja deslocado para altas freqüências pelo aumento da corrente de polarização dos transistores de saída. Conclui-se então que esta técnica é mais adequada também ao amplificador operacional canônico, uma vez que a compensação Miller em seu estágio de saída reduziria a influência indesejada do pólo da carga e conseqüentemente melhoraria sua resposta em altas freqüências.

Quanto ao amplificador operacional *rail-to-rail*, uma alternativa para melhorar sua resposta em altas freqüências seria um estudo mais minucioso de sua estrutura interna a fim de identificar as capacitâncias que deterioraram sua banda de freqüência. Com base nestas informações adicionais, a metodologia de projeto seria revisada para garantir que a influência destes parasitas fosse definitivamente minimizada. Caso este estudo não seja capaz de aprimorar a resposta em

freqüência do amp-op *rail-to-rail*, a alternativa seguinte seria a adoção de uma topologia *rail-to-rail* alternativa.

Apesar de não ter atingido as metas definidas, os resultados práticos foram perfeitamente válidos pois concretizaram uma regra bastante difundida no ambiente de projeto de circuitos analógicos: a formação de um projetista de circuitos analógicos competente dá-se não apenas pela leitura constante de livros técnicos e artigos em revistas especializadas nem se resume ao uso de programas de simulação para avaliar uma metodologia de projeto. Pelo contrário, o grande fator que contribui para o aprimoramento do conhecimento resulta do acúmulo de experiência obtida a partir de resultados práticos e a capacidade de solucionar problemas que a teoria e os programas de simulação não prevêm.

REFERÊNCIAS

- [1] Terri S. Fiez, Howard C. Yang, John J. Yang, Choung Yu e David J. Allstot. “*A Family of High-Swing CMOS Operational Amplifiers*”. IEEE Journal of Solid-State Circuits. 1989. Vol. SC-24, No. 6, p. 1683-1687.
- [2] Paul R. Gray e Robert G. Meyer. “*MOS Operational Amplifier Design – A Tutorial Overview*”. IEEE Journal of Solid-State Circuits. 1982. Vol. SC-17, No. 7, p. 969-982.
- [3] Stephen Wong e C. Andre T. Salama. “*Impact of Scaling on MOS Analog Performance*”. IEEE Journal of Solid-State Circuits. 1983. Vol. SC-18, No. 1, p. 106-114.
- [4] Eric A. Vittoz. “*The Design of High-Performance Analog Circuits on Digital CMOS Chips*”. IEEE Journal of Solid-State Circuits. 1985. Vol. SC-20, No. 3, p. 657-665.
- [5] David A. Hodges, Paul R. Gray e Robert W. Brodersen. “*Potential of MOS Technologies for Analog Integrated Circuits*”. IEEE Journal of Solid-State Circuits. 1978. Vol. SC-13, No. 3, p. 285-294.
- [6] Kevin E. Brehmer e James B. Wieser. “*Large Swing CMOS Power Amplifier*”. IEEE Journal of Solid-State Circuits. 1983. Vol. SC-18, No. 6, p. 624-629.
- [7] Betty Prince e Roelof H. W. Salters. “*ICs going on a 3-V diet*”. IEEE Spectrum. 1992. Vol. 29, No. 5, p. 22-25.
- [8] Adel S. Sedra e Kenneth C. Smith. “*Microelectronic Circuits*”. Saunders College Publishing. 1991. 3ª ed.
- [9] Paul R. Gray e Robert G. Meyer. “*Analysis and Design of Analog Integrated Circuits*”. John Wiley & Sons. 1993. 3ª ed.
- [10] Phillip E. Allen e Douglas R. Holberg. “*CMOS Analog Circuit Design*”. Oxford University Press. 1987.
- [11] Yannis Tsididis. “*Operation and Modeling of The MOS Transistor*”. McGraw-Hill. 1999. 2ª ed.
- [12] Austria Mikro Systeme International AG. “*0.8 μm CMOS Process Parameters*”. Document No. 9933006. 1997. Revision B.
- [13] Austria Mikro Systeme International AG. “*0.8 μm CMOS Design Rules*”. Document No. 9931015. 1999. Revision C.

- [14] Ron Hogervorst, John P. Tero, Ruud G. H. Eschauzier e Johan H. Huijsing. "A Compact Power-Efficient 3 V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries". IEEE Journal of Solid-State Circuits. 1994. Vol. SC-29, No. 12, p. 1505-1513.
- [15] William C. Black Jr., David J. Allstot e Ray A. Reed. "A High Performance Low Power CMOS Channel Filter". IEEE Journal of Solid-State Circuits. 1980. Vol. SC-15, No. 6, p. 929-938.
- [16] Alan B. Macnee. "On The Presentation of Miller's Theorem". IEEE Transactions on Education. 1985. Vol E-28, No. 2, p. 92-93.
- [17] Yannis P. Tsvividis e Paul R. Gray. "An Integrated NMOS Operational Amplifier with Internal Compensation". IEEE Journal of Solid-State Circuits. 1976. Vol-SC11, No. 6, p.748-753.
- [18] James E. Solomon. "The Monolithic Op Amp: A Tutorial Study". IEEE Journal of Solid-State Circuits. 1974. Vol. SC-9, No. 6, p. 314-332.
- [19] B. Yeshwant Kamath, Robert G. Meyer e Paul R. Gray. "Relation Between Frequency Response and Settling Time of Operational Amplifiers". IEEE Journal of Solid-State Circuits. 1974. Vol. SC-9, No. 6, p. 347-352.
- [20] C. T. Chuang. "Analysis of the Settling Behavior of an Operational Amplifier". IEEE Journal of Solid-State Circuits. 1982. Vol. SC-17, No. 1, p. 74-80.
- [21] "0.8 Micron Analog Standard Cells (CYE) - Index".
http://asic.austriamicrosystems.com/databooks/cye_a/index.html
- [22] Austria Mikro Systeme International AG. "0.6 μm CMOS Joint Group Process Parameters". Document No. 9933011. 1998. Revision B.
- [23] Austria Mikro Systeme International AG. "0.6 μm CMOS Design Rules". Document No. 9931025. Revision 2.0.
- [24] David B. Ribner e Miles A. Copeland. "Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range". IEEE Journal of Solid-State Circuits. 1984. Vol. SC-19, No. 6, p. 919-925.
- [25] Johan H. Huijsing e Daniel Linebarger. "Low-Voltage Operational Amplifier with Rail-to-Rail Input and Output Ranges". IEEE Journal of Solid-State Circuits. 1985. Vol. SC-20, No. 6, p. 1144-1150.
- [26] John A. Fisher e Rudolf Koch. "A Highly Linear CMOS Buffer Amplifier". IEEE Journal of Solid-State Circuits. 1987. Vol. SC-22, No. 3, p. 330-334.
- [27] Michel Steyaert e Willy Sansen. "A High-Dynamic-Range CMOS Op Amp with Low-Distortion Output Structure". IEEE Journal of Solid-State Circuits. 1987. Vol. SC-22, No. 6, p. 1204-1207.
- [28] Joseph N. Babanezhad. "A Rail-to-Rail CMOS Op Amp". IEEE Journal of Solid-State Circuits. 1988. Vol. SC-23, No. 6, p. 1414-1417.

- [29] Terri S. Fiez, Howard C. Yang, John J. Yang, Choung Yu e David J. Allstot. "A Family of High-Swing CMOS Operational Amplifiers". IEEE Journal of Solid-State Circuits. 1989. Vol. SC-24, No. 6, p. 1683-1687.
- [30] M. D. Pardo e Mark G. Degrauwe. "A Rail-to-Rail Input/Output CMOS Power Amplifier". IEEE Journal of Solid-State Circuits. 1990. Vol. SC-25, No. 2, p. 501-504.
- [31] Wen-Chung S. Wu, Ward J. Helms, Jay A. Kuhn e Bruce E. Byrnett. "Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Ranges". IEEE Journal of Solid-State Circuits. 1994. Vol. SC-29, No. 1, p. 63-66.
- [32] Ron Hogervorst, John P. Tero e Johan H. Huijsing. "Compact CMOS Constant- g_m Rail-to-Rail Input Stage with g_m -Control by an Electronic Zener Diode". IEEE Journal of Solid-State Circuits. 1996. Vol. SC-31, No. 7, p. 1035-1040.
- [33] Laszlo Moldovan e Hua Harry Li. "A Rail-to-Rail, Constant Gain, Buffered Op-Amp for Real Time Video Applications". IEEE Journal of Solid-State Circuits. 1997. Vol. SC-32, No. 2, p. 169-176.
- [34] Giuseppe Ferri e Willy Sansen. "A Rail-to-Rail Constant- g_m Low-Voltage CMOS Operational Transconductance Amplifier". IEEE Journal of Solid-State Circuits. 1997. Vol. SC-32, No. 10, p. 1563-1567.
- [35] Klaas-Jan de Langen e Johan H. Huijsing. "Compact Low-Voltage Power-Efficient Operational Amplifier Cells for VLSI". IEEE Journal of Solid-State Circuits. 1998. Vol. SC-33, No. 10, p. 1482-1496.
- [36] Joseph N. Babanezhad e Roubik Gregorian. "A Programmable Gain/Loss Circuit". IEEE Journal of Solid-State Circuits. 1987. Vol. SC-22, No. 6, p. 1082-1090.
- [37] Bhupendra K. Ahuja, Paul R. Gray, Wayne M. Baxter e Gregory T. Uehara. "A Programmable CMOS Dual Channel Interface Processor for Telecommunications Applications". IEEE Journal of Solid-State Circuits. 1984. Vol. SC-19, No. 6, p. 892-899.
- [38] John A. Fisher. "A High-Performance CMOS Power Amplifier". IEEE Journal of Solid-State Circuits. 1985. Vol. SC-20, No. 6, p. 1200-1205.
- [39] Dennis M. Monticelli. "A Quad CMOS Single-Supply Op Amp with Rail-to-Rail Output Swing". IEEE Journal of Solid-State Circuits. 1986. Vol. SC-21, No. 6, p. 1026-1034.
- [40] K. Nagaraj. "Large-Swing CMOS Buffer Amplifier". IEEE Journal of Solid-State Circuits. 1989. Vol. SC-24, No. 1, p. 181-183.
- [41] Charles A. Desoer e Ernest S. Kuh. "Basic Circuit Theory". McGraw-Hill. 1969.
- [42] "0.6 Micron Analog Standard Cells (CUE) - Index".
http://asic.austriamicrosystems.com/databooks/cux_a/index.html