

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPTO. DE MÁQUINAS, COMPONENTES E SIST. INTELIGENTES

TESE DE DOUTORADO

DESENVOLVIMENTO DE UM PROCESSO CMOS (2 μ m):
FABRICAÇÃO DO CHIP TESTE CMOS, CÉLULAS APS
E CHIPS DIDÁTICOS

Autor : Hugo Ricardo Jiménez Grados
Orientador : Prof. Dr. Ioshiaki Doi

Banca examinadora:

Prof. Dr Ioshiaki Doi - presidente da banca - DMCSI/FEEC/UNICAMP

Prof. Dr Jacobus W. Swart -membro interno - DSIF/FEEC/UNICAMP

Prof. Dr. José Alexandre Diniz -membro interno - DSIF/FEEC/UNICAMP

Prof. Dr Marcelo Antonio Pavanello - membro externo – LSI/EPUSP

Prof. Dr Antonio Carlos Seabra - membro externo – LSI/EPUSP

Tese apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas - UNICAMP, como parte dos requisitos exigidos para obtenção do título de Doutor em Engenharia Elétrica.

Campinas, Outubro de 2003

200409026

| |
|--|
| Este exemplar corresponde a redação final da tese defendida por <u>Hugo Ricardo Jiménez Grados</u> , aprovada pela Comissão Julgada em: _____ Orientador: <u>Ioshiaki Doi</u> |
|--|

UNICAMP
BIBLIOTECA CENTR
SEÇÃO CIRCULAN

| | |
|------------|-------------------------------------|
| UNIDADE | BC |
| Nº CHAMADA | UNICAMP J564d |
| V | EX |
| TOMBO BC | 58769 |
| PROC | 16.117-04 |
| C | <input type="checkbox"/> |
| D | <input checked="" type="checkbox"/> |
| PREÇO | 1400 |
| DATA | 02-07/04 |
| Nº CPD | |

M00198184-4

310 317436

**FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP**

J564d

Jiménez Grados, Hugo Ricardo

Desenvolvimento de um processo CMOS (2um):
fabricação do chip teste CMOS, células APS e chips
didáticos / Hugo Ricardo Jiménez Grados.--Campinas,
SP: [s.n.], 2003.

Orientador: Ioshiaki Doi.

Tese (Doutorado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Silício. 2. Transistores de efeito de Campo. 3.
Processos de fabricação. 4. Circuitos integrados. I. Dói,
Ioshiaki. II. Universidade Estadual de Campinas.
Faculdade de Engenharia Elétrica e de Computação. III.
Título.

RESUMO

Jiménez-Grados, H. R., DESENVOLVIMENTO DE UM PROCESSO *CMOS* (2 μ m): FABRICAÇÃO DO *CHIP* TESTE *CMOS*, CÉLULAS APS E *CHIPS* DIDÁTICOS, Tese (Doutor) - Faculdade de Engenharia Elétrica e de Computação - FEEC, Universidade Estadual de Campinas - UNICAMP, Campinas, 2003.

O objetivo principal deste trabalho é o desenvolvimento de um processo *CMOS* (2 μ m) para uso educativo e de suporte às atividades de pesquisa, utilizando a infraestrutura instalada no Centro de Componentes Semicondutores (CCS) da Universidade Estadual de Campinas – UNICAMP.

Este trabalho visa o desenvolvimento de um processo *CMOS* através da realização de testes experimentais de etapas de processo, de estudo do processo e de fabricação de *chip* teste de um *chip* de células APS e de um conjunto de *chips* didáticos. As regras da tecnologia *CMOS* 2 μ m que foram seguidas são as de uso padrão com algumas alterações para adaptação aos processos do CCS - UNICAMP. Diferentes estruturas do *chip* teste foram fabricadas e as medidas e os resultados obtidos mostraram coerência com os valores obtidos em simulações efetuadas com os parâmetros especificados e com as diversas referências divulgadas na literatura. Esta fabricação de processo *CMOS* é a primeira realizada no CCS-Unicamp. Uma segunda fabricação de processo *CMOS* realizada, mostrou a reprodutibilidade deste trabalho. Como atualmente, o *CMOS* é a tecnologia dominante da microeletrônica, a continuidade deste trabalho também é fundamental para obter novas versões de *CMOS* integrando novas etapas de processo que os pesquisadores da área tem se desenvolvido.

Palavras Chave: processo *CMOS*, semicondutor, transistor NMOS/PMOS, silício, *wafer*, *chip* didático, *chip* APS.

ABSTRACT

Jiménez-Grados, H. R., DEVELOPMENT OF A *CMOS* PROCESS (2 μ m): FABRICATION OF THE *CMOS* TEST CHIP, APS CELLS, AND TEACHING CHIPS, Ph.D. Thesis - Faculdade de Engenharia Elétrica e de Computação - FEEC, Universidade Estadual de Campinas - UNICAMP, Campinas, 2003

The main objective of this work is the development of a *CMOS* process (2 μ m) for educational use and for supporting of research activities, using the infrastructure installed in the Center of Componentes Semicondutores (CCS) of the State University of Campinas - UNICAMP.

This work aims the development of a *CMOS* process through the accomplishment of experimental tests of each process stages, studies of the process and fabrications of one test chip of APS cells chip and one set of chips for educational purposes. The design rules followed for this 2 μ m *CMOS* technology are of the standard use with some adaptation to the processes of the CCS - FEEC – UNICAMP. The test chip with different structures had been fabricated and their physical and electrical characterizations performed. The fabricated devices showed good agreement in comparison to the obtained simulation data using specified parameters, as well as with the results published in the literature. This manufacture of *CMOS* process is the first time that CCS-UNICAMP, carried out the entire fabrication steps of this type of devices. As the *CMOS* is currently the dominant technology of microelectronics, the continuity of this work is desirable, such to get new versions of *CMOS*, integrating new other process steps developed by the researchers of the area.

Key Words : *CMOS* Process, semiconductor, NMOS/PMOS transistor, silicon, *wafer*, educational chip, APS chip.

Dedicatória

À minha bisavó Juana

À meu avô Pancho

**À meus netos Joaquim Rafael, Diego Alberto, Maria Fernanda,
Jorge Alonso, Fabiana e Sebastian**

“Si por un instante Dios se olvidara de que soy una marioneta de trapo y me regalara un trozo de vida, aprovecharia ese tiempo lo más que pudiera,posiblemente no diria todo lo que pienso, pero en definitiva pensaria todo lo que digo.....”

Adios de Gabriel Garcia Marquez

Agradecimentos

- ao meu orientador Prof. Dr. Ioshiaki Doi, pela oportunidade, pelo apoio, pela paciência e confiança a mim depositada.
- ao Prof. Dr. Jacobus W. Swart, pela oportunidade, discussões e sugestões no decorrer deste trabalho.
- ao Prof. Dr. Marcelo A. Pavanello, pelas discussões e sugestões nas partes referentes ao projeto, *layout* e fabricação de máscaras.
- ao Prof. Dr. José A. Diniz e a Dra. Maria Beny P. Zakia, pelas discussões e sugestões nas partes experimentais dos processos.
- ao Dr. Stanislav Moshkalyov e a Dra. Claudia R. Betanzo, pelos trabalhos de processo de corrosão por plasma.
- ao Eng^o Aristides Pavani do CenPRA, pela fabricação das máscaras.
- ao Prof. Dr. Márcio Pudenzi do IFGW-UNICAMP, pelas medidas de SIMS.
- ao Prof. Dr. Luiz Zambom do LSI-EPUSP, pelas deposições LPCVD de Si_3N_4 e Si-poli.
- ao Prof. Dr. Luiz Moreira do UNISANTOS e ao Dr Segundo Nilo M. Muñoz pelas discussões nas partes dos circuitos APS.
- a todo pessoal do Centro de Componentes Semicondutores – CCS/UNICAMP, em especial ao José Godoy Filho, pelos trabalhos dos processos de oxidação, recozimento e metalização; ao José Eudócio C. Queiroz, pelos trabalhos de implantação iônica; a Mara A. Canesqui, pelos trabalhos de fotografação; e a Regina M. A. G. Floriano, pelos trabalhos de limpeza das lâminas.
- ao colega Ricardo Cotrim, pelas deposições de polisilício da segunda fabricação e ao colega Leandro Manera pelo auxílio na extração dos parâmetros dos dispositivos fabricados.
- aos colegas do CCS, com os quais sempre houve cooperação, intercâmbio de idéias e convivência ao longo destes anos.
- a equipe do LPD- IFGW/UNICAMP pelas deposições de nitreto e processos de corrosão das lâminas por plasma-RIE.
- ao Centro de Componentes Semicondutores – CCS/UNICAMP, por possibilitar a realização deste trabalho.
- ao CAPES, pelo apoio financeiro (bolsa) e a FAPESP e o CNPq pelo apoio a Projetos de Pesquisas do CCS.
- por fim, a todos aqueles que direta ou indiretamente contribuíram para a realização deste trabalho.

SUMÁRIO

| | |
|--|------------|
| RESUMO | iii |
| LISTA DE FIGURAS | ix |
| GLOSSÁRIO DE TERMOS TÉCNICOS | xi |
| <u>CAPÍTULO 1 - INTRODUÇÃO</u> | 1 |
| 1.1 MOTIVAÇÃO | |
| 1.1.1 MOTIVAÇÃO DO TRABALHO | |
| 1.1.2 OBJETIVOS DO TRABALHO | |
| 1.2 A TECNOLOGIA <i>CMOS</i> : CONCEITOS BÁSICOS | |
| 1.2.1 A FAMÍLIA DE TRANSISTORES MOS | |
| 1.2.2 PROCESSO BÁSICO <i>CMOS</i> : TRANSISTORES CANAL N E CANAL P | |
| 1.2.3 ANÁLISE DAS REGIÕES DE OPERAÇÃO: EQUAÇÕES DE POLARIZAÇÃO DC | |
| 1.2.4 CIRCUITO BÁSICO: O INVERSOR <i>CMOS</i> | |
| 1.3 DESENVOLVIMENTO DO PROCESSO <i>CMOS</i> 2 μ m | |
| 1.3.1 OBJETIVOS | |
| 1.3.2 ESTRATÉGIA DE DESENVOLVIMENTO | |
| 1.3.3 INFRAESTRUTURA, MATERIAL E MÉTODOS | |
| 1.4 PRINCIPAIS ETAPAS E DETERMINAÇÃO DAS VARIÁVEIS DE PROCESSO | |
| 1.4.1 RECOZIMENTO, OXIDAÇÃO E / OU DIFUSÃO | |
| 1.4.2 DEPOSIÇÃO DE CAMADAS DE FILMES SIMULADAS E UTILIZADAS NO PROCESSO | |
| 1.4.3 FOTOGRAVAÇÃO | |
| 1.4.4 CORROSÃO, REMOÇÃO | |
| 1.4.5 IMPLANTAÇÃO IÔNICA | |
| 1.5 ORGANIZAÇÃO DA TESE | |
| <u>CAPÍTULO 2 - ESTUDO DO PROCESSO <i>CMOS</i>, DO <i>CHIP</i> TESTE E DO <i>CHIP</i> APS</u> | 25 |
| 2.1 INTRODUÇÃO | |
| 2.2 INTEGRAÇÃO DE PROCESSO <i>CMOS</i> PROJETADO | |
| 2.2.1 PROCEDIMENTO DA SEQÜÊNCIA DE ETAPAS DO PROCESSO <i>CMOS</i> | |
| 2.2.2 FLUXOGRAMAS DE ETAPAS DE PROCESSO <i>CMOS</i> | |
| 2.2.3 SEQÜÊNCIA DE ETAPAS DE PROCESSO <i>CMOS</i> | |
| 2.3 <u>SIMULAÇÕES DO PROCESSO <i>CMOS</i></u> | |
| 2.3.1 SIMULAÇÕES DE PROCESSO DE SIMULAÇÃO – SUPREM | |
| 2.3.2 RESULTADOS DA SIMULAÇÃO SUPREM: FORMAÇÃO DAS ILHAS | |
| 2.3.3 RESULTADOS DA SIMULAÇÃO SUPREM: REGIÃO DA PORTA | |
| 2.3.4 RESULTADOS DA SIMULAÇÃO SUPREM: REGIÃO DE FONTE/DRENO | |
| 2.3.5 RESULTADOS DA SIMULAÇÃO SUPREM: ESTRUTURA DO TRANSISTOR | |
| 2.3.6 RESULTADOS DA SIMULAÇÃO SUPREM: REGIÃO DE LOCOS | |
| 2.3.7 SIMULAÇÃO ELÉTRICA – <i>PISCES</i> | |
| 2.4 <i>CHIP</i> TESTE: DESCRIÇÃO, <i>LAYOUT</i> E REGRAS DE DESENHO | |
| 2.5 <i>CHIP</i> CÉLULAS APS: DESCRIÇÃO E <i>LAYOUT</i> | |
| 2.6 MÁSCARAS: ESPECIFICAÇÃO, FABRICAÇÃO E UTILIZAÇÃO NO PROCESSO <i>CMOS</i> | |

CAPÍTULO 3 - RESULTADOS EXPERIMENTAIS

94

- 3.1 INTRODUÇÃO
- 3.2 RESULTADOS EXPERIMENTAIS DAS ETAPAS DO PROCESSO *CMOS* - PRIMEIRA FABRICAÇÃO:
 - ATÉ A FORMAÇÃO DA ILHA P
 - ATÉ A FORMAÇÃO DA ILHA N
 - ATÉ A FORMAÇÃO DA REGIÃO ATIVA
 - ATÉ A FORMAÇÃO DA PORTA DE POLISILÍCIO
 - ATÉ A FORMAÇÃO DE FONTE/DRENO P⁺ E N⁺
 - ATÉ A FORMAÇÃO DE ABERTURA DE CONTATOS
 - ATÉ A FORMAÇÃO DE INTERCONEXÕES DE METAL
- 3.3 RESULTADOS EXPERIMENTAIS DAS ETAPAS DO PROCESSO *CMOS* - SEGUNDA FABRICAÇÃO
- 3.4 MEDIDAS ELÉTRICAS NAS ESTRUTURAS DO *CHIP* TESTE:
 - 3.4.1 MEDIDAS DOS CAPACITORES: CURVAS CAPACITÂNCIA – TENSÃO ($C \times V$)
 - 3.4.2 CONDIÇÕES DE MEDIDAS CV E RESULTADOS EXPERIMENTAIS
 - 3.4.3 EXTRAÇÃO DOS PARÂMETROS C_{ox} , T_{ox} , Q_{ox} , N_{sub}
 - 3.4.4 RESULTADOS DA EXTRAÇÃO DOS PARÂMETROS C_{ox} , T_{ox} , Q_{ox} , N_{sub}
 - 3.4.5 MEDIDAS DOS DIODOS
 - 3.4.6 EXTRAÇÃO DOS PARÂMETROS n , α , V_B , I_R e J
 - 3.4.7 PROCEDIMENTO PARA A EXTRAÇÃO DOS PARÂMETROS n , α , V_B , I_R e J
 - 3.4.8 MEDIDAS DOS TRANSISTORES
 - 3.4.9 EXTRAÇÃO DE PARÂMETROS DOS TRANSISTORES MOS V_A , λ , V_T
 - 3.4.10 MEDIDAS DOS INVERSORES
- 3.5 MEDIDAS ELÉTRICAS NAS ESTRUTURAS DO *CHIP* CÉLULAS APS

CAPÍTULO 4 - CONJUNTO DE *CHIPS* DIDÁTICOS

184

- 4.1 INTRODUÇÃO: MOTIVAÇÃO, DESCRIÇÃO E *LAYOUT*
- 4.2 *CHIP* 1: RESISTORES
- 4.3 *CHIP*2: CAPACITORES E DIODOS
- 4.4 *CHIP*3: FOTODIODOS E CÉLULAS APS
- 4.5 *CHIP* 4: TRANSISTORES MOS
 - 4.5.1 DESCRIÇÃO DAS ESTRUTURAS DO *CHIP* 4
- 4.6 *CHIP* 5: INVERSORES E OSCILADOR EM ANEL
 - 4.6.1 DESCRIÇÃO DAS ESTRUTURAS DO *CHIP* 5
- 4.7 *CHIP*.6: AMPLIFICADORES OPERACIONAIS
 - 4.7.1 DESCRIÇÃO DAS ESTRUTURAS DO *CHIP* 6
 - ETAPAS DOS CIRCUITOS DO AMPLIFICADOR OPERACIONAL 1
 - O AMPLIFICADOR OPERACIONAL 1
 - O AMPLIFICADOR OPERACIONAL 2
 - O AMPLIFICADOR OPERACIONAL 3
 - O AMPLIFICADOR OPERACIONAL 4
- 4.8 GUIA DE MEDIDAS DE CARACTERIZAÇÃO NOS *CHIPS* DIDÁTICOS

CAPÍTULO 5 - COMPARAÇÕES DE PROCESSOS E DE RESULTADOS DE MEDIDAS ENTRE O PROCESSO CMOS DO CCS E INTERNACIONAL

215

- 5.1 INTRODUÇÃO
- 5.2 COMPARAÇÃO DO PROCESSO CMOS – CCS COM O PROCESSO CMOS DO LABORATÓRIO DE MICROFABRICAÇÃO DA UNIVERSIDADE DE CALIFÓRNIA - BERKELEY
- 5.3 COMPARAÇÃO DAS MEDIDAS ELÉTRICAS DOS TRANSISTORES CMOS – CCS COM OS TRANSISTORES DO CMOS LABORATÓRIO DE MICROFABRICAÇÃO DA UNIVERSIDADE DE CALIFÓRNIA - BERKELEY
- 5.4 COMPARAÇÃO DAS MEDIDAS ELÉTRICAS DA SEGUNDA FABRICAÇÃO COM AS DA PRIMEIRA FABRICAÇÃO DO PROCESSO CCS - UNICAMP

CAPÍTULO 6 – CONCLUSÕES

236

REFERÊNCIAS BIBLIOGRÁFICAS

ANEXO - RECEITAS E SIMULAÇÃO DO PROCESSO, REGRAS DE PROJETO LAYOUT E MÉTODO DE MEDIDAS DE CARACTERIZAÇÃO

245

- A.1 RECEITAS DO PROCESSO DE FOTOGRAVAÇÃO
- A.2 ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 2 μ m- SEGUNDA FABRICAÇÃO TRANSISTOR PMOS $L_{máscara}=2\mu m$, arquivo P_CMOS4_p.in
- A.3 ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 2 μ m- SEGUNDA FABRICAÇÃO TRANSISTOR NMOS $L_{máscara}=2\mu m$, arquivo N_CMOS4_p.in
- A.4 PROCESSO CMOS 2 μ m CCS – VERSÃO SEGUNDA FABRICAÇÃO
- B.1 REGRAS DE PROJETO DO LAYOUT
- C.1 MÉTODO PARA AS MEDIDAS DE CARACTERIZAÇÃO

LISTA DE FIGURAS

- 1.1 Conceito de transistor MOS
- 1.2 Diagrama da família MOS
- 1.3 Representação simbólica dos transistores da família MOS: (a) nMOS depleção, (b) PMOS depleção (compensação), (c) NMOS enriquecimento e (d) PMOS enriquecimento
- 1.4 Processo básico *CMOS* - (a) seqüência de etapas do transistor de canal N e (b) do transistor de canal P
- 1.5 Estrutura do transistor NMOS
- 1.6 Transistor NMOS
- 1.7 Circuito esquemático do inversor *CMOS*
- 1.8 *Layout* básico do inversor *CMOS*
- 1.9 Estrutura em três dimensões do inversor *CMOS*

- 2.1 Estrutura do Inversor *CMOS*
- 2.2 Fluxogramas da Seqüência de Etapas do Processo *CMOS*: a) Iniciando com ilha P e b) Iniciando com ilha N
- 2.3 Tabela de legenda de Cores dos Materiais Utilizados no Processo
- 2.4 Tipo e Orientação das Lâminas - (a) vista de topo e (b) secção transversal de uma lâmina tipo P com camada epitaxial
- 2.5 Limpeza padrão RCA estendida: (a) solução 1; (b) solução 2; (c) solução 3; (d) solução 4
- 2.6 Camada fina de óxido crescido termicamente (40nm)
- 2.7 Camada fina de nitreto depositado (120nm)
- 2.8 Camada de fotorresiste fotogravada para a ilha N
- 2.9 Abertura das regiões de ilha N após a corrosão do nitreto
- 2.10 Regiões de ilha N implantadas com Fósforo
- 2.11 Lâmina com o fotorresiste removido
- 2.12 Lâmina após o recozimento com o óxido espesso crescido (380nm)
- 2.13 Lâmina com a ilha N no substrato P formada com profundidade 4,5 μ m
- 2.14 Lâmina após a remoção total do nitreto
- 2.15 Lâmina implantada com Boro
- 2.16 Lâmina sem óxido Si na superfície
- 2.17 Lâmina com o Boro recozido e com uma fina camada de óxido na superfície
- 2.18 Lâmina com a ilha P no substrato P formada com profundidade 1,4 μ m
- 2.19 Camada fina de nitreto depositado (120nm)
- 2.20 Fotogravação de regiões ativas
- 2.21 Abertura das regiões de campo após a corrosão do nitreto
- 2.22 Fotorresiste desativado acima do nitreto na região de área ativa
- 2.23 Fotogravação do anel de guarda P⁺ com o fotorresiste desativado

- 2.24 Lâmina com o anel de guarda P⁺ implantado
- 2.25 Lâmina com o anel de guarda P⁺ implantado, sem o fotorresiste
- 2.26 Lâmina com o anel de guarda P⁺ e com a formação do LOCOS
- 2.27 Lâmina com a região ativa e o LOCOS
- 2.28 Lâmina com a região ativa limpa de óxido (40nm)
- 2.29 Lâmina com a região ativa crescida de óxido de 50nm
- 2.30 Lâmina com a região ativa limpa de óxido (50nm)
- 2.31 Lâmina com o óxido fino de 30 nm crescido na região ativa
- 2.32 Lâmina após implantação de Boro na região ativa para ajuste de V_T
- 2.33 Lâmina com a região ativa limpa de óxido (30nm)
- 2.34 Lâmina com o óxido de porta de 30 nm crescido na região ativa
- 2.35 Camada de Polissilício em toda a superfície da lâmina
- 2.36 Lâmina após implantação de Fósforo de alta dose na camada de si-poli
- 2.37 Lâmina com Fósforo implantado e ativado na camada de si-poli
- 2.38 Lâmina com óxido de silício acima da camada de poli
- 2.39 Fotogravação na região de porta - fotorresiste acima da camada de si-poli
- 2.40 A camada de polissilício corroída com o padrão da porta
- 2.41 A porta de polissilício com a camada de fotorresiste desativada
- 2.42 Fotogravação fonte /dreno - fotorresiste com abertura nas áreas da região de fonte/dreno do PMOS
- 2.43 Lâmina após implantação de Boro na fonte/dreno do PMOS
- 2.44 Lâmina sem fotorresiste após implantação de Boro
- 2.45 Fotogravação fonte /dreno - fotorresiste com abertura nas áreas da região de fonte/dreno do NMOS
- 2.46 Lâmina após implantação de Fósforo e Arsênio na fonte/dreno do NMOS
- 2.47 Lâmina sem fotorresiste após implantação de Fósforo e Arsênio
- 2.48 Lâmina após pré-recozimento
- 2.49 Lâmina após recozimento dos dopantes (Boro, Arsênio e Fósforo)
- 2.50 Lâmina com óxido de silício de 800nm
- 2.51 Fotogravação dos contatos: fotorresiste com abertura dos contatos no NMOS e no PMOS
- 2.52 Aberturas dos contatos no óxido corroídas seguindo a fotogravação do fotorresiste
- 2.53 Lâmina sem fotorresiste após aberturas dos contatos no óxido
- 2.54 Fotogravação do metal – fotorresiste
- 2.55 Lâmina com deposição de Titânio e Alumínio
- 2.56 Lâmina com interconexões de Alumínio – a) vista de topo e b) vista 3D da estrutura CMOS final
- 2.57 Fluxograma de simulação do processo CMOS com Suprem e de simulação elétrica com PIsces
- 2.58 Perfil de dopagem simulado da ilha N
- 2.59 Perfil de dopagem simulado da ilha P

- 2.60 Perfil simulado da região de porta do PMOS
- 2.61 Perfil simulado da região de porta do NMOS
- 2.62 Perfil simulado da região de fonte/dreno do PMOS
- 2.63 Perfil simulado da região de fonte/dreno do NMOS
- 2.64 Estrutura e perfil simulado de dopagem do transistor NMOS
- 2.65 Estrutura e perfil simulado de dopagem do transistor PMOS
- 2.66 Estrutura e formação do LOCOS: Perfil simulado de Boro
- 2.67 Estrutura e perfil simulado de dopagem: $\frac{1}{2}$ NMOS, LOCOS, $\frac{1}{2}$ PMOS
- 2.68 Perfil simulado de Boro na região de anel P⁺: LOCOS
- 2.69 Perfil simulado de Fósforo na região de anel N⁺: LOCOS
- 2.70 Simulação PISCES: Curva $I_D \times V_{GS}$ do Transistor NMOS (L=2 μ m/W=1 μ m)
- 2.71 Simulação PISCES: Curva $\text{Log}(I_D) \times V_{GS}$ do Transistor NMOS (L=2 μ m/W=1 μ m)
- 2.72 Simulação PISCES: Curva $I_D \times V_D$ do transistor PMOS (L=2 μ m/W=1 μ m)
- 2.73 Simulação PISCES: Curva $\text{Log}(I_D \times V_D)$ do transistor PMOS (L=2 μ m/W=1 μ m)
- 2.74 *Layout* total do chip teste: primeira fabricação
- 2.75 *Layout* total do chip teste: segunda fabricação
- 2.76 Esquema elétrico da célula APS
- 2.77 *Layout* do chip APS
- 2.78 *Layout* do chip APS1
- 2.79 *Layout* do chip APS2
- 2.80 Sequência de utilização das máscaras com as correspondentes etapas de processos: (a) primeira fabricação (b) segunda fabricação

- 3.1 Formação da ilha P
- 3.2 Formação da ilha N
- 3.3 Fotogravação da região ativa (a), oxidação térmica local (LOCOS) (b), e região ativa com implantação de Boro de ajuste de V_T (c)
- 3.4 Formação da porta de polisilício
- 3.5 Formação da região P⁺ / N⁺ de fonte/dreno
- 3.6 Após implantação de Arsênio, N⁺ de fonte/dreno, com corrente de feixe de (a) 140 μ A, (b) 70 μ A e (c) 30 μ A
- 3.7 Remoção total do fotorresiste na região do chip teste e seus dispositivos após a formação das regiões de fonte/dreno
- 3.8 Formação da abertura de contatos
- 3.9 Formação de interconexões de metal
- 3.10 Formação da ilha N
- 3.11 Formação da ilha P
- 3.12 *Layout* do conjunto de transistores NMOS
- 3.13 Lâmina na região do conjunto de transistores NMOS com L variável após a corrosão de polisilício

- 3.14 Lâmina na região do conjunto de transistores NMOS com L variável após a fotogração dos contatos
- 3.15 Lâmina na região do chip teste após a fotogração do metal
- 3.16 Curva CV do capacitor MOS poli-óxido-ilha P, (a) amostra CV2, (b) amostra CV5
- 3.17 Curvas normalizadas CV das amostras CV2 e CV5
- 3.18 Desvio normalizado da Capacitância máxima, C_{max} da Curva CV do capacitor MOS poli-óxido-ilha P
- 3.19 Desvio normalizado da espessura do óxido de porta, T_{ox} , determinada das medidas da Curva CV do capacitor MOS poli-óxido-ilha P
- 3.20 Desvio normalizado da Concentração, N , determinado das medidas de Curva CV do capacitor MOS poli-óxido-ilha P
- 3.21 Desvio normalizado da Tensão Flatband, V_{fb} , determinada das medidas da Curva CV do capacitor MOS poli-óxido-ilha P
- 3.22 Desvio normalizado da carga efetiva, Q_{efq} , determinada das medidas de Curva CV do capacitor MOS poli-óxido-ilha P
- 3.23 Curva $I_x V$ do diodo $N^+/ilha P$
- 3.24 Figura 3.24 - Curva $C_D \times V_D$ do diodo MOS em substrato P (área 200 $\mu m \times 200\mu m$): (a) uma curva CV (amostra 9_1) (b) três curvas CV (amostras 9_1, 8 e 5)
- 3.25 Curva $I_D \times V_{GS}$ do transistor NMOS de $W=20\mu m$ e $L=20\mu m$
- 3.26 Curva $I_D \times V_{GS}$ do transistor NMOS de $W=20\mu m$ e $L=4\mu m$
- 3.27 Curva $I_D \times V_{GS}$ do transistor NMOS de $L=20\mu m$ e $W=20\mu m$, obtida variando o V_{sb} de 0 até $-3V$
- 3.28 Curva sub-limiar $I_D \times V_{GS}$: (a) do transistor NMOS e PMOS de $L=10\mu m$ e $W=20\mu m$ e (b) do transistor PMOS de $L=3\mu m$ e $W=20\mu m$
- 3.29 Curva sub-limiar $I_D \times V_{GS}$ do transistor NMOS e PMOS: (a) de $L=10\mu m$ e $W=20\mu m$, (b) de $L=4\mu m$ e $W=20\mu m$
- 3.30 Curva $I_D \times V_{DS}$ do transistor de $W=20\mu m$ e $L=20\mu m$: (a) NMOS e (b) PMOS
- 3.31 Curva $I_D \times V_{DS}$ do transistor de $W=20\mu m$ e $L=10\mu m$: (a) PMOS e (b) NMOS
- 3.32 Curva $I_D \times V_{DS}$ do transistor de $W=20\mu m$ e $L=4\mu m$: (a) PMOS e (b) NMOS
- 3.33 Curva $I_D \times V_{DS}$ do transistor PMOS de $W=20\mu m$ e $L=3\mu m$ ($L_{poli}=2\mu m$): tensão de porta em passos de (a) 0,5V e (b) 1,0V
- 3.34 Transistores $W=20\mu m$ $L=20\mu m$ e a extrapolação da tensão V_A , (a) PMOS e (b) NMOS
- 3.35 Transistores $W=20\mu m$ $L=10\mu m$ e extrapolação para obter V_A , (a) PMOS e (b) NMOS
- 3.36 Transistor NMOS $W=20\mu m$ $L=4\mu m$ e extrapolação para obter V_A , (a) PMOS e (b) NMOS
- 3.37 Transistor PMOS de $W=20\mu m$ e $L=3\mu m$ ($L_{poli}=2\mu m$) e extrapolação de V_A
- 3.38 Curva $V_T \times L$ para o transistor NMOS
- 3.39 Transistor $W=20\mu m$ $L=20\mu m$ - extrapolação de V_T para o cálculo de γ , (a) PMOS e (b) NMOS
- 3.40 Transistor $W=20\mu m$ $L=4\mu m$ - extrapolação de V_T para cálculo de γ , (a) PMOS e (b) NMOS

- 3.41 (a) Transistores NMOS e PMOS de W e $L = 20\mu\text{m}$ – curvas de transcondutância
(b) Transistores NMOS de $W=20\mu\text{m}$ e $L= 10\mu\text{m}; 8\mu\text{m}$ e $4\mu\text{m}$ – curvas de transcondutância
- 3.42 Transistores NMOS de $W=20\mu\text{m}$ e $L= 10\mu\text{m}; 8\mu\text{m}$ e $4\mu\text{m}$ - curva $1/G_m \times L_M$
- 3.43 Transistores NMOS de $W=20\mu\text{m}$ e $L= 20 \mu\text{m}; 10\mu\text{m}; 8\mu\text{m}$ e $4\mu\text{m}$ - curva $1/G_m \times L_M$
- 3.44 Transistores PMOS (a) depois da fotografação e (b) depois da corrosão de porta
- 3.45 Curva de mobilidade dos portadores em função de V_{GS} : (a) do transistor NMOS, (b) do transistor PMOS, ambos de dimensões de porta $W = 20 \mu\text{m}$ e $L = 20 \mu\text{m}$
- 3.46 Curva de mobilidade dos portadores em função de $(V_{GS}-V_T)$: (a) do transistor NMOS e (b) do transistor PMOS, ambos de dimensões $W = 20 \mu\text{m}$ e $L = 20 \mu\text{m}$
- 3.47 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L= 20 \mu\text{m}$, para a condição $V_{sb}=0$ e $V_{DS}=0,1\text{V}$
- 3.48 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L= 20 \mu\text{m}$, para a condição $V_{DS} = 0,1\text{V}; 0,6\text{V}; 1,1\text{V};$ e $1,6\text{V}$
- 3.49 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L= 4 \mu\text{m}$, para a condição $V_{sb}=0\text{V}; -1\text{V}; -2\text{V};$ e -3V
- 3.50 Curvas de transferência do inversor
- 3.51 Curva característica do fotodiodo e corrente fotoiônica
- 3.52 Curva tensão do fotodiodo em função do tempo: (a) fotodiodo $10\mu\text{m} \times 10\mu\text{m}$ (U. Waterloo) (b) fotodiodo $120\mu\text{m} \times 120\mu\text{m}$ (CCS) com densidade de fotocorrente de $J_{\text{foto}} = 10^{-14} \text{ A}/\mu\text{m}^2$
- 3.53 Esquema do circuito de leitura APS
- 3.54 Esquema do circuito de leitura APS com o transistor S e polarização experimental na fase *reset*
- 3.55 Tensão de saída do circuito de leitura APS e a tensão do fotodiodo em função do tempo para um nível de iluminação
- 3.56 Medidas do sinal de saída de uma célula APS
- 3.57 Medidas do sinal de saída de uma célula APS e determinação das correntes fotônicas
- 3.58 Simulação do sinal de saída de uma célula APS

- 4.1 *Layout* do conjunto de *chips* didáticos
- 4.2 *Layout* do CHIP 1 – Resistores
- 4.3 *Layout* do CHIP 2 – Capacitores e diodos
- 4.4 *Layout* do circuito sensor APS
- 4.5 Esquema do circuito sensor APS
- 4.6 Esquema do conjunto de transistores NMOS com L variável
- 4.7 Esquema do conjunto de transistores PMOS com L variável
- 4.8 *Layout* do chip 4
- 4.9 *Layout* do chip 5 – Inversores e Osciladores em Anel
- 4.10 *Layout* do chip 6 – Amplificadores Operacionais
- 4.11 Esquema Elétrico do Amplificador Operacional

- 4.12 Amplificador diferencial de entrada
- 4.13 Amplificador de saída
- 4.14 Circuito espelho de corrente
- 4.15 Circuito espelho de corrente do opam1
- 4.16 Amplificador Operacional 1
- 4.17 Amplificador de saída com par complementar e seguidor fonte comum
- 4.18 Amplificador Operacional 2
- 4.19 Circuito espelho de corrente do opam3
- 4.20 Amplificador Operacional 3
- 4.21 Amplificador de saída com par complementar e seguidor fonte comum
- 4.22 Amplificador Operacional 4

- 5.1 As características de dreno do transistor NMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley com a tensão até $V_{DS} = 8$ volts
- 5.2 As características de dreno do transistor NMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley com tensão de porta até $V_{GS} = 3,0\text{V}$ em passos de $1,0\text{V}$
- 5.3 As características de dreno do transistor NMOS $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$ de CCS com tensão de porta até $V_{GS} = 3,0$ V em passos de $0,5\text{V}$
- 5.4 As características de dreno do transistor PMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley com tensão até $V_{DS} = 10$ volts
- 5.5 As características de dreno do transistor PMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley com tensão de porta até $V_{GS} = 3,0\text{V}$ em passos de $1,0\text{V}$
- 5.6 As características de dreno do transistor NMOS $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$ de CCS com tensão de porta até $V_{GS} = -3,0\text{V}$ em passos de $-0,5\text{V}$
- 5.7 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a -3 V, tensão $V_{DS} = 0,1\text{V}$, do transistor NMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley
- 5.8 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a -3 V, tensão $V_{DS} = 0,1\text{V}$, do transistor NMOS $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$ de CCS-Unicamp
- 5.9 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a 3 V, tensão $V_{DS} = -0,1\text{V}$, do transistor PMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley
- 5.10 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a 3 V, $V_{DS} = -0,1\text{V}$, do transistor PMOS $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$, $L_{\text{poli}} = 3\mu\text{m}$ de CCS-Unicamp
- 5.11 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W = 10\mu\text{m}$ e $L = 1\mu\text{m}$, para a condição $V_{DS} = 0,05\text{V}; 0,5\text{V}$, do processo *CMOS* UC-Berkeley
- 5.12 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$, condição $V_{DS} = 0,1\text{V}; 0,6\text{V}; 1,1\text{V};$ e $1,6\text{V}$, do processo *CMOS* CCS-Unicamp
- 5.13 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor PMOS de $W = 10\mu\text{m}$ e $L = 1\mu\text{m}$, para a condição $V_{DS} = 0,5\text{V}; 5,5\text{V}$, do processo *CMOS* UC-Berkeley
- 5.14 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor PMOS de $W/L_{\text{poli}} = 20/3$ e $L = 4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$, condição $V_{DS} = 0,1\text{V}; 0,6\text{V}$ e $1,1\text{V}$; do processo *CMOS* CCS-Unicamp
- 5.15 Curvas de transferência de inversores, primeira fabricação

5.16 Curvas de transferência de inversores, segunda fabricação

GLOSSÁRIO DE TERMOS TÉCNICOS

| Símbolos romanos | Significado |
|---------------------|--|
| A | Área |
| A _v | Ganho do amplificador |
| C _{ac} | Capacitância na região de acumulação (C _{max}) |
| C _{min} | Capacitância total mínima na região de inversão |
| C _{fb} | Capacitância de flat band |
| C _{inv} | Capacitância na região de inversão (C _{min} da curva CV) |
| C' _{ox} | Capacitância do óxido porta /área unitária |
| Chip | Pastilha |
| D | Coefficiente de difusão |
| E | Campo elétrico |
| I | Corrente |
| I _D | Corrente de dreno |
| I _R | Corrente reversa |
| I _S | Corrente de fonte |
| I _o | Corrente de saturação da junção |
| I _{photo} | Corrente fotônica |
| I _{dsat} | Corrente de dreno saturada |
| I _{offset} | Corrente de deslocamento (<i>offset</i>) |
| J | Densidade de corrente |
| K | Constante de Boltzmann= 8.62×10^{-5} eV/K |
| L | Comprimento do canal do transistor |
| L _{eff} | Comprimento efetivo do canal de um transistor |
| n | Concentração de portadores de carga negativa |
| n _i | Concentração intrínseca de portadores do silício, (T=300K, $1,081 \times 10^{10}$ cm ⁻³) |
| N _{A,D} | Concentração de portadores |
| N _{sub} | Dopagem do substrato |
| Q _{ch} | Carga do canal |
| Q _{ef} /q | Cargas de interface |
| Q _{ox} | Carga efetiva total no óxido, |
| q | Carga do elétron= 1.602×10^{-19} C |
| S | Parâmetro S (<i>gate swing</i> ou <i>slope</i>) |
| T _{ox} | Espessura do óxido |
| p | Concentração de portadores de carga positiva |
| v | Velocidade dos portadores |
| V | Tensão |
| V _A | Tensão de Early |
| V _B | Tensão de ruptura |
| V _{BS} | Tensão de substrato |
| V _{DS} | Tensão entre o terminal dreno e o terminal fonte do transistor |
| V _G | Tensão de porta |
| V _{GS} | Tensão entre o terminal porta e o terminal fonte (campo elétrico na direção vertical ao canal) |
| V _{DD} | Tensão de alimentação positiva |

| | |
|------------|---|
| V_{SS} | Tensão de alimentação negativa |
| V_T | Tensão de limiar |
| V_{T0} | Valor da tensão de limiar para $V_{bs}=0$ |
| V_{Tn} | Tensão de limiar do transistor canal n |
| V_{Tp} | Tensão de limiar do transistor canal p |
| V_{fb} | Tensão de flat band V_{fb} (banda plana) é a tensão V_{gs} onde a capacitância é igual a C_{fb} |
| V_{t-ms} | Tensão no óxido |
| W | Largura do canal do transistor |
| W_f | Largura da camada de depleção |

| Símbolos gregos | Significado |
|------------------------|--|
| ΔL | Varição do comprimento de porta |
| ΔL_{ef} | Valor da diminuição efetiva do comprimento de porta |
| η | Fator de idealidade |
| ϵ_{si} | Permitividade do silício monocristalino ($\epsilon_{si}=11.9$) |
| ϵ_0 | Permitividade do vácuo ($\epsilon_0 = 8.854 \times 10^{-14} \text{ F/cm}^2$) |
| ϵ_{ox} | Permitividade do SiO_2 ($\epsilon_{ox} = 3.9$) |
| ϕ_F | Potencial de Fermi |
| ϕ_{ms} | Diferença entre as funções trabalho do metal e do semiconductor |
| ϕ_s | Potencial de superfície |
| γ | Parâmetro γ (efeito de corpo) |
| μ | Mobilidade dos portadores |
| μ_p | Mobilidade de canal - portadores: lacunas |
| μ_n | Mobilidade de canal - portadores: elétrons |
| μ_{ch} | Mobilidade dos portadores no canal |
| μ_0 | Mobilidade superficial independente do campo vertical aplicado à estrutura |
| μ_s | Mobilidade de superfície dependente do campo vertical aplicado à estrutura |
| θ | Coefficiente de constante de proporcionalidade THETA (θ) que relaciona a variação da mobilidade com a tensão V_{GS} |
| ρ | Resistividade do material |
| λ | Parâmetro λ (efeito da modulação de canal) |
| σ | Condutividade |

LISTA DE ABREVIATURAS E SIGLAS

| | |
|----------|---|
| CAD | Computer Aided Design (Projeto Assistido por Computador) |
| CCS | Centro de Componentes Semicondutores (UNICAMP) |
| CIF | Caltech Intermediate Format (Formato Intermediario Caltech) |
| CMOS | Complementary Metal Oxide Semiconductor (MOS complementar) |
| CTO | Conventional Thermal Oxidation (oxidação térmica convencional) |
| DCR | Design Rule Checker (verificador de Regra de Projeto) |
| ECR | Electron Cyclotron Resonance (sistema do reator com plasma remoto) |
| LPCVD | Low Pressure Chemical Vapor Deposition (sistema do reator CVD) |
| LSI-USP | Laboratório de Sistemas Integráveis (USP) |
| LPD-IFGW | Laboratório de Pesquisa de Dispositivos – Instituto de Física Gleb Wataghin (Unicamp) |
| MOS | Metal Oxide Semiconductor (Metal Óxido Semiconductor) |

| | |
|--------|--|
| RIE | Reactive Ion Etcher (sistema do reator de corrosão por plasma) |
| RTA | Rapid Thermal Annealing (recozimento térmico rápido) |
| RTO | Rapid Thermal Oxidation (oxidação térmica rápida) |
| SPIICE | Simulation Program with Integrated Circuit Emphasis (Programa de Simulação com Ênfase em Circuitos Integrados) |
| SIMS | Secondary Ion Mass Spectrometry (Espectrometria de massa de íons secundário) |
| TCE | Tricloroetileno C_2HCl_3 |
| PECVD | Plasma Enhanced Chemical Vapor Deposition (sistema do reator CVD) |
| UV | Luz ultra violeta |

CAPÍTULO 1 - INTRODUÇÃO

A tecnologia *CMOS* prevalece no domínio do mercado da eletrônica especialmente para aplicações de alta integração marcando uma era de comunicações e de multimídia. Nosso trabalho se situa no campo de processos de fabricação e está orientado a contribuir com sua aplicação no ensino. Deste modo os objetivos principais deste trabalho são: (a) o desenvolvimento de um processo *CMOS* (2 μ m) e (b) o desenvolvimento de um conjunto de *Chips CMOS* didáticos.

Neste trabalho estão descritos todos os detalhes do processo de fabricação realizado, desde a lâmina até os chips completamente formados. Os resultados experimentais obtidos em chips teste serviram de base para o projeto de um conjunto de chips didáticos, realizados para oferecer condições ótimas para suporte experimental no ensino de disciplinas de eletrônica.

Neste capítulo 1 apresentamos além da motivação do trabalho e seus objetivos, os conceitos básicos da tecnologia *CMOS* e suas vantagens, os tipos de transistores indicando que neste trabalho, foi considerado o do tipo enriquecimento. O processo básico *CMOS* com porta de polisilício e substrato P é mostrado em separado para cada tipo de transistor (NMOS e PMOS) indicando que o processo *CMOS* tem a necessidade de integrar estas duas seqüências básicas de transistores através de outras etapas adicionais de processo. É feita também uma análise das regiões de operação do transistor. O inversor *CMOS* é apresentado como o circuito básico da tecnologia.

Este trabalho realizou o desenvolvimento de um processo *CMOS* visando alcançar as metas da tecnologia de 2 μ m através de uma estratégia de desenvolvimento levando em consideração a infraestrutura, materiais e métodos para a fabricação. Para executar cada etapa, determinamos as variáveis de processo a fim de obtermos um processo *CMOS* de acordo com os objetivos deste trabalho. A determinação destas variáveis de processo foi feita através de simulação Suprem e Pisces e os resultados desta simulação foram apresentados e agrupados segundo as principais etapas: Recozimento, oxidação e /ou difusão, Deposição de camadas, Fotogravação, Corrosão, remoção e Implantação iônica. Baseados nos resultados do chip teste foi realizado o desenvolvimento de um conjunto de *Chips* didáticos *CMOS*. As experiências propostas nestes chips cobrem a aprendizagem básica dos dispositivos e dos circuitos, viabilizando seu uso em disciplinas de eletrônica. O projeto proposto oferece uma escala nova de estruturas para dispositivos e circuitos e cobre alguns vazios deixados por um chip comercial similar. Por fim, no final deste Capítulo 1 apresentamos a organização da Tese.

1.1 MOTIVAÇÃO

A tecnologia que prevalece para aplicações de microprocessadores, memórias, ASICS e outros circuitos VLSI é a tecnologia *CMOS* devido à continuidade do escalamento, com dimensões cada vez menores para maior densidade de integração numa pastilha (*chip*), maior velocidade de funcionamento dos circuitos e baixa potência dissipada [1] [2] [3]. O atual

escalamento está comercialmente em torno 100nm, isto tem criado novas áreas de aplicação assim como os sistemas num só *chip* ou sistemas mistos onde as funções analógicas e de RF ficam juntas com circuitos digitais. Isto tem refletido numa nova era de aplicações de comunicações e multimídia.

A maior vantagem e motivação pela tecnologia *CMOS* é a baixa dissipação de potência.

As vantagens adicionais de *CMOS* são as seguintes:

- Vantagens de desempenho de circuito e de dispositivo: a menor dissipação de potência resulta em menor temperatura de operação, circuitos *CMOS* apresentam alta densidade de integração,
- Vantagens de confiabilidade: Como circuitos *CMOS* dissipam menos potência, resulta menor temperatura e como consequência, maior confiabilidade. Os circuitos *CMOS* não carregam correntes estáticas. Como consequência o fenômeno de eletromigração é menor.
- Vantagens quanto a custo: A pequena diferença de custo pelo maior número de etapas de processamento para *CMOS* é compensada pela redução do custo devido as maiores facilidades de projeto e o uso de encapsulamento mais simples e barato.

1.1.1 MOTIVAÇÃO DO TRABALHO

A experiência adquirida pela primeira vez na UNICAMP com este trabalho dá início a uma atividade com o processo *CMOS*, cujo processo de fabricação é a tecnologia dominante da microeletrônica pelas vantagens expostas. Logo, a continuação deste trabalho também é fundamental para obter novas versões de *CMOS* integrando novas etapas de processo que os pesquisadores da área desenvolvem. Desta forma fica plenamente justificado a importância de desenvolver um processo *CMOS* fornecendo um suporte local (CCS – UNICAMP -BRASIL) e permanente aos projetos de aplicação que os projetistas da área realizam, e um serviço educativo experimental atualizado através da oferta de conjuntos de *chips* didáticos.

1.1.2 OBJETIVOS DO TRABALHO

Os objetivos principais deste trabalho são:

- (a) O desenvolvimento de um processo *CMOS* (2 μ m), ilha dupla, para uso educativo e de suporte às atividades de pesquisa, utilizando a infraestrutura instalada no Centro de Componentes Semicondutores (CCS) da Universidade Estadual de Campinas – UNICAMP.
- (b) O desenvolvimento de um conjunto de *Chips CMOS* didáticos e células APS baseado na tecnologia de fabricação *CMOS* indicada no primeiro objetivo (a)

Este trabalho visa o desenvolvimento de um processo *CMOS* através de uma **estratégia de desenvolvimento** levando-se em consideração a infraestrutura, materiais e métodos para a realização de testes experimentais de etapas de processo, de estudo do processo e de fabricação de um *chip* teste, de um *chip* de aplicação APS e de um conjunto de *chips*

didáticos. As regras da tecnologia *CMOS* 2 μm que foram seguidas são as de uso padrão com algumas alterações para adaptação aos processos do CCS - UNICAMP.

O conjunto de *Chips CMOS* didáticos visa o desenvolvimento de *chips* de dispositivos e circuitos analógicos e digitais desenhados para fornecer um jogo de ensino para disciplinas de eletrônica, microeletrônica, processos e projeto, baseado em estruturas MOS usando a tecnologia *CMOS* de 2 μm . As experiências propostas cobrem a aprendizagem dos fundamentos e caracterização dos dispositivos e dos circuitos oferecidos pelos *chips*. O desenho oferece uma escala nova de estruturas para dispositivos e circuitos e cobre alguns vazios deixados por um *chip* comercial similar.

1.2 TECNOLOGIA *CMOS* - CONCEITOS BÁSICOS [1]

O contínuo escalamento da tecnologia *CMOS* (*Complementary Metal-Oxide Semiconductor*) fez com que esta seja a mais importante, ou a mais usada, na fabricação de CI's em silício (Si). No universo de Si, a tecnologia *CMOS* é a tecnologia dominante, sobretudo em aplicações digitais, e continua cobrindo cada vez mais uma fatia maior do mercado de CI's. Esta é a técnica dominante para microprocessadores, memórias e ASICS devido às vantagens mencionadas acima. A tecnologia *CMOS* consiste em fabricar transistores MOS dos tipos canal N e canal P na mesma lâmina sendo a estrutura MOS complementar (*CMOS*) o circuito típico desta tecnologia com baixo consumo de corrente.

O conceito básico de um transistor MOS é que ele tem um sinal elétrico de saída no dreno (variações de corrente no dreno ou tensão fonte/dreno) se recebe um sinal de entrada na porta (somente variação da tensão de porta) conforme mostrado no esquema da figura 1.1. Uma característica fundamental da porta do transistor MOS é que ela não consome corrente (potência) durante um estado estático. Apenas durante a transição de um estado a outro temos um pequeno consumo de corrente (potência).

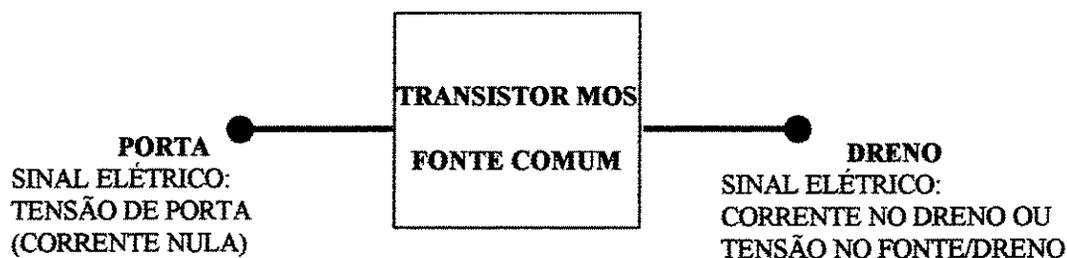


Figura 1.1 - Conceito de transistor MOS

1.2.1 A FAMÍLIA DE TRANSISTORES MOS

Existem dois tipos de transistores MOS em função de seu comportamento com a tensão de limiar, que são o do tipo enriquecimento e do tipo depleção. O transistor do tipo enriquecimento é aquele que tem a condução com tensão de limiar maior que zero (caso NMOS), ou seja, o dispositivo está normalmente sem condução e precisa de uma tensão positiva aplicada à porta para a sua condução. O transistor do tipo depleção é aquele que tem a condução com tensão de limiar menor ou igual a zero (caso PMOS), isto é, o dispositivo está normalmente em condução e precisa de uma tensão negativa na porta para deixar de conduzir.

O transistor de interesse para este trabalho é o do primeiro tipo ou transistor de enriquecimento. O transistor de depleção é de uso bastante específico. Além disto, existe uma pequena variante no processo para o tipo depleção que está associado com uma diferente concentração superficial de dopantes que requer adicionalmente mais uma máscara e mais algumas etapas de processo, caso este seja fabricado simultaneamente.

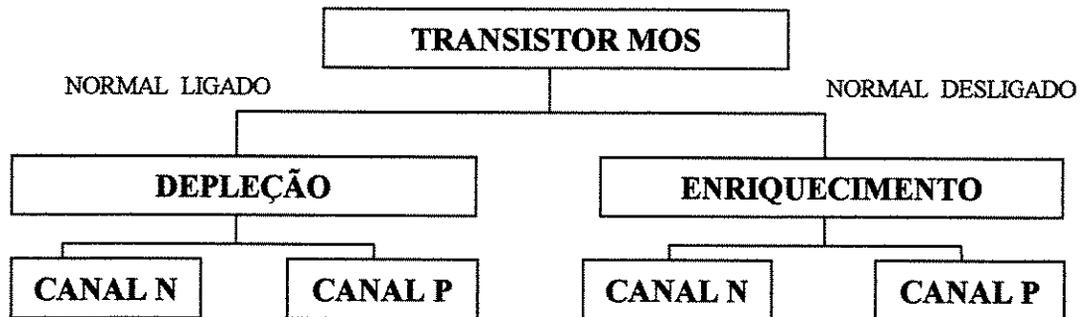


Figura 1.2 - Diagrama da família MOS

A figura 1.2 mostra diagramaticamente a família MOS e a figura 1.3 as representações simbólicas utilizadas para os respectivos dispositivos. A representação com quatro terminais é mais completa sendo utilizada para esquemas detalhados e as de três terminais, utilizadas para esquemas simplificados. Na representação completa o quarto terminal representa a ligação da ilha (substrato) correspondente ao tipo de transistor. Isto é, o terminal de ilha N para o transistor PMOS e o terminal de ilha P para o transistor NMOS.

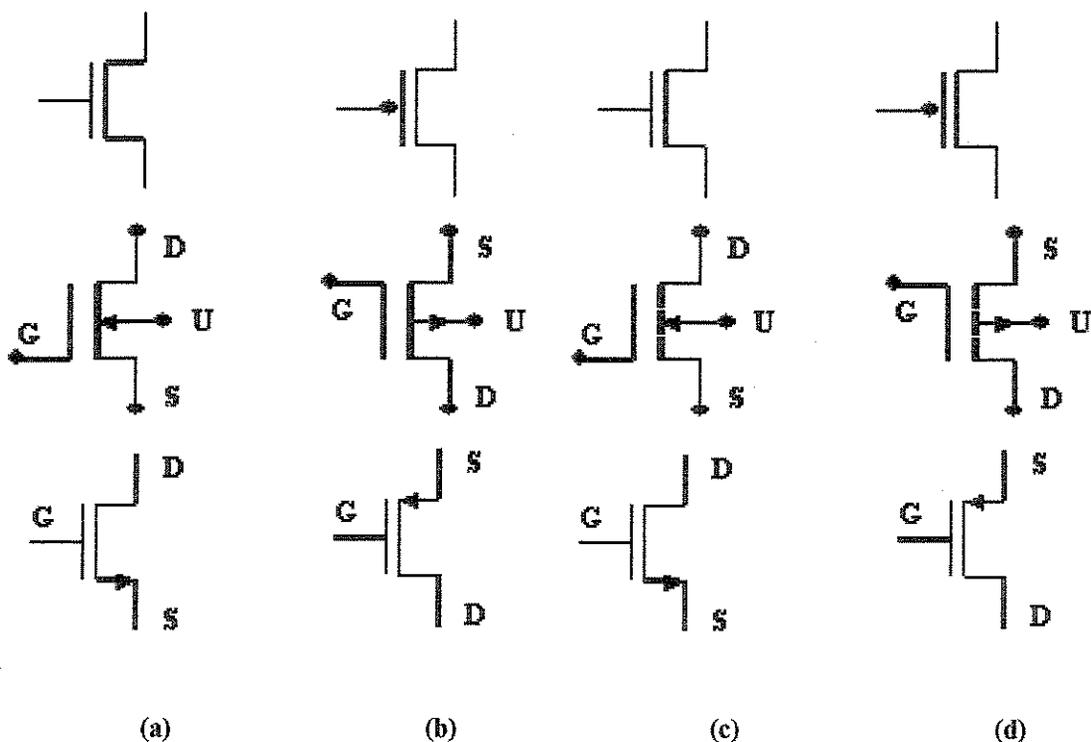


Figura 1.3 - Representação simbólica dos transistores da família MOS: (a) nMOS depleção, (b) PMOS depleção (compensação), (c) NMOS enriquecimento e (d) PMOS enriquecimento

1.2.2 PROCESSO BÁSICO *CMOS* - TRANSISTORES CANAL N E CANAL P

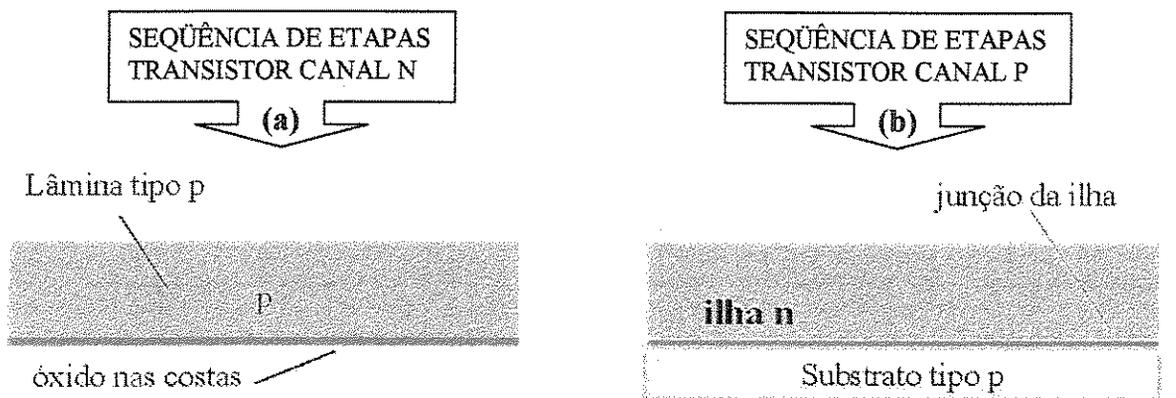
Neste item apresentamos os vários processos envolvidos na fabricação dos dispositivos *CMOS*, incluindo a formação das regiões de ilha P e de ilha N dos dois tipos de transistores, NMOS e PMOS respectivamente, técnicas de isolamento, fabricação do canal e do isolante de porta, obtenção de eletrodos de porta e metalização de contatos e interconexões [4][5][6][7]. Finalmente será apresentada uma breve análise sobre os transistores MOS e suas regiões de operação.

O processo padrão do *CMOS* atual utiliza o polisilício como material de porta e opcionalmente para interconexões, e como substrato o Si do tipo P. As versões mais antigas eram baseadas em substratos N. A principal vantagem do polisilício é que ele suporta as altas temperaturas das etapas térmicas do processo e assim pode suportar a temperatura necessária para ativação de dopantes e também fazer a função de máscara para a implantação de dopantes da região de fonte e dreno, sendo que permanece como material de porta, logo possibilitando um auto-alinhamento entre fonte/dreno e o próprio polisilício (porta). O processo básico

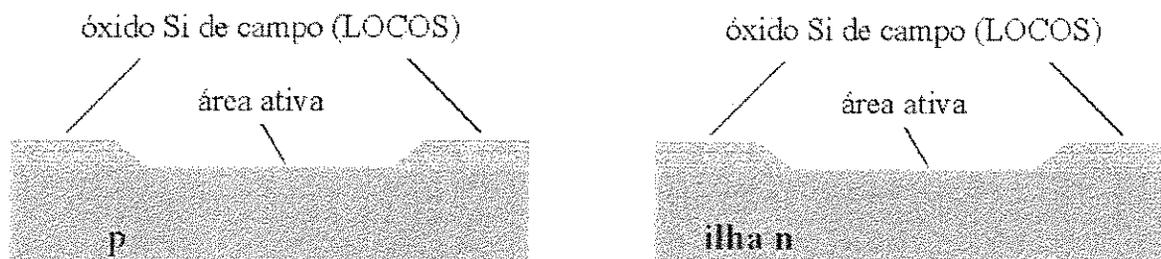
CMOS com porta de polisilício e substrato P é mostrado na figura 1.4, em separado para cada tipo de transistor. A primeira seqüência de etapas de processo é para o transistor NMOS é mostrada em 6 principais etapas (figura 1.4a). A segunda seqüência de etapas de processo é para o transistor PMOS e de forma similar apresentada também em 6 etapas (figura 1.4b). O substrato P é comum para o transistor NMOS e o transistor PMOS, mas o PMOS é feito a partir de uma ilha N formada sobre este substrato.

A seqüência de etapas de processos de cada transistor é constituído pelas seguintes etapas:

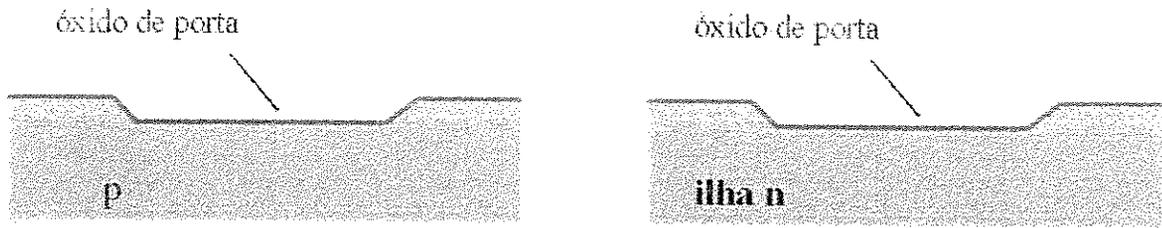
- Etapa 1: Lâmina tipo P ou substrato com ilha N.
- Etapa 2: Formação da área ativa.
- Etapa 3: Óxido de porta.
- Etapa 4: Porta de polisilício.
- Etapa 5: Formação do fonte/dreno.
- Etapa 6: Contato e metal



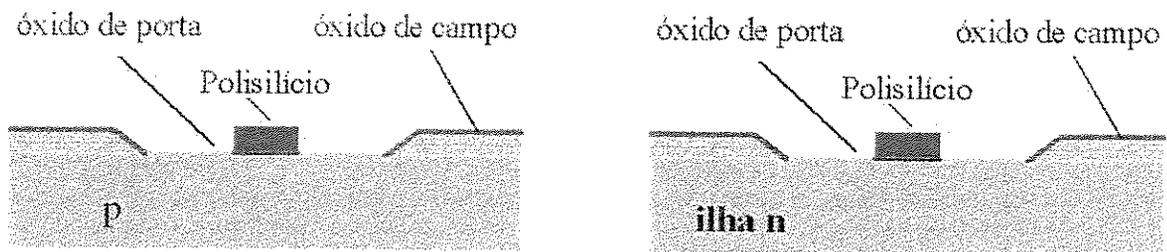
Etapa 1 Lâmina tipo P



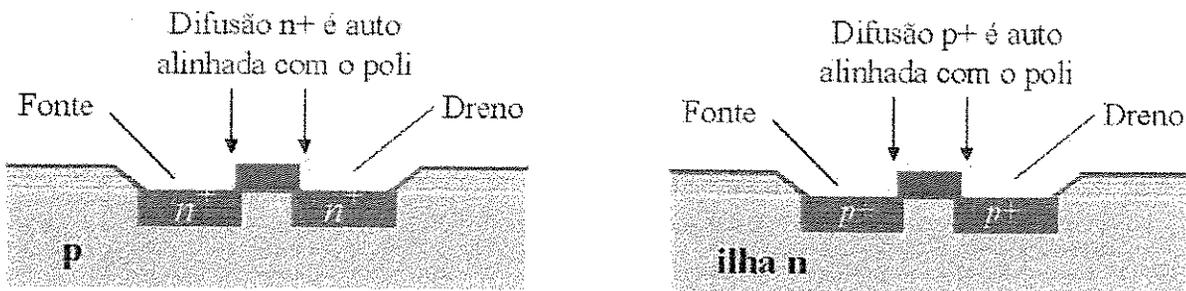
Etapa 2 Formação da área ativa



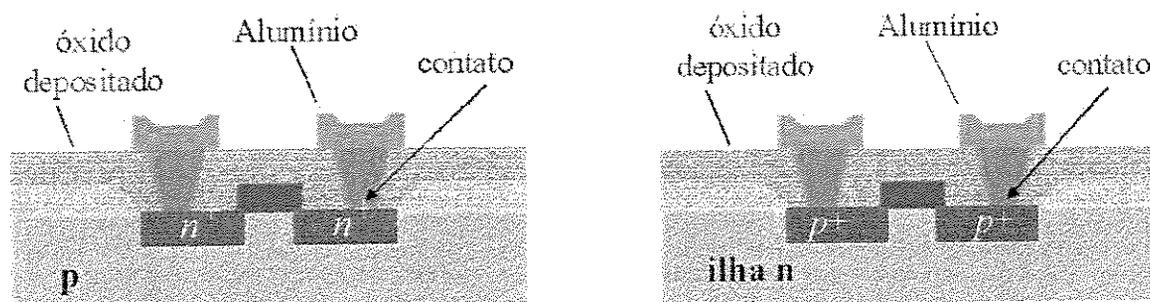
Etapa 3 Óxido de porta



Etapa 4 Porta de polisilício



Etapa 5 Formação do fonte/dreno



Etapa 6 contato e metal

Figura 1.4 - Processo básico CMOS - (a) seqüência de etapas do transistor de canal N e (b) do transistor de canal P

O CMOS contém os dois tipos de transistores numa mesma lâmina, logo o processo CMOS integra as duas seqüências básicas de etapas de processo descritas na figura 1.4. A dopagem de fonte/dreno é diferente para cada tipo de transistor, de forma que esta dopagem é feita separadamente protegendo uma da outra. Para solucionar o problema de ajuste dos perfis de dopagem entre as estruturas canal N e canal P é feita a formação de ilhas isoladas sobre substrato P de baixa concentração de impurezas ($\leq 1 \times 10^{15} \text{ cm}^{-3}$). Esta solução será aplicada também neste trabalho e é chamada de CMOS de dupla ilha. Outras técnicas avançadas do NMOS tais como a isolação LOCOS, implantação iônica de ajuste de V_T , oxidação de porta em ambiente clorado e o uso do polisilício como material de porta foram também utilizadas no nosso processo CMOS: Um processo CMOS completo inclui todas estas técnicas como veremos adiante no Capítulo 2.

1.2.3 ANÁLISE DAS REGIÕES DE OPERAÇÃO - EQUAÇÕES DE POLARIZAÇÃO DC [5][7]

As regiões de operação de um transistor na suas características $I_D \times V_{DS}$ (corrente e tensão de dreno) e a tensão de limiar são conceitos importantes para analisar e entender o funcionamento do dispositivo.

- **Funcionamento do CMOS: Tensão de limiar (V_T)**

A tensão de porta necessária para iniciar a condução no canal é chamada de tensão de limiar. No processo CMOS implementado a tensão de limiar é de 0,8V para o transistor de canal N e de -0,8V para o de canal P. Esta tensão de limiar pode ser estimada pela seguinte expressão:

$$V_{TO} = V_{i-ms} + V_{fb} \quad (1.1)$$

$$V_{TO} = 2\phi_{fp} + \frac{Q_b}{C_{ox}} + \phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad (1.2)$$

onde: V_{TO} é a tensão de limiar para $V_{bs}=0$; ϕ_{ms} é o potencial metal - semicondutor, V_{fb} tensão de flat band, V_{i-ms} representa as tensões no óxido (entre metal e semicondutor), ϕ_{fp} é o nível Fermi para semicondutor p, C_{ox} é a capacitância por unidade de área do óxido de porta, Q_b densidade de carga de substrato e Q_{ss} carga efetiva.

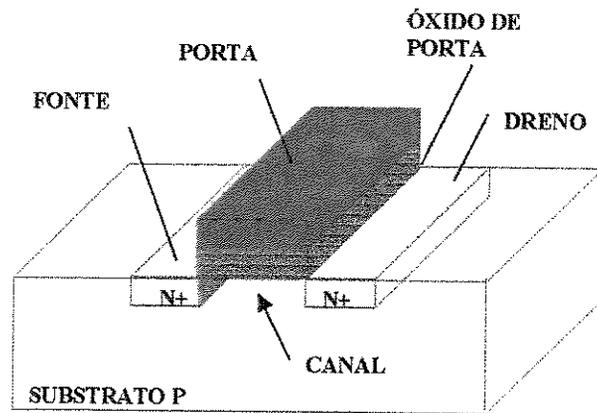


Figura 1.5 - Estrutura do transistor NMOS

- **Equações de polarização DC**

O transistor MOS apresenta três regiões na suas características $I_D \times V_{DS}$: a região de corte, a região triodo e a região de saturação. A figura 1.5 ilustra a estrutura típica de um transistor NMOS e a figura 1.6 a nomenclatura das principais dimensões usadas.

A região triodo dentro das características $I_D \times V_{DS}$ do transistor está na faixa de $0 < V_{DS} < V_{GS} - V_T$, e o seu comportamento modelado pela seguinte expressão:

$$I_{DS} = \frac{W}{L} * \frac{\mu\epsilon_{ox}}{t_{ox}} * \left[(V_{GS} - V_T) * V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.3)$$

A região de saturação está na faixa de $V_{DS} \geq V_{GS} - V_T$, e o seu modelo matemático expresso por :

$$I_{DS} = \frac{W}{2L} * \frac{\mu \epsilon_{ox}}{t_{ox}} * (V_{GS} - V_T)^2 \quad (1.4)$$

- **Análise do Transistor MOS**

Um transistor MOS é mostrado na figura 1.6 onde destacamos os parâmetros dimensionais do canal do transistor: comprimento (L) e largura (W), bem como a espessura t_{ox} da camada de óxido de porta, utilizados na obtenção das expressões da região linear (expressão 1.3) e da região de saturação (expressão 1.4), e na análise das mesmas para entender as propriedades do transistor.

O canal do transistor MOS é uma região na superfície extremamente fina da ordem de nanômetros e a região de fonte e o dreno podem ter os contatos de polarização ou conexão com outros transistores. A fonte e o dreno são fabricados simultaneamente com N^+ e cada um possui um eletrodo de metal (Alumínio).

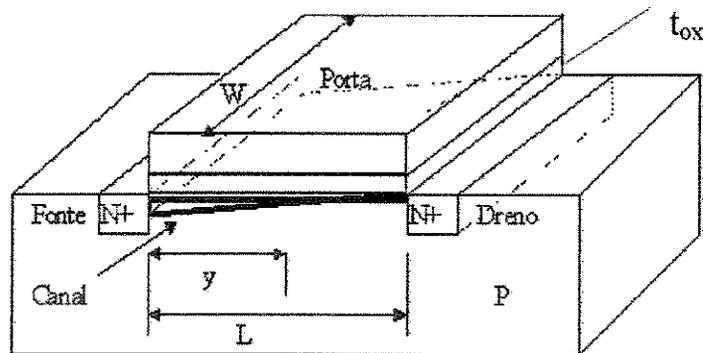


Figura 1.6 Transistor NMOS

- **AS PROPRIEDADES DO TRANSISTOR NMOS**

Assumindo que o dispositivo é de canal N com fonte e substrato aterrados temos os seguintes:

Se a tensão de dreno é baixa ($V_{DS} \ll V_{GS} - V_T$):

A densidade de portadores no canal é aproximadamente constante, logo a densidade de carga do canal pode ser estimada por:

$$Q_{ch} \approx C_{ox}(V_{GS} - V_T) \quad (1.5)$$

onde: C_{ox} = capacitância do óxido porta /área unitária

Como a corrente de dreno para um determinado transistor depende da carga total do canal devida à aplicação da tensão de porta (V_{GS}), da dimensão da estrutura do canal e da tensão aplicada sobre a região de fonte e dreno (V_{DS}), a corrente de dreno nesta região linear de operação é determinada pela seguinte expressão:

$$I_D \approx \frac{W}{L} \mu_{ch} C_{ox} (V_{GS} - V_T) V_{DS} \quad \mu_{ch} = \text{mobilidade de portadoras no canal} \quad (1.6)$$

Se a tensão de dreno é alta (de $V_{DS} \ll V_{GS} - V_T$ até $V_{DS} \leq V_{GS} - V_T$):

Nesta região, a corrente de dreno aumentará, mas a extremidade do canal próxima ao dreno começa a ficar mais estreita, assim o canal constante muda para uma forma triangular quando se aumenta a tensão do dreno $V_{DS} \leq V_{GS} - V_T$, onde a densidade de carga do canal diminui à medida que se distancia da fonte em direção ao dreno. Portanto, a corrente de dreno diminui deixando de ser linear mostrando progressão para uma dependência quadrática com a tensão de dreno. A corrente de dreno para regime de operação nesta região pode ser determinada por:

$$I_D \approx \frac{W}{L} \mu_{ch} C_{ox} [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (1.7)$$

Se a tensão de dreno é: $V_{DSsat} \approx V_{GS} - V_T$

Nesta região, a forma do canal é triangular com $y \approx L$, sendo que a densidade de portadores do canal praticamente se anula no ponto $y \approx L$ e a corrente de dreno torna-se aproximadamente constante e igual a I_{Dsat} . Nesta condição a tensão de dreno é denominada V_{dsat} . Portanto, como $V_{DS} = V_{DSsat} \approx V_{GS} - V_T$, fazendo a sua substituição na expressão (1.7), temos para a corrente de dreno a seguinte expressão:

$$I_{Dsat} \approx \frac{W}{L} \mu_{ch} C_{ox} [(V_{DSsat}) V_{DSsat} - \frac{1}{2} V_{DSsat}^2] = \frac{W}{L} \mu_{ch} C_{ox} \frac{1}{2} V_{DSsat}^2 \quad (1.8)$$

Ou em termos de tensão de porta a expressão (1.9) abaixo que é a mesma definida na expressão (1.4) correspondente ao caso em que independe da tensão V_{DS} .

$$I_{Dsat} \approx \frac{W}{L} \mu_{ch} C_{ox} \frac{1}{2} (V_{GS} - V_T)^2 \quad (1.9)$$

Se a tensão de dreno é: $V_{DS} > V_{DSsat} \approx V_{GS} - V_T$

Nesta região, a forma do canal é triangular sendo que aumentando a tensão de dreno além do valor de saturação, a distância y diminui (distância y , na figura 1.6, até o ponto onde a densidade de carga se anula) e o estrangulamento do canal se prolongará na direção da fonte e o dispositivo passa a ter comportamento de uma fonte de corrente. Mas, este comportamento é para um dispositivo ideal e no caso de um transistor real existe uma pequena dependência da corrente I_D com a tensão de dreno V_{DS} quando esta tensão é maior que a tensão V_{DSsat} . Este comportamento é modelado com a inclusão do parâmetro λ (**lambda**) chamado de fator de modulação de canal e a última expressão (expressão 1.9) corrigida expressa por:

$$I_{Dsat} \approx \frac{W}{L} \mu_{ch} C_{ox} \frac{1}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1.10)$$

1.2.4 CIRCUITO BÁSICO: INVERSOR *CMOS*

A tecnologia *CMOS* é definida como aquela que tem os dois tipos de transistores (NMOS e PMOS) numa só lâmina, com a vantagem de poder interligar-se para formar os circuitos. Um circuito básico da tecnologia *CMOS* é o circuito inversor *CMOS*, que permite a manutenção de estado praticamente sem o consumo de potência. O circuito inversor *CMOS* é composto por transistores NMOS e PMOS em série como mostra a figura 1.7.

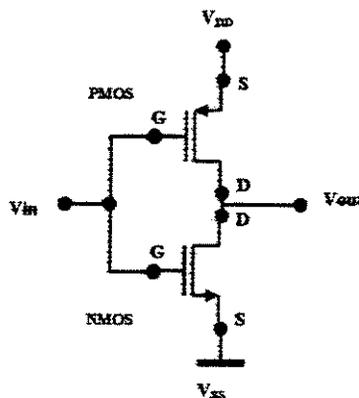


Figura 1.7 Circuito esquemático do inversor *CMOS*

Desta forma, utilizamos nesta tese a estrutura do circuito inversor para fazer as descrições das etapas do processo *CMOS* e para verificar o desempenho do circuito com os dois transistores, verificar a simetria da saída e as resistências sérias. Neste trabalho o inversor *CMOS* foi projetado dentro de um *chip* teste juntamente com outros dispositivos para a sua caracterização elétrica e medidas de desempenho. Baseado nos resultados deste *chip* teste foi também projetado um *chip* didático contendo inversores e um oscilador em anel com os inversores.

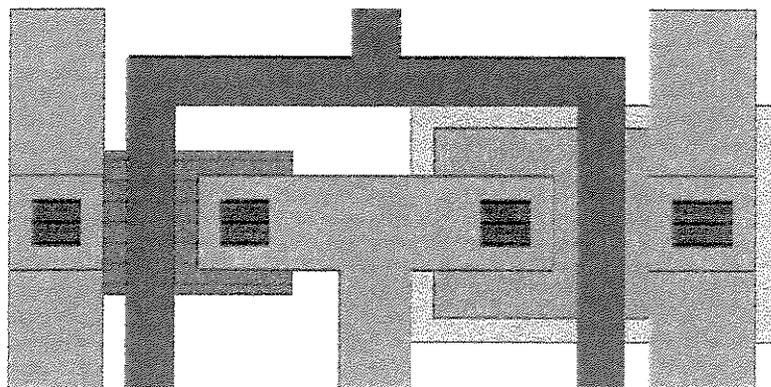


Figura 1.8 *Layout* básico do inversor *CMOS*

A figura 1.8 mostra a vista de topo de um inversor *CMOS* e a figura 1.9 a sua estrutura completa em três dimensões. Utilizamos a ilustração da secção transversal do inversor mostrada na figura 1. 9, no capítulo2, para explicar a seqüência de etapas de processo.

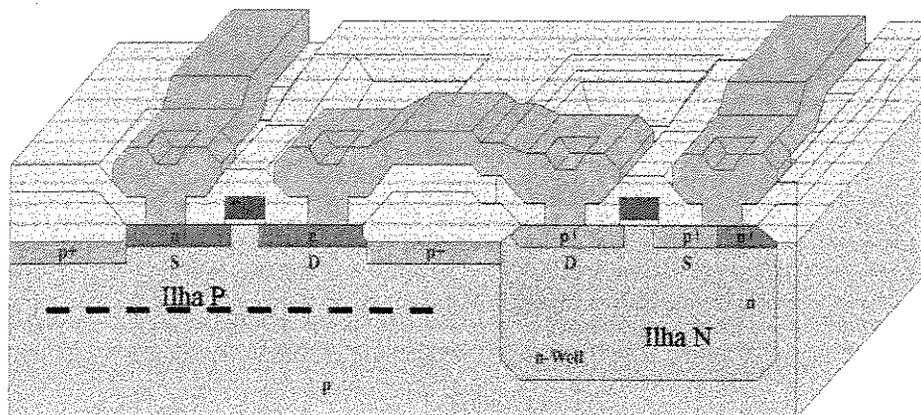


Figura 1.9 Estrutura em três dimensões do inversor *CMOS*

1.3 DESENVOLVIMENTO DO PROCESSO *CMOS* 2 μ m

As novas etapas de processo mencionadas na estratégia de desenvolvimento, significam etapas de processos ainda não dominadas no CCS e que tiveram de ser desenvolvidas para a realização deste trabalho, tais como, deposição de camadas de nitreto e de polisilício, corrosão por plasma de nitreto e polisilício, remoção por plasma do nitreto após a etapa térmica, etc.

1.3.1 OBJETIVOS

O processo *CMOS* desenvolvido neste trabalho é de ilha dupla, um padrão nos processos *CMOS*, e dispositivos com esta versão de *CMOS* são amplamente conhecidos na literatura [4] [5] [6] [7]. Este tipo de *CMOS* é adequado para os propósitos deste trabalho, pois facilita a sua fabricação por permitir a otimização independente das dopagem de cada tipo de transistor. Assim, como o substrato de partida pode ser do tipo P de alta resistividade (20-50 Ω cm), a ilha P pode ser mais rasa que N e a ilha N fica fracamente relacionada com o substrato P, possibilitando o ajuste independente da concentração de cada uma das ilhas. Além disso, o isolamento necessário entre as ilhas pode ser feito somente com uma etapa de implantação P⁺ na região de campo, não tendo a necessidade de implantação N⁺ uma vez que ela é formada naturalmente por segregação do Fósforo durante a formação do LOCOS. Assim, esta característica deste *CMOS* facilita as etapas de processo de fabricação dos dispositivos. As lâminas utilizadas para a fabricação dos dispositivos foram do tipo P com uma camada epitaxial de 10 μ m de espessura, dopada com Fósforo. A dimensão mínima escolhida para o projeto foi de comprimento de porta de 2 μ m, tendo em vista as limitações do equipamento fotolitográfico que dispomos e devido ao não domínio de algumas etapas de processo para a fabricação de dispositivos com regras de projetos de dimensões menores para tecnologia de 2 μ m. Baseada nesta tecnologia de 2 μ m, as metas do projeto constituem em alcançar as especificações tecnológicas para este processo *CMOS* [4], cujos principais parâmetros do dispositivo e do processo são os seguintes:

Tensões de Limiar: $V_{Tn}=0,8V$; $V_{Tp}=-0,8V$; $V_{DD}=5V$

Espessura de óxido de silício: $t_{ox}=30$ nm.

Profundidade de junção fonte/dreno: $X_{jn} = 0,45\mu m$ $X_{jp} = 0,45\mu m$.

Porta de silício-poli N⁺

1.3.2 ESTRATÉGIA DE DESENVOLVIMENTO

A estratégia utilizada para o desenvolvimento do processo *CMOS* foi a de inicialmente estudar e dominar cada uma das etapas de processo envolvidas na sua fabricação, posteriormente, efetuar o projeto (*layout* do dispositivo e do circuito) de um *chip* teste (incluindo diversos dispositivos) seguida de sua fabricação baseadas nos resultados e experiências da fase anterior, e das devidas caracterizações para a avaliação do processo *CMOS* realizado. Finalmente, a partir destes resultados a realização de segunda etapa de

fabricação do *chip* teste, após feitas as correções necessárias no projeto, para verificar a sua repetibilidade. Nesta segunda rodada do processo foi adicionada o *chip* APS, a fim de possibilitar os estudos do pixel e aplicações em sensores de imagens. Embora algumas células APS estejam apresentadas no *chip* didático, o estudo deste item de APS não faz parte do escopo de estudos desta tese.

Na realização deste projeto aplicamos também algumas novas etapas de processo recentemente desenvolvidas no CCS, tais como:

- a) A corrosão por plasma que temos disponível (RIE) tem permitido avanços no desenvolvimento de corrosão de óxido de Si, corrosão de nitreto [8] e corrosão de polisilício [9]. Isto já permitiu a formação da ilha P sem precisar usar etapas de deposição de óxido de Si e da sua densificação como foi usado por Martino [4]. Logo todas as etapas de corrosão de nosso processo *CMOS* são do tipo seca (Plasma-RIE).
- b) Deposição de polisilício nas regiões de porta que também temos disponíveis: Com isto as fontes e os drenos (N^+ ou P^+) podem ser implantados de forma auto-alinhada com a porta.
- c) Deposição de nitreto para fotografar e mascarar as regiões de ilha P e regiões de área ativa: Isto já permitiu implantar com Boro as regiões de ilha P e depois fazer uma oxidação térmica de 380 nm para mascarar e implantar a ilha N.

Com relação à parte dos projetos realizamos os seguintes:

1. Para avaliar o processo *CMOS* foi projetado um chip teste incluindo diversos dispositivos, os quais após a finalização dos processos foram medidos eletricamente. O chip teste foi projetado realizando o seu *layout* com o auxílio da ferramenta Microwind [22] para definir dimensões, formas geométricas e níveis de estruturas dos dispositivos e interconexões.
2. Com base nos resultados obtidos com o *chip* teste, nós projetamos um conjunto de *chips* didáticos contendo diversos dispositivos e circuitos. O nosso projeto de *chip* didático permite ampliar os recursos disponíveis num conjunto similar comercial utilizado no CCS e em algumas universidades, cobrindo os principais aspectos básicos relacionados com o processo *CMOS* tais como: modelagem e física dos dispositivos, escalamento dimensional dos transistores e alguns aspectos do projeto de circuitos, incluindo blocos básicos de amplificadores operacionais, transistores de $L=2\mu\text{m}$, conjunto de capacitores, diodos, fotodiodos e circuitos com sensores APS.

1.3.3 INFRAESTRUTURA, MATERIAIS E MÉTODOS

Para o desenvolvimento dos trabalhos desta tese, algumas etapas de processo já existentes no CCS foram otimizadas a fim de atender as exigências necessárias do processo *CMOS*:

- a) Uma das exigências é que a implantação iônica seja aplicada na lâmina que ainda tem o fotorresiste da fotografação. Isto traz o problema da remoção do fotorresiste implantado. A solução adotada por Martino [4] em seu estudo do processo *CMOS* foi um processo híbrido, ou seja, aplicação inicial de plasma e terminar a remoção com acetona. O processo de remoção do fotorresiste adotada por nós foi a de utilizar um produto relativamente novo. Ao invés de utilizar o tradicional fotorresiste AZ1350, empregamos o fotorresiste AZ5214. Verificamos que este produto suporta as corrosões de plasma e que é fácil de se retirar após as implantações iônicas. Portanto, todas as etapas de fotografação do nosso processo *CMOS* foram feitas com o fotorresiste AZ5214.
- b) Quando os fontes/drenos do transistor PMOS são implantados com Boro (P^+) de forma auto-alinhada com a porta de polisilício N^+ , esta deve ser protegida porque o Boro iria diminuir a dopagem líquida do poli aumentando a sua resistência de folha. O mesmo Boro pode migrar até o óxido ou até a superfície do silício alterando a tensão de limiar do transistor. Para solucionar este problema, a proteção da porta de polisilício é feita com o mesmo fotoresiste da fotografação de porta. Isto requer a sua desativação para que não seja removida na revelação da fotografação seguinte de fonte/dreno (P^+). Este procedimento chamado de método de camada dupla, foi utilizado em nosso processo com a seguinte seqüência:
- Fotografação para definição de porta (poli Si);
 - Corrosão de poli Si por RIE;
 - Desativação do fotorresiste;
 - Fotografação para definir fonte/dreno do PMOS (P^+): na revelação deve ficar o FR desativado; e
 - Implantação iônica de Boro.

1.4 PRINCIPAIS ETAPAS E DETERMINAÇÃO DAS VARIÁVEIS DE PROCESSO

Para executar cada etapa, determinamos as variáveis de processo a fim de obtermos um processo *CMOS* de acordo com os objetivos deste trabalho. A determinação destas variáveis de processo foi feita através de simulação Suprem e Pisces e os resultados desta simulação são apresentados nos sub-itens que seguem, agrupados segundo as principais etapas de processos:

- (a) Recozimento, oxidação e /ou difusão;
- (b) Deposição de camadas;
- (c) Fotografação;
- (d) Corrosão, remoção; e
- (e) Implantação iônica.

1.4.1 RECOZIMENTO, OXIDAÇÃO E DIFUSÃO

O recozimento é feito para ativar os dopantes após uma implantação. Os recozimentos que foram simulados utilizando a informação das referências [4] [7] e executados em fornos em ambiente de Nitrogênio são mostrados na tabela 1.1. Observa-se que os recozimentos utilizados seguem o tempo de 20 minutos utilizados no CCS, a menos do recozimento de fonte/dreno, efetuado com um tempo um pouco maior de 27 minutos e da realização de um pré-recozimento de 600°C. Os drenos dos transistores PMOS e NMOS são recozidos juntos na temperatura de 950°C. Com estes recozimentos fica assegurada a reconstrução da rede cristalina nas regiões implantadas.

Tabela 1.1 Etapas de Recozimentos Utilizados no Processo CMOS

| Etapa de Processo | Espécie | Temperatura | Tempo |
|--|--------------------|-------------|---------|
| Entrada 5min.+ Tx | | | |
| Recozimento I/I da ilha P | Boro | 1000°C | 20min |
| Recozimento I/I da ilha N | Fósforo | 1000°C | 20min |
| Recozimento I/I do anel P ⁺ | Boro | 1000°C | 20min |
| Recozimento I/I ajuste de VT | Boro | 1000°C | 20min |
| Pre-recozimento I/I S/D | | 600°C | 35min |
| Recozimento I/I P ⁺ S/D | Boro | 950°C | } 27min |
| Recozimento I/I N ⁺ S/D | Fósforo Arsênio | 950°C | |

Para o poli Si de porta foi realizado a ativação de Fósforo utilizando a técnica de recozimento térmico rápido RTA (Rapid Thermal Annealing), na temperatura de 960°C e um tempo de 40 segundos. Este recozimento rápido foi efetivo para manter uniforme a concentração do Fósforo através do poli Si (demonstrado por testes preliminares).

As etapas de oxidação na região da segunda ilha com espessura de 380nm e formação do LOCOS com espessura de 1000nm foram simuladas e feitas por oxidações úmidas. A camada de óxido após a formação do LOCOS, foi crescida por oxidação úmida com espessura de 50nm e logo em seguida, removida com o intuito de completar a limpeza de restos de nitreto da região ativa. Em todo o processo CMOS desenvolvido as oxidações úmidas foram realizadas conforme mostrada na Tabela 1.2:

Tabela 1.2 Etapas de Oxidação Úmida

| Etapa de Processo | Espessura | Temperatura | Tempo(min) |
|---|-----------|-------------|------------|
| O₂ + H₂O + O₂ | | | |
| 5min.+ Tx + 5min. | | | |
| | nm | °C | |
| Oxidação na região de ilha | 380 | 1000 | 45 |
| Oxidação local LOCOS | 1000 | 1000 | 240 |
| Oxidação para limpeza | 50 | 900 | 18 |

Para as oxidações secas de 30nm e 40nm que foram simuladas e executadas várias vezes no processo *CMOS*, utilizamos a oxidação tipo seca com 1% de TCE (Tricloroetileno C_2HCl_3) para a obtenção de óxidos de boa qualidade. Um destes óxidos com a espessura de 30nm foi utilizado como óxido de porta. Os óxidos de 40nm foram utilizados duas vezes como camada compensadora dos efeitos de *stress* na deposição dos filmes de nitretos.

Estas oxidações secas foram simuladas em programas Suprem e os algoritmos utilizados para isso, estão apresentados nos anexos A2 e A3. Quanto à parte experimental, as etapas de oxidação seca com TCE de todo o processo *CMOS* foram realizadas conforme a tabela 1.3. Para a realização da oxidação, as lâminas são introduzidas no forno em ambiente com fluxo de Nitrogênio e este mantido durante 5 minutos para evitar a contaminação do ar e para obter a estabilização térmica antes de iniciar a oxidação. O mesmo procedimento é também adotado no final do processo para evitar o estresse térmico nas lâminas.

Tabela 1.3 Etapas de Oxidação Seca com TCE

| Etapa de Processo | Espessura | Temperatura | Tempo(min) |
|-------------------|-----------|-------------|---------------------------|
| | | | $O_2 + (O_2 + TCE) + O_2$ |
| | nm | °C | 5min.+ Tx + 5min. |
| Oxidação | 40 | 1000 | 17 |
| Oxidação | 30 | 1000 | 10 |

Com relação aos processos de difusão utilizados na fabricação de dispositivos *CMOS* são dois: formação das ilhas P e das ilhas N. A formação destas ilhas foi simulada usando o programa Suprem para determinar a temperatura e o tempo de processo necessário de difusão dos dopantes para se obter a profundidade especificada. Os resultados desta simulação estão apresentados na tabela 1.4.

Tabela 1.4 Etapas de Difusão do Processo *CMOS*

| Etapa de Processo | Profundidade | Temperatura | Tempo(minutos) |
|-------------------|--------------|-------------|--------------------|
| | | | Ambiente N_2 |
| | μm | °C | 5min.+ Tx + 10min. |
| Difusão de ilha 1 | 4,5 | 1150 | 480 |
| Difusão de ilha 2 | 1,4 | 1050 | 210 |

No nosso trabalho utilizamos a seguinte seqüência de dopagem das ilhas nas duas corridas de fabricação:

- I.) Primeira ilha P com Boro e segunda ilha N com Fósforo.
- II.) Primeira ilha N com Fósforo e segunda ilha com Boro.

Tabela 1.5 Variáveis do Processo Para os Diferentes Ambientes das Etapas Térmicas de Forno

| Ambiente | N ₂ | O ₂ | H ₂ O | O ₂ + (1%)TCE |
|----------------|----------------|----------------|------------------|--------------------------|
| | Fluxo | Fluxo | vapor | banho 18°C |
| Recozimento | 1 l/min. | | | |
| Oxidação úmida | 1 l/min. | 1 l/min. | 63 gotas/min. | |
| Oxidação seca | 1 l/min. | 1 l/min. | | 1 l/min.+ 0,18 l/min. |
| Difusão | 1 l/min. | | | |

A primeira ilha deve ter uma profundidade de 4,5 μ m e a segunda ilha de 1,4 μ m, e foram simulados de modo que as condições de temperatura e tempo do processo de difusão sejam as mesmas para os dois casos. Estas condições de processo foram mantidas também na segunda fabricação. Na tabela 1.5 resumimos as variáveis de fluxos dos gases de todos os processos acima mencionados (oxidação, recozimento e difusão) assim como o ambiente utilizado para os mesmos, na execução dos processos deste trabalho.

1.4.2 DEPOSIÇÃO DE CAMADAS DE FILMES SIMULADAS E UTILIZADAS NO PROCESSO

A deposição de filmes na lâmina é feita para que o material depositado seja utilizado como máscara (nitreto) ou como material de porta (polisilício) ou como material isolante (óxido) ou como material condutor (metal: Alumínio). Estas são as aplicações das deposições que foram utilizadas na seqüência do processo *CMOS*. As deposições necessárias (material e espessura) e utilizadas para o processo *CMOS* foram empregadas na simulação do processo completo feito no programa Suprem. Para a deposição destes filmes que são de três tipos, foram empregados o processo ECR, processo LPCVD e evaporadora.

As deposições de nitreto e de polisilício da primeira fabricação foram feitas no LSI-USP, mas, atualmente temos também condições de efetuar estas deposições no LPD-IFGW e no CCS, ambos da Unicamp, e foram aplicadas na segunda fabricação dos dispositivos. As deposições necessárias do processo *CMOS* são: nitretos para a formação da ilha P e da região ativa; polisilício para a porta; óxidos para a isolação e a formação de vias de contatos: e o Al para as interconexões dos dispositivos. Para determinar as variáveis de processo de cada etapa foi realizado um desenvolvimento das deposições de nitreto e de polisilício [10] [11], efetuando-se uma série de deposições e caracterizações destes materiais, determinando desta forma as receitas para obtenção de filmes de boa qualidade, adequados para a nossa aplicação

Tabela 1.6. Etapas de Deposição da Primeira Fabricação

| Etapa de deposição | Material | espessura | Reator | reagentes/fonte |
|-----------------------------|----------|-----------|---------------------------|-------------------------|
| Deposição para ilha P | Nitreto | 120nm | LPCVD | dicloro Silano e amônia |
| Deposição para região ativa | Nitreto | 120nm | LPCVD | dicloro Silano e amônia |
| Deposição para porta | Poli Si | 500nm | LPCVD | Silano S_iH_4 |
| Deposição para isolar metal | Óxido Si | 800nm | ECR (PECVD) | $S_iH_4 + O_2$ |
| Deposição de metal | Titânio | 20nm | Evaporadora <i>e-beam</i> | Titânio |
| | Alumínio | 180nm | Evaporadora <i>e-beam</i> | Alumínio |

Tabela 1.7 Etapas de Deposição da Segunda Fabricação

| Etapa de deposição | Material | espessura | Reator | reagentes/fonte |
|-----------------------------|----------|-----------|---------------------------|----------------------|
| Deposição para ilha P | Nitreto | 120nm | ECR (PECVD) | $N_2 + A_r + S_iH_4$ |
| Deposição para região ativa | Nitreto | 120nm | ECR (PECVD) | $N_2 + A_r + S_iH_4$ |
| Deposição para porta | Poli Si | 500nm | LPCVD | Silano S_iH_4 |
| Deposição para isolar metal | Óxido Si | 800nm | ECR (PECVD) | $O_2 + A_r + S_iH_4$ |
| Deposição de metal | Titânio | 20nm | Evaporadora <i>e-beam</i> | Titânio |
| | Alumínio | 180nm | Evaporadora <i>e-beam</i> | Alumínio |

Nas tabelas 1.6 e 1.7 estão resumidos o material, o processo, a espessura desejada e os reagentes utilizados em cada uma das deposições da primeira e da segunda fabricação. O programa Suprem utilizado para a simulação das etapas do processo é uma versão acadêmica e este permite somente informar o material de deposição se nitreto, polisilício, óxido, etc., porém não possibilita obter nenhum dado referente ao processo em si, tais como os parâmetros de deposição.

Os parâmetros de processo utilizados para a deposição dos filmes de nitreto de silício, polisilício e de óxido da segunda fabricação estão apresentados na tabela 1.8.

Tabela 1.8 Parâmetros de Processo Empregados na Deposição de Si_3N_4 , si-poli e óxido de Si na segunda fabricação

| Material | Reator | reagentes | Pressão/Temp. | Pôt. RF/ μw | Taxa |
|-------------------|---------------------------|---|----------------|------------------|--------------------|
| Deposição Nitreto | ECR | 10sccm N_2 /20 sccm A_r /20sccm S_iH_4 | 10 mtorr/20°C | 5w / 1000w | 10nm/min |
| Deposição Poli Si | LPCVD | 40sccm S_iH_4 /4800 sccm H_2 | 5 torr/800°C | | 35nm/min |
| Deposição Óxido | ECR | 20sccm O_2 /20 sccm A_r /200sccm S_iH_4 | 5 mtorr/20°C | 5w/1000w | 0,8 μm /60min |
| Deposição Ti/Al | Evaporadora <i>e-beam</i> | | 10^{-8} Torr | | 0,8 A°/seg(Al) |

1.4.3 FOTOGRAVAÇÕES SIMULADAS E UTILIZADAS NO PROCESSO *CMOS*

Todas as fotografações do processo foram feitas com a técnica da fotografação com contacto ou aproximação máscara / lâmina e com exposição da luz UV na superfície do silício revestida com uma camada fotossensível chamada fotorresiste disponível no CCS. Para o nosso objetivo esta técnica, ainda está dentro da faixa de definição que precisamos, de modo que podemos fotografar as linhas de 2 μ m que precisamos no projeto. Embora a fotoalinhadora usada, marca Carl Suss MBJ3, comprimento de onda da luz UV 400nm-450nm, possibilite fazer fotografações até linhas de 1 μ m, no projeto foram introduzidas linhas de 1 μ m e de 0,5 μ m para avaliar e conhecer os limites de resolução da nossa fotoalinhadora. Mas, não constitui parte dos objetivos deste projeto os estudos de dispositivos com estas dimensões.

As etapas de fotografações necessárias e executadas no processo *CMOS* para definir a ilha P, a região ativa, o anel de guarda P⁺, os drenos e fontes dos transistores, as aberturas de contatos e de interconexões de metal Alumínio foram simulados usando o programa Suprem. Estas simulações são processadas de forma ideal ou seja, não leva em consideração tipo de fotorresiste utilizado, tipo de revelador, etc.. Para determinar as variáveis de processo de cada etapa de fotografação realizamos uma série de testes com superfícies de óxido Si, nitreto e polisilício e determinamos receitas para a sua execução que se encontram descritas no anexo A1.

1.4.4 CORROSÃO E REMOÇÃO DAS DIFERENTES CAMADAS DE FILMES UTILIZADAS

O termo corrosão é específico e refere-se só às áreas não protegidas da camada e o termo remoção é mais geral e pode referir-se à corrosão como também ao retiro total do material da camada na superfície da lâmina. Assim, após a fotografação o material das áreas não protegidas pelo fotorresiste são removidas por processo de corrosão. Todas as corrosões ou remoções do processo *CMOS* são feitas com o tipo seco, através de plasma RIE ou ECR disponível no LPD-IFGW –Unicamp. As etapas de formação da primeira ilha, da região ativa e do LOCOS foram feitas por corrosão seca de nitreto. Este nitreto é retirado após terminada a sua função como máscara, no primeiro caso para a implantação de íons e no caso do LOCOS para bloquear a oxidação das áreas ativas. A etapa de formação de porta foi feita por corrosão seca de Si poli. A formação de vias de contato foi feita pela corrosão seca de óxido depositado, onde este óxido tem a função de isolante e a abertura de contatos é feita sobre ela. A etapa de metal é feita pelo método chamado *lift off* utilizando uma máscara invertida do metal. Este Alumínio tem a função de fazer as interconexões dos dispositivos. Para simular todo o processo *CMOS* no programa Suprem utilizado, todas estas corrosões são consideradas informando apenas os dados de tipo de material e espessura, mas, não permite obter dados do processo de corrosão como seletividade, anisotropia, etc. Os dados do processo de corrosão seca foram obtidos fazendo o desenvolvimento do seu processo para cada tipo de material [8] [9] [12] [13] e as tabelas 1.11 e 1.12 indicam todas as etapas de corrosão e remoção com plasma do processo *CMOS*, o reator e tipo de plasma que foram utilizadas na primeira e na

segunda fabricação. A tabela 1.13 mostra as receitas de corrosão do nitreto, Si-poli e óxido, com suas variáveis de processo (fluxo de gases, pressão e potência RF) para obter as taxas de corrosão especificadas.

Tabela 1.11. Etapas de Corrosão e Remoção (Etch): primeira fabricação

| Etapa de Corrosão ou Remoção | Material | Reator | Plasma |
|------------------------------|----------|--------|--|
| Corrosão para ilha P | Nitreto | RIE | SF ₆ +CH ₄ +N ₂ |
| Remoção total | Nitreto | RIE | SF ₆ +CH ₄ +N ₂ |
| Corrosão para região ativa | Nitreto | RIE | SF ₆ +CH ₄ +N ₂ |
| Remoção total apos LOCOS | Nitreto | RIE | SF ₆ +CH ₄ +N ₂ |
| Corrosão para a porta | Poli Si | RIE | SF ₆ +CF ₄ +N ₂ |
| Corrosão para contatos | Óxido Si | RIE | CF ₄ +N ₂ |

Tabela 1.12. Etapas de Corrosão e Remoção (Etch): segunda fabricação

| Etapa de Corrosão ou Remoção | Material | Reator | Plasma |
|------------------------------|----------|--------|--|
| Corrosão para ilha N | Nitreto | RIE | SF ₆ +CF ₄ +N ₂ |
| Remoção total | Nitreto | RIE | SF ₆ +CF ₄ +N ₂ |
| Corrosão para região ativa | Nitreto | RIE | SF ₆ +CF ₄ +N ₂ |
| Remoção total apos LOCOS | Nitreto | RIE | SF ₆ +CF ₄ +N ₂ |
| Corrosão para a porta | Poli Si | RIE | SF ₆ +CF ₄ +CHF ₃ |
| Corrosão para contatos | Óxido Si | RIE | CF ₄ +N ₂ +Ar |

Tabela 1.13. As variáveis de processo de corrosão e Remoção (Etch)

| Material | Reator | Plasma | Pressão | Potência RF | Taxa |
|-------------------|--------|--|-----------|-------------|----------|
| Corrosão Nitreto | RIE | 5sccm SF ₆ / 20 sccm CF ₄ / 20 sccm N ₂ | 150 mtorr | 50w | 45nm/min |
| Remoção Nitreto | RIE | 5sccm SF ₆ / 20 sccm CF ₄ / 20 sccm N ₂ | 150 mtorr | 50w | 45nm/min |
| Corrosão Poli Si | RIE | 3sccm SF ₆ / 10 sccm CF ₄ / 10 sccm CHF ₃ | 80 mtorr | 50w | 50nm/min |
| Corrosão Óxido Si | RIE | 13sccm CF ₄ / 6sccm N ₂ / 5 sccm A _r | 40 mtorr | 75w | 30nm/min |

1.4.5 IMPLANTAÇÃO IÔNICA

As etapas de dopagem da ilha P, da ilha N, do anel de guarda P⁺, dos drenos e fontes dos transistores e das regiões dos outros dispositivos foram feitas por implantação iônica. Esta técnica tem as vantagens de maior controle e precisão dos parâmetros de energia e dose da espécie química dos íons implantados, do perfil da concentração, do ajuste da tensão de limiar V_T para obter com boa precisão a profundidade de difusão. Para determinar as variáveis de processo de cada etapa com implantação iônica realizamos uma série de simulações com o

Suprem e estes resultados estão apresentados na tabela 1.14 e 1.15 para a primeira e segunda fabricação, respectivamente.

Tabela 1.14. Implantação Iônica - Primeira Fabricação

| Etapa de Processo | Especie | Energia (keV) | Dose (cm ⁻²) |
|---------------------------------------|---------|---------------|--------------------------|
| Implantação da ilha P | Boro | 100 | 2,5x10 ¹² |
| Implantação da ilha N | Fósforo | 100 | 1,7x10 ¹² |
| Implantação do anel P ⁺ | Boro | 100 | 1x10 ¹³ |
| Implantação para ajuste de VT | Boro | 30 | 1.5x10 ¹² |
| Implantação N ⁺ do poli Si | Fósforo | 30 | 1x10 ¹⁶ |
| Implantação P ⁺ S/D | Boro | 20 | 3x10 ¹⁵ |
| Implantação N ⁺ S/D | Fósforo | 30 | 2x10 ¹⁵ |
| | Arsênio | 50 | 7,5x10 ¹⁵ |

Para a segunda fabricação, o processo *CMOS* foi re-projetado para iniciar o processo com a ilha N e com maior profundidade (4,5µm), prosseguindo depois com a formação da ilha P com menor profundidade que a primeira fabricação. Com essa modificação podemos obter transistores menos sensíveis aos efeitos da tensão de ruptura. As novas variáveis do processo para fazer esta mudança foram realizadas com o auxílio do Suprem e os resultados são mostrados na tabela 1.15. A estratégia foi mudar somente as variáveis de implantação das ilhas mantendo a mesma condição de difusão feito no forno deixando os mesmos valores de concentração somente na superfície das ilhas, mas com maior profundidade na ilha N e menor profundidade na ilha P, sendo mais apropriado quando se usa lâmina p/p⁺.

Tabela 1.15. Implantação Iônica - Segunda Fabricação

| Etapa de Processo | Especie | Energia (keV) | Dose (cm ⁻²) |
|------------------------------------|---------|---------------|--------------------------|
| Implantação da ilha N | Fósforo | 100 | 4x10 ¹² |
| Implantação da ilha P | Boro | 50 | 6x10 ¹² |
| Implantação do anel P ⁺ | Boro | 100 | 1x10 ¹³ |
| Implantação para ajuste de VT | Boro | 30 | 1.5x10 ¹² |
| Implantação P ⁺ S/D | Boro | 20 | 3x10 ¹⁵ |
| Implantação N ⁺ S/D | Fósforo | 30 | 2x10 ¹⁵ |
| | Arsênio | 50 | 7,5x10 ¹⁵ |

1.5 ORGANIZAÇÃO DA TESE

A descrição desta tese foi organizada em seis capítulos, sendo este o **Capítulo 1 - Introdução**, onde apresentamos a motivação do trabalho e os objetivos, os conceitos básicos da tecnologia *CMOS* incluindo suas vantagens e alguns aspectos básicos dos transistores, além da apresentação do processo básico *CMOS* com porta de polisilício em substrato P. Este capítulo também apresenta o desenvolvimento *CMOS* 2 μ m, os objetivos e metas da tecnologia, a estratégia de desenvolvimento, a infraestrutura, os materiais e métodos, as principais etapas de processo e a determinação das variáveis de processo.

No **Capítulo 2** apresentamos o estudo da integração do processo *CMOS*, as simulações de processo *CMOS*, o *chip* teste, o *chip* com células APS e as máscaras.

No **Capítulo 3** apresentamos a parte experimental e os resultados das principais medidas feitas durante o desenvolvimento das diversas etapas de fabricação dos dispositivos para a caracterização do processo *CMOS* e também os resultados das medidas elétricas efetuadas após o término do processo *CMOS*, para verificar os parâmetros de processo da tecnologia de 2 μ m e extrair os parâmetros elétricos do CMOS. Neste capítulo apresentamos também a comparação dos resultados das simulações dos processos feitas em programa Suprem com os resultados experimentais.

No **Capítulo 4**, apresentamos o projeto de um conjunto de *chips* didáticos, os quais foram elaborados tendo como base os resultados obtidos na fabricação do *chip* teste. Juntamente com o projeto, estes *chips* estão apresentados com os seus respectivos *layouts* e uma guia das medidas possíveis de se fazer com os dispositivos que oferecem estes *chips*, visando utilização em laboratórios de eletrônica digital e em eletrônica analógica, seguidas de análises destas medidas com extração de parâmetros e uma descrição dos métodos utilizados para esta extração de parâmetros.

No **Capítulo 5**, são apresentadas as comparações dos resultados obtidos experimentalmente com os resultados de simulações Pscs e suas discussões. Além disso, fazemos neste capítulo uma comparação dos resultados do nosso processo com outro de origem internacional, no caso, com o processo recentemente desenvolvido (ano 2000) na Universidade de Califórnia - Berkeley.

Finalmente, no **Capítulo 6** apresentamos as conclusões dos resultados obtidos e das metas deste trabalho. Nos **anexos** desta tese, a fim de facilitar aqueles interessados no assunto, apresentamos os detalhes do processo tais como as receitas do processo, algoritmos da simulação Suprem, o *layout* do circuito integrado com a numeração dos terminais, os métodos de medidas das etapas e dos parâmetros do processo e os respectivos equipamentos utilizados.

CAPÍTULO 2 - ESTUDO DO PROCESSO *CMOS*, DO *CHIP* TESTE E DO *CHIP* APS

2.1 INTRODUÇÃO

Este capítulo descreve de forma detalhada a fabricação de dispositivos com nosso processo *CMOS* que consiste conforme ilustrado na figura 2.1, de ilha dupla em substrato P. Descrevemos todas as etapas envolvidas no processo de fabricação do *CMOS*, desde a especificação da lâmina à fabricação completa do dispositivo. Esta descrição é feita de forma seqüencial de cada etapa do processo. Definidas as etapas de processo, estas foram simuladas usando o programa Suprem [16], de todo o processo de fabricação do *CMOS*, a fim de determinar as variáveis de cada etapa do processo e os principais parâmetros do processo *CMOS*. De posse das informações do programa Suprem foi utilizado o programa Pisces [17] para obter a caracterização elétrica dos dispositivos. Apresentamos neste capítulo os resultados e discussões destas simulações feitas por Suprem e Pisces. Apresentamos também neste capítulo a descrição do chip teste feito utilizando o processo *CMOS* descrito, fabricado com os diversos dispositivos projetados visando facilidades de medidas e extração de parâmetros para a sua caracterização final ou do processo *CMOS*, usando a tecnologia de 2 μ m. Além disso, neste capítulo apresentamos a descrição das células APS que foram projetadas para a primeira e segunda fabricação do *CMOS*. Finalmente apresentamos as descrições das máscaras com suas especificações, visando sua fabricação a partir de *layouts* feitos com a ferramenta Microwind [22]. Descrevemos também o conjunto de máscaras que foram projetadas para serem utilizadas nas fotograções conforme a seqüência do processo *CMOS* da primeira e da segunda fabricação.

2.2 INTEGRAÇÃO DE PROCESSO *CMOS* PROJETADO

Para a descrição das etapas de processo *CMOS* e sua seqüência de fabricação será utilizado o circuito básico do *CMOS*, o circuito inversor que consiste de uma simples conexão em série de um transistor canal N com outro de canal P. A figura 2.1 mostra a secção transversal da estrutura do dispositivo fabricado.

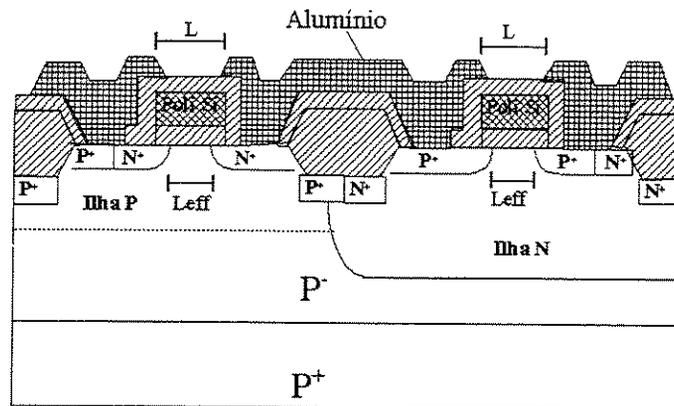


Figura 2.1 - Estrutura do Inversor CMOS

Pode-se observar desta estrutura que temos para o processo CMOS do nosso trabalho o seguinte: um nível de Si-poli; um nível de metal, o substrato do tipo epitaxial, o óxido depositado para a isolamento entre o metal e os dispositivos; dopagem de campo P⁺ e outra de campo N⁺ sob o LOCOS. Este LOCOS é uma camada de óxido térmico bastante espessa para isolar os dispositivos, o metal utilizado é o Alumínio e as profundidades das ilhas correspondem as especificações da nossa segunda fabricação.

O uso do substrato do tipo epitaxial na qual temos uma resistência de substrato de valor mínimo (camada altamente dopada p⁺) tem a vantagem de eliminar ou reduzir os riscos do efeito tiristor (*latch-up*) [14]. A profundidade da ilha deve ser suficiente para reduzir o efeito tiristor e o efeito de perfuramento (*punchthrough*) da estrutura de transistor bipolar vertical parasitário, formado por região de fonte/dreno –ilha – substrato. Sendo que pode ocorrer perfuramento quando há o encontro das regiões de depleção da junção fonte/dreno-ilha e da junção ilha-substrato não. No caso geral, numa junção plana a espessura da região de depleção aumenta com tensão negativa e o valor da capacitância neste caso diminui.

A formação de ilha dupla é uma estrutura típica utilizada no processo de fabricação CMOS [7] [14]. Isto porque a ilha P pode ser formada com melhor controle que quando temos substrato totalmente dopado, além de ser mais fácil iniciar o processo a partir de um substrato levemente dopado fazendo-se posteriormente as ilhas. A razão disso, reside no fato das concentrações das ilhas P e N estarem na mesma ordem de grandeza. Na primeira fabricação a ilha N foi formada com a profundidade de junção 1,4μm e a ilha P com 4,5μm. Na segunda fabricação a ilha N foi formada com profundidade de junção 4,5μm e a ilha P com 1,4μm.

Embora os resultados experimentais dos dispositivos da primeira fabricação tenham sido satisfatórios, fizemos as correções de profundidade de ilha na segunda fabricação no intuito de diminuir a capacitância de junção D/S do transistor NMOS ao fazer a ilha P com uma profundidade mais rasa (1,4μm) assim o transistor NMOS aumenta sua velocidade.

Fizemos a ilha N mais profunda (4,5 μm) para melhorar a supressão da perfuração do transistor PMOS.

Este processo *CMOS* 2 μm é apropriado para células APS porque a dopagem do substrato é menor que $1 \times 10^{17} \text{ cm}^{-3}$ e a tensão de limiar V_T é 0,8V. Assim as tecnologias com menor comprimento de porta ($L < 2\mu\text{m}$), que precisam de maior dopagem de substrato para minimizar os efeitos de canal curto: (a) tem a desvantagem de reduzir o volume efetivo da coleção de fotocarga dos fotodiodos. (b) A maior dopagem do substrato também faz aumentar a tensão de limiar ($V_T > 0,8\text{V}$) e isto tem a desvantagem de reduzir a faixa de varredura do sinal de saída da célula APS. As tecnologias com menor comprimento de porta ($L < 2\mu\text{m}$) utilizam menor profundidade de junção fonte/dreno para determinar a influência da região de depleção nas características dos transistores. A ilha N e a ilha P tem as respectivas profundidades na ordem de algumas vezes a profundidade de junção fonte/dreno, logo as ilhas também precisam ter menor profundidade nestas tecnologias. Menor profundidade de junção fonte/dreno e de ilha, (c) também tem a desvantagem de reduzir o volume efetivo da coleção de fotocarga dos fotodiodos ou seja reduzir a eficiência quântica.

Este processo *CMOS* 2 μm é apropriado para células APS porque não utiliza silicetos. Embora as camadas de silicetos sejam adequadas e necessárias para reduzir a resistência de folha das regiões fonte/dreno e amplamente utilizadas nas tecnologias atuais, isto é uma desvantagem para as células APS porque estas camadas de silicetos são relativamente opacas para a exposição de luz visível.

2.2.1 PLANEJAMENTO DA SEQÜÊNCIA DE ETAPAS DO PROCESSO *CMOS*.

O *CMOS* contém os dois tipos de transistores numa mesma lâmina, logo a sua fabricação integra as duas seqüências de etapas de processo dos transistores descritos no item 1.2.2. Assim, na seqüência de etapas do processo *CMOS* é feito primeiramente a formação de ilhas isoladas sobre o substrato P de baixa concentração de impurezas ($\leq 1 \times 10^{15} \text{ cm}^{-3}$) com etapas de implantação e difusão para cada ilha. Na seqüência de etapas de processo a formação da área ativa, o crescimento do óxido de porta e a formação da porta de Si poli, são feitas simultaneamente para os dois tipos de transistores. A diferença surge nas etapas de formação de fonte/dreno que são feitas separadamente para cada tipo de transistor. Para formar o anel de guarda P^+ é feita uma implantação P^+ de campo na ilha P após a definição da área ativa. Depois do crescimento do óxido de campo (LOCOS) é feita uma etapa de implantação de Boro para ajuste de V_T nas áreas ativas de ambos transistores.

2.2.2 FLUXOGRAMAS DE ETAPAS DO PROCESSO *CMOS*

A fabricação do *CMOS* envolve inúmeras etapas de processos e estas podem ser melhor visualizadas compreendendo a formação de suas estruturas. A figura 2.2 ilustra um fluxograma

de formação das estruturas ou seqüência de etapas de todo o processo *CMOS*. A figura 2.2(a) corresponde ao fluxograma da nossa primeira fabricação e a figura 2.2(b) da segunda fabricação. Esta figura possibilita observar com melhor clareza as diferentes etapas envolvidas no processo completo de fabricação do *CMOS*, como as etapas para a formação das ilhas, definição da região ativa, do anel de guarda P^+ , da região ativa, da porta de poli Si, dos drenos, dos contatos e das interconexões de metal. O processo *CMOS* da primeira fabricação se inicia com a formação de ilha P e a segunda fabricação com a formação da ilha N. A única diferença entre elas em termos de etapas de processos, consiste no tipo de ilhas formadas inicialmente, se P ou N. O processo *CMOS* da primeira fabricação encontra-se descrita em [15], assim, apresentaremos nesta tese uma descrição detalhada da seqüência de etapas do processo *CMOS* da segunda fabricação (item 2.2.3), seguindo o fluxograma da figura 2.2.b.

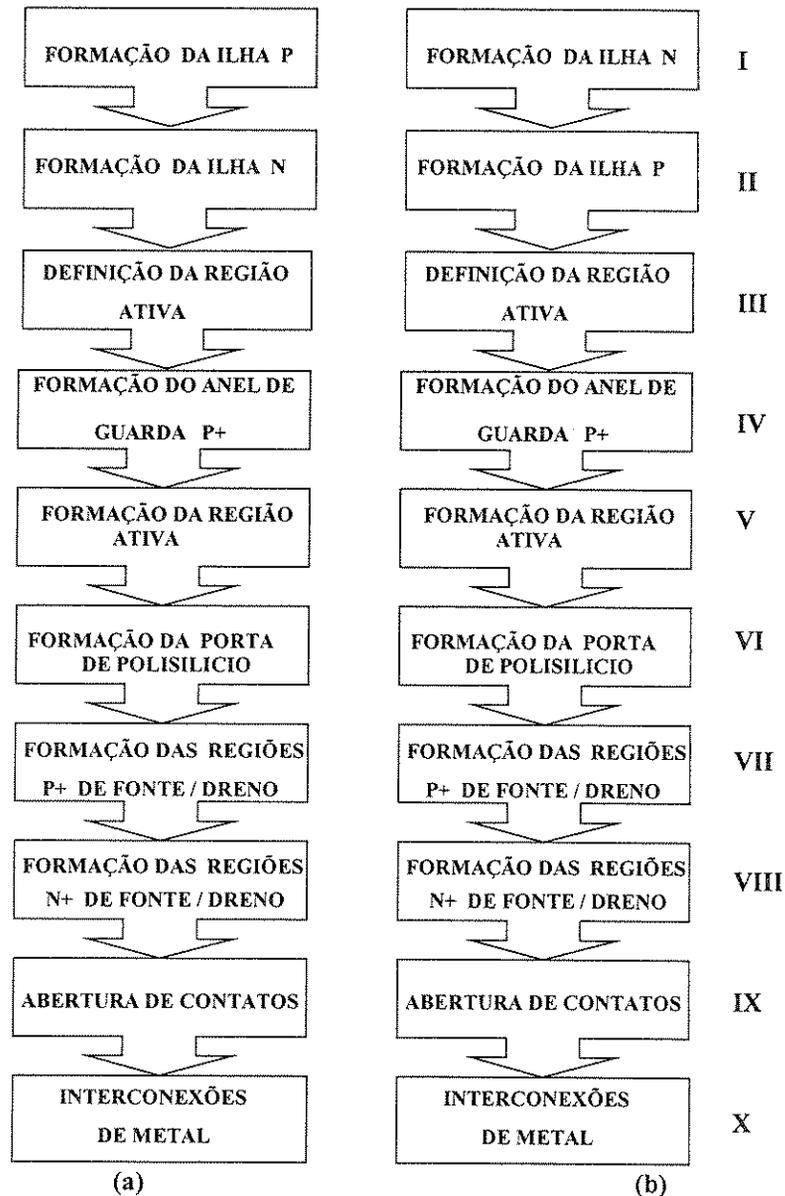


Figura 2.2 - Fluxogramas da Sequência de Etapas do Processo *CMOS*: a) Iniciando com ilha P e b) Iniciando com ilha N

2.2.3 SEQUÊNCIA DE ETAPAS DE PROCESSO *CMOS*

Apresentamos neste item a seqüência de etapas de processo *CMOS* da segunda fabricação, de forma detalhada, seguindo o fluxograma da figura 2.2b apresentado no item anterior. Este item tem como propósito descrever o processo *CMOS* completo e auxiliar na visualização de como chegar ao produto final *CMOS*. A seqüência de etapas do processo

CMOS aqui descritos, encontra-se também na página web do CCS, <http://www.ccs.unicamp.br/> ou <http://wtprocess.ccs.unicamp.br>, em forma interativa. A parte gráfica e a apresentação interativa do web são partes integrantes do trabalho de mestrado em desenvolvimento pelo aluno Turatti. Para a descrição das etapas do processo utilizamos a seguinte tabela de legenda de cores indicando o tipo de material ou camada:

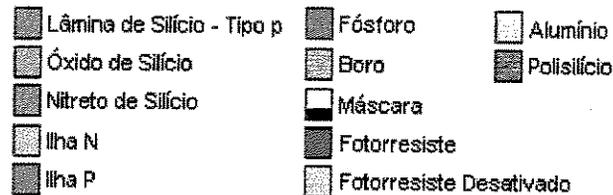


Figura 2.3 - Legenda de Cores dos Materiais Utilizados no Processo

01. Especificação da lâmina

Para iniciar o processo de fabricação temos que selecionar primeiramente a lâmina a ser utilizada com as especificações adequadas para o dispositivo a ser fabricado. Estas especificações são o tipo de substrato (N ou P), resistividade, orientação do cristal, tamanho da lâmina, nível de impureza (concentração) e outras como o tipo de camada nas costas da lâmina, lâmina simples ou epitaxial. Através de observações e medidas específicas podemos certificar o tipo de substrato, a resistividade, o tamanho da lâmina, bem como identificar a orientação do cristal. A figura 2.4 ilustra os tipos de lâminas de Si e a forma empregada para a identificação das orientações cristalinas. Para a execução do processo CMOS usamos substratos do tipo P epitaxial de orientação (100) (figura 2.4a), cuja secção transversal pode ser vista na figura 2.4b sendo nosso fornecedor a Reaction Technology Inc. A resistividade da camada epitaxial da lâmina utilizada é de 18-22 Ωcm , que corresponde a concentração de $1 \times 10^{15} \text{ cm}^{-3}$, dopante Boro, tipo P e espessura 10 μm , e a resistividade do substrato é de 8-20 $\text{m}\Omega\text{cm}$, dopante Boro, tipo P, espessura 500 μm e diâmetro 100 mm (4"). As lâminas foram crivadas em quadrantes porque nosso processo esta preparado so para lâminas de 2". Todo o processo CMOS foi realizado em sala limpa, sendo que o CCS possui 120 m^2 em salas limpas, sendo 25 m^2 em salas de classe de limpeza 100, 50 m^2 em salas de classe 1000 e 45 m^2 em salas de classe 10000, onde estão instalados o implantador de ions e foto-alinhadoras.

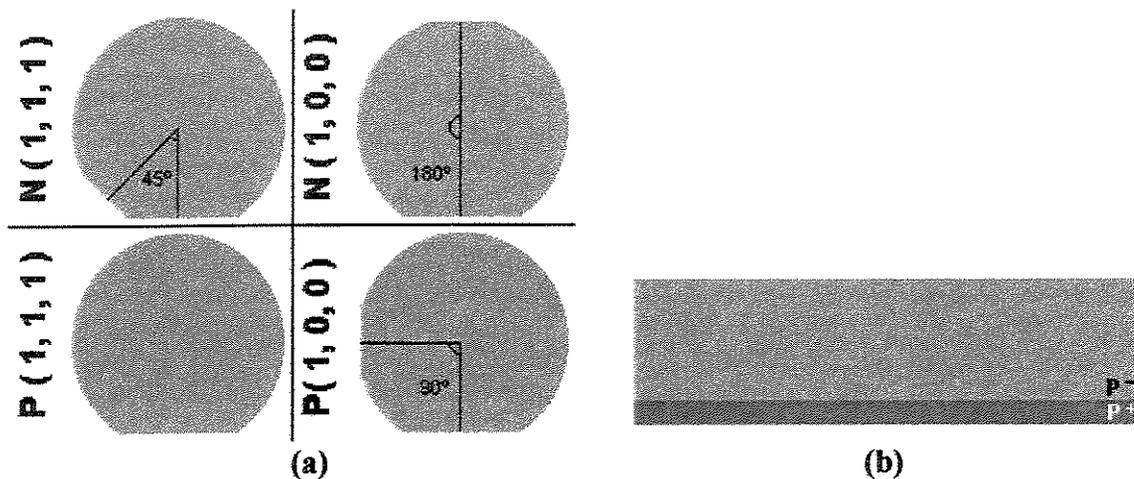


Figura 2.4 - Tipo e Orientação das Lâminas - (a) vista de topo e (b) secção transversal de uma lâmina tipo P com camada epitaxial

02. Limpeza padrão RCA estendida

A limpeza padrão RCA estendida é uma limpeza que será aplicada várias vezes durante o processo *CMOS* completo seguindo a receita estabelecida e utilizada no CCS com o procedimento e tempos indicados no anexo A3. Esta limpeza é um processo de banhos químicos para remover impurezas da superfície do substrato. A figura 2.5 mostra as quatro (4) etapas de soluções químicas diferentes que constituem esta limpeza padrão RCA estendida. O processo padrão de limpeza RCA estendida consiste na seguinte seqüência:

01. Solução de H_2SO_4/H_2O_2 , 4:1 a $80^\circ C$: esta solução tem o nome usual de "piranha" e é utilizada para remover principalmente materiais orgânicos (como a gordura) presentes na superfície das lâminas de silício;
02. Solução de HF/H_2O , 1:10: esta limpeza é para a remoção de SiO_2 nativo da superfície do silício;
03. Solução de $NH_4OH/H_2O_2/H_2O$, 1:1:5, a $70^\circ C$: esta solução serve também para remover os materiais orgânicos e alguns metais que possam estar na superfície da lâmina;
04. Solução de $HCl/H_2O_2/H_2O$, 1:1: 5, a $70^\circ C$: esta solução é usada especificamente para a remoção de metais na superfície do silício.

Entre uma solução e outra, as lâminas são submetidas a um enxágüe com água DI (deionizada) $18 M\Omega cm$ e a sua secagem efetuada com o jato de Nitrogênio. O trabalho de limpeza foi realizado numa capela química e a manipulação das lâminas feitas com pinças de teflon.

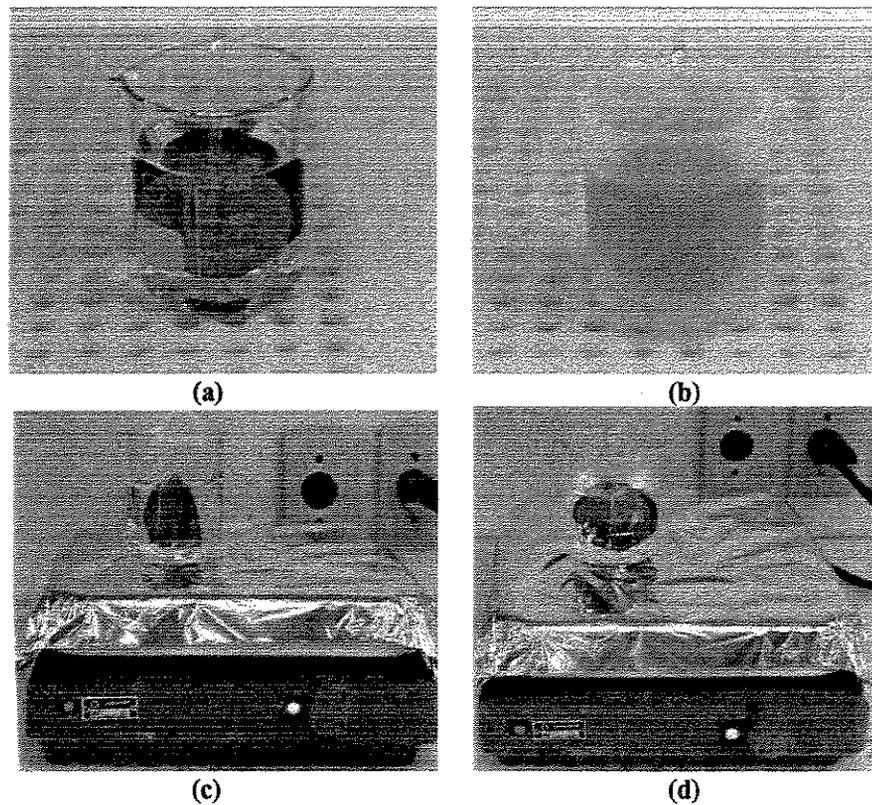


Figura 2.5 - Limpeza padrão RCA estendida: (a) solução 1; (b) solução 2; (c) solução 3; (d) solução 4

I) – ETAPAS DE FORMAÇÃO DA ILHA N

03. Oxidação térmica seca

A formação da ilha N no substrato P é iniciada com uma oxidação térmica seca. Uma camada fina de óxido (40nm) é crescida na superfície da lâmina (figura 2.6) num forno convencional em um ambiente de TCE mais oxigênio a altas temperaturas (1000°C).

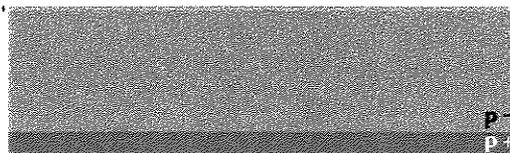


Figura 2.6 - Camada fina de óxido crescido termicamente (40nm)

04. Deposição de nitreto de silício [10]

Uma camada fina (120nm) de nitreto de silício é depositada acima do óxido crescido no item anterior (figura 2.7). Este nitreto tem como função servir de máscara durante a etapa de implantação de íons para a formação da ilha N. A deposição é feita por plasma ECR utilizando a reação química de N_2 , Ar e Si_3H_4 . Como os nitretos depositados por CVD são normalmente altamente tensionados e podem causar problemas de trincamento durante os processos de recozimentos térmicos, foram previamente estudadas diversas deposições para a obtenção de nitretos com índices de refração próximos de 1,90, para contornar os problemas associados a esse estresse. O índice de refração da camada de nitreto usado no processo CMOS foi de 1,87. Ainda com relação ao problema desse estresse, a camada de óxido de Si sob o nitreto também auxilia no seu alívio, pois, o óxido térmico apresenta-se na forma compressiva, logo selecionando adequadamente a sua espessura este compensa parcialmente o outro, reduzindo o estresse no substrato.

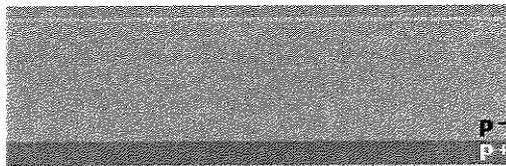


Figura 2.7 - Camada fina de nitreto depositado (120nm)

05. Fotogravação para formação da ilha N

Esta fotogravação é para a definição da região onde será formada a ilha N e ela foi efetuada usando o fotorresiste AZ5214, cuja receita se encontra descrita no Anexo A.1. O processo de fotogravação consiste em depositar inicialmente uma camada de fotorresiste: Esta camada de fotorresiste é facilmente espalhada sobre a lâmina porque o fotorresiste é um líquido e a espessura da camada a ser formada é determinada pela velocidade do *spinner* e pela viscosidade do fotorresiste usado. A espessura do fotorresiste utilizada é da ordem de 1 μ m. Prosseguindo o processo é feito um aquecimento *pré-bake* a uma temperatura da ordem de 100 °C para retirar o solvente da camada de fotorresiste, fazendo a sua evaporação. Após feito isso, o fotorresiste é exposto a uma luz ultra violeta (UV) através de uma máscara que contém os padrões desejados. Neste caso, o padrão corresponde as áreas da ilha N (figura 2.8). A revelação da região exposta à luz UV ($\lambda = 400$ nm) foi feita usando o revelador MIF312 e para finalizar o processo um aquecimento *pós-bake* a 118°C para efetuar a cura do fotorresiste da região não removida. Esta etapa de fotogravação é relativamente simples de ser feita pois não necessita de alinhamento com outros níveis de processos. No Anexo A.1 apresentamos as receitas de fotogravação para diferentes tipos de fotorresistes comerciais disponíveis no CCS. Para este processo de fotogravação que requer fotorresistes que suportem a corrosão por plasma, embora tenhamos utilizado o fotorresiste AZ5214, dispomos também dos fotorresiste AZ5206 e fotorresiste AZ3312.

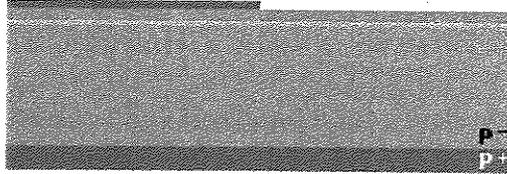


Figura 2.8 - Camada de fotorresiste fotogravada para a ilha N

06. Corrosão de nitreto de silício por RIE

Após a definição da ilha N feita na fotogração é realizada uma corrosão seca com plasma RIE utilizando gases para obter átomos de Flúor (F) no plasma. Este processo remove o nitreto da região onde será formada a ilha N (figura 2.9) e assim, na próxima etapa, nesta região pode ser implantada com fósforo. O processo desenvolvido e utilizado no CCS [8] [12] usa a combinação de gases SF₆, CF₄ e gás Nitrogênio.

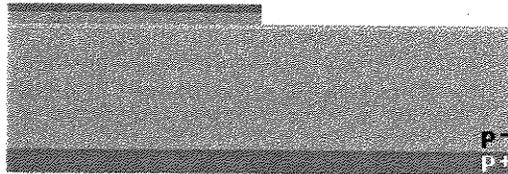


Figura 2.9 - Abertura das regiões de ilha N após a corrosão do nitreto

07. Implantação Iônica de Fósforo

Após a abertura das regiões da ilha N faz-se a implantação iônica de Fósforo através do óxido fino de 40nm. São implantados íons de Fósforo, para a formação de regiões N após o recozimento que será efetuado posteriormente.

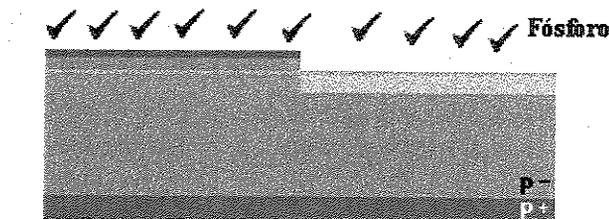


Figura 2.10 - Regiões de ilha N implantadas com Fósforo

O óxido fino de 40nm pode ter sido corroído um pouco no processo de corrosão feita na etapa anterior, mesmo assim é importante deixar esta camada de óxido para realizar a implantação com o mínimo de danos na superfície da lâmina. A energia de implantação do Fósforo deve ser selecionada para penetrar o óxido fino e atingir o silício, mas esta implantação é bloqueada onde tiver o fotorresiste e o nitreto (figura 2.10).

Para esta ilha N, assim como para a ilha P, as doses foram selecionadas para obter uma concentração superficial próximo de $1 \times 10^{16} \text{ cm}^{-3}$ após feita a difusão. Logo, estas doses são $4 \times 10^{12} \text{ cm}^{-2}$ para Fósforo e $6 \times 10^{11} \text{ cm}^{-2}$ para Boro e que foram determinadas por simulação Suprem. A implantação iônica foi feita com ângulo de 7° para evitar a canalização de íons com o implantador GA-4204 EATON.

08. Remoção do fotorresiste

Uma vez implantado o Fósforo, o fotorresiste é removido (figura 2.11) e a lâmina introduzida no forno para realizar a etapa de recozimento. A remoção do fotorresiste é realizada quimicamente com acetona. Esta remoção pode ser feita também por plasma de O_2 , mas foi escolhida a opção química para todas as etapas de remoções de fotorresiste.

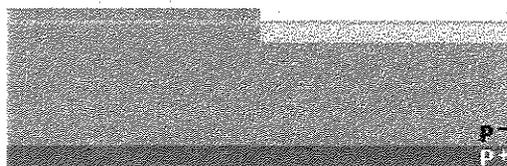


Figura 2.11 - Lâmina com o fotorresiste removido

09. Recozimento do Fósforo implantado

O seguinte passo é o recozimento para a ativação do dopante Fósforo implantado na região de ilha N, realizado num forno convencional em ambiente de N_2 a temperatura de 1000°C durante 20 minutos, após 5 minutos de estabilização térmica.

10. Oxidação térmica úmida

Após realizado o recozimento para a ativação do dopante Fósforo é feita uma oxidação úmida de 380nm (figura 2.12), cuja função desta camada é a de mascarar a implantação da ilha P. A camada de nitreto deixada na região que será formada a ilha P, inibe a oxidação desta região, logo a oxidação úmida somente crescerá na região N. A oxidação úmida é realizada num forno convencional expondo-se as lâminas ao ambiente de gás O_2 durante 5 minutos, seguidas de gás O_2 e vapor de água durante 45 minutos, sob alta temperatura de 1000°C . O óxido espesso é crescido normalmente com oxidação úmida por causa da maior taxa de crescimento de óxido em relação a oxidação seca.

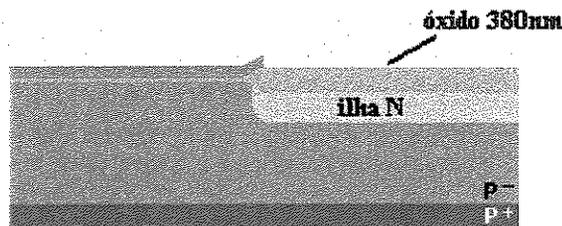


Figura 2.12 - Lâmina após o recozimento com o óxido espesso crescido (380nm)

11. Difusão do Fósforo

A difusão do Fósforo implantado para a formação de uma junção profunda, da ordem de algumas micra, é realizada nesta etapa, em seqüência ao recozimento e a oxidação térmica (etapas 9 e 10), sem retirar a lâmina do forno. Esta etapa de difusão foi realizado em ambiente de N_2 a temperatura de $1150^\circ C$ durante 8 horas. No caso desta segunda fabricação a profundidade de junção desejada é de $4,5\mu m$. Com esta etapa finalizamos a formação da ilha N no substrato P.

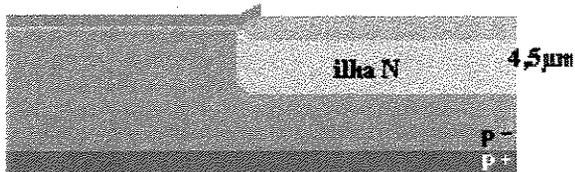


Figura 2.13 - Lâmina com a ilha N no substrato P formada com profundidade $4,5\mu m$

II - FORMAÇÃO DA ILHA P

12. Remoção total do nitreto de silício por RIE

Para iniciar a formação da ilha P, primeiramente deve ser efetuada a remoção total do nitreto de silício, pois terminou a sua função como máscara das regiões da ilha P dos processos realizados na formação das ilhas N. Esta remoção é realizada por corrosão por plasma RIE usando gás SF_6 e gás CF_4 (figura 2.14). Após este processo de corrosão, a espessura do óxido de Si deve ser medido para verificar se este não foi alterado demasiadamente com a corrosão, visto que a seletividade do plasma não é perfeita sendo próximo de 2 [8] e este óxido servirá como máscara para a implantação de Boro, efetuada na etapa a seguir. Em seqüência à corrosão, as lâminas foram submetidas a uma limpeza RCA e a um *dip* em *buffer* de HF (1:10) por 2 segundos e depois em ácido fosfórico a $100^\circ C$ por 15 minutos, para a remoção química dos restos de nitreto:

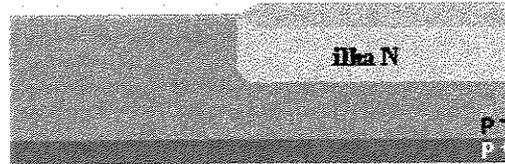


Figura 2.14 - Lâmina após a remoção total do nitreto

13. Implantação Iônica de Boro.

Após removido o nitreto das regiões da ilha P-, a formação da ilha P no substrato P é propriamente iniciada fazendo-se a implantação iônica de Boro (dose de $6 \times 10^{11} \text{ cm}^{-2}$ e energia de 50 keV) através do óxido fino de 40nm ou próximo deste valor, devido a possibilidade do mesmo ter afinado mas que não é crítico para a implantação (figura 2.15). A região P é formada após o recozimento realizado na próxima etapa térmica. O óxido espesso crescido e deixado sobre a região da ilha N, tem a função de mascarar o Boro evitando-se utilizar uma máscara específica para esta função, resultando em processo auto-alinhado das ilhas P e N.

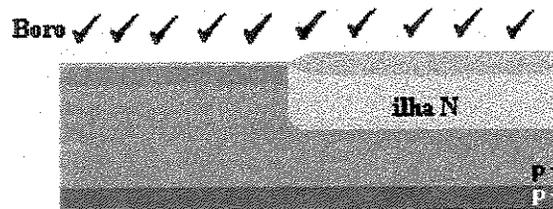


Figura 2.15 - Lâmina implantada com Boro

14. Remoção total do óxido de silício

Para efetuar as três etapas térmicas que seguem, recozimento do Boro implantado, oxidação térmica seca e difusão do Boro, a camada de óxido Si de 380 nm deve ser totalmente removida da lâmina (figura 2.16). Esta remoção foi feita usando o *buffer* de HF (1:10) durante 4 minutos. Assim a lâmina fica pronta para ser introduzida no forno para a realização das três etapas térmicas.

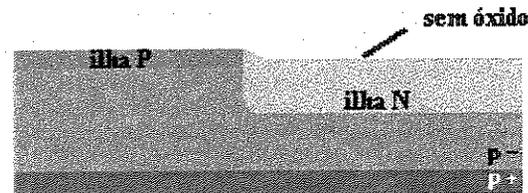


Figura 2.16 - Lâmina sem óxido Si na superfície

15. Recozimento do Boro implantado

O recozimento para a ativação do Boro implantado na região de ilha P foi realizado num forno convencional em ambiente de N_2 a temperatura de $1000^\circ C$, durante 20 minutos (figura 2.17).

16. Oxidação térmica seca

A seguir foi crescida uma fina camada de óxido Si (40nm) por oxidação térmica seca (figura 2.17). Esta camada de óxido tem a função de uma almofada para a etapa de deposição de nitreto.

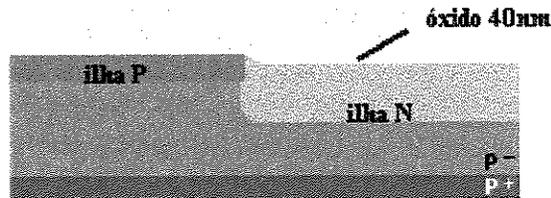


Figura 2.17 - Lâmina com o Boro recozido e com uma fina camada de óxido na superfície

17. Difusão do Boro

A difusão do Boro para uma região profunda de algumas micras foi realizada em etapa subsequente após o recozimento e a oxidação, sem a retirada da lâmina do forno. A difusão do Boro foi feita até uma profundidade de junção selecionada de $1,4\mu m$ (caso desta segunda fabricação). Com esta etapa finalizamos a formação da ilha P no substrato P.

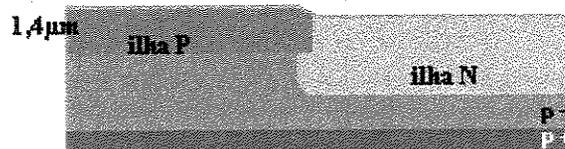


Figura 2.18 - Lâmina com a ilha P no substrato P formada com profundidade $1,4\mu m$

III – DEFINIÇÃO DA REGIÃO ATIVA

18. Deposição de nitreto de silício

Uma camada fina (120nm) de nitreto de silício é depositada sobre o óxido anteriormente crescido (figura 2.19). O óxido tem a função de aliviar o *stress* do substrato e o nitreto de mascarar a região ativa, a qual será definida na próxima etapa de fotogração. A deposição do nitreto foi feito por ECR-CVD a partir da combinação de gases SiH_4 , Ar e N_2 .

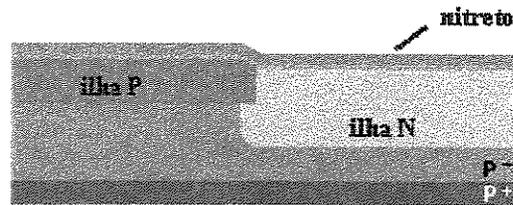


Figura 2.19 - Camada fina de nitreto depositado (120nm)

19. Fotogravação da região ativa

Esta etapa de fotogravação consiste na definição das áreas onde serão formadas as regiões ativas (figura 2.20). Seguindo o processo de fotogravação depositamos inicialmente uma camada de fotorresiste AZ5214 com a velocidade do *spinner* de 6000 rpm, obtendo a espessura aproximada de 1,4 μm para esta velocidade. Continuando o processo conforme a receita (Anexo A.1) para este fotorresiste, foi feito um *pré-bake* de 118 °C/ 2 minutos para retirar o solvente da camada de fotorresiste e após, o fotorresiste exposto durante 10 segundos a luz UV através de uma máscara contendo o padrão desejado. Neste caso a geometria corresponde as áreas da região ativa. O fotorresiste exposto ao UV através da máscara foi revelado com o revelador MIF312 e para finalizar o processo feito um *pós-bake* de 118 °C/1 minuto.

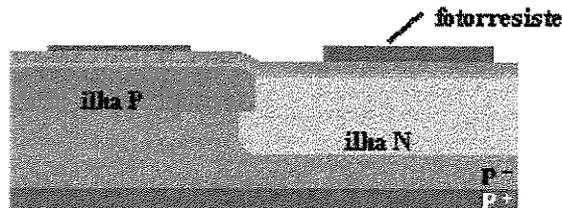


Figura 2.20 - Fotogravação de regiões ativas

20. Corrosão do nitreto de silício por RIE

A corrosão do nitreto de silício das áreas livres de fotorresiste foi feita por RIE usando a mistura de gases SF₆, CF₄ e N₂ (figura 2.21). Estas áreas são chamadas de região de campo e serão dopadas antes do crescimento do óxido LOCOS. A dopagem desta região de campo da ilha P é feita com Boro, sendo por isso chamado de anel de guarda, pois ele contorna todos os transistores na ilha P. Logo será necessário definir este anel o que foi feito na etapa de fotogravação seguinte

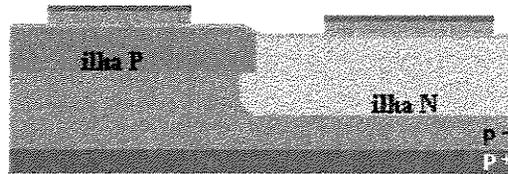


Figura 2.21 - Abertura das regiões de campo após a corrosão do nitreto

IV – FORMAÇÃO DO ANEL DE GUARDA P⁺ E REGIÕES DE CAMPO

21. Desativação do fotorresiste por RIE

Esta etapa é uma preparação para a formação do anel de guarda P⁺. A desativação do fotorresiste é necessária para evitar que ele seja removida durante a revelação da fotogração do anel de guarda. Assim a região ativa fica mais protegida quando for feita a implantação de Boro (figura 2.22). Com esta etapa de processo iniciamos o método chamado de dupla camada de fotorresiste.

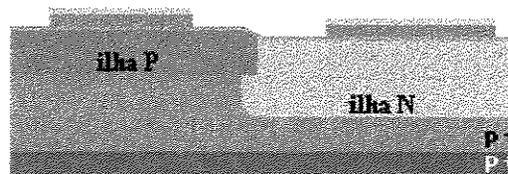


Figura 2.22 - Fotorresiste desativado acima do nitreto na região de área ativa

22. Fotogração do anel de guarda P⁺

Esta etapa de fotogração foi realizada com AZ5214 de forma semelhante a fotograções anteriores e define a área do anel de guarda P⁺ na região de campo P onde será efetuada a implantação do Boro (figura 2.23). Esta dopagem com Boro forma o anel de guarda P⁺ após a realização da sua difusão que é feita durante a oxidação do LOCOS. Foi observado que esta revelação não removeu o fotorresiste anteriormente desativado.

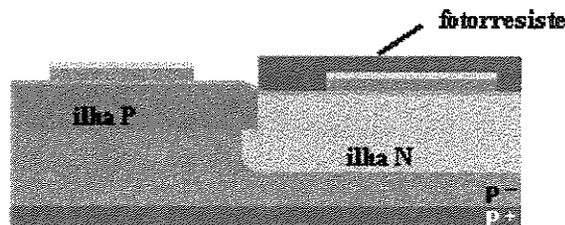


Figura 2.23 - Fotogração do anel de guarda P⁺ com o fotorresiste desativado

23. Implantação Iônica de Boro

Após a definição das regiões para a dopagem P⁺ na região de campo P foi feita a implantação iônica de Boro através do óxido fino de 40nm (figura 2.24). Esta implantação é mascarada nas áreas ocupadas pelo fotorresiste deixado anteriormente e pelo fotorresiste desativado na ilha P. Utilizamos a dose típica de $1 \times 10^{13} \text{ cm}^{-2}$ e a energia de 100 keV. A energia usada poderia ser até menor, por exemplo de 50 keV, o que pela simulação Suprem garante que atravessará completamente o óxido fino.

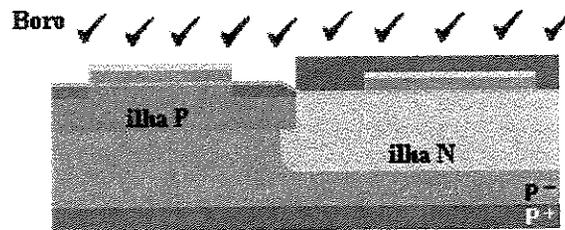


Figura 2.24 - Lâmina com o anel de guarda P⁺ implantado

24. Remoção total do fotorresiste duplo

Terminada a função de mascaramento para a implantação de Boro, o fotorresiste deixado na lâmina para isso é removido nesta etapa, a fim de efetuar as etapas térmicas de recozimento para ativação do dopante Boro para formação do anel de guarda P⁺ e em seguida o crescimento de óxido para a formação do LOCOS. A remoção do fotorresiste foi feito usando acetona aquecida a 80°C (figura 2.25).

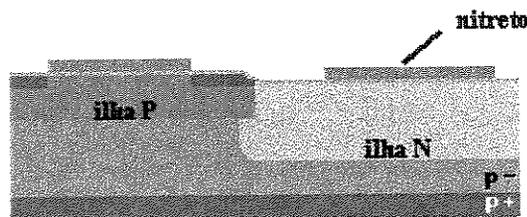


Figura 2.25 - Lâmina com o anel de guarda P⁺ implantado, sem o fotorresiste

25. Recozimento do Boro implantado

O recozimento para a ativação do Boro implantado na região de campo P (anel de guarda P⁺) foi realizado num forno convencional em ambiente de N₂ a temperatura de 1000°C, durante 20 minutos. Para completar a formação do anel de guarda P⁺ é necessária ainda a etapa de difusão do Boro para a profundidade de 0,5µm que será feito à temperatura de 1000°C, simultaneamente com a formação do óxido LOCOS, que na seqüência dos processos é efetuado na próxima etapa.

26 Oxidação térmica úmida (LOCOS)

A seguir foi crescida uma camada espessa de óxido de aproximadamente 1000 nm, por oxidação térmica úmida a temperatura de 1000°C e duração de 240 minutos (figura 2.26). Esta camada de óxido tem como função a isolamento entre dispositivos e é chamada de LOCOS ou região de campo. Quando o LOCOS é crescido, o Boro implantado na região P⁺ do anel de guarda é ativado e difundido. Além disso a concentração do Boro diminuí na interface devido ao coeficiente de segregação do Boro. O Fósforo da ilha N difunde na direção do crescimento formando a região N⁺ no silício. A concentração de Fósforo é acrescido na superfície da lâmina de silício (interface com o óxido) devido ao coeficiente de segregação do Fósforo. Esta formação do N⁺ faz com que não seja necessário realizar a implantação do Fósforo na região de campo para ter o anel N⁺.

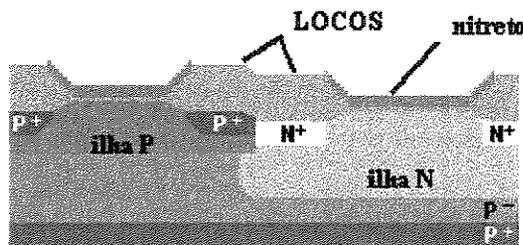


Figura 2.26 - Lâmina com o anel de guarda P⁺ e com a formação do LOCOS

V – FORMAÇÃO DA REGIÃO ATIVA

27. Remoção do nitreto de silício por RIE

Terminada a função de mascaramento para a oxidação LOCOS, o nitreto deixado para a formação da região ativa é removido nesta etapa (figura 2.27). A remoção foi realizada usando plasma RIE com os gases SF₆, CF₄ e N₂ a pressão de 150 mTorr e potência RF de 50 W.

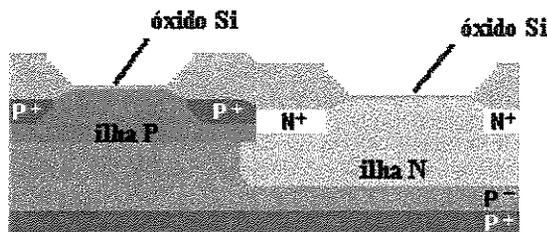


Figura 2.27- Lâmina com a região ativa e o LOCOS

28. Remoção do óxido de silício

Com a remoção do nitreto, a região ativa do dispositivo está praticamente definida com o LOCOS, faltando somente efetuar a limpeza dos restos de nitreto deixado pela corrosão. Isto é feito removendo-se o óxido fino de 40nm que se encontra na superfície das áreas ativas e depois fazendo-se o crescimento e remoção de uma outra camada de óxido de 50nm. A remoção do óxido Si de 40nm que está sobre a superfície das áreas ativas foi feita usando a solução de BHF (1:10) com tempo de 20 segundos (figura 2.28).

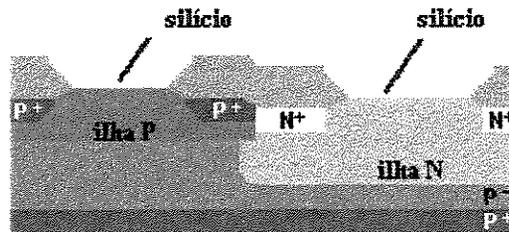


Figura 2.28 - Lâmina com a região ativa limpa de óxido (40nm)

29. Oxidação térmica úmida

O processo de oxidação do LOCOS pode apresentar o efeito chamado de "white ribbon" [7]. Este efeito é conseqüente da difusão do vapor de água através da camada de SiO₂ em crescimento que reage com Si₃N₄ e gera o NH₃ que pode difundir para a interface Si/SiO₂. O NH₃ pode reagir com Si nesta interface formando um Si₃N₄ crescido termicamente. A ocorrência deste efeito pode acarretar inibição da etapas seguintes de oxidação ou uma redução na velocidade de oxidação. Este nitreto é removido nesta etapa do processo e na próxima etapa, fazendo-se o crescimento e remoção da camada de óxido de 50 nm de espessura. A oxidação foi feita por processo úmido a temperatura de 900°C durante 18 minutos. Esta remoção de nitreto pode ser feita também por corrosão química usando o ácido fosfórico aquecido, sem a necessidade desta etapa de oxidação.

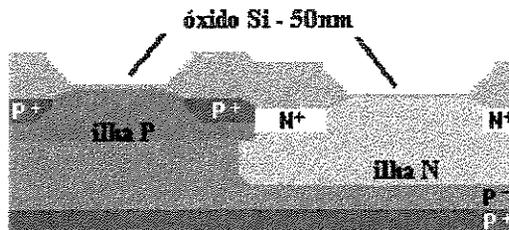


Figura 2.29 - Lâmina com a região ativa crescida de óxido de 50nm

30. Remoção do óxido de silício

A camada de óxido térmico de 50 nm crescido na etapa 29 para remover o nitreto formado devido ao efeito “white ribbon” é retirado nesta etapa usando a solução de BHF (1:10) a temperatura ambiente, com tempo de 30 segundos.

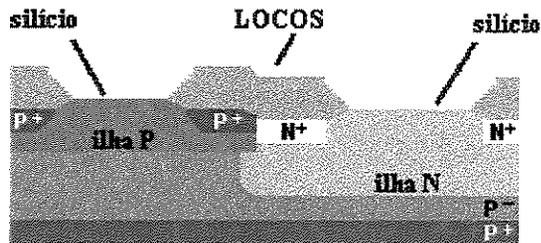


Figura 2.30 - Lâmina com a região ativa limpa de óxido (50nm)

31. Oxidação térmica seca

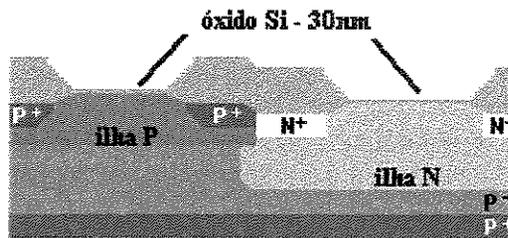


Figura 2.31 - Lâmina com o óxido fino de 30 nm crescido na região ativa

Para efetuar a próxima etapa de implantação iônica de Boro para o ajuste de V_T é necessária uma camada fina de óxido nas regiões ativas para exercer a função de uma proteção da superfície. Este óxido foi crescido no forno em ambiente de $O_2 + TCE$ a temperatura de $1000^\circ C$, 10 minutos, para obter a camada de 30nm de espessura (figura 2.31).

32. Implantação Iônica de Boro para o ajuste de V_T

Este é o momento de ajustar o parâmetro mais importante do processo, a tensão V_T dos transistores a serem fabricados. Este ajuste pode ser efetuado com precisão através da implantação iônica de Boro, realizado simultaneamente nos dois tipos de transistores NMOS e PMOS. Os parâmetros do processo de implantação, dose e energia, foram simulados com Suprem para obter um $V_T=0,8V$. A dose e energia usada para obter esse V_T foi de $1,5 \times 10^{12} \text{ cm}^{-2}$ e 30 keV (figura 2.32)

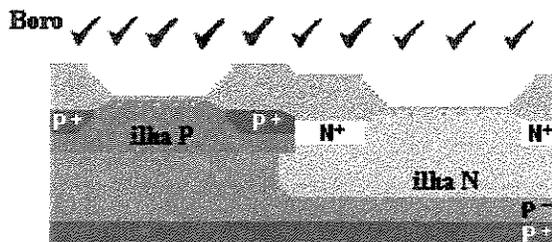


Figura 2.32 - Lâmina após implantação de Boro na região ativa para ajuste de V_T

33. Remoção do óxido de silício

Feita a implantação, o óxido fino de 30nm pode ser removido pois a função desta camada foi somente de sacrifício para a implantação de íons de Boro. Esta remoção foi feita com BHF à temperatura ambiente com o tempo de 20 segundos.

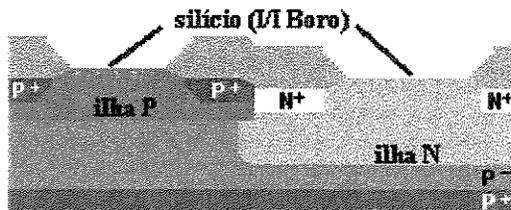


Figura 2.33 - Lâmina com a região ativa limpa de óxido (30nm)

VI – FORMAÇÃO DA PORTA DE SILÍCIO

34. Oxidação térmica seca de porta

Para iniciar a formação da porta é necessária uma camada fina de óxido de alta qualidade na região ativa com espessura uniforme e sem defeitos. A aplicação de TCE ajuda melhorar a qualidade do óxido diminuindo os defeitos da estrutura do óxido. A espessura deste óxido de porta é um parâmetro da tecnologia desejada. Para esta tecnologia de $2\mu\text{m}$ a especificação para esta camada é a espessura de 30nm. Esta camada de óxido foi crescida no forno em ambiente de $\text{O}_2 + \text{TCE}$ a temperatura de 1000°C durante um tempo de 10 minutos.



Figura 2.34 - Lâmina com o óxido de porta de 30 nm crescido na região ativa

35. Deposição de Polisilício

A próxima etapa consiste em depositar uma camada de polisilício como material de porta. Uma camada com espessura de 500nm de silício policristalino chamado simplesmente de polisilício ou si-poli, é depositada sobre a superfície do óxido de campo (LOCOS) e das áreas ativas (figura 2.35). Esta deposição foi feita em um processo LPCVD por decomposição pirolítica de Silano diluído em H₂, a pressão de 5 Torr e temperatura de 800°C.

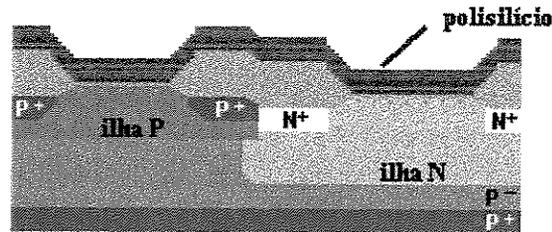


Figura 2.35 - Camada de Polisilício em toda a superfície da lâmina

36. Dopagem do polisilício por implantação iônica de Fósforo

Toda a superfície de si-poli é dopada com implantação de Fósforo usando alta dose para produzir uma camada de si-poli de baixa resistência de folha (figura 2.36). Nesta implantação a energia a ser utilizada não é muito crítica, desde que o Fósforo no si-poli não penetre sobre o óxido da porta e alcance a superfície do substrato de Si. Ou seja, o Fósforo do si-poli não deve penetrar e alterar a concentração do Fósforo do canal dos transistores. Assim, a implantação de Fósforo foi feita com a dose de $1 \times 10^{16} \text{ cm}^{-2}$ e energia de 30 keV, valores estes verificado por simulação Suprem.

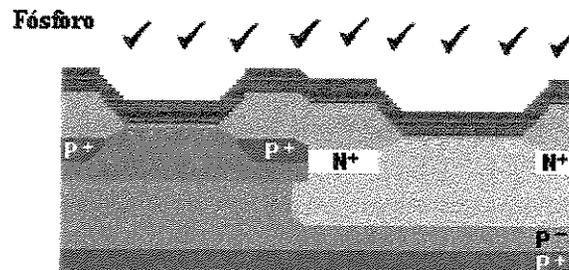


Figura 2.36 - Lâmina após implantação de Fósforo de alta dose na camada de si-poli

37. Ativação da dopagem com RTA

Para completar o processo de dopagem é feita nesta etapa a ativação do Fósforo implantado (figura 2.37). O processo de recozimento foi efetuado por RTA em ambiente de N₂, a temperatura de 960°C, com tempo de patamar de 40 segundos. A uniformização da dopagem

na camada de si-poli ocorre somente com a realização da etapa recozimento para a ativação dos dopantes das regiões de fontes/drenos.

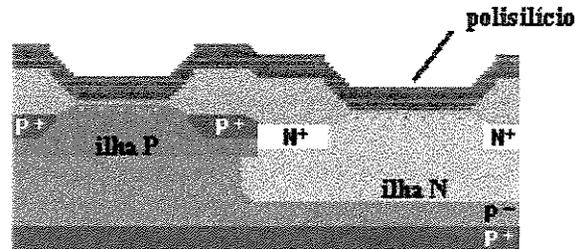


Figura 2.37 - Lâmina com Fósforo implantado e ativado na camada de si-poli

38. Deposição de óxido de silício para aderência do fotorresiste

Para efetuar a fotogração de porta sobre o polisilício torna-se necessário a deposição de uma camada fina de óxido de espessura aproximada de 20 nm, pois o si-poli não possui uma aderência muito boa com o fotorresiste, ao contrário do óxido. O crescimento desta camada foi feita por oxidação seca ($O_2 + TCE$) a temperatura de $1000^\circ C$, durante 7 minutos (figura 2.38).

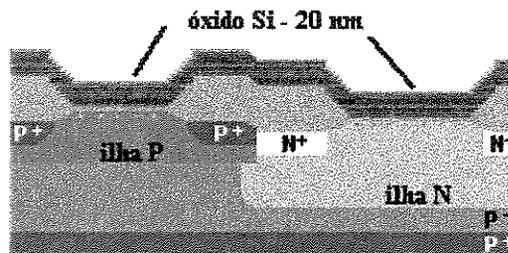


Figura 2.38 - Lâmina com óxido de silício acima da camada de poli

39. Fotogração do polisilício

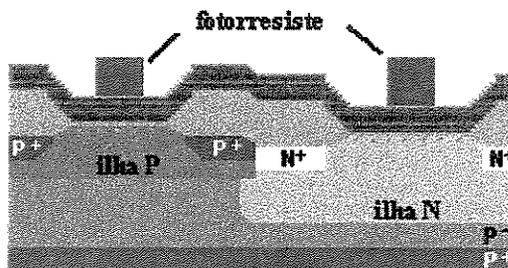


Figura 2.39 - Fotogração na região de porta - fotorresiste acima da camada de si-poli

Nesta fotografação é definida a área onde será formada a região de porta. Como foi crescido uma camada de óxido sobre o si-poli e este não apresenta problemas de aderência do fotorresiste, não há necessidade de se utilizar o promotor de aderência (HMDS). A fotografação foi realizada seguindo a receita do processo apresentada no Anexo A.1, depositando inicialmente uma camada de fotorresiste AZ5214, a velocidade do *spinner* de 6000 rpm. A espessura do fotorresiste depositado foi de 1,3 μm (figura 2.39). O fotorresiste foi submetido a um aquecimento *pré-bake* de 118 °C/ 2 minutos para tirar o solvente da sua camada de fotorresiste. Após isso, o fotorresiste foi exposto durante 10 segundos a luz UV 400nm através de uma máscara com o padrão desejado. Neste caso o padrão corresponde às áreas da região de porta. O fotorresiste exposto ao UV através da máscara foi revelado usando o revelador MIF312 durante um tempo entre 20 a 40 segundos, isto se for diluído com água na razão 1:1. Para finalizar o processo foi feito um aquecimento *pós-bake* de 118 °C/1 minuto

40. Corrosão do polisilício por RIE

Iniciamos com uma corrosão do óxido fino (20nm-etapa 38) feita por plasma de O_2 . A corrosão do polisilício das regiões de fonte/dreno foi feita por corrosão seca com plasma RIE (figura 2.40), utilizando os gases SF_6 , CF_4 e CHF_3 . A característica deste plasma é que ela deve ser seletivo de modo que a perda do óxido seja o mínimo possível. Embora no nosso processo CMOS tenhamos utilizado o si-poli somente como material de porta, o si-poli pode ser utilizado como material para fazer as interconexões não longas entre dispositivos ativos. Por exemplo, para a interconexão de portas dos transistores PMOS e NMOS de um circuito inversor. Em geral ele pode ser utilizado somente para a interconexão de primeiro nível devido a sua alta resistividade em relação ao metal (metal alguns $\mu\Omega\text{-cm}$, si-poli maior que 1000 $\mu\Omega\text{-cm}$). Quando o si-poli for utilizado também com este propósito este não precisa ser removido como efetuado nesta etapa.

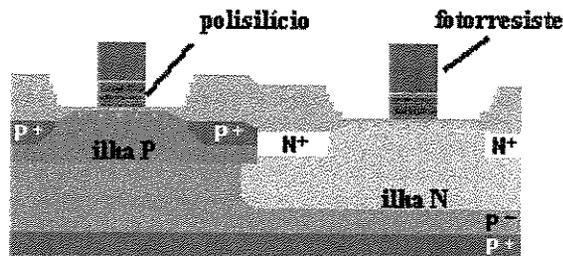


Figura 2.40 - A camada de polisilício corroída com o padrão da porta

VII – FORMAÇÃO DAS REGIÕES P⁺ DE FONTE/DRENO

41. Desativação do fotorresiste por RIE

As próximas etapas do processo de fabricação são para implantar primeiro P⁺ e depois N⁺ nos dispositivos PMOS e NMOS. Esta etapa consiste numa preparação para realizar a

implantação P^+ de fonte/dreno. Inicialmente é necessário efetuar a desativação do fotorresiste para evitar que ele seja retirado durante o processo de revelação da próxima fotogração. Com isso, a região de porta ficará protegida para a realização da implantação de Boro. A desativação do fotorresiste foi feita em plasma de $CF_4 + O_2$, a pressão de 100 mTorr e potência RF de 20 W durante 2 minutos (figura 2.41). Com este processo de desativação do fotorresiste iniciamos o método chamado de dupla camada de fotorresiste.

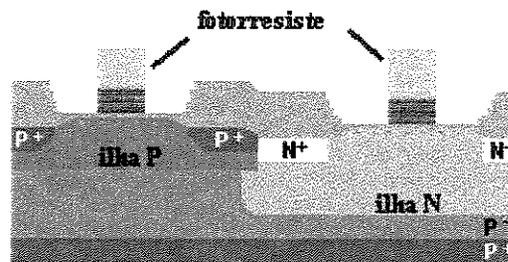


Figura 2.41 - A porta de polisilício com a camada de fotorresiste desativada

42. Fotogração P^+ de fonte e dreno

Nesta etapa de fotogração é definida a área onde será formada a região de fonte /dreno do transistor PMOS e contato com a ilha P. A fotogração foi realizada segundo a receita apresentada no Anexo A.1, depositando inicialmente uma camada de fotorresiste AZ5214 com a velocidade do *spinner* de 6000 rpm. A espessura deste fotorresiste depositado foi de 1,3 μm . A seguir foi efetuado um *pré-bake* de 118 $^{\circ}C$ / 2 minutos para retirar o solvente da camada de fotorresiste. Em seqüência o fotorresiste foi exposto durante 10 segundos a luz UV através de uma máscara contendo o padrão desejado. Neste caso o padrão corresponde às áreas da região de fonte /dreno do PMOS (figura 2.42). Após a realização do processo, observou-se que o fotorresiste desativado manteve a sua integralidade.

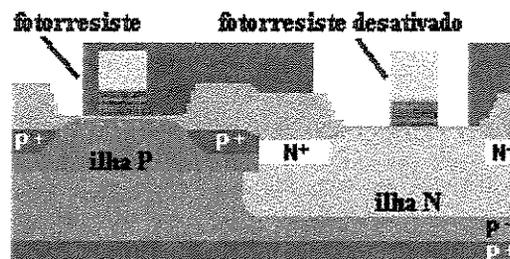


Figura 2.42 - Fotogração fonte /dreno - fotorresiste com abertura nas áreas da região de fonte/dreno do PMOS

43. Implantação iônica de Boro

Nesta etapa é realizada a implantação do Boro para a formação da região P⁺ na ilha N para fonte/dreno do transistor PMOS e para formação da região de contato da ilha P (figura 2.43). Esta implantação foi feita com dose de $3 \times 10^{15} \text{ cm}^{-2}$ e energia de 20 keV. A dose utilizada é alta pois trata-se da região de contato que requer alta concentração de dopantes, mas a implantação pode ser feita com uma energia baixa, devido à profundidade de junção desejada ser de 0.45 μm .

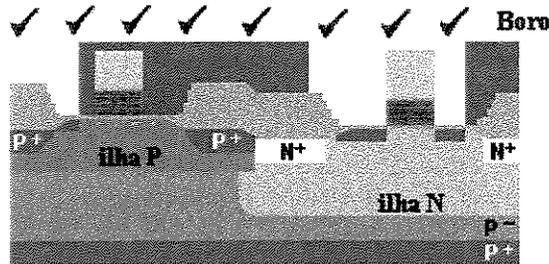


Figura 2.43 - Lâmina após implantação de Boro na fonte/dreno do PMOS

44. Remoção total do fotorresiste

Visto que a função do fotorresiste foi encerrada, este pode ser removido da lâmina. Isto foi feito usando a acetona aquecida a 80°C com o tempo de 10 minutos (figura 2.44) e depois álcool isopropílico aquecido a 80°C durante um tempo de 10 minutos. Esta remoção retira completamente o fotorresiste desativado não deixando nenhum resíduo na lâmina.

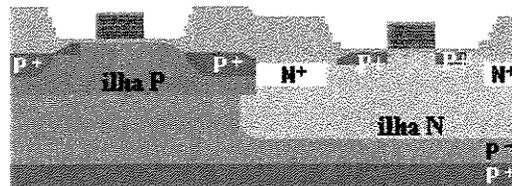


Figura 2.44 - Lâmina sem fotorresiste após implantação de Boro

VIII – FORMAÇÃO DAS REGIÕES N⁺ DE FONTE/DRENO

45. Fotogravação N⁺ de fonte e dreno

Esta etapa de fotogravação consiste em definir a área onde será formada a região N⁺ de fonte /dreno dos transistores NMOS e o contato com a ilha N. A fotogravação foi realizada conforme a receita apresentada no Anexo A.1, depositando inicialmente uma camada de fotorresiste AZ5214 com a velocidade do *spinner* de 6000 rpm. A espessura deste fotorresiste foi de 1,3 μm . Prosseguindo o processo foi efetuada o *pré-bake* a 118 °C/ 2 minutos para retirar o solvente da camada do fotorresiste e depois, o fotorresiste exposto a luz UV durante 10 segundos com uma máscara contendo o padrão desejado. Neste caso o padrão corresponde

as áreas da região de fonte /dreno do NMOS e contato da ilha N (figura 2.45). A revelação do fotoresiste foi realizado com MIF312 a temperatura ambiente com tempo de 40 segundos.

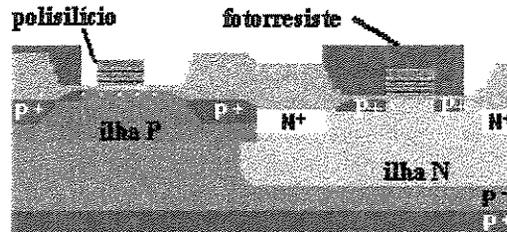


Figura 2.45 - Fotogravação fonte /dreno - fotoresiste com abertura nas áreas da região de fonte /dreno do NMOS

46. Implantação Iônica de Fósforo e Arsênio

A dopagem N^+ da ilha P para a formação de fonte e dreno do transistor NMOS e dopagens N^+ da ilha N para contato ôhmico, foi realizado com a implantação iônica de Fósforo e Arsênio. Esta implantação foi efetuada com as doses e energias de $2 \times 10^{15} \text{ cm}^{-2}$, 30 keV e $7.5 \times 10^{15} \text{ cm}^{-2}$, 50 keV, respectivamente para o Fósforo e Arsênio (figura 2.46). A corrente utilizada para estas implantações foi de aproximadamente 30 μA . Correntes de valores muito mais altas que a utilizada não podem ser empregadas nestas implantações devida à formação de bolhas na superfície do fotoresiste. As implantações desta etapa de processo são feitas com doses altas para obter concentrações maiores ou iguais a $1 \times 10^{20} \text{ cm}^{-3}$. As energias necessárias são maiores que a utilizada para a implantação do Boro, pois, as massas do Fósforo e Arsênio são maiores que a do Boro, e as energias a serem utilizadas dependem da profundidade de junção desejada, que nosso caso é de $0,45 \mu\text{m}$, após o recozimento da lâmina. Mesmo com a energia mais alta, devido à massa do Arsênio ser maior que a do Fósforo, a penetração do Arsênio será mais rasa que o Fósforo, mas com alta concentração na superfície, sendo de $1 \times 10^{21} \text{ cm}^{-3}$ para Arsênio e $8 \times 10^{20} \text{ cm}^{-3}$ para o Fósforo. Esta alta concentração na superfície reduz as resistências parasitárias da região fonte/dreno. Como o si-poli N^+ da porta do NMOS recebe nesta etapa nova implantação de Fósforo e Arsênio, este reduz ainda mais a resistividade da porta.

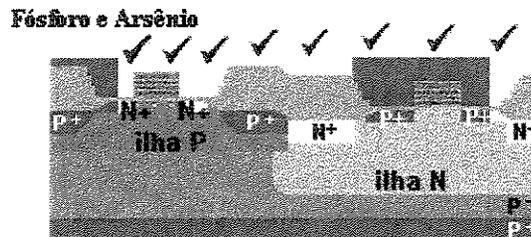


Figura 2.46 - Lâmina após implantação de Fósforo e Arsênio na fonte/dreno do NMOS

47. Remoção total do fotoresiste

Nesta etapa é feita a remoção do fotorresiste deixada para a implantação de Fósforo e Arsênio utilizando a acetona aquecida a 80°C durante um tempo de 10 minutos, seguida de álcool isopropílico aquecido a 80°C durante um tempo de 10 minutos (figura 2.47). Esta remoção retira completamente o fotorresiste não deixando nenhum resíduo na lâmina.

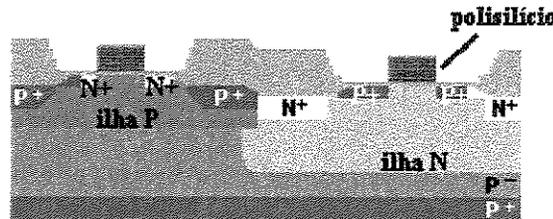


Figura 2.47 - Lâmina sem fotorresiste após implantação de Fósforo e Arsênio

48. Pré-recozimento

Continuando a etapa de processos foi realizado a seguir o pré-recozimento da lâmina para iniciar a ativação dos dopantes nas regiões de fonte/dreno dos transistores PMOS e NMOS e dos contatos de ilha P e N. Este processo foi efetuado num forno convencional em ambiente de N₂, a temperatura de 600 °C durante um tempo de 30 minutos (figura 2.48). Este recozimento remove os danos primários (defeitos) causados pela implantação, restaurando a estrutura cristalina do Si e deixando os dopantes nos sítios intersticiais. Depois de fazer o pré-recozimento da lâmina a temperatura do forno foi elevada para 950°C para a realização da etapa de recozimento para a ativação dos dopantes.

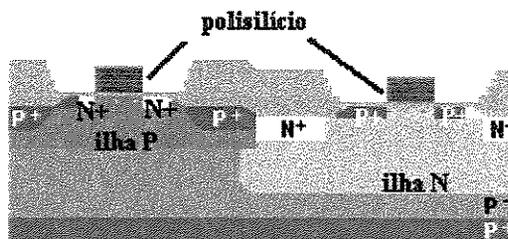


Figura 2.48 - Lâmina após pré-recozimento

49. Recozimento dos fontes/drenos implantados e oxidação térmica úmida

Esta etapa de recozimento para a ativação dos dopantes (Boro, Arsênio e Fósforo) implantados nas regiões de fonte/dreno dos transistores PMOS e NMOS, foi feita simultaneamente ao crescimento da camada fina de óxido de 20nm (figura 2.49), necessária para a proteção de todos os dispositivos formados para a realização da próxima etapa de deposição de óxido de isolamento entre o dispositivo e o metal, cujo óxido é de menor qualidade que o óxido térmico. O óxido de 20nm é crescido por oxidação úmida a temperatura de 950°C

com duração total do processo de 17 minutos, razão pela qual ambos os processos foram feitas de forma simultânea. Este recozimento e/ou o crescimento deste óxido foi efetuado num forno convencional a temperatura de 950°C, com 5 minutos iniciais em ambiente de O₂, 7 minutos em ambiente de oxidação úmida e 5 minutos finais em ambiente de O₂. Com o tempo total empregado nesta etapa térmica os dopantes difundem até a profundidade de junção de 0,45 µm, parâmetro este especificado para a tecnologia de 2µm. Com esta etapa de recozimento/oxidação encerra os processos de formação dos fontes/drenos dos transistores PMOS e NMOS.

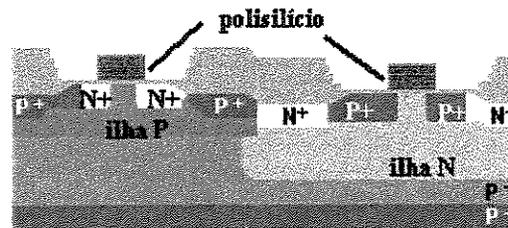


Figura 2.49 - Lâmina após recozimento dos dopantes (Boro, Arsênio e Fósforo)

IX – ABERTURA DE CONTATOS

50. Deposição de óxido de silício

Até esta etapa de processos formamos todos os dispositivos ativos, no entanto, falta ainda a abertura dos contatos das interconexões e das conexões com os terminais (*pad*). Para efetuar estas partes, torna-se necessário a deposição de uma camada de óxido de 800nm de espessura (figura 2.50). Esta deposição foi feita em um processo CVD tipo ECR (Electron Cyclotron Resonance Chemical Vapor Deposition) por decomposição pirolítica de Silano diluído em 98% de Ar e com o gás O₂, a pressão de 5mTorr, temperatura da lâmina 20°C, durante o tempo de 60 minutos. Caso o óxido apresente a incorporação de Hidrogênio em quantidade maior que 10 % at. torna-se necessário a sua densificação [4], mas esta etapa não foi efetuada no nosso processo, pois as medidas realizadas em cacos de acompanhamento mostraram incorporações menores que este valor.

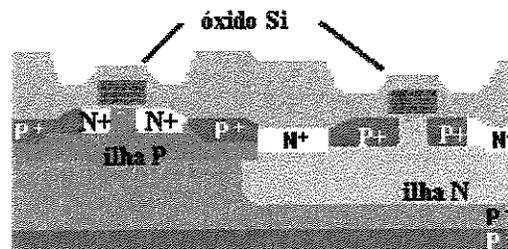


Figura 2.50 - Lâmina com óxido de silício de 800nm

51. Fotogravação dos contatos

Até aqui, a seqüência de processos envolveu muitas etapas de deposições, crescimentos e corrosões de materiais, tornando a topologia da superfície da lâmina não plana, dificultando a fotogravação e a deposição dos metais para as interconexões dos dispositivos. A topologia da superfície apresenta pontas e vales com rugosidade bastante elevada, requerendo a aplicação de um método de planarização. Para este caso experimental não aplicamos esta planarização e efetuamos esta etapa de fotogravação conforme a receita apresentada no Anexo A.I. Esta fotogravação é para a definição da abertura dos contatos. Os contatos são os pontos de ligação das estruturas dos dispositivos ativos (dreno, fonte, porta dos transistores, eletrodos dos capacitores, catodo e anodo dos diodos, eletrodos dos circuitos inversores e circuito oscilador). Foi depositada inicialmente uma camada de fotorresiste AZ5214, a velocidade do *spinner* de 6000 rpm, obtendo a deposição do fotorresiste de 1,3 μm de espessura. Continuando o processo foi feito um *pré-bake* de 118 °C/ 2 minutos para retirar o solvente da camada de fotorresiste e depois, o fotorresiste exposto durante 10 segundos a luz UV através de uma máscara contendo o padrão desejado. Neste caso o padrão corresponde as áreas da abertura dos contatos. Seguindo a receita efetuamos a revelação com tempo de 40 segundos utilizando o revelador MIF312:H₂O na relação 01:01 e finalmente um *pos-bake* a 118 °C/ 1 minuto.

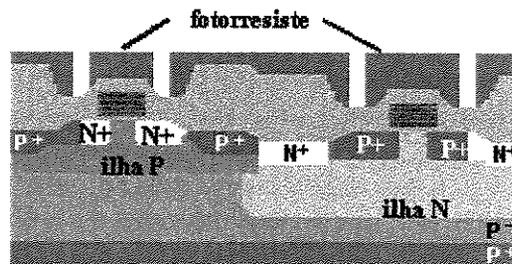


Figura 2.51 - Fotogravação dos contatos: fotorresiste com abertura dos contatos no NMOS e no PMOS

52. Corrosão do óxido de silício por RIE

A corrosão do óxido de silício das regiões de contato (camada de 800nm e de 20 nm) foi feita por corrosão seca com plasma RIE (figura 2.52), utilizando os gases CF₄, Ar, e N₂. A característica deste plasma é que ela deve ser seletivo de modo que a corrosão pare ao chegar no silício. Para finalizar o processo é aplicado um *dip* de BHF durante 2 segundos para retirar os possíveis polímeros que possam ter formados no final da corrosão por plasma.

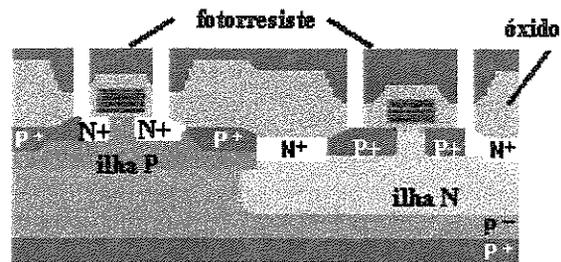


Figura 2.52 - Aberturas dos contatos no óxido corroídas seguindo a fotogração do fotorresiste

53. Remoção total do fotorresiste

Nesta etapa é feita a remoção do fotorresiste deixada para a corrosão do óxido de silício das regiões de contato (figura 2.53) utilizando a acetona aquecida a 80°C durante um tempo de 10 minutos, seguida de álcool isopropílico aquecido a 80°C durante um tempo de 10 minutos. Este processo remove completamente o fotorresiste não deixando nenhum resíduo na lâmina.

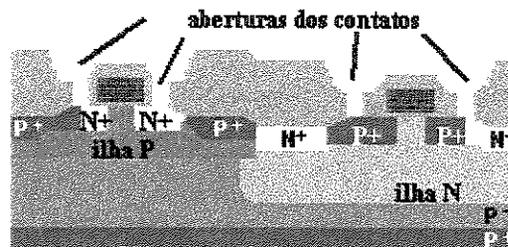


Figura 2.53 - Lâmina sem fotorresiste após aberturas dos contatos no óxido

X – INTERCONEXÕES DE METAL

54. Fotogração para metal

Feita a abertura dos contatos, nesta etapa de fotogração é definida a região do metal para as interconexões dos dispositivos. O processo escolhido para fazer esta etapa de metalização foi o método de *lift-off*. Esta fotogração define as regiões em que o metal após depositado será retirada ou deixada como interconexão. Essa retirada do metal das regiões não desejadas é feita por descolamento do material o que deixa o metal nas regiões definidas de interconexões. Este descolamento de metal é possível porque o fotorresiste tem parede com ângulo negativo referente à vertical, maior que o ângulo de evaporação e assim as bordas ficam livres de metal. A definição das regiões de metal a ser retiradas foi feita com uma fotogração positiva utilizando uma máscara para isso. A fotogração foi realizada segundo a receita apresentada no Anexo A.1. Inicialmente foi depositada uma camada de fotorresiste AZ5214, a

velocidade do *spinner* de 6000 rpm, obtendo a deposição do fotorresiste de 1,3 μm de espessura. Continuando o processo foi feito um *pré-bake* de 118 °C/ 2 minutos para retirar o solvente da camada de fotorresiste e depois, o fotorresiste exposto durante 10 segundos a luz UV através de uma máscara contendo o padrão desejado. Neste caso, o padrão corresponde as áreas de metal a ser retirado. Seguindo a receita efetuamos a revelação com tempo de 40 segundos utilizando o revelador MIF312:H₂O na relação 1:1 e finalmente um *pos-bake* a 118 °C/ 1 minuto (figura 2.54).

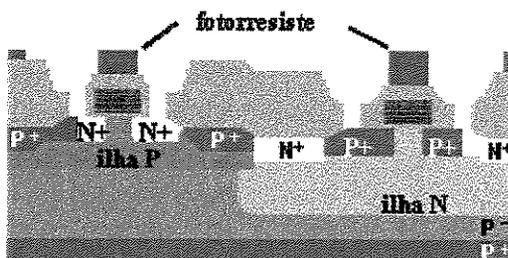


Figura 2.54 - Fotogração do metal - fotorresiste

55. Deposição de Titânio e Alumínio

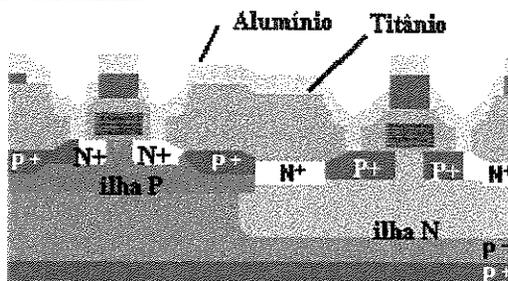


Figura 2.55 - Lâmina com deposição de Titânio e Alumínio

O processo *lift off* segue com a deposição de Titânio de 20nm de espessura e sobre ela o Alumínio com espessura de 180nm (figura 2.55). Assim como o Alumínio o Titânio tem boa propriedade de adesão, melhora a uniformidade da superfície de contato com o Si e serve para contornar o problema da formação de cravos ou *spikes*. A deposição do Titânio e do Alumínio foram feitas em seqüência em um processo por evaporação *e-beam*, a pressão de 10^{-8} Torr.

56. Remoção (descolamento) do metal desnecessário

A retirada do metal das regiões não desejadas foi feita por descolamento do material (*lift-off*). Neste processo o metal é deixado somente nas regiões dos padrões definidas de interconexões. O fotorresiste da região exposta a luz UV foi removida com acetona aquecida a temperatura de 80°C e tempo de 20 minutos. Nesta remoção o Alumínio e o Titânio que estão sobre o fotorresiste são também juntamente removidos (figura 2.56).

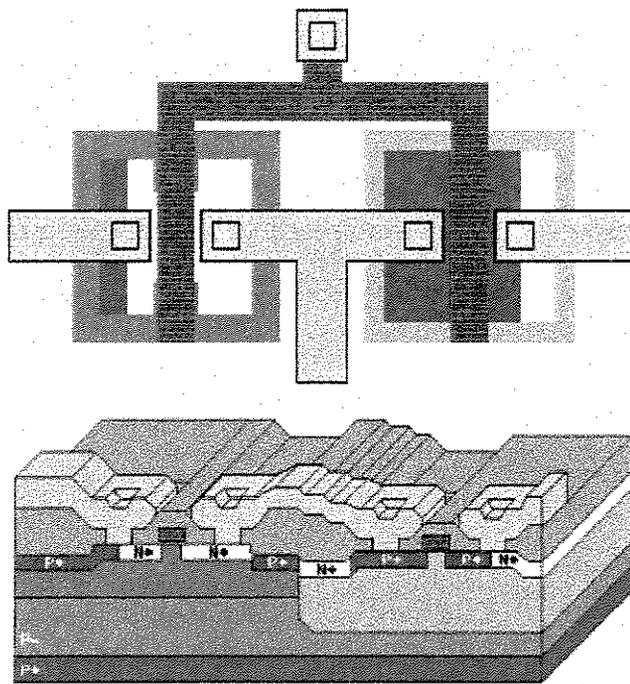


Figura 2.56 - Lâmina com interconexões de Alumínio – a) vista de topo e b) vista 3D da estrutura *CMOS* final

57. Sinterização dos metais

Durante a etapa de deposição do metal por *e-beam*, a incidência de raios X gerado no processo, induz danos na região de contatos e produz cargas na interface Si/SiO₂, além disso a junção do metal com o silício ainda não está completa pela presença de óxido nativo. Nesta etapa, a lâmina é submetida ao processo de sinterização para diminuir estas danificações na interface Si/SiO₂ e para melhorar a liga metalúrgica entre o metal e o silício. Esta sinterização foi feita em forno convencional em ambiente de gás verde (92% Nitrogênio, 8% Hidrogênio) a temperatura de 450°C durante 30 minutos. Com a execução desta etapa de sinterização dos metais termina por completo o processo de fabricação do *CMOS*, faltando somente a realização das caracterizações elétricas dos dispositivos projetados e fabricados.

2.3 SIMULAÇÕES DO PROCESSO *CMOS*

Após o estudo e a definição da seqüência do processo *CMOS* a ser realizado torna-se necessário a determinação das variáveis de cada etapa do processo para efetuarmos a sua fabricação. Estas variáveis do processo são, por exemplo, para a implantação iônica a dose e energia do dopante empregado; para a oxidação a temperatura, o tempo e o ambiente para

obtenção da espessura desejada; para o recozimento e difusão às profundidades de junção de fonte/dreno e de ilha, etc. O conhecimento a priori dos parâmetros a serem obtidos facilita enormemente a fabricação, permite economizar o tempo de processamento e evita a necessidade de tentativas experimentais para a determinação de parâmetros adequados para cada uma das etapas de processos envolvidas na fabricação do dispositivo. As variáveis de processo com os valores bastante aproximados ao desejado para a fabricação podem ser obtidos através de simulação de processos em programas como o Suprem[16]. Por outro lado, usando-se adicionalmente o programa Pisces, [17] pode-se obter características elétricas das estruturas finais do dispositivo para avaliar se estas estão de acordo com os resultados almejados no projeto. Por exemplo, a tensão de limiar V_T de 0.8 V para o transistor NMOS especificada para a tecnologia que nosso caso é de $2\mu\text{m}$. Além disso, possibilita analisar o comportamento do processo fazendo simulações alterando as condições das variáveis do processo, escolhendo finalmente o conjunto de variáveis de processo que permita a obtenção de resultados mais apropriados. O processo CMOS descrito no item 2.2 foi efetuado tendo como base as variáveis do processo de cada uma das etapas da sua seqüência obtidas por simulação Suprem.

Os programas computacionais que utilizamos para realizar a simulação do processo de fabricação e a simulação elétrica do dispositivo fabricado são o Suprem-IV.GS e o Pisces-2ET da Universidade de Stanford na Califórnia (1993), versão acadêmica disponíveis na internet e que são compatíveis entre eles. Para realizar os estudos de simulação utilizamos a seqüência mostrada no esquema da figura 2.57.

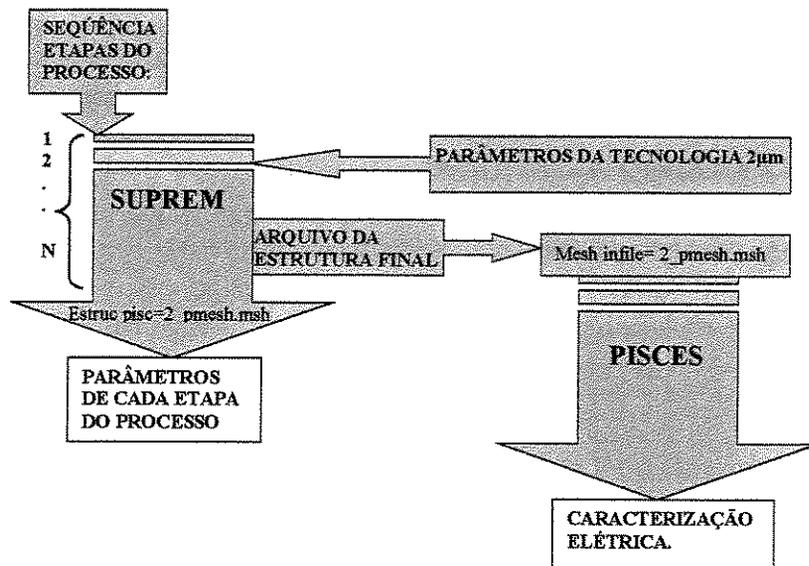


Figura 2.57 - Fluxograma de simulação do processo CMOS com Suprem e de simulação elétrica com Pisces

Neste esquema vemos que a seqüência de etapas de processo é parte da estrutura do programa *Suprem* onde cada etapa de processo corresponde a um dado de entrada ao programa, através de comandos indicando o tipo de processo e as variáveis do processo da etapa, por exemplo, *I/I*, oxidação, dopagem, deposição, etc. Para a determinação das variáveis do processo utilizadas na fabricação do dispositivo, foi efetuada a simulação de cada etapa do processo fixando alguns parâmetros correspondentes dessa etapa, por exemplo, na oxidação fixando a temperatura e o ambiente do processo e variando o tempo até a obtenção da espessura desejada. Ao final de cada programa a ser executado foi adicionada uma linha de comando para a geração de um arquivo de saída com o formato para o programa *Pisces*. Este arquivo possui a extensão *.msh* e contém todos os dados do processo e da estrutura do dispositivo (exemplo, transistor) que são necessários para utilização no programa *Pisces*.

No programa *Pisces*, o arquivo gerado no *Suprem* é utilizado como arquivo de entrada (*infile*) e com o mesmo nome, o programa *Pisces* executa a simulação por meio de seus comandos associados ao tipo de caracterização elétrica desejada. Nós utilizamos o *Pisces* para obter a curva ($I_D \times V_{GS}$) para verificar a tensão de limiar V_T , a curva de sublimiar ($\log I_D \times V_{GS}$) para obter a corrente reversa, e a curva ($I_D \times V_{DS}$) para extração de parâmetros (V_A, λ).

Após realizar as simulações, foi possível analisar a sensibilidade dos resultados para verificar a existência ou não de valores críticos que afetam o comportamento do dispositivo. Analisamos as regiões de ilha N, ilha P, porta e fonte/dreno comparando com os parâmetros desejados da tecnologia $2\mu\text{m}$. As divergências detectadas nesta comparação foram corrigidas modificando as variáveis associadas ao problema e repetindo a execução dos programas *Suprem* e *Pisces*.

2.3.1 SIMULAÇÕES DO PROCESSO *CMOS* COM SUPREM

O processo de fabricação do *CMOS* foi simulado várias vezes com o programa *Suprem* variando os parâmetros correspondentes para projetar as variáveis do processo até obter os resultados desejados. Os resultados finais das variáveis de processo já contém os ajustes ou refinamentos do processo baseados na simulação de variáveis tais como tempos e temperaturas de recozimentos ou de oxidações, espessuras de filmes, doses e energias de implantação, etc. Os programas de simulação utilizados são programas *Suprem* do tipo unidimensional e do tipo bidimensional e ambos foram utilizados para nosso processo *CMOS*. A simulação é executada fornecendo ao programa os comandos associados a cada uma das 57 etapas de processo *CMOS* seguindo a mesma seqüência descrita no item 2.2, além de dados da estrutura dos dispositivos desejados (dimensões, comprimentos, espessuras de camada, tipo de material) conforme avança a seqüência das etapas. Descrevemos abaixo os dois programas utilizados na simulação do processo e suas aplicações específicas.

Programas do tipo unidimensional foram desenvolvidos com a estrutura de um transistor com $2\mu\text{m}$, para o transistor NMOS e outro para o transistor PMOS, analisando a

região de porta e a região de fonte/dreno. Esta análise é feita através das curvas de concentração de impurezas ou perfil de dopagem e da formação das estruturas dos dispositivos (transistores). Em todos estes programas é necessário considerar todas as etapas térmicas do processo, porque toda a lâmina aquece por igual.

Programas do tipo bidimensional também foram desenvolvidos com a estrutura do transistor de 2 μm , NMOS e PMOS para analisar todas as regiões do transistor utilizando comandos (plot) adicionais para a visualização bidimensional da estrutura do transistor e análise de concentração de dopagem nas regiões de interesse. Os algoritmos dos programas utilizados na simulação dos transistores PMOS e NMOS estão descritos nos Anexo A2 e Anexo A3, respectivamente. Um programa do tipo bidimensional foi também desenvolvido com quase toda a estrutura do *CMOS* para analisar os resultados do LOCOS e ele inclui a metade do transistor PMOS e metade do transistor NMOS. Como este programa inclui as estruturas dos dois tipos de transistores, ele contém mais instruções que o programa do transistor NMOS ou do transistor PMOS.

O processo *CMOS* completo foi simulado com programas orientados ao tipo de dispositivo do *CMOS* (transistor NMOS, transistor PMOS) e analisamos em cada um, os resultados da formação das ilhas, da porta, do fonte/dreno e do LOCOS. Os resultados da simulação da segunda fabricação são apresentados nos itens a seguir.

2.3.2 RESULTADOS DA SIMULAÇÃO SUPREM - FORMAÇÃO DAS ILHAS

Os transistores foram simulados até a formação das duas ilhas (etapa 17) e os resultados destas simulações são apresentados a seguir analisando cada uma destas ilhas do processo *CMOS* (figura 2.58 para a ilha N e figura 2.59 para a ilha P). Em ambas ilhas foi fixada a concentração de dopagem de aproximadamente $1 \times 10^{16} \text{ cm}^{-3}$ para facilitar posteriormente o ajuste da tensão de limiar dos transistores de forma mais precisa. No caso do NMOS fazemos a dopagem de Boro de ajuste ficando na superfície uma concentração de Boro um pouco maior. Esta mesma dopagem de Boro de ajuste foi feito no canal do transistor PMOS, na qual formase uma junção próximo da superfície, e assim ficando na superfície uma concentração de Boro semelhante ao caso do transistor NMOS.

Os resultados da simulação da formação da ilha N são mostrados na figura 2.58. Esta figura mostra a curva de concentração vs profundidade onde podem ser observados os perfis de concentração efetivos de dopagem (linha preta: Dopagem - Suprem), da concentração do Fósforo (linha vermelha) e da concentração do Boro (linha azul) sobre a ilha N. O perfil de dopagem efetivo representa a diferença entre a dopagem efetuada de Fósforo e a dopagem de Boro do substrato. Conforme a figura, este perfil mostra a ilha N com a junção de profundidade aproximada de 4,5 μm e a concentração de dopagem superficial de $2 \times 10^{16} \text{ cm}^{-3}$. Esta profundidade corresponde ao parâmetro especificado para o *CMOS* e o valor da concentração superficial da ilha N obtida na simulação do processo é adequado para posteriormente formar o canal do transistor PMOS, o que é realizado com a concentração superficial mais alta de Boro

para obter a tensão de limiar ($V_T = 0.8V$) especificado para o projeto. A concentração do Fósforo e do Boro tem o mesmo valor no ponto da junção da dopagem efetiva. Como a concentração do Boro é do substrato e este é selecionada no início da simulação, para obter o perfil de dopagem projetado, o Fósforo é dopante implantado e difundido.

Estes perfis de concentração (figura 2.58) são resultados da simulação com a implantação iônica de Fósforo com a dose de $4 \times 10^{12} \text{ cm}^{-2}$, energia de 100 keV (etapa 7) e difusão de Fósforo a 1150°C durante 480 minutos (etapa 11). A simulação para atingir a profundidade de $4,5 \mu\text{m}$ foi feita variando a temperatura e mantendo constante as variáveis da implantação e da difusão [4], obtendo-se a temperatura de 1150°C . Depois foi mantida constante esta temperatura e variamos a dose da implantação até atingir a concentração superficial do Fósforo de $2 \times 10^{16} \text{ cm}^{-3}$, sendo o valor final obtida para a dose de $4 \times 10^{12} \text{ cm}^{-2}$.

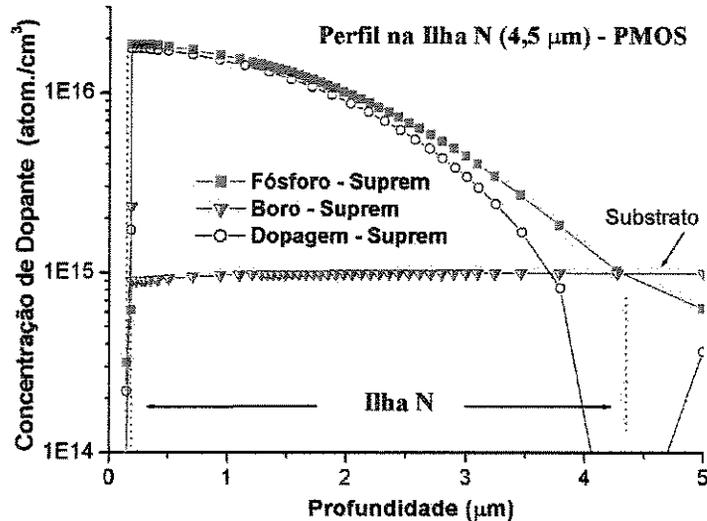


Figura 2.58 - Perfil de dopagem simulado da ilha N

A figura mostra também o perfil de dopagem do substrato utilizado cuja concentração é de $1 \times 10^{15} \text{ cm}^{-3}$. Para este substrato, com os dados de concentração e dose de implantação e temperatura de difusão obtidos, pode-se formar a ilha N com a junção de profundidade de $4,5 \mu\text{m}$.

Os resultados da simulação da formação da ilha P são mostrados na figura 2.59. Nesta figura temos a curva de concentração vs profundidade onde é mostrada a concentração do Boro (linha azul) na ilha P e no substrato. O perfil de dopagem mostra a ilha P formada com a profundidade de $1,4 \mu\text{m}$ e a concentração superficial de $1 \times 10^{16} \text{ cm}^{-3}$. Esta profundidade é

suficiente para evitar punchthrough e a concentração superficial da ilha P obtida, adequada para posteriormente formar o canal do transistor NMOS, pois esta formação é feita com a implantação de Boro com a concentração superficial pouco maior, juntamente com o ajuste do V_T . A região da concentração do Boro constante de $1 \times 10^{15} \text{ cm}^{-3}$ corresponde ao substrato da lâmina, cujo valor é selecionada no início do processo de simulação. A região da ilha P é formada pelo Boro do substrato e pelo Boro implantado e difundido para obter o perfil de dopagem projetado. O perfil mostrado na figura 2.59 é o resultado obtido após simular com a implantação iônica de Boro com a dose de $6 \times 10^{11} \text{ cm}^{-2}$, energia de 50 keV (etapa 13) e com a difusão do Boro a 1050°C durante 210 minutos (etapa 17). A simulação para atingir a profundidade de $1,4 \mu\text{m}$ foi feita variando a temperatura e mantendo constante as variáveis da implantação e da difusão [4], obtendo-se a temperatura de 1050°C . Depois foi mantida constante esta temperatura e variamos a dose da implantação até alcançarmos a concentração superficial do Boro de $1 \times 10^{16} \text{ cm}^{-3}$, obtendo para a dose o valor final de $6 \times 10^{11} \text{ cm}^{-2}$. A linha tracejada na figura indica o valor da concentração da dopagem do substrato utilizado que é $1 \times 10^{15} \text{ cm}^{-3}$. O perfil de concentração do Boro indica que este decresce gradualmente, pois tanto a ilha como o substrato são do tipo P (Boro).

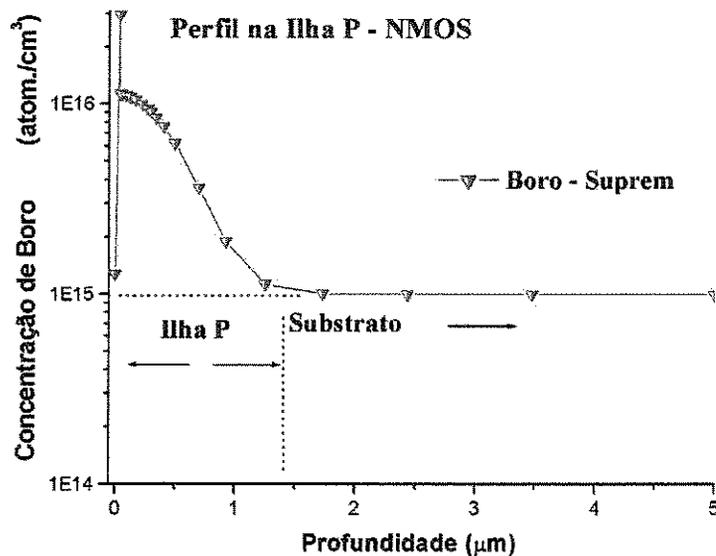


Figura 2.59 - Perfil de dopagem simulado da ilha P

2.3.3 RESULTADOS DA SIMULAÇÃO SUPREM DA REGIÃO DE PORTA

Os transistores foram simulados até a formação da região de porta (etapa 37) e os seus resultados apresentados a seguir, analisando a região de porta do transistor PMOS e do transistor NMOS (figura 2.60 e figura 2.61). A dopagem nas regiões de porta de ambos os transistores foi fixada a concentração superficial de Boro de $8 \times 10^{16} \text{ cm}^{-3}$, para o ajuste da tensão de limiar. Para isto, foram utilizados o simulador de processos de fabricação Suprem e o simulador elétrico Pisces, adotando-se o seguinte procedimento: (a) simular com Suprem a partir de uma concentração inicial de Boro obtido da literatura [4], (b) simular com Pisces utilizando o arquivo gerado pelo Suprem com os dados da estrutura do transistor, e obtendo o valor de tensão de limiar, (c) simular com Suprem alterando o valor da concentração de Boro e (d) novamente verificar o valor da tensão de limiar (e) repetir o procedimento até obter a precisão desejada da tensão limiar e fixar assim o valor da concentração de Boro deste ajuste.

A figura 2.60 mostra os resultados da simulação da região de porta do transistor PMOS. Esta figura mostra a curva de concentração vs profundidade onde são mostrados os perfis de concentração efetivos de dopagem (linha preta: Dopagem Suprem), de concentração do Fósforo (linha vermelha) e a concentração do Boro (linha azul). O perfil de Fósforo mostra a porta de polisilício com a concentração constante de Fósforo de $2 \times 10^{20} \text{ cm}^{-3}$ em toda a espessura do polisilício (500nm), cuja concentração é adequada para contato de porta, pois permite a obtenção de porta com resistência de folha bastante baixa. Pode-se verificar ainda desta figura, que o perfil de Fósforo da região da ilha N cuja concentração superficial é de $2 \times 10^{16} \text{ cm}^{-3}$, permanece inalterada desde que ela foi formada. A alteração do perfil de Fósforo afeta a tensão de limiar, pois o Fósforo pode migrar do polisilício para o substrato.

O perfil de Boro mostra o canal formado na ilha N com uma concentração de Boro na superfície do substrato para o ajuste da tensão de limiar V_T . A tensão de limiar é um parâmetro do processo especificado como $V_{Tp} = -0,8\text{V}$. Com o auxílio do Suprem e o Pisces determinamos a concentração superficial de Boro necessária para obter este V_{Tp} como sendo de $8 \times 10^{16} \text{ cm}^{-3}$. Este perfil foi obtido com a implantação iônica de Boro com a dose de $1,5 \times 10^{12} \text{ cm}^{-2}$ e energia de 30 keV (etapa 32) e com a difusão a 1000°C durante 30 minutos (etapa 34, oxidação de porta). A simulação Suprem para atingir a tensão de limiar $V_{Tp} = -0,8\text{V}$ foi feita variando a dose da implantação do Boro, mantendo constante a energia de 30 keV e as variáveis da oxidação de porta, pois este tem efeito de difusão do Boro do canal, obtendo assim o valor da dose final de $1,5 \times 10^{12} \text{ cm}^{-2}$. Uma dose menor que esta, corresponde a uma concentração do Boro menor de $8 \times 10^{16} \text{ cm}^{-3}$, e a tensão de limiar $V_{Tp} = -0,8\text{V}$ fica mais negativa ($-0,9\text{V}$ ou $-1,0\text{V}$). Se a dose é maior temos um efeito contrário, ficando a tensão de limiar menos negativa ($-0,5\text{V}$ ou $-0,4\text{V}$).

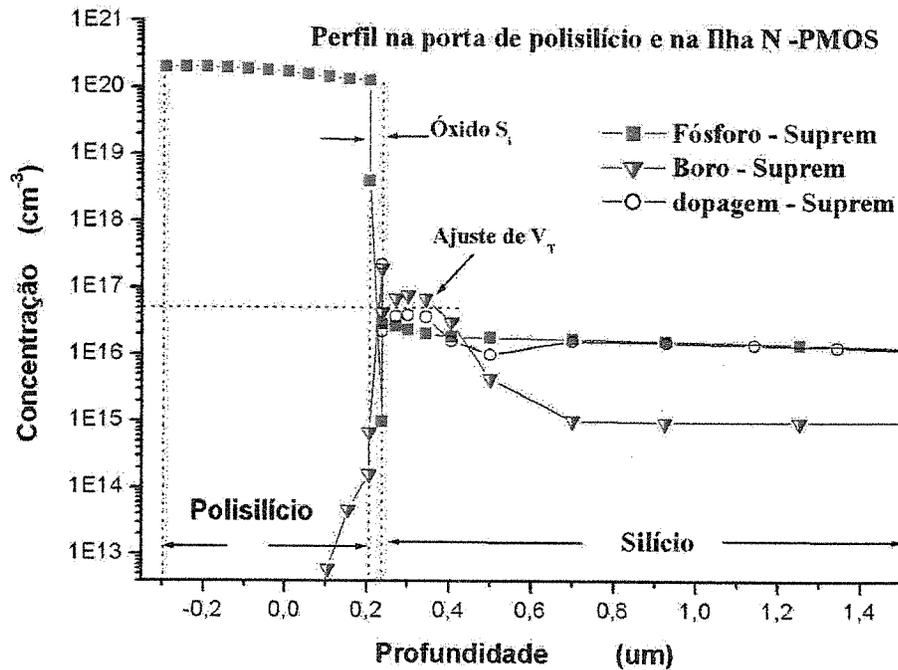


Figura 2.60 - Perfil simulado da região de porta do PMOS

A literatura reporta que para o transistor PMOS o normal é utilizar um poli- P⁺, mas quando é utilizado um poli- N⁺ como é nosso caso, a tensão de limiar fica muito negativa (o valor de ϕ_{ms} é 1,1V mais negativo, na equação 1.2), logo para compensar isto é formado um canal muito raso (0,2μm) tipo P com Boro. Este canal é chamado de *buried channel* [18]. A figura mostra também a ilha N formada anteriormente com Fósforo a uma concentração superficial de $2 \times 10^{16} \text{ cm}^{-3}$. Nota-se que o canal P (*buried channel*) pode ser facilmente formado com uma concentração superficial de Boro maior de $8 \times 10^{16} \text{ cm}^{-3}$, observando-se ainda de que a junção destas duas concentrações tem a profundidade aproximada de 0,1μm.

Os resultados da simulação da região de porta do transistor NMOS são mostrados na figura 2.61 onde temos a curva de concentração vs profundidade, sendo os perfis de concentração do Fósforo (linha vermelha) e a concentração do Boro (linha azul). O perfil de Fósforo mostra a porta de polissilício com uma concentração constante de Fósforo de $2 \times 10^{20} \text{ cm}^{-3}$ em toda a espessura do polissilício (500μm), cujo valor de concentração é adequado para contato da porta, pois permite obter polissilício com a resistência de folha bastante baixa. Como o silício poli teve o processo comum para ambos os transistores, este perfil na região do polissilício é o mesmo que foi apresentado para o transistor PMOS. O perfil de Boro mostra também o canal formado na ilha P com um perfil superficial de Boro para ajuste da tensão de limiar V_T.

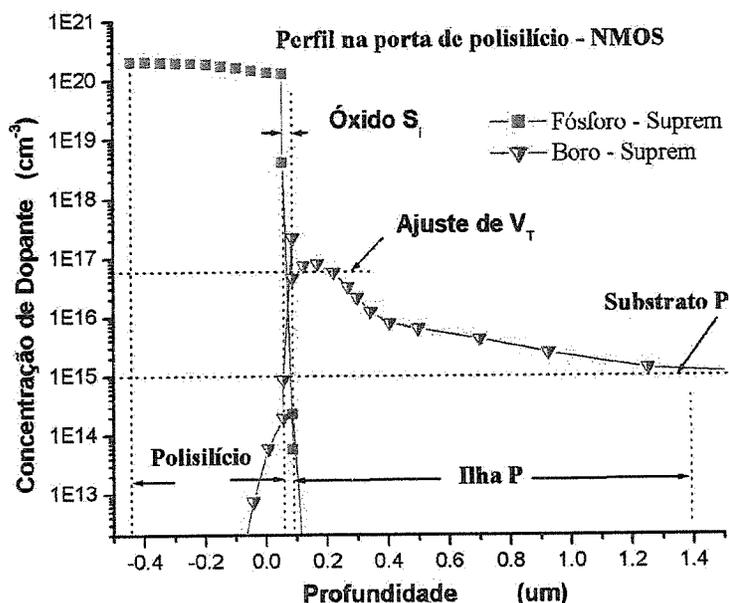


Figura 2.61 - Perfil simulado da região de porta do NMOS

A tensão de limiar é um parâmetro do processo especificado como $|V_{Tn}|=0,8V$ e com o auxílio do Suprem e o Pisces foi obtido que a concentração superficial de Boro necessária para obter essa tensão de limiar é de $8 \times 10^{16} \text{ cm}^{-3}$. Este perfil foi obtido com a implantação iônica de Boro com a dose de $1,5 \times 10^{12} \text{ cm}^{-2}$ e energia de 30 keV (etapa 32) e com a difusão a 1000°C durante 30 minutos (etapa 34, oxidação de porta). A simulação para atingir a tensão de limiar $V_{Tn} = 0,8V$ foram feitas variando a dose da implantação do Boro, mantendo-se constante a energia de 30 keV e as variáveis de oxidação de porta, pois este afeta a difusão do Boro do canal, obtendo-se dessa forma o valor para a dose como sendo de $1,5 \times 10^{12} \text{ cm}^{-2}$. A figura mostra também a ilha P formada anteriormente com Boro feita a uma concentração superficial de $1 \times 10^{16} \text{ cm}^{-3}$. Percebe-se que com esta concentração a formação do canal foi facilitada aumentando a concentração superficial de Boro em quase uma ordem de grandeza ($8 \times 10^{16} \text{ cm}^{-3}$), sendo o efeito o ajuste da tensão limiar observando-se ainda que esta concentração de Boro do canal tem uma profundidade de aproximada de $0,2 \mu\text{m}$ a partir da superfície do substrato. Na superfície do óxido de porta nota-se uma concentração bastante elevada de Boro devido ao efeito do coeficiente de segregação do Boro, que na interface (óxido-Si), o óxido retira Boro do silício durante o processo térmico. Como a implantação iônica de Boro de ajuste de V_T é comum para o transistor PMOS e o transistor NMOS, este processo é feito simultaneamente para ambos os canais. A figura também mostra a concentração de Boro do

substrato utilizado de $1 \times 10^{15} \text{ cm}^{-3}$ (linha tracejada) e que o Boro do processo da formação da ilha P faz aumentar a concentração a partir da profundidade aproximada de $1,4 \mu\text{m}$.

2.3.4 RESULTADOS DA SIMULAÇÃO SUPREM DA REGIÃO DE FONTE/DRENO

Os processos foram simulados até a formação da região de fonte/dreno dos transistores (etapa 49) e os resultados apresentados a seguir analisando a região de fonte/dreno do transistor PMOS e do transistor NMOS (figura 2.62 e figura 2.63). Nas regiões de fonte/dreno de ambos os transistores foi especificada a profundidade de junção de $0,45 \mu\text{m}$ sendo este um parâmetro do projeto a ser obtido nesta simulação. Os resultados da simulação da região de fonte/dreno do transistor PMOS são mostrados na figura 2.62. Esta figura mostra a curva de concentração vs profundidade onde são apresentados os perfis de concentração efetiva de dopagem (linha preta), a concentração do Fósforo (linha vermelha) e a concentração do Boro (linha azul). O perfil de dopagem efetivo mostra a junção de fonte/dreno na profundidade de $0,45 \mu\text{m}$ como especificado em projeto para esses transistores e também mostra que a concentração superficial é de $1 \times 10^{20} \text{ cm}^{-3}$.

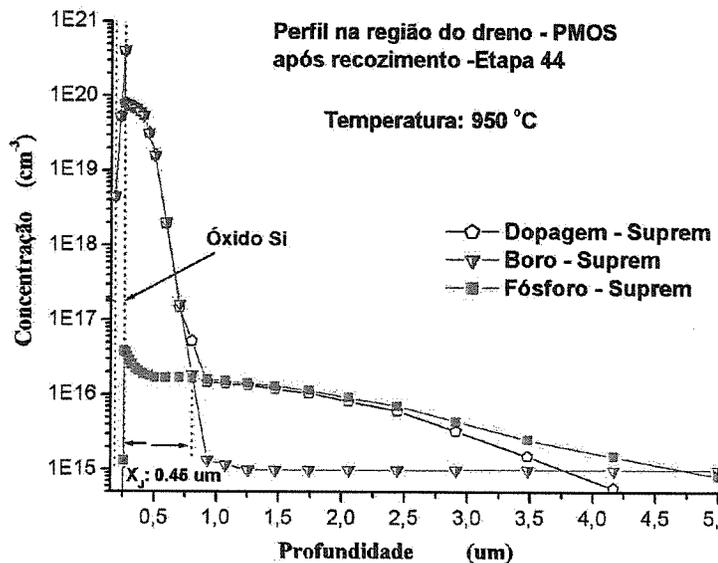


Figura 2.62 - Perfil simulado da região de fonte/dreno do PMOS

O valor desta concentração superficial de fonte/dreno P^+ é adequado para este transistor, porque permite alcançar um valor de resistividade baixo de $1,5 \text{ m}\Omega \text{ cm}$ obtido da curva concentração vs resistividade da literatura [19], correspondente a um valor de resistência

de folha baixo de $34 \Omega/\square$, considerando a profundidade de $0,45\mu\text{m}$. Isto permite baixas resistências parasitárias (resistência de contato, resistência de corpo, resistência de espalhamento) que estão em série com o fonte/dreno. Além disso, com o dreno altamente dopado ($> 1 \times 10^{19} \text{ cm}^{-3}$) qualquer metal em contato íntimo com o semiconductor resultará em baixa resistividade de contato. O perfil de dopagem efetivo também mostra a ilha N com sua junção de ilha na profundidade aproximada de $4,5 \mu\text{m}$. O perfil da ilha N, como pode ser comparado com a observada na figura 2.58, ele manteve-se inalterado mesmo envolvendo etapas térmicas de temperatura mais baixas que as utilizadas para a formação das ilhas do processo *CMOS*. O perfil de Boro mostra que a região de fonte/dreno tem uma alta concentração de Boro e que este é de aproximadamente três ordens de grandeza maior que a de Fósforo. Na região de fonte/dreno o perfil do Boro segue a linha da dopagem efetiva e fora desta região a concentração do substrato ($1 \times 10^{15} \text{ cm}^{-3}$). Estes perfis de concentração (de Boro, de Fósforo e de dopagem efetivo) são o resultado da simulação com a implantação iônica de Boro com a dose de $3 \times 10^{15} \text{ cm}^{-2}$ e energia de 20 keV (etapa 38), com um pre-recozimento a 600°C durante 30 minutos (etapa 48) e com um recozimento a 950°C durante 32 minutos (etapa 49). A simulação para atingir a profundidade de $0,45 \mu\text{m}$ foi feita variando a energia de implantação do Boro, mantendo-se constante a dose da implantação e as variáveis do recozimento, obtendo assim a energia de 20 keV necessária para alcançar a profundidade desejada.

Os resultados da simulação da região de fonte/dreno do transistor NMOS são mostrados na figura 2.63, onde temos a curva de concentração vs profundidade, com os perfis de concentração efetiva de dopagem (linha preta), a concentração do Fósforo (linha vermelha) e a concentração do Boro (linha azul). O perfil de dopagem efetivo mostra a junção de fonte/dreno na profundidade de $0,45\mu\text{m}$ como especificado em projeto para esses transistores e também mostra que a concentração superficial de dopagem efetiva é de $4 \times 10^{20} \text{ cm}^{-3}$ o que satisfaz para esta região. O valor desta concentração superficial de fonte/dreno P^+ satisfaz porque corresponde a um valor de resistividade baixo de $0,4\text{m}\Omega \text{ cm}$ e um valor de resistência de folha baixo de $9 \Omega/\square$ considerando a profundidade de $0,45\mu\text{m}$. Isto permite a construção do dispositivo com baixas resistências parasitárias (resistência de contato, resistência de corpo, resistência de espalhamento) que estão em série com o fonte/dreno.

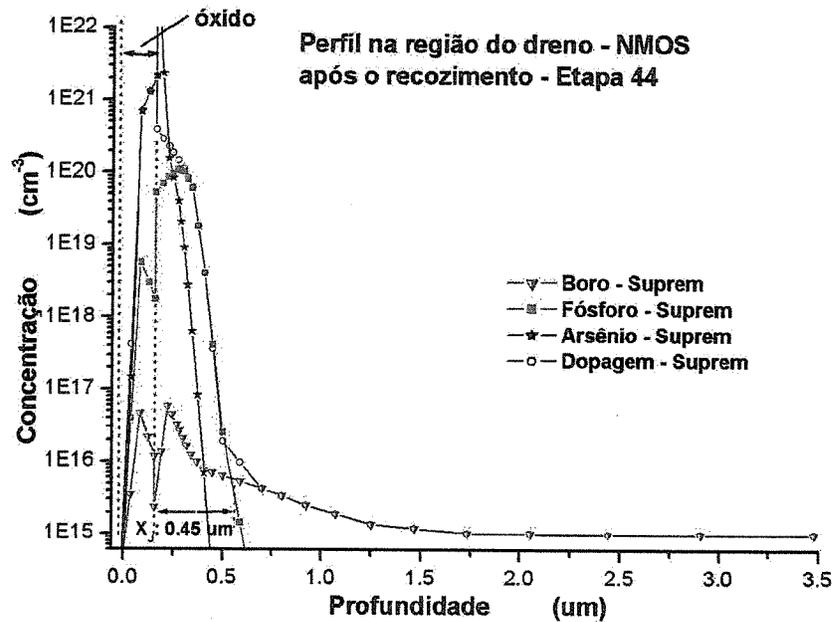


Figura 2.63 - Perfil simulado da região de fonte/dreno do NMOS

O perfil de dopagem foi obtido com a implantação iônica de Fósforo com dose de $2 \times 10^{15} \text{ cm}^{-2}$, energia de 30 keV (etapa 46) e com a implantação iônica de Arsênio com dose de $7,5 \times 10^{15} \text{ cm}^{-2}$, energia de 50 keV (etapa 46), e com um pre-recozimento a 600°C durante 30 minutos (etapa 48) e com um recozimento a 950°C durante 32 minutos (etapa 49). O perfil de dopagem efetivo mostra também as dopagens de Fósforo e de Arsênio apresentando estes a concentração superficial de dopagem de $4 \times 10^{20} \text{ cm}^{-3}$. O perfil mostra também a ilha P com a profundidade de $1,4 \mu\text{m}$ formada anteriormente com Boro na concentração superficial de $1 \times 10^{16} \text{ cm}^{-3}$ observando-se que este faz a junção de profundidade de $0,45 \mu\text{m}$ com a concentração do Fósforo do fonte/dreno de $1,0 \times 10^{20} \text{ cm}^{-2}$. A simulação para atingir a profundidade de $0,45 \mu\text{m}$ foi feita variando a energia de implantação do Fósforo, mantendo-se constante a dose da implantação e as variáveis do recozimento, obtendo-se assim a energia de 50keV, necessária para isso.

2.3.5 RESULTADOS DA SIMULAÇÃO SUPREM DA ESTRUTURA DO TRANSISTOR

Os perfis de dopagem efetivo de uma estrutura do transistor NMOS após as etapas de abertura de contatos, da metalização e da sinterização, e no final do processo CMOS, obtidos por simulação Suprem são mostrados na figura 2.64. Esta figura apresenta a secção transversal

do transistor NMOS com as suas dimensões comprimento vs profundidade, onde o zero da escala y de profundidade corresponde a superfície do silício no início do processo e o zero da escala x comprimento corresponde ao centro do comprimento da porta. Podemos notar nesta figura a profundidade da junção fonte/dreno; a metalização para contatos de fonte, dreno e de ilha P; a porta com o material polisilício; o óxido de porta e o óxido de isolamento. A denotação G, S e D correspondem aos eletrodos de porta, da região de fonte e dreno, respectivamente. O metal foi conectado à fonte e a ilha P para facilitar a simulação elétrica, observando-se a junção (separação entre o N⁺ da fonte e o P⁺ do contato da ilha P) abaixo do metal.

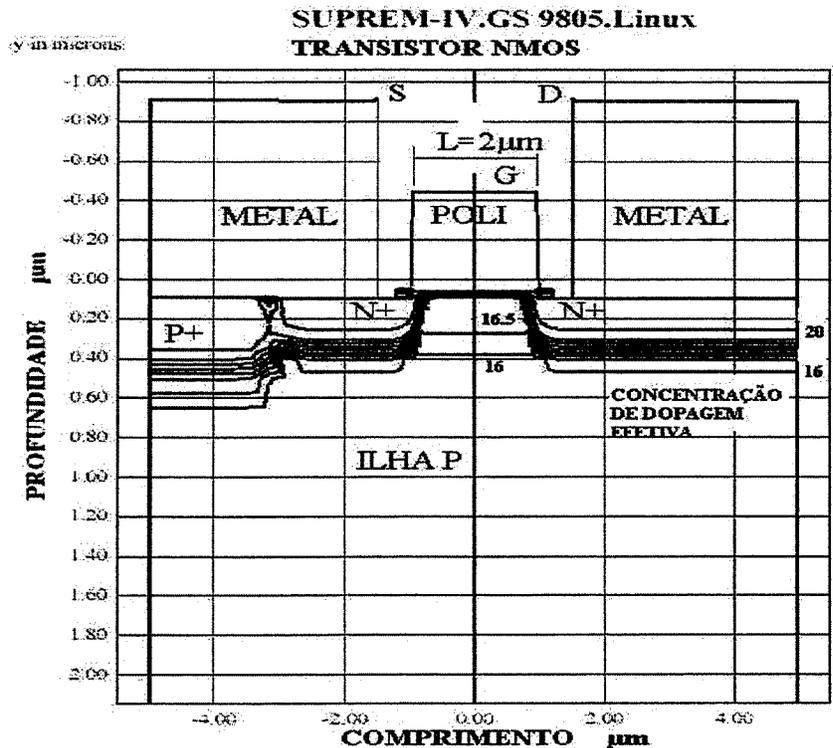


Figura 2.64 - Estrutura e perfil simulado de dopagem do transistor NMOS

Os perfis de dopagens apresentados correspondem às concentrações efetivas na faixa de 1×10^{16} a $1 \times 10^{20} \text{ cm}^{-3}$, ao longo da estrutura do transistor NMOS passando por dreno, fonte, porta e o contato da ilha P. Na região de fonte/dreno os perfis mostram a profundidade de junção de $0,45 \mu\text{m}$, parâmetro especificado para este processo. Interpretando o comportamento dos dopantes na região de porta ($L=2\mu\text{m}$), onde predomina o Boro, temos que o primeiro perfil corresponde à concentração de Boro de $1 \times 10^{16} \text{ cm}^{-2}$ e o segundo à concentração de $3 \times 10^{16} \text{ cm}^{-2}$. Comparando estes dois perfis podemos notar que o perfil de maior concentração se

encontra mais próximo da superfície do Si, onde a condução de corrente através do canal de porta é controlada pela tensão de porta.

Na figura 2.65 são mostrados os perfis de dopagem efetivo de uma estrutura do transistor PMOS após as etapas de abertura de contatos; da metalização e da sinterização; e no final do processo CMOS, obtidos por simulação Suprem. Esta figura apresenta a secção transversal do transistor NMOS com as suas dimensões comprimento vs profundidade, onde o zero da escala de profundidade corresponde a superfície do silício no início do processo e o zero da escala comprimento corresponde ao centro do comprimento da porta. Podemos notar desta figura a profundidade da junção; a metalização para contatos de fonte, dreno e de ilha P; o polisilício como material de porta; o óxido de porta e o óxido de isolamento. A denotação G usada corresponde ao eletrodo de porta, o D e o S aos eletrodos de dreno e da fonte. O metal foi conectado a fonte e a ilha P para facilitar a simulação elétrica, observando-se a junção (separação entre o P⁺ da fonte e o N⁺ do contato da ilha N) abaixo do metal.

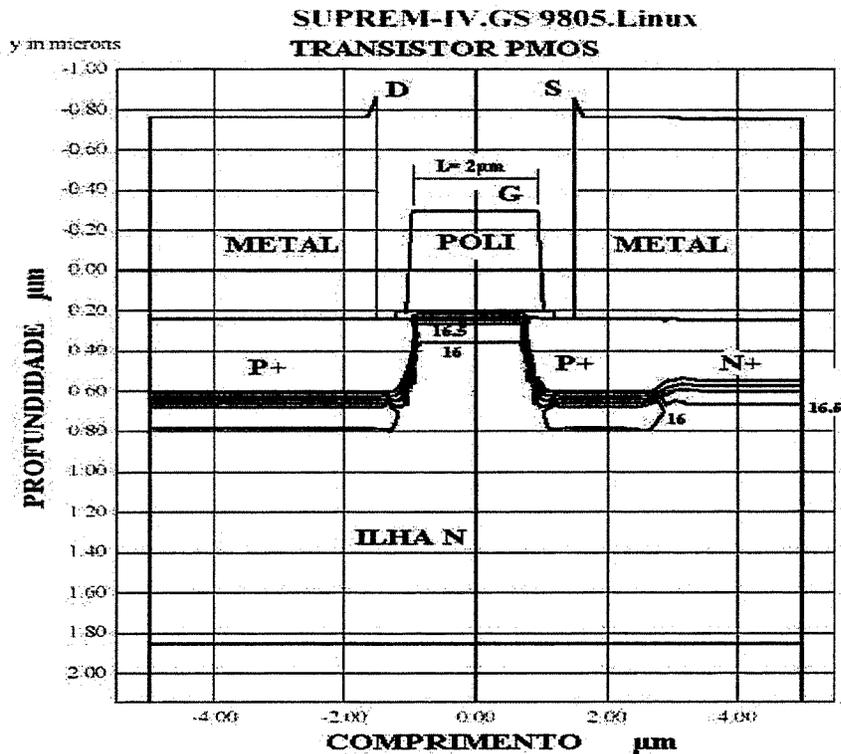


Figura 2.65 - Estrutura e perfil simulado de dopagem do transistor PMOS

Os perfis de dopagens apresentados correspondem às concentrações efetivas na faixa de 1×10^{16} a $1 \times 10^{20} \text{ cm}^{-3}$, ao longo da estrutura do transistor PMOS passando por dreno, fonte,

porta e o contato da ilha P. Na região de fonte/dreno os perfis mostram a profundidade de junção de 0,45 μm , parâmetro especificado para este processo. Com relação ao comportamento dos dopantes na região de porta ($L=2\mu\text{m}$), onde predomina o Boro, temos que o primeiro perfil corresponde a concentração de Boro de $1 \times 10^{16} \text{ cm}^{-2}$ e o segundo a concentração de $3 \times 10^{16} \text{ cm}^{-2}$. Fazendo a comparação destes dois perfis podemos notar que o perfil de maior concentração se encontra mais próximo da superfície do Si, onde a condução de corrente através do canal de porta é controlada pela tensão de porta.

2.3.6 RESULTADOS DA SIMULAÇÃO SUPREM - REGIÃO DO LOCOS

Um programa do tipo bidimensional foi desenvolvido compreendendo quase toda a estrutura do *CMOS*, incluindo a metade do PMOS, a metade do NMOS e o LOCOS. Esta simulação foi feita orientando-se especialmente a análise da região do LOCOS. As dimensões comprimento vs profundidade da secção transversal do LOCOS são mostrados na figura 2.66 onde temos a espessura do óxido de 1000nm conforme o desejado para isolar as áreas ativas e seus dispositivos. A estrutura do LOCOS mostrado na figura 2.66 corresponde aos resultados da simulação feitas após a sua formação por oxidação térmica na etapa 26 do processo *CMOS*. A espessura de 1000nm do LOCOS foi obtida com a oxidação úmida simulada a 1000°C durante 240 minutos (etapa 26) e o anel de guarda formada com a implantação de Boro com dose de $1 \times 10^{13} \text{ cm}^{-2}$, energia de 100 keV (etapa 23) e sua difusão feita pela etapa térmica do LOCOS. A simulação para atingir a espessura de 1000nm foram feitas variando o tempo, mantendo-se constante a temperatura de oxidação de 1000°C , determinando-se assim o tempo de 240 minutos, necessário para esta oxidação.

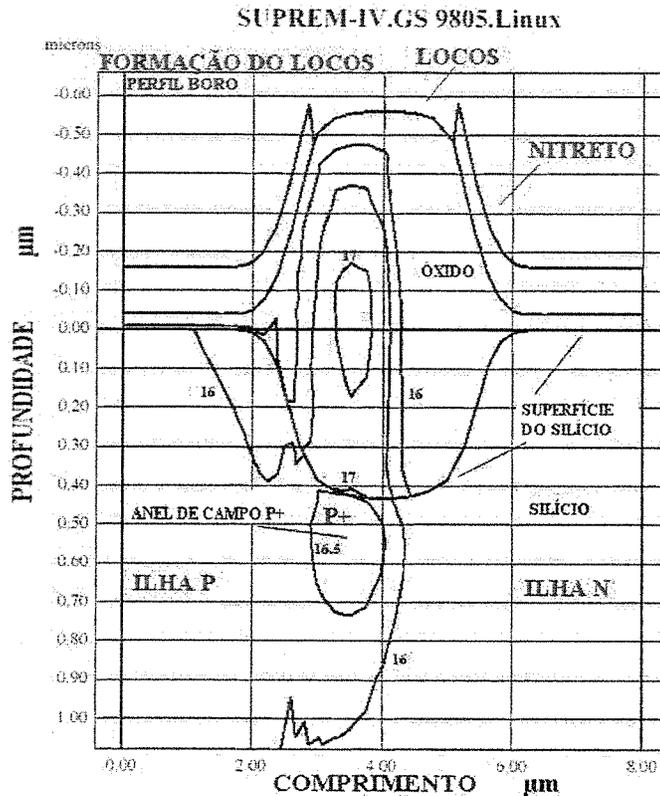


Figura 2.66 - Estrutura e formação do LOCOS: Perfil simulado de Boro

O LOCOS define a largura W do transistor e a espessura do LOCOS a variação ΔW da largura, determinando assim, a largura efetiva W_{eff} do transistor que é menor do que a determinada por fotogração. Considerando este fato, os transistores de menor largura do nosso projeto poderiam aceitar espessura do óxido LOCOS de até 800nm para o isolamento dos dispositivos. Na literatura há relatos de utilização de LOCOS de espessuras menores, como exemplo, o processo CMOS da universidade de Califórnia para uma tecnologia de 1,3 μm , que utiliza em seu processo o LOCOS de espessura de 650 nm [20]. A figura 2.66 ilustra a estrutura do transistor NMOS e PMOS em formação, isolados por LOCOS. Esta figura apresenta todas as regiões LOCOS e perfis de concentração de dopagem de Boro na faixa de 1×10^{16} a $1 \times 10^{18} \text{ cm}^{-3}$ ao longo do anel de campo P^+ , do anel de campo N^+ e do óxido LOCOS. Na região do anel de campo P^+ (indicada na figura) observa-se que o perfil de Boro de concentração $3 \times 10^{16} \text{ cm}^{-3}$ passa próximo da interface silício/óxido sendo que do lado do óxido temos outro perfil de Boro de $1 \times 10^{17} \text{ cm}^{-3}$, devido ao efeito de segregação do Boro, o óxido atrair o Boro do silício. Observa-se também o efeito chamado de bico de pássaro no lado direito (posição 6 μm) e no lado esquerdo (2 μm) da figura, produzido pela oxidação LOCOS onde se nota o nitreto levantado devido a oxidação lateral na região de transição entre o nitreto e a região oxidada.

A figura 2.67 mostra a estrutura do LOCOS isolando o transistor PMOS e o transistor NMOS após a simulação do processo até a etapa de recozimento dos drenos (etapa 49 do processo CMOS).

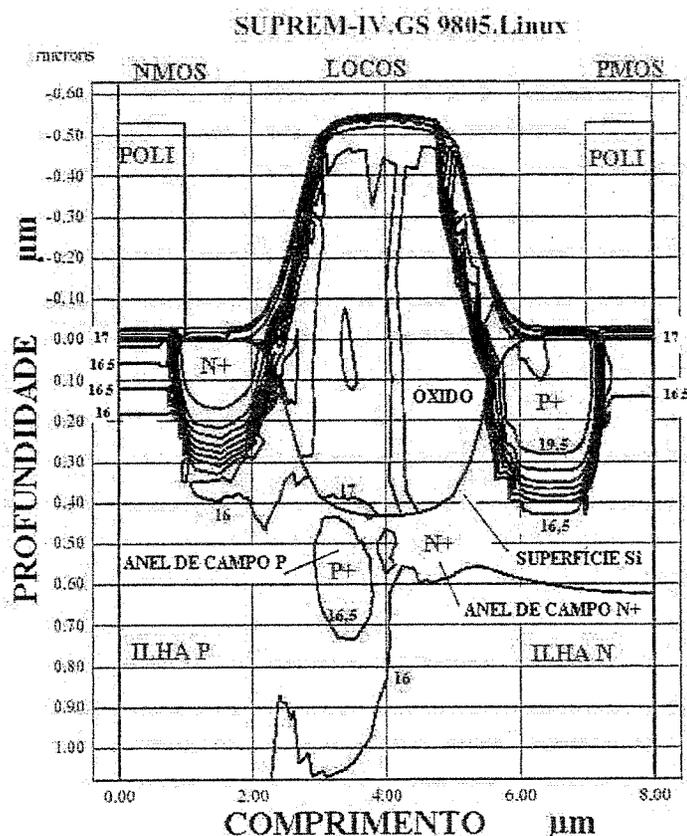


Figura 2.67 - Estrutura e perfil simulado de dopagem: ½ NMOS, LOCOS, ½ PMOS

Comparando as figuras 2.66 e 2.67, observa-se que a espessura simulada do LOCOS não apresenta alterações importantes desde sua formação (etapa 26) até o recozimento dos drenos dos transistores (etapa 49), o que pode ser justificado pela realização até aqui somente de etapas de oxidações e remoções de óxido fino (40nm, 50nm, 30nm). Esta figura mostra todas as regiões do LOCOS e perfis de concentração de dopagem efetiva na faixa de 1×10^{16} a $1 \times 10^{20} \text{ cm}^{-3}$ ao longo da região de LOCOS e dos transistores, passando pelo anel de campo P^+ e anel de campo N^+ . Na figura 2.67 está indicada a região do anel de campo P^+ com perfis de dopagem efetiva, onde estes perfis são semelhantes aos perfis de Boro apresentados e explicados na figura 2.66 indicando que não houve alteração nos perfis devido ao envolvimento somente de etapas térmicas de curta duração. Na figura está indicada a região do anel de campo N^+ onde nota-se que o perfil de Fósforo de $1 \times 10^{16} \text{ cm}^{-3}$ passa próximo da interface

silício/óxido e mostra o contorno do anel de campo. A junção deste anel de campo N⁺ e o anel de campo P⁺ polarizada inversamente tem a função de isolar o transistor PMOS e o transistor NMOS. Na região dos transistores, onde o transistor PMOS está do lado direito e o transistor NMOS do lado esquerdo, os perfis de dopagem mostram os fonte/dreno dos transistores com a profundidade de junção de 0,45µm. Para verificar o comportamento dos dopantes na região de porta, mostramos os perfis efetivos no transistor PMOS e no transistor NMOS. Por estes perfis podemos notar que a maior concentração está mais próxima da superfície onde a condução de corrente através do canal de porta é controlada pela tensão de porta. No canal do transistor NMOS só temos o Boro e no canal do transistor PMOS, o Fósforo e o Boro de ajuste, logo o perfil efetivo é um pouco menor no canal do PMOS como foi mostrado na figura 2.60.

O perfil simulado da região do anel de campo P⁺ é mostrado na figura 2.68. Este perfil foi obtido na posição x=3,5 µm da estrutura do LOCOS da figura 2.67. Estes resultados do anel de campo P⁺ mostrados foram obtidos após o fim do processo CMOS (etapa 57).

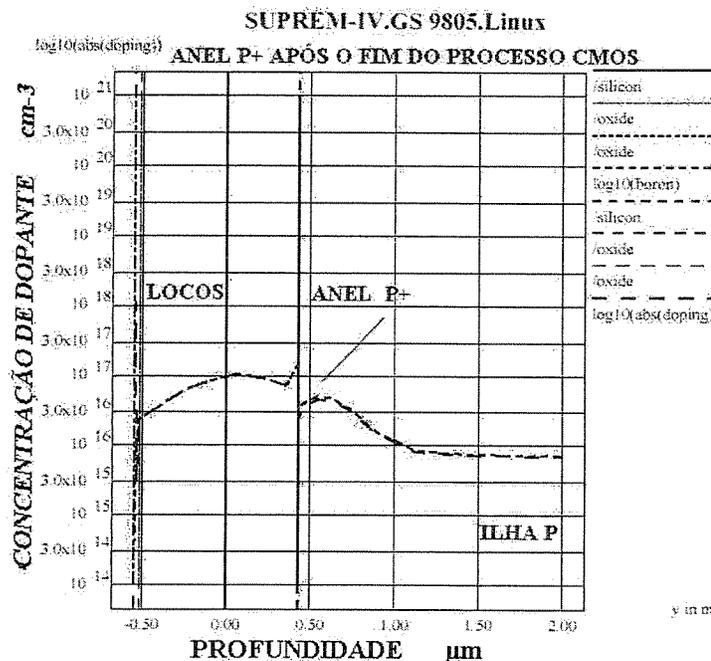


Figura 2.68 - Perfil simulado de Boro na região de anel P⁺: LOCOS

Esta figura mostra que temos a concentração superficial de Boro de $4 \times 10^{16} \text{ cm}^{-3}$ o que é satisfatória para sua função de isolamento das ilhas, pois, este anel de campo P⁺ (Boro) faz junção com o anel de campo N⁺ (Fósforo) e o isolamento formado pela polarização reversa desta junção. A região do anel P⁺ foi obtida com a implantação de Boro com dose de $1 \times 10^{13} \text{ cm}^{-2}$, energia de 100 keV (etapa 23) e sua difusão feita pela etapa térmica do LOCOS. O perfil

de dopagem da interface silício - LOCOS mostra que a concentração de Boro aumenta desde $1 \times 10^{16} \text{ cm}^{-3}$ na profundidade $0,6 \mu\text{m}$ até $4 \times 10^{16} \text{ cm}^{-3}$ na superfície do silício. O perfil simulado da região do anel de campo N^+ são mostrados na figura 2.69 Este perfil foi obtido na posição $x=4,5 \mu\text{m}$ da estrutura do LOCOS da figura 2.67. Estes resultados da simulação correspondem a estrutura do LOCOS após o fim do processo CMOS (etapa 57) e segundo estes resultados, temos a concentração de Boro de $3 \times 10^{16} \text{ cm}^{-3}$ na região do anel de campo N^+ , o que é satisfatório para sua função de isolamento das ilhas, pois, este anel de campo N^+ (Fósforo) faz junção com o anel de campo P^+ (Boro) que polarizando reversamente produz o isolamento. A região do anel N^+ foi formado durante a etapa térmica do LOCOS através do efeito da oxidação com o Fósforo concentrando-se no silício, assim esta região não foi implantada com o Fósforo para formar o N^+ . O perfil de dopagem desta região mostra que a concentração de Fósforo aumenta desde $2 \times 10^{16} \text{ cm}^{-3}$ na profundidade $0,2 \mu\text{m}$ da superfície do silício até 3×10^{16} na interface silício - LOCOS.

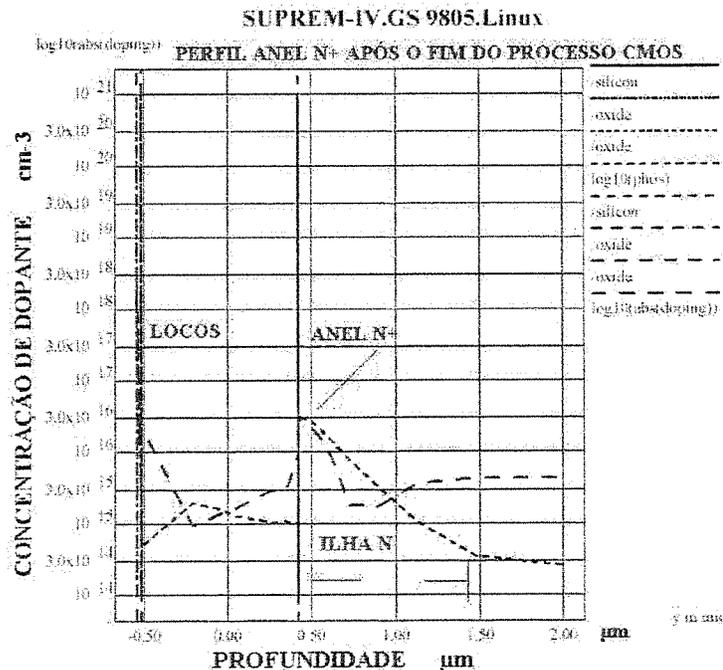


Figura 2.69 - Perfil simulado de Fósforo na região de anel N^+ : LOCOS

2.3.7 SIMULAÇÃO ELÉTRICA – PISCES

A caracterização elétrica simulada dos dispositivos (tensão de limiar V_T , curva $I_D \times V_{DS}$) foi realizada após a simulação Suprem das diversas etapas do processo (I/I, oxidação, dopagem, deposição, etc.) e determinadas as correspondentes variáveis de processo (tais como, profundidades de junção de fonte/dreno e de ilha, espessura de óxido de porta, etc.) até o final do processo CMOS. Esta caracterização elétrica foi realizada com programas Pисces a partir de um arquivo gerado no Suprem (ver anexo A2, A3) com a estrutura de um transistor de comprimento $2 \mu\text{m}$, observando-se que os resultados de corrente são fornecidos para cada μm de largura de porta. A curva corrente de dreno vs tensão de porta $I_D \times V_{GS}$ do transistor NMOS ($L=2\mu\text{m}/W=1\mu\text{m}$) é mostrado na figura 2.70 para cada μm de largura do transistor. Desta figura temos que a tensão de limiar V_T é de aproximadamente $0,85\text{V}$, obtida fazendo-se a extrapolação por uma linha reta tangente ao ponto de máxima inclinação da curva até a intersecção com o eixo ($X=V_{GS}$). Este resultado é satisfatório porque é aproximado ao valor desejado de $V_{Tn}=0,8\text{V}$ para o transistor NMOS. Este valor foi obtido com o perfil de dopagem da figura 2.61, através do arquivo de saída do programa Suprem onde foi simulado o ajuste de V_T com a implantação iônica de Boro com dose de $1,5 \times 10^{12} \text{ cm}^{-2}$, energia de 30 keV . (etapa 32) e com a difusão a 1000°C durante 30 minutos (etapa 34, oxidação de porta). Observa-se que a curva $I_D \times V_{GS}$ é quase uma reta desviando da reta na região menor que V_T devido ao efeito da corrente na região sub-limiar e também se desvia na região acima do V_T devido ao efeito da resistência série e ou degradação da mobilidade dos portadores.

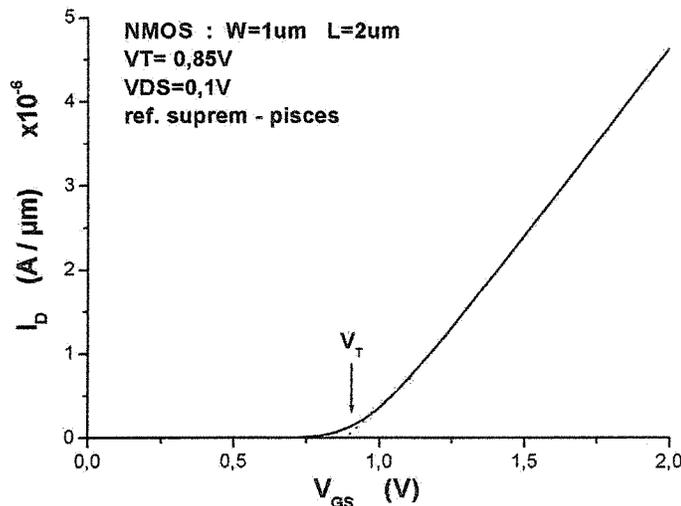


Figura 2.70 - Simulação PISCES: Curva $I_D \times V_{GS}$ do Transistor NMOS ($L=2\mu\text{m}/W=1\mu\text{m}$)

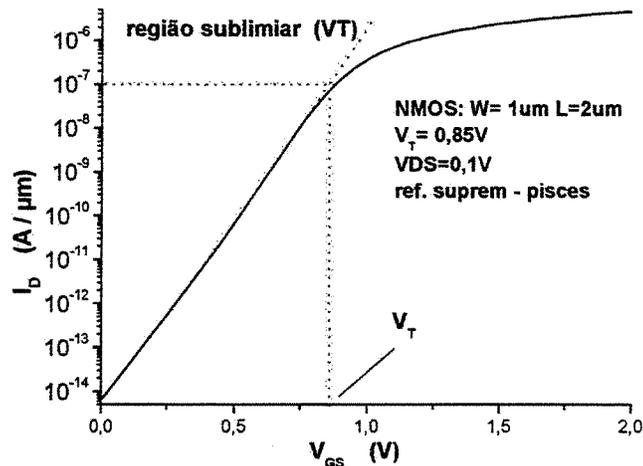


Figura 2.71 - Simulação Pisces: Curva $\text{Log}(I_D) \times V_{GS}$ do Transistor NMOS ($L=2\mu m/W=1\mu m$)

Pelo método da região sublimiar ou seja pela curva $\text{Log}(I_D) \times V_{GS}$ pode-se de forma mais detalhada o comportamento na região abaixo de V_T . Observa-se que nesta curva a corrente na região sublimiar é linear com V_{GS} [21] e fazendo-se a extrapolação por uma linha reta nesta região até o ponto onde a corrente é aproximadamente 10^{-7} obtemos o valor da tensão limiar $V_T = 0,85V$. A figura 2.71 mostra a curva $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS estudado, simulado com $V_{DS} = 0.1V$. Os resultados obtidos foram consistentes com a tensão de limiar especificada para este dispositivo NMOS de $V_{Tn} = 0,80V$ sendo que a medida na região sublimiar fornece maior exatidão embora a medida com escala linear seja a mais utilizada porque satisfaz devido a que o possível erro é pequeno.

A figura 2.72 mostra a curva corrente (valor absoluto) de dreno vs tensão de porta ($\text{abs } I_D) \times V_{GS}$ do transistor PMOS ($L=2\mu m/W=1\mu m$). Extrapolando a tensão de limiar V_T com uma linha reta no ponto de máxima inclinação da curva, o seu valor é de aproximadamente $0,9V$. Este resultado é satisfatório visto que o valor encontrado é bastante próximo do valor desejado de $V_{Tp} = -0,8V$ para o transistor PMOS. Este resultado da simulação Pisces foi obtido usando o perfil de dopagem da figura 2.60, através do arquivo de saída do programa Suprem onde foi simulado o ajuste de V_T com a implantação iônica de Boro com dose de $1,5 \times 10^{12} \text{ cm}^{-2}$, energia de 30 keV (etapa 32) e com a difusão a $1000^\circ C$ durante 30 minutos (etapa 34, oxidação de porta). A corrente negativa de dreno é apresentada com seu valor absoluto e observa-se que a curva $(\text{abs } I_D) \times V_{GS}$ é quase reta desviando na região menor que V_T devido ao efeito da corrente de sublimiar e também desvia na região acima do V_T devido ao efeito da resistência série e/ou degradação da mobilidade dos portadores.

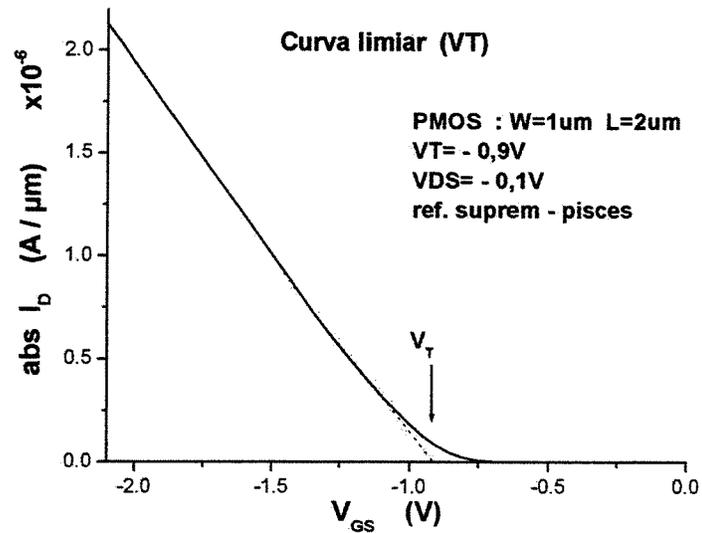


Figura 2.72 - Simulação PISCES: Curva $I_D \times V_D$ do transistor PMOS ($L=2\mu\text{m}/W=1\mu\text{m}$)

A figura 2.73 mostra a curva $\text{Log}(I_D) \times V_{GS}$ do transistor PMOS. Tanto os resultados desta figura como o da figura 2.70 foram obtidos pela simulação elétrica para a tensão de dreno de $0,1\text{V}$. O valor de tensão de limiar V_T obtido pela figura 2.73, extrapolando por uma linha reta até o ponto onde a corrente é aproximadamente 10^{-7} , é de $-0,87\text{V}$. Logo, os resultados obtidos de tensão de limiar por este método e pela curva $I_D \times V_{GS}$, foram consistentes e bastante próximos da tensão de limiar de $V_{Tp} = -0,8\text{V}$, especificada para este transistor PMOS.

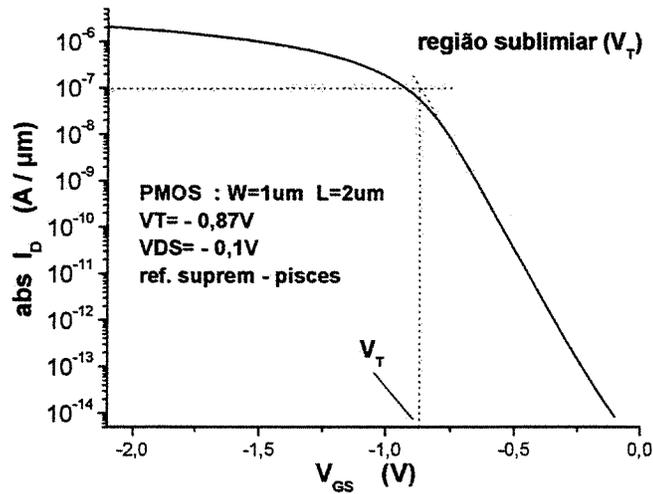


Figura 2.73 - Simulação PISCES: Curva Log ($I_D \times V_D$) do transistor PMOS ($L=2\mu\text{m}/W=1\mu\text{m}$)

2.4 CHIP TESTE: DESCRIÇÃO, LAYOUT E REGRAS DE PROJETO

O *layout* total do chip teste projetado e estudado na primeira fabricação é ilustrado na figura 2.74. O *layout* mostra que o chip teste é constituído por um conjunto de estruturas de dispositivos de testes dedicadas à caracterização do processo CMOS. Este chip teste foi projetado com finalidades didáticas usando a tecnologia CMOS $2\mu\text{m}$, visando sua utilização em laboratórios de ensino para o apreendimento de matérias relativas a eletrônica, microeletrônica, dispositivos, semicondutores, processos de fabricação, etc.

O chip teste contempla os seguintes conjuntos de estruturas de dispositivos:

- Transistores PMOS com L fixo e W variável.
- Transistores NMOS com L fixo e W variável.
- Transistores PMOS com W fixo e L variável.
- Transistores NMOS com W fixo e L variável.
- Transistores de campo.
- Capacitores MOS.
- Diodos (convencional quadrado e em serpentina).
- Inversores.
- Oscilador anel
- Estruturas Van-der Pauw (N^+ , P^+ , polisilício).
- Estruturas Kelvin (Al/poli, Al/ P^+ , Al/ N^+).

Tendo em vista os objetivos descritos anteriormente, as estruturas dos dispositivos de teste foram projetadas visando facilitar a realização das medidas elétricas e a extração dos parâmetros dos diversos dispositivos que constituem o chip teste. Os dispositivos considerados são simples com os terminais necessários para facilitar as medidas, de modo que os capacitores e diodos foram providos com terminais independentes; os conjuntos de transistores com os terminais dos drenos independentes, com terminal de porta comum e terminal de fonte comum; e os circuitos dispostos com os terminais independentes de entrada e saída.

As medidas de características elétricas das estruturas de dispositivos de teste foram realizadas diretamente na lâmina, manualmente com um sistema de medição HP4145. Normalmente, numa *foundry*, a caracterização elétrica das estruturas de teste é realizada diretamente na lâmina com procedimentos automatizados, de medida e de extração de parâmetros. Do chip teste fabricado foram extraídos os seguintes parâmetros:

Dos transistores: características de porta, tensão de limiar V_T , variação do comprimento de canal ΔL , variação de largura de canal ΔW , curva sublimiar, características de dreno, efeito de corpo e outros.

Dos capacitores: curvas CV para extrair os parâmetros capacitância em acumulação C_{ox} , espessura do óxido T_{ox} , carga efetiva total no óxido Q_{ox} e dopagem do substrato N_{sub} .

Dos diodos: a tensão de limiar V_T , a tensão de ruptura V_{bd} e a corrente de saturação da junção I_s .

Dos circuitos inversores: as curvas de transferência $V_{in} \times V_{out}$.

Estrutura Van-der Pauw: a resistência por quadrado \square e largura efetiva da trilha.

Estrutura Kelvin: resistência de contato.

2.4.1 LAYOUT DO CHIP TESTE CMOS DA PRIMEIRA FABRICAÇÃO

Na figura 2.74 apresentamos o *layout* do chip teste realizado com as estruturas dos dispositivos acima descritas. O *layout* mostra os tipos de dispositivos incluídos no chip teste: conjunto de transistores, capacitores, diodos, estruturas Van-der Pauw e Kelvin, assim como os circuitos inversores e o oscilador anel. O projeto do chip teste desta primeira fabricação e o seu *layout* foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, [22] com as seguintes especificações:

Tecnologia de fabricação :

CMOS 2 μ m.

CMOS dupla ilha: ilha P e ilha N.

Área do *chip* teste:

$\Delta X = 2,5$ mm, $\Delta Y = 3,0$ mm

Área = 7,5 mm².

2.4.2 *LAYOUT DO CHIP TESTE CMOS DA SEGUNDA FABRICAÇÃO*

A figura 2.75 mostra o *layout* total do chip teste da segunda fabricação. As estruturas dos dispositivos contidos no chip teste são as mesmas das descritas no item anterior 2.4 e o *layout* semelhante ao da primeira fabricação, salvo a inclusão de algumas alterações corretivas que descrevemos a seguir. O *layout* do chip teste da primeira fabricação continha alguns erros que foram corrigidos nesta segunda fabricação, como a interconexão de entrada e saída do oscilador que se encontrava em aberto e afetavam o funcionamento do oscilador, assim como ocorreu problemas com o diodo quadrado e o diodo serpentina, pois não tinham a ilha N, além do problema de não funcionamento do capacitor, devido a falta de contato da ilha N. Descrevemos abaixo a relação completa dos dispositivos que compõem o chip teste desta segunda fabricação.

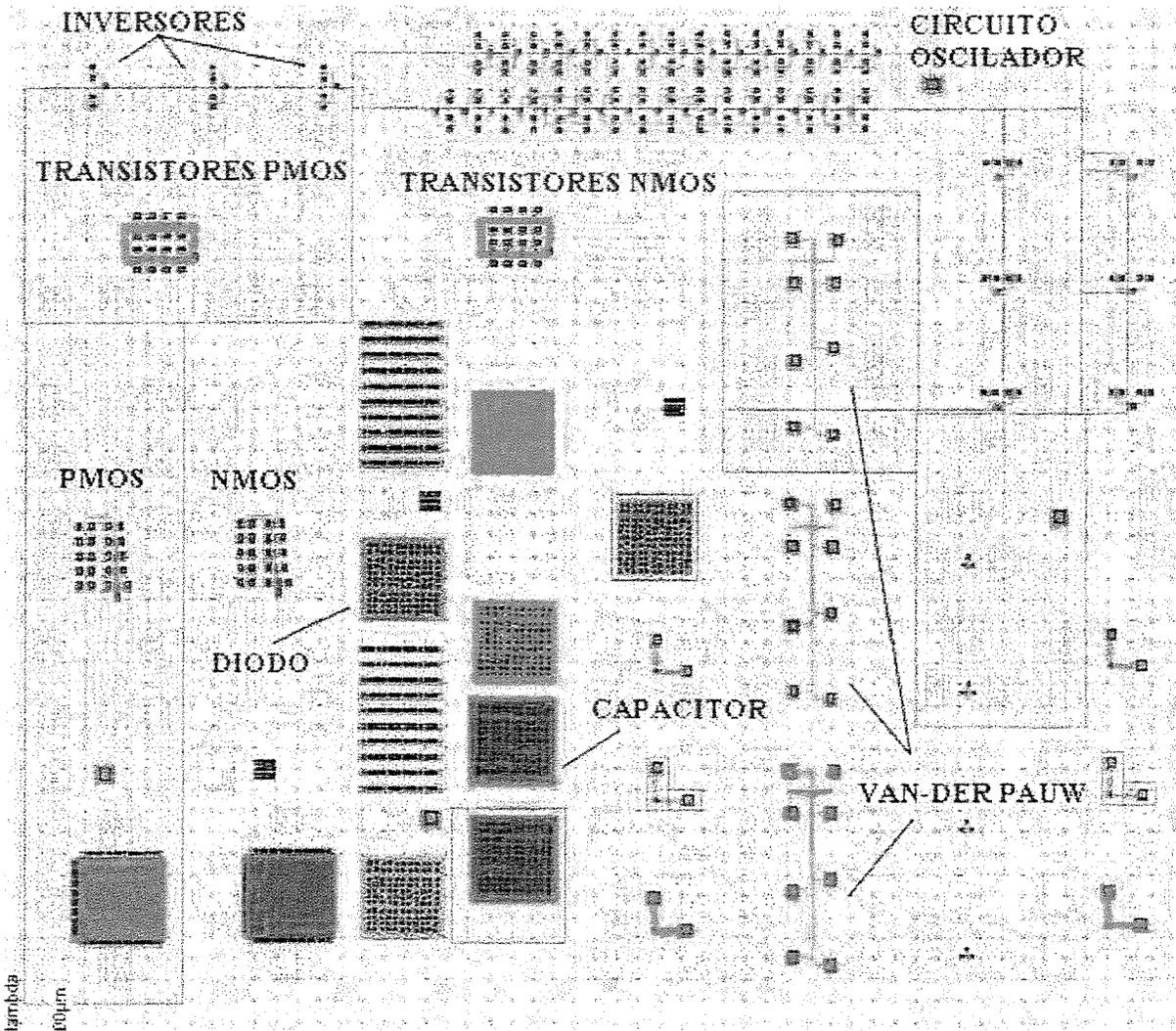


Figura 2.74 - Layout total do chip teste: primeira fabricação

CAPACITORES

O chip tem capacitores MOS (estruturas em ilha P e em ilha N) com óxido fino de 30nm (o mesmo da porta), capacitores especiais com óxido de LOCOS e outros com óxido de campo para uma avaliação do processo. As dimensões dos capacitores MOS quadrados são de 200x200 ($\mu\text{m} \times \mu\text{m}$) e o chip teste tem uma estrutura de capacitor MOS na ilha N e outra na ilha P. Além disso, o chip tem os seguintes capacitores para utilizar especialmente para avaliar o processo:

Capacitor com óxido de LOCOS: estrutura poli-Si/óxido LOCOS/ilha-p (não tem área ativa).

Capacitor com óxido de campo (incluindo o LOCOS): estrutura metal/óxido campo/ilha-p (não tem área ativa nem poli-Si).

Capacitor com óxido de campo (sem o LOCOS): estrutura metal/óxido campo/poli-Si.

DIODOS

O chip teste tem diodos (estruturas em ilha P e em ilha N) com junção de $0,45\mu\text{m}$ de profundidade (o mesmo do fonte/dreno) e diodos especiais, um em forma de serpentina e outro com junção de ilha N (profundidade $4,5\mu\text{m}$). As dimensões dos diodos quadrados são de 200×200 ($\mu\text{m} \times \mu\text{m}$) e as dos diodos serpentina de 10 linhas retas de 200×20 ($\mu\text{m} \times \mu\text{m}$), sendo as dimensões deste último, mesmo que as do diodo quadrado para fazer comparações de comportamentos elétricos. As estruturas dos diodos quadrados e de serpentina são de dois tipos: dif. N^+ /ilha-p e estrutura dif. P^+ /ilha-n. O diodo quadrado com junção de ilha-n tem estrutura dif. N^+ /ilha-n/substrato-p.

TRANSISTORES

As máscaras foram fabricadas pelo CenPRA, e nesta segunda fabricação de máscaras foi corrigido um erro que houve na primeira fabricação na qual o *grid* mínimo de $0,5\mu\text{m}$ de nosso *layout* (feito no Microwind) não foi reconhecido porque o *grid* mínimo do CAD do CenPRA era de $1\mu\text{m}$, sendo que este erro alterou as dimensões das estruturas do conjunto de transistores NMOS de largura W fixa e de comprimento L variável e do conjunto de transistores PMOS de comprimento L variável visando a extração do comprimento efetivo L_{eff} . As dimensões são as mesmas para ambos conjuntos de transistores, logo o *layout* do chip teste e as máscaras confeccionadas da segunda fabricação têm a mesma relação dimensional dos transistores mostrada na tabela 2.1.

Tabela 2.1. Dimensões do conjunto de transistores de largura fixa $W=20\mu\text{m}$ e comprimento L variável

| | | | | | | | | | | |
|-------------|-----------------------|----|----|----|----|----|-----|----|-----|-----|
| Largura | W (μm) | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 |
| Comprimento | L (μm) | 20 | 10 | 8 | 5 | 3 | 2,5 | 2 | 1,5 | 0,5 |

O *layout* do chip teste tem também um conjunto de transistores NMOS de comprimento L fixo e largura W variável e um conjunto de transistores PMOS de comprimento L fixo e largura W variável visando a extração da largura efetiva W_{eff} . A tabela 2.2 mostra as dimensões dos transistores.

Tabela 2.2. Dimensões do conjunto de transistores de comprimento fixo $L=20\mu\text{m}$ e largura W variável

| | | | | | | | | | |
|-------------|-----------------------|----|----|----|----|----|----|----|----|
| Comprimento | L (μm) | 20 | 20 | 20 | 20 | 20 | 20 | 20 | 20 |
| Largura | W (μm) | 20 | 15 | 10 | 8 | 5 | 4 | 3 | 2 |

O projeto do chip teste da segunda fabricação e o seu *layout* foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, com as seguintes especificações:

Tecnologia de fabricação :

CMOS 2 μm .

CMOS dupla ilha: ilha P e ilha N.

Área do *chip* teste:

$\Delta X = 2,5 \text{ mm}$ e $\Delta Y = 3,4 \text{ mm}$ (a figura 2.74 está rotacionada de 90°)

Área = $8,5 \text{ mm}^2$.

LAYOUT

O *layout* total da segunda fabricação inclui quatro chips: um chip teste CMOS1, um chip teste CMOS2 e duas versões de chip APS: APS1 e APS2. O *layout* do chip teste CMOS1 e do chip teste CMOS2 da segunda fabricação são semelhantes ao chip teste da primeira fabricação, e somente o chip teste CMOS2 tem uma pequena diferença na região das estruturas do conjunto de transistores com L variável, onde não foi feito o nível de polisilício com o intuito de fazer a litografia de escrita direta por *e-beam*.

| | | | |
|-------|------|-------|------|
| CMOS2 | APS2 | CMOS1 | APS1 |
|-------|------|-------|------|

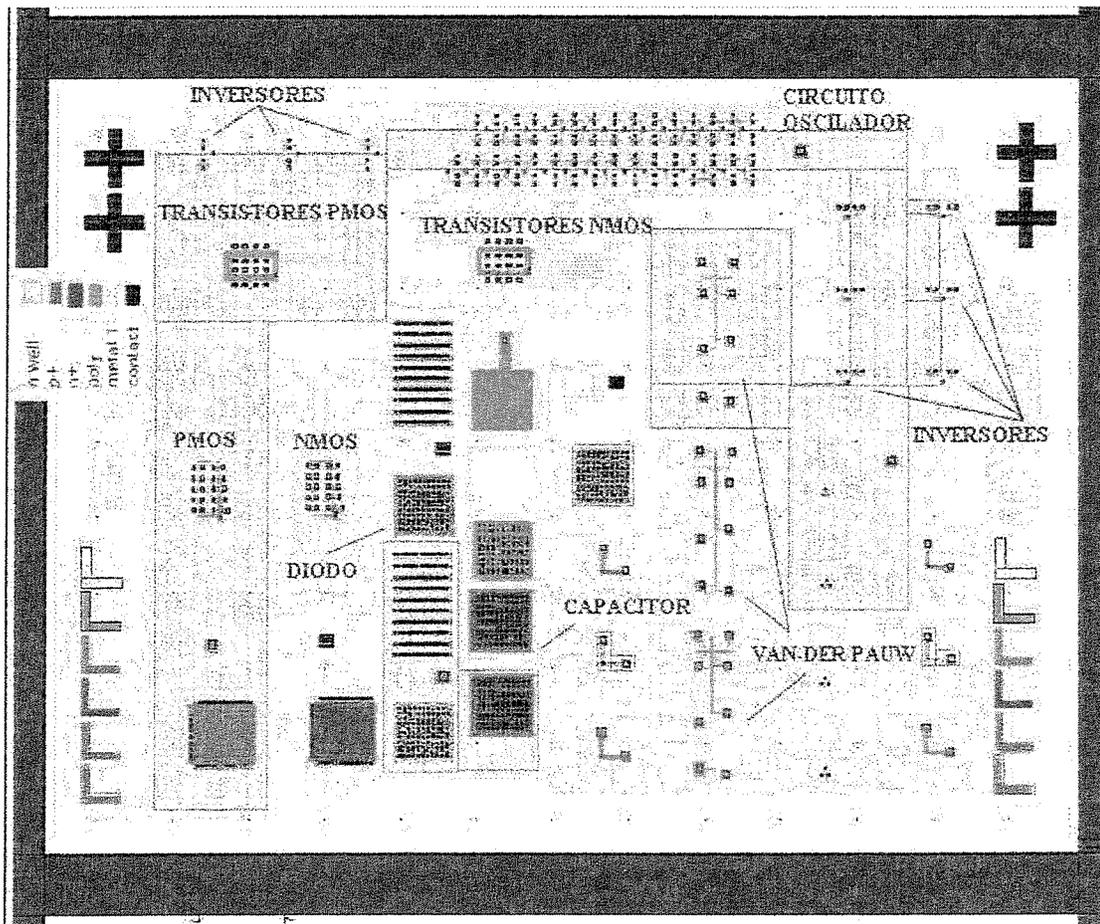


Figura 2.75 - Layout total do chip teste: segunda fabricação

2.5 CHIP CÉLULAS APS - DESCRIÇÃO E LAYOUT

Um tipo de sensor de imagem que tem sido intensamente pesquisado atualmente [23] [24] [25] e que está iniciando a sua comercialização no mercado como produto novo aplicado a diversos equipamentos que utilizam sensoreamento de imagem, é o sensor de imagem APS (Active Pixel Sensor). Os sensores de imagem APS são formados por matrizes de células APS sendo que cada uma das células APS fornece um pixel de imagem. Em nosso chip projetamos várias células APS, todas feitas com um esquema elétrico típico de células APS. Assim cada célula APS é formada por um fotodiodo e um circuito de leitura de três transistores e um transistor de carga comum a outras células, e que foram projetadas com o mínimo de comprimento de porta da tecnologia deste trabalho, isto é, com o comprimento de porta de poli Si de $L_{poli}=2\mu\text{m}$. Este esquema elétrico da célula APS é apresentado na figura 2.76. O transistor R tem a função de ativação da célula, o transistor M como amplificador (seguidor fonte) de sinal de pixel, o transistor S de seleção de linha e o transistor L como transistor de carga desta célula e de outras células da mesma coluna de uma matriz de imagem.

Para a primeira fabricação foi projetado um chip APS, na segunda fabricação dois chips APS e foi realizado o *layout* de um projeto de um chip didático APS que será apresentado no capítulo 4.

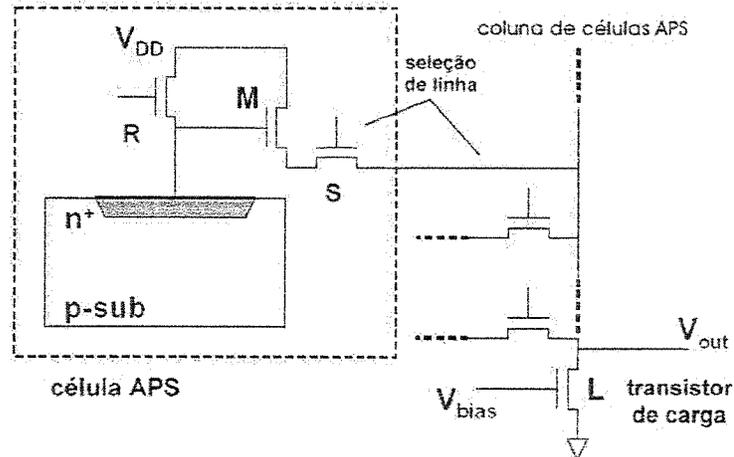


Figura 2.76 - Esquema elétrico da célula APS

2.5.1 PRIMEIRA FABRICAÇÃO DO CHIP APS

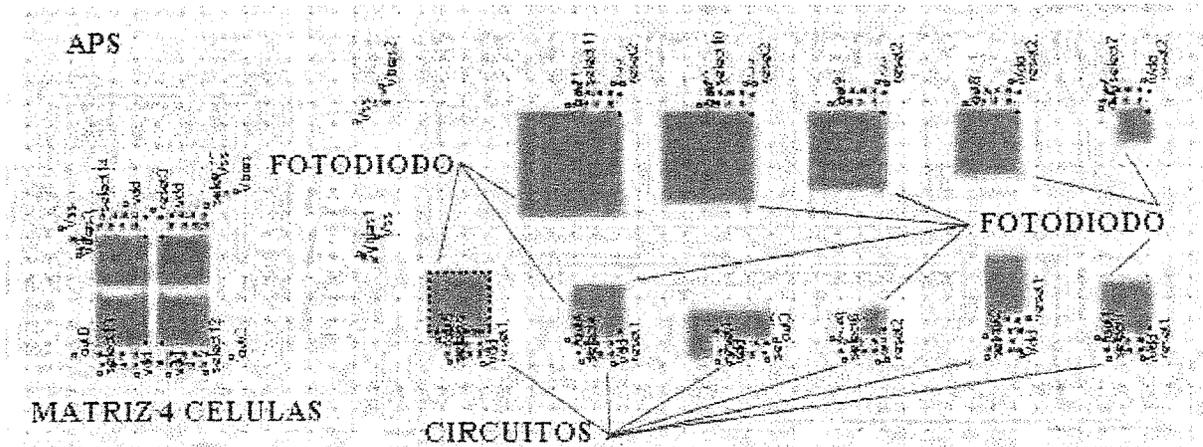


Figura 2.77 - *Layout* do chip APS

A figura 2.77 mostra o *layout* do chip APS. Este *chip* da primeira fabricação contém as seguintes estruturas:

- 11 células APS (fotodiodo + circuito).
- 1 matriz com 4 células APS.

O projeto do chip células APS e o seu *layout* foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, com as seguintes especificações:

Tecnologia de fabricação :

CMOS 2 μm : primeira fabricação.

CMOS dupla ilha: ilha P e ilha N.

Regras de projeto: arquivo ccs_1.rul

Área do *chip* APS:

$\Delta X = 1,0 \text{ mm}$; $\Delta Y = 3,0 \text{ mm}$

Área = 3,0 mm^2

2.5.2 SEGUNDA FABRICAÇÃO DO CHIP APS

Na segunda fabricação foram projetados dois chips APS, o chip APS1 e o chip APS2. O chip APS1 é semelhante ao chip APS da primeira fabricação, a menos das dimensões dos fotodiodos que foram modificadas para escalas menores a fim de ampliar os estudos dimensionais. As posições das células APS e as dimensões dos circuitos no *layout* foram mantidas como mostra a figura 2.78. O chip APS1 da segunda fabricação contém as seguintes estruturas:

- 11 células APS (fotodiodo + circuito).
- 1 matriz com 4 células APS.

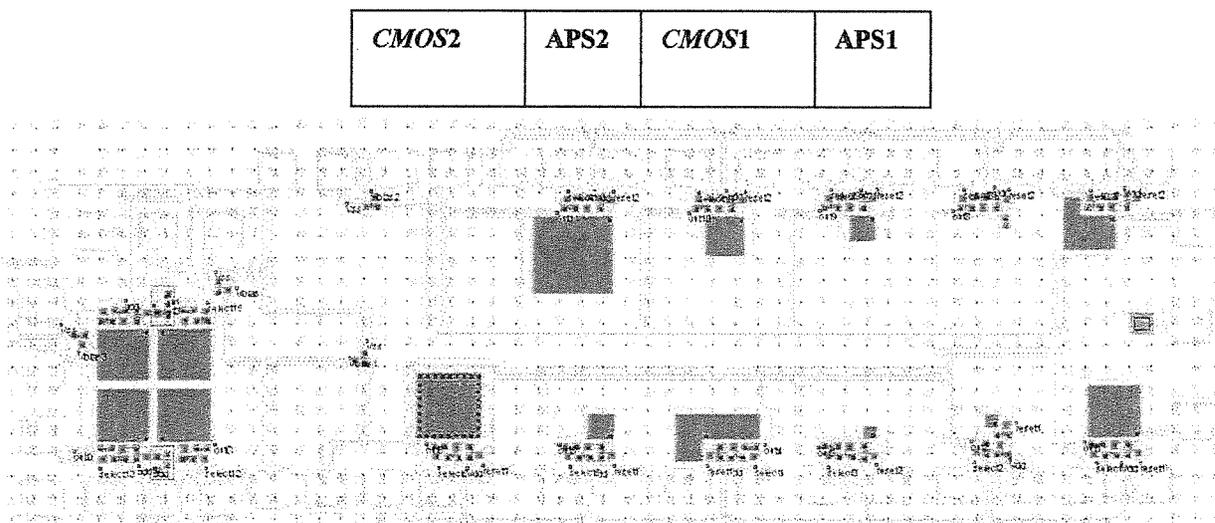


Figura 2.78 *Layout* do chip APS1

Da mesma forma que a primeira fabricação, o projeto e o *layout* do chip células APS foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, com as seguintes especificações:

Tecnologia de fabricação :

CMOS 2 μm : segunda fabricação.

CMOS dupla ilha: ilha P e ilha N.

Regras de projeto: arquivo ccst02.rul

Área do *chip* APS:

$\Delta X = 1,0 \text{ mm}$; $\Delta Y = 3,0 \text{ mm}$ (a figura 2.78 está rotacionada de 90°)

Área = $3,0 \text{ mm}^2$

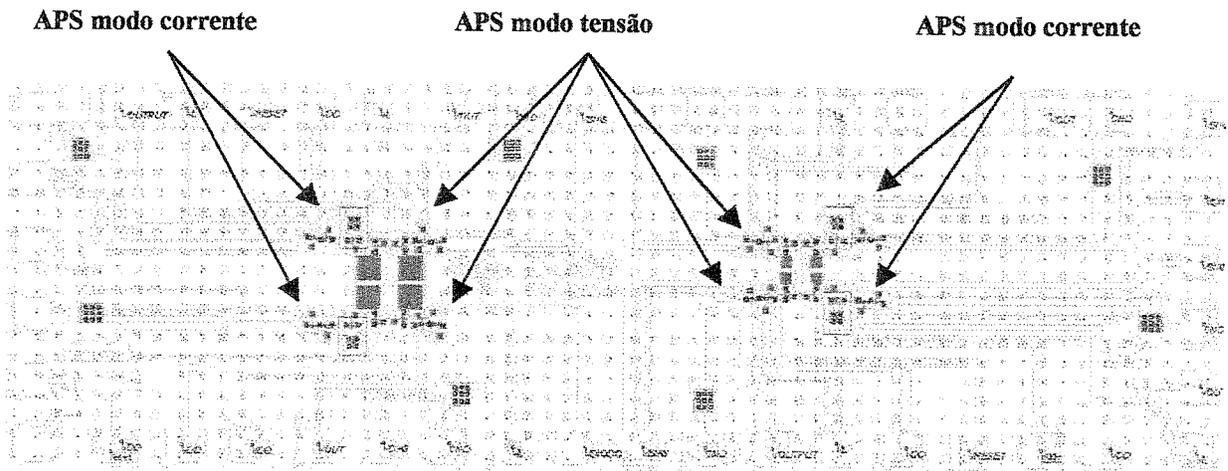


Figura 2.79 - Layout do chip APS2

O segundo chip APS2 contém circuitos de leitura do APS em modo corrente e outros de modo tensão. Alguns circuitos foram projetados com proteção metálica de Alumínio na posição do poli para proteger da iluminação, conforme mostrado na figura 2.79. O chip APS2 da segunda fabricação contém as seguintes estruturas:

2 matriz com 4 células APS.

O projeto e o *layout* deste *chip* células APS também foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, com as seguintes especificações:

Tecnologia de fabricação :

CMOS 2 μm : segunda fabricação.

CMOS dupla ilha: ilha P e ilha N.

Regras de projeto: arquivo ccst02.rul

Área do *chip* APS:

$\Delta X = 1,0 \text{ mm}$; $\Delta Y = 3,0 \text{ mm}$ (a figura 2.79 está rotacionada de 90°)

Área = $3,0 \text{ mm}^2$

2.6 MÁSCARAS: ESPECIFICAÇÃO, FABRICAÇÃO E UTILIZAÇÃO NO PROCESSO *CMOS*

Finalizado o trabalho de *layout* foram feitas as especificações das máscaras, definindo o tipo, o campo (claro ou escuro) e as marcas de alinhamento, a fim de utilizar estas máscaras para a realização das etapas de fotogração que fazem parte da seqüência do processo *CMOS*. O conjunto de máscaras do processo *CMOS* com estas especificações foram fabricadas pelo CenPRA, inicialmente para a primeira fabricação e depois para uma segunda fabricação. O conjunto de máscaras da primeira fabricação são sete para serem utilizadas em oito fotograções do processo *CMOS* e as especificações destas máscaras estão descritas na tabela 2.3.

Tabela 2.3. Etapas de Fotogração - primeira fabricação

| Etapa de Fotogração | Máscara | Tipo | Campo | Alinhar com: |
|--------------------------------------|---------|-------|--------|--------------|
| Definição da ilha P | CAV_N | Cromo | claro | -- |
| Definição região ativa | REGAT | Cromo | claro | CAV_N |
| Definição anel guarda P ⁺ | CAV_N | Cromo | claro | REGAT |
| Definição da porta | SI_POLI | Cromo | claro | REGAT |
| Definição região P ⁺ D/S | DIF_P | Cromo | escuro | SI_POLI |
| Definição região N ⁺ D/S | DIF_N | Cromo | escuro | SI_POLI |
| Definição contatos | CONT | Cromo | escuro | SI_POLI |
| Definição metal | METAL | Cromo | claro | CONT |

O conjunto de máscaras da segunda fabricação do processo *CMOS* foram reprojctadas com um novo *layout* que tem as seguintes melhoras:

- 1) Mudança da seqüência de formação de ilhas: A máscara 1 foi invertida para formar primeiro a ilha N.
- 2) A máscara ANEL_P é igual a CAV_N, mas em campo claro para poder implantar na região de ilha P.
- 3) A máscara Metal foi invertida para aplicar *lift-off* com fotogração positiva.
- 4) Foram incluídas marcas *scribe line* para facilitar o alinhamento e corte.
- 5) Foram incluídas novas marcas (marcas em L) para facilitar o alinhamento.

Tabela 2.4. Etapas de Fotogravação - segunda fabricação

| Etapa de Fotogravação | Máscara | Tipo | Campo | Alinhar com: |
|--------------------------------------|---------|-------|--------|--------------|
| Definição da ilha N | CAV_N | Cromo | escuro | -:- |
| Definição região ativa | REGAT | Cromo | claro | CAV_N |
| Definição anel guarda P ⁺ | ANEL_P | Cromo | claro | REGAT |
| Definição da porta | SI_POLI | Cromo | claro | REGAT |
| Definição região P ⁺ D/S | DIF_P | Cromo | escuro | SI_POLI |
| Definição região N ⁺ D/S | DIF_N | Cromo | escuro | SI_POLI |
| Definição contatos | CONT | Cromo | escuro | SI_POLI |
| Definição metal | METAL | Cromo | escuro | CONT |

Após o reprojeto o conjunto de máscaras necessárias ficou em oito para serem utilizadas em oito fotograções do processo *CMOS*, cujas especificações estão descritas na tabela 2.4, e elas foram utilizadas para a segunda fabricação. O conjunto de máscaras confeccionadas foram utilizadas para as fotograções conforme a seqüência do processo *CMOS*, ilustrada juntamente com o fluxograma das principais etapas do processo, sendo a figura 2.80 (a) para a primeira fabricação e a figura 2.80 (b) para a segunda fabricação.

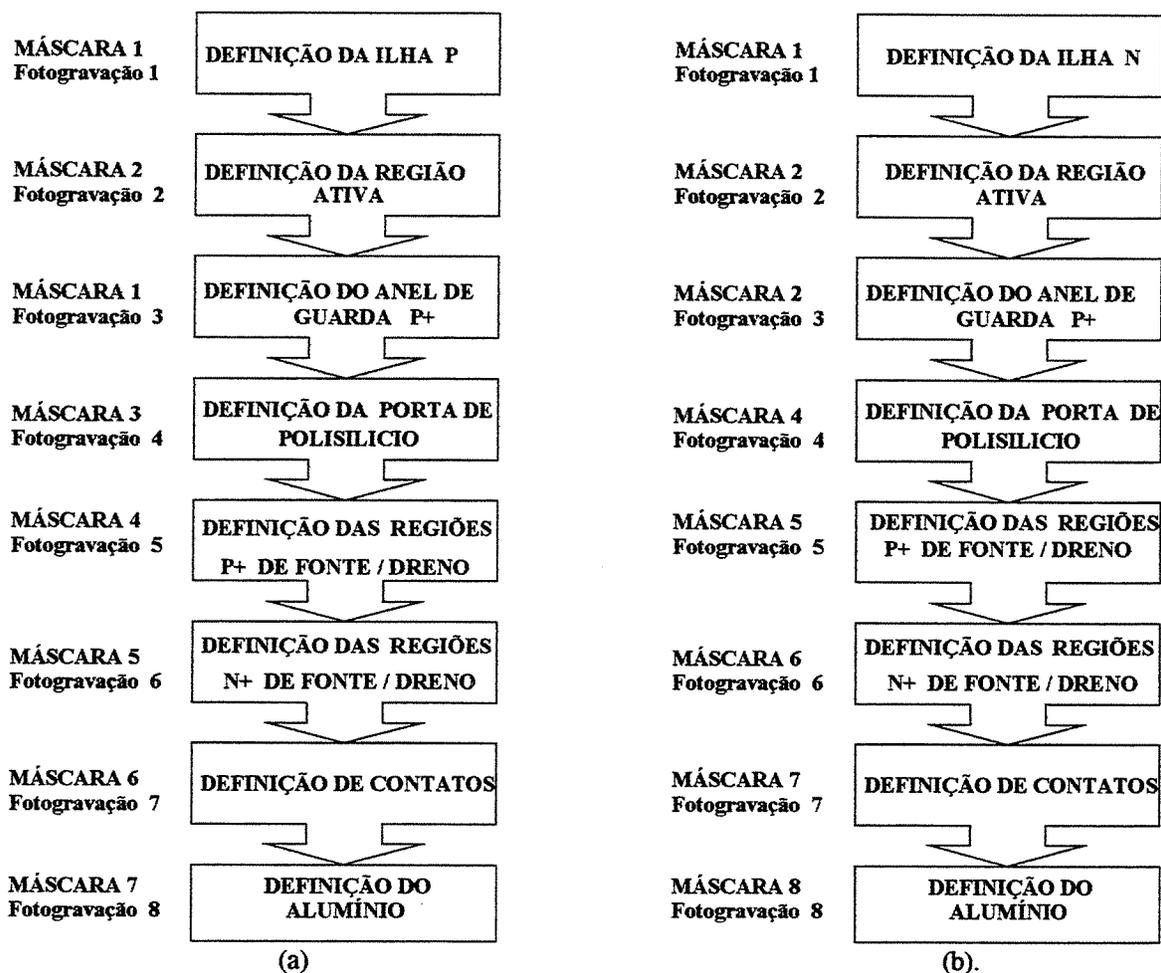


Figura 2.80 - Sequência de utilização das máscaras com as correspondentes etapas de processos: (a) primeira fabricação (b) segunda fabricação

CONCLUSÃO

Neste capítulo foi descrito em forma detalhada a fabricação de dispositivos com nosso processo *CMOS* que consiste de ilha dupla em substrato P. A sequência de processo de etapas de processos foi apresentada detalhadamente, etapa por etapa, justificando procedimentos e métodos optados, indicando as variáveis de processo de cada processo de deposição de camadas, de implantação iônica e de corrosão por plasma, assim como os procedimentos e receitas da litografia, de tal modo que esta sequência de etapas de processos tivesse uma descrição completa.

A simulação do processo *CMOS* foi apresentada mostrando os resultados de simulação Suprem e Pisces, confirmando a efetividade destas ferramentas como um auxílio importante para obter os parâmetros de processo (profundidades de junção de fonte/dreno e de ilha,

espessura de óxido de porta, entre outros) e a caracterização elétrica (tensão de limiar V_T) especificada para a tecnologia que em nosso caso é de $2\mu\text{m}$.

O chip teste foi ilustrado com seu *layout* sendo ele constituído por um conjunto de estruturas de dispositivos de teste dedicadas à caracterização do processo *CMOS*. O chip teste foi projetado com finalidades didáticas com a tecnologia *CMOS* $2\mu\text{m}$ visando facilitar a medida e a extração dos parâmetros nos dispositivos de teste, ocupando a área de $8,5\text{ mm}^2$ ($2,5\text{mm} \times 3,4\text{mm}$) e utilizando a ferramenta Microwind para fazer o *layout* em ambiente Windows.

Descrevemos todas as etapas envolvidas no processo de fabricação do *CMOS*, mas esta seqüência de fabricação só pôde ser completamente realizada numa primeira fabricação, contando com a cooperação e a utilização dos processos de deposição de nitreto e de polisilício do laboratório LSI da USP. Localmente, estas deposições somente puderam ser utilizadas após obter bons resultados do desenvolvimento do nitreto e do poli Si adequados para nosso processo *CMOS*. Isto explica a diferença existente nas variáveis destes processos entre os projetos da primeira e da segunda fabricação. Para projetar a segunda fabricação introduzimos melhoras que alterou o projeto da seqüência de fabricação, o *layout* e as máscaras, tendo que ser feito um novo *layout* onde foram também incluídas outras células APS. Assim, foi feito um novo conjunto de máscaras, desta vez com uma máscara a mais. Também neste caso, o processo de fabricação do *CMOS* foi simulado usando o programa Suprem para determinar só as novas variáveis de processo das etapas de formação de ilhas.

Foram apresentados ainda neste capítulo, os resultados e discussões das simulações feitas por Suprem e Pisces observando-se que estes simuladores tem suas limitações por serem versões acadêmicas, além disso, este tipo de simulação requer muito tempo de processamento de dados ($\approx 90\text{min}$) e é freqüente a interrupção da simulação devido ao travamento do computador. Para este problema temos usado o recurso de dividir o programa em dois ou em até três partes para poder chegar ao final da simulação do processo *CMOS*. De posse das informações do programa Suprem foi utilizado o programa Pisces para obter a caracterização elétrica dos dispositivos. Mas, como os manuais do Pisces não trazem informações detalhadas de como a captura de dados é feita por este programa, a parte referente a esta captura de dados foi amplamente descrita neste capítulo.

Neste capítulo foram descritos o chip teste e as células APS que foram projetadas com o programa Microwind para fazer o seu *layout*. Este programa é acadêmico e pela primeira vez o ITI (CenPRA) fez uma fabricação de máscaras com este program Microwind o que é uma vantagem para seu uso acadêmico possibilitando desta forma que estudantes desenvolvam pequenos projetos, podendo torná-los funcionais com nosso processo de fabricação *CMOS*.

Em termos de resultados, a tensão de limiar V_{Tn} de $0,85\text{V}$ para o transistor NMOS e V_{Tp} de $-0,9\text{V}$ para o transistor PMOS, obtidos por simulação Pisces indicam que as estruturas de transistores simuladas por Suprem formadas com a seqüência projetada do processo *CMOS* estão corretas e os parâmetros estão dentro do desejado.

CAPÍTULO 3 - RESULTADOS EXPERIMENTAIS

3.1 INTRODUÇÃO

Este capítulo descreve de forma detalhada a parte experimental da fabricação de dispositivos com nosso processo *CMOS*, onde apresentamos os resultados das principais medidas feitas durante o processo *CMOS* tais como medidas de espessura do óxido, nitreto e si-poli; concentração de dopantes implantados; medidas de resistências de folhas; etc. e dos resultados das medidas elétricas realizadas após o fim do processo *CMOS*, como as medidas de tensão de limiar; curvas $I_D \times V_{DS}$; curvas $I_D \times V_{GS}$, etc.. Na parte experimental de processos, descrevemos os resultados experimentais de todas as etapas envolvidas no processo de fabricação do *CMOS*, desde a especificação da lâmina à fabricação completa do dispositivo. A apresentação de resultados é feita de forma seqüencial de cada etapa do processo conforme o estudo realizado no Capítulo 2. O seu propósito específico é a verificação dos resultados experimentais dos parâmetros se estes apresentam valores dentro da faixa especificada para a tecnologia de 2 μm . Assim, após apresentar as etapas de processo com os seus resultados até o final do processo *CMOS*, procedemos a análise e discussões dos resultados da caracterização elétrica dos dispositivos, feitas utilizando o sistema de medição HP4145, a fim de verificar os parâmetros de processo e extrair os parâmetros elétricos do *CMOS*. Em termos específicos estão apresentados neste Capítulo 3, o chip teste com os dispositivos projetados e suas estruturas, assim como a análise de alguns resultados de caracterização de dispositivos efetuados no chip teste através da extração dos principais parâmetros elétricos. Além disso, neste capítulo apresentamos também os resultados das medidas elétricas das estruturas do *chip* células APS que foram projetadas e processadas na primeira fabricação do *CMOS*.

3.2 RESULTADOS EXPERIMENTAIS DAS ETAPAS DO PROCESSO *CMOS* - PRIMEIRA FABRICAÇÃO

Durante o processo *CMOS* da primeira fabricação, cada etapa de processo foi avaliada quanto às suas características, realizadas em cacos teste efetuando-se as medidas físicas e elétricas. Assim, após as deposições de cada uma das diferentes camadas foram efetuadas as medidas das espessuras e após as fotografações, implantações e recozimentos, foram feitas as medidas das resistividades na superfície de cacos de teste com o medidor de 4 pontas e de concentração de dopantes com SIMS. Nas lâminas de processo, as verificações dos efeitos superficiais (cores, rugosidade, definição das estruturas, limpeza) de cada etapa de processo realizado nas estruturas dos dispositivos, foram feitas através de observações em microscópio óptico e de fotografias. Os resultados experimentais das etapas do processo *CMOS* são apresentados primeiramente até a formação da ilha P, seguidas de resultados das etapas de processo até a formação da ilha N, formação da região ativa, formação da porta de polisilício,

formação de P⁺/N⁺ de fonte/dreno, formação de abertura de contatos e formação de interconexões de metal.

• **RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA ILHA P**

Uma vez determinadas as variáveis de processo e as máscaras fabricadas, foi iniciado o processo de fabricação CMOS. As etapas de processo até a formação da ilha P estão indicadas na tabela anexa a figura 3.1. Nesta tabela apresentamos os valores medidos e os valores projetados, onde pode-se observar que as variáveis das etapas de processo foram atingidas dentro da margem de erro do processo se comparados com os projetados. O avanço do processo de fabricação foi acompanhado efetuando-se medidas das características correspondentes em cada etapa do processo, desde a verificação do tipo da lâmina utilizada se estas eram todas do tipo P, medida pelo método de ponta quente. A tabela 3.1 mostra os valores medidos por 4 pontas e valores projetados de resistividade e resistência de folha. Para o cálculo da resistividade foi utilizada a espessura especificada da lâmina. Observa-se desta tabela que a resistividade medida das lâminas foi de 24 ohm-cm, ou seja, dentro do especificado para o projeto, pois o requisito necessário para estas lâminas é que seja de baixa concentração de dopantes Boro.

Tabela 3.1 - Medidas da lâmina por método de 4 pontas

| Tipo | amostra | Medição | especificado | cálculo | cálculo | Da curva |
|-----------|----------|---------|----------------|-------------------------------|-----------------------------|--------------|
| | | V/l | Espessura t | Resist. Folha Rs=4,53(V/l) | Resistividade ρ = Rs x t | Concentração |
| | | Ohm | um | Ohm/□ | Ohm cm | cm-3 |
| Medido | Lamina P | 190 | 280 | 861 | 24 | 7,00E+14 |
| Projetado | Lamina P | 145 | 280 | 657 | 18 | 8,00E+14 |

Uma limpeza RCA estendida foi feita em cada lâmina e verificou-se com o microscópio que tal procedimento foi efetiva e adequada para iniciar a oxidação nas lâminas sendo esta, uma condição para crescer o óxido de boa qualidade sem as possíveis impurezas da superfície do substrato. Após a limpeza foi feita a oxidação seca e o valor medido da espessura do óxido crescido foi de 44 nm, cuja espessura comparada com o valor simulado de 40nm é satisfatório porque o erro é so 10%. Em seguida a oxidação, foi feita a etapa de deposição de nitreto e o valor da espessura do nitreto medida foi de 115nm, valor este comparável com o valor projetado de 120nm. O índice de refração de 1,85 medido para este nitreto indica a boa qualidade do nitreto depositado [10]. Este nitreto foi fotogravado com boa definição da ilha P e verificou-se que a receita do anexo A1 foi efetiva e o alinhamento sem maiores dificuldades por ser o primeiro nível de fotogração e a seguir este nitreto foi corroido por plasma RIE durante um minuto de processamento para a abertura da região de formação da illha P, não apresentando nenhuma dificuldade para isso. A figura 3.1 mostra uma fotografia da lâmina após a corrosão do nitreto onde pode-se verificar claramente a definição da ilha P.

Uma vez definida a ilha P foi feito a implantação iônica de Boro nas regiões da ilha P e o fotorresiste removido da lâmina, efetuando-se em seguida o recozimento de 20 minutos em forno para a ativação dos dopantes. Em seqüência foi feita a oxidação úmida a 1000°C e o valor medido da espessura deste óxido foi de 364 nm, valor este bastante próximo da espessura projetada para ela de 380 nm. Após, foi feita a difusão do Boro para aprofundar a dopagem de Boro, aumentando a temperatura do forno para 1150°C.

Tabela 3.2 - Medidas na ilha P por método de 4 pontas e por SIMS

| Tipo | caco | Medição | Dose | Concent. implantada 1E16-1E15 | Profundid. Dose/c.sub t | cálculo | cálculo | Da curva Concent. |
|-----------|--------------|---------|----------|-------------------------------------|-------------------------------|---------------|-----------|----------------------|
| | | V/I | | | | Resist. Folha | Resistiv. | |
| | | Ohm | | | | cm-2 | cm-3 | |
| Medido | Pwell | 160 | 2,50E+12 | 9,20E+15 | 2,72 | 725 | 0,20 | |
| Medido | Pwell SIMS | 146 | 2,50E+12 | 9,20E+15 | 2,72 | 661 | 0,18 | 8,0E+15 |
| Projetado | Pwell Suprem | 122 | 2,50E+12 | 9,20E+15 | 2,72 | 553 | 0,15 | 1,0E+16 |

Após a formação da ilha P (Boro) foi medido a profundidade deste com SIMS (caco Pwell SIMS) sendo que o valor obtido foi de 4,5µm (±0,2µm). Este valor medido corresponde exatamente ao valor de profundidade projetado por simulação Suprem. Este resultado é mostrado na figura 3.1 onde comparamos o perfil experimental e o perfil projetado pela simulação Suprem. As medidas SIMS apresentam para o Boro a sensibilidade de $1 \times 10^{15} \text{ cm}^{-3}$, de modo que nesta região da figura 3.1 a medida do perfil de Boro tem menor exatidão. A tabela 3.2 mostra os valores de espessura/profundidade, resistência de folha, resistividade e concentração de dopante medidos em cacos de seguimento e os valores projetados por simulação Suprem para a ilha P. A partir dos valores de concentração de dopante medidos por SIMS (caco Pwell SIMS) foram calculados a resistividade e a resistência de folha e a partir dos valores V/I obtidos por medidas de 4 pontas (caco Pwell), calculados a resistência de folha, a resistividade e a concentração de dopante. Os valores obtidos para esses parâmetros a partir de medidas SIMS são mais precisos que os valores obtidos a partir de medidas por 4 pontas. Os valores de concentração de Boro obtidos por simulação Suprem e obtidas por medidas SIMS são aproximadamente iguais, portanto a temperatura de 1150°C e o tempo de 500 minutos utilizados na difusão do Boro são satisfatórios para o nosso projeto.

| Etapas: | Medido: | Projetado: |
|---|---|--|
| ⇩ 1. Lâmina | ⇒ Tipo P | $\rho = 17 - 25 \text{ ohm-cm}$ |
| ⇩ 2. Limpeza padrão RCA completa | ⇒ Resistividade: $\rho = 25 \text{ } \Omega\text{-cm}$ | |
| ⇩ 3. Oxidação térmica seca. | | |
| ⇩ 4. Deposição de nitreto de Si. | ⇒ Espessura óxido: 44nm | 40nm |
| ⇩ 5. Fotogravação n° 1 - Ilha P | ⇒ Espessura nitreto: 115 nm | 120nm |
| ⇩ 6. Corrosão do nitreto de Si: RIE. | ⇒ Espessura FR: 1,3 μm | 1,4 μm |
| ⇩ 7. Implantação iônica de Boro | ⇒ Tempo de processo: 4min. | |
| ⇩ 8. Remoção FR. | ⇒ Dose: $2,5 \times 10^{12} \text{ cm}^{-2}$ | Dose: $2,5 \times 10^{12} \text{ cm}^{-2}$ |
| ⇩ 9. Recozimento do Boro implantado | ⇒ Energia: 100 keV | Energia: 100 keV |
| ⇩ 10. Oxidação úmida (380nm) | ⇒ Tempo de processo: 20min | 20min/1000°C |
| ⇩ 11. Difusão Boro (4,5 μm) | ⇒ Espessura óxido: 364nm | 380nm |
| | ⇒ Profundidade $\approx 4,5 \pm 0,2 \mu\text{m}$ | 4,5 μm |
| | ⇒ Perfil SIMS: Boro | Perfil Suprem: Boro |
| | ⇒ Resistividade $\rho = 0,20 \text{ } \Omega\text{-cm}$ | $\rho = 0,15 \text{ } \Omega\text{-cm}$ |

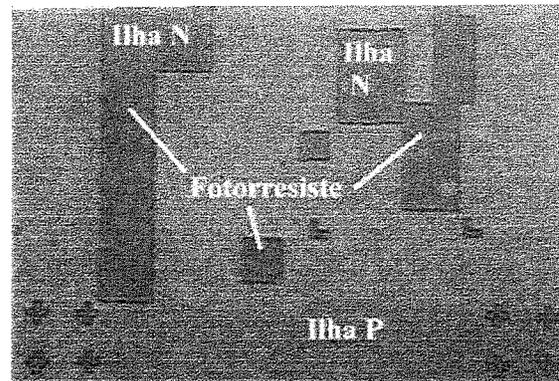
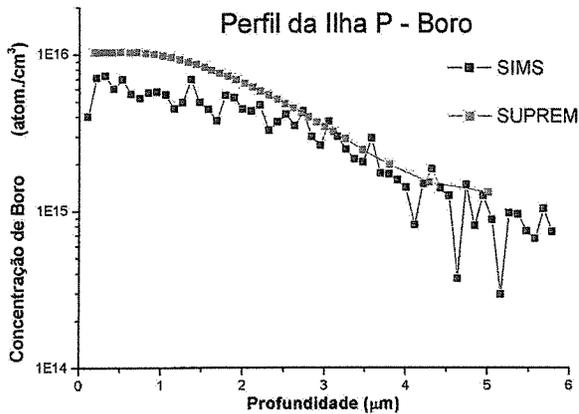


Figura 3.1 - Formação da ilha P

• **RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA ILHA N**

O processo *CMOS* segue com as etapas indicadas na figura 3.2 até completar a formação da ilha N. Após corroído o nitreto foi feito a implantação iônica de Fósforo nas regiões da ilha N, retirado o óxido (380nm) da lâmina e feito o recozimento de 20 minutos a 1000°C, para a ativação do Fósforo implantado. Nesta mesma temperatura foi feita em seqüência, a oxidação seca com TCE e o valor medido da espessura deste óxido foi de 44 nm, sendo que a espessura projetada é de 40nm, logo, satisfazendo os requisitos necessários. Após aumentar a temperatura até 1050°C foi feita a difusão para aprofundar a dopagem de Fósforo durante 230 minutos.

| Etapas: | Medido: | Projetado: |
|--|--|--|
| ⇩ 12. Remoção nitreto (120nm) | ⇒ Tempo de processo: 4min. | Taxa: 40nm/min. |
| ⇩ 13. Implantação iônica de Fósforo | ⇒ Dose: $1,7 \times 10^{12} \text{ cm}^{-2}$ ⇒ Energia: 100 keV | Dose: $1,7 \times 10^{12} \text{ cm}^{-2}$ Energia: 100 keV |
| ⇩ 14. Remoção total do óxido | | |
| ⇩ 15. Recozimento do Fósforo. | ⇒ Tempo de processo: 20min | 20min/1000°C |
| ⇩ 16. Oxidação térmica (40nm) | ⇒ Espessura óxido: 44nm | 40nm |
| ⇩ 17. Difusão do Fósforo (1,4µm) | ⇒ Profundidade $\approx 1,3\mu\text{m}$ | 1,4µm Perfil suprem |

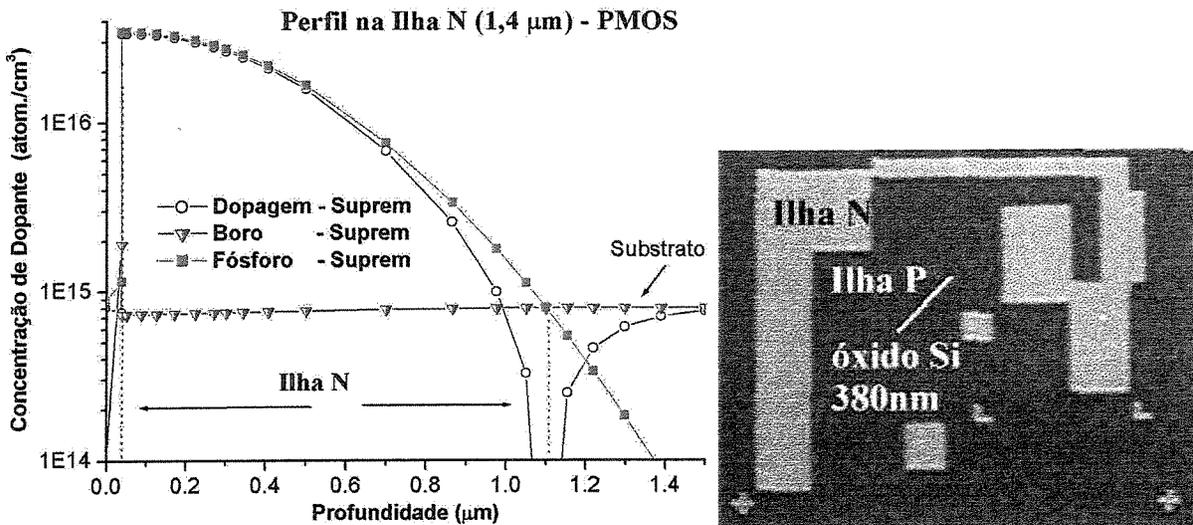


Figura 3.2. Formação da ilha N

Tabela 3.3 Medição na ilha N por 4 pontas e por SIMS.

| Tipo | caco | Medição | | Concent. | Profundid. | cálculo | cálculo | Da curva |
|-----------|--------------|---------|----------|------------|------------|---------------|--------------|------------------|
| | | V/I | Dose | implantada | Dose/c.sub | Resist. Folha | Resistiv. | Concent. |
| | | | Ohm | cm-2 | 1E16-1E15 | t | Rs=4,53(V/I) | $\rho = R_s * t$ |
| Medido | Nwell | 530 | 1,70E+12 | 2,00E+16 | 0,85 | 2401 | 0,20 | 4,00E+16 |
| Projetado | Nwell Suprem | 780 | 1,70E+12 | 2,00E+16 | 0,85 | 3533 | 0,30 | 2,00E+16 |

Após a formação da ilha N (Fósforo), a profundidade deste foi medido por desbaste sendo o valor obtido de 1,3 μm , que é satisfatório comparado com o valor projetado de 1,4 μm . A medida de profundidade da ilha N com SIMS não foi possível de ser feita pois, a ilha N tem o valor de concentração menor que $1 \times 10^{17} \text{ cm}^{-3}$, especificamente de $2 \times 10^{16} \text{ cm}^{-3}$ como mostrado da figura 3.2 obtidos através de perfis simulados por Suprem, em vista das medidas do SIMS não detectam no caso do Fósforo as concentrações menores que $1 \times 10^{17} \text{ cm}^{-3}$. A tabela 3.3 mostra os valores de espessura/profundidade, resistência de folha, resistividade e concentração de dopante que foram medidos em cacos de acompanhamento e os valores projetados por simulação Suprem para a ilha N. Os valores de resistividade obtidos por simulação Suprem e por medidas de 4 pontas (caco Nwell) são satisfatórios pois o projeto tem como requisito iniciar o processo *CMOS* com lâminas de baixa concentração de dopantes.

• RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA REGIÃO ATIVA

O processo *CMOS* segue com as etapas indicadas na figura 3.3 até a formação do LOCOS sendo que obtivemos os seguintes resultados para estes processos. Após a formação da ilha N foi depositado nitreto e medimos a sua espessura obtendo o valor de 115 nm o que satisfaz o valor projetado para esta camada de 120nm. Neste nitreto foi feita a fotografação n° 2 para a definição da região ativa, sendo em seguida corroído por plasma RIE deixando o nitreto somente nas áreas ativas. Depois foi feita a fotografação n° 3 na região de ilha P para a definição do anel de guarda P⁺ e feita a implantação de Boro na região aberta sobre o fotorresiste.

O anel de guarda P⁺ foi recozido durante 20 minutos a 1000°C e com esta temperatura feito em seguida o processo de oxidação local (LOCOS). O valor da espessura do óxido local medido foi de 880 nm, sendo que satisfaz o requisito de isolamento e esta dentro da margem do processo se comparado com valor obtido por simulação Suprem de 1000 nm. Após a formação do LOCOS foi removido o nitreto de 120 nm utilizando o plasma RIE, seguido da remoção do óxido de 40nm por BHF, este último, acompanhando com um caco teste durante um tempo

aproximado de 20 segundos. Seguindo a seqüência de etapas de processo foi feita a oxidação de 50nm por processo úmido a temperatura de 900°C e o valor medido da espessura deste óxido foi de 56nm. Este óxido é em seguida removido, pois sua função no processo é apenas a de limpeza dos restos de nitreto produzido pelo efeito de *white ribbon* [1] durante a oxidação de LOCOS. Em seguida foi feita a oxidação de 30nm (seca com TCE a 1000°C) e o valor medido da espessura deste óxido foi de 31nm, ou seja valor bastante próximo do esperado. Sob esta camada de óxido a área ativa foi implantada com Boro para fazer o ajuste do parâmetro tensão de limiar para 0,8V.

A figura 3.3 mostra duas fotografias da região do conjunto de transistores de largura W variável, após a fotografação da região ativa (a) e após a oxidação térmica local (LOCOS) (b), e após a implantação iônica de Boro para ajuste de V_T (c), onde pode-se observar uma boa definição das estruturas formadas, especialmente da estrutura de largura de 2 μm .

| Etapas: | Medido: | Projetado: |
|--|---|---|
|  18. Deposição nitreto (120nm) | ⇒ Espessura nitreto: 115 nm | 120nm |
|  19. Fotografação nº 2 - Região ativa | ⇒ Espessura fotorresiste: 1,3 μm | 1,3 μm |
|  20. Corrosão do nitreto por RIE | ⇒ Tempo de processo: 4min. | Taxa: 45nm/min. |
|  21. Desativação do fotorresiste RIE | | |
|  22. Fotografação nº 3 – Anel P ⁺ | ⇒ Espessura fotorresiste: 1,3 μm | |
|  23. Implantação iônica de Boro | ⇒ Dose: $1 \times 10^{13} \text{ cm}^{-2}$ | Dose: $1 \times 10^{13} \text{ cm}^{-2}$ |
|  24. Remoção total do fotorresiste | ⇒ Energia: 100 keV | Energia: 100 keV |
|  25. Recozimento do Boro implantado | | |
|  26. Oxidação local – LOCOS | ⇒ Tempo de processo: 20min | 20min/1000°C |
|  27. Remoção do nitreto por RIE | ⇒ Espessura óxido: 880nm | 1000nm |
|  28. Remoção do óxido (40nm) | | |
|  29. Oxidação térmica (white ribbon) | | |
|  30. Remoção do óxido (50 nm) | ⇒ Espessura óxido: 56nm | 50nm |
|  31. Oxidação térmica seca (30nm) | ⇒ Espessura óxido: 31nm | 30nm |
|  32. Implantação iônica de Boro: ajuste V_T | ⇒ Dose: $1,5 \times 10^{12} \text{ cm}^{-2}$ ⇒ Energia: 30 keV | Dose: $1,5 \times 10^{12} \text{ cm}^{-2}$ Energia: 30 keV |

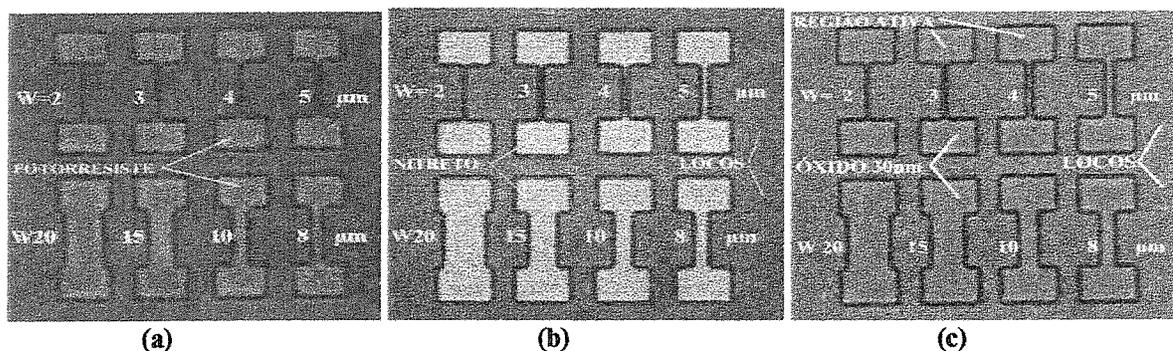


Figura 3.3 - Fotogração da região ativa (a), oxidação térmica local (LOCOS) (b), e região ativa com implantação de Boro de ajuste de V_T (c)

- **RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA PORTA DE POLISILÍCIO**

As próximas etapas do processo *CMOS* são indicadas na figura 3.4 e estas correspondem as etapas até a formação da porta de polisilício, obtendo os seguintes resultados. Após a formação da área ativa e o Boro de ajuste (V_T) implantado, o óxido de 30nm é removido porque foi exposto a implantação de Boro e foi substituído o óxido de silício de porta de 30nm obtido por oxidação seca com TCE durante 10 minutos a 1000°C sendo que o valor da espessura do óxido medida com elipsómetro foi de 31nm o que satisfaz porque o valor especificado no projeto é de 30nm.

Após o crescimento do óxido de porta foi depositada uma camada de polisilício para ficar como material de porta e com elipsómetro obtivemos espessura de 492nm, o que satisfaz para o valor projetado de espessura de 500nm. Esta camada de polisilício foi dopada com implantação iônica de Fósforo com a energia baixa de 30keV, o suficiente para penetrar no silício como pode observar-se na figura 3.4, pois não é necessário utilizar muita energia para não atingir e alterar o Boro de ajuste de V_T da superfície do silício sendo que isto é mais crítico no transistor PMOS. Após implantado o polisilício, o canal de porta foi praticamente formado e definido para os transistores NMOS e PMOS onde é importante o perfil do Boro de ajuste de V_T que é utilizado para ambos transistores. Este perfil de Boro no canal do transistor NMOS foi medido com SIMS num caco de seguimento obtendo o valor de concentração superficial de Boro $6 \times 10^{16} \text{ cm}^{-3}$ o que satisfaz ao projeto considerando que o valor simulado com Suprem de concentração de Boro é $8 \times 10^{16} \text{ cm}^{-3}$ como é mostrado na figura 3.4 no perfil de Boro para o transistor NMOS. A camada de polisilício foi altamente dopada com Fósforo para obter a mais baixa resistência de folha possível, assim, após ativação do Fósforo medimos com SIMS a concentração de Fósforo $3 \times 10^{20} \text{ cm}^{-3}$ constante através da camada de polisilício como pode ser observado na figura 3.4. Este resultado satisfaz pois o valor simulado de concentração de Fósforo foi $2 \times 10^{20} \text{ cm}^{-3}$ e o perfil do Fósforo da simulação Suprem também é constante no

polisilício como é mostrado na figura 3.4 no perfil de Fósforo da região de polisilício do transistor PMOS.

A tabela 3.4 mostra os valores de concentração de Fósforo, espessura e resistência de folha que foram medidos em cacos de acompanhamento e os valores que foram projetados por simulação Suprem para o polisilício dopado com Fósforo. Os valores medidos e simulados por programa Suprem são satisfatórios pois o valor obtido da resistência de folha é suficientemente baixa dentro da margem que é possível obter com o polisilício e satisfaz ao projeto porque a utilização do polisilício é para linhas curtas de porta e para linhas curtas de primeiro nível de interconexão. A literatura [7] reporta um valor típico de $10 \Omega/\square$ como resistência de folha para o polisilício dopado de porta e como este valor é relativamente alto comparado com um metal ($< 0,1 \Omega/\square$) as linhas de polisilício não devem ser utilizadas em comprimentos longos.

Tabela 3.4 - Medição por SIMS da concentração e cálculo da resistência de folha do polisilício dopado com Fósforo

| Tipo | amostra | Medida da Concentração | Da curva concentração Resistividade | Medida da Espessura t | cálculo Resist. Folha $R_s = \rho / t$ |
|-----------|-----------|---------------------------|---|-----------------------------|--|
| | | cm-3 | Ohm cm | um | Ohm/ \square |
| Medido | caco SIMS | 3,0E+20 | 0,0004 | 0,5 | 8,00 |
| Projetado | Suprem | 2,0E+20 | 0,0005 | 0,5 | 10,00 |

Após ativado o Fósforo da camada de polisilício foi feita a fotogração para definir as regiões de porta utilizando o fotorresiste AZ5214 adequado para suportar o plasma. A seguir o polisilício foi corroído com plasma RIE nas regiões onde não é necessário. A figura 3.4 mostra uma foto depois da corrosão do polisilício com boa definição da porta de comprimento $L=3\mu\text{m}$ na estrutura do circuito inversor.

| Etapas: | Medido: | Projetado: |
|---|---|---|
|  33. Remoção óxido (30nm) | | |
|  34. Oxidação térmica de porta. | ⇒ Espessura óxido: 31nm | 30nm |
|  35. Deposição de polisilício | ⇒ Espessura do poli: 492nm | 500nm |
|  36. Dopagem do polisilício por I/I Fósforo. | ⇒ Dose: $1 \times 10^{16} \text{ cm}^{-2}$ ⇒ Energia: 30 keV ⇒ Concentração: $3 \times 10^{20} \text{ cm}^{-3}$ | Dose: $1 \times 10^{16} \text{ cm}^{-2}$ Energia: 30 keV $2 \times 10^{20} \text{ cm}^{-3}$ |
|  37. Ativação do Fósforo por RTA. | ⇒ Medida SIMS: perfil B e P | Perfil Suprem |
|  38. Oxidação para aderência (20nm) | ⇒ Espessura óxido: 24nm | 20nm |
|  39. Fotogração nº 4 porta de poli | ⇒ Espessura do FR: 1,3µm | |
|  40. Corrosão do polisilício por RIE. | ⇒ Tempo: 10min. | 50nm/min. |

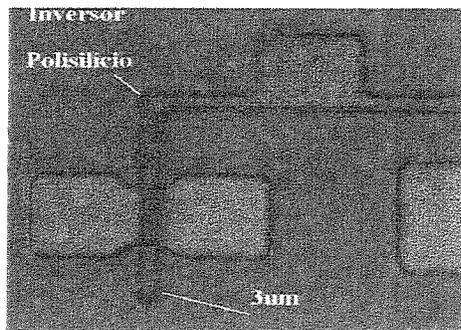
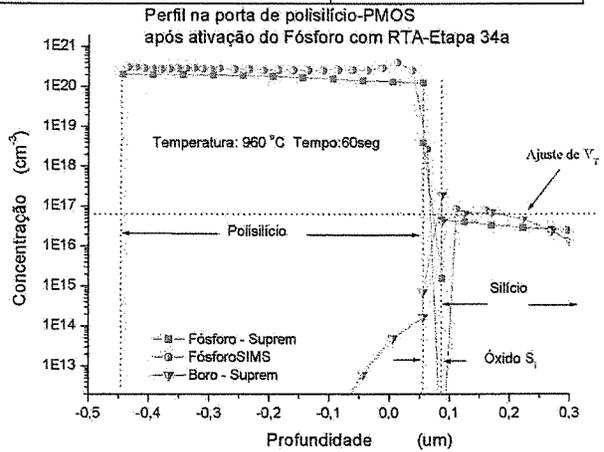
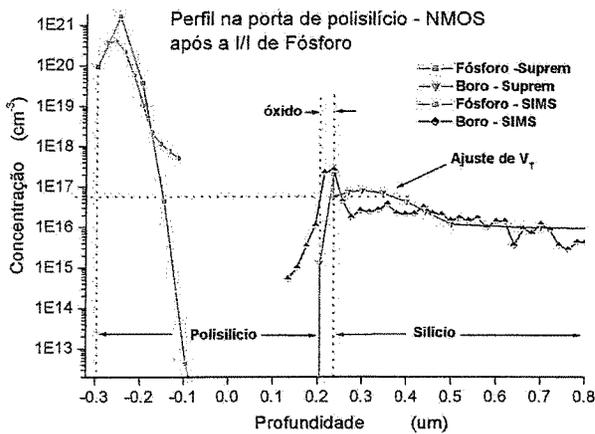
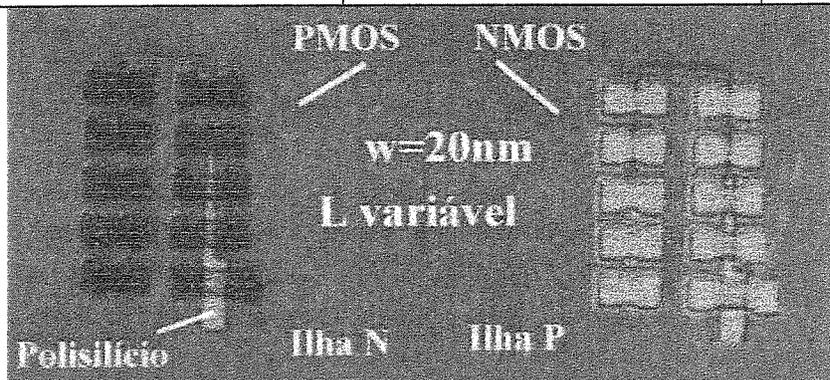


Figura 3.4 - Formação da porta de polisilício

• RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA REGIÃO FONTE/DRENO P⁺ E N⁺

| Etapas: | Medido: | Projetado: |
|---|---|---|
|  41. Desativação do fotorresiste | | |
|  42. Fotogravação do fonte/dreno P ⁺ | | |
|  43. Implantação iônica de Boro | ⇒ Dose: $3 \times 10^{15} \text{ cm}^{-2}$ ⇒ Energia: 20 keV | Dose: $3 \times 10^{15} \text{ cm}^{-2}$ Energia: 20 keV |
|  44..Remoção total do fotorresiste | ⇒ Medida SIMS: $3 \times 10^{20} \text{ cm}^{-3}$ | Suprem $3 \times 10^{20} \text{ cm}^{-3}$ |
|  45. Fotogravação do fonte/dreno N ⁺ | | |
|  46. Implantação iônica As/P | ⇒ Dose fósf. $2 \times 10^{15} \text{ cm}^{-2}/30 \text{ keV}$ ⇒ Dose ars. $7,5 \times 10^{15} \text{ cm}^{-2}/50 \text{ keV}$ | |
|  47.Remoção total do fotorresiste | | Suprem $1 \times 10^{20} \text{ cm}^{-3}$ |
|  48.Pré-recozimento do As / P e B | | |
|  49.Recozimento do As / P e B Oxidação úmida (20nm) | ⇒ Profundidade de junção: ⇒ $X_{jp}=0,65\mu\text{m}$ (por desbaste) ⇒ $X_{jn}=0,5\mu\text{m}$ (por desbaste) | $X_{jp}=0,45\mu\text{m}$ $X_{jn}=0,45\mu\text{m}$ |



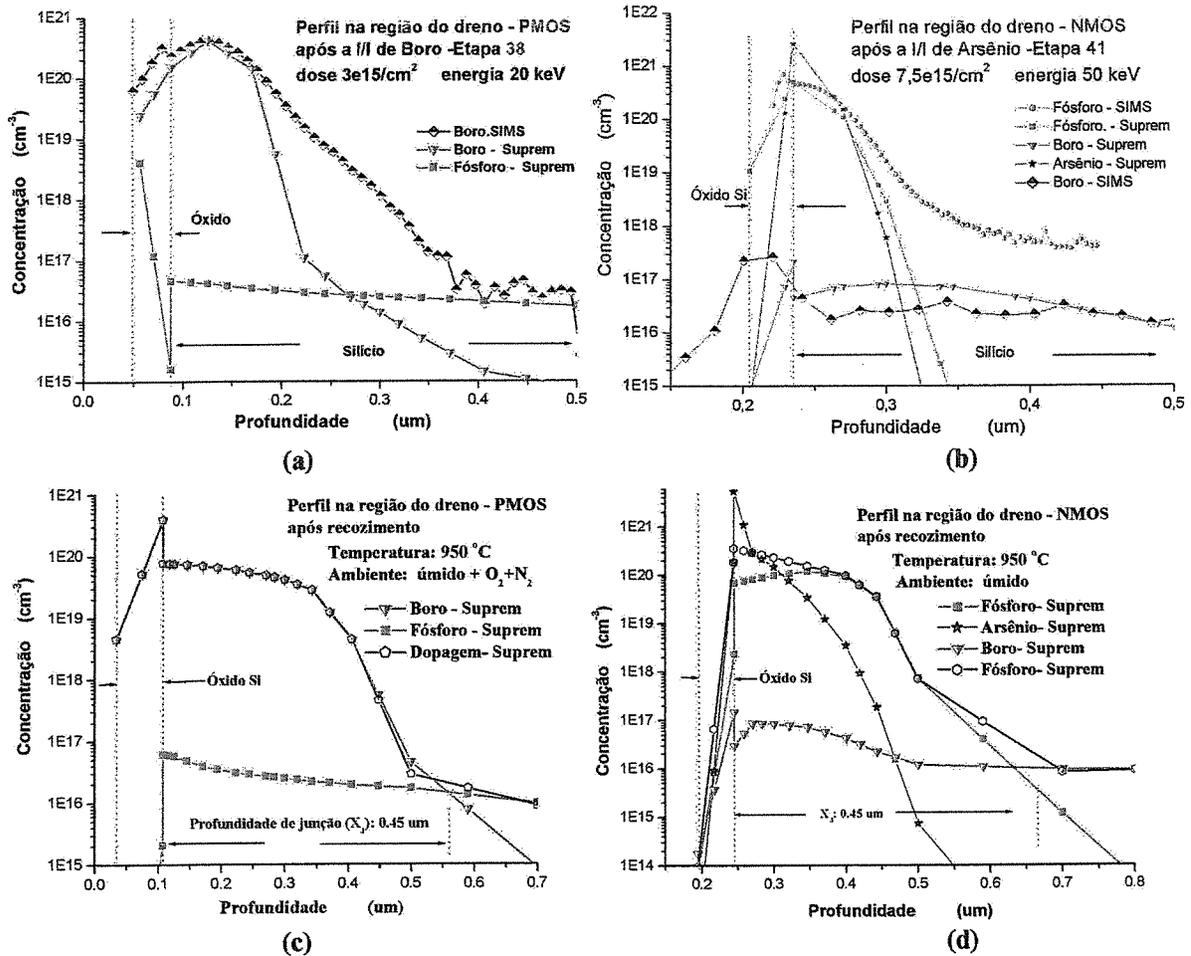


Figura 3.5 - Formação da região P^+ / N^+ de fonte/dreno

Uma vez formada a porta de polisilício, a seguir na figura 3.5 indicamos as etapas do processo *CMOS* que foram executadas até a formação das fontes/drenos P^+ e N^+ , assim para estes processos obtivemos os seguintes resultados. O fotorresiste, que sofreu a corrosão RIE do polisilício, foi desativado com plasma para evitar sua revelação durante a fotogração das regiões de fonte/dreno P^+ . O processo de desativação foi efetivo protegendo a porta de polisilício dos transistores PMOS da implantação de Boro feita para dopar as regiões fonte/dreno P^+ destes transistores. O fotorresiste foi retirado totalmente para depois fotografar as regiões de fonte/dreno N^+ que, após definidas, foram implantadas com Fósforo e Arsênio. Os dopantes implantados das regiões de fonte/dreno P^+ e N^+ foram ativados juntamente com um pré-recozimento a $600^\circ C$ e um recozimento a $950^\circ C$ terminando assim a formação dos drenos.

A figura 3.5 mostra os resultados simulados no Suprem e experimentais da análise SIMS observando-se os perfis de concentração de dopante (a) na região P^+ de fonte/dreno do

transistor PMOS e os perfis (b) na região N^+ de fonte/dreno, isto após a implantação do Boro e após a implantação do Fósforo e Arsênio. Podemos observar que as concentrações superficiais estão ao redor de $1 \times 10^{20} \text{ cm}^{-3}$ e de $6 \times 10^{20} \text{ cm}^{-3}$ respectivamente para o valor experimental como para o valor simulado indicando uma boa concordância entre ambos. Estes valores de concentração superficial foram levemente diminuídos após o recozimento simultâneo das regiões fonte/dreno P^+ até $9 \times 10^{19} \text{ cm}^{-3}$ conforme mostra a figura 3.5 (c) e até $1 \times 10^{20} \text{ cm}^{-3}$ das regiões de fonte/dreno N^+ na figura 3.5 (d). Nestas figuras a profundidade de junção é de $0,45 \mu\text{m}$ como desejado.

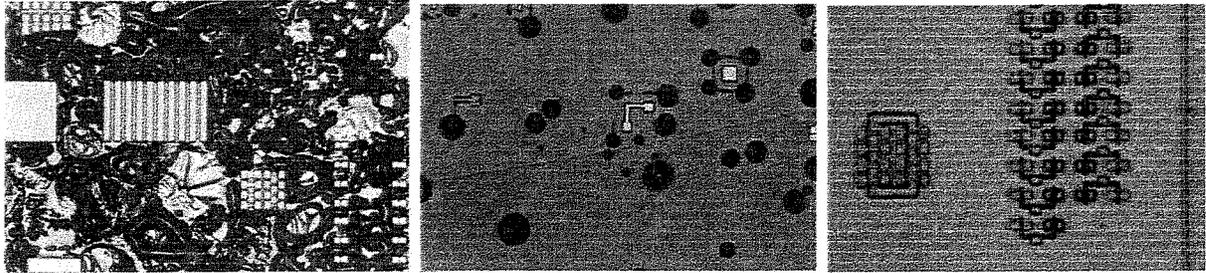
Após o recozimento das regiões fonte/dreno a profundidade destes, chamado de profundidade de junção, foram medidos por desbaste sendo o valor obtido $X_{jp} = 0,65 \mu\text{m}$ para o fonte/dreno P^+ e o valor de $X_{jn} = 0,5 \mu\text{m}$ obtido para o fonte/dreno N^+ , que são valores satisfatórios, dentro da margem de erro da medida, comparado com o valor projetado de $0,45 \mu\text{m}$. A tabela 3.5 mostra os valores de espessura/profundidade, resistência de folha, resistividade e concentração de dopante que foram medidos em cacos de acompanhamento e os valores projetados por simulação Suprem para os fonte/dreno P^+ . Os valores de resistividade obtidos por simulação Suprem e por medidas feitas por desbaste são satisfatórios pois o projeto tem como requisito que as regiões de fonte/dreno sejam de alta concentração de dopantes.

Tabela 3.5 - Medidas por 4 pontas da resistência de folha e cálculo da concentração do Boro nas regiões fonte/dreno P^+

| Tipo | amostra | Medição | | Concent. implantada $9E19-2E16$ | Profundid. Dose/c.sub t | cálculo | cálculo | Da curva Concentraç |
|-----------|---------|---------|------------|---------------------------------------|-------------------------------|------------------------------------|--|------------------------|
| | | V/I | Dose | | | Resist. Folha $R_s = 4,53(V/I)$ | Resistividade $\rho = R_s \times t$ | |
| | | Ohm | cm-2 | cm-3 | um | Ohm/ \square | Ohm cm | cm-3 |
| Projetado | Suprem | 10 | $3,00E+15$ | $8,998E+19$ | 0,33 | 45,3 | 0,0015 | $9,0E+19$ |
| Teste | Caco 1 | 18 | $3,00E+15$ | $8,998E+19$ | 0,33 | 81,54 | 0,0027 | $6,0E+19$ |
| Teste | Caco N | 18 | $3,00E+15$ | $8,998E+19$ | 0,33 | 81,54 | 0,0027 | $6,0E+19$ |

Quando foi feita a implantação de Arsênio, foi necessário controlar a corrente do feixe de implantação e neste processo foi mantido o valor de $70 \mu\text{A}$ controlando para não aumentar e assim evitar aparecimento de bolhas na superfície do fotorresiste. Mesmo assim, com esta corrente de feixe ($70 \mu\text{A}$) houve bolhas pequenas ainda aceitas para este processo. Posteriormente, observou-se que fazendo a implantação com a corrente de feixe de $30 \mu\text{A}$, mas com o tempo de implantação maior, este problema da formação de bolha pode ser contornado. Assim, na segunda fabricação, como medida de segurança, as implantações desta etapa foram realizadas com a corrente de feixe de $30 \mu\text{A}$. Para ilustrar o problema do fotorresiste, a figura 3.6 mostra lâminas implantadas com Arsênio na foto (a) com a corrente de feixe de $140 \mu\text{A}$ durante 10 minutos e que ficou danificada pela formação de bolhas na superfície do fotorresiste, sendo que após este problema a lâmina foi separada do processo CMOS, na foto (b) com a corrente de feixe de $70 \mu\text{A}$ durante 20 minutos e a foto (c) com a

corrente de feixe de $30\mu\text{A}$ durante 45 minutos, onde não observamos nenhuma bolha na superfície do fotorresiste.



(a) (b) (c)
Figura 3.6 - Após implantação de Arsênio, N^+ de fonte/dreno, com corrente de feixe de (a) $140\mu\text{A}$, (b) $70\mu\text{A}$ e (c) $30\mu\text{A}$

Após a formação dos drenos todos os dispositivos estão formados e isto é ilustrado na figura 3.7. Esta figura mostra todo o chip teste com seus dispositivos após a remoção total do fotorresiste. A remoção de fotorresiste foi difícil devido às duas implantações, a de Fósforo seguida de Arsênio numa mesma superfície de fotorresiste sendo crítica a corrente de feixe. Assim a sua remoção foi feita com acetona quente durante 10 minutos, isopropílico quente durante 10 minutos, ultrassom durante 15 minutos e finalmente usando o plasma de oxigênio para retirar possíveis restos de fotorresiste.

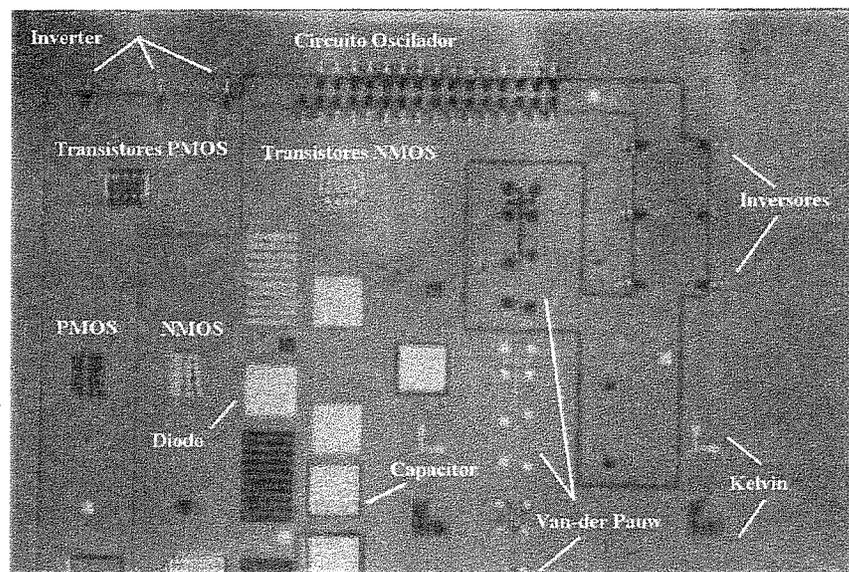


Figura 3.7 - Remoção total do fotorresiste na região do chip teste e seus dispositivos após a formação das regiões de fonte/dreno

• **RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DE ABERTURA DE CONTATOS**

Os dispositivos foram formados e o que segue são as etapas de processo indicadas na figura 3.8 para chegar até a formação de abertura de contatos e das quais mostramos os resultados experimentais. A deposição do óxido de silício foi realizada no reator ECR obtendo-se uma camada de valor de espessura de $840\text{nm} \pm 10\text{nm}$ e obtivemos uma característica do óxido com a concentração de Hidrogênio menor que 10%, não sendo necessário a densificação do óxido depositado. Assim o valor especificado de 800nm e o valor experimental da espessura do óxido são satisfatórios porque a margem de erro é pequena, além disso a qualidade do óxido é boa porque tem pouco Hidrogênio.

Depois da deposição do óxido foi feita a fotogração das áreas dos contatos que foram abertas após a corrosão por plasma RIE com gás CF_4+N_2 . A corrosão do óxido é crítica porque no fundo da abertura dos contatos pode formar-se polímeros e por isso houve o cuidado de terminar a limpeza com BHF durante dois segundos e completar esta limpeza com um plasma leve de oxigênio. A figura 3.8 mostra o resultado após a abertura dos contatos e sua limpeza na região dos transistores NMOS e PMOS de L variável. Observa-se que a transparência do óxido ainda permite observar a porta de polisilício.

| Etapas: | Medido: | Projetado: |
|---|---------------------------|------------|
|  50. Deposição de óxido de Si | ⇒ Espessura óxido: 840 nm | 800nm |
|  51. Fotogração n° 7 - contato | | |
|  52. Corrosão óxido Si por RIE | | |

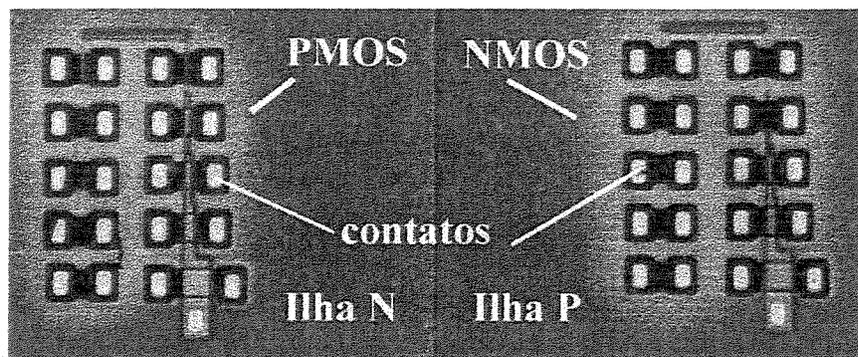


Figura 3.8 - Formação da abertura de contatos

• **RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DE INTERCONEXÕES DE METAL**

As etapas de processo que segue o processo *CMOS* estão assinaladas na figura 3.9 até a formação das interconexões de metal com os seguintes resultados. Após remoção total do fotorresiste foi feita a fotogração n° 8 deixando fotorresiste nas áreas onde não deve ficar o metal. Para este processo chamado *lift off*, após a fotogração que foi do tipo negativo com máscara de campo escuro, foi depositado Titânio de 20nm de espessura e sobre ela o Alumínio com espessura de 180nm em processo por evaporação *e-beam*, a pressão de 10^{-8} Torr. Após um processo com acetona quente foi descolado o Titânio e o Alumínio juntamente com o fotorresiste nas áreas onde não é necessário o metal e deixando só as interconexões de metal desejadas. Finalmente foi feita uma sinterização de metal, sendo esta a última etapa do processo *CMOS*, não cobrindo com mais nada porque não será encapsulado. A figura 3.9 mostra a foto da região com as interconexões de metal dos transistores NMOS e PMOS e do diodo, observando-se uma boa definição do metal.

| Etapas: | Medido: | Projetado: |
|---|---|---------------|
|  53. Remoção total do fotorresiste | | |
|  54. Fotogração n° 8 - metal | | |
|  55..Deposição de Titânio e Alumínio | ⇒ Espessura de Titânio: 20nm ⇒ Espessura : 180nm | 20nm 180nm |
|  56. Descolar Titânio e Alumínio | | |
|  57..Sinterização RTA | | |

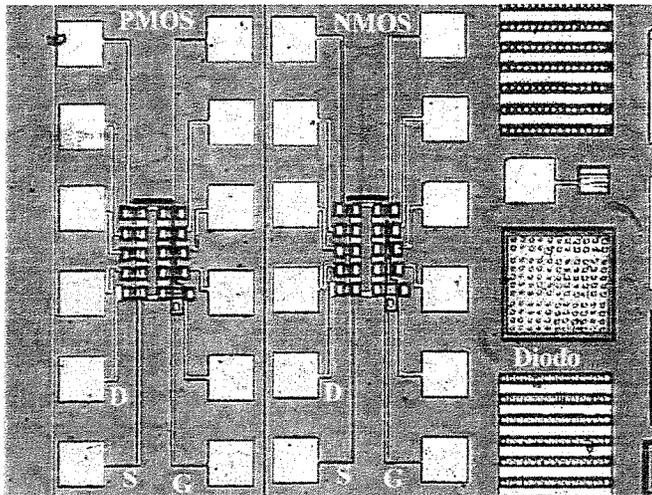


Figura 3.9 - Formação de interconexões de metal

3.3 RESULTADOS EXPERIMENTAIS DAS ETAPAS DO PROCESSO *CMOS* - SEGUNDA FABRICAÇÃO

O processo *CMOS* da segunda fabricação foi realizado e teve resultados semelhantes ao exposto no item 3.2 para o processo *CMOS* da primeira fabricação. Os valores das medidas realizadas na segunda fabricação são encontradas no anexo A4, juntamente com a informação detalhada das variáveis de processo de cada uma das 57 etapas que tem o processo *CMOS*. Neste item serão expostos somente os resultados experimentais das etapas de processo de segunda fabricação que são diferentes da primeira fabricação em termos de processo ou de resultados obtidos. Em termos de processo o que é diferente corresponde a formação das ilhas, assim serão apresentadas primeiramente as etapas até a formação da ilha N, seguidas de resultados das etapas de processo até a formação da ilha P. Em termos de resultados obtidos o que é diferente corresponde a formação da porta de polisilício, assim serão apresentados estes resultados com as melhoras obtidas na corrosão do polisilício. Também é exposto o resultado da metalização por *lift-off* onde o processo de fotogração nº8 foi mudado para o tipo positivo com máscara de campo claro para obter melhores resultados.

• RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA ILHA N

O processo *CMOS* da segunda fabricação tem as etapas indicadas na figura 3.10 até a formação da ilha N. Nesta figura apresentamos os valores medidos e os valores projetados, onde pode-se observar que os valores obtidos estão dentro da margem de erro do processo se comparados com os projetados.

Uma limpeza RCA estendida foi feita nas lâminas para iniciar a oxidação de 40nm nas lâminas sendo esta, uma condição para ter o óxido de boa qualidade. Esta oxidação foi projetada para ser efetuada por crescimento térmico, mas foi feita por deposição durante 3min. e 30s no reator ECR, demonstrando ser esta uma opção válida como material de sacrifício. Após a oxidação fina, o processo é diferente da primeira fabricação porque foi feita localmente a etapa de deposição de nitreto durante 12 minutos utilizando o reator ECR do IFGW-Unicamp e o valor da espessura do nitreto medida foi de 116nm, sendo que este valor é comparável com o valor projetado de 120nm. O índice de refração de 1,85 medido para este nitreto indica a boa qualidade do nitreto depositado.

| Etapas: | Medido: | Projetado: |
|---|--|--|
| ↓ 1. Lâmina | ⇒ Tipo P ⇒ Resistividade: $\rho = 25 \Omega\text{-cm}$ | $\rho = 17 - 25 \text{ ohm-cm}$ |
| ↓ 2. Limpeza padrão RCA completa | | |
| ↓ 3. Oxidação térmica seca. | Espessura óxido (depositado) | 40nm |
| ↓ 4. Deposição de nitreto de Si. | ⇒ Espessura nitreto: 116 nm n=1,85 | 120nm |
| ↓ 5. Fotogração nº 1 - Ilha N | ⇒ Espessura FR: 1,3 μm | 1,3 μm |
| ↓ 6. Corrosão do nitreto de Si: RIE. | ⇒ Tempo de processo: 4min. | |
| ↓ 7. Implantação iônica de Fósforo | ⇒ Dose: $4 \times 10^{12} \text{ cm}^{-2}$ ⇒ Energia: 100 keV | Dose: $4 \times 10^{12} \text{ cm}^{-2}$ Energia: 100 keV |
| ↓ 8. Remoção FR. | | |
| ↓ 9. Recozimento do Fósforo implantado | ⇒ Tempo de processo: 20min | 20min/1000°C |
| ↓ 10. Oxidação úmida (380nm) | ⇒ Espessura óxido: 430nm | 380nm |
| ↓ 11. Difusão Fósforo (4,5 μm) | ⇒ 4,5 μm | 4,5 μm Perfil Suprem: Fósforo |

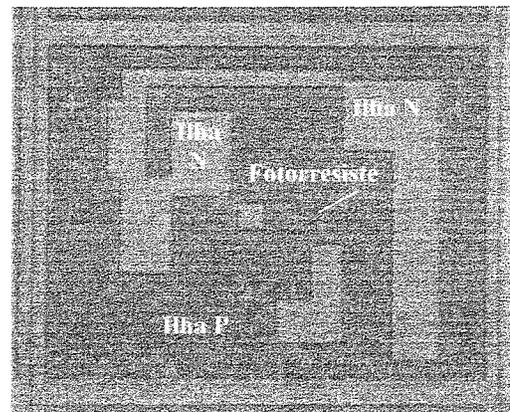
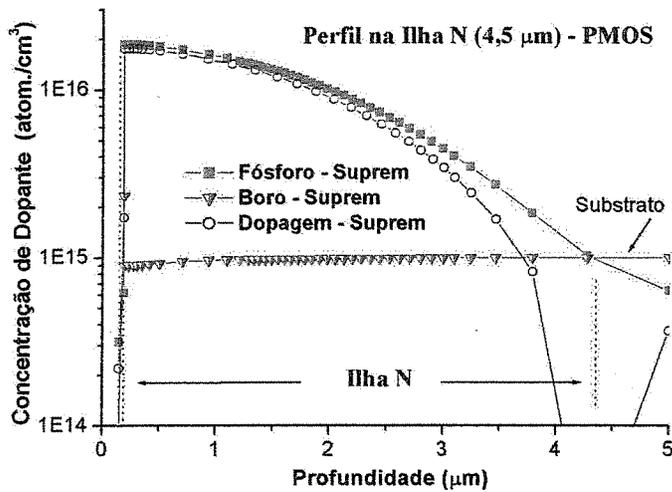


Figura 3.10 - Formação da ilha N

O nitreto foi fotografado com as regiões de ilha N e a seguir este nitreto foi corroído por plasma RIE durante 1 minuto de processamento para a abertura da região de formação da ilha N, não apresentando nenhuma dificuldade para isso e sendo verificada com o perfilômetro um valor de 150nm total de espessura do nitreto e do óxido fino. A figura 3.10 mostra uma fotografia da lâmina após a corrosão do nitreto onde pode-se verificar a definição da ilha N (regiões livres de fotorresiste). Após definida a ilha N foi feita a implantação iônica de Fósforo nas regiões da ilha N, e após removido o fotorresiste da lâmina feito o recozimento de 20 minutos para a ativação do Fósforo implantado. Em seguida uma camada de óxido foi crescida em ambiente de oxidação úmida a 1000°C e o valor medido da espessura deste óxido foi de 430 nm, valor este bastante próximo da espessura projetada para ela de 380 nm. Após, foi feita a difusão do Fósforo para aprofundar a dopagem de Fósforo, aumentando a temperatura do forno para 1150°C.

• RESULTADOS EXPERIMENTAIS ATÉ A FORMAÇÃO DA ILHA P

Após a formação da ilha N, o processo segue com as etapas indicadas na figura 3.11 até completar a formação da ilha P. Após removido o nitreto foi feita a implantação iônica de Boro nas regiões da ilha P, seguindo a remoção de todo o óxido (380nm) da lâmina e o recozimento de 20 minutos a 1000°C, para a ativação do Boro implantado. Nesta mesma temperatura foi feita em seqüência, a oxidação seca com TCE e o valor medido da espessura deste óxido foi de 44 nm, sendo que a espessura projetada é de 40nm, logo, satisfazendo os requisitos necessários. Após aumentar a temperatura até 1050°C foi feita a difusão para aprofundar a dopagem de Boro. A figura 3.11 mostra a foto da lâmina após a implantação iônica de Boro nas regiões de ilha P observando-se que as ilhas N foram protegidas desta implantação com óxido de 380nm.

| Etapas: | Medido: | Projetado: |
|--|--|--|
|  12. Remoção nitreto (120nm) | ⇒ Tempo de processo: 4min. | Taxa: 40nm/min. |
|  13. Implantação iônica de Boro | ⇒ Dose: $6 \times 10^{11} \text{ cm}^{-2}$ | Dose: $6 \times 10^{11} \text{ cm}^{-2}$ |
|  14. Remoção total do óxido | ⇒ Energia: 50 keV | Energia: 50 keV |
|  15. Recozimento do Boro. | ⇒ Tempo de processo: 20min | 20min/1000°C |
|  16. Oxidação térmica (40nm) | ⇒ Espessura óxido: 44nm | 40nm |
|  17. Difusão do Boro (1,4µm) | ⇒ Profundidade $\approx 1,3\mu\text{m}$ | 1,4µm - Perfil Suprem |

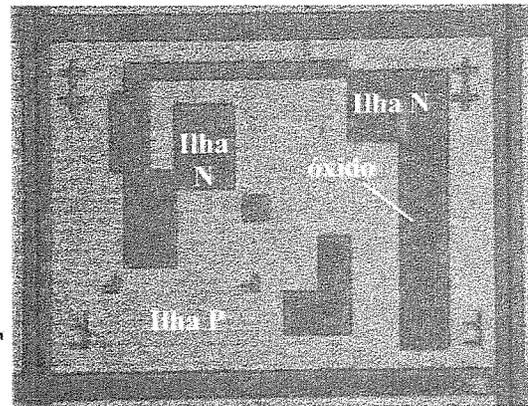
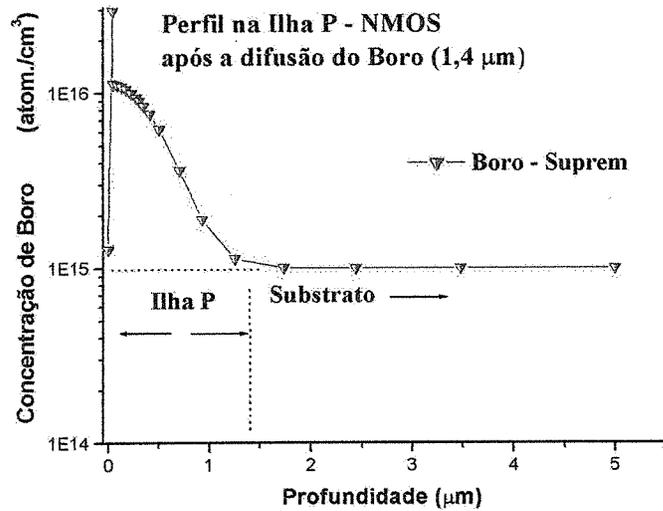


Figura 3.11 - Formação da ilha P

• **RESULTADOS EXPERIMENTAIS DA CORROSÃO DA PORTA DE POLISILÍCIO**

A corrosão da porta de polisilício é uma das etapas críticas do processo *CMOS* porque este processo forma as linhas finas de polisilício para a função de porta mínima da tecnologia que para nosso projeto é de $2\mu\text{m}$. A corrosão do polisilício pode ser avaliada em termos de corrosão lateral utilizando-se para isso uma série de linhas até a mais fina que a nossa litografia possa fotografar. A figura 3.12 mostra o *layout* com a linha de $2\mu\text{m}$ de nossa tecnologia e uma série de linhas mais finas até $0,5\mu\text{m}$ em passos de $0,5\mu\text{m}$ sendo que estas linhas são portas de polisilício do conjunto de transistores NMOS. A série completa de linhas de porta destes transistores são: 20; 10; 8; 5; 3; 2,5; 2,0; 1,5; 1,0; e $0,5\mu\text{m}$. Todas as áreas ativas são de largura constante de $W=20\mu\text{m}$. Um conjunto semelhante de transistores PMOS também encontra-se no *layout*.

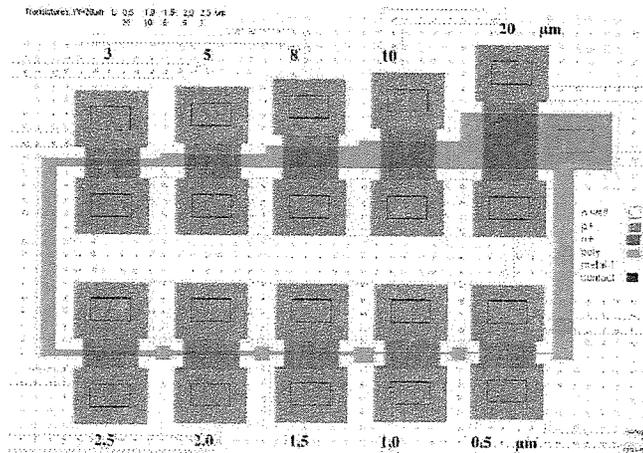


Figura 3.12 - *Layout* do conjunto de transistores NMOS

Se as dimensões das linhas de porta dos transistores forem fielmente transferidas do *layout* à máscara de polisilício e se a corrosão de polisilício for perfeita, podemos avaliar a redução do comprimento de porta ΔL_{eff} pela expressão [14][21]:

$$\Delta L_{\text{eff}} = 2 * 0.7 * X_j \quad (3.1)$$

Onde X_j é a profundidade de junção de fonte/dreno, que tem o valor de $0,45\mu\text{m}$ para nosso projeto. Assim, nestas condições, a redução do comprimento de porta ΔL_{eff} calculada pela expressão (3.1) é de $0,63\mu\text{m}$. Este valor deve ser o mesmo que o valor obtido da curva experimental (reta) da inversa da transcondutância ($1/G_m$), apresentado nas medidas elétricas no capítulo 3. Se este valor não for igual é porque estamos saindo das condições ideais de um

processo de corrosão anisotrópico. A figura 3.13 mostra a lâmina na região do conjunto de transistores NMOS com L variável onde observamos a linha de $1\mu\text{m}$ com boa definição indicando que a corrosão do polisilício foi quase ideal. A linha de $0,5\mu\text{m}$ não foi reproduzida pela fotogração devido à limitação de nossa litografia que seu limite está justamente nesta linha de $1\mu\text{m}$, mesmo após otimizar o processo de fotogração com o fotorresiste AZ5214 e reduzindo o tempo de exposição até 10 segundos. Este bom resultado foi obtido utilizando o plasma com gás CHF_3 que é um gás novo no CCS para este processo, misturado com os gases indicados na tabela 3.6.

A figura 3.13 mostra as linhas de porta após a corrosão do polisilício onde ainda não foi retirado o fotorresiste que está sobre o polisilício. Sendo uma linha fina de poli, esta linha pode ser afetada durante todo o processo do *CMOS*.

A figura 3.14 confirma que isto não ocorreu e que a linha de poli de $1\mu\text{m}$ está ainda bem definida após a fotogração dos contatos, medida com microscópio, e observando-se através do óxido depositado e faltando somente o processo de metalização.

Tabela 3.6 - Plasma utilizado na corrosão para a porta de polisilício

| Etapa de Corrosão de polisilício | Material | Reator | Plasma |
|---|----------|--------|--|
| Corrosão para a porta - primeira fabricação | Poli Si | RIE | $\text{SF}_6 + \text{CF}_4 + \text{N}_2$ |
| Corrosão para a porta - Segunda fabricação | Poli Si | RIE | $\text{SF}_6 + \text{CF}_4 + \text{CHF}_3$ |

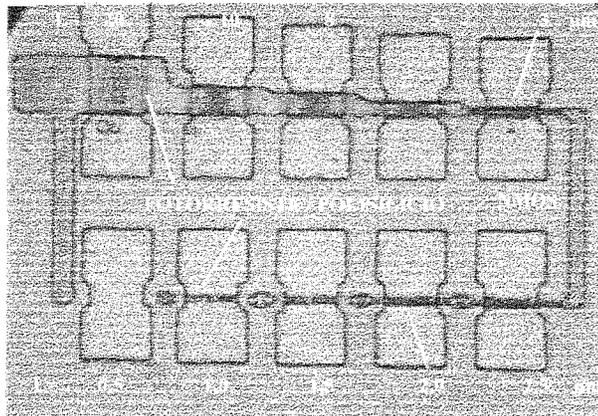


Figura 3.13 - Lâmina na região do conjunto de transistores NMOS com L variável após a corrosão de polisilício

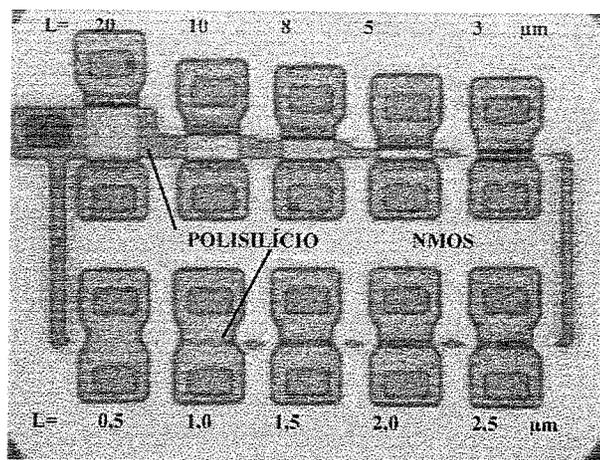


Figura 3.14 - Lâmina na região do conjunto de transistores NMOS com L variável após a fotogração dos contatos

Se consideramos a corrosão lateral do polisilício ΔL_{poly} , a redução do comprimento de porta ΔL_{eff} é dada pela expressão:

$$\Delta L_{eff} = \Delta L_{poly} + 2 * 0.7 * X_J \quad (3.2)$$

Isto indica que ΔL_{eff} aumenta devido à corrosão lateral na porta de polisilício ΔL_{poly} , se a anisotropia da corrosão de plasma não for suficientemente alta quando for corroída a porta de polisilício. A primeira fabricação de CMOS teve esta corrosão lateral na porta de polisilício ΔL_{poly} , verificada através da observação da perda da linha de $1\mu m$ após a corrosão do polisilício. Neste caso, foi utilizada o plasma com os gases $SF_6 + CF_4 + N_2$ indicados na tabela 3.6. O resultado de ΔL_{eff} obtido a partir das inversas das transcondutâncias ($1/G_m$) do conjunto de transistores de L variável está apresentada no item 3.4.12 - extração de parâmetros (f).

• RESULTADOS EXPERIMENTAIS DA METALIZAÇÃO POR *LIFT OFF*

A metalização por *lift off* desta segunda fabricação foi realizada de forma semelhante à primeira fabricação, mas houve uma variação no processo de fotogração n° 8 do metal, como estava projetado. O processo de fotogração foi do tipo positivo, pois a máscara foi fabricada em forma invertida (campo claro) para este propósito. Utilizamos a fotogração

positiva porque é mais simples e seus resultados são mais repetitivos que com a fotogração negativa. Após a fotogração feita com fotorresiste AZ5214, as etapas necessárias para a metalização foram as mesmas, assim foi depositado Titânio de 20nm de espessura e sobre ela o Alumínio com espessura de 180nm em um processo por evaporação *e-beam*, a pressão de 10^{-8} Torr. Após um processo com acetona quente foi descolado o Titânio e o Alumínio, juntamente com o fotorresiste nas áreas onde não é necessário metal, deixando só as interconexões de metal desejadas. Os resultados da metalização foram melhores que os obtidos na primeira fabricação devido a fotogração positiva diminuir o índice de falhas de interconexões de metal. A figura 3.15 ilustra a lâmina na região do chip teste após a fotogração de metal observando-se uma boa definição do metal. Finalmente foi feita uma sinterização do metal, sendo esta a última etapa do processo *CMOS*.

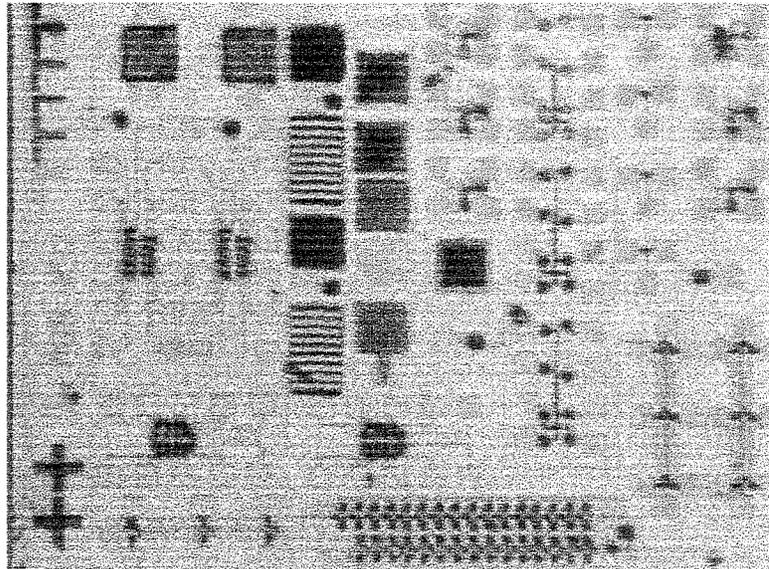


Figura 3.15 - Lâmina na região do chip teste após a fotogração do metal

3.4 MEDIDAS ELÉTRICAS DAS ESTRUTURAS DO *CHIP* TESTE:

Foram feitas medições elétricas após o fim do processo de fabricação *CMOS*, no chip teste *CMOS* e no chip *APS*. Os resultados de medições elétricas e uma aplicação de este *CMOS* foram apresentados em [26]. Os métodos de medidas aplicados são amplamente divulgados na literatura especializada [21].

Medidas elétricas das estruturas do chip teste

O chip teste tem as seguintes estruturas :

- Transistores PMOS com L fixo e W variável.
- Transistores NMOS com L fixo e W variável.
- Transistores PMOS com W fixo e L variável.
- Transistores NMOS com W fixo e L variável.
- Transistores de campo.
- Capacitores (MOS ilha P, MOS ilha N)
- Diodos (normal quadrado, diodo ilha).
- Inversores.
- Oscilador anel
- Estruturas Van-der Pauw (N^+ , P^+ , polisilício).
- Estruturas Kelvin (Al / poli , Al / P^+ , Al / N^+).

Do chip teste fabricado foram extraídos os seguintes parâmetros:

Dos transistores: características de porta , tensão de limiar V_T , variação do comprimento de canal ΔL , variação de largura de canal ΔW , curva sublimiar, características de dreno, efeito de corpo e outros.

Dos capacitores: curvas CV para extrair os parâmetros capacitância em acumulação C_{ox} , espessura no óxido T_{ox} , carga efetiva total no óxido Q_{ox} , dopagem de substrato N_{sub}

Dos diodos: a tensão de limiar V_T , a tensão de ruptura V_{bd} , a corrente de saturação da junção I_0

Dos circuitos inversores: as curvas de transferência $V_{in} \times V_{out}$

Estrutura Van-der Pauw: a resistência por quadrado \square , largura efetiva da trilha.

Estrutura Kelvin: resistência de contato.

3.4.1 MEDIDAS DOS CAPACITORES: CURVA CAPACITÂNCIA–TENSÃO (CV)

Os capacitores MOS do *chip* teste foram medidos e seus resultados foram utilizados num procedimento de cálculo para a extração dos parâmetros C_{ox} (capacitância em acumulação), T_{ox} (espessura do óxido), Q_{ox} (carga efetiva total no óxido), N_{sub} (dopagem de substrato). O *chip* teste tem capacitores para medir e obter parâmetros importantes do processo de fabricação de dispositivos de tecnologia de 2 μ m. Estes capacitores MOS usam o mesmo óxido isolante que o óxido de porta dos transistores MOS: espessura do óxido de Si = 30nm. Também, como placa de capacitor usa o mesmo poli da porta: espessura do poli = 500nm. A outra placa do capacitor é o silício dopado que num caso é a ilha P e em outro é a ilha N. Na primeira fabricação somente esteve disponível o capacitor na ilha P.

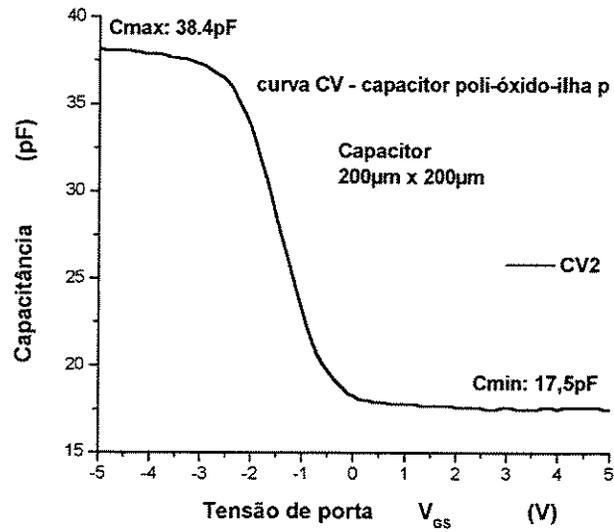
Para a extração dos parâmetros foram utilizados os seguintes dados:

A área dos capacitores é de $40000 \mu\text{m}^2$ com a estrutura quadrada de dimensões $200\mu\text{m} \times 200\mu\text{m}$. As medidas dos capacitores foram realizadas em detalhe e tratada com maior profundidade porque a caracterização do processo é o principal objetivo deste trabalho. A medida CV é importante porque verifica o comportamento do dispositivo e permite a extração de vários parâmetros do processo. Logo, através desta medida podemos analisar as propriedades do substrato e da interface óxido-silício.

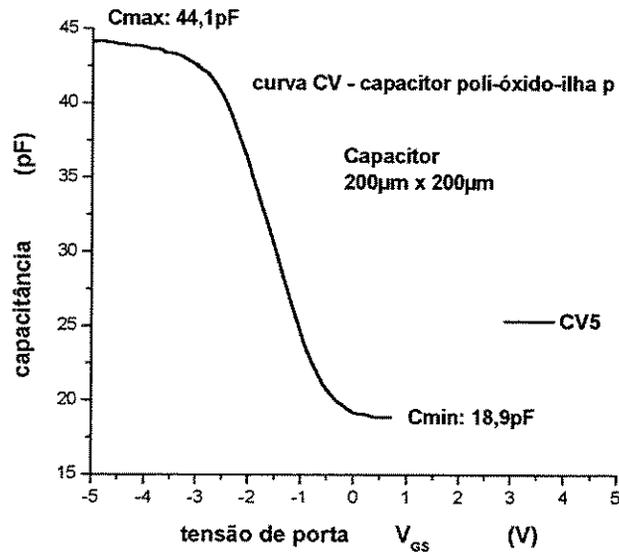
A interface óxido-silício está associada a cargas que em geral são de quatro tipos: cargas fixas Q_f , cargas móveis Q_m , cargas capturadas no óxido Q_{ot} e cargas capturadas na interface (óxido/silício) Q_{it} . Estas cargas foram avaliadas com o método de medição Capacitância – Tensão (CV). Este método pode ser consultado facilmente na literatura especializada [18] [21]. As medidas CV foram realizadas nos capacitores do chip teste, cujas estruturas são formadas pelo poli – óxido – ilha P. A curva CV para o caso poli – óxido – ilha N não foi medida pois a ilha N foi perdida durante o projeto do *layout* quando houve transferência e conversão para arquivos CIF. Entretanto, pode-se supor que esta seja semelhante a curva CV com ilha P, mas espelhada com referência ao eixo que passa por $V_g=0$. Estas medidas foram feitas após estabelecer as condições de medidas, fazendo-se o uso de um capacímetro e do sistema de medidas HP4145B conectado a uma placa GPIB (que faz a conversão de dados) de um PC, todos eles instalados na sala de medidas localizada na área limpa do laboratório do CCS.

3.4.2 Condições de medidas CV e resultados experimentais:

As condições mais comumente utilizadas para obter a curva CV é a de alta frequência (HF). A curva é obtida pelo sistema de medidas com uma varredura automática da polarização de porta no sentido ($-V_G \rightarrow +V_G$) ou no sentido ($+V_G \rightarrow -V_G$). Para os dois casos podem observar-se diferenças na região de inversão. Em todo caso a medida feita na condição com o sentido ($+V_G \rightarrow -V_G$) é melhor porque produzem menor desvio com referência à capacitância verdadeira. As figuras 3.16(a) e 3.16(b) mostram os resultados experimentais das curvas CV obtidas para as amostras CV2 e CV5, respectivamente.



(a) - Curva CV , amostra CV2



(b) - Curva CV , amostra CV5

Figura 3.16 - Curva CV do capacitor MOS poli-óxido-ilha P, (a) amostra CV2, (b) amostra CV5

3.4.3 PROCEDIMENTO PARA A EXTRAÇÃO DOS PARÂMETROS C_{ox} , T_{ox} , Q_{ox} , N_{sub}

O procedimento abaixo descrito foi utilizado para a extração dos parâmetros C_{ox} , T_{ox} , Q_{ox} , N_{sub} e outros, a partir dos dados obtidos das curvas CV. A aplicação deste procedimento está associada a um programa computacional disponível com o arquivo Cxvnew.exe onde o interessado introduz os dados solicitados a respeito do dispositivo caracterizado. Uma vez feito isso, o programa faz os cálculos do parâmetro desejado e fornece os seus resultados.

a) - Determinação da espessura do óxido (t_{ox})

A espessura do óxido de Si (t_{ox}) utilizada como dielétrico do capacitor é determinado a partir de C_{max} obtido da curva CV, utilizando a expressão (3.3) abaixo:

$$t_{ox} = \frac{\epsilon_o * \epsilon_{ox} * A}{C_{ac}} \quad (3.3)$$

onde:

$\epsilon_o = 8.854 \times 10^{-14}$ Faraday/cm = permitividade no vácuo;

$\epsilon_{ox} = 3,9$ (para SiO_2) = permitividade do óxido;

A = área do capacitor em cm^2 ;

$C_{ac} \Rightarrow$ capacitância na região de acumulação (C_{max} da curva CV).

b) - Largura da camada de depleção (W_f)

A partir de C_{min} obtido da curva CV calcula-se a largura da camada de depleção W_f do capacitor utilizando a expressão (3.4):

$$W_f = \left[\frac{C_{ac}}{C_{inv}} - 1 \right] * \frac{\epsilon_o * \epsilon_{Si} * A}{C_{ac}} \quad (3.4)$$

onde:

$\epsilon_{Si} = 11,9$ = permitividade do silício monocristalino

$C_{inv} \Rightarrow$ capacitância na região de inversão (C_{min} da curva CV).

c) - Determinação da concentração de portadores ($N_{A,D}$)

A concentração de portadores do capacitor é determinado de forma recursiva, sendo que para o cálculo do nosso dispositivo foi utilizado como primeira estimativa $N_{a,d} = 1 \times 10^{15} \text{ cm}^{-3}$. Este cálculo é feito utilizando a expressão (3.5) abaixo:

$$N_{a,d}(n+1) = \frac{4 * \epsilon_o * \epsilon_{Si}}{q.W_f^2} \left(\frac{KT}{q} \right) \ln \left(\frac{N_{a,d}(n)}{n_i} \right) \quad (3.5)$$

onde:

- n_i é a dopagem intrínseca do silício, a 300 Kelvin = $1.45 \times 10^{10} \text{ cm}^{-3}$.
- K é a constante de Boltzmann = $8.62 \times 10^{-5} \text{ eV/K}$
- T é a temperatura em graus Kelvin
- q é a carga do elétron = $1.602 \times 10^{-19} \text{ C}$
- n é o número de iterações

c) - Determinação da capacitância de *flat band* (C_{fb})

O valor da capacitância de bandas *flat band* (C_{fb}) é calculado usando a expressão dada em (3.6), conhecendo a espessura do óxido e a concentração de portadores. Uma vez determinada o C_{fb} pode-se determinar o valor da tensão de *flat band*, (V_{fb}) através da curva CV. V_{fb} é a tensão V_{GS} (tensão no capacitor MOS) onde a capacitância é igual a C_{fb} .

$$C_{FB} = \frac{\epsilon_{ox} * \epsilon_{Si} * A}{t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} \left[\frac{\epsilon_o * \epsilon_{Si}}{q * N_{A,D}} \left(\frac{kT}{q} \right) \right]^{\frac{1}{2}}} \quad (3.6)$$

e) - Determinação das cargas efetivas da interface (Q_{ef}/q)

O valor das cargas efetivas da interface Q_{ef}/q é determinado a partir da expressão (3.7) abaixo :

$$\frac{Q_{ef}}{q} = (V_{fb} - \phi_{ms}) \frac{C_{ac}}{q \cdot A} \quad (3.7)$$

onde:

V_{fb} é a tensão de flatband;

ϕ_{ms} é o potencial metal-semicondutor

O potencial ϕ_{ms} é determinado pela expressão (3.8):

$$\phi_{ms} = \phi_f(poli) - \phi_f(subtrato) = -0,55 - \phi_f(subtrato) \quad (3.8)$$

onde:

ϕ_f é o potencial de Fermi, que para o substrato temos:

$$\phi_f = \left(\frac{kT}{q} \right) \ln \left(\frac{N_{a,d}}{ni} \right) \quad \begin{array}{l} \phi_f > 0 \text{ para o substrato tipo p} \\ \phi_f < 0 \text{ para o substrato tipo n} \end{array} \quad (3.9)$$

3.4.4 RESULTADOS DA EXTRAÇÃO DOS PARÂMETROS C_{ox} , T_{ox} , Q_{ox} e N_{sub}

Para iniciar a extração de parâmetros é necessário primeiramente conhecer o C_{max} que é determinado a partir da curva de medidas CV. A Figura 3.17 mostra a curva CV das amostras CV2 e CV5 (capacitores de substrato tipo P) com os respectivos valores de C_{max} para estes capacitores. Estas curvas são idênticas às apresentadas nas figuras 3.16(a) e 3.16(b), a menos de que na Figura 3.17 os valores das medidas foram normalizadas em função do valor máximo das capacitâncias medidas.

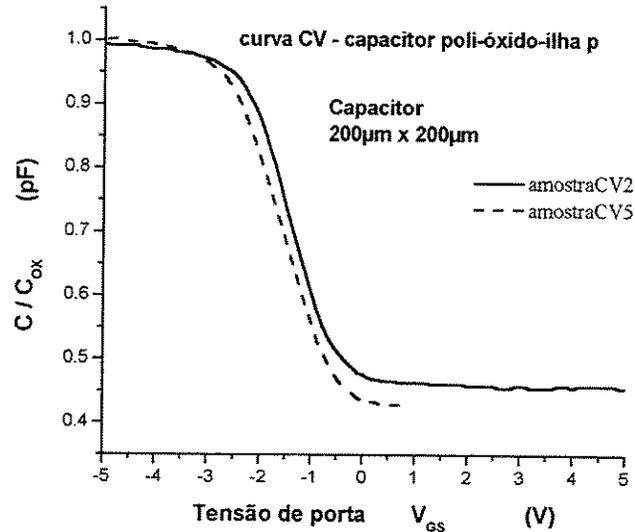


Figura 3.17 Curvas normalizadas CV das amostras CV2 e CV5

Esta figura mostra pequenas diferenças entre as duas curvas, que podem ser atribuídas aos defeitos da estrutura ou aos erros do processo (uniformidade da oxidação, rugosidade da interface).

Seguindo o procedimento mencionado foram determinados os demais parâmetros para o dois capacitores, CV2 e CV5, cujos valores são os seguintes:

Parâmetros da amostra CV2, capacitor poli-óxido-ilha P

Substrato tipo:P
 Cmax[pF]=38.4
 Cmin[pF]=17.5
 área[µm²]=40000
 tox[cm]=3.59e-06 tox[Å]=359
 Wf[cm]=1.310e-05 Wf[Å]=1310
 Na[cm⁻³]=6.03e+16
 Cfb[pF]=33.3
 Vfb[V]=-1.96
 Øms[V]=-0.994
 Qef/q[cm⁻²]=5.78e+11

Parâmetros da amostra CV5, capacitor poli-óxido-ilha P.

Substrato tipo:P
 Cmax[pF]=44.1
 Cmin[pF]=18.9
 área[μm^2]=40000
 tox[cm]=3.13e-06 tox[Å]=313
 Wf[cm]=1.274e-05 Wf[Å]=1274
 Na[cm⁻³]=6.41e+16
 Cfb[pF]=37.67
 Vfb[V]=-2.1
 Øms[V]=-0.995
 Qef/q[cm⁻²]=7.59e+11

Observa-se nas medidas CV das amostras CV2 e CV5, que os valores de dopagem $6,03 \times 10^{16} \text{ cm}^{-3}$ e $6,41 \times 10^{16} \text{ cm}^{-3}$ extraídas estão corretas porque comparados com o valor projetado por Suprem de $8 \times 10^{16} \text{ cm}^{-3}$, o erro pode ser aceito pelo projeto. Os valores obtidos $5,78 \times 10^{11} \text{ cm}^{-2}$ e $7,59 \times 10^{11} \text{ cm}^{-2}$, indicam uma densidade de carga efetiva muito elevada que a desejada. Na literatura [22] esta é da ordem de $1.0 \times 10^{10} \text{ cm}^{-2}$.

As medidas CV foram realizadas em várias outras amostras, todas capacitores do mesmo tipo, e destas medidas extraídas os seus parâmetros, cujos valores estão mostradas na Tabela 3.7 e graficados nas figuras 3.18 a 3.22 incluindo os valores médios de cada um dos parâmetros. O parâmetro posição corresponde a identificação do capacitor no *dye*.

Tabela 3.7 Valores dos principais parâmetros do capacitor determinadas a partir das medidas CV realizadas em sete amostras

| | CV5 | CV6 | CV7 | CV8 | CV11 | CV12 | CV13 | Média |
|---------|--------|--------|--------|--------|--------|--------|--------|----------|
| Posição | 9.0 | 8.0 | 7.0 | 8.0 | 2.0 | 5.0 | 14.0 | -:- |
| Cmax | 44.0 | 43.2 | 41.9 | 43.8 | 38.4 | 44.1 | 40.0 | 42.200 |
| Cmin | 18.0 | 17.6 | 17.0 | 19.0 | 17.5 | 18.9 | 17.0 | 17.857 |
| Tox | 313.9 | 319.7 | 329.6 | 315.3 | 359.7 | 313.2 | 345.3 | 328.120 |
| Wf | 1383.6 | 1419.0 | 1473.3 | 1255.9 | 1310.8 | 1274.2 | 1425.5 | 1363.180 |
| Na | 5.4E16 | 5.1E16 | 4.7E16 | 6.6E16 | 6E16 | 6.4E16 | 5E16 | 5.61E16 |
| Cfb | 37.1 | 36.4 | 35.2 | 37.5 | 33.3 | 37.7 | 34.1 | 35.903 |
| Vfb | -1.8 | -2.1 | -1.6 | -2.0 | -2.0 | -2.1 | -1.9 | -1.923 |
| øms | -0.9 | -0.9 | -0.9 | -0.9 | -0.9 | -0.9 | -0.9 | -0.942 |
| Qefq | 5.9E11 | 7.8E11 | 4.3E11 | 7.2E11 | 6.1E11 | 7.9E11 | 6E11 | 6.468E11 |

Nas figuras 3.18 a 3.19 mostramos o comportamento dos principais parâmetros obtidos (C_{max} , T_{ox} , N_a , V_{fb} e Q_{efq}) em função do desvio normalizado em relação ao valor médio correspondente a estes parâmetros. Observa-se da Figura 3.18 que os valores de C_{max} obtidos das medidas de curvas CV, de quatro (4) amostras analisadas se encontra à direita e de três (3)

à esquerda do valor médio de $C_{\max} = 42.2\text{pF}$. Esta distribuição de diversas amostras reflete a boa uniformidade do óxido formado e medido com o elipsómetro, visto a pequena margem de desvio em relação ao valor médio sendo o desvio máximo menor que 10%. Esses desvios podem ser atribuídos a variações do processo que ocorrem durante a sua fabricação. Estas variações estão associadas especialmente ao óxido, em termos de variações na espessura (uniformidade) e na qualidade do óxido formado. A área do capacitor é também um outro fator a ser considerado, pois podem ocorrer variações na uniformidade de corrosão do polisilício que constitui a placa do capacitor.

A figura 3.19 mostra o desvio normalizado de T_{ox} das sete (7) amostras da Tabela 3.7 em relação ao valor médio das espessuras determinadas a partir das medidas CV, cujo valor é de $T_{ox} = 328,1 \text{ \AA}$. Ao contrário de C_{\max} , quatro (4) valores ou amostras ficaram à esquerda e três (3) amostras à direita do valor médio das amostras analisadas. Com relação aos valores determinados de T_{ox} , pode se afirmar que estes valores são satisfatórios se compararmos com o valor nominal do projeto de 300\AA , ou seja, as espessuras do óxido de silício encontrados, asseguram que este crescimento foi efetuado com a utilização de parâmetros do processo de oxidação, adequadas. Como mostra a Figura 3.19, o desvio normalizado máximo entre as amostras em relação ao valor de espessura média é menor que 10%. Esta discrepância observada nas espessuras das amostras pode ser considerada como sendo consequência das variações das capacitâncias, uma vez que a área é assumida como constante, mas ela pode variar com o processo. Assim, as medidas das espessuras do óxido de silício com elipsómetro mostraram os valores na faixa $31\text{nm} \pm 2,5\%$ no caco de seguimento e uma rugosidade até de 10nm na região de área ativa das lâminas do processo.

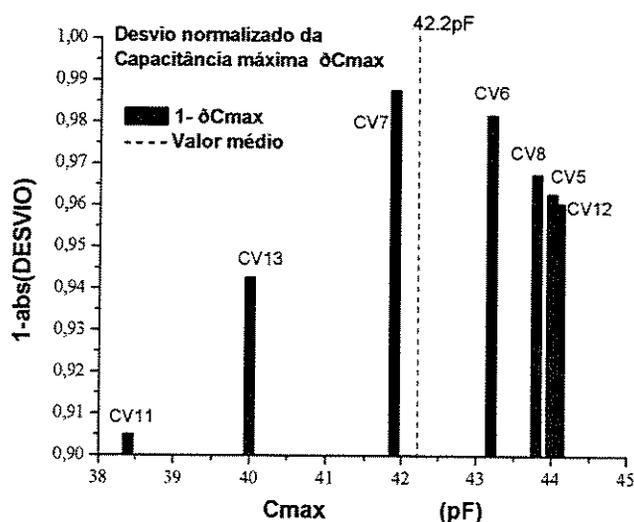


Figura 3.18 Desvio normalizado da Capacitância máxima, C_{\max} da Curva CV do capacitor MOS poli-óxido-ilha P

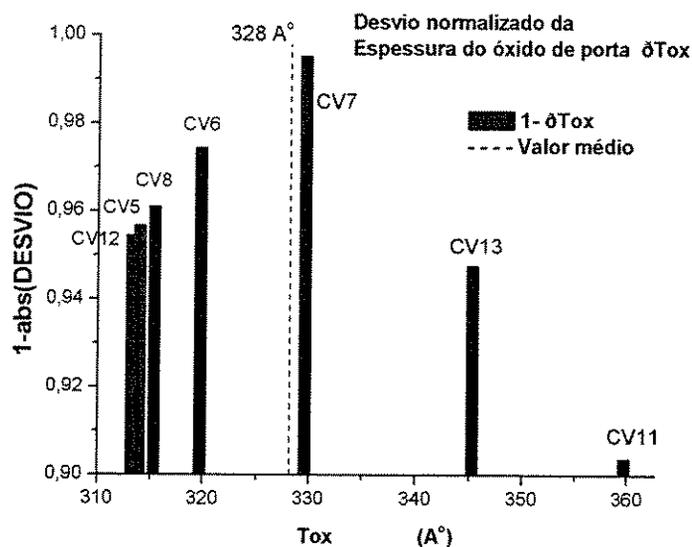


Figura 3.19 Desvio normalizado da espessura do óxido de porta, T_{ox} , determinada das medidas da Curva CV do capacitor MOS poli-óxido-ilha P

A figura 3.20 mostra o desvio normalizado de N. Este gráfico mostra que o melhor valor de concentração de dopantes de Boro das amostras analisadas é de aproximadamente $6,5 \times 10^{16} \text{ cm}^{-3}$ (amostras CV8 e CV12), pois, esta concentração encontra-se mais próximo do valor projetado por Suprem de $8 \times 10^{16} \text{ cm}^{-3}$. Estas amostras apresentaram também espessuras de óxido T_{ox} de 315 Å o que está de acordo com o valor projetado de 300 Å. Como o projeto foi realizado para que com esta concentração nominal de dopantes e espessura nominal da camada de óxido, obtenha a tensão $V_T = |0,8V|$ para ambos os transistores, pode-se admitir que as amostras que apresentaram concentrações próximas do valor médio de N de $5,6 \times 10^{16} \text{ cm}^{-3}$ são satisfatórias. Isto porque o projeto foi concebido para aceitar estas variações na concentração de dopantes, visto que elas afetam muito pouco no valor de V_T e no desempenho dos dispositivos. Quanto a dispersão dos desvios normalizados de N, como a determinação deste parâmetro depende da largura da camada de depleção (W_d), da capacitância (C_{max}) e da espessura do óxido (T_{ox}), a dispersão verificada pode ser assumida como sendo consequência das variações dos parâmetros dos processos envolvidos com exceção da oxidação porque a espessura do óxido obtido é medido com erro (< 5%) menor do mostrado na figura 3.19.

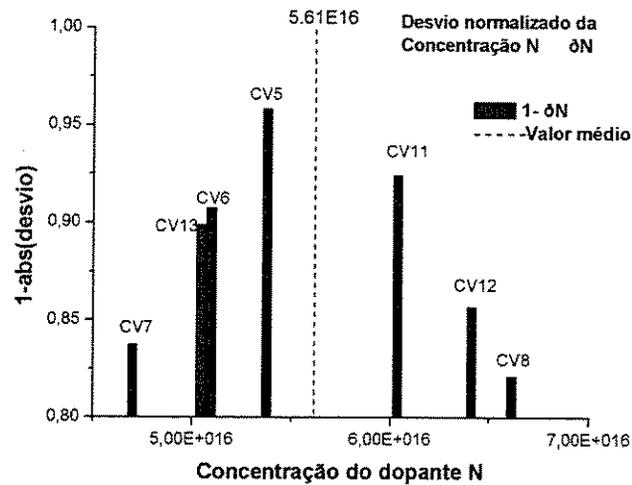


Figura 3.20 Desvio normalizado da concentração, N, determinado das medidas de Curva CV do capacitor MOS poli-óxido-ilha P

A figura 3.21 mostra o desvio normalizado de V_{fb} . Observa-se desta figura que boa parte das amostras analisadas mostraram V_{fb} muito próximos do valor médio de $-1,92V$. Pela distribuição da maioria das amostras analisadas ao redor deste valor médio, podemos assumir que a melhor medida da tensão V_{fb} corresponde a $-1,92V$. O valor típico para este parâmetro é de valor aproximadamente Φ_{MS} , sendo que o seu valor ideal é Φ_{MS} . Como a tensão V_{fb} está relacionada as cargas presentes na camada de óxido, a tensão negativa verificada para todas as amostras analisadas, mostram que o tipo de cargas presentes são do tipo cargas fixas. A figura 3.22 mostra a densidade de carga efetiva Q_{ef}/q determinada a partir da expressão (7) utilizando os valores de C_{max} e V_{fb} obtidos das medidas de curvas CV.

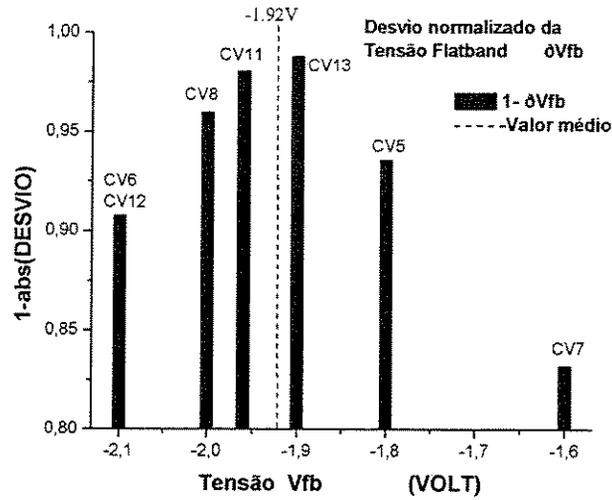


Figura 3.21 Desvio normalizado da tensão flatband, V_{fb} , determinada das medidas da curva CV do capacitor MOS poli-óxido-ilha P

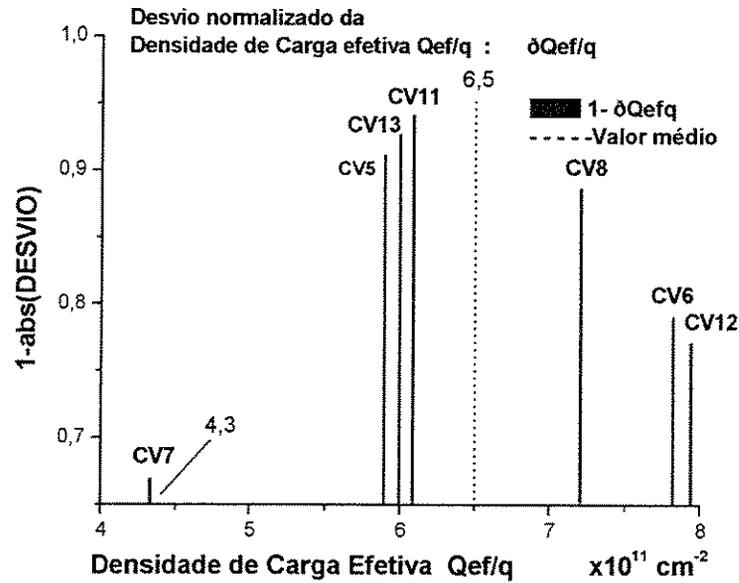


Figura 3.22 Desvio normalizado da carga efetiva, Q_{ef} , determinada das medidas de curva CV do capacitor MOS poli-óxido-ilha P

O gráfico do desvio normalizado mostra que a maioria das amostras analisadas ficaram distribuídas ao redor do valor médio da densidade de carga efetiva de $6.5 \times 10^{11} \text{ cm}^{-2}$. Dentre elas podemos assumir que a melhor medida para este parâmetro corresponde ao valor de $4,3 \times 10^{11} \text{ cm}^{-2}$ (amostra CV7), pois apresenta a menor tensão de V_{fb} que indica menor densidade de cargas (cargas fixas). Na literatura [22] o valor ideal para este parâmetro é da ordem de $1.0 \times 10^{10} \text{ cm}^{-2}$, ou seja, os valores obtidos pelas nossas amostras indicam uma densidade de carga efetiva muito mais elevada que a desejada, provavelmente consequente do processo de oxidação de porta da primeira fabricação na qual o óxido crescido não teve o recozimento para reduzir as cargas fixas do óxido. Isto foi corrigido na segunda fabricação.

3.4.5 MEDIDAS DOS DIODOS

Os diodos quadrados de vários *chips*'s teste foram medidos e seus resultados foram utilizados num procedimento de cálculo para a extração dos parâmetros R_S (resistência série), n (fator de idealidade), I_R (corrente reversa) e J (densidade de corrente sub-limiar). O chip teste tem um diodo quadrado de $200\mu\text{m} \times 200\mu\text{m}$. O diodo é formado por uma região N^+ e outra região P. Esta junção foi feita com o mesmo processo da região fonte/dreno dos transistores NMOS. O *chip* teste tem um diodo quadrado para fazer medidas e obter parâmetros importantes do processo de fabricação de dispositivos de tecnologia de $2\mu\text{m}$. Este diodo MOS usa a mesma região N^+ que a região N^+ dos fonte/dreno dos transistores PMOS: profundidade de junção do $N^+ = 45\text{nm}$. Também, como eletrodo do diodo usa o metal Alumínio: espessura do Alumínio $\approx 1\mu\text{m}$. O outro material da junção é o silício dopado que neste caso é a ilha P. O segundo eletrodo do diodo é o mesmo da ilha P disponível com seu próprio terminal. Na primeira fabricação somente esteve disponível o diodo na ilha P, mas, na segunda fabricação, temos disponível um diodo na ilha P e outro na ilha N.

Para a extração dos parâmetros foram utilizados os seguintes dados:

- área do diodo: $40000 \mu\text{m}^2$
- estrutura: quadrada com dimensão de $200\mu\text{m} \times 200\mu\text{m}$

A caracterização do diodo permite a extração de vários parâmetros do processo. Assim é importante para verificar o comportamento do dispositivo que é afetado pela resistência série. Esta depende da resistividade do semicondutor, da resistência de contato e algumas vezes do padrão da estrutura. A resistência série pode causar degradação num dispositivo menor que em outro. Assim, por exemplo, para um fotodiodo que funciona com polaridade reversa, a degradação pode ser ignorada, mas, para um diodo em polarização direta não, pois ela é afetada pela resistência série mesmo com valor de alguns ohms. A resistência série tem que ser medida pois ela nunca é zero.

Condições de medidas:

Os diodos foram caracterizados com o auxílio do sistema HP 4145 conectado ao equipamento para realização de medidas diretas na lâmina. O método de medidas utilizada é com a curva Corrente – Tensão (I-V). Este método pode ser consultado facilmente na literatura especializada, por exemplo, capítulo 6 de [21]. A figura 3.23 mostra os resultados experimentais da curva IxV obtida para a amostra C13.

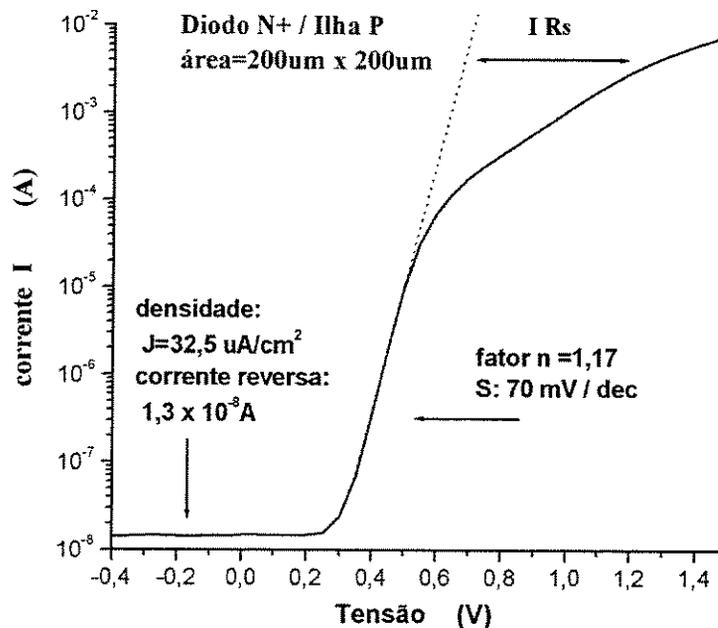


Figura 3.23 - Curva IxV do diodo N⁺/ilha P

3.4.6 EXTRAÇÃO DOS PARÂMETROS DOS DIODOS - η , V_B , I_R e J

Através das estruturas dos diodos do *chip* teste, pode-se extrair os principais parâmetros do diodo. Assim, os diodos do *chip* teste foram medidos e seus resultados foram utilizados num procedimento de cálculo para a extração dos seguintes parâmetros:

- Fator de idealidade, η
- Tensão de ruptura, V_B .
- Corrente reversa, I_R
- Densidade de corrente, J .

3.4.7 PROCEDIMENTO PARA A EXTRAÇÃO DOS PARÂMETROS: η , α , V_B , I_S e J

O procedimento abaixo descrito foi utilizado para a extração dos parâmetros η , V_B , I_R e J , a partir dos dados obtidos das curvas $I_D \times V$.

a) - Fator de idealidade (η)

a.1) O fator de idealidade η é obtido do coeficiente angular da curva $\log(I_D) \times V_D$, linearizada, que corresponde a expressão da corrente do diodo, aproximada para $V_D > 100$ mV, dado por: (3.10).

$$I_D = I_0 \exp\left(\frac{qV_D}{\eta kT}\right) \quad (3.10)$$

Fazendo o log da expressão acima temos:

$$\log(I_D) = \frac{q \cdot \log e}{\eta kT} V_D + \log(I_0) \quad (3.11)$$

onde:

$$\eta = \frac{1}{\alpha} \cdot \frac{q \log e}{kT} \quad (3.12)$$

O fator de idealidade η do diodo é calculado a partir da expressão acima, obtendo-se o coeficiente angular α da reta do gráfico de $\log(I_D) \times V_D$.

a.2) A curva $I \times V$ dos diodos pode ser obtida utilizando o analisador de parâmetros HP 4145B, tanto em escala linear como em logarítmica (base 10):

curvas $I_D \times V_D$ e $\log(I_D) \times V_D$.

Como a escala de I_D está em logaritmo de base 10, o coeficiente angular α da reta obtida está relacionado com η por:

$$\eta = \frac{1}{\alpha} \cdot \frac{q \log e}{kT} \cong \frac{1}{\alpha} \cdot \frac{1}{60mV} = \frac{1}{GRAD} \cdot \frac{1}{60mV} \quad (3.13)$$

onde:

1/GRAD é a denominação do inverso do coeficiente angular no analisador de parâmetros.

a.3) Finalmente, para se calcular o fator de idealidade η com a expressão dada acima, toma-se na curva $\log(I_D) \times V_D$, dois pontos na região $0.1 \leq V_D \leq 0.3$ V, obtendo assim o coeficiente angular α dessa curva. O fator de idealidade deve ser próximo de 1 (ideal), ou seja, a inclinação da curva (slope= $S=1/\alpha=1/\text{GRAD}$) de 60 mV/dec. Entretanto, os diodos típicos apresentam para este fator de inclinação um valor da ordem de 100 mV/dec, portanto η de 1.6, devido aos efeitos da resistência parasitária e de série, conseqüente da resistência metalúrgica de contato e da resistência de corpo do silício dopado.

b) Tensão de ruptura V_B

Para verificar o comportamento do diodo na região reversa e encontrar o valor da sua tensão de ruptura (*Breakdown Voltage V_B*), este pode ser efetuado utilizando-se o analisador de parâmetros. Tanto a tensão de ruptura como o comportamento do diodo na região reversa dependem da dopagem do silício. Quanto mais dopado menor é a tensão de ruptura e menor a corrente na região reversa.

c) Corrente reversa e densidade de corrente

A densidade de corrente é determinada a partir da corrente reversa obtida da curva $\log(I_D) \times V_D$ dividindo-se pela área do diodo. O valor da corrente reversa é medido na tensão reversa no caso de diodo n^+ , preferencialmente com valor de $V_D = -5$ V que é uma tensão de operação, logo esta região não deve ter os efeitos da tensão de ruptura (aumento da corrente).

3.4.8 RESULTADOS DA EXTRAÇÃO DOS PARÂMETROS DOS DIODOS η , V_B , I_R , J e S

O procedimento descrito acima para a determinação dos parâmetros do diodo a partir das medidas da curva $I_D \times V_D$, caracterizado com o equipamento HP4145 disponível na sala de medidas do CCS/UNICAMP. Este equipamento tem recursos de cálculo que permitem mostrar os resultados da extração de parâmetros. Por exemplo apresenta o valor da inclinação (S) com o termo 1/grad. Outro sistema de medição disponível em outra sala de medida é da marca Keithley que também tem recursos de cálculo para a extração de parâmetros, e utiliza alguns termos diferentes, por exemplo usa o termo b , sendo que o valor da inclinação é equivalente a $1/\text{grad}=1/(b \cdot \log e)$.

As medidas I_D x V_D foram realizadas em várias outras amostras, todas são de diodos do mesmo tipo (quadrados $200\mu\text{m}$ x $200\mu\text{m}$, substrato p) e destas medidas extraídas os seus parâmetros, cujos valores estão mostradas na Tabela 3.8. O número da amostra corresponde a identificação do diodo no *dye*.

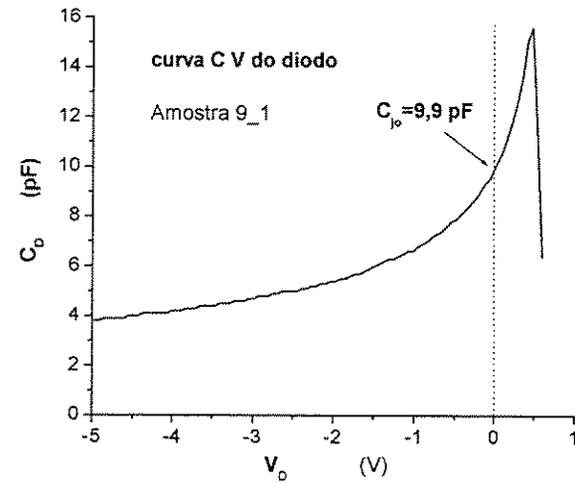
Tabela 3.8 Valores dos principais parâmetros do diodo determinadas a partir das medidas I_D x V_D realizadas em 5 amostras

| | | Medição | Medição | Cálculo | Medição | Cálculo |
|---------|---------|---------------|---------|-----------------------------|------------------|-----------------------------|
| Tipo | Amostra | | | Fator idealidade | corrente reversa | Densidade sublimiar |
| | | grad=b(log e) | 1/grad | $\eta=16,77(1/\text{grad})$ | I_R | $J = I / \text{área}$ |
| | | | mV/dec | | A | $\mu\text{A} / \text{cm}^2$ |
| cavP N+ | 13 | 12.3 | 81.3 | 1.36 | 1.70E-07 | 425.00 |
| cavP N+ | 12 | 12.3 | 81.0 | 1.36 | 1.60E-07 | 400.00 |
| cavP N+ | 11 | 9.7 | 103 | 1.73 | 1.70E-07 | 425.00 |
| cavP N+ | 10 | 14.3 | 69.8 | 1.17 | 1.30E-08 | 32.50 |
| cavP N+ | 9 | 13.0 | 77.0 | 1.29 | 1.40E-08 | 35.00 |

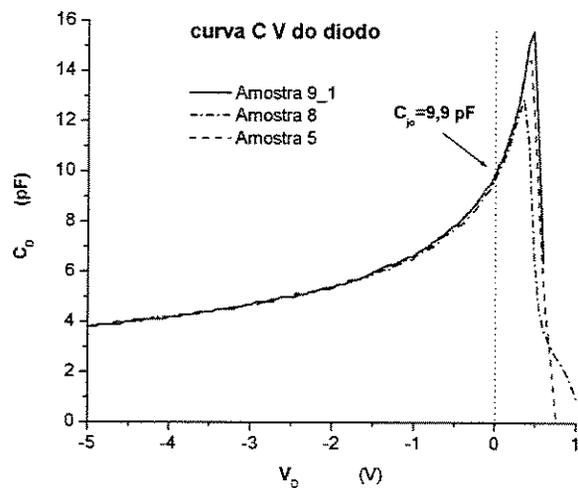
O fator de inclinação (S) dos diodos típicos estão na ordem de 100 ou próximo de 60, logo os valores obtidos para o parâmetro S são satisfatórios. O fator de idealidade também é próximo da unidade. A corrente reversa foi de $1,7 \times 10^{-7}$ A até $1,3 \times 10^{-8}$ A, um valor alto, que deve ser corrigido otimizando o processo para reduzir este valor de corrente reversa.

3.4.9 MEDIDAS DOS DIODOS: CURVA CAPACITÂNCIA – TENSÃO (CV)

As capacitâncias de junção dos diodos MOS do *chip* teste foram medidas e seus resultados são aqui apresentados. O procedimento é semelhante ao apresentado para obter a curva C V dos capacitores. A figura 3.24 (a) mostra a curva CV da amostra 9 (diodo de substrato tipo P) com o respectivo valor de C_{j0} para este diodo e a figura 3.24 (b) mostra três curvas CV (amostras 9_1, 8 e 5)



(a)



(b)

Figura 3.24 - Curva C_D x V_D do diodo MOS em substrato P (área $200\mu\text{m} \times 200\mu\text{m}$):
(a) uma curva CV (amostra 9_1) (b) três curvas CV (amostras 9_1, 8 e 5)

3.4.10 EXTRAÇÃO DOS PARÂMETROS C_j e C_{j0} DAS MEDIDAS CV DOS DIODOS

O parâmetro que pode ser extraído é a capacitância por unidade de área (CJ)
Em nosso caso temos um diodo com área de $200\mu\text{m} \times 200\mu\text{m}$:

$$C_{j0} = 9,9 \text{ pF} / (200 \times 200) \mu\text{m}^2$$

$$C_{j0} = 0,2475 \times 10^{-3} \text{ pF} / \mu\text{m}^2$$

O parâmetro C_j é obtido da expressão (3.14) [19]:

$$C_j = \frac{C_{j0}}{\left(1 + \frac{|V_R|}{V_o}\right)^M} \quad (3.14)$$

Onde: V_R = tensão reversa
 V_o = potencial da junção (barreira)
 M = fator da junção

3.4.11 MEDIDAS DOS TRANSISTORES

RESULTADOS DAS MEDIDAS DE CARACTERÍSTICAS DE PORTA, $I_D \times V_{GS}$

EXTRAÇÃO DA TENSÃO DE LIMIAR (V_T)

A tensão de limiar foi obtida da curva $I_D \times V_{GS}$, fazendo-se a extrapolação da curva por uma linha reta com a máxima inclinação. A curva $I_D \times V_{GS}$ é quase uma reta. Ela tem o desvio da reta na região menor que V_T devido ao efeito da corrente de limiar e na região acima do V_T devido ao efeito da resistência série e ou degradação da mobilidade. A figura 3.25 mostra a medida da tensão de limiar $V_T = 0.784 \text{ V}$ como pode observar-se na curva $I_D \times V_{GS}$ de um transistor quadrado NMOS com $W=20\mu\text{m}$ e $L=20\mu\text{m}$ e a figura 3.26 mostra a tensão de limiar de $V_T = 0.767 \text{ V}$ na curva para um transistor com $W=20\mu\text{m}$ e $L=4\mu\text{m}$. O resultado da tensão de limiar medida está dentro do especificado, isto é, próximo de $0,8\text{V}$, satisfazendo as previsões.

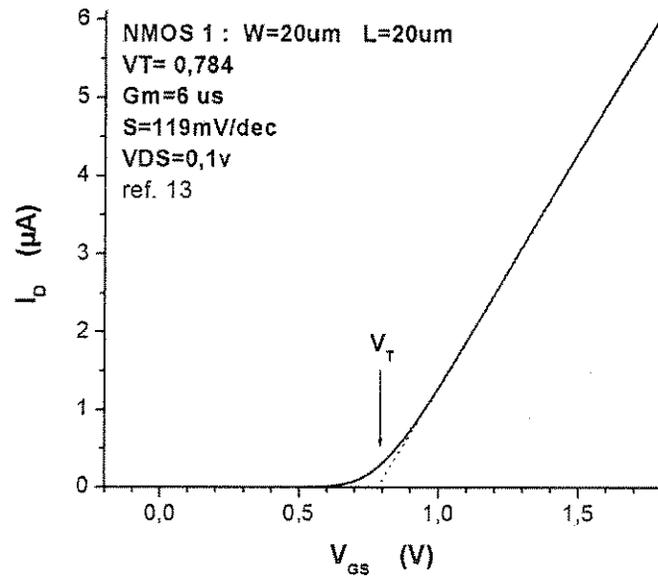


Figura 3.25 - Curva I_D x V_{GS} do transistor NMOS de $W=20\mu\text{m}$ e $L=20\mu\text{m}$

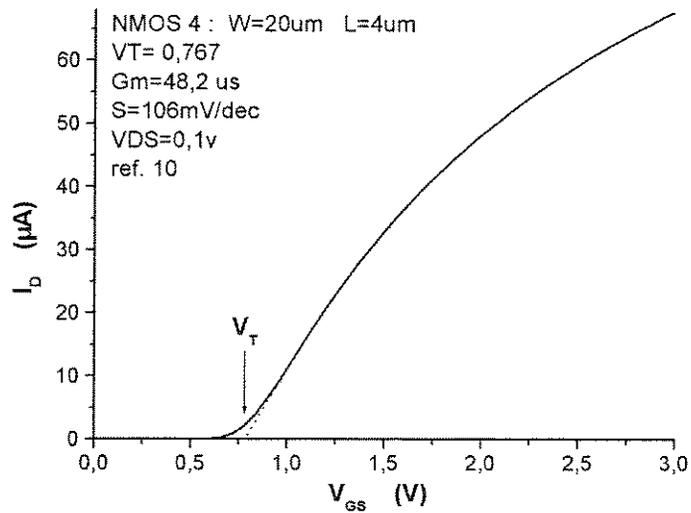


Figura 3.26 - Curva I_D x V_{GS} do transistor NMOS de $W=20\mu\text{m}$ e $L=4\mu\text{m}$

A figura 3.27 mostra a medida da curva $I_D \times V_{GS}$ da porta feita variando a tensão do substrato de 0 até $-3V$ para o transistor NMOS de $W=20\mu m$ e $L=20\mu m$. Observa-se que aumentando o valor absoluto da tensão V_{sb} , aumenta a tensão de limiar. Normalmente esta medida é feita com uma tensão de dreno baixa ($V_{DS}=0,1V$).

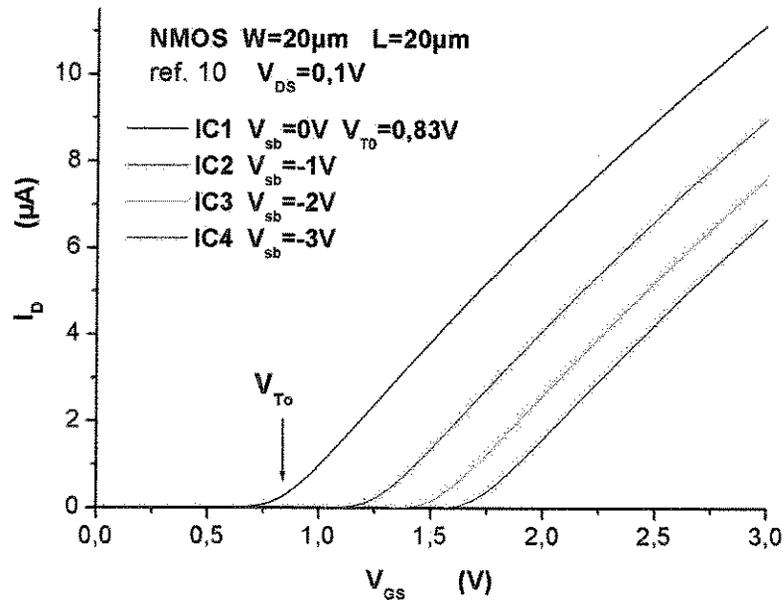


Figura 3.27 - Curva $I_D \times V_{GS}$ do transistor NMOS de $L=20\mu m$ e $W=20\mu m$, obtida variando o V_{sb} de 0 até $-3V$

MEDIDAS NA REGIÃO DE SUBLIMIAR

Tensão de limiar V_T .

A tensão de limiar V_T é determinada da curva $\text{Log}(I_D) \times V_{GS}$. A corrente sublimiar é linear com V_{GS} , logo o ponto onde a curva desvia é definido como a tensão de limiar V_T [21]. A condição da medida é manter constante uma pequena tensão $V_{ds}=0.1 V$ apenas para garantir que uma corrente irá fluir pelo canal ($\approx 10^{-7} A$). A figura 3.28 (a) mostra a curva $I_D \times V_{GS}$ com os valores da tensão limiar dos transistores NMOS e PMOS, ambos de $W=20\mu m$ e $L=20\mu m$.

Corrente na região de sublimiar.

A curva $\text{Log}(I_D) \times V_{GS}$ fornece a taxa de variação da corrente de dreno na região de sublimiar, S (**mV/dec**). Esta curva também fornece o valor da corrente de fuga na região de sublimiar. A taxa de variação de corrente de dreno é um indicativo da qualidade do processo de fabricação e depende dos seguintes parâmetros:

- (a) densidade de estados de interface,
- (b) concentração de dopantes no canal; e
- (c) da espessura do óxido.

A taxa desta corrente independe da tensão de dreno, mas, se o transistor estiver com problema porque está entrando na região de perfuração (*punchthrough*), o valor de S (**mV/dec**) irá aumentar com a tensão de dreno V_{DS} . A figura 3.28 (a) mostra a curva sub-limiar $I_D \times V_{GS}$ dos transistores NMOS e PMOS, ambos de $W=20\mu\text{m}$ e $L=20\mu\text{m}$, onde observa-se que apresentam valores típicos. O valor da inclinação S do NMOS está um pouco melhor que o PMOS, mas ambos estão dentro da faixa típica encontrada na literatura [21], entre 80 e 120 mV/década, indicando baixa corrente reversa (ou de fuga), boa qualidade do óxido de porta e boa simetria das tensões de limiar (V_T). A figura 3.28 (b) mostra também as curvas sub-limiar $I_D \times V_{GS}$ experimental e simulada (Suprem-Pisces) do transistor PMOS, de $W=20\mu\text{m}$ e $L=3\mu\text{m}$ com resultados semelhantes sendo isto correspondente ao $L_{\text{poli}}=2\mu\text{m}$ o que será mostrado mais adiante. A figura 3.29 mostra a curva sub-limiar $I_D \times V_{GS}$ dos transistores NMOS e PMOS, (a) ambos de $W=20\mu\text{m}$ e $L=10\mu\text{m}$ e (b) $W=20\mu\text{m}$ e $L=4\mu\text{m}$, onde observa-se que também apresentam valores típicos, condição de tensão de dreno variando a partir de 0,1V e aumentos de 0,5V. Verifica-se que a inclinação S independe da tensão de dreno, o que é típico de um transistor de boa qualidade, sem problemas de *punchthrough* para estas dimensões.

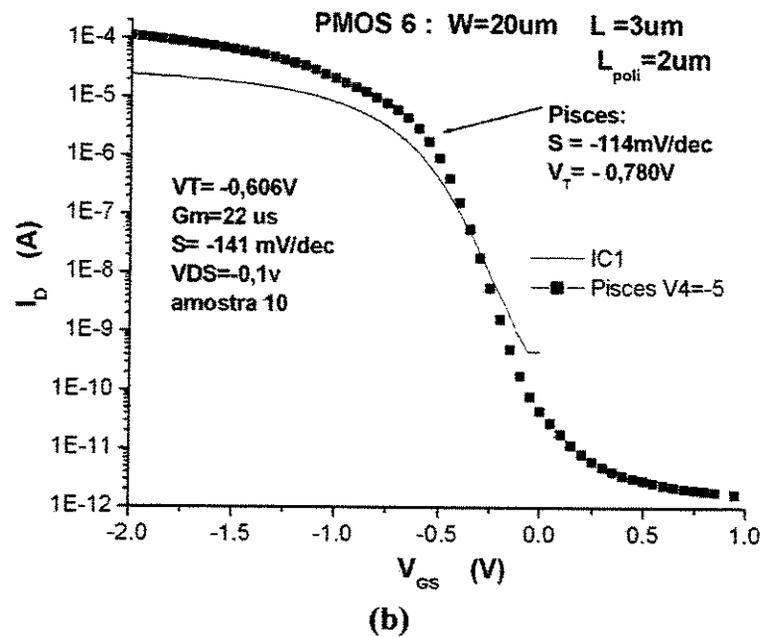
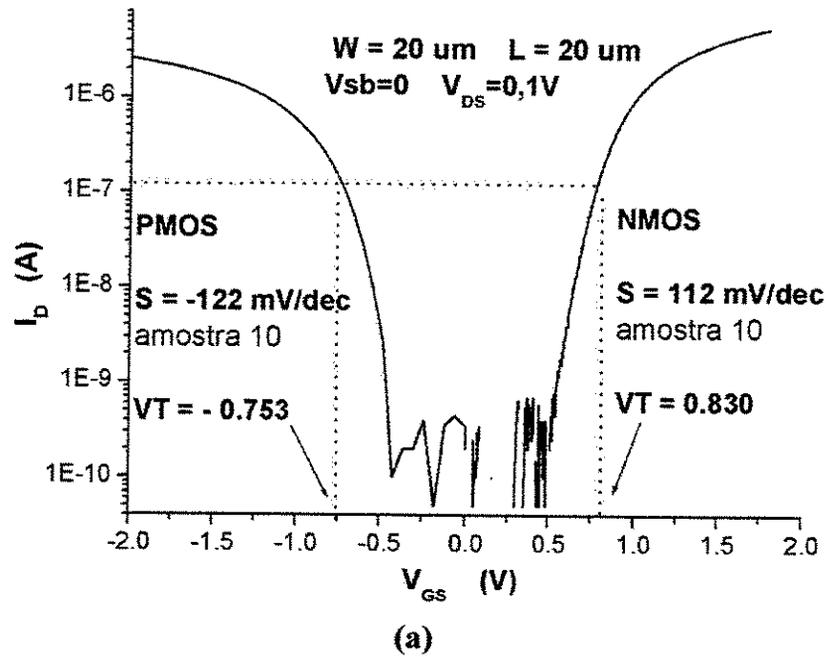
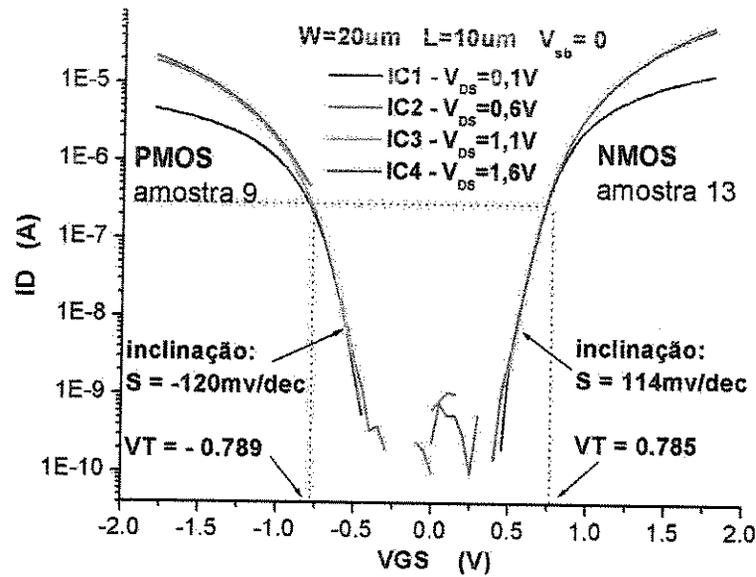
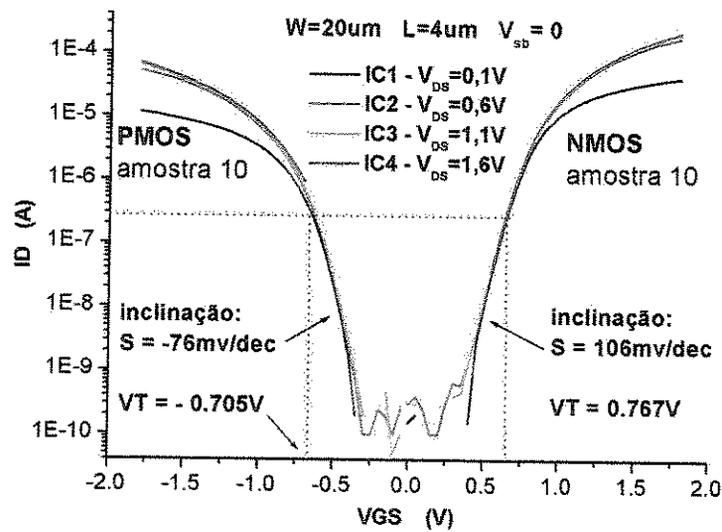


Figura 3.28 - Curva sub-limiar I_D x V_{GS} : (a) do transistor NMOS e PMOS de $L=10\mu\text{m}$ e $W=20\mu\text{m}$ e (b) do transistor PMOS de $L=3\mu\text{m}$ ($L_{\text{poli}}=2\mu\text{m}$) e $W=20\mu\text{m}$



(a)



(b)

Figura - 3.29 Curva sub-linear $I_D \times V_{GS}$ do transistor NMOS e PMOS: (a) de $L=10\mu\text{m}$ e $W=20\mu\text{m}$, (b) de $L=4\mu\text{m}$ e $W=20\mu\text{m}$

RESULTADOS DAS MEDIDAS DE CARACTERÍSTICAS DE DRENO, I_D x V_{DS}

A estrutura de W fixo e L variável foi medida e obtida a característica de dreno de cada transistor. As figuras 3.30, 3.31, 3.32 e 3.33 mostram as curvas I_D x V_{DS} dos transistores NMOS e PMOS de $W=20\mu\text{m}$ e $L=20\mu\text{m}$, $10\mu\text{m}$, $4\mu\text{m}$ e $3\mu\text{m}$, respectivamente. Cada uma das curvas foi obtida variando a tensão V_{DS} de 0 a 5V, tendo como variável a tensão de V_{GS} , na faixa de 0,5 a 3V ou de 0,0 a 5V (6 curvas). Estas curvas experimentais tem a forma típica de transistores com boas características que serão quantificadas no próximo capítulo através da extração de parâmetros, na qual é mostrado que $L=3\mu\text{m}$ corresponde ao $L_{\text{poli}}=2\mu\text{m}$ (2 curvas, figura 3.33).

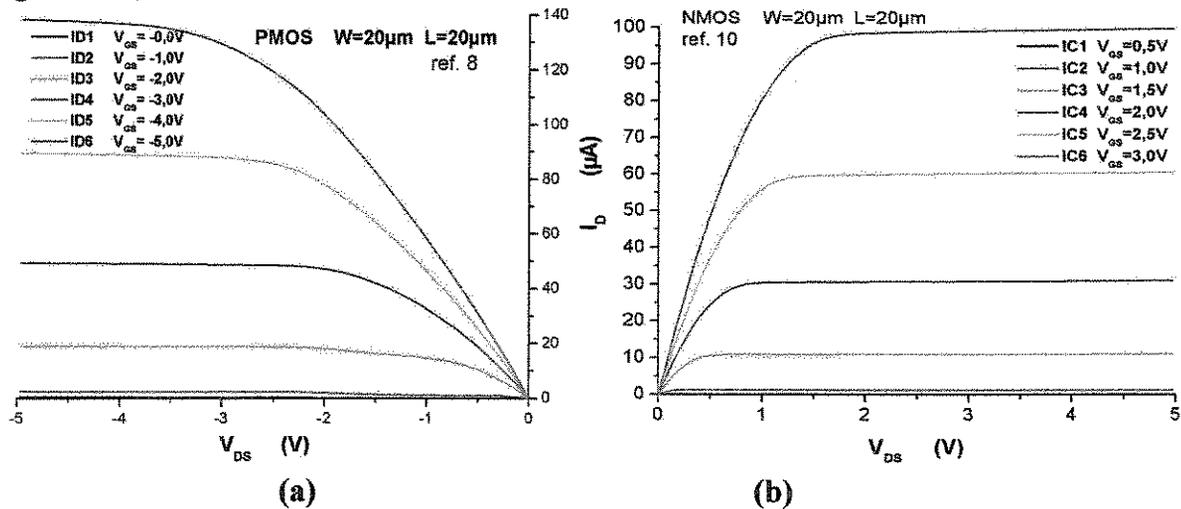
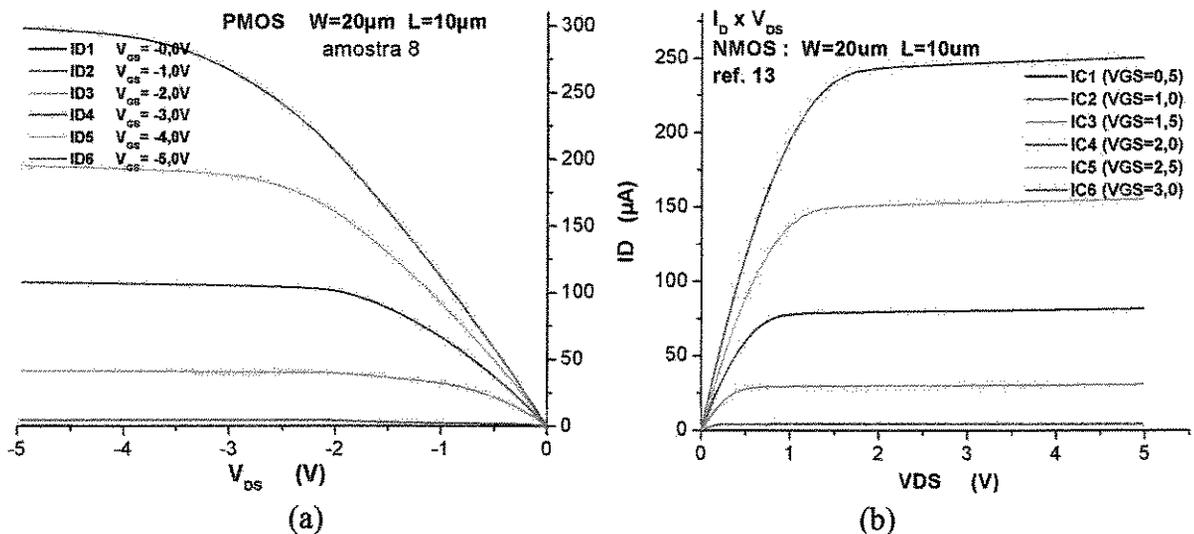


Figura 3.30 Curva I_D x V_{DS} do transistor de $W=20\mu\text{m}$ e $L=20\mu\text{m}$: (a) NMOS e (b) PMOS



Figuras 3.31 - Curva I_D x V_{DS} do transistor de $W=20\mu\text{m}$ e $L=10\mu\text{m}$ $L_{\text{poli}}=9\mu\text{m}$: (a) PMOS e (b) NMOS

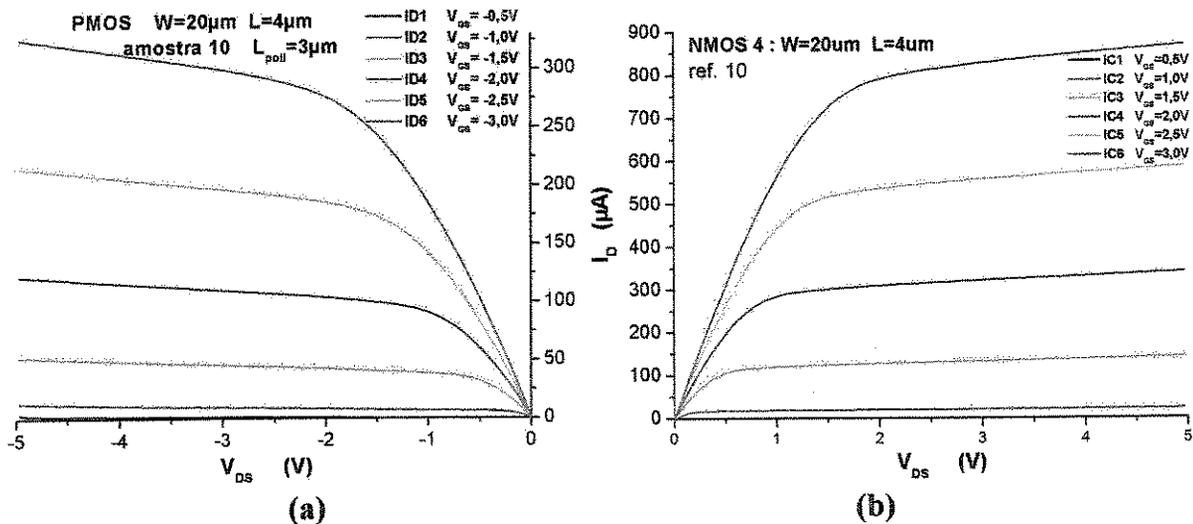


Figura 3.32 - Curva I_D x V_{DS} do transistor de $W=20\mu m$ e $L=4\mu m$ $L_{poli}=3\mu m$: (a) PMOS e (b) NMOS

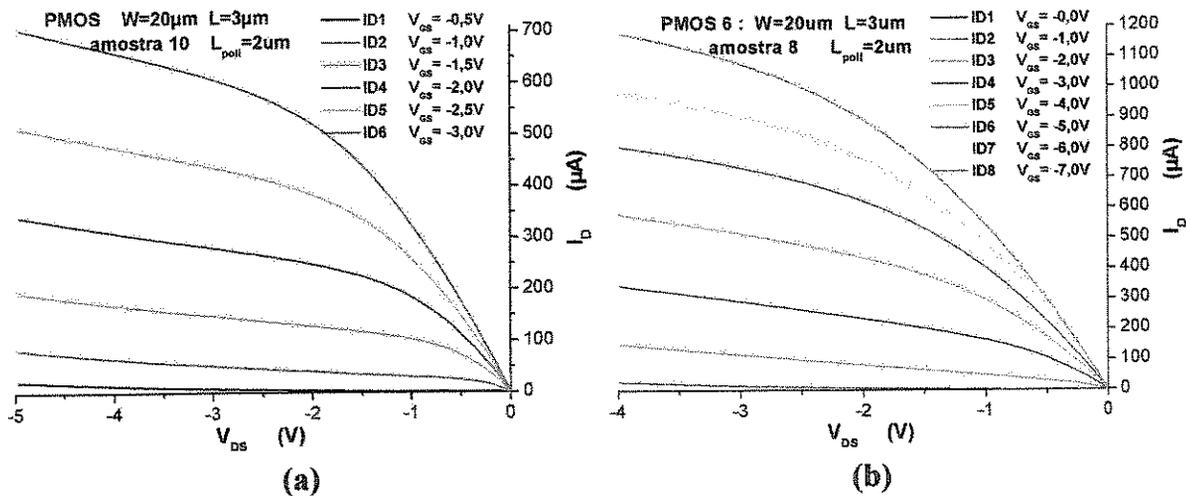


Figura 3.33 - Curva I_D x V_{DS} do transistor PMOS de $W=20\mu m$ e $L=3\mu m$ ($L_{poli}=2\mu m$): tensão de porta em passos de (a) 0,5V e (b) 1,0V

3.4.12 EXTRAÇÃO DE PARÂMETROS DOS TRANSISTORES MOS

Os parâmetros elétricos são necessários para sua utilização em simuladores de circuitos analógicos tipo *Spice* ou similares compatíveis, os quais contém modelos precisos dos dispositivos e da tecnologia. Através das medidas dos transistores e métodos de extração pode-se obter os principais parâmetros *Spice* do nível 1, 2 e 3 de nosso processo *CMOS*. A

seqüência dos parâmetros que podem ser extraídos com as medidas feitas nos transistores PMOS e NMOS são:

tensão Early V_A ;
 parâmetro λ ;
 tensão de limiar V_T ;
 parâmetro gamma γ ;
 transcondutância g_m ;
 comprimento efetivo de porta L_{eff} ;
 mobilidade μ ;
 variação da mobilidade teta (θ).

Parâmetros da região de sublimiar:

tensão de limiar (V_T)
 parâmetro S
 Corrente de fuga ou parâmetro IS

Observa-se que alguns parâmetros não variam de forma independente, por exemplo:

- Os transistores NMOS e PMOS da mesma lâmina têm o mesmo T_{ox} , L_D , etc.
- Sempre para um tipo de transistor, muitos parâmetros são correlacionados e somente quatro parâmetros T_{ox} , L_D , W_D e V_{TO} são independentes e suas tolerâncias relacionadas com as variações do processo (deposição de óxido, corrosão de plasma).

a). TENSÃO EARLY (V_A) E O PARÂMETRO LAMBDA (λ)

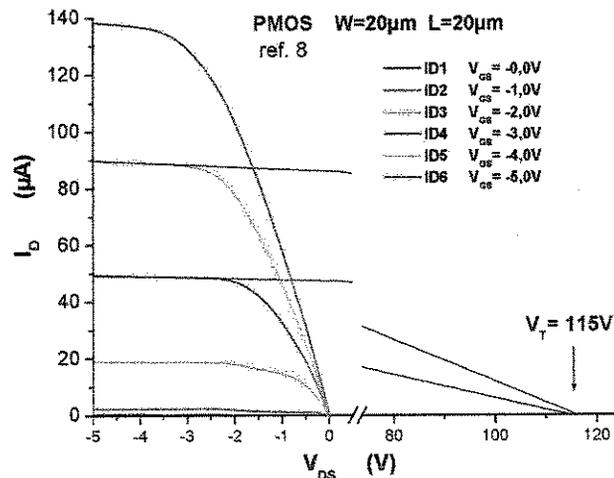
O parâmetro Lambda (λ) representa a modulação da condução do canal como foi explicado no capítulo 1, assim a expressão (1.10) da corrente de dreno na região de saturação pode ser reescrita como (3.15):

$$I_{Dsat} \approx \frac{W}{L} \mu_{ch} C_{ox} \frac{1}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (3.15)$$

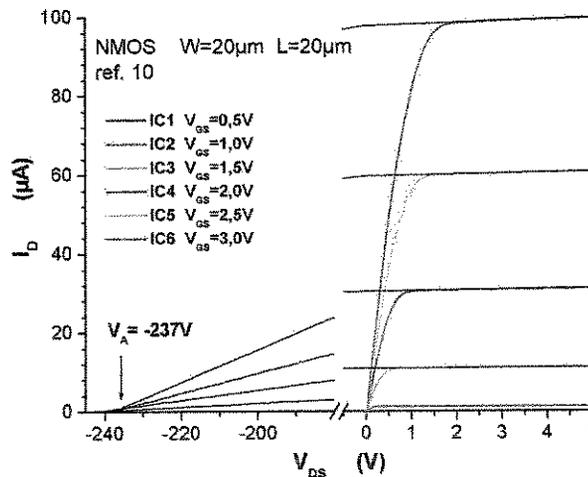
A corrente de dreno na região linear, se a tensão de dreno é baixa ($V_{DS} \leq V_{GS} - V_T$), foi indicado no capítulo 1 pela expressão (1.7) sendo reescrita como (3.16) introduzindo o parâmetro Lambda (λ):

$$I_D \approx \frac{W}{L} \mu_{ch} C_{ox} [(V_{GS} - V_T)V_{DS} - \frac{1}{2} V_{DS}^2] (1 + \lambda V_{DS}) \quad (3.16)$$

Sabendo que $\lambda=1/V_A$, primeiro determinamos graficamente o valor da tensão de Early, V_A , e depois calculamos o parâmetro Lambda (λ). A extração de parâmetros V_A e λ é feito a partir da curva característica $I_D \times V_{DS}$ dos transistores NMOS e do PMOS.



(a) PMOS

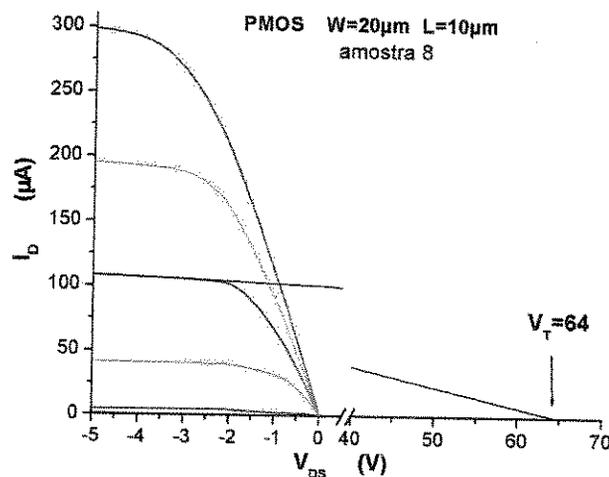


(b) NMOS

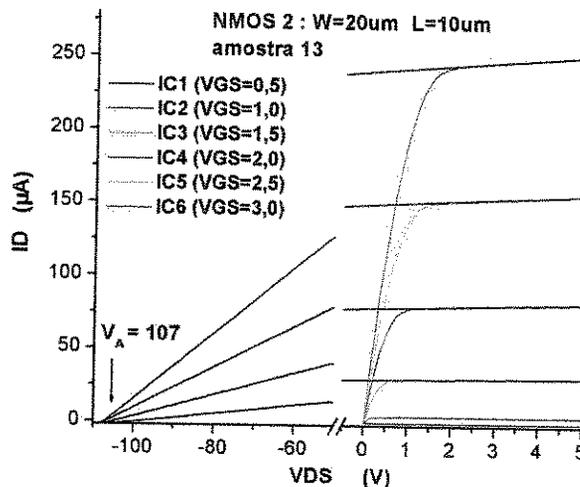
Figura 3.34 Transistores $W=20\mu\text{m}$ $L=20\mu\text{m}$ e a extrapolação da tensão V_A , (a) PMOS e (b) NMOS

A tensão V_A pode ser obtida no sistema de medidas HP4145 por extrapolação após a obtenção da curva $I_D \times V_{DS}$. Como alternativa, esta tensão pode ser obtida com o auxílio do programa Origin, fazendo-se a extrapolação da curva $I_D \times V_{DS}$, por uma reta. A tensão de Early,

V_A , corresponde ao ponto em que esta reta intercepta o eixo x. As Figura 3.34 a 3.36 mostram os resultados da extrapolação da tensão V_A feitas usando o programa Origin, para os transistores de largura $W = 20 \mu\text{m}$ e comprimento de canal variável de $L = 4; 10$ e $20 \mu\text{m}$ para NMOS (figuras (b)) e de $L = 3; 4; 10$ e $20 \mu\text{m}$ para o PMOS (figuras (a) e Figura 3.37). Observa-se dessas figuras que é necessário somente efetuar a extrapolação de uma das curvas características obtidas, sendo que uma segunda reta de extrapolação auxiliaria na confirmação do valor verificado. Nas figuras apresentadas, a extrapolação foi feita para várias curvas características dos transistores e os resultados mostram a convergências das retas de extrapolação num ponto bem definido.

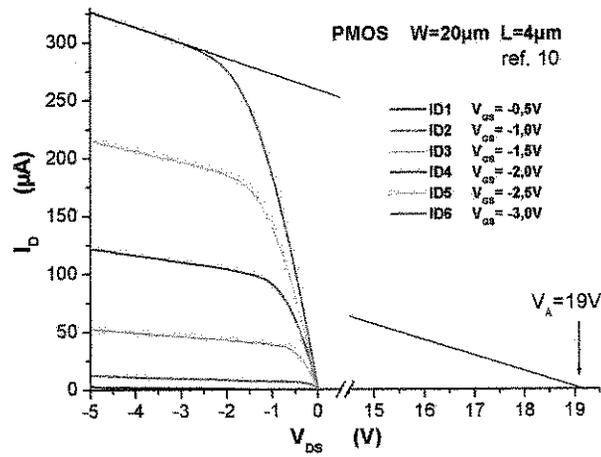


(a) Transistor PMOS

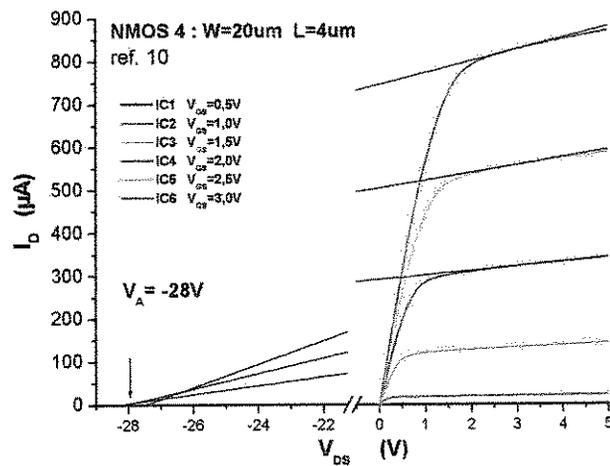


(b) Transistor NMOS

Figura 3.35 Transistores $W=20\mu\text{m}$ $L=10\mu\text{m}$ e extrapolação para obter V_A , (a) PMOS e (b) NMOS



(a) PMOS



(b) NMOS

Figura 3.36 Transistor NMOS de $W=20\mu\text{m}$ e $L=4\mu\text{m}$ e extrapolação para obter V_A , (a) PMOS e (b) NMOS

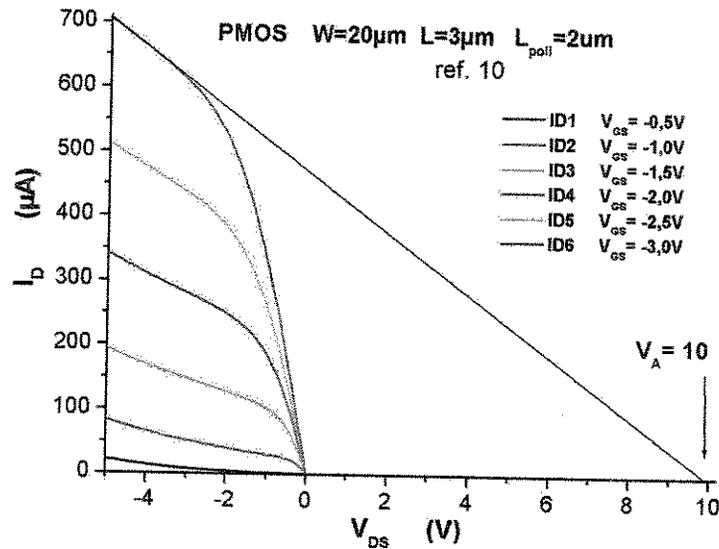


Figura 3.37 Transistor PMOS de $W=20\mu\text{m}$ e $L=3\mu\text{m}$ $L_{\text{poli}}=2\mu\text{m}$ e extrapolação de V_A

Determinamos o parâmetro λ (efeito da modulação de canal) a partir de V_A sabendo que $\lambda=1/V_A$. Dos resultados indicados na tabela 3.9 observamos que os valores obtidos são sensíveis aos efeitos de canal curto nos transistores mais pequenos.

Tabela 3.9 Parâmetros V_A e λ determinados experimentalmente

| Transistor | PMOS | | NMOS | |
|---|-------|---------------------------|--------|-------------------------|
| | V_A | $\lambda=1/V_A$ | V_A | $\lambda=1/V_A$ |
| $W=20\ \mu\text{m}$ $L=20\ \mu\text{m}$ | 115 V | $0,00869\ \text{V}^{-1}$ | -237 V | $0,0042\ \text{V}^{-1}$ |
| $W=20\ \mu\text{m}$ $L=10\ \mu\text{m}$ | 64 V | $0,015625\ \text{V}^{-1}$ | -107 V | $0,0093\ \text{V}^{-1}$ |
| $W=20\ \mu\text{m}$ $L=4\ \mu\text{m}$ | 19 V | $0,05263\ \text{V}^{-1}$ | -28 V | $0,0357\ \text{V}^{-1}$ |
| $W=20\ \mu\text{m}$ $L=3\ \mu\text{m}$ | 10 V | $0,10000\ \text{V}^{-1}$ | | |

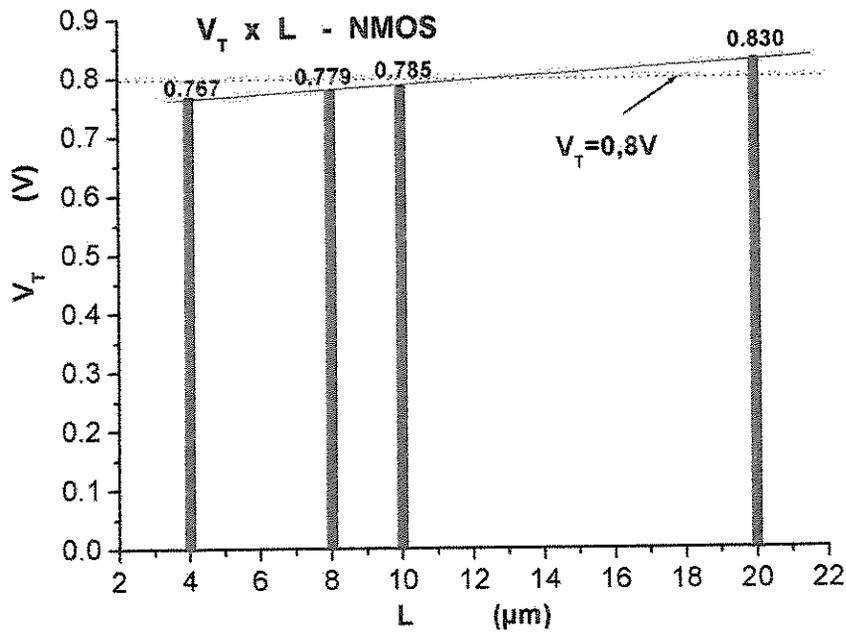
b). A TENSÃO DE LIMIAR

Tabela 3.10 Parâmetros V_T determinados experimentalmente

| Transistor | PMOS | NMOS |
|---|---------|--------|
| | V_T | V_T |
| $W=20\ \mu\text{m}$ $L=20\ \mu\text{m}$ | -0,762V | 0,830V |
| $W=20\ \mu\text{m}$ $L=10\ \mu\text{m}$ | -0,789V | 0,785V |
| $W=20\ \mu\text{m}$ $L=8\ \mu\text{m}$ | | 0,779V |
| $W=20\ \mu\text{m}$ $L=4\ \mu\text{m}$ | -0,767V | 0,767V |
| $W=20\ \mu\text{m}$ $L=3\ \mu\text{m}$ | -0,606V | |

A tensão de limiar V_T foi determinada experimentalmente extrapolando uma reta até a intersecção com o eixo X tal como explicado no capítulo 3, onde apresentamos resultados de algumas medidas. Na tabela 3.10 são apresentadas outros resultados. Esta tabela mostra os valores das medidas experimentais da tensão de limiar para $W=20\mu\text{m}$ e L variável, na condição $V_{DS}=0,1\text{V}$, dos transistores NMOS e PMOS.

O gráfico da figura 3.38 mostra os valores da tensão de limiar vs comprimento de canal ($V_T \times L$) dos transistores NMOS e PMOS medidos, onde observamos o efeito de canal curto na tensão de limiar. Este efeito é a diminuição da tensão de limiar V_T com a diminuição do comprimento de porta L , sendo mais acentuado ou crítico próximo do comprimento mínimo efetivo [18] quando se aproxima das dimensões da espessura da camada de depleção. Para explicar este efeito o conceito mais utilizado é a diminuição de barreira, assim quanto mais próximo fonte dreno mais profunda será a região de depleção (efeito de borda) ao longo do canal, logo maior será o potencial de superfície e menor barreira de potencial para os eletrons, conduzindo mais corrente se comparado com o canal longo para um mesmo V_{GS} . O valor de comprimento L de porta indicado na figura 3.38 corresponde ao valor deste comprimento L nominal na máscara de litografia para os padrões de polisilício. Pode-se verificar o mesmo efeito a partir dos dados da tabela 3.10 para os transistores PMOS, concluindo que esta diminuição da tensão de limiar devido ao efeito de canal curto é satisfatória.



(a)

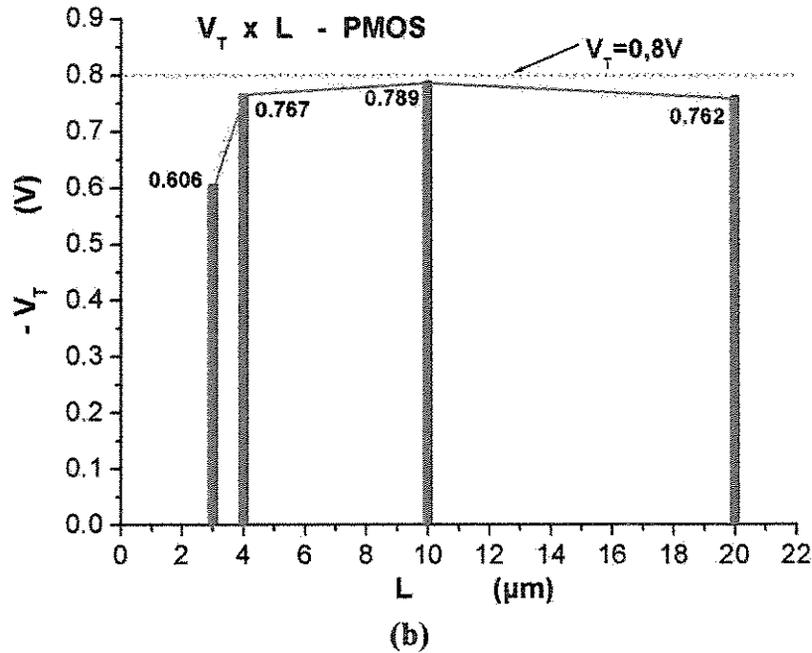
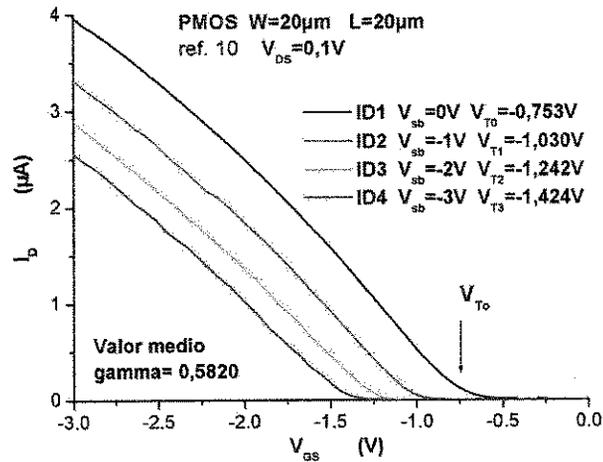


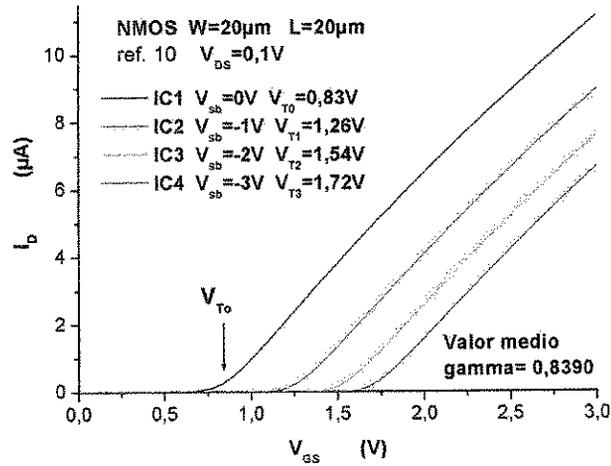
Figura 3.38 Curva $V_T \times L$ para (a) o transistor NMOS e (b) o transistor PMOS

(c). A TENSÃO DE LIMIAR EM FUNÇÃO DA TENSÃO DE SUBSTRATO

A medida da tensão de limiar V_T para valores da tensão de substrato V_{bs} , na faixa de 0 a -3 V foi determinada extrapolando linhas retas na região linear de máxima inclinação das curvas $I_D \times V_{GS}$. Assim extraímos V_{T0} , V_{T1} , V_{T2} e V_{T3} na condição do transistor polarizado com 0,1 V no dreno e variando a tensão de porta V_{gs} de 0 a 3 V para obter as curvas $I_D \times V_{GS}$. As figuras 3.39 e 3.40 mostram estas curvas $I_D \times V_{GS}$ em função da tensão do substrato V_{bs} para o transistor $W=20\mu\text{m}$ $L=20\mu\text{m}$ e para $L=4\mu\text{m}$ do NMOS e PMOS.



(a) PMOS



(b) NMOS

Figura 3.39 - Transistor de $W=20\mu\text{m}$ e $L=20\mu\text{m}$ - extrapolação de V_T para o cálculo de γ ,
(a) PMOS e (b) NMOS

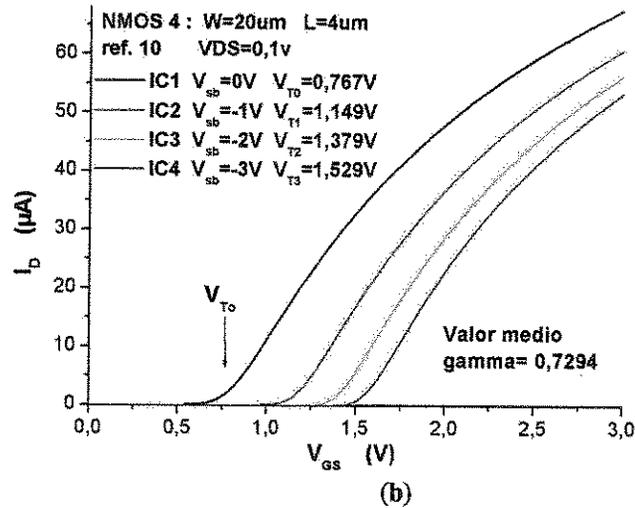


Figura 3.40 Transistor de W=20µm e L=4µm - extrapolação de V_T para cálculo de γ, (a) PMOS e (b) NMOS

(d). CÁLCULO DO PARÂMETRO GAMMA (γ)

O parâmetro gamma (γ) é chamado parâmetro de efeito de corpo, dependente do processo de fabricação e o seu valor típico é próximo de 0,5 V^{1/2}. Após a medida da tensão de limiar V_T para vários valores da tensão de substrato V_{sb}, são utilizados os valores extraídos V_{T0}, V_{T1}, V_{T2} e V_{T3} para extrair o parâmetro fator de corpo gamma (γ) utilizando em forma iterativa a expressão (3.16) que define a tensão de limiar. [7] [21]

$$V_T = V_{T0} + \gamma(\sqrt{|2\phi_F| + |V_{sb}|} - \sqrt{|2\phi_F|}) \quad (3.16)$$

Para V_{sb}=0 temos V_T=V_{T0} e para cada valor de V_{sb} teremos um valor de V_T. Assim, usando o valor de V_{T0} podemos determinar um valor de V_{Tn} para cada valor de V_{sb}.

$$V_{T1} = V_{T0} + \gamma_1(\sqrt{|2\phi_F| + V_{sb1}} - \sqrt{|2\phi_F|}), \quad (3.17)$$

$$V_{T2} = V_{T0} + \gamma_2(\sqrt{|2\phi_F| + V_{sb2}} - \sqrt{|2\phi_F|}), \quad (3.18)$$

$$V_{T3} = V_{T0} + \gamma_3(\sqrt{|2\phi_F| + V_{sb3}} - \sqrt{|2\phi_F|}), \quad (3.19)$$

Tabela 3.11 Parâmetro y determinados experimentalmente

| Transistor | PMOS | | | NMOS | | |
|----------------|------|--------|---------------|------|--------|---------------|
| | Vsb | gamma | gamma (médio) | Vsb | gamma | gamma (médio) |
| W=20 μm L=20μm | 1V | 0,5649 | 0,5820 | -1V | 0,8973 | 0,8390 |
| | 2V | 0,5836 | | -2V | 0,8354 | |
| | 3V | 0,5976 | | -3V | 0,8015 | |
| W=20 μm L=4μm | | | | -1V | 0,7790 | 0,7294 |
| | | | | -2V | 0,7304 | |
| | | | | -3V | 0,6786 | |

Os valores extraídos são apresentados na tabela 3.11 onde o valor de V_{Tn} calculado é a média desses valores.

Podemos também calcular o fator de efeito de corpo através da expressão (3.20):

$$\gamma = \frac{\sqrt{2 * \epsilon_{si} * \epsilon_o * q * N_a}}{C'_{ox}} \quad (3.20)$$

Onde:

N_a é dopagem do substrato. O valor usado para dopagem foi de $8 \times 10^{16} \text{ cm}^{-3}$.
 C'_{ox} é a capacitância por unidade de área Cac/A (pF/cm^2).

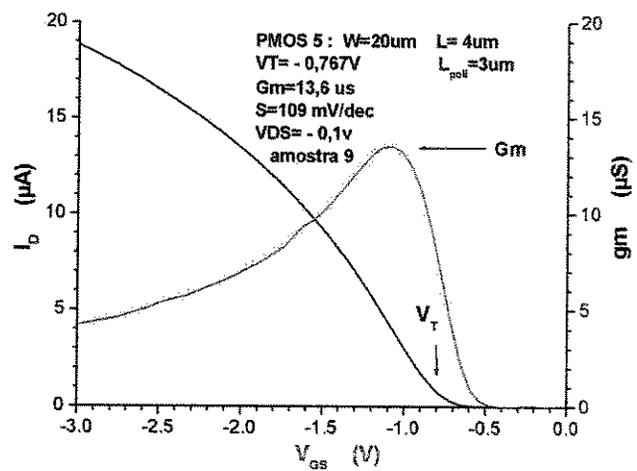
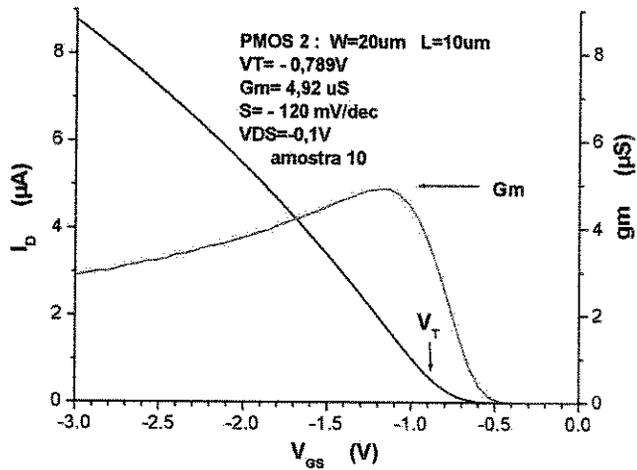
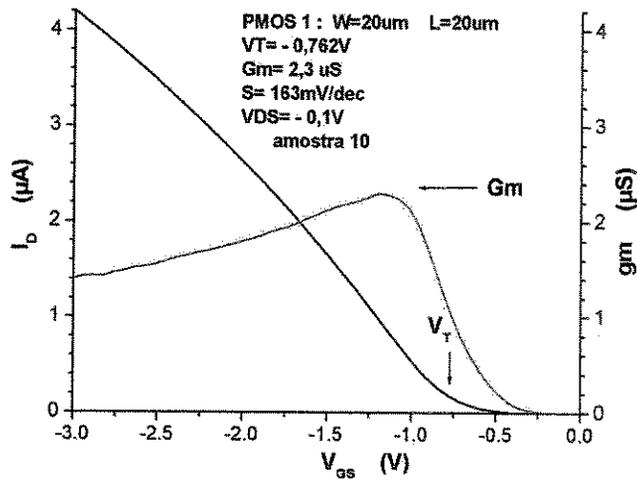
O fator de efeito de corpo também pode ser extraído a partir do gráfico V_T (expressão (3.16)) em função de $\sqrt{(2\phi_F + V_{sb})}$, determinando o coeficiente angular da curva [21].

e). CÁLCULO DA TRANSCONDUTÂNCIA

A transcondutância de um transistor MOS é a derivada da corrente de dreno em função da tensão de porta, ou seja, $gm = \partial I_D / \partial V_{GS}$ [18] [21]. A curva de transcondutância pode ser obtido no próprio sistema de medidas HP4145 ou pode ser obtido com o auxílio do programa Origin. A figura 3.41 mostra o resultado obtido com esta ferramenta para o transistor NMOS.

TRANSCONDUTÂNCIA DO CONJUNTO DE TRANSISTORES COM LARGURA FIXA (W) E COMPRIMENTO (L) VARIÁVEL

Os gráficos da figura 3.41 (condição: $V_{sb}=0$) que é a derivada da corrente de dreno, nos indica a transcondutância máxima de dispositivos com $W=20\mu\text{m}$ e L variável (20, 10, 8, 4 e 3 μm)



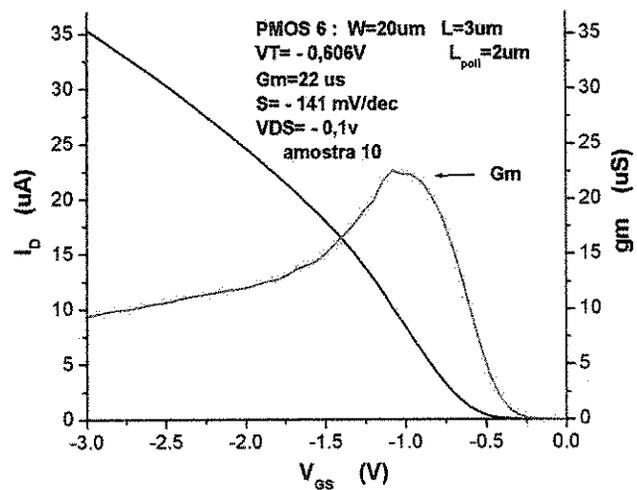
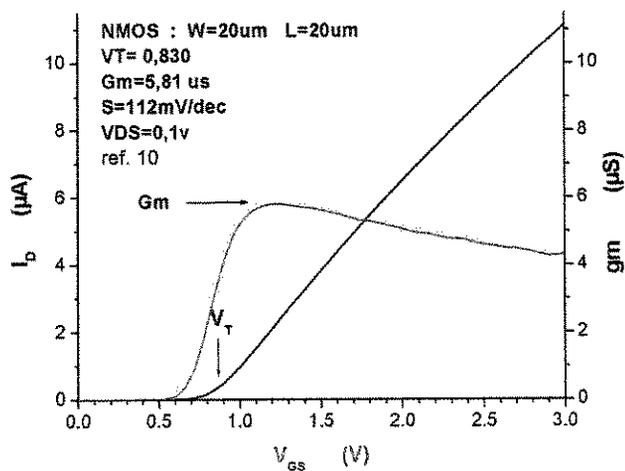


Figura 3.41 (a) Transistores PMOS de W=20μm e L= 20 μm; 10μm; 4μm e 3μm – curvas de transcondutância



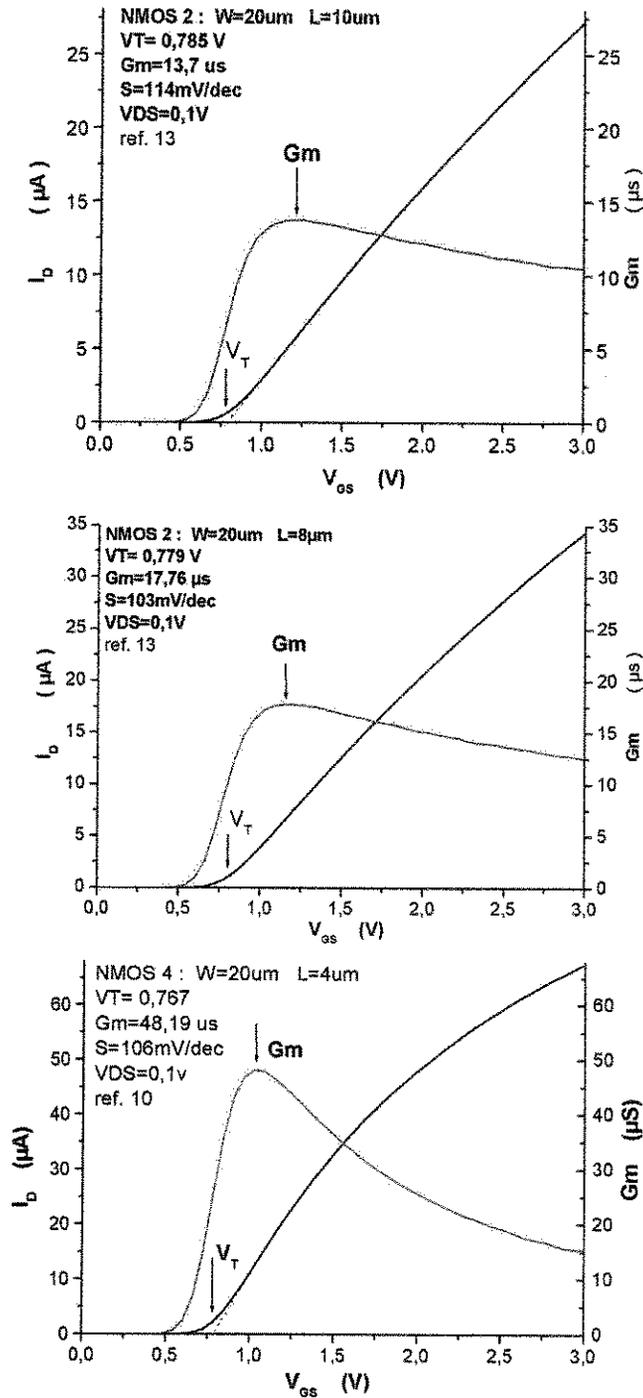


Figura 3.41 (b) Transistores NMOS de $W=20\mu\text{m}$ e $L= 20\ \mu\text{m}$; $10\mu\text{m}$; $8\mu\text{m}$ e $4\mu\text{m}$ – curvas de transcondutância

Os valores calculados da transcondutância máxima são mostrados na tabela 3.12 (condição: $V_{sb}=0$) e foram extraídos das curvas de transcondutância $g_m \times V_{GS}$ da figura (3.41).

Tabela 3.12 Transcondutância dos transistores NMOS determinados experimentalmente

| Transistor NMOS | Gm | 1/Gm | VT | VDS |
|---------------------------------------|---------------------|-----------------------|--------|------|
| W=20 μm L=20 μm | 5,81 μS | $0,1721 \times 10^6$ | 0,830V | 0,1V |
| W=20 μm L=10 μm | 13,76 μS | $0,07299 \times 10^6$ | 0,785 | 0,1 |
| W=20 μm L=8 μm | 17,76 μS | $0,05618 \times 10^6$ | 0,779 | 0,1 |
| W=20 μm L=4 μm | 48,19 μS | $0,02075 \times 10^6$ | 0,767 | 0,1 |

(f). EXTRAÇÃO DO COMPRIMENTO EFETIVO DE PORTA (L_{ef})

Os comprimentos efetivos de porta (L_{ef}) foram obtidos através da medida da transcondutância máxima G_m (tabela 3.12) nos transistores NMOS com diferentes comprimento de porta (L_M).

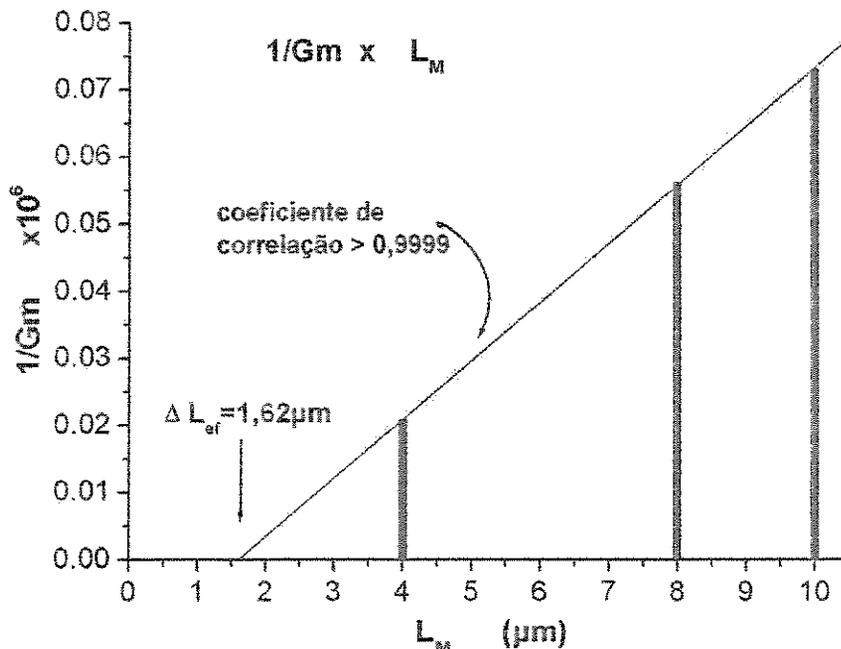


Figura 3.42 Transistores NMOS de W=20 μm e L= 10 μm ; 8 μm e 4 μm - curva $1/G_m \times L_M$

A transcondutância utilizada é a máxima G_m da curva derivada de $I_D \times V_{GS}$. Os comprimentos de porta L utilizados são aqueles definidos pela máscara que alguns autores [21] chamam de L_M mas em nosso caso ela corresponde ao L . Com estes dados obtivemos a curva $1/G_m \times L_M$ (figura 3.42) na qual observa-se que os pontos com os valores de $1/G_m$ estão alinhadas numa reta. Fazendo um ajuste com uma reta que passa com o mínimo de erro entre estes pontos e extrapolando esta reta até a intersecção com zero, $y=1/G_m =0$, encontramos o ponto que chamamos de ΔL_{ef} e que é a diminuição efetiva do comprimento de porta. A figura 3.42 mostra a curva $1/G_m \times L_M$ dos transistores NMOS $W=20\mu m$ e o resultado obtido extrapolando uma reta é de $\Delta L_{ef} =1,62\mu m$ utilizando os valores de $1/G_m$ para os comprimentos de 4 , 8 e 10 μm . Observa-se que a reta que passa através dos pontos $1/G_m$ tem um alto coeficiente de correlação maior que 0,9999.

Se utilizamos o transistor quadrado de $20\mu m \times 20\mu m$ o valor da diminuição efetiva do comprimento de porta ΔL_{ef} vai para 2,04 μm . Este resultado é mostrado na figura 3.43.

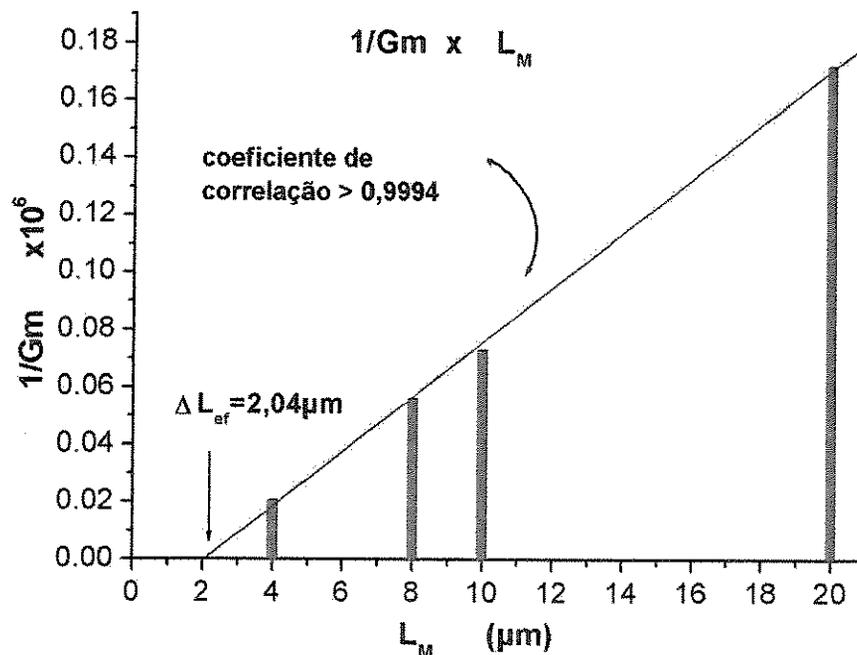


figura 3.43 Transistores NMOS de $W=20\mu m$ e $L= 20 \mu m$; $10\mu m$; $8\mu m$ e $4\mu m$ - curva $1/G_m \times L_M$

O valor da diminuição efetiva do comprimento de porta ΔL_{ef} é dado pela expressão:

$$\Delta L_{eff} = \Delta L_{poly} + 2L_D = \Delta L_{poly} + 2 * 0.7 * X_J \quad (3.21)$$

Se o valor da diminuição efetiva do comprimento de porta ΔL_{eff} é $1,62\mu\text{m}$ e sabendo que a difusão lateral é função da profundidade de junção, temos:

$$2L_D = 2 * 0.7 * X_J = 2 * 0.7 * 0,45 = 2 * 0,315 = 0,63\mu\text{m} \quad (3.22)$$

Assim, o parâmetro Spice obtido é $L_D = 0,315\mu\text{m}$ e a diminuição do comprimento de porta em polisilício é de:

$$\Delta L_{\text{poly}} = \Delta L_{\text{eff}} - 2 * L_D = 1,62 - 2 * 0,315 = 0,99\mu\text{m} \approx 1\mu\text{m} \quad (3.23)$$

Logo, a corrosão lateral do polisilício foi de $\Delta L_{\text{poly}} / 2 = 0,5\mu\text{m}$ o que é um valor alto sendo o fator responsável o valor alto de ΔL_{eff} (diminuição efetiva do comprimento de porta) dependente do processo. Isto indica que a corrosão de plasma não foi suficientemente alta em termos de anisotropia quando foi corroída a porta de polisilício. Isto só afeta o processo mas não a performance do transistor, onde o L_{eff} define a característica real. O fotorresiste utilizado foi o AZ5214 e o plasma foi formado com os gases SF_6/O_2 no reator RIE. A figura 3.44 mostra a estrutura dos transistores PMOS (a) depois da fotogração e (b) depois da corrosão de porta. Observa-se que a linha de $1\mu\text{m}$ foi perdida após a corrosão devido à corrosão lateral do plasma porque os gases utilizados não foram suficientemente seletivos.

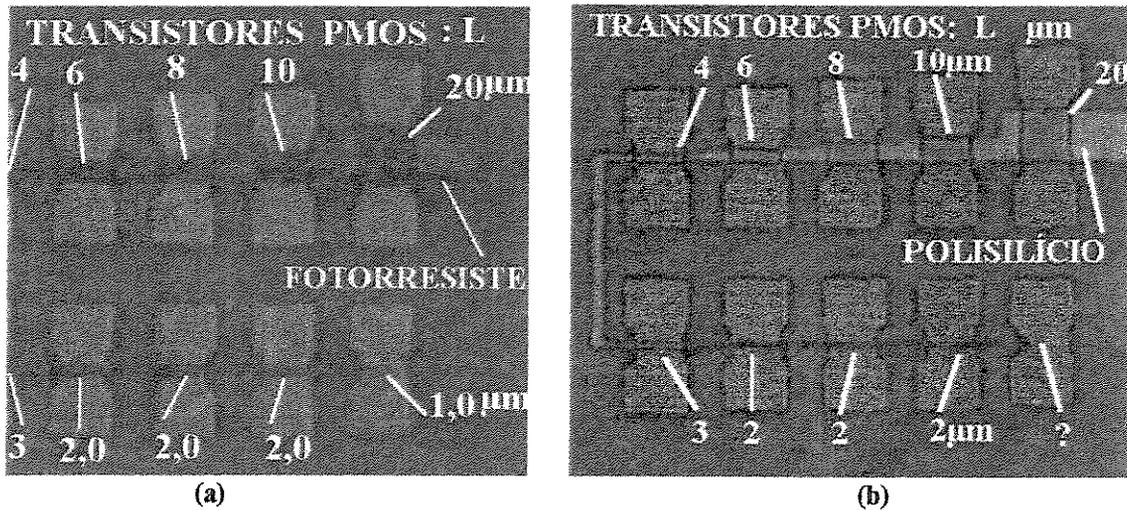


Figura 3.44 Transistores PMOS (a) depois da fotogração e (b) depois da corrosão de porta

(g). CÁLCULO DA MOBILIDADE

Conhecendo-se a transcondutância, a mobilidade dos portadores (μ) pode ser calculada utilizando-se a seguinte expressão (3.24):

$$\mu = \frac{Leff * gm}{W * C'_{ox} * Vds} \quad (\text{cm}^2/\text{V.s}) \quad (3.24)$$

Onde:

C'_{ox} é a capacitância da região de acumulação por unidade de área = Cac/A .

Substituindo o C'_{ox} na expressão (3.24), temos:

$$\mu = \frac{Leff * gm * A}{W * Cac * Vds} \quad (3.25)$$

Onde:

Cac é obtida da medida CV

A é área do capacitor medido.

A partir da espessura do óxido $t_{ox} = 30\text{nm}$ podemos calcular a capacitância por unidade de área C'_{ox} , sendo também o parâmetro spice C_j chamado de capacitância de junção:

$$C'_{ox} = C_j = \frac{\epsilon_o * \epsilon_{ox}}{t_{ox}} \quad (3.26)$$

Onde: $\epsilon_o = 8.854 \times 10^{-14}$ Faraday/cm;

$\epsilon_{ox} = 3.9$ (para SiO_2);

Calculando a capacitância por unidade de área C'_{ox} ou capacitância de junção (spice C_j)

$$C'_{ox} = C_j = \frac{\epsilon_o * \epsilon_{ox}}{t_{ox}} = \frac{8,854 * 10^{-14} * 3,9}{3 * 10^{-6}} = 11,5102 * 10^{-8} \text{ F / cm}^2 \quad (3.27)$$

ou calculando a inversa da capacitância por unidade de área C'_{ox} a partir de $t_{ox} = 30\text{nm}$, obtemos:

$$\frac{1}{C'_{ox}} = \frac{t_{ox}}{\epsilon_o * \epsilon_{ox}} = \frac{3 * 10^{-6}}{8,854 * 10^{-14} * 3,9} = 0,086879 * 10^8 \quad (\text{cm}^2 / \text{F}) \quad (3.28)$$

Podemos confirmar este cálculo da inversa da capacitância C'_{ox} a partir das medidas de CV no capacitor de $200\mu\text{m} \times 200\mu\text{m}$ onde o resultado medido é o valor de capacitância máxima $C_{ac}=C_{max}=44,1 \text{ pF}$ na região de acumulação como foi mostrado no capítulo 3, figura 3.16: Calculando a inversa da capacitância por unidade de área, obtemos:

$$\frac{A}{C_{ac}} = \frac{(200 \cdot 10^{-4})(200 \cdot 10^{-4})}{44,1 \cdot 10^{-12}} = 0,09070 \cdot 10^8 \quad (\text{cm}^2/\text{F}) \quad (3.29)$$

Este valor experimental (expressão 3.29) obtido da medida CV é coerente com o valor calculado (expressão 3.28) a partir da espessura do óxido especificado de $t_{ox} = 30\text{nm}$. Logo podemos obter a equação da mobilidade em função da transcondutância utilizando o valor de (3.29):

$$\mu = (L_{eff} / W) \cdot 9,070 \cdot 10^7 \cdot \text{gm} \quad (\text{cm}^2/\text{V.s}) \quad (3.30)$$

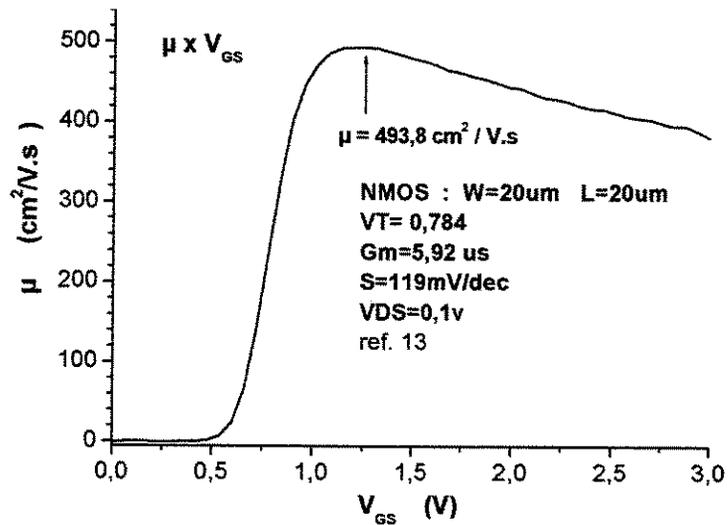
A expressão de mobilidade (3.30) é apresentada na tabela 3.13 calculada para o comprimento de porta efetivo L_{eff} dos transistores com L variável (L=20, 10, 8, 4 e 3 μm) na condição de tensão de substrato no valor de $V_{sb}=0$.

Tabela 3.13 Comprimento efetivo de porta e mobilidade dos portadores determinados experimentalmente para os transistores NMOS

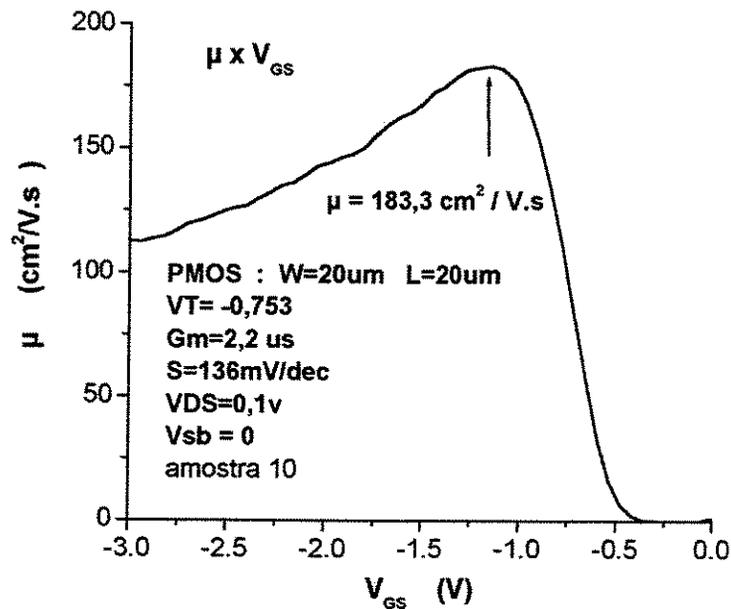
| Transistor NMOS | $L_{eff}=L-1,62$ | L_{eff} / W | $\mu = (L_{eff} / W) \cdot 9,07 \cdot 10^7 \cdot \text{gm}$ | μ_{max} | $(\text{cm}^2/\text{V.s})$ |
|---------------------------------------|---------------------|---------------|---|-------------|----------------------------|
| | | | | NMOS | PMOS |
| W=20 μm L=20 μm | 18,38 μm | 0,919 | $8,33533 \cdot 10^7 \cdot \text{gm}$ | 493,8 | 183,3 |
| W=20 μm L=10 μm | 8,38 μm | 0,419 | $3,80033 \cdot 10^7 \cdot \text{gm}$ | | |
| W=20 μm L=8 μm | 6,38 μm | 0,319 | $2,89333 \cdot 10^7 \cdot \text{gm}$ | | |
| W=20 μm L=4 μm | 2,38 μm | 0,119 | $1,07933 \cdot 10^7 \cdot \text{gm}$ | | |
| W=20 μm L=3 μm | 1,38 μm | 0,069 | $0,62583 \cdot 10^7 \cdot \text{gm}$ | | |

A figura 3.45 (a) mostra a curva de mobilidade em função da tensão de porta V_{gs} do transistor NMOS de $W=20 \mu\text{m}$ e $L=20 \mu\text{m}$. Nesta curva observa-se que o valor máximo para a mobilidade é de $\mu = 493,8 \text{ cm}^2/\text{V.s}$, com a condição da medida de tensão $V_{DS} = 0,1\text{V}$.

Na literatura [35][21] reporta-se o valor máximo de $\mu = 637 \text{ cm}^2/\text{V.s}$, para NMOS $2\mu\text{m}$ -PMU e $\mu = 942 \text{ cm}^2/\text{V.s}$, para NMOS $5\mu\text{m}$ - PMU, o que indica que o valor máximo obtido de (μ) para o NMOS esta dentro do valor típico.



(a) Transistor NMOS



(b) Transistor PMOS

Figura 3.45 Curva de mobilidade dos portadores em função de V_{GS} : (a) do transistor NMOS, (b) do transistor PMOS, ambos de dimensões de porta $W = 20 \mu\text{m}$ e $L = 20 \mu\text{m}$

A figura 3.45 (b) mostra a curva de mobilidade em função da tensão de porta V_{GS} do transistor PMOS de $W=20\ \mu\text{m}$ e $L=20\ \mu\text{m}$. Nesta curva observa-se que o valor máximo para a mobilidade é de $\mu=183,3\ \text{cm}^2/\text{V}\cdot\text{s}$, com a condição da medida tensão $V_{DS}=0,1\text{V}$.

(h). PARÂMETRO VARIAÇÃO DA MOBILIDADE θ

O gráfico da figura 3.46 é utilizado para a extração do parâmetro que relaciona a tensão V_{GS} (campo elétrico na direção vertical) aplicada com a variação da mobilidade (θ). A mobilidade é relacionada com o campo elétrico efetivo vertical aplicado ao dispositivo. O modelo utiliza uma correção da mobilidade de superfície μ_s dependente do campo vertical aplicado à estrutura por meio da expressão (3.31). Esta expressão do SPICE modelo nível 3 foi proposto por Dang [35] [21] e desenvolvido especialmente para simular transistores de canal curto com comprimento de porta até $2\ \mu\text{m}$.

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T) + \theta V_{bs}} \quad (3.31)$$

Onde:

μ_0 é a mobilidade superficial independente do campo e

θ é o coeficiente de constante de proporcionalidade (parâmetro variação da mobilidade θ)

μ_s é a da mobilidade de superfície dependente do campo vertical

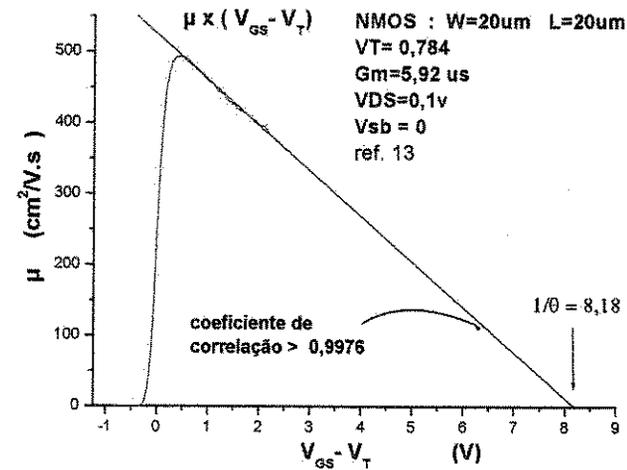
Para $V_{bs}=0$, a expressão(3.31) acima pode ser escrita como:

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (3.32)$$

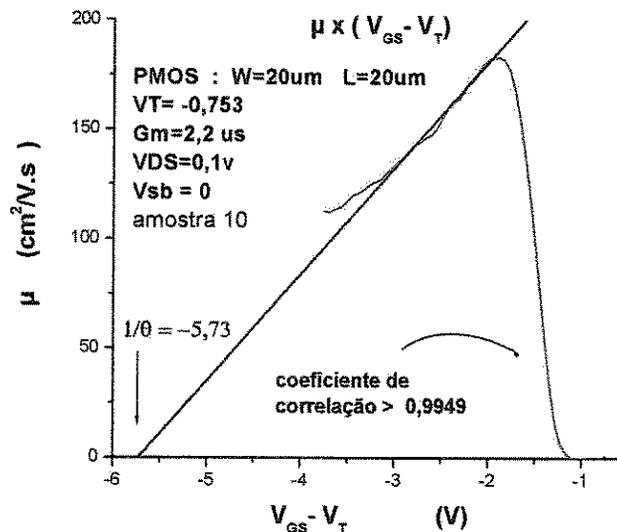
Da expressão (3.32) obtemos:

$$\frac{\mu_0}{\mu_s} = 1 + \theta(V_{GS} - V_T) \quad (3.33)$$

Assim podemos obter o valor de theta do inverso do valor extrapolado até a intersecção da curva $\mu \times (V_{GS}-V_T)$ com o eixo das tensões (para $V_{bs}=0$). Este procedimento gráfico é mostrado na figura 3.46.



(a) Transistor NMOS



(b) Transistor PMOS

Figura 3.46 Curva de mobilidade dos portadores em função de $(V_{GS}-V_T)$: (a) do transistor NMOS e (b) do transistor PMOS, ambos de dimensões $W=20 \mu\text{m}$ e $L=20 \mu\text{m}$

O resultado da intersecção com o eixo das tensões é de $1/\theta = 8,18$ na curva do transistor NMOS, o que resulta na variação da mobilidade (θ) desta medida de $\theta = 0,1222 \text{ V}^{-1}$.

Na literatura [35][21] reporta-se $\theta = 0,298 \text{ V}^{-1}$ para NMOS $2\mu\text{m}$ -PMU e $\theta = 0,1639 \text{ V}^{-1}$ para NMOS $5\mu\text{m}$ -PMU, o que indica que o valor obtido de (θ) esta dentro do valor típico.

De forma semelhante, o resultado da intersecção com o eixo das tensões é de $1/\theta = -5,73$ na curva do transistor PMOS, o que resulta na variação da mobilidade (θ) desta medida de $\theta = -0,1745 \text{ V}^{-1}$.

EXTRAÇÃO DE PARÂMETROS DA REGIÃO DE SUBLIMIAR

Neste método a corrente de dreno é medida como uma função da tensão de porta na região de sublimiar ($<V_T$) e tracejada como $\text{Log}(I_D) \times V_{GS}$. Este método é adequado para medir a corrente sublimiar e extrair o parâmetro S. Neste método também é determinada a tensão de limiar V_T

(i). TENSÃO DE LIMIAR V_T

Na curva $\text{Log}(I_D) \times V_{GS}$, a corrente sublimiar é linear com V_{GS} , logo o ponto onde a curva desvia da linearidade é definido como a tensão de limiar V_T [21]. A condição de medidas é manter constante uma pequena tensão $V_{DS}=0.1 \text{ V}$ apenas para garantir que uma corrente irá fluir pelo canal aproximadamente no valor de 10^{-7} A .

(j). CORRENTE SUBLIMIAR E O PARÂMETRO S.

A taxa de variação da corrente de dreno na região de sublimiar, chamada de parâmetro S, é um indicativo de qualidade de um processo de fabricação e a faixa típica é de 80 a 120 mV/dec [18] [21]. Este parâmetro S depende da densidade de estados de interface (qualidade do óxido), da concentração de dopantes na região do canal e da espessura do óxido de porta. Este parâmetro S independe da tensão de dreno a menos que esteja com os efeitos de perfuração MOS.

A curva $\text{Log}(I_D) \times V_{GS}$ fornece a taxa de variação da corrente de dreno na região de sublimiar: S (mV/dec). O parâmetro S (*gate swing* ou *slope*) é definido como a variação na tensão de porta V_{GS} necessário para que a corrente na inversão fraca seja reduzida de uma ordem de magnitude (mV/dec). Este parâmetro é obtido através do inverso da inclinação da curva na região de sublimiar. As curvas experimentais $\text{Log}(I_D) \times V_{GS}$ das figura 3.47, 3.48 e 3.49, nos transistores NMOS com $L=10\mu\text{m}$ e $L=4\mu\text{m}$, mostram que o valor medido do parâmetro S são: 119, 112 e 106 mV/dec respectivamente, mesmo para uma tensão de dreno de $V_{DS}=0,1\text{V}$, $0,6\text{V}$, $1,1\text{V}$ e $1,6\text{V}$. Estes valores indicam que nosso processo de fabricação teve uma boa qualidade e confirma que o parâmetro S independe da tensão de dreno V_{DS}

(k). O PARÂMETRO CORRENTE DE FUGA I_S

As curvas experimentais $\text{Log}(I_D) \times V_{GS}$ das figuras 3.47, 3.48 e 3.49 mostram que o valor medido da corrente de fuga na região de sublimiar é menor que 1nA . A corrente de fuga

na região de sublimiar também é chamada de corrente de fuga de junção, I_j e é chamada de I_S pelo simulador SPICE.

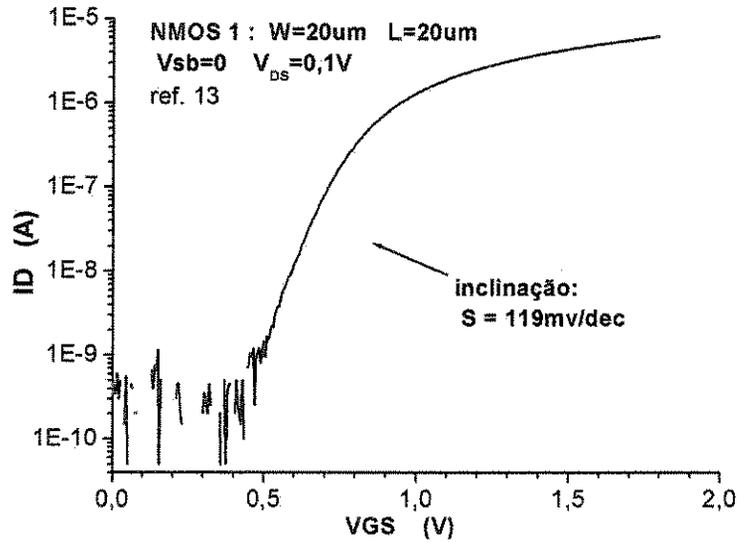


Figura 3.47 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L=20\mu\text{m}$, para a condição $V_{sb}=0$ e $V_{DS}=0,1\text{V}$

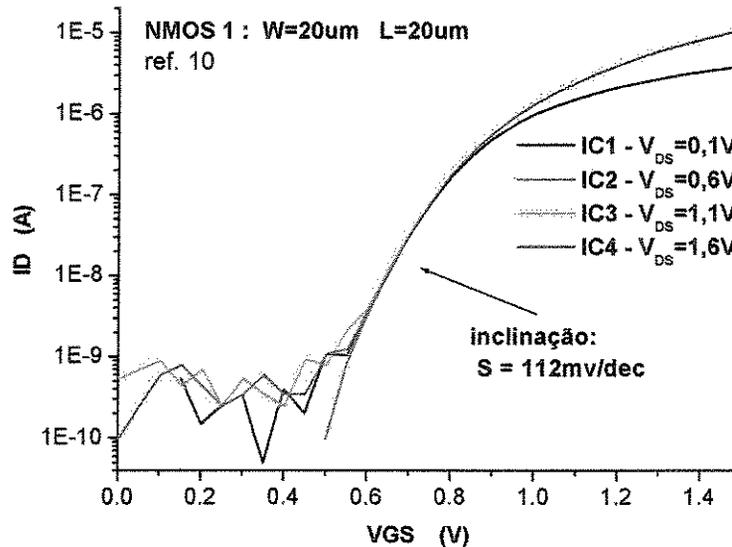


Figura 3.48 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L=20\mu\text{m}$, para a condição $V_{DS} = 0,1\text{V}; 0,6\text{V}; 1,1\text{V};$ e $1,6\text{V}$

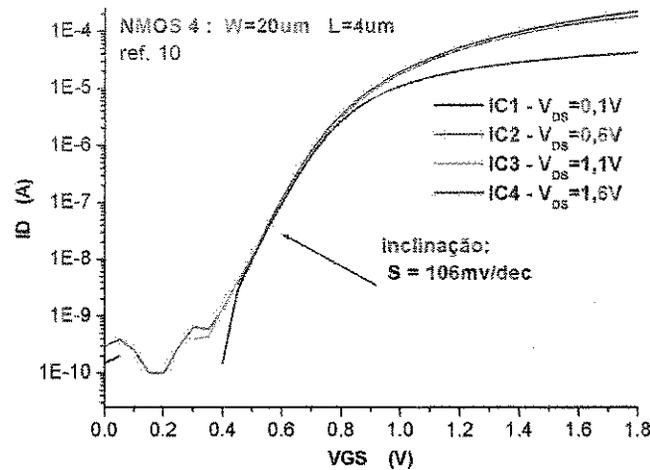


Figura 3.49 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=20\mu\text{m}$ e $L=4\mu\text{m}$, para a condição $V_{sb}=0\text{V}; -1\text{V}; -2\text{V}; \text{ e } -3\text{V}$

CONCLUSÃO DA EXTRAÇÃO DE PARÂMETROS

Os resultados da extração de parâmetros para simulação SPICE modelo nível 3 dos transistores NMOS do nosso processo *CMOS* é apresentada na tabela 3.14.

PARÂMETROS PARA TRANSISTORES NMOS : CONDIÇÃO TÍPICA

Tabela 3.14 - Parâmetros SPICE para o transistor NMOS dentro do processo *CMOS*

| Parâmetros SPICE | Unidades | Parâmetros SPICE | Unidades |
|------------------|--------------------------|-------------------|--------------------|
| MODEL MOD NMOS | --- | + LAMBDA=4.2E-3 | V^{-1} |
| + LEVEL=3 | --- | + IS=1E-9*** | A |
| + L=20.0000E-6 | m | + NSUB=1E16 | cm^{-3} |
| + W=20.000E-6 | m | + NSS=6E11 | cm^{-2} |
| + VTO=0.8 | V | + NFS=6E11 | cm^{-2} |
| + RSH=10.6 | Ω/\square | + LD=0.315E-6**** | m |
| + TOX=30.28E-9* | m | + THETA=0.1222 | V^{-1} |
| + GAMMA=0.8390 | V^{-1} | + TPG=0 | --- |
| + UO=493.8 | $\text{cm}^2/\text{V.s}$ | + VDD=5 | V |
| + CJ=11,5E-4 | F/m^2 | + ETA=0.42 | -- |
| + XJ=0.50E-6** | m | + TEMP=27 | $^{\circ}\text{C}$ |

*Espessura de óxido de porta (TOX), o valor foi obtido a partir das medidas CV (valor médio).

** Profundidade de junção (XJ), valor medido por desbaste.

*** Corrente de fuga de junção (IS), valor medido na curva experimental $\text{Log}(I_D) \times V_{GS}$.

**** Difusão lateral (LD), valor obtido a partir da curva $1/G_m \times L_M$ e da determinação da diminuição efetiva do comprimento de porta ΔL_{ef} .

A extração de parâmetros nos transistores PMOS e seus resultados mais importantes foram ilustrados juntamente com os correspondentes do NMOS, mas não foram detalhadas a sua apresentação porque tem o mesmo procedimento do NMOS. Os resultados da extração de parâmetros para simulação SPICE modelo nível 3 dos transistores PMOS de um processo CMOS é apresentada na tabela 3.15.

PARÂMETROS PARA TRANSISTORES PMOS CONDIÇÃO TÍPICA

Tabela 3.15 – Parâmetros SPICE para o transistor PMOS dentro do processo CMOS

| <i>Parâmetros SPICE</i> | <i>Unidades</i> | <i>Parâmetros SPICE</i> | <i>Unidades</i> |
|-------------------------|----------------------|-------------------------|------------------|
| .MODEL MOD PMOS | --- | + LAMBDA=8,69E-3 | V ⁻¹ |
| + LEVEL=3 | --- | + IS=1e-9*** | A |
| + L=20.0000E-6 | m | + NSUB=3E16 | cm ⁻³ |
| + W=20.000E-6 | m | + NSS=6E11 | cm ⁻² |
| + VTO=-0.8 | V | + NFS=6E11 | cm ⁻² |
| + RSH=10.6 | Ω/□ | + LD=0.315E-6**** | m |
| + TOX=30.28E-9* | m | + THETA=-0.1745 | V ⁻¹ |
| + GAMMA=0.582 | V ⁻¹ | + TPG=0 | --- |
| + UO=183.3 | cm ² /V.s | + VDD=5 | V |
| + CJ=11,5E-4 | F/m ² | + ETA=0.42 | --- |
| + XJ=0.65E-6** | m | + TEMP=27 | °C |

Os resultados mostraram que estes métodos de extração de parâmetros podem ser facilmente utilizados na determinação dos parâmetros de modelo Spice, nível 3 para os dispositivos (transistores, diodos, capacitores) de nosso projeto processo CMOS 2µm com ótimos resultados.

Torna-se viável sua utilização em disciplinas que estudam os dispositivos de dimensões reduzidas.

3.4.13 MEDIDAS DOS INVERSORES

As medidas feitas em dois inversores de diferentes geometrias são mostradas na figura 50. As curvas de transferência desta figura mostram o comportamento típico do *CMOS* que indicam o bom desempenho do processo *CMOS*.

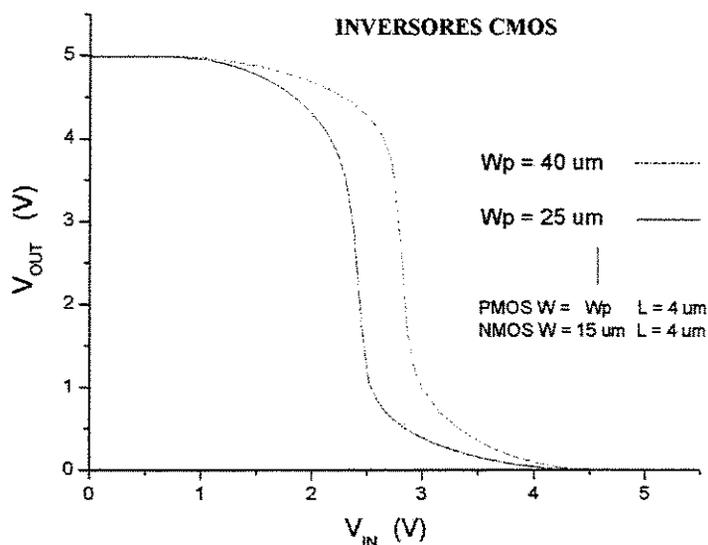


Figura 3.50 - Curvas de transferência do inversor

3.5 MEDIDAS ELÉTRICAS DAS ESTRUTURAS DO *CHIP* CÉLULAS APS

3.5.1 Fotodiodo

O comportamento de um fotodiodo depende da sua área desprotegida da luz e do efeito fotoelétrico. A corrente fotoiônica I_{foto} produzida no fotodiodo é somada a corrente do diodo convencional e é dado pela expressão (8):

$$I_D = I_S (e^{\frac{V_D}{KT/q}} - 1) - I_{foto} = I_{esc} - I_{foto} \quad (3.34)$$

Para o caso de fotodiodo, a corrente do diodo convencional é chamado de corrente de escuro I_{esc} . Uma ilustração esquemática do comportamento da corrente fotoiônica I_{foto} e a curva característica do fotodiodo são mostrados na figura 3.51.

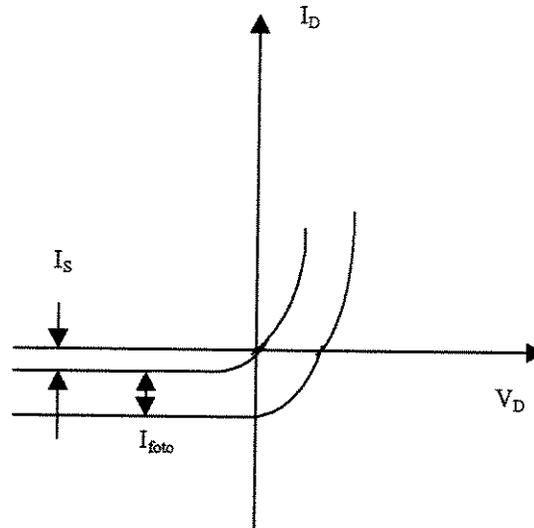


Figura 3.51 Curva característica do fotodiodo e corrente fotoiônica

O fotodiodo opera como um sensor de intensidade de luz na região reversa da curva característica da corrente do fotodiodo onde a corrente I_D está na faixa de I_S (corrente reversa) para o nível de iluminação “escuro” até $I_S + I_{foto}$ para um nível de iluminação determinada. Para seu funcionamento como um pixel de sensor de imagem, o fotodiodo é carregado com uma tensão de polarização reversa V_{DD} no ambiente de um nível de iluminação e depois ela é isolada do circuito para a coleta da informação. O estado de carga do fotodiodo é denominado **de fase reset** e a carga coletada durante um tempo de integração t_{int} é dada por:

$$Q = I_D t_{int} = (I_S + I_{foto}) t_{int} \quad (3.35)$$

Depois de carregado, a tensão no fotodiodo é mantida na tensão $V_D = V_{DD}$ e sendo a carga armazenada igual a $Q = CV_{DD}$. O estado em que o fotodiodo fica isolado do circuito é denominado de **fase sinal** e nesta fase, a carga Q do fotodiodo é descarregada durante o tempo t com a mesma corrente reversa do fotodiodo.

$$Q=I_D t = - (I_S + I_{\text{foto}}) t \quad (3.36)$$

Se ignoramos a corrente I_S e assumimos que a capacitância é constante, a tensão do diodo é dada por:

$$V_D = Q/C = - (I_{\text{foto}}/C) t \quad (3.37)$$

Para uma determinada corrente I_{foto} , a tensão do fotodiodo é linear com o tempo, o que é procurado para um sensor, mas isto é ideal porque a capacitância do diodo não é constante, sendo função da tensão do diodo $V_D(t)$ que varia com o tempo na fase sinal (diminui pelo efeito da descarga) como é mostrado na expressão(3.38) para o diodo com N^+ em substrato P.

$$C_j(V_D) = \frac{A}{2} \left[\frac{2q\epsilon_{Si} N_A}{V_D(t)} \right]^{\frac{1}{2}} \quad (3.38)$$

A tensão do diodo $V_D(t)$ pode ser determinada a partir da expressão da capacitância da seguinte forma :

$$C_j(V_D) \frac{dV_D(t)}{dt} = -I_{\text{foto}} \quad (3.39)$$

Substituindo-se o valor de C_j na expressão (3.39) e escrevendo em termos de integrais temos a seguinte expressão:

$$\int_{V_{\text{reset}}+V_o}^{V(t)+V_o} C_j(V_D) dV_D(t) = \int_0^t -I_{\text{foto}} dt \quad (3.40)$$

O resultado da integração, expressão (3.41), indica a tensão do diodo em função do tempo.

$$V_D(t) = \left[\sqrt{V_{\text{reset}}} - \frac{I_{\text{foto}} t}{A \sqrt{2q\epsilon_{Si} N_A}} \right]^2 \quad (3.41)$$

A expressão (3.41) inclui a área A do diodo, mas esta é cancelada porque a corrente fotônica I_{foto} é proporcional a área A (I_{foto} é proporcional ao produto da área do diodo e do fluxo incidente de fótons). Logo, a tensão do diodo V_D (a menos de capacitâncias parasitárias

no nó) independe da área do diodo para um determinado fluxo de fótons. Os valores de área, concentração N_A de dopante de substrato P, corrente fotônica I_{foto} , densidade de corrente fotônica J_{foto} e tensão *reset* de um fotodiodo $10\mu\text{m} \times 10\mu\text{m}$ utilizado por R.I. Hornsey, da Universidade de Waterloo[24], são apresentados na Tabela 3.16 juntamente com os valores correspondentes, medidos em nosso fotodiodo de $120\mu\text{m} \times 120\mu\text{m}$, adotando a mesma densidade de corrente fotônica. Esta densidade de corrente corresponde a um certo nível de iluminação que produz um fluxo incidente de fótons, o qual é afetado pela camada de óxido Si que está sobre a superfície do silício dopado. Em nosso caso esta camada de óxido é de 800nm e para simplificar assumimos a mesma densidade de corrente fotônica de U. Waterloo para obter as curvas de tensão de fotodiodo.

Tabela 3.16 Parâmetros do fotodiodo Área, N_A , J_{foto} , I_{foto} , V_{reset} da U.Waterloo [24] e os determinados experimentalmente

| | Área do fotodiodo | N_A | J_{foto} | I_{foto} | V_{reset} |
|-------------|--|-----------------------------------|-----------------------------------|---------------------------------|-------------|
| U. Waterloo | $10\mu\text{m} \times 10\mu\text{m}$ | $1 \times 10^{16} \text{cm}^{-3}$ | $10^{-14} \text{A}/\mu\text{m}^2$ | $1 \times 10^{-12} \text{A}$ | 4,2V |
| Unicamp-CCS | $120\mu\text{m} \times 120\mu\text{m}$ | $1 \times 10^{16} \text{cm}^{-3}$ | $10^{-14} \text{A}/\mu\text{m}^2$ | $1,44 \times 10^{-10} \text{A}$ | 4,2V |

A figura 3.52 mostra a curva tensão do fotodiodo $V_D(t)$ em função do tempo, a partir da expressão (3.41) para os parâmetros do fotodiodo indicados na tabela 3.16, onde a figura 3.52(a) corresponde à curva de fotodiodo da Universidade de Waterloo [24] e a figura 3.52 (b) corresponde ao nosso fotodiodo medido. Observamos que o comportamento indica que a tensão de diodo é proporcional ao tempo no início e em tempos curtos, sendo que estas regiões são aproveitadas como sinal de sensor da iluminação porque fornece maior precisão, além de usar tempos pequenos e assim aproveitar o tempo para efetuar o *reset* de outras células APS. Observamos que estas curvas são iguais para uma mesma densidade de fotocorrente. Nesta condição, a tensão do diodo independe da área do fotodiodo, logo a expressão(3.36) em termos de densidade de corrente fotônica é a seguinte:

$$V_D(t) = \left[\sqrt{V_{reset}} - \frac{J_{foto} t}{\sqrt{2q\epsilon_{Si} N_A}} \right]^2 \quad (3.42)$$

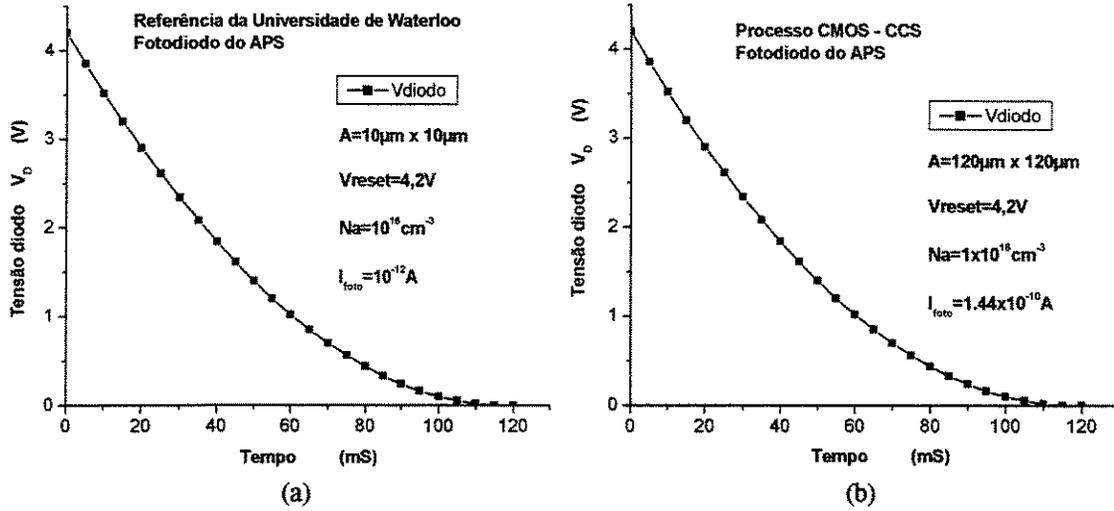


Figura 3.52 Curva de tensão do fotodiodo em função do tempo: (a) fotodiodo 10µmx10µm (U.Waterloo) (b) fotodiodo 120µmx120µm (CCS) com densidade de fotocorrente de $J_{f\text{oto}} = 10^{-14} \text{ A}/\mu\text{m}^2$

3.5.2 Circuito de leitura

A figura 3.53 mostra o circuito de leitura que consiste de dois transistores, para o qual inicialmente ignoramos o transistor de seleção de linha de uma matriz de imagem. O transistor M é um amplificador seguidor fonte polarizado na região de saturação, logo a corrente de dreno é dado pela expressão (1.21) onde a tensão de porta é $V_{GS} = V_D - V_o$.

$$I_D = K(V_{GS} - V_{TM})^2 = K((V_D - V_o) - V_{TM})^2 \quad (3.43)$$

Da expressão (3.43) é obtida a tensão de saída da célula APS. A expressão(3.44) indica que a tensão de saída é linearmente proporcional à tensão do diodo.

$$V_o = V_D - \left(V_{TM} + \sqrt{\frac{I_D}{K}} \right) \quad (3.44)$$

onde:

V_D é a tensão reversa do diodo

V_{TM} é a tensão de limiar do transistor M

I_D é a corrente de dreno

K é o fator de ganho do transistor amplificador M

Dado que a tensão de limiar do transistor M é $V_{GS} = V_{TM} = V_D - V_o$, **o máximo valor da tensão de saída V_o** é $V_o = V_D - V_{TM}$, isto para que o transistor M não entre em corte (sem condução de corrente). Se V_{DD} é a tensão no dreno do transistor *reset* e trabalhando na região de saturação fornece a tensão V_D ao diodo, esta tensão é: $V_D = V_{DD} - V_{TR}$. Logo, **o máximo valor da tensão de saída V_o** é $V_o = V_{DD} - V_{TM} - V_{TR}$. **O transistor L** de carga que é controlado por uma tensão de porta V_{bias} e ajustado para que trabalhe na região de saturação, neste caso **o mínimo valor da tensão de saída V_o** (dreno do transistor L) é $V_o = V_{bias} - V_{TL}$.

Logo o valor da tensão de saída pode estar dentro da faixa:

$$V_{bias} - V_{TL} < V_o < V_{DD} - V_{TM} - V_{TR} \quad (3.45)$$

Em nosso trabalho a tensão de limiar dos transistores tem o valor $V_T = V_{TR} = V_{TL} = V_{TM} = 0,8V$.

$$\begin{aligned} V_{bias} - V_T < V_o < V_{DD} - 2V_T \\ V_{bias} - 0,8 < V_o < V_{DD} - 1,6 \end{aligned} \quad (3.46)$$

Por exemplo, se a tensão de porta V_{bias} e ajustado para 1,65V, **a tensão de saída tem que ser maior que 0,85V** e se a tensão $V_{DD} = 5,0V$, então **a tensão de saída tem que ser menor que 3,4V**. Neste caso, o valor da tensão de saída pode estar dentro da faixa: $0,85V < V_o < 3,4V$

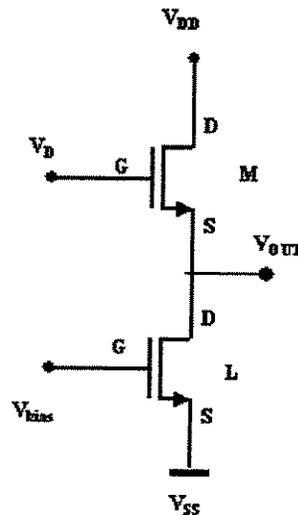


Figura 3.53 Esquema do circuito de leitura APS

Se consideramos o transistor S de seleção de linha, a figura 3.54 mostra esquema do circuito de leitura APS, neste caso mais real existe uma queda de tensão dreno fonte (V_{DS}) que vai diminuir o valor máximo da faixa da tensão de saída.

$$V_{bias} - V_T < V_o < V_{DD} - 2V_T - V_{DSS} \quad (3.47)$$

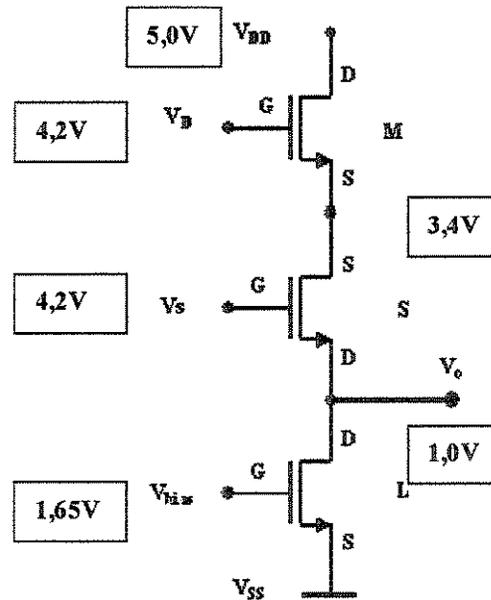


Figura 3.54 Esquema do circuito de leitura APS com o transistor S e polarização experimental na fase *reset*

Se o valor da tensão dreno fonte do transistor S é $V_{DSS} = 2,4V$, o valor da tensão de saída do exemplo anterior pode estar dentro da faixa:

$$\begin{aligned} V_{bias} - V_T < V_o < V_{DD} - 2V_T - V_{DSS} & \quad (3.48) \\ 1,65V - 0,8V < V_o < 5,0V - 1,6V - 2,4V \\ 0,85V < V_o < 1,0V. \end{aligned}$$

Neste caso o transistor S está na saturação e $V_{DSS} = 2,4V = V_{GSS} - 0,8V$, onde a tensão de porta é $V_{GSS} = 3,2V$ e com relação a terra é $V_G = 4,2V$. A tensão de saída diminui no valor da tensão de dreno do transistor S porque este está em série com o transistor L de carga, logo a expressão (3.44) pode incluir este termo como indica a expressão (3.49)

$$V_o = V_D - \left(V_{TM} + \sqrt{\frac{I_D}{K}} \right) - V_{DSS} \quad (3.49)$$

A tensão de diodo é dada pela expressão (3.42) que reescrevemos em (3.50),

$$V_D(t) = \left[\sqrt{V_{reset}} - \frac{J_{foto} t}{\sqrt{2q\epsilon_{Si} N_A}} \right]^2 \quad (3.50)$$

A figura 3.55 mostra a curva da tensão de saída obtido da expressão (3.49) onde aplicamos as condições de polarização (figura 3.54) do exemplo apresentado, onde a tensão inicial é 1,0V. A figura 3.55 também mostra a curva de tensão de fotodiodo V_D em função do tempo dado pela expressão (3.42) e (3.50) onde a corrente fotônica utilizada é $I_{foto} = 1,44 \times 10^{-10}$ A e o fotodiodo tem área de $120\mu\text{m} \times 120\mu\text{m}$. Na figura é mostrado todo o sinal de saída, incluindo o que não é amplificado e o sinal anulado pelo corte do transistor L. Logo, o sinal de saída inicial de tempo curto é aquele em que é utilizado para transferir como informação do nível de iluminação do pixel.

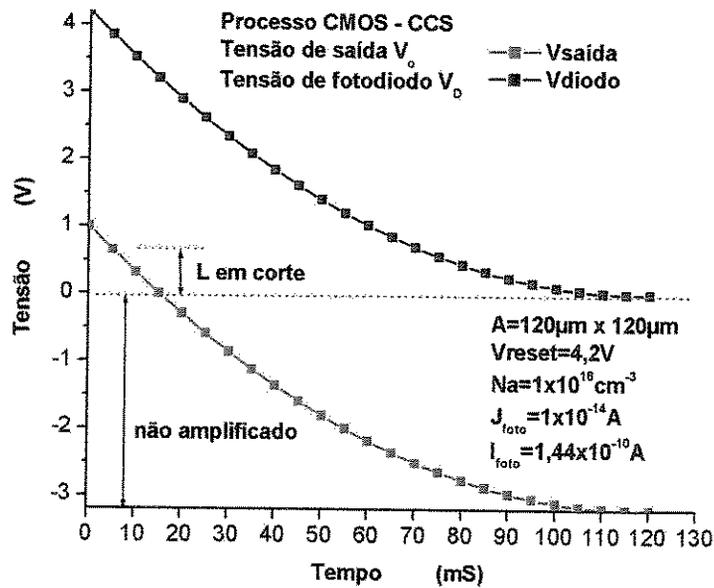


Figura 3.55 Tensão de saída do circuito de leitura APS e a tensão do fotodiodo em função do tempo para um nível de iluminação

3.5.3 Medida dos níveis de iluminação

As condições de polarização do exemplo para a fase *reset*, foram aplicadas nas medidas experimentais de uma célula APS de $150\mu\text{m} \times 170\mu\text{m}$ com um fotodiodo quadrado $120\mu\text{m} \times 120\mu\text{m}$ realizadas em diferentes níveis de iluminação (a) de escuro, (b) a iluminação ambiente e (c) para alta iluminação. Os resultados das medidas do sinal de saída, são mostradas na figura 3.56, onde observamos o valor da tensão de saída do exemplo anterior que está dentro da faixa de $0,85\text{V} < V_o < 1,0\text{V}$. Assim, na fase *reset* $V_o = 1,0\text{V}$ e a partir da fase sinal temos a tensão de saída em função do tempo, sendo que em $t=0$ mS a tensão de saída é $V_o = 1,0\text{V}$ e após um tempo t o comportamento da tensão de saída é o mesmo da tensão do fotodiodo V_D , sendo que para o tempo curto é quase linear com o tempo. Como aplicamos as condições do exemplo, a tensão de saída diminui até $0,85\text{V}$ sendo este resultado coerente com a expressão (3.48) e com a análise feita do circuito de leitura. A figura 3.56 mostra também que o comportamento da tensão de saída é igual ao comportamento da tensão do fotodiodo V_D , para os três níveis de iluminação.

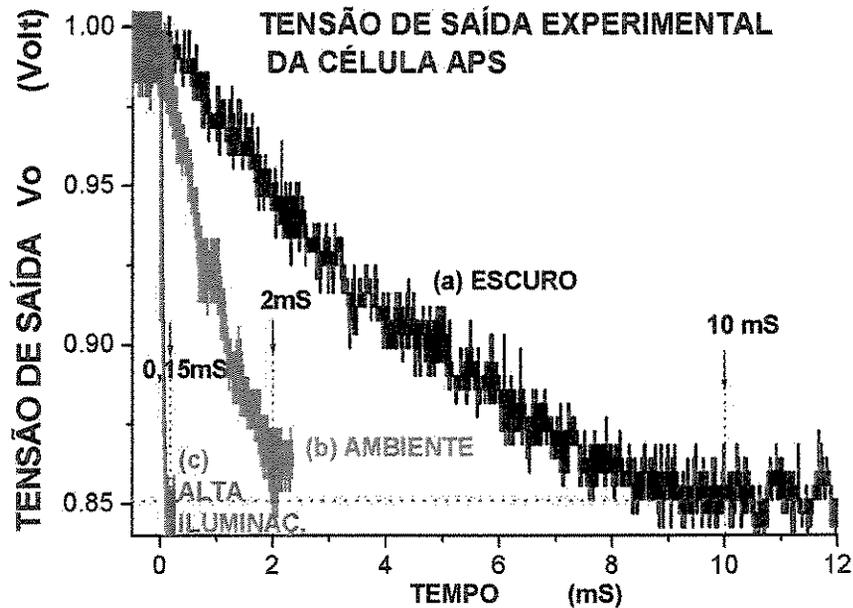


Figura 3.56 Medidas do sinal de saída de uma célula APS

- Cálculo da corrente fotônica

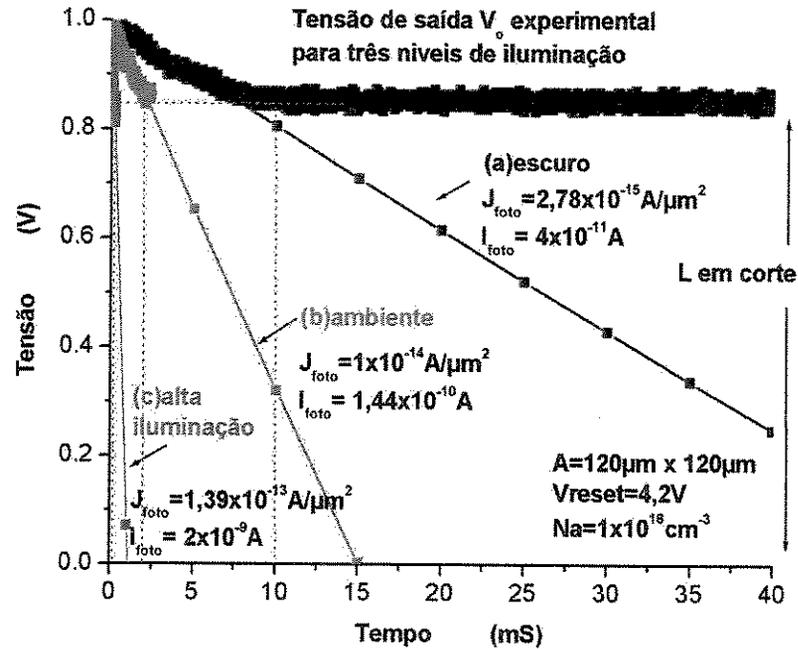


Figura 3.57 Medidas do sinal de saída de uma célula APS e determinação das correntes fotônicas.

Na figura 3.57 é mostrado o sinal de saída medido de valor positivo onde o sinal anulado pelo corte do transistor L foi entre zero e 0.85V. Logo, temos três sinais de tensão/tempo que são utilizados para transferir, uma por vez, como informação do nível de iluminação do pixel. A figura 3.57 mostra três curvas de tensão V_D de fotodiodo $120\mu\text{m} \times 120\mu\text{m}$, em função do tempo dado pela expressão (3.42) e (3.50) onde foram ajustadas as correntes fotônicas para a inclinação de cada uma das curvas experimentais. A figura 3.57 e a tabela 3.17 mostram os resultados para três níveis de iluminação (a) escuro (b) ambiente (c) alta iluminação. Dos resultados da tabela 3.17, observamos que o valor da densidade de corrente fotônica medido e calculado para o nível ambiente é bastante similar ao valor obtido pela U. Waterloo [24]. Isto indica que nossos valores estão dentro da faixa típica de trabalho e que foi consistente assumir $J_{\text{foto}} = 1 \times 10^{-14} \text{ A}/\mu\text{m}^2$ para os exemplos do fotodiodo.

O valor de corrente fotônica para o nível escuro é uma ordem de grandeza menor que o valor do nível ambiente e o valor do sinal obtido é $V_{\text{saída}}/\text{tempo} = 0,018 \text{ V}/\text{mS}$. O valor de corrente fotônica para o nível de alta iluminação é uma ordem maior que o valor do nível ambiente e o valor do sinal obtido é $V_{\text{saída}}/\text{tempo} = 0,926 \text{ V}/\text{mS}$. O valor de corrente fotônica $I_{\text{foto}} = 1,44 \times 10^{-10} \text{ A}$ e o valor da correspondente densidade $J_{\text{foto}} = 1 \times 10^{-14} \text{ A}/\mu\text{m}^2$ foram obtidos para o nível ambiente sendo o valor obtido do sinal de $V_{\text{saída}}/\text{tempo} = 0,064 \text{ V}/\text{mS}$.

Tabela 3.17 Resultados de densidade J_{foto} e corrente I_{foto} fotônica para três níveis de iluminação determinados experimentalmente no fotodiodo $120\mu\text{m} \times 120\mu\text{m}$

| Iluminação do fotodiodo | J_{foto} | I_{foto} | $V_{\text{saída}}/\text{tempo}$ |
|-------------------------|--|----------------------------------|---------------------------------|
| Escuro | $2,78 \times 10^{-15} \text{ A}/\mu\text{m}^2$ | $1 \times 10^{-12} \text{ A}$ | 0,018V/mS |
| Ambiente | $1 \times 10^{-14} \text{ A}/\mu\text{m}^2$ | $1,44 \times 10^{-10} \text{ A}$ | 0,064V/mS |
| Alta iluminação | $1,39 \times 10^{-13} \text{ A}/\mu\text{m}^2$ | $2 \times 10^{-9} \text{ A}$ | 0,926V/mS |

As células projetadas foram inicialmente simuladas no Pspice, onde a fonte de luz foi substituída por uma fonte de corrente, de forma que esta fonte simula a corrente gerada fotonicamente no diodo. A figura 3.58 mostra os resultados da simulação onde podem ser vistos vários tempos de decaimento da tensão na saída da célula, que correspondem aos diferentes níveis de iluminação. Os diferentes níveis de iluminação foram simulados por uma fonte de corrente (corrente fotônica), variando desde 1 nA a 10 nA, correspondendo o nível de iluminação mais baixa (escuro) e o último, um nível de iluminação bastante intenso. Os resultados dessa simulação mostram que a intensidade de iluminação afeta significativamente o sinal de saída da célula APS, sendo quanto mais intensa for o nível de iluminação menor o tempo de decaimento, ou seja maior sinal $V_{\text{saída}}/\text{tempo}$. Neste caso foram simuladas dez níveis de iluminação variando a corrente da fonte 1nA por cada nível de iluminação. Os resultados obtidos mostram o comportamento da tensão de saída coerente com os resultados experimentais, mas com a limitação de que a fonte utilizada e o diodo não correspondem exatamente ao comportamento do nosso fotodiodo medido como foi descrito no item anterior.

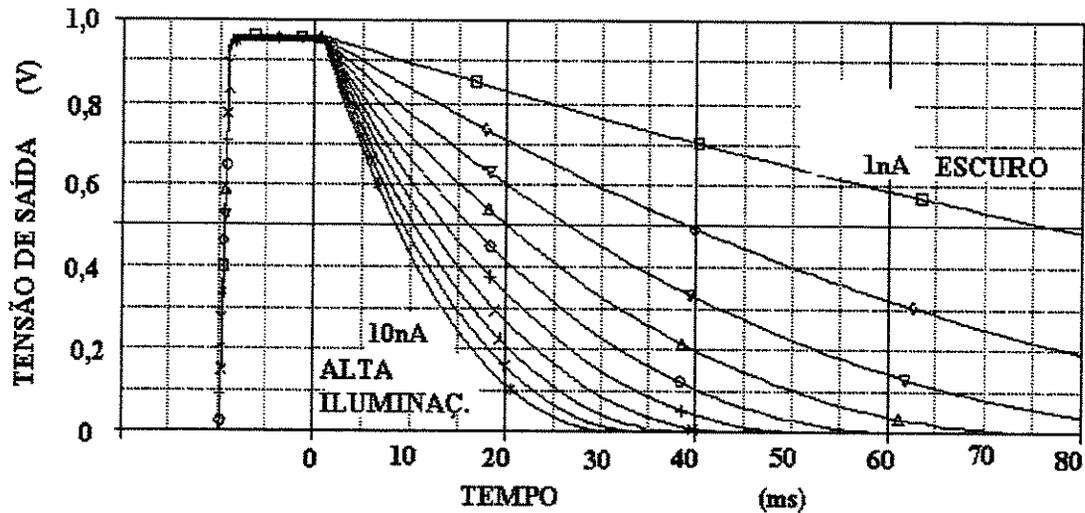


Figura 3.58 Simulação do sinal de saída de uma célula APS [26]

CONCLUSÕES

A avaliação experimental mostrada neste capítulo das etapas de processo da primeira fabricação foi satisfatória quanto aos resultados de suas características realizadas em cacos teste. Dos resultados das medidas físicas e elétricas constatamos os seguintes:

- Os resultados experimentais durante a formação das ilhas demonstraram uma boa coerência dos perfis e valores de concentração superficial das medidas SIMS com os resultados projetados por simulação Suprem, dos quais as concentrações superficiais ficaram ao redor de $1 \times 10^{16} \text{ cm}^{-3}$ para posteriormente realizar o ajuste de V_T com uma concentração maior (Boro) em quase uma ordem de grandeza. O valor de $4,5 \mu\text{m}$ de profundidade da ilha P medida com SIMS e o valor de $1,3 \mu\text{m}$ de profundidade da ilha N medida por desbaste satisfazem os valores projetados para estes parâmetros.
- Os resultados da formação da região ativa foram satisfatórios, sendo que houve três oxidações dos quais o mais importante foi o crescimento do LOCOS cujo valor medido foi de 880 nm o que é satisfatório comparando-se com o valor de 1000 nm , projetado para este óxido. Esta margem de erro pode ser aceita pelo processo CMOS. A oxidação de 50 nm , na qual o valor medido foi de 56 nm , foi efetiva para a limpeza de restos de nitreto do efeito *white ribbon*, embora após a observação visual o processo

tenha sido necessário efetuar também 15 minutos de limpeza com ácido fosfórico para otimizar o processo de limpeza. A oxidação de 30nm, na qual o valor medido foi de 31nm, foi necessária para efetuar a implantação a fim de diminuir os danos da implantação iônica de Boro realizada para o ajuste de V_T . Logo, quanto as variáveis de processo destas oxidações, podemos considerar que elas são efetivas para a formação das camadas de óxido especificadas.

- O resultado da oxidação de porta de 30nm com TCE foi satisfatório, cujo valor medido do óxido foi de 31nm. Simultaneamente a este processo foi feito também a ativação do Boro implantado para o ajuste de V_T sendo que a concentração superficial do Boro medida com SIMS teve o valor de $6 \times 10^{16} \text{ cm}^{-3}$, o que satisfaz se compararmos com o valor projetado de $8 \times 10^{16} \text{ cm}^{-3}$, obtido com simulação Suprem e Pisces. Logo, as variáveis de processo da implantação de Boro são efetivas e apresenta uma boa correspondência das medidas experimentais com a simulação Suprem e Pisces.
- A porta de polisilício foi formada satisfatoriamente com uma camada de polisilício dopada fortemente com dose de $1 \times 10^{16} \text{ cm}^{-2}$ de Fósforo para ambos os tipos de transistores (PMOS e NMOS) e medida com SIMS, o valor da concentração foi de $3 \times 10^{20} \text{ cm}^{-3}$ de Boro e valor de $8 \Omega/\square$ de resistência de folha (tabela 3.4). Este valor de resistência é coerente com o valor de $10 \Omega/\square$ reportado pela literatura [7][18][21] para o polisilício. Estes valores de resistência de folha satisfazem para seu uso como material de porta mas sua utilização como primeiro nível de interconexão está limitada sendo adequada só para linhas curtas. As medidas após as deposições de cada uma das diferentes camadas foram satisfatórias sendo pequena a margem de erro com os valores projetados e especificados, indicando que as variáveis dos processos de deposição estão adequadamente ajustadas para obter as espessuras e a qualidade desejada. Assim temos como exemplo, a deposição de polisilício que teve uma camada medida de 492nm, mas que satisfaz comparando-se com o valor de 500nm especificado.
- Os resultados experimentais da formação fonte/dreno são as resistências de folha que devem ser de baixo valor obtidos com implantações de alta dose para satisfazer o projeto. Assim, após a implantação do Boro e após a implantação do Fósforo e Arsênio, as concentrações superficiais estão ao redor de $1 \times 10^{20} \text{ cm}^{-3}$ e de $6 \times 10^{20} \text{ cm}^{-3}$ respectivamente para o valor experimental como para o valor simulado indicando uma boa concordância entre ambos. Estes valores de concentração superficial sofreram uma leve diminuição após o recozimento simultâneo das regiões fonte/dreno P^+ até $9 \times 10^{19} \text{ cm}^{-3}$ e das regiões de fonte/dreno N^+ até $1 \times 10^{20} \text{ cm}^{-3}$. Em termos de resistência de folha isto significa valor medido de $81 \Omega/\square$ para P^+ o que satisfaz comparando-se com o valor de $45 \Omega/\square$ projetado e com a medida de $100 \Omega/\square$ obtida por Martino [4]. Mesmo assim, consideramos que este valor alcançado precisa ainda ser otimizado. Após ativação dos dopantes, a medida de profundidade de junção X_j , foram feitas por desbaste sendo o valor obtido $X_{jp} = 0,65 \mu\text{m}$ para o fonte/dreno P^+ e o valor de

$X_{jn}=0,5\mu\text{m}$ para o fonte/dreno N^+ . Estes valores são satisfatórios se compararmos com o valor projetado de $0,45\mu\text{m}$ com simulação Suprem. Logo, os resultados da simulação Suprem com os resultados SIMS após a implantação iônica dos drenos mostram-se coerentes.

- A implantação de Arsênio é um processo crítico porque a superfície do fotorresiste pode apresentar bolhas. A solução encontrada foi processar a implantação iônica de Arsênio com a corrente de feixe de $30\mu\text{A}$.
- As medidas das resistividades na superfície de cacos de teste com o medidor de 4 pontas e de concentração de dopantes com SIMS foram apresentadas detalhadamente em tabelas com o procedimento utilizado e cujos resultados foram satisfatórios para nosso projeto.
- Foram apresentados neste capítulo 3. o chip teste, os dispositivos projetados e suas estruturas fabricadas, assim como realizada a caracterização de dispositivos efetuada no chip teste e a extração de parâmetros para o simulador Spice através de métodos de extração, e também a extração de parâmetros para a caracterização de processo através das medidas CV.
- Nos capacitores foram realizadas as medidas CV para determinar a capacitância em acumulação C_{ox} e verificar a espessura do óxido T_{ox} , a carga efetiva total no óxido Q_{ox} e a dopagem de substrato N_{sub} . Houve correspondência dos valores de espessura do óxido T_{ox} obtidos por curva CV com os valores das medidas diretas experimentais, sendo que o valor especificado é 300 \AA . A maioria das amostras analisadas ficaram distribuídas ao redor do valor médio da densidade de carga efetiva de $6.5 \times 10^{11}\text{ cm}^{-2}$. Dentre elas podemos assumir que a melhor medida para este parâmetro corresponde ao valor de $6 \times 10^{11}\text{ cm}^{-2}$ (amostra CV7), pois apresenta a menor tensão de V_{fb} que indica menor densidade de cargas. Na literatura [7] [21] o valor ideal para este parâmetro é de $1.0 \times 10^{10}\text{ cm}^{-2}$, ou seja, os valores obtidos pelas nossas amostras indicam uma densidade de carga efetiva muito elevada que a desejada, provavelmente consequente do processo de oxidação.
- Realizamos medidas elétricas nos diodos para determinar suas características I-V, tensão V_c e determinar o coeficiente de idealidade n . A corrente reversa obtida foi de $1,3 \times 10^{-8}\text{ A}$ e considerando que a área do diodo medido é $200\mu\text{m} \times 200\mu\text{m}$ corresponde a densidade de $J=32,5\text{ }\mu\text{A}/\text{cm}^2$, característico de nosso processo mas requer otimização para valores mais baixos. O fator de idealidade obtido foi de $n=1,17$ valor este próximo de 1, por isso, satisfatório. O valor do parâmetro $S = 70\text{mV}/\text{dec}$ é satisfatório e compatível com o valor obtido de coeficiente de idealidade n .
- Foram atingidos os objetivos de realizar a extração dos parâmetros nos transistores a partir das medições de caracterização elétrica de dreno e de porta, com resultados satisfatórios, assim como extrair a tensão de limiar com $V_{sb}=0$ e obter os valores especificados de $V_T = 0,8\text{V}$ com uma pequena margem de erro ($<10\%$) verificando-se uma diminuição do valor de V_T para valores pequenos de comprimento de porta L e em forma mais acentuada no valor mínimo $L=3\mu\text{m}$ ($L_{poli} = 2\mu\text{m}$). A extração do parâmetro

gamma nas condições de uma faixa de tensões de substrato (V_{sb}) teve resultados da ordem de seu valor típico próximo de $0,5 V^{1/2}$, sendo melhor no transistor PMOS que no NMOS. O parâmetro gamma (γ) é o chamado parâmetro de efeito de corpo e é dependente do processo de fabricação, assim os resultados satisfatórios indicam que as variáveis deste processo *CMOS* são adequadas.

- Determinada a diminuição efetiva de comprimento efetivo de porta $\Delta L_{eff} = 1,62 \mu m$ o qual é um valor alto, nossa pesquisa indica que a diminuição de comprimento de porta de polisilício $\Delta L_{poli} = 1 \mu m$ é muito alta sendo que a corrosão por plasma não foi suficientemente alta em termos de anisotropia quando foi corroída a porta de polisilício. Logo a corrosão lateral do plasma foi muito alta porque os gases utilizados não foram suficientemente anisotrópicos, estes são os gases SF_6/O_2 utilizados no reator RIE.
- Realizada a extração dos parâmetros nos transistores concluímos com a tabela 3.14 de parâmetros extraídos para o transistor NMOS e a tabela 3.15 de parâmetros extraídos para o transistor PMOS visando sua utilização no simulador *Spice* com o modelo 3.
- Foi descrito o fotodiodo e feito o análise detalhado de seu comportamento associado com parâmetros de nosso processo *CMOS* e mostrado em gráficos a tensão de diodo em função do tempo sendo a curva $V_D(t) \times$ Tempo linearmente proporcional ao tempo para valores curtos de tempo a partir da fase sinal. O análise indica que a tensão do fotodiodo independe da área do fotodiodo sendo que sua dependência é com a densidade fotônica. A densidade fotônica utilizada como referência foi a correspondente aos parâmetros de fotodiodo $10 \mu m \times 10 \mu m$ utilizados pela Universidade de Waterloo, a qual foi aplicada ao nosso fotodiodo $120 \mu m \times 120 \mu m$ com resultados satisfatórios.
- O circuito elétrico de uma célula APS é com três transistores NMOS (amplificador M, *reset* e *select*) e um transistor de carga comum a outras células sendo que o fotodiodo está ligado a porta do transistor M. A tensão de saída deste circuito, após análise, verificamos que o valor máximo é igual a tensão do diodo V_D deslocado negativamente por uma tensão de *offset* que em nossa condição experimental obtivemos que $V_{saída}$ foi de valor 1,0 V no início da fase sinal e o valor mínimo de $V_{saída}$ é ajustado com a tensão de porta do transistor de carga. (V_{bias}) que em nossa condição experimental ($V_{bias} = 1,8V$) obtivemos que $V_{saída}$ é 0,85V, após o qual o transistor L entra em corte. Os resultados do fotodiodo como os de polarização foram comparados com as medidas experimentais de três níveis de iluminação e apresentados num só grafico com uma boa coerência, assim foram obtidos as correspondentes densidade de corrente fotônica para os três níveis experimentais de iluminação.

CAPÍTULO 4 - CONJUNTO DE *CHIPS* DIDÁTICOS

4.1 INTRODUÇÃO - MOTIVAÇÃO, DESCRIÇÃO E *LAYOUT*

4.1.1 INTRODUÇÃO

Neste capítulo apresentamos o projeto de um conjunto de chips didáticos baseado em nossa fabricação da tecnologia do *CMOS* de dupla ilha. Esses chips contém circuitos analógicos e digitais e foram projetados para fornecer um jogo de chips para o ensino baseados em estruturas MOS usando a tecnologia *CMOS* de $2\mu\text{m}$. As experiências propostas para a utilização destes chips cobrem a aprendizagem básica dos dispositivos e dos circuitos. O projeto contempla assim, a utilização de estruturas para dispositivos e circuitos de dimensões menores que as usadas em chip comercial similar ($\sim 100\mu\text{m}$) e aplicações em novas opções circuitos cobrindo algumas lacunas deixadas por um chip similar comercial. Em termos específicos estão apresentados neste Capítulo 4, o projeto de um conjunto de chips didáticos com os dispositivos projetados e suas estruturas a fim de realizar a análise de resultados de caracterização de dispositivos efetuados no chip teste através da extração dos principais parâmetros elétricos (capítulo 3). Os *chips* didáticos são apresentados com seus respectivos *layouts*, tendo cada um deles uma distribuição adequada de seus PADs para que no futuro possamos efetuar o seu encapsulamento. Nestes chips temos dispositivos passivos, ativos e também circuitos visando sua utilização na eletrônica digital e outros na eletrônica analógica. Este capítulo traz ainda um guia de medidas e utilização programada para estes *chips didáticos*, a fim de mostrar algumas possibilidades de aplicação que podem ser feitas com os chips propostos. Todas as estruturas propostas neste capítulo foram fabricadas e testadas, à exceção dos amplificadores operacionais. A caracterização dos dispositivos fabricados foi apresentada no capítulo 3.

4.1.2 MOTIVAÇÃO

Os *chips* didáticos *CMOS* facilitam a análise de blocos de circuitos complexos porque permitem o acesso aos nós dos circuitos para medir as tensões e correntes associadas aos nós para obter os parâmetros elétricos desejados sendo assim uma boa alternativa experimental das disciplinas de eletrônica. A principal função que se busca num chip didático é a de ensino e aprendizado de um determinado assunto, funções estas que não podem ser obtidas através de chips comerciais produzidas em escala para aplicações específicas. O conjunto de chips didáticos da Universidade de Edinburgo [27] por exemplo, é usado no CCS-UNICAMP e também em outras universidades como suporte ao ensino de processos e projeto de circuitos dos dispositivos semicondutores. Mas, este conjunto de *Chips CMOS* apresenta algumas limitações, tais como a falta de um *chip* que tenha capacitores para medir e obter parâmetros importantes do processo de fabricação; não existe um conjunto de transistores com L e W variáveis para a extração de parâmetros; não há transistores isolados para formar circuitos analógicos; e também não tem um chip com amplificadores operacionais para experiências

analógicas com estes amplificadores. Além disso, o chip de transistores para circuitos lógicos tem $L=100\mu\text{m}$, o que é muito grande. Nosso projeto supera estas limitações e cobre os principais aspectos básicos relacionados com o processo *CMOS* tais como a modelagem e física dos dispositivos, escalamento dimensional dos transistores e alguns aspectos do projeto de circuitos, incluindo blocos básicos de amplificadores operacionais, transistores de $L=2\mu\text{m}$, conjunto de capacitores, diodos, fotodiodos, inversores e circuitos com sensores APS. Neste trabalho nós apresentamos a descrição das estruturas dos dispositivos contidos no conjunto de chips didáticos, concentrando-se nas medidas que o usuário poderá realizar baseada na utilização deste conjunto de *chips* didáticos. Neste capítulo fazemos referência à extração de parâmetros, os procedimentos de extração e sua aplicação nas medidas elétricas dos dispositivos apresentadas no capítulo 3.

4.1.3. LAYOUT DOS CHIPS DIDÁTICOS

O *layout* do conjunto de chips didáticos é mostrado na figura 4.1. Para facilitar o trabalho de alinhamento e corte, foram incluídos no *layout* dois tipos de marcadores sendo uma em forma de cruz e outra em forma de um L, além da inclusão no *layout* de *scribe lines* (linhas de corte) nas laterais dos *chips* com dimensão de $100\mu\text{m}$ de largura. Nos contornos dos *scribe lines* (internos e externos) foram feitas linhas de si-poli e de metal, ambas com largura de $5\mu\text{m}$. O conjunto de chips didáticos é composto de seis *chips* e as estruturas de cada uma delas e as medidas elétricas e a extração de parâmetros que pode se obter delas estão apresentadas neste capítulo.

O projeto do conjunto de chip didático foi realizado em ambiente windows utilizando-se o programa CAD Microwind.

Tecnologia de fabricação :

CMOS $2\mu\text{m}$

CMOS dupla ilha: ilha P e ilha N.

Área de cada *chip* didático: a forma e área são os mesmos para todos os *chips*.

$\Delta X = 1,0\text{ mm}$; $\Delta Y = 3,0\text{ mm}$; Área = $3,0\text{ mm}^2$

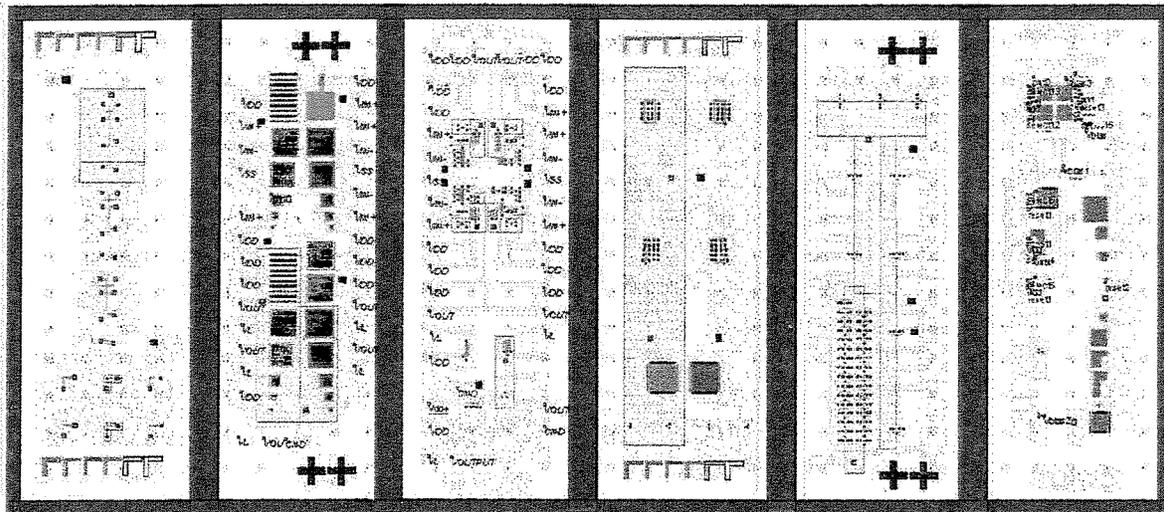


Figura 4.1 *Layout* do conjunto de *chips* didáticos

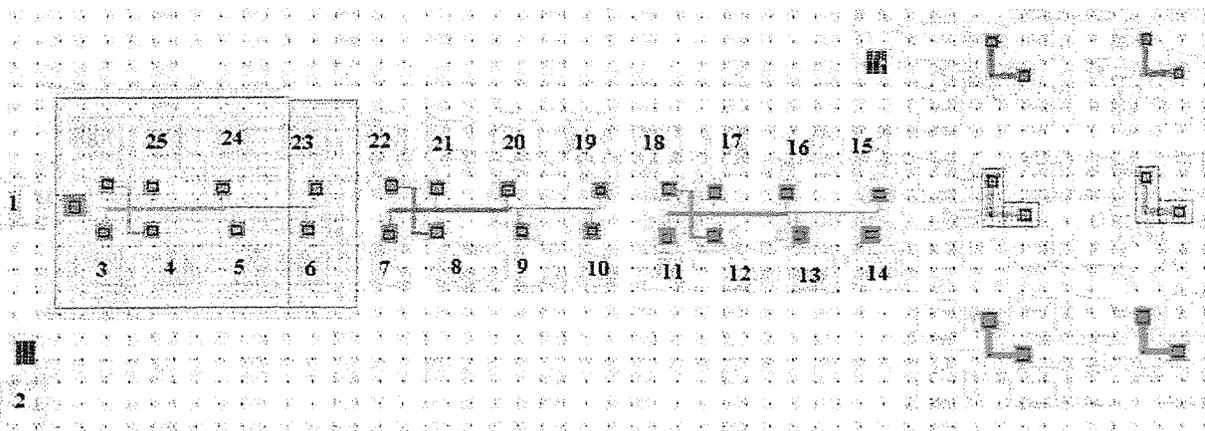


Figura 4.2 *Layout* do *CHIP 1 - RESISTORES*

4.2 *CHIP 1 - RESISTORES*

O chip 1 oferece resistores de Alumínio (metal), de material tipo P^+ , de material tipo N^+ e de polisilício dopado N^+ na forma de estruturas Van-der-Pauw. As estruturas Kelvin são contatos entre os materiais Al/polí, Al/ P^+ e Al/ N^+ . A figura 4.2 mostra o *layout* desses resistores com as respectivas pinagens. Estes diferentes tipos de estruturas de resistores foram incluídas visando os seguintes objetivos:

- (a) realizar medidas de resistência de folha e verificar a largura efetiva de trilha.
- (b) realizar medidas de resistência de contato.
- (c) pesquisar os fatores que afetam a resistência: materiais, dimensões, temperatura e fenômenos físicos (Hall).
- (d) comparar trilhas de Alumínio, polisilício dopado, material tipo P e tipo N.
- (e) utilizar os elementos resistivos como componentes de circuitos e realizar combinações de resistores.

4.3 **CHIP 2 - CAPACITORES E DIODOS**

O chip 2 oferece um conjunto de capacitores e diodos (figura 4.3) que descremos abaixo, para várias finalidades.

CAPACITORES

O chip tem capacitores MOS (estruturas em ilha P e em ilha N) com óxido fino de 30nm (o mesmo da porta) e capacitores especiais com óxido de LOCOS e outros com óxido de campo para uma avaliação do processo. As dimensões dos capacitores MOS quadrados são: 200x200, 90x90, 60x60 e 30x30 ($\mu\text{m} \times \mu\text{m}$) fornecendo assim, áreas variáveis para cada tipo de capacitor MOS. O capacitor 200x200 ($\mu\text{m} \times \mu\text{m}$) é o mais adequado para caracterizar e extrair os principais parâmetros (C_{ox} , T_{ox} , Q_{ox} , N_{sub}) sendo que os de menor dimensão ficam disponíveis como componentes de circuitos. O chip tem estruturas de capacitor MOS tanto na ilha N quanto na ilha P. O capacitor com óxido de LOCOS, tem estrutura poli /óxido LOCOS/ilha P (não tem área ativa): pino 21. O capacitor com óxido de campo (incluindo LOCOS), tem estrutura metal/óxido campo / ilha-p (não tem área ativa nem poli). O capacitor com óxido de campo (sem LOCOS), tem estrutura metal / óxido campo/poli.: pino 29.

Os capacitores não possuem diodos de proteção de entrada para não limitar a faixa de medida do mesmo. Isto traz um certo risco, porém é necessário.

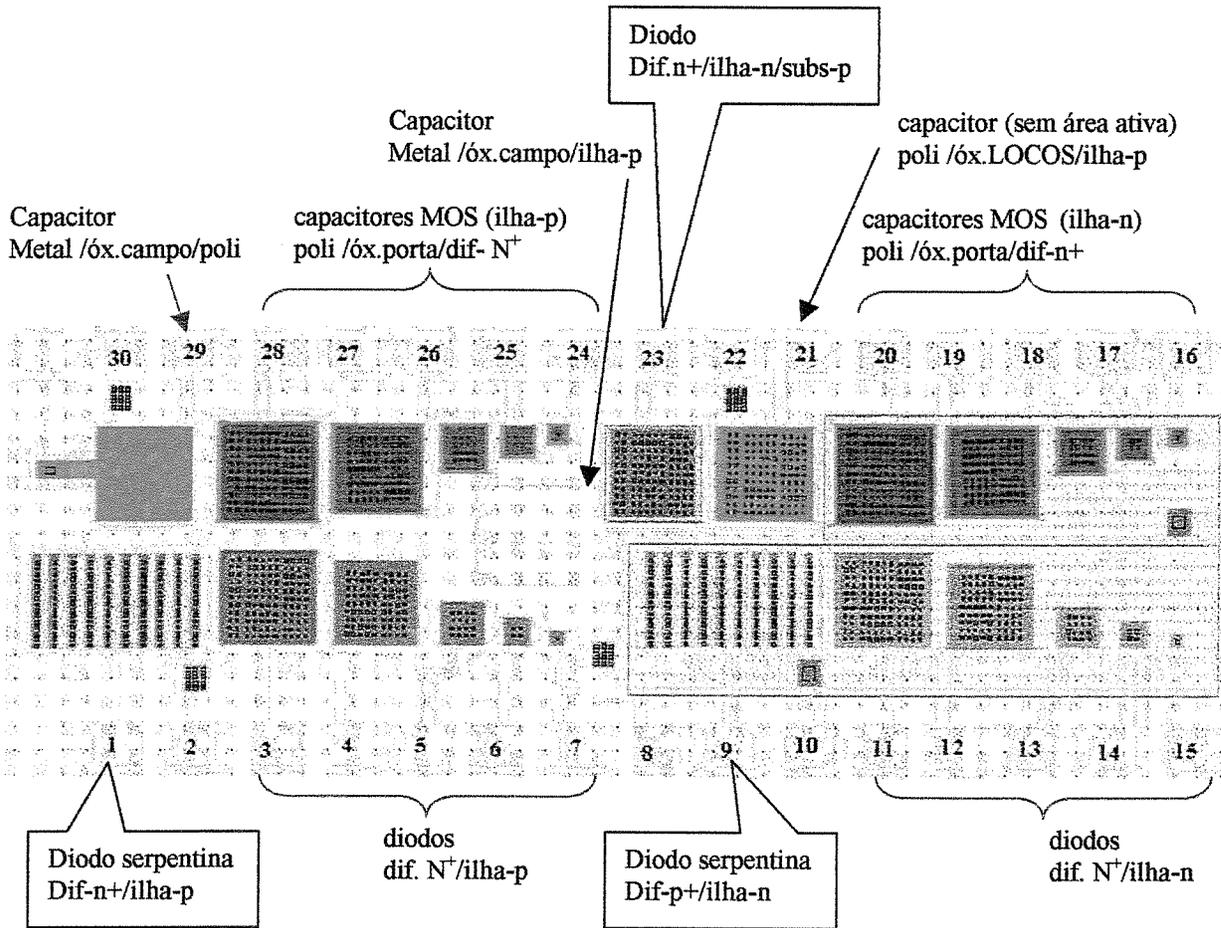


Figura 4.3 *Layout do CHIP 2 - CAPACITORES E DIODOS*

DIODOS

O chip tem diodos (estruturas em ilha P e em ilha N) com junção de $0,45\mu\text{m}$ de profundidade (o mesmo de fonte/dreno) e diodos especiais, um em forma de serpentina e outro com junção de ilha N (profundidade $4,5\mu\text{m}$). As dimensões dos diodos quadrados são: 200×200 , 90×90 , 60×60 e 30×30 ($\mu\text{m} \times \mu\text{m}$). O diodo de 200×200 ($\mu\text{m} \times \mu\text{m}$) é o mais adequado para caracterizar e extrair os parâmetros principais (η , V_B , I_R e J) sendo que os diodos de menor dimensão estão disponíveis como componentes de circuitos e para verificar se a densidade de corrente direta se mantém constante independente da área, também para verificar quanto influi o perímetro no valor da corrente de fuga. Os diodos podem ser comparados com o conjunto de fotodiodos dos APS que tem as mesmas dimensões e representam a condição de escuro porque o metal está em toda a área do diodo. As dimensões dos diodos serpentina são de 200×200 ($\mu\text{m} \times \mu\text{m}$), o mesmo que o maior diodo quadrado assim pode ser verificado a influência do perímetro nos valores de corrente de saturação da junção.

As estruturas dos diodos quadrados e de serpentina são de dois tipos: dif. N⁺/ilha-p e estrutura dif. P⁺/ilha-n. O diodo quadrado com junção de ilha-n tem estrutura dif. N⁺/ilha-n/substrato-p. A figura 4.3 mostra o *layout* destes diodos com as suas respectivas pinagens.

OBJETIVOS

Estas diferentes estruturas dos capacitores e diodos foram projetadas para alcançar os seguintes objetivos:

- (a) Realizar as medidas CV dos capacitores MOS para determinar a capacitância em acumulação C_{ox} e verificar a espessura do óxido T_{ox} , a carga efetiva total no óxido Q_{ox} e a dopagem de substrato N_{sub} .
- (b) Pesquisar os fatores que afetam os parâmetros mencionados no item (a).
- (c) Comparar com resultados da literatura para avaliar o processo *CMOS* e a qualidade do óxido utilizado.
- (d) Utilizar os capacitores como componentes de circuitos.
- (e) Realizar medidas elétricas nos diodos para determinar suas características $I_D \times V_D$, tensão de limiar V_T , tensão de ruptura V_{BV} e determinar o coeficiente de idealidade η .
- (f) Verificar que os diodos de maior perímetro tem maior corrente de saturação da junção se a área é a mesma.
- (g) Realizar medidas CV dos diodos para desmembrar as componentes de área e de perímetro (2 diodos de mesma área e perímetros distintos) e extrair seus parâmetros V_j , C_{jo} , m .
- (h) Verificar que o diodo com menor dopagem (ilha N) tem maior tensão de ruptura (adequado para os diodos de potência) e que este tipo de diodo apresenta a densidade de corrente reversa baixa e a resistência série alta.

4.4 *CHIP3* - FOTODIODOS E CÉLULAS APS

O chip 3 oferece um conjunto de fotodiodos de diferentes formas e áreas. O mesmo chip oferece ainda outro conjunto de circuitos com sensores APS, do tipo modo tensão e de modo corrente (logarítmicas), que inclui circuitos isolados para conexão externa com qualquer dos fotodiodos. Todos os circuitos tem o mesmo esquema de circuitos. O esquema elétrico de uma célula APS é com três transistores NMOS (amplificador *M*, *reset* e *select*) e um transistor de carga comum a outras células. A figura 4.4 mostra o *layout* destes chips com as suas pinagens e a figura 4.5, o esquema elétrico do circuito sensor APS, [28] [29]. No capítulo 3 foi mostrado a análise de uma célula APS e as medidas feitas após a primeira fabricação do

processo *CMOS*. As células APS propostas no chip 3 estão disponíveis e foram feitas na segunda fabricação do processo *CMOS* local.

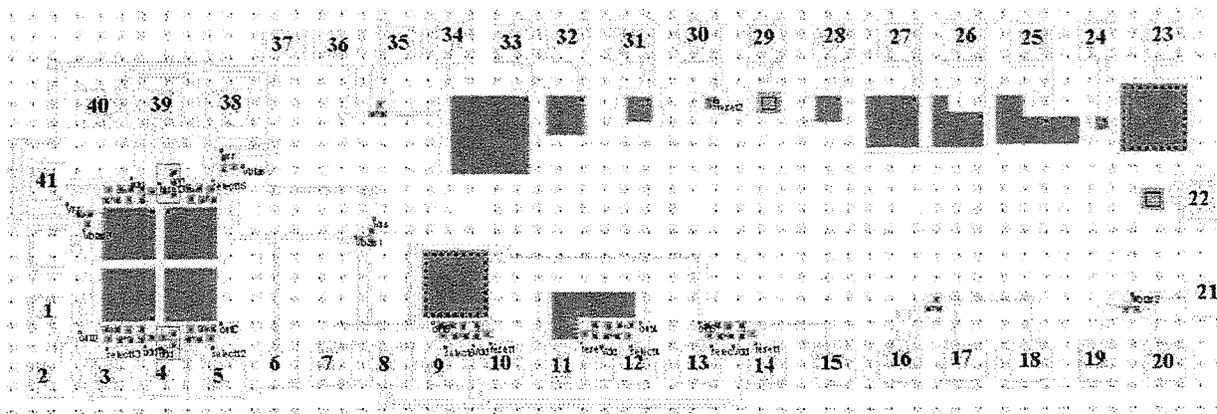


Figura 4.4 *Layout* do circuito sensor APS

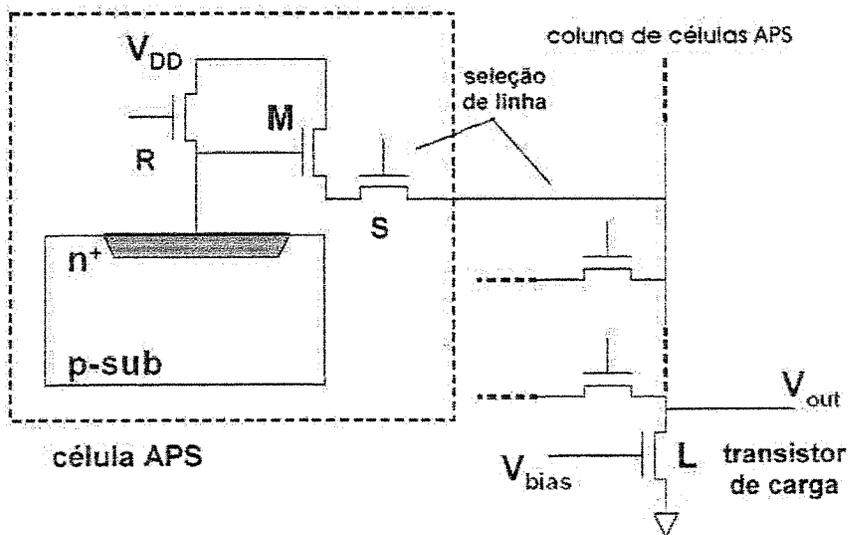


Figura 4.5 Esquema do circuito sensor APS

Os fotodiodos e as diferentes células APS contidas neste chip 3 foram projetadas para atingir os seguintes objetivos:

- (a) Pesquisar o comportamento do fotodiodo e sua tensão V_D na fase *reset* e na fase sinal.
- (b) Realizar medidas I-V nos fotodiodos nas condições de diferentes intensidades de luz para verificar o efeito da foto corrente.
- (c) Comparar as medidas dos diodos do chip 2 com os resultados obtidos no item (a) fotodiodos deste chip 3, os quais tem as mesmas áreas.
- (d) Pesquisar a polarização do circuito de leitura e o comportamento da tensão de saída na fase *reset* e na fase sinal.
- (e) Realizar medidas elétricas experimentais nas células APS, nos fotodiodos e no circuito de leitura nas condições de diferentes intensidades de luz.
- (f) Comparar com os resultados da literatura.

4.5 CHIP 4 - TRANSISTORES MOS

4.5.1 DESCRIÇÃO DAS ESTRUTURAS DO CHIP 4

O chip 4 oferece transistores NMOS e PMOS no mesmo esquema de ligações com L e W variáveis. O esquema dos circuitos é com todas as bases e as fontes ligadas. A figura 4.6 mostra o esquema do conjunto de transistores NMOS com L variável, constituído de 5 transistores NMOS conectados com base comum. O conjunto de transistores NMOS com W variável possui o mesmo esquema elétrico do conjunto de transistores de L variável, mas com 4 transistores NMOS com base e fonte comum.

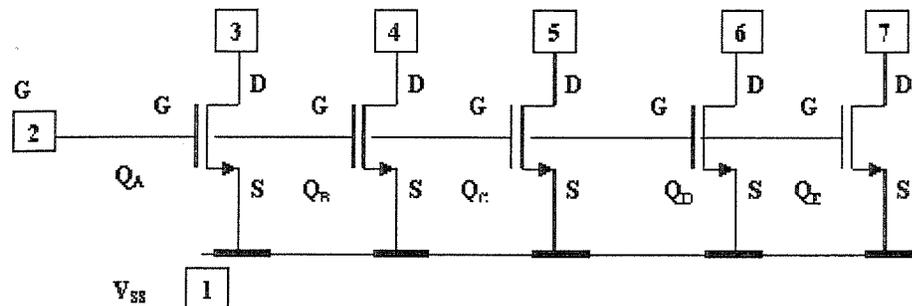


Figura 4.6 Esquema do conjunto de transistores NMOS com L variável

A figura 4.7 mostra o esquema do conjunto de transistores PMOS com L variável. O conjunto de PMOS com W variável possui o mesmo esquema do conjunto de transistores de L variável, mas, com 4 transistores PMOS com base e fonte comum.

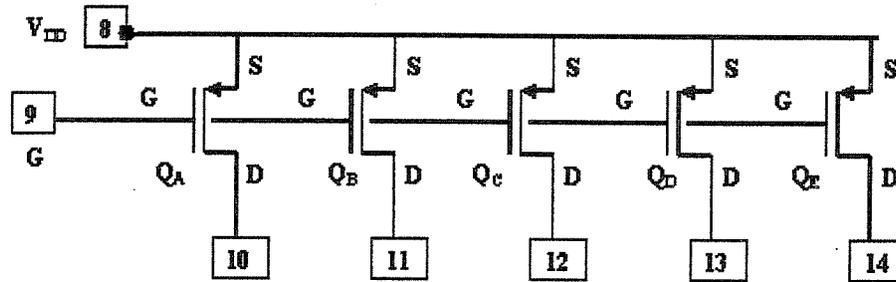


Figura 4.7 Esquema do conjunto de transistores PMOS com L variável

A figura 4.8 mostra o *layout* do chip 4 de transistores MOS, com todas as estruturas que correspondem aos esquemas elétricos explicados acima.

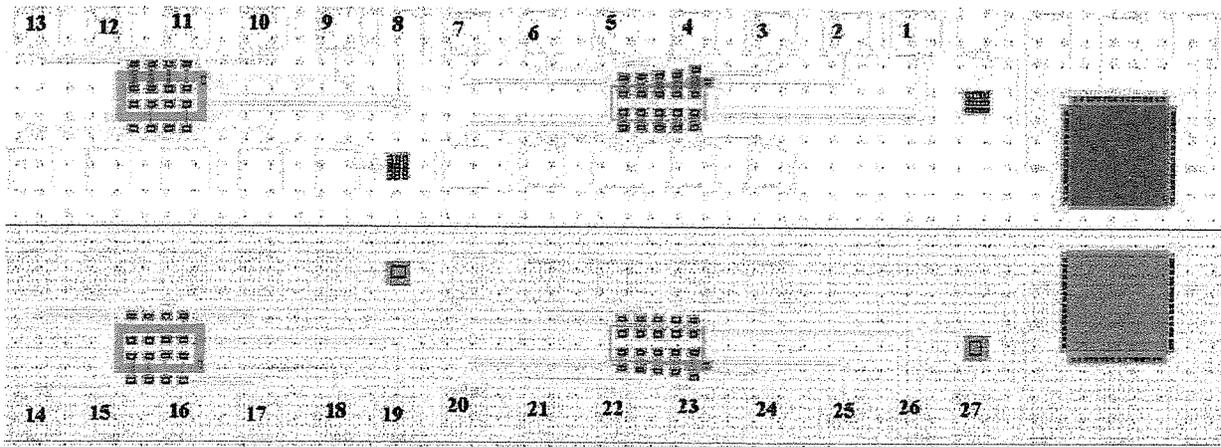


Figura 4.8 *Layout* do chip 4

Os transistores contidos neste chip 4 foram projetadas para atingir os seguintes objetivos:

- Realizar a extração dos parâmetros nos transistores a partir das medidas de caracterização elétrica de dreno e de porta, assim como extrair a tensão de limiar com $V_{sb}=0$ e o parâmetro γ nas condições de uma faixa de tensões de substrato (V_{sb});
- Pesquisar e determinar o comprimento efetivo de porta L_{eff} e o comprimento de porta de polisilício a partir dos parâmetros medidos de transcondutância g_m ;
- Realizar a extração dos parâmetros nos transistores da região sublimiar; e
- Concluir com uma tabela de parâmetros para o simulador *Spice* modelo 3.

4.6 CHIP 5: INVERSORES E OSCILADOR EM ANEL

Os circuitos inversores e o oscilador em anel contidos neste chip 5 foram projetados para atingir os seguintes objetivos:

- (a) Pesquisar o comportamento do circuito inversor e sua tensão de saída V_{OUT} através da medida da curva de transferência $V_{IN} \times V_{OUT}$
- (b) Realizar medidas para diferentes dimensões de W dos transistores PMOS e verificar o deslocamento da curva de transferência e conferir com o análise teórico dos fatores de ganho (β).
- (c) Analisar o circuito oscilador em anel que tem uma ligação série de vários inversores.
- (d) Realizar medidas elétricas experimentais no circuito oscilador, frequência de oscilação, forma de onda e tensão de saída.
- (e) Comparar com os resultados da literatura.

4.6.1 DESCRIÇÃO DAS ESTRUTURAS DO CHIP 5

Uma descrição inicial dos circuitos inversores e do oscilador em anel do chip 5 é apresentada através do *layout* mostrado na figura 4.9. Este chip 5 é composto de nove circuitos inversores e de um oscilador. Temos três inversores com variação de W nos transistores PMOS para verificar a simetria da curva de transferência.

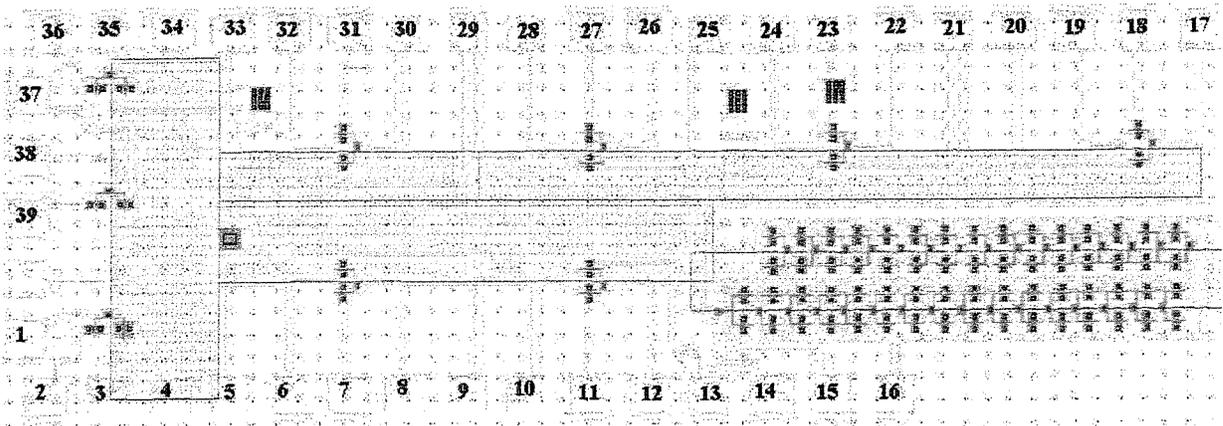


Figura 4.9 *Layout* do chip 5 – Inversores e Osciladores em Anel

4.7 CHIP.6 - AMPLIFICADORES OPERACIONAIS

4.7.1 DESCRIÇÃO DAS ESTRUTURAS DO CHIP 6

A figura 4.10 mostra o *layout* do chip 6 que é composto de quatro amplificadores operacionais onde algumas etapas dos circuitos estão isoladas na alimentação V_{DD} para poder medir a corrente de cada etapa em forma independente. Uma descrição inicial dos circuitos analógicos do chip 6 é apresentada através dos esquemas elétricos dos amplificadores operacionais e suas etapas. Assim a figura 4.11 mostra um amplificador operacional *CMOS* simples que pode ser encontrado na literatura como um caso de estudos [30] e [31].

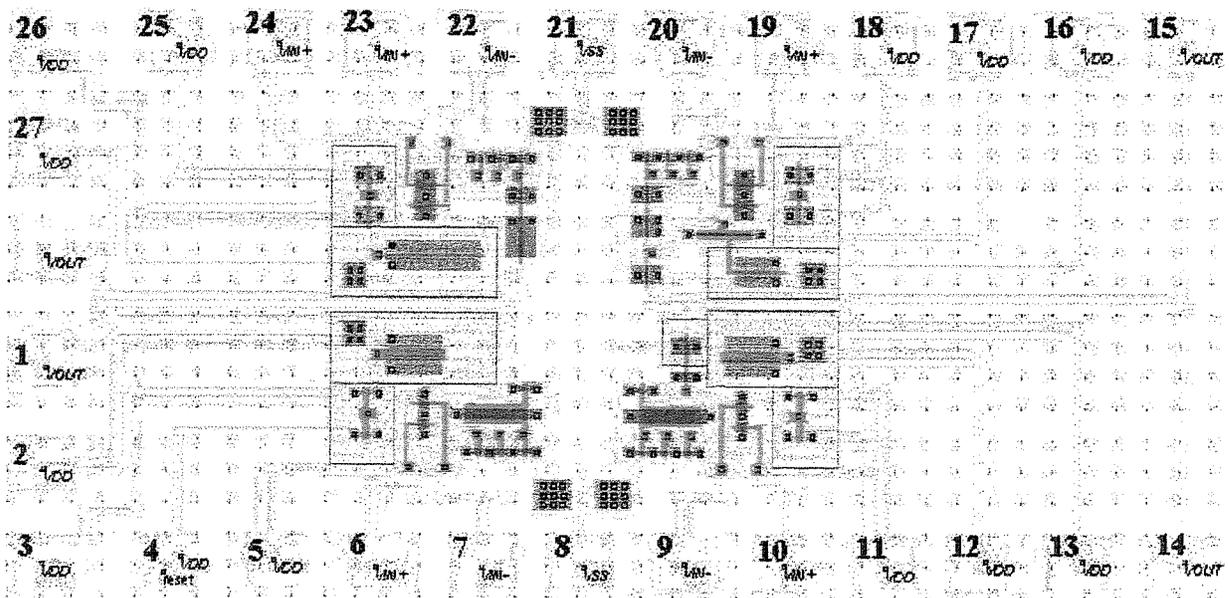


Figura 4.10 Layout do chip 6 – Amplificadores Operacionais

O circuito operacional segue o seguinte esquema de etapas mostrado na figura 4.11:

- Amplificador diferencial de entrada (ou par diferencial).
- Amplificador de saída.

Este circuito operacional é básico porque só tem estas duas etapas, mas é ótimo para o objetivo didático. Outros amplificadores mais completos e avançados têm mais etapas como o

Este circuito operacional é básico porque só tem estas duas etapas, mas é ótimo para o objetivo didático. Outros amplificadores mais completos e avançados têm mais etapas como o amplificador de deslocamento de nível, um segundo amplificador diferencial, um circuito limitador de corrente na saída, uma segunda etapa de saída e um circuito de compensação. Um circuito amplificador operacional completo, básico ou avançado, deve ter circuitos de polarização com espelhos de corrente.

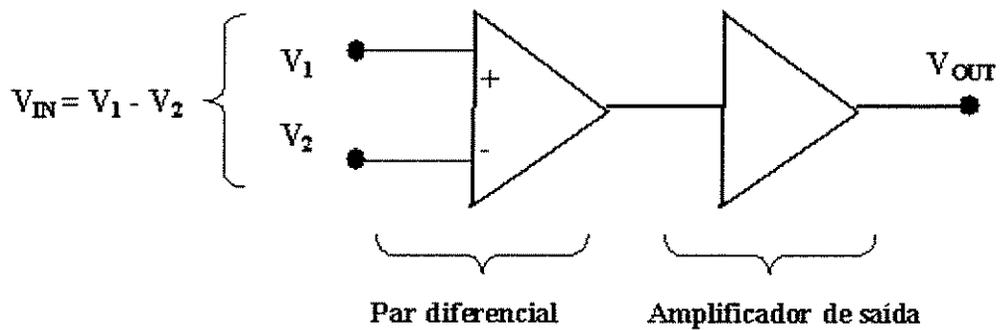


Figura 4.11 Esquema Elétrico do Amplificador Operacional

Etapas dos circuitos do Amplificador Operacional 1

O Amplificador Operacional 1 está formado pelos seguintes circuitos:

- a) **O amplificador diferencial de entrada** segue o esquema elétrico mostrado na figura 4.12. Os quadrados tem os números dos terminais (*Pad's*) no chip e estes são para as seguintes finalidades:

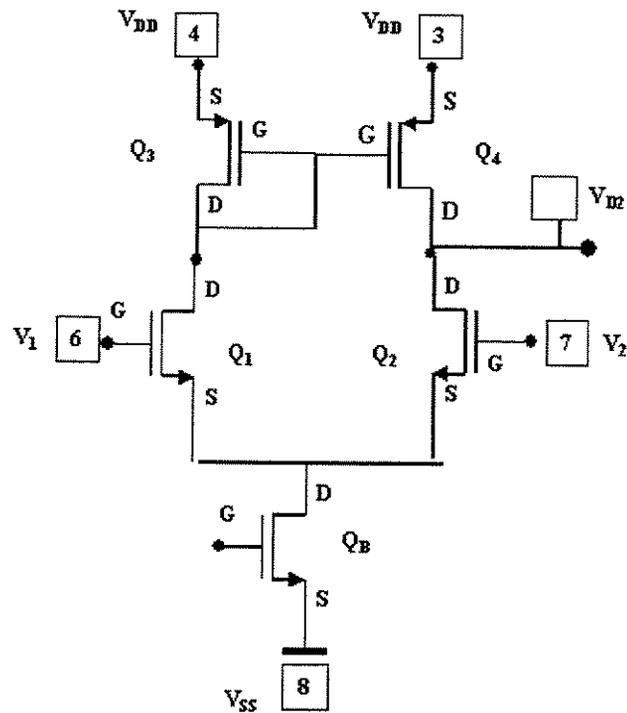


Figura 4.12 Amplificador diferencial de entrada

Os terminais 6 e 7 são as entradas do amplificador: V1 entrada inversora (-) e V2 entrada não inversora (+). Os terminais 4 e 3 são as alimentações V_{DD} que são isoladas para medir as correntes dos transistores seriados Q_3/Q_1 e Q_4/Q_2 respectivamente. O terminal 8 é a alimentação V_{SS} do amplificador diferencial de entrada. O terminal V_{D2} é a saída e a porta do transistor Q_B está ligado ao circuito espelho de corrente.

b) **O Amplificador de saída** segue o seguinte esquema elétrico mostrado na figura 4.13.

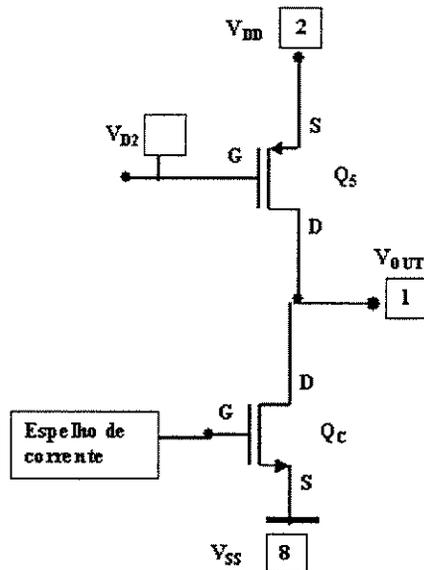


Figura 4.13 Amplificador de saída

O terminal 1 é a saída V_{OUT} do amplificador de saída. O terminal 2 é a alimentação V_{DD} do amplificador de saída. O terminal 8 é a alimentação V_{SS} do amplificador de saída.

- c) **O circuito espelho de corrente** segue o esquema elétrico simplificado que mostra a figura 4.14. A fonte de corrente de referência está formada com os transistores Q_D e Q_E como é mostrada na figura 4.15.

O terminal 5 é a alimentação V_{DD} do circuito espelho.

O terminal 8 é a alimentação V_{SS} do circuito espelho.

O Amplificador Operacional 1

A figura 4.16 mostra o Amplificador Operacional 1 completo formado pelas etapas de espelho de corrente, par diferencial e etapa de saída cujos circuitos foram mostrados isoladamente nas figuras 4.12, 4.13, 4.14 e 4.15 e explicadas em (a), (b) e (c). Observa-se que existem terminais de V_{DD} de alimentação independente para cada etapa circuital, assim poderemos medir a corrente de cada circuito. **Mark N. Horenstein** é a referência utilizada para o projeto e análise deste circuito. Este circuito segue a nomenclatura e as dimensões dos transistores do exemplo 12.4 da referência [30] e foram adicionadas as dimensões para Q_D e

Q_E. A tabela 4.1 mostra estas dimensões de W e L em μm para todos os transistores do amplificador 1.

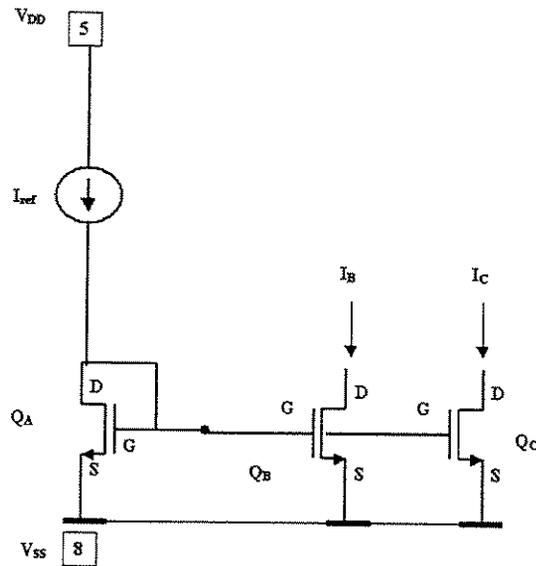


Figura 4.14 Circuito espelho de corrente

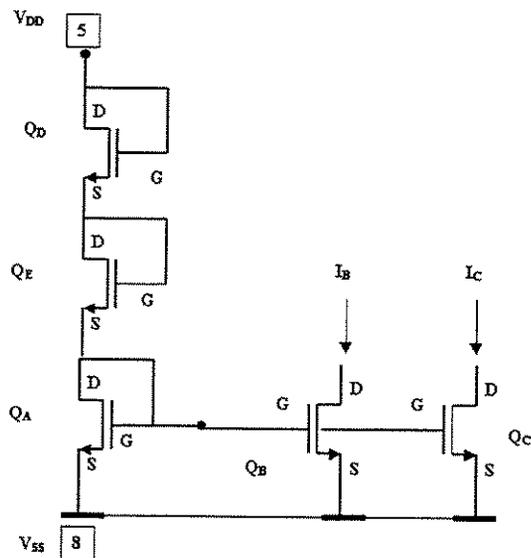


Figura 4.15 Circuito espelho de corrente do opam1

Tabela 4.1 Dimensões de W e L em μm para os transistores do amplificador 1

| | ← Espelho de corrente → | | | | | ← par diferencial → | | | | saída |
|---------------------|-------------------------|-------|-------|-------|-------|---------------------|-------|-------|-------|-------|
| | Q_A | Q_B | Q_C | Q_D | Q_E | Q_1 | Q_2 | Q_3 | Q_4 | Q_5 |
| W (μm) | 10 | 20 | 10 | 10 | 10 | 20 | 20 | 5 | 5 | 90 |
| L (μm) | 10 | 100 | 10 | 10 | 10 | 5 | 5 | 11 | 11 | 20 |

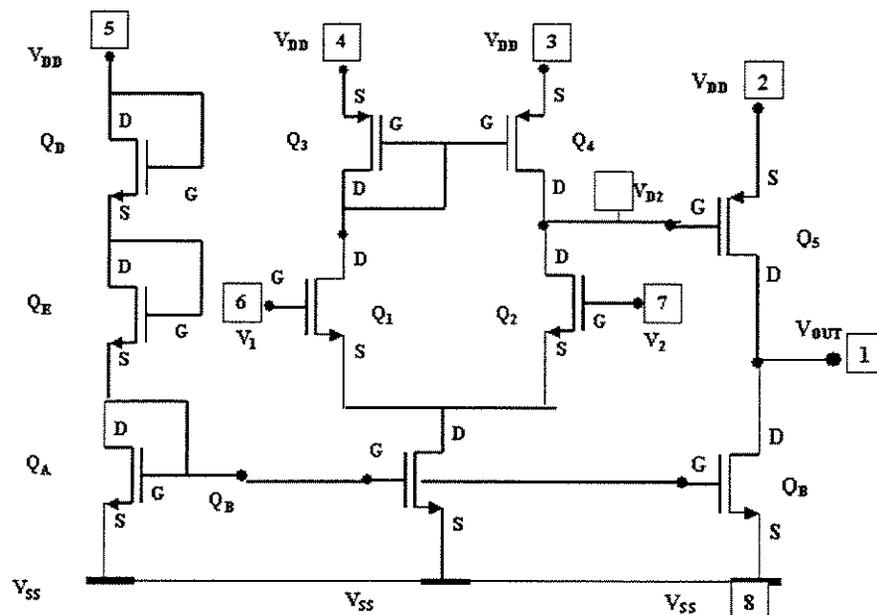


Figura 4.16 Amplificador Operacional 1

Etapas de circuitos do Amplificador Operacional 2

O Amplificador Operacional 2 é uma versão melhorada do amplificador operacional 1 onde a etapa dos circuitos de saída foi modificada e as etapas de espelho de corrente e par diferencial permanecem iguais. O Amplificador Operacional 2 está formado pelos seguintes circuitos:

a) **O amplificador diferencial de entrada** segue o mesmo esquema elétrico mostrado na figura 4.12. Os quadrados tem os números dos terminais (*Pad's*) no chip e estes são para as seguintes finalidades:

Os terminais 10 e 9 são as entradas do amplificador: V1 entrada inversora (-) e V2 entrada não inversora (+). O terminal 11 é a alimentação V_{DD} que agora alimenta também o circuito espelho de corrente. O terminal 8 é a alimentação V_{SS} do amplificador operacional 2 e é comum também para o amplificador operacional 1.

b) **O Amplificador de saída** segue o seguinte esquema elétrico mostrado na figura (4.3).

O terminal 14 é a saída V_{OUT} do amplificador operacional 2. O terminal 13 é a alimentação V_{DD} do par complementar Q_6 e Q_7 . O terminal 12 é a alimentação V_{DD} do seguidor fonte comum Q_5 . O terminal 8 é a alimentação V_{SS} do amplificador operacional 2.

A figura 4.17 mostra o Amplificador de saída com o par complementar Q_6 e Q_7 e o seguidor fonte comum Q_5 com sua carga ativa Q_C . A expressão do ganho deste amplificador de saída é:

$$\frac{v_{OUT}}{v_{IN}} = \frac{g_{m5}g_{m6}r_{0C}r_{06}}{(1+g_{m5}r_{0C})(1+g_{m4}r_{06})} \quad (4.1)$$

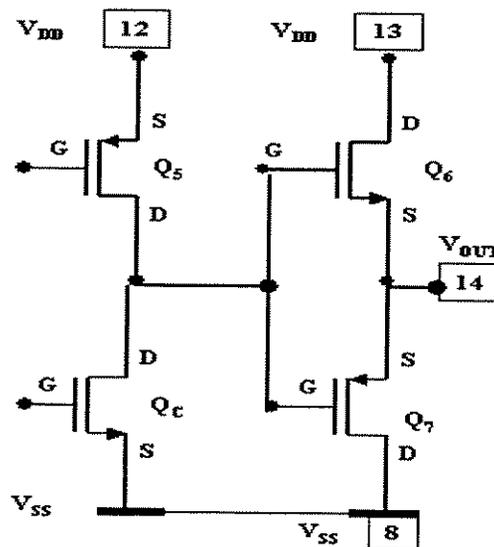


Figura 4.17 Amplificador de saída com par complementar e seguidor fonte comum

- c) **O circuito espelho de corrente** segue o mesmo esquema elétrico mostrado na figura 4.14. A fonte de corrente de referência está formada com os transistores Q_D e Q_E como indicado na figura 4.15.

O terminal 11 é a alimentação V_{DD} do circuito espelho que é comum com o par diferencial. O terminal 8 é a alimentação V_{SS} do circuito espelho que é comum para todas as etapas do amplificador operacional 2

O Amplificador Operacional 2

A figura 4.18 mostra o Amplificador Operacional 2 completo formado pelas etapas de espelho de corrente, par diferencial e etapa de saída cujos circuitos foram mostrados isoladamente nas figuras 4.12, 4.13, 4.14 e 4.15 e explicadas em (a), (b) e (c). Observa-se que existem terminais de V_{DD} de alimentação independente para o par complementar Q_6 e Q_7 e alimentação para o seguidor fonte comum Q_5 , assim poderemos medir a corrente destes circuitos. **Mark N. Horenstein** é a referência utilizada para o desenho e análise deste circuito. Este circuito segue a nomenclatura e as dimensões dos transistores do exemplo 12.3 da referência [30] e foram adicionadas as dimensões para Q_6 e Q_7 . A tabela 4.2 mostra estas dimensões de W e L em μm para todos os transistores do amplificador 2.

O terminal 13 é a alimentação V_{DD} dos transistores Q_4 e Q_7 , e o terminal 12 é a alimentação V_{DD} dos transistores Q_5 e Q_c .

Tabela 4.2 Dimensões de W e L em μm para os transistores do amplificador 2

| | ← Espelho de corrente → | | | | | ← par diferencial → | | | | ← saída → | | |
|---------------|-------------------------|-------|-------|-------|-------|---------------------|-------|-------|-------|-----------|-------|-------|
| μm | Q_A | Q_B | Q_C | Q_D | Q_E | Q_1 | Q_2 | Q_3 | Q_4 | Q_5 | Q_6 | Q_7 |
| W | 10 | 20 | 10 | 10 | 10 | 20 | 20 | 5 | 5 | 90 | 15 | 25 |
| L | 10 | 100 | 10 | 10 | 10 | 5 | 5 | 11 | 11 | 20 | 5 | 5 |

poderemos medir a corrente de cada circuito. **R.Gregorian, G.Temes** é a referência utilizada para o projeto e análise deste circuito. Este circuito segue a nomenclatura e as dimensões dos transistores do exemplo 4.15 da referência [31] onde o projeto tem que satisfazer especificações de ganho, frequência de ganho unitário f_0 , *slew rate*, CMMR e impedância de carga.. A tabela 4.3 mostra as dimensões de W e L em μm para todos os transistores do amplificador 3.

Tabela 4.3 - Dimensões de W e L em μm para os transistores do amplificador 3

| | ← Espelho de corrente → | | | | ← par diferencial → | | | | saída | |
|-----------------------|-------------------------|-------|-------|----------|---------------------|-------|-------|-------|-------|-------|
| | Q_{13} | Q_5 | Q_7 | Q_{11} | Q_{12} | Q_1 | Q_2 | Q_3 | Q_4 | Q_6 |
| W (μm) | 13,5 | 27 | 66,5 | 30 | 5 | 33 | 33 | 30 | 30 | 150 |
| L (μm) | 5 | 5 | 5 | 5 | 233 | 5 | 5 | 5 | 5 | 5 |

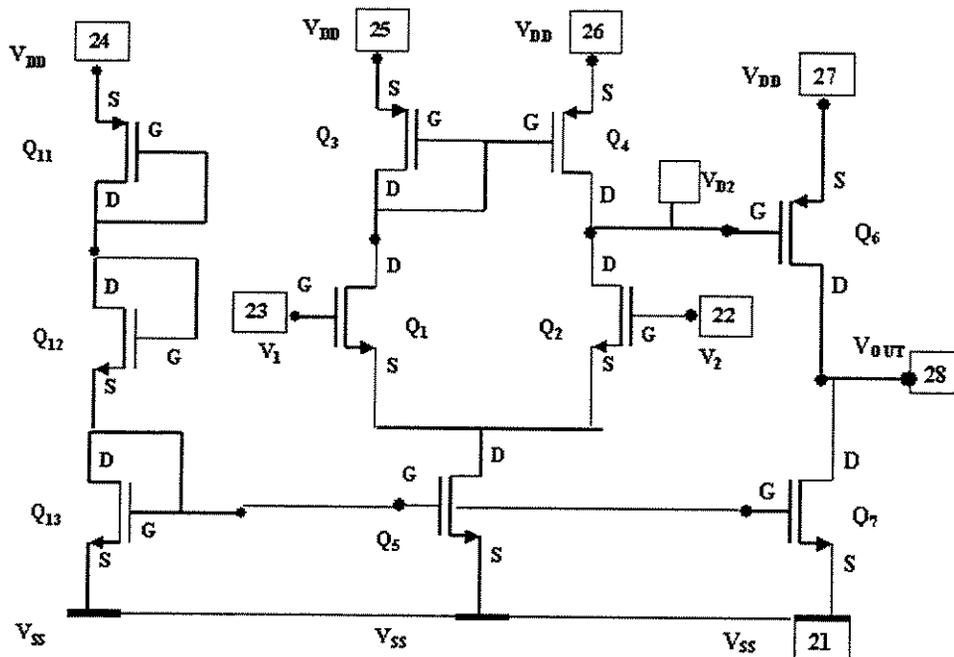


Figura 4.20 Amplificador Operacional 3

O terminal 15 é a saída V_{OUT} do amplificador de saída. O terminal 13 é a alimentação V_{DD} do par complementar Q_6 e Q_7 . O terminal 12 é a alimentação V_{DD} do seguidor fonte comum Q_9 . O terminal 21 é a alimentação V_{SS} do amplificador de saída.

- c) **O circuito espelho de corrente** segue o esquema elétrico que mostra a figura 4.19 onde a fonte de corrente de referência está formada com os transistores Q_{11} e Q_{12} .

O terminal 18 é a alimentação V_{DD} do circuito espelho e o terminal 21 é a alimentação V_{SS} do circuito espelho.

O Amplificador Operacional 4

A figura 4.22 mostra o Amplificador Operacional 4 completo formado pelas etapas de espelho de corrente, par diferencial e etapa de saída cujos circuitos foram mostrados isoladamente nas figuras 4.12, 4.21 e 4.19 e explicadas em (a), (b) e (c). Observa-se que existem terminais de V_{DD} de alimentação independente para o par complementar Q_6 e Q_7 e alimentação para o seguidor fonte comum Q_9 , assim é possível medir a corrente destes circuitos. **R.Gregorian, G.Temes** é a referência utilizada para o projeto e análise deste circuito. Este circuito segue a nomenclatura e as dimensões dos transistores do exemplo 4.14 da referência [31] onde o projeto tem que satisfazer especificações de ganho, frequência de ganho unitário f_o , *slew rate*, CMMR e impedância de carga.. A tabela 4.4 mostra as dimensões de W e L em μm para todos os transistores do amplificador operacional 4.

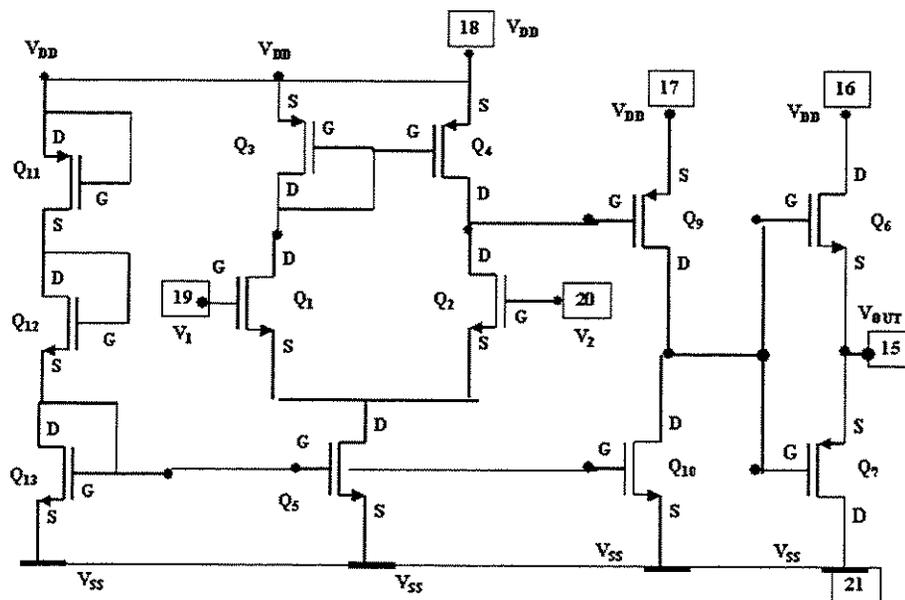


Figura 4.22 Amplificador Operacional 4

Tabela 4.4 Dimensões W e L do Circuito Espelho de Corrente do opam4

| | ← Espelho de corrente → | | | | | ← par diferencial → | | | | ← saída → | | |
|----|-------------------------|----------------|-----------------|-----------------|-----------------|---------------------|----------------|----------------|----------------|----------------|----------------|----------------|
| μm | Q ₁₃ | Q ₅ | Q ₁₀ | Q ₁₁ | Q ₁₂ | Q ₁ | Q ₂ | Q ₃ | Q ₄ | Q ₉ | Q ₆ | Q ₇ |
| W | 13,5 | 27 | 35,5 | 30 | 5 | 33 | 33 | 30 | 30 | 5 | 73 | 32 |
| L | 5 | 5 | 5 | 5 | 233 | 5 | 5 | 5 | 5 | 88 | 5 | 5 |

4.8 GUIA DE MEDIDAS DE CARACTERIZAÇÃO DOS *CHIPS* DIDÁTICOS

Esta guia de medidas tem o objetivo de fornecer instruções para realizar os trabalhos experimentais e comparar com a teoria das disciplinas de eletrônica e de processos de microeletrônica. Assim apresenta-se uma utilização programada dos *chips didáticos* 3 e 6 a modo de exemplo, sendo os mais complexos para analisar, a fim de mostrar algumas possibilidades de aplicação que podem ser feitas com os chips propostos.

CHIP 3: TRANSISTORES MOS

- A partir do *layout* dos transistores obter o circuito elétrico dos mesmos. Os números dos terminais são indicados na figura.
- Meça as características $I_D \times V_{DS}$ de um transistor.
- Extrapole as retas da região de saturação e obter o parâmetro V_A .

As instruções usando o programa Origin são as seguintes:

Para seleccionar a faixa da curva na região de saturação, seguir a seguinte seqüência:

Selecionar Data /IC6 (exemplo da curva IC6).
 Sobre a curva IC6 accionar o botão direito do mouse e seleccionar *Edit Range*.
 Na janela aberta, preencher a faixa da curva e acionar **OK**.

Para obter a equação linear:

Selecionar *Analysis / fit linear*
 Abrirá uma janela com a equação da reta.

Para obter a tensão V_A graficamente:

Seleccionar *Graph / Add function graph*.
 Na janela aberta, escrever a equação linear.
 Acionar OK e aparece a reta extrapolada até $y=0$.

d) Calcular o parâmetro λ :

Valor esperado:

Os valores calculados do parâmetro λ de transistores NMOS e PMOS são mostrados na tabela 4.5

Tabela 4.5 Parâmetros V_A e λ determinados experimentalmente

| Transistor | PMOS | | NMOS | |
|---------------------------------------|--------|-------------------------|--------|------------------------|
| | V_A | $\lambda=1/V_A$ | V_A | $\lambda=1/V_A$ |
| W=20 μm L=20 μm | 79 V | 0,01266 V^{-1} | -237 V | 0,0042 V^{-1} |
| W=20 μm L=10 μm | 21,5 V | 0,04651 V^{-1} | -107 V | 0,0093 V^{-1} |
| W=20 μm L=4 μm | 19 V | 0,05263 V^{-1} | -28 V | 0,0357 V^{-1} |
| W=20 μm L=3 μm | 10 V | 0,10000 V^{-1} | | |

e) Calcular o parâmetro gamma (γ)

Utilizar as expressões :

$$V_{T1} = V_{T0} + \gamma_1 (\sqrt{(2\phi_F + V_{sb1})} - \sqrt{2\phi_F}), \quad (4.2)$$

$$V_{T2} = V_{T0} + \gamma_2 (\sqrt{(2\phi_F + V_{sb2})} - \sqrt{2\phi_F}), \quad (4.3)$$

$$V_{T3} = V_{T0} + \gamma_2 (\sqrt{(2\phi_F + V_{sb2})} - \sqrt{2\phi_F}), \quad (4.4)$$

Valor esperado:

Os valores calculados do parâmetro gamma (γ) são mostrados na tabela 4.6

Tabela 4.6 Parâmetros V_T e γ calculados

| Transistor | V_T | Vsb | gamma | Valor médio de gama |
|---------------------------------------|-------|-----|-------|---------------------|
| W=20 μm L=20 μm | 0,83V | 0 | | 0,839 |
| | 1,26V | -1V | 0,877 | |
| | 1,54 | -2 | 0,847 | |
| | 1,72 | -3 | 0,793 | |

f) Calcular a mobilidade (μ):

Pode-se calcular a mobilidade em função da transcondutância para uma determinada relação L_{eff}/W .

$$\mu = (L_{eff} / W) * 8,6879 \times 10^7 \text{ *gm} \quad (4.5)$$

CHIP.6: AMPLIFICADORES OPERACIONAIS

Este *chip* é composto de quatro amplificadores operacionais e suas etapas espelho de corrente, par diferencial e etapa de saída que tem alimentação V_{DD} independente para poder medir a corrente de cada etapa.

I). Amplificador operacional 1:

- a) A partir do *layout* do amplificador operacional 1, determine o circuito elétrico do mesmo. Os números dos terminais estão indicados na figura.
- b) Meça isoladamente as correntes de polarização das etapas do amplificador operacional 1. A corrente de referência deve ser ajustada para 20 μA . As tensões de entrada V_1 e V_2 devem conectar-se na terra (0Volt)

O Amplificador diferencial de entrada: corrente do terminal 3

| |
|-------------------|
| $I_4 = I_B / 2 =$ |
|-------------------|

corrente do terminal 4

| |
|-------------------|
| $I_3 = I_B / 2 =$ |
|-------------------|

O Amplificador de saída: corrente do terminal 2

| |
|---------------|
| $I_5 = I_C =$ |
|---------------|

O circuito espelho de corrente corrente do terminal 5

| |
|---------------|
| $I_A = I_o =$ |
|---------------|

- c) Verificar os valores medidos de correntes de polarização com as relações dimensionais W/L .

$$I_A = I_o = \text{corrente de referência}$$

Como V_{GSA} é igual a V_{GSB} (figura 4.14) e sabendo que: $|V_{GS}| = \sqrt{\frac{I_D}{|K|}} + |V_{TR}|$

$$\text{Resolvendo : } \frac{I_A}{K_A} = \frac{I_B}{K_B} \quad (4.6)$$

Logo, a corrente I_B é proporcional à corrente de referência I_o . Verificar o valor medido com o valor calculado de (4.7):

$$I_B = \frac{K_B}{K_A} I_A = \frac{\frac{W_B}{L_B}}{\frac{W_A}{L_A}} I_o \quad (4.7)$$

De forma similar a corrente I_C é proporcional à corrente de referência I_o . Verificar o valor medido com o valor calculado de (4.8).

$$I_C = \frac{K_C}{K_A} I_A = \frac{\frac{W_C}{L_C}}{\frac{W_A}{L_A}} I_o \quad (4.8)$$

- d) Calcular as tensões nos nós utilizando parâmetros do processo de fabricação: $C_{OX} = C_{max}=44\text{pF}$ e tensão de limiar $V_{Tn}=0,8\text{V}$ e $V_{Tp}=-0,8\text{V}$
- e) Meça os parâmetros do amplificador operacional 1. Todas as ligações externas necessárias para a polarização deste amplificador operacional 1 deverão ser feitas e verificadas com o professor.

| | |
|----------------------------------|----------------------|
| Ganho | <input type="text"/> |
| Tensão de <i>offset</i> de saída | <input type="text"/> |
| Impedância de entrada | <input type="text"/> |
| Impedância de saída | <input type="text"/> |

II Amplificador operacional 2

- A partir do *layout* do amplificador operacional 2, determine o circuito elétrico do mesmo. Os números dos terminais está indicada na figura. Observe que é o mesmo amplificador operacional 1 mas com outra etapa de saída.
- Meça isoladamente as correntes de polarização da etapa de saída do amplificador operacional 2. Ajuste a corrente do terminal 11 com o valor obtido no caso anterior (amplificador 1). As tensões de entrada V_1 e V_2 devem conetar-se na terra (0Volt).

Amplificador diferencial de entrada
+ O circuito espelho de corrente :

corrente do terminal 11

$$I_{11} = I_B + I_0 =$$

O Amplificador de saída:

• O par complementar: corrente do terminal 13

$$I_{13} = I_{14} =$$

• O seguidor fonte comum: corrente do terminal 12

$$I_{12} = I_C =$$

- Verificar os valores medidos de correntes de polarização das etapas com as relações dimensionais W/L.
- Calcular as tensões nos nós utilizando parâmetros do processo de fabricação: $C_{OX} = C_{max} = 44\text{pF}$ e tensão de limiar $V_{Tn} = 0,8\text{V}$ e $V_{Tp} = -0,8\text{V}$.

Meça os parâmetros do amplificador operacional 2. Todas as ligações externas necessárias para a polarização deste amplificador operacional 2 deverão ser feitas. Para isto verificar com o professor o levantamento do circuito.

Ganho

Tensão de *offset* de saída

Impedância de entrada

Impedância de saída

II Amplificador operacional 3

- a) A partir do *layout* do amplificador operacional 3, determine o circuito elétrico do mesmo. Os números dos terminais está indicada na figura 4.20.
- b) Meça isoladamente as correntes de polarização das etapas do amplificador operacional 1. A corrente de referência deve ser ajustada para 20 μA . As tensões de entrada V_1 e V_2 devem ser conectadas a terra (0Volt).

| | | |
|---|-------------------------|----------------------|
| Amplificador diferencial de entrada: | corrente do terminal 26 | $I_4 = I_B/2 =$ |
| | Corrente do terminal 25 | $I_3 = I_B/2 =$ |
| O Amplificador de saída: | corrente do terminal 27 | $I_6 = I_7 =$ |
| O circuito espelho de corrente | corrente do terminal 24 | $I_{13} = I_{ref} =$ |

- c) Verificar os valores medidos das correntes de polarização das etapas dos circuitos amplificadores com as relações dimensionais W/L.
As relações com a nomenclatura do circuito são:

$$I_o = \frac{K_5}{K_{13}} I_{13} = \frac{\frac{W_5}{L_5}}{\frac{W_{13}}{L_{13}}} I_{ref} \quad (4.9)$$

$$I_C = \frac{K_7}{K_{13}} I_{13} = \frac{\frac{W_7}{L_7}}{\frac{W_{13}}{L_{13}}} I_o \quad (4.10)$$

- d) Calcular as tensões nos nós dos circuitos amplificadores utilizando parâmetros do processo de fabricação: $C_{OX} = C_{max} = 44\text{pF}$ e tensão de limiar $V_{Tn} = 0,8\text{V}$ e $V_{Tp} = -0,8\text{V}$.
- e) Meça os parâmetros do amplificador operacional 3. Todas as ligações externas necessárias para a polarização deste amplificador operacional 1 deverão ser feitas. Para isto verificar com o professor o levantamento do circuito.

| | |
|--------------------------------------|----------------------|
| Ganho | <input type="text"/> |
| Tensão de <i>offset</i> de saída | <input type="text"/> |
| Impedância de entrada | <input type="text"/> |
| Impedância de saída | <input type="text"/> |
| frequência de ganho unitario f_o , | <input type="text"/> |
| <i>slew rate</i> , | <input type="text"/> |
| CMMR | <input type="text"/> |

CONCLUSÕES DO CAPÍTULO 4

Neste capítulo foram apresentadas as experiências propostas para a utilização de 6 chips didáticos que cobrem a aprendizagem básica dos dispositivos e dos circuitos. Foi apresentada a utilização de transistores e circuitos de dimensões de comprimento de porta até de $L_{poli} = 2\mu\text{m}$ e $L_{eff} = 1,4\mu\text{m}$, sendo menores que as usadas em chips comerciais similares ($\sim 100\mu\text{m}$). Um conjunto de capacitores, transistores, diodos, fotodiodos e células APS são algumas novas opções apresentadas com bons resultados cobrindo algumas lacunas deixadas por um chip similar comercial. Em termos específicos foram apresentados neste Capítulo 4, o projeto de um conjunto de chips didáticos com os dispositivos projetados e suas estruturas, a fim de realizar a caracterização de dispositivos efetuados no chip teste e a extração de parâmetros para o simulador Spice através de métodos de extração, e também a extração de parâmetros para a caracterização de processo através das medidas CV, apresentados no capítulo 3. Os *chips* didáticos foram projetados e apresentados com seus respectivos *layouts*, sendo um conjunto de 6 chips didáticos.

O chip didático 1 oferece resistores de Alumínio (metal), de material tipo P, de material tipo N e de polisilício dopado N^+ na forma de estruturas Van-der-Pauw. As estruturas Van-der Pauw são de material N^+ , P^+ e de polisilício. As medidas realizadas durante o processo de fabricação e as medidas de resistência de folha destas estruturas são compatíveis.

O chip didático 2 oferece um conjunto de capacitores e diodos que descrevemos e que têm várias finalidades indicadas como objetivos associadas as medidas e extração de parâmetros apresentados no capítulo 3. (curva CV dos capacitores, curva CV dos diodos).

O chip didático 3 oferece um conjunto de fotodiodos de diferentes formas e áreas. O mesmo chip oferece ainda outro conjunto de circuitos com sensores APS, que foram descritos.

O chip didático 4 oferece transistores NMOS e PMOS que foram descritos com esquemas de ligações do conjunto de transistores NMOS com L variável e W fixo e do conjunto de transistores NMOS com W variável e L fixo. Outros conjuntos semelhantes mas com transistores PMOS também estão disponíveis neste chip 4, que têm várias finalidades indicadas como objetivos associadas as medidas e extração de parâmetros apresentados no capítulo 3. (parâmetros Spice modelo nível 3).

O chip didático 5 é composto dos circuitos inversores e do oscilador em anel o qual foi apresentado através do *layout* mostrado na figura 4.9. Este chip 5 é composto de nove circuitos inversores e de um oscilador. Temos três inversores com variação de W nos transistores PMOS para verificar a simetria da curva de transferência. A medida obtida dos inversores é a curva de transferência teve resultados satisfatórios.

O chip didático 6 é composto de quatro amplificadores operacionais onde algumas etapas dos circuitos estão isoladas na alimentação V_{DD} para poder medir a corrente de cada etapa em forma independente. A descrição foi apresentada através dos esquemas elétricos e *layout* dos amplificadores operacionais e suas etapas. Os amplificadores operacionais são facilmente encontrados como casos de estudo na literatura, e cada um é composto de: (a) amplificador diferencial de entrada, (b) amplificador de saída, e (c) circuito espelho de corrente, sendo estes amplificadores operacionais adequados para a finalidade didática.

Concluimos que as experiências propostas neste capítulo utilizando o conjunto de chips didáticos projetados, são ótimos para a finalidade experimental das disciplinas de eletrônica e de processos de microeletrônica em condições de tecnologia mais atualizada e de maior disponibilidade de dispositivos e circuitos que um similar comercial.

CAPÍTULO 5 - COMPARAÇÕES DE PROCESSOS E DE RESULTADOS DE MEDIDAS ENTRE O PROCESSO *CMOS* DO CCS E INTERNACIONAL

5.1 INTRODUÇÃO

Neste capítulo 5 são apresentadas as comparações entre o nosso processo *CMOS* com outro de origem internacional, onde tomamos como referência o processo recentemente desenvolvido (ano 2000) na Universidade de Califórnia. Assim, os parâmetros da tecnologia *CMOS* de 1,3 μm -UC - Berkeley [20] e tecnologia *CMOS* de 2 μm -CCS-Unicamp são apresentados para sua comparação e verificar semelhanças e diferenças. A diferença mais notável está na litografia do processo *CMOS* de UC - Berkeley que utiliza 12 fotografações com 12 máscaras e verificamos está diferença através da apresentação e comparação das etapas de fotografação *CMOS* de ambas tecnologias. Apresentamos também as etapas de implantação iônica no processo *CMOS* de ambas tecnologias, onde verificamos que:

- a UC tem 3 implantações a mais que o processo do CCS;
- a implantação de ajuste de V_T em ambos os processos é feito com Boro para os transistores NMOS e PMOS;
- a implantação de fonte/dreno N^+ da UC é feito só com o Arsênio e no processo CCS é feito com Arsênio e Fósforo.

Apresentamos as concentrações de dopantes nas regiões de porta e nas regiões de fonte/dreno verificando as semelhanças e as diferenças. As características elétricas de um transistor da referência são comparadas com as de outro transistor de nossa fabricação com L similar. Assim, o transistor NMOS, com a relação $W/L=10/1$ e $L=1\mu\text{m}$ da UC - Berkeley, é utilizado para fazer as comparações com o transistor NMOS, com a relação $W/L_{\text{poli}} = 20/3$ e $L_{\text{poli}} = 3\mu\text{m}$ do CCS-Unicamp. Além disso, apresentamos neste capítulo, as medidas dos inversores da segunda fabricação a fim de comparar com as medidas da primeira fabricação.

5.2 COMPARAÇÃO DO PROCESSO *CMOS* - CCS COM O PROCESSO *CMOS* DO LABORATÓRIO DE MICROFABRICAÇÃO DA UNIVERSIDADE DE CALIFÓRNIA - BERKELEY

Laszlo Voros[20] no seu relatório II de dezembro de 2000 (www-microlab.eecs.berkeley.edu) faz uma descrição detalhada do processo *CMOS* desenvolvido com suporte do Laboratório de microfabricação da Universidade de Califórnia, Berkeley, USA. O processo *CMOS* descrito é da tecnologia de 1,3 μ m e utilizaremos este processo para comparar com nosso processo *CMOS* de tecnologia de 2 μ m. Embora, as tecnologias não sejam iguais, muitos parâmetros do processo são similares e permite verificar nossos resultados e estudar opções de trabalhos futuros.

Os parâmetros especificados para a tecnologia *CMOS* de 2 μ m-CCS-Unicamp e de 1,3 μ m-UC - Berkeley são mostrados na tabela 5.1 para sua comparação e verificação de semelhanças e diferenças. A UC utilizou o wafer tipo P, orientação (100), e resistividade 24-36 ohm-cm.

Tabela 5.1. Parâmetros Especificados Para a Tecnologia *CMOS*

| Tecnologia | 1,3 μ m -UC BERKELEY | | 2 μ m - CCS- UNICAMP | |
|--------------------------------|---|--------------------------|----------------------------------|----------------------------------|
| | NMOS | PMOS | NMOS | PMOS |
| Tensões de Limiar: | $V_{Tn}=0,7V$ $V_{Tp}=-0,8V$ | | $V_{Tn}=0,8V\pm0,2V$ | $V_{Tp}=-0,8V\pm0,2V$ |
| Espessura de óxido de silício: | tox=20 nm. | | tox=30 nm \pm 1nm | |
| Profundidade de junção: | $X_{jn}=0,14\mu m$ | $X_{jp}=0,40\mu m^{***}$ | $X_{jn}=0,45\mu m\pm0,2$ | $X_{jp}=0,45\mu m\pm0,2$ |
| Porta de silício-poli | 2 níveis - poli N ⁺ /poli P ⁺ * | | 1 nível - poli N ⁺ ** | |
| Profundidade de ilha: | $X_{wp}=4,7\mu m$ | $X_{wn}=3,0\mu m$ | $X_{wp}=4,5\mu m$ (1,4 μm) | $X_{wn}=1,4\mu m$ (4,5 μm) |
| Oxido de campo | LOCOS(650nm)+700nm PSG+900nm | | LOCOS(1 $\mu m\pm0,1$) + 800nm | |
| Metal | 2 níveis (Al 2% Si 800-900nm) | | 1 nível (Titânio+Al) | |

* 2 níveis de poli Si (1nível para capacitores) e duas dopagens diferentes (poli N⁺ para o transistor NMOS e poli P⁺ para o transistor PMOS).

** Precisa ser protegido o poli N⁺ quando implanta o fonte/dreno P⁺ para o transistor PMOS.

*** Valores divulgados são efetivos (assim, os valores de profundidade de junção obtidos de cada perfil de concentração realmente são: $X_{jn}=0,4\mu m$ $X_{jp}=0,60\mu m$)

A tensão de limiar é praticamente igual havendo apenas uma pequena diferença no transistor NMOS (0,8V para 0,7V). As espessuras de óxido de silício tox=30 nm e tox=20 nm são próprias de cada tecnologia empregada. As profundidades de junção $X_{jn}=0,45\mu m$, $X_{jp}=0,45\mu m$ e de junção $X_{jn}=0,14\mu m$, $X_{jp}=0,40\mu m$ são também próprias de cada tecnologia, mas, observa-se que a junção do PMOS é três vezes maior que do NMOS no caso da UC-Berkeley. Isto pode compensar a diferença de valor entre as mobilidades das regiões N e P. Por

segurança, para evitar problemas de contato, é melhor não reduzir X_j mais que o necessário. O material de porta para o nosso caso, um nível de silício-poli N^+ para NMOS e PMOS, enquanto no caso da UC - Berkeley é de dois níveis de silício - poli dopado N^+ para o transistor NMOS e silício poli P^+ para o transistor PMOS. As fotograções do processo litográfico *CMOS* são comparadas nas tabelas 5.2 e 5.3, onde podemos observar que o número de fotograções e de máscaras do processo *CMOS* da UC é quase o dobro do que as utilizadas no processo *CMOS* do CCS da segunda fabricação.

Tabela 5.2. Litografia do processo *CMOS*

| Tecnologia | 1,3 μ m –UC BERKELEY | 2 μ m - CCS- UNICAMP |
|-----------------------|--------------------------|--------------------------|
| Número de fotograções | 14 | 8 |
| Número de máscaras | 12 | 8 |

A tabela 5.3 mostra as etapas de fotogração *CMOS* de ambas as tecnologias, onde verificamos que a UC tem 6 fotograções a mais que a do processo CCS. O processo *CMOS* da UC tem a mais as seguintes fotograções:

- Fotogração que define o anel guarda N^+ para poder implantar o Fósforo;
- Fotogração para implantação de Boro para evitar o *punch-through* na região de canal N e para implantação de Boro para ajuste de V_T do transistor NMOS;
- Fotogração para implantação de Fósforo para evitar o *punch-through* na região de canal P e para implantação de Boro para ajuste de V_T do transistor PMOS;
- Fotogração para definir o nível de polisilício 2. A vantagem é que um nível de polisilício a mais permite fazer capacitor poli/óxido/poli.
- Fotogração de vias e fotogração de nível de metal 2 tem a vantagem de aumentar a flexibilidade no projeto das interconexões e suas respectivas vias que permitem fazer circuitos mais complexos. Se a finalidade for somente didática esta vantagem não é aproveitada, somente complicando o processo.

Tabela 5.3. Etapas de Fotogração *CMOS*

| Tecnologia | 1,3 μ m –UC BERKELEY | | 2 μ m - CCS- UNICAMP | |
|---|--------------------------|---------------|---------------------------|--------------|
| Etapa de Fotogração | Máscara | Tipo/Campo | Máscara | Tipo/Campo |
| Definição da ilha N | NWELL | Cromo/escuro | CAV_N | Cromo/escuro |
| Definição região ativa | ACTIVE | Emulsão/claro | REGAT | Cromo/claro |
| Definição anel guarda P ⁺ (inv. of NWELL) | PFIELD | Emulsão/claro | ANEL_P (inv. de CAV_N) | Cromo/claro |
| Definição anel guarda N ⁺ | NWELL | Cromo/escuro | | |
| Canal N: I/I Boro Punch-through I/I Boro Ajuste de V _T (inv. of NWELL) | PFIELD | Emulsão/claro | | |
| Canal P: I/I Fósf.Punch-through I/I Boro -Ajuste de V _T | PVT | Cromo/escuro | | |
| Definição da porta | POLY | Emulsão/claro | SI_POLI | Cromo/claro |
| Definição de Capacitor | 2nd POLY | Emulsão/claro | | |
| Definição região N ⁺ D/S | N ⁺ S/D | Cromo/escuro | DIF_N | Cromo/escuro |
| Definição região P ⁺ D/S | P ⁺ S/D | Emulsão/claro | DIF_P | Cromo/escuro |
| Definição contatos | CONT | Cromo/escuro | CONT | Cromo/escuro |
| Definição metal 1 | METAL1 | Emulsão/claro | METAL | Cromo/escuro |
| Definição de vias | VIA | Cromo/escuro | | |
| Definição metal 2 | METAL2 | Emulsão/claro | | |

A tabela 5.4 apresenta as etapas de implantação iônica no processo *CMOS* de ambas as tecnologias, onde verificamos que a UC tem 3 implantações a mais que o processo CCS. O processo *CMOS* da UC tem a mais as seguintes implantações:

- Implantação de Fósforo ($40 \text{ keV}/3 \times 10^{12} \text{ cm}^{-2}$) para formar o anel N⁺ que no nosso caso foi deixado para que se forme durante a oxidação do LOCOS com a vantagem de simplificar o processo e fazer a função de isolamento dos dispositivos;
- Implantação de Boro no canal P para evitar o efeito de *punch-through*;
- Implantação de Fósforo no canal N para evitar o efeito de *punch-through*.

Observa-se desta tabela 5.4 a semelhança dos valores utilizados em ambos os processos *CMOS* para a implantação da ilha N (Fósforo), implantação da ilha P (Boro), implantação do anel P⁺ (Boro), implantação para ajuste de V_T (Boro) e para a implantação N⁺ de S/D (Arsênio). Logo, todas as implantações do processo CCS são semelhantes em valores de energia e dose com as implantações correspondentes do processo *CMOS* da UC.

A implantação de ajuste de V_T em ambos os processos é feito com Boro para os transistores NMOS e PMOS, mas, no processo *CMOS* da UC, esta é realizada separadamente com implantações de dose um pouco diferente (1.9×10^{12} e 2.4×10^{12} cm^{-2}). Em nosso processo temos a vantagem de simplesmente implantarmos o Boro de ajuste de V_T (1.5×10^{12} cm^{-2}) simultaneamente para os transistores NMOS e PMOS sem utilizar máscaras porque é feito após a formação da área ativa.

Tabela 5.4. Etapas de Implantação Iônica no processo *CMOS*

| Tecnologia | 1,3 μm –UC BERKELEY | | 2 μm - CCS- UNICAMP | | |
|---|--------------------------------|--|--------------------------------|--|----------------------|
| Etapa de Processo | Espécie | Energy (keV)/Dose (cm^{-2}) | | Energy (keV)/Dose (cm^{-2}) | |
| Implantação da ilha N | Fósforo | 80 | 4×10^{12} | 100 | 4×10^{12} |
| Implantação da ilha P | Boro | 80 | 3×10^{12} | 50 | 6×10^{12} |
| Implantação do anel P ⁺ | Boro | 70 | 1.5×10^{13} | 100 | 1×10^{13} |
| Implantação do anel N ⁺ | Fósforo | 40 | 3×10^{12} | | |
| N-Channel Punchthrough e Implantação para ajuste de VT | Boro | 120 | 8×10^{11} | | |
| | Boro | 30 | 1.9×10^{12} | 30 | 1.5×10^{12} |
| P-Channel Punchthrough e Implantação para ajuste de VT | Fósforo | 190 | 1×10^{12} | | |
| | Boro | 20 | 2.4×10^{12} | 30 | 1.5×10^{12} |
| Implantação N ⁺ S/D | Arsênio | 100 | 5×10^{15} | 50 | $7,5 \times 10^{15}$ |
| | Fósforo | | | 30 | 2×10^{15} |
| Implantação P ⁺ S/D | Boro | 20 | 5×10^{15} | 20 | 3×10^{15} |

A implantação de fonte/dreno N⁺ é feito só com Arsênio (100 keV, 5×10^{15} cm^{-2}) no processo *CMOS* da UC o qual é adequado para obter a profundidade de junção especificada $X_{jn} = 0,14 \mu\text{m}$ para a tecnologia 1,3 μm .

Estas implantações de dopantes que têm etapas térmicas durante o processo *CMOS* vão difundir e apresentar o perfil desejado. Assim, as concentrações de dopantes nas regiões de canal e as concentrações na ilha (substrato) são mostradas na tabela 5.5, sendo os seus valores correspondentes, semelhantes para ambos os processos. Observa-se que os valores de concentração superficial de dopantes são semelhantes o que é correto e são importantes porque ajusta a tensão de limiar desejado de $|V_T| \approx 0,8\text{V}$ dos transistores em ambos os processos.

Tabela 5.5. Concentração de dopante na região de canal dos transistores do processo *CMOS*

| Tecnologia | 1,3 μm –UC BERKELEY | | 2 μm - CCS- UNICAMP | |
|-----------------------------------|--------------------------------|--------------------------------------|--------------------------------|-----------------------------------|
| | NMOS | PMOS | NMOS | PMOS |
| Concentração sup. de dopante | $5,68 \times 10^{16}$ | $1,79 \times 10^{16} \text{cm}^{-3}$ | 6×10^{16} | $5 \times 10^{16} \text{cm}^{-3}$ |
| Concentração dop. na ilha(substr) | $1,25 \times 10^{16}$ | $3,14 \times 10^{16} \text{cm}^{-3}$ | 1×10^{16} | $3 \times 10^{16} \text{cm}^{-3}$ |

As concentrações de dopantes nas regiões de fonte/dreno são mostradas na tabela 5.6 sendo os valores correspondentes semelhantes para ambos os processos. A diferença observada está na implantação de fonte/dreno N^+ que é feito só com Arsênio no processo *CMOS* da UC para obter uma profundidade mais rasa, neste caso $X_j = 0,14 \mu\text{m}$.

Tabela 5.6. Concentração de dopante na região de fonte/dreno dos transistores do processo *CMOS*

| Tecnologia | 1,3 μm –UC BERKELEY | | 2 μm - CCS- UNICAMP | |
|------------------------------|--------------------------------|-------------------------------------|--------------------------------|-----------------------------------|
| | NMOS | PMOS | NMOS | PMOS |
| | N^+ Arsênio | P^+ Boro | N^+ Fósforo+Arsênio | P^+ Boro |
| Concentração sup. D/S | $8,0 \times 10^{20}$ | $1,0 \times 10^{20} \text{cm}^{-3}$ | 6×10^{20} | $1 \times 10^{20} \text{cm}^{-3}$ |
| Profundidade de junção X_j | 0,14 μm | 0,40 μm | 0,45 μm | 0,45 μm |

5.3 COMPARAÇÃO DAS MEDIDAS ELÉTRICAS DOS TRANSISTORES *CMOS* - CCS COM OS TRANSISTORES DO *CMOS* LABORATÓRIO DE MICROFABRICAÇÃO DA UNIVERSIDADE DE CALIFÓRNIA – BERKELEY

As características elétricas de um transistor da referência são comparadas com as de outro transistor de nossa fabricação com L similar. Assim, o transistor NMOS, com a relação $W/L=10/1$ e $L=1 \mu\text{m}$ da UC - Berkeley, foi utilizado para comparar com o transistor NMOS, com a relação $W/L_{\text{poli}}=20/3$ e $L_{\text{poli}}=3 \mu\text{m}$ do CCS-Unicamp que em ambos casos são os transistores de mínima dimensão que foram medidos e cujos resultados apresentamos.

- **MEDIDAS DAS CARACTERÍSTICAS FONTE/DRENO**

As características de dreno do transistor NMOS de Berkeley são mostradas na figura 5.1 com as medidas feitas até $V_{\text{DS}}=8$ volts e para facilitar a comparação das suas características, na figura 5.2, com as medidas até $V_{\text{DS}}=5$ volts.

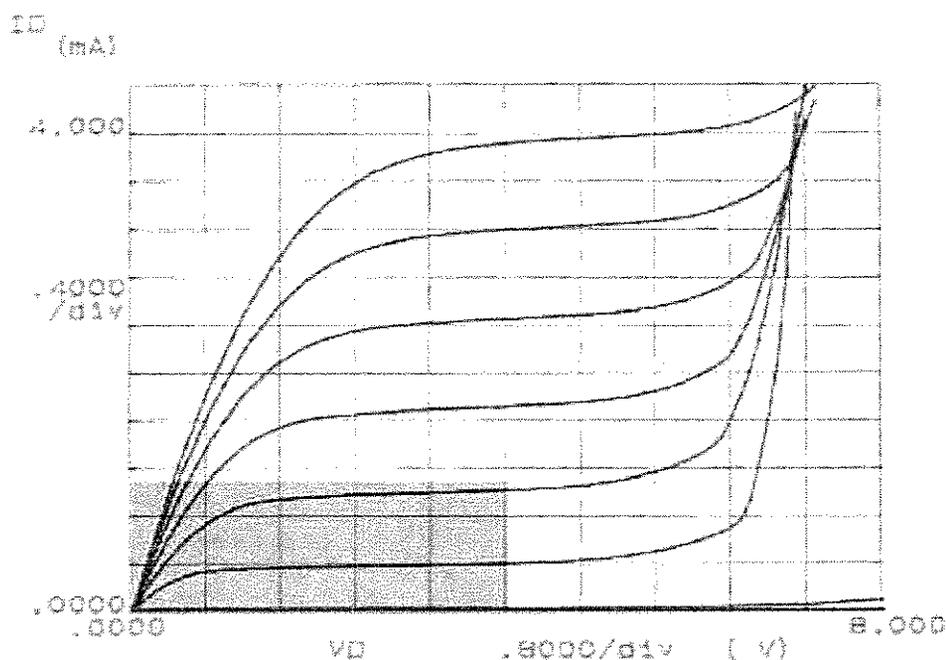


Figura 5.1 As características de dreno do transistor NMOS $W/L = 10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com a tensão até $V_{DS} = 8$ volts

A figura 5.2 mostra as características de dreno do transistor NMOS $W/L = 10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com a tensão de porta até $V_{GS} = 3,0\text{V}$ em passos de $1,0\text{V}$, as quais são semelhantes às características mostradas na Figura 5.3 do transistor NMOS $W/L_{\text{poli}} = 20/3$ e $L=4\mu\text{m}$ $L_{\text{poli}} = 3\mu\text{m}$, fabricadas por nós no CCS, com a tensão de porta até $V_{GS} = 3,0$ volts em passos de $0,5\text{V}$. A tensão de dreno na região linear e na região de saturação encontram-se ao redor de $1,5\text{V}$ na curva de $V_{GS}=3\text{V}$, isto para os transistores do processo UC e CCS.

A corrente da região de saturação é ao redor de $1000\mu\text{A}$ na curva de $V_{GS}=3\text{V}$ para o transistor de UC e de $800\mu\text{A}$ para o transistor do CCS, o qual é devido a pequena diferença na relação W/L . A relação entre correntes, teoricamente é $(W/L)/(W/L) = (10/1)/(20/3) = 1,5$ e a relação aproximada das correntes experimentais é de $1000/800 = 1,25$, portanto, há uma boa consistência do teórico com o experimental, mesmo sendo um processo de UC e o outro do CCS.

A inclinação das retas que corresponde a região de saturação também apresentam semelhanças em ambos transistores NMOS indicando que os valores de tensão Early deles são

próximos e de valor típico para transistores de mínimo tamanho. Em nosso caso, efetuamos as medidas e o valor obtido foi de $V_A=28$ Volts.

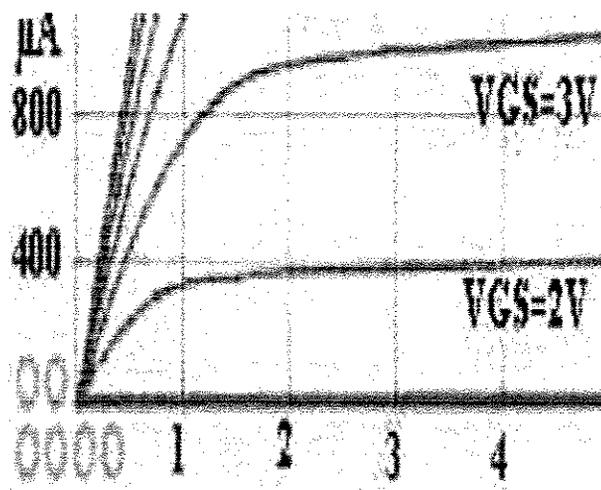


Figura 5.2 As características de dreno do transistor NMOS $W/L=10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com tensão de porta até $V_{GS}=3,0\text{V}$ em passos de $1,0\text{V}$

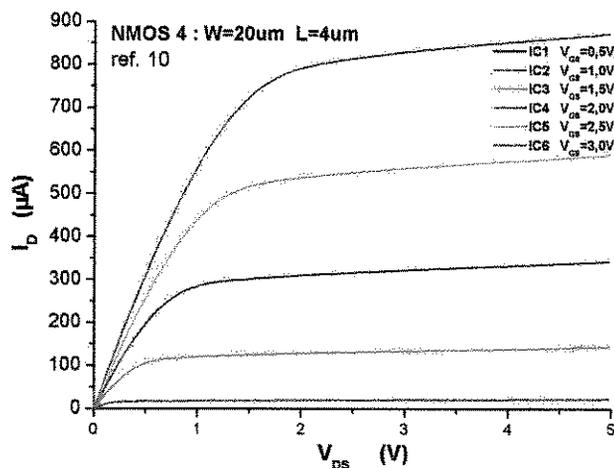


Figura 5.3 As características de dreno do transistor NMOS $W/L_{\text{poli}}=20/3$ e $L=4\mu\text{m}$ $L_{\text{poli}}=3\mu\text{m}$ de CCS com tensão de porta até $V_{GS}=3,0\text{V}$ em passos de $0,5\text{V}$

As características de dreno do transistor PMOS mostradas na figura 5.4 de Berkeley são medidas feitas até $V_{DS} = -8$ volts e para facilitar a comparação mostramos na figura 5.5 as mesmas características até $V_{DS} = -5$ volts.

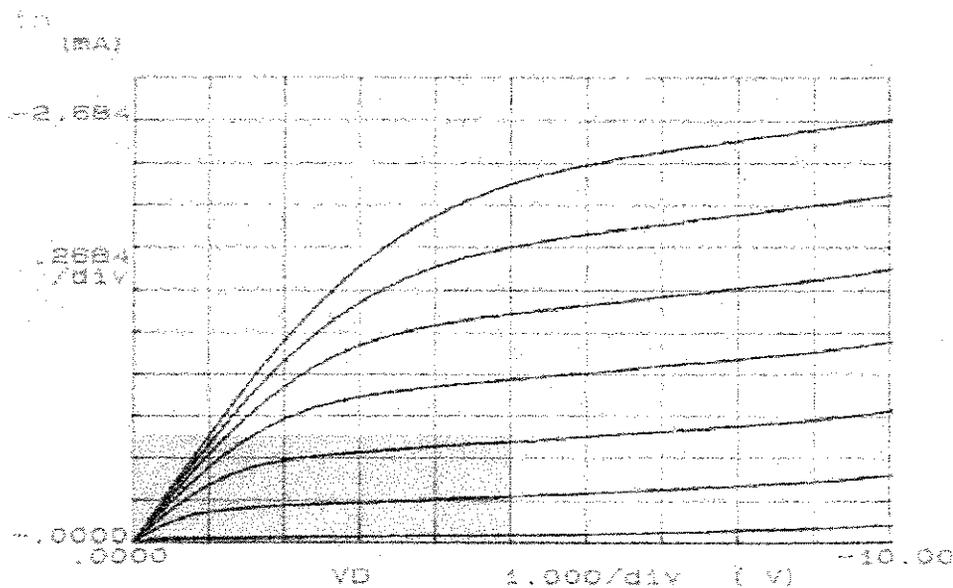


Figura 5.4 As características de dreno do transistor PMOS $W/L= 10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com tensão até $V_{DS} = 10$ volts

A figura 5.5 mostra as características de dreno do transistor PMOS $W/L= 10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com tensão de porta até $V_{GS} = -3,0\text{V}$ em passos de $-1,0\text{V}$, as quais são semelhantes as características mostradas na figura 5.6 do transistor PMOS $W/L_{\text{poli}} = 20/3$ de $L=4\mu\text{m}$ e $L_{\text{poli}} = 3\mu\text{m}$ de CCS com tensão de porta até $V_{GS} = -3,0$ volts em passos de $-0,5\text{V}$.

A tensão de dreno na região linear e na região de saturação encontram-se ao redor de $1,5\text{V}$ na curva de $V_{GS} = -3\text{V}$, isto para ambos transistores. A corrente da região de saturação é ao redor de $530\mu\text{A}$ na curva de $V_{GS} = -3\text{V}$ para o transistor de UC e de $300\mu\text{A}$ para o transistor do CCS, o qual é devido a pequena diferença na relação W/L .

A relação entre correntes, teoricamente é $(W/L)/(W/L) = (10/1)/(20/3) = 1,5$ e a relação aproximada das correntes experimentais é de $530/300 = 1,7$, portanto, com uma boa consistência do teórico com o experimental, mesmo sendo um processo de UC e o outro do CCS.

A inclinação das retas que corresponde a região de saturação também apresentam semelhanças em ambos transistores PMOS indicando que os valores de tensão Early deles são

próximos e de valor típico para transistores de mínimo tamanho. Em nosso caso, efetuamos as medidas e o valor obtido foi de $V_A=19$ V.

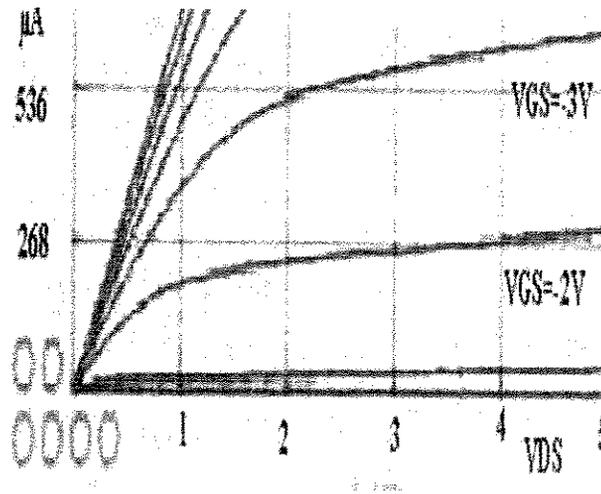


Figura 5.5 As características de dreno do transistor PMOS $W/L=10/1$ e $L=1\mu\text{m}$ de UC – Berkeley com tensão de porta até $V_{GS}=3,0\text{V}$ em passos de $1,0\text{V}$

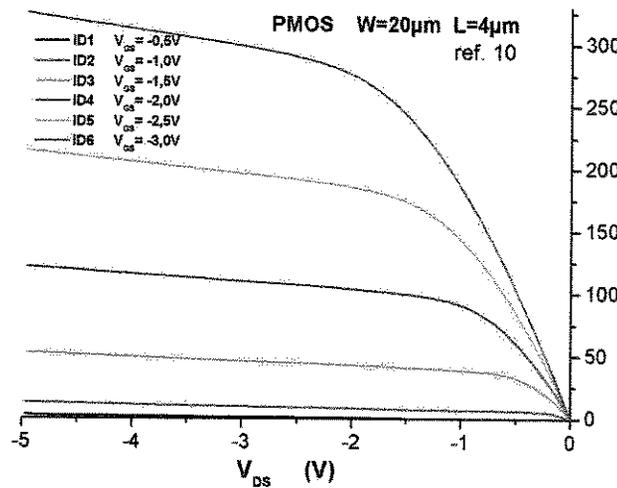


Figura 5.6 As características de dreno do transistor NMOS $W/L_{\text{poli}}=20/3$ de $L=4\mu\text{m}$ e $L_{\text{poli}}=3\mu\text{m}$ de CCS com tensão de porta até $V_{GS}=-3,0\text{V}$ em passos de $-0,5\text{V}$

• **MEDIDA DA TENSÃO DE LIMIAR EM FUNÇÃO DA TENSÃO DE SUBSTRATO**

No transistor NMOS, as medidas da tensão de limiar V_T para valores da tensão de substrato V_{bs} , na faixa de 0 a -3 V foram determinadas extrapolando linhas retas na região linear de máxima inclinação das curvas $I_D \times V_{GS}$. Assim extraímos V_{T0} , V_{T1} , V_{T2} e V_{T3} na condição do transistor NMOS polarizado com $V_{DS} = 0,1$ V no dreno e variando a tensão de porta V_{GS} de 0 a 3 V para obter as curvas $I_D \times V_{GS}$. A figura 5.7 mostra estas curvas $I_D \times V_{GS}$ em função da tensão do substrato V_{bs} do transistor NMOS $W=10\mu\text{m}$ e $L=1\mu\text{m}$ do processo *CMOS* da UC e a figura 5.8 mostra as correspondentes curvas para o transistor NMOS $W=20\mu\text{m}$, $L=4\mu\text{m}$ e $L_{poli}=3\mu\text{m}$ do processo *CMOS* de CCS. As figuras 5.7 e 5.8 mostram semelhanças nos valores correspondentes de tensão de limiar em função da tensão de substrato para ambos processos *CMOS*.

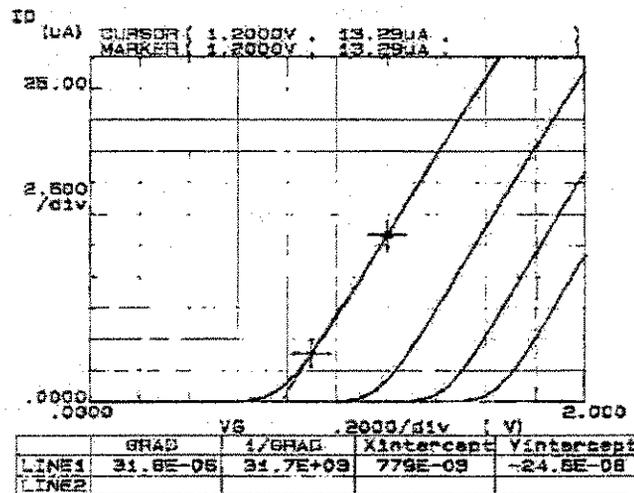


Fig. 9 NMOS (W/L=10/1) drain current vs. gate voltage at varyi

Figura 5.7 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a -3 V, tensão $V_{DS} = 0,1$ V, do transistor NMOS $W/L = 10/1$ e $L = 1\mu\text{m}$ de UC – Berkeley

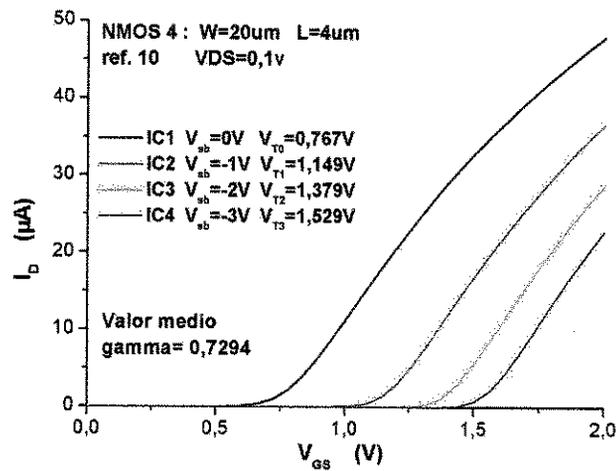


Figura 5.8 A tensão de limiar V_T para tensão de substrato V_{bs} , na faixa de 0 a -3 V, tensão $V_{DS} = 0,1$ V, do transistor NMOS $W/L_{poli} = 20/3$ e $L=4\mu\text{m}$ $L_{poli} = 3\mu\text{m}$ de CCS-Unicamp

No transistor PMOS, as medidas da tensão de limiar V_T para valores da tensão de substrato V_{bs} , na faixa de 0 a 3 V foram determinadas extrapolando linhas retas na região linear de máxima inclinação das curvas $I_D \times V_{GS}$. Assim, extraímos V_{T0} , V_{T1} , V_{T2} e V_{T3} na condição do transistor NMOS polarizado com $V_{DS} = -0,1$ V no dreno e variando a tensão de porta V_{GS} de 0 a -3 V para obter as curvas $I_D \times V_{GS}$. A figura 5.9 mostra estas curvas $I_D \times V_{GS}$ em função da tensão do substrato V_{bs} do transistor PMOS de $W=10\mu\text{m}$ e $L=1\mu\text{m}$ do processo *CMOS* da UC e a figura 5.10 mostra as correspondentes curvas para o transistor PMOS de $W=20\mu\text{m}$, $L=4\mu\text{m}$ e $L_{poli} = 3\mu\text{m}$ do processo *CMOS* de CCS. As figuras 5.9 e 5.10 mostram semelhanças nos valores correspondentes de tensão de limiar em função da tensão de substrato para ambos processos *CMOS*.

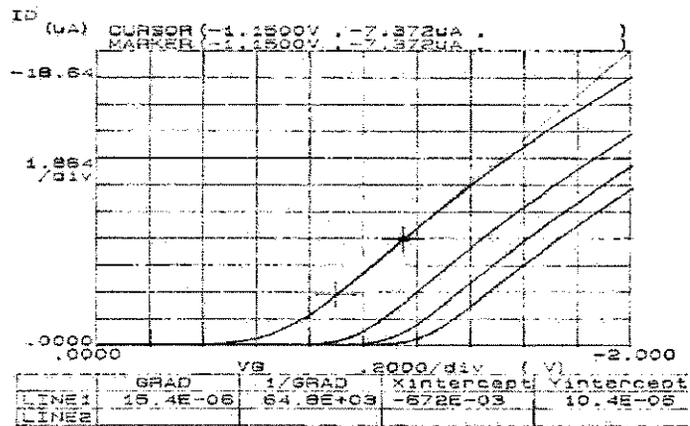


Fig. 13 PMOS ($W/L=10/1$) drain current vs. gate voltage at varying V_{sb}

Figura 5.9 A tensão de limiar V_T para tensão de substrato V_{sb} , na faixa de 0 a 3 V, tensão $V_{DS} = -0,1V$, do transistor PMOS $W/L= 10/1$ e $L=1\mu m$ de UC - Berkeley

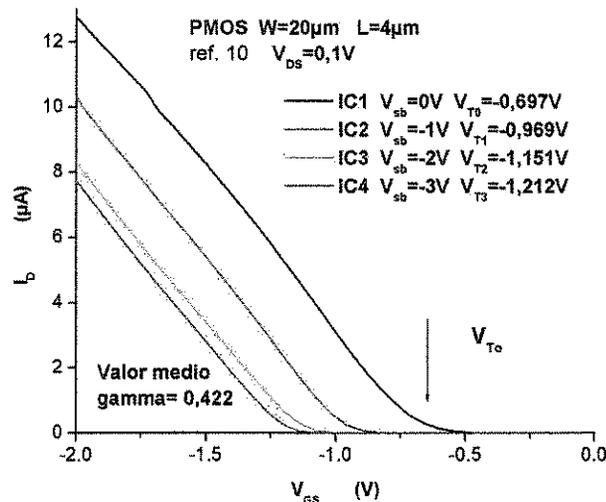


Figura 5.10 A tensão de limiar V_T para tensão de substrato V_{sb} , na faixa de 0 a 3 V, $V_{DS} = -0,1V$, do transistor PMOS $W/L_{poli} = 20/3$ de $L=4\mu m$ e $L_{poli} = 3\mu m$ de CCS-Unicamp

Os resultados obtidos das medidas de tensão de limiar são mostrados na tabela 5.7 para os transistores NMOS e PMOS, do processo *CMOS* da UC e do CCS-Unicamp. Observa-se que os valores da tensão de limiar obtidos em função da tensão de substrato $V_{sb} = 0, 1, 2, 3V$ são semelhantes.

Tabela 5.7 A tensão de limiar V_T do transistor em função da tensão de substrato V_{bs}

| Tecnologia | | 1,3 μ m –UC BERKELEY | | 2 μ m -CCS- UNICAMP | |
|----------------|----------|--------------------------|---------|-------------------------|--------|
| Tensão Substr. | V.limiar | NMOS | PMOS | NMOS | PMOS |
| Vsb =0V | V_{T0} | 0,779V | -0,672V | 0,767V | -0,697 |
| Vsb =1V | V_{T1} | 1,20 | -0,95 | 1,149 | -0,969 |
| Vsb =2V | V_{T2} | 1,42 | -1,1 | 1,379 | -1,151 |
| Vsb =3V | V_{T3} | 1,65 | -1,2 | 1,629 | -1,212 |

▪ **MEDIDA DO PARÂMETRO GAMMA (γ)**

O parâmetro gamma (γ) é chamado parâmetro de efeito de corpo e é dependente do processo de fabricação e o seu valor típico é próximo de $0,5 \text{ V}^{1/2}$. Após a medida da tensão limiar V_T para vários valores da tensão de substrato V_{bs} , são utilizados os valores extraídos V_{T0} , V_{T1} , V_{T2} e V_{T3} para extrair o parâmetro fator de corpo gamma (γ) utilizando em forma iterativa a expressão (5.1) que define a tensão de limiar [18] [21].

$$V_T = V_{T0} + \gamma(\sqrt{|2\phi_F| + |V_{sb}|} - \sqrt{|2\phi_F|}) \quad (5.1)$$

A tabela 5.8 mostra os resultados obtidos das medidas do parâmetro gamma para os transistores NMOS e PMOS, do processo *CMOS* da UC e do CCS-Unicamp. Observa-se que os valores obtidos em função da tensão de substrato $V_{sb} = 1$ e 3V são semelhantes em ambos processos onde os valores do transistor PMOS são menores que os do NMOS mas ao redor do valor de 0,5. Estes resultados são satisfatórios e sendo dependentes do processo de fabricação, indicam que nossas variáveis de processo estão corretas.

Tabela 5.8 Parâmetros gamma obtidos através de medidas e cálculos

| Tecnologia | | 1,3 μ m –UC BERKELEY | | 2 μ m -CCS- UNICAMP | |
|----------------|---------|--------------------------|-------|-------------------------|-------|
| | | NMOS | PMOS | NMOS | PMOS |
| Gamma γ | Vsb =1V | 0,795 | 0,446 | 0,897 | 0,411 |
| Gamma γ | Vsb =3V | 0,591 | 0,371 | 0,801 | 0,396 |

MEDIDAS NA REGIÃO SUBLIMIAR

No método sublimiar a corrente de dreno é medida como uma função da tensão de porta na região de sublimiar ($<V_T$) e feita a curva como $\text{Log}(I_D) \times V_{GS}$. Este método é adequado para medir a corrente sublimiar e o parâmetro S . Neste método também é medida a tensão de limiar V_T .

As figuras 5.11 e 5.12 mostram as curvas na região sublimiar do transistor NMOS para vários valores de V_{DS} observando-se que a inclinação é a mesma e independe da tensão de dreno e os valores medidos S estão ao redor de 100 mV/dec o que é satisfatório para ambos processos *CMOS*. Isto significa que os transistores não tem problemas associado com a tensão de ruptura. Observa-se também que a corrente de fuga é menor que $1 \times 10^{-10} \text{A}$ no transistor da UC e é menor que $1 \times 10^{-9} \text{A}$ no transistor de CCS-Unicamp. Esta diferença de uma ordem de grandeza indica que devemos otimizar o processo para diminuir a corrente de fuga.

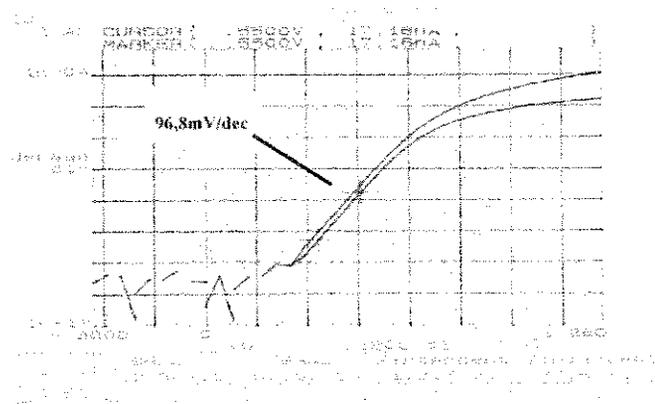


Figura 5.11 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W=10 \mu\text{m}$ e $L=1 \mu\text{m}$, para a condição $V_{DS} = 0,05\text{V}; 5,05\text{V}$, do processo *CMOS* UC-Berkeley

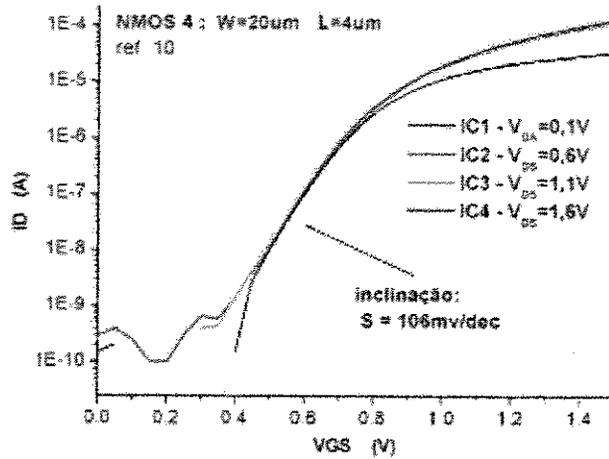


Figura 5.12 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor NMOS de $W/L_{\text{poli}} = 20/3$ de $L = 4\mu\text{m}$ e $L_{\text{poli}} = 3\mu\text{m}$, condição $V_{DS} = 0,1V; 0,6V; 1,1V;$ e $1,6V$, do processo *CMOS* CCS-Unicamp

As medidas nos transistore PMOS apresentam resultados semelhantes ao transistor NMOS. Assim, as figuras 5.13 e 5.14 mostram as curvas sublimiar do transistor PMOS, a inclinação é a mesma e independe da tensão de dreno e os valores medidos S estão ao redor de 100 mV/dec o que é satisfatório para ambos processos *CMOS*. Observa-se também que a corrente de fuga é menor que 1×10^{-10} A no transistor da UC e é menor que 1×10^{-9} A no transistor de CCS-Unicamp. Esta diferença de uma ordem de grandeza indica que devemos otimizar o processo para diminuir a corrente de fuga.

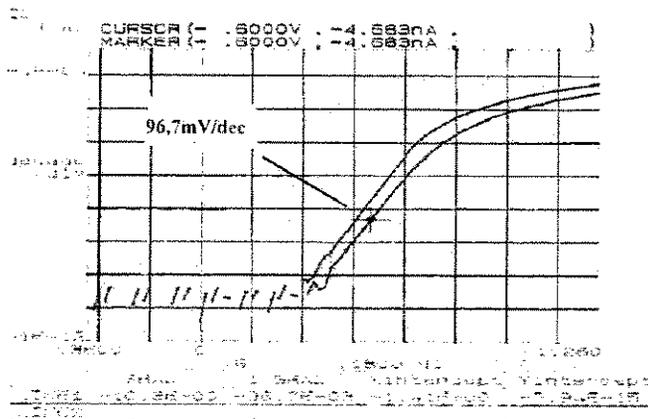


Figura 5.13 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor PMOS de $W=10\mu\text{m}$ e $L=1\mu\text{m}$, para a condição $V_{DS} = 0,5V; 5,5V$, do processo *CMOS* UC-Berkeley

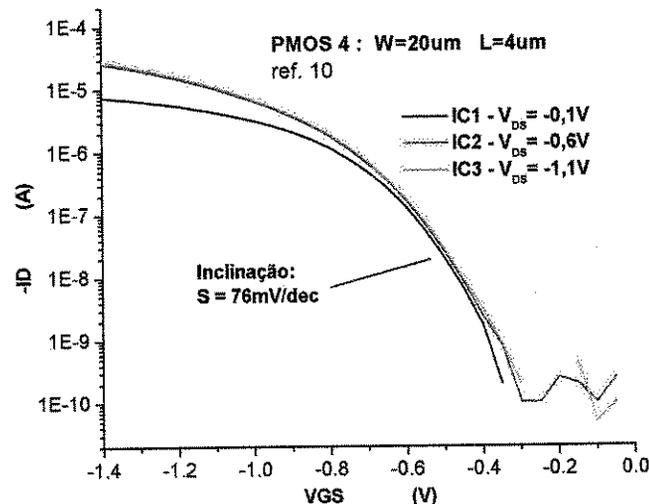


Figura 5.14 Curva sublimiar $\text{Log}(I_D) \times V_{GS}$ do transistor PMOS de $W/L_{\text{poli}} = 20/3$ de $L = 4\mu\text{m}$ e $L_{\text{poli}} = 3\mu\text{m}$, condição $V_{DS} = 0,1V$; $0,6V$ e $1,1V$; do processo *CMOS* CCS- Unicamp

5.4 COMPARAÇÃO DAS MEDIDAS ELÉTRICAS DA SEGUNDA FABRICAÇÃO COM AS DA PRIMEIRA FABRICAÇÃO DO PROCESSO CCS-UNICAMP

Um dos objetivos da segunda fabricação do processo *CMOS* foi corrigir erro do projeto (fazer profundidades de ilha adequadas para lâmina P^+/P) e melhorar algumas etapas de processo (fotogravação, corrosão do poli) que são expostas neste item comparando através dos resultados das medidas elétricas. Assim, neste item apresentamos medidas por microscopia eletrônica da porta de polisilício e algumas medidas elétricas feitas após a segunda fabricação e comparamos com as correspondentes medidas elétricas da primeira fabricação.

A figura 5.15 traz medidas por microscopia eletrônica dos transistores de L variável fabricados após a fotogravação dos contatos (acima). A linha de porta de polisilício de $2\mu\text{m}$ (abaixo) tem as suas dimensões confirmadas, atingido um dos objetivos deste trabalho. Observa-se que as paredes do polisilício são quase verticais, ou seja, a anisotropia da corrosão do polisilício por plasma foi bastante alta, o que é uma melhora em relação à primeira fabricação.

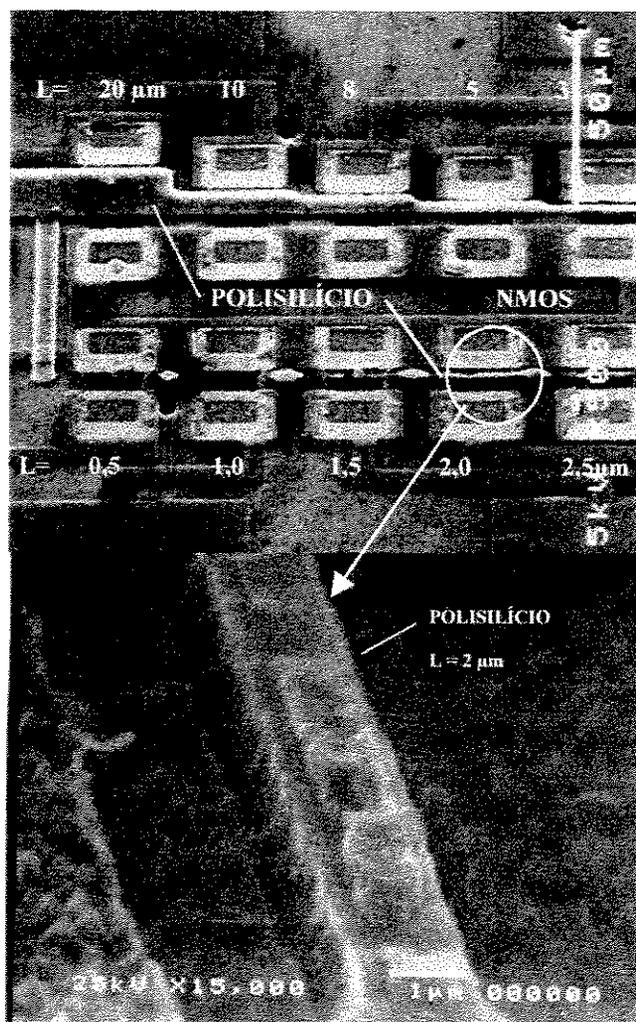


Figura 5.15 – Fotos do microscópio eletrônico: (acima) Lâmina na região do conjunto de transistores NMOS com L variável após a fotogravação dos contatos (abaixo) Linha de polisilício na região de porta do transistor NMOS com $L=2\mu\text{m}$ e $W=20\mu\text{m}$

O inversor é um circuito básico do *CMOS* e o mais utilizado em aplicações digitais sendo a mudança de estado que indica a qualidade de sua performance, logo é necessário analisar as medidas experimentais das curvas de transferência.

A figura 5.16 mostra as curvas de transferência em dois inversores de diferentes geometrias, da primeira fabricação, após terminadas o processo *CMOS* e a figura 5.17 também mostra as curvas de transferência para a mesma geometria dos inversores, sendo resultados da segunda fabricação. Os resultados indicam que as curvas de transferência dos dois inversores da figura 5.17, da segunda fabricação, são melhores que da primeira fabricação porque têm

formas mais verticais na região de transição do estado que as mostradas na figura 5.16 da primeira fabricação. A razão disto é que os transistores da primeira fabricação são de comprimento $L = 4\mu\text{m}$, e $L_{\text{poli}} = 3\mu\text{m}$ as quais já têm influências dos efeitos de canal curto, sendo que os transistores de segunda fabricação são de comprimento $L = 4\mu\text{m}$ e $L_{\text{poli}} = 4\mu\text{m}$ nas quais as influências dos efeitos de canal curto são mínimas.

A figura 5.16 mostra que o inversor com o transistor NMOS de $W/L_{\text{poli}} = 15/3$ e o transistor PMOS de $W/L_{\text{poli}} = 25/3$ têm uma curva de transferência simétrica o que é desejável num inversor. Uma análise mostra que para esta condição simétrica na região de transição $V_{\text{IN}} = V_{\text{DD}}/2 = 5\text{V}/2 = 2,5\text{V}$ sendo $V_{\text{Tn}} = V_{\text{Tp}} = 0,8\text{V}$ a relação de fator de ganho dos transistores é unitário.

$$\beta_n / \beta_p = 1 \quad (5.2)$$

Onde:

β_n e β_p são os fatores de ganho do transistor NMOS e do transistor PMOS, respectivamente.

$$\beta_n = \frac{\mu_n \varepsilon}{t_{\text{ox}}} \left(\frac{W_n}{L_n} \right) \quad (5.3)$$

$$\beta_p = \frac{\mu_p \varepsilon}{t_{\text{ox}}} \left(\frac{W_p}{L_p} \right) \quad (5.4)$$

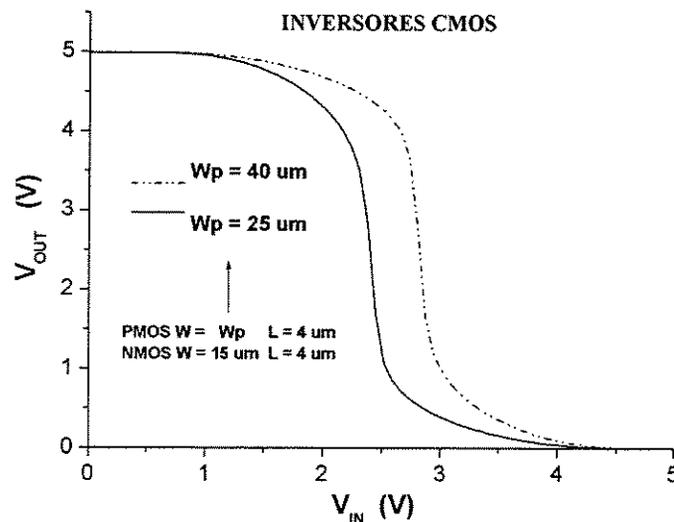


Figura 5.16 - Curvas de transferência de inversores, primeira fabricação

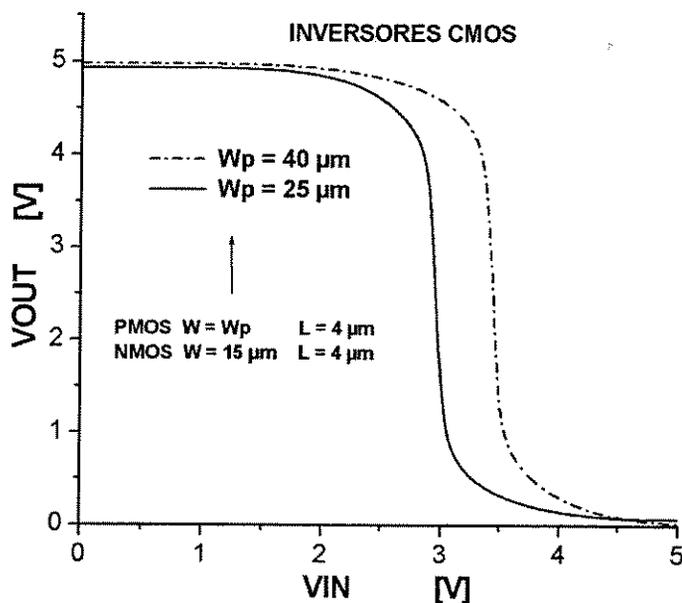


Figura 5.17 - Curvas de transferência de inversores, segunda fabricação

Os resultados indicam também que as curvas de transferência dos dois inversores da figura 5.17, da segunda fabricação, sofreram um pequeno deslocamento para a direita que pode ser devido a variações na largura W , eventualmente L e mais provável V_T dos transistores. Neste caso, a largura efetiva têm a tendência de aumentar durante o processo *CMOS* se a corrosão da área ativa for exagerada. Uma análise mostra que se a relação de fator de ganho diminui, a região de transição desloca-se de esquerda a direita, mas a forma da curva é mantida e a performance de comutação do inversor não é afetada.

$$\beta_n / \beta_p < 1 \quad (5.5)$$

CONCLUSÕES DO CAPÍTULO 5

Os parâmetros especificados para a tecnologia *CMOS* de 2 μm -CCS-Unicamp e de 1,3 μm -UC - Berkeley foram mostrados para sua comparação e verificação de semelhanças e diferenças.

As espessuras de óxido de silício $t_{ox}=30\text{ nm}$ e $t_{ox}=20\text{ nm}$ são próprias de cada tecnologia. Também, as profundidades de junção $X_{jn}=0,45\mu\text{m}$ e $X_{jp}=0,45\mu\text{m}$ e de junção $X_{jn}=0,14\mu\text{m}$ e $X_{jp}=0,40\mu\text{m}$ são próprias de cada tecnologia.

As fotografações do processo litográfico *CMOS* foram comparadas sendo que o número de fotografações e de máscaras do processo *CMOS* da UC é quase o dobro que as utilizadas no processo *CMOS* do CCS da segunda fabricação, com a vantagem do nosso processo ser mais simples.

Observa-se que os valores de concentração superficial de dopantes são semelhantes o que é correto e são importantes porque ajusta a tensão de limiar desejado de $|V_T|\approx 0,8\text{V}$ para os transistores de ambos processos. A implantação de ajuste de V_T em ambos processos é feito com Boro para os transistores NMOS e PMOS, mas é feito separadamente com implantações de dose um pouco diferente ($1,9\times 10^{12}$ e $2,4\times 10^{12}\text{ cm}^{-2}$) no processo *CMOS* da UC. Em nosso processo temos a vantagem de simplesmente implantarmos o Boro de ajuste de V_T ($1,5\times 10^{12}\text{ cm}^{-2}$) simultaneamente para os transistores NMOS e PMOS sem utilizar máscaras porque é feito após a formação da área ativa.

As concentrações de dopantes nas regiões de fonte/dreno foram mostradas, sendo que os valores correspondentes são semelhantes para ambos processos. A diferença observada está na implantação de fonte/dreno N^+ que é feito só com Arsênio para obter uma profundidade de junção mais rasa, isto no caso do processo *CMOS* da UC.

As características elétricas de um transistor da referência foram comparadas com as de outro transistor de nossa fabricação com L similar. Assim, o transistor NMOS, com a relação $W/L=10/1$ e $L=1\mu\text{m}$ da UC - Berkeley, foi utilizado para comparar com o transistor NMOS, com a relação $W/L_{\text{poli}}=20/3$ e $L_{\text{poli}}=3\mu\text{m}$ do CCS-Unicamp que em ambos casos são os transistores de mínima dimensão que foram medidos e comparados:

- As características de dreno dos transistores NMOS e PMOS mostram ser semelhantes para ambos processos *CMOS*. A relação de correntes de dreno medida na região de saturação dos transistores mostram-se coerentes com a relação das dimensões W/L ;
- As medidas da tensão de limiar V_T para valores da tensão de substrato V_{bs} , na faixa de 0 a -3 V no transistor NMOS e na faixa de 0 a 3 V no transistor PMOS, mostram semelhanças nos valores correspondentes para ambos processos *CMOS*. Após a medida da tensão de limiar V_T para vários valores da tensão de substrato V_{bs} , foram utilizados os valores extraídos V_{T0} , V_{T1} , V_{T2} e V_{T3} para extrair o

parâmetro fator de corpo gamma (γ) sendo satisfatório para ambos processo com resultados semelhantes e ao redor do valor típico de $0,5 \text{ V}^{1/2}$;

- A medida sublimiar, onde a corrente de dreno é medida como uma função da tensão de porta na região de sublimiar ($<V_T$) e traçada a curva como $\text{Log}(I_D) \times V_{GS}$, mostrou curvas com igual inclinação para vários valores de tensão de dreno e os valores medidos S estão ao redor de 100 mV/década o que é satisfatório para ambos processos *CMOS*. Observa-se também que a corrente de fuga é menor que $1 \times 10^{-10} \text{ A}$ no transistor da UC e é menor que $1 \times 10^{-9} \text{ A}$ no transistor de CCS-Unicamp. Esta diferença de uma ordem de grandeza indica a necessidade de otimizarmos o nosso processo para diminuir a corrente de fuga.

Uma comparação entre as medidas de inversores da primeira fabricação e da segunda fabricação, mostraram a reprodutibilidade do processo *CMOS* e foi mostrada uma melhora nas medidas de curvas de transferência, sendo mais verticais e abruptas na região de transição de estado.

CAPÍTULO 6 – CONCLUSÕES

Acreditamos ter alcançado os objetivos deste trabalho os quais destacamos:

- (a) Alcançamos com bons resultados experimentais, o primeiro objetivo deste trabalho que foi o desenvolvimento de um processo *CMOS* 2 μ m. As metas de projeto propostas foram alcançadas com resultados satisfatórias conforme comparação com os parâmetros principais da tecnologia e as simulações realizadas, além disso, os resultados experimentais foram comparados com os da Universidade de Califórnia (UC) e demonstra claramente que nossos resultados são compatíveis com os do Laboratório de microfabricação da UC.
- (b) Projetamos um conjunto de *chips* didáticos baseados em nossa fabricação da tecnologia do *CMOS* de dupla ilha. A proposta de um jogo de ensino de seis *chips* está baseado em estruturas MOS usando a tecnologia de 2 μ m *CMOS*. As experiências experimentais apresentadas aqui cobrem a aprendizagem básica dos dispositivos e dos circuitos mostrando a viabilidade de seu uso em disciplinas de eletrônica e microeletrônica. O projeto oferece uma escala nova de estruturas para dispositivos e circuitos e cobre alguns vazios deixados por um chip comercial similar.

A estratégia proposta foi cumprida destacando que:

- As etapas de processo foram desenvolvidas determinando-se as variáveis de processo necessárias ao processo *CMOS* projetado.
- Deposição de nitreto e sua corrosão por plasma foi realizado sem problemas enquanto a sua remoção total apresentou uma certa dificuldade após sofrer implantações e processo térmico.
- Deposição de poli Si e sua corrosão por plasma foi realizado sem problemas.
- A corrosão do poli Si foi realizada com um certo cuidado, pois na superfície do poli Si existe uma fina camada de óxido, depositada com a intenção de não fotografar diretamente no poli Si e evitar a falta de aderência.
- A corrosão do poli Si na primeira fabricação não foi anisotrópico como era desejado e tivemos uma diminuição efetiva do comprimento de porta de $\Delta L_{\text{eff}} = 1,62\mu\text{m}$. A relação definida pela expressão $\Delta L_{\text{eff}} = \Delta L_{\text{poly}} + 2 * 0.7 * X_J = 1,62$ indica que $\Delta L_{\text{poli}} \approx 1\mu\text{m}$ devido á corrosão lateral de 0,5 μ m. Na segunda fabricação isto foi corrigido e tivemos alta anisotropia utilizando outro gás (CHF_3) para o plasma.
- A oxidação e suas condições estabelecidas para obter óxidos finos (20nm, 30nm, 50nm) foram efetivas e tivemos espessuras conforme o previsto pela simulação Suprem.

- Projetamos um chip teste, contendo os dispositivos necessários para a caracterização do processo *CMOS* e para o conjunto de *chips* didáticos.
- Um conjunto de *chips* didáticos contendo circuitos analógicos e digitais foram projetados para fornecer um jogo de chips para o ensino baseados em estruturas MOS usando a tecnologia *CMOS* de $2\mu\text{m}$.

Os resultados das medidas revelaram que as variáveis de processo utilizadas estão corretas e atendem aos objetivos de nosso trabalho que foi o desenvolvimento do processo *CMOS* $2\mu\text{m}$. Os resultados da extração de parâmetros para o simulador Spice através de métodos de extração, e também a extração de parâmetros para a caracterização de processo através das medidas CV mostraram que a metodologia satisfaz para o objetivo de uso didático. Assim, nos capacitores foram realizadas as medidas CV para determinar a capacitância em acumulação C_{ox} e verificar a espessura do óxido T_{ox} , a carga efetiva total no óxido Q_{ox} e a dopagem de substrato N_{sub} . Dentre elas podemos assumir que a melhor medida para o parâmetro carga efetiva total no óxido Q_{ox} corresponde ao valor de $6 \times 10^{11} \text{ cm}^{-2}$ (amostra CV7), pois apresenta a menor tensão de V_{fb} que indica menor densidade de cargas. Na literatura [7] o valor ideal para este parâmetro é de $1.0 \times 10^{10} \text{ cm}^{-2}$, ou seja, os valores obtidos pelas nossas amostras indicam uma densidade de carga efetiva um pouco mais elevada que a desejada, provavelmente consequente do processo de oxidação.

Realizamos medidas elétricas nos diodos para determinar suas características I V, tensão V_c e determinar o coeficiente de idealidade n . A corrente reversa obtida foi de $1,3 \times 10^{-8} \text{ A}$ e considerando que a área do diodo medido é $200\mu\text{m} \times 200\mu\text{m}$ corresponde a densidade de corrente de $J=32,5 \mu\text{A}/\text{cm}^2$ o que característico de nosso processo mas precisa ser otimizado para valores mais baixos. O fator de idealidade obtido foi de $n=1,17$ valor este próximo de 1, por isso, satisfatório. O valor do parâmetro $S = 70\text{mV}/\text{dec}$ é satisfatório e compatível com o valor obtido de coeficiente de idealidade n .

Foi descrito o fotodiodo e feita a análise detalhada de seu comportamento associado com parâmetros de nosso processo *CMOS* e mostrado em gráficos a tensão de diodo em função do tempo sendo a curva $V_D(t) \times \text{Tempo}$ linearmente proporcional ao tempo para valores curtos de tempo a partir da fase sinal. O análise indica que a tensão do fotodiodo independe da área do fotodiodo sendo que sua dependência é com a densidade fotônica. O resultados do fotodiodo como os de polarização do circuito APS foram comparados com as medidas experimentais de três níveis de iluminação e apresentados num só gráfico com uma boa coerência, assim foram obtidos as correspondentes densidade de corrente fotônica para os três níveis experimentais de iluminação.

No capítulo 4 foram apresentadas as experiências propostas para a utilização de chips didáticos que cobrem a aprendizagem básica dos dispositivos e dos circuitos. Foi apresentada a utilização de transistores e circuitos de dimensões de comprimento de porta até de $L_{poli} = 2\mu\text{m}$ e $L_{eff} = 1,4\mu\text{m}$, sendo menores que as usadas em chips comerciais similares ($\sim 100 \mu\text{m}$).

Em termos específicos foram apresentados neste Capítulo 4, o projeto de um conjunto de chips didáticos com os dispositivos projetados e suas estruturas, assim como resultados

satisfatórios de caracterização de dispositivos efetuados no chip teste. Um conjunto de capacitores, transistores, diodos, fotodiodos e células APS são algumas novas opções apresentadas com bons resultados cobrindo algumas lacunas deixadas por um chip similar comercial. Os *chips* didáticos foram projetados e apresentados com seus respectivos *layouts* sendo um conjunto de 6 chips didáticos.

- **O chip 1** oferece resistores de Alumínio (metal), de material tipo P, de material tipo N e de polisilício dopado N^+ na forma de estruturas Van-der-Pauw. As estruturas Van-der Pauw são de material N^+ , P^+ e de polisilício. As medidas realizadas durante o processo de fabricação e as medidas de resistência de folha destas estruturas são compatíveis.
- **chip 2** oferece um conjunto de capacitores e diodos que descrevemos e têm várias finalidades. Entre elas obter as medidas e extrair os parâmetros do simulador Pspice modelo nível 3 mostrado no capítulo 3.
- **chip didático 3** oferece um conjunto de fotodiodos de diferentes formas e áreas. O mesmo chip oferece ainda outro conjunto de circuitos com sensores APS, que foram descritos.
- **chip didático 4** oferece transistores NMOS e PMOS que foram descritos com esquemas de ligações do conjunto de transistores NMOS com L variável e W fixo e do conjunto de transistores NMOS com W variável e L fixo. Outros conjuntos semelhantes mas com transistores PMOS também estão disponíveis neste chip 4. Foram atingidos os objetivos de realizar a extração dos parâmetros nos transistores a partir das medições de caracterização elétrica de dreno e de porta, com resultados satisfatórios.
- **chip didático 5** é composto dos circuitos inversores e do oscilador em anel o qual foi apresentado através do *layout* mostrado na figura 4.9. Este chip 5 é composto de nove circuitos inversores e de um oscilador. Temos três inversores com variação de W nos transistores PMOS para verificar a simetria da curva de transferência. A medida obtida dos inversores é a curva de transferência, que teve resultados satisfatórios.
- **chip didático 6** é composto de quatro amplificadores operacionais onde algumas etapas dos circuitos estão isoladas na alimentação V_{DD} para poder medir a corrente de cada etapa em forma independente. A descrição foi apresentada através dos esquemas elétricos e *layout* dos amplificadores operacionais e suas etapas. Os amplificadores operacionais são facilmente encontrados como casos de estudo na literatura, e cada um é composto de: (a) amplificador diferencial de entrada, (b) amplificador de saída, e (c) circuito espelho de corrente, sendo estes amplificadores operacionais adequados para a finalidade didática.

No capítulo 5, os parâmetros especificados para a tecnologia CMOS de $2\mu\text{m}$ -CCS-Unicamp e de $1,3\mu\text{m}$ -UC -Berkeley foram mostrados para sua comparação e verificar semelhanças e diferenças. As características elétricas de um transistor da referência foram

comparadas com as de outro transistor de nossa fabricação com L similar. Assim, o transistor NMOS, com a relação $W/L=10/1$ e $L=1\mu\text{m}$ da UC- Berkeley, foi utilizado para comparar com o transistor NMOS, com a relação $W/L_{\text{poli}}=20/3$ e $L_{\text{poli}}=3\mu\text{m}$ do CCS-Unicamp que em ambos casos são os transistores de mínima dimensão que foram medidos e comparados:

- As características de dreno dos transistores NMOS e PMOS mostram ser semelhantes para ambos processos *CMOS*. A relação de correntes de dreno medida na região de saturação dos transistores mostram-se coerentes com a relação das dimensões W/L .
- As medidas da tensão de limiar V_T para valores da tensão de substrato V_{bs} , na faixa de 0 a -3 V no transistor NMOS, e na faixa de 0 a 3 V no transistor PMOS, mostram semelhança nos valores correspondentes para ambos processos *CMOS*. Após a medida da tensão de limiar V_T para vários valores da tensão de substrato V_{bs} , foram utilizados os valores extraídos V_{T0} , V_{T1} , V_{T2} e V_{T3} para extrair o parâmetro fator de corpo γ sendo satisfatório para ambos processos com resultados semelhantes e ao redor do valor típico de $0,5 \text{ V}^{1/2}$.
- A medida sublimiar, onde a corrente de dreno é medida como uma função da tensão de porta na região de sublimiar ($<V_T$) e traçada como $\text{Log}(I_D) \times V_{GS}$, mostrou curvas com igual inclinação para vários valores de tensão de dreno e os valores medidos S estão ao redor de 100 o que é satisfatório para ambos processos *CMOS*. Observa-se também que a corrente de fuga é menor que $1 \times 10^{-10} \text{ A}$ no transistor da UC e é menor que $1 \times 10^{-9} \text{ A}$ no transistor de CCS-Unicamp, esta diferença de uma ordem de grandeza indica que devemos otimizar o processo para diminuir a corrente de fuga.

Uma comparação entre as medidas de inversores de primeira fabricação e de segunda fabricação mostraram a reprodutibilidade do processo *CMOS* e foi mostrada uma melhora nas medidas de curvas de transferência, sendo mais verticais e abruptas na região de transição de estado.

Trabalhos futuros baseados na infraestrutura CCS.

Para o processo *CMOS*:

Consideramos que os trabalhos futuros estão relacionados com a evolução deste processo *CMOS* para uma tecnologia de menor dimensão, e a maior possibilidade é a tecnologia *CMOS* de $1,2\mu\text{m}$. Para isto, as limitações aqui no CCS em função de cada etapa principal, estão relacionadas aos seguintes:

Na litografia, ficou demonstrada a fotogração e corrosão de linha de poli na porta de transistores até $1\mu\text{m}$. Estes transistores com esta porta foram fabricados, mas, encontra-se ainda na etapa de estabelecimento dos parâmetros de processo e o trabalho futuro é

desenvolver a tecnologia de $1,2\mu\text{m}$. Numa seguinte fase, para dimensões de linha menores de $1\mu\text{m}$ ($0,5\mu\text{m}$ e $0,35\mu\text{m}$) é necessário um stepper com redução ótica e utilizar o fotorresiste para esta faixa de linha. A Universidade de Califórnia tem realizado isto instalando um stepper PAS5500/90 e fez seu primeiro processo de $0,35\mu\text{m}$ durante o ano 2002.

Na corrosão e remoção de plasma, ficou demonstrado que linhas de polisilício de $1\mu\text{m}$ podem ser realizados, com boa seletividade e alta anisotropia, aplicando um novo plasma com gás CHF_3 conforme resultados da segunda fabricação. O trabalho futuro é otimizar a uniformidade do processo de corrosão na superfície da lâmina através de maior domínio do processo e ou de novos reatores de plasma. Ao final do processo de corrosão do plasma é melhor terminar retirando os restos do material corroido (nitreto, poli, óxido) com ataque químico e assim evitar produzir rugosidade ou polímeros na superfície do silício ou poli.

Na oxidação, recozimento e/ou difusão, obtivemos bons resultados, mas o óxido de porta pode otimizar-se e isto está relacionada com a limpeza e eliminação de fontes de contaminação. Outro fator comprovado é que a oxidação térmica de porta finalizada com um recozimento melhora a qualidade do óxido. Esta melhora permite aumentar a tensão de ruptura dos transistores e minimizar a corrente de fuga através do óxido. Utilizar dielétrico de alta constante dielétrica (high K) como isolante de porta é uma opção para trabalho futuro, assim o óxinitreto de Si é uma boa possibilidade para trabalhar até com espessuras de alguns nanômetros.

Para o conjunto de *chips* didáticos:

Recomendamos projetar outros *chips* didáticos visando sua utilização para outras disciplinas da eletrônica. Um chip para a disciplina de comunicações é uma proposta interessante, que precisa muitas experiências com radiofrequência. O chip de amplificadores operacionais mais avançados pode dar a seqüência das experiências do chip projetado neste trabalho. Outros *chips* com circuitos mais complexos podem ser projetados incluindo no processo *CMOS* outro nível de metal e/ou de polisilício.

CONTRIBUIÇÃO:

A contribuição deste trabalho está nos seguintes pontos:

- (a) Foi feita pela primeira vez uma fabricação local de *CMOS*, tecnologia de $2\mu\text{m}$ e etapas de processo como deposição de nitreto, polisilício e a corrosão (*plasma etching*) destes materiais. [10] [11] [37].
- (b) Foi apresentado um conjunto de *chips* didáticos de fabricação local *CMOS* cobrindo várias facilidades não apresentadas por um similar comercial, sendo que isto é realizada pela primeira vez no Brasil, concentrando esforços de pesquisas relacionadas. [26] [15] [27] [32] [33] [34] [35] [36] [37] [38] [39].
- (c) Foi feito pela primeira vez células APS funcionando como pixel de imagem de fabricação local *CMOS* que foram incluídas no conjunto de *chips* didáticos. Na segunda fabricação foram

Capítulo 6 Conclusões

fabricadas células APS logarítmicas que podem ser caracterizadas e contribuir com recentes pesquisas [40] [41].

REFERÊNCIAS BIBLIOGRÁFICAS

-
- [1] James D. Plummer, Peter B. Griffin, "Material and Process Limits in Silicon VLSI Technology", Proceedings of the IEEE, vol.89 No 3, pp 240-258, Março 2001.
- [2] David J. Frank, Edward Nowak, Robert H. Dennard, Paul M. Solomon, Hon-Sum Philip W. "Device Scaling Limits of Si Mosfets and their Application Dependencies", Proceedings of the IEEE, vol.89 No 3, pp 259-288, Março 2001.
- [3] Lloyd R. Harriott, "Limits of Lithography" Proceedings of the IEEE, vol.89 No 3, pp 366-374, Março 2001.
- [4] João Antonio Martino – "Um Processo CMOS de cavidade dupla para comprimento de porta de 2µm" Dissertação Escola Politécnica da USP - 1988 USP São Paulo, Brasil.
- [5] Weste N., Eshraghian K. "Principles of CMOS VLSI Design – Ed. Addison-Wesley Publishing Company, 1985
- [6] S. Wolf and R. N. Tauber, "Silicon Processing for the VLSI Era, Vol. 1 – Process Technology, Lattice Press 1986.
- [7] Peter B. Griffin, James D. Plummer, Michael D. Deal, "Silicon VLSI Technology: Fundamentals, Practice, and Modeling", Prentice Hall; 1ª edição, Julho 14, 2000
- [8] C. Reyes-Betanzo, S. A. Moshkalyov, M.A. Pavanello, A. C. S. Ramos, J. Swart "Plasma Etching of Si₃N₄ with High Selectivity Over Si and SiO₂". XVI SBMicro - International Conference on Microelectronics and Packaging -Pirenópolis, GO BRAZIL – Set. 2001.
- [9] S. Moshkalyov, C. Reyes-Betanzo, I. Doi, M.B. Zakia, J. A. Diniz, J. Swart - "Etching of Polycrystalline Silicon in SF₆ Containing Plasmas." XVI SBMicro - International Conference on Microelectronics and Packaging -Pirenópolis, GO BRAZIL – Set. 2001.
- [10] Marcus A. Pereira, José Alexandre Diniz, Ioshiaki Doi and Jacobus W. Swart, "Silicon Nitride Deposited by ECR-CVD at Room Temperature for LOCOS Isolation Technology", 11^{ème} Conférence Internationale sur les Films Solides et les Surfaces, 8-12 juillet 2002, Marseille, France, Paper II.47.
- [11] R. C. Teixeira, I. Doi, M. B. P. Zakia, J. W. Swart, J. A. Diniz, "Grain Size Influence on Sheet Resistance of P- and As-implanted Polycrystalline Silicon Deposited by Vertical CVD Reactor", XVI International Conference on Microelectronics and Packaging - SBMicro 2001, pp. 215-218, Pirenópolis, GO, 10-14 de setembro de 2001.
- [12] C. Reyes-Betanzo, S. A. Moshkalyov, A. C. S. Ramos, M. A. Cotta and J. W. Swart "Effect of Oxygen and Nitrogen Additions on Silicon Nitride Reactive Ion Etching in Fluorine Containing Plasmas", Electrochemical Society Proceedings Volume 2002-17, pp. 263-276.

Referências bibliográficas

-
- [13] C. Reyes-Betanzo, S. A. Moshkalyov and J. W. Swart, "Silicon Nitride Etching in High- and Low-density Plasmas using SF₆/O₂/N₂ Mixtures", C. Reyes-Betanzo, Journal of Vacuum Science and Technology A Vol. 21, n.2, pp. 461-469
- [14] S. Wolf, R. N. Tauber, "Silicon Processing for the VLSI Era, Vol. 2--Process Integration, Lattice Press 1990
- [15] Hugo Jimenez G, M. A. Pavanello, J. W. Swart, I. Doi, J. A. Diniz. "Project and Development of an Educational CMOS Process". XVI SBMicro - International Conference on Microelectronics and Packaging - Pirenopolis, GO Brazil - Set. 2001.
- [16] S. E. Hansen and M. D. Deal "SUPREM-IV.GS - Two Dimensional Process Simulation for Silicon and Gallium Arsenide". Stanford University, 1993.
- [17] PISCES-2ET - 2D Device Simulation for Si and Heterostructures; User's Manual
- [18] Yannis Tsividis: "Operation and Modeling of the MOS Transistor", WCB/McGraw-Hill, 1999.
- [19] Sze S M "Physics of semiconductor Devices (New York:Wiley), 1981.
- [20] Lazlo Voros, "CMOS Baseline Process in the UC Berkeley Microfabrication Laboratory" Report II, December, 2000. www-microlab.eecs.berkeley.edu
- [21] Dieter K. Schroder "Semiconductor Material and Device Characterization" Arizona State University, John Wiley, 1990.
- [22] Etienne Sicard, Microwind -2, 2000.
- [23] M. Furumiya, H. Ohkubo, Y. Muramatsu, S. Kurosawa, F. Okamoto, Y. Fujimoto and Y. Nakashiba, IEEE Trans. Electron Devices, "High-Sensitivity and No-Crosstalk Pixel Technology for Embedded CMOS Image Sensor", vol. 48, No 10, pp.2221-2226, Oct. 2001.
- [24] R.Hornsey, "Design and Fabrication of Integrated Image Sensor", Part II, University of Waterloo, Ontario, Canada, Course notes, May 1999, on line www.cs.yorku.ca/~visor.
- [25] E. R. Fossum, IEEE Trans. Electron Devices, "CMOS Image Sensor Electronic Camera-On-A-Chip", vol. 44, No 10, pp.1689-1698, Oct 1997.
- [26] H. G. Jimenez, S. N. M. Muñoz, M. A. Pavanello, I. F. Silva, J. A. Diniz, M. B. Zakia, I. Doi, J. W. Swart, "Development of CMOS-APS technology", Sbmicro 2002 -17th Symposium on Microelectronics Technology and Devices -Porto Alegre, RS BRAZIL - Set. 2002.
- [27] Gerard Allen "Semiconductor Teaching chips" University of Edinburgh, produced by UnivEd Technologies, 1994.
- [28] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. Staller, Q. Kim and E. R. Fossum, IEEE J. Solid-State Circuits, "CMOS Active Pixel Image Sensor for Highly Integrated Imaging Systems", vol. 32, No 2, pp. 187-197, Feb. 1997.

Referências bibliográficas

- [29] G.P. Weckler, IEEE J. Solid-State Circuits, "Operation of $p-n$ Junction Photodetectors in a Photon Flux Integrating Mode", vol. sc2, No 3, pp.65-73, Sep. 1967.
- [30] Mark N. Horenstein, "Microelectronic Circuit and Devices", Prentice Hall; 2^{da} edição, 1^o Junho, 1995, capítulo 12, página 789.
- [31] Roubik Gregorian, Gabor C. Temes "Analog MOS Integrated circuits for signal", Wiley-Interscience, 1^{ra} edição, 1986, página 208
- [32] Rômulo Oliveira Albuquerque "Integração de Ferramentas de auxílio ao projeto de circuitos integrados para o ensino da Microeletrônica" Dissertação Escola Politécnica da USP - 2002
- [33] R. O. Albuquerque, A. C. Seabra, S. G. dos Santos Filho, J. W. Swart, "An Integrated Environment for Design and Fabrication of Analog CMOS Undergraduate Microelectronic Projects", in "Microelectronics Education - Proceedings of the 4th European Workshop on Microelectronics Education - EWME 2002", pp. 217-220, Editor E. Mandado, J. Farina, M. J. Moure, A. A. Nogueiras, J. J. R. Andina, M. L. R. Pardo and M. D. Valdés, Instituto de Electronica Aplicada, Universidad de Vigo Baiona, Spain, May 23-24, 2002
- [34] Marcos B. C. Pimentel, João A. Pereira, Alexandre O. Corrêa "Chips de Estruturas de Teste para Caracterização de Processo CMOS" LACAM/IM/CTI, Campinas 1995.
- [35] Leandro Tiago Manera, "Determinação de Regras de Projetos e de Parâmetros de Simulação de um Processo nMOS para Fabricação de Circuitos Integrados" Dissertação de Mestrado, FEEC-UNICAMP, Campinas 2002.
- [36] C. Reyes-Betanzo "Corrosão por Plasma para Tecnologias CMOS e Microsistemas", Tese de Doutorado, Faculdade de Engenharia Elétrica e de Computação, UNICAMP, Março de 2003.
- [37] Alexandre Gorni Felício "Filmes Isolantes de SiOxNy Formados por Implantação de Ni trogênio em Substrato de Silício e Posterior Oxidação Térmica", *Dissertação de Mestrado*, FEEC-UNICAMP, 2003.
- [38] José Alexandre Diniz. "Formação de Filmes Finos de Oxinitreto de Silício (SiOxNy) por Implantação de Íons de Nitrogênio (N2+) e de Óxido Nítrico (NO+)", Tese de Doutorado, FEEC-UNICAMP, Campinas, Brasil, 1996
- [39] L. T. Manera, J. A. Diniz, P. J. Tatsch, J. W. Swart "An E/D nMOS Technology for Educational and Multi-project Chip Activities", XVI International Conference on Microelectronics and Packaging - SBMicro 2001, pp. 264-267, Pirenópolis, GO, 10-14 de setembro de 2001.
- [40] M. Tabet, N. Tu, and R. Hornsey "Modeling and Characterisation of Logarithmic CMOS Active Pixel Sensor", J. Vac. Sci. Technol. A18, 1006 – 1009, 2000.
- [41] C. Hong and R.I Hornsey "Inverted Logarithmic Active Pixel with Current Readout", 2001 IEEE Workshop on CCDs and Advanced Image Sensors, Crystal Bay, Nevada, June 2001.

ANEXO

RECEITAS DO PROCESSO, *LAYOUT* DO CI, MÉTODOS DE MEDIÇÃO

A.1 RECEITAS DOS PROCESSOS DE FOTOGRAVAÇÃO.

Tabela dos Fotorresiste usados no laboratório do CCS - UNICAMP

| Aplicação | Fotorresiste | Spinner | Prébate | Exposição | Revelação | PósBake |
|-----------|--------------|-------------------|-----------------------------|---|-----------------------------------|--------------------|
| Positivo | AZ5214 | 5500rpm 40seg | 90 °C 20min Hot plate | CI2 10mw/cm2 40seg. | MIF312+água 40seg. 01:01 | 118 °C 1min |
| | | 6000rpm 40seg. | 118 °C 2min | CI2 10mw/cm2 10seg. | MIF312 40seg. 01:01 | 118 °C 1min |
| Lift Off | AZ5214 | 3000rpm 30seg. | A) 90 °C 4 min | B) CI1 0,8 seg. sem máscara | MIF312 1min10seg. 01:01 | 110°C 1min45seg |
| | | | C) 110 °C 1min45seg | D) 80seg com máscara | AZ400+água 60seg. 01:03 | |
| Negativo | AZ5214 | 4000rpm 40seg | A) 118 °C 4min | B) CI2 20seg com máscara | AZ351+água 1min45seg. 01:01 | 118°C 1min |
| | | | C) 118 °C 1min45seg | D) Flood CI2 10mw/cm2 40seg. sem máscara | | |
| Positivo | AZ5206 | 4000rpm 40seg | 90°C 20min | CI2 10mw/cm2 40seg. | MIF312+água 25seg 01:01 | 118°C 2min |
| Negativo | AZ5206 | 4500rpm 40seg | A) 90°C 4min | B) CI2 16seg com máscara | MIF312+água 30seg 01:01 | 118°C 1min |
| | | | C) 118°C 1min45seg | D) Flood 40seg. sem máscara | | |

| Aplicação | Fotorresiste | Spinner | Prébate | Exposição | Revelação | PósBake |
|-----------|--------------|------------------|----------------|-------------|-------------------------------|----------------|
| Positivo | AZ1518 | 5000rpm 40seg | 100°C 30seg | CP 25seg | MIF312+água 20seg 01:01 | 120°C 30seg |

| | | | | | | |
|----------|--------|------------------|-------------------------|-------------|---------------------|--------------------------|
| Positivo | AZ1350 | 7000rpm 30seg | estufa 92°C 30min | CP 24seg | MIF312+água 1min | estufa 110°C 30min |
|----------|--------|------------------|-------------------------|-------------|---------------------|--------------------------|

| Aplicação | Fotorresiste | Spinner | Prébate | Exposição | Revelação | PósBake |
|-----------|--------------|------------------|---------------|--------------|-------------------------------|----------------|
| Positivo | AZ4620 | 4000rpm 40seg | 90°C 20min | CI2 25seg | MIF312 puro 40seg | 110°C 1min |
| Positivo | AZ3312 | 4000rpm 40seg | 90°C 4min | CI2 40seg | MIF312+água 30seg 01:01 | 110°C 30seg |

A.2 ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 2µM - SEGUNDA FABRICAÇÃO.

TRANSISTOR PMOS $L_{máscara}=2\mu\text{m}$, arquivo P_cmos4_p.in

```
# * * FILE P_cmos4_p.in  revisão: 30-07-2002
# * * continue: FILE P_cm4_p.in
# * * Estructura L=2 um  PMOS transistor
set echo
cpu log
phos poly /gas Trn.0=0.0
bor poly /gas Trn.0=0.0
phos oxide /gas Trn.0=0.0
bor oxide /gas Trn.0=0.0
# * * the horizontal definition
line x loc=0.0 tag=lft spacing=0.25
line x loc=0.95      spacing=0.03
line x loc=1.25      spacing=0.03
line x loc=2.9       spacing=0.25
line x loc=5.0 tag=rht spacing=0.25
# * * the vertical definition
line y loc=0.0 tag=top1 spacing=0.25
line y loc=0.087      spacing=0.05
line y loc=0.125      spacing=0.03
line y loc=0.17       spacing=0.05
line y loc=0.27       spacing=0.05
line y loc=0.3        spacing=0.05
line y loc=0.5        spacing=0.25
line y loc=0.7        spacing=0.25
# line y loc=1.33      spacing=0.05
line y loc=3.01       spacing=0.10
line y loc=5.0 tag=bot1

# * * * the silicon wafer
region silicon xlo=lft xhi=rht ylo=top1 yhi=bot1
# * * * set up the exposed surfaces
bound exposed xlo=lft xhi=rht ylo=top1 yhi=top1
bound backside xlo=lft xhi=rht ylo=bot1 yhi=bot1
```

```

# * * * calculate the mesh
  init Boron conc=1e15 orient=100
#3 * * thermic. oxidation (40 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=17 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
diffuse time=20 temp=1000 nitrogen
#7 * the phos implant - N well (changed by Boron)
  implant phos dose=4e12 energy=100 pearson
#8 * anneal of phos implant
  diffuse time=25 temp=1000 nitrogen
#9 * * oxidation (380 nm)
diffuse time=5 temp=1000 dry
diffuse time=45 temp=1000 wet
diffuse time=5 temp=1000 dry
#10 * * anneal of phos implant (4.5 um)
  diffuse time=500 temp=1150 nitrogen
#12 * *the Boron implant : p well (changed by phos)
  implant Boron dose=6e11 energy=50 pearson
#13 * oxide etching (380 nm)
  etch oxide all
#14 * anneal of Boron implant
  diffuse time=0.001 temp=1000 dry
  diffuse time=25 temp=1000 nitrogen
#15 * thermic oxidation (40 nm)
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=17 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
#16 anneal of Boron implant (1.4 um)
  diffuse time=230 temp=1050 nitrogen
#17 * * deposit the nitride (120 nm)
  deposit nitride thick=0.120
#18 * Photolit. n 2 ( Photores + nitride Si) - active region
  deposit photores thick=1.0
#20 * *Photolit. n 3 ( Photoresist ) ring +P
  deposit photores thick=1.0
#21 * *the Boron implant : ring p+
  implant Boron dose=1e13 energy=100 pearson
#22 * * photores etching
  etch photores all
#23 * * anneal of Boron implant
  diffuse time=25 temp=1000 nitrogen
# 24 * * local oxidation (1000 nm)
  diffuse time=255 temp=1000 nitrogen
#25 * nitride etching (120 nm)
  etch nitride all
#26 * oxide etching (40 nm)
  etch oxide all
# 27 * * Thermic oxidation (50 nm)
diffuse time=0.001 temp=900 dry
diffuse time=5 temp=900 nitrogen

```

```

diffuse time=5      temp=900  dry
diffuse time=18    temp=900  wet
diffuse time=5     temp=900  dry
diffuse time=5     temp=900  nitrogen
#28 * oxide etching (50 nm)
    etch oxide all
#29 * * Thermic oxide (30 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5     temp=1000 nitrogen
diffuse time=5     temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=10    temp=1000 dry
oxide hcl.pc=0
diffuse time=5     temp=1000 dry
diffuse time=5     temp=1000 nitrogen
#30 * *the Boron implant for VT adjust
    implant Boron dose=1.5e12 energy=30 pearson
#31 * oxide etching (30 nm)
    etch oxide all
#32 * anneal of implant (Boron) gate oxidation (30 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5     temp=1000 nitrogen
diffuse time=5     temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=10    temp=1000 dry
oxide hcl.pc=0
diffuse time=5     temp=1000 dry
diffuse time=25    temp=1000 nitrogen
# * * * save the data
    structure out=oed.str
#33 * * deposit the poly (500 nm)
    deposit poly thick=0.500 div=10
# * * the vertical definition for Poly
line y loc=-0.296 tag=top2 spacing=0.15
line y loc=-0.25      spacing=0.10
line y loc=-0.20      spacing=0.10
line y loc=-0.10      spacing=0.10
line y loc=0.30 tag=bot2 spacing=0.15
# * * * the poly region
region poly xlo=lft xhi=rht ylo=top2 yhi=bot2
# * * * set up the exposed surfaces
bound exposed xlo=lft xhi=rht ylo=top2 yhi=top2
bound backside xlo=lft xhi=rht ylo=bot2 yhi=bot2
# * * * calculate the mesh
init isilicon conc=1.0e10
#34 * the uniform phos implant (gate - poly)
implant phos dose=1e16 energy=30 pearson
#34a * anneal of phos implant (Poly) (RTA)
diffuse time=0.67 temp=960 nitrogen
#35 * Photolit. n 4 (Photores + poly Si)
deposit photores thick=1.0
#35a * poly etching
etch photores right p1.x=0.95 p1.y=-0.02 p2.x=0.95 p2.y=-1.55
etch poly right p1.x=1.05 p1.y=0.23 p2.x=0.95 p2.y=-0.35
# * save the data out=poly.str
# struct outfile=poly.str
# * reflect the structure

```

```

struct mirror left
#37 * Photolit. n 5 ( P+ of D/S )
deposit photores thick=1.0
etch photores left p1.x=-0.95 p1.y=0.3 p2.x=-0.95 p2.y=-2.5
etch photores start x=3.0 y=0.3
etch photores cont x=0.95 y=0.3
etch photores cont x=0.95 y=-2.5
etch photores done x=3.0 y=-2.5
etch photores start x=0.95 y=-1.3
etch photores cont x=-0.95 y=-1.3
etch photores cont x=-0.95 y=-2.5
etch photores done x=0.95 y=-2.5
#38 * *the Boron implant for D/S of PMOS (and P+ of pwell)
    implant Boron dose=3e15 energy=20 pearson angle=7
#39 * * oxide etching
    etch photores all
    struct outf=imp4.str
#40 * Photolit. n 6 for n+ of nwell ( and D/S of NMOS)
    deposit photores thick=1.0
    etch photores right p1.x=3.0 p1.y=0.3 p2.x=3.0 p2.y=-1.80
#41 * * the uniform phos implant (drain/source)
    implant phos dose=2e15 energy=30 pearson
#41a * the uniform arsenic implant (drain/source)
    implant arsenic dose=7.5e15 energy=50 pearson
#42 * * oxide etching
    etch photores all
# 43 * Pre-anneal of implant (B) e (phos+ars) drain/source
#diffuse time=0.001 temp=600 dry
#diffuse time=40 temp=600 nitrogen
# 44 * anneal of implant (B) e (phos+ars) drain/source
#diffuse time=5 temp=950 nitrogen
diffuse time=5 temp=950 dry
#diffuse time=7 temp=950 wet
diffuse time=10 temp=950 dry
diffuse time=10 temp=950 nitrogen
# *** plot the final profile in x=1.8 (cross section of drain/source)
select z=log10(phos)
plot.1d x.v=1.8 x.ma=5.0 y.mi=14.0 y.max=21.0 bound
select z=log10(Boron)
plot.1d x.v=1.8 x.ma=5.0 y.mi=14.0 y.max=21.0 bound
select z=log10(arsenic)
plot.1d x.v=1.8 x.ma=5.0 y.mi=14.0 y.max=21.0 bound
print.1d x.v=1.8 x.min=-0.45 x.max=5
select z=log10(arsenic)
print.1d x.v=1.8 x.min=-0.45 x.max=5
select z=log10(abs(doping))
plot.1d x.v=1.8 cle=f axi=f bound
select z=log10(abs(doping))
print.1d x.v=1.8 x.min=-0.45 x.max=5
select z=log10(abs(doping))
struct outf=imp4.str
# *** plot the final profile in x=4.0 (cross section of n+) -1Dim
# select z=log10(abs(doping))
# plot.1d x.v=4.0 x.ma=2.0 y.mi=14.0 y.max=21.0 bound
# *** plot after poly and after drain anneal.
# ** Profile in x=0.0 (cross section of gate) - 1Dim.
select z=log10(abs(doping))

```

```

    plot.1d x.v=0.0 x.ma=5.0 y.mi=14.0 y.max=18.0 bound
# 47 * * remocao do oxido na regioa de contato (D/S)
# * * * após fotografação n 7
etch oxide right pl.x=1.2
etch oxide left pl.x=-1.2
# * * plot the total profile (phos) -2Dim.
# select z=log10(abs(doping))
# plot.2d bound fill y.max=2.0
# foreach v (16.0 to 18.0 step 0.5)
#   contour val=v
# end
# 48 * * deposição de aluminio (1.0 um)
deposit alum thick=1.0
# 49 * * remoção do aluminio na regioa de porta
# * * * * após fotografação n 8
etch alumin start x=-1.5 y=0.3
etch alumin cont x=1.5 y=0.3
etch alumin cont x=1.5 y=-1.6
etch alumin done x=-1.5 y=-1.6
# * * save the data out=lab_.str
# struct out=lab_.str
# * remove extra grid nodes to save Pisces compute time
etch start x=-5.1 y=-0.1
etch cont x=5.1 y=-0.1
etch cont x=5.1 y=-1.7
etch done x=-5.1 y=-1.7
select z=log10(abs(doping))
plot.2d bound fill y.max=2.0
foreach v (16.0 to 18.0 step 0.5)
  contour val=v
end
# * * save it in Pisces format
struct pisc=2_pmesh.msh
end

```

A.3 ALGORITMO DA SIMULAÇÃO SUPREM – PROCESSO 2µM – SEGUNDA FABRICAÇÃO.

TRANSISTOR NMOS $L_{máscara}=2\mu\text{m}$, arquivo N_cmos4_p.in

```

# * * FILE N_cmos4_p.in   revisão: 18 - 3 - 2002
# * * continue: FILE N_cm_p.in
# * * Estructura L=2 um   NMOS transistor
set echo
cpu log
phos poly /gas Trn.0=0.0
bor poly /gas Trn.0=0.0
phos oxide /gas Trn.0=0.0
bor oxide /gas Trn.0=0.0
# * * the horizontal definition
line x loc=0.0 tag=lft spacing=0.25
line x loc=0.95 spacing=0.03
line x loc=1.25 spacing=0.03
line x loc=2.9 spacing=0.25
line x loc=5.0 tag=rht spacing=0.25
# * * the vertical definition

```

```

line y loc=0.0 tag=top1 spacing=0.25
line y loc=0.087 spacing=0.05
line y loc=0.125 spacing=0.03
line y loc=0.17 spacing=0.05
line y loc=0.27 spacing=0.05
line y loc=0.3 spacing=0.05
line y loc=0.5 spacing=0.25
line y loc=0.7 spacing=0.25
#line y loc=1.33 spacing=0.05
#line y loc=3.0 spacing=0.10
line y loc=5.0 tag=bot1
# * * * the silicon wafer
region silicon xlo=lft xhi=rht ylo=top1 yhi=bot1
# * * * set up the exposed surfaces
bound exposed xlo=lft xhi=rht ylo=top1 yhi=top1
bound backside xlo=lft xhi=rht ylo=bot1 yhi=bot1
# * * * calculate the mesh
init Boron conc=1.0e15 orient=100
#3 * * * thermic. oxidation (40 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=17 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
diffuse time=20 temp=1000 nitrogen
#4 * * * deposit the nitride (120 nm)
deposit nitride thick=0.120
#5 * * * Photolit. n 1 ( nitreto de Si) * P well.
deposit photores thick=1.0
#7 * the phos implant - N well (changed by Boron)
implant phos dose=4e12 energy=100 pearson
# * * * photores etching (1.0 um)
etch photores all
#8 * anneal of phos implant
diffuse time=25 temp=1000 nitrogen
#9 * * * local oxidation (380 nm)
diffuse time=55 temp=1000 nitrogen
#10 * * * anneal of phos implant (4.5 um)
diffuse time=500 temp=1150 nitrogen
#11 * nitride etching (120 nm)
etch nitride all
#12 * *the Boron implant : p well (changed by phos)
implant Boron dose=6e11 energy=50 pearson
#13 * oxide etching (380 nm)
etch oxide all
#14 * anneal of Boron implant
diffuse time=0.001 temp=1000 dry
diffuse time=25 temp=1000 nitrogen
#15 * thermic oxidation (40 nm)
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=17 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
#16 anneal of Boron implant (1.4 um)

```

```

diffuse time=230 temp=1050 nitrogen
#17 * * deposit the nitride (120 nm)
deposit nitride thick=0.120
#18 * Photolit. n 2 ( Photores + nitride Si) - active region
deposit photores thick=1.0
#21 * *the Boron implant : ring p+
implant Boron dose=1e13 energy=100 pearson
#22 * * photores etching
etch photores all
#23 * * anneal of Boron implant
diffuse time=25 temp=1000 nitrogen
# 24 * * local oxidation (1000 nm)
diffuse time=255 temp=1000 nitrogen
#25 * nitride etching (120 nm)
etch nitride all
#26 * oxide etching (40 nm)
etch oxide all
# 27 * * Thermic oxidation (50 nm)
diffuse time=0.001 temp=900 dry
diffuse time=5 temp=900 nitrogen
diffuse time=5 temp=900 dry
diffuse time=18 temp=900 wet
diffuse time=5 temp=900 dry
diffuse time=5 temp=900 nitrogen
#28 * oxide etching (50 nm)
etch oxide all
#29 * * Thermic oxide (30 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=10 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
#30 * *the Boron implant for VT adjust
implant Boron dose=1.5e12 energy=30 pearson
#31 * oxide etching (30 nm)
etch oxide all
#32 * anneal of implant (Boron) gate oxidation (30 nm)
diffuse time=0.001 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
diffuse time=5 temp=1000 dry
oxide hcl.pc=0.3 hclP=1 hclT=1000 hcl.lin=3 hcl.par=2.5
diffuse time=10 temp=1000 dry
oxide hcl.pc=0
diffuse time=5 temp=1000 dry
diffuse time=5 temp=1000 nitrogen
# * * save the data
structure out=oed.str
#33 * * deposit the poly (500 nm)
deposit poly thick=0.500 div=10
# * * the vertical definition for Poly
line y loc=-0.45 tag=top2 spacing=0.10
line y loc=-0.38 spacing=0.10
line y loc=-0.30 spacing=0.10
line y loc=0.2 tag=bot2 spacing=0.15

```

```

# * * * the poly region
region poly xlo=lft xhi=rht ylo=top2 yhi=bot2
# * * * set up the exposed surfaces
bound exposed xlo=lft xhi=rht ylo=top2 yhi=top2
bound backside xlo=lft xhi=rht ylo=bot2 yhi=bot2
# * * * calculate the mesh
init isilicon conc=1.0e10
#34 * the uniform phos implant (gate - poly)
implant phos dose=1e16 energy=30 pearson
#34a * anneal phos implant (Poly) (RTA)
diffuse time=0.67 temp=960 nitrogen
#35 * Photolit. n 4 ( Photores + poly Si)
deposit photores thick=1.0
#35a * poly etching
etch photores right pl.x=0.95 pl.y=-0.2 p2.x=0.95 p2.y=-1.55
etch poly right pl.x=1.05 pl.y=0.9 p2.x=0.95 p2.y=-0.45
# * save the data out=poly.str
struct outfile=poly.str
# * reflect the structure
struct mirror left
#37 * Photolit. n 5 (P+ of pwell)
deposit photores thick=1.0
etch photores left pl.x=-3.0 pl.y=0.3 p2.x=-3.0 p2.y=-1.80
#38 * *the Boron implant for P+ of pwell (and D/S of PMOS)
implant Boron dose=3e15 energy=20 pearson angle=7
#39 * * oxide etching
etch photores all
#40 * Photolit. n 6 for D/S of NMOS (and n+ of nwell)
deposit photores thick=1.0
etch photores right pl.x=-3.0 pl.y=0.3 p2.x=-3.0 p2.y=-2.4
#41 * * the uniform phos implant (drain/source)
implant phos dose=2e15 energy=30 pearson
#41a * the uniform arsenic implant (drain/source)
implant arsenic dose=7.5e15 energy=50 pearson
#42 * * oxide etching (1.0 um)
etch photores all
#43 * Pre-anneal of implant (B) e (phos+ars) drain/source
# diffuse time=0.001 temp=600 dry
# diffuse time=40 temp=600 nitrogen
# 44 * anneal of implant (B) e (phos+ars) drain/source
#diffuse time=5 temp=950 nitrogen
diffuse time=5 temp=950 dry
#diffuse time=7 temp=950 wet
diffuse time=10 temp=950 dry
diffuse time=10 temp=950 nitrogen
struct outf=imp4.str
# * * plot the total profile *** -2Dim.
# select z=log10(abs(doping))
# plot.2d bound fill y.max=1.0
# foreach v (16.0 to 21.0 step 0.5)
# contour val=v
# end
# *** plot the final profile of Boron - 2Dim.
# select z=log10(bor)
# plot.2d bound fill y.max=1.0
# foreach v (16.0 to 18.0 step 0.5)
# contour val=v

```

```

# end
# ** plot the final profile in x=1.8(cross section of drain/fonte)-1Dim
select z=log10(abs(doping))
plot.1d x.v=1.8 x.ma=2.0 y.mi=14.0 y.max=21.0 bound
#select z=log10(arsenic)
#plot.1d x.v=1.8 cle=f axi=f bound
select z=log10(abs(doping))
plot.1d x.v=-1.8 x.ma=2.0 y.mi=14.0 y.max=21.0 bound
# *** plot the final profile in x=4.0 (cross section of n+) -1Dim
# select z=log10(abs(doping))
# plot.1d x.v=4.0 x.ma=2.0 y.mi=14.0 y.max=21.0 bound
# * * plot the final profile in x=-4.0 (cross section of p+ ) -1Dim
#select z=log10(abs(doping))
#plot.1d x.v=-4.0 x.ma=2.0 y.mi=12.0 y.max=21.0 bound
# *** plot Boron after poly and after drain anneal.
# ** Profile in x=0.0 (cross section of gate) - 1Dim.
# select z=log10(bor)
# plot.1d x.v=0.0 x.max=2.0 cle=f axi=f bound
#select z=log10(phos)
#plot.1d x.v=0.0 x.max=2.0 cle=f axi=f bound
# select z=log10(arsenic)
#plot.1d x.v=0.0 x.max=2.0 cle=f axi=f bound
select z=log10(abs(doping))
plot.1d x.v=0.0 x.ma=5.0 y.mi=14.0 y.max=18.0 bound
# 47 * * remocao do oxido na regioao de contato (D/S)
# * * * após fotograçação n 7
etch oxide right pl.x=1.2
etch oxide left pl.x=-1.2
# 48 * * deposição de aluminio (1.0 um)
deposit alum thick=1.0
# 49 * * remoção do aluminio na regioao de porta
# * * * * após fotograçação n 8
etch alumin start x=-1.5 y=0.3
etch alumin cont x=1.5 y=0.3
etch alumin cont x=1.5 y=-1.6
etch alumin done x=-1.5 y=-1.6
# * * plot the total profile (phos) -2Dim.
# select z=log10(abs(doping))
# plot.2d bound fill y.max=2.0
# foreach v (16.0 to 20.0 step 0.5)
# contour val=v
# end
# * * save the data out=lab_.str
struct out=lab_.str
# * remove extra grid nodes to save Pisces compute time
etch start x=-5.1 y=-0.2
etch cont x=5.1 y=-0.2
etch cont x=5.1 y=-1.7
etch done x=-5.1 y=-1.7
# select z=log10(abs(doping))
# plot.2d bound fill y.max=2.0
# foreach v (16.0 to 18.0 step 0.5)
# contour val=v
# end
# * * save it in Pisces format
struct pisc=2_nmesh.msh
end

```

ANEXO A4 **PROCESSO CMOS**
PROCESSO CMOS 2 μ m CCS – VERSÃO SEGUNDA FABRICAÇÃO

Todas as etapas de processo são apresentadas em forma detalhada incluindo as variáveis de processo de cada etapa (temperaturas, pressão, dose, energia etc), assim como resultados de medidas realizadas durante o avanço do processo tais como espessura de camada, profundidade de junção, etc.

As figuras mostram em esquema como progride a estrutura de um circuito inversor após a execução de um número de etapas visando facilitar a compreensão do avanço da seqüência do processo CMOS.

- Lâmina: tipo p+/p, (100), espessura 500 – 550 μ m, dopante Boro, diâmetro 100 mm**
camada epitaxial: resistividade entre 18 e 22 ohm.cm

Verificar diâmetro e espessura da lâmina e testar tipo de lâmina.

Medição de quatro pontas e calcular resistividade.

- Limpeza padrão RCA estendida**

- Oxidação térmica (40 nm):** Temperatura T = 1000 °C
Ambiente N₂ O₂ O₂+TCE O₂ N₂
Tempo (min.) 5 5 17 5 20
Fluxo : N₂ = 1,0 l/min. O₂ = 1,0 l/min
TCE = 0,18 l/min 1 % TCE para T_{banho} = 18 °C

Espessura óxido 40nm

- Deposição de nitreto de Si (120 nm)**

Processo ECR : 10sccm N₂ / 20sccm A_r / 200sccm Si H₄

Pressão 10 mtorr

Temperatura T = 20 °C.

Potência RF = 5 w μ w=1000w

Tempo: 12 minutos.

Espessura de nitreto 120 nm

- fotogravação n° 1 (nitreto de Si / fotorresiste) - ilha N.**
definição da região onde será implantada a ilha N (Fósforo).

Fotomáscara 1 : CAV_N

Fotorresiste AZ5214

Revelador MIF312

Espessura de fotorresiste 1,3 μ m

- Corrosão do nitreto de Si por RIE (Reactive Ion Etcher).**

Processo RIE : 5sccm SF₆ / 20sccm CH₄ / 20sccm N₂

Pressão 150 mtorr

Potência RF = 50 w

Taxa ~ 45 nm/min

manter o fotorresiste sobre o nitreto

- Implantação iônica de Fósforo**

Energia = 100 keV -Dose = 4E12/cm²

MEDIDO:

Espessura óxido
40nm

Espessura de nitreto
116nm, n=1,85

Espessura de
fotorresiste 1,3 μ m

Os processos das etapas 1 até 7 são necessárias para que uma camada de nitreto com espessura de 120nm seja depositada na superfície acima do óxido fino de 40nm pelo processo ECR. A camada é fotogravada, corroída por plasma e a superfície é dopada com I/I de Fósforo formando-se assim as regiões de ilha N. A figura A4.1 mostra o resultado em esquema até a implantação de Fósforo.

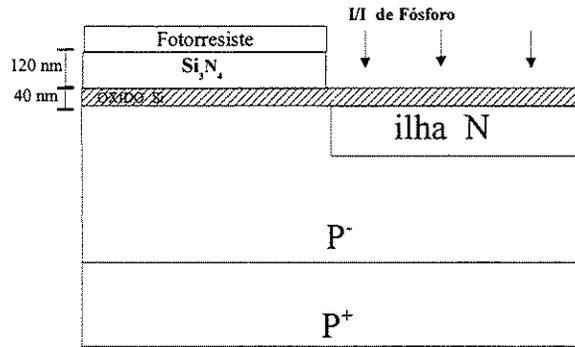


Figura A4.1

8. Remoção do fotorresiste após I/I de Fósforo.

- Remover FR com acetona fria
- Limpeza RCA sem piranha e sem HF

9. Recozimento do Fósforo implantado.

10. Oxidação térmica úmida (380 nm).

11. Difusão do Fósforo (4,5 μm).

Estas três etapas têm o seguinte processo:

| Ambiente | N ₂ | N ₂ | O ₂ | O ₂ +H ₂ O | O ₂ | N ₂ | N ₂ | N ₂ | N ₂ |
|------------------|----------------|----------------|----------------|----------------------------------|----------------|----------------|--------------------|----------------|----------------|
| Temperatura (°C) | 1000 | 1000 | 1000 | 1000 | 1000 | 1150 | 1150 | 1150 | 1150 |
| Tempo (min.) | 5 | 20 | 5 | 45 | 5 | 5 | 480 | 5 | 10 |
| | (entrada) | (recoz.) | (| Oxidação |) | (| difusão do Fósforo |) | (saída) |

Fluxo : N₂ = 1,0 l/min. O₂ = 1,0 l/min
 H₂O = 63 gotas/min.

MEDIDO:

Espessura óxido
430nm

Os processos das etapas 8 até 11 são feitos para que as regiões de ilha N implantadas com Fósforo sejam recozidas a 1000°C durante 20 minutos. Uma camada de óxido Si com espessura 380nm é crescida nas regiões de ilha N que estão livres de nitreto. A temperatura é aumentada até 1150°C realizando-se a difusão de ilha N até 4,5μm. A figura A4.2 mostra o esquema com o resultado após a difusão do Fósforo.

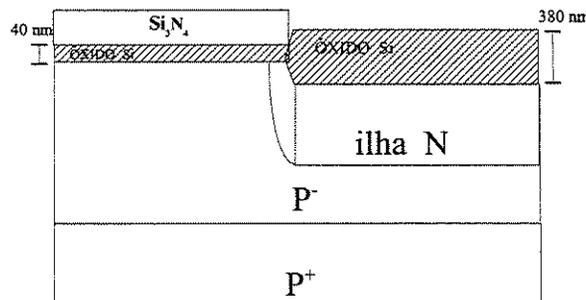


Figura A4.2

12. Remoção total do nitreto de Si por RIE (Reactive Ion Etcher).

Processo RIE : 5sccm SF₆ / 20sccm CF₄ / 20sccm N₂

Pressão 150 mtorr

Potência RF = 50 w

Taxa ~ 45 nm/min

Após a remoção do Nitreto com plasma, fazer 15 minutos/100°C em ácido fosfórico

13. Implantação iônica de Boro - ilha P.

Energia = 50 keV -Dose = $6E11/cm^2$

Os processos das etapas 12 e 13 são necessários para que o nitreto seja retirado e a superfície seja dopada com I/I de Boro, formando-se as regiões de ilha P sendo que o óxido crescido de 380nm protege as regiões de ilha N. A figura A4.3 ilustra a implantação de Boro.

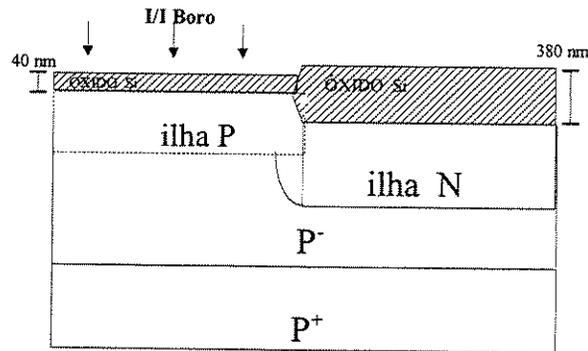


Figura A4.3

14. Remoção total do óxido de Si.

Remoção em BHF até remover todo óxido do caco teste

Tempo ≈ 4 min.

15. Recozimento do Boro implantado.

16. Oxidação térmica (40 nm).

17. Difusão do Boro (1,4 μm).

MEDIDO:
Espessura óxido 44nm

Estas três etapas térmicas são feitas em seqüência com o seguinte processo de forno:

| Ambiente | N ₂ | N ₂ | O ₂ | O ₂ + TCE | O ₂ | N ₂ | N ₂ | N ₂ | N ₂ |
|------------------|-----------------------------|----------------|---|----------------------|----------------|-------------------|----------------|----------------|----------------|
| Temperatura (°C) | 1000 | 1000 | 1000 | 1000 | 1000 | 1050 | 1050 | 1050 | 1050 |
| Tempo (min.) | 5 | 20 | 5 | 17 | 5 | 5 | 210 | 5 | 10 |
| | (entrada) | (recoz.) | (Oxidação térmica) | | | (difusão do Boro) | | (saída) | |
| Fluxo: | N ₂ = 1,0 l/min. | | O ₂ = 1,0 l/min | | | | | | |
| | TCE = 0,18 l/min | | 1 % TCE para T _{banho} = 18 °C | | | | | | |

Espessura óxido 40nm

18. Deposição de nitreto de Si (120 nm).

Processo ECR : 10sccm N₂ / 20sccm A_r / 200sccm Si H₄

Pressão 10 mtorr

Temperatura T = 20 °C.

Potência RF = 5 w μw=1000w

Tempo: 12 minutos.

Espessura nitreto 120nm

MEDIDO:
Espessura nitreto
140nm, n=1,87

Os processos das etapas 14 até 18 são feitos para que o óxido Si seja removido totalmente da superfície de silício e as regiões de ilha P implantadas com Boro sejam recozidas a 1000°C durante 20 minutos. Uma camada fina de 40nm é crescida a 1000°C. Após o recozimento, a temperatura é aumentada ate 1050°C realizando-se a difusão da ilha P até 1,4μm. A figura A4.4 mostra o esquema até a difusão do Boro e a deposição de nitreto de 120nm. Seguidamente uma camada de nitreto com espessura de 120nm é depositada

na superfície acima do óxido fino de 40nm pelo processo ECR. A figura A4.4 mostra o esquema após a deposição do nitreto.

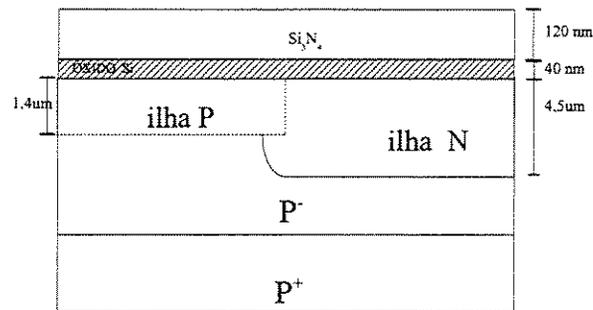


Figura A4.4

19. fotogração nº 2 - Região ativa.

Definição da região ativa .

Fotomáscara 2 : REGAT

fotogração positiva

fotorresiste AZ5214

Espessura fotorresiste 1,3µm

20. Corrosão do nitreto de Si por RIE .

Processo RIE : 5sccm SF₆ / 20sccm CF₄ / 20sccm N₂

Pressão 150 mtorr

Potência RF = 50 w

Taxa ~ 45 nm/min

21. Tratamento para desativação do fotorresiste nº 2

Plasma de CF₄ + 10% O₂

potência = 20 w

pressão = 100 mTorr

Tempo = 2 minutos

MEDIDO:

Espessura fotorresiste
1,3µm

Verificado com
perfilómetro

Os processos das etapas 19 até 21 são necessários para fotografar e corroer o nitreto a fim de definir as regiões ativas. Seguindo a desativação de fotorresiste para que não seja revelado na próxima fotogração de anel de guarda. A figura A4.5 mostra o esquema após a corrosão do nitreto.

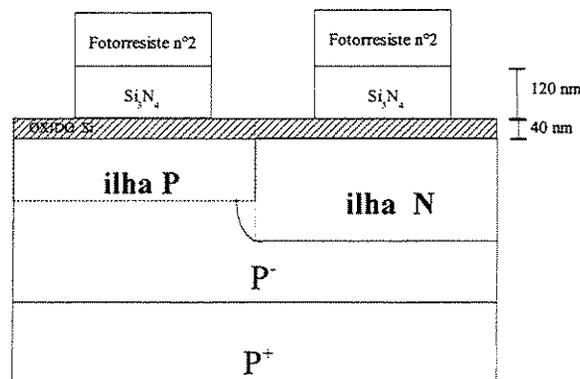


Figura A4.5

22. fotogração nº 3 - Anel de guarda p+ .

Definição do anel de guarda p+ da ilha P.

Fotomáscara 3: ANEL_P

Fotorresiste AZ5214

Revelação: Fotorresiste n2 desativado deve ficar após revelação.

Espessura fotorresiste 1,3µm

23. Implantação iônica de Boro.- Anel de guarda p+ .

Energia = 100 keV

Dose = $1E13/cm^2$

Para aumentar a dopagem superficial nas regiões de campo P+ .

MEDIDO:

Espessura fotorresiste
1,3µm

Os processos das etapas 22 e 23 são feitos para fotografar e implantar as regiões de anel de guarda P+ . A figura A4.6 mostra o esquema após a implantação de Boro.

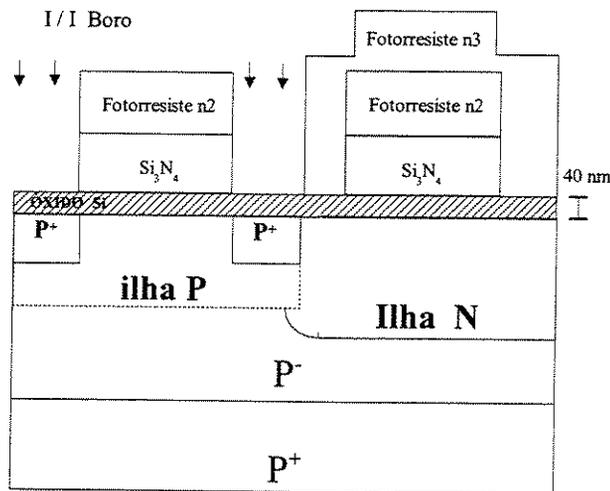


Figura A4.6

24. Remoção total do fotorresiste duplo

remover com acetona fria / ultrassom 3min

limpeza orgânica (acetona quente 10min / isso 10min)

25. Reozimento do Boro implantado.

Primeiro fazer limpeza RCA sem piranha e sem HF

26. Oxidação térmica local (1000 nm) LOCOS

Estas duas etapas têm o seguinte processo:

Temperatura (°C) 1000

| | | | | | | |
|--------------|----------------|----------------|----------------|----------------------------------|----------------|----------------|
| Ambiente | N ₂ | N ₂ | O ₂ | O ₂ +H ₂ O | O ₂ | N ₂ |
| Tempo (min.) | 5 | 20 | 5 | 240 | 5 | 5 |
| | (entrada) | (recoz.) | (| Oxidação local |) | (saída) |

Fluxo : N₂ = 1,0 l/min. O₂ = 1,0 l/min

H₂O = 63 gotas / min.

Espessura do óxido local de Si -LOCOS: 1000µm

MEDIDO:

Espessura do LOCOS
910nm

Os processos das etapas 24 até 25 são para que uma camada com a espessura de 1000nm de óxido Si, chamado óxido de campo o LOCOS, seja crescida termicamente na superfície do silício pelo processo de oxidação úmida. A figura A4.7 mostra o esquema após a formação do LOCOS.

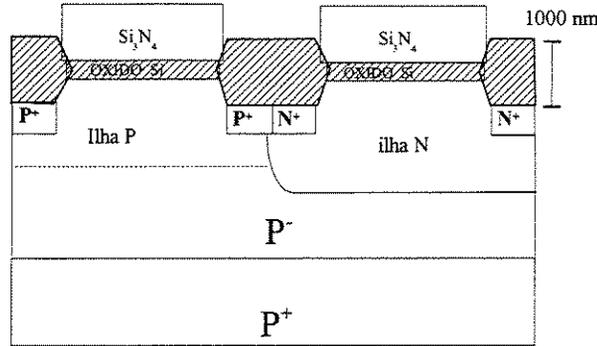


Figura A4.7

27. Remoção total do nitreto de Si por RIE. (Reactive Ion Etcher)

Processo RIE : 5sccm SF₆ / 20sccm CF₄ / 20sccm N₂

Pressão 150 mtorr

Potência RF = 50 w

Taxa ~ 45 nm/min

28. Remoção do óxido de Si. (40nm)

Remoção em BHF até remover todo óxido do caco teste

Remoção em BHF até o tempo de 30 s para remover 40nm de óxido
ver no microscópio : manter LOCOS

29. Oxidação térmica seca (50 nm) (evitar *white ribbon*).

Temperatura (°C) T = 900

Ambiente N₂ O₂ O₂ + H₂O O₂ N₂

Tempo (min.) 5 5 18 5 5

(entrada)

(saída)

Fluxo : N₂ = 1,0 l/min. O₂ = 1,0 l/min H₂O = 63 gotas/min.

30. Remoção do óxido de Si (50 nm).

Remoção em BHF até o tempo de 40 s para remover 50nm de óxido.
verificar no microscópio : manter LOCOS

31. Oxidação térmica (30nm).

Temperatura T = 1000 °C

Ambiente N₂ O₂ O₂ + TCE O₂ N₂

Tempo (min.) 5 5 10 5 5

(entrada)

(saída)

Fluxo : N₂ = 1,0 l/min. O₂ = 1,0 l/min

TCE = 0,18 l/min 1 % TCE para T_{banho} = 18 °C

32. Implantação iônica de Boro para ajuste de VT.

Energia = 30 keV Dose = 1,5E12/cm²

MEDIDO:

Espessura do óxido
51nm

Espessura do óxido
31nm

Os processos das etapas 27 até 32 são executados para deixar a área ativa em condições para posteriormente formar a porta. Assim, primeiramente é removido o nitreto e o óxido da área ativa e a seguir uma camada fina com espessura de 50nm é crescida e removida para limpar restos de nitreto do efeito *white ribbon*. Uma outra camada fina de 30nm de óxido é crescida para implantar Boro através dela, sendo que esta implantação é para o ajuste de V_T. A figura A4.8 mostra o esquema após a implantação de Boro.

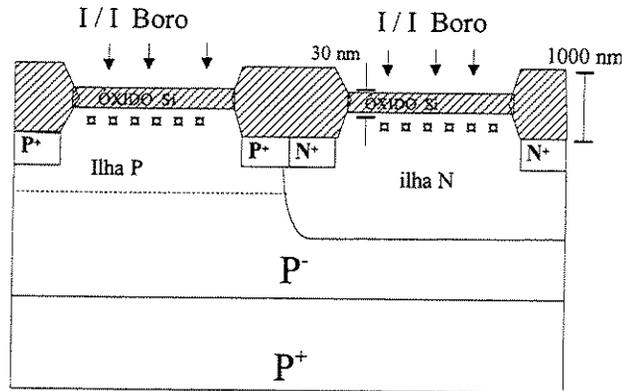


Figura A4.8

33. Remoção do óxido de Si (30 nm).

Remoção em BHF até o tempo de 25s (remove óxido = 30nm)
ver no microscópio : manter LOCOS

34. Oxidação térmica de porta (30nm).

Temperatura $T = 1000\text{ }^{\circ}\text{C}$

| Ambiente | N_2 | O_2 | $\text{O}_2 + \text{TCE}$ | O_2 | N_2 | N_2 |
|--------------|--------------|--------------|---------------------------|--------------|--------------|--------------|
| Tempo (min.) | 5 | 5 | 10 | 5 | 5 | 20 |

(entrada) (saída) (recozimento)

Fluxo : $\text{N}_2 = 1,0\text{ l/min.}$ $\text{O}_2 = 1,0\text{ l/min}$

$\text{TCE} = 0,18\text{ l/min} : 1\% \text{ TCE}$ para $T_{\text{banho}} = 18\text{ }^{\circ}\text{C}$

Espessura do óxido 30nm

35. Deposição de Polissilício (500 nm).

Processo ECR : Reação de Silana e hidrogênio $40\text{ sccm SiH}_4 / 4800\text{ sccm H}_2$.

Pressão 5 Torr

Temperatura $T = 800\text{ }^{\circ}\text{C}$

Tempo $t = 15\text{ min}$

36. Dopagem do Polissilício por I/I de Fósforo.

Energia = 30 keV Dose = $1\text{E}16$

37. Ativação da dopagem com RTA

Temperatura : $960\text{ }^{\circ}\text{C}$ Ambiente: N_2 Tempo : 40 s

38. Deposição de óxido de Si para aderência do fotorresiste (20nm).

Temperatura $T = 1000\text{ }^{\circ}\text{C}$

| Ambiente | N_2 | O_2 | $\text{O}_2 + \text{TCE}$ | O_2 | N_2 |
|--------------|--------------|--------------|---------------------------|--------------|--------------|
| Tempo (min.) | 5 | 5 | 2 | 5 | 5 |

(entrada) (saída)

Fluxo : $\text{N}_2 = 1,0\text{ l/min.}$ $\text{O}_2 = 1,0\text{ l/min}$

$\text{TCE} = 0,18\text{ l/min} : 1\% \text{ TCE}$ para $T_{\text{banho}} = 18\text{ }^{\circ}\text{C}$

Espessura do óxido 20nm

39. fotogração n 4 (Polissilício).

Definição da porta de Poli Si .

Fotomáscara 4 : SIPOLI

Fotorresiste AZ5214

40. Corrosão do Polissilício por RIE .

Processo RIE : $3\text{ sccm SF}_6 / 10\text{ sccm CF}_4 / 10\text{ sccm CHF}_3$

Pressão 80 mtorr

Potência RF = 50 w

MEDIDO:

Espessura do óxido
31nm

Espessura do polissilício
550nm

Espessura do óxido
24nm

Taxa ~50 nm/min

Os processos das etapas 33 até 40 são feitos para formar a porta de polisilício. Para isto é feito primeiro a remoção do óxido utilizado na implantação do Boro, e é crescida a camada 30nm de porta de alta qualidade com TCE. Uma camada com espessura de 500nm de silício policristalino, chamado simplesmente de polisilício ou poli, é depositada na superfície acima do óxido de campo (LOCOS) pelo processo LPCVD (vertical). Toda a superfície de poli é dopada com I/I de Fósforo, fotografada e corroída aplicando plasma RIE deixando limpa a superfície onde serão formadas as regiões de dreno/fonte. A figura A4.9 mostra o esquema após a corrosão do poli.

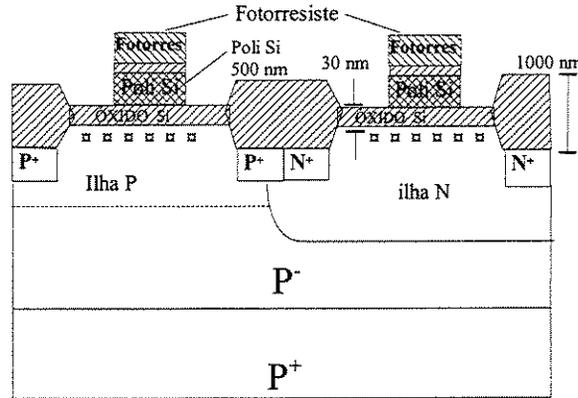


Figura A4.9

41. Tratamento para desativação do fotorresistivo n 4.

Plasma de $CF_4 + 10\% O_2$

pressão = 100 mTor

potência = 20 w

Tempo = 2 minutos

42. fotogração n 5 (P+ de fonte/dreno)

Definir as regiões P+ de fonte/dreno e o contato da ilha P .

fotomáscara 5 : DIFP

fotorresistivo AZ5214

43. Implantação iônica de Boro.

Energia = 20 keV -Dose = $3E15/cm^2$

MEDIDO:

Espessura fotorresistivo
1,3µm

As etapas 41 até 43 mostram o processo para que a superfície seja dopada com I/I de Boro formando-se regiões P+ na ilha N para os dreno/fonte e P+ na ilha P para o contato ôhmico. A figura A4.10 mostra o esquema após a implantação do Boro.

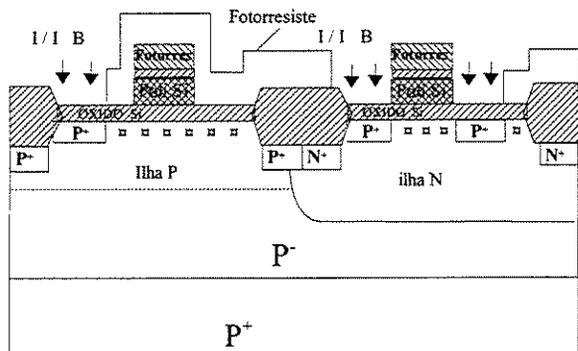


Figura A4.10

44. Remoção total do fotorresiste .

Remoção com acetona quente 10min. e com ultrassom 3min.
O fotorresiste n4 desativado também sai do Polissilício.

45. fotogração n 6 (N+ de fonte/dreno)

Definir as regiões N+ de fonte/dreno e o contato da ilha N (substrato).
Fotomáscara 6 : DIFN
fotorresiste AZ5214

46. Implantação iônica de Fósforo e Arsênio.

Fósforo:

Energia = 30 keV
Dose = $2E15/cm^2$
Corrente de feixe $\leq 30 \mu A$ (observar superfície do FR)

Arsênio:

Energia = 50 keV
Dose = $7,5E15/cm^2$
Corrente de feixe $\leq 30 \mu A$ (observar superfície do FR)

MEDIDO:

Espessura fotorresiste
1,3 μm

Superfície do
fotorresiste sem bolhas.

Os processos das etapas 44 até 46 são executados para que a superfície seja dopada com I/I de Fósforo formando-se as regiões de N+ na ilha N para contato ôhmico. O Fósforo também penetra no poli reduzindo sua resistividade. A figura A4.11 mostra o esquema após as implantações de Fósforo e Arsênio. A corrente de feixe neste caso é crítica porque tem que ser menor que 30 μA para evitar a formação de bolhas na superfície do fotorresiste.

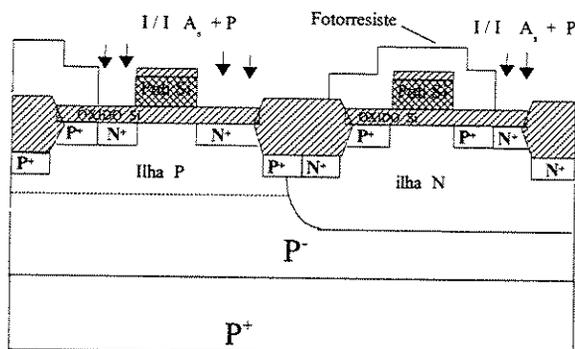


Figura A4.11

47. Remoção total do fotorresiste duplo

Aplicar acetona e ultrassom
Aplicar plasma de O₂ para terminar a remoção do FR. (30min)

48. Pré-recozimento.

49. Recozimento do Boro, Arsênio e Fósforo implantados, e a oxidação de 20 nm.

Estas duas etapas tem o seguinte processo contínuo de Forno:

| | | | | | | | | |
|------------------|-----------------------------|----------------------------|----------------|----------------|----------------|------------------------------------|----------------|----------------|
| Ambiente | N ₂ | N ₂ | N ₂ | N ₂ | O ₂ | O ₂ +H ₂ O | O ₂ | N ₂ |
| Temperatura (°C) | 600 | 600 | 600 | 950 | 950 | 950 | 950 | 950 |
| Tempo (min.) | 5 | 30 | 5 | 10 | 5 | 7 | 5 | 5 |
| | (entrada) | (recozimento) | (| Oxidação úmida |) | (saída) | | |
| Fluxo : | N ₂ = 1,0 l/min. | O ₂ = 1,0 l/min | | | | H ₂ O = 63 gotas / min. | | |

Profundidade de junção X_{jp} e X_{jn} = 0,45 μm
Espessura óxido 20nm

50. Deposição de óxido de Si

MEDIDO:

Profundidade de
junção do dreno:
X_{jp}=0,5 μm
X_{jn}= 0,65 μm

Medida 4 pontas
Dreno N⁺: V/I=15
Dreno P⁺: V/I=20

Espessura óxido
24nm

Deposição para isolar metal
 Reator ECR (PECVD) $O_2 + Ar + SiH_4$
 não precisa densificação.
 Menor que 10 % de hidrogênio
 Espessura óxido Si ≈ 800 nm (não dopado)

Espessura óxido
 $840nm \pm 10nm$
 $<10\%$ de H_2

51. fotogração n 7 - Contatos

Definição de contatos.
 Fotomáscara 7 : CONT
 Fotorresiste AZ5214
 Espessura fotorresiste $1,3\mu m$

Espessura
 Fotorresiste $1,3\mu m$

52. Corrosão do óxido de Si por RIE.

Plasma $13CF_4 / 6N_2 / 5Ar$
 pressão = 40 mTorr
 potência = 75 w

53. Remoção total do fotorresiste .

Os processos das etapas 47 até 53 são feitos para o recozimento do Fósforo, para a isolação entre os dispositivos que estão formados e o metal, assim como para abertura dos contatos. Para iniciar isto, o fotorresiste é removido para poder fazer um pré-recozimento a $600^\circ C$ e um recozimento a $950^\circ C$ e crescer um óxido fino de 20 nm. Acima da superfície do óxido fino é feita a deposição de uma camada de óxido de 800nm de espessura para isolar os dispositivos do metal que será depositado. Mas antes disso é feita a corrosão do óxido onde precisa-se contatos com o poli e com as regiões N^+ e P^+ dos dreno/fonte e dos contatos de ilha. A figura A4.12 mostra o esquema após a corrosão do óxido observando-se as aberturas até o silício altamente dopado.

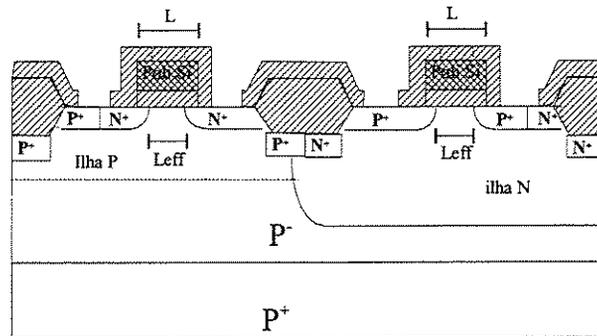


Figura A4.12

54. Fotogração n 8 (Aluminio- método lift off)

Definição do Alumínio.
 Fotogração positiva: para aplicação do lift off.
 Fotomáscara 8 : METAL
 fotorresiste AZ5214
 Espessura fotorresiste $1,3\mu m$

MEDIDO:

Espessura
 fotorresiste $1,3\mu m$

55. Deposição de Titânio e Alumínio

Processo por evaporação *e-beam*, a pressão de 10^{-8} Torr
 Deposição de Titânio.
 Deposição de Alumínio.
 Espessura: Titânio 20nm, Alumínio 180nm

Espessura
 Titânio 20nm,
 Alumínio 180nm

56. Descolar Alumínio.

Processo com acetona quente
 O Alumínio acima do fotorresiste descola.

57. Sinterização com RTA.

Temperatura $T = 450 \text{ }^\circ\text{C}$
 Ambiente Forming gas (gás verde: 92% nitrogênio, 8% hidrogênio)
 Tempo : 30 min.

Os processos das últimas etapas 54 até 57 são necessários para a metalização. Esta metalização é feita com o método de lift off que consiste em fazer inicialmente uma fotogração positiva na qual o fotorresiste fica nas regiões onde não é desejado o metal. O metal (Titânio e Alumínio) é depositado e depois é descolado nas regiões onde está o fotorresiste. Finalmente para formar o contato metálico é feita a sinterização. A figura A4.13 mostra o esquema após terminada a metalização e com isto finalizamos o processo CMOS.

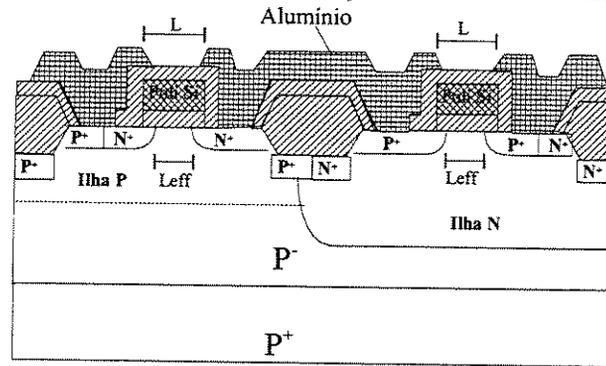


Figura A4.13

ANEXO A5: Limpeza RCA estendida

CCS- UNICAMP

Procedimento para limpeza de lâminas de silício

| Versão | Autor | Páginas Modificadas | Motivo | Data |
|--------|-----------------------|---------------------|-----------------|------------|
| V002 | Mara Adriana Canesqui | | Versão revisada | 25/09/2003 |

1. Material utilizado

- 3 béquers de vidro pyrex ⁽¹⁾
- 1 béquer de polipropileno
- 1 "hot plate"
- 1 barqueta de quartzo
- 1 pinça de aço inoxidável
- 1 pinça de polipropileno
- 1 litro de Ácido Sulfúrico (H_2SO_4)
- 1 litro de Ácido Fluorídrico (HF)
- 1 litro de Hidróxido de Amônia (NH_4OH)
- 1 litro de Ácido Clorídrico (HCl)
- 1 litro de Peróxido de Hidrogênio (H_2O_2)
- Toda água utilizada deverá ser deionizada de $18\text{M}\Omega \text{ cm}$ e todos os produtos químicos utilizados são de grau eletrônico.

⁽¹⁾ A capacidade do béquer vai depender do tamanho da lâmina de Silício. Para uma lâmina de 2 polegadas devemos usar um béquer de 400 ml. Assim como para uma lâmina de Silício de 3 polegadas usamos um béquer de 500 ml.

1.1 Limpeza dos béquers

Antes de iniciar a limpeza das lâminas verificar se os recipientes e materiais que serão manipulados estejam limpos. Caso não estejam limpos, lavar os béquers, pinças e barquetas com detergente apropriado, ou deixar a vidraria de molho em uma solução de água régia ($\text{HCl} + \text{HNO}_3$ 3:1). Enxágüe em água DI (deionizada).

Em seguida, mas antes da limpeza das lâminas, submeta toda a vidraria ao procedimento abaixo.

(a) Fazer uma solução de:



(b) Enxaguar o béquer com água .

(c) Verificar visualmente se o béquer está realmente limpo (as gotas de água devem escorrer das paredes do vidro).

2. Procedimento para limpeza das lâminas de Silício

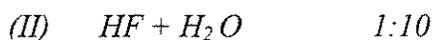
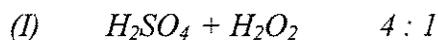
2.1 Retirada do óxido nativo

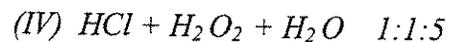
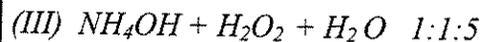
Em um béquer de polipropileno preparar a seguinte solução (o volume da solução deverá ser suficiente para cobrir a lâmina dentro do béquer):



- Mergulhar a lâmina na solução acima com a pinça de polipropileno durante 30 segundos
- Repetir a operação anterior até que a lâmina aparente estar seca (a lâmina não pode reter gotas da solução de ácido fluorídrico em sua superfície)
- Enxágüe em água por 3 minutos.
- Após o uso da solução de ácido fluorídrico, esta deve ser armazenada em frasco plástico, etiquetado com data e conteúdo.

3. Em béquers separados prepare as soluções de:





- Aqueça as soluções à 75° C no “hot plate”.
- Mergulhe a lâmina por **10 minutos na solução (I)**.
- Enxágüe em água corrente por 3 minutos e deixe mais 3 minutos dentro do béquer com água .
- Mergulhe então a lâmina por **30 segundos na solução (II)**.
- Enxágüe em água corrente por 3 minutos e depois deixe as lâminas por mais 3 minutos dentro do béquer com água.
- Finalmente, mergulhe a lâmina por **10 minutos na solução (III)**.
- Enxágüe novamente em água corrente por 3 minutos e depois deixe as lâminas por mais 3 minutos dentro do béquer com água.
- Mergulhe então a lâmina por **10 minutos na solução (IV)**.
- Enxágüe novamente em água corrente por 3 minutos e depois deixe as lâminas por mais 3 minutos dentro do béquer com água.
- Seque as lâminas com Nitrogênio (N₂).
- Coloque as lâminas na caixa para transportá-las.
- Não exponha as lâminas limpas ao ambiente do laboratório

IMPORTANTE:

NEUTRALIZAR TODA SOLUÇÃO ANTES DE DESCARTAR NA PIA. UTILIZAR AVENTAL E LUVAS DURANTE QUALQUER MANIPULAÇÃO DE PRODUTOS QUÍMICOS.

B.1 REGRAS DE PROJETO DO LAYOUT

As regras de *layout* definem as dimensões mínimas que as estruturas de dispositivos podem ter em un chip, estando diretamente relacionadas ao processo de fabricação.

O *layout* foi realizado em ambiente de Windows, utilizando o programa de CAD – Microwind, com as regras de projeto para a tecnologia CMOS de 2 μ m adaptadas ao processo CMOS do CCS. Nesta adaptação aplicamos o critério de manter as atuais dimensões dos contatos (5 μ m \times 5 μ m), que não correspondem a tecnologia de 2 μ m, até desenvolver estes contatos para dimensões menores. O Microwind, editor do *layout*, tem uma ferramenta interna para verificar as regras de projeto, selecionando o arquivo com extensão .RUL.

As regras de projeto do Microwind v2.00 especifica as dimensões de forma relativa em termos de lambda (λ). Um lambda é metade da menor dimensão (comprimento do canal). Como a mínima dimensão de nosso projeto é 2 μ m então um lambda é 0,5 μ m.

A seguir mostramos as regras de projeto especificadas com o arquivo **ccst02.rul**.

```
MICROWIND v2.00
*
* Rule file for
* CCS 2.0  $\mu$ m release D - Nov 00
* CMOS 1-metal
*
* 19 Dec 97
* 10 Dec 98 add 3rd level
* 28 Dec 98 technology parameters
* 22 Feb 99 ctk parameters
*
NAME CCS 2.0 $\mu$ m - 1 Metal
*
lambda = 0.5 (Lambda is set to quarter the lithography)
metalLayers = 1 (Number of metal layers : 1)
*
* Design rules associated to each layer
*
* Well
r101 = 10 (well width)
r102 = 16 (well spacing)
*
* Diffusion
*
r201 = 3 (diffusion width)
r202 = 16 (diffusion spacing)
r203 = 6 (border of nwell on diffp)
r204 = 6 (nwell to next diffn)
r205 = 12 (diffn to diffp)
* Poly
r301 = 4 (poly width)
r302 = 2 (ngate width)
r303 = 2 (pgate width)
r304 = 3 (poly spacing)
r305 = 1 (spacing poly and unrelated diff)
r306 = 4 (width of drain and source diff)
r307 = 12 (extra gate poly)
* Contact
r401 = 10 (contact width)
r402 = 16 (contact spacing)
```

```

r403 = 12 (metal border for contact)
r404 = 12 (poly border for contact)
r405 = 12 (diff border for contact)
* Metal
r501 = 10 (metal width)
r502 = 8 (metal spacing)
* Via
r601 = 2 (Via width)
r602 = 3 (Spacing)
r603 = 3 (To unrelated contact)
r604 = 2 (border of metal&metal2)
* metal 2
r701 = 3 (Metal 2 width)
r702 = 3 (spacing)
* Via2
r801 = 2 (Via2 width)
r802 = 3 (Spacing)
r803 = 3 (To unrelated contact)
r804 = 2 (border of metal2&metal3)
* metal 3
r901 = 4 (Metal 3 width)
r902 = 4 (spacing)
*
* Pads
*
rp01 = 335 (Pad width)
rp02 = 335 (Pad spacing)
rp03 = 10 (Border of Via for passivation )
rp04 = 23 (Border of metals)
rp05 = 62 (to unrelated active areas)
*
*
* Thickness of layers
*
thox = 0.015
thpoly = 0.4
thdn = 0.6
thdp = 0.6
thep = 10
hepoly = 0.3
thme = 0.7
heme = 1.1
thm2 = 1.0
hem2 = 2.8
thm3 = 1.2
hem3 = 4.8
thpass = 1.0
hepass = 6.0
thnit = 0.8
henit = 6.8
*
* Resistance (ohm / square)
*
repo = 30
reco = 20
reme = 0.1

```

```

revi = 0.5
rem2 = 0.04
rev2 = 0.5
rem3 = 0.03
*
* Parasitic capacitances
*
cpoOxyde = 2800 (Surface capacitance Poly/Thin oxyde aF/μm2)
cpobody = 53 (Poly/Body)
cmebody = 40
cmelineic = 20 (aF/μm)
cmepoly = 52
cm2body = 56
cm2lineic = 20 (aF/μm)
cm2poly = 20
cm2metal = 50
cm3metal = 30
*
* Crosstalk
*
cmextk = 10 (Lineic capacitance for crosstalk coupling in aF/μm/μm)
cm2xtk = 10 (C is computed using Cx=cmextk*l/spacing)
cm3xtk = 10
*
* Junction capacitances
*
cdnpwell = 350 (n+/psub)
cdpnwell = 400 (p+/nwell)
cnwell = 100 (nwell/psub)
cpwell = 100 (pwell/nsub)
cldn = 300 (Lineic capacitance N+/P- aF/æm)
cldp = 300 (Idem for P+/N-)
*
* Nmos Model 3 parameters
*
NMOS
l3vto = 0.8
l3vmax = 130e3
l3gamma = 0.7
l3theta = 0.2
l3kappa = 0.01
l3phi = 0.7
l3ld = 0.01
l3kp = 140e-6
l3nss = 0.07
l3cgd = 300
*
* Pmos Model 3
*
PMOS
l3vto = -0.9
l3vmax = 100e3
l3gamma = 0.45
l3theta = 0.2
l3kappa = 0.04
l3phi = 0.7

```

```

l3ld = -0.05
l3kp = 42e-6
l3nss = 0.07
l3cgd = 300
*
* MicroWind simulation parameters
*
deltaT = 3.0e-12 (Minimum simulation interval dT)
vdd = 5.0
temperature = 27
riseTime = 0.1 (typical rise/fall time)
*
* CIF&GDS2
* MicroWind name, Cif name, Gds2 n°, overetch for final translation
*
cif nwell NTUB 1 0.0
cif aarea DIFF 4 0.0
cif poly POLY1 10 0.0
cif diffn DIFF 4 0.0
cif diffp PPLUS 13 0.2
cif contact CONT 16 0.0
cif metal MET1 17 0.0
cif via VIA 18 0.05
cif metal2 MET2 19 0.0
cif via2 VIA2 38 0.05
cif metal3 MET3 39 0.0
cif passiv PAD 20 0.0
cif text text 0 0.0
*
* End Ccs 2.0µm

```

C.1 MÉTODO PARA AS MEDIDAS DE CARACTERIZAÇÃO

Os dispositivos MOS precisam de circuitos adequados para fazer os testes como o de caracterização e de sensibilidade. Isto está relacionado com os métodos e esquemas de medidas ilustrados nas figuras C1.1, C1.2 e C1.3.

A figura C1.1 é o esquema elétrico para realizar as medidas de caracterização de dreno (curva $I_D \times V_{DS}$) do transistor NMOS.

Condições da Medida:

Obter uma curva $I_D \times V_{DS}$ por cada tensão de porta V_{GS} , variando a tensão de dreno em valores positivos partindo de zero e medindo a corrente de dreno. A tensão de porta nos temos variado de 0,0V até 3,5V em passos de 0,5V obtendo assim 8 curvas.

Observa-se que o terminal da ilha P é ligado à fonte em 0V (terra)

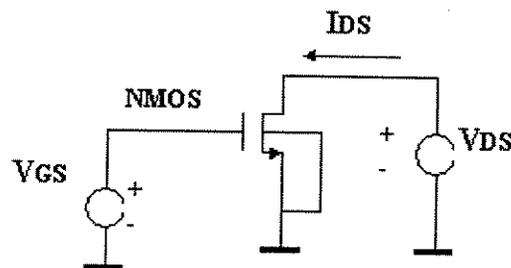


Figura C1.1 Esquema de medidas da caracterização para NMOS

As figuras C1.2 e C1.3 são os esquema elétrico de duas opções para realizar as medidas de caracterização de dreno (curva $I_D \times V_{DS}$) do transistor PMOS.

Condições da Medida:

Opção (a):

Seguindo o esquema elétrico da figura C1.2, obter uma curva $I_D \times V_{DS}$ por cada tensão de porta V_{GS} , variando a tensão de dreno em valores negativos partindo de zero e medindo a corrente de dreno. A tensão de porta nos temos variado de 0,0V até -3,5V em passos de -0,5V obtendo assim 8 curvas.

Observa-se que o terminal da ilha P é ligado à fonte em 0V (terra) e o substrato P é ligado a -5V, sendo que nossa medição foi feita com este esquema para o transistor PMOS.

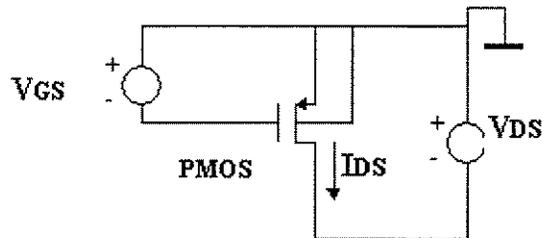


Figura C1.2 Esquema de medidas da caracterização do transistor PMOS para opção (a)

Opção (b):

Seguindo o esquema elétrico da figura C1.3, obter uma curva $I_D \times V_{DS}$ por cada tensão de porta V_{GS} , variando a tensão de dreno em passos negativos partindo de V_{DD} e medindo a corrente de dreno. A tensão de porta nos temos variado de 5,0V até 1,5V em passos de -0,5V obtendo assim 8 curvas.

Observa-se que o terminal da ilha P é ligado à fonte em V_{DD} (+5V) e o substrato P é ligado ao 0V (terra).

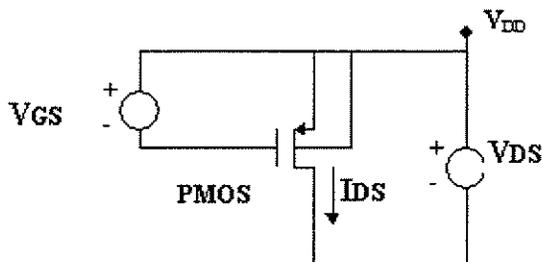


Figura C1.3 Esquema de medidas da caracterização do transistor PMOS para opção (b)

A figura C1.4 é o esquema elétrico para realizar as medidas da curva de transferência (curva $V_{IN} \times V_{OUT}$) do inversor.

Condições da Medida:

Obter uma curva $V_{IN} \times V_{OUT}$ variando a tensão de entrada (tensão de porta V_{GS} do transistor NMOS), e medindo a tensão de saída. A tensão de entrada nos temos variado de 0,0V até 5V obtendo assim uma curva de transferência.

Observa-se que o terminal da ilha P é ligado à fonte do transistor NMOS em 0V (terra) e o terminal da ilha N é ligado à fonte do transistor PMOS em 5V (V_{DD}).

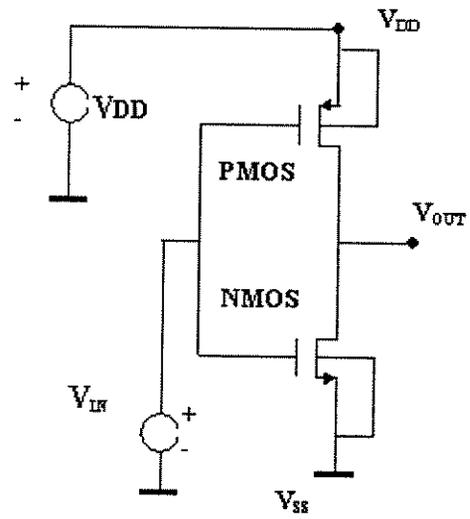


Figura C1.4 Esquema de medidas da curva de transferência do inversor