UNIVERSIDADE ESTADUAL DE CAMPINAS

FACULDADE DE ENGENHARIA ELÉTRICA

DEPARTAMENTO DE MICROONDA E ÓPTICA

FONTES DE MICROONDAS COM FREQÜÊNCIA AJUSTÁVEL

Este exemplar corresponde à redação final da tese defendida por Edson Cesar dos Reis
e aprovada pela Comissão
Julgadora em 04 / 8 / 94
Orientador

Nome: EDSON CESAR DOS REIS

Orientador: RUI FRAGASSI SOUZA

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica.

Campinas, Junho de 1994.

UNICAMP
BIBLIOTECA CENTRAL

Agradeço,

Aos meus pais, por todo o apoio e acompanhamento dispensado durante meus estudos e vida profissional;

Ao Prof. Dr. Edson B. R. Féris e Paulo S. R. Barreto, pela grande ajuda dada, principalmente no início deste trabalho;

A Amador Joly e Anésio Palma Filho, pela dedicação e esforço durante os ajustes e testes de bancada;

A Mauro L. Coimbra e Prof. Dr. Rui F. Souza pelo incentivo e discussões durante o desenvolvimento prático e durante a formalização deste trabalho, bem como a Janete Mouallem pelas várias correções deste texto.

Edson Cesar dos Reis

Resumo

Este trabalho descreve o projeto e construção de duas fontes de microondas para uso comercial, projetadas e testadas durante o desenvolvimento de sistemas para transmissão de sinais analógicos via satélite e digitais via rádio. É feita uma descrição prévia de elementos genéricos usados em fontes de microondas, muitos dos quais são usados nos projetos das duas fontes descritas.

Abstract

This work describes two microwave sources, for analog satellite communication and digital radio systems, designed and manufactured for commercial application. Aiming at completeness, this study starts with a brief decription of the basic microwave source blocks, most of them used by the described oscillators.

Sumário

CAPÍTULO I: Introdução

1.1 Introdução 1

CAPÍTULO II: Osciladores

2.1 Osciladores de Referência 3
2.2 Osciladores de Alta Freqüência 7
2.3 Linearização de Osciladores 9

CAPÍTULO III: Componentes de Malha

3.1 Multiplicadores Passivos 12
3.2 Divisores de Freqüência 14
3.3 Comparadores de Fase 17

CAPÍTULO IV: Tipos de Malha de Controle

4.1 Malha de Controle com Comparação Direta e com Conversão de Freqüência 21
4.1.1 Comparação Direta 21
4.1.2 Conversão de Freqüência 24
4.2 Malha de Controle com Divisores 26
4.3 Malha Usando Comparadores de Fase e Freqüência 28
4.4 Malha Usando Gerador de Busca 29

CAPÍTULO V: Fontes Para Alguns Sistemas de Telecomunicações.

5.1 Aplicação em Circuitos PLM 32
5.2 Aplicação em Circuitos PLL 56

CAPÍTULO VI: Conclusões e Sugestões 64

REFERÊNCIAS BIBLIOGRÁFICAS 66

APÊNDICE A: Memória de Cálculo usando Touchstone 72

APÊNDICE B: Banco de dados de Transistores 92

CAPÍTULO I: *Introdução*

1.1 Introdução

Este trabalho visa descrever alguns tipos de fontes de alta freqüência usadas para telecomunicações. As fontes normalmente usadas, à exceção de algumas daquelas que utilizam ressoador dielétrico compensado em temperatura, são de um dos tipos descritos neste trabalho. Estas fontes são osciladores livres amarrados a uma referência estável. Devido a esta configuração, surgem espúrios ou ruídos causados pela interação entre os dois circuitos. Para evitar o acesso destes sinais indesejáveis à saída, os osciladores são de potência suficientemente elevada para que a diferença entre os níveis do tom do oscilador e dos sinais indesejados seja a exigida pelo sistema onde a fonte será empregada. A referência utilizada para as fontes de altas freqüências envolve o uso de uma freqüência mais baixa e de uma alta estabilidade da freqüência com o tempo, além de possuir uma pureza espectral suficiente para a aplicação desejada [1].

Este trabalho apresenta resultados comparativos entre osciladores amarrados por sinal convertido e aqueles amarrados por uma referência multiplicada. Faz, também, um estudo dos elementos usados nos circuitos dessas configurações.

Na descrição dos elementos de circuito, veremos o comportamento da malha de controle do oscilador de alta freqüência em função de algumas características do sistema utilizado, tais como conversão de freqüência e comparadores com busca automática ou não.

Finalmente, este trabalho comenta sobre algumas das características mais importantes dos circuitos estudados. Teorica-

mente, são obtidas as margens de operação para as várias configurações, e, da prática, obtém-se os seus comportamentos no que concerne à estabilidade com temperatura, envelhecimento e facilidade de ajuste na etapa de produção.

Durante os primeiros capítulos deste trabalho serão feitas as descrições de funcionamento dos vários blocos que compõem uma fonte de alta freqüência típica. O Capítulo V traz a descrição de duas fontes projetadas para a redução do ruído do oscilador livre, bem como a descrição dos blocos específicos destas fontes, que foram montadas e testadas com relação a variações de temperatura, umidade, e passaram por teste de campo em equipamento piloto.

Devemos ainda, nesta Introdução, comentar sobre as diferenças entre ***tom*** e ***sinal*** e entre ruídos AM e FM. Um *tom* não transporta informação, e serve apenas para fazer a conversão de freqüência de um *sinal*, e, este sim, transporta informação. A fonte que estamos propondo descrever deverá gerar um *tom* em seus terminais de saída: "...deverá fazer com que a saída do oscilalor local seja um tom entre 4812,5 e 5312,5 MHz (Capítulo V, especificação do oscilador local)". Este *mesmo tom*, dentro da fonte, é tratado como *sinal*, por transportar a informação de fase do oscilador a ser controlado "Com o sinal de FI pronto para ser aplicado ao comparador de fase... (Capítulo V, descrição do oscilador de 2 GHz)". Quanto aos ruídos AM e FM, damos uma descrição do principal mecanismo de geração do ruído AM a seguir, no Capítulo II, enquanto o restante deste trabalho trata basicamente da redução do ruído FM em osciladores.

CAPÍTULO II: *Osciladores*

2.1 Osciladores de Referência

Os osciladores de referência têm como objetivo gerar um tom estável e limpo. Para isto, normalmente utiliza-se um dispositivo mecânico preciso, seja como ressoador (Xtal), seja como linha de retardo (SAW).

Qualquer que seja o dispositivo mecânico utilizado, um cuidado fundamental deve ser tomado com este elemento em osciladores de referência, ou seja, a potência incidente nos seus terminais deve ser baixa, a fim de limitar a amplitude da vibração do dispositivo, para que a mesma caia dentro da faixa aconselhada pelo fabricante. Somente este procedimento pode evitar um envelhecimento precoce do dispositivo, com a conseqüente perda de qualidade do tom gerado [2].

O segundo passo trata da amplitude de oscilação no dispositivo ativo, que é o principal mecanismo de geração de ruído AM em osciladores. Deve ser lembrado que um ruído AM existente em osciladores é imediatamente convertido para ruído FM, devido ao grande fator de conversão AM/PM típico de amplificadores operando próximo à saturação. Para osciladores de referência, o dispositivo ativo é, normalmente, um transistor e o limite de potência se dá por modificação em um de seus *dipolos* internos: ou a junção base-emissor diminui sua polarização direta, baixando o ganho ou há a saturação da tensão AC coletor-emissor.

Para descrever este efeito, usaremos a Figura 2.1, que mostra um oscilador na configuração Colpitts, que foi modificada para que sejam bem separados os efeitos existentes em um oscilador: um amplificador composto por T1, R1, R2, C4, C5 e

L2; e um adaptador de impedâncias e inversor de fase (L1, C1 e C2).

No estágio amplificador, para um oscilador de referência, estaremos trabalhando em polarização de ruído mínimo, portanto, com baixa corrente no transistor.

Usando o adaptador de impedância e a carga, fixaremos o ponto de compressão do oscilador e seu tipo de saturação.

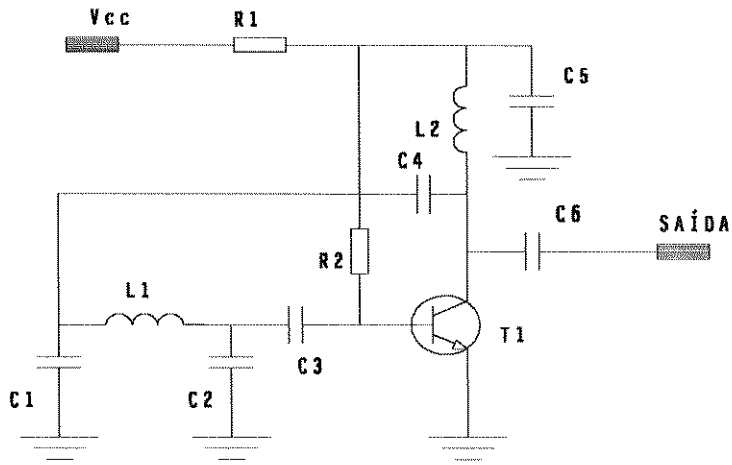

Figura 2.1: Oscilador Colpitts.

Caso um sinal de nível elevado seja aplicado à base do transistor, a junção base-emissor deste transistor retificará o sinal aplicado à sua entrada, carregando o capacitor de acoplamento (C3), reduzindo a corrente de coletor, o que reduz o ganho do estágio amplificador, limitando a potência do oscilador. No outro caso, onde o sinal aplicado à base do transistor tenha um nível que não provoque a retificação do sinal na junção base-emissor, e que, a impedância vista pelo coletor do transistor, aliado à sua tensão de polarização coletor-emissor sejam tais que permitam a excursão de toda a tensão V_{ce}, teremos agora um outro tipo de limite para o nível de potência

do oscilador: a saturação da tensão AC coletor-emissor [3].

Observou-se experimentalmente que caso seja permitida a perda de ganho através da queda de polarização da junção base-emissor, este efeito leva a uma variação lenta com o tempo e com a temperatura, se comparada ao período de oscilação, colaborando com o aumento do ruído 1/f do oscilador. Observou-se também que caso a saturação coletor-emissor ocorra antes do começo da perda de ganho devido à queda na polarização da base, mantidos constantes os outros parâmetros do oscilador, obtemos um oscilador mais limpo no que diz respeito ao ruído 1/f [4].

A Figura 2.2 mostra como atua a limitação de nível de potência para cada um dos dois casos acima, onde a saturação de coletor-emissor é vista como um limitador e a queda na polarização de base é vista como uma variação no ganho do estágio amplificador.

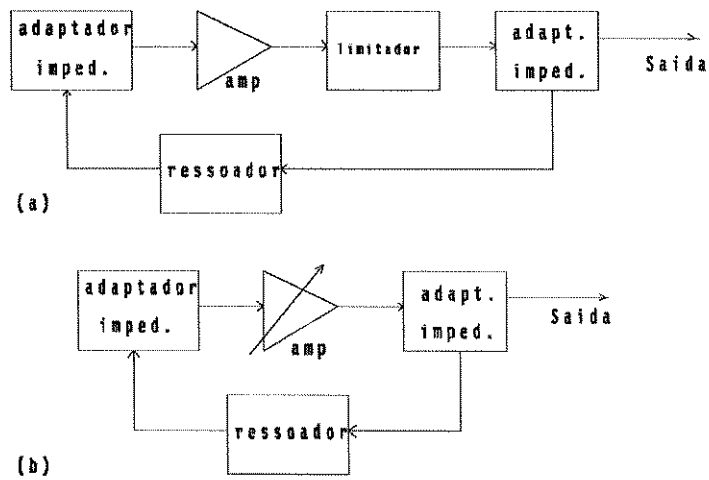

Figura 2.2: (a) Ganho Limitado pelo Coletor.
(b) Ganho Limitado pela Base.

O preço a ser pago pela solução de menor ruído (limitação de ganho pelo coletor), é um maior descasamento do dispositivo ativo, que pode levar a uma instabilidade fora da faixa de

interesse, bem como a uma menor potência de saída, levando-nos, frequentemente, a optar pelo controle de potência por mudança de ganho. Esta situação nem sempre é tolerável, pois o ruído perto da portadora (dentro da faixa de controle) associado ao oscilador de referência será repassado para um oscilador amarrado a esta referência, com uma possível degradação adicional caso seja usada uma multiplicação da freqüência. Já o patamar de ruído, longe da portadora, está limitado pelo ruído térmico. Assim, como a maior relação portadora/ruído possível é desejada, ao menos dentro da faixa de controle, devemos nos preocupar com este tipo de ruído desde a fase de concepção do oscilador de referência [5].

Algumas vezes, por questão de custo, este tom de referência é amarrado a uma outra referência, e esta sim, de altíssima estabilidade com o tempo e com a temperatura, podendo servir a toda uma rede de fontes de alta freqüência [6]. Exatamente por servir de referência a várias outras fontes, a relação portadora/ ruído do tom da fonte de alta estabilidade pode ficar bastante degradada devido às divisões e amplificações sucessivas de seu tom, nem sempre envolvendo o cuidado necessário com relação ao ruído. Além desta desvantagem, o tom desta fonte de referência, em geral, está *contaminado* por espúrios introduzidos pelos próprios dispositivos onde o tom é utilizado. Neste caso, onde nossa referência é amarrada à outra, o oscilador de referência que estaremos tratando será controlado com faixa de alguns poucos hertz, e usará o tom da referência de alta estabilidade apenas para garantir sua própria estabilidade de longo prazo, deixando suas características próprias de ruído de fase (estabilidade de curto prazo) serem as dominantes fora desta faixa de alguns poucos hertz.

2.2 Osciladores de Alta Freqüência

Os osciladores de alta freqüência que serão abordados neste trabalho são os dispositivos a serem amarrados e controlados pelo tom de referência. Portanto, devem apresentar em sua saída um tom limpo, livre dos ruídos existentes no sistema, e com a estabilidade do tom de referência utilizado. O seu projeto - e neste trabalho nos restringiremos a osciladores a transistores - começa com a obtenção das características do dispositivo ativo polarizado na condição final (DC) de funcionamento, do qual extraímos seus parâmetros (parâmetros *S* de pequeno sinal), para uma análise linear preliminar [7]. Com este dispositivo básico, adicionaremos redes de realimentação série e paralelo, para conseguir uma resistência negativa - em pelo menos um dos terminais - que nos garanta a oscilação [8]. *Resistência Negativa* significa que ao se medir os parâmetros *S* do dispositivo, obtemos, *no nível de impedância utilizado*, um sinal de retorno maior que o de entrada, com a fase correspondente à de uma resistência negativa.

Com este conceito, o nível de impedância negativa necessário para manter a oscilação é tal que compense as perdas existentes no caminho do sinal. As perdas a serem compensadas são as do circuito ressonante a ser colocado na porta do transistor (que deve oferecer resistência negativa, em qualquer condição de temperatura e de ganho do dispositivo ativo apesar da diferença entre unidades) e devidas à queda de ganho e alteração de parâmetros com o envelhecimento.

Controlando as realimentações série e paralela, e tendo em mente que, no caso geral, a realimentação série leva à instabilidade (resistência negativa), e a paralela estabiliza o dispo-

sitivo ativo, usaremos as duas, em conjunto, para conseguir, simultaneamente, a região de resistência negativa apenas na faixa de interesse e uma variação de fase no sentido conveniente [9]. Deste modo, ao final da primeira rodada de cálculo para este circuito, teremos como resposta um circuito potencialmente instável numa faixa (na que queremos o oscilador), e incondicionalmente estável no restante da faixa de ganho do dispositivo ativo. Para dispositivos cuja freqüência de transição (f_t) seja de até 5 GHz, isto é uma tarefa relativamente fácil. Em compensação, para algumas famílias de GaAs FET's, isto é praticamente impossível, devido à região em que se encontram os parâmetros *S* destes dispositivos. Neste caso, trataremos de minimizar a faixa de instabilidade do dispositivo, e garantir que os circuitos conectados às portas do transistor não ofereçam condição de oscilação fora da faixa de freqüência de interesse [10~14].

A parte final do projeto de osciladores de alta freqüência consiste no casamento de saída, que deve preencher três requisitos: acoplar o máximo de potência permitida à saída em toda a faixa de oscilação, sem bloquear o oscilador; fazer o primeiro ajuste de potência com o intuito de minimizar sua variação de amplitude na banda; e, se possível, filtrar os harmônicos gerados [15].

Para satisfazer a terceira condição, sempre que possível, usamos circuitos de casamento com estrutura de filtro passa-baixas, refletindo os harmônicos de volta ao oscilador, como se eles não estivessem conectados à saída. Para a segunda condição, deve-se ajustar a ordem do circuito de casamento e a sua freqüência central, para se corrigir alguma variação da potên-

cia disponível do dispositivo ativo. Finalmente, o circuito de casamento de saída deve apresentar ao oscilador, ou sua reatância conjugada, caso esteja conectado à porta oposta a do circuito ressonante, ou uma impedância que não afete em demasia o fator de qualidade do ressoador (tipicamente 10 vezes menor que a resistência equivalente do circuito para circuitos série e 10 vezes maior que a mesma para circuitos paralelo).

2.3 Linearização de Osciladores

Os osciladores controlados por tensão têm uma curva de conversão freqüência/tensão (df/dV) que não pode ser aproximada por uma reta, exceto em pequenos intervalos. A linearização dos osciladores é feita para compensar esta diferença de df/dV existente devido à curva de reatância do elemento de sintonia, que, neste trabalho, estará limitado ao uso de varactores. Os varactores têm uma grande variação de capacitância/tensão (dC/dV), quando a tensão aplicada em seus terminais está próxima de zero, e uma dC/dV pequena para tensões próximas à tensão máxima. Mudanças totais típicas na relação capacitância/tensão são da ordem de dez vezes. Diodos hiperabruptos possuem esta relação em torno de quatro vezes. A variação da conversão df/dV é proporcional à raiz quadrada do quociente entre os valores de dC/dV. Esta variação é reduzida de três para duas vezes com o uso de diodos hiperabruptos, um valor ainda alto para osciladores utilizados em fontes amarradas a uma referência [16].

A forma que se usa para minimizar esta característica dos varactores (variação de dC/dV) é a de se adicionar dois elementos reativos ao circuito, que alteram a variação de reatância original do varactor, sem alterá-la na freqüência central. Assim, o conjunto dos dois novos elementos inseridos no cir-

cuito é visto como puramente resistivo na freqüência central. Fora desta freqüência ele é visto como um elemento que varia sua susceptância de positiva a negativa para freqüências acima ou abaixo da central. Este circuito ressonante colocado junto ao varactor é série quando o ressoador é paralelo, e paralelo no caso contrário [17~19].

A Figura 2.3-b mostra a estrutura acima para o caso de um ressoador série no oscilador original. Os elementos L_p e C_p foram introduzidos para realizar a compensação de reatância.

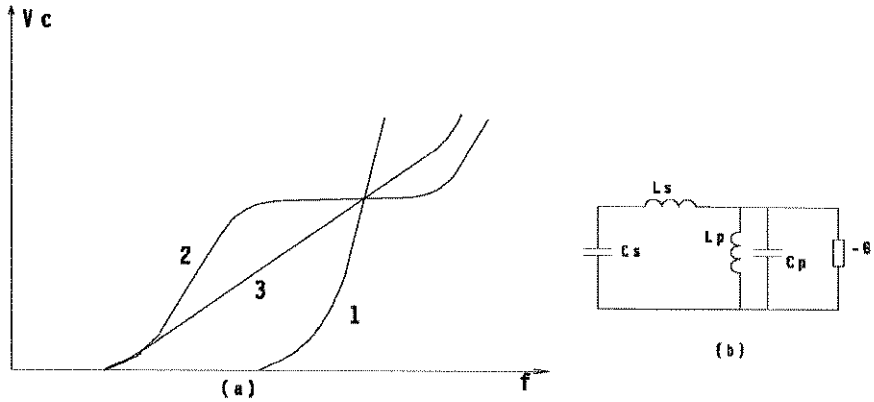

Figura 2.3: (a) Compensação de Reatância e (b) Circuito Oscilador Correspondente.
1) Oscilador não compensado.
2) Oscilador com compensação total.
3) Oscilador com compensação parcial.

O efeito decorrente desta estrutura é que o oscilador *compensado* (Fig. 2.3-a2) se torna muito mais banda-larga que o original (Fig. 2.3-a1), mas com um ganho praticamente constante no centro de sua banda, isto é, na banda do oscilador original (sem linearização) [18].

Maneiras não tão radicais, como a compensação total descrita nas referências para se obter um efeito de linearização (Figura 2.3-a3), serão usadas em um dos osciladores descritos neste trabalho, que usa o varactor dentro de estruturas ressonantes,

onde as características de cada elemento de circuito e seus parasitas são usadas para se obter o efeito da compensação, como por exemplo, levando-se em conta os componentes parasitas do próprio varactor (capacitância e indutância de encapsulamento).

Sob este novo ponto de vista, um varactor de VHF é considerado como um indutor variável quando usado em freqüências de UHF e acima, onde os seus elementos parasitas estão agora incluídos nas simulações do circuito.

CAPÍTULO III: *Componentes de Malha*

Este Capítulo apresenta alguns dos dispositivos normalmente integrados a uma malha amarrada por fase (PLL). Os dispositivos que serão apresentados neste Capítulo são aqueles que fazem a multiplicação da referência, a divisão do sinal controlado, e a comparação da fase/freqüência entre dois sinais. Um caso particular da comparação entre dois sinais, a conversão de freqüência, será tratada no Capítulo IV.

3.1 Multiplicadores Passivos

Tipicamente, multiplicadores passivos são construídos com diodos tipo *Step Recovery Diode - SRD* cuja característica básica é ter um tempo de vida dos portadores longo, quando comparado à sua velocidade de desligamento (*snap-off*). Estes diodos são usados para implementar multiplicadores de freqüência em osciladores locais, pois praticamente dispensam o uso de amplificadores para o sinal multiplicado (Figura 3.1) e têm a vantagem de poderem ser utilizados quando há necessidade de um alto fator de multiplicação. Para osciladores locais (OL) usando cadeias de multiplicação direta, por exemplo, fatores de multiplicação de quatro a cinco são normais, e, dentro de um PLL estes números vão de onze a trinta [20~22].

A grande vantagem do uso de multiplicadores a SRD em PLL é que o filtro necessário para o sinal multiplicado, na saída do SRD, é o próprio PLL. Quando em operação, o SRD retifica o sinal de entrada e se auto-polariza no seu ponto quiescente. Este ponto é tal que durante o semi-ciclo positivo do sinal de entrada , cargas são armazenadas na junção polarizada diretamente, vindas através de um elemento indutivo externo (*indutor de ataque*). Durante o outro semi-ciclo do sinal de entrada, as

cargas armazenadas na junção são removidas lentamente, devido ao grande tempo de vida dos portadores (característica destes dispositivos), por uma corrente contrária à do outro semi-ciclo no indutor de ataque até que, finalmente, a tensão se inverte no diodo gerando um pulso que é acoplado à saída.

A construção dos circuitos de casamento destes multiplicadores (vide Fig. 3.1) - tipo passa-baixas (PI) (formado por C3, L2 e C4) na entrada e passa-faixa (série de L4 e C5) na saída - para se obter a melhor eficiência de multiplicação, em geral leva a oscilações paramétricas. Estas oscilações são devidas ao descasamento do dispositivo excitador fora da faixa de freqüências de entrada do multiplicador (SRD).

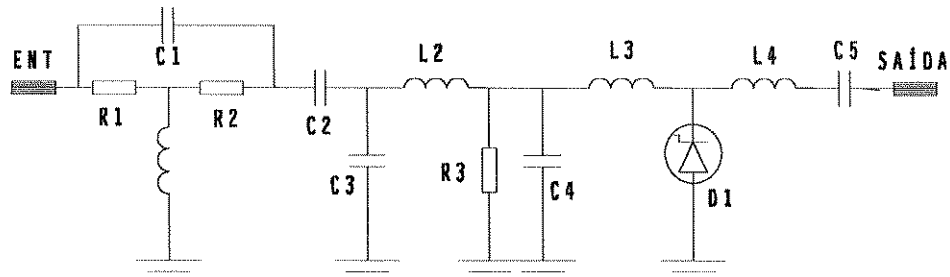

Figura 3.1: Multiplicador a Diodo SRD

Para evitar que essas oscilações ocorram, é comum o uso de filtros com absorção (*bridged-T* formado por L1, C1, R1 e R2) do tipo passa-altas, que não exigem sintonia, uma vez que as freqüências acima das de operação já estão isoladas pela estrutura de casamento de entrada do SRD. Estes filtros são normalmente projetados para uma freqüência de corte igual à metade da maior freqüência de entrada do multiplicador, pois esta é a freqüência mais elevada para oscilações sub-harmônicas, típicas destes dispositivos [20].

Do lado da saída (alta freqüência), a dificuldade se dá com a

realização do capacitor do ressoador série, que pode ter valores muito pequenos, o suficiente para não serem disponíveis comercialmente. Aqui novamente outros artifícios devem ser usados, mudando-se a configuração do filtro (originalmente um ressoador série), para uma que apresente a mesma freqüência central e fator de qualidade, Q, mas com valores realizáveis dos componentes. Outra forma de uso de multiplicadores SRD é em caminhos de multiplicação direta, onde o multiplicador é seguido de um filtro e tem seu tom disponível para uso na saída deste filtro. Neste caso, o SRD é acoplado diretamente ao primeiro ressoador deste filtro, que atua como casador de impedância. Este uso de multiplicadores é freqüente em fontes amarradas que utilizam conversão de freqüência.

Uma forma mais simples de se entender o funcionamento do multiplicador a SRD, mas que dá uma boa noção de sua operação, é considerar o SRD como dois capacitores: um que representa o SRD na condição de polarização direta, de valor alto e que, em conjunto com o circuito casador de entrada, forma um ressoador na freqüência de entrada; o outro capacitor, para o caso de polarização reversa do diodo, que, em conjunto com o indutor de ataque, forma um ressoador na freqüência de saída. O efeito *snap-off* do SRD é representado pela mudança entre os valores dos capacitores, como descrito acima.

3.2 Divisores de Freqüência

Divisores de freqüência tipo TTL não serão considerados neste capítulo, por serem de fácil implementação em termos de tecnologia e regras de projeto. A única restrição que deve ser levada em conta com mais rigor quando se usa este tipo de divisor em fontes de alta freqüência é seu tempo de atraso. Este

tempo pode ser longo o suficiente para que a resposta da malha não seja eficiente no controle da fase do VCO. Este problema será tratado na Seção 4.2.

Novos tipos de divisores a transistores bipolares em silício, e a FET em GaAs têm sido introduzidos pelos fabricantes, e suas freqüências de operação se estendem até, aproximadamente, 5 GHz para os dispositivos bipolares e ao dobro disto para os dispositivos em GaAs. Para estes dispositivos, os cuidados a serem tomados são quanto à potência e freqüência de entrada, bem como com os níveis de potência de saída. Estes dispositivos não se comportam como os dispositivos digitais, isto é, não aceitam qualquer freqüência de entrada (existem limites para freqüência mínima e máxima) e requerem limites para a potência mínima e máxima de entrada. As condições de saída não são muito diferentes, pois os níveis de tensão de saída nem sempre são compatíveis com os de entrada. Além disto, a forma de onda de saída não é a que usualmente se obtém de um divisor digital (para um divisor *por dois* não-digital, o sinal de saída não tem necessariamente 50% de *duty-cycle*). Finalmente, para a grande maioria dos circuitos em GaAs, várias tensões de alimentação são necessárias, e seus valores devem manter certa relação entre si, mesmo durante os ciclos de *liga* e *desliga*.

A alternativa a estes circuitos, para altas freqüências, são os divisores que utilizam carga armazenada, passivos (divisor de carga armazenada ou paramétrico) ou ativos (a transistor bipolar) [23].

Um divisor passivo por carga armazenada usa como seu elemento ativo um SRD, como o exemplo da Figura 3.2, com a diferença básica do multiplicador a diodo SRD de que o ressoador de

saída é sintonizado na metade da freqüência de entrada, fazendo assim com que o diodo fique, ciclo-sim/ciclo-não, entrando em condução e realize seu efeito de desligamento rápido (*snap-off*). Para um melhor aproveitamento de conversão, são introduzidos circuitos ressonantes na entrada e saída que impedem que uma freqüência chegue ao terminal destinado à outra. Também, para se conseguir melhorar esta isolação, o SRD, que normalmente é usado em paralelo com o sinal em um multiplicador, fica em série com o sinal em um circuito divisor. Estes divisores têm a vantagem de, apesar de simples, funcionarem bastante bem em freqüências altas, dependendo exclusivamente da existência de diodos SRD com tempo de armazenamento compatível com a freqüência de entrada.

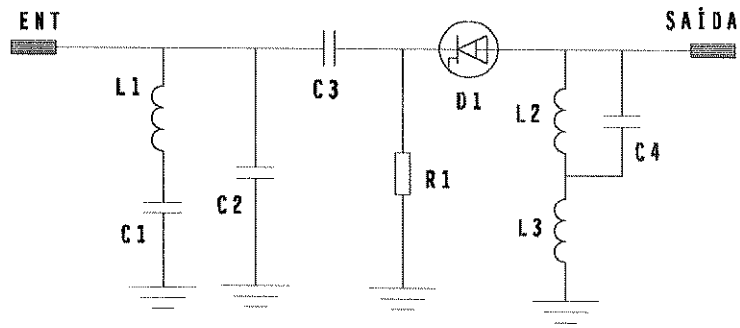

Figura 3.2: Divisor a Diodo SRD.

Suas desvantagens são o alto nível de potência necessário na entrada, o baixo fator de divisão (normalmente dois) e a necessidade de filtro na saída, caso a presença da freqüência de entrada seja intolerável.

Divisores paramétricos têm o mesmo tipo de configuração de entrada/saída de um divisor com SRD, mas utilizam um diodo varactor polarizado reversamente, em paralelo com o sinal de entrada como elemento ativo. Nas condições de funcionamento, o varactor apresenta uma condutância negativa na freqüência de

saída, em presença do sinal de entrada. Neste caso, se a condutância equivalente do circuito é menor que a amplitude da condutância negativa do diodo, ocorrerá uma oscilação na freqüência de saída, gerada pelo sinal de entrada, que será conduzida à carga pelo filtro de saída.

Divisores ativos a transistor bipolar usam o mesmo princípio dos divisores a SRD, mas o armazenamento de cargas é feito pela junção base-emissor do transistor divisor, e é controlado pelo seu circuito de polarização. Deste modo, a cada certo número de ciclos de entrada (igual ao numero da divisão), apenas um leva a base do transistor à condução, e apenas este pulso é colocado disponível na saída. Divisores por dois a oito podem ser implementados desta maneira. No entanto, com o aumento do fator de divisão, menor a faixa de freqüências de operação e maior o ruído de fase introduzido por esse tipo de divisor. A vantagem deste divisor sobre os outros dois é sua maior estabilidade e o menor nível de potência de entrada requerido [5],[23].

3.3 Comparadores de Fase

Três tipos de comparadores de fase serão descritos nesta seção, devido ao seu interesse em fontes de alta freqüência.

O primeiro tipo é a família dos comparadores de fase ditos senoidais, família dos misturadores de freqüência balanceados, duplamente balanceados ou dos *double-double-balanced* [24]. Estão excluídos desta lista os misturadores desbalanceados, por não terem estabilidade do nível de saída com qualquer dos sinais de entrada. Os comparadores de fase senoidais fazem somas vetoriais dos sinais de entrada, que são, então, aplicadas aos diodos detectores e, novamente, somadas após a detecção. A tensão de saída em função do ângulo entre os sinais de

entrada é o valor médio (positivo ou negativo) do produto de duas senóides, variando-se a fase entre elas. Ou seja, é uma senóide com período de 360 graus (de diferença de fase entre as entradas) e amplitude igual à multiplicação das duas senóides de entrada. Como um dos sinais de entrada deve ser alto o suficiente para levar os diodos do detector de fase à saturação (porta do OL), apenas o outro sinal tem a capacidade de alterar o nível de saída. Por este motivo, o circuito excitador do comparador de fase deve ser do tipo saturado, mantendo assim o nível de saída do detector independente do nível do sinal a ser comparado. Isto é verdade para os comparadores feitos a partir de misturadores balanceados, porque tanto os duplamente balanceados como os *double-double-balanced* podem operar saturados nas suas duas entradas, tendo assim uma máxima conversão $dV/d\phi$ e sendo esta conversão aproximadamente constante com os níveis de entrada. Os comparadores de fase do tipo senoidal têm uma boa rejeição de OL, da ordem de 30 dB [25], são disponíveis para várias faixas de freqüência e são de fácil implementação, em faixa estreita, em qualquer freqüência. No entanto, estes comparadores têm a tensão de saída limitada a duas vezes a tensão de polarização direta dos diodos que os compõem. Para comparadores implementados com diodos Schottky, a tensão de saída fica limitada a +/-0,2 volts.

O segundo tipo de comparadores de fase a ser descrito são os comparadores harmônicos, que se parecem fortemente com os do tipo *sample-hold* usados em circuitos de baixa freqüência [5]. Num circuito *sample-hold*, um dos sinais de entrada é usado para dar *reset* num gerador de rampa (um capacitor acionado por fonte de corrente), gerando assim uma onda tipo *dente de serra*. O outro sinal de entrada é usado para ligar, por um período curto

(*sample*), um outro capacitor que se liga ao primeiro através de um *buffer* que, após o período de amostragem, retém o valor da tensão naquele instante (*hold*). Se a fase entre os sinais de entrada varia, varia também o momento de amostragem, e, portanto, o valor da tensão de saída. Este comparador, usado desta forma, tem atuação linear para defasagens de até 360 graus entre os sinais de entrada, pois a onda *dente de serra* é zerada a cada ciclo.

Se substituirmos o gerador de onda dente de serra pelo próprio sinal de entrada senoidal, teremos agora um *sample-hold* com característica senoidal, que deve ser utilizado apenas em uma faixa monotônica de 180 graus da senóide. Este é o caso de comparadores harmônicos, onde o efeito *sample* ocorre em um a cada vários ciclos do sinal de entrada, e o efeito *hold* é dado pelos capacitores dos circuitos (filtros) que se seguem ao comparador. O tempo de *sampling* normalmente é dado pelo tempo do pulso de um multiplicador tipo SRD. A não existência de *buffer* entre o sinal amostrado e o armazenado na saída, faz com que a amostra não seja integralmente transferida para a carga, baixando a eficiência do comparador.

O terceiro tipo de comparadores de fase a ser descrito são os comparadores digitais do tipo fase-freqüência. Eles são utilizados quando o sinal de um oscilador de alta freqüência é convertido ou dividido até baixa freqüência. São comparadores com duas saídas, onde essas saídas são ativas em posições complementares com relação à fase zero dos sinais de entrada. Este efeito é o responsável pela discriminação de freqüências, quando a malha não está sincronizada. Existem vários modelos comerciais integrados para esta tarefa: 4046 em CMOS, 7440 em

lógica tipo TTL e o 12040 em tecnologia ECL (o tipo ECL - 12040 - tem sua freqüência máxima de trabalho em 25 MHz).

Estes detectores de fase operam determinando o avanço ou atraso de uma entrada em relação à outra. Como as bordas ocorrem uma vez por ciclo, estes detectores têm uma faixa de atuação de +/- 360 graus. Caso a diferença de fase entre as entradas seja maior que 360 graus (caso que ocorre apenas quando existe diferença de freqüências), uma das saídas estará saturada, e este efeito é o responsável pela discriminação de freqüências.

CAPÍTULO IV: *Tipos de Malha de Controle*

4.1 Malha de controle com comparação direta e com conversão de freqüência

Nesta seção iremos analisar como funciona a malha de controle do oscilador utilizando a comparação direta e a conversão de freqüência.

4.1.1 Comparação Direta

Uma malha de controle com comparação direta, cujo diagrama de blocos pode ser visto na Figura 4.1, em fontes de alta freqüência usa, geralmente, um comparador de fase do tipo senoidal. Este comparador pode receber o tom de OL na freqüência de comparação ou na forma de pulsos, e são mais usados em comparação direta devido à dificuldade de se obter comparadores do tipo digital em alta freqüência.

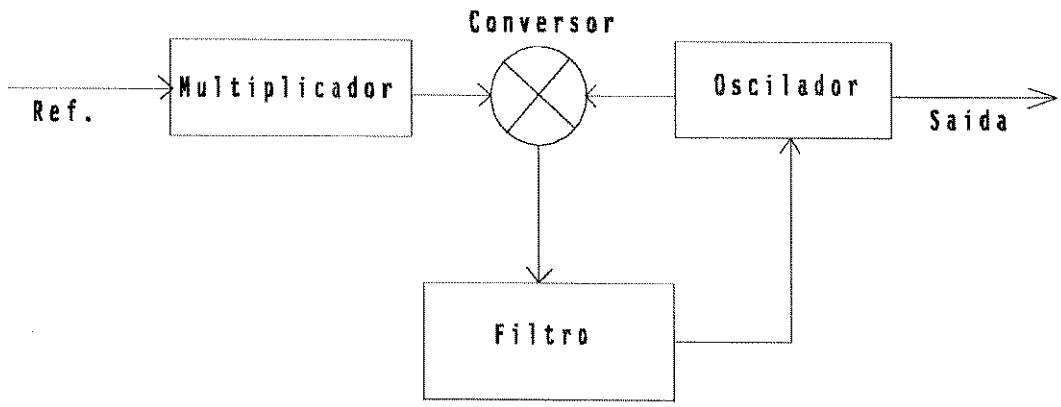

Figura 4.1: Diagrama de Blocos - Comparação Direta.

Como a referência de freqüência é, em geral, de freqüência muito mais baixa, o artifício utilizado é o de se distorcer o sinal controladamente (gerar pulsos), para se obter o harmônico desejado. Isto normalmente é feito com multiplicadores a SRD, descritos no Capítulo III. Se estes pulsos forem filtrados (selecionando o harmônico desejado), podemos fazer uma conver-

são de freqüência, como veremos mais tarde, ou uma comparação ciclo a ciclo. Caso os pulsos do SRD forem aplicados diretamente ao comparador (conversor), teremos a comparação harmônica. A diferença entre os dois modos de se comparar fase é que, no primeiro caso, precisamos de uma potência maior de excitação e um filtro, e, no segundo, o ganho do comparador de fase é dividido pelo fator de multiplicação do SRD. Este é o primeiro fator a se levar em consideração no cálculo da malha. Por outro lado, os harmônicos gerados pelo SRD podem passar através do misturador e caminhar indevidamente até a saída, comprometendo o desempenho do circuito (fonte) como um todo. Assim, temos dois problemas a serem solucionados neste tipo de malha: como manusear o baixo nível de sinal na saída do comparador e como garantir a pureza espectral da saída.

O primeiro problema nos leva a tentar colocar altos níveis de potência nas entradas do comparador, para se obter o máximo de sinal na sua saída. O segundo problema será tratado após as considerações sobre a malha. O próximo passo é a escolha correta de um amplificador DC (operacional), com características de ruído que permitam atingir as especificações da fonte de alta freqüência sem uma grande contribuição de ruído por parte desse operacional. Dentre as características deste componente devem constar uma ótima estabilidade da tensão de *offset* com a temperatura e com o tempo, bem como a possibilidade de ajuste externo da tensão de *offset* do dispositivo. Ele deve ser escolhido no *state-of-the-art* dentro dos de sua categoria, pelo baixo custo que representa no sistema global, dada a sua importância para se atingir os objetivos. O último item a ser ressaltado dentro do amplificador DC é a sua faixa de passagem, pois o ganho de malha aberta (DC) é considerado infinito

(maior que 80 dB). Como os amplificadores operacionais normalmente empregados nestas fontes não são do tipo compensados internamente, um cuidado especial deve ser dedicado à proteção contra oscilações. Para isto, deve-se manter o ganho do circuito realimentado no mínimo 20 dB abaixo do ganho em malha aberta do dispositivo. Uma proteção externa contra oscilações deve ser prevista, pois o simples filtro de malha convencional não impede oscilações dentro da faixa de controle. Esta proteção é bastante simples, e alguns amplificadores operacionais têm, em seus terminais, os acessos a pontos internos próprios para esta finalidade (compensação em freqüência).

Para se garantir uma maior pureza espectral de saída, devemos fazer o contrário do desejado para o maior sinal de saída do comparador: tentar isolar, ao máximo, o sinal do oscilador a ser controlado, do circuito comparador de fase. Isto nos leva inevitavelmente a uma solução de compromisso.

Soluções caras para a isolação dos espúrios podem ser tentadas, mas todas elas têm suas vantagens e desvantagens, além do fator custo. Podemos citar algumas, como a introdução de um isolador entre o oscilador e o comparador de fase, o que limita a interferência dos espúrios do comparador no oscilador, mas que só é tão eficaz quanto a isolação do isolador, e apenas na faixa de passagem deste. Assim, harmônicos da referência não barrados pelo comparador de fase chegam ao oscilador pouco atenuados pelo isolador, e podem caminhar livremente para a saída da fonte. Para que este tipo de estrutura opere em faixa larga, é preciso trocar o isolador por um atenuador, e, conseqüentemente, um amplificador se faz necessário para compensar as perdas introduzidas pelo atenuador. Este é o método mais

seguro para se conseguir manter a isolação com o tempo e temperatura, mas que leva a alguma instabilidade devido a variação do ganho do amplificador com estes dois parâmetros. Outro método (o mais usado), é o de se projetar um *buffer* para a faixa de freqüências de interesse. As topologias para se *zerar* a componente S_{12} de um transistor com ganho próximo a 0 dB são bastante simples, para determinadas famílias de transistores bipolares.

4.1.2 Conversão de Freqüência

Malhas que incluem conversão de freqüência têm um grau a mais de liberdade para a escolha do ganho total da malha. Esta configuração também pode ser usada para compensar a variação do ganho df/dV do VCO pela mudança do fator de divisão, quando se tratar de sintetizadores. Neste trabalho nos limitaremos a utilização de conversores para evitar o uso de divisores de alta freqüência, como pode ser visto no diagrama da Figura 4.2, e a conseqüente degradação no ruído de fase da fonte de alta freqüência.

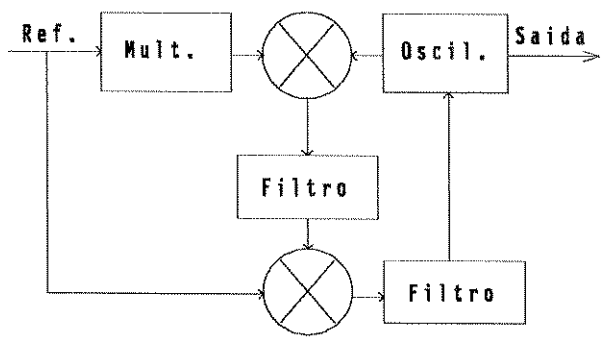

Figura 4.2: Diagrama de Blocos - Conversão de Freqüência.

A conversão de freqüência normalmente é feita diretamente no oscilador de RF, na porta destinada ao controle de fase/freqüência. Por este motivo, o ponto crítico para este tipo de fonte são os espúrios introduzidos pelo conversor, seja do

oscilador local, da imagem do sinal ou de ruídos da FI, que são reconvertidos para RF.

O sinal do oscilador pode ser derivado para o conversor diretamente de uma porta específica para este fim, ou retirado da saída através de um acoplador. No primeiro caso, esta porta é pouco acoplada ao circuito de ganho do oscilador, e, além disto, deve ser tomada através do circuito ressonante, que atua como filtro para os sinais que possam ser introduzidos pelo conversor. No segundo caso, o sinal derivado para o conversor vem diretamente da saída através de um acoplador, e a responsabilidade da pureza do sinal de saída relativa aos espúrios vindos do conversor é do próprio circuito do conversor e de suas proteções.

O sinal que vem do oscilador para o conversor pode passar por um elemento não recíproco, como um isolador ou um *buffer*, ou ainda ser atenuado, como já descrito no item anterior, sempre visando a eliminação, ou redução, de qualquer sinal que caminhe no sentido do conversor para a saída. Estes componentes conseguem, em média, uma redução de 25 dB nos espúrios acoplados ao oscilador.

O próximo passo é a escolha de um conversor, que deve ser, no mínimo, do tipo balanceado, pois este tipo de conversor tem uma isolação OL - RF em torno de 30 dB, e é esta a atenuação a que vai ser submetido o tom de OL antes de ser aplicado ao caminho para o oscilador (direção da saída da fonte). Na saída de FI, deve-se filtrar o sinal como primeiro passo, e, em seguida, isolá-lo de qualquer outra componente que possa seguir o caminho contrário em direção ao oscilador. Isto deve ser feito porque não é raro o caso em que, após a conversão, a FI é

submetida a divisores, que geram sub-harmônicos, e estes podem seguir o caminho reverso até o oscilador.

4.2 Malha de Controle com Divisores

Fontes de alta freqüência usando divisores seguem o diagrama básico da Figura 4.3. Todos os tipos de divisores de freqüência são empregados em fontes de alta freqüência, com diferentes tecnologias, níveis de sinal AC e de tempos de resposta. Isto gera alguns problemas relacionados com espúrios e tempos de atraso. A regra básica para espúrios é que, quanto mais rápido o circuito divisor, maior a corrente de alimentação e de chaveamento interno, e, portanto, maior a contribuição deste divisor para o nível de espúrios introduzidos via alimentação.

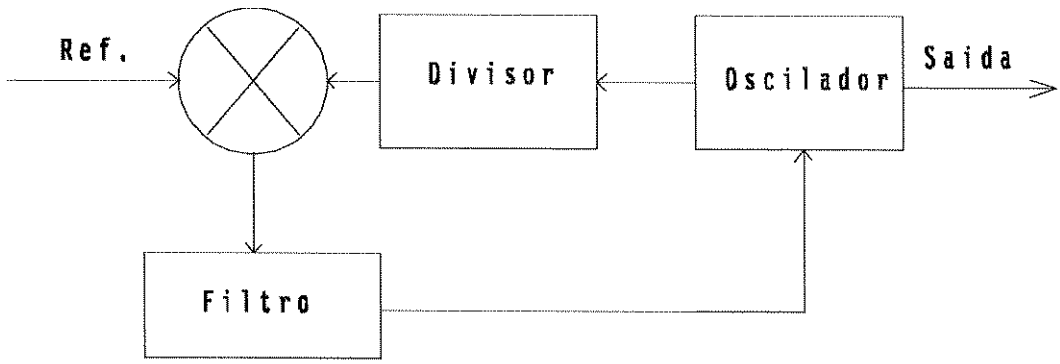

Figura 4.3: Diagrama de Blocos - Malha com Divisores.

Esta afirmação é válida para uma mesma tecnologia de fabricação. O mesmo critério deve ser empregado para divisores com grande diferença de tensão entre os estados baixo e alto.

Porém, para fontes de alta freqüência, o parâmetro mais importante em cadeias de divisores é o tempo de atraso, pois as tecnologias dos divisores são trocadas à medida que a freqüência é dividida, para que a interferência gerada pelo divisor seja a menor possível. Esta troca de tecnologia de componentes torna o projeto, como um todo, melhor à medida que ele diminui

o consumo de corrente e passa a utilizar componentes mais difundidos no mercado, inclusive com mais opções para circuitos mais complexos.

O problema gerado por esta mudança de tecnologia em cadeias com um grande número de divisores, é que o tempo de atraso nas famílias de integrados de baixa freqüência é mais alto que o tolerável para algumas fontes. Estes tempos, quando somados, chegam a comprometer a estabilidade da malha de controle, mas bem antes disto, já estarão influindo negativamente no controle do oscilador, pois este atraso não permite um controle eficaz do ruído de fase. Isto acontece porque é muito grande o número de ciclos passados entre o sinal do VCO entrar no divisor e o retorno do controle para a correção de quaisquer desvios de fase ou freqüência com relação à referência. Este atraso é o responsável por uma parte da instabilidade da malha. Neste caso, as soluções são a melhoria do fator de qualidade carregado do ressoador do VCO, ou a redução do número de divisores ou a troca da família de divisores por uma mais rápida.

A melhora dada pelo aumento do fator de qualidade carregado do ressoador, seja pela troca deste por um com fator de qualidade descarregado melhor, ou pela mudança do acoplamento do ressoador ao circuito de ganho, resulta numa diminuição do ruído de fase do VCO. Esta redução permite um intervalo de tempo maior entre o instante do desvio do VCO da fase correta e o da atuação da malha de controle, para um mesmo ruído de fase da fonte. A redução do número de divisores reduz diretamente o tempo entre o desvio de fase do VCO e a atuação da malha, assim como a troca de divisores lentos por tipos mais rápidos. O outro método para se diminuir estes tempos de atraso devido aos

divisores é a inclusão de um conversor de freqüência na malha da fonte, e a conseqüente redução do número de divisores para se atingir a freqüência de comparação.

4.3 Malha Usando Comparadores de Fase e Freqüência

Após ter sido convertido e/ou dividido, o sinal do VCO que passa pela malha de controle atinge o comparador de fase, onde ele é comparado à referência. O sinal de saída do comparador tem a informação da diferença de fase entre suas duas entradas, que vai, através do filtro de malha, controlar o VCO. Quando o VCO está sincronizado com a referência, qualquer desvio de fase nas portas do comparador vai resultar numa pequena diferença na sua tensão de saída, que será corrigida através de um estímulo dado ao VCO. Porém, quando o VCO não está sincronizado, sua freqüência, e não somente a fase, é diferente da referência. Aqui temos outra situação a considerar: O tempo em que a diferença de fase entre as entradas do comparador de fase estão no semi-ciclo de realimentação negativa, válido para comparadores de fase cíclicos, e como esta informação de erro é processada até retornar do VCO. São estes parâmetros que determinam a faixa e o tempo de captura, que são a distância máxima, em hertz, que o VCO pode estar da sua freqüência de trabalho e onde há garantia de que o mesmo vá estar sincronizado, transcorrido o tempo de captura. Em fontes de alta freqüência, que não utilizem grandes cadeias de divisores na sua malha de realimentação, a faixa de captura é bastante reduzida, pois o sinal de saída do comparador de fase troca de fase rapidamente, e o filtro de malha atenua este sinal e não o entrega ao VCO, prejudicando a aquisição de sincronismo.

Uma solução que pode ser utilizada quando ocorre este tipo de

problema, e a comparação é feita em freqüência próxima da referência, é o uso de comparadores de fase e freqüência. Estes comparadores têm sua saída com dois ramos, um dos quais atua se a fase da referência está atrasada com relação ao sinal a ser sincronizado, variando sua saída do nível máximo até o mínimo para uma variação de 0 a 360 graus na relação de fase dos sinais de entrada. Fora desta faixa, esta saída está saturada, ou em nível baixo, para diferenças de fase maior que 360 graus, ou em nível alto, para diferenças de fase menores que 0 grau. O outro ramo do comparador atua de forma semelhante, com a relação de fase trocada (atua linearmente de 0 a -360 graus).

Quando as saídas do comparador são combinadas, o que normalmente é feito pelo conjunto amplificador/filtro de malha, temos uma variação linear da tensão de controle para variações de fase de -360 a +360 graus entre os sinais de entrada. Fora desta faixa, um dos braços do comparador sempre está saturado, indicando para o amplificador/filtro de malha a direção correta da alteração a ser feita na tensão de controle para que o VCO seja levado para a condição de sincronismo. Quando o amplificador de malha inclui um integrador, este conjunto forma o melhor caso para uma rápida aquisição de sincronismo.

4.4 Malha Usando Gerador de Busca

Quando o comparador de fase não tem a facilidade de busca de freqüência, a opção para a aquisição de sincronismo é o gerador de busca. Este consiste (funcionalmente) em um detector de sincronismo, um somador na tensão de controle e um gerador de baixa freqüência, tipo *triangular*, como sugerido na Figura 4.4. Quando é detectada a ausência de sincronismo, o gerador de onda triangular é ligado, somando a tensão triangular à tensão de

controle. Isto faz com que o VCO tenha uma grande variação de freqüência, e se aproxime o suficiente da referência para ficar dentro da região de captura. Uma vez na região de captura, a malha entra em regime e desliga o gerador de busca, e o funcionamento normal recomeça.

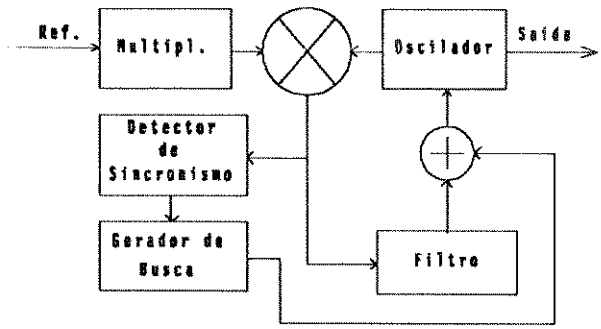

Figura 4.4: Diagrama de Blocos - Malha com Gerador de Busca.

A maneira com que este elemento é implementado difere bastante da sua descrição, como visto na Figura 4.5, embora o funcionamento prático seja exatamente o mesmo. Todo o circuito é implementado usando-se o próprio amplificador/filtro de malha, construindo-se um oscilador tipo ponte de Wien modificado na entrada positiva do operacional.

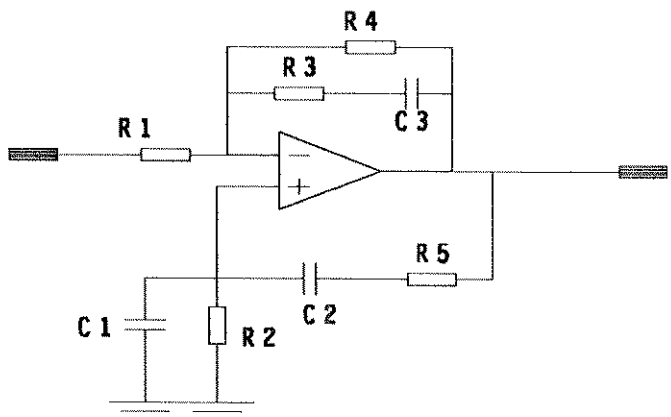

Figura 4.5: Filtro de Malha com Gerador de Busca.

Para a descrição de seu funcionamento deve ser levada em consideração a soma das realimentações positiva da malha do

oscilador Wien e negativa da malha de controle da fonte de alta freqüência.

O funcionamento deste circuito pode ser facilmente descrito quando são separados os efeitos do gerador e do sincronismo.

Quando o VCO não está sincronizado com a referência, a realimentação negativa devido à malha de sincronismo não existe, e o amplificador/filtro de malha passa a atuar como um oscilador ponte de Wien, composto pelo amplificador operacional, C1, C2, R2 e R5. Este é um oscilador originalmente senoidal, mas que foi modificado para garantir sua partida em qualquer situação do comparador de fase. Este oscilador trabalha saturado, gerando um sinal tipo trapezoidal, que é a opção para este tipo de gerador de busca [26]. Quando o VCO, controlado por esta tensão, se aproxima da freqüência de trabalho, a saída do comparador de fase passa a atuar sobre o conjunto amplificador/filtro sob a forma de realimentação negativa para o oscilador Wien. Nesta condição, a realimentação negativa da malha é predominante, e o gerador de busca deixa de atuar, dando lugar ao controle normal da fonte de alta freqüência [27]. Serão dados mais detalhes sobre a implementação deste circuito no Capítulo V.

CAPÍTULO V: *Fontes para Alguns Sistemas de Telecomunicações.*

Este Capítulo descreve a parte prática deste trabalho. Duas fontes foram projetadas e construídas usando os blocos descritos nos Capítulos anteriores. Como estas fontes foram projetadas na seqüência que serão descritas, o projeto da segunda fonte foi feito, desde o princípio, tentando-se eliminar os piores pontos encontrados na primeira fonte, principalmente visando a fase de produção comercial. A memória de cálculo das duas fontes está contida no Apêndice A.

5.1 Aplicação em Circuitos Phase-Locked-Multiplier (PLM).

Esta fonte foi primeiramente projetada para ser utilizada em transceptores de sinais para satélite, como será descrito a seguir.

O projeto de uma fonte de alta freqüência começa na especificação do produto, o que nem sempre está sob o controle do projetista de RF. O caso que será descrito a seguir leva em consideração algumas das características sistêmicas já existentes, e que devem ser seguidas, a partir das especificações que foram recebidas.

No presente caso, são apresentadas abaixo as especificações dos osciladores locais das estações receptoras/transmissoras de sinais de/para satélite, para sinais de TV e de telefonia (ETP - estação de telefonia pública; ERTV - estação receptora de televisão).

As especificações do primeiro oscilador local de recepção e do segundo oscilador local de transmissão são: o oscilador local deverá ser capaz de gerar qualquer freqüência entre 4812,5 e 5312,5 MHz com um nível de 10 dBm na entrada L do mis-

turador.

A configuração a ser utilizada é um oscilador amarrado na décima segunda harmônica de uma referência a cristal que é, em seguida, multiplicada por quatro.

O oscilador de referência, gerando qualquer freqüência entre 100,260417 e 110,677083 MHz, deverá fazer com que a saída do oscilador local seja um tom com freqüência entre 4812,5 e 5312,5 MHz.

Serão utilizados dois osciladores de referência de modo a facilitar trocas de freqüência e permitir operação em mais de uma freqüência (não simultaneamente).

O multiplicador por 48 deverá ser do tipo *phase-lock*, não necessariamente ágil. Nas mudanças de freqüência poderá ser usado algum dispositivo de sintonia grossa do VCO do *phase-locked-loop (PLL)* de modo a facilitar a aquisição simultânea de fase e freqüência por amarramento (*locking*). Sugere-se a utilização de um VCO na faixa de 1203,12 a 1328,13 MHz na implementação deste oscilador.

Um atenuador fixo entre a fonte de alta freqüência e o misturador deverá ser utilizado para melhorar a adaptação entre os dispositivos. Sugere-se uma potência de +13 dBm na saída do multiplicador e um atenuador de 3 dB.

Deve-se ter:

Faixa de freqüência: 4812,5 a 5312,5 MHz

Nível de saída : 10 dBm +/- 1 dB

Variação máxima de potência de saída : +/- 0,5 dB

Nível de espúrios : -127 dBc entre 3700 a 4200 MHz

-127 dBc entre 5925 e 6425 MHz

-127 dBc entre 1094,5 e 1130,5 MHz

-20 dBc para harmônicos do OL

-66 dBc para as demais faixas de freqüências.

Ruído de fase : a partir de 10 kHz de afastamento da portadora, a densidade de ruído de fase não deverá exceder -63 dBc/3 kHz.

As especificações do segundo OL RX e do primeiro OL TX são:

Freqüência de saída : 1182,5 MHz (RX)

1042,5 MHz (TX)

Nível de sinal : +10 dBm +/- 1 dB

Nível de espúrios: -117 dBc entre 1094,5 e 1130,5 MHz

-117 dBc entre 1234,5 e 1270,5 MHz

-117 dBc entre 52 e 88 MHz

-20 dBc para espúrios do OL

-66 dBc para as demais faixas de freqüências.

Ruído de fase: não deverá exceder -63 dBc/3 kHz a partir de 10 kHz da portadora.

Especificações mecânicas: a maior compatibilidade possível com unidades existentes no mercado internacional é dese-

jada, visando viabilizar eventuais trocas de unidades defeituosas ou deterioradas.

Alimentação: a alimentação do *Up/Down-converter* fornece +20V e -20V com referência ao terra, com regulação grossa. A princípio, as tensões a serem utilizadas pelos componentes do *Up/Down-converter* são de +15V e -15V.

Estas foram as especificações recebidas, e é baseado nelas que vamos descrever o projeto, caracterização e teste dos OL's.

O primeiro elemento projetado foi o oscilador de alta freqüência, inicialmente para cobrir a banda de 1200 a 1330 MHz. Outro oscilador foi inicialmente projetado para a posição de segundo oscilador em 1042,5 ou 1182,5 MHz. Novas versões de osciladores locais, desta vez para o rádio digital em 900 MHz, levaram a estender a banda de cobertura de apenas um oscilador entre 870 e 1330 MHz, em três faixas [28,29].

O transistor escolhido para esta função foi o BFW16A, um transistor bipolar com potência suficiente para esta aplicação (dissipação de 500 mW @ 25°C), e f_t de 1200 MHz. Os parâmetros *S* foram medidos nas condições DC de funcionamento, e com baixo nível de sinal de RF (parâmetros de pequeno sinal).

Inicialmente foram traçados os círculos de estabilidade do transistor em toda a sua faixa de freqüências, para a verificar em quais freqüências o mesmo seria instável, para, a seguir, provocar uma instabilidade controlada na faixa de interesse. As figuras mostradas neste trabalho, no Apêndice A, foram feitas por um programa existente no CPqD/TELEBRÁS (*TouchStone*, da EEsof), e mostram os círculos de estabilidade para várias freqüências, no mesmo gráfico. Este tipo de apresentação facilita

a visualização de instabilidades em toda a banda onde o dispositivo tem ganho disponível mas dificulta o entendimento de que estrutura leva este dispositivo a ser estável. Neste ponto, vale a pena descrever o significado para as várias freqüências notáveis de um transistor:

f_β: definida como f_t/β, é o ponto onde o ganho de corrente cai 3 dB do seu valor em baixa freqüência.

f_t: definida como a freqüência onde o ganho de corrente do dispositivo cai a um ($I_c/I_b=1$).

f_s: definida como a freqüência onde o parâmetro S_{21} cai a um ($S_{21}[dB]=0$).

f_{max}: definida como a freqüência máxima onde se consegue ganho igual a um ($g_{max}=1$).

Estes parâmetros normalmente acontecem nesta ordem, isto é, $f_\beta<f_t<f_s<f_{max}$, com exceção de f_t e f_s, que podem estar em posições trocadas, dependendo dos parâmetros do dispositivo. Uma facilidade que o conhecimento destas características nos dá é a de onde procurar instabilidades no dispositivo. Abaixo de f_β é pouco provável que o transistor seja incondicionalmente instável, pois a fase entre entrada e saída ainda está acima de 90°, apesar do dispositivo ter alto ganho. Acima de f_t ou f_s o transistor pode ser, no máximo, condicionalmente estável, pois seu ganho não é suficiente para vencer a impedância positiva de um sistema bem adaptado. Daí até f_{max}, por outro lado, não é tão simples a construção de um oscilador.

De posse destas características e dos parâmetros *S* do transistor BFW16A, vemos que a sua região de instabilidade vai de 700 MHz a 1.5 GHz, aproximadamente a região entre f_β e f_t. Para

estabilizar este transistor, verificamos que apenas um resistor (realimentação paralela AC) de 270 ohms entre base e coletor, tornava-o estável o suficiente para a aplicação em toda a sua região de ganho. Seguindo os passos do Capítulo 2, Seção 2.2, vamos usar as realimentações paralela (já utilizada) e série, com o objetivo de obter, com os novos parâmetros *S* do dispositivo realimentado, uma instabilidade na região de interesse. A região desejada para instabilidade, neste caso, pode ser dividida em três bandas que devem poder ser selecionadas durante o processo de ajuste em fábrica: uma de 870 a 940 MHz, a segunda de 1040 a 1100 MHz e, a última, de 1200 a 1330 MHz. Verificamos que o uso de realimentação série indutiva nos dava as características necessárias para o funcionamento nas bandas acima. A partir desta constatação, foram introduzidas perdas nesta realimentação, visando simular a conexão da carga do oscilador nesta porta. Os resultados obtidos, após alguns ajustes, foram satisfatórios em todas as bandas. Para se obter a região de resistência negativa desejada nas várias bandas, foi verificado que era possível a sua obtenção com a troca de apenas um componente, em uma estrutura simples na simulação de carga do transistor. Na configuração usada, apenas um indutor em paralelo com a carga deverá ser trocado para garantir a cobertura de todas as bandas. Assim, usando uma derivação no indutor foi obtida uma resistência negativa de 1100 a 1400 MHz, e, com o indutor completo, a banda de resistência negativa cobre de 700 a 1100 MHz. Esta estrutura cobre todos os requisitos impostos, tratados na Seção 2.2, que inclui a estrutura de adaptação de saída do tipo passa-baixas. Esta estrutura, embora seja de ordem 1 (apenas um elemento reativo), se mostrou adequada para levar o segundo harmônico do oscilador para -18 dBc em 850 MHz

e para -27 dBc em 1330 MHz, atendendo, assim, este item da especificação dos osciladores descritos.

O passo seguinte foi aumentar a resistência negativa na faixa de interesse e projetar o ressoador na freqüência de operação. Estas modificações incluíram o aumento das capacitâncias entre coletor-emissor e base-emissor do dispositivo (capacitâncias externas C2 e C5 na Figura 5.1, que mostra o circuito do oscilador de 1 GHz), para obter um aumento da potência de saída na faixa de 800 MHz. O ressoador foi, então, projetado para apresentar uma impedância próxima de um curto circuito à porta de entrada (base) do dispositivo. Dadas essas características do circuito final, os acertos parciais para cada faixa foram feitos na bancada para otimizar a potência de saída, a constante de ganho df/dV, e, principalmente, a facilidade com que se chega ao ajuste definitivo para cada faixa [30~34]. Desta última condição foi estabelecido o conceito de valores pré-definidos para cada uma das faixas. Assim, o capacitor de desacoplamento no indutor de emissor tem uma posição para a primeira banda e outra posição para as outras duas bandas. O capacitor externo de base-emissor também tem seu valor modificado. O toco tipo delta (*delta stub*) utilizado para trocar o valor do capacitor de emissor, deve ser ajustado para a melhor linearização do VCO. O toco delta que controla a capacitância de fim de linha do ressoador principal tem faixas de ajuste grosso, e pontos de ajuste entre elas para compensar a variação dos parâmetros *S* do dispositivo ativo. Finalmente, a freqüência gerada em cada uma das faixas é controlada pelo varactor, e a excursão da mesma é limitada pelo limite imposto à tensão de controle pelo circuito do filtro de malha e pela atuação do varactor no circuito tanque. Deve-se lembrar que a atuação é

limitada pela capacitância parasita do varactor, dada principalmente pelo encapsulamento.

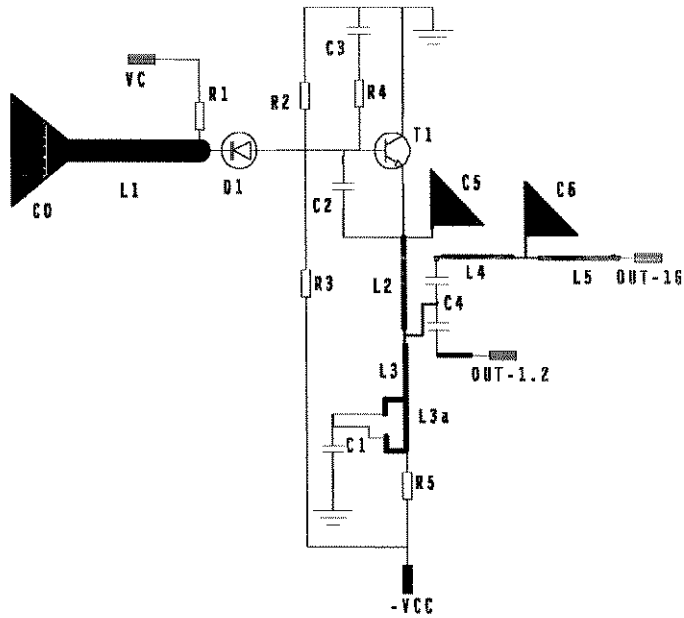

Figura 5.1: Oscilador implementado de 1 GHz.

Para aumentar a rejeição aos harmônicos do oscilador local nas faixas mais baixas, foi introduzido um filtro passa-baixas de ordem 3, tipo *T*, entre a saída do oscilador e o atenuador de ajuste de nível de potência de saída (L4, C6 e L5, na Figura 5.1). Deve ser lembrado que quando esta fonte é utilizada em 900 MHz ou em 1,1 GHz, sua saída é ligada diretamente à porta de OL do misturador. Quando for utilizada a versão de 1,2 a 1,33 GHz, este PLL é conectado a um multiplicador por 4 (unidade x4), tendo em sua saída o tom entre 4,8125 e 5,3125 GHz da especificação, e, neste caso, os harmônicos do oscilador são bem-vindos ao multiplicador, que é composto por um amplificador seguido de um gerador de harmônicos e um filtro.

O segundo bloco do PLM a ser projetado é o oscilador de referência, que será utilizado quando o subsistema operar com freqüência fixa (caso contrário uma referência externa -

sintetizador ou oscilador controlado - será usado).

Este oscilador deve ser a cristal e deve estar na faixa de 100 a 118,25 MHz. Osciladores a cristal nesta faixa funcionam freqüentemente no quinto sobretom e no corte AT, e podem ter alteração da sua curva de resposta com a temperatura pela mudança do ângulo de corte do cristal. A Figura 5.2 mostra a variação da freqüência de ressonância do cristal em função da temperatura, tendo como parâmetro o ângulo de corte da lâmina do cristal. Estes dados são usados durante a especificação do cristal, e podem ser usados para compensar uma eventual variação da freqüência provocada pelos demais componentes do oscilador (em função da temperatura) [35].

Novamente o projeto de um oscilador inclui a estabilização do dispositivo ativo, que no caso de um oscilador de referência deve levar em consideração alguns pontos, dos quais listamos quatro deles a seguir:

1. O amplificador formado pelo dispositivo ativo deve ter características de baixo ruído;

2. O elemento de alto Q deve ser colocado na sua melhor condição de trabalho, tanto em casamento de impedância, quanto de potência;

3. A limitação de potência do oscilador deve ser feita de forma pouco ruidosa, e,

4. Cuidados devem ser tomados para se evitar oscilações na fundamental ou em outros sobretons não desejados do cristal.

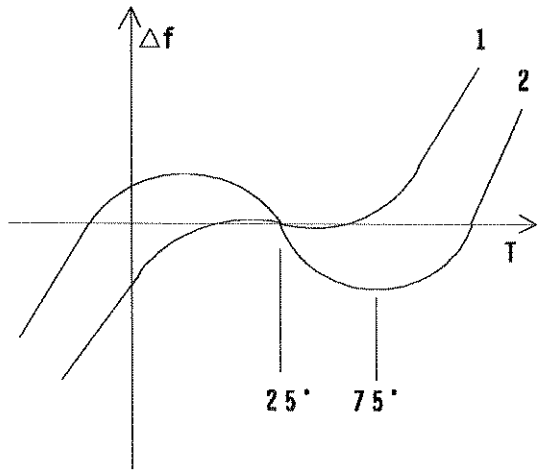

Figura 5.2: Curvas de Resposta para o corte AT.
1- Cristal cortado para Temperatura Ambiente.
2- Cristal Cortado para 75°C.

Verificados estes itens, uma primeira análise nos leva a um oscilador tipo Colpitts, na configuração base à massa, para garantir uma baixa impedância ao cristal operando no quinto sobretom.

Para se estabilizar o dispositivo ativo na configuração utilizada, verificou-se que um resistor no terminal comum (base) seria a melhor opção, e a mais simples para freqüências abaixo das freqüências de trabalho. No entanto, esta opção ou uma realimentação paralela são incompatíveis com um dispositivo amplificador com características de baixo ruído. A solução adotada foi a de utilizar um resistor desacoplado (R3 e C4, na Figura 5.3) no terminal comum (base), que atuasse em baixas freqüências, e um resistor na saída (R5), que atuaria preferencialmente na freqüência de trabalho e acima da mesma.

O oscilador do tipo Colpitts foi adotado por ser de implementação simples e dar a flexibilidade necessária ao projeto. O circuito final está na Figura 5.3. O circuito LC do oscilador

(L1, C7, C8, C10 e C11) é o responsável pelas características de impedância vistas pelo cristal e pelo transistor, pelo tipo de saturação do oscilador e pela potência de excitação do cristal. Estes valores são controlados da seguinte maneira: uma carga de alta impedância apresentada ao transistor propicia sua saturação AC nos terminais coletor-emissor, sem deslocar o ponto quiescente da polarização. Uma razão de atenuação da tensão que retorna ao transistor da ordem de seu ganho nos garante uma baixa excitação do cristal e uma baixa impedância para o mesmo. A saturação do transistor deve estar entre 2 e 5 dB acima do ponto de compressão 1 dB, quando comparado a um amplificador nas mesmas condições, para garantir que o circuito funcione com diferentes unidades, temperaturas e ao longo da vida útil do transistor.

O ajuste fino da impedância de saída vista pelo transistor é feito pela conversão da resistência de saída (carga), através de C12, para o circuito ressonante.

Este oscilador, com um cristal em quinto sobretom colocado entre a derivação do circuito ressonante do oscilador Colpitts e o emissor do transistor, apresenta ainda um pequeno problema: o cristal não exerce o controle absoluto da freqüência do oscilador, pois a capacitância de montagem do cristal tem a sua reatância da ordem da impedância série do cristal. O artifício usado para minimizar este problema é o de ressoar esta capacitância com um indutor em paralelo. Para que este circuito LC não interfira em outras freqüências, ele é feito propositalmente com baixo Q, aumentando-se o capacitor parasita do cristal com um capacitor externo, para se diminuir o valor do indutor a valores que cubram a faixa de freqüências de inte-

resse (L2 e C5).

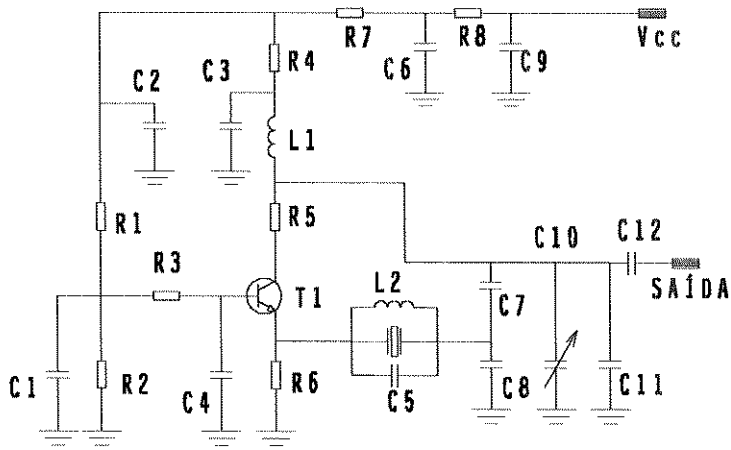

Figura 5.3: Oscilador de Referência.

O último ponto do circuito do oscilador de referência é o casamento de saída (C12), que deve compensar, ao menos parcialmente, as variações de potência do oscilador, sem comprometer as características fundamentais de uma referência. Para isto, é usado como acoplamento de saída um capacitor com um valor reativo alto, isto é, aproximadamente o dobro das impedâncias envolvidas no oscilador/*buffer*. Este procedimento permite, ao mesmo tempo, apresentar uma impedância alta ao transistor/oscilador devido à carga, e corrigir a queda da potência de saída com o aumento da freqüência do oscilador. O oscilador de referência é seguido por um *buffer* com duas funções distintas: amplificar o sinal de baixo nível gerado pelo oscilador de referência e, isolar, tanto quanto possível, este oscilador de flutuações e espúrios vindos dos estágios que se seguem ao *buffer*. O projeto deste estágio não tem grande desafio; assim não nos deteremos nele, exceto para deixar claro as diretrizes que devem ser seguidas durante seu projeto. O *buffer* necessário para este estágio pode ser do tipo sintonizado ou de faixa-larga, com vantagens e desvantagens para cada um. Um *buffer* sintonizado permite um maior ganho com a mesma isolação reversa

de um faixa-larga, mas perde no casamento fora da faixa.

Para o nosso caso, de 100 a 118 MHz, este estágio seria um ponto a mais a ser ajustado no circuito, caso se fizesse a opção por um estágio sintonizado. Isto tornaria impraticável a obtenção de uma fonte do tipo *ágil*, que desejamos obter. Este motivo foi o suficiente para que se fizesse a opção por um *buffer* tipo faixa-larga, apesar do sacrifício implícito no ganho deste estágio. A Figura 5.4 mostra o circuito final deste *buffer*.

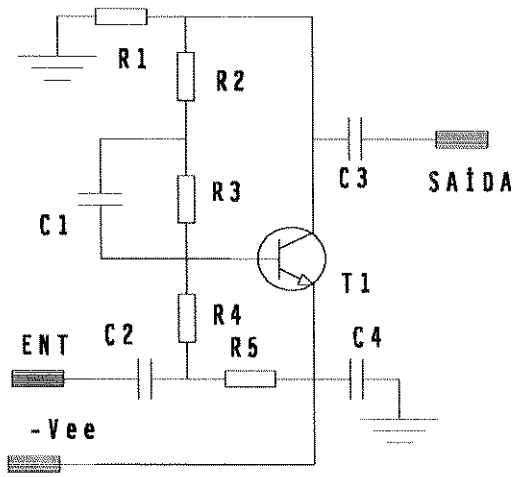

Figura 5.4: Amplificador/Isolador de 100 MHz.

O estágio de potência de 100 MHz é o próximo item deste Capítulo, e o seu projeto inicial não foi trivial. Isto aconteceu porque não dispúnhamos dos dados completos do estágio subseqüente a este amplificador: um multiplicador a diodo SRD. Não é disponível, para estes multiplicadores, uma literatura específica, mas apenas dados para algumas poucas aplicações e para funções e faixas de freqüência determinadas [20~22].

Assim, tanto a potência de saída deste amplificador de 100 MHz, como sua impedância ótima para operação eram incógnitas que não puderam ser determinadas sem que isto resultasse num

atraso excessivo para o projeto e construção da fonte descrita. Aliando este fato ao de que o multiplicador é um dispositivo extremamente mal-comportado no que diz respeito à geração de resistência negativa, optou-se por construir o amplificador na impedância de 50 ohms. Esta decisão implica na necessidade de isolar o multiplicador do amplificador para freqüências baixas, conforme o circuito da Figura 5.5, e em um posterior casamento do multiplicador. Deve ser registrado que esta solução só é viável para pequenas faixas de freqüência, como a que estamos interessados, e que, para faixas maiores, um outro tipo de enfoque deve ser dado a estes estágios. Vistas as considerações acima, o estágio de potência de 100 MHz foi projetado para a potência de saída de +27 dBm, como um amplificador unilateral. Isto pôde ser feito uma vez que a entrada está isolada pelo *buffer* do oscilador de referência, e a saída pelo isolador de baixa freqüência. Nessas condições, este estágio não deve apresentar maiores problemas. Os parâmetros relevantes para este tipo de enfoque são a polarização e os níveis de impedância a que estará submetido o dispositivo ativo para fornecer a potência desejada, além da garantia de um conjunto ganho-potência mínimo admissível, em toda a faixa de freqüências à qual este estágio será submetido. Durante os testes do amplificador, o circuito tipo 'T-com ponte' (*bridged-T*) que servirá também para isolar, em baixas freqüências, o amplificador do multiplicador, foi incorporado ao amplificador. Este circuito apresenta uma perda considerável no início da faixa de freqüências do conjunto (aproximadamente 2 dB). Com este procedimento consegue-se, de imediato, uma resposta aparentemente mais plana no amplificador, pois tanto seu ganho como sua potência máxima seguem a queda da curva de ganho do transistor não realimen-

tado.

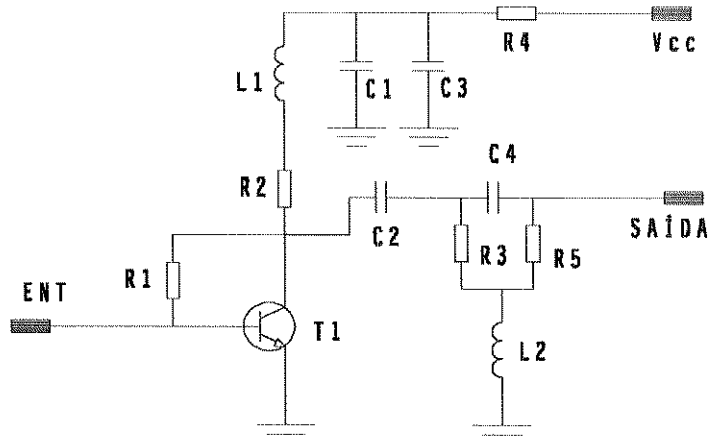

Figura 5.5: Amplificador de Potência de 100 MHz.

Como apresentado na Figura 5.5, a topologia deste circuito consiste de um *T* R-L-R (R3, L2 e R5), colocado em série com o sinal, e uma ponte capacitiva da entrada para a saída para terminar o conjunto (C4). Em baixas freqüências, o capacitor está aberto e o indutor é considerado um curto, e, nesta condição, tanto a fonte de sinal como a carga vêem 50 ohms. Na faixa de freqüências de operação do circuito e acima dela, o indutor central do *T* é considerado um circuito aberto, e o capacitor *ponte* é considerado uma baixa impedância. Para estas freqüências, a carga *vê* a fonte e recebe a maior parte do sinal desta. De posse da fonte de referência e de um amplificador com potência suficiente na faixa de operação, pudemos desenvolver e testar o multiplicador de freqüências a diodo SRD. Este estágio consiste de um casador de impedâncias tipo PI, de 50 para 15 ohms (C2, L1 e C3, na Figura 5.6), do circuito de ataque do SRD (L2) e do seu circuito de casamento de saída (L3, C4 e C5). Tanto o circuito de casamento de entrada como o circuito de ataque do SRD são feitos para a faixa de 100 a 120 MHz (Figura 5.6), e não apresentam qualquer problema quanto à sua construção, uma vez que os valores dos componentes sintetizados são

condizentes com esta faixa de freqüência e com o substrato utilizado (o indutor de ataque do diodo SRD foi feito em circuito impresso). Já o circuito ressonante de saída, caso fossem utilizadas as técnicas de projeto de circuitos convenionais, resultaria num circuito LC série com um capacitor de 0,2 pF como parte do circuito ressonante. Numa análise mais detalhada, vimos que este valor era menor que as ilhas de solda deste capacitor no substrato utilizado, sendo considerado, portanto, irrealizável.

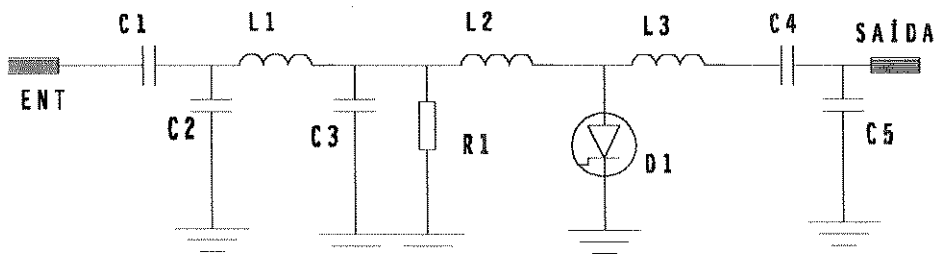

Figura 5.6: Multiplicador a Diodo SRD.

Uma tentativa para se utilizar o acoplamento entre dois fios torcidos também não deu resultados confiáveis. A solução encontrada foi a de se alterar o nível de impedância de carga do ressoador, fazendo com que a carga aparecesse numa derivação capacitiva do circuito, e, este sim, resultou em valores condizentes com as freqüências envolvidas, e, portanto, realizáveis. O último item do multiplicador a SRD é o controle de polarização, que apesar de ser composto por um único resistor (R1), pois o SRD é autopolarizado, tem uma grande influência na estabilidade do multiplicador, já que é este resistor quem controla o *duty-cycle* do SRD. Este parâmetro só foi ajustado em definitivo quando o multiplicador foi acoplado ao conversor harmônico, uma vez que da largura de pulsos do multiplicador e de seu conteúdo harmônico, além da potência de saída, dependem a

eficiência e a tensão de *offset* do conversor. No caso deste conjunto multiplicador-conversor, o resistor de polarização do multiplicador é também um resistor de amortecimento. Este amortecimento foi incorporado ao circuito porque o conversor utilizado - um misturador comercial e um estágio isolador para o sinal do oscilador, Figura 5.7 - não suportava a potência e a largura dos pulsos gerados pelo multiplicador. Adiantando um pouco a apresentação de dados posteriores, implementamos durante este trabalho uma outra fonte de microondas onde o conversor harmônico foi projetado para funcionar como tal, e naquele caso, a tensão de auto polarização do diodo SRD é usada também como polarização dos diodos do conversor, para que se obtenha um melhor resultado com harmônicos de ordem mais alta.

As medidas feitas com este conjunto - oscilador de referência, amplificador-isolador, amplificador de potência e conversor harmônico - levaram à confirmação do esperado teoricamente: a perda de conversão aumenta com a ordem do harmônico convertido. Isto é verdade desde que o nível do harmônico correspondente esteja presente na porta Mult (Fig. 5.7), que funciona como oscilador local do conversor, com uma amplitude suficiente para efetuar o chaveamento correto dos diodos do conversor [36,37]. Assim, como este nível é bastante dependente do ressoador na saída do multiplicador, da sintonia deste ressoador e do seu fator de qualidade dependem a correta cobertura da faixa de freqüências em que desejamos o funcionamento da fonte de alta freqüência [38]. Este é o motivo do ressoador (L4, C4 e C5) ter sido sintonizado na parte mais alta da faixa de freqüências a ser coberta (1300 MHz), e não ter sido dada grande importância à faixa mais baixa (800 MHz), pois esta usa para a conversão o oitavo harmônico, contra o décimo segundo da faixa

mais alta. Com esta escolha de ajustes, conseguimos um ganho bastante plano do conversor para todas as faixas de freqüências envolvidas (a amplitude de saída do conversor estava entre 250 e 350 mV_{pp}, enquanto a tensão de *off-set* tinha seu valor entre +/-100 mV).

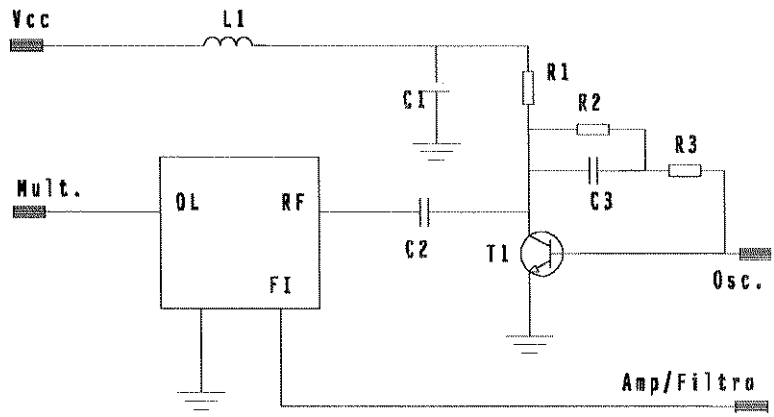

Figura 5.7: Conversor Harmônico.

É com estes dados que trabalhamos para o projeto da última etapa de contrução da fonte de alta freqüência a PLL, o circuito de controle de fase. Este circuito tem a função de converter a tensão de saída do conversor harmônico, devidamente filtrada, aos valores necessários para serem aplicados ao varactor do oscilador de alta freqüência. Como cinco tipos diferentes de fonte, com três faixas de freqüência distintas, seriam usuárias dos mesmos blocos funcionais, algumas precauções foram tomadas para evitar um grande trabalho de ajuste durante a fase de produção industrial. Uma destas precauções foi a de se isolar a entrada de controle do oscilador de alta freqüência com um operacional, pois, deste modo, diferentes módulos de filtro/amplificador poderiam ser adaptados nesta conexão, sem problemas. Além disto, este estágio poderia oferecer um ganho extra ajustável, de modo que caso alguma restrição, no que diz respeito ao ganho, fosse feita ao filtro de

malha, o ganho total poderia ser recuperado neste estágio.

Em se tratando do filtro de malha propriamente dito, Figura 5.8, as funções a ele atribuídas são as de corrigir, dentro do possível, o *off-set* do conversor harmônico, filtrar os espúrios do conversor e as freqüências acima da qual o controle do VCO não é desejado, e mover a fase correta do sinal de controle para o varactor do VCO [39~41]. Estas funções seriam facilmente implementadas se não fosse uma tarefa que não é do filtro de malha, mas está intimamente ligado a ele: a aquisição de sincronismo.

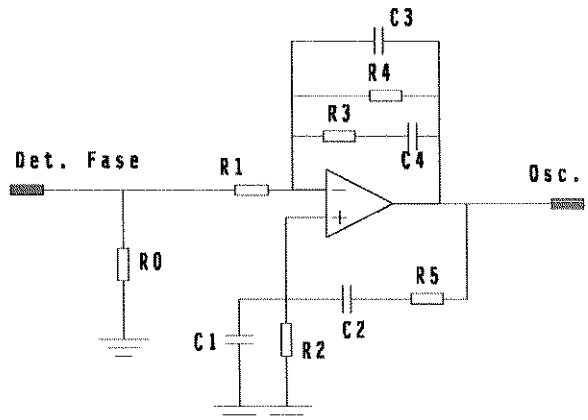

Figura 5.8: Amplificador/Filtro de Malha/Gerador de Busca.

Uma vez definidas a faixa de freqüências de atuação do controle (ganho df/dV do VCO, multiplicado pela variação da tensão de controle), a freqüência acima da qual o VCO não deve mais ser controlado pela referência, e com que velocidade ele deve ser controlado (isto é, ω_n e ζ), outros dois fatores ficam definidos, para a estrutura como um todo: o *acquisition* ou *capture range* e o *holding range* [42~46]. A faixa de sincronismo depende, basicamente, da tensão de saída do comparador de fase (no nosso caso o conversor harmônico), do ganho do conjunto filtro-amplificador da malha (R4/R1) e do ganho df/dV do VCO. A captura de sincronismo, no entanto, depende, além destes fato-

res, da faixa de passagem da malha de controle e da velocidade com que esta atenua os sinais a partir da sua freqüência de corte [47~51]. Como, no nosso caso, a faixa de freqüências (*holding range*) abrangida pelo VCO em função da tensão de controle é ordens de grandeza maior que a faixa de controle (próxima ao *capture range*), a probabilidade do VCO, quando não estiver sincronizado, estar operando fora da faixa de captura, é muito grande. Neste caso, outro mecanismo para a aquisição de sincronismo deve ser providenciado. Uma tecnologia bastante comum para este caso é o uso de um *gerador de busca*, que entra em funcionamento quando a fonte não está sincronizada. O gerador aplica uma tensão extra ao VCO, fazendo com que este varie sua freqüência entre a mínima e a máxima permitidas, *buscando* a referência, para a aquisição de sincronismo. Alguns circuitos externos ao filtro/amplificador de malha foram projetados e testados, mas as dificuldades para a detecção de sincronismo/ausência-de-sincronismo e para que o sincronismo fosse mantido quando o gerador de busca era desligado foram tão grandes, que a opção foi a de se incorporar este gerador como parte da malha de controle [52~54]. A implementação deste circuito é bastante delicada, além de confusa em alguns casos. Ele é feito por um oscilador tipo *ponte de Wien*, componentes C1, C2, R2 e R5 na Figura 5.8, no próprio operacional do filtro de malha. Este oscilador Wien tem sua realimentação positiva fraca o suficiente para que a oscilação seja interrompida pela soma de uma realimentação negativa também fraca no mesmo operacional. Para isto o oscilador *ponte de Wien* é distorcido, não tendo seus valores simétricos como no modelo original, e não usa um limitador tipo PTC, para que oscile com uma forma de onda senoidal. Com estas modificações, este oscilador, quando em funciona-

mento, gera uma senóide saturada, onde nosso objetivo é o de se ter duas rampas, uma ascendente e outra descendente, mesmo que isto implique em alguns períodos de saturação razoavelmente longos [26]. Uma vez incorporado ao filtro de malha, este tipo de gerador de busca preenche todos os requisitos acima, de difícil implementação em outros protótipos: com a fonte fora de sincronismo, não há a realimentação negativa da malha, e o oscilador começa seu ciclo. Quando as freqüências do VCO e da referência estão próximas o suficiente para que exista a realimentação negativa da malha, o oscilador Wien deixa de ser o elemento ativo (controlador), tornando-se ativo o filtro de malha, sem nenhuma descontinuidade na tensão de controle [55]. A grande vantagem deste circuito é exatamente esta: quando ocorre a captura do sincronismo, não existe a descarga dos elementos reativos do gerador de busca, pois estes já estarão com as tensões de trabalho final da malha de controle, isto é, eles simplesmente deixam de ser carregados ou descarregados pelas constantes do oscilador, pois o controle, agora, é feito pela malha de sincronismo.

Como em quase todos os itens onde a solução envolve uma melhora de desempenho, há um preço a ser pago; este caso não é diferente neste aspecto: uma limitação foi feita no ganho do filtro de malha, pelo resistor R4, que não pôde ser um integrador perfeito. Esta limitação ocorre devido às características dos amplificadores operacionais, que variam muito seu ganho DC, de unidade para unidade, comprometendo a partida do gerador de busca. O critério usado para limitar o ganho deste estágio foi o de garantir que qualquer amplificador operacional usado na malha tivesse seu ganho em malha aberta maior que o limitado pelo circuito, isto é, a resposta em freqüência seria determi-

nada pelo circuito, e não pelas características do operacional.

Com os circuitos descritos acima, temos em mãos os componentes necessários para a montagem da primeira de uma série de fontes que foram programadas, conforme mostrado na Figura 5.9. Este é o diagrama básico para as fontes nas faixas de 800 MHz, 1 GHz e para as fontes de 5 GHz não ágeis (para estas últimas devemos adicionar a estes blocos um multiplicador por quatro, a diodo SRD). A partir dos testes destes blocos componentes, foram determinadas algumas características do conjunto, que descreveremos a seguir.

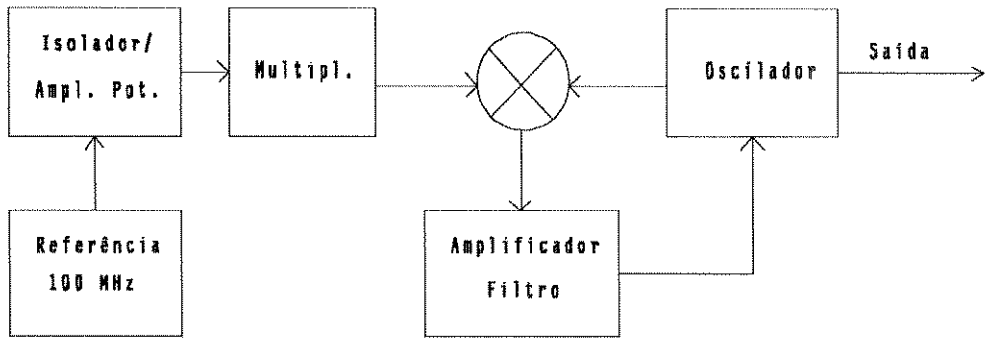

Figura 5.9: Diagrama de Blocos - Fonte de RF.

Os testes do oscilador de 1 GHz mostraram uma variação de +/-6 MHz para uma mudança na temperatura ambiente de -10 a +60°C. As simulações feitas para variação de parâmetros do dispositivo ativo e de outros componentes do oscilador indicam outros +/-6 MHz de variação ao longo da vida útil da fonte (aqui foram assumidas variações de +/-10% para cada item). Outros +/-6 MHz foram assumidos como margem de segurança, resultando num total de 36 MHz para a faixa em que o oscilador de 1 GHz deve ser controlado para que seja garantido seu sincronismo até as condições limites acima descritas.

A medida do ruído de fase (estabilidade de curto prazo) do

oscilador livre foi feita com auxílio de uma malha de sincronismo de faixa estreita, e indicou que, teoricamente, uma faixa de 70 a 100 kHz deveria ser utilizada neste sistema. Esta faixa só foi definida após a malha definitiva ser construída, e o melhor ponto de corte foi em 30 kHz, com um amortecimento do controle da ordem de 5 (o valor teórico para 70 kHz é de 0,7). Estes valores foram os escolhidos na bancada, para que a fonte ficasse estável em toda a faixa, nas três bandas.

Os ajustes descritos acima foram feitos em oito unidades, que foram montadas para o teste de campo de um equipamento de Rádio Digital em 900 MHz, e que antes passaram pelas etapas de ajuste e de teste térmico, das quais damos alguns dados a seguir [55].

Potência da fonte: +23 dBm @ 50 ohms, 1200 a 1330 MHz.

+8 dBm de 760 a 1200 MHz (com atenuador interno).

Perda de retorno de RF: -6 dB 1200 a 1330 MHz.

-24 dB 760 a 1200 MHz (c/ atenuador).

Ruído de fase: -110 dBc/Hz @ 10 kHz em 860 MHz.

-105 dBc/Hz @ 10 kHz em 1100 MHz.

-100 dBc/Hz @ 10 kHz em 1270 MHz.

Espúrios: Harmônicos do OL: -18 dBc de 760 a 1200 MHz.

Harmônicos da referência: -130 dBc.

Valores dependentes da temperatura (+5 a +45°C):

Off-set do comparador: +30 a -70 mV (piores casos).

Mudança na tensão de controle: +/- 1 V @ 800 MHz.

+/- 2 V @ 1200 MHz.

+/- 4 V @ 1330 MHz.

Esta fonte foi integrada a um módulo multiplicador por quatro desenvolvido separadamente, que causou uma profunda influência no resultado final do projeto, na versão de 5 GHz, e, por este motivo, sua descrição consta a seguir.

O módulo multiplicador é composto de um amplificador seguido de um multiplicador a SRD e um filtro. O amplificador de 1200 a 1330 MHz, foi projetado como amplificador unilateral, caso idêntico ao estágio de potência de 100 MHz interno ao PLL. Este projeto resultou num amplificador com uma impedância de entrada de 100 ohms e ganho de 7 dB. Um atenuador de 3 dB foi inserido na sua entrada para isolar o oscilador do amplificador, e um cabo de quarto de onda @ 1250 MHz, 50 ohms, foi usado para retirar a maior potência possível do oscilador.

O sinal amplificado é aplicado ao circuito de casamento e ataque do diodo SRD, que tem sua saída conectada a uma derivação de um filtro de 4,6 a 5,5 GHz, construído em tecnologia de linha de fita (*strip-line*) em substrato de teflon.

O conjunto assim obtido teve as seguintes características:

Potência de saída: +10 dBm de 4,8 a 5,3 GHz.

Harmônicos do OL: -35 dBc para o 3^{o} harmônico.

Espúrios: -130 dBc, de 4,8 a 5,3 GHz.

Ruído de fase: -85 dBc/Hz @ 10 kHz da portadora.

5.2 Aplicação em Circuitos PLL.

O segundo oscilador a ser construído tem características semelhantes à fonte descrita anteriormente, mas sua freqüência de trabalho é de 1,8 a 2,3 GHz. Este é um oscilador para ser utilizado num rádio digital na faixa acima, com conversão direta para 70 MHz, o que implica numa grande pureza espectral na faixa de 40 a 90 MHz da portadora (faixa de freqüências de FI).

Como foi detectado que a maior dificuldade de ajuste e o maior consumo de potência da fonte anterior (versão de 5 GHz) estavam no multiplicador por quatro, decidimos utilizar um outro tipo de sistema de controle para tentar fugir de um multiplicador após o PLL, dado que um oscilador a ressoador dielétrico, sem ser amarrado a uma fonte com melhor estabilidade de longo prazo, não atenderia às características do projeto do sistema.

Para isto foi proposta uma malha com conversão do oscilador de RF para a faixa de 20 MHz. Este sistema estaria livre de espúrios na faixa de sinal, e um comparador digital de fase e de freqüência poderia ser usado, simplificando a aquisição de sincronismo.

Os blocos em comum com o oscilador anterior, isto é, oscilador de referência, *buffer*, e amplificador de potência de 100 MHZ foram aproveitados sem modificações significativas. Deste modo, restam quatro blocos a serem projetados: Conversor Harmônico, Comparador de Fase, Filtro de Malha e o Oscilador de 2 GHz.

O diagrama de blocos deste oscilador pode ser visto na Figura

5.10 abaixo:

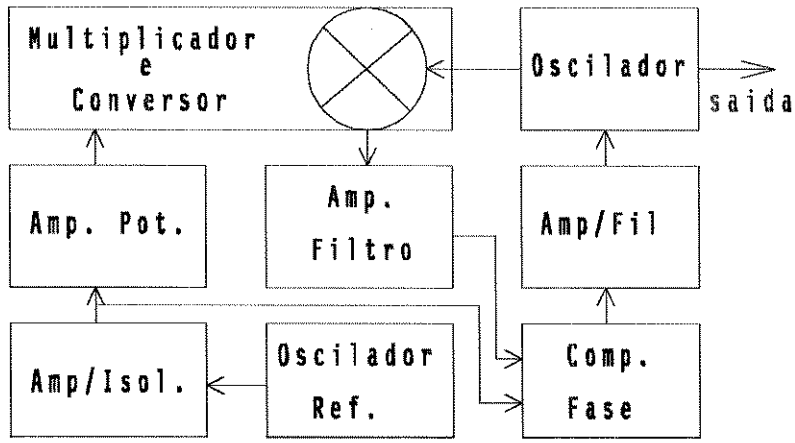

Figura 5.10: Diagrama de Blocos - Fonte de 2 GHz.

Para o oscilador de 2 GHz foi desenvolvida uma primeira versão que fornecia +13 dBm de potência de saída, que, apesar do seu baixo consumo de potência DC, se mostrou muito instável com a variação da carga (efeito *load-pull*). A alternativa a este projeto foi o desenvolvimento de um oscilador de maior potência de saída (este novo oscilador, mostrado na Figura 5.11, quando carregado ao máximo, fornece 0 dBW de potência de saída), embora fossem necessários apenas +7 dBm para o misturador do *Up/Down- Converter*. Esta reserva de potência nos permitiu o projeto de uma fonte extremamente bem adaptada, que dispensasse qualquer tipo de atenuador externo.

Como todos os desenvolvimentos deste trabalho, este também começou com a medida dos parâmetros *S* de pequenos sinais do dispositivo ativo. Esta talvez tenha sido a maior dificuldade deste estágio, pois o dispositivo utilizado oscilava quando polarizado na condição correta e carregado com 50 ohms. A alternativa foi a de carregar o dispositivo com resistores extras, que foram *retirados a posteriori*, durante os cálculos.

Para um dispositivo tão instável, o objetivo de se obter um componente incondicionalmente estável, para depois provocar a instabilidade desejada foi impossível. Uma estabilidade condicional foi obtida com uma carga na entrada do transistor, que foi usada como saída. Para este transistor, apenas um ressoador LC série, (composto pelo capacitor C3 e seus terminais, na Figura 5.11), em paralelo com o dispositivo ativo, foi o suficiente para garantir a oscilação. Neste caso, como recomendado no Capítulo II, Seção 2.2, é necessário se garantir que nunca será apresentada à saída do dispositivo ativo uma impedância que possa provocar oscilações fora da faixa de interesse. Este estudo foi feito, e a carga utilizada para provocar este efeito foi também usada para retirar a potência necessária para ser acoplada ao conversor harmônico (R1 e R2) e a um detector de potência (R3 e D5), parte da especificação do projeto. Deste modo foi obtida a isolação desejada entre a amostra para conversão e a saída da fonte.

Resta agora o controle eletrônico de freqüência a ser acoplada ao oscilador. Um estudo mais detalhado das tensões e impedâncias envolvidas mostrou que não dispúnhamos de um varactor com características adequadas ao circuito. Este dispositivo deveria ser um varactor de potência, com a desvantagem do baixo fator de qualidade inerente destes dispositivos. Por outro lado, devido à grande instabilidade do transistor usado, vimos a necessidade de um controle ativo de sua corrente quiescente, para evitar o disparo térmico e para uma maior estabilidade da freqüência. Isto aconteceu porque não conseguimos achar um *nulo* na variação da freqüência de oscilação com a corrente de polarização do transistor, isto é, a variação de freqüência é monotônica com a corrente de polarização, na faixa útil de corrente

de polarização deste transistor.

Uma vez detectado este efeito, passamos a otimizá-lo ao invés de minimizá-lo, para que a variação de corrente, mesmo que pequena, pudesse ser usada como controle da freqüência do VCO. Esta foi a alternativa ao uso de um varactor de potência, e as medidas do VCO mostraram uma variação de +/-0,3 dB na potência de saída para uma excursão total de 70 MHz na faixa de 2 GHz.

O esquemático deste oscilador (Figura 5.11) mostra a entrada da tensão de controle (entrada MOD) através do circuito de polarização, bem como as saídas de RF principal da fonte e para o conversor harmônico (saída CONV).

A cobertura da faixa de 1,7 a 2,3 GHz é feita através do ajuste do capacitor na realimentação (C3).

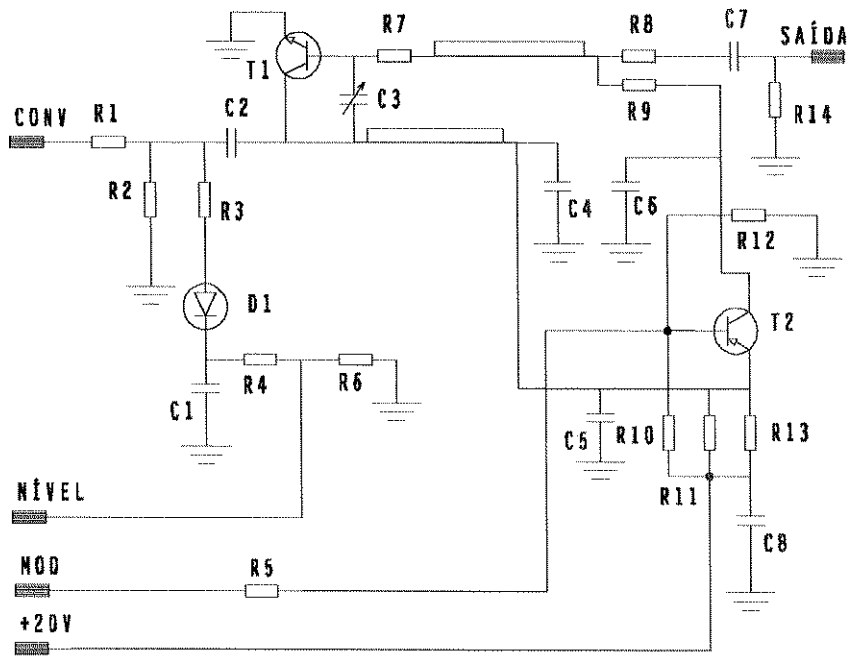

Figura 5.11: Oscilador de 2 GHz.

O segundo bloco, o conversor harmônico (Figura 5.12), foi projetado como um misturador balanceado, recebendo em seu ter-

minal de oscilador local (pontos A e B) o pulso do multiplicador SRD. Para atingir, com eficiência razoável, a conversão do décimo oitavo ao vigésimo terceiro harmônico, usamos um misturador polarizado, onde a polarização é dada pelo próprio SRD.

A configuração mostrada na Figura 5.12 foi usada para se evitar um problema comum aos misturadores faixa-larga: a difícil construção de *baluns* que cubram toda a faixa de freqüências do misturador. Esta restrição é muito importante neste caso, pois este balun deveria cobrir a faixa de 100 MHz a 2,3 GHz. Com o uso da configuração abaixo, o efeito *balanced-to-unbalanced* deve existir apenas na faixa da referência, ou seja, de 100 a 110 MHz.

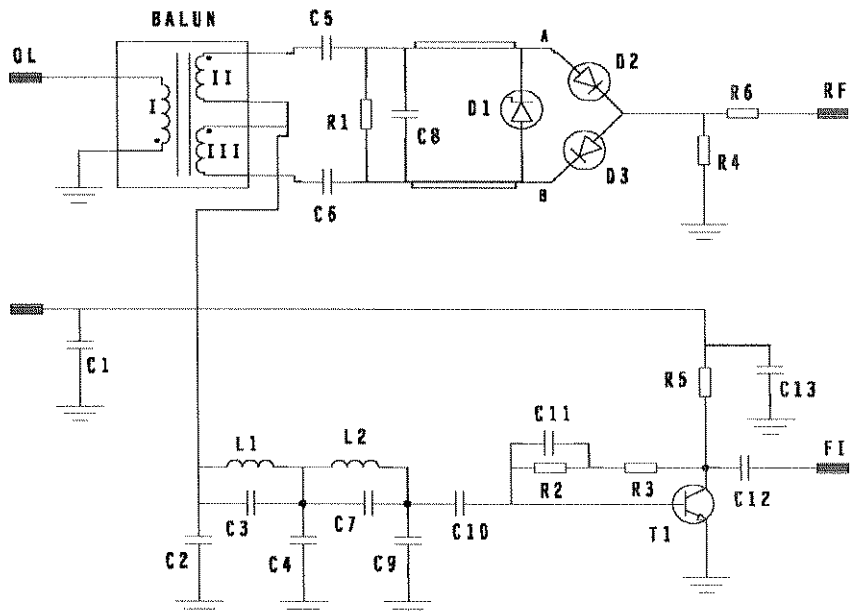

Figura 5.12: Conversor Harmônico de 2 GHz.

Nesta configuração o diodo SRD atua em modo balanceado, estando todos os elementos acoplados a ele divididos simetricamente com relação ao terra. Devemos ainda observar que existe um atenuador tipo *PI* entre o oscilador e o conversor, sendo mostrado uma parte de seu circuito no bloco oscilador (R1 e R2

na Figura 5.11) e o restante no bloco conversor (R4 e R6 na Figura 5.12). Foram usados dois resistores em série com o sinal a fim de reduzir a capacitância parasita destes componentes. Uma outra técnica usada para aumentar a eficiência de conversão foi a de se usar as linhas de conexão do SRD e diodos do conversor como um ressoador de quarto de onda (são as linhas que ligam o capacitor C8 ao diodo D1, na Figura 5.12). Isto faz com que os diodos do conversor sejam chaveados mais de uma vez a cada pulso do SRD, dando o efeito de aumento de eficiência do conversor [37,38]. A saída de FI é tomada no terminal central do *balun* como num misturador convencional, e é acoplada ao filtro de FI com comprimento elétrico desprezível para as freqüências envolvidas, para que as reflexões existentes não provoquem mudanças significativas de amplitude no sinal convertido.

Segue-se ao filtro de FI um primeiro estágio de amplificação, para que, em seguida, o sinal de FI seja isolado fisicamente (este sinal passa para outro compartimento na caixa do oscilador), e seja novamente filtrado e amplificado para ser convertido para nível ECL e aplicado ao comparador de fase.

Durante o projeto desta fonte, os cálculos mostravam que apenas um filtro de terceira ordem seria suficiente para rejeitar os sinais indesejados na FI, para qualquer freqüência da fonte. O dado que não foi levado em consideração durante o projeto elétrico foi o da proximidade física entre o filtro e o *balum* do conversor, e dos acoplamentos indesejados devido à grande diferença de potência entre os sinais. Com a utilização de dois filtros, pôde-se relaxar a rejeição necessária para cada um deles, obtendo-se o mesmo valor total de rejeição sem um acoplamento forte de sinais indesejados.

Com o sinal de FI pronto para ser aplicado ao comparador de fase, passamos ao processamento do tom da referência que será aplicado à outra porta do comparador, como será descrito a seguir.

O oscilador de referência fornece um tom na faixa de 100 a 110 MHz, que é isolado e aplicado ao amplificador de potência e, em seguida, ao conversor harmônico.

Uma amostra derivada do isolador do oscilador nos dava potência suficiente para ser usada num divisor ECL. Esta amostra do tom da referência foi aplicada a um divisor por cinco, tendo em sua saída um tom na faixa de 20 a 22 MHz, que é usado como referência para o comparador de fase do tipo 12040, Figura 5.13. Este é um comparador digital de fase e freqüência, que opera com freqüências de até 25 MHz em suas entradas. As saídas deste comparador são complementares e devem ser somadas pelo amplificador operacional a ser usado no filtro de malha, conforme descrito no Capítulo IV, Seção 4.3 [57].

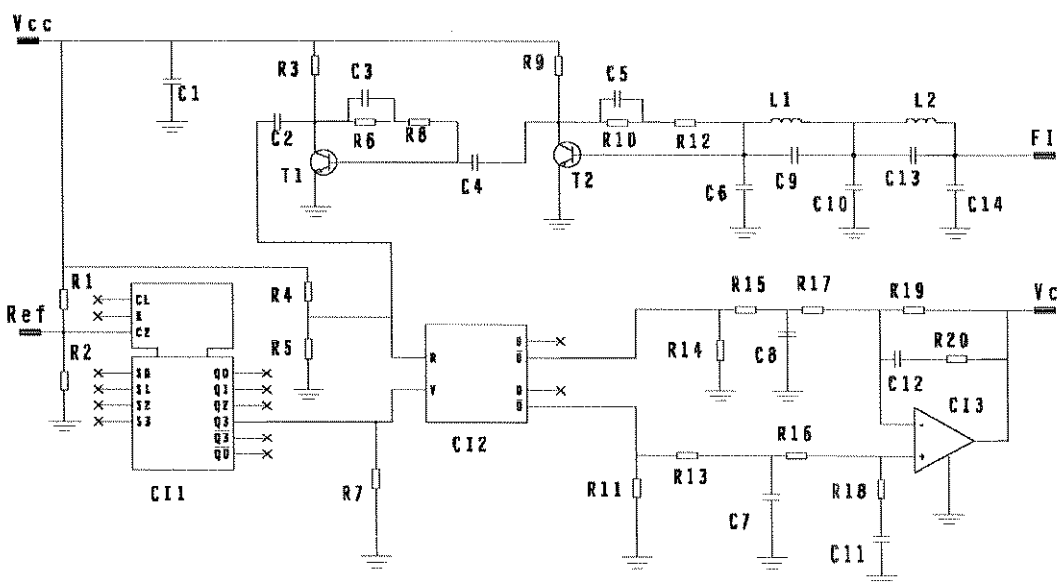

Figura 5.13: Comparador de Fase/Freqüência e Filtro de Malha.

As saídas do comparador são aplicadas a dois filtros *passa-baixas* RC usados para rejeitar os pulsos de 20 MHZ presentes nas saídas do comparador de fase, e pré-filtrar este sinal para o operacional, que faz a função de amplificador DC, conversor de nível e filtro de malha.

A tensão de controle (Vc) é aplicada ao VCO e exteriorizada como monitoração e alarme de falha de sincronismo da fonte.

Estes blocos fecham a segunda fonte descrita neste trabalho. Foram montadas seis unidades desta fonte, que passaram pelos testes de temperatura e umidade, além do teste de campo do Rádio Digital (Radi-234). As características obtidas estão descritas abaixo:

Faixa de Freqüências: 1,7 a 2,3 GHz.

Potência de Saída: +8 dBm.

Ruído de Fase: -85 dBc/Hz @ 10 kHz da portadora.

Variação da Tensão de Controle: +4/-2 V, 5 a 45°C.

Espúrios:

Harmônicos do OL: -12 dBc.

Harmônicos da Referência: -90 dBc.

Harmônicos Convertidos da Referência: -95 dBc.

CAPÍTULO VI: *Conclusões e Sugestões*

Este trabalho descreveu dois tipos de fontes usadas em conversores de subida e descida e em transceptores para comunicação comercial.

A estas fontes são impostas uma série de restrições, às quais o projetista tem que se adequar, restringindo o número de opções possíveis para seu projeto. O resultado do trabalho aqui descrito se encontra em campo, em operação; suas curvas de projeto e os correspondentes resultados estão no Apêndice A deste trabalho.

Como o objetivo do desenvolvimento feito era um produto comercial, várias etapas do projeto não foram executadas com um procedimento acadêmico rigoroso, devido ao tempo disponível para se chegar a um produto, ou pela inexistência de ferramentas *in house* para uma análise mais rigorosa. Estes itens, tais como uma simulação não linear precisa, ficam como sugestões para trabalhos futuros na área, bem como outros que tirem proveito do descrito neste e possam dar um passo a mais nas fontes de alta freqüência para uso comercial.

Uma comparação pode ser feita entre as fontes descritas, apontando alguma vantagem para a segunda fonte (fonte de 2 GHz), nos itens de ruído de fase, de facilidade de ajuste, e no seu comportamento com temperatura. No entanto, estas vantagens foram conseguidas devido à característica desta fonte ser utilizada exclusivamente em faixa estreita, portanto sem a possibilidade de sintonia grossa do VCO por controle elétrico.

Novas fontes comerciais certamente usarão como referência (externa ou interna) sintetizadores digitais tipo DDS (Direct

Digital Synthesizer), aumentando a velocidade com que devem ser feitos os chaveamentos em freqüência das fontes multiplicadoras.

Estes sintetizadores não eliminam qualquer dos blocos existentes nas fontes atuais; eles apenas são inseridos entre a referência existente e o estágio amplificador.

A ausência, neste trabalho, de uma análise não linear dos dispositivos desenvolvidos (osciladores, amplificadores saturados, multiplicadores e misturadores), foi devido ao fato de não se dispor, na época, de ferramentas para este fim. Esta é uma forte sugestão para próximos trabalhos na área: o uso otimizado de simuladores em modo não linear.

Outro segmento não explorado aqui foi o uso de osciladores a ressoador dielétrico amarrado a uma referência, o que proporciona um tom de saída com ruído de fase significativamente mais baixo, e que, com a popularização destes componentes, é uma realidade cada vez mais difundida.

O uso de cadeias com divisores tem sido revisto recentemente, pois o melhor efeito dos divisores, que é o efeito de sintetizador, já é coberto, com vantagem, pelos sintetizadores tipo DDS. Assim, trabalhos envolvendo este tipo de fonte devem ser desenvolvidos no sentido de reduzir o tempo de aquisição de sincronismo da fonte.

REFERÊNCIAS BIBLIOGRÁFICAS

[1] Kaneyuki Kurokawa - Noise in Synchronized Oscillators - IEEE MTT, Vol 16, N. 4, pp. 234-240, Apr. 68.

[2] HP - Application Note N. 174-11 - Measuring Warm-up Characteristics and Aging Rates of Cristal Oscillators.

[3] B. Van Der Pol - The Nonlinear Theory of Electronic Oscillations - Proc. of IRE - Vol 22, N. 9, pp. 1051-1086, Sep. 1934.

[4] W. A. Edson - Noise in Oscillators - Proceedings of the IRE, pp. 1454-1466, Aug. 1960.

[5] Vadin Manassevitch - Frequency Synthesizers - Wiley, 1976.

[6] Especificação Estação Terrestre SCPC/EBC/ERTV, Doc. CPqD PD.21.TV.M2H.0001A/CA-01-AA.

[7] HP - Application Note N.77-1 - Transistor Parameter Measurements.

[8] E. Hwan - Amplifier Designer's Methods Serve Oscillators Too - MW & RF, pp. 85-88, Oct. 83.

[9] M. Duplaix - Design Microwave Oscillators With Stability Circles - MW&RF, pp 95-98, Nov. 1993.

[10] HP - Application Note N. 95 - S Parameter.

[11] A. P. S. Khanna, J. Obregon - Microwave Oscillator Analysis - IEEE MTT, Vol 29, N. 6, pp. 606-607, June 1981.

[12] A. Podcameni, L. A. Bermudez - Stabilized FET Oscilla-

tor With Input Dielectric Resonator: Large Signal Design - Electr. Letters, Vol. 17, N. 1, pp.44-45, Jan. 1981.

[13] HP - Application Note 154 - S Parameter Design.

[14] G. R. Basawapatna - A Unified Approach to the Design of Wide-Band Microwave Solid-State Oscillator - IEEE MTT, Vol 27, N. 7, pp. 379-385, May 1979.

[15] J. Ebert - Class E High-Efficiency Tuned Power Oscillator - IEEE SSC, Vol. 16, N. 2, pp. 62-66, Apr. 1981.

[16] D. F. Peterson - Varactor Properties for Wide-Band Linear-Tuning VCO's - IEEE MTT, Vol 28, N. 2, pp. 110-119, Feb. 1980.

[17] R. N. Buswell - Behind the Design of VCO Linearizers - Microwaves, pp. 36-40, Sept. 1976.

[18] C. S. Aithinkson - A Circuit Technique for Broadbanding The Electronic Tuning Range of GUNN Oscilators - IEEE/ Solid State Circuit, pp. 21-28, Feb. 1977.

[19] W. H. Lockyear - Linearize VCOs by Reactance Compensation - Microwave Journal, pp. 60-68, Feb. 1980.

[20] HP - Application Note N. 913 - SRD - Frequency Multiplier Design.

[21] M/A Com - Selection of Multiplier Diodes - AG313.

[22] HP - Application Note 922 - Ku-Band Step Recovery Multipliers.

[23] M. Y. Bernard & J. C. Neau - A Surprising Phenomenon:

The Chaos - 15ª European Microwave Conference, pp. 1119-1124, Sep. 1985

[24] WATIKINS-JOHNSON - BALANCED MIXERS.

[25] MINI-CIRCUITS - CATÁLOGO/DATA SHEET.

[26] T. K. Phillips - Predicting Distortion in RC Oscillators - Electr. Engeneering - pp. 25, Apr. 1981.

[27] L. Shiff - Burst Synchronization of a PLL - IEEE Trans. on Communications, Vol 21, N. 10, pp. 1091-1095, Oct. 1973.

[28] E.C.Reis e M.L.Coimbra - Um Oscilador de Baixo Custo para Fontes Comerciais de Microondas - III Simpósio Brasileiro de Microondas, pp. 237-240, Jul. 1988.

[29] D. Scherer - Design Principles and Test Methods for Low Phase Noise RF and Microwaves Sources - HP RF & Microwave Symposium and Exibition, 1979.

[30] HP Application Note N. 181-1 - Measuring Linearity of VCO's from 10 Hz to 23 GHz.

[31] H. Kaupferman - Dynamic VCO Test Detects V-F Nonlinearities - Electronics, pp. 177, Jan. 1980.

[32] HP - Application Note N. 174-13 - Measuring the Tuning Step Transient Response of VCO's to 18 GHz.

[33] HP - Application Note N. 174-7 - Measuring Fractional Frequency Deviation.

[34] D. F. Peterson - Tuning Speed Limitations in Wide-Band VCO's - University of Michigan, CH1355, 7/78/0000 -

0297$00.75@1978 IEEE, pp. 297-299.

[35] HP - Application Note N. 174-6 - Measuring The Stability of a Frequency Source.

[36] HP - Application Note 942 - Schottky Diodes for High Volume, Low Cost Applications.

[37] HP - Application Note 956-6 - Temperature Dependence of Schottky Detector Voltage Sensitivity.

[38] HP - Application Note 963 - Impedance Matching Techniques for Mixers and Detectors.

[39] D. S. Cutler - Active-Filter With Controled Phase-Shift - Electr. Engineering - Vol 47, pp. 18-19, Sep. 1975.

[40] T. J. Ray - Automatic Phase Control: Theory and Design - Proc. IRE, pp. 1760-1771, Oct. 1960.

[41] M. Peter & M. W. P. Strandberg - Phase Stabilization of Microwave Oscillator - Proc. IRE, pp. 869-873, July 1954.

[42] B. N. Biswas & S. K. Ray - Injection Synchronization and the Second-Order PLL - Proc IRE, pp. 1051-1053, July 1973.

[43] R. Addler - A Study of Locking Phenomena in Oscillators - Proc. IEEE, Vol. 61, N. 10, pp. 1380-1385, Oct. 1973.

[44] Kaneyuki Kurokawa - Injection Locking of Microwave Solid-State Oscillator - Proc. IEEE, Vol. 61, N. 10, pp. 1386-1410, Oct. 1973.

[45] G. Frenkel - Oscillator Stability and the Second Order

PLL - IEEE Trans. Space Electr. Telem. pp. 65-69, June 1964.

[46] B. N. Biswas & P. Banerjee - Range Extention of a PLL - IEEE Communications, pp. 293-296, Apr. 1973.

[47] J. R. Woodbury - Phase Locked Loop Pull-in Range - IEEE Trans. Comm. Techniques, pp. 184- 186, Feb. 1968.

[48] L. J. Greenstein - Phase Locked Loop Pull-in Frequency - IEEE Trans. Comm. Vol. 22, N. 8, pp. 1005-1013, Aug. 1974.

[49] S. C. Gupta - Transient Analysis of a PLL Optimized for a Frequency Ramp Input - IEEE Trans. on Space Electronics and Telemetry, pp. 79-84, June 1964.

[50] J. R. Woodyard - Application of the Autosynchronized Oscillator to Frequency Demodulation - Proc. IRE, Vol 25, N. 5, pp. 612-619, May 1937.

[51] G. W. Preston & J. C. Tellier - The Lock-in Performance of an AFC Circuit - Proc. IRE, pp. 249-251, Feb. 1953.

[52] F. Carden et al. - A Multifilter Phase Locked Loop - IEEE Trans. on Communications Techniques, Vol 19, N. 5, pp. 669-675, Oct. 1971.

[53] J.H. Yuen - A Double Loop Tracking System - IEEE Trans. Comm. pp. 1142-1150, Dec. 1972.

[54] H. L. Stover - Theoretical Explanation for the Output Spectrum of Locked Driven Oscillators - Proc IRE, pp. 310-311, Feb. 1966.

[55] J. M. Holtzman & A. K. Rue - Regions of Assimptotic Sta-

bility for PLL's - IEEE Trans. Space Electr. Telem. pp. 45-46, March 1964.

[56] HP0347A Spectrum Analyzer System.

[57] A. J. Goldstein - Analysis of a PLL With a Sawtooth Comparator - BSTJ, pp. 603-633, March 1962.

APÊNDICE A - MEMÓRIA DE CÁLCULO USANDO *TOUCHSTONE*

Este apêndice traz a memória de cálculo dos dispositivos apresentados no Capítulo V deste trabalho.

Os dados serão apresentados sob a forma de arquivos de circuitos para análise linear pelo programa TouchStone(TM), disponível no CPqD, ou como arquivos de parâmetros *S* de pequeno sinal, ou, ainda, como saídas do simulador linear, tanto em forma de tabelas, como em forma de gráficos.

Os parâmetros *S* dos transistores estão agrupados no Apêndice B. Os mesmos foram medidos no CPqD e fazem parte de um banco de dados que tem sido utilizado com bastante freqüência e com relativo sucesso.

O primeiro passo no projeto do oscilador de 1 GHz foi a verificação da estabilidade do dispositivo ativo, feito como mostrado na Tabela 1.

Tabela 1: Verificação dos parâmetros do transistor BFW16A.

```
ckt
s2pa 1 0 2 bfw16ac
def2p 1 2 bfw
freq
step 0.05 0.1 0.2 0.5 0.7 1 1.2 1.5 2 2.5
out
bfw spar gr1
bfw k gr2
bfw db[s11] gr3
bfw db[s21] gr3
bfw db[s12] gr3
bfw db[s22] gr3
bfw s11
bfw s22
bfw s21
bfw s12
```

Esta configuração nos dá como saída os parâmetros de estabilidade, como visto na Tabela 2 abaixo.

Tabela 2: Parâmetros do transistor BFW16A.

FREQ GHZ	K	MAG[S11]	ANG[S11]	DB[S21]	ANG[S21]	MAG[S12]	ANG[S12]	MAG[S22]
0.050000	0.726	0.570	-155.000	27.032	103.900	0.019	58.400	0.340
0.100000	1.026	0.600	-172.000	21.289	92.600	0.028	66.400	0.180
0.200000	1.088	0.610	178.000	15.446	81.700	0.051	72.300	0.170
0.500000	1.054	0.630	164.000	7.676	59.500	0.115	76.000	0.270
0.700000	0.969	0.630	155.000	4.861	48.100	0.156	74.900	0.380
1.00000	0.865	0.660	140.000	1.798	34.100	0.217	73.900	0.480
1.20000	0.872	0.660	132.000	0.000	26.600	0.251	72.200	0.560
1.50000	0.844	0.700	114.000	-1.938	20.900	0.323	71.300	0.590
2.00000	0.974	0.660	89.000	-4.731	18.300	0.418	64.600	0.700
2.50000	1.049	0.570	66.000	-5.514	21.500	0.512	57.100	0.750

Uma vez projetado o oscilador, temos o seu circuito equivalente para simulação, cujo circuito equivalente em 1,4 GHz e 700 MHz estão nas Tabelas 3 e 4.

Tabela 3: Oscilador de 1GHz com parâmetros para 1,4 GHz, Fig. 5.1.

```
dim
freq mhz
ckt
 cap 1 0 c=5
 tlin 1 2 z=90 e=40 f=1000
 cap 2 10 c=6
 ind 10 3 l=2
 res 3 0 r=270
 cap 3 4 c=0.1
 cap 5 0 c=8
 s2pa 3 5 0 \ee\sptb\bfw16aC
 tlin 5 6 z=90 e=60 f=1000
 tlin 6 0 z=90 e=100 f=1000
deflp 6 tr
freq
 sweep 100 1600 50
 !step 100 200 500 700 1000 1200 1400 1600
out
tr s11
tr db[s11] gr1
```

Tabela 4: Oscilador de 1 GHz com parâmetros para 700 MHz, Fig. 5.1.

```
dim
freq mhz
ckt
 cap 1 0 c=10
 tlin 1 2 z=90 e=90 f=1000
 cap 2 3 c=9
 res 3 0 r=270
 cap 3 4 c=3.3
 cap 5 0 c=8
 s2pa 3 5 0 \ee\sptb\bfw16aC
 tlin 5 6 z=90 e=60 f=1000
 tlin 6 0 z=90 e=150 f=1000
!res 6 0 r=50
deflp 6 tr
freq
 sweep 100 1600 50
 !step 100 200 500 700 1000 1200 1400 1600
out
 tr s11
!tr s22
!tr s21
!tr k gr1
 tr db[s11] gr1
!tr db[s21] gr1
!tr db[s22] gr1
!tr sb1
!tr sb2
```

Com estes valores, temos as respostas abaixo (Fig. A1 a A4) em magnitude e no ábaco de Smith, para 0,7 e 1,3 GHz.

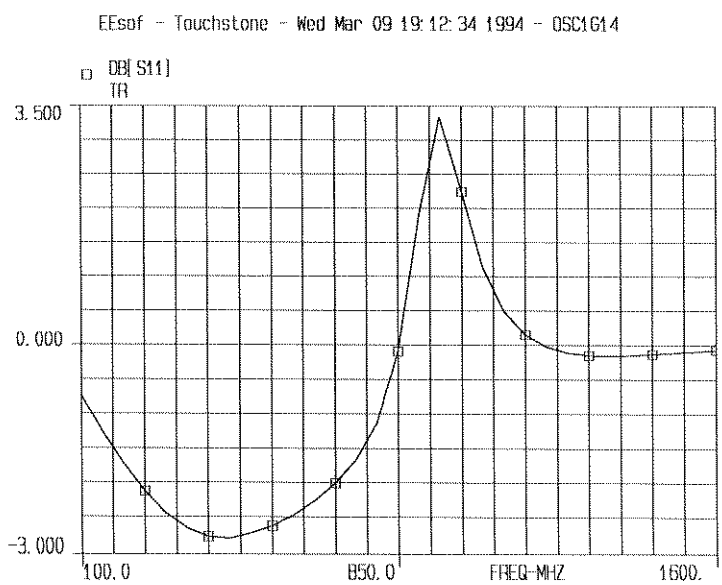

Figura A1: Oscilador em 1,3 GHz.

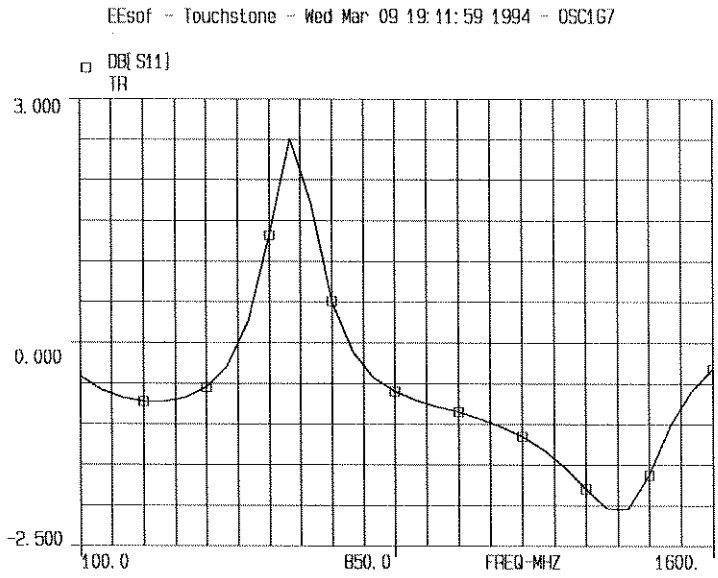

Figura A2: Oscilador em 700 MHz.

A resposta do parâmetro S11 do oscilador vista em magnitude permite a visualisação do ganho do dispositivo ativo, e a apresentação no ábaco de Smith (Fig. A3 e A4), nos dá uma visão de como varia a fase do oscilador em suas várias faixas (nenhuma mudança significativa é esperada se os elementos de adaptação externa foram corretamente sintonizados).

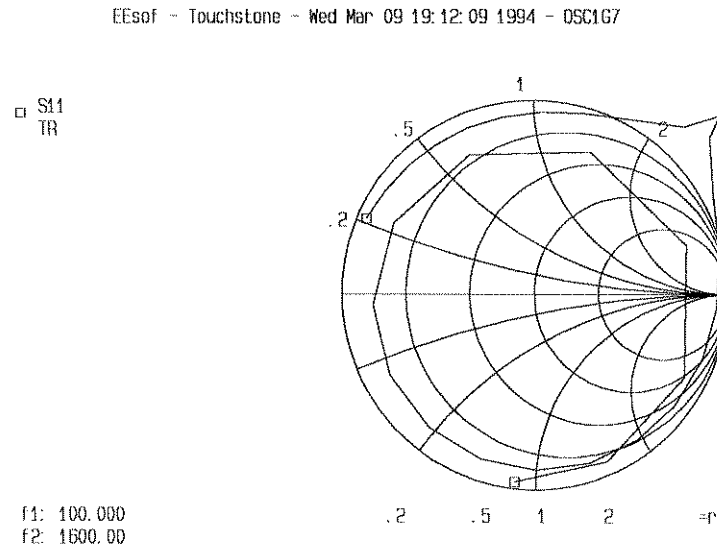

Figura A3: Oscilador em 700 MHz.

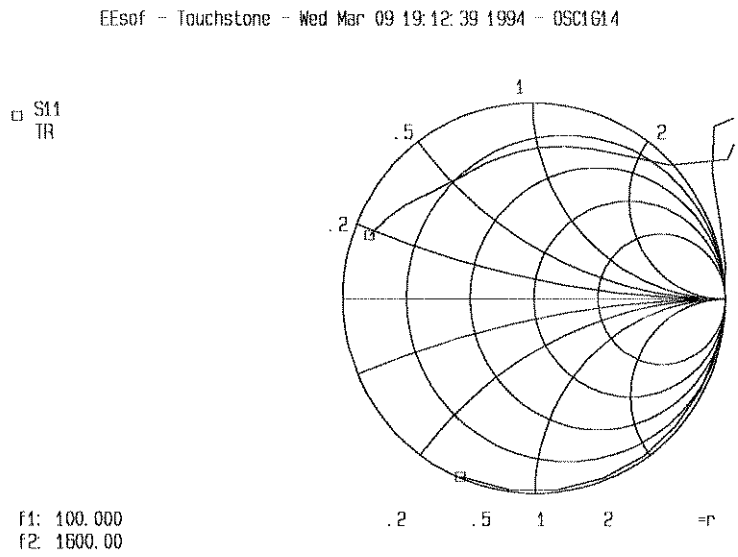

Figura A4: Oscilador em 1,3 GHz.

O bloco descrito abaixo é o oscilador de 100 MHz.

Este oscilador foi projetado como um oscilador livre (Tabela 5), como explicado a seguir.

Tabela 5: Oscilador a cristal de 100 MHz, Fig. 5.3.

```
dim
freq mhz
ckt
 res 0 2 r=51
 cap 2 0 c=220
 s2pa 2 3 4 \ee\sptb\bfy906
 res 4 0 r=560
 res 3 5 r=33
 ind 5 0 l=250
 cap 5 6 c=2.4
cap 5 0 c=4 ! cap. sintonia: 4 a 9 pF
 cap 5 4 c=6.8
cap 4 0 c=33
def1p 6 tr
freq
 sweep 90 120 1
 sweep 50 1600 50
 step 100 200 500 700 1000 1200 1400 1600
out
 tr s11
tr db[s11] gr1
```

Embora simulações com o cristal não tivessem sido feitas, pois simulações envolvendo cristais devem ser feitas em faixa estreita e são de difícil convergência para o simulador, um resistor foi inserido para simular as perdas do cristal e não acrescentou mudanças na resposta do oscilador.

As Fig. A5 e A6 são as respostas em magnitude e na carta de Smith do parâmetro S11 do oscilador de 100 MHz.

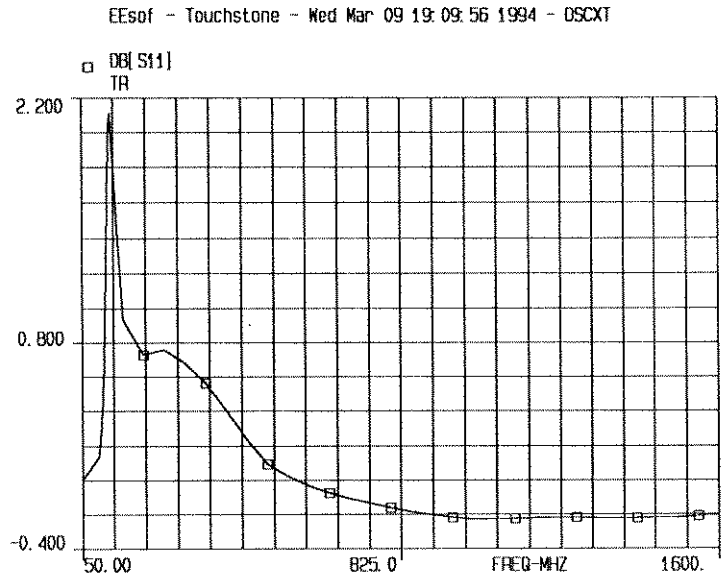

Figura A5: Oscilador de 100 MHz.

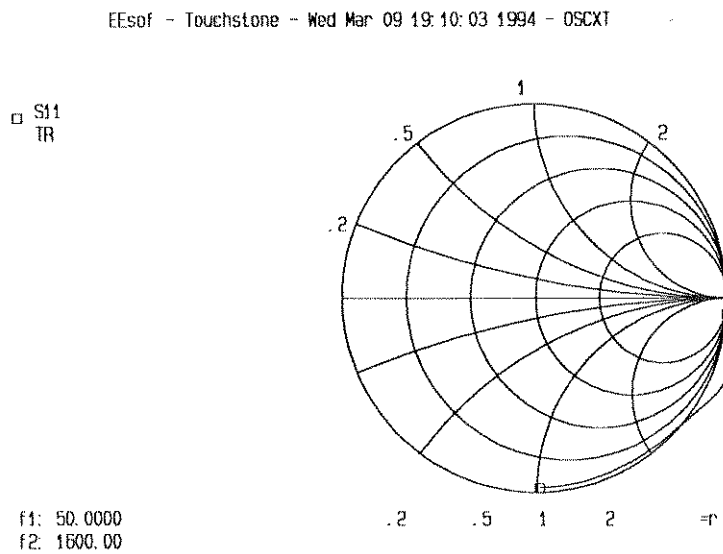

Figura A6: Oscilador de 100 MHz.

O *buffer* do oscilador (Tabela 6) foi projetado para ter uma boa adaptação na entrada, porta a ser conectada ao oscilador a cristal; por isso, um atenuador foi incorporado a este estágio para uma melhor resposta na faixa de utilização e nos seus harmônicos.

Tabela 6: *Buffer* de 100 MHz, Fig. 5.4.

```
dim
freq mhz
ckt
 res 1 0 r=100
 res 1 2 r=100
 cap 2 3 c=2200
 res 2 3 r=12000
 res 3 4 r=270
 s2pa 2 4 0 \ee\sptb\bfw16ae
 res 4 0 r=560
def2p 1 4 tr
freq
 sweep 90 120 2
 sweep 50 1600 50
 step 100 200 500 700 1000 1200 1400 1600
out
 tr db[s11] gr1
 tr db[s21] gr1
 tr db[s12] gr1
 tr db[s22] gr1
 tr k gr1
 tr s11
 tr s22
!tr s21
 tr sb1
 tr sb2
```

As Figuras A7 e A8 mostram a excelente adaptação da entrada, embora o ganho em 120 MHz seja de apenas 6 dB (a saída tem sua parte resistiva em aproximadamente 10 ohms).

Esta última (impedância de saída) foi a opção para se utilizar um amplificador de potência projetado como unilateral, que tem sua impedância de entrada na região de baixa impedância da carta de Smith (aproximadamente 10 ohms).

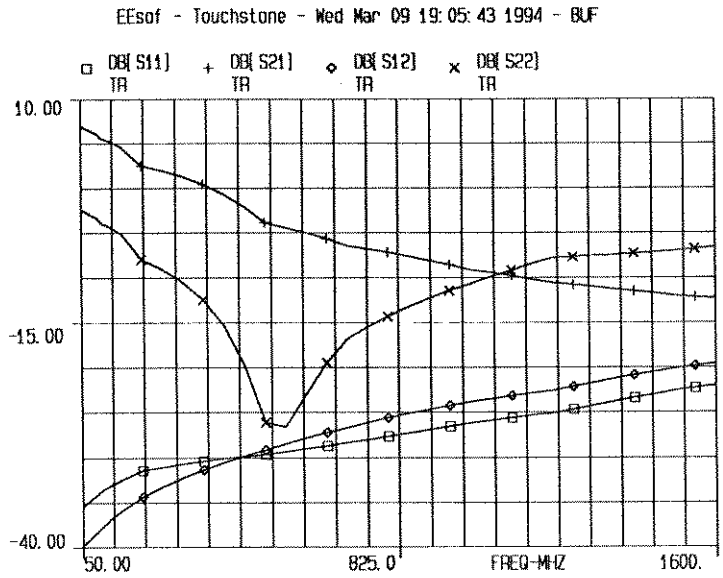

Figura A7: *Buffer* de 100 MHz.

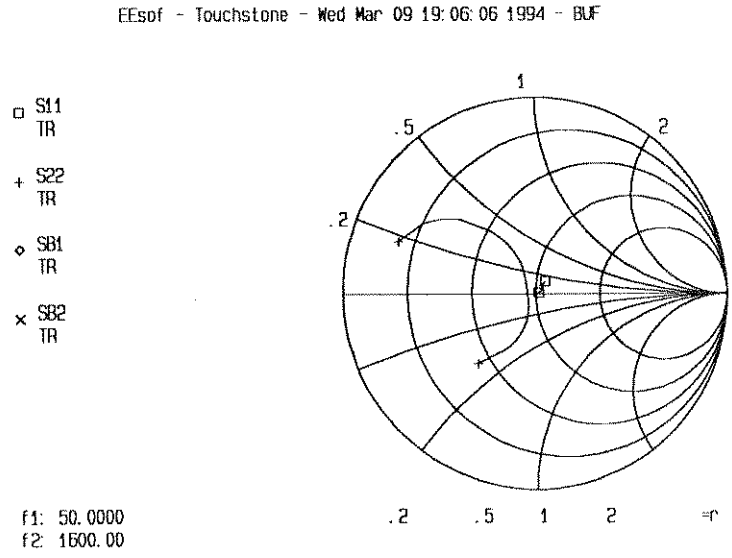

Figura A8: *Buffer* de 100 MHz.

O descasamento da parte reativa entre o *buffer* (Fig.A8) e o amplificador (Fig. A10), foi parcialmente compensado pelo capacitor de acoplamento entre os dois estágios, mas eventuais descasamentos devem ser tolerados devido às restrições impostas ao projeto do estágio de saída (principalmente na potência de saída). A descrição do circuito está na Tabela 7.

Tabela 7: Amplificador de 100 MHz, Fig. 5.5.

```
dim
freq mhz
ckt
!ind 1 0 l=250
!cap 1 0 c=20
!res 1 0 r=100
 s2pa 1 2 0 \ee\sptb\bfw16ae
 cap 2 0 c=3.3
 res 2 3 r=56
 ind 3 0 l=250
 cap 3 5 c=27
 res 3 4 r=50
 res 4 5 r=50
 ind 4 0 l=50
def2p 1 5 tr
freq
 sweep 90 120 1
 sweep 50 1600 50
 step 100 200 500 700 1000 1200 1400 1600
out
 tr db[s11] gr1
 tr db[s21] gr1
 tr db[s22] gr1
 tr db[s11] gr2
 tr db[s21] gr2a
 tr db[s22] gr2
 tr k gr1
 tr s11
 tr s22
!tr s21
 tr sb1
 tr sb2
grid
range 90 120 3
gr2 -20 0 2
gr2a 0 20
```

A curva do parâmetro S21, na Fig. A9, mostra um ganho plano em 12 dB, com o circuito 'T-com ponte' já incluído. A perda de retorno de saída tem seu pior valor de -12 dB em 120 MHz, suficiente para bloquear oscilações no estágio seguinte, o multiplicador a diodo SRD. A Fig. A10 mostra a impedância de entrada em, aproximadamente, 10 ohms, no ábaco de Smith.

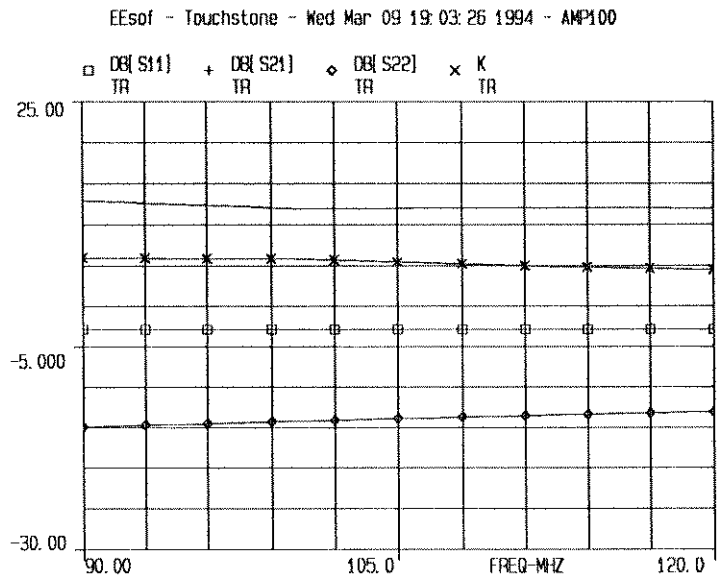

Figura A9: Amplificador de 100 MHz.

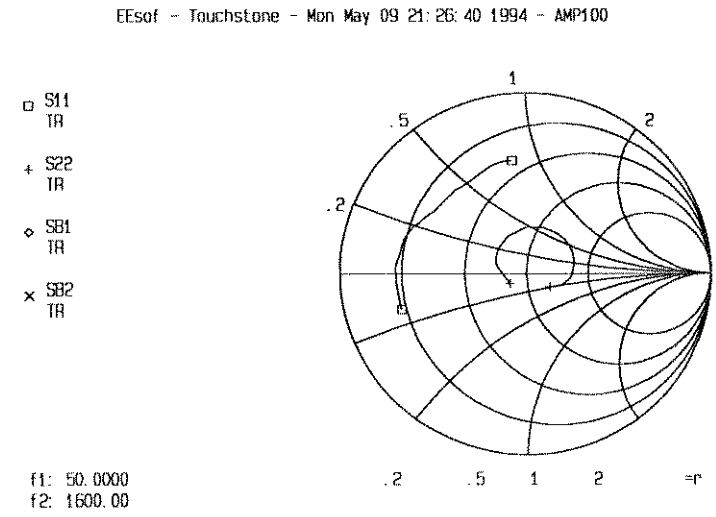

Figura A10: Amplificador de 100 MHz.

Para demonstrar o funcionamento do multiplicador a diodo SRD, foi introduzida, após a implementação do circuito, uma simulação, via SPICE (Tabela 8), do estágio multiplicador, para verificação das formas de onda presentes na entrada de sinal, após o adaptador de impedância, sobre o diodo, e após o ressoador de saída.

Tabela 8: Multiplicador a diodo SRD - Simulação com Spice, Fig. 5.6.

```
*
.OPT ACCT LIST NODE OPTS NOPAGE RELTOL=.001 ITL5=0
.WIDTH OUT=80
.TEMP 35
.TF V(5) VIN
.TRAN/OP 5NS 35NS
.FOUR 105000KHZ V(7)
VIN 1 0 AC 14V SIN(0 14V 105000KHZ 0 0)
C1 1 2 10NF
R2 2 3 50
C3 3 0 68PF
L4 3 4 30NH
C5 4 0 180PF
L6 4 5 12NH
R7 5 0 50
DS 5 0 diode
L9 5 6 15NH
C10 6 7 1.2PF
C11 7 0 3.3PF
R12 7 0 50
.MODEL diode D (CJO=22E-12 TT=12.5E-9)
.PLOT TRAN V(7)
.PROBE
.END
```

Nesta simulação (vista na Fig. A11) foi usada uma potência de

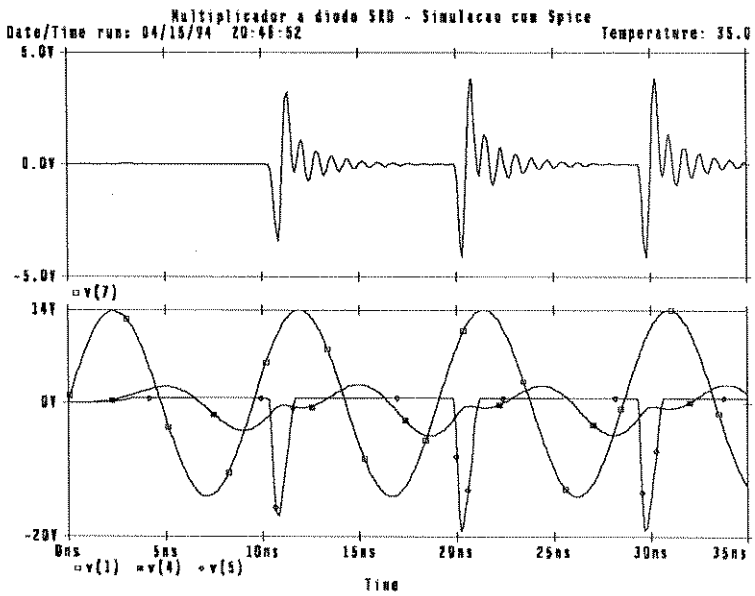

Figura A11: Simulação do Multiplicador.

entrada de +27 dBm, e a tensão de 14 Vp, presente na entrada,

foi para que pudesse ser simulada a impedância da fonte (usada 50 ohms).

A descrição do estágio isolador da Fig. 5.7 está na Tabela 9, e as características correspondentes estão na Fig. A12. Este estágio é explicado abaixo.

Tabela 9: Amplificador de 1 GHz, Fig. 5.7.

```
dim
freq ghz
ckt
 res 1 2 r=8.2
 s2pa 2 3 0 \ee\sptb\bfr938
 res 2 4 r=470
 ind 4 3 l=1
 res 3 0 r=150
def2p 1 3 tr
freq
esweep 0.1 2 100
out
 tr db[s21] gr1
 tr db[s12] gr1
 tr db[s11] gr1
 tr db[s22] gr1
 tr k
grid
lrange 0.1 2
gr1 -20 20 2
```

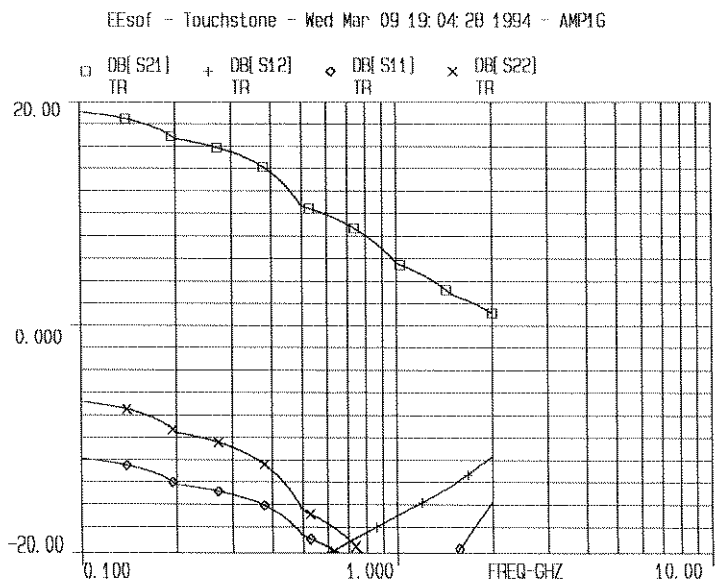

Figura A12: Amplificador de 1 GHz.

A Figura 5.7, comparador harmônico, incorpora um isolador cuja função básica é impedir que os espúrios que passem pelo misturador (comparador) cheguem ao VCO, e, além disto, sua queda de ganho com freqüência minimiza a variação introduzida pelo *probe* que retira o sinal do VCO para comparação. O último estágio da fonte de 1 GHz a ser apresentado é o gerador de busca, composto de um amplificador operacional que realiza as funções de filtro de malha e de gerador de busca. A Tabela 10 traz a descrição do circuito do amplificador/filtro de malha, bem como os elementos relativos ao gerador de busca.

Tabela 10: Gerador de busca, Fig. 5.8.

```
dim
freq hz
ckt
 res 1 2 r=3900
 res 2 3 r=3900
 cap 2 4 c=50
 cap 3 4 c=2200
 res 2 4 r=510000
 opamp 2 5 4 0 0 m=1e10 a=0 r1=1e10 r2=1e10 r3=1 r4=1e15 f=1000 t=0
 res 4 6 r=5e5              !R5
 cap 6 5 c=68e3             !C2
 cap 5 0 c=68e3             !C1
 res 5 0 r=200              !R2
def2p 1 4 tr
freq
esweep 1 1e6 100
out
 tr db[s21] gr1
 tr ang[s21] gr1a
grid
lrange 1 1e6
gr1 0 50 2
gr1a -180 180
```

São apresentadas, a seguir, duas curvas de transferência (S21), uma para o amplificador e filtro de malha, (sem os componentes do oscilador Wien, R2, R5, C1 e C2), Fig. A13, e a segunda com o conjunto completo (Fig. A14). Deve-se notar que a

diferença introduzida pelos componentes do oscilador é apenas uma mudança na fase do parâmetro S21 na freqüência de oscilação.

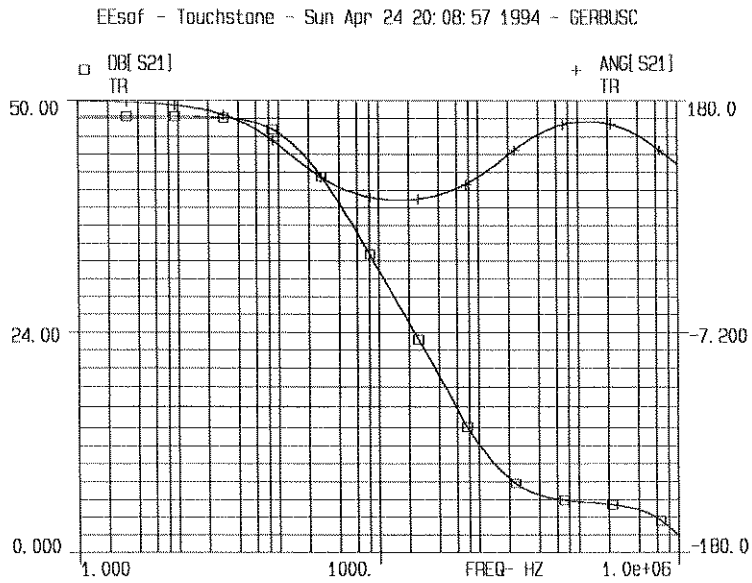

Figura A13: Filtro de Malha.

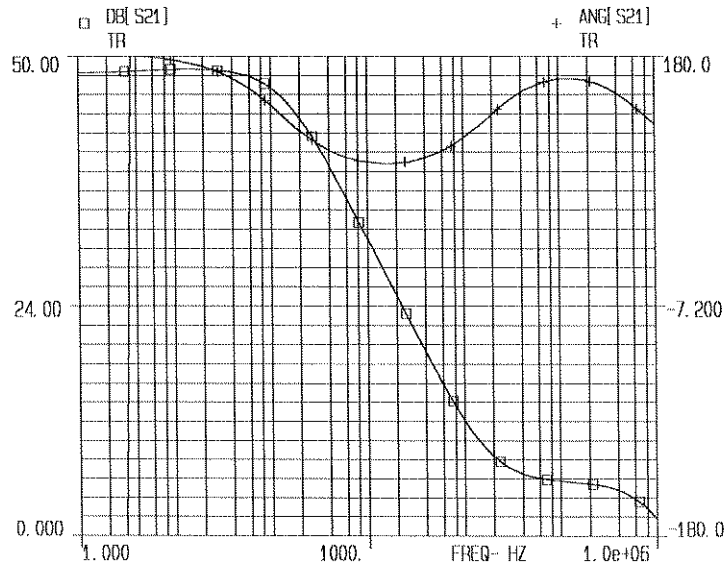

Figura A14: Gerador de busca.

O oscilador de 2 GHz é composto de um circuito de polarização

ativo e do oscilador mostrado na Tabela 11.

Tabela 11: Oscilador de 2 GHz, Fig. 5.11.

```
DIM
FREQ GHZ
VAR
CKT
res 1 2 r=82
res 1 0 r=120
cap 2 5 c=3
ind 5 3 l=2
tlsc 2 0 z=80 e=90 f=2
S2PA 2 3 0 \ee\sp\NEL2303
tlsc 3 0 z=80 e=90 f=2
res 3 4 r=130
res 4 0 r=50
DEF1P 2 O2G
FREQ
Sweep 0.1 4.1 0.5
Sweep 1.7 2.3 0.01
OUT
!2G db[S21] gr1
!2g k gr2
O2G S11
!2G S22
!2g sb1
!2g sb2
```

Os gráficos de saída deste oscilador (Figs. A15 e A16) mostram a grande variação da amplitude de resistência negativa, já esperada para este dispositivo. Esta variação deve ser corrigida pela escolha adequada da polarização do dispositivo e das impedâncias vistas por seus terminais. Neste caso específico, o caminho percorrido pelos círculos de estabilidade (na Fig. A16) nos mostram quais impedâncias não são permitidas nas portas do dispositivo ativo fora das freqüências de trabalho.

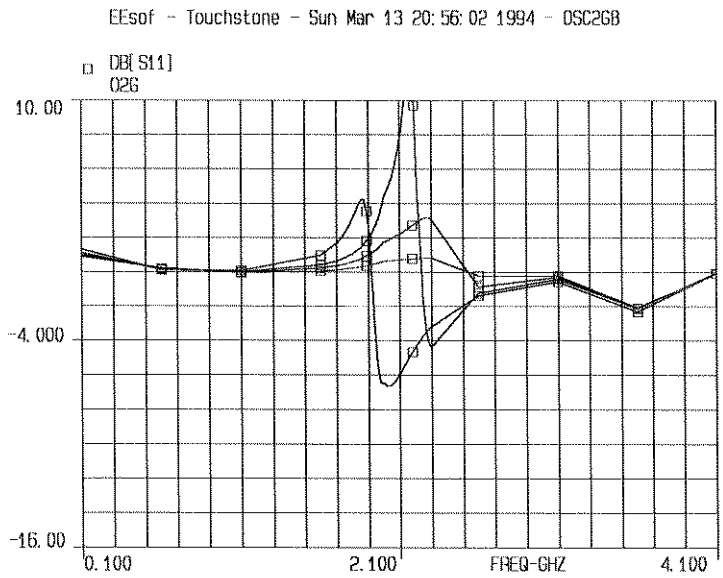

Figura A15: Oscilador de 2 GHz.

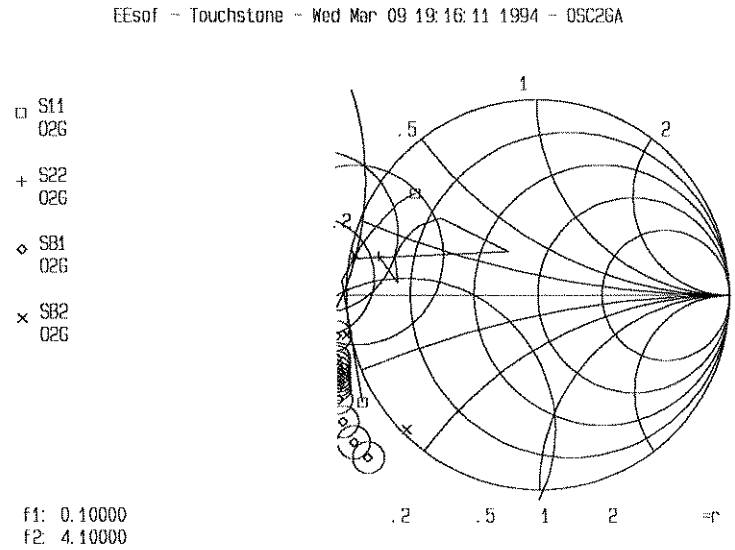

Figura A16: Oscilador de 2 GHz.

O sinal convertido do oscilador de 2 GHz deve ser filtrado, antes de ser amplificado, pois contém espúrios do tom usado para a conversão do sinal do oscilador de 2 GHz. A simulação deste filtro é o próximo bloco deste apêndice (Tabela 12), e seu resultado é apresentado na Fig. A17.

Tabela 12: Fitro 25 MHz, Fig. 5.12.

```
dim
freq hz
ckt
 cap 1 0 c=56
 ind 1 2 l=700
 cap 1 2 c=4.7
 cap 2 0 c=100
 ind 2 3 l=600
 cap 2 3 c=15
 cap 3 0 c=47
def2p 1 3 tr
freq
esweep 1e6 1e9 100
out
 tr db[s21] gr1
grid
lrange 1e6 1e9
gr1 -80 0 5
```

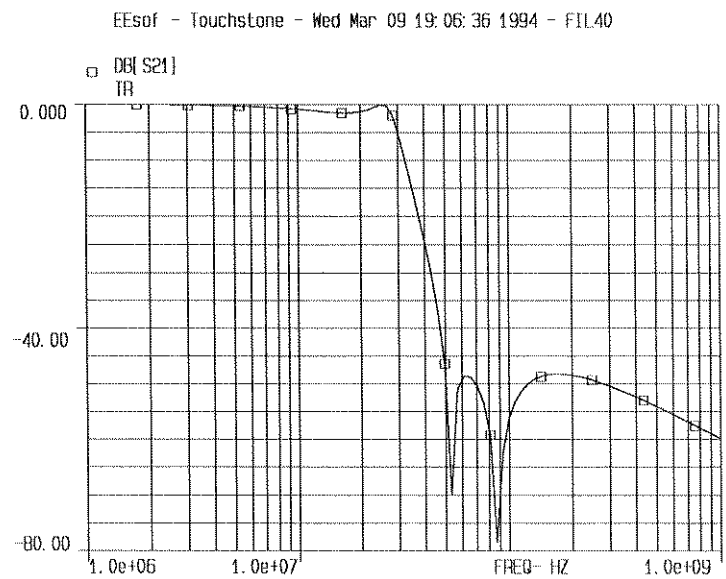

Figura A17: Filtro de 25 MHz.

O sinal convertido e filtrado é amplificado, depois novamente filtrado e amplificado, para ser então aplicado a um estágio saturado que tem a função de manter o sinal em um nível compatível com o nível ECL, pois este é o tipo de comparador de

fase usado na fonte de 2 GHz. O amplificador usado para este fim está descrito na Tabela 13 a seguir:

Tabela 13: Preamplificador de 100 MHz, Fig 5.12.

```
dim
freq ghz
ckt
 res 1 2 r=0
 s2pa 2 3 0 \ee\sptb\bfy906
 res 2 4 r=470
 ind 4 3 l=300
 res 3 0 r=300
def2p 1 3 tr
freq
esweep 0.01 1 100
out
 tr db[s21] gr1
 tr db[s12] gr1
 tr db[s11] gr1
 tr db[s22] gr1
 tr k
grid
lrange 0.01 1
gr1 -30 20 2
```

A Fig. A18 apresenta as características do pré-amplificador de 100 MHz, usado internamente na fonte de 2 GHz.

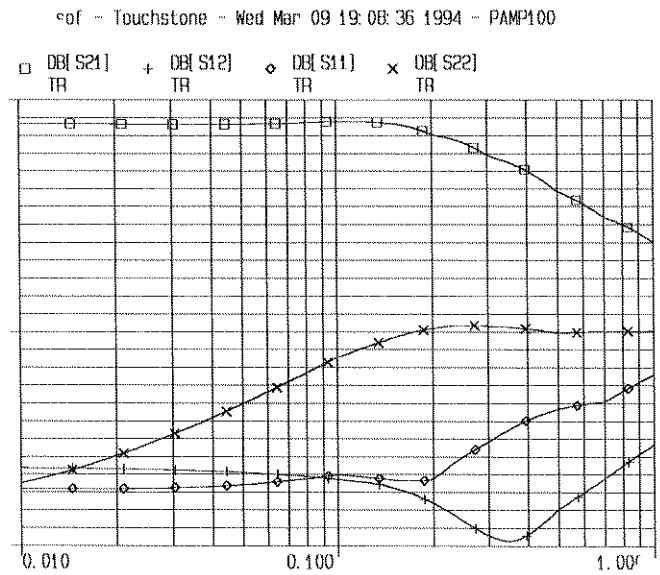

Figura A18: Preamplificador de 100 MHz.

Temos, a seguir, os gráficos do ruído de fase e harmônicos

das fontes descritas, que são o resultado deste trabalho (Figs. A19 a A22).

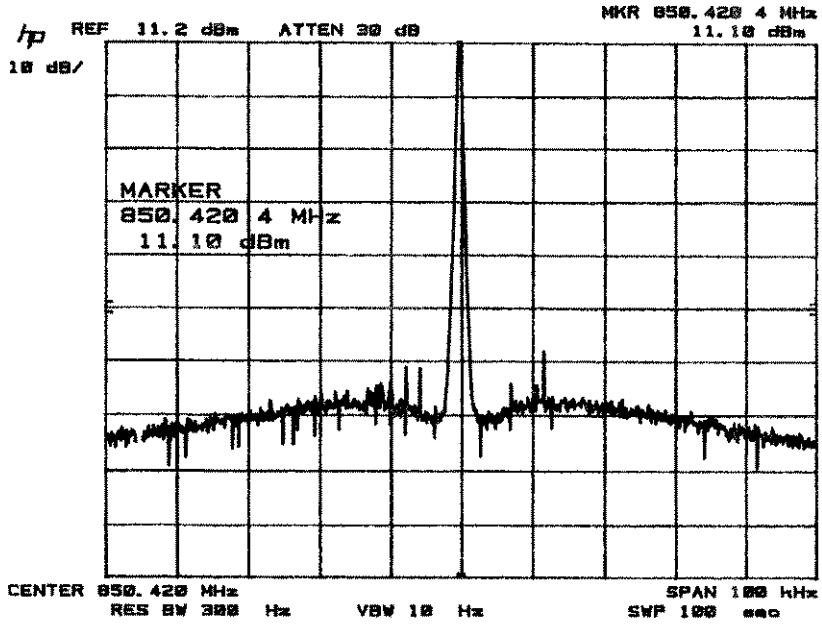

Figura A19: Ruído de fase da Fonte de 1 GHz.

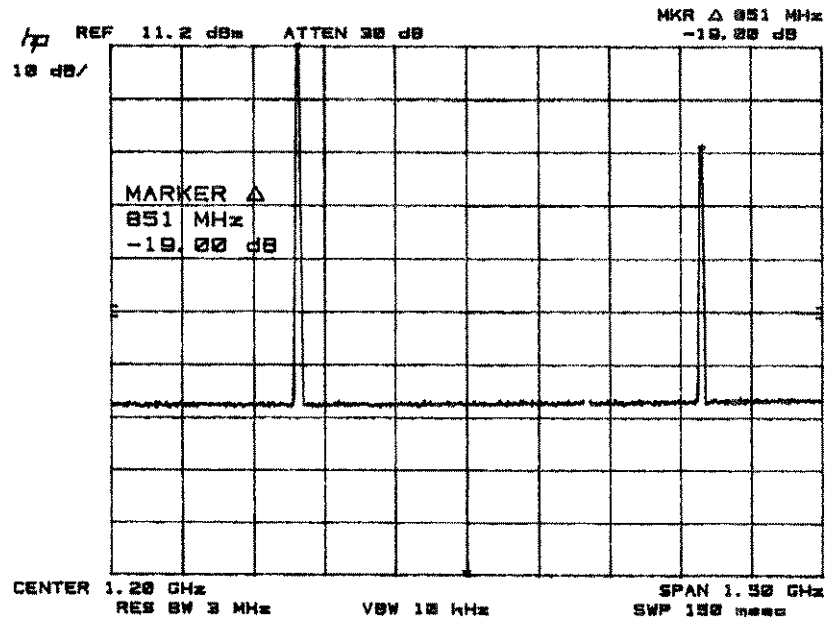

Figura A20: Harmônico da fonte de 1 GHz, sintonizada em 850 MHz.

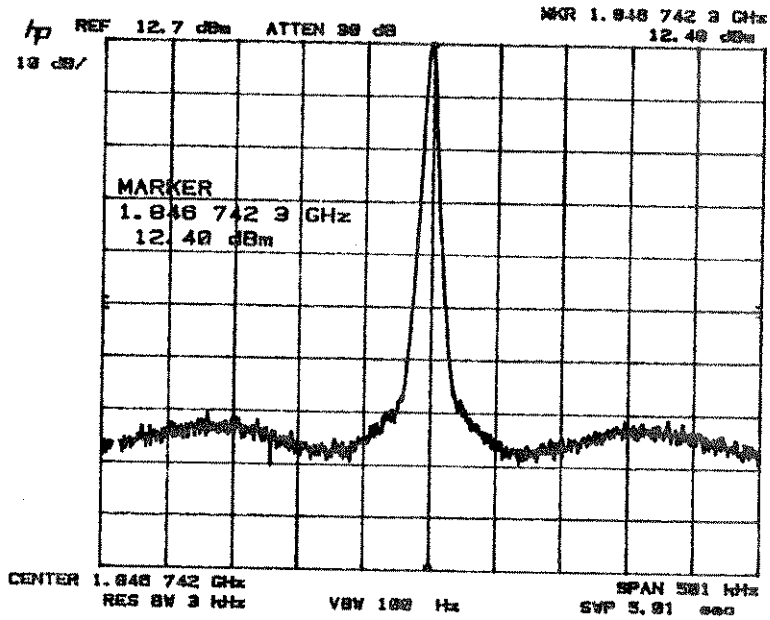

Figura A21: Ruído de fase da fonte de 2 GHz.

A Fig. A22 mostra uma montagem de duas telas de um analisador de espectro, uma vez que no equipamento disponível, não seria possível mostrar o tom de saída e o primeiro harmônico em uma única tela, com boa visibilidade.

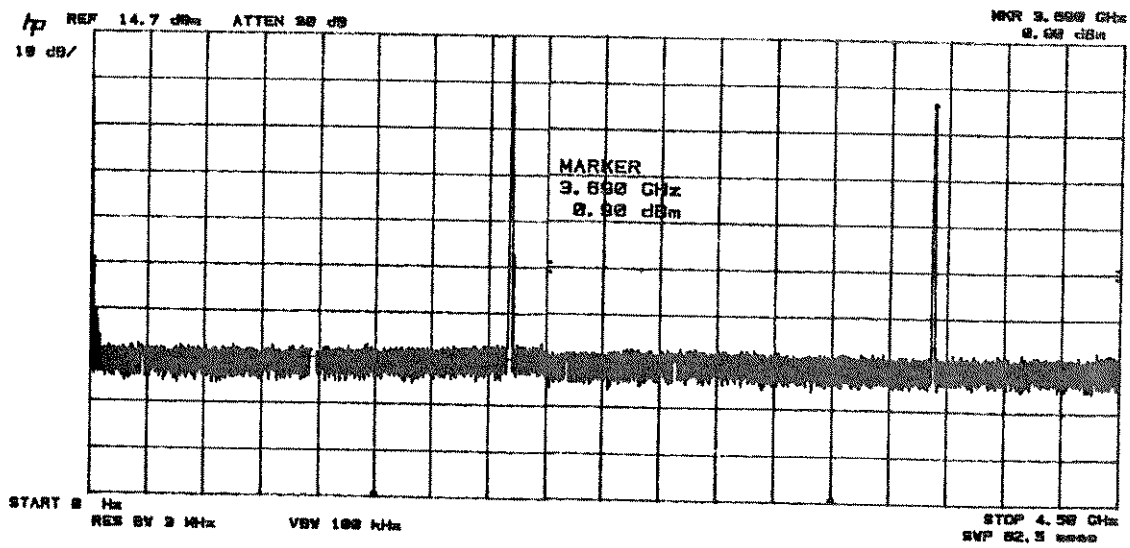

Figura A22: Harmônico da fonte de 2 GHz, sintonizada em 1,85 GHz.

APÊNDICE B - BANCO DE DADOS DE TRANSISTORES

(PARÂMETROS S)

```
! BFW16AE.S2P (BFW16A)
! Vce=12V, Ic=70mA
! Medido em Emissor Comum
# GHz S MA R 50
0.05  0.57 -155  22.47  103.9  0.019  58.4  0.34  -57.8
0.10  0.60 -172  11.60   92.6  0.028  66.4  0.18  -62.4
0.20  0.61  178   5.92   81.7  0.051  72.3  0.17  -69.5
0.50  0.63  164   2.42   59.5  0.115  76.0  0.27  -86.5
0.70  0.63  155   1.75   48.1  0.156  74.9  0.38  -94.0
1.00  0.66  140   1.23   34.1  0.217  73.9  0.48 -106.9
1.20  0.66  132   1.00   26.6  0.251  72.2  0.56 -119.3
1.50  0.70  114   0.80   20.9  0.323  71.3  0.59 -121.7
2.00  0.66   89   0.58   18.3  0.418  64.6  0.70 -130.2
2.50  0.57   66   0.53   21.5  0.512  57.1  0.75 -137.1

! BFW16AC.S2P (BFW16A)
! Vce=12V, Ic=70mA
! Medido em Coletor Comum
# GHz S MA R 50
0.05  0.98   -7.2  1.94   -3.8  0.06  69.0  0.94  175.9
0.10  0.97  -14.5  1.92   -8.2  0.11  73.2  0.94  171.0
0.20  0.96  -29.1  1.87  -16.1  0.23  69.5  0.92  162.0
0.50  0.92  -69.4  1.61  -38.0  0.54  47.5  0.78  135.9
0.70  0.89  -90.9  1.41  -48.9  0.69  32.0  0.64  118.9
1.00  0.82 -118.8  1.10  -61.1  0.81  11.6  0.44  101.0
1.20  0.81 -133.0  0.95  -67.6  0.83  -1.1  0.28   98.3
1.50  0.78 -151.6  0.79  -72.1  0.87 -15.3  0.17   87.9
2.00  0.78 -176.7  0.67  -83.7  0.82 -40.6  0.13 -171.5
2.50  0.87  158.9  0.54 -102.7  0.70 -64.4  0.36 -179.9
```

! BFR90.S2P

! Vce=8V, Ic=15mA

GHZ MA R50

0.05	0.44	-44.4	33.81	140.2	0.013	72.8	0.74	-17.1
0.10	0.27	-70.3	22.53	116.0	0.022	69.7	0.57	-21.6
0.20	0.16	-106.4	12.22	98.09	0.039	76.1	0.44	-23.4
0.50	0.08	-156.4	4.97	80.08	0.092	75.0	0.37	-22.1
1.00	0.13	159.0	2.67	66.58	0.177	71.0	0.35	-29.8
1.50	0.18	142.2	1.89	55.53	0.253	68.9	0.29	-39.0
2.00	0.29	132.8	1.52	47.13	0.345	66.7	0.22	-49.6
2.30	0.32	124.0	1.38	39.10	0.379	61.9	0.20	-62.4
2.50	0.36	118.1	1.30	37.38	0.405	59.5	0.19	-64.6
3.00	0.44	118.6	1.16	31.93	0.476	57.9	0.16	-87.7
3.50	0.45	113.1	1.08	25.87	0.544	53.7	0.24	-113.6
4.00	0.43	109.3	1.00	19.54	0.629	48.1	0.29	-122.9
4.50	0.42	104.2	0.95	14.56	0.682	42.4	0.30	-124.5
5.00	0.29	90.73	0.94	9.40	0.760	36.4	0.42	-120.2

! BFY90, montado em emissor comum.

! Vce = 6V, Ic = 10mA

GHZ S MA R 50

0.05	0.668	-34.6	14.51	145.0	0.015	74.4	0.89	-13.2
0.10	0.476	-65.3	11.77	122.9	0.026	66.5	0.76	-18.6
0.20	0.324	-101.8	7.33	102.0	0.041	65.3	0.68	-23.4
0.30	0.270	-125.5	5.20	90.3	0.055	65.4	0.64	-26.7
0.50	0.252	-160.9	3.27	74.4	0.082	66.5	0.61	-37.6
0.70	0.242	-179.8	2.39	62.8	0.104	67.8	0.64	-47.5
1.00	0.312	143.3	1.73	46.2	0.141	67.8	0.62	-69.8
1.20	0.300	125.1	1.46	37.6	0.167	68.6	0.67	-81.9
1.50	0.374	92.1	1.16	24.2	0.205	67.1	0.58	-101.9
1.70	0.308	69.3	1.02	17.9	0.238	66.6	0.67	-110.1
2.00	0.397	43.2	0.85	5.7	0.278	61.0	0.62	-131.9

! NEL2303.S2P

! Vce=17 V, Ic=150 mA

GHz S MA R 50

!F	S11		S21		S12		S22	
0.1	.96	-179	9.98	93	.02	15	.67	-168
1.0	.97	167	1.11	55	.03	41	.74	165
2.0	.92	155	.54	24	.04	40	.75	154
4.0	.90	139	.32	139	.09	28	.80	134