



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação
Departamento de Semicondutores, Instrumentos e Fotônica



INTEGRAÇÃO DE SISTEMA TRANSCÉPTOR DE 60 GHz PARA APLICAÇÕES SEM FIO DE INTERFACE MULTIMÍDIA DE ALTA DEFINIÇÃO

Autor: Silas Demmy Yamamoto

Orientador: Prof. Dr. Jacobus Willibrordus Swart

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: **Eletrônica, Microeletrônica e Optoeletrônica.**

Banca Examinadora

Prof. Dr. Jacobus Willibrordus Swart (presidente) — DSIF/FEEC/UNICAMP

Prof. Dr. Antonio Luis Pacheco Rotondaro — CTI Renato Archer

Prof. Dr. José Alexandre Diniz — DSIF/FEEC/UNICAMP

Campinas – SP
03 de junho de 2011

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Y14i Yamamoto, Silas Demmy
Integração de sistema transceptor de 60 GHz para aplicações sem fio de interface multimídia de alta definição / Silas Demmy Yamamoto. --Campinas, SP: [s.n.], 2011.

Orientador: Jacobus Willibrordus Swart.
Dissertação de Mestrado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Circuitos integrados - Comunicação em larga escala. 2. Sistemas de comunicação sem fio. 3. Cerâmica eletrônica. 4. Ondas milimétricas. 5. Circuitos integrados de microondas. I. Swart, Jacobus Willibrordus. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: System in package integration of a 60 GHz transceiver for wireless high definition multimedia interface applications

Palavras-chave em Inglês: Integrated circuits - Communication on a large scale, Wireless communication systems, Electronic ceramics, Millimeter waves, Microelectronic packaging

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Antonio Luis Pacheco Rotondaro, José Alexandre Diniz

Data da defesa: 03-06-2011

Programa de Pós Graduação: Engenharia Elétrica

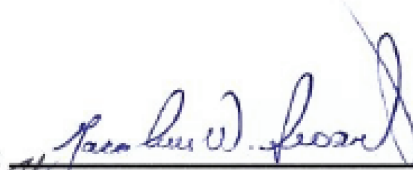
COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Silas Demmy Yamamoto

Data da Defesa: 3 de junho de 2011

Título da Tese: "Integração de Sistema Transceptor de 60 GHz para Aplicações Sem Fio de Interface Multimídia de Alta Definição"

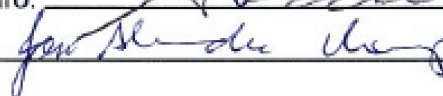
Prof. Dr. Jacobus Willibrordus Swart (Presidente):



Dr. Antonio Luis Pacheco Rotondaro:



Prof. Dr. José Alexandre Diniz:



RESUMO

O trabalho intitulado *Integração de Sistema Transceptor de 60 GHz para Aplicações Sem Fio de Interface Multimídia de Alta Definição (Wireless HDMI)* foi realizado na empresa STMicroelectronics (França), no departamento de P&D de Tecnologia / CAD Central e Soluções, como requisito para a obtenção do título de mestre.

O objetivo deste trabalho foi de pesquisar e propor uma integração de sistema do tipo Sistema no Empacotamento (SiP ou *System in Package*) a nível industrial, com o desenvolvimento de um Módulo de Múltiplos Chips (MCM ou *Multi-Chip Module*) de camadas cerâmicas com tecnologia Cerâmica Cossinterizada sob Alta Temperatura (HTCC), integrando componentes de diferentes tecnologias - um circuito integrado CMOS 65 nm, um circuito integrado monolítico de micro-ondas (MMIC) de Arseneto de Gálio (GaAs) comercial e antenas IPD (Dispositivo de Integração Passiva) de vidro. Além disso foram desenvolvidas técnicas de projeto de integração na tecnologia HTCC, atendendo-se às regras para fabricação e montagem industrial.

Utilizaram-se no projeto ferramentas software de projeto de simulação elétrica e eletromagnética, resultando no módulo com área de 13 x 8 mm² e 1,12 mm de espessura incluindo os componentes. Nas linhas de transmissão do sinal a 60 GHz e de banda base foram medidas perdas de inserção de 1,0 dB/mm e 0,6 dB respectivamente. A antena integrada no módulo apresentou um ganho mínimo de 6 dBi (de 53,5 a 59,5 GHz), com perda de retorno maior que 10 dB (de 51 a 63 GHz) e um pequeno deslocamento em relação à banda especificada. Os resultados de medição de algumas amostras demonstraram que a tecnologia HTCC, para integração do sistema, é viável tanto em termos de desempenho, quanto nos aspectos industrial e comercial, mesmo antes da análise da montagem e desempenho do MMIC HPA e do sistema.

Palavras-chave: *SiP (System in Package), Sistema no empacotamento, Integração de chips, MCM (Multi-Chip Module), Módulo de múltiplos chips, Cerâmica cossinterizada, HTCC (High Temperature Cofired Ceramic), 60 GHz, Ondas milimétricas, Wireless HD, Interface multimídia de alta definição sem fio, Sistema de transmissão e recepção sem fio em larga escala, Antena integrada de vidro.*

ABSTRACT

This Master's degree work, entitled System-in-Package (SiP) Integration of 60 GHz Transceiver for Wireless High Definition Multimedia Interface Application, was executed at STMicroelectronics Company (France), Minatec site in the department of Research and Technological Development/Central CAD and Solutions Department, under the guidance of PhD. Andrea Cathelin.

The objective was to research and propose a SiP integration for industrial production. The Multi-Chip Module with ceramic materials (MCM-C) of High Temperature Cofired Ceramic technology (HTCC) was developed. Components and devices of different technologies - an RF 65 nm CMOS Integrated Circuit (IC), a commercial Gallium Arsenide (GaAs) monolithic microwave IC (MMIC), and IPD (Integrated Passive Device) antennas with glass substrate - were integrated into the same module. Further design techniques were developed complying with techniques for industrial assembly and the design rules of Kyocera, the company which provides HTCC technology and module manufacturing.

The complete system integration was designed with electronic design automation (EDA) software tools with electrical and electromagnetic simulation resulting in a $13 \times 8 \text{ mm}^2$ area and 1.12 mm thickness module including its components. The 60 GHz and the base band transmission lines presented an insertion loss of 1.0 dB/mm and 0.6 dB respectively. The IPD antenna integrated in the module presented a 6 dBi minimum gain (53.5 to 59.5 GHz band) with return loss above 10 dB (51 to 63 GHz band) and a small shift of the frequency band. The measurement results of some assembled samples showed that HTCC technology is viable in terms of performance and industrial production for the 60 GHz application, even before the analysis of MMIC HPA and the system evaluation.

Keywords: *System in package (SiP), Integrated circuit system packaging, Multi-chip module (MCM), High-temperature cofired ceramic (HTCC), 60 GHz, Millimeter-waves, Wireless HD, High-definition multimedia interface, Wireless high-speed transmitter receiver system, Integrated glass antenna.*

“O conhecimento tem se multiplicado...quanto maior o conhecimento, maior o enfado e o desgosto. O temor do SENHOR DEUS é o princípio da sabedoria.”

Reis Davi e Salomão

*Dedico este trabalho
ao meu avô Hiroyuki e
aos meus pais Hideo e Ruth*

AGRADECIMENTOS

Primeiramente louvo a DEUS que me concede a vida, sabedoria e graça, a cada dia de minha jornada, e por tudo que até hoje me ajudou a conquistar.

Expresso minha gratidão ao Professor Jacobus Swart pelo seu incentivo e pelo apoio dado, através do Centro de Tecnologia da Informação Renato Archer (CTI), para a realização deste mestrado.

Agradeço ao Mestre Didier Belot e à Doutora Andréia Cathelin o confiarem este trabalho a mim e a toda equipe STMicroelectronics-Minatec, e a supervisão durante o estágio realizado em Grenoble, França. Agradeço em especial ao colega Cyrille Tilhac o seu suporte e conhecimento que me transmitiu no início do desenvolvimento deste trabalho, fruto de suas pesquisas sobre integração SiP (*System-in-Package*), que me serviram como referência neste projeto.

Agradeço ao Professor José Diniz e a toda equipe do Centro de Componentes Semicondutores (CCS) o encorajamento e auxílio nas disciplinas cursadas, nas pesquisas e no desenvolvimento das tecnologias MIC e MCM-D, que me propiciaram a base para este trabalho.

Gostaria de ressaltar a acolhida calorosa que recebi do grupo de RF da STMicroelectronics em Crolles.

Sou grato também à minha mãe, Prof^a Ruth, pelas várias revisões realizadas no texto em português.

Finalmente, manifesto minha profunda gratidão à minha querida esposa Ines, pelo seu contínuo incentivo e apoio que muito contribuiram para o sucesso deste trabalho para obtenção do título de mestre.

RESTRIÇÃO PARA DIVULGAÇÃO

Esta dissertação de mestrado contém informações confidenciais pertencentes à empresa STMicroelectronics e suas instituições parceiras. Por esta razão:

1. Poderá tornar-se pública somente 2 (dois) anos após a data de homologação da dissertação, conforme a prévia permissão concedida por escrito da empresa. Nota: Após a publicação, as informações poderão ser utilizadas com a permissão do autor, desde que sejam acompanhadas de citações do autor e das referências associadas;
2. Pode ser utilizada e divulgada na sua forma impressa (meio não eletrônico) dentro da Unicamp, na qual seu autor está regularmente matriculado, exclusivamente para fins de apresentação perante a banca examinadora, e para o arquivo da instituição;

Qualquer violação das condições acima descritas, por quem quer que seja, poderá acarretar prejuízos graves à STMicroelectronics, que reivindicará indenização por meios legais.

WARNING

This Master's degree report contains confidential information belonging to STMicroelectronics and its partners therefore,

- it can be issued or be the object of disclosure, only two years after examination and registration of this Master's degree report, according to the written prior agreement of STMicroelectronics, and
- it can be used and distributed inside the University of Campinas (Unicamp), institution where the author is entered for the official presentation needs and can be reproduced only for exclusive archives to the institution.

Any breach by anyone of these conditions is likely to cause STMicroelectronics serious damages which consequently could obtain reparations by any way right.

SUMÁRIO

LISTA DE FIGURAS.....	XVII
LISTA DE TABELAS.....	XIX
LISTA DE ABREVIACÕES E SÍMBOLOS	XXI
TRABALHOS AFINS PUBLICADOS PELO AUTOR.....	XXV
CAPÍTULO 1 – INTRODUÇÃO.....	1
1.1 INTRODUÇÃO GERAL.....	1
1.1.1 RF e ondas milimétricas	2
1.1.2 Aplicações HDMI e <i>wireless</i> HDMI.....	7
1.1.3 Circuitos integrados e encapsulamento	10
1.1.3.1 Empacotamento BGA e <i>flip-chip</i>	12
1.1.3.2 Empacotamento LGA.....	14
1.1.4 Montagem de PCI, PTH, SMT e MIC	15
1.1.4.1 Empacotamento castelação	18
1.1.5 MCM, LTCC e HTCC	19
1.1.6 MMIC, SiP e SoC	20
1.1.7 Linhas de transmissão de RF	22
1.2 TECNOLOGIA	25
1.3 OBJETIVO	25
1.4 APRESENTAÇÃO	26
CAPÍTULO 2 – INTEGRAÇÃO DE SISTEMA TRANSECTOR	27
2.1 RESULTADOS DA REVISÃO BIBLIOGRÁFICA	27
2.2 ESCOLHA DA INTEGRAÇÃO.....	35
CAPÍTULO 3 – ESPECIFICAÇÕES E COMPONENTES DO SiP.....	41
3.1 ESPECIFICAÇÕES DO SiP	41
3.2 COMPONENTES DO SiP.....	43

3.2.1	CI transceptor	43
3.2.2	Amplificador de alta potência	45
3.2.3	Antenas TX e RX.....	47
CAPÍTULO 4 – PROJETO DO SiP		51
4.1	TECNOLOGIA, MATERIAL E EMPACOTAMENTO	51
4.2	ESTRUTURA PARA AS LINHAS DE TRANSMISSÃO	54
4.3	MONTAGEM DOS COMPONENTES	60
4.4	CIRCUITOS DE RF	63
4.5	CIRCUITOS DE BANDA BASE	67
4.6	COMPONENTES DOS CIRCUITOS DE ALIMENTAÇÃO	73
4.7	COMPONENTES DO FILTRO DO SINTETIZADOR PLL	75
4.8	LISTA DE COMPONENTES E INSUMOS	76
4.9	LAYOUT E ESTRUTURA	77
4.10	AVALIAÇÕES DO PROJETO	82
4.10.1	Avaliação do HTCC	82
4.10.2	Avaliação da montagem.....	84
4.10.3	Avaliação do desempenho.....	84
CAPÍTULO 5 – RESULTADOS EXPERIMENTAIS.....		87
CAPÍTULO 6 – CONCLUSÕES		93
REFERÊNCIAS BIBLIOGRÁFICAS		99
APÊNDICE A – STMICROELECTRONICS.....		105
A.1	APRESENTAÇÃO	105
A.2	PRODUTOS E APLICAÇÕES	106
A.3	ORGANIZAÇÃO	109
A.4	RESULTADOS	111
A.5	PLANTA DE CROLLES	112
A.6	MINATEC.....	114

LISTA DE FIGURAS

Figura 1 – Absorção atmosférica média de ondas milimétricas em duas condições: (A) a nível do mar com umidade relativa de 75% e (B) numa altitude de 4 km com ar seco.....	4
Figura 2 – Demonstração de um sistema geral de 2 Gbps transmitido via rádio a 60 GHz.	10
Figura 3 – Exemplo de ligação de fio por microsolda.	11
Figura 4 – Etapas do processo <i>flip-chip</i> com subpreenchimento e <i>flip-chip</i> moldável.	13
Figura 5 – Exemplos de empacotamento BGA (solda do chip seguida de microsolda do fio e montagem <i>flip-chip</i>) e um empacotamento CGA.	14
Figura 6 – Exemplo de montagem LGA de um processador (Intel) e um empacotamento LGA (Freescale), vista superior e inferior.....	15
Figura 7 – Montagem de um capacitor chip e fios conectando padrões e circuitos de microfita.....	17
Figura 8 – Empacotamento castelação no LTCC, vista superior e inferior de um LLCC, contatos de castelação antes e após a solda por refusão.	18
Figura 9 – Vista em corte de uma microfita.....	22
Figura 10 – Configuração de uma guia de onda coplanar (CPW).....	23
Figura 11 – Fita coplanar (CPS) vista em corte.....	24
Figura 12 – Configuração da antena incluindo lente de silício, bloco e disco de silício não dopado.	29
Figura 13 – Antena microusinada em silício de alta resistividade.	30
Figura 14 – Empacotamento baseado em silício de baixo custo para transceptor de 60 GHz.....	30
Figura 15 – Antena de fenda dupla integrada no substrato LTCC e solução LTCC de integração de sistemas.	31
Figura 16 – Integração 3D e combinação de dois chips empilhados.....	32
Figura 17 – Estrutura das camadas no substrato de vidro e um componente IPD soldado à PCI com <i>flip-chip</i>	32
Figura 18 – Módulo miniaturizado de sistema WiFi utilizando SiP IPD.	33
Figura 19 – TX 60 GHz em LTCC monolítico com arranjo de antenas <i>patch</i> 2 x 2.....	34
Figura 20 – TX 60 GHz em LTCC com arranjo de antenas <i>patch</i> 4 x 4 vista em 3 camadas.	34
Figura 21 – TX 60 GHz em LTCC com antena triangular WB (detalhe da antena e da estrutura LTCC).....	34
Figura 22 – Estrutura da antena e montagem do empacotamento incluindo os chips TX e RX.....	36
Figura 23 – Estrutura do SiP 60 GHz e foto do protótipo na montagem por adesão direta com resina <i>glob-top</i>	36
Figura 24 – Diagrama de pinos do CI transceptor.....	44
Figura 25 – Diagrama do CI transceptor com os circuitos principais, entradas e saídas.	45
Figura 26 – Montagem recomendada do amplificador de alta potência FMM5715X.....	46
Figura 27 – Estrutura da antena IPD.	48
Figura 28 – Linha de alimentação da antena com a transição CPW para CPS (fita coplanar).....	49
Figura 29 – Comparação do campo elétrico no modo da CPW e da linha fendida acoplada.....	56
Figura 30 – Requisitos para colocação e montagem dos componentes.	60

Figura 31 – Requisitos da resina para o CI transceptor e para a antena IPD.	61
Figura 32 – Microesfera do tipo FC60A antes e após a solda por compressão <i>flip-chip</i>	61
Figura 33 – Cavidade dupla para solda do HPA, interconexão dos contatos de topo e limitação da resina <i>glob-top</i>	63
Figura 34 – Estrutura do HTCC, incluindo a dupla cavidade do HPA, a proteção de alumina e as interconexões.	64
Figura 35 – <i>Layout</i> do circuito de RF do HTCC.	67
Figura 36 – Geometria dos circuitos de BB na estrutura de camadas múltiplas do HTCC (vista em 3D). Projeto inicial e após os ajustes.	70
Figura 37 – Resultados de simulação de cada um dos circuitos de entrada de BB.	70
Figura 38 – Resultados de simulação dos circuitos de entrada de BB (par diferencial com 100 Ω).	71
Figura 39 – Resultados de simulação de cada um dos circuitos de saída de BB.	72
Figura 40 – Resultados de simulação dos circuitos de saída de BB (par diferencial com 100 Ω).	72
Figura 41 – Circuito de filtro e isolamento da tensão de alimentação do CI transceptor.	73
Figura 42 – Circuito do filtro do sintetizador PLL a ser interconectado com o CI transceptor.	75
Figura 43 – Estrutura do módulo HTCC.	77
Figura 44 – <i>Layout</i> do HTCC: 1º nível de metal (topo) e vias e furos na 1ª camada dielétrica.	78
Figura 45 – <i>Layout</i> do HTCC: 2º nível de metal e vias e furos na 2ª camada dielétrica.	78
Figura 46 – <i>Layout</i> do HTCC: 3º nível de metal e vias e furos na 3ª camada dielétrica.	79
Figura 47 – <i>Layout</i> do HTCC: 4º nível de metal e vias e furos na 4ª camada dielétrica.	80
Figura 48 – <i>Layout</i> do HTCC: 5º nível de metal e vias e furos na 5ª (última) camada dielétrica.	80
Figura 49 – <i>Layout</i> do HTCC: Revestimento espesso de alumina e posicionamento dos componentes.	81
Figura 50 – <i>Layout</i> do HTCC: 6º nível de metal (fundo) com a parte exposta dos contatos LGA na base do módulo.	82
Figura 51 – Módulo de teste HTCC.	85
Figura 52 – Antena IPD com as microesferas.	88
Figura 53 – Antena com montagem <i>flip-chip</i> sobre o módulo de teste HTCC.	88
Figura 54 – Simulações e medidas da perda de retorno e perda de inserção da linha de alimentação similar à da antena.	88
Figura 55 – Simulação e medida da perda de retorno da antena e comparação nas medidas de cinco amostras de antenas.	90
Figura 56 – Simulação e medida do ganho da antena na direção de lateral ampla.	91
 APÊNDICE A	
Figura A.1 – Infraestrutura global de fabricação da STMicroelectronics.	106
Figura A.2 – Setores de atividades da STMicroelectronics e aplicações.	107
Figura A.3 – Organização da STMicroelectronics.	110
Figura A.4 – Participação da STMicroelectronics no mercado global.	111
Figura A.5 – Vista da área de fabricação da planta de Crolles da STMicroelectronics.	112
Figura A.6 – Vista da planta de Crolles da STMicroelectronics.	113

LISTA DE TABELAS

Tabela I – Estimativa do desempenho esperado do sistema.....	42
Tabela II – Características do CI transceptor.....	43
Tabela III – Características do HPA SEDI FMM5715X e recomendações para montagem.....	46
Tabela IV – Características das antenas.....	48
Tabela V – Comparação das características dos materiais e tecnologias.....	53
Tabela VI – Comparação entre materiais e tecnologias nas linhas de transmissão.....	58
Tabela VII – Dimensões das linhas e dos contatos para soldas dos componentes.....	66
Tabela VIII – Lista de componentes do SiP.....	76
Tabela IX – Lista de insumos do SiP.....	76
Tabela X – Comparação entre os sistemas transceptores de 60 GHz para HDMI sem fio.....	94

LISTA DE ABREVIACÕES E SÍMBOLOS

BB	Banda Base
BCB	BenzoCycloButeno (material dielétrico depositado na tecnologia IPD)
BGA	<i>Ball Grid Array</i> (Encapsulamento do tipo matriz de esferas)
BiCMOS	Tecnologia Bipolar CMOS
c	Velocidade da luz no vácuo
CC	Corrente elétrica contínua
CI	Circuito Integrado ou chip
CMOS	Tecnologia Complementar Metal-Óxido Semicondutor
COB	<i>Chip-on-Board</i> (solda do chip diretamente na PCI)
CPS	Fita Coplanar (<i>Coplanar Strip</i>)
CPW	Guia de Onda Coplanar (<i>Coplanar Waveguide</i>)
CSP	Empacotamento a nível do chip (<i>Chip Scale Package</i>)
dB	decibel, unidade relativa
dBm	decibel milliwatt, unidade de potência relativa a um miliwatt
f	Frequência
Gbps	gigabits por segundo (taxa de transmissão de dados)
GHz	gigahertz (10^9 hertz)
GSG	Aterramento-Sinal-Aterramento (<i>Ground-Signal-Ground</i>)
IEEE	Instituto dos Engenheiros Elétricos e Eletrônicos (<i>Institute of Electrical and Electronics Engineer</i>) com sede nos Estados Unidos da América (EUA)
IPD	Componentes Passivos Integrados (<i>Integrated Passive Devices</i>)
HDMI	Interface multimídia de alta definição (<i>High-Definition Multimedia Interface</i>)

HPA	Amplificador de alta potncia (<i>High Power Amplifier</i>)
HTCC	<i>High Temperature Cofired Ceramic</i> (Tecnologia de cermica cossinterizada sob alta temperatura)
Hz	hertz, unidade de frequncia
<i>I</i>	Corrente
LETI	Laboratrio de Eletrnica e Tecnologia da Informao (Frana)
LGA	<i>Land Grid Array</i> (Encapsulamento do tipo matriz de contatos)
LTCC	<i>Low Temperature Cofired Ceramic</i> (Tecnologia de cermica cossinterizada sob baixa temperatura)
m	metro
MCM	Mdulo de mltiplos chips (<i>Multi Chip Module</i>)
MEMS	Sensores micro eletro-mecnicos (<i>MicroElectroMechanical Sensors</i>)
MIC	Circuitos integrados hbridos de micro-ondas (<i>Microwave Integrated Circuits</i>)
mm	milmetros (10^{-3} metro)
MMIC	Circuitos integrados monolticos de micro-ondas (<i>Monolithic Microwave Integrated Circuits</i>)
mW	miliwatts (10^{-3} watt)
PC	Micromputador pessoal (<i>Personal Computer</i>)
PCI	Placa de Circuito Impresso
P&D	Pesquisa e Desenvolvimento
<i>R, R_{cc}</i>	Resistncia eltrica
RF	Rdio-frequncia
RX	Recepo, Receptor
S	siemens ou ohms ⁻¹
SiP	<i>System in Package</i> (Sistema no empacotamento)
SoC	<i>System on Chip</i> (Sistema no chip)
SMT	Tecnologia de montagem sobre superfcie (<i>Surface Mount Technology</i>)
ST	<i>STMicroelectronics</i>
Transceptor	Transmissor e receptor

TSV	Via através do silcio (<i>Through Silicon Via</i>)
TV	Televiso
TX	Transmisso, Transmissor
V	Tenso
v_f	Velocidade de fase
Z	Impedncia complexa
3D	Trs dimenses
β	Constante de propagao
Γ	Coefficiente de reflexo complexo
λ	Comprimento de onda
σ	Condutividade eltrica
δ	Profundidade de penetrao
ϵ_r	Permissividade dieltrica relativa
μm	mcron, micrmetro (10^{-6} metro)
μ_0	Permeabilidade do vcuo
Ω	ohms

TRABALHOS AFINS PUBLICADOS PELO AUTOR

- [1] L. T. Manera, **S. D. Yamamoto**, J. W. Swart. “Técnicas de Simulação Eletromagnética Combinada à Simulação Elétrica no Projeto de Dispositivos de RF com Tecnologia MIC.” Em: Anais do 12º Simpósio Brasileiro de Micro-ondas e Optoeletrônica e 7º Congresso Brasileiro de Eletromagnetismo (MOMAG 2006), Belo Horizonte, Brasil. CD241, 2006.
- [2] C. M. Cabreira, A. Flacker, **S. D. Yamamoto**, E. A. Gomes, M. A. Canesqui, J. W. Swart. “Tecnologia MIC Aplicada aos Dispositivos de RF.” Em: Anais do 12º Simpósio Brasileiro de Micro-ondas e Optoeletrônica e 7º Congresso Brasileiro de Eletromagnetismo (MOMAG 2006), Belo Horizonte, Brasil. CD227, 2006.
- [3] L. B. Zoccal, C. M. Cabreira, **S. D. Yamamoto**, A. Flacker, E. A. Gomes, J. A. Diniz, J. W. Swart. “10 GHz RF Passive Components Obtained by MCM-D Technology.” In: 22nd Symposium on Microelectronics Technology and Devices (SBMicro 2007), Rio de Janeiro, Brazil. The Electrochemical Society (ECS) Transactions, v.9, n.1, p.405-416, 2007.
- [4] L. B. Zoccal, **S. D. Yamamoto**, C. M. Cabreira, A. Flacker, E. A. Gomes, J. A. Diniz, J. W. Swart. “RF Passive Components in MCM-D.” In: SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC 2007), Salvador, Brazil. p.122-126, 2007.
- [5] J. Lanteri, L. Dussopt, R. Pilard, D. Gloria, **S. D. Yamamoto**, A. Cathelin, H. Hezzeddine. “60 GHz Antennas in HTCC and Glass Technology.” In: IEEE AP-S Proceedings of 4th European Conference on Antennas and Propagation (EuCAP-2010), Barcelona, Spain. p.1-4, 2010.
- [6] A. Siligaris, O. Richard, B. Martineau, C. Mounet, F. Chaix, R. Ferragut, C. Dehos, J. Lanteri, L. Dussopt, **S. D. Yamamoto**, R. Pilard, P. Busson, A. Cathelin, D. Belot, P. Vincent. “A 65nm CMOS Fully Integrated Transceiver Module for 60GHz Wireless HD Applications.” In: IEEE Digest of Technical Papers of International Solid-State Circuits Conference (ISSCC 2011). p.162-164, 2011.

- [7] A. Siligaris, O. Richard, B. Martineau, C. Mounet, F. Chaix, R. Ferragut, C. Dehos, J. Lanteri, L. Dussopt, **S. D. Yamamoto**, R. Pilard, P. Busson, A. Cathelin, D. Belot, P. Vincent. "A 65nm CMOS Fully Integrated Transceiver Module for 60GHz Wireless HD Applications." In: IEEE Journal of Solid-State Circuits (*aprovado para publicação, em revisão*).

Capítulo 1

INTRODUÇÃO

O projeto de integração SiP em 60 GHz foi realizado na empresa STMicroelectronics (ST), cuja apresentação se encontra no Apêndice A, dentro da área de Pesquisa e Desenvolvimento de Tecnologia, localizado no Centro para Inovação em Micro e Nano Tecnologias na Europa (MINATEC) (vide mais detalhes no item A.6 do Apêndice A).

1.1 INTRODUÇÃO GERAL

Esta dissertação aborda o projeto da integração de um sistema transceptor, cujos componentes principais são um CI transceptor, duas antenas, sendo uma de transmissão (TX) e outra de recepção (RX), e um amplificador de alta potência (HPA) na transmissão. O resultado deste trabalho foi o módulo de múltiplos chips (MCM), também denominado Sistema no Empacotamento (SiP), que utilizou a tecnologia HTCC, da empresa Kyocera.

O CI transceptor foi desenvolvido por uma equipe composta por membros da ST Minatec e Grenoble, e do LETI. As antenas com tecnologia IPD foram desenvolvidas por outra equipe do LETI, com a estreita colaboração da ST Tours, responsável pela tecnologia IPD. O amplificador de potência externo (HPA) é um componente comercial do tipo MMIC.

Coube ao autor a responsabilidade pelo módulo e todos os aspectos relacionados com o mesmo, até a elaboração do seu *layout*, enviado para fabricação na Kyocera. No projeto da

integração houve a colaboração com outras áreas e departamentos da ST, responsáveis pela montagem industrial, pelo desenvolvimento de aplicações de Entretenimento Doméstico (HED ou *Home Entertainment and Displays*), e pelo Suprimento e Desenvolvimento de Fornecedores. Também houve o suporte da equipe da engenharia da Kyocera na tecnologia HTCC. Houve forte interação com a equipe do LETI, responsável pelo projeto das antenas, para a definição das antenas, sua interface com o módulo e os circuitos de 60 GHz. Também coube à equipe do LETI o projeto final dos circuitos de 60 GHz, com a realização de simulações eletromagnéticas 3D.

Havendo restrição para divulgação das informações confidenciais da ST neste projeto, serão apresentados somente os resultados publicados até o momento.

Para uma compreensão melhor desta dissertação, faz-se necessário introduzir alguns conceitos e termos comumente utilizados, os quais estão apresentados nos itens a seguir.

1.1.1 RF E ONDAS MILIMÉTRICAS

Assiste-se à implantação, em larga escala, do advento *wireless* (sem fio). Telefones celulares, internet sem fio (rede de acesso sem fio ou WAN) e WiFi (*Wireless Fidelity*), BlueTooth, chaves e controles remotos, RFID (identificação por rádio-frequência), navegação por GPS (Posicionamento Global por Satélites) e assim por diante, possibilitando a mobilidade, o acesso, o conforto, a segurança, a rastreabilidade e o permanente contato no mundo global. O advento *wireless* só foi possível graças às ondas eletromagnéticas que se propagam pelo ar, que é um dos meios de propagação. Frequências de RF (rádio-frequência) abrangem desde ondas audíveis de alguns kilo Hertz (kHz, 10^3 Hz) até ondas próximas do infra-vermelho e da luz visível, ou seja, TeraHertz (THz, 10^{12} Hz).

Uma grandeza física relacionada com a frequência é o comprimento de onda (λ), que no vácuo é calculado por:

$$\lambda_0 = c/f \quad (1)$$

onde: c : velocidade da luz no vácuo (3×10^8) [m/s]

f : frequência [Hz]

Denominam-se “ondas milimétricas” as frequências cujos comprimentos de onda no vácuo são da ordem de milímetros, o que, na prática, corresponde às frequências compreendidas

entre 30 GHz e 300 GHz. Após o século XIX, com a proliferação das aplicações sem fio, tais como em rádio, televisão, telecomunicação via rádio, radar e outras, o espectro de frequências foi cada vez mais ocupado, forçando o uso de bandas mais altas. O avanço da tecnologia possibilitou esta evolução, criando e desenvolvendo componentes como o transistor e, a partir dele, amplificadores que podem gerar tais ondas de forma precisa e controlada, com uma potência cada vez maior, permitindo, assim, o aumento da distância entre o transmissor (TX) e o receptor (RX), até em distâncias espaciais. Quanto maior a frequência, maior a atenuação que ocorre no meio de propagação, por absorção ou espalhamento de fótons. Desta forma, a distância de alcance é reduzida ou um desempenho mais rigoroso é requerido para viabilizar a comunicação.

A atenuação de um sinal transmitido no espaço livre (A_{EL}) entre duas antenas isotrópicas, que irradiam com mesma intensidade em todas as direções e ganho unitário, é expressa em função da frequência e da distância [1] pela seguinte equação:

$$A_{EL} = (4\pi d / \lambda)^2 \quad (2)$$

onde: d : distância entre as duas antenas

Convertendo a equação em função da frequência (f), para obter a atenuação em dB [1]:

$$A_{EL \text{ dB}} = -87,56 + 20 \log f + 20 \log d \quad (3)$$

onde: f : frequência [GHz]

d : distância [km]

Considerando-se uma distância de um quilômetro, a atenuação na frequência de 2,4 GHz é de 100 dB, enquanto que na frequência de 60 GHz a atenuação é de 128 dB. Comparativamente, ocorre uma atenuação 630 vezes maior para a mesma distância. Além disso, para as ondas milimétricas há fatores de perda adicionais na transmissão, como a absorção por moléculas de oxigênio, vapor de água e outros gases que compõem a atmosfera. Estas perdas são maiores em certas frequências, cujos valores coincidem com as frequências de ressonâncias (vibração mecânica) destas moléculas. O gráfico da Figura 1 mostra a absorção atmosférica média em função da frequência causada pela ressonância do oxigênio (O_2) e do vapor de água (H_2O).

Nota-se neste gráfico que na banda de 60 GHz e baixa umidade relativa do meio de propagação, há uma perda adicional de até 4 dB/km, causada pela ressonância com oxigênio.

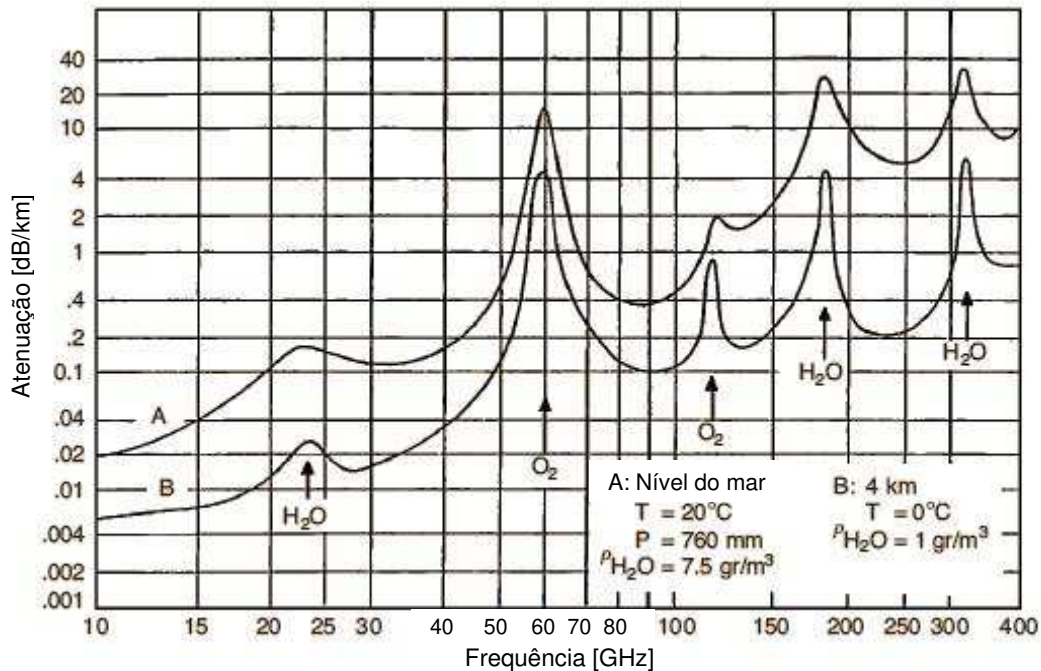


Figura 1 – Absorção atmosférica média de ondas milimétricas em duas condições: (A) a nível do mar com umidade relativa de 75% e (B) numa altitude de 4 km com ar seco. [1]

A passagem de corrente elétrica contínua (CC) em materiais condutores, como os metais, é limitada pela sua resistência elétrica. Para um condutor de metal cilíndrico de raio a , a resistência elétrica (R_{CC}) linear é dada pela seguinte equação [2] :

$$R_{CC} = \frac{1}{(\pi a^2 \sigma_{metal})} \quad (4)$$

onde: σ_{metal} : condutividade do metal [S/m]

Um campo eletromagnético em frequências de micro-ondas consegue penetrar numa pequena profundidade em um condutor. [3] Este é chamado de efeito pelicular (*skin effect*), com a circulação de corrente elétrica nas frequências de micro-ondas principalmente próximo à superfície do condutor. A profundidade de penetração (fator δ ou *skin depth*) no metal, onde se concentra a passagem da corrente, é calculada pela equação a seguir [2] :

$$\delta = \frac{1}{\sqrt{\pi f \mu_0 \sigma_{metal}}} \quad (5)$$

onde: μ_0 : permeabilidade do vácuo ($4\pi \times 10^{-7}$) [H/m]

Assim, a resistência normalizada (R) para corrente elétrica alternada com frequência f pode ser calculada por [2] :

$$R = \frac{R_{CC} \times a}{2\delta} \quad (6)$$

Quanto maior a frequência, menor é a profundidade de penetração (δ) e, assim, pode-se assumir que para frequência alta $\delta \ll a$, e a resistência normalizada é muito maior que a resistência R_{CC} , ou seja, a transmissão de sinal elétrico na frequência de ondas milimétricas em material condutor sofre atenuação maior do que em frequências baixas.

De um material dielétrico (isolante ou não condutor), dependendo de sua aplicação, são requeridas características de baixa condutividade, uma alta ou baixa permissividade e propriedades específicas de perda. [3] Uma propriedade importante de um material isolante é a sua permissividade dielétrica (ϵ), também conhecida como constante dielétrica, que relaciona o campo elétrico no material com as cargas livres na superfície. Por questões de prática usual, a permissividade dielétrica é medida em relação à do vácuo, daí a denominação de permissividade dielétrica relativa (ϵ_r). Num material dielétrico, as características de constante de propagação (β) e de velocidade de fase (v_f) para frequências elevadas variam em função da constante dielétrica, conforme mostram as seguintes equações [2] :

$$v_f = \frac{c}{\sqrt{\epsilon_r}} \quad (7)$$

onde: ϵ_r : permissividade relativa do material

$$\lambda = \frac{c}{f \times \sqrt{\epsilon_r}} \quad (8)$$

$$\beta = 2\pi/\lambda = 2\pi f/v_f \quad (9)$$

No material dielétrico a velocidade de fase, o comprimento de onda e a constante de propagação são menores que no espaço livre (vácuo).

Outro conceito que se faz necessário introduzir é a impedância complexa (Z), que é dada pela equivalente em CA (corrente alternada) da lei de Ohm, com a tensão complexa (V) e a corrente complexa (I):

$$Z = V/I \quad (10)$$

A impedância é a razão entre a tensão e a corrente, que é relativa ao campo elétrico e magnético.

Em frequências elevadas, não é possível medir com precisão a corrente ou a tensão, basicamente por causa de distorções introduzidas por capacitâncias e indutâncias parasitas em conexões. De forma análoga também é difícil medir as correntes e tensões sem interações entre as mesmas. Devido a isto, a medida da impedância é realizada indiretamente, baseada nas reflexões na linha de transmissão, pela análise da propagação de ondas num sentido ou no sentido contrário. Um equipamento de medida RF é o analisador de rede que mede a transmissão e a reflexão em linha de transmissão de impedância 50Ω para uma faixa larga de frequências. Desta forma, se uma impedância complexa serve como terminação ou carga de uma linha, a impedância de terminação de um dispositivo ou circuito pode ser determinada a partir dos sinais refletidos. O coeficiente de reflexão complexo (Γ) é dado por [3] :

$$\Gamma = \frac{Z-Z_0}{Z+Z_0} \quad (11)$$

onde: Z : impedância refletida [Ω]

Z_0 : impedância de referência padrão, 50Ω comumente adotado.

A condição de casamento de impedância numa determinada faixa de frequências é a condição requerida para uma eficiente transferência de potência, por exemplo, da saída de um amplificador para a entrada da antena. A condição ideal de casamento de impedância ocorre quando as impedâncias são exatamente as mesmas, tanto em magnitude quanto em fase. Uma perda por descasamento de impedância é causada por reflexões de ondas propagantes, que retornam à origem, ao invés de serem enviadas ao destino desejado. O coeficiente de reflexão de tensão (Γ) é normalmente especificado como Perda de Retorno (*Return Loss*), medida em dB, ou como coeficiente de tensão de onda estacionária (VSWR), onde [3] :

$$\text{Perda de Retorno} = 10 \log(|\Gamma|^2) \quad (12)$$

O espectro de frequências foi dividido pelas distintas faixas de frequências, cuja regulamentação e licenciamento para uso são determinados no Brasil pela Anatel (Agência Nacional de Telecomunicações), nos EUA pelo FCC (Comitê de Comunicações Federal) e em outros países, por órgãos e instituições específicas. Estes determinam o uso da banda de frequência para propósitos específicos ou permitem a utilização livre (sem a necessidade de licença), como ocorre, por exemplo, nas bandas de 2,45 e 5,85 GHz. As bandas de 24 e 60 GHz, em que ocorre uma atenuação maior pela absorção atmosférica, de acordo com a Figura 1,

também foram definidas como de uso livre pelo FCC e em outros países. Se, por um lado, a transmissão nestas faixas de frequência é difícil devido à atenuação, por outro lado isto contribui para a diminuição da interferência de sinais, viabilizando as diversas aplicações, desde que com alcance limitado.

Ondas milimétricas têm sido objeto de pesquisas mundiais, devido ao acelerado desenvolvimento de CIs e suas tecnologias, trazendo o aumento da capacidade, a viabilização de uso em alta velocidade e frequência, e a redução de custo. Aplicações promissoras são as redes locais pessoais, sem fio (WPAN ou *Wireless Personal Area Networks*), de alta taxa de dados e radares automotivos em 76 a 77 GHz ou 78 a 81 GHz. [4] A banda de 60 GHz para aplicação em redes locais está sendo regulamentada sob o padrão IEEE 802.15.3c. [5]

Espera-se que a tecnologia de ondas milimétricas traga conectividade sem fio segura em taxas compatíveis com a rede fixa (através de ligação física) de ponta. Isto alarga o campo de aplicação em eletrônica doméstica, de escritório, e de infraestrutura, sem interferir nas bandas de micro-ondas de aplicações sem fio.

Outros dois conceitos a definir são Visada Direta (LOS ou *Line Of Sight*) e Visada Indireta (NLOS ou *Non Line Of Sight*). A primeira é um requisito na propagação de frequências críticas, na qual as antenas do TX e do RX devem estar voltadas uma para a outra, para maximização do ganho, sem nenhum obstáculo se interpondo às antenas. Um sistema NLOS, por sua vez, é aquele em que geralmente a antena propaga não apenas em uma direção, mas cobrindo certo ângulo ou todas as direções do plano de propagação (propagação omnidirecional). Assim, as antenas TX e RX não necessitam estar voltadas uma na direção da outra de forma precisa, e muitas vezes permitem obstáculos se interpondo às mesmas.

1.1.2 APLICAÇÕES HDMI E WIRELESS HDMI

A Interface Multimídia de Alta Definição (HDMI ou *High-Definition Multimedia Interface*) é uma interface compacta de áudio e vídeo para transmissão de dados digitais sem compressão, [6] codificando os dados de vídeo em TMDS (*Transition Minimized Differential Signaling* ou Sinalização Diferencial Minimizada de Transição). Ela representa uma alternativa digital para os padrões analógicos de consumo, tais como o cabo coaxial de RF, S-Video e VGA (*Video Graphics*

Array). A HDMI conecta fontes de áudio/vídeo digital como *set-top boxes* (receptores de TV digital), toca-discos *Blu-ray*, microcomputadores pessoais (PCs), aparelhos de videogame, e receptores de áudio e vídeo (*AV receivers*) para dispositivos compatíveis com áudio digital, monitores de vídeo e TVs digitais. [6] [7]

A HDMI suporta num único cabo qualquer formato de vídeo de TV ou PC, incluindo o padrão, o avançado e o vídeo de alta definição com até 8 canais de áudio digital. Ela independe dos vários padrões de TV digital como o norte-americano ATSC (*Advanced Television Systems Committee*) e o europeu DVB (*Digital Video Broadcasting*), que são pacotes de sinais de vídeo MPEG comprimidos (que podem ser decodificados e disponibilizados na saída como sinais de vídeo não comprimido na HDMI). [6]

Produtos compatíveis com a HDMI foram lançados em setembro de 2003 e mais de 850 empresas de Eletrônica de Consumo (CE) e PC adotaram, e são adeptos da especificação HDMI. [6] Na Europa, a HDMI é um dos padrões que pode estar incluída na especificação da marca *HD ready*, para aparelhos de TV de alta definição (HDTV). De fato a HDMI está se tornando o padrão para HDTV e, de acordo com a In-Stat, cerca de 90% das TVs vendidas em 2007 incluíam a HDMI. [8]

A especificação HDMI define os protocolos, sinais, interfaces elétricas e requisitos mecânicos do padrão. [6] O cabo HDMI pode ser utilizado para transmitir sinais de vídeo, áudio e controle de dispositivos compatíveis com Controle de Eletrônicos de Consumo (CEC ou *Consumer Electronics Control*). A especificação HDMI não define o comprimento máximo do cabo, mas, por causa da atenuação do sinal, há um limite máximo para o comprimento dos cabos HDMI. [9] O comprimento do cabo depende da qualidade da montagem e dos materiais nele empregados. A atenuação do sinal e a interferência entre símbolos, causada por cabos muito longos, podem ser compensadas pelo uso de equalização adaptativa. [6]

Wireless HDMI (HDMI Sem Fio), cuja especificação passou a ser chamada de *Wireless HD* (*High-Definition* ou Alta Definição), é um novo padrão de vídeo sem fio, de alta definição, criada pela Samsung e Sony, além da Panasonic, Toshiba, LG e NEC, que ocupa a banda de 60 GHz, e ainda enfrenta limitações técnicas, a menos que o transmissor e o receptor estejam em visada direta (LOS). [10] As principais marcas, incluindo Sony, Sharp, Hitachi, Samsung e Motorola,

utilizarão a *Wireless HD* para comunicação de vídeo sem fio interoperável. Recentemente, a Belkin's Flywire anunciou o consórcio *Wireless HDMI* formado pelos membros acima, para padronizar a especificação *wireless HD* [11] e incorporá-la em companhias afiliadas de fontes de sinal de vídeo HD, projetores e TVs. O resultado deste consórcio é uma rede de componentes HD, com fluxo de dados de vídeo não comprimido 1080p não somente através de uma sala, como o padrão concorrente *Ultra-Wideband* (UWB ou Banda Ultra Larga), mas também de qualquer fonte para qualquer TV/monitor na residência inteira, com uma faixa comparável à *Wireless Fidelity* (Wi-Fi).

Com a *Wireless HDMI*, componentes serão agrupados aos pares, através de sistemas de menu, utilizando chaves de acesso como no *Bluetooth*. O espectro tem capacidade para o suporte simultâneo de até 6 fluxos de vídeo 1080p, embora na prática a interferência possa reduzir esta capacidade. Um cenário a se imaginar seria o fluxo do *set-top box* ou do toca-discos *Blu-ray* pela *Wireless HDMI* para até 3 TVs no mesmo piso, enquanto ainda restaria suporte para os jogos HD em um outro cômodo da residência.

As outras interfaces concorrentes da *Wireless HDMI* são a *Wireless HDI* (*High-Definition Interface* ou Interface de Alta Definição), que utiliza a faixa de 5 GHz, e a UWB, que usa qualquer frequência entre 3,1 e 10,6 GHz. O UWB é uma difusão de baixa potência e curto alcance, porque ela deve operar adequadamente com outros protocolos encontrados numa larga faixa do espectro, no domínio doméstico. Por exemplo, o Monster's *wireless HD* kit [12], que adota este padrão, é sem fio até o ponto em que é necessário usar fiação coaxial doméstica, para permitir a cobertura em toda a residência. Já no *Wireless HDI*, ocorre a invasão por uma faixa de uso livre do espectro de 5 GHz, como o padrão WLAN IEEE 802.11a/n, exigindo tolerância a níveis razoáveis de interferência somente de outros dispositivos que usam as mesmas frequências, e podem difundir em níveis de potência mais altos que a UWB, suficiente para um alcance de mais de 30 metros.

O circuito integrado transceptor, utilizado neste trabalho, adotou o padrão *Wireless HD*. Um exemplo de implementação de um sistema de transmissão é mostrado na Figura 2. Nela uma imagem HDTV de uma câmera foi transmitida através de um módulo de RF a 60 GHz com processamento do sinal de banda base adequado, e a saída foi enviada a um monitor HDTV. [5]

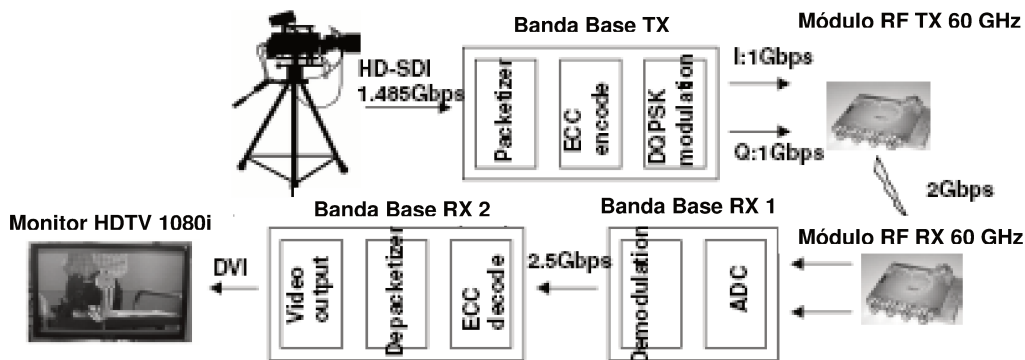


Figura 2 - Demonstração de um sistema geral de 2 Gbps transmitido via rádio a 60 GHz. [5]

1.1.3 CIRCUITOS INTEGRADOS E ENCAPSULAMENTO

O encapsulamento, empacotamento ou invólucro de um circuito integrado (CI, chip ou *die*) faz a interface mecânica entre o mesmo e a placa de circuito impresso (PCI), descrita em 1.1.4. O encapsulamento do CI pode ser de plástico moldável, material orgânico, cerâmico ou metálico. Este possui funções diferentes e importantes [15] :

- ✓ Prover uma interface elétrica com o exterior do CI. Há muitas soluções disponíveis e algumas das mais conhecidas são:
 - Encapsulamento com terminais que são soldados na PCI como os formatos DIP (*Dual In-Line Package*) e QFP (*Quad Flat Package*);
 - Encapsulamento com contatos incrustados, que são soldados, utilizando-se pasta de solda em processos de solda por refusão, como o QFN (*Quad Flat No leads*) e LGA (*Land Grid Array*);
 - Uso de esferas de solda para interconectar o CI e a PCI como o BGA (*Ball Grid Array* ou Matriz de Esferas). Nesta solução, o chip é preso a um substrato orgânico, semelhante a uma PCI de múltiplas camadas. As interconexões entre o chip e o substrato orgânico podem ser realizadas de duas formas:
 1. Através de ligações de fios com microsolda, ou seja, utilizando fios de ouro, alumínio ou cobre com reduzido diâmetro (de 15 a 50 μm) para interconectar os contatos do chip com os terminais ou contatos do substrato orgânico, mostrado na Figura 3. Após a interconexão, a montagem é encapsulada com plástico moldável.

2. Através da montagem flip-chip, em que esferas de solda de cobre ou ouro, de diâmetro reduzido, são presas em contatos (*pads*) do substrato orgânico. Em seguida o CI com as esferas é soldado no substrato orgânico através do processo de compressão térmica e a montagem é encapsulada com plástico moldável.

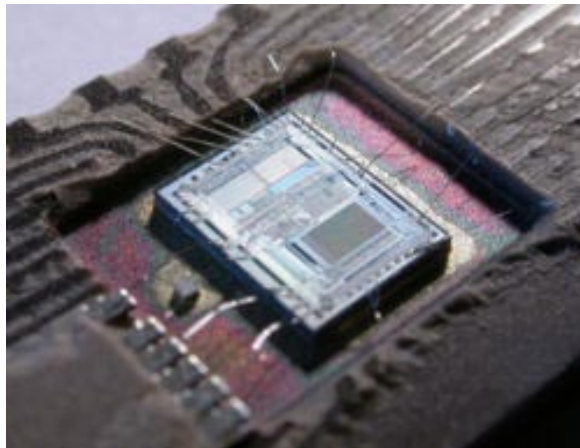


Figura 3 - Exemplo de ligação de fio por microsolda. [Intel 8742]

- ✓ Prover dissipação térmica ou de calor;
- ✓ Proteger o chip dos riscos do ambiente como danos físicos, contaminação, oxidação, interferência eletromagnética (no caso de empacotamento metálico) e facilitar o manuseio;
- ✓ Adaptar o componente (CI encapsulado) aos requisitos de montagem, cujas escalas de dimensão mudam de μm (mícrons) para mm (milímetros). Processos de solda foram otimizados para produção em larga escala como a solda por onda ou por refusão.

O empacotamento de componentes para ondas milimétricas é particularmente desafiador, por causa da complexidade associada tanto no projeto quanto na fabricação. O reduzido comprimento de onda envolvido requer, frequentemente, equipamentos de alta precisão para alinhamento ou fotolitografia. Além disso, circuitos de ondas milimétricas normalmente apresentam baixo nível de integração e utilizam os guias de onda caros e volumosos. MMIC são mais comuns em aplicações de ondas milimétricas e basicamente utilizam técnicas de montagem da tecnologia MIC e de componentes discretos, descritas no item 1.1.4. [13]

1.1.3.1 EMPACOTAMENTO BGA E *FLIP-CHIP*

A matriz de esferas (BGA) é um empacotamento que utiliza um arranjo de esferas de solda para conectar CIs à PCI. Empacotamentos similares são a matriz de contatos (LGA ou *Land Grid Array*) e a matriz de pinos (PGA ou *Pin Grid Array*), sem, contudo, utilizar esferas de solda. Normalmente o passo ou distância entre as esferas no BGA é da ordem de mm, conforme foi mostrado na Figura 5, mas pode ser reduzido até décimos de mm, para empacotamento na escala do chip (CSP ou *Chip Scale Package*).

Na fabricação do encapsulamento BGA, microesferas de solda são fixadas no chip, que, por sua vez, é soldado por compressão térmica no substrato, que possui contatos com um diâmetro apropriado. Duas técnicas podem ser utilizadas: *Flip-chip* com resina de subpreenchimento e *Flip-chip* moldável. Na primeira, após a solda, aplica-se uma resina de subpreenchimento ao redor do chip. Esta resina, quando aplicada, é líquida e se espalha, preenchendo toda a parte inferior do chip, escorrendo entre as microesferas. Depois o conjunto é submetido à cura térmica, para que a resina se solidifique e realize a adesão mecânica do chip com o substrato. Na segunda técnica, após a solda, realiza-se a moldagem com aplicação de material termoplástico aquecido em todo o conjunto e, depois de resfriado, este material se constitui no encapsulamento. Em seguida, para ambas as técnicas, esferas de solda são fixadas na face inferior do substrato. A Figura 4 mostra as etapas de processo de fabricação do encapsulamento BGA em ambas as técnicas. [14] Após a fabricação do encapsulamento BGA, haverá uma nova etapa de solda na sua montagem sobre a PCI, que pode ou não utilizar a resina de subpreenchimento.

O empacotamento BGA tem as vantagens de ser compacto, permitindo uma alta densidade dos contatos; ele também provê uma boa condutividade térmica com a PCI, e as esferas, por terem diâmetro pequeno em comparação com o comprimento de terminais ou pinos, apresentam características elétricas melhores (menores indutância e resistência parasitas), sendo assim apropriadas para circuitos de RF. Nota: A capacitância parasita depende da distância entre contatos adjacentes, sendo maior que a de terminais e pinos para a mesma distância. Basicamente as desvantagens estão relacionadas às suas características mecânicas, como a sua rigidez, resultante da melhor distribuição dos contatos que torna o empacotamento BGA mais

sensível às variações de temperatura do que no uso de terminais e pinos, geralmente dispostos na periferia. Outra desvantagem é a diferença entre os coeficientes de dilatação do CI (ou seu encapsulamento) e da PCI, o que pode, com a variação da temperatura, danificar o encapsulamento do CI ou soltá-lo da PCI.

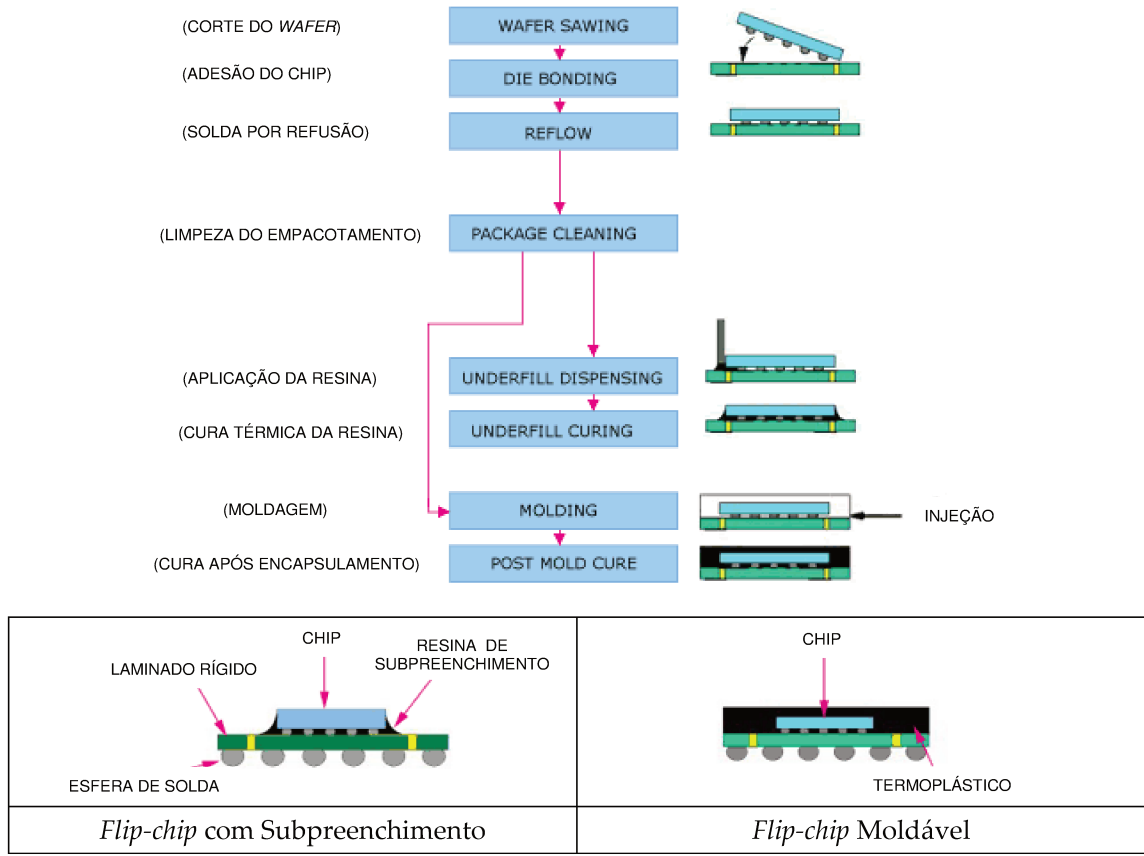


Figura 4 - Etapas do processo *flip-chip* com subpreenchimento e *flip-chip* moldável. [14]

Nota: O encapsulamento de matriz de colunas (CGA ou *Column Grid Array*), mostrado na Figura 5 à direita, foi projetado para amenizar este problema. O encapsulamento BGA também requer equipamentos específicos para montagem (equipamento de posicionamento e forno) e para inspeção da solda (raio X, controle ótico). A montagem do BGA é uma etapa crítica que depende de muitos fatores como a precisão do posicionamento, tipo de pasta de solda, perfil da temperatura do forno, presença de umidade ou impurezas que podem causar a explosão das esferas durante o aquecimento, etc. Finalmente, do ponto de vista do acesso, é muito difícil retrabalhar um BGA, portanto, a etapa de prototipagem é crítica. Um encapsulamento BGA que se soltou da PCI requererá a substituição de todas as esferas, para permitir uma nova montagem. Equipamentos de retrabalho de BGA, com tubos de ar quente específicos para a

configuração do empacotamento ou com laser, permitem o aquecimento localizado para soldar ou dessoldar o empacotamento.

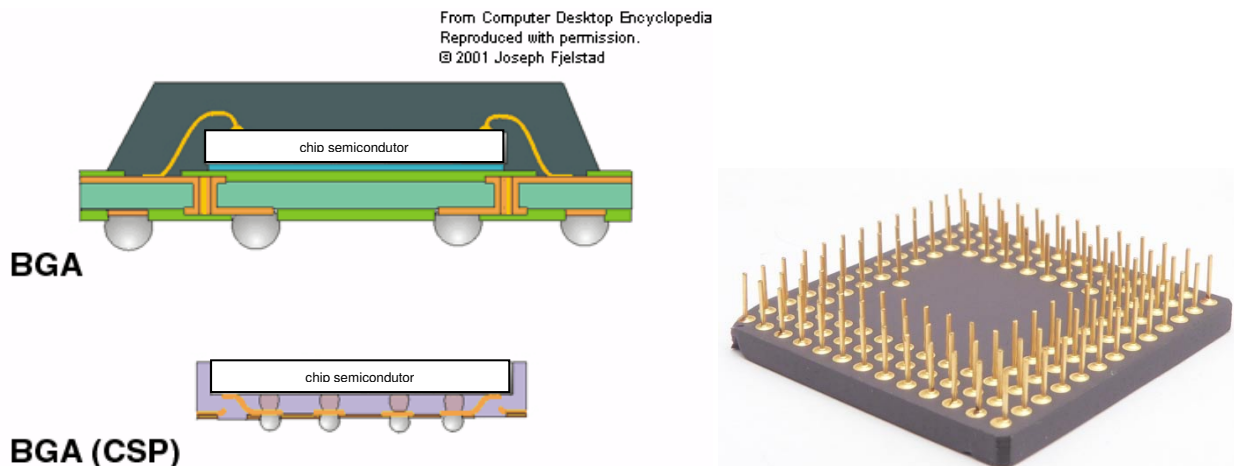


Figura 5 - Exemplos de empacotamento BGA (solda do chip seguida de microsolda do fio e montagem *flip-chip*) e um empacotamento CGA (à direita). [15]

Há variações quanto aos nomes específicos atribuídos pelos diversos fabricantes: Micro esferas (μ BGA), BGA de passo reduzido (FBGA ou *Fine Pitch BGA*), BGA fino, BGA cerâmico e outros.

1.1.3.2 EMPACOTAMENTO LGA

No empacotamento LGA, ao contrário da matriz de esferas ou pinos, esferas de solda ou terminais metálicos são substituídos por contatos metálicos. Realiza-se a conexão elétrica entre os contatos do metálicos do CI e da PCI através de pequenas molas condutoras, contatos elastoméricos, ou até mesmo fios de molibdênio revestidos de ouro. [15] É necessário utilizar um soquete para manter as molas ou contatos no lugar correto debaixo do componente e para pressionar mecanicamente o CI sobre eles. A matriz de contatos permite obter uma densidade maior que a matriz de pinos, como é o caso de um microprocessador. Outra vantagem é a redução da altura da conexão, e também a redução da resistência elétrica, da indutância e da capacitância parasita, sendo adequada para operação em frequências elevadas (RF). Com a supressão do terminal, o CI se torna menos frágil. Porém o empacotamento LGA apresenta um custo maior de fabricação e montagem, mas as empresas, como a Intel Corporation, esperam compensar o maior custo com a redução de defeitos nos terminais. Veja a aplicação de um empacotamento LGA na Figura 6 à esquerda.

Desde 1996 o empacotamento LGA tem sido utilizado em processadores de servidores e depois, em microprocessadores de PC pela Intel (famílias Pentium 4, Xeon e Core 2) e pela AMD (família Opteron). [15] O empacotamento LGA aceita testes em produção, caracterização do desempenho e testes locais (in-situ).

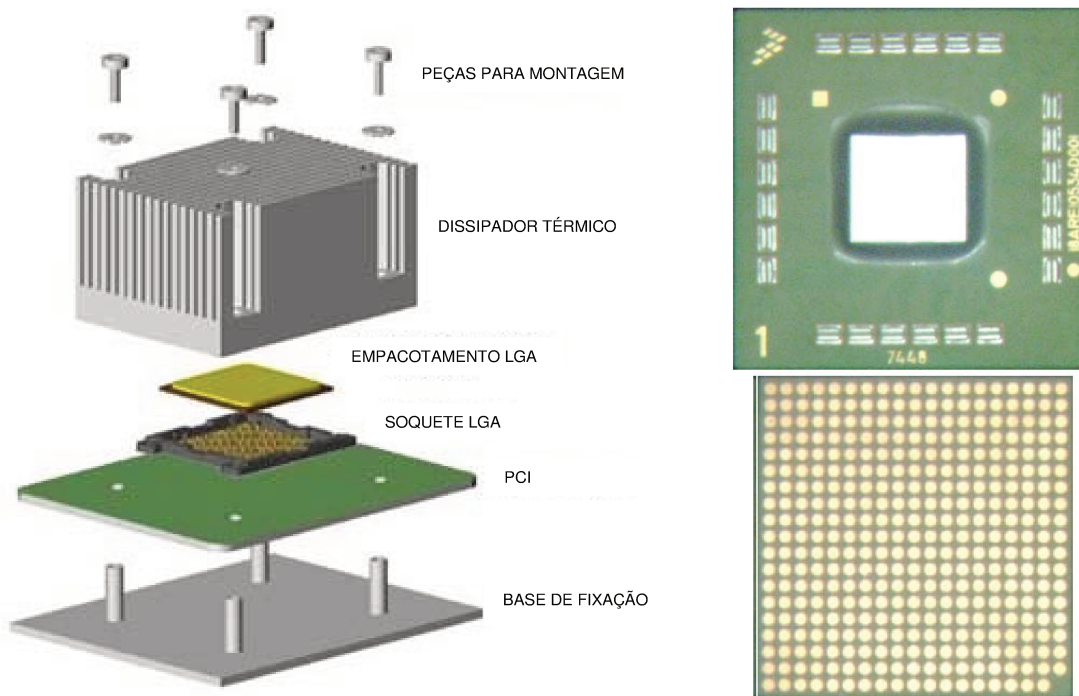


Figura 6 - Exemplo de montagem LGA de um processador (Intel) e um empacotamento LGA (Freescale), vista superior e inferior (à direita). [15]

1.1.4 MONTAGEM DE PCI, PTH, SMT E MIC

A placa de circuito impresso (PCI) tem sido utilizada para interconexão elétrica e eletrônica de componentes, há muito tempo. A PCI é feita basicamente de um substrato dielétrico (não condutivo ou isolante) com deposição de uma película de cobre. Utilizando processos químicos, pode-se definir facilmente um circuito com linhas ou trilhas, pela impressão de uma máscara de proteção e, em seguida, realiza-se a corrosão das áreas expostas de cobre. Antigamente os componentes costumavam ter fios ou terminais para interconexão e, assim, fazendo-se furos na PCI, realizava-se a fixação dos componentes pela montagem através dos furos, pelo processo de solda. Esta técnica de montagem era chamada de Pinos Através de Furos (PTH ou *Pin Through Holes*) e a montagem da PCI utilizava a solda manual ou por onda. Os primeiros empacotamentos de CI, como o DIP, eram compatíveis com esta montagem.

Com o desenvolvimento da tecnologia, pressionando pela miniaturização, os componentes discretos foram reduzidos em tamanho e, finalmente, acabaram perdendo seus terminais ou pinos. Contatos ou terminais foram colocados diretamente no corpo dos mesmos. Foram desenvolvidas também PCIs com dupla lâmina metálica, ou seja, nas faces superior e inferior do substrato. Para reduzir a área da PCI e os efeitos parasitas (resistência e indutância) das trilhas, uma nova técnica de montagem, chamada tecnologia de montagem em superfície (SMT ou *Surface Mount Technology*), foi desenvolvida, e a maioria dos CIs ainda hoje são compatíveis com este método de montagem, que costuma utilizar solda por refusão. Com a redução dos efeitos parasitas, a SMT contribuiu para a operação dos circuitos em frequências mais altas até RF. Os componentes compatíveis com SMT são chamados de componentes para montagem em superfície (SMD ou *Surface-Mount Devices*). Atualmente a PCI pode ter múltiplas camadas dielétricas alternadas com películas de cobre e, por este motivo, é chamada de PCI de múltiplas camadas (*multilayer*).

Uma tecnologia de montagem particular, chamada de Circuitos Integrados Híbridos de Micro-ondas (MIC ou *Microwave Integrated Circuits*) foi desenvolvida nos anos 80, antes da SMT. Em lugar dos substratos de PCI, utilizam-se substratos de cerâmica (alumina) ou de safira. Filmes metálicos são depositados sobre os substratos por processos físicos ou químicos, de forma similar aos utilizados na fabricação de CIs CMOS, e os circuitos e padrões são definidos num processo similar ao da fotolitografia. Esta tecnologia, muito mais precisa que a da PCI, tem sido utilizada para circuitos de micro-ondas, que requerem definições bem precisas dos circuitos, da ordem de microns. A microfita (*microstrip*), uma fita metálica na superfície superior do substrato, é comumente utilizada, porque a superfície inferior do substrato é totalmente metalizada para prover um plano de aterramento, e também possibilitar a sua montagem pelo processo de solda, semelhante à montagem do chip no seu encapsulamento (*die-attaching*). Cada componente discreto é fabricado com material e tecnologia mais adequados. Em seguida, os componentes são montados sobre o circuito de microfita na posição vertical através da solda eutética ou adesão com epóxi condutivo. O outro terminal, normalmente no topo do componente, é conectado por microsolda de fio ou fita ao circuito ou a outro componente, no terminal superior (vide a Figura 7). Em outras palavras, os componentes de micro-ondas devem

ser compatíveis com os processos de fixação por solda e interconexão por microsolda de fio, para permitir a montagem na tecnologia MIC. A sua maior desvantagem é o custo elevado, devido ao ouro requerido para metalização do substrato, dos terminais dos componentes e na composição da solda e dos fios, e devido à montagem manual ou semi-automática. Por isto a tecnologia MIC está restrita à aplicações de alta frequência, onde o custo elevado compensa os requisitos apertados de desempenho.

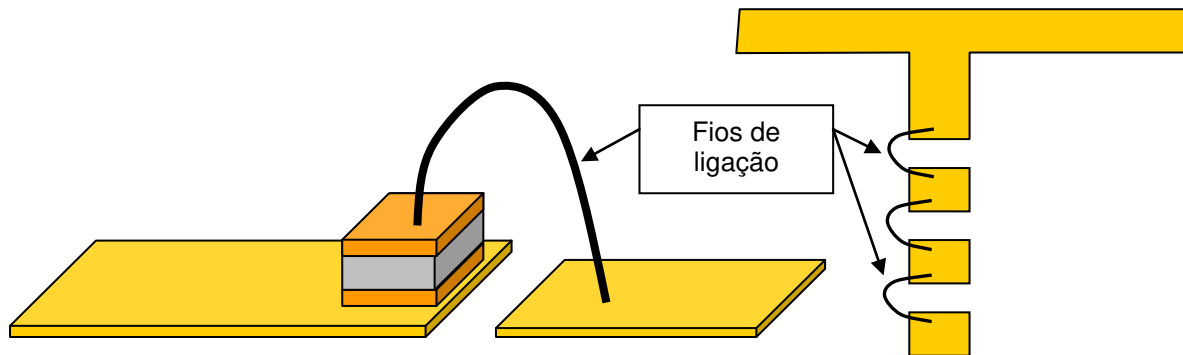


Figura 7 - Montagem de um capacitor chip (à esquerda) e fios conectando padrões e circuitos de microfita (à direita).

Em relação aos CIs, existe uma técnica mais recente de montagem por adesão direta (*direct attach*), também chamada de *Chip-on-Board* (COB), na qual o chip sem nenhum encapsulamento é soldado diretamente na PCI e de forma semelhante à solda do chip no encapsulamento. Os contatos do chip, que ficam na face superior, são interligados à PCI por meio de ligações de solda de fio, similar à tecnologia MIC, mas o fio de alumínio pode ser utilizado no lugar do fio de ouro. Apesar da vantagem de simplicidade e redução de custo, a montagem fica sujeita a riscos de danos físicos. Para reduzir este risco, pode-se aplicar uma resina *glob-top* sobre toda a montagem. A resina *glob-top*, que é pastosa durante a sua aplicação, passa por cura térmica, tornando-se rígida, compactando e protegendo toda a montagem. Ressalta-se que esta resina pode influenciar no desempenho em frequência elevada, principalmente porque esta resina altera as condições da montagem, para uma diferente da prevista no projeto, pois a resina tem características dielétricas diferentes do ar.

1.1.4.1 EMPACOTAMENTO CASTELAÇÃO

O empacotamento LLCC (Suporte de Chip Sem Terminais ou *LeadLess Chip Carriers*) ou do tipo Castelação é caracterizado por conexões externas, consistindo de terminais metálicos incrustados na borda do encapsulamento. O nome castelação vem da semelhança do empacotamento com os muros de um castelo ou com as bordas picotadas dos selos postais, quando visto de cima. [15]

Componentes com empacotamento castelação são soldados por refusão, técnica similar à SMT. A montagem do CI com este empacotamento requer o uso de contatos metálicos expostos na superfície da PCI. A pasta de solda pode ser depositada previamente na PCI por técnicas como de serigrafia. A seguir, o CI deve ser posicionado na PCI, alinhando-se os contatos do encapsulamento com os da PCI. Submetendo-se a montagem ao aquecimento, ocorre a fusão da solda que, sendo fluida, sobe e se espalha até os contatos do encapsulamento, realizando a interconexão (vide Figura 8).

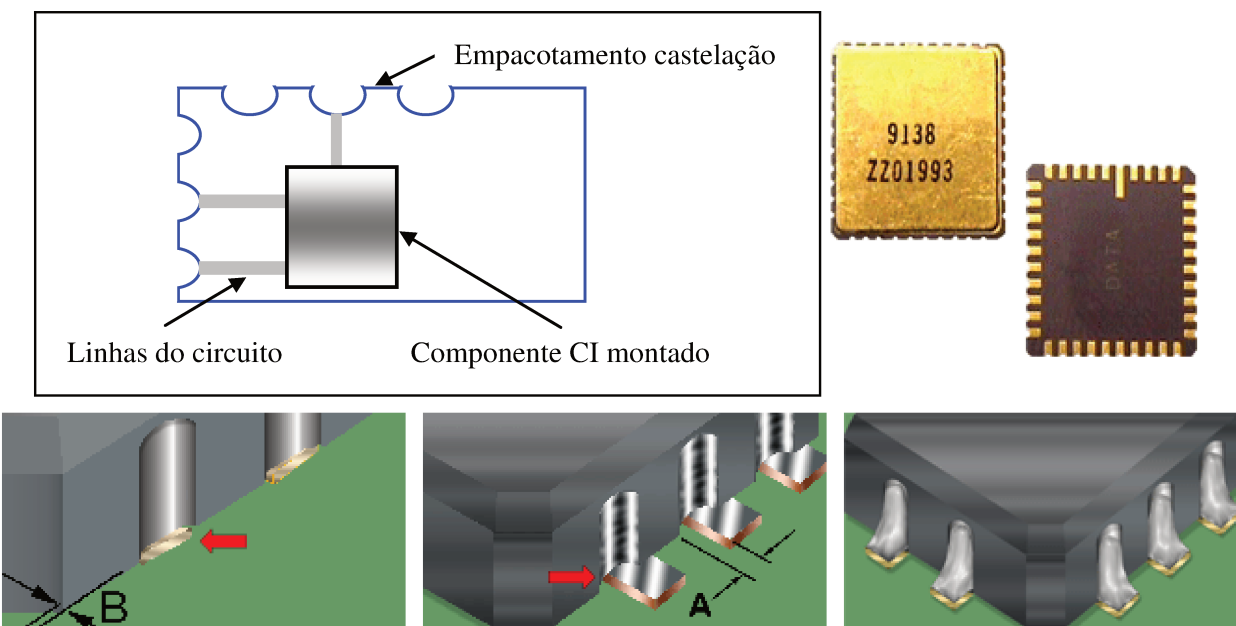


Figura 8 - Empacotamento castelação no LTCC (acima à esquerda), vista superior e inferior de um LLCC (acima à direita), contatos de castelação antes e após a solda por refusão (abaixo). [15]

1.1.5 MCM, LTCC E HTCC

A integração pode ser realizada com tecnologias MCM (*Multi-Chip Module* ou Módulo de Múltiplos Chips), num módulo fabricado com deposição de filmes sobre um substrato (MCM-D) ou fabricado com Cerâmica cossinterizada (MCM-C). LTCC e HTCC são tecnologias de integração de sistemas MCM-C, possibilitando também a integração de componentes passivos e de dispositivos tais como estruturas de RF e antenas. O módulo resultante desta integração recebe algum tipo de empacotamento, que permite a sua utilização direta ou montagem eletrônica. As tecnologias de cerâmica cossinterizada sob baixa temperatura (LTCC ou *Low temperature Cofired Ceramic*) e sob alta temperatura (HTCC ou *High Temperature Cofired Ceramic*) utilizam múltiplas camadas cerâmicas e técnicas de impressão serigráfica, para definir padrões e vias metálicas, similares aos da PCI. Nota: A via é um furo total ou parcialmente metalizado que transpassa o substrato dielétrico e interliga padrões ou diferentes camadas de metal. A seguir, todas as camadas são alinhadas e submetidas à pressão e cura térmica no forno, processo de cossinterização à alta ou baixa temperatura. Esta tecnologia é flexível, pois permite o uso de diferentes materiais dielétricos como alumina (Al_2O_3) e nitreto de alumínio (AlN) para HTCC e LTCC. Molibdênio (Mo) e Tungstênio (W) para HTCC, ou Cobre (Cu) para LTCC podem ser utilizados como materiais condutores. Ouro (Au) e Níquel (Ni) podem servir para acabamento e película na superfície, de acordo com os requisitos do processo de montagem. Esta tecnologia também possibilita a integração de componentes passivos como indutores, capacitores e resistores. LTCC e HTCC possibilitam também a fabricação simples de cavidades, devido à sua estrutura de múltiplas camadas. A tecnologia HTCC basicamente se diferencia da LTCC pelas características térmicas de seus materiais, que suportam uma temperatura maior e, por consequência, são também compatíveis com várias técnicas de montagem como a solda por refusão ou ar quente, SMT, solda eutética de chips ou adesão com cola condutiva, conexão por microsolda de fio/fita, interconexão *flip-chip*, etc. Para o empacotamento final do módulo de integração, pode-se utilizar como tampa uma camada do mesmo material, um invólucro metálico, *glob-top* ou moldagem plástica. O módulo pode dispor de contatos como nos empacotamentos BGA, LGA e castelação para sua montagem na PCI. Uma de suas

desvantagens, quando a operação se desloca para altas frequências, é a limitação da escalabilidade (redução das dimensões físicas que acompanha a redução do nó tecnológico).

Circuitos de ondas milimétricas requerem uma definição precisa em combinação com um projeto e métodos de fabricação confiáveis para atender às tolerâncias, da ordem de dezenas de microns. Por utilizar técnicas de fabricação consagradas, como de serigrafia na definição dos circuitos e padrões metálicos, alinhamento das camadas e pressão sob alta temperatura, esta tecnologia proporciona suficiente precisão e tolerância para projetos com aplicações em frequências até a banda W (75 a 110 GHz). O custo é considerado baixo, quando comparado com os processos de CMOS padrões, mais próximo aos de fabricação de PCIs. [16] Alguns dos fabricantes de substrato LTCC e HTCC são DuPont, Ferro, Heraeus e Kyocera. A última é também um fabricante dos módulos LTCC e HTCC, além da CTS Microelectronics (EUA), MicroSystem Engineering (Alemanha) e NTK.

1.1.6 MMIC, SiP E SoC

Circuitos Integrados Monolíticos de Micro-ondas (MMIC ou *Monolithic Microwave Integrated Circuits*), a tecnologia de circuitos integrados (CIs) para aplicações de micro-ondas, sucederam à tecnologia MIC. O desenvolvimento de circuitos integrados, com a redução do nó tecnológico, aumentou as frequências de utilização dos transistores e, conseqüentemente, permitiu o uso em frequências mais altas. Por outro lado, devido às características elétricas limitadas do silício e do óxido de silício nos CIs CMOS em aplicações de alta frequência, materiais e tecnologias alternativos foram desenvolvidos, como os semicondutores III-V onde se incluem o Gálio (Ga), Arsênio (As), Índio (In), Fósforo (P), Germânio (Ge), e combinações entre eles ou mesmo com o silício, transistores bipolares de junção heterogênea (HBT ou *Heterojunction Bipolar Transistor*), transistores de alta mobilidade de elétrons (HEMT ou *High Electron Mobility Transistor*) e transistores MOS de difusão lateral (LDMOS ou *Laterally-Diffused Metal Oxide Semiconductor*). Juntamente houve o desenvolvimento dos componentes integrados passivos de micro-ondas, basicamente resistores, capacitores e indutores, adequados para utilização em micro-ondas, viabilizando a realização de circuitos completamente integrados a um custo viável e competitivo para um grande volume de produção.

A tecnologia CMOS bipolar (BiCMOS), que associa as tecnologias bipolar e CMOS em substratos de silício, também é uma alternativa desenvolvida para aplicações de maior potência e frequência mais alta, que procura utilizar as mesmas etapas de processo de fabricação CMOS, com algumas variações, de forma a reduzir o custo de fabricação em relação aos MMICs. No entanto a tecnologia BiCMOS ainda é limitada em termos de desempenho, em comparação com os semicondutores III-V.

O desenvolvimento de MMICs contribuiu para a evolução do sistema no empacotamento (SiP ou *System-in-Package*), que consiste em associar chips de circuitos digitais (memórias e circuitos de lógica) com circuitos analógicos e MMICs de RF, interconectá-los e encapsular a montagem num único empacotamento. A vantagem é poder associar circuitos integrados com diferentes tecnologias, pois ainda não há uma única tecnologia com desempenho satisfatório e custo competitivo para todas as aplicações de circuitos, que é o objetivo da tecnologia do sistema no chip (SoC). Técnicas de montagem da tecnologia MIC, como ligação de fio ou fita por microsolda e circuitos de filme fino, também são utilizadas. Contudo há novas tecnologias em desenvolvimento como o empilhamento 3D (*3D-stacking*), utilizando *flip-chip* e/ou vias no silício (TSV ou *Through Silicon Vias*).

O desenvolvimento mais recente é o sistema no chip (SoC ou *System-on-Chip*), que tem sido o foco das pesquisas e desenvolvimentos nos últimos anos. O desafio é desenvolver uma única tecnologia que permita a integração de um sistema completo para todos os tipos de circuitos (lógica digital e memórias, analógico e RF) com bom desempenho, confiabilidade e custo efetivo, tudo no mesmo substrato de silício. As tecnologias RF CMOS são exemplos deste desenvolvimento e, assim como na tecnologia BiCMOS, constituem-se em variações de processo da tecnologia CMOS, que é a mais difundida atualmente e de menor custo. A principal vantagem é utilizar-se da enorme escala de produção de CI CMOS, com alguns processos diferenciados, porém, no mesmo material (silício). Isto tem sido possível principalmente com as vantagens decorrentes da redução do nó tecnológico que, reduzindo os efeitos parasitas (capacitâncias), contribuiu para o aumento das frequências de utilização dos transistores. No atual estágio de desenvolvimento, o desempenho técnico ainda é limitado, mas a sua aplicação se amplia juntamente com o seu desenvolvimento.

1.1.7 LINHAS DE TRANSMISSÃO DE RF

Em circuitos de RF e micro-ondas, utilizam-se linhas de transmissão para condução do sinal entre os componentes de um sistema. Visando a utilização no projeto da integração no módulo, foram analisadas somente as linhas com estruturas planares, excluindo-se estruturas como o cabo coaxial e o tradicional guia de ondas de perfil retangular, que são de fabricação complexa na tecnologia de camadas múltiplas, e difíceis para integração com outros componentes.

Em projetos de circuitos de micro-ondas e RF, a configuração de linha mais comum é a microfita ou *microstrip*, que consiste de um simples condutor no topo de um substrato dielétrico cuja superfície inferior é totalmente aterrada (Figura 9). [17] A partir dos parâmetros característicos de espessura do substrato dielétrico, h , e da sua permissividade relativa, ϵ_r , define-se a impedância característica, unicamente através da largura da microfita, W , considerando-se que ocorra o modo de propagação quasi TEM (ondas Eletromagnéticas Transversas).

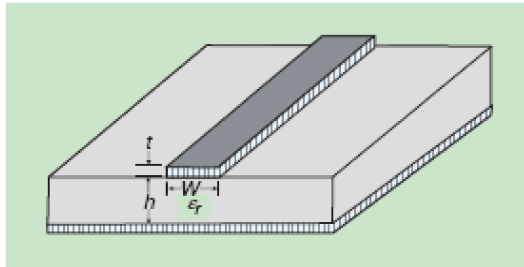


Figura 9 - Vista em corte de uma microfita. [18]

Este modo quasi TEM é considerado nas ferramentas software de projeto da microfita e, requer as seguintes condições, para que não ocorram outros modos de propagação [15] :

$$h < \frac{c}{4 \times f_{max} \times \sqrt{\epsilon_r}} \quad (13)$$

$$W < \frac{c}{2 \times f_{max} \times \sqrt{\epsilon_r}} \quad (14)$$

$$f < f_{max} \quad (15)$$

com:

$$f_{max} = \frac{21 \times 10^6}{(W + 2h) \times \sqrt{\epsilon_r + 1}} \quad (16)$$

Outra configuração de linha de transmissão é a CPW (Guia de Onda Coplanar ou *Coplanar Waveguide*), [19] que basicamente consiste de uma fita condutora central na superfície do substrato dielétrico, com dois condutores de aterramento paralelos no mesmo plano (coplanares) a uma distância s , um de cada lado, conforme mostrado na Figura 10. A impedância característica desta linha de transmissão é determinada tanto pela largura do condutor central w como pelo espaçamento s entre a fita condutora central e os condutores de aterramento. O substrato tem uma espessura h . Certo valor de impedância pode ser obtido para uma variação da largura da CPW ($2 \times s + w$), oferecendo maior flexibilidade no projeto.

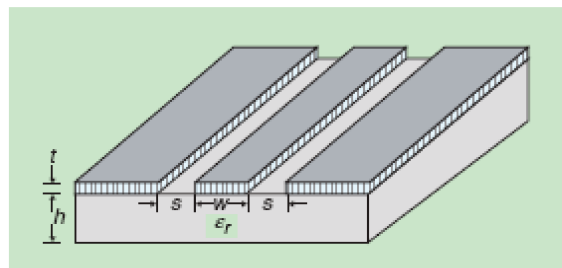


Figura 10 - Configuração da guia de onda coplanar (CPW). [18]

Para aproximação do modo quasi TEM, a CPW deve satisfazer as seguintes condições [15]:

$$h < 0,12 \times \lambda \quad (17)$$

$$(w + 2 \times s) < \lambda/10 \quad (18)$$

$$w_g \gg (w + 2 \times s) \quad (19)$$

onde: w_g : largura dos condutores de aterramento

Há um modo indesejável que ocorre com o aterramento no fundo de uma configuração CPW, condição que geralmente ocorre em aplicações práticas. Esta outra configuração é conhecida como guia de onda coplanar aterrada (GCPW ou *Grounded Coplanar Waveguide*) ou guia de onda coplanar com condutor no lado de baixo (CBCPW ou *conductor backed coplanar waveguide*). [20] O aterramento na parte inferior do substrato acrescenta capacitância e altera as características da linha de transmissão em relação à CPW. Assim, desaconselha-se o uso de largura da fita condutora central e espaçamento maiores, bem como a escolha de espessura reduzida do substrato, em que o condutor central se assemelhe à linha de transmissão do tipo

microfita. Contudo o problema mais comum com o aterramento de fundo é a excitação do modo de guia de onda em placas paralelas. [21]

Outra configuração de linha de transmissão é a fita coplanar (CPS ou *Coplanar Parallel Strip*). [22] [19] [23] Esta consiste basicamente de dois condutores paralelos sobre a mesma superfície, uma para o sinal e outra para o aterramento. O coeficiente de atenuação da fita coplanar depende de parâmetros dimensionais como as larguras do condutor de sinal $W1$ e do condutor de aterramento $W2$, o espaçamento entre os condutores S e as espessuras do condutor t e do substrato h , conforme mostra a Figura 11.

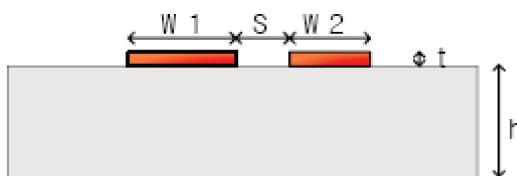


Figura 11 - Fita coplanar (CPS) vista em corte. [24]

Um dos importantes parâmetros é a perda ou atenuação das micro-ondas que se propagam pelas linhas de transmissão. Na fita coplanar, de forma similar à CPW, diferentes combinações de S , $W1$ e $W2$ resultam em diferentes coeficientes de atenuação para uma mesma impedância característica. Condutores estreitos têm maior densidade de corrente e, conseqüentemente, apresentam maior resistência e perda na transmissão. De maneira análoga, um pequeno espaçamento entre os condutores da fita coplanar apresenta maior perda, devido à maior densidade de corrente existente nas bordas entre os mesmos.

Há outras configurações de linhas de transmissão conhecidas, como a linha de fita (*stripline*), a linha fendida (*slot line*) e a linha de fendas acopladas (*coupled slot line*). A linha de fita é composta por um condutor colocado entre dois substratos dielétricos planos, com a superfície externa dos dois substratos cobertos por planos condutivos de aterramento. [25] [26] [27] [28] Esta configuração requer dois planos de aterramento e, devido à necessidade de vias entre as camadas, não se aplica de forma prática no projeto do SiP. A linha fendida é formada por uma fenda estreita ou um espaçamento em uma camada condutiva numa das superfícies de um substrato dielétrico plano e a outra superfície do substrato dielétrico está em contato com ar. [28] A *coupled slot line* ou *parallel slots* (fendas paralelas) é composta por duas fendas paralelas numa

camada condutiva sobre um substrato dielétrico. [30] Estas duas últimas configurações são de difícil integração com os componentes e, por esta razão, também não foram consideradas para utilização.

1.2 TECNOLOGIA

Como consequência da revisão bibliográfica, cujos resultados estão no Capítulo 2, definiu-se a integração do tipo SiP ou sistema no empacotamento, a melhor e mais apropriada alternativa para integração do CI transceptor, do MMIC amplificador de alta potência (HPA) e das antenas do tipo IPD, componentes principais do sistema. Dentre as tecnologias disponíveis, tanto interna como externamente à ST, foi definida a tecnologia LTCC/HTCC fornecida pela empresa Kyocera, que prestou suporte neste desenvolvimento. Durante o projeto do módulo, considerando as restrições dos materiais e os requisitos de montagem, houve a definição final pela tecnologia HTCC, que será justificada no item 4.1. Portanto o módulo para integração SiP utiliza a tecnologia HTCC e a demonstração se baseia no módulo de teste que serviu para as avaliações da própria tecnologia HTCC, como também da montagem dos componentes, do módulo na sua aplicação e do desempenho obtido pela antena integrada.

1.3 OBJETIVO

O objetivo deste trabalho é pesquisar alternativas para realização de integração de sistema de CIs (chips), selecionar a melhor alternativa em termos de desempenho, custo e viabilidade de fabricação e, em seguida, realizar o projeto de acordo com a alternativa escolhida, para demonstrar sua viabilidade e seus benefícios, contribuindo para a industrialização e aplicação na interface HDMI sem fio pela empresa ST. Por causa do ineditismo tanto em termos de proposta quanto às exigências de desempenho e viabilidade industrial, o projeto servirá para a introdução desta tecnologia na ST, incluindo o desenvolvimento e definições de técnicas de projeto, fabricação e montagem.

1.4 APRESENTAÇÃO

A dissertação se inicia no Capítulo 1 com a introdução teórica dos conceitos envolvidos, objetivo e a proposta, descrição das alternativas tecnológicas para integração de sistemas e da escolha realizada para o projeto do sistema aplicado à interface HDMI sem fio. No Capítulo 2 há um resumo com os resultados da pesquisa bibliográfica sobre integração de sistemas transceptores bem como a escolha da tecnologia e os critérios utilizados. No Capítulo 3 seguem as especificações técnicas dos componentes principais do sistema, incluindo seus requisitos de montagem. No Capítulo 4 descrevem-se as etapas e análises do projeto, até a definição de todas as características. A metodologia de projeto é desenvolvida e descrita bem como os resultados obtidos com uma descrição detalhada do módulo projetado. Inclui também o projeto de um módulo de teste adicional, que permitirá a avaliação de vários recursos e técnicas empregadas na viabilização do módulo do sistema. No Capítulo 5 estão os resultados experimentais obtidos com o módulo de teste, especificamente com a linha de transmissão e a caracterização da antena integrada no módulo de teste, com a análise destes resultados. No Capítulo 6, que encerra esta dissertação, estão as conclusões sobre o trabalho, incluindo a análise deste desenvolvimento e perspectivas para desenvolvimentos futuros. O Apêndice A contém uma descrição geral da empresa ST, de sua área, onde o projeto foi desenvolvido, e as linhas de produtos no mercado.

Capítulo 2

INTEGRAÇÃO DE SISTEMA TRANSECTOR

Realizou-se inicialmente a revisão bibliográfica sobre integração de sistema transceptor, principalmente para aplicações em ondas milimétricas e frequências superiores a 50 GHz. Foram analisados aspectos como tecnologias de integração, antenas e formas de integração SiP. A seguir são apresentados os resultados gerais, bem como o estado da arte e a escolha da tecnologia no item 2.2.

2.1 RESULTADOS DA REVISÃO BIBLIOGRÁFICA

Para a integração de um sistema que utiliza a tecnologia CMOS 65 nm, a primeira opção analisada foi a SoC (Sistema no Chip), com o sistema e seus circuitos digitais, analógicos e de RF, incluindo a antena, todos integrados no mesmo chip. Nesta tecnologia há algumas restrições como na potência de saída, pois é necessário amplificar o sinal transmitido.

Pesquisando-se na literatura técnica as aplicações em ondas milimétricas, foram encontradas tecnologias alternativas ao CMOS, como a Bipolar CMOS (BiCMOS) de Silício-Germânio (SiGe) 0,18 μm com potência de saída de +15,8 dBm, no ponto de compressão de 1dB (P1dB), porém para uma banda mais estreita (56 a 62 GHz), insuficiente para os requisitos das aplicações HDMI sem fio. [31] BiCMOS SiGe é uma tecnologia recente de semicondutores que tem avançado significativamente em termos de nível de integração e componentes passivos.

Entretanto ela requer máscaras e etapas adicionais do processo de fabricação, em comparação com os processos padrão da tecnologia CMOS, que é a mais comum e largamente utilizada. Estas etapas são a implantação de coletor, abertura (*etching*) do emissor P, e a definição do contato de emissor em silício policristalino. A tecnologia BiCMOS permite o aumento da velocidade de chaveamento, devido à maior capacidade de corrente, porém resulta em maior dissipação térmica, com custo mais elevado, devido ao aumento da complexidade do circuito. Por esses motivos, a tecnologia BiCMOS tem sido utilizada em aplicações que requerem alta velocidade e tensão reduzida, como na área de comunicações e RF.

Os circuitos podem ser associados no interior do chip, de forma a multiplicar a potência de saída. [32] Uma potência de saída de +16 dBm com faixa de frequência de 2,5 GHz (77 GHz) foi obtida com a associação de quatro circuitos transmissores, que utilizavam linhas diferenciais, na tecnologia BiCMOS SiGe 0,12 μm . A desvantagem desta proposta é a maior área ocupada no chip, proporcional ao número de circuitos associados. As outras desvantagens estão descritas na análise das antenas, logo a seguir.

Os amplificadores de potência CMOS, embora tenham ampliado a frequência de utilização com a redução do nó tecnológico para 65 nm e outros menores, ainda não fornecem uma potência de saída maior que +10 dBm na banda de 60 GHz, requisito para a viabilização do sistema transceptor.

Foram encontrados alguns MMIC com semicondutores III-V como AlGaAs/InGaAs (Arseneto de Gálio e Alumínio/Arseneto de Gálio e Índio) 0,15 μm com transistor do tipo FET de junção heterogênea, e potência de saída de +11 dBm. [33] Também foram encontradas algumas propostas de integração SiP, em sua maioria utilizando amplificadores de potência MMIC de GaAs com potência de saída de no mínimo +14 dBm. Foram encontrados três amplificadores MMIC comerciais, com potência de saída em torno de +16 dBm, apropriados para a banda de 60 GHz e compatíveis com as técnicas de montagem de circuitos híbridos (MIC).

Outro aspecto importante a analisar é a antena, em termos de tamanho, configuração, integração e ganho, principalmente se for viabilizada a sua integração no chip ou no empacotamento. Isto pode representar uma vantagem significativa, considerando-se que nas interconexões e seus circuitos as perdas são elevadas em 60 GHz. A primeira solução

considerada foi a antena totalmente integrada no silício. As perdas dielétricas no substrato de silício, utilizado nos CIs CMOS, são elevadas e isto reduz o ganho das antenas. Encontrou-se uma antena do tipo fenda (*tapered slot*) integrada em BiCMOS SiGe 0,18 μm , com um elemento diretor externo, apresentando um ganho de 12 dBi em uma área de 0,4 x 0,8 mm². [31] Este tamanho representa cerca de 30% da área total do chip do transceptor, tendo um impacto significativo no custo. Encontrou-se também outra antena quádrupla do tipo dipolo, totalmente integrada em BiCMOS SiGe 0,12 μm com um ganho de -8 dBi. [32] Um bloco de silício não dopado (material com a mesma característica que o chip, mas de custo inferior) foi colocado junto à extremidade do chip, para manter a constante dielétrica do substrato uniforme debaixo da antena. Além disso o chip e o bloco foram montados sobre um disco de silício não dopado e uma enorme lente semi-esférica de silício foi montada abaixo do disco de silício, aumentando o ganho da antena para 2 dBi (veja na Figura 12 a seguir). A antena irradia através da lente, ou seja, na face de baixo do chip. O tamanho, a forma da montagem final, e a necessidade de o chip estar com a face inferior voltada para cima dificultam a viabilidade industrial desta proposta.

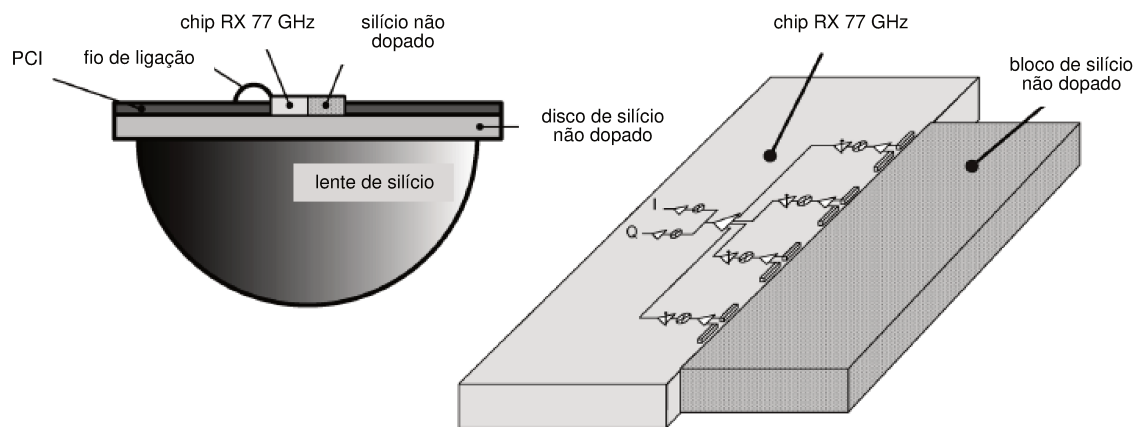


Figura 12 - Configuração da antena incluindo lente de silício, bloco e disco de silício não dopado. [32]

Uma antena dipolo dobrada (*folded dipole*), fabricada em silício de alta resistividade com cobre (processo damasceno), fixada sobre uma cavidade metalizada, microusinada em silício de baixo custo, foi proposta em [34], conforme a Figura 13. Ambos os discos de silício foram afinados. Um ganho de 6 a 8 dBi, larga banda de frequência, eficiência maior que 90% e dimensões de aproximadamente 2,2 x 2,2 x 0,55 mm³ foram estimadas pelo projeto de simulação. Embora esta antena empregue algumas técnicas de fabricação similares às de CIs, as

desvantagens são o posicionamento crítico entre a antena e a cavidade e o cuidado necessário para se evitar o excesso de adesivo nas partes da antena. A arquitetura do sistema, proposta juntamente com esta antena, mostrada na Figura 14, parece ser promissora para o futuro, com o desenvolvimento de TSV e técnicas para microusinagem do silício. O empacotamento poderia incorporar componentes passivos de RF, tais como resistores, indutores, chaves MEMS e antenas. [34]

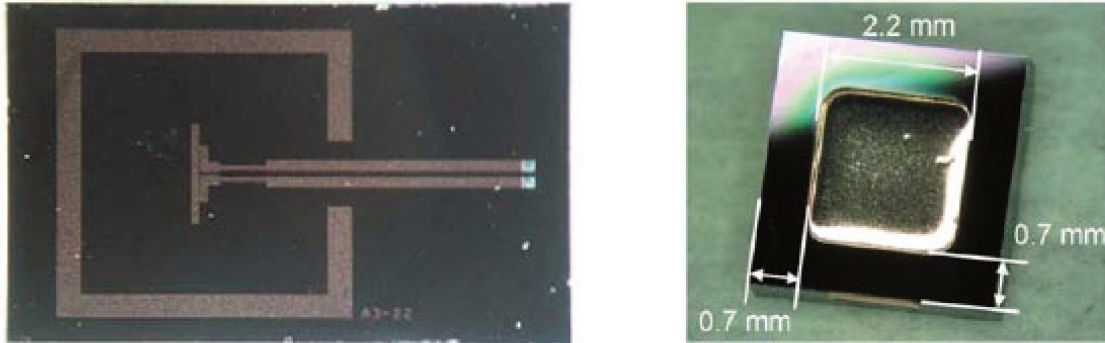


Figura 13 - Antena microusinada em silício de alta resistividade. [34]

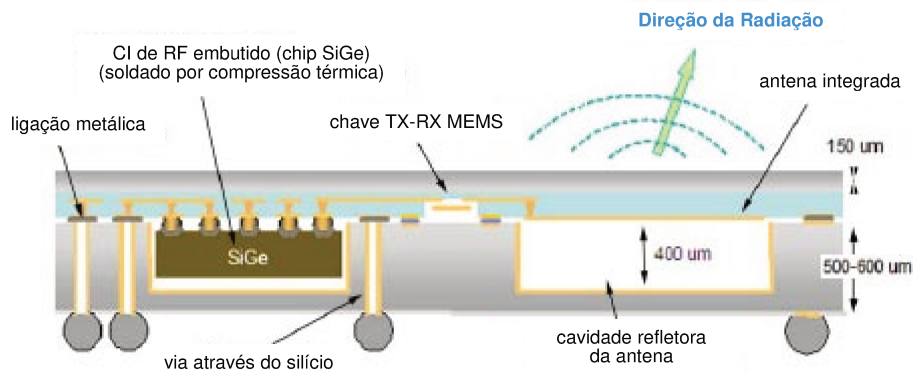


Figura 14 - Empacotamento baseado em silício de baixo custo para transceptor de 60 GHz. [34]

Foram encontradas muitas antenas integradas em LTCC para aplicações em frequências milimétricas como a de fenda dupla impressa sobre o substrato, com ganho de 4 dBi e área ocupada de $10 \times 3 \text{ mm}^2$. [35] Na época desta proposta, a tecnologia LTCC era promissora para aplicações de grande volume e baixo custo, com limitações em RF, devido às altas perdas no dielétrico e a baixa resolução de padrões (veja a antena, a estrutura LTCC e o esquema da montagem na Figura 15). Algumas das soluções deste empacotamento são as cavidades, formadas no substrato LTCC pelas múltiplas camadas, guia de onda coplanar embutida para interconexões entre MMICs, compatibilização de MMICs coplanares com a tecnologia de montagem *flip-chip* e a antena integrada. A tecnologia LTCC possibilita também a realização de

arranjo com múltiplas antenas, devido ao seu custo menor por área ocupada, comparada com a área no disco semiconductor, e sua flexibilidade. Outra vantagem importante é que dispõe de alternativas de empacotamento simples e direto como LGA.

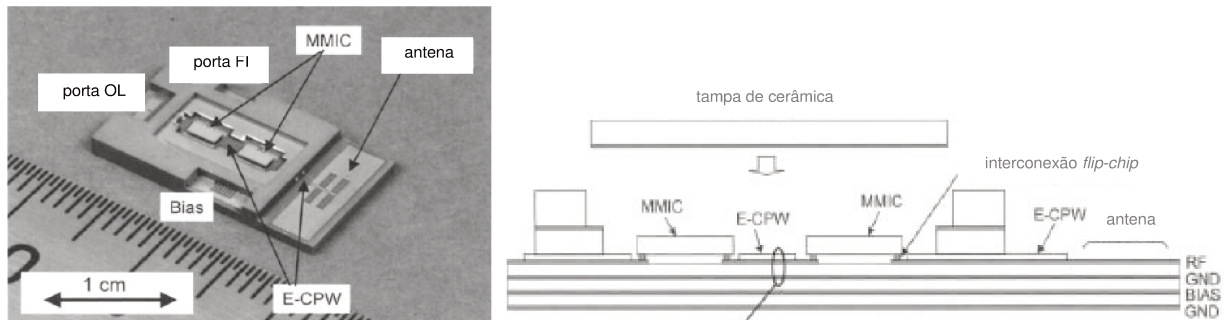


Figura 15 - Antena de fenda dupla integrada no substrato LTCC e solução LTCC de integração de sistemas (à direita). [35]

Conclui-se, assim, que a antena totalmente integrada em silício ainda não é viável, devido às perdas no substrato (característica de perda no dielétrico do silício) e a melhor solução no momento é a cavidade metalizada oca (ar) nas costas da antena, que poderia ser fabricada em silício microusinado, LTCC ou material metálico, pois o ar não apresenta perdas dielétricas.

Outra alternativa de integração é a aplicação das recentes técnicas de empilhamento e interconexão de diferentes chips, como CMOS, MMIC e IPD (descrita a seguir), utilizando-se interconexões verticais como as TSV (vias através do silício/substrato ou *Through Silicon Via*). A Figura 16 mostra algumas destas novas alternativas em desenvolvimento. Ainda há desafios tecnológicos para realização de TSV, de forma a assegurar a transmissão de sinais, interligação com alinhamento preciso dos chips, afinamento do substrato e manipulação do empilhamento de chips. Num futuro próximo espera-se que as técnicas de integração 3D se tornem mais vantajosas do que avançar para menores nós tecnológicos. Poderá, também, permitir a integração heterogênea como a cointegração de circuitos de RF, de lógica e de memória e sensores num espaço reduzido. Em termos de desempenho, elas possibilitarão o aumento da velocidade com a redução das distâncias, dos efeitos parasitas e das perdas ôhmicas nas interconexões. Devido à complexidade dos sistemas atuais e aos requisitos do empacotamento, ainda é necessário um substrato adicional que permita realizar as interconexões (entradas e saídas do sistema) como a PCI padrão, laminados orgânicos ou de RF ou silício de baixo custo. O empilhamento deve considerar as características mecânicas como a dissipação térmica e a

compatibilidade entre os coeficientes de expansão térmica dos diferentes materiais envolvidos, incluindo o adesivo ou a solda utilizada para prender um chip ao outro e o material do empacotamento ou encapsulamento final. [36]

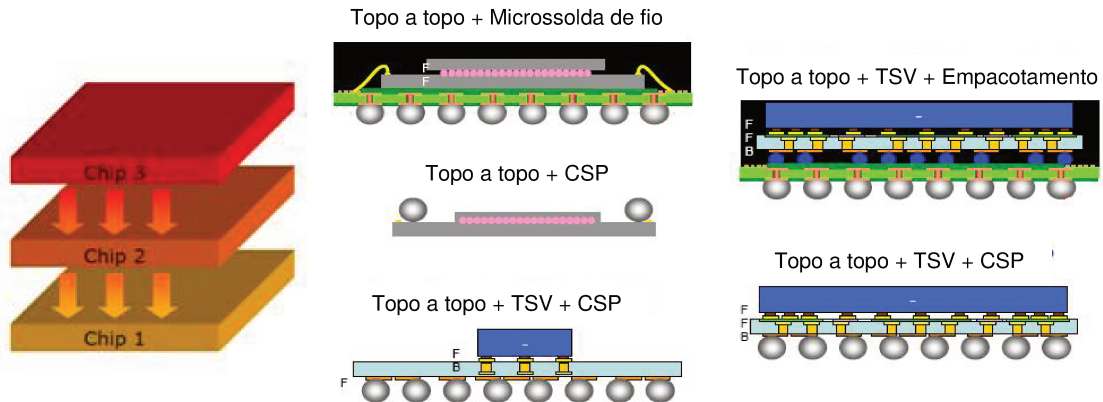


Figura 16 - Integração 3D e combinação de dois chips empilhados. [37]

Outra alternativa analisada foi a integração IPD (Componentes Passivos Integrados) em substratos de alta resistividade. Como a antena já utiliza a tecnologia IPD, com substrato de vidro, por que não aumentar as dimensões do substrato para, além da antena, incluir a montagem dos chips CMOS e MMIC? Outra vantagem significativa é que a tecnologia IPD pertence à própria ST e é compatível com os processos normais de fabricação CMOS (vide Figura 17).

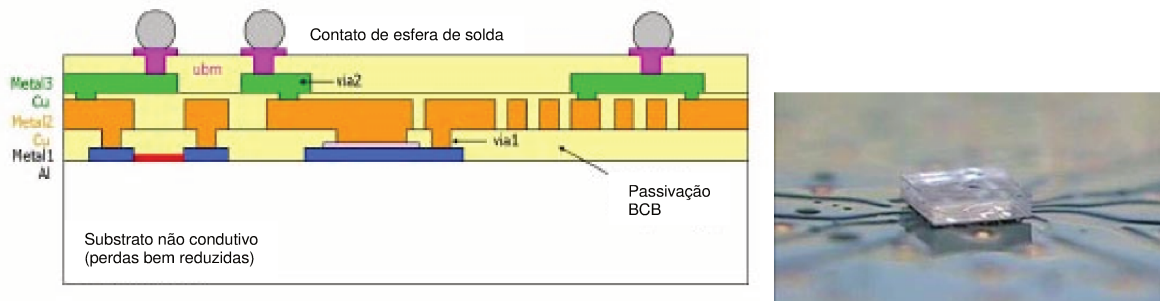


Figura 17 - Estrutura das camadas no substrato de vidro e um componente IPD soldado à PCI com *flip-chip*. [38]

Foram encontradas algumas aplicações SiP IPD em sistemas miniaturizados WiFi, que utilizam a banda de frequência de 2,4 GHz. [39] O substrato IPD poderia ser usado para a integração e empacotamento de todo o sistema (Figura 18 à direita) ou para integração parcial, juntamente com outras tecnologias de empacotamento (Figura 18 à esquerda). A tecnologia IPD dispõe de esferas de solda para a interconexão do tipo *flip-chip*.

Há, contudo, algumas limitações, considerando-se a aplicação da IPD em ondas milimétricas. A principal delas é a tolerância da espessura da camada dielétrica adicional de BCB (BenzoCycloButeno) em torno de $\pm 20\%$, similar à de CIs CMOS. Outra restrição é que ainda não é possível a realização de vias transpassando todo o substrato, o que restringe a montagem dos componentes e a dissipação térmica do HPA e, por consequência, pode afetar a sua confiabilidade.

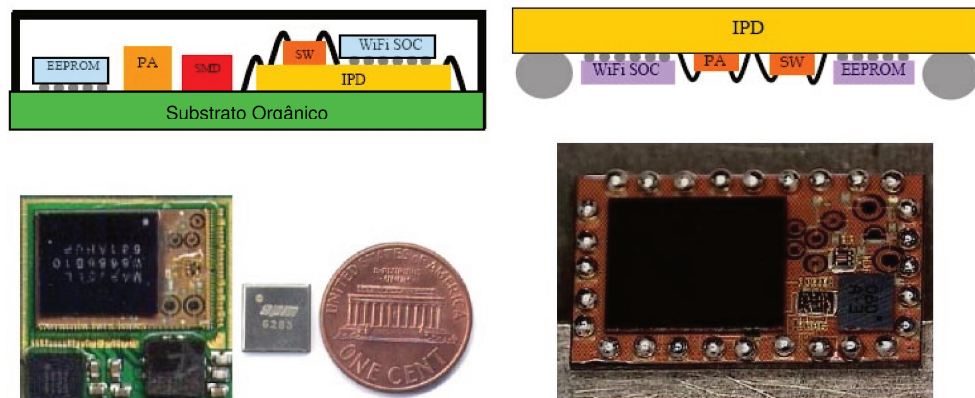


Figura 18 - Módulo miniaturizado de sistema WiFi utilizando SiP IPD. [39]

A seguir, analisou-se a integração LTCC ou HTCC. Foram encontrados vários exemplos de aplicações, inclusive na banda de 60 GHz, a partir do ano 2000 (Figura 15). [35] Nos últimos anos, as tecnologias de cerâmica cossinterizada sob baixa ou alta temperatura (LTCC ou HTCC) têm sido chave no projeto de módulos de alta integração e sistemas eletrônicos. Como exemplo foi encontrado um transmissor SiP LTCC para comunicação sem fio em 60 GHz, com um arranjo de antenas *patch* (retalho) com ganho de 7 dBi e dimensões $10 \times 10 \times 3 \text{ mm}^3$ (mostrada na Figura 19). [40]

Outra proposta foi encontrada com uma antena de alto ganho (14 dBi), à custa de uma área maior do substrato ($26 \times 18 \text{ mm}^2$), como mostra a Figura 20. [41] O módulo TX do sistema é composto por um ressonador, um modulador e uma antena, integrados no substrato LTCC com MMICs HEMT de GaAs, montados na superfície superior. Um SiP, incluindo uma antena triangular WB sobre substrato LTCC com ganho de 5 a 6 dBi, foi proposto recentemente. [42] O chip transceptor de SiGe foi colocado dentro de uma cavidade na parte inferior do LTCC e o SiP utilizou empacotamento BGA, conforme mostrado na Figura 21.

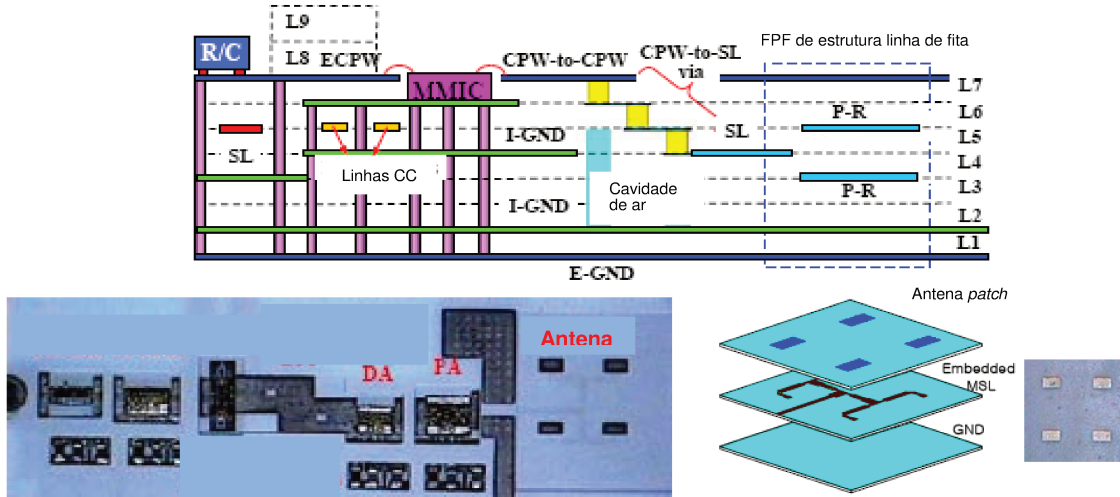


Figura 19 - TX 60 GHz em LTCC monolítico com arranjo de antenas *patch* 2 x 2 (abaixo à direita). [40]

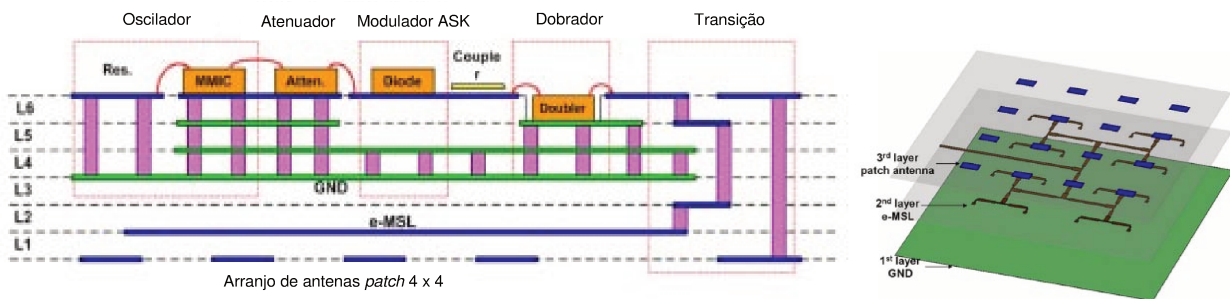


Figura 20 - TX 60 GHz em LTCC com arranjo de antenas *patch* 4 x 4 vista em 3 camadas (à direita). [41]

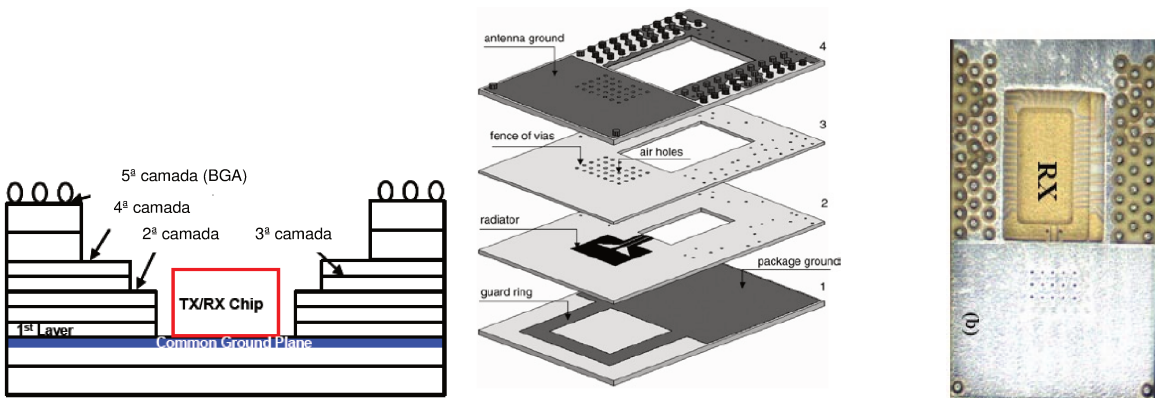


Figura 21 - TX 60 GHz em LTCC com antena triangular WB (detalhe da antena e da estrutura LTCC, no centro). [42] [43]

A maioria das propostas SiP encontradas utilizavam o LTCC com a integração de alguns circuitos e a antena. Uma antena de ganho elevado foi viabilizada, à custa de uma área grande. O HPA MMIC ou o transceptor foi montado no LTCC, geralmente utilizando técnicas de montagem MIC. O custo efetivo desta solução em frequências de alguns GHz é amplamente conhecido, mas pode-se confiar na sua aplicação também em frequências milimétricas, devido

ao grande número de demonstrações encontradas. Além da possibilidade de integração de componentes passivos no substrato, que serve, ao mesmo tempo, como empacotamento de CIs, esta tecnologia contribui para a miniaturização, enquanto mantém a flexibilidade para projetos sob medida, conforme os seus requisitos.

Os critérios para a escolha das soluções passam pela redução da tensão (*IR drop*), o número de contatos, a área do chip, as dimensões do produto (X, Y, Z), a dissipação térmica, o desempenho elétrico, o consumo de potência, o custo da solução, maturidade da tecnologia e *time-to-market* (tempo de desenvolvimento até o lançamento no mercado). Há muitas técnicas disponíveis como a microssolda de fio, *flip-chip*, interconexões topo-topo, TSV, empacotamento na escala e a nível do chip (CSP ou *Chip Scale Package*), substratos de alta densidade e muitas outras. É possível combinar uma ou mais destas técnicas, para atender às diversas demandas em termos de projeto e fabricação. [36]

2.2 ESCOLHA DA INTEGRAÇÃO

Após a revisão bibliográfica selecionou-se o estado da arte em integração de sistema, o empacotamento a nível do chip (CSP) para o conjunto de chips de comunicação sem fio a 60 GHz, para taxas elevadas de transmissão (vários gigabits por segundo). [4] [5] [13] Nesta proposta foram integrados um transmissor e um receptor na tecnologia BiCMOS SiGe 0,13 μm , cada um num único chip, com antenas do tipo dipolo dobrado e cavidade inferior metálica, montados diretamente na superfície do substrato, com empacotamento LGA (*Land Grid Array*) e encapsulamento plástico, com abertura nas antenas.

Uma antena dipolo plana, impressa na superfície inferior de um substrato de vidro, com uma cavidade e um plano de aterramento abaixo, apresentou um ganho elevado (7 dBi) para uma banda larga de frequência (10% ou 6 GHz), com alta eficiência (> 90%) e tamanho 2,8 x 5,0 mm². O substrato de vidro apresenta características de menor perda no dielétrico, que aumenta o ganho da antena, além de ser compatível com o silício, quanto às características mecânicas, e de ter baixo custo. Esta antena foi projetada para ser conectada diretamente sobre o chip, utilizando o processo *flip-chip* e permitindo o encapsulamento da montagem. A desvantagem é o posicionamento crítico na montagem da antena sobre a cavidade, e o risco do adesivo e do

plástico de encapsulamento ou do *glob-top* penetrarem na cavidade abaixo da antena, além dos requisitos do empacotamento com plástico moldável ou *glob-top*, conforme mostrado na Figura 22 e Figura 23. Observou-se, porém, que o posicionamento entre o chip e a linha de alimentação da antena não era tão crítico.

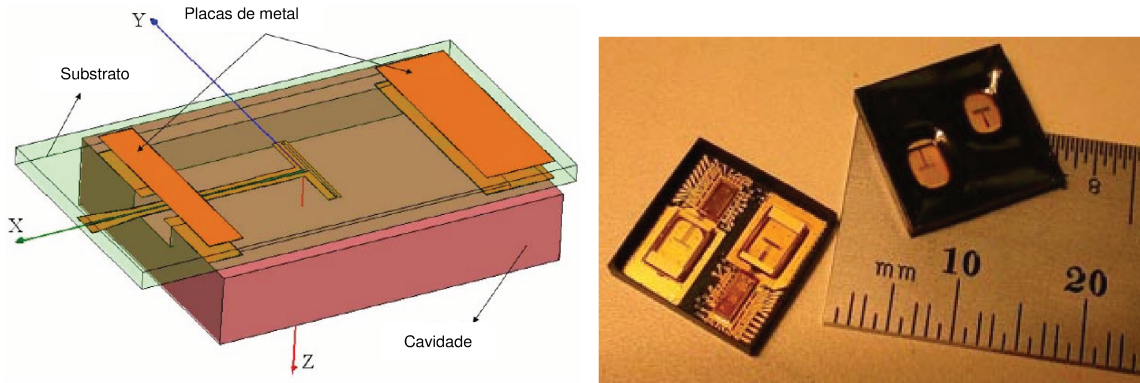


Figura 22 - Estrutura da antena (à esquerda) e montagem do empacotamento incluindo os chips TX e RX (à direita). [44]

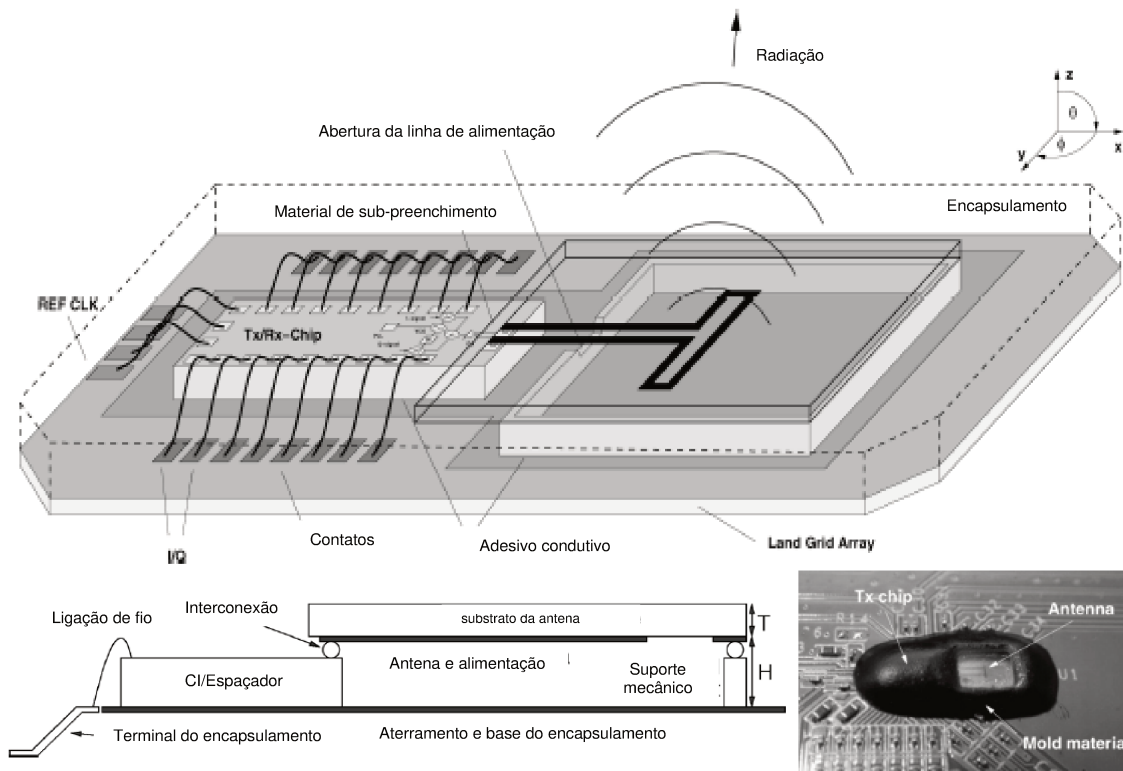


Figura 23 - Estrutura do SiP 60 GHz e foto do protótipo na montagem por adesão direta com resina *glob-top*. [13] [44]

Considerando as principais características de integração como maturidade da tecnologia, precisão e tolerâncias gerais, montagem dos componentes, tamanho e desempenho do protótipo,

esta proposta foi escolhida por causa do bom desempenho demonstrado, das soluções de montagem e do empacotamento com montagem direta e encapsulamento LGA. O empacotamento do transceptor completo apresentava dimensões reduzidas de 13 x 13 mm², incluindo as antenas TX e RX. A confiabilidade desta solução ainda é desconhecida, pois a montagem não foi implementada em larga escala de produção.

Resumindo os resultados da revisão bibliográfica, tendo em vista a aplicação no sistema transceptor a 60 GHz, as seguintes considerações podem ser feitas sobre as alternativas de integração de sistemas transceptores analisadas:

- ✓ Integração SoC: No caso da tecnologia CMOS, há a limitação da potência do amplificador e o desempenho da antena também é limitado, em termos de largura da banda de frequência e do ganho. Além disso a antena requer uma área elevada em relação ao restante dos circuitos, de forma que o custo do chip aumentaria muito. No caso da tecnologia BiCMOS, não há limitação da potência, porém, por ser uma tecnologia de uso mais específico, o custo do chip seria maior que na tecnologia CMOS e o desempenho da antena continuaria limitado.
- ✓ Integração CSP: Apesar de ter sido demonstrada em termos de desempenho, a montagem da antena sobre a cavidade metálica é complexa e crítica no desempenho da antena e ainda faltam técnicas para se evitar a entrada de adesivo ou do material do encapsulamento na cavidade da antena. Também o encapsulamento requer abertura sobre a antena, ou seja, o material de encapsulamento afeta o desempenho da antena. No caso de deixar abertura no encapsulamento para a antena, aumenta o risco de dano físico da mesma e poderia afetar a confiabilidade.
- ✓ Integração SiP: Há uma variedade de alternativas com bom desempenho e algumas com viabilidade industrial. A principal vantagem é possibilitar a utilização de chips de diferentes tecnologias, como por exemplo amplificadores do tipo MMIC em conjunto com o CI CMOS e a antena IPD. As alternativas SiP são analisadas a seguir:

- ✓ Integração SiP em silício de alta resistividade com microusinagem: solução promissora, porém ainda falta tecnologia madura para realização de TSV. O posicionamento dos componentes é crítico para o desempenho do sistema e sua fabricação pode ser inviabilizada.
- ✓ Integração SiP com empilhamento 3D dos chips: solução promissora, porém ainda está em desenvolvimento a tecnologia para realização de TSV em nível industrial para todas as diferentes tecnologias empregadas nos chips. [36] Acrescenta-se que há risco na dissipação térmica, pois o MMIC amplificador pode superaquecer os demais componentes, afetando o desempenho ou a montagem, devido aos diferentes coeficientes de expansão dos materiais dos chips.
- ✓ Integração SiP com tecnologia IPD: apesar da compatibilidade com os processos de fabricação CMOS, o que reduz o custo, o substrato de vidro não permite a realização de vias e não possui boa dissipação térmica. Além disso, as camadas depositadas de BCB, para realização dos circuitos e interligações, têm espessura com tolerância elevada ($\pm 20\%$), que pode inviabilizar o projeto em frequências de ondas milimétricas. O único empacotamento possível é do tipo *flip-chip*, ou seja, não suporta a solda por refusão e a solda eutética.
- ✓ Integração SiP com tecnologia LTCC: apresenta custo efetivo e soluções para realização de cavidade, vias e circuitos em todas as camadas com flexibilidade para diferentes montagens de componentes. A precisão está no limite para aplicações em ondas milimétricas, na ordem de dezenas de microns. A tecnologia tem maturidade para fabricação industrial e dispõe de alguns tipos de empacotamento como BGA *flip-chip*, LGA e castelação. A única desvantagem é a utilização de materiais que não suportam altas temperaturas, o que impede a utilização de soldas eutética ou por refusão, obrigando a utilização de adesivo condutivo, que tem condutividade elétrica pior que a solda.
- ✓ Integração SiP com tecnologia HTCC: apresenta as mesmas vantagens da tecnologia LTCC, com a vantagem de utilizar materiais que suportam altas temperaturas e que permitem a utilização de solda eutética e por refusão. A

desvantagem é que o material condutor é uma liga de molibdênio que apresenta condutividade elétrica pior que o cobre. Isto pode ser parcialmente contornado com a utilização de acabamento de ouro nos circuitos na superfície externa do módulo.

Diante destas considerações, a escolha da integração SiP restringiu-se às tecnologias IPD, LTCC ou HTCC para o projeto do sistema transceptor a 60 GHz nas aplicações HDMI sem fio.

Capítulo 3

ESPECIFICAÇÕES E COMPONENTES DO SiP

Com a definição da integração de sistema tipo SiP, iniciou-se o projeto do módulo para aplicações sem fio, em interface multimídia de alta definição (*Wireless HDMI*), utilizando como base um transceptor (transmissor e receptor) de 60 GHz para elevada taxa de transmissão de dados, desenvolvido na ST. Além do transceptor, foram incluídas as antenas de transmissão (TX) e de recepção (RX), desenvolvidas pela equipe do LETI, e um amplificador de potência externo (HPA) comercial, necessário para atender aos requisitos de desempenho do sistema.

A seguir, as especificações do sistema e seus componentes principais.

3.1 ESPECIFICAÇÕES DO SiP

O sistema transceptor deve suportar uma taxa de dados de até 3 Gbps, com um alcance de 10 m entre as antenas com visada direta (LOS). A partir das especificações dos componentes e das estimativas das perdas nos circuitos de interconexão, foi feito o cálculo do desempenho do sistema, conforme mostrado na Tabela I.

Na Tabela I, as perdas foram estimadas com base em trabalho preliminar. [15] A atenuação do canal foi calculada através da equação 3 e acrescida da perda na frequência estimada pelo gráfico da Figura 1. Os demais níveis são obtidos das especificações da antena e do CI transceptor, descritos em seguida. Assim, para que o sistema de transmissão tenha desempenho satisfatório, foi necessário incluir um amplificador de potência externo na saída do transceptor, tendo o ganho necessário calculado com as informações da Tabela I.

Todos os componentes são para montagem *flip-chip*, que utiliza microesferas de solda. A exceção é o amplificador de potência externo que, por ser um MMIC, será montado com técnicas

de adesão do chip e microsolda de fios. O módulo final deve ter um empacotamento adequado para sua montagem na PCI, atendendo aos requisitos de viabilidade industrial, custo efetivo e confiabilidade para larga escala de produção.

Tabela I - Estimativa do desempenho esperado do sistema

PARTE / CARACTERÍSTICA DE DESEMPENHO	ESTE TRABALHO	ESTADO DA ARTE REF. [13]
TRANSMISSÃO		
Nível de potência de saída TX do transceptor (PPA)	+0 dBm	+10 dBm
Perda na interconexão da saída TX do transceptor (PPA) com o HPA	-2 dB	-2 dB
Ganho do HPA	+14 dB	*
Perda na interconexão da saída do HPA com a antena TX	-1,5 dB	*
Ganho da antena TX (mínimo)	+6 dBi	+7 dBi
CANAL		
Atenuação na distância 10 m a 61,5 GHz	-88,3 dB	-88 dB
RECEPÇÃO		
Ganho da antena RX	+6 dBi	+7 dBi
Perda na interconexão da antena RX	-2 dB	-2 dB
Nível de potência na entrada RX do transceptor (LNA)	-67,8 dBm	-68 dBm

Nota: * A proposta não previa um amplificador de potência adicional (HPA), pois o amplificador na tecnologia BiCMOS fornece maior potência de saída que na tecnologia RF CMOS.

O sistema aqui proposto é similar ao considerado como estado da arte [13] em termos de desempenho. No entanto, há vantagens em termos de utilização de chips de diferentes tecnologias e de soluções para viabilidade industrial, que visam maior confiabilidade. Estima-se que o custo seja menor em larga escala de produção. Para o futuro, existe a possibilidade do MMIC amplificador de potência externo ser implementado também na tecnologia CMOS, que contribuirá para uma redução significativa do custo em comparação com o transceptor na tecnologia BiCMOS (ref. [6] do autor).

3.2 COMPONENTES DO SiP

Os componentes principais do sistema a ser integrado são o CI transceptor, o MMIC HPA e as antenas IPD de transmissão e de recepção. A seguir há a descrição de cada um destes componentes e suas características.

3.2.1 CI TRANSCCEPTOR

O CI transceptor, na tecnologia CMOS 65 nm, é a base do sistema. O transceptor foi desenvolvido paralelamente por outra equipe composta por integrantes da ST e do LETI. As especificações aqui descritas baseiam-se na descrição da topologia do CI e nas definições de teste do mesmo, durante o projeto. O diagrama dos pinos ou contatos (*pads*) do CI transceptor é mostrado na Figura 24. As características do CI transceptor, relevantes no projeto da integração, foram incluídas na Tabela II a seguir. O CI transceptor será montado com microesferas de solda em todos os contatos, de acordo com a técnica *flip-chip*, pelo processo de compressão térmica.

Tabela II - Características do CI transceptor [46]

Banda de frequência RF	57,2 a 65,9 GHz	Dimensões do CI	2,84 mm x 3,34 mm
Impedâncias de saída TX e de entrada RX	50 Ω (GSG)	Disposição dos contatos	Em linha dupla alternada no contorno
Frequência da banda base (BB)	1,0 a 2,9 GHz 2 GHz típico	Diâmetro da microesfera	*80 μm
Impedâncias de entrada e saída da BB	100 Ω (no par diferencial)	Distância entre as microesferas adjacentes	200 μm
Tensões de alimentação	0,7 V / 1,2 V / 1,8 V	Número total de contatos	92

Nota: * As microesferas de solda para interconexão *flip-chip* são da classe FC60A. [47]

O CI transceptor requer circuitos de filtro e isolamento nas diferentes linhas de tensão de alimentação CC, que estão descritos no item 4.6. Estes circuitos utilizam componentes discretos, sendo que alguns deles devem ser colocados o mais próximo possível do CI transceptor, a fim de melhorar a eficiência destes circuitos, e, assim, devem ser incluídos no próprio módulo.

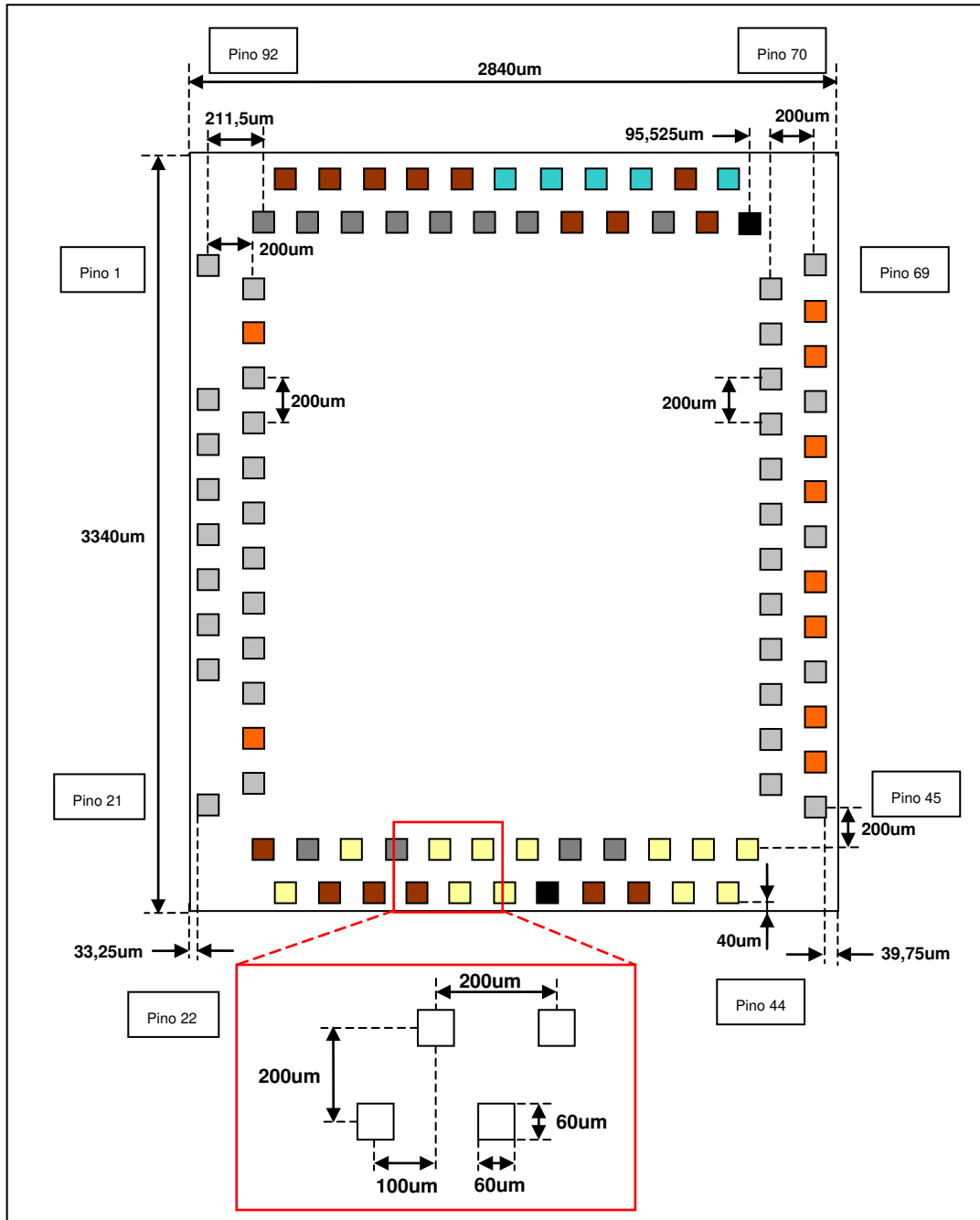


Figura 24 - Diagrama de pinos do CI transceptor (vista de baixo). [46]

Além destes componentes, o CI transceptor requer um circuito externo do filtro do sintetizador PLL (*Phase Locked Loop*), próximo aos contatos de entrada e saída do mesmo, a fim de minimizar o recebimento de interferência de outros sinais e reduzir o ruído. Este circuito externo utiliza componentes discretos, que são difíceis de serem integrados no CI transceptor e, por esse motivo, devem ser montados no próprio módulo, conforme descrito no item 4.7. [46] A Figura 25, a seguir, mostra o diagrama interno do CI transceptor.

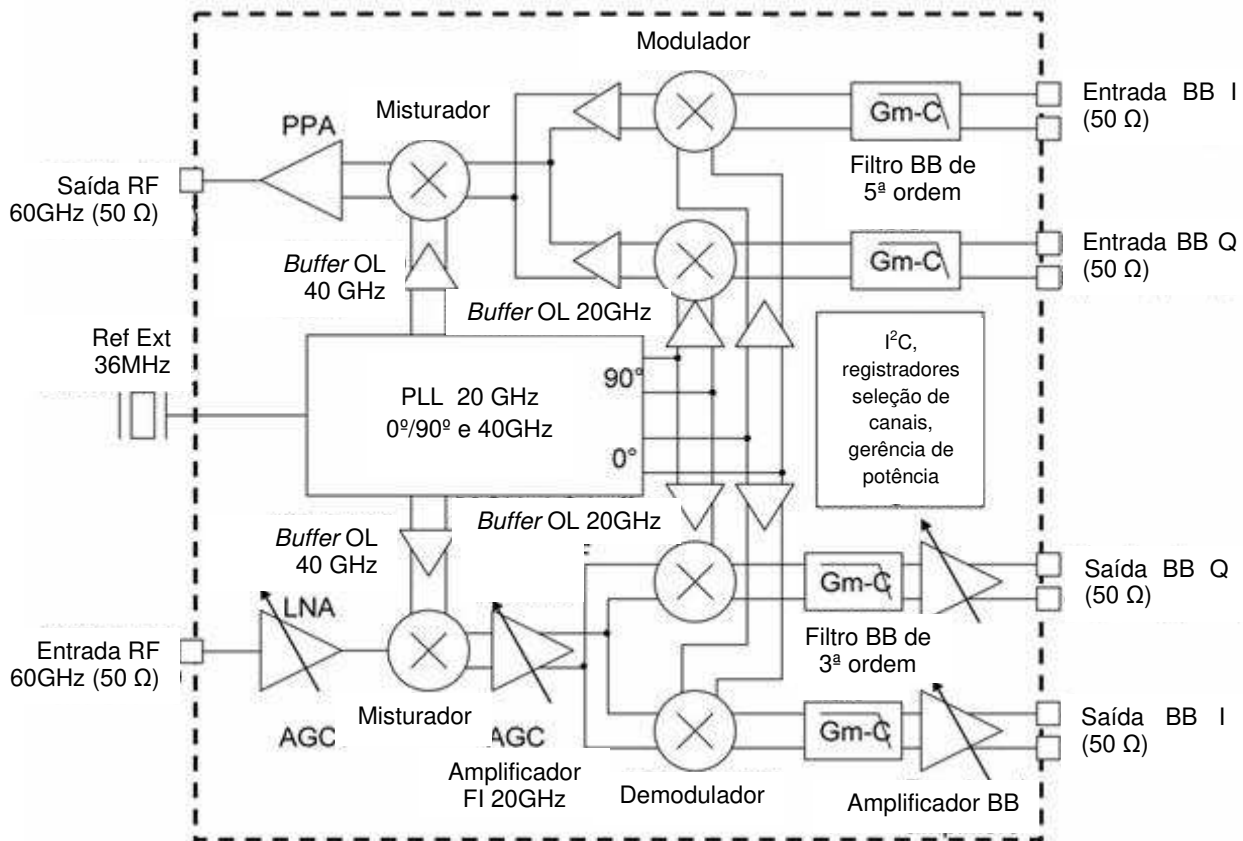


Figura 25 - Diagrama do CI transceptor com os circuitos principais, entradas e saídas. [46]

3.2.2 AMPLIFICADOR DE ALTA POTÊNCIA

Um amplificador de alta potência (HPA ou *High Power Amplifier*) externo adicional será utilizado na transmissão, por causa da limitação de potência de saída do CI transceptor, a fim de viabilizar a transmissão com o alcance de 10 m e também para compensar as perdas nas interconexões no módulo, conforme a estimativa da Tabela I.

Somente amplificadores de potência do tipo MMIC de GaAs estavam disponíveis comercialmente, para operação nesta banda de frequência e, dentre eles, foi selecionado o SEDI (ex-FUJITSU) FMM5715X, que possui as menores dimensões, requer menos componentes discretos adicionais e apresenta um desempenho satisfatório de ganho e potência de saída, com o menor consumo. Para otimização do desempenho, esse MMIC requer a adesão da base do chip ao suporte metálico de aterramento por meio de solda eutética. Os contatos que ficam na superfície do chip, são conectados através de microsolda de fios de ouro, técnica de montagem da tecnologia MIC.

As características do HPA, relevantes no projeto de integração, estão descritas na Tabela III a seguir.

Tabela III - Características do HPA SEDI FMM5715X e recomendações para montagem [48]

Banda de frequência	57,0 a 64,0 GHz	Tamanho do chip	2.190 x 920 μm
Ganho	14 dB (mínimo) 18 dB (típico)	Espessura do chip	70 μm
Potência de saída (Pout comp. 1dB)	+12 dBm (mínimo) +16 dBm (típico)	Dimensões dos contatos de alimentação CC	80 x 80 μm
Alimentação CC de Dreno	3 V (típico) 150 mA (típico)	Dimensões dos pads de RF	80 x 60 μm (GSG) passo de 125 μm)
Tensão de Porta	0 V (padrão)	Solda aterrada do chip	Tipo eutética com preforma de ouro e estanho
Impedância de entrada e saída	50 Ω	Microssolda de fio	Compressão térmica com potência ultrassônica
Perda de Retorno (RL)	8 dB (típico) na entrada e na saída	Diâmetro do fio rígido ou semi-rígido	18 a 25 μm (ouro)

A espessura recomendada da PCI na entrada e na saída do chip é de 100 μm . A partir dos requisitos do fabricante SEDI, foi escolhido um capacitor de RF de camada simples (monocamada) da marca ATC (valor acima de 100 pF) de tamanho reduzido, com contatos revestidos de ouro, apropriados para microssolda dos fios das tensões de dreno e de porta. A Figura 26 mostra a montagem do HPA recomendada pelo fabricante SEDI.

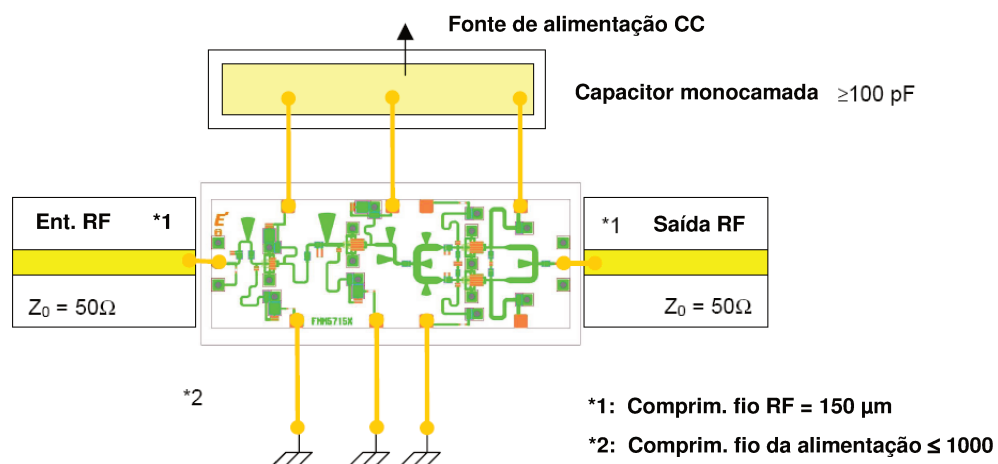


Figura 26 - Montagem recomendada do amplificador de alta potência FMM5715X. [48]

Nota: Na montagem com as técnicas da tecnologia MIC, as PCIs, que possuem a base metalizada, também são montadas através de solda eutética, sobre o mesmo suporte metálico de aterramento onde o chip é montado. Isto possibilita a justaposição das PCIs ao chip do HPA, de forma a minimizar o comprimento do fio de interligação, principalmente na entrada e saída do sinal de RF.

3.2.3 ANTENAS TX E RX

O módulo utiliza duas antenas, sendo uma para transmissão (TX) e outra para recepção (RX). As antenas TX e RX, que são idênticas, requerem uma cavidade metálica oca na parte inferior, servindo como refletor. Conforme a pesquisa bibliográfica, esta configuração de antena é a que proporciona a maior faixa de frequência, necessária para atender as especificações do sistema nas aplicações HDMI sem fio. Cada antena é do tipo dipolo dobrado com impedância de 100Ω e com filme de cobre depositado no substrato de vidro, próprio da tecnologia IPD. A linha de alimentação da antena do tipo fita coplanar (CPS) possui uma seção de linha T de 70Ω e um quarto do comprimento de onda, transformando a impedância para 50Ω , nos dois contatos de entrada, conforme é mostrado na Figura 28. A montagem das antenas também utiliza as microesferas de solda e técnica *flip-chip* por compressão térmica. Os contatos, ou *pads* para as microesferas, são formados sobre uma camada de BCB e outra de vidro silício não dopado (USG ou *Undoped Silicon Glass*), que são depositados sobre o substrato de vidro. Vias nestas camadas interligam o circuito da antena aos contatos para microesferas *flip-chip*. Várias outras microesferas de solda, equidistantes e alinhadas no contorno da antena, servem apenas para fixação mecânica da antena sobre o módulo. Vias metálicas foram dispostas no módulo, ao redor da cavidade, e interconectadas ao fundo metalizado e aterrado da cavidade. A antena com a sua estrutura pode ser vista na Figura 27. O projeto das antenas coube a outra equipe do LETI. No projeto do módulo houve estreita cooperação com esta equipe, a fim de atender aos requisitos de implementação das antenas ou de adequar a estrutura das antenas às regras de projeto da tecnologia HTCC e, por este motivo, diversas alterações foram realizadas nas antenas, bem como nos circuitos de interconexão com os outros componentes, sendo apresentada somente a versão final da antena. Dentre essas alterações, pode-se citar a mudança nas dimensões da

antena e da cavidade no módulo e a mudança nas posições dos contatos para microesferas de solda. Algumas regras de projeto do HTCC precisaram ser adaptadas, para viabilizar a antena e os processos de montagem dos componentes no módulo.

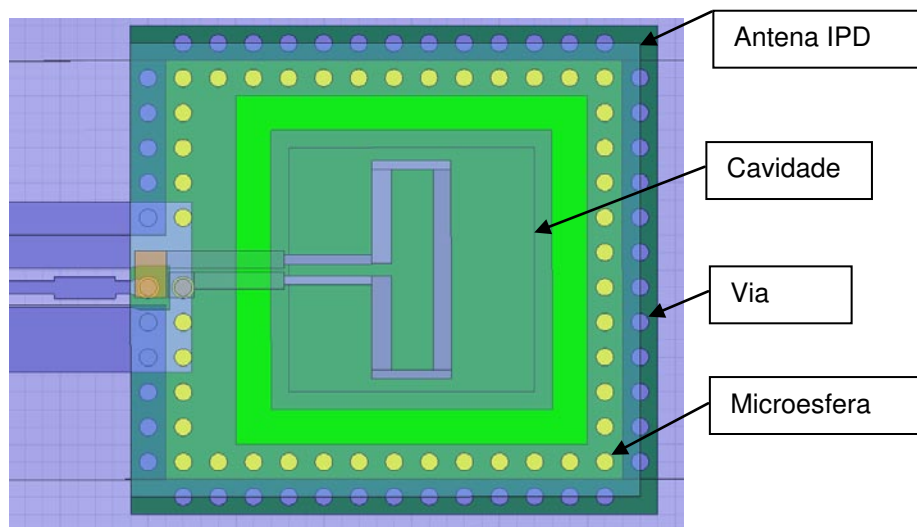


Figura 27 - Estrutura da antena IPD (vista superior). [49]

As características principais das antenas relevantes no projeto de integração estão na Tabela IV a seguir.

Tabela IV - Características das antenas [50] [51]

Faixa de frequência	56,8 a 68,5 GHz	Largura da banda	11,7 GHz
Ganho	6 a 7 dBi	Dimensões do substrato de vidro	2,9 x 2,6 x 0,5 mm ³
Perda de Retorno (RL)	>10 dB (impedância 50 Ω)	Dimensões da cavidade com fundo metalizado	1,4 x 1,4 mm ² 0,3 mm (profundidade)
Ângulo de cobertura (irradiação)	±31° (-3 dB, φ=0°), ±37° (-3 dB, φ=90°)	Vias metálicas ao redor da cavidade	Diâmetro 75 μm Altura 300 μm
Eficiência	> 90%	Passo [†] das vias	200 μm
Tipo	Direcional	Diâmetro das microesferas	*80 μm
Linha de alimentação da antena	Fita coplanar (CPS)	Distância entre as microesferas adjacentes	200 μm

Notas: * As microesferas de solda para interconexão *flip-chip* são da classe FC60A.[47]

[†] Passo é a distância comum entre vias adjacentes.

Uma distância de no mínimo 0,5 mm entre as antenas TX e RX no módulo é requerida, para se obter uma isolamento mínima de 29 dB. A linha de alimentação da antena RX é mostrada na Figura 28.

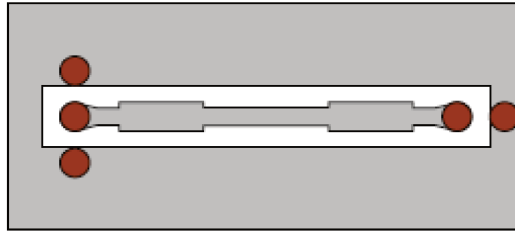


Figura 28 - Linha de alimentação da antena com a transição CPW para CPS (fita coplanar). [52]

Capítulo 4

PROJETO DO SiP

No projeto da integração de sistema SiP, após o levantamento das alternativas em termos de tecnologia, bem como a escolha do estado da arte, realizou-se a análise comparativa entre as tecnologias IPD, LTCC e HTCC com suas opções em termos de empacotamento e montagem do módulo entre BGA, LGA e castelação.

Foram considerados fatores relevantes como as regras de projeto para cada tecnologia, passando pelos requisitos em termos de montagem industrial, confiabilidade e, principalmente, o impacto nos componentes principais, seus requisitos de montagem e os seus circuitos associados. Muitas regras foram estabelecidas durante o projeto, procurando-se respeitar as limitações e conciliar todos aqueles requisitos ou, então, estudando e propondo alterações nas regras de projeto e requisitos de outras áreas envolvidas.

4.1 TECNOLOGIA, MATERIAL E EMPACOTAMENTO

Na escolha da tecnologia do projeto de integração, a tecnologia IPD, proprietária da ST, tinha a preferência. No entanto limitações como a tolerância elevada das espessuras das camadas adicionais depositadas de BCB, material do substrato (vidro) com baixa condutividade e dissipação térmica e, principalmente, a impossibilidade de realização de vias transpassando todo o substrato, viabilizando circuitos em ambas as faces do substrato, impediram

tecnicamente a sua escolha no projeto. No caso das antenas, as limitações da tecnologia IPD não causam impacto significativo, pois, na antena, o circuito de alimentação e os contatos de interconexão estão todos na mesma face. A antena apresenta também uma eficiência elevada, irradiando todo o sinal recebido, sem dissipação térmica. A antena é definida diretamente sobre uma camada de vidro silício não dopado (USG ou *Undoped Silicon Glass*), depositada sobre o substrato de vidro. Uma camada de BCB é depositada e utilizada somente para realização das vias e contatos para microesferas *flip-chip*, tendo pouca influência no desempenho da antena.

A tecnologia LTCC foi a preferida na maioria dos casos encontrados na revisão bibliográfica. Dentre os materiais dielétricos cerâmicos disponíveis nesta tecnologia, somente alguns deles tinham característica de constante dielétrica elevada, que é obrigatória, como será mostrado na escolha da tecnologia HTCC e do material alumina (Al_2O_3). Um dos materiais era recomendado somente para frequências até 10 GHz e, por isto foi desconsiderado. O outro material (LTCC1), que poderia ser utilizado em 60 GHz, tinha uma constante dielétrica um pouco menor que os demais materiais. O que determinou a sua exclusão foi a sua baixa condutividade térmica (4,3 W/mK), que limita a dissipação térmica no módulo. Requer-se uma condutividade térmica da ordem de 10 W/mK na aplicação. Esta característica é importante para se garantir a confiabilidade do sistema, especialmente por causa do MMIC HPA, cujo consumo nominal é de 450 mW ($3 \text{ V} \times 150 \text{ mA}$), fornecendo uma potência de saída de RF de +16 dBm ou 40 mW. Assim o HPA dissipa a maior parte da potência consumida na forma de calor. Provavelmente esta característica, que influencia na dissipação térmica e na confiabilidade, não foi considerada nos trabalhos encontrados na revisão bibliográfica, nos quais o objetivo principal é a demonstração da viabilidade técnica.

Assim, a tecnologia HTCC foi a escolhida para implementação do módulo. Além da análise das características de constante dielétrica e de perda no dielétrico ($\tan \delta$) que devem ser especificadas na banda de frequência de 60 GHz, outras características como o coeficiente de expansão térmica e de condutividade térmica foram analisados, conforme mostrado na Tabela V. A primeira é relacionada com a compatibilidade com o material dos componentes e da PCI, onde o módulo final será montado, para manter a adesão dos componentes na montagem como

a variação da temperatura. Conforme descrito anteriormente, a segunda é importante para a dissipação térmica no módulo, principalmente para o amplificador de alta potência (HPA).

De acordo com os resultados da Tabela V, tanto o material LTCC 1 quanto o material IPD foram descartados para utilização no módulo, por causa da baixa condutividade térmica do substrato. O material IPD também apresenta uma tolerância elevada da espessura da camada, o que inviabiliza a sua utilização na banda de 60 GHz. Portanto a escolha do material ficou entre o material HTCC 1 e o HTCC 2.

Tabela V - Comparação das características dos materiais e tecnologias* [15] [53]

CARACTERÍSTICA	Unidade	IPD [†]	LTCC 1	HTCC 1	HTCC 2
Espessura do substrato	µm	3,5/9/15,5 ⁽²⁾ 300 ⁽¹⁾	≥ 100	≥ 100	≥ 100
Tolerância da espessura do substrato	%	±20/±10	±10	±10	±10
Constante Dielétrica (ϵ_r) (a 60 GHz)		2,7 ⁽²⁾ 4,6 ⁽¹⁾	7,6	8,6	8,8
Perdas no Dielétrico ($\tan \delta$) (a 60 GHz)		0,0009 ⁽²⁾ 0,0037 ⁽¹⁾	0,0012	0,0021	0,0013
Material do condutor		alumínio e cobre	cobre	tungstênio	cobre
Espessura do condutor	µm	3	10	10	10
Acabamento do condutor		não tem	ouro,níquel	ouro,níquel	ouro,níquel
Coefficiente de expansão térmica do substrato	K ⁻¹	8,5 x10 ⁻⁶	8,2x10 ⁻⁶	6,9x10 ⁻⁶	7,2x10 ⁻⁶
Condutividade térmica do substrato	W/mK	1,1	4,3	18	15

Notas: * Para as tecnologias LTCC e HTCC foram analisados somente materiais com constante dielétrica elevada (≥ 7) a 60 GHz.

† O substrato IPD é composto por dois materiais diferentes: ⁽¹⁾ vidro e ⁽²⁾ BCB

Quanto ao empacotamento do módulo, a Kyocera propôs duas alternativas para a tecnologia HTCC, um do tipo castelação (similar ao empacotamento PLCC) e outro do tipo BGA/LGA/contatos para solda. A castelação foi inicialmente adotada por facilitar a montagem do módulo na PCI, e por ser compatível com a tecnologia SMT. No entanto, devido ao número elevado de terminais de interface no módulo e uma distância mínima de 0,8 mm entre terminais

adjacentes, o perímetro e a área do módulo teriam de ser aumentados, para acomodar todos os terminais que ficariam dispostos na borda do mesmo. O empacotamento do tipo BGA/LGA permite a colocação dos contatos ou esferas de solda de forma matricial na base do módulo, com uma densidade bem maior, reduzindo-se assim a área total do módulo. Outra vantagem é a possibilidade de redução do comprimento do circuito até os contatos, o que reduz a atenuação do sinal. Por estes motivos, definiu-se pelo empacotamento LGA que, pode ser soldado diretamente na PCI ou dispensa a solda, usando um soquete para montagem mecânica.

4.2 ESTRUTURA PARA AS LINHAS DE TRANSMISSÃO

Após a seleção prévia dos materiais de constante dielétrica elevada, descritos na Tabela V, foram realizados o dimensionamento e a análise da montagem requerida pelos componentes do sistema, bem como das linhas de transmissão viáveis a serem empregadas.

Além da configuração física inerente, que viabiliza ou não a sua utilização na aplicação, outras características importantes da linha de transmissão foram analisadas: a interconexão apropriada entre os diferentes componentes do sistema, viabilidade de fabricação de acordo com as regras da tecnologia, a precisão ou tolerância na fabricação da mesma, a perda de inserção do sinal, a faixa de variação possível da impedância e a simplicidade de projeto. [18]

A microfita, por ser a estrutura mais simples, costuma ter larga utilização, pois, além de ser bem caracterizada (propagação quasi TEM), é de simples dimensionamento e facilita o roteamento, ou seja, a realização da ligação do circuito, sobre um substrato como numa PCI. No entanto a microfita não é adequada, quando o terminal de aterramento fica no mesmo plano que o terminal de sinal, o que ocorre tanto no CI transceptor quanto nas antenas. Neste caso a microfita apresenta desvantagens, pois, na microfita, o plano de aterramento verdadeiro da face inferior, normalmente, só pode ser acessado através de vias. Com o aumento da frequência, a indutância parasita das vias também aumenta e limita a sua utilização, especialmente nas conexões ao aterramento, quando se pressupõe que os efeitos parasitas sejam mínimos. Outra restrição de uso da microfita ocorre, quando a espessura do substrato se torna uma parcela significativa do comprimento de onda no substrato. Neste caso, a energia se irradia com facilidade ou ocorre o acoplamento com estruturas adjacentes, o que altera o desempenho e

requer análise mais complexa de outros modos de propagação. A utilização da microfita deve ocorrer para frequências inferiores a f_{max} , para se evitar este efeito.

A CPW oferece flexibilidade no dimensionamento, ou seja, permite obter certa impedância com variação da largura e do espaçamento para os planos de aterramento. Por exemplo, a largura do condutor central pode ser aumentada para minimizar as perdas no condutor ou pode ser reduzida para conexão de pequenos transistores, com uma descontinuidade mínima de impedância. Além disso, a CPW apresenta menor dispersão que a microfita, o que implica que ela possa ser mais apropriada para aplicações de banda larga de frequência. Uma das aplicações mais comuns da CPW é nos MMICs. Se a espessura do substrato não pode ser reduzida para utilização em frequências mais altas, e/ou se a indutância da via de acesso ao aterramento é crítica, a CPW é a escolha em lugar da microfita.

Em termos de montagem, a estrutura CPW (coplanar) é própria para conexão, quando o aterramento está no mesmo nível que o condutor central, o que ocorre, por exemplo, com transistores. Por outro lado, a conexão direta da CPW com uma microfita não é simples, especialmente para a interconexão entre o aterramento. Ligações com simples fio ou fita de interligação na CPW aterrada só são apropriadas para frequências bem elevadas e se as vias do substrato estiverem bem próximas à conexão.

Contudo a CPW tem algumas desvantagens. [18] De uma perspectiva prática, o dimensionamento e o projeto do *layout*, utilizando ferramentas EDA/CAD (*Electronic Design Automation* ou Automação de Projeto Eletrônico/*Computer-Aided Design* ou Projeto com Auxílio de Computador) são mais complexos. As bibliotecas dispõem de poucos elementos do tipo CPW, geralmente só o segmento de reta, cujo modelo de simulação é menos complexo do que dobras ou curvas. Quando há necessidade de usar elementos CPW sem modelos da biblioteca, requer-se tanto o projeto do *layout* quanto a simulação do mesmo, empregando-se outro tipo de ferramenta software de simulação eletromagnética. Para se obterem resultados mais precisos de simulação, é recomendável incluir também outras estruturas próximas que influenciam no desempenho. Outra desvantagem são os requisitos de largura mínima dos condutores de aterramento que causa o aumento da área ocupada pela CPW e das dimensões do circuito. Um recurso que reduz o impacto da descontinuidade específica da CPW é aproveitar as duas

variáveis de projeto (largura e espaçamento), para diminuir o comprimento elétrico da descontinuidade. O empacotamento traz mais complicações para a CPW do que a microfita. Na prática, o fundo do substrato da CPW está em contato com um empacotamento metálico ou está revestido de metal na maioria dos casos. A justaposição de um plano metálico, no fundo do substrato, causa um modo de propagação adicional de placas paralelas, que foi descrito na linha GCPW ou CBCPW. Utilizam-se normalmente substratos finos e um número significativo de vias de conexão para o plano de fundo, para a supressão deste modo de propagação adicional. Outro ponto que deve ser levado em conta no projeto da CPW é a presença de outros modos de propagação, os quais devem ser considerados, para que o projeto não seja afetado por altas e inesperadas perdas ou ressonâncias, na faixa de frequência de utilização. Finalmente, para circuitos complicados, o *layout*, sem o devido cuidado, pode causar *loop* de terra ou problemas similares, caso os planos de aterramento laterais não sejam devidamente interconectados, por exemplo, com *airbridges* (interligação por cima do condutor central). Embora se considere que os dois condutores de aterramento laterais formam um único aterramento efetivo, na maioria dos casos eles não estão fisicamente conectados, portanto podem estar em diferentes níveis de potenciais em relação ao nível de aterramento. Isto significa que pode haver outro modo dominante de propagação, chamado de modo da linha fendida acoplada (*coupled slotline*), cujo efeito é mostrado na Figura 29.

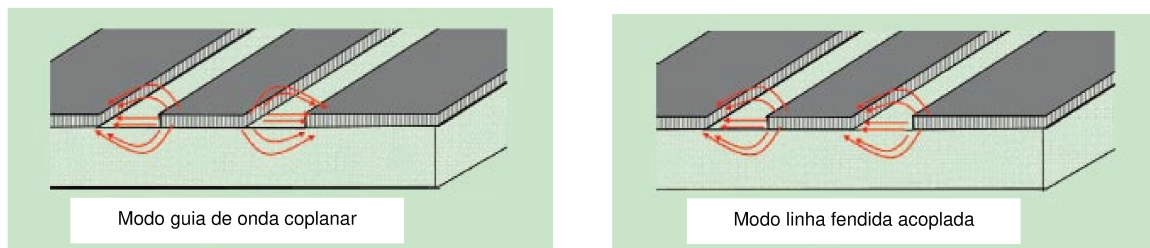


Figura 29 - Comparação do campo elétrico no modo da CPW (esquerda) e da linha fendida acoplada (direita). [18]

A fita coplanar (CPS) tem a vantagem sobre a CPW de possuir somente um condutor de aterramento, ocupando menor área. Comparando-se com a microfita, a fita coplanar tem várias vantagens como a impedância que não depende somente da espessura do substrato h . A largura do condutor da fita coplanar pode ser variada, mantendo-se a impedância característica. Desta forma, a fita coplanar tem uma variável a mais no seu projeto, como na CPW, para se obter uma

reduzida atenuação e impedância característica, independente da frequência. Por evitar o uso de vias no caso de chips, reduz-se significativamente o custo de fabricação e melhora-se o rendimento do processo e a confiabilidade do chip. A CPS é a mais apropriada para alimentação de antenas impressas do tipo dipolo.

A linha de fita (*stripline*) e a linha fendida (*slot line*) não foram consideradas para utilização neste projeto, devido à complexidade maior para sua implementação no módulo, e pela dificuldade na realização das interconexões necessárias entre os componentes do sistema.

Considerando os requisitos dos componentes do sistema nos aspectos de interconexão e montagem, a microfita é a melhor alternativa para conexão do MMIC HPA. A linha CPW é a mais adequada para conexão com o CI transceptor. Estes dois tipos de linha de transmissão, a microfita e a CPW, foram analisados. Utilizando-se a ferramenta software TX Line (da Applied Wave Research), que é um programa simples para dimensionar estes dois tipos de linhas, a partir das características elétricas dos materiais de cada tecnologia, foi feita uma análise comparativa, cujos resultados se encontram na Tabela VI. Também foram consideradas as limitações de largura mínima de 60 μm necessária para microsolda do fio e a largura mínima de 80 μm , com distância de 200 μm entre contatos adjacentes, necessária para o uso das microesferas de solda *flip-chip*.

Na análise da microfita, de acordo com os resultados na Tabela VI, o valor de f_{max} inviabilizou a sua utilização na banda de frequências de 60 GHz, tanto no LTCC quanto no HTCC. A microfita também se mostrou inviável na tecnologia IPD, devido à reduzida largura (W) decorrente da pequena espessura do material dielétrico. Desta forma a microfita foi completamente descartada para uso no módulo.

A escolha de materiais LTCC e HTCC com constante dielétrica elevada (≥ 7) justifica-se pela necessidade de redução das dimensões dos circuitos, para interligação com os componentes.

A estrutura da linha CPW, apesar de ser mais complexa e ocupar uma área maior, devido ao seu maior grau de liberdade, viabilizou o dimensionamento das linhas com a impedância padrão de 50 Ω além de atender aos requisitos de interconexão e de montagem dos componentes, conforme se nota na Tabela VI. Desta forma, a linha CPW pode ser utilizada em todos os materiais.

Tabela VI - Comparação entre materiais e tecnologias[†] nas linhas de transmissão

CARACTERÍSTICA	Unidade	IPD Fino	IPD Espesso	IPD Espesso [†]	LTCC 1	HTCC 1	HTCC 2
Largura mínima do condutor na tecnologia	μm	10	10	10	50	50	50
Distância mínima entre os condutores na tecnologia	μm	10	10	10	50	50	50
Microfita: Frequência f_{max}	GHz	412,3	256,1		22,38	22,30	22,29
Microfita: Espessura máxima do substrato (f_{max})	μm (h_{max})	110,7	178,2		1.216	1.147	1.134
Microfita: Largura máxima do condutor (f_{max})	μm (W_{max})	221,4	356,5		2.431	2.294	2.269
Microfita: Largura do condutor de 50 Ω (a 60 GHz)	μm (W_{50})	14,48	23,63		120	104	101
Microfita: Espessura do condutor de 50 Ω (a 60 GHz)	μm (t_{50})	3	3	3	10	10	10
Microfita: Espessura do substrato de 50 Ω (a 60 GHz)	μm (h_{50})	6	9,5		100	100	100
CPW: Espessura máxima do substrato (a 60 GHz)	μm (h_{max})			282,8	217,6	204,6	202,3
CPW: Distância máxima entre condutores de aterramento (a 60 GHz)	μm ($w+2s$)			235,7	181,4	170,5	168,5
CPW: Largura do condutor de sinal de 50 Ω (a 60 GHz) para <i>flip-chip</i> FC60 com passo 200 μm	μm (w_{50})			154,6 (s 22 μm)	135,7 (s 50 μm)	111,6 (s 50 μm)	106,1 (s 50 μm)
CPW: Espaçamento mínimo do condutor de sinal para os de aterramento de 50 Ω (a 60 GHz) para <i>flip-chip</i> FC60 com passo 200 μm	μm (s_{50})			10	50	50	50
CPW: $(w+2s) \ll h$? (aproximação TEM)				Não	Não	Não	Não
CPW: Espessura do substrato	μm			309,5	450	450	450
Comprimento de onda no substrato (a 60 GHz)	mm	3,043	3,043	2,357	1,814	1,705	1,685
Constante Dielétrica (ϵ_r) do substrato (a 60 GHz)		2,7	4,6	4,5	7,6	8,6	8,8
Perdas no Dielétrico ($\tan \delta$) do substrato (a 60 GHz)		0,0009	0,0037	0,003	0,0012	0,0021	0,0013

Notas: * Para as tecnologias LTCC e HTCC foram analisados somente materiais com constante dielétrica elevada (≥ 7) a 60 GHz.

† O substrato do IPD espesso para CPW compõe-se de vidro e camadas depositadas de BCB, material dielétrico.

Mais adiante, conforme a justificativa descrita no item 4.3, foi adotada a linha CPW embutida, ou seja, a CPW com uma camada dielétrica adicional sobre os condutores.

Optou-se pela espessura da camada do LTCC e do HTCC de 100 μm que, apesar de não ser a mínima, tinha vantagem de obter a maior precisão e definição de circuito, furos e vias, de acordo com as regras de projeto. [53]

Definiu-se também a estrutura do módulo composta por quatro camadas de 100 μm e uma última camada de 150 μm . A primeira camada de 100 μm foi adicionada para implementação da linha CPW embutida e não foi considerada na estimativa inicial das dimensões desta e das outras linhas. Esta estrutura também atendeu aos requisitos de um desnível de 100 μm do HPA e as linhas de entrada e saída, para solda com os contatos superiores do MMIC HPA, com a realização da cavidade da antena, descrito em seguida no item 4.3.

A tecnologia HTCC, devido à maior temperatura de cossinterização na sua fabricação, utiliza uma liga de tungstênio como material condutor. A condutividade do tungstênio, porém, de aproximadamente $1,0 \times 10^7$ S/m, é menor que a do cobre ($5,8 \times 10^7$ S/m) e a do ouro ($4,1 \times 10^7$ S/m), o que implica em maiores perdas, seja nas linhas de RF, seja nas linhas de alimentação DC. Esta limitação foi parcialmente resolvida com a utilização de acabamento de ouro, permitida para as linhas metálicas expostas do módulo. Considerando-se a ocorrência do efeito pelicular (circulação da corrente alternada pela superfície do condutor), foi feito o cálculo da profundidade de penetração (δ) no caso de utilização do acabamento de ouro, utilizando-se a equação 5. Na frequência de 57 GHz, esta profundidade é de 0,33 μm . Para frequência de 1 GHz a profundidade aumenta para 2,49 μm . Por este motivo foi dada a preferência, para que todos os circuitos de ondas milimétricas estivessem na superfície do módulo, tendo este acabamento de ouro com espessura de 1,5 μm . O atendimento aos requisitos de microsolda dos fios de ouro do MMIC HPA motivou a escolha desta espessura, que é adequada para circulação do sinal exclusivamente no acabamento de ouro para frequências acima de 2,8 GHz. Nota: Não se utilizou o acabamento de ouro nos circuitos de Banda Base (BB), pois não pode ser implementado nas camadas intermediárias do módulo, devido ao processo de fabricação. Em BB, porém, as perdas no sinal não são tão elevadas quanto no circuito de 60 GHz.

Outro fator que minimiza as perdas nos condutores é que as linhas serão curtas, favorecidas pela reduzida área do módulo e pela definição do empacotamento LGA que aproximou os contatos do módulo e dos seus componentes.

4.3 MONTAGEM DOS COMPONENTES

No projeto do módulo também foi necessário obedecer às regras de projeto, fornecidas pela área de Montagem da ST. Estas regras dependem da montagem a ser realizada nos componentes e estabelecem as distâncias mínimas entre os componentes, e destes para a borda do módulo (vide Figura 30).

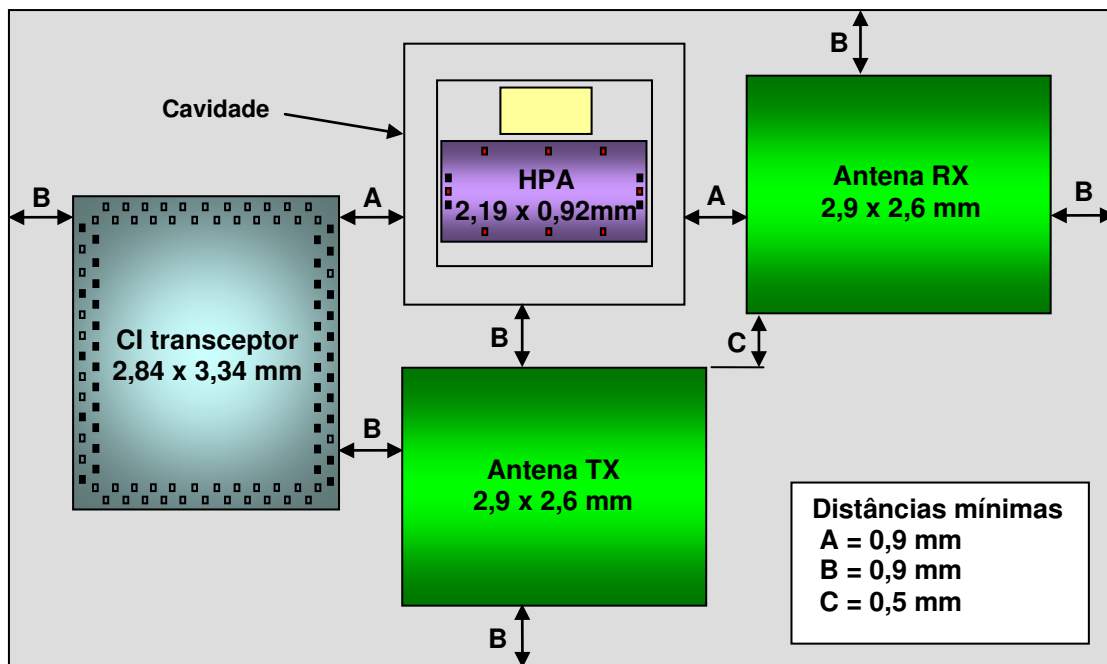


Figura 30 - Requisitos para colocação e montagem dos componentes. [54]

Componentes *flip-chip*, que usam microesferas de solda, necessitam de uma distância em relação à borda do HTCC ou das cavidades, e uma distância mínima entre componentes adjacentes. Ela é necessária para a manipulação dos componentes durante a montagem e também após a solda, pois é realizada a aplicação de resina de subpreenchimento no entorno do componente, para reforçar a adesão da montagem e garantir a integridade da solda das microesferas, conforme mostrado na Figura 31. Por esta razão, a solução encontrada para limitar a resina que, durante a sua aplicação, se encontra no estado líquido, foi utilizar uma máscara de

solda, composta por um revestimento espesso de alumina, servindo como barreira para a resina. Embaixo do CI transceptor, e principalmente no interior das cavidades das antenas, não pode haver nenhum material, para não afetar o desempenho das antenas. Além disso, no entorno destes componentes, também é necessário limitar esta resina, para que ela não escorra até os outros componentes ou para fora da superfície superior do módulo.

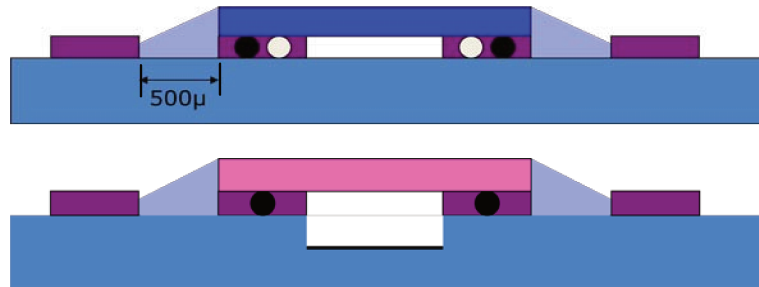


Figura 31 - Requisitos da resina para o CI transceptor (acima) e para a antenna IPD (abaixo). [54]

Outra regra da área de Montagem é o diâmetro mínimo das microesferas. A altura padrão destas após o *flip-chip* é de 80 μm, necessitando de um contato com diâmetro 113 μm. De forma a reduzir a altura das microesferas para 70 μm, após o *flip-chip*, foram especificados contatos de diâmetro 127 μm, conforme mostra a Figura 32.

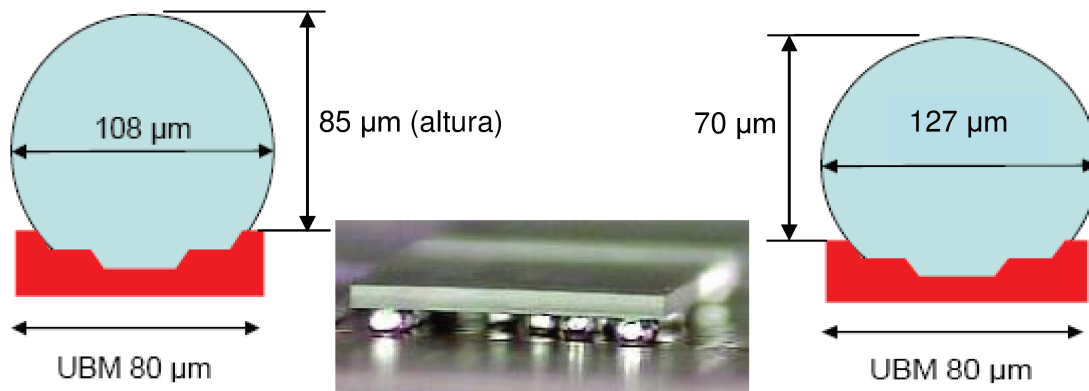


Figura 32 - Microesfera do tipo FC60A antes (à esquerda) e após a solda por compressão *flip-chip* (à direita). [56]

Recomendou-se também que as microesferas não fossem conectadas diretamente às linhas metálicas na superfície do módulo, devido ao risco da microesfera de solda derreter-se no processo *flip-chip* e se espalhar pela linha, deixando de realizar a interconexão. Descartou-se a utilização do revestimento espesso de alumina, para limitar o espalhamento da solda, por causa de sua porosidade que não impede a penetração, a absorção e o espalhamento da solda. Assim, definiu-se a utilização das linhas de transmissão entre as camadas internas (linhas de

transmissão embutidas), para todas as interligações com as microesferas do CI transceptor e das antenas. Na superfície superior do módulo não foram colocadas linhas de circuitos, mas apenas os contatos para a solda das microesferas. Os contatos se interligarão às linhas interpostas entre as camadas inferiores, através das vias metálicas.

O chip HPA, que é um MMIC de GaAs, não permite a realização de interconexão *flip-chip*, nem a utilização de microesferas de solda, pois, além de ser necessário conectar os contatos do topo (superfície superior) do chip, a superfície inferior do chip deve ser soldada e inteiramente conectada ao plano de aterramento. Os contatos do topo serão conectados com microsolda dos fios de ouro às linhas do HTCC que chegam perto da borda da cavidade. A solução encontrada foi soldar o chip do HPA dentro de uma cavidade de profundidade de 100 μm , cujo fundo é metalizado e conectado ao aterramento. Com isto, as ligações dos contatos do topo até os circuitos do módulo, colocados próximos da borda da cavidade, terão o menor comprimento possível, conforme a recomendação do fabricante do HPA, para reduzir as perdas e parasitas. A solda do tipo eutética, que utiliza uma preforma de ouro e estanho, foi recomendada para a solda do chip, mas outro adesivo epóxi condutivo será também avaliado, pois, neste caso, não se requer que todo o módulo seja submetido à alta temperatura (300°C) como na solda eutética. No dimensionamento da cavidade do HPA, foram consideradas as tolerâncias, tanto nas dimensões do chip HPA quanto da cavidade do módulo, de forma a deixar uma folga mínima entre o chip e a borda da cavidade, próximo à entrada e à saída do sinal de 60 GHz. A largura da cavidade foi dimensionada para acomodar o chip do HPA e seus componentes adicionais (capacitores de filtro das tensões de dreno e de porta), que são montados com as mesmas técnicas. Para reduzir o comprimento dos fios de interligação, as linhas de aterramento se estendem até a borda da cavidade. Isto, porém, não é permitido para as linhas de sinal que requerem um espaçamento mínimo até a borda da cavidade ou do módulo.

Outra recomendação da área de montagem está relacionada com a proteção mecânica do chip HPA, dos componentes adicionais e das ligações de fio. Realiza-se esta proteção com a aplicação de uma resina *glob-top*, após a montagem e interconexão dos componentes, seguida da cura térmica. A cura térmica a que se submete a montagem, provoca o endurecimento da resina, tornando toda a montagem compacta e mais imune aos danos físicos. Nota: Como a aplicação da

resina *glob-top* não é recomendada pelo fabricante do HPA, o seu uso dependerá de sua influência no desempenho do HPA que será avaliado no módulo de teste.

Considerando todas estas regras e recomendações para montagem dos componentes e também a influência destas soluções no desempenho do sistema, foi definida uma cavidade dupla para acomodar o HPA e também para limitar a resina *glob-top*. Este foi outro motivo para a adoção da linha embutida na camada interna. Cada cavidade é definida em uma ou mais camadas do módulo, dependendo de sua profundidade. Devido à necessidade de se conectar a extremidade das linhas com os contatos dos componentes, foi prevista uma largura mínima entre a cavidade profunda e a outra cavidade, requisito do equipamento de microsolda dos fios de ouro. A Figura 33 mostra os requisitos dimensionais da cavidade dupla, bem como o perfil da montagem do chip HPA na dupla cavidade.

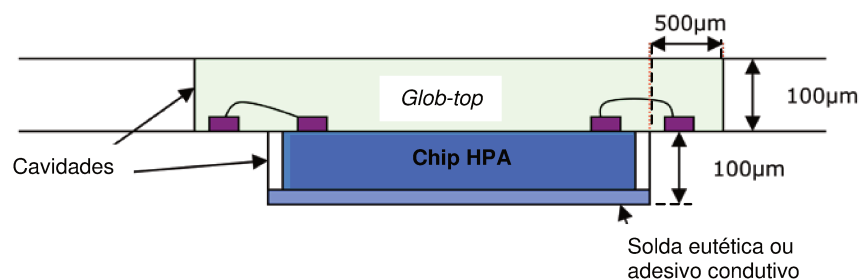


Figura 33 - Cavidade dupla para solda do HPA, interconexão dos contatos de topo e limitação da resina *glob-top*. [57]

Levando-se em conta também a profundidade da cavidade de cada antena, de no mínimo 250 μm , e para a montagem do HPA (100 μm), foi estabelecida a necessidade de 5 camadas dielétricas, quatro com espessura 100 μm e a última com espessura 150 μm , totalizando uma espessura de 550 μm no módulo, conforme mostrado na Figura 34. Note-se também a camada dielétrica que foi adicionada no topo da estrutura, com a escolha da linha de RF do tipo CPW embutida, e o uso do revestimento espesso de alumina, servindo de limitador ou barreira à resina de subpreenchimento.

4.4 CIRCUITOS DE RF

O projeto dos circuitos de RF na banda de 60 GHz representa o maior desafio, por causa da elevada atenuação que sofrem as ondas milimétricas. Para otimização do desempenho

realizou-se o estudo do posicionamento dos componentes e a análise de sua montagem, de acordo com as linhas de transmissão especificadas, ou mais apropriadas, e as interconexões. A inclusão das antenas de TX e RX dentro do módulo é parte da estratégia, visando à minimização das perdas que ocorrem no circuito de RF e nas interconexões entre o transceptor, o HPA e a antena.

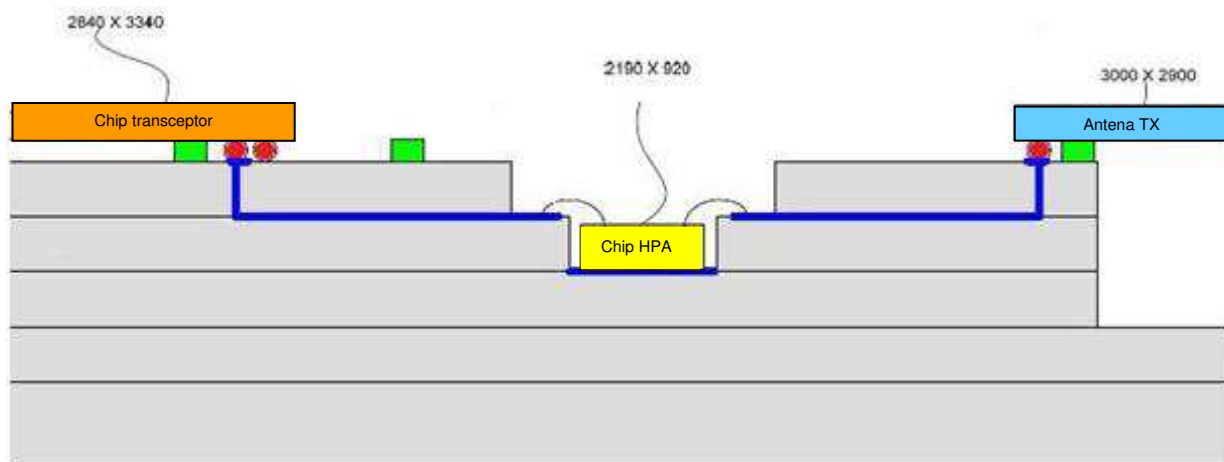


Figura 34 - Estrutura do HTCC, incluindo a dupla cavidade do HPA, a proteção de alumina e as interconexões. [54]

De acordo com as características dos contatos das interfaces RF do CI transceptor e devido à inviabilidade de utilização da microfita, definiu-se o uso da linha CPW, conforme descrito no item 4.2. O CI transceptor foi projetado para montagem *flip-chip*, na qual todos os contatos ficam na face inferior e, após a fixação das microesferas de solda, realiza-se a solda por compressão térmica com a face dos contatos do chip, voltada para baixo. No caso das antenas, a linha CPS foi adotada para sua alimentação, para aproveitar a sua configuração dipolo e para evitar o uso de redes de casamento de impedância, conforme foi descrito na especificação das mesmas. No caso do HPA, por ser um MMIC, recomendava-se utilizar a microfita e a interconexão com microsolda de fio. O desempenho do HPA é otimizado pelo seu fabricante, considerando-se a sua montagem com o uso de ligações com microsolda de fio e especificando-se um comprimento máximo para as ligações, para limitar os efeitos de indutância parasita e perdas. Na tecnologia de circuitos integrados híbridos (MIC) isto é factível, pois as placas de circuito são montadas de forma justaposta ao chip.

Após a definição do posicionamento dos componentes principais do módulo (CI transceptor, o HPA e as antenas) da forma mais próxima possível, atendendo às regras e recomendações da montagem, definiu-se a linha CPW embutida para interconexão do circuito de RF entre todos. No caso do HPA, cuja recomendação era de utilizar a microfita, a linha CPW fica exposta na borda da cavidade, devido à estrutura da dupla cavidade. Esta parte exposta recebe o acabamento de ouro, que permite a microssolda do fio. Somente o contato do sinal de RF é ligado à microssolda de fio. As extremidades expostas dos condutores de aterramento da CPW são interligadas, através de vias no módulo, transpassando a camada inferior e conectando-se ao plano de aterramento sobre o qual será soldado o chip do HPA.

Evitou-se a extensão do plano de aterramento e a colocação de algum circuito abaixo destas linhas CPW nas camadas inferiores do módulo, exceto os contatos LGA na base do módulo, para preservar a estrutura característica da linha CPW de acordo com a condição de simulação.

A Tabela VII, a seguir, mostra as dimensões finais dos circuitos de RF e dos contatos para a solda dos componentes, utilizadas no projeto do *layout* do módulo. Estas dimensões foram estimadas com auxílio do software Advanced Design Systems® (ADS), opção Momentum da Agilent Technologies, que utiliza simulação eletromagnética, e considerando toda a estrutura do módulo e as restrições definidas no projeto, de largura e espaçamento mínimo. Nota: O dimensionamento final destas linhas CPW coube à mesma equipe do LETI responsável pelo projeto das antenas, visto que o seu casamento de impedância é realizado na própria linha de transmissão; a otimização do desempenho das antenas considerou todas as condições da montagem, incluindo modelos das microesferas de solda e das vias, além das linhas de alimentação.

Na Tabela VII, as dimensões dos contatos foram especificadas de acordo com os requisitos de montagem do transceptor, do HPA e da antena e os requisitos da área de Montagem. Nota-se que a largura da CPW embutida, sendo menor que a dos contatos do transceptor e da antena, foi viabilizada com a utilização de vias com diâmetro menor (50 μm) e que interconectam a CPW embutida aos contatos. O diâmetro dos contatos deve ser maior que o das vias, conforme as regras de fabricação do HTCC. No topo da camada acima do circuito de

RF há somente os contatos para solda flip-chip do transceptor e das antenas. Também o reduzido espaçamento, entre o condutor de sinal e os de aterramento, foi compatível com o passo especificado entre os contatos do transceptor e das antenas. Além disso, as dimensões da CPW exposta são adequadas, ou seja, tem largura mínima para a interligação com o HPA com microsolda dos fios.

Tabela VII - Dimensões das linhas e dos contatos para solda dos componentes [52]

CARACTERÍSTICA	Unidade	Contatos transceptor	CPW embutida	CPW exposta	Contatos HPA	CPS da antena	Contatos antena
Largura do <i>pad</i> de contato ou do condutor de sinal	μm	127	75	85	60	100	127
Espaçamento entre contatos ou entre o condutor de sinal e os de aterramento	μm	73	75	50	30	75	73
Largura do <i>pad</i> ou do condutor de aterramento	μm	127	>225	>185	80	100	127
Passo entre contatos de sinal e de aterramento	μm	200			100		200
Largura total da linha de transmissão (mínima)	μm		>675	>555		275	
Espessura do substrato	μm		450	450		300	
Espessura da camada acima do circuito RF	μm		100	Não há		Não há	

As perdas máximas na banda de frequências especificada, obtidas por simulação para as linhas RX, TX1 e TX2, mostradas na Figura 35, foram de 0,68 dB, 0,73 dB e 0,28 dB respectivamente, sem incluir as perdas nas vias de interconexão com os contatos na superfície do módulo, conforme informações recebidas da equipe do LETI. [52] Com a inclusão das perdas nas vias, nos contatos do módulo e nas microesferas de solda, as perdas nas linhas RX, TX1 e TX2 aumentaram para 1,6 dB, 2,7 dB e 1,5 dB respectivamente, ressaltando que nas linhas TX1 e TX2 não estão inclusas as ligações de fio, pois elas fazem o casamento de impedância do HPA. A causa da perda maior na linha TX1 é a utilização de duas dobras, além da exposição da extremidade da linha próxima à cavidade do HPA que, por alterar as condições próximas do circuito, provoca certa descontinuidade (descasamento). A linha TX2 também tem a exposição

da extremidade da linha próxima à cavidade do HPA. A ferramenta de simulação permite obter valores precisos de atenuação, otimizando-se as dimensões para redução da mesma, além de otimizar o casamento de impedância entre as linhas e os componentes. O HTCC é fabricado de acordo com estas dimensões, no entanto, na prática espera-se que ocorram variações decorrentes das tolerâncias especificadas durante a fabricação do módulo HTCC, afetando a espessura das camadas dielétricas e metálicas, dimensões das áreas e circuitos metálicos, incluindo vias e contatos e dimensões das cavidades. Apesar disso, como as tolerâncias estão dentro da margem de até 10% de variação, espera-se que seja suficiente para obter o desempenho satisfatório em escala de produção.

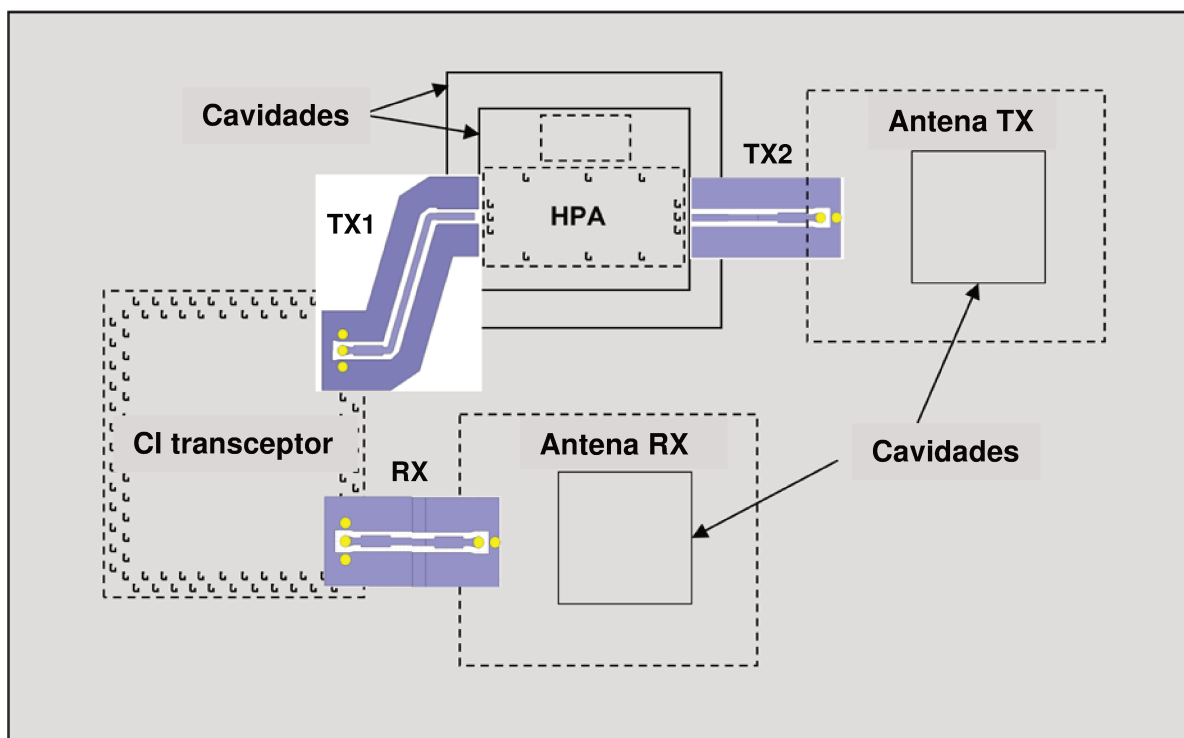


Figura 35 - Layout do circuito de RF do HTCC. [52]

4.5 CIRCUITOS DE BANDA BASE

Os circuitos de Banda Base (BB), nos quais trafegam sinais numa frequência de 1 a 2,9 GHz, apresentam alguns requisitos de projeto menos críticos que os circuitos de 60 GHz. Há circuitos de entrada e saída, tanto em fase (*In phase*) quanto em quadratura (*Quadrature*). Cada um destes circuitos é formado por um par diferencial, um de sinal positivo (P) e outro negativo

(N). Cada circuito diferencial requer características elétricas de perda de inserção e de atraso de fase iguais, a fim de evitar o desbalanceamento entre os sinais P e N, e uma impedância característica de 100Ω , correspondente a uma impedância característica de 50Ω em cada circuito, para o adequado casamento de impedâncias.

No projeto dos circuitos de BB, analisou-se o posicionamento dos contatos do CI transceptor em relação aos contatos LGA do módulo, para escolher os que fossem mais próximos aos contatos do transceptor. Em seguida, foram dimensionados os circuitos de maneira que todos tivessem o mesmo comprimento, determinado pelo circuito de maior distância entre o contato do módulo e o contato correspondente do CI transceptor. Todos os circuitos foram alocados no 5º nível de metal, o mais distante possível dos circuitos de 60 GHz, para diminuir a interferência entre os mesmos. Procurou-se utilizar o mesmo número de dobras e um *layout* o mais similar possível, especialmente para cada par diferencial de sinais. Nenhum outro circuito foi colocado próximo aos circuitos BB, tanto no 5º nível de metal quanto nos demais, exceto as próprias vias de interconexão destes circuitos e os contatos do CI transceptor e do módulo. Como todos os circuitos estão embutidos entre as camadas do módulo, não foi possível o uso do acabamento de ouro para se reduzir as perdas.

Inicialmente foi feito um dimensionamento das estruturas básicas dos circuitos, com auxílio da ferramenta software TX Line® (da Applied Wave Research), sendo adotadas as dimensões padrão da tecnologia para a largura do condutor e respeitando-se o espaçamento entre condutores adjacentes. A ferramenta software Cadence Virtuoso Layout® foi utilizada para o desenho de todo o *layout* do HTCC, inclusive das camadas dielétricas, das cavidades e do revestimento espesso de alumina. A ferramenta software Advanced Design System® (ADS) da Agilent Technologies foi utilizada para simulação elétrica e eletromagnética de toda a estrutura e *layout* do circuito. A simulação eletromagnética, diferentemente da simulação elétrica, considera a influência dos circuitos entre si. No entanto toda a estrutura com o *layout* de todos os circuitos deve ser modelada em três dimensões (3D). Além da complexidade de modelagem, a simulação eletromagnética requer maior capacidade de processamento computacional. Para simplificar o projeto, além de utilizar elementos mais básicos, podem-se desconsiderar os

elementos mais afastados do circuito em análise sem afetar significativamente a precisão. Este foi o motivo de não se colocar outros circuitos próximos aos de BB no mesmo plano.

No projeto dos circuitos realizou-se o casamento de impedância 50Ω para cada circuito, e 100Ω para cada par diferencial. Os resultados iniciais de simulação indicaram uma impedância um pouco superior a 50Ω , com a utilização de vias com diâmetro de $50 \mu\text{m}$. Esta impedância foi calculada, considerando-se a condutividade do metal da via. A impedância foi otimizada, alterando-se o diâmetro da via para $75 \mu\text{m}$, que é padrão para todas as diferentes espessuras da camada dielétrica. Para se reduzir ainda mais a impedância, a largura das linhas também foi aumentada de $50 \mu\text{m}$ para $75 \mu\text{m}$, valor padrão da regra de projeto do módulo HTCC. A redução na diferença do atraso de fase e da atenuação entre os circuitos do par diferencial foi realizada com a alteração do *layout* do circuitos de entrada em fase (P e N) e de saída em quadratura (P e N). Assim, foi otimizada a impedância de cada circuito aproximando-se de 50Ω , sendo a impedância do par diferencial otimizada para 100Ω . O casamento de impedância satisfatório pode ser comprovado pelos valores elevados da perda de retorno, medidas para cada par diferencial, com impedância de referência de 100Ω , obtidas na simulação eletromagnética dos circuitos. Os outros objetivos na otimização foram a redução da perda de inserção, que corresponde à atenuação do sinal, e a similaridade desta perda de inserção e do atraso de fase, nos circuitos de cada par diferencial. As geometrias 3D dos circuitos de BB, antes e após os ajustes de otimização, estão mostradas na Figura 36. As vias são indicadas em cores diferentes, correspondendo às diferentes camadas dielétricas do módulo. Na parte inferior estão os contatos LGA do módulo, bem maiores que os do CI transceptor. Os contatos superiores, no alto da Figura 36, são de entrada, em fase e em quadratura, cada par diferencial com um contato de aterramento intercalado. Os contatos na parte de baixo à esquerda da Figura 36 são os de saída, de forma similar aos de entrada. Para os circuitos de entrada de BB, os resultados de simulação, após a otimização, são mostrados na Figura 37 para os circuitos individuais (portas 1 e 2 no circuito em fase positivo; portas 3 e 4 no circuito em fase negativo; portas 5 e 6 no circuito em quadratura positivo e portas 7 e 8 no circuito em quadratura negativo), e na Figura 38 para cada par diferencial (portas 1 e 2 no par diferencial em fase e portas 3 e 4 no par diferencial em quadratura).

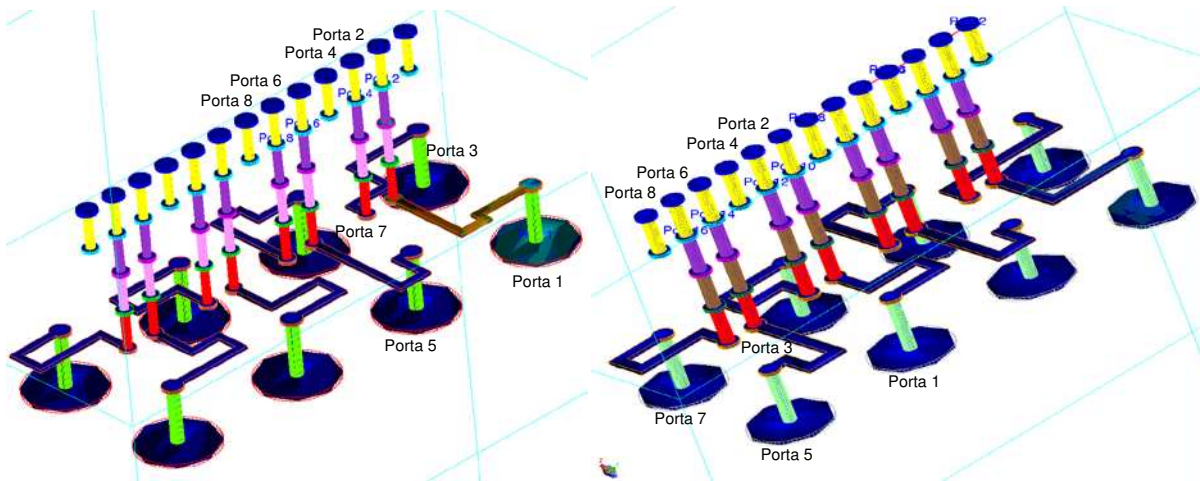


Figura 36 - Geometria dos circuitos de BB na estrutura de camadas múltiplas do HTCC (vista em 3D). Projeto inicial (à esquerda) e após os ajustes (à direita).

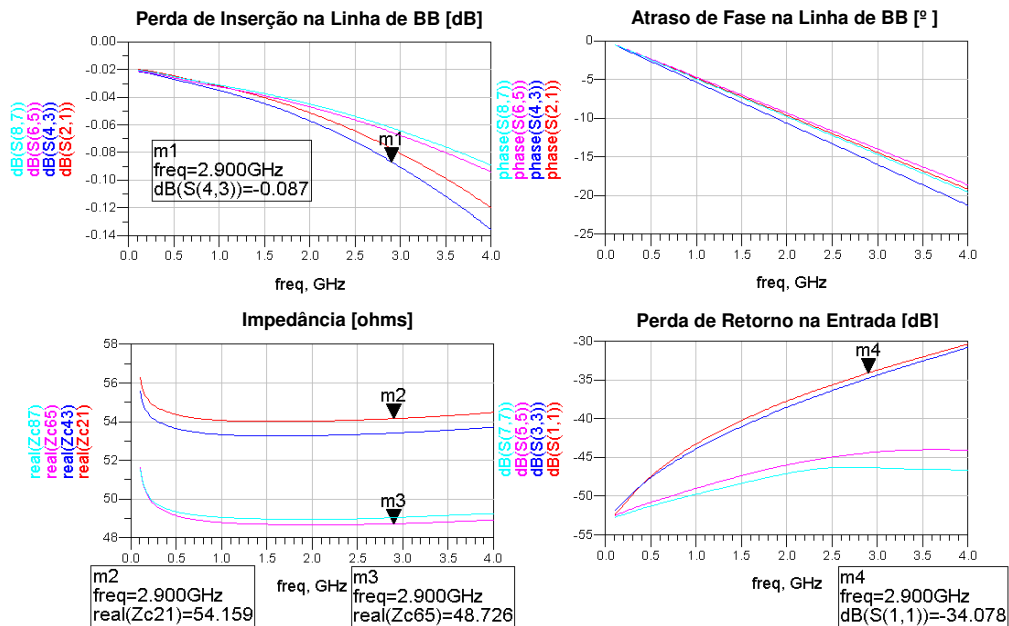


Figura 37 - Resultados de simulação de cada um dos circuitos de entrada BB (impedância de referência 50 Ω).

Sabendo-se que uma impedância mais próxima de 50 Ω corresponde a um casamento de impedância melhor e, portanto, uma perda de retorno maior, nota-se na Figura 37 a perda de retorno superior a 26 dB, obtida para todos os circuitos individuais, que é satisfatória para valores superiores a 10 dB. Também se nota uma diferença reduzida no atraso de fase ($< 1^\circ$) entre os circuitos de cada par diferencial. Uma diferença no atraso de fase de até 2° é considerada satisfatória. Quanto à atenuação (perda de inserção), todos os valores estão abaixo de 0,1 dB, com uma diferença abaixo de 0,01 dB entre os circuitos de cada par diferencial e entre

os pares diferenciais. Uma diferença na atenuação abaixo de 1 dB é considerada satisfatória. Em relação aos pares diferenciais de entrada de BB, os resultados mostrados na Figura 38 indicam um casamento de impedância satisfatório, com a perda de retorno superior a 27 dB. A diferença no atraso de fase entre os pares diferenciais é menor que 2° na frequência de 2,9 GHz e as atenuações (perdas de inserção) além de serem reduzidas, têm diferença menor que 0,01 dB.

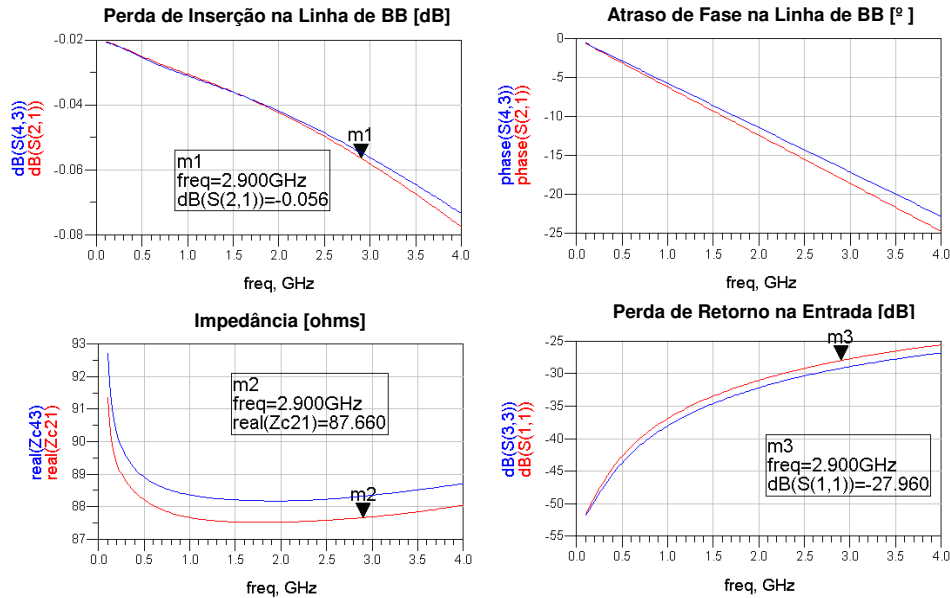


Figura 38 - Resultados de simulação dos circuitos de entrada de BB (par diferencial com 100 Ω).

Para os circuitos de saída de BB, os resultados de simulação, após a otimização, são mostrados na Figura 39 para os circuitos individuais (portas 1 e 2 no circuito em fase positivo; portas 3 e 4 no circuito em fase negativo; portas 5 e 6 no circuito em quadratura positivo e portas 7 e 8 no circuito em quadratura negativo), e na Figura 40 para cada par diferencial (Portas 1 e 2 no par diferencial em fase e Portas 3 e 4 no par diferencial em quadratura).

De acordo com a Figura 39 nota-se que os circuitos estão com casamento de impedância satisfatório, comprovado pela elevada perda de retorno (> 26 dB). A diferença no atraso de fase foi um pouco maior (cerca de 2°) para um dos circuitos, mas não se refletiu no atraso de fase do par diferencial, conforme o comentário a seguir. Nota-se a reduzida atenuação nos circuitos, com uma variação de 0,02 dB a 2,9 GHz.

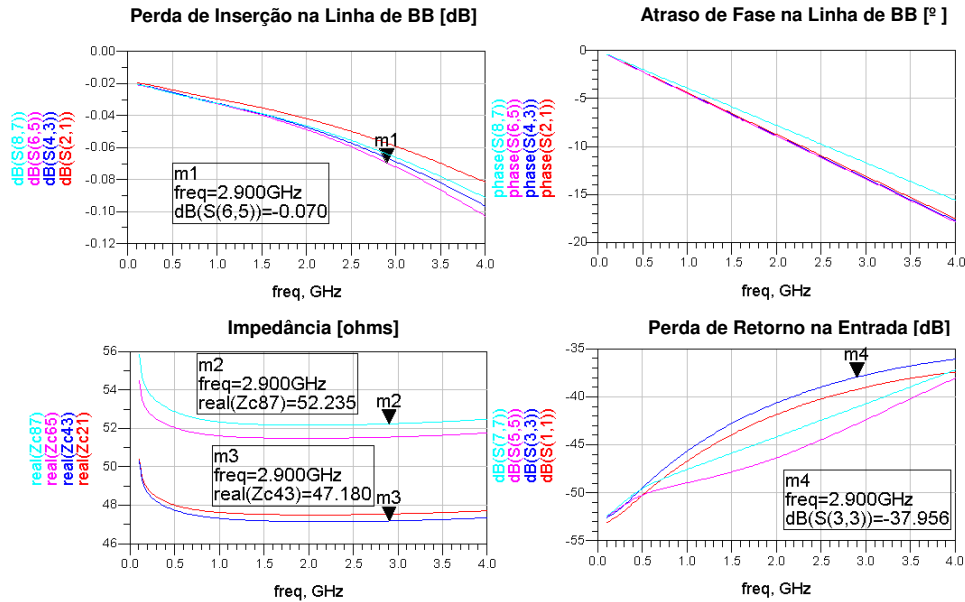


Figura 39 - Resultados de simulação de cada um dos circuitos de saída BB (impedância de referência 50 Ω).

Em relação aos pares diferenciais da saída, conforme a Figura 40, nota-se que o casamento de impedância está satisfatório, com a perda de retorno elevada (> 27 dB). A diferença no atraso de fase entre os pares diferenciais é menor que 1° , e as atenuações são menores que 0,06 dB, com uma diferença menor que 0,002 dB, as quais correspondem a valores satisfatórios.

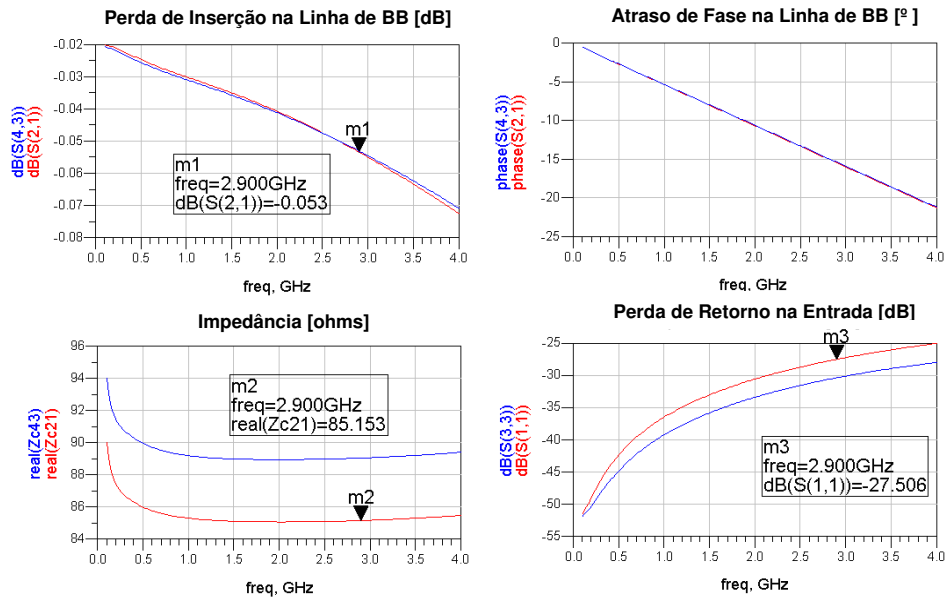


Figura 40 - Resultados de simulação dos circuitos de saída de BB (par diferencial com 100 Ω).

Desta forma, os resultados de simulação dos circuitos de entrada e de saída de BB, obtidos após a otimização alcançaram valores satisfatórios de perda de retorno e diferenças reduzidas no atraso de fase e na atenuação, suficientes para manter o balanceamento entre todos os circuitos BB. As regras de projeto e recomendações da tecnologia HTCC, como dimensões padrões e/ou mínimas de largura de linha, diâmetro de via e espaçamento entre linhas e vias, foram observadas. Espera-se que na prática os resultados sejam próximos dos obtidos em simulação, mesmo levando-se em conta as tolerâncias nas dimensões no processo de fabricação do módulo HTCC, pois as frequências são inferiores a 3 GHz.

4.6 COMPONENTES DOS CIRCUITOS DE ALIMENTAÇÃO

Cada linha de tensão de alimentação de tensão e corrente contínua (CC) do CI transceptor requer um circuito de filtro e isolamento, conforme indicado na Figura 41. [58] Devido à área limitada do HTCC próximo ao CI transceptor, decidiu-se colocar no módulo somente um capacitor do circuito (valor 10 pF ou 100 pF) para cada linha de alimentação. O capacitor foi colocado o mais próximo possível do CI transceptor, o que é necessário tanto para eliminar o ruído da tensão de alimentação do CI, quanto para evitar que ruídos internos do CI causem interferência em outros circuitos, através da linha de alimentação. Os demais componentes do circuito de cada tensão de alimentação não serão colocados no módulo HTCC, mas na PCI sobre a qual o mesmo será montado.

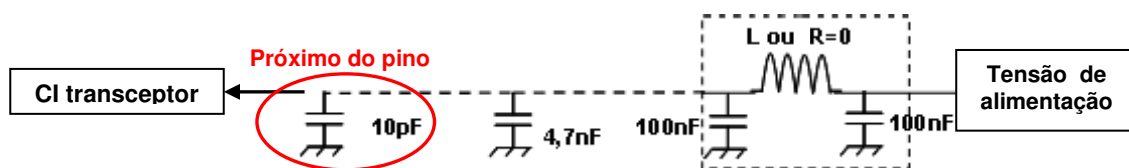


Figura 41 - Circuito de filtro e isolamento da tensão de alimentação do CI transceptor. [58]

Outra estratégia de projeto, para reduzir o número de componentes adicionais no módulo HTCC, foi agrupar as linhas de tensão de alimentação de alguns circuitos similares que não interferem no desempenho um do outro. Assim, foram definidas nove linhas de tensão de alimentação para os circuitos do CI transceptor:

- +0,7 V (para o amplificador de potência – PPA)
- +1,8 V (para o amplificador de ganho de tensão e o filtro)

- +1,8 V (para o comparador de fase)
- +1,2 V (para o amplificador de baixo ruído – LNA)
- +1,2 V (para os misturadores de frequência de RX 1 e RX 2)
- +1,2 V (para os circuitos digitais da interface *Inter-Integrated Circuit* (I²C))
- +1,2 V (para os misturadores de frequência de TX 1 e TX 2)
- +1,2 V (para o divisor por 2, o oscilador controlado por tensão e o divisor por N)
- +1,2 V (para os circuitos de polarização)

Os capacitores do circuito de filtro e isolação foram definidos com valor 10 pF para circuitos analógicos e de RF, e com valor 100 pF para circuitos digitais, [58] todos com as mesmas dimensões externas, apropriados para montagem SMT e disponíveis comercialmente. Todos os capacitores foram posicionados próximos ao CI transceptor, externamente ao revestimento espesso de alumina, de forma a permitir a inserção automática na montagem (vide Figura 49). Cada linha de tensão de alimentação conecta-se ao capacitor, antes de se conectar ao respectivo contato do CI transceptor. O contato de aterramento, associado a cada tensão de alimentação do CI transceptor, foi conectado ao plano de aterramento do 5º nível de metal com o menor comprimento possível do circuito, de forma a reduzir a indutância parasita série. O mesmo cuidado foi tomado com o outro terminal de cada capacitor.

Além das linhas de tensão de alimentação do CI transceptor, também foram projetadas as linhas de tensão de polarização do HPA. De acordo com as recomendações do fabricante, a linha se estende até próximo da borda da cavidade do HPA, de forma a possibilitar as conexões com microsolda de fio, até os terminais superiores dos capacitores discretos de micro-ondas e depois, aos terminais no topo do HPA. Os contatos de porta (*gate*) do HPA serão conectados ao aterramento, da mesma forma, conforme a montagem recomendada pelo seu fabricante (Figura 26). O plano de aterramento do HPA ocupa toda a sua face inferior (base), que será soldada no fundo da cavidade, conforme mostrado na Figura 45 e Figura 46. Áreas de aterramento foram colocadas na borda da cavidade (2º nível de metal) e interconectadas através de vias de diâmetro grande, até a extensão do plano de aterramento do fundo da cavidade do HPA (3º nível de metal). O acabamento com ouro será implementado em todas estas áreas, que estão expostas, para a realização das ligações por microsoldas de fio.

4.7 COMPONENTES DO FILTRO DO SINTETIZADOR PLL

O CI transceptor requer também um circuito externo de filtro do sintetizador PLL (*Phase Locked Loop*), que é mostrado no diagrama do CI transceptor (Figura 25). O circuito de filtro utiliza componentes discretos, cuja integração no próprio CI transceptor é limitada pelas características de desempenho e onerosa pela ocupação de grande área. Estes componentes discretos do filtro do PLL, mostrados na Figura 42 [58], devem ser colocados próximos aos contatos do circuito de PLL. Alguns dos componentes do filtro são opcionais e podem ser utilizados no ajuste do funcionamento e, conseqüentemente, deve ser prevista a sua colocação no módulo HTCC.

No projeto deste circuito, procurou-se manter a linha de conexão entre a saída do filtro externo e o contato de entrada no CI transceptor isenta de interferências, estando bem isolada dos outros contatos do VCO (Oscilador Controlado por Tensão) e do PLL. Isto é importante, pois quaisquer interferências aumentam o ruído de fase do VCO e do sintetizador de frequência e, por consequência, afetam o desempenho geral do CI transceptor, reduzindo a sensibilidade na recepção do sinal. Assim, os componentes foram colocados próximos aos contatos correspondentes do CI transceptor, com as linhas do circuito passando abaixo destes componentes, e afastadas dos outros componentes e circuitos, como as linhas de tensão de alimentação e as linhas de sinais, ligadas aos contatos do módulo.

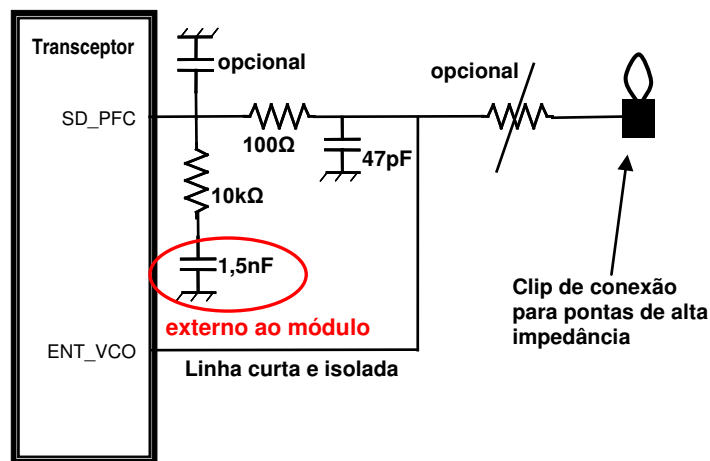


Figura 42 - Circuito do filtro do sintetizador PLL a ser interconectado com o CI transceptor. [58]

Os circuitos do filtro do PLL podem ser vistos na Figura 46 e Figura 47, do lado esquerdo na parte superior, acima dos contatos do CI transceptor, e os componentes discretos do filtro são mostrados na Figura 44 e Figura 49, juntamente com os componentes dos circuitos de alimentação CC.

4.8 LISTA DE COMPONENTES E INSUMOS

Ao término do projeto, todos os componentes a serem montados no módulo HTCC foram listados na Tabela VIII, e os insumos, ou seja, materiais consumidos nos processos de montagem dos componentes no módulo estão listados na Tabela IX. Tanto os componentes quanto os materiais são adquiridos externamente à ST.

Tabela VIII - Lista de componentes do SiP

Item	Descrição	Fabricante	Quantidade
1	Amplificador de potência MMIC de GaAs 60 GHz	SEDI	01
2	Capacitor 220pF monocamada, terminais com acabamento de ouro	ATC	01
3	Capacitor 10 pF cerâmico, SMD 0201	Murata	08
4	Capacitor 100 pF cerâmico, SMD 0201	Murata	01
5	Capacitor ceramic opcional de ajuste, SMD 0201	Murata	01
6	Capacitor cerâmico 47 pF, SMD 0201	Murata	01
7	Resistor 10 k Ω , SMD 0201	Murata	01
8	Resistor 100 Ω , SMD 0201	Murata	01
9	Resistor opcional de ajuste	Murata	01

Tabela IX - Lista de insumos do SiP

Item	Descrição	Fabricante
1	Preforma de ouro-estanho (AuSn) para solda eutética	
2	Adesivo condutivo de prata e epóxi (opcional do item 1)	EPO-TEK
3	Resina de subpreenchimento após <i>flip-chip</i>	Ablestick
4	Fio de ouro para interligação e microsolda (duro ou semiduro) com diâmetro de 18 a 25 μm	
5	Resina <i>glob-top</i>	

Nota: Na lista dos componentes não estão incluídos os componentes de fornecimento interno à ST – o próprio CI transceptor e as duas antenas, bem como as microesferas de solda que fazem parte destes componentes e são montados ao final de sua fabricação.

4.9 LAYOUT E ESTRUTURA

Na elaboração do *layout* do módulo HTCC foi utilizada a ferramenta software Cadence Virtuoso Layout, da empresa Cadence Design Systems. A estrutura do módulo HTCC foi definida durante o projeto, principalmente conforme descrito nos itens 4.1 a 4.4.

A estrutura definida para o módulo HTCC é mostrada na Figura 43, com as camadas dielétricas, os níveis de metal interpostos e o revestimento espesso de alumina na superfície, ou seja, acima da primeira camada dielétrica e do 1º nível de metal. O *layout* do HTCC, realizado nos níveis de metal, é mostrado da Figura 44 à Figura 50, todos vistos de cima.

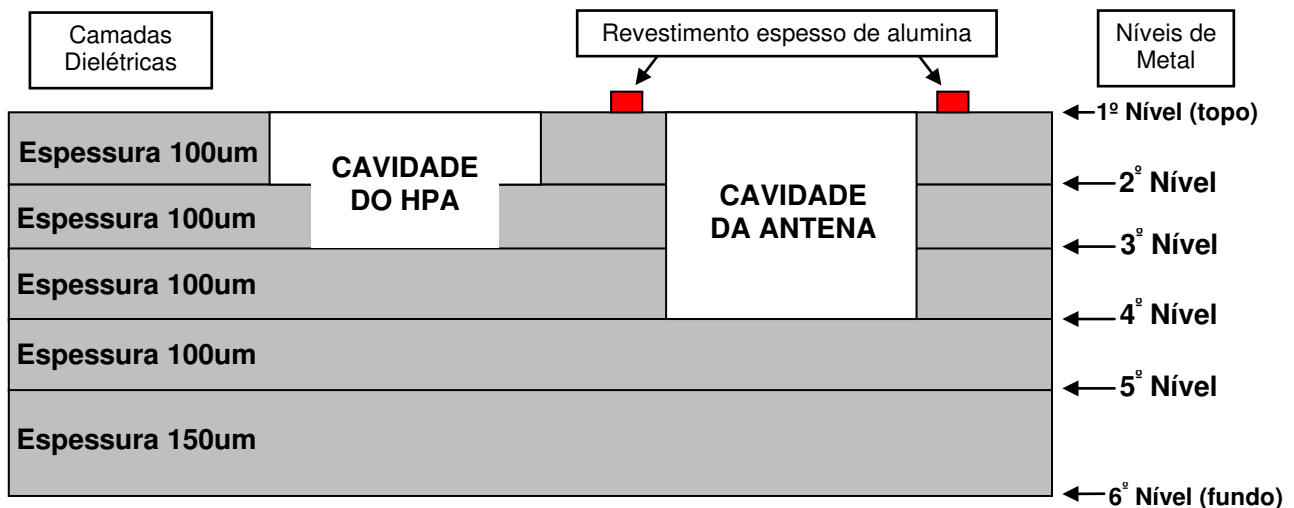


Figura 43 - Estrutura do módulo HTCC.

No 1º nível de metal (Figura 44) à esquerda, notam-se os contatos do CI transceptor, em linha dupla, e de todos os componentes externos dos circuitos de alimentação e do filtro do sintetizador PLL (parte superior). No centro há a cavidade maior do MMIC HPA (acima) e uma das antenas (RX) com os contatos para solda *flip-chip* e a sua cavidade (abaixo). À direita está a outra antena (TX) similar, com a área metalizada ao redor das mesmas, para melhoria do desempenho e redução da interferência nos componentes próximos. Os furos nesta camada estão indicados na cor escura e são vias para interconexão com circuitos e contatos em níveis

inferiores. Há também o circuito do filtro do PLL à esquerda, acima do CI transceptor, bem como todos os circuitos de alimentação CI transceptor à esquerda (acima e abaixo do mesmo).

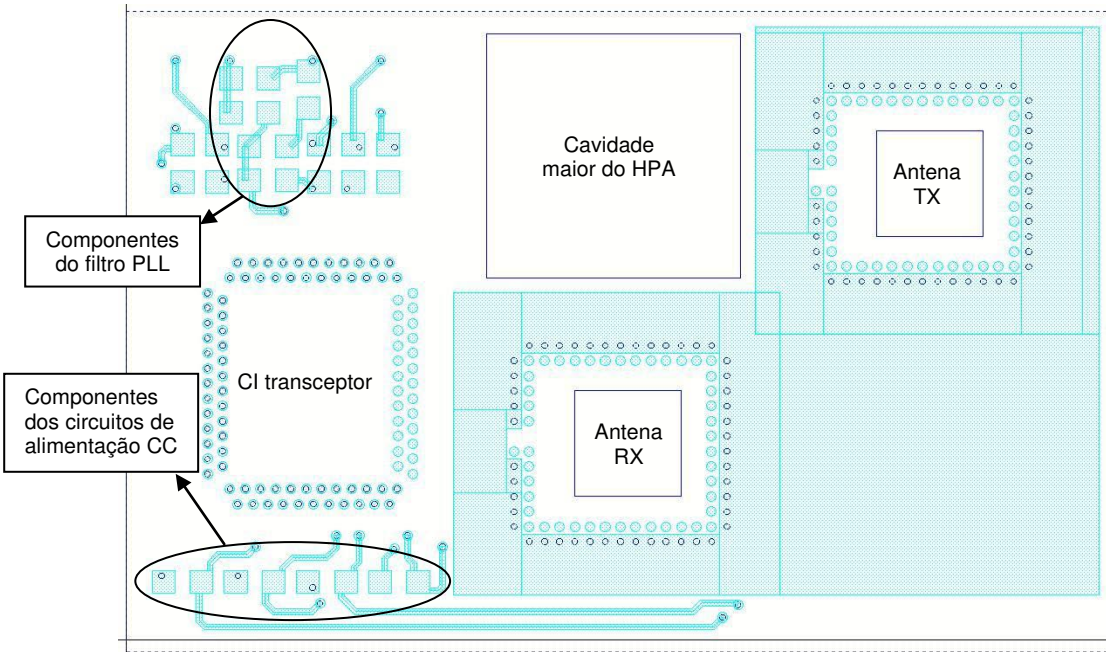


Figura 44 - Layout do HTCC: 1º nível de metal (topo) e vias e furos na 1ª camada dielétrica.

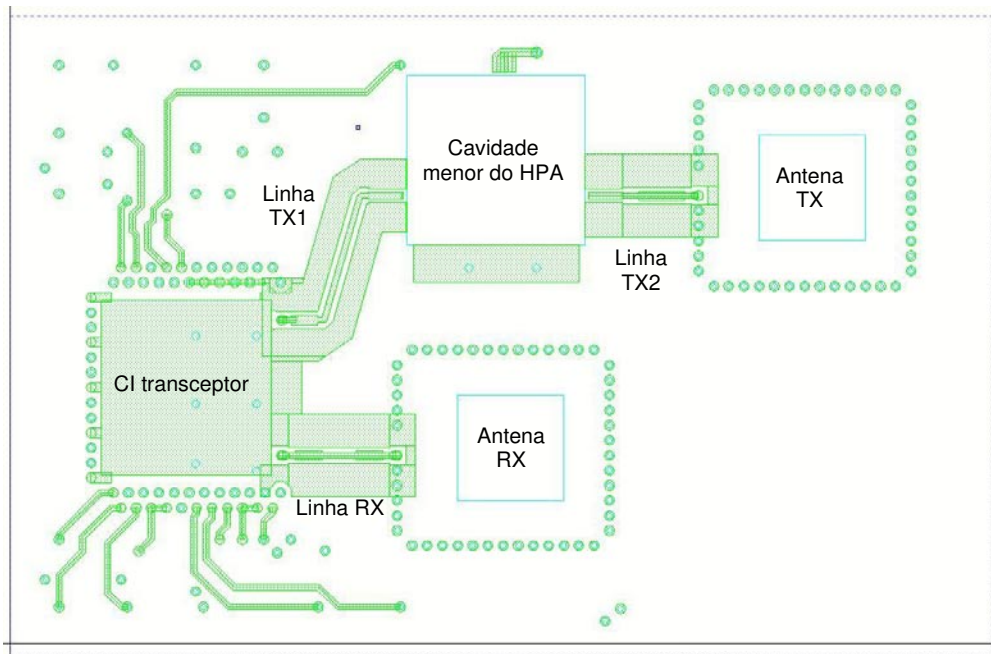


Figura 45 - Layout do HTCC: 2º nível de metal e vias e furos na 2ª camada dielétrica.

No 2º nível de metal (Figura 45 à esquerda) há o plano de aterramento sob o CI transceptor, as linhas CPW embutidas até o HPA (parte superior), e de alimentação da antena RX (parte inferior). Nota: Parte da linha CPW (TX1), após a segunda dobra, não é embutida e

tem dimensões diferentes. Na parte central superior há a cavidade menor do HPA com seus circuitos de alimentação, estendendo até próximo da borda da cavidade. Também há cavidades das antenas com as vias ao seu redor para conexão até o plano de aterramento no fundo da cavidade.

No 3º nível de metal (Figura 46), na parte central, há o plano de aterramento que está no fundo da cavidade do HPA (acima), as cavidades das antenas com as vias ao redor (abaixo no centro e à direita) e parte dos circuitos de alimentação do transceptor e do filtro externo do PLL (à esquerda).

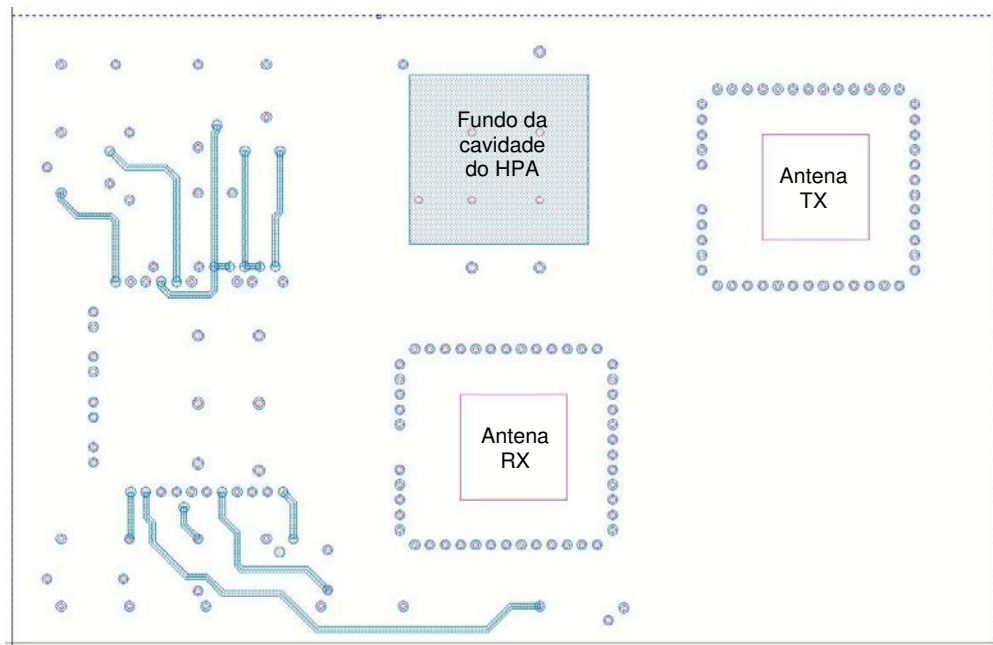


Figura 46 - Layout do HTCC: 3º nível de metal e vias e furos na 3ª camada dielétrica.

No 4º nível de metal (Figura 47), observam-se na parte inferior central e à direita os planos de aterramento no fundo das cavidades das antenas e que conectam todas as vias de seu contorno. Também inclui o restante dos circuitos de alimentação do transceptor e do filtro externo do PLL.

No 5º nível de metal (Figura 48), há o plano de aterramento que cobre quase toda área do módulo. À esquerda estão os circuitos de BB. Os furos equidistantes em toda área do módulo são as vias de interconexão aos contatos LGA na base do módulo. Notam-se as aberturas no plano de aterramento abaixo das linhas CPW de 60 GHz, conforme definido no projeto.

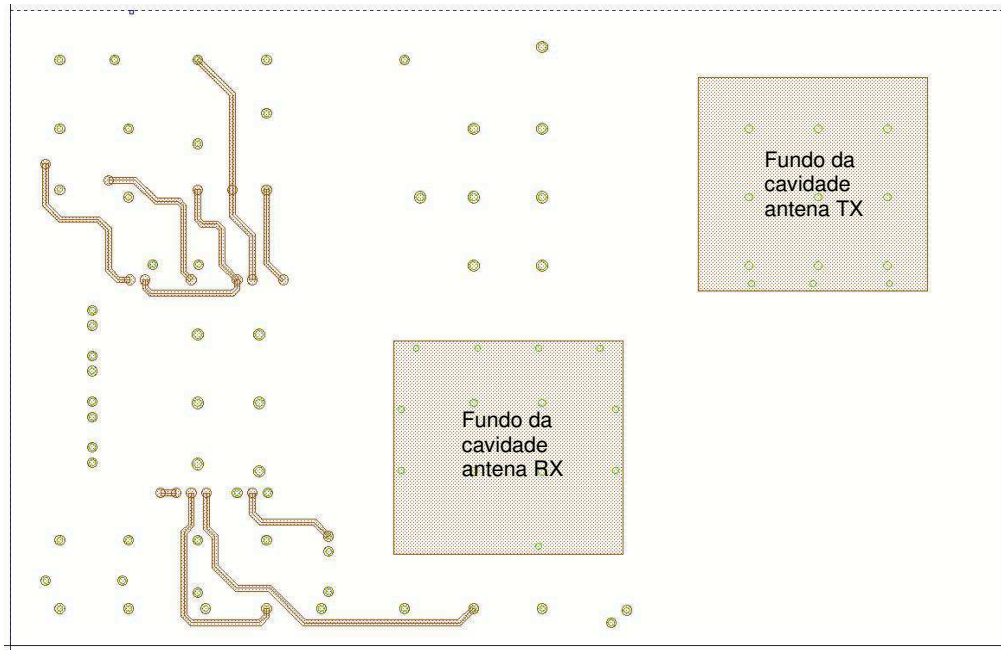


Figura 47 - Layout do HTCC: 4º nível de metal e vias e furos na 4ª camada dielétrica.

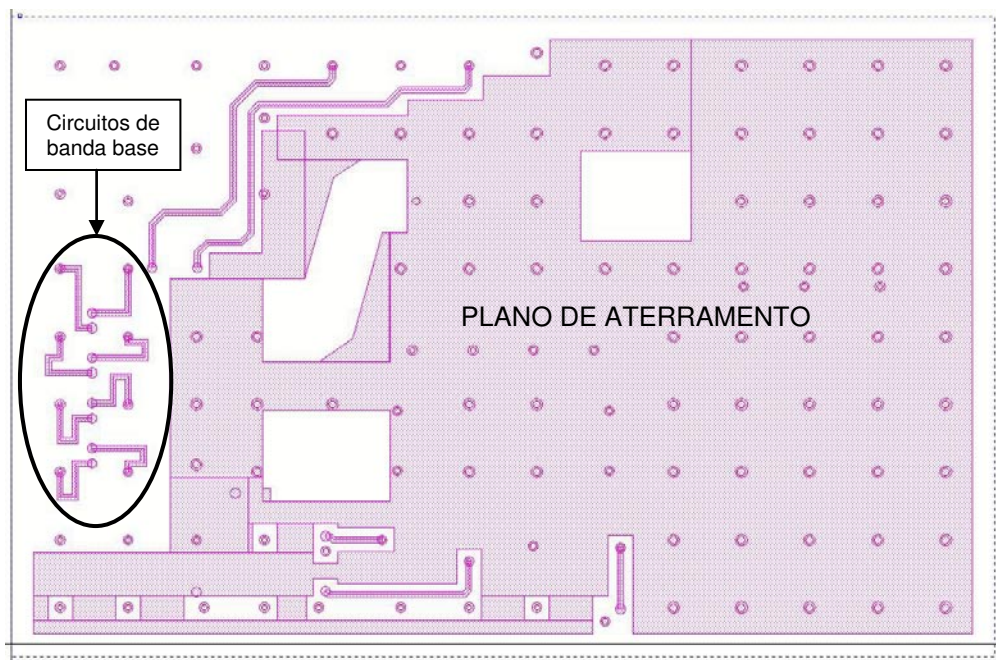


Figura 48 - Layout do HTCC: 5º nível de metal e vias e furos na 5ª (última) camada dielétrica.

A Figura 49 mostra o revestimento espesso de alumina que fica sob e ao redor do CI transceptor e das antenas, e ao redor das cavidades das antenas. Também são mostrados os componentes discretos adicionais do CI transceptor (à esquerda acima e abaixo do mesmo), que estão separados do revestimento espesso para possibilitar sua montagem com equipamento de

inserção automática. Notam-se também o HPA e o seu capacitor adicional logo acima, que devem ser colocados no interior da cavidade menor do HPA.

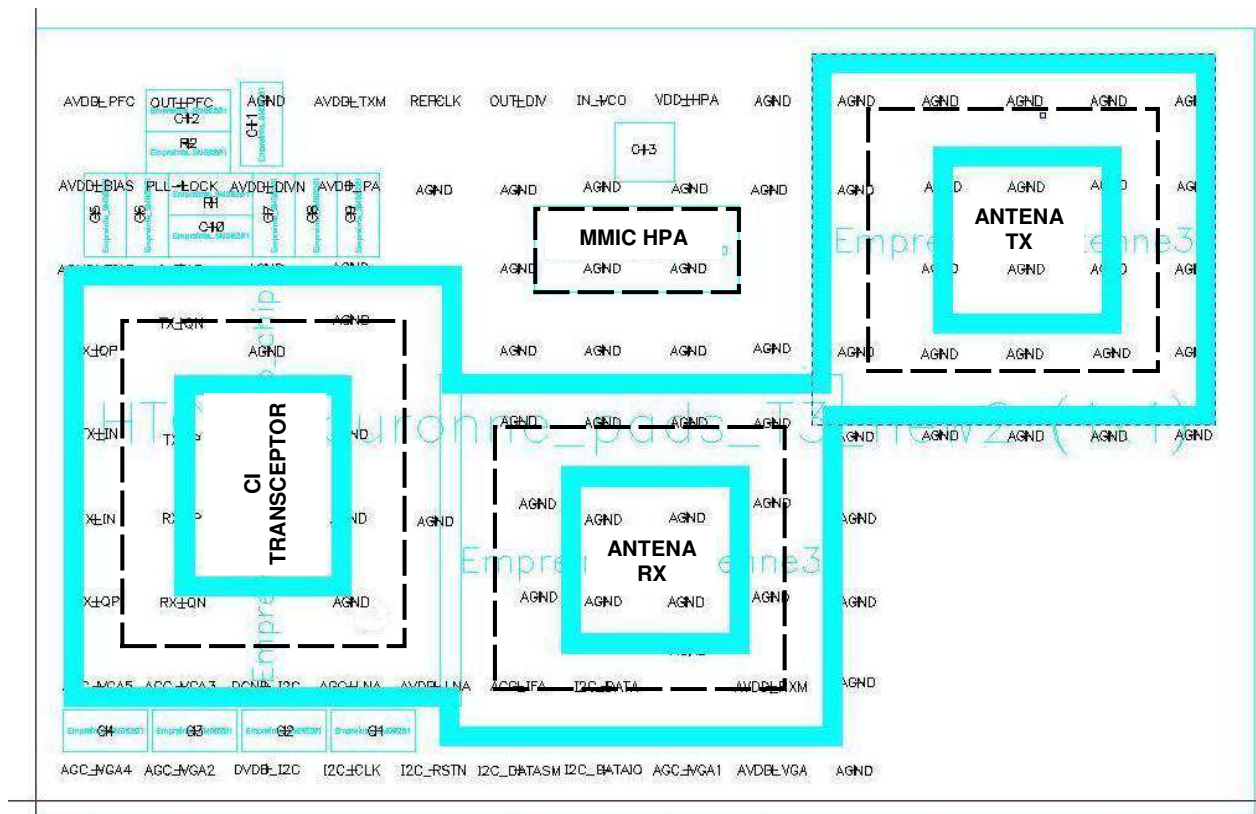


Figura 49 - Layout do HTCC: Revestimento espesso de alumina e posicionamento dos componentes.

Nota: As marcações espalhadas pela área do módulo se referem aos contatos LGA na parte inferior do módulo e também são mostradas na Figura 50.

A Figura 50 mostra os contatos LGA na face inferior do módulo (visto de cima). Os contatos na área retangular central são exclusivos para conexão ao aterramento. Alguns contatos não são utilizados (abaixo à direita), mas são necessários para solda adequada do módulo na PCI de aplicação. Os contatos LGA também têm o revestimento de ouro para melhora do contato com os contatos do soquete ou para a montagem opcional com solda.

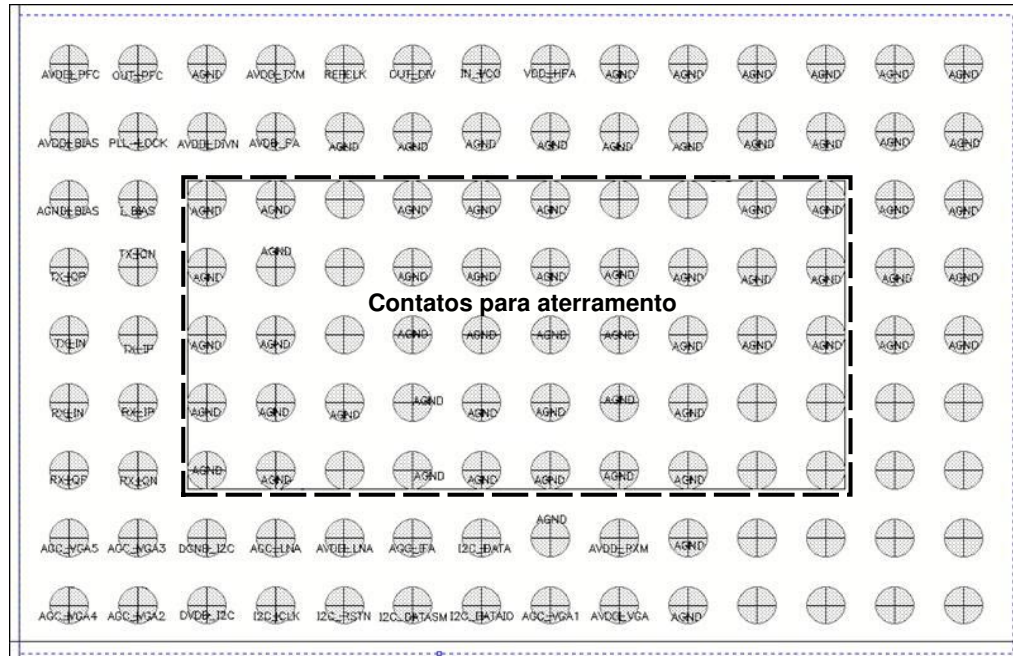


Figura 50 - *Layout* do HTCC: 6º nível de metal (fundo) com a parte exposta dos contatos LGA na base do módulo.

4.10 AVALIAÇÕES DO PROJETO

Por causa da variedade de recursos utilizados e de algumas inovações propostas, tais como a dupla cavidade para a montagem do HPA, o revestimento espesso para limitar a resina de subpreenchimento, e as linhas CPW embutidas para os circuitos de 60 GHz, e também pelo desafio que representa o desempenho especificado na banda de 60 GHz, realizou-se também o projeto de um módulo de teste, com partes iguais ou similares aos do módulo final. O módulo de teste possibilitará a avaliação de todos os recursos e inovações propostas no projeto do SiP e da antena, de forma independente do CI transceptor, cujo desenvolvimento ocorreu paralelamente ao módulo HTCC.

4.10.1 AVALIAÇÃO DO HTCC

Alguns recursos utilizados no módulo HTCC serão primeiramente avaliados num módulo de teste. As partes mais críticas são o circuito de RF 60 GHz, que inclui os circuitos de TX, RX, o HPA, e as antenas. Este módulo de teste possibilitará a realização de medidas em todas as linhas CPW, utilizadas nestes circuitos de RF 60 GHz, exatamente na mesma configuração que no módulo final. A única alteração foi realizada na antena RX cuja linha de

alimentação, foi rotacionada de 180°, invertendo-se a posição da linha de alimentação. Desta forma, será possível a medição da isolamento entre as antenas TX e RX com o equipamento de medição RF do tipo analisador de rede vetorial.

Os contatos para microesferas *flip-chip* das antenas, cuja linha é CPS, não permitem a medição *on-chip* (medição diretamente do chip, cortado ou no disco de silício) com pontas de RF, que comumente têm três contatos na configuração GSG (*Ground-Signal-Ground* ou Aterramento-Sinal-Aterramento), apropriadas para medidas na linha CPW. Por isto, no módulo de teste, foram adicionadas duas linhas CPW de alimentação, sendo uma delas similar à de alimentação da antena e com o mesmo comprimento da linha de alimentação da antena RX. Assim, será possível medir e caracterizar esta linha de alimentação, sem conectá-la à antena. A outra linha de alimentação servirá para caracterizar o HPA interligado com estas linhas. Para isto, o HPA também pode ser montado na posição rotacionada de 180°, em relação à posição de montagem definida no módulo final e, de forma similar, possibilitará também a sua caracterização independente da antena. Foram adicionadas também as linhas de alimentação da polarização do HPA, quando estiver montado, rotacionado de 180°.

Linhas CPW adicionais com diferentes comprimentos foram incluídas no módulo de teste, com a finalidade de calibração do equipamento de medição RF, uma vez que o seu comprimento é conhecido. Além disso, também foram incluídas as cargas-padrão do tipo *short* (curto-circuito) e *open* (circuito aberto), adequadas às linhas CPW, que servirão para calibração do equipamento de medição e verificação das características da estrutura do módulo de teste.

As linhas dos circuitos de BB também serão caracterizadas no módulo final. Para facilitar a medição com todos os contatos no topo do módulo de teste, todas as linhas dos pares diferenciais foram duplicadas, ou seja, o circuito foi simetricamente copiado do fundo para o topo. Com isto, a impedância medida para cada par diferencial será aproximadamente o dobro da impedância no módulo final, desprezando-se a resistência adicional no contato inferior do módulo, que interligará ao circuito de volta para o topo do módulo. A perda de inserção (atenuação) e o atraso de fase serão estimados da mesma forma, dividindo-se o valor medido pela metade.

Também foram colocados contatos para ligações com fio e microsolda com diferentes comprimentos, a fim de caracterizar eletricamente as mesmas e analisar a sua influência no desempenho do HPA.

4.10.2 AVALIAÇÃO DA MONTAGEM

A montagem dos componentes no módulo HTCC também será avaliada no módulo de teste. Este módulo incluirá os contatos para interconexão *flip-chip* das esferas de solda do CI transceptor e das antenas TX e RX e servirá também para avaliar a aplicação da resina de subpreenchimento e a fixação mecânica destes componentes no módulo. A montagem do HPA também será avaliada, pois o módulo de teste incluirá as cavidades para a solda do chip e dos capacitores, para as interligações com fio e microsolda e para aplicação da proteção *glob-top*. O uso do adesivo condutivo no lugar da solda eutética de ouro e estanho também será avaliado, pois seria uma alternativa com a vantagem de não submeter todo o módulo ao aquecimento necessário no processo. Este processo alternativo não fora recomendado pelo fabricante do HPA.

Nota: Somente a montagem mecânica do CI transceptor será avaliada. O desempenho do transceptor não será avaliado neste módulo de teste, pois foram retirados os circuitos de interconexão da maioria dos contatos do CI transceptor por causa das modificações nos circuitos de BB e das linhas CPW adicionais.

A montagem do módulo de teste na PCI também será avaliada, pois o módulo de teste terá todos os contatos LGA como no módulo final. Estes contatos, além da montagem na PCI com o uso de soquete, também permitem a solda do módulo na PCI.

4.10.3 AVALIAÇÃO DO DESEMPENHO

O módulo de teste permitirá a avaliação do desempenho das estruturas do circuito de 60 GHz, das antenas e do HPA, individualmente ou em conjunto com as linhas de entrada e saída, incluindo as ligações de fio. As antenas serão totalmente caracterizadas, incluindo a medição da isolamento entre as antenas TX e RX. Para o levantamento do padrão de radiação da antena, uma montagem adicional será realizada juntamente com a adaptação do módulo de teste, na qual a

antena RX com a sua linha de alimentação será cortada do módulo de teste, para caracterização de forma independente do módulo.

O HPA será completamente caracterizado e analisado através da medição *on-chip*, com as pontas de RF conectadas diretamente na sua entrada e saída, ou montado no módulo HTCC nas condições com ou sem a proteção *glob-top*. Linhas de entrada e saída do tipo CPW foram adicionadas, para possibilitar a medição *on-chip* do HPA com as ligações de fio. O módulo de teste, visto de cima, é mostrado na Figura 51. As linhas CPW mostradas não são visíveis externamente por estarem embutidas, exceto entre as bordas das duas cavidades do HPA.

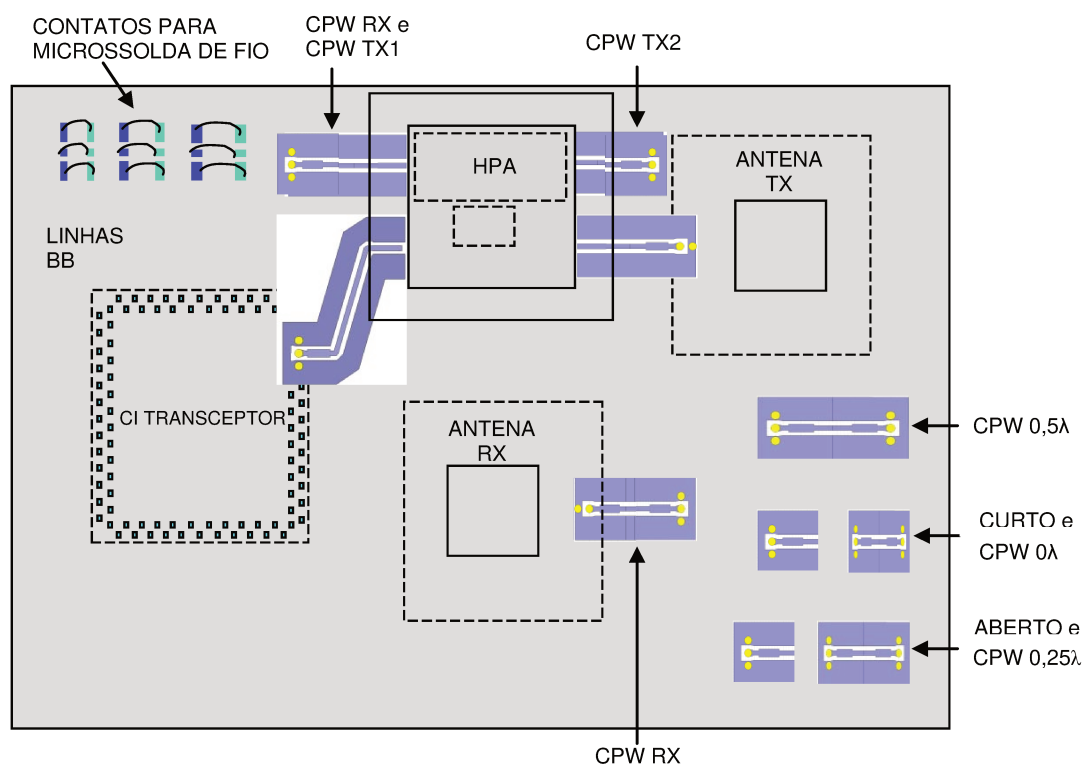


Figura 51 - Módulo de teste HTCC (vista de cima). [59]

Capítulo 5

RESULTADOS EXPERIMENTAIS

A equipe do LETI prosseguiu no desenvolvimento da antena, em estreita colaboração com a ST Tours, que deu suporte à tecnologia IPD e continuou o projeto do SiP. Os resultados aqui descritos estão relacionados com as antenas montadas no módulo de teste, desenvolvido neste trabalho, e que já foram publicados. (trabalho [5] do autor) Recentemente foi publicado o artigo com o módulo transceptor completo, que será comentado no Capítulo 6. Até o momento nenhuma outra informação foi publicada em relação ao desenvolvimento da montagem do HPA no módulo transceptor completo. Nenhum outro resultado foi disponibilizado por questões de sigilo das informações pertencente à ST, e porque não houve tempo hábil para a fabricação do módulo, sua montagem e realização das medidas, durante a permanência na STMicroelectronics.

A antena definida pela metalização de cobre no substrato de vidro com as microesferas de solda, com tecnologia IPD da ST, é mostrada na Figura 52. O projeto da antena foi realizado, considerando-se a sua montagem no módulo HTCC. A Figura 53 mostra a antena IPD montada no módulo de teste. A linha de alimentação da antena, do tipo CPW, não é visível, por estar embutida entre as camadas dielétricas, mas, através do substrato de vidro da antena, pode-se observar a cavidade formada pelas camadas do módulo, tendo o acabamento de ouro no fundo.

Para caracterização individual desta linha de transmissão, utilizada na alimentação da antena RX, foi previamente avaliada uma linha CPW igual à de alimentação da antena, exceto a

transição para conexão com a linha CPS que foi alterada para linha CPW, permitindo realizar a medição desta linha com pontas de prova do tipo GSG no equipamento de medição RF. As medidas e os resultados de simulação das suas perdas de retorno e de inserção são mostradas na Figura 54 a seguir.

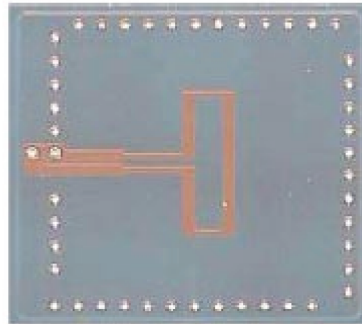


Figura 52 - Antena IPD com as microesferas (vista de baixo).

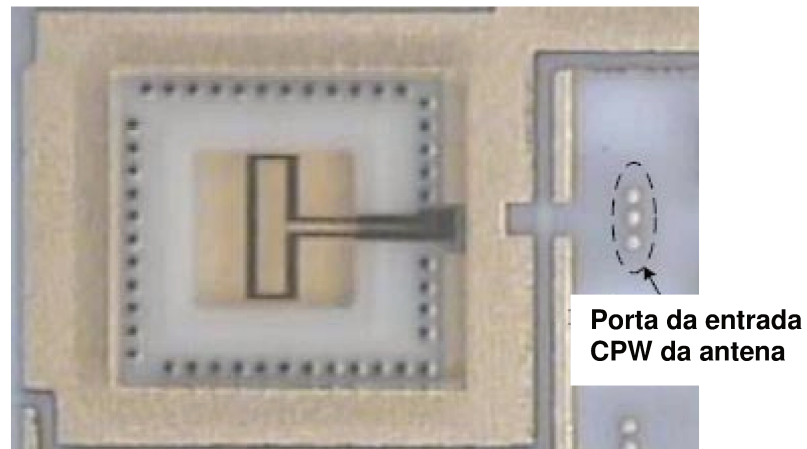


Figura 53 - Antena com montagem *flip-chip* sobre o módulo de teste HTCC (vista de cima).

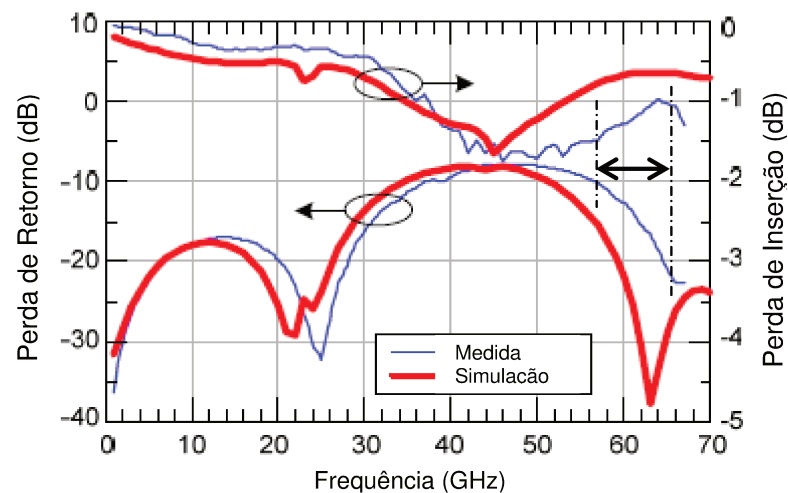


Figura 54 - Simulações e medidas da perda de retorno e perda de inserção da linha de alimentação similar à da antena.

Conforme o gráfico mostrado, nota-se uma perda de retorno satisfatória, maior ou igual a 10 dB na faixa de 57 a 66 GHz, e uma perda de inserção, variando de 1 a 1,5 dB. Observa-se uma boa aproximação na forma das curvas de medição e de simulação, para toda a faixa de 1 a 67 GHz, exceto por um deslocamento médio de 4 GHz. Este deslocamento pode ter sido causado por efeitos parasitas na montagem de teste. A perda de inserção máxima é muito próxima ao resultado de simulação da linha CPW RX, para conexão com a linha CPS de alimentação da antena, o que confirma a semelhança entre a linha do módulo de teste e a linha do módulo final. Na análise dos resultados de simulações, estimaram-se em 0,35 dB as perdas nas vias de transição vertical para uma camada de espessura 100 μm e uma perda na linha de aproximadamente 1 dB/mm na banda de 60 GHz. Nota: O equipamento de medição RF limitou a medida em 67 GHz).

A antena foi caracterizada depois de montada no módulo HTCC, visto que parte de sua estrutura como a cavidade e a linha de alimentação embutida estão no módulo. Também seria difícil realizar a medição da antena em separado, visto que a sua linha de alimentação é do tipo CPS e, além disso, na posição de uso, a linha de alimentação fica na face inferior da antena. Conforme a referência [4], a dificuldade acima citada na medição da antena foi solucionada com a utilização de outro circuito, num substrato que foi conectado à antena. A vantagem de se evitar o uso de outro circuito é que a caracterização se realiza na mesma condição de montagem.

Cinco amostras da antena foram medidas, obtendo-se uma perda de retorno de no mínimo 10 dB para uma largura de banda de 7,5 GHz, de 52,5 a 60 GHz (Figura 55).

O mesmo deslocamento médio de 4 GHz foi observado, o que corrobora a justificativa anterior. Outra causa possível deste deslocamento foi a rotação de 180°, realizada na antena no módulo de teste, em relação à posição original no módulo. Isto alterou a posição da área de aterramento da outra antena e das outras estruturas próximas à antena, como a cavidade do HPA, em relação à condição simulada no projeto da antena.

A curva de simulação mostrada na Figura 55 não corresponde à simulação da antena no módulo final do sistema, mas à simulação da antena, na exata posição no módulo de teste, o que também confirma a justificativa anterior. Observou-se também pouca dispersão entre as medidas das cinco amostras, o que contribui para a validação do módulo na tecnologia HTCC e

do processo de montagem da antena (solda *flip-chip* das microesferas por compressão térmica) no módulo.

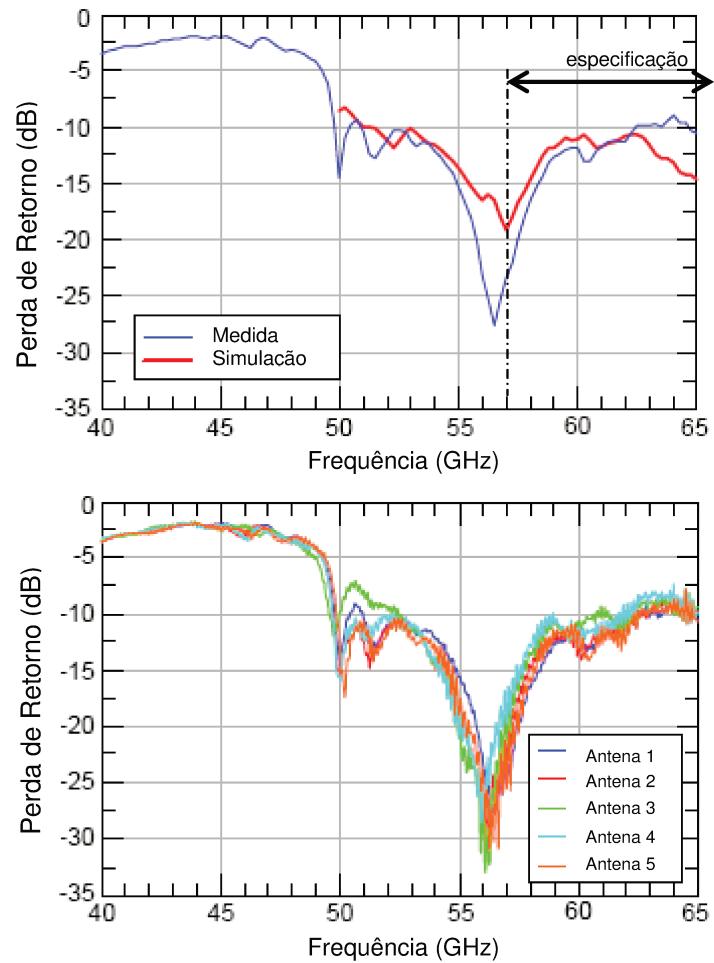


Figura 55 - Simulação e medida da perda de retorno da antena (acima) e comparação nas medidas de cinco amostras de antenas (abaixo).

Foi realizada também a medição do ganho da antena na câmara anecóica, numa montagem que foi inicialmente calibrada com uma antena tipo corneta (*horn*) de referência, com ganho 10 dBi. Como esta antena de referência foi alimentada com um cabo coaxial e um adaptador coaxial para guia de onda, no lugar da ponta de prova RF, as mesmas foram caracterizadas e depois descontadas das medidas. Depois, substituindo-se a antena de referência pela antena no módulo, e utilizando-se a ponta de prova RF, o ganho medido na direção lateral de cobertura larga foi de 6 a 7 dBi para uma banda de 53,5 a 59,5 GHz (Figura 56), deslocada da especificação (57 a 66 GHz). Um ganho de no mínimo 4,5 dBi foi medido em toda a banda de 53

a 63,5 GHz, um pouco inferior à banda de 11,5 GHz obtida na simulação, indicando que a antena tem um desempenho razoável na banda de frequência-padrão.

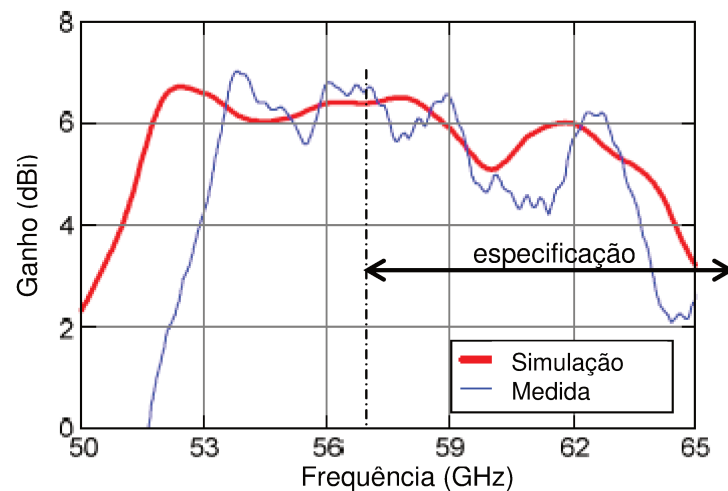


Figura 56 - Simulação e medida do ganho da antena na direção de lateral ampla.

Houve uma boa aproximação entre o resultado de simulação e a medida do ganho, observada na forma das curvas e nos níveis do ganho da antena, tanto na banda de operação quanto fora desta banda. Houve, entretanto, um pequeno estreitamento da banda de operação, de cerca de 1 GHz, além do deslocamento de aproximadamente 4 GHz para frequências mais baixas, como ocorreu com a linha de alimentação da antena. As hipóteses prováveis para a redução da banda de operação são a variação da altura da antena em relação ao fundo de sua cavidade e/ou variação da profundidade da cavidade, que são fundamentais para manter sua característica de banda larga.

As discrepâncias observadas entre os resultados experimentais e de simulação podem ser corrigidas com a realização de ajuste, que pode ser o reprojeto simples da antena com um deslocamento da curva, no sentido oposto ao deslocamento observado, ou então, uma análise minuciosa, incluindo uma medição de todas as dimensões físicas do módulo e da antena, para identificar as causas deste deslocamento, confirmando através de simulação eletromagnética, com a posterior consideração destas causas no reprojeto do módulo.

De forma geral, os resultados experimentais foram satisfatórios, com as curvas de ganho e perdas de retorno próximas das obtidas no projeto por simulação, com deslocamento de 4 GHz. Também o ganho da antena atingiu 7 dBi, mesmo valor obtido pela antena considerada

como o estado da arte, com as vantagens de facilidade de montagem, menor custo e maior confiabilidade.

Assim, os resultados experimentais atestam a validade das considerações feitas no projeto e das técnicas desenvolvidas e utilizadas, em conjunto com ferramentas software de simulação. A aproximação dos resultados de medidas das cinco amostras permite também concluir que, uma vez realizado o ajuste para obtenção das características especificadas, o desempenho deve se manter em escala de produção, devido à estabilidade nos processos de fabricação do módulo e de montagem dos componentes no mesmo, sendo o uso da tecnologia HTCC promissor quanto às aplicações em ondas milimétricas.

Capítulo 6

CONCLUSÕES

O SiP do transceptor 60 GHz para aplicações HDMI sem fio foi projetado, considerando-se as características de cada componente e seus requisitos de montagem, bem como as recomendações de montagem industrial da ST e as regras de projeto da Kyocera, fabricante do módulo HTCC. Durante o projeto foram propostas e analisadas soluções técnicas, visando a atender a todos estes requisitos simultaneamente, sendo que, em alguns casos, foi necessário estabelecer condições diferenciadas das regras-padrão de projeto do HTCC, tendo em vista, principalmente, a otimização do desempenho dos circuitos de RF e de BB.

Em conjunto com as regras de projeto do fabricante do HTCC, todas as soluções estabelecidas foram agrupadas, criando-se o primeiro conjunto de regras de projeto na tecnologia HTCC nas aplicações em ondas milimétricas, dentro da STMicroelectronics.

O módulo de teste produzido foi avaliado indiretamente, por meio da caracterização da antena, atendendo às regras e permitindo desenvolver e comprovar técnicas de projeto e soluções de montagem dos componentes, através da análise comparativa entre os resultados experimentais e os do projeto. Houve a suposição de causas de algumas discrepâncias observadas que podem ser analisadas posteriormente e consideradas no projeto do SiP neste tipo de aplicação. Soluções para a cavidade das antenas e do HPA, o revestimento espesso como proteção para limitar a resina de subpreenchimento, as linhas CPW embutidas e a parte exposta para interligação com o HPA se mostraram aplicáveis em nível industrial. Falta realizar a análise

da montagem e caracterização do HPA na dupla cavidade, incluindo os testes com o adesivo condutivo e com a proteção *glob-top*.

Os resultados de medição da antena no módulo, disponibilizados até o momento, demonstram que a tecnologia HTCC é, atualmente, a melhor escolha, por sua maturidade e atendimento aos requisitos para integração SiP, voltada para aplicações em ondas milimétricas, apresentando completa viabilidade industrial. É evidente a vantagem na utilização de componentes de diferentes tecnologias, adequadas para cada aplicação, e também a possibilidade de inclusão de componentes e circuitos auxiliares bem próximos aos chips, para otimização do desempenho, como maior imunidade a ruídos e interferências.

Tabela X – Comparação entre os sistemas transeptores de 60 GHz para HDMI sem fio

CARACTERÍSTICAS	TRABALHO ATUAL	ESTADO DA ARTE REF. [13]
Tecnologias dos componentes	CMOS 65 nm e MMIC GaAs FET	BiCMOS 0,13 μm (SiGe)
Tecnologias de integração	MCM (HTCC) + <i>flip-chip</i> + PA externo (MIC)	<i>flip-chip</i> + COB + <i>glob-top</i>
Dimensões do módulo com as antenas: comprimento x largura [mm ²]	13 x 8 (LGA)	(2x) 11 x 7 (COB) 13 x 13 (LGA)
Consumo (CC): RX / TX / PLL [mW]	374 / 277+450* / 80	527 / 513
Potência transmitida no ponto de compressão de 1 dB	+16 dBm	+ 10 dBm
Empacotamento	LGA cerâmico	COB ou LGA plástico
Dimensões da antena [mm ³]	2,9 x 2,6 x 0,5 (vidro)	5 x 2,8 x 0,25 (vidro)
Dimensões da cavidade da antena [mm ²]	1,4 x 1,4	3 x 4,2
Ganho da antena na banda 57 a 64 GHz	+3 a +7 dBi	+7 dBi

Nota: *MMIC HPA

Conforme a Tabela X, o SiP proposto neste trabalho apresenta, em relação ao estado da arte [13], vantagens significativas de maior potência transmitida (4 vezes maior) com consumo apenas 14% superior, e de menor área do módulo com o empacotamento (redução para cerca de 62%). Em relação ao estado da arte, a desvantagem seria o custo final. Estima-se que o custo do módulo HTCC montado com os componentes seja superior, principalmente devido ao MMIC HPA e aos seus requisitos de montagem que são mais complexos. No entanto o uso da

tecnologia CMOS no transceptor, no lugar da tecnologia BiCMOS, pode representar uma vantagem em termos de custo para larga escala de produção e, num futuro próximo, com a contínua otimização e redução dos custos em relação às tecnologias não convencionais CMOS. Espera-se que o contínuo desenvolvimento da tecnologia CMOS possibilite, num futuro próximo, o desenvolvimento de amplificadores de maior potência, comparáveis com os da tecnologia BiCMOS atuais. Com isto, o MMIC HPA será substituído no sistema, reduzindo-se drasticamente o custo, além de simplificar o processo de montagem e diminuir as perdas nas interconexões.

O trabalho recentemente publicado (ref. [6] do autor) apresenta o módulo integrando o CI transceptor CMOS e o amplificador de potência externo CMOS SOI (silício sobre isolante ou *Silicon-on-Insulator*) 65 nm, em substituição ao MMIC HPA. Por utilizar uma tecnologia similar ao do CI transceptor, este amplificador de potência externo requer montagem *flip-chip*, o que reduz significativamente a complexidade na montagem do módulo, sem a necessidade de solda do MMIC e microsolda de fio de ouro. Também há a simplificação na estrutura do módulo, sem a necessidade da dupla cavidade do HPA, assim como da resina *glob-top* aplicada sobre a montagem do HPA para proteção da mesma. No entanto, foi necessário utilizar uma variação da tecnologia CMOS 65 nm, o que confirma que a solução SiP com a tecnologia HTCC continua atual e necessária, motivo pelo qual foi utilizado um módulo bem similar ao desenvolvido neste trabalho em 2009. De acordo com a mesma publicação, o desempenho do módulo é superior a todos os demais trabalhos já publicados, na potência de transmissão, com uma eficiência maior, ou seja, o consumo não aumentou proporcionalmente ao aumento da potência de transmissão, e a completa viabilidade da produção em escala industrial.

Ressalta-se a importância da solução SiP, pois, mesmo com o desenvolvimento do SoC, no caso de aplicações em ondas milimétricas, as dimensões da antena e o seu desempenho nitidamente inferior, quando integrada em silício, inviabilizam a completa integração do sistema no silício. Outra prova disso é o grande impulso no desenvolvimento de empacotamentos 3D que torna esta solução competitiva, em termos de custo e complexidade, em lugar de avançar para menores nós da tecnologia CMOS.

Espera-se que as tecnologias HTCC e LTCC, num futuro próximo, tenham grande aplicação em ondas milimétricas, porque viabilizam a integração das melhores e diferenciadas tecnologias para cada tipo de componente, desde que as tolerâncias de fabricação, como largura mínima de linhas e vias, espaçamento entre linhas, espessura da camada, dimensões de furo e cavidade, etc. sejam atendidas, com custo reduzido para permanecer competitiva, até que as soluções SoC (Sistema no Chip) sejam aperfeiçoadas e possam atender a todos os requisitos deste tipo de aplicação, com vantagens de custo, processos menos complexos e menor incidência de defeitos.

No caso de prosseguir neste desenvolvimento, sugere-se insistir na utilização da tecnologia IPD, de propriedade da ST, com a proposição de soluções para realização de vias (furos através do substrato de vidro) ou, pelo menos, de contatos laterais, que possibilitem a interligação com os contatos na superfície, para montagem do módulo na PCI. Com relação à tolerância elevada na espessura das camadas, uma proposta seria o desenvolvimento de processos para polimento e ajuste da espessura da camada do BCB. Quanto à dissipação térmica, poderia ser parcialmente solucionada com o desenvolvimento dos contatos laterais metálicos ou das vias, que contribuiriam na dissipação térmica. Novas alternativas para melhorar a dissipação térmica dos componentes no módulo IPD poderão ser desenvolvidas.

Outra opção seria o desenvolvimento da integração SiP com a tecnologia LTCC, desde que o módulo não seja submetido a altas temperaturas. No entanto, como ambas as tecnologias são fornecidas pela Kyocera e muitas das regras de projeto do módulo LTCC são comuns ao HTCC, esta migração pode ser realizada de forma simples, ou seja, todo o desenvolvimento realizado para o módulo HTCC pode ser aproveitado no módulo LTCC, inclusive as mesmas alternativas de empacotamento do módulo. Neste sentido, valeria a pena tentar a utilização do empacotamento do tipo castelação. Somente no decorrer do projeto informou-se sobre a possibilidade de utilização de um passo reduzido entre os terminais, que permitiria dispor de contatos no contorno do módulo, em número suficiente, para atender à especificação, e ainda mantendo as mesmas dimensões do módulo final desenvolvido. A desvantagem seria o maior comprimento dos circuitos para alcançar os contatos posicionados no contorno do módulo. Por

outro lado, isto permitiria a montagem do módulo na PCI com a solda por refusão, sem utilizar o soquete requerido pelos contatos LGA.

Para um desenvolvimento futuro, os componentes discretos auxiliares do CI transceptor (filtro externo do PLL e circuitos de alimentação) poderiam ser diretamente integrados no módulo HTCC/LTCC, o que já é possível, eliminando-se os componentes adicionais e a necessidade de sua montagem no módulo. Também a antena poderia ser substituída por um arranjo (*array*) com múltiplas antenas, a fim de multiplicar o ganho e melhorar o desempenho do sistema, que já foi testado com resultado aquém do esperado, conforme ref. [5] do autor. Isto se faz necessário, pois o alcance do sistema transceptor está atualmente limitado em cerca de um metro de distância, conforme publicado recentemente (ref. [6] do autor).

Sugere-se também a integração da ferramenta software de simulação eletromagnética 3D com a ferramenta de elaboração do *layout*, a fim de permitir a otimização do desempenho dos circuitos no projeto.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] M. Marcus, B. Pattan, "Millimeter Wave Propagation: Spectrum Management Implications," *IEEE Microwave Magazine*, June 2005, p.54-62.
- [2] R. Ludwig, G. Bogdanov, "RF Circuit Design, Theory and Applications," *Pearson Prentice Hall*, 2nd Ed., 2009.
- [3] J. M. Golio, "The RF and Microwave Handbook, RF and Microwave Passive and Active Technologies," *CRC Press (Taylor & Francis Group)*, 2nd Ed., 2008.
- [4] T. Zwick, U. R. Pfeiffer, D. Liu, B. P. Gaucher, "Broadband Planar Millimeter Wave Dipole with Flip-Chip Interconnect," *IEEE Antennas and Propagation Society (APS) International Symposium*. 2007, p.5047-5050.
- [5] Y. Katayama, C. Haynes, D. Nakano, T. Beukema, B. A. Floyd, S. K. Reynolds, U. R. Pfeiffer, B. P. Gaucher, K. Schleupen, "2-Gbps Uncompressed HDTV Transmission over 60-GHz SiGe Radio Link," *IEEE 4th Consumer Communications and Networking Conference (CCNC)*. 2007, p.12-16.
- [6] Wikipedia links [Online] – Janeiro de 2009 – <http://en.wikipedia.org/wiki/HDMI>.
- [7] HDTVinfo [Online] – Janeiro de 2009 – <http://www.hdtvinfo.eu/news/game-consoles>.
- [8] B. O'Rourke, Reuters [Online] – Janeiro de 2008 – <http://www.reuters.com/article/pressRelease/idUS142983+28-Jan-2008+BW20080128>.
- [9] Sound & Vision Magazine [Online] – Janeiro de 2009 – <http://www.soundandvisionmag.com/advice/2156/ask-an-installer-hdmi-13-cable-length-limit.html>.
- [10] Gizmodo [Online] – Janeiro de 2009 – <http://i.gizmodo.com/5027978/sony-sharp-hitachi-samsung-and-motorola-agree-on-amimon-whole+house-wireless-hd-standard>.

- [11] *Wireless HD* [Online] – Agosto de 2010 – <http://www.wirelesshd.org/>.
- [12] Gizmodo [Online] – Janeiro de 2009 – <http://gizmodo.com/5015936/monster-digital-express-hd-system-their-first-wireless-hdi-kit>.
- [13] U. R. Pfeiffer, J. Grzyb, D. Liu, B. P. Gaucher, T. Beukema, B. A. Floyd, S. K. Reynolds, “A Chip-Scale Packaging Technology for 60-GHz Wireless Chipsets,” *IEEE Transactions on Microwave Theory and Techniques*, v.54, n.8, p.3387-3397, August 2006.
- [14] STMicroelectronics [Online] – Março de 2009 – <http://www.st.com/stonline/products/technologies/packaging/csp.htm> *Products, Technologies and Packaging*.
- [15] C. Tilhac, “60 GHz Packaging,” (Documento Interno). STMicroelectronics, 2008.
- [16] T. Baras, and A. F. Jacob, “Manufacturing Reliability of LTCC Millimeter-Wave Passive Components,” *IEEE Transactions on Microwave Theory and Techniques*, v.56, n.11, p.2574, November 2008.
- [17] D. D. Grieg, H. F. Engelmann, “Microstrip – A New Transmission Technique for the Kilomegacycle Range,” *Proceedings of IRE*, v.40, n.12, p.1644-1650, December 1952.
- [18] W. R. Deal, “Coplanar Waveguide Basics for MMIC and PCB Design,” *IEEE Microwave Magazine*. August 2008, p.120-127,133.
- [19] C. P. Wen, “Coplanar Waveguide: A Surface Strip Transmission Line Suitable for Nonreciprocal Gyromagnetic Device Application,” *IEEE Transactions on Microwave Theory and Techniques*, v.17, n.12, p.1087-1090, December 1969.
- [20] Y. C. Shih, T. Itoh, “Analysis of Conductor-Backed Coplanar Waveguide,” *Electronic Letters*, v.18, n.12, p.538-540, June 1982.
- [21] R. W. Jackson, “Mode Conversion at Discontinuities in Finite-Width Conductor-Backed Coplanar Waveguide,” *IEEE Transactions on Microwave Theory and Techniques*, v.37, n.10, p.1582-1588, October 1989.
- [22] R. F. Frazita, “Transmission line properties of coplanar parallel strips on a dielectric sheet,” M. S. thesis, Polytechnic Institute of Brooklyn, New York, 1965.
- [23] J. B. Knorr, K.-D. Kuchler, “Analysis of coupled slots and coplanar strips on dielectric substrate,” *IEEE Trans. Microwave Theory Tech.*, MTT-23, p.541-548, July 1975.

- [24] Y. K. Song, C. C. Lee, "Millimeter-Wave Coplanar Strip (CPS) Line Flip Chip Packaging on PCBs," *IEEE Electronic Components and Technology Conference (ECTC)*, p.1807-1809, 2005.
- [25] R. M. Barrett, M. H. Barnes, "Microwave Printed Circuits." Radio and TV News, Radio Electronic Engineering Section, v.46, p.16, 31, 1951.
- [26] E. N. Torgow, J. W. E. Griesmann, "Strip Line", Polytechnic Institute of Brooklyn Report R-360-54, PIB-294, February 1954.
- [27] S. Cohn, "Characteristic Impedance of the Shielded-Strip Transmission Line," *Transactions of the IRE, MTT-2*, p.52, July 1954.
- [28] B. A. Dahlman, "A Double-Ground-Plane Strip-Line System for Microwaves," *IRE Transactions*, v.3, n.5, p.52-57, July 1955.
- [29] S. B. Cohn, "Slot-Line - An Alternative Transmission Medium for Integrated Circuits," *Microwave Symposium, G-MTT International*, p.104-109, 1968.
- [30] G. H. Owyang, T. T. Wu, "The Approximate Parameters os Slot Lines and Their Complement," *IRE Transactions on Antennas and Propagation*, p.49-55, 1958.
- [31] C.-H. Wang, Y.-H. Cho, C.-S. Lin, H. Wang, C.-H. Chen, D.-C. Niu, J. Yeh, C.-Y. Lee, J. Chern, "A 60GHz Transmitter with Integrated Antenna in 0.18um SiGe BiCMOS Technology," *Digest of Technical Papers of IEEE International Solid-State Circuits Conference (ISSCC)*, p.659-668, February 2006.
- [32] A. Babakhani, X. Guan, A. Komijani, A. Natarajan, A. Hajimiri, "A 77-GHz Phased-Array Transceiver With On-Chip Antennas in Silicon: Receiver and Antennas," *IEEE Journal of Solid-State Circuits*, v.41, n.12, p.2795-2806, December 2006.
- [33] K. Maruhashi, M. Ito, S. Kishimoto, K. Ohata, "60-GHz-band LTCC Module Technology for Wireless Gigabit Transceiver Applications," *IEEE Proceedings of International Workshop on Radio-Frequency Integration Technology (IWR)*, p.131-134, December 2005.
- [34] N. Hoivik, D. Liu, C. V. Jahnes, J. M. Cotte, C. Tsang, C. Patel, U. R. Pfeiffer, J. Grzyb, J. Knickerbocker, J. H. Magerlein, B. P. Gaucher, "High-Efficiency 60 GHz Antenna Fabricated Using Low-Cost Silicon Micromachining Techniques," *IEEE Antennas and Propagation Society (APS) International Symposium*, p.5043-5046, 2007.
- [35] K. Maruhashi, M. Ito, L. Desclos, K. Ikuina, N. Senba, N. Takahashi, K. Ohata, "Low-Cost 60GHz-Band Antenna-Integrated Transmitter/Receiver Modules Utilizing Multi-Layer Low-

- Temperature Co-Fired Ceramic Technology,” *Digest of Technical Papers of IEEE International Solid-State Circuits Conference (ISSCC)*, p.324-325, 2000.
- [36] P. Ancey, *3D Integration Advanced R&D Programs*. s.l. : STMicroelectronics, 2008.
- [37] L. Bonnot, *ST 3D Integration Working Group*, STMicroelectronics.
- [38] A. C. Kundu, M. Megahed, and D. Schmidt, “Comparison and Analysis of Integrated Passive Device Technologies for Wireless Radio Frequency Module,” *IEEE Electronic Components and Technology Conference (ECTC)*, p.683-687, 2008.
- [39] S.-P. Liu, C.-T. Wang, C.-H. Lee, W. Wang, “Miniaturized WiFi System Module Using SiP/IPD for Handheld Device Applications,” *IEEE International Microsystems, Packaging, Assembly and Circuits Technology (IMPACT)*, p.146-148, 2007.
- [40] Y. C. Lee, W. Chang, and C. S. Park, “Monolithic LTCC SiP Transmitter for 60GHz Wireless Communication Terminals,” *IEEE Microwave Theory and Techniques Society (MTT-S) International Microwave Symposium Digest*, p.1015-1018, 2005.
- [41] D. Y. Jung, W. Chang, K. C. Eun, C. S. Park, “60-GHz System-on-Package Transmitter Integrating Sub-Harmonic Frequency Amplitude Shift-Keying Modulator,” *IEEE Transactions on Microwave Theory and Techniques (MTT)*, v.55, n.8, p.1786-1793, August 2007.
- [42] L. L.Wai, K. M. Chua, A. C. W. Lu, Y. P. Zhang, M. Sun, “Ultra Compact LTCC Based AiP for 60 GHz Applications,” *IEEE 9th Electronics Packaging Technology Conference (EPTC)*, p.595-599, December 2007.
- [43] Y. P. Zhang, M. Sun, K. M. Chua, L. L. Wai, D. X. Liu, “Integration of Slot Antenna in LTCC Package for 60 GHz Radios,” *Electronic Letters*, v.44, n.5, February 2008.
- [44] J. Grzyb, D. Liu, U. R. Pfeiffer, B. P. Gaucher, “Wideband Cavity-backed Folded Dipole Superstrate Antenna for 60 GHz Applications,” *IEEE AP-S Antennas and Propagation Symposium*, p.3939-3942, July 2006.
- [45] T. Zwick, D. Liu, B. P. Gaucher, “Broadband Planar Superstrate Antenna for Integrated Millimeterwave Transceivers,” *IEEE Transactions on Antennas and Propagation (APS)*, v.54, n.10, p.2790-2796, October 2006.
- [46] LETI/STMicroelectronics. *Conception Topologique du Circuit "Roller" Version 4* (Documento Interno), November 2008.

- [47] LETI/STMicroelectronics. *CMOS065 PAD Class Catalog - DES-RDJ1 (Design Rules Manual Crolles)*, Rev. B (Documento Interno).
- [48] Sumitomo Electric Device Innovations Inc (SEDI, formerly Eudyna Devices). FMM5715X data sheet [Online] – Julho de 2010 – http://www.sedi.co.jp/pdf/FMM5715X_Ver21.pdf.
- [49] LETI. *Antenna Layout Presentation* (Documento Interno), February 2009.
- [50] LETI. *60GHz WHDMI project Antenna Design* (Documento Interno), October 2008.
- [51] LETI. *60GHz WHDMI project Antenna Simulation* (Documento Interno), January 2009.
- [52] LETI. *60GHz WHDMI project CPW Line Losses* (Documento Interno), March 2009.
- [53] Kyocera. *LTCC and HTCC Material Properties Table* (Documento Interno), 2003.
- [54] LETI/STMicroelectronics. *Roller module definition v.2* (Documento Interno), March 2009.
- [55] STMicroelectronics. *Solder Mask Constraints for Flip-Chip Bumping* (Documento Interno), December 2008.
- [56] STMicroelectronics. *IPD Technology* (Documento Interno), July 2008.
- [57] STMicroelectronics. *Assembly Constraints* (Documento Interno), December 2008.
- [58] LETI/STMicroelectronics. *Definition Carte de Test du Circuit "Roller" Rev. 1* (Documento Interno). January 2009.
- [59] LETI/STMicroelectronics. *Module de Test v.2* (Documento Interno), March 2009.
- [60] STMicroelectronics [Online] – Março de 2009 – http://stway.st.com/servlet/page?_pageid=4000,4054&_dad=portal30&_schema=PORTAL30 STway.com *Company Products Group. ST Company Products Groups - Staff Functions.*
- [61] STMicroelectronics. *ST Company Presentation* [Online] – Março de 2011 – http://stway.st.com/pls/portal30/docs/FOLDER/CIC/PRESENTATIONS/ST86ENGLISH_0.PDF.
- [62] STMicroelectronics [Online] – Março de 2009 – http://c1.cro.st.com/portal/page?_pageid=6,2823463&_dad=portal&_schema=PORTAL *Crolles site.*

APÊNDICE A

STMICROELECTRONICS

A.1 APRESENTAÇÃO

STMicroelectronics (ST) é uma empresa global, independente, fabricante de semicondutores e líder em desenvolvimento e fornecimento de soluções em semicondutores para ampla gama de aplicações de microeletrônica.

A empresa STMicroelectronics foi criada em 1987 pela fusão da SGS Microelettronica da Itália e da Thomson Semiconducteurs da França. Em maio de 1998 a empresa mudou o nome de SGS-THOMSON Microelectronics para STMicroelectronics. Desde a sua formação, a STMicroelectronics tem crescido mais rápido que a indústria de semicondutores como um todo e tem sido um dos 10 maiores fornecedores de semicondutores desde 1999. [60] [61]

A missão da STMicroelectronics é “oferecer independência estratégica para os seus parceiros no mundo inteiro, como fornecedor de semicondutores rentável e viável para larga aplicação.”

Desde a sua inserção, a ST tem aumentado significativamente, modernizado seus catálogos de produtos e tecnologias e tem fortalecido sua capacidade de produção e distribuição na Europa, Estados Unidos, região da Ásia e do Pacífico e China. O grupo totaliza quase 53.000 empregados, unidades de pesquisa avançada e desenvolvimento em 10 países, 39 centros de aplicação e projeto, 15 plantas principais de fabricação e 78 escritórios em 36 países. A ST tem

uma rede global composta por doze plantas *front-end* (processamento de discos de silício), que estão atualmente localizadas em Catania (Itália, discos de silício de 200 & 300 mm), Crolles (França, discos de silício de 200 & 300 mm), Rousset (França, discos de silício de 200 mm), Wuxi (China, discos de silício de 200 & 300 mm), Phoenix (EUA, discos de silício de 200 mm), e Cingapura (discos de silício de 200 mm). Estas plantas da ST são complementadas por plantas *back-end* (montagem, encapsulamento e testes de CIs) localizadas na China, Filipinas, Malásia, Malta e Marrocos (vide Figura A.1).

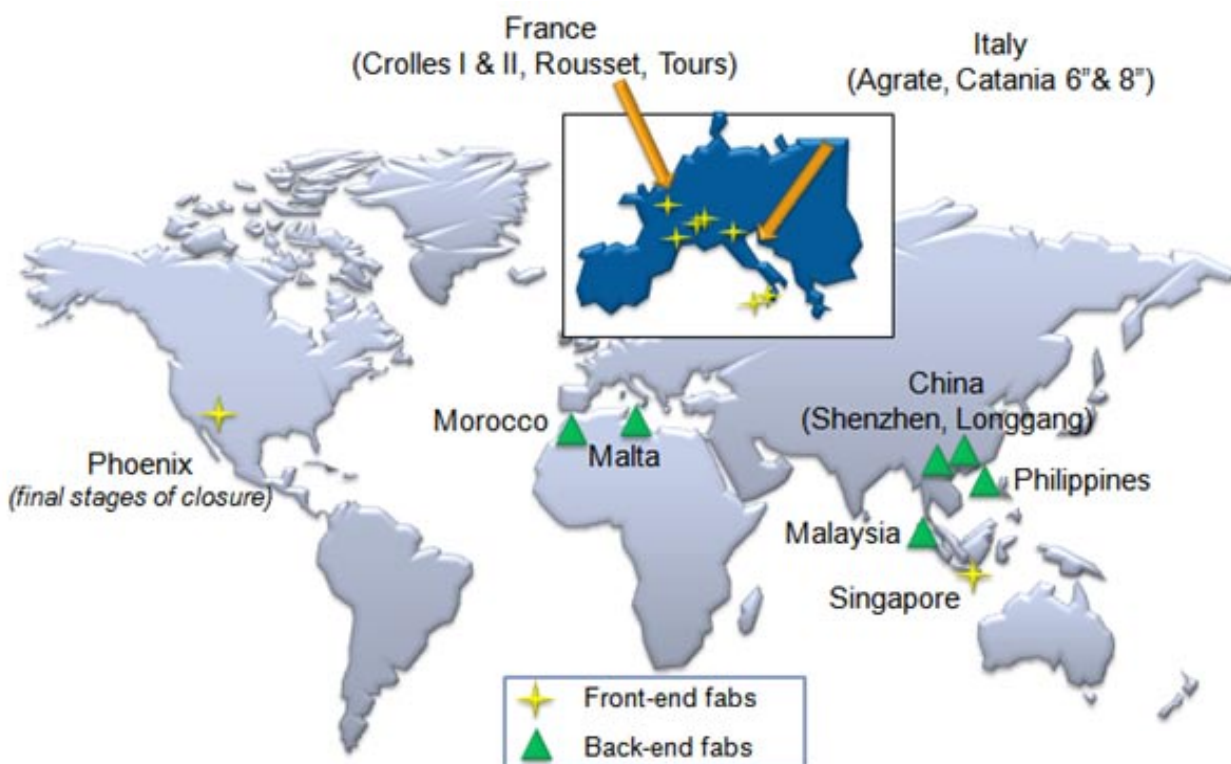


Figura A. 1 - Infraestrutura global de fabricação da STMicroelectronics. [61]

A.2 PRODUTOS E APLICAÇÕES

As atividades da ST estão distribuídas pelos cinco principais setores, em estreita conexão com o atual mercado tecnológico: Comunicações, Periféricos de Microcomputadores, Consumo Digital, Automotivo, Industrial e Multi-segmento, conforme mostra a Figura A.2. A ST fabrica um dos mais amplos catálogos de produtos semicondutores, desde simples diodos e transistores até dispositivos complexos do tipo SoC (Sistema no Chip ou *System-on-Chip*) para plataformas de soluções completas que agregam chips com projetos de referência, softwares de aplicação,

ferramentas de manufatura e especificações. A empresa fabrica e vende quase todos os tipos de produtos semicondutores, dispondo de um enorme catálogo composto de 3.000 categorias de produtos. A empresa fornece soluções para uma ampla matriz de aplicações de Consumo Digital, com enfoque em *set-top boxes* (receptores de TV digital), TV Digital e Áudio Digital, incluindo Rádio. Na área de Periféricos de Microcomputadores, a ST é líder no fornecimento de soluções em armazenamento de dados, impressão, unidades de *display* (mostrador ou tela) visual, gerenciamento de consumo para placas-mãe de PC e fontes de alimentação. Um vasto leque da ST em produtos-padrão de aplicação específica (ASSP), sistemas automotivos sofisticados de potência tais como controle do motor, equipamentos de segurança veicular, módulos das portas e informática e entretenimento veicular. A empresa também fornece CIs industriais para sistemas de automação industrial, chips para iluminação, carregadores de bateria e fontes de alimentação, e chips para aplicações de acesso seguro avançado como Cartões Inteligentes (*Smartcards*) ou Cartões com Chip.

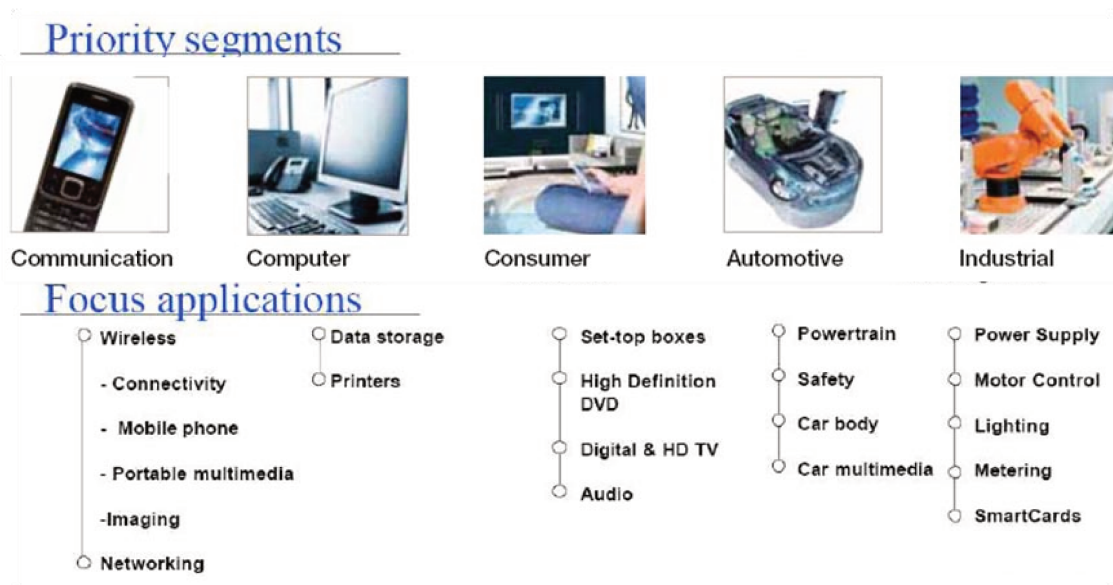


Figura A. 2 - Setores de atividades da STMicroelectronics e aplicações. [60]

Para maximizar os benefícios da larga escala de produção que se tem tornado vital em alguns segmentos de semicondutores, a ST anunciou a criação de duas *joint-ventures* (parcerias) em 2008. No setor de memórias, ST, Intel e Parceiros Francisco fundaram uma nova empresa chamada Numonyx, dedicada a prover soluções em memória não volátil, incluindo memórias do tipo *flash* de portas *Nand* e *Nor*, e também soluções de memórias MCP (empacotamento de

múltiplos chips ou *Multi Chip Package*) para uma grande variedade de aplicações de consumo e industriais. A ST tem 48% de participação na empresa Numonyx (www.numonyx.com).

No mercado de aplicações sem fio, ST e NXP uniram suas operações-chave de semicondutores para aplicações *wireless* em uma *joint-venture*, ST-NXP Wireless, na qual a ST possui 80% de participação, sendo a terceira maior fornecedora da indústria de aparelhos celulares. Em fevereiro de 2009, ST e Ericsson uniram a Plataforma Móvel Ericsson e ST-NXP Wireless para formar uma nova empresa, pertencente tanto a ST como a Ericsson, para aumentar ainda mais a escala e a posição competitiva da ST. A nova empresa se tornou a líder no domínio de produto, pesquisa dedicada, projeto e desenvolvimento e uma desenvolvedora de semicondutores em tecnologia de ponta para aplicações sem fio e plataforma de celulares. Agora a ST é também a fornecedora-chave para a indústria de aparelhos celulares, através da ST-NXP Wireless. A nova empresa combina os negócios wireless anteriores da ST e da NXP e é a fornecedora-chave para os fabricantes de celulares líderes de mercado, incluindo Nokia, Samsung e Sony-Ericsson.

Desde a sua criação, a ST tem mantido um compromisso permanente com P&D (pesquisa e desenvolvimento) e é uma das empresas mais inovadoras. O catálogo de tecnologias de processos da ST inclui a lógica CMOS avançada, abrangendo variantes de memória embutida, sinais mistos (*mixed-signal*), analógico e de potência. Em CMOS avançado, a ST fez a parceria Aliança Crolles 2 com a Philips-NXP Semicondutores e a Freescale Semicondutores, para o desenvolvimento dos processos das tecnologias das próximas gerações. Começando com 90 nm, esta aliança desenvolveu processos CMOS em 65 nm e 45 nm para discos de silício de 300 mm até o final de 2007. Esta parceria na planta Crolles 2 enfocou tecnologias específicas na vanguarda de P&D de semicondutores: processamento CMOS em linha-base, memórias embutidas, Silício sobre Isolante (SOI, *Silicon-On-Isolator*), CMOS analógico, módulos de processo avançado, interconexão avançada de cobre, projetos de baixa potência e capacidade em RF. Em 2008, a ST redirecionou a sua estratégia de P&D avançado em CMOS para tecnologias sub 45 nm e tecnologias diferenciadas. A empresa se tornou parceira no consórcio IBM para o desenvolvimento de processos de tecnologia das próximas gerações, incluindo 32 nm e 22 nm, capacitação em projeto e pesquisa avançada, adaptada ao processamento de discos de silício de

300 mm. ST e IBM também cooperam na planta de Crolles 300 mm no desenvolvimento de tecnologias SoC (Sistema no Chip) derivantes de CMOS de valor agregado.

Na ST, gastos com P&D representam quase 23% das vendas do grupo e mais de US\$ 2,3 bilhões. 4.200 pessoas em 16 centros mundiais estão envolvidas no Centro de P&D, que é mais da metade dos empregados da ST em P&D no mundo. Os principais centros de P&D da ST estão localizados na França (Tours, Rousset, Crolles e Grenoble), na Itália (Catânia) e nos Estados Unidos da América (Phoenix e Carrollton). A planta de Crolles tem integrado as linhas-piloto no Centro de P&D para tecnologias CMOS e BiCMOS de alta performance.

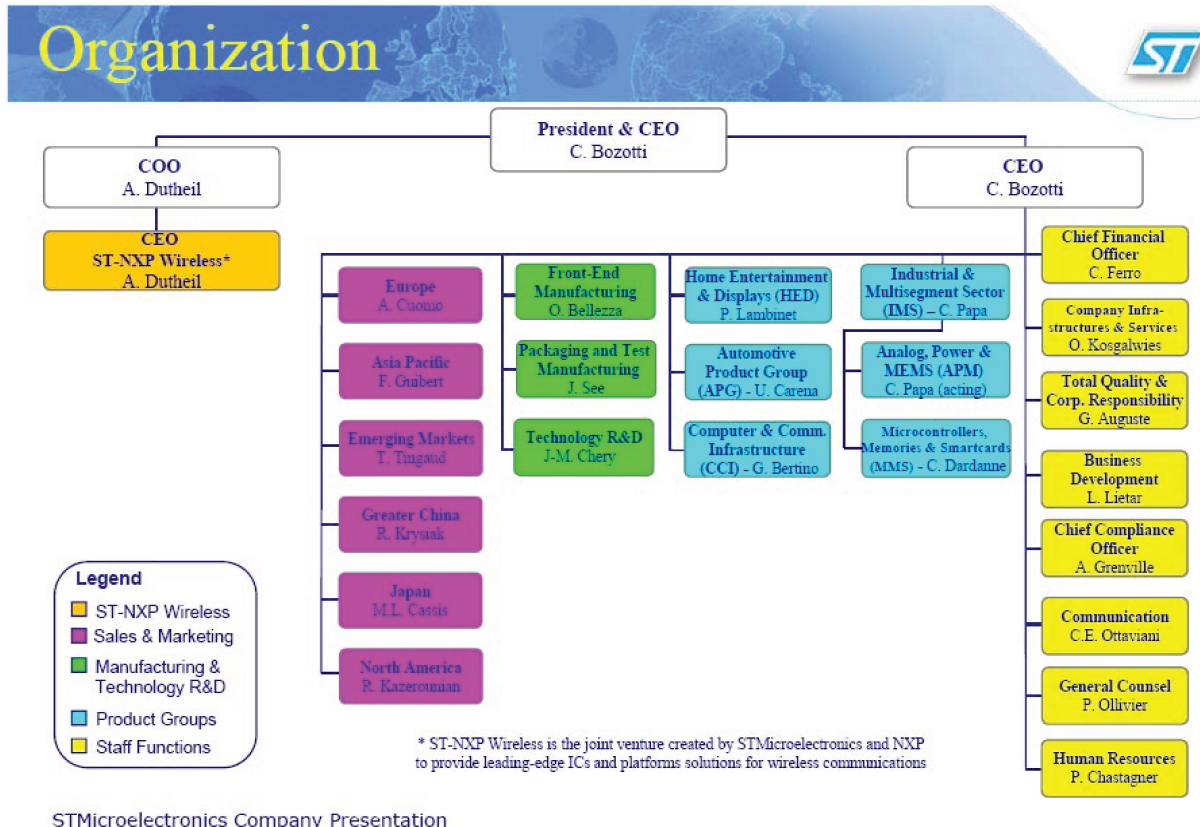
A ST tem estendido uma rede mundial de aliança estratégica, incluindo o desenvolvimento de produtos com clientes-chave, desenvolvimento de tecnologias com clientes e outros fabricantes de semicondutores, e equipamentos e ferramentas de projeto, com auxílio de computador (CAD ou *Computer-Aided Design*) com seus maiores fornecedores. Estas parcerias industriais são complementadas por um vasto programa de pesquisas, conduzidas por universidades de ponta e institutos de pesquisa, espalhados pelo mundo, ressaltando o papel-chave em programas de pesquisa de tecnologia avançada na Europa, tais como MEDEA+ e iniciativas da indústria, tais como o ENIAC (European Nanoelectronics Initiative Advisory Council). [61]

A.3 ORGANIZAÇÃO

O presidente e CEO (*Chief-Executive Officer* ou Executivo-Chefe de Operações) da ST é o italiano Carlos Bozotti. A sede corporativa bem como a sede para Europa e mercados emergentes estão em Genebra. A sede da empresa nos EUA está em Carrollton (Texas); para a região da Ásia e do Pacífico, a sede fica em Cingapura e a operação no Japão tem a sede em Tóquio. A região da grande China, incluindo Hong Kong, China e Taiwan, tem sua sede em Xangai.

Seis grupos de produtos estão distribuídos pelas diferentes plantas da empresa. Eles são responsáveis por toda a sua família de produtos, incluindo o marketing, o projeto e a engenharia de produto (vide Figura A.3). Estes grupos são compostos por HED (*Home Entertainment and Displays* ou Entretenimento Doméstico e Mostradores), APG (*Automotive Product Group* ou

Grupo de Produtos Automotivos), CCI (*Computer and Communication Infrastructure* ou Computadores e Infraestrutura de Comunicações), IMS (*Industrial and Multisegment Sector* ou Setor Industrial e de Multi-segmento), APM (*Analog, Power and MEMS* ou Analógico, de Potência e MEMS), e MMS (*Microcontrollers, Memories and Smartcards* ou Microcontroladores, Memórias e Cartões Inteligentes). A ST-Ericsson, incluindo ST-NXP Wireless, é responsável pelos CIs de sistemas móveis, e a Numoxys, pelas soluções em memórias *flash* e memórias MCP.



STMicroelectronics Company Presentation

Figura A. 3 - Organização da STMicroelectronics. [61]

Por outro lado, a ST possui três funções centrais:

- P&D em Tecnologia, responsável pela pesquisa e desenvolvimento da empresa.
- Fabricação *Front-End*, a cargo das plantas *front-end*, que processam os discos de silício, fabricam os chips (CIs) e os testam.
- Empacotamento e Teste de Produção, a cargo das plantas *back-end*, que recebem os discos de silício processados e realizam o corte dos chips, *back grinding* (afinamento dos discos), solda dos chips, montagem, encapsulamento, teste final, embalagem e expedição.

A ST possui também 8 funções do quadro corporativo para gerenciar toda a empresa e padronizar os procedimentos em todas as plantas: Diretoria Financeira, Infraestrutura e Serviços da Empresa, Qualidade Total e Responsabilidade Corporativa, Desenvolvimento de Negócios, Diretoria de Conformidade, Comunicações, Concílio Geral e Recursos Humanos.

A.4 RESULTADOS

De acordo com as informações mais recentes da indústria, fornecidas pela iSupply (www.isupply.com), a ST é a sexta maior empresa de semicondutores, incluindo as *foundries* (empresas exclusivamente processadoras dos discos de silício), com faturamento líquido de US\$ 10,35 bilhões em 2010 e é o maior fornecedor de semicondutores para o mercado industrial, de chips analógicos de aplicação específica, de dispositivos de conversão de potência e de chips MPEG para aplicações em *set-top box*. A empresa ocupa ainda posições de liderança em áreas variadas como dispositivos discretos, módulos de câmera para telefones celulares e circuitos integrados automotivos, memórias EEPROM e o mercado em franca expansão de MEMS. [60]

As vendas da empresa em 2010 foram bem equilibradas entre os cinco maiores setores de alto crescimento da indústria de semicondutores: Comunicações (31%), Consumo Digital (11%), Computadores (14%), Automotivo (15%), Industrial (8%) e Distribuição (21%). No mercado global, a participação está indicada na Figura A.4. Nota: EMEA significa Europa, Oriente Médio e África.

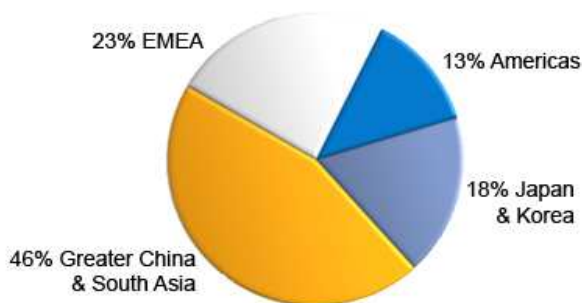


Figura A. 4 - Participação da STMicroelectronics no mercado global. [61]

A.5 PLANTA DE CROLLES

Em 1989, a ST e o Centro Nacional de Estudos em Telecomunicações (CNET), um laboratório de pesquisa em microeletrônica da France Télécom, decidiram criar um centro comum de microeletrônica, capaz de desenvolver e fabricar produtos CMOS e BiCMOS em escala sub-mícron, reunindo competências e compartilhando os custos de investimento na planta de Crolles (França). Assim, em 1991, iniciou-se a construção da planta de Crolles e o primeiro disco de silício foi processado em fevereiro de 1993. Atualmente há cerca de 4.300 pessoas alocadas na planta de Crolles, incluindo 2.200 empregados.

A planta de Crolles se dedica basicamente a duas funções;

- Fabricação *Front-End* (processamento dos discos de silício).
- Pesquisa e Desenvolvimento



Figura A. 5 - Vista da área de fabricação da planta de Crolles da STMicroelectronics. [62]

A planta Crolles 1 da ST (Crolles 200 mm, Figura A.6) dispõe de uma unidade de processamento moderna, para competir com outros líderes em tecnologia microeletrônica. Esta planta utiliza tecnologias CMOS e BiCMOS de até 0,13 μm (dimensão mínima). A planta de Crolles 2, inicialmente desenvolvida em parceria com a NXP Semicondutores e a Freescale Semicondutores, está em operação desde o final de 2002 e tem como objetivo alcançar a liderança mundial de tecnologias nanométricas, aplicadas aos discos de silício de 300 mm. A missão da planta de Crolles é o desenvolvimento e a proposta de soluções (plataformas tecnológicas) para circuitos integrados de alta complexidade (SoC), com a tecnologia mais avançada a nível mundial. O Centro de P&D e o Centro de Unidade de Produção trabalham de modo que a pesquisa e a produção estejam tão próximas quanto possível, durante todas as etapas de projeto. A importância da planta de Crolles é a eficácia com que flui o processamento

de novas tecnologias, desenvolvidas pelo Centro de P&D, e sua utilização, validação e ajustes de novas tecnologias em discos de silício. [62] Cerca de 20.000 discos de silício de P&D são processados por ano em Crolles.

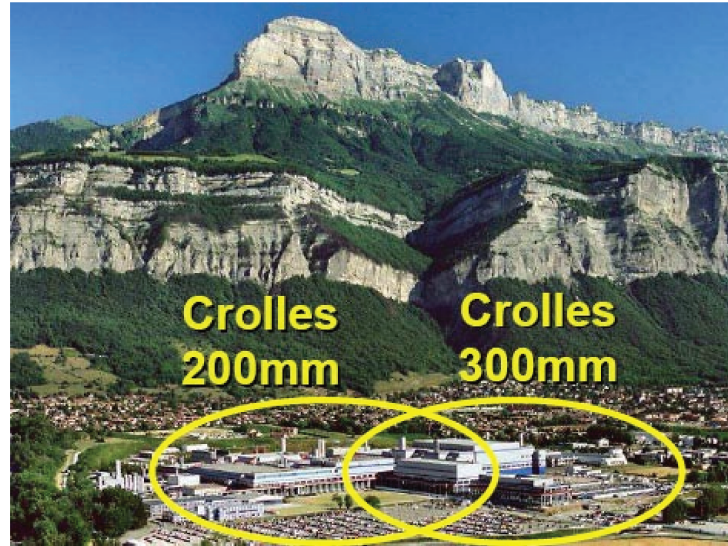


Figura A. 6 - Vista da planta de Crolles da STMicroelectronics. [62]

As atividades de P&D estão divididas em três entidades:

- O Centro Comum de Microeletrônica em Crolles (CCMC), resultado da associação entre a ST, P&D da France Télécom e o Centro de Energia Atômica (CEA) MINATEC/LETI (com 1.491 pessoas em 2008), um centro de pesquisa de ponta de classe mundial.
- A Pesquisa e Desenvolvimento de Tecnologia (T R&D), responsável pelo desenvolvimento de projeto e de processos. O departamento CAD Central e Soluções de Projeto (CCDS) provê plataformas tecnológicas para os projetistas, propondo soluções de projeto com bibliotecas, fluxo de projeto e projeto de sistema. Ele trabalha em estreito relacionamento com as equipes de desenvolvimento de processos e através da habilidade das divisões de produto, a nível de sistema, de circuito e de transistor.
- O Consórcio *IBM*, sucessor da Aliança Crolles 2.

A.6 MINATEC

MINATEC é a abreviação de Centro para Inovação em Micro e Nano Tecnologias na Europa, recentemente implantado dentro do CEA, localizado em Grenoble. A ST é uma das empresas que apoia o seu desenvolvimento e possui uma equipe de projeto de CI Analógico Avançado e de RF, que faz parte do departamento CAD Central e Soluções de Projeto (CCDS) da área de P&D em Tecnologia (P&D T). A missão desta equipe de projeto é pesquisar e desenvolver projetos de aplicação de RF nas mais recentes tecnologias CMOS, propor soluções industriais viáveis, confiáveis e de custo efetivo e validá-las através de protótipos.