

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA DE CAMPINAS
DEPARTAMENTO DE ELETRÔNICA & COMUNICAÇÕES

PROJETO DE UM CONVERSOR D/A NÃO LINEAR DE 8 DÍGITOS
PARA SISTEMA MCP DE 30 CANAIS TELEFÔNICOS

por

ERNO

Ivanil Sebastião Bonatti

Não

cond. e. 1975

Tese submetida como requisito parcial
para a obtenção do grau de

Eng. Elétrica

MESTRE EM CIÊNCIAS

DE

ENGENHARIA ELÉTRICA

Campinas, Novembro de 1975.

B64p

1081/BC

UNICAMP
BIBLIOTECA CENTRAL

SUMÁRIO

O presente trabalho consta do projeto teórico de um decodificador D/A não linear para sistema MCP (Modulação por Codificação de Pulsos) de 8 dígitos para 30 canais telefônicos.

Apresenta-se inicialmente a idéia geral do decodificador a ser implementado e o esquema para realizar a curva compressão-expansão através da linearização por parte (13 segmentos), conforme recomendações da C.C.I.T.T.

Desenvolve-se o projeto com todos os detalhes de circuito e apresenta-se as suas especificações.

Através de simulação digital obtêm-se as tolerâncias dos componentes.

Finaliza-se este trabalho com a apresentação dos resultados experimentais e uma análise destes.

INDICE

Páginas

SUMÁRIO	
INDICE	
I. INTRODUÇÃO	
I.0 - Transmissão Digital	
I.1 - Característica de Compressão-Expansão	
I.2 - Método de Decodificação	
I.3 - Esquema do Decodificador	
I.4 - Estudo de Tempo No Decodificador	
I.5 - Descompressão Digital	
I.6 - Objetivos do Trabalho	
II. PROJETO DO DECODIFICADOR	
II.0 - Esquema do Decodificador	
II.1 - Parte Lógica	
II.1.1- Circuito de Geração das Ondas de Controle de Sincro- nismo	
II.1.2- Recepção e Armazenamento dos Bits	
II.1.3- Malha Lógica Para Geração dos Controles de Chaveamen- to	
II.2 - Parte Analógica	
II.2.1- Idéias para Implementação do EI	

II.2.2-	Somadores	
II.2.3-	Malha de Resistores de Pesos Binários Equivalentes ..	
II.2.4-	Fonte de Referência	
II.2.5-	Chaves Analógicas	
II.2.6-	Implementação da Parcela $\Sigma 2$	
II.2.7-	Controle de Polaridade do Sinal	
II.3	- Esquema Final e Valores Nominais	
II.4	- Lay-Out e Discriminação dos Componentes	
II.5	- Lay-Out do Circuito Impresso	
III.	ESTUDO DE TOLERÂNCIAS DO DECODIFICADOR	
III.1	- Justificativas Teóricas	
III.1.1-	Introdução	
III.1.2-	Conceituação	
III.1.3-	A Caracterização do Problema	
III.1.4-	Determinação do Pior Caso	
III.2	- Modelamento do Circuito	
III.2.1.1-	Malha $\Sigma 1$ em Detalhe	
III.2.1.2-	Malha $\Sigma 2$ em Detalhe	

III.2.2	-	Crítério de Aceitação de Erro
III.2.3	-	Considerações sobre o Cálculo das Derivadas Parciais
III.3	-	O Programa
III.4	-	Os Resultados
IV	-	Testes e Resultados
IV.1	-	Montagem de Teste
IV.2	-	Comportamento Estático
IV.3	-	Comportamento Dinâmico
IV.4	-	Conclusões
APÊNDICE A1	=	Programa em Linguagem FORTRAN
APÊNDICE A2	-	Provas das Proposições do Capítulo III
REFERÊNCIAS	

I - INTRODUÇÃO

I.0 - Transmissão Digital

Transmissão digital é a técnica de troca de informações por meio de sinais codificados digitalmente. Do ponto de vista matemático, é a transmissão e recepção de mensagens em um espaço de sinal de número finito de dimensões.

Uma particularidade da transmissão digital é permitir a multiplexagem temporal, isto é, a transmissão de várias mensagens intercaladas no tempo de maneira cíclica e síncrona.

Em um sistema multiplex temporal que utiliza técnica de codificação de pulsos, do tipo conhecido como Modulação por Codificação de Pulsos (MCP), os processamentos de codificação e de decodificação dos sinais multiplexados representam partes essenciais no tratamento de sinais.

O Sistema MCP¹ que está sendo desenvolvido no Departamento de Eletrônica e Comunicações da Faculdade de Engenharia de Campinas (FEC) UNICAMP terá capacidade de transmitir e de receber 30 canais telefônicos mais 2 canais de sincronismo e sinalização/supervisão através de multiplexagem em tempo. Cada canal de informação será amostrado a 8 KHz. Estas amostras serão quantizadas em 256 níveis e, em seguida codificadas binariamente em palavras de 8 dígitos.

A frequência máxima de repetição dos pulsos na saída do sistema ao longo da linha de transmissão será de

$$f = (8 \text{ dígitos}) \times (8 \text{ KHz}) \times (32 \text{ canais}) = 2048 \text{ KHz.}$$

A Figura 1 mostra o diagrama de transmissão e recepção simplificado de um canal genérico j. Considere-se inicialmente a parte superior do dia-

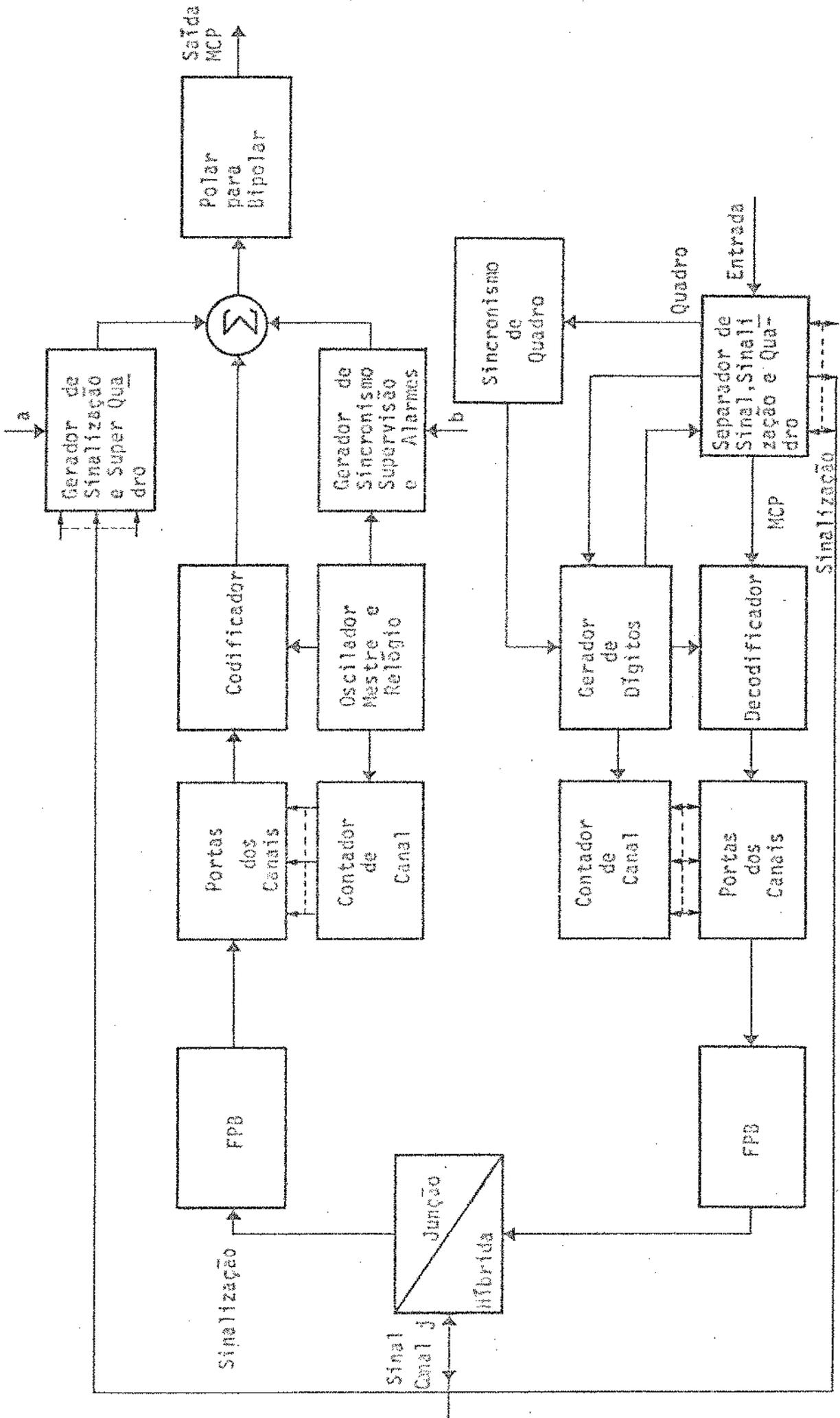


Figura 1.1 - Diagrama de transmissão e recepção de um canal genérico J.

grama relacionada à transmissão. O sinal de voz passa por uma junção híbrida e é, em seguida, filtrado por um filtro de corte agudo para se evitar o efeito de "aliasing" na recepção. Em seguida o sinal do canal j é amostrado através de um circuito porta que abre sincronamente, comandado pelo contador de canal. Este contador abre sequencialmente as portas de todos os 30 canais de voz e mais os canais S_a e S_b destinados a sincronismo e sinalização.

O sinal do canal j , amostrado pelo contador de canais a 8 KHz, é passado pelo codificador².

A codificação é aqui entendida como o processo que transforma a mensagem análoga na digital correspondente. Isto compreende uma compressão no sinal de forma logarítmica seguida de conversão análoga/digital.

A sinalização de todos os canais (inclusive a do canal j) é inserida no trem de pulsos de saída através do gerador de sinalização. Soma-se ainda ao trem de pulsos os sinais de sincronismo e supervisão, bem como palavras de alarme.

Antes de ser transmitido, o trem de pulsos é passado à forma bipolar, que é a forma de pulso apropriada aos cabos de transmissão, "duty cycle" de 50% e voltagens de pico iguais a ± 3.0 Volts³.

O sinal MCP viaja pelo meio de transmissão constituído de trechos de cabos e de repetidores regenerativos. Ao chegar no outro terminal, sofre um processamento inicial semelhante ao imposto por qualquer repetidor regenerativo, ganhando a forma de um trem de pulsos regenerados unipolares à entrada do receptor. A parte inferior da Figura 1 mostra o processamento seguido no receptor MCP. Um conjunto de circuitos⁴ separa os canais de informação, a sinalização e os sinais de sincronismo, fornecendo ao sistema um relógio⁵ gerado localmente. Os sinais produzidos pelo relógio darão o ritmo e o sincronismo necessários ao decodificador e ao contador de canal para que o sinal possa ser decodificado e demultiplexado.

Finalmente o sinal PAM produzido pelo decodificador é passado por um filtro passa-baixas que reconstitui a forma original do sinal modulador do canal j .

I.1 - Característica de Compressão-Expansão

O objetivo do codificador MCP é transformar a mensagem análoga em mensagem digital codificada e a do decodificador é restabelecer o sinal original a partir da palavra em código.

O intervalo de variação do sinal análogo é prefixado entre $-V_0$ e $+V_0$. Tal intervalo é dividido em um número finito de segmentos e a cada segmento faz-se corresponder um código digital. Resulta daí uma quantização do sinal que dá causa a um erro inerente ao processo de codificação/decodificação, erro esse considerado como o efeito de um ruído chamado ruído de quantização⁶. A potência do ruído de quantização depende do fato do processo CODEC (Codificação/Decodificação) ser ou não linear e do número de dígitos da palavra em código. Estudos feitos mostram que para o caso de transmissão de voz, o processo não linear apresenta um desempenho melhor que o linear. O processo CODEC não linear envolve uma compressão-expansão do sinal segundo uma certa característica. O CODEC proposto para o sistema MCP apresenta uma característica de compressão-expansão de 13 segmentos que é uma aproximação linear por partes da curva de compressão-expansão logarítmica recomendada pela CCITT⁷. Esta curva está mostrada na Figura 1.2. Nela a saída normalizada y e a entrada normalizada x estão relacionadas pelas expressões:

$$y = \frac{1 + \ln|Ax|}{1 + \ln A} \cdot \text{sinal}(x) \quad \frac{1}{A} \leq |x| \leq 1 \quad (1.1)$$

$$y = \frac{Ax}{1 + \ln A} \quad |x| \leq \frac{1}{A} \quad (1.2)$$

$$\text{onde sinal}(x) = \begin{cases} 1 & \text{se } x > 0 \\ -1 & \text{se } x < 0 \end{cases}$$

e $A = 87,6$ conforme CCITT.

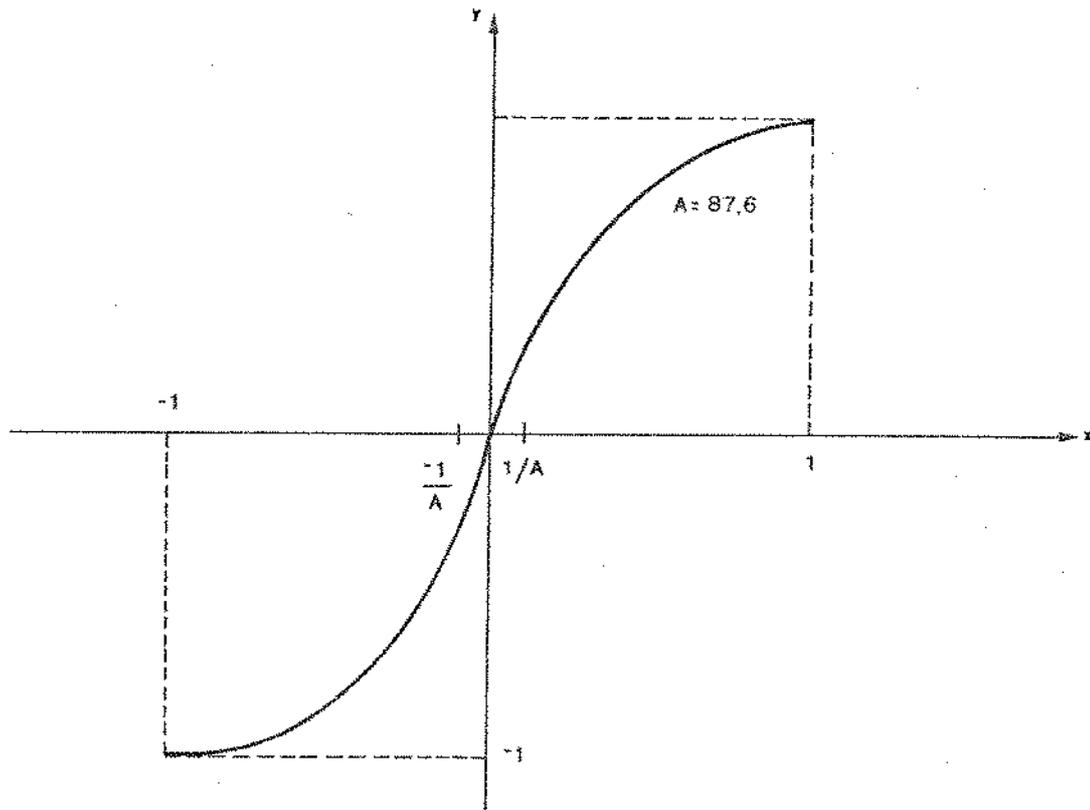


Figura 1.2 - Característica de compressão-expansão

A Figura 1.3 mostra a característica linear por partes proposta para o CODEC, para o sinal análogo retificado e a palavra de código com 8 dígitos binários. Nela cada segmento recebeu um nome, de A até G.

1.2 - Método de Decodificação

Em primeiro lugar estuda-se a idéia de codificação linear. Pode-se verificar a partir da Figura 4.1 que a CONVERSÃO A/D é uma função que associa a

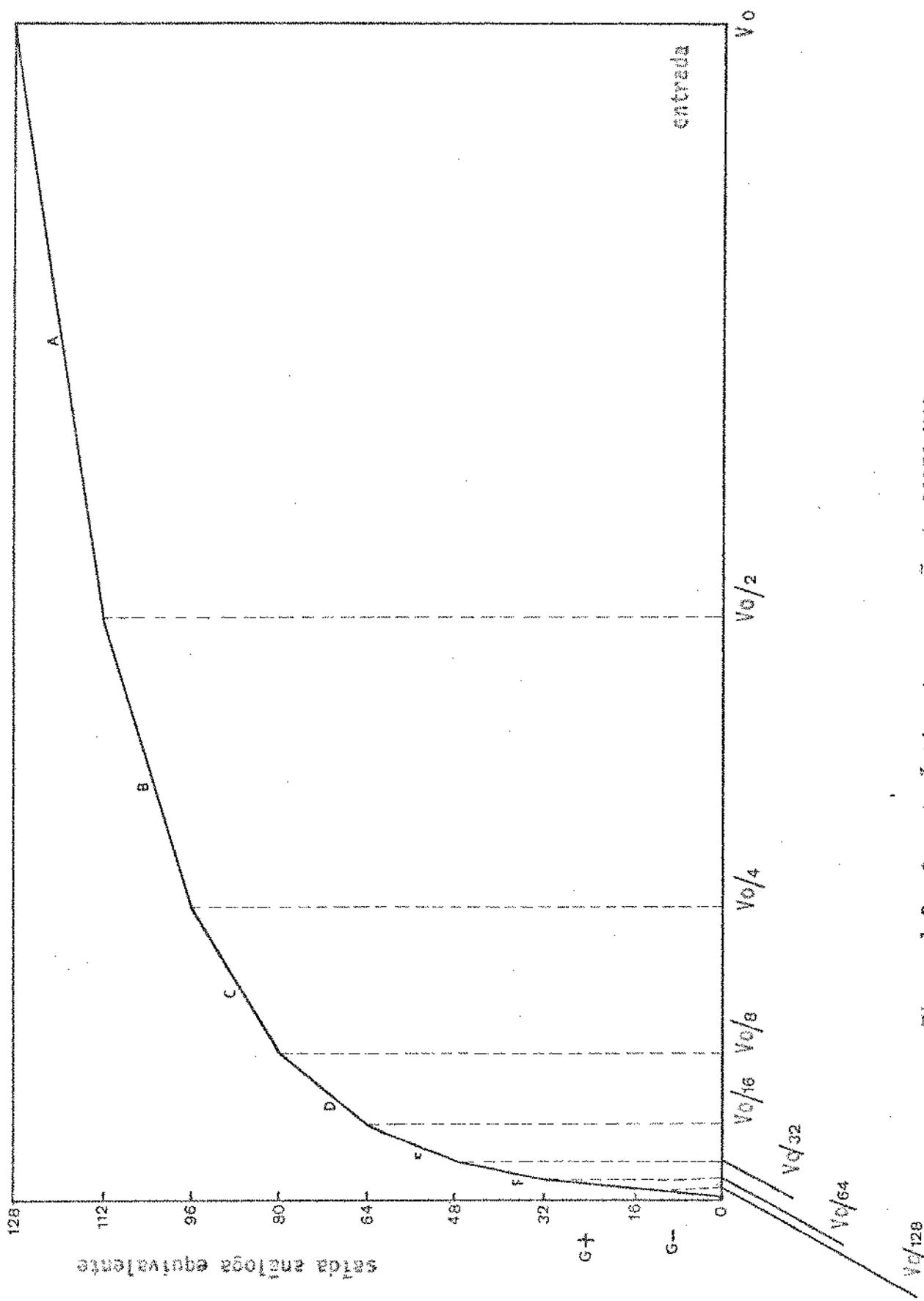


Figure 1.3 - Característica de compensação do CODIC MCP

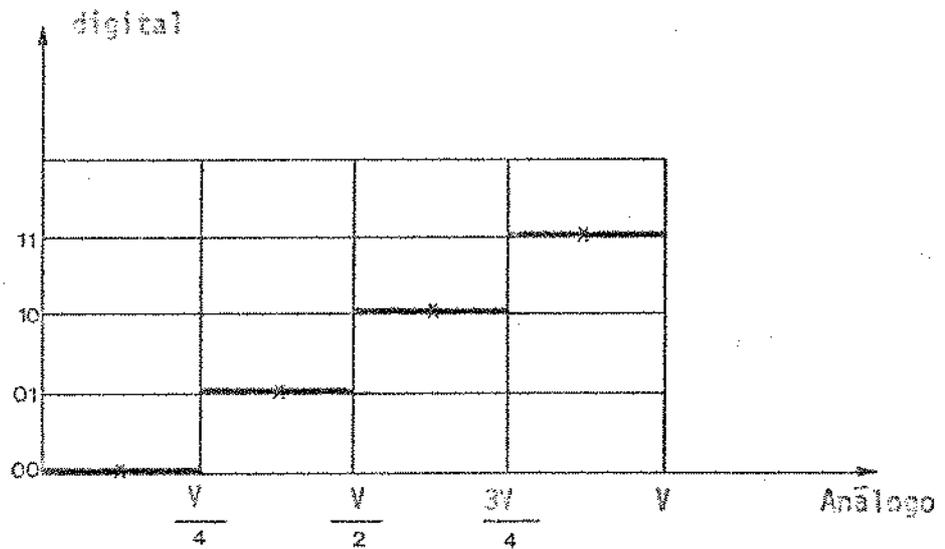


Figura 1.4- O traço forte representa a codificação e os x's representam a decodificação.

cada intervalo $\{(0, V/4), (V/4, V/2), (V/2, 3V/4), (3V/4, V)\}$ da reta análoga, um ponto no subespaço das ênuplas $\{(0,0), (0,1), (1,0), (1,1)\}$. É óbvio que o primeiro conjunto de intervalos análogos também é um subespaço dos sinais análogos, pois restringe-se a sinais análogos dentro de uma certa gama de variações (p. ex., de $-V$ a $+V$ volts de amplitude). Observe-se que na passagem de um conjunto para outro ficou implícito certas transformações intermediárias. Assim far-se-á uma breve - consideração destas transformações. Seja o esquema em diagrama de blocos da Fig.1.5.

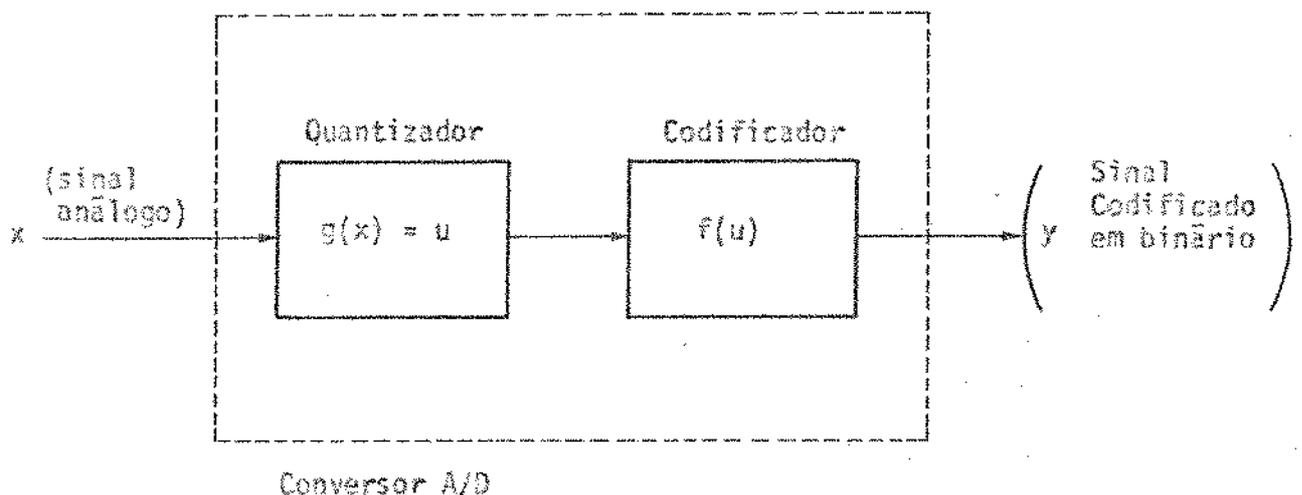


Figura 1.5 -Diagrama de Bloco do Conversor A/D

onde x é um ponto pertencente ao subespaço dos sinais análogos (no caso, de voz) ; u é um ponto do subespaço discreto (PAM); e y um ponto do subespaço das ênuplas - (de código binário, sinal MCP propriamente dito).

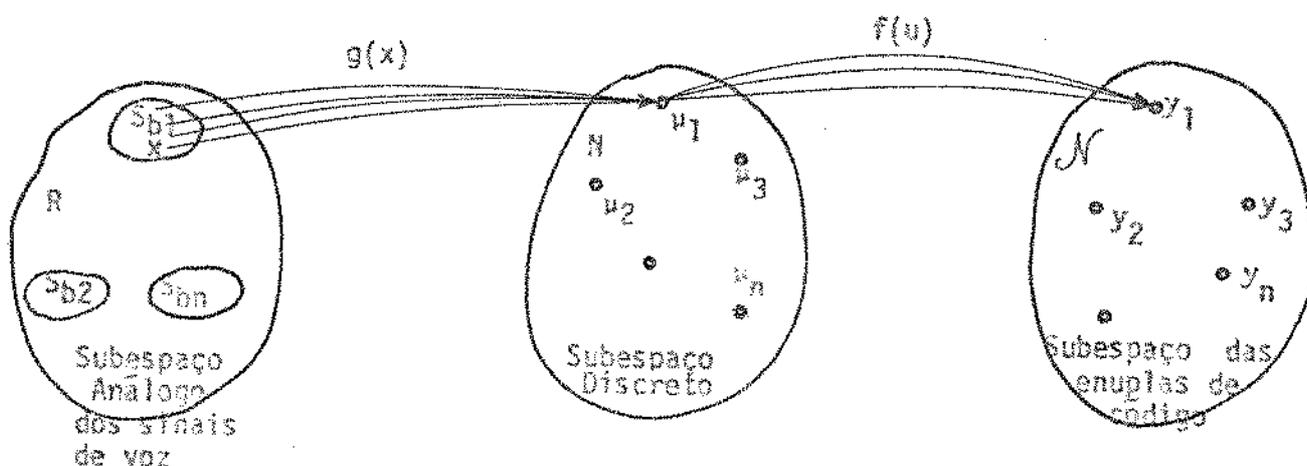


Figura 1.6- Espaço dos Sinais

O que se mostrou em diagrama de bloco pode ser esquematizado segundo o conceito matemático de funções como se vê na Figura 1.6.

Dessa maneira, o CONVERSOR A/D pode ser traduzido como uma função do tipo $y = f(g(x))$ onde $g [Sb_i] : R \rightarrow N$ é uma função biunívoca que associa a cada subespaço da reta R (Sb_i) um ponto (u_i) no espaço N (dos inteiros). É importante frisar que a função $g(x)$ aplicada sobre um subespaço Sb_i leva todos os seus pontos a um único ponto u_i do subespaço discreto, ou seja, $g(x) : Sb_i \rightarrow u_i$ é uma função injetora, e $f(u) : N \rightarrow \mathcal{N}$ é uma função biunívoca que associa a cada ponto (u_i) de N um ponto (y_i) no espaço das ênuplas. A função $g(x)$ é denominada quantiza

dor, e a função $f(\mu)$ o codificador propriamente dito.

Consideremos agora a idéia de decodificação linear. Claramente a conversão D/A (ou decodificação) é um processo inverso de um conversor A/D e é sempre possível desde que $g(Sb_i)$ e $f(\mu)$ sejam biunívocas. Mas esta relação inversa não é tão real quanto aparenta pois como foi visto na consideração da codificação, cada y_i originou-se de um modo unívoco de um conjunto de valores. Assim é bastante clara a impossibilidade de reestabelecer de que ponto do intervalo Sb_i se originou y_i , dado que existe uma indeterminação estatística dos valores análogos amostrados-antes da realização da quantização. Exatamente essa indeterminação é que dá origem a um erro na operação do CODEC (ou do sistema MCP de transmissão especificamente) denominado ruído de quantização.

É importante notar que na decodificação o que se obtém dos códigos de entrada é uma reconstrução interpolativa do sinal análogo codificado. Naturalmente obtém-se da filtragem por filtro passa-baixas, uma aproximação correspondente ao sinal análogo (de voz) que foi convertido inicialmente.

A conversão D/A é uma função de ponto, $z = \phi(y)$, ou seja a cada ênupla da palavra código associa-se um nível discreto de valor (v. Fig. 1.6). Vimos também que há um conjunto de valores possíveis de ser assumidos para cada nível correspondente à ênupla, por isso há necessidade de se estabelecer um critério para associar apenas um ponto do intervalo a cada ênupla.

- Critério para estabelecer a unicidade na Conversão D/A

É razoável assumir que dentro de um determinado intervalo a ocorrência de um certo ponto é equiprovável aos demais. Assim, consideremos o intervalo de ocorrência (a,b) no qual

$$p(x) = \frac{1}{b - a} \quad \text{para } x \in (a,b) \quad (1.3)$$

Considere-se o critério de minimização do erro médio quadrático, $E\{(\bar{x} - x)^2\}$, o que corresponde à minimização da potência média do ruído.

Aqui, \bar{x} é o estimador de x , ou seja

$$E\{(\bar{x} - x)^2\} = \int (\bar{x} - x)^2 p(x) dx \quad (1.4)$$

Pode-se mostrar facilmente que

$$E\{(\bar{x} - x)^2\} = \sigma_x^2 + E\{(\bar{x} - u)^2\} \quad (1.5)$$

$$\text{onde } u = E\{x\} \quad (1.6)$$

Como σ_x^2 independe de \bar{x} , para minimizar $E\{(\bar{x} - x)^2\}$, deve-se ter que

$$E\{(\bar{x} - u)^2\} = 0 \quad \rightarrow \quad \boxed{\bar{x} = u} \quad (1.7)$$

E como a densidade $p(x)$ foi suposta uniforme em (a,b) tem-se

$$\bar{x} = u = \frac{a + b}{2} \quad (1.8)$$

Isto significa que o valor de \bar{x} que minimiza o erro quadrático médio é o ponto central de cada intervalo permitido de ocorrência do sinal quantizado.

Uma vez estabelecido o critério acima, pode-se obter a função ϕ que descreve a conversão D/A, ou seja

$$\bar{x} = \phi(y) \quad (1.9)$$

onde

$$y = \Gamma (B_1, B_2, \dots, B_N) \quad (1.10)$$

é a ênupla com B_1, B_2, \dots, B_N assumindo os valores 0 ou 1 (zero ou um) e correspondem aos bit's da palavra código. Para o caso de um CODEC linear, tem-se

$$\bar{x} = 2^{-1} \cdot B_1 + 2^{-2} \cdot B_2 + \dots + 2^{-N} \cdot B_N + 2^{-(N+1)} \quad (1.11)$$

onde o termo $2^{-(N+1)}$ tem a função de gerar o ponto central de cada intervalo, de acordo com (1.8):

Portanto, podemos entender, a partir deste ponto, o codificador e o decodificador lineares da seguinte forma:

O codificador é um sistema que obtém a solução do seguinte problema:

- Seja x uma variável real e ao intervalo $[0,1]$.
- Sejam a e N dois números inteiros positivos.
- Sejam $b_i, (i = 1, 2, \dots, N)$ parâmetros e ao conjunto $\{0,1,2,\dots, a-1\}$.
- Determinar b_i 's, tais que, para um dado x ,

$$\left| \sum_{i=1}^N a^{-i} \cdot b_i - x \right| \text{ seja mínimo.} \quad (1.12)$$

O decodificador \bar{e} é um sistema que satisfaz o seguinte:

- Dadas as condições anteriores, obter

$$y = \sum_{i=1}^N a^{-i} \cdot b_i + a^{-(N+1)} \quad (1.13)$$

para um dado conjunto de b_i 's.

Para o CODEC não linear proposto, com característica segundo a curva da Fig. 1.3, pode-se escrever:

$$\begin{aligned} z = & \frac{V}{2} \cdot A \cdot (\Sigma + 1) + \frac{V}{4} \cdot B \cdot (\Sigma + 1) + \frac{V}{8} \cdot C \cdot (\Sigma + 1) + \\ & + \frac{V}{16} \cdot D \cdot (\Sigma + 1) + \frac{V}{32} \cdot E \cdot (\Sigma + 1) + \frac{V}{64} \cdot F \cdot (\Sigma + 1) + \\ & + \frac{V}{128} \cdot G^+ (\Sigma + 1) + \frac{V}{128} \cdot G^- (\Sigma) \end{aligned} \quad (1.14)$$

onde

$$\Sigma = 2^{-1} \cdot B_5 + 2^{-2} \cdot B_6 + 2^{-3} \cdot B_7 + 2^{-4} \cdot B_8 + 2^{-5} \quad (1.15)$$

e a localização do segmento \bar{e} é estabelecida segundo a tabela que se segue.

TABELA I

Segmento	Palavra Código			Expressões dos Segmentos
	B ₂	B ₃	B ₄	
G ⁻	0	0	0	$G^- = \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4}$
G ⁺	0	0	1	$G^+ = \overline{B_2} \cdot \overline{B_3} \cdot B_4$
F	0	1	0	$F = \overline{B_2} \cdot B_3 \cdot \overline{B_4}$
E	0	1	1	$E = \overline{B_2} \cdot B_3 \cdot B_4$
D	1	0	0	$D = B_2 \cdot \overline{B_3} \cdot \overline{B_4}$
C	1	0	1	$C = B_2 \cdot \overline{B_3} \cdot B_4$
B	1	1	0	$B = B_2 \cdot B_3 \cdot \overline{B_4}$
A	1	1	1	$A = B_2 \cdot B_3 \cdot B_4$

e a saída final do conversor D/A é dada por

$$\bar{x} = z \cdot (B_1 - \overline{B_1}) \quad (1.16)$$

onde B₁ representa o dígito de polaridade.

Pondo-se em evidência $\frac{V}{2} \cdot (\Sigma)$ na expressão (1.14), tem-se:

$$z = \frac{V}{2} \cdot (\Sigma) \cdot \{ A + 2^{-1} \cdot B + 2^{-2} \cdot C + 2^{-3} \cdot D + 2^{-4} \cdot E + 2^{-5} \cdot F + \\ + 2^{-6} \cdot G^+ + 2^{-6} \cdot G^- \} +$$

$$+ \frac{V}{2} \cdot \{A + 2^{-1} \cdot B + 2^{-2} \cdot C + 2^{-3} \cdot D + 2^{-4} \cdot E + 2^{-5} \cdot F + 2^{-6} \cdot G^+\} \quad (1.17)$$

Pondo em evidência $\frac{V}{2} \{A + 2^{-1} \cdot B + 2^{-2} \cdot C + 2^{-3} \cdot D + 2^{-4} \cdot E +$

$+ 2^{-5} \cdot F + 2^{-6} \cdot G^+ + 2^{-6} \cdot G^-\}$ na expressão (1.17), obtêm-se

$$z = \frac{V}{2} S2 \left\{ \Sigma + 1 - \frac{2^{-6} G^-}{S2} \right\} \quad (1.18)$$

ou seja, como $1 - \frac{2^{-6} G^-}{S2} = \frac{S1}{S2}$

$$z = \frac{V}{2} \cdot S2 \cdot \left\{ \Sigma + \frac{S1}{S2} \right\} \quad (1.19)$$

onde

$$S1 = A + 2^{-1} \cdot B + 2^{-2} \cdot C + 2^{-3} \cdot D + 2^{-4} \cdot E + 2^{-5} \cdot F + 2^{-6} \cdot G^+ \quad (1.20)$$

$$S2 = A + 2^{-1} \cdot B + 2^{-2} \cdot C + 2^{-3} \cdot D + 2^{-4} \cdot E + 2^{-5} \cdot F + 2^{-6} \cdot G^+ + 2^{-6} \cdot G^- \quad (1.21)$$

Note-se que

$$\frac{S1}{S2} = \begin{cases} 1 & , \text{ para } G^- = 0 \\ 0 & , \text{ para } G^- = 1 \end{cases} \rightarrow \frac{S1}{S2} = \overline{G^-} \quad (1.22)$$

que é óbvio, analisando-se as expressões (1.20) e (1.21) e considerando-se as expressões dos coeficientes na Tabela I. Assim a expressão para z resulta em:

$$z = \frac{V}{2} (\Sigma + \overline{G^-}) \{A + 2^{-1}.B + 2^{-2}.C + 2^{-3}.D + 2^{-4}.E + 2^{-5}.F + 2^{-6}.G^- + 2^{-6}.G^+\} \quad (1.23)$$

ou simplificada

$$z = \frac{V}{2} (\Sigma + \overline{G^-}) \cdot \Sigma 2 \quad (1.24)$$

1.3 - Esquema do Decodificador

A idéia é obter um esquema do decodificador a partir do qual implementar-se-á fisicamente. Tal esquema surge naturalmente da equação desenvolvida no parágrafo anterior, reescrevendo-se a equação (1.24):

$$z = V_R \cdot \Sigma 1 \cdot \Sigma 2 \quad (1.25)$$

onde

$$\Sigma 1 = 2^0.\overline{G^-} + 2^{-1}.B_5 + 2^{-2}.B_6 + 2^{-3}.B_7 + 2^{-4}.B_8 + 2^{-5} \quad (1.26)$$

$$\Sigma 2 = 2^0.A + 2^{-1}.B + 2^{-2}.C + 2^{-3}.D + 2^{-4}.E + 2^{-5}.F + 2^{-6}.G^- + 2^{-6}.G^+ \quad (1.27)$$

Nota-se na equ. (1.25) o produto de duas parcelas de somatório e a maneira mais simples de implementar a função da forma escrita é através de dois estágios em cascata. Deve-se ressaltar que V_R é apenas um nível de referência para a excursão do sinal análogo reconstruído e não se trata de uma parte funcional. Restam portanto apenas as duas parcelas. Tem-se ainda que a parcela $\Sigma 2$ só depende dos dígitos B_2, B_3 e B_4 , conforme a Tabela I, e que a $\Sigma 1$ depende de $B_2, B_3, B_4, B_5, B_6, B_7$ e B_8 , ou seja $\Sigma 1$ e $\Sigma 2$ são funções dos dígitos da palavra código ou da n-pla. Na Fig. 1.7 apresenta-se um esquema simplificado do decodificador. É importante frisar que $\Sigma 1$ é um somatório onde todas as parcelas podem ser nulas ou não nulas simultaneamente, enquanto $\Sigma 2$ é um somatório onde uma e somente uma parcela da somatória é não nula para cada ênupla de entrada. Baseado nisso, os circuitos físicos para a realização de $\Sigma 1$ e $\Sigma 2$ devem ser de topologia distintas. Até

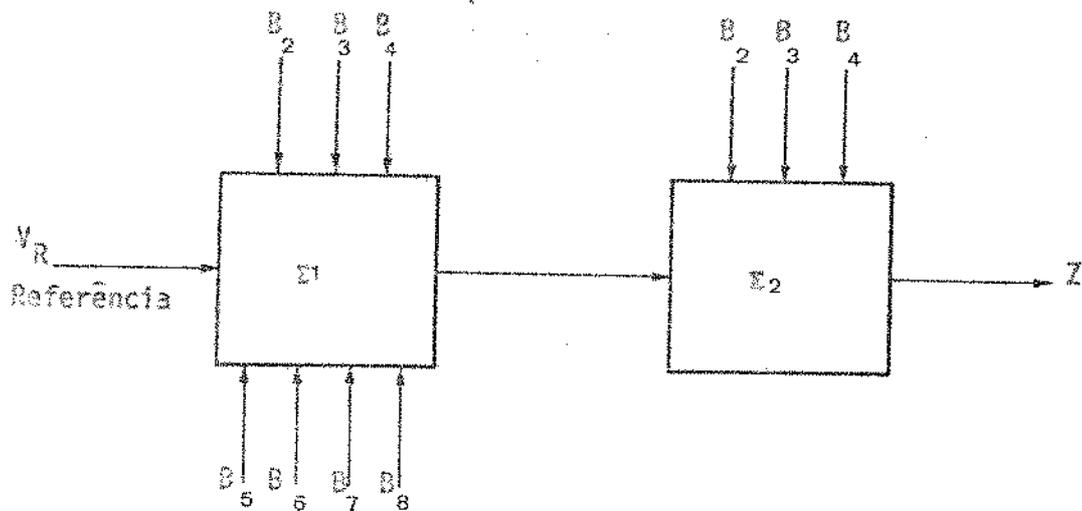


Figura 1.7- Diagrama de Bloco do Decodificador

este ponto tem-se o circuito delineado esquematicamente capaz de reconstruir todos os níveis discretos do sinal de voz, resta contudo a determinação da polaridade dos níveis. Para isto considera-se a equação (1.16)

$$\bar{x} = z \cdot (B_1 - \bar{B}_1) \quad (1.28)$$

Como funções da forma das equ. (1.25) e (1.28) podem ser facilmente implementadas através de ampliadores operacionais e chaves, resultando o esquema físico do decodificador que obviamente originou-se diretamente das expressões que definiram o mesmo. O esquema é o da Figura 1.8.

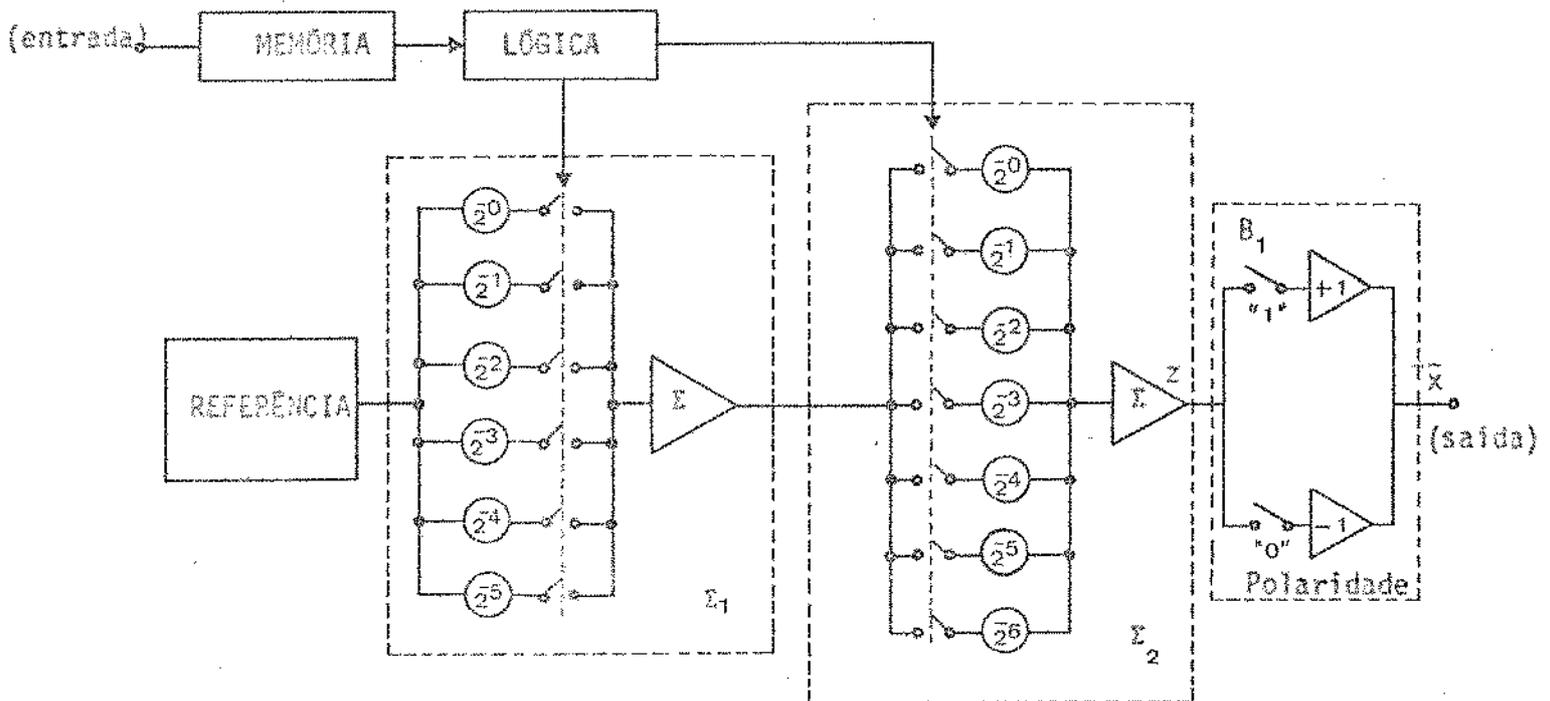


Figura 1.8 - CONVERSOR D/A OU DECODIFICADOR COMPLETO

1.4 - Estudo de Tempo No Decodificador

Pretende-se nesta seção descrever as formas de onda através dos diversos estágios de processamento por que passa o sinal análogo de voz, até a sua reconstrução.

A duração de cada palavra de código que chega sequencialmente ao decodificador é de $1/(8 \text{ KHz} \cdot 32) \approx 3,9 \mu\text{seg}$, ou seja, o decodificador deverá receber, armazenar e processar cada palavra de código, constituída de 8 dígitos

tos, em 3,9 μ seg.

O procedimento do decodificador \bar{e} o que se segue (V. Fig.1.9).

Os bits que chegam em s \bar{e} rie, a uma taxa de 2,048 Kbits/seg., s \bar{a} o carregados em um "Shift Register" de 8 acumuladores atrav \bar{e} s de um sinal de rel \bar{o} gio . Tal sinal \bar{e} obtido a partir do pr \bar{o} prio sinal MCP e, portanto, est \bar{a} em sincronismo - com o mesmo.

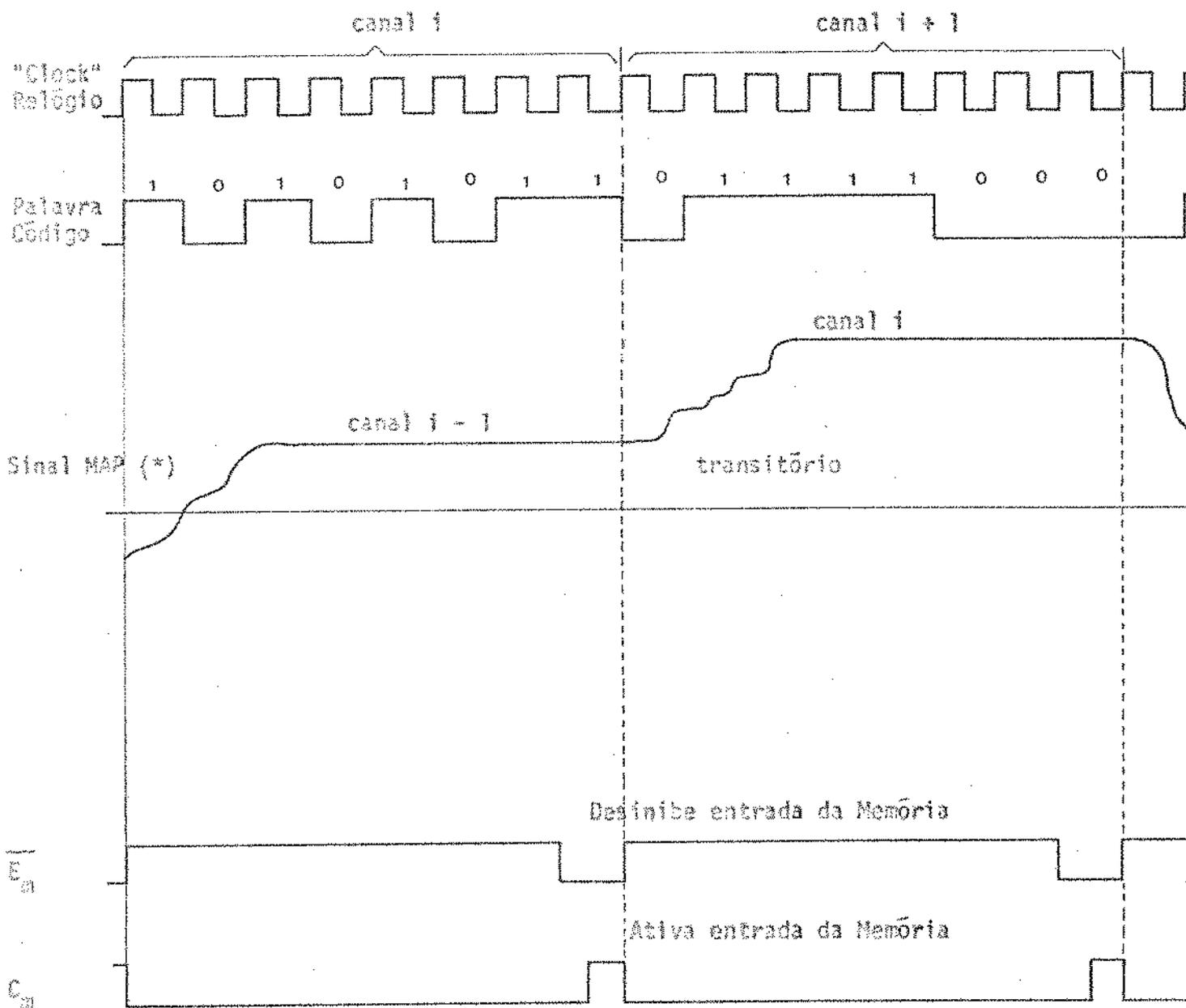


Figura 1.9 - Diagrama de tempo para Multiplex MCP
(*) Modula \bar{c} o por amplitude de pulsos

No intervalo de tempo correspondente a um canal, a palavra de código (constituída de 8 bits de informação) é transferida em paralelo a uma memória. Esta memória é ativada na metade final do 8º bit que está sendo carregado no "Shift Register".

Por sua vez a palavra código uma vez memorizada acionará uma malha lógica que processará a palavra a fim de que o decodificador gere o sinal - MAP (Modulação por amplitude de pulsos) correspondente.

Tem-se, portanto, um atraso lógico de duração de uma palavra de código na conversão D/A. O "Shift Register" por sua vez receberá durante a decodificação de uma palavra de código a próxima palavra garantindo a continuidade do processo.

O processamento por que passa a mensagem desde a entrada no codificador até a saída do decodificador é mostrado na Figura 1.10.

I.5 - Descompressão Digital

O objetivo final neste estudo é a obtenção de um circuito razoavelmente simples que apresente desempenho que satisfaça as especificações da CCITT. Todavia deseja-se que reste ao final uma visão sistemática de projeto de subsistema, por exemplo, a obtenção da topologia do circuito a partir de uma equação que descreva a curva característica do subsistema. Para ressaltar essa conceituação, refaz-se a partir deste ponto um novo esquema de decodificação rearranjando a equação geral da decodificação.

Para conseguir o novo esquema, utiliza-se o seguinte ponto - pré-estabelecido:

Existe atualmente no mercado decodificadores lineares de vários bits a um custo razoavelmente baixo, dependendo da velocidade desejada.

Por essa razão, é razoável conseguir a partir dele um sistema de decodificação não linear que satisfaça a curva característica não linear deseja

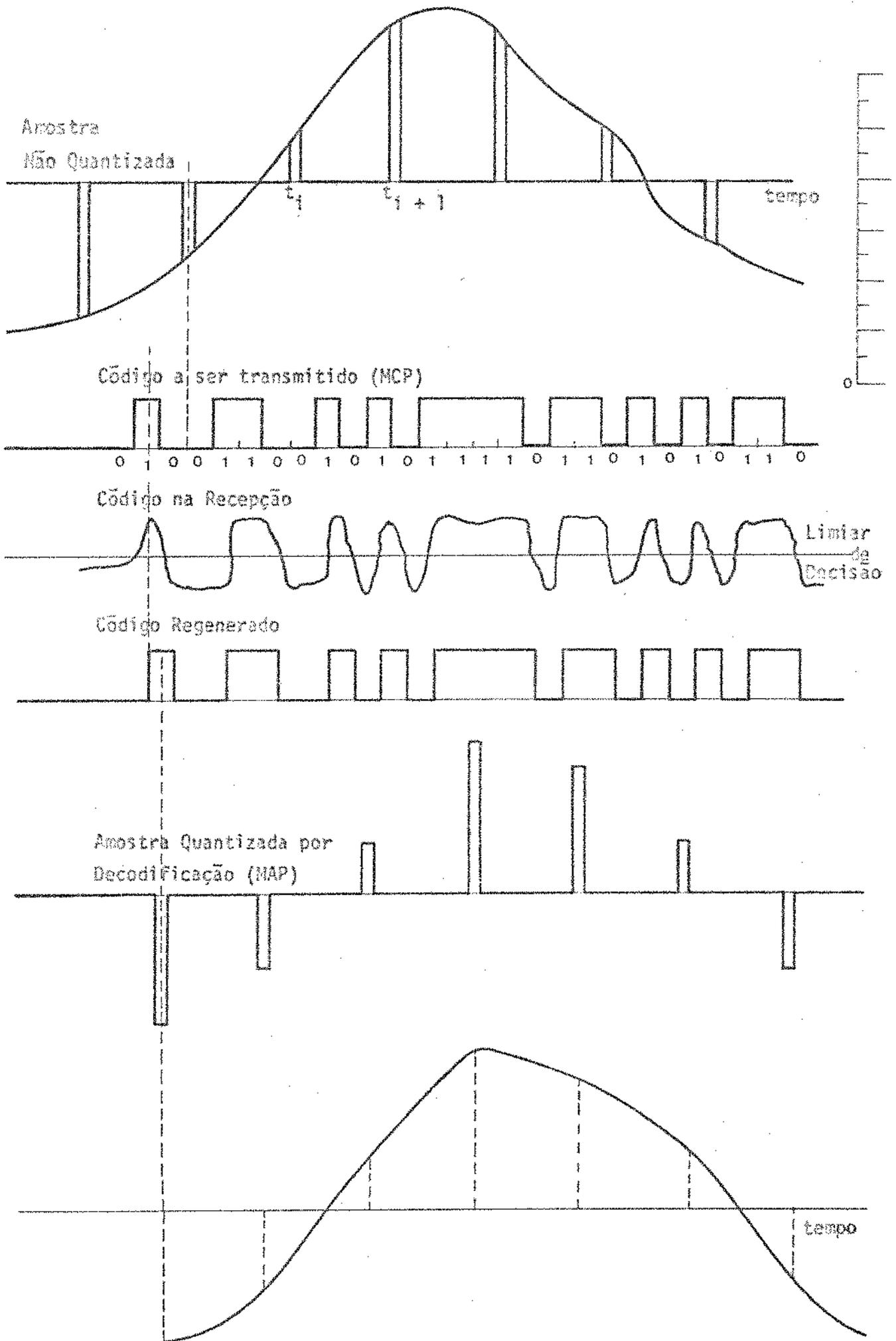


Figura 1.10- Forma de onda em Sistema MCP para um canal

da. Esta idéia está esquematizada na Figura 1.11.

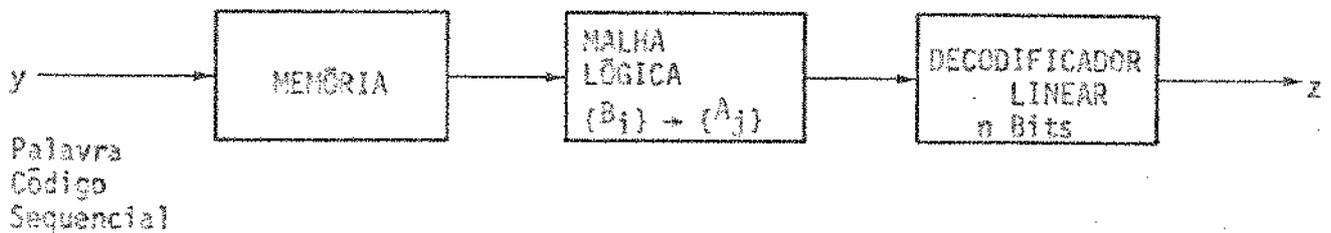


Figura 1.11 - Diagrama de Bloco de um Decodificador Não Linear a partir de um Decodificador Linear

Neste esquema o único problema é determinar a transformação $\{B_j\} \rightarrow \{A_j\}$ que agora já não se constitui um problema pois usa-se a técnica citada acima.

Como a variação do nível de tensão na saída do decodificador deve ser de 1 até 4096 unidades, deve-se ter uma decodificação linear de 12 bits, pois $2^{12} = 4096$. Entretanto, apenas 128 (2^7) unidades daquelas serão efetivamente utilizadas.

Devido ao fato de se ter 2^{12} unidades, pode-se escrever que a saída do Decodificador Linear é dada por

$$\omega = 2^{-1} \cdot A_1 + 2^{-2} \cdot A_2 + 2^{-3} \cdot A_3 + 2^{-4} \cdot A_4 + 2^{-5} \cdot A_5 + 2^{-6} \cdot A_6 + 2^{-7} \cdot A_7 + 2^{-8} \cdot A_8 + 2^{-9} \cdot A_9 + 2^{-10} \cdot A_{10} + 2^{-11} \cdot A_{11} + 2^{-12} \cdot A_{12} \quad (1.28)$$

ou

$$\omega = \sum_{i=1}^{12} 2^{-i} \cdot A_i \quad (1.29)$$

A equação de decodificação é

$$z = V_R \cdot w \quad (1.30)$$

Por outro lado tem-se da equ.1.17 que aqui é denominada equ.(1.31)

$$\begin{aligned} w = & \left[2^{-1} \cdot A + 2^{-2} \cdot B + 2^{-3} \cdot C + 2^{-4} \cdot D + 2^{-5} \cdot E + 2^{-6} \cdot F + 2^{-7} \cdot G^+ \right] (\Sigma + 1) + \\ & + 2^{-7} \cdot G^- \cdot \Sigma \end{aligned} \quad (1.31)$$

que é a saída desejada.

Identificando-se as expressões (1.30) e (1.31) obtêm-se uma Tabela verdade que relaciona os B_j 's com os A_i 's resultando a transformação procurada.

Tem-se pois,

$$\begin{aligned} \sum_{i=1}^{12} 2^{-i} \cdot A_i = & \left[2^{-1} \cdot B_2 \cdot B_3 \cdot B_4 + 2^{-2} \cdot B_2 \cdot B_3 \cdot \overline{B_4} + 2^{-3} \cdot B_2 \cdot \overline{B_3} \cdot B_4 + \right. \\ & + 2^{-4} \cdot B_2 \cdot \overline{B_3} \cdot \overline{B_4} + 2^{-5} \cdot \overline{B_2} \cdot B_3 \cdot B_4 + 2^{-6} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} + \\ & \left. + 2^{-7} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 \right] \cdot \left[2^0 + 2^{-1} \cdot B_5 + 2^{-2} \cdot B_6 + 2^{-3} \cdot B_7 + \right. \\ & + 2^{-4} \cdot B_8 + 2^{-5} \left. \right] + 2^{-7} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot \left[2^{-1} \cdot B_5 + 2^{-2} \cdot B_6 + \right. \\ & \left. + 2^{-3} \cdot B_7 + 2^{-4} \cdot B_8 + 2^{-5} \right] \end{aligned} \quad (1.32)$$

Neste ponto deixa-se claro que um diagrama de decodificação pode ser gerado utilizando-se apenas um formalismo matemático simples. Isto é razoável pois através da solução da equação anterior obtêm-se todos os dígitos A_i 's. Para isso utilizam-se as técnicas de projetos digitais tais como Mapa de Karnaugh ou equivalente, minimização de grupo de funções booleanas ("prime implicants")⁸.

A solução da equação anterior (eq.1.32) é agora obtida facilmente. Reescrevendo a equação, tem-se :

$$\begin{aligned}
 \sum_{i=1}^{12} 2^{-i} \cdot A_i &= 2^{-1} \cdot B_2 \cdot B_3 \cdot B_4 + 2^{-2} \cdot B_2 \cdot B_3 \cdot \overline{B_4} + \\
 &+ 2^{-3} \cdot B_2 \cdot \overline{B_3} \cdot B_4 + 2^{-4} \cdot B_2 \cdot \overline{B_3} \cdot \overline{B_4} + \\
 &+ 2^{-5} \cdot \overline{B_2} \cdot B_3 \cdot B_4 + 2^{-6} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} + \\
 &+ 2^{-7} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 + 2^{-2} \cdot B_2 \cdot B_3 \cdot B_4 \cdot B_5 + \\
 &+ 2^{-3} \cdot B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_5 + 2^{-4} \cdot B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_5 + \\
 &+ 2^{-5} \cdot B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_5 + 2^{-6} \cdot \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_5 + \\
 &+ 2^{-7} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_5 + 2^{-8} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_5 + \\
 &+ 2^{-3} \cdot B_2 \cdot B_3 \cdot B_4 \cdot B_6 + 2^{-4} \cdot B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_6 + \\
 &+ 2^{-5} \cdot B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_6 + 2^{-6} \cdot B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_6 +
 \end{aligned}$$

$$\begin{aligned}
& + 2^{-7} \cdot \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_6 + 2^{-8} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_6 + \\
& + 2^{-8} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_6 + 2^{-4} \cdot \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_7 + \\
& + 2^{-5} \cdot B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_7 + 2^{-6} \cdot B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_7 + \\
& + 2^{-7} \cdot B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_7 + 2^{-8} \cdot \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_7 + \\
& + 2^{-9} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_7 + 2^{-10} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_7 + \\
& + 2^{-5} \cdot B_2 \cdot B_3 \cdot B_4 \cdot B_8 + 2^{-6} \cdot B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_8 + \\
& + 2^{-7} \cdot B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_8 + 2^{-8} \cdot B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_8 + \\
& + 2^{-9} \cdot \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_8 + 2^{-10} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_8 + \\
& + 2^{-11} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_8 + 2^{-6} \cdot B_2 \cdot B_3 \cdot B_4 + \\
& + 2^{-7} \cdot B_2 \cdot B_3 \cdot \overline{B_4} + 2^{-8} \cdot B_2 \cdot \overline{B_3} \cdot B_4 + 2^{-9} \cdot B_2 \cdot \\
& \cdot \overline{B_3} \cdot \overline{B_4} + 2^{-10} \cdot \overline{B_2} \cdot B_3 \cdot B_4 + 2^{-11} \cdot \overline{B_2} \cdot B_3 \cdot \overline{B_4} + \\
& + 2^{-12} \cdot \overline{B_2} \cdot \overline{B_3} \cdot B_4 + 2^{-8} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_5 + \\
& + 2^{-9} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_6 + 2^{-10} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_7 + \\
& + 2^{-11} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_8 + 2^{-12} \cdot \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4}
\end{aligned}$$

Reagrupando os termos de mesma potência, tem-se:

$$\begin{aligned}
 \sum_{i=1}^{12} 2^{-i} \cdot A_i &= 2^{-1} \cdot [B_2 \cdot B_3 \cdot B_4] + 2^{-2} \cdot [B_2 \cdot B_3 \cdot \overline{B_4} + B_2 \cdot B_3 \cdot B_4 \cdot B_5] + \\
 &+ 2^{-3} [B_2 \cdot \overline{B_3} \cdot B_4 + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_5 + B_2 \cdot B_3 \cdot B_4 \cdot B_6] + \\
 &+ 2^{-4} [B_2 \cdot \overline{B_3} \cdot \overline{B_4} + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_5 + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_6 + \\
 &\quad + B_2 \cdot B_3 \cdot B_4 \cdot B_7] + \\
 &+ 2^{-5} [B_2 \cdot B_3 \cdot B_4 + B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_5 + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_6 + \\
 &\quad + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_7 + B_2 \cdot B_3 \cdot B_4 \cdot B_8] + \\
 &+ 2^{-6} [B_2 \cdot B_3 \cdot \overline{B_4} + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_5 + B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_6 + \\
 &\quad + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_7 + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_8 + B_2 \cdot B_3 \cdot B_4] + \\
 &+ 2^{-7} [B_2 \cdot \overline{B_3} \cdot B_4 + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_5 + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_6 + \\
 &\quad + B_2 \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_7 + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_8 + B_2 \cdot B_3 \cdot \overline{B_4}] + \\
 &+ 2^{-8} [B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_5 + B_2 \cdot B_3 \cdot \overline{B_4} \cdot B_6 + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_7 + \\
 &\quad + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_8 + B_2 \cdot \overline{B_3} \cdot B_4 \cdot B_5 + B_2 \cdot \overline{B_3} \cdot B_4] +
 \end{aligned}$$

$$\begin{aligned}
& + 2^{-9} \left[\overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_6 + \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_7 + \overline{B_2} \cdot B_3 \cdot B_4 \cdot B_8 + \right. \\
& \quad \left. + \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_6 + B_2 \cdot \overline{B_3} \cdot \overline{B_4} \right] + \\
& + 2^{-10} \left[\overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_7 + \overline{B_2} \cdot B_3 \cdot \overline{B_4} \cdot B_8 + \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_7 + \right. \\
& \quad \left. + \overline{B_2} \cdot B_3 \cdot B_4 \right] + \\
& + 2^{-11} \left[\overline{B_2} \cdot \overline{B_3} \cdot B_4 \cdot B_8 + \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \cdot B_8 + \overline{B_2} \cdot B_3 \cdot B_4 \right] + \\
& + 2^{-12} \left[\overline{B_2} \cdot \overline{B_3} \cdot B_4 + \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \right]
\end{aligned}$$

Identificando-se coeficiente a coeficiente dos polinômios obtêm-se os A_i 's :

$$\begin{aligned}
A_1 &= B_2 B_3 B_4 \\
A_2 &= B_2 B_3 \overline{B_4} + B_2 B_3 B_4 B_5 \\
A_3 &= B_2 \overline{B_3} B_4 + B_2 B_3 \overline{B_4} B_5 + B_2 B_3 B_4 B_6 \\
A_4 &= B_2 \overline{B_3} B_4 + B_2 \overline{B_3} B_4 B_5 + B_2 B_3 \overline{B_4} B_6 + B_2 B_3 B_4 B_7 \quad (1.35) \\
A_5 &= \overline{B_2} B_3 B_4 + B_2 \overline{B_3} \overline{B_4} B_5 + B_2 \overline{B_3} B_4 B_6 + B_2 B_3 \overline{B_4} B_7 + \\
& + B_2 B_3 B_4 B_8
\end{aligned}$$

$$A_6 = B_2 B_3 B_4 + \overline{B_2} B_3 B_4 B_5 + B_2 \overline{B_3} \overline{B_4} B_6 + B_2 \overline{B_3} B_4 B_7 + \\ \overline{B_2} \overline{B_3} \overline{B_4} + B_2 B_3 \overline{B_4} B_8$$

$$A_7 = B_2 B_3 \overline{B_4} + \overline{B_2} B_3 \overline{B_4} B_5 + \overline{B_2} B_3 B_4 B_6 + B_2 \overline{B_3} \overline{B_4} B_7 + \\ \overline{B_2} \overline{B_3} B_4 + B_2 \overline{B_3} B_4 B_8$$

$$A_8 = B_2 \overline{B_3} B_4 + \overline{B_2} \overline{B_3} B_5 + \overline{B_2} B_3 \overline{B_4} B_6 + \overline{B_2} B_3 B_4 B_7 + \\ + B_2 \overline{B_3} \overline{B_4} B_8$$

$$A_9 = B_2 \overline{B_3} \overline{B_4} + \overline{B_2} \overline{B_3} B_6 + \overline{B_2} B_3 \overline{B_4} B_7 + \\ + \overline{B_2} B_3 B_4 B_8$$

$$A_{10} = \overline{B_2} B_3 B_4 + \overline{B_2} \overline{B_3} B_7 + \overline{B_2} B_3 \overline{B_4} B_8$$

$$A_{11} = \overline{B_2} B_3 \overline{B_4} + \overline{B_2} \overline{B_3} B_8$$

$$A_{12} = \overline{B_2} \overline{B_3}$$

Como se frisou anteriormente, para se obter o circuito que realize essa transformação, quando a simplicidade do mesmo é fator fundamental, pode-se usar a técnica de minimização de grupo. Assim o circuito transformador faz corresponder a cada palavra $\{B_j\}$, um único nível A_j ($j = 1, 12$) e a unidade é estabelecida.

A obtenção do diagrama da Fig. 1.11 teve por objetivo explicar a idéia anterior quanto à existência de uma sistemática de projeto. É preciso, todavia, lembrar que o primeiro sistema apresentado tem inúmeras vantagens pois ele é equivalente em complexidade e preço ao linear aqui utilizado como sub sistema.

Resta, no entanto, uma possível idéia a ser usada quando a curva característica de compressão-expansão for particularmente difícil de ser realizada pelo esquema do primeiro tipo apresentado.

1.6 - Objetivos do Trabalho

O objetivo deste trabalho é obter a partir do esquema escolhido (Fig. 1.9) todos os detalhes físicos do circuito até a obtenção do "lay-out" final.

A fim de obter a especificação da tolerância, dos componentes desenvolve-se um algoritmo baseado na simulação digital do circuito e no critério de pior-caso (worst-case design).

O Capítulo II deste trabalho apresenta o circuito na sua forma final.

O Capítulo III apresenta o algoritmo com suas justificativas teóricas e a aplicação ao conversor D/A.

O Capítulo IV apresenta os resultados medidos em dois protótipos e uma análise descritiva destes resultados.

II - PROJETO DO DECODIFICADOR

II.0 - Esquema do Decodificador

Conforme foi mostrado no Capítulo I, tem-se o seguinte esquema para o decodificador.

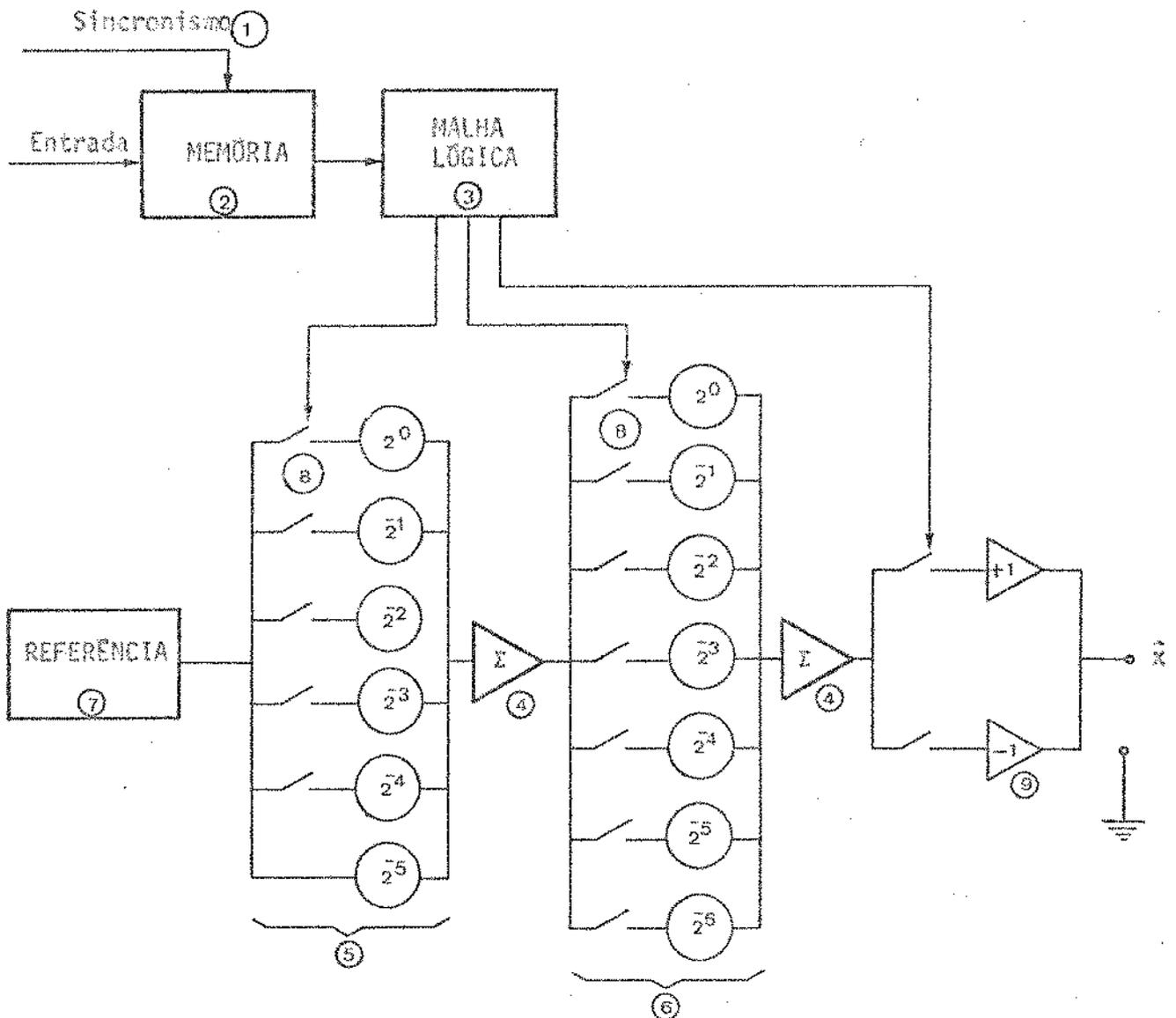


Figura 2.1 - Esquema do Conversor D/A

Pretende-se neste Capítulo especificar em detalhes cada parte do sistema que são as seguintes:

A - LÓGICA

- (1) Sincronismo
- (2) Memória
- (3) Malha Lógica

B - ANALÓGICA

- (4) Somadores
- (5) Malha de Soma
- (6) Malha de Atenuação
- (7) Fonte de Referência
- (8) Chaves Análogas
- (9) Controle de Polaridade do Sinal

Em primeiro lugar, desenvolver-se-á a parte lógica, e então a parte análoga e finaliza-se com a apresentação dos cálculos (finais) nominais mais o esquema global com detalhes e "Lay-Out" de montagem.

II.1 - Parte Lógica

Apresenta-se nesta seção os circuitos de controle de sincronismo e de lógica e, também, o sistema de armazenamento da mensagem codificada.

II.1.1 - Circuito de Geração das Ondas de Controle de Sincronismo

Conforme estabelecido na seção I.4 referente aos tempos no decodificador, tem-se de produzir as ondas E_m e C_m a partir do "clock" e do sincronismo de quadro (esta informação é enviada durante a janela de tempo 31, de dois - em dois quadros, e sofre normalização da CCITT).

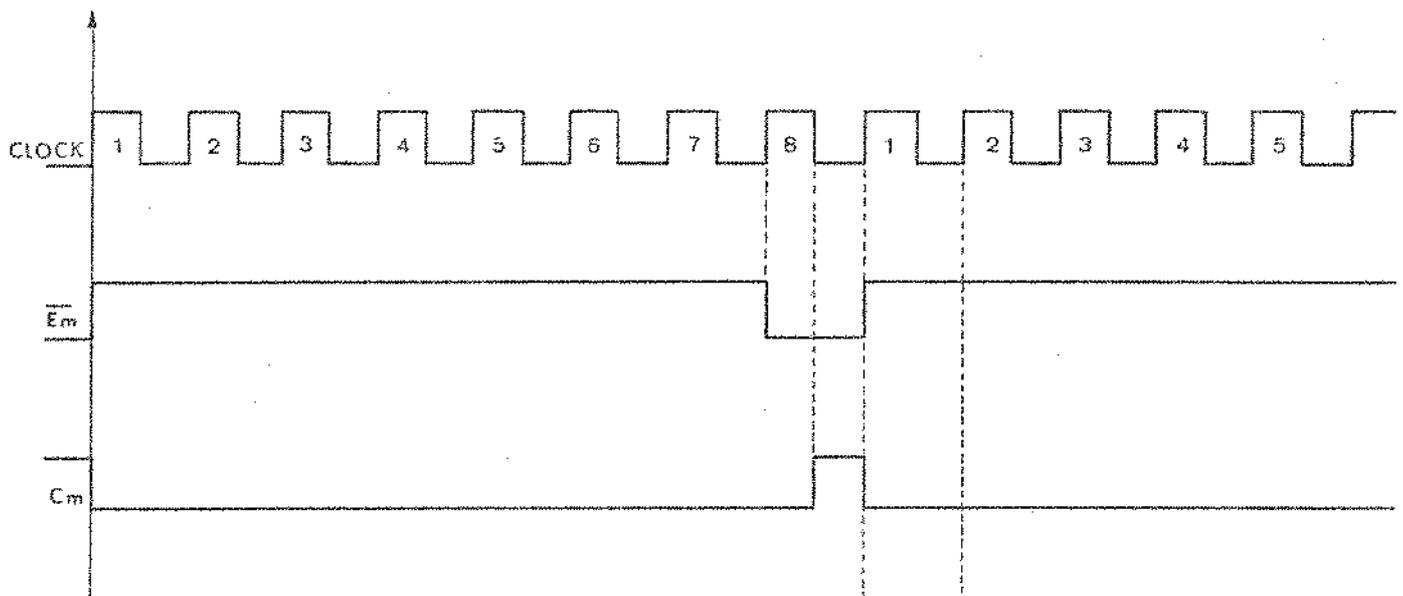


Figura 2.2 - Diagrama de Tempo

A onda $\overline{E_m}$ tem a função de desinibir as entradas paralelas da memória e C_m tem a função de gatilhar as entradas de maneira que a informação passe para dentro do registro.

Para se obter C_m e $\overline{E_m}$ a partir do "clock", deve-se utilizar um contador que permita dividir o sinal de "clock" em ondas de frequências submúltiplas. Assim tem-se o seguinte diagrama de tempo mostrado na Figura 2.3.

Para realizar as palavras do diagrama de tempo acima mencionado, usa-se um contador binário de 4-bit TTL/MSI 9316, cuja função de bloco é ilustrada na Figura 2.4 e seu modo de operação na Tabela 2.1.

Como se deseja um contador síncrono, tem-se que

$$CEP = CET = \overline{PE} = P_0 = P_1 = P_2 = P_3 = "1" \quad (2.1)$$

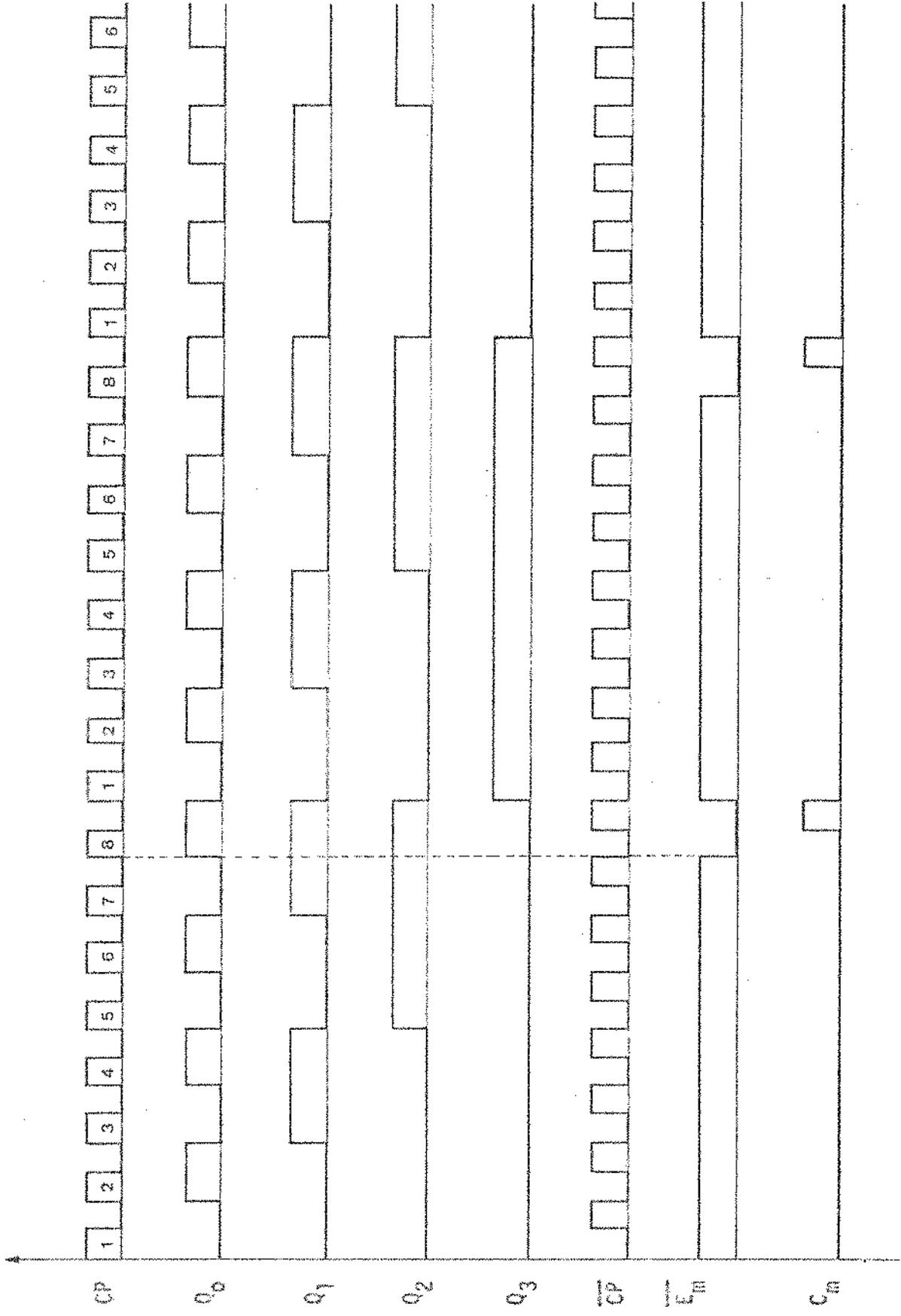


Figura 2.3 - Diagrama de Tempo

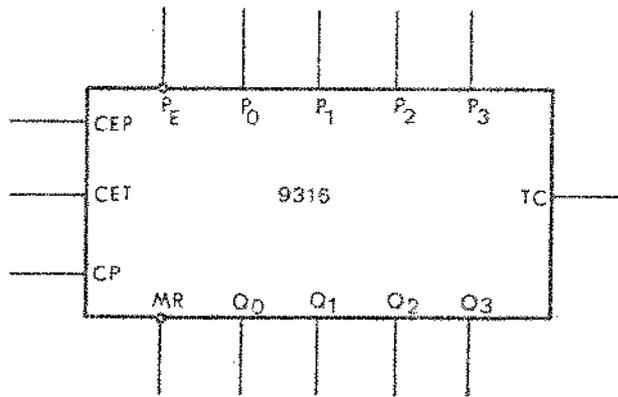


Figura 2.4 - Diagrama de Bloco do 9316

MODO DE OPERAÇÃO PARA $\overline{MR} = H$ ("HIGH")			
\overline{PE}	CEP	CET	MODO
L	L	L	PRESET
L	L	H	PRESET
L	H	L	PRESET
L	H	H	PRESET
H	L	L	NÃO MUDA
H	L	H	NÃO MUDA
H	H	L	NÃO MUDA
H	H	H	CONTADOR

TABELA 2.1 - Modo de Operação do 9316

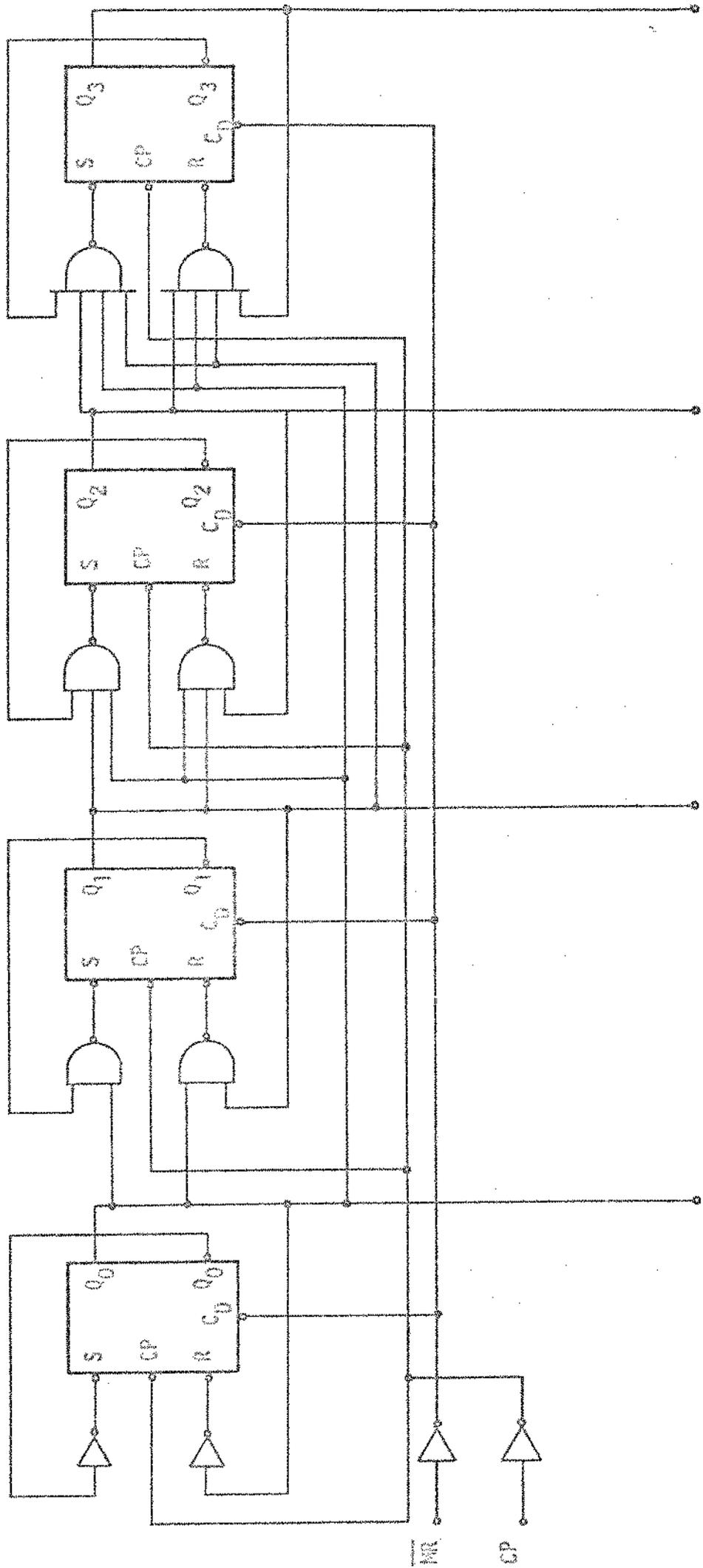


Figura 2.5 - Diagrama Lógico do 9316 em Modo Contador

II.1.2 - Recepção e Armazenamento dos Bits

Os bits que chegam em série a uma taxa de 2048 Kbits/seg, são armazenados em um registro-série (shift register) e daí convertidos em paralelo para uma memória.

Estuda-se agora o TTL/MSI 93H00 "4-Bit Shift Register" para o propósito em questão.

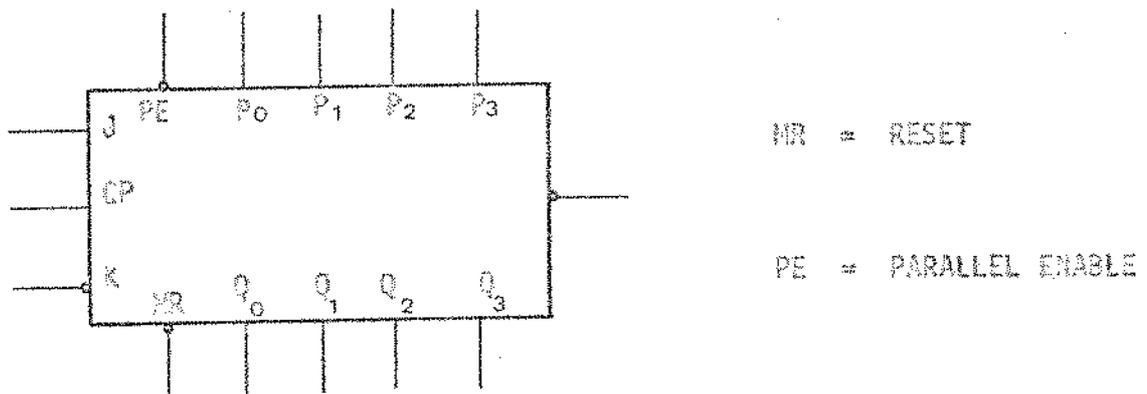


Figura 2.7 - Diagrama de Bloco do 93H00

Este componente TTL pode ser usado como um acumulador série (Shift Register) ou uma memória.

Modo Acumulador-Série

$$PE = P_0 = P_1 = P_2 = P_3 = "1" \quad (2.5)$$

$$J = \bar{K} = \text{Entrada} \quad (2.6)$$

$$CP = \text{"Clock"} \quad (2.7)$$

Isto simplifica substancialmente o diagrama do 93H00

(V. Fig. 2.8).

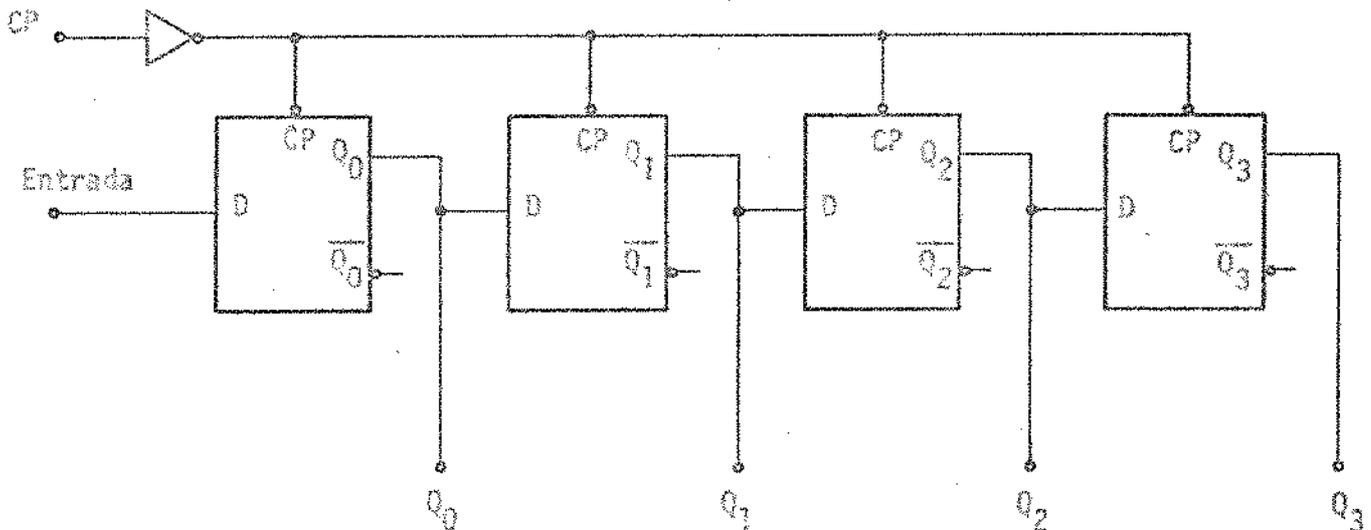


Figura 2.8 - Diagrama Lógico do 93H00 em Modo Acumulador-Série

Modo Memória

$$PE = \overline{E_m} \quad (2.8)$$

$$P_0, P_1, P_2, P_3 = \text{Entradas} \quad (2.9)$$

$$J = K = "0" \quad (2.10)$$

e o 93H00 fica com o diagrama simplificado da Figura 2.9.

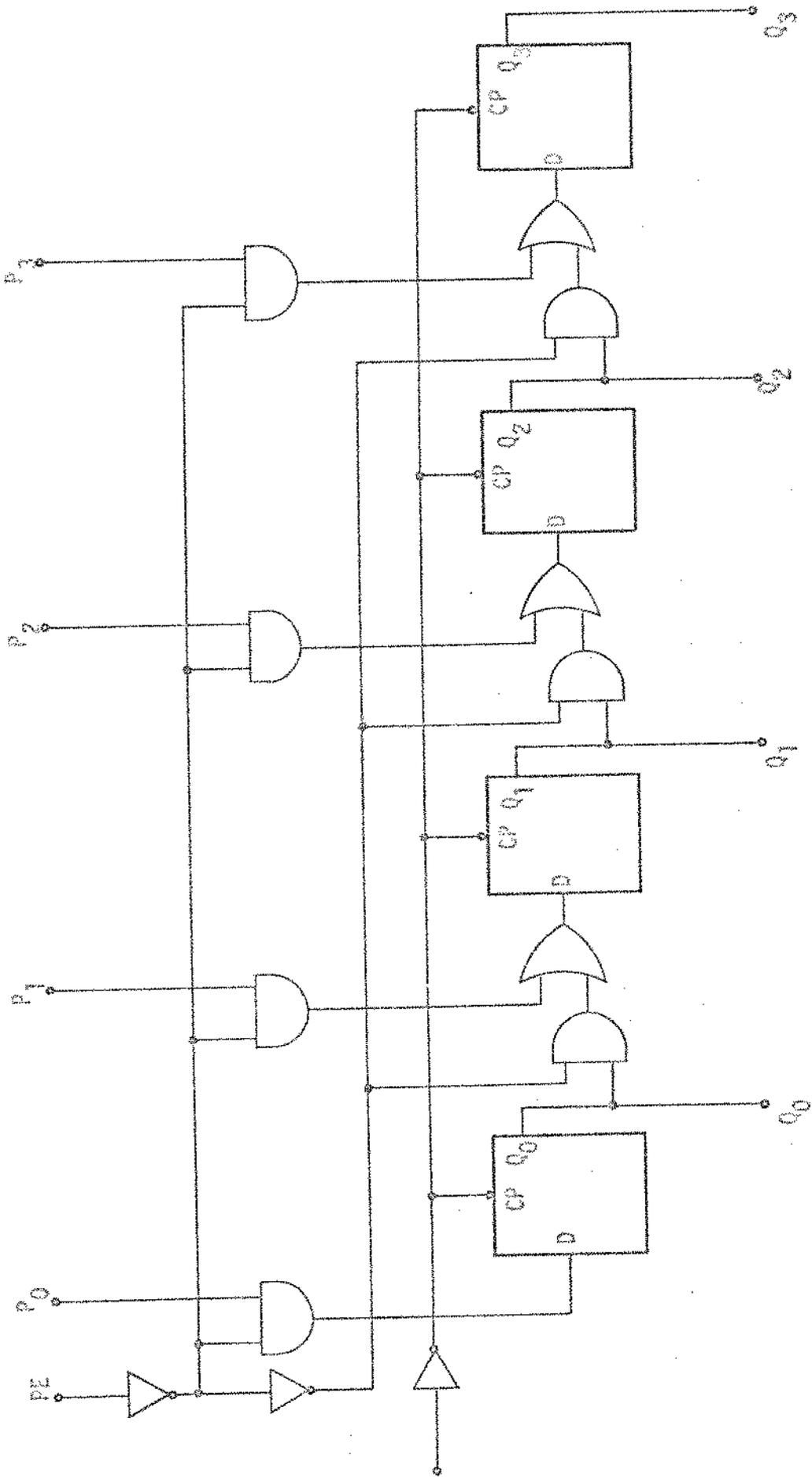


Figura 2.9 - Diagrama Lógico do 3840 em Modo Memória

Com as simplificações realizadas, o sistema de recepção e armazenamento proposto pode ser esquematizado como mostrado na Figura 2.10. O diagrama da Figura 2.10 usa duas unidades do TTL 93H00 como armazenador-série e duas como memória de entrada paralela. Pode-se no entanto, substituir os dois 93H00 armazenador-série com vantagem em economia e simplicidade pelo armazenador-série de 8 Bits - 74164 SERIAL TO PARALLEL CONVERTER, conforme mostra a Figura 2.11.

O 74164 tem o seguinte diagrama simplificado, o qual é mostrado na Figura 2.12.

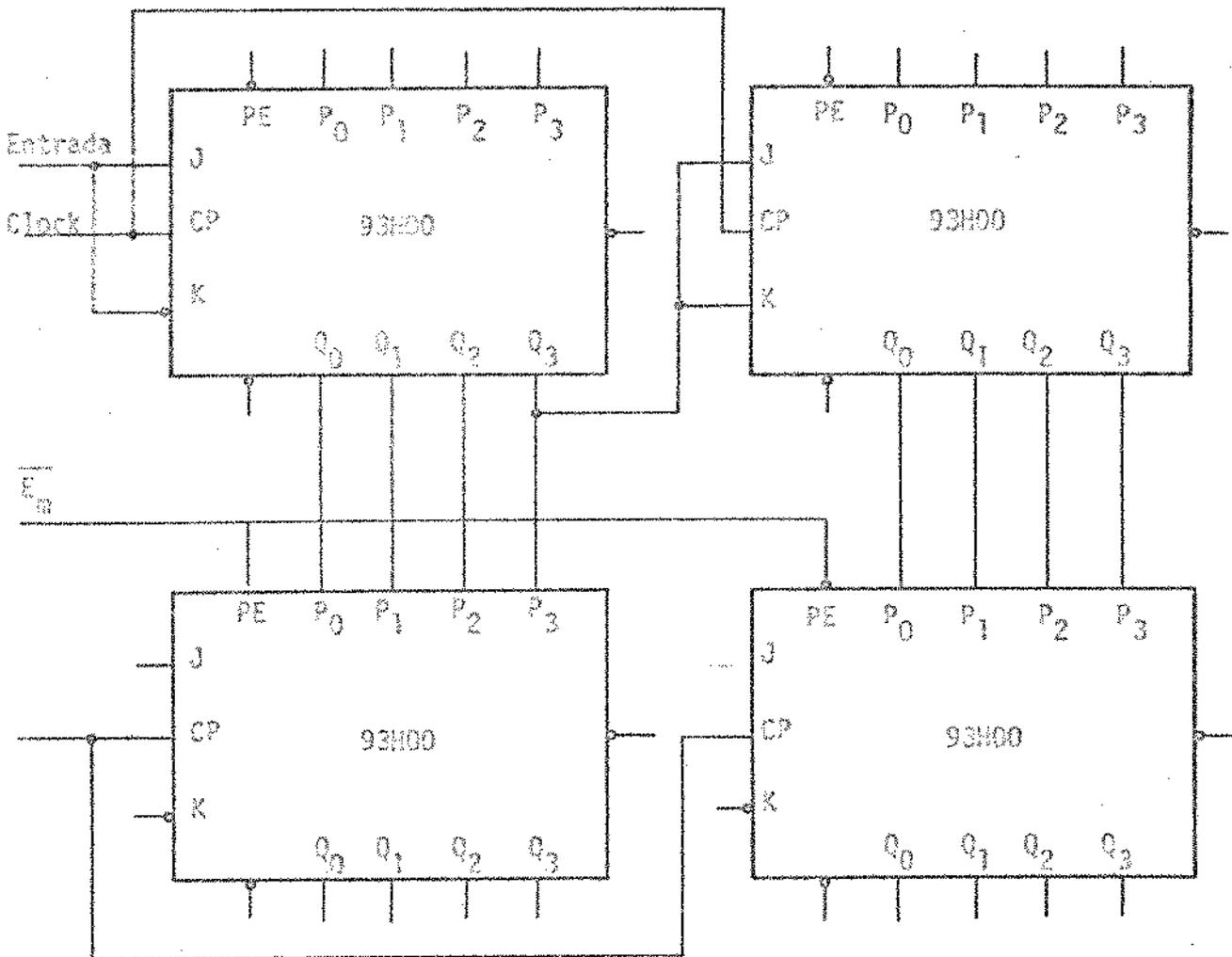


Figura 2.10 - Circuito de Recepção e Armazenamento dos Bits

Portanto o esquema final da recepção e armazenagem de dados é o da Figura 2.13.

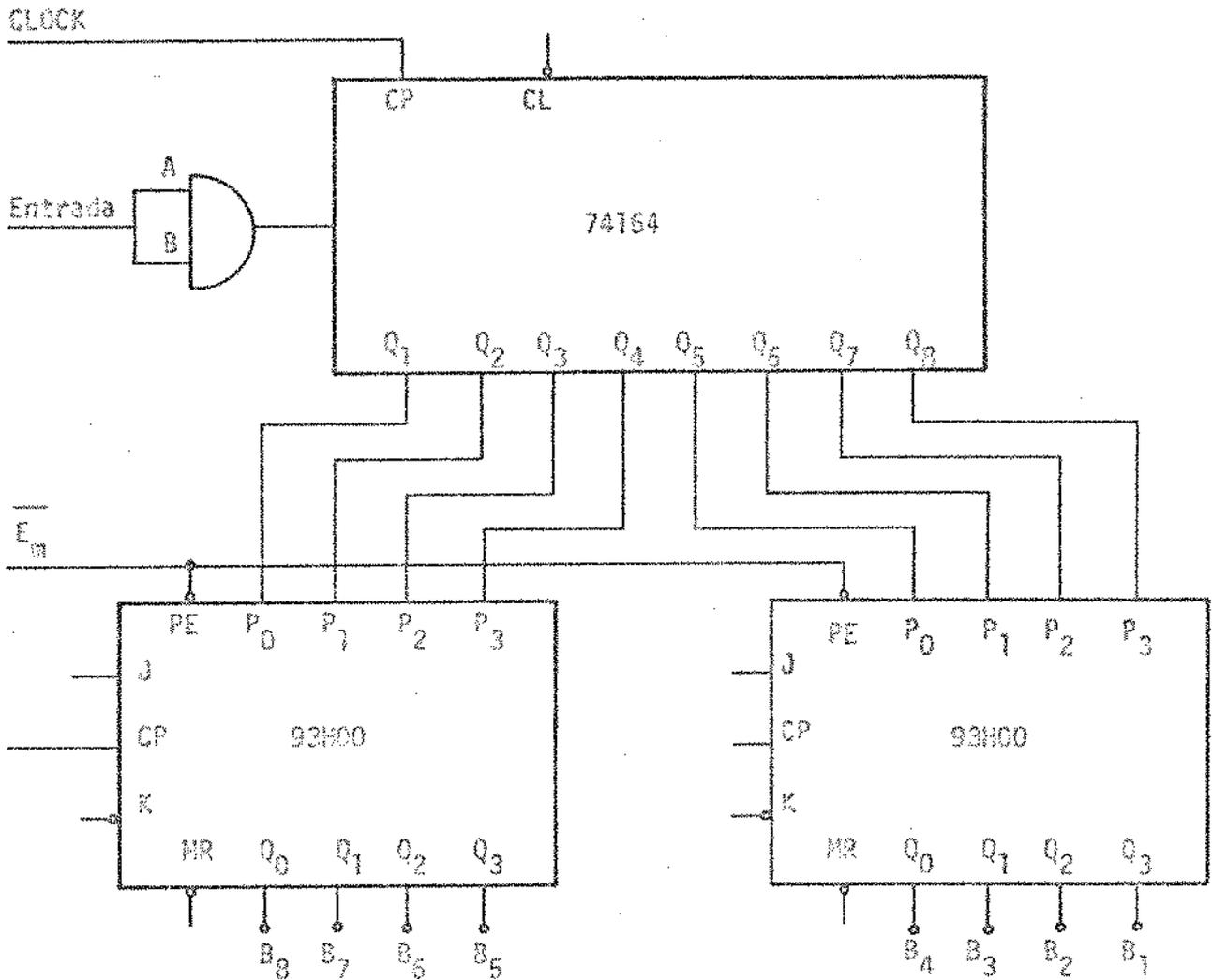


Figura 2.13 - Recepção e Armazenamento da Palavra Código

II.1.3 - Malha Lógica Para Geração dos Controles de Chaveamento

Para se estabelecer a lógica de atuação das chaves recorre-se às equações 2.10 e 2.11.

$$Z = V_R \cdot \Sigma_1 \cdot \Sigma_2 \quad (2.10)$$

$$\bar{x} = Z \cdot (B_1 - \overline{B_1}) \quad (2.11)$$

A partir destas equações, tem-se que implementar as seguintes funções lógicas abaixo,

$$A = B_2 \cdot B_3 \cdot B_4 \quad (a)$$

$$B = B_2 \cdot B_3 \cdot \overline{B_4} \quad (b)$$

$$C = B_2 \cdot \overline{B_3} \cdot B_4 \quad (c)$$

$$D = B_2 \cdot \overline{B_3} \cdot \overline{B_4} \quad (d)$$

$$E = \overline{B_2} \cdot B_3 \cdot B_4 \quad (e)$$

$$F = \overline{B_2} \cdot B_3 \cdot \overline{B_4} \quad (f)$$

$$G^+ = \overline{B_2} \cdot \overline{B_3} \cdot B_4 \quad (g)$$

$$G^- = \overline{B_2} \cdot \overline{B_3} \cdot \overline{B_4} \quad (h)$$

(2.12)

e $\overline{B_1}$

Estas funções são facilmente implementadas usando-se circuitos NAND e INVERSORES, logo resulta o diagrama da Figura 2.14.

Usa-se o inversor - 7404 HEX INVERTER (Figura 2.15) e o NAND-7410, TRIPLE 3 - INPUT NAND GATE (Figura 2.16).

Com isto, tem-se definido todo circuito da parte lógica do decodificador que corresponda às funções da Figura 2.1, de números 1, 2 e 3.

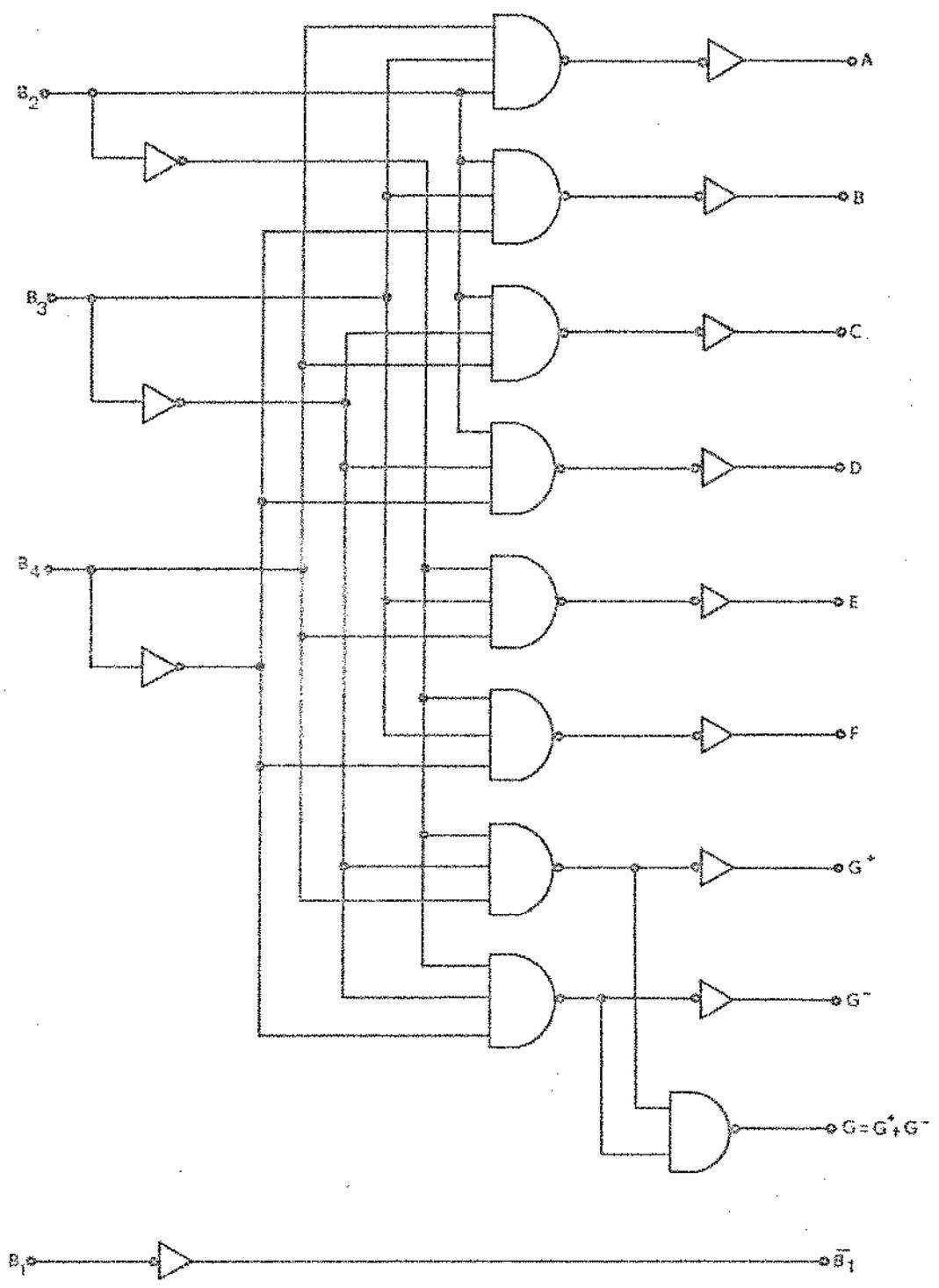


Figura 2.14 - Lógica de Chaveamento

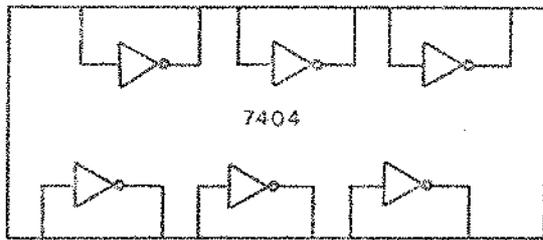


Figura 2.15 - Diagrama de Bloco do 7404

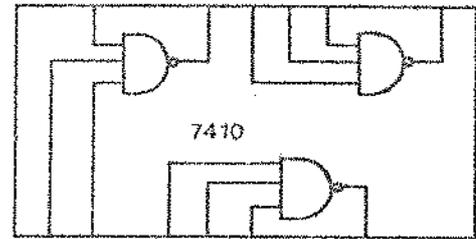


Figura 2.16 - Diagrama de Bloco do 7410

II.2 - Parte Analógica

II.2.1 - Idéias para Implementação do Σ_1

Estuda-se agora a parte analógica correspondente ao Σ_1 ou seja a função na Figura 2.1. Precisa-se aqui fazer a opção entre duas soluções básicas que são:

- a) referência de corrente (Fig. 2.17)
- b) referência de tensão (Fig. 2.18)

As soluções mostradas nas Figuras 2.17 e 2.18 não são interessantes por necessitarem cada uma delas várias fontes de referência (de tensão - ou de corrente). Se se conseguisse somadores com impedância de entrada bastante baixa, o seguinte esquema de fonte de corrente poderia ser implementado - Ver Figura 2.19.

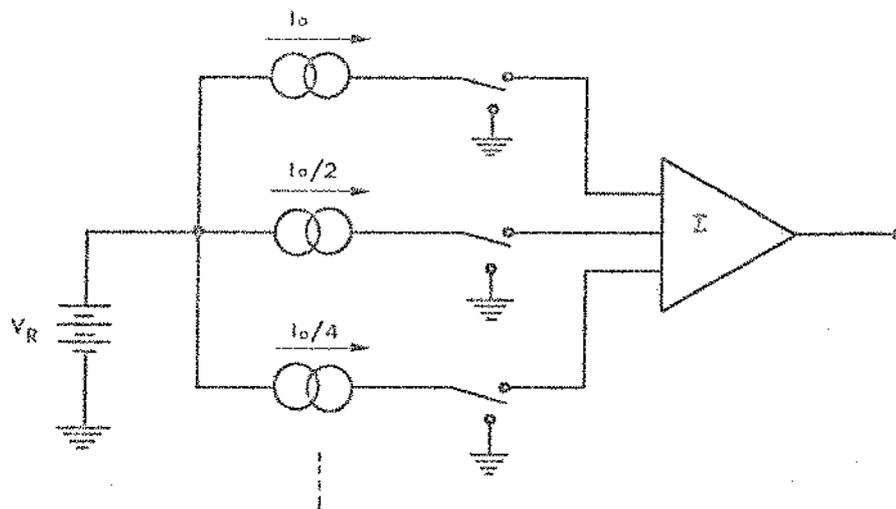


Figura 2.17 - Referência de Corrente

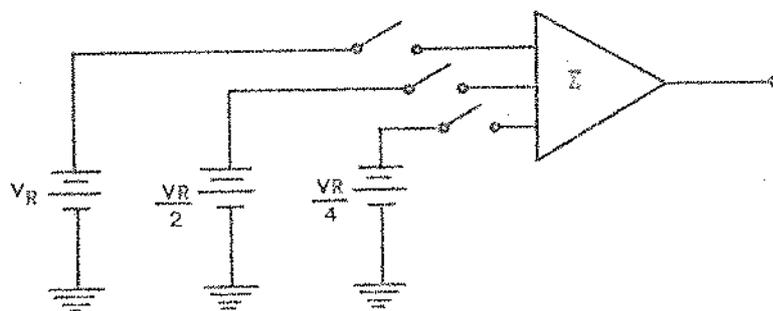


Figura 2.18 - Referência de Tensão

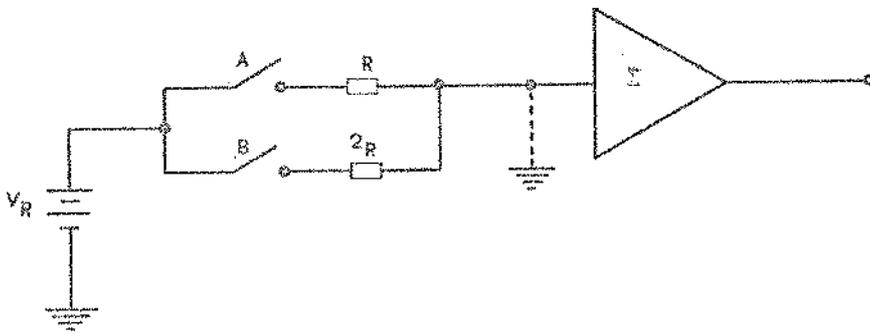


Figura 2.19 - Referência Utilizada

A saída é praticamente

$$A \frac{V_R}{R} + B \cdot \frac{V_R}{2R} \quad (2.13)$$

ou seja,

$$S = A \cdot I + B \cdot \frac{I}{2} \quad (2.14)$$

onde

$$I \cong \frac{V_R}{R} \quad \text{e } A \text{ e } B, \text{ variáveis lógicas.} \quad (2.15)$$

A grande vantagem deste sistema é utilizar apenas uma fonte de referência. A seguir apresenta-se um estudo de como isto pode ser realizado.

II.2.2 - Somadores

Estuda-se aqui em detalhes o circuito somador. Seja o amplificador operacional genérico (V. Fig. 2.20) e o seu modelo elétrico DC (V. Fig. 2.21).

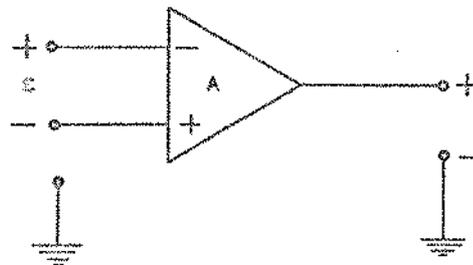


Figura 2.20 - Diagrama de Bloco do Amplificador Operacional

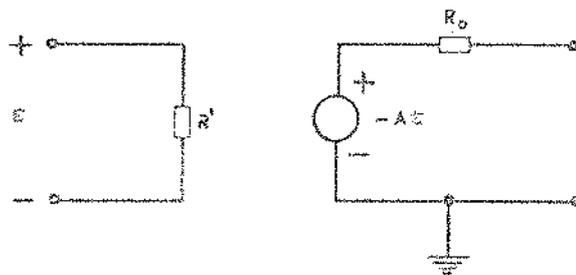


Figura 2.21 - Modelo Elétrico D.C. do Amp.Op.

No modelo elétrico, tem-se

R' = impedância de entrada

R_o = impedância de saída

A = ganho em malha aberta

Para um modelo ideal

$$R' = \infty ; R_o = 0 ; A = \infty \quad (2.16)$$

Considere-se o amplificador operacional realimentado e com car-

ga (V. Fig.2.22) e seu modelo correspondente (V. Fig. 2.23).

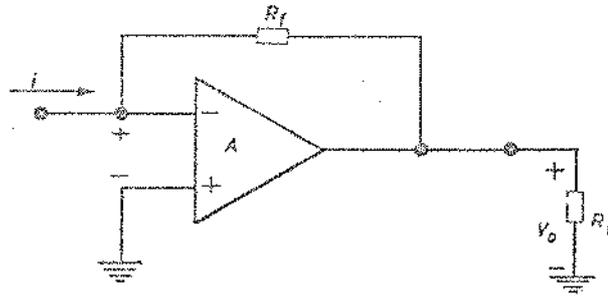


Figura 2.22 - Amp.Op. Realimentado e com Carga

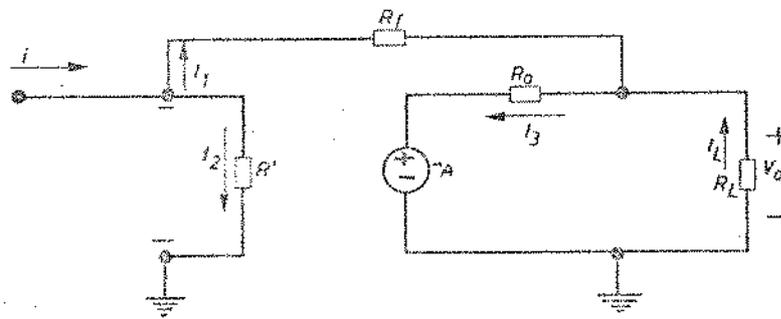


Figura 2.23 - Modelo Elétrico

Deseja-se determinar a tensão de saída v_0 em função da corrente de entrada i , e a impedância de entrada Z_{in} .

Do circuito equivalente (Fig. 2.23) obtêm-se as relações:

- De corrente:

$$i = I_1 + I_2 \quad (2.17)$$

$$I_1 = I_2 + I_3 \quad (2.18)$$

- De tensão:

$$v_0 - v_0 = R_f \cdot I_1 \quad (2.19)$$

$$v_0 + A \cdot v_0 = R_0 \cdot I_3 \quad (2.20)$$

- Ôhmicas:

$$\epsilon = R' \cdot I_2 \quad (2.21)$$

$$v_o = R_L \cdot I_L \quad (2.22)$$

Das relações 2.17 até 2.22 resultam outras relações:

De 2.17 e 2.21, obtêm-se

$$I_1 = i - \frac{\epsilon}{R'} \quad (2.23)$$

De 2.18, 2.22 e 2.23, obtêm-se

$$I_3 = i - \frac{\epsilon}{R'} - \frac{v_o}{R_L} \quad (2.24)$$

De 2.19 e 2.23, obtêm-se

$$\epsilon - v_o = R_f \cdot i - \frac{R_f}{R'} \cdot \epsilon \quad (2.25)$$

De 2.20 e 2.24 obtêm-se

$$v_o + A \cdot \epsilon = R_o \cdot i - \frac{R_o}{R'} \cdot \epsilon - \frac{R_o}{R_L} \cdot v_o \quad (2.26)$$

De 2.25 e 2.26, obtêm-se

$$\frac{\epsilon}{i} = \frac{R_o + (1 + \frac{R_o}{R_f}) \cdot R_f}{(1 + \frac{R_f}{R'}) (1 + \frac{R_o}{R_L}) + A (1 + \frac{R_o}{A \cdot R'})} \quad (2.27)$$

$$\frac{V_0}{i} = -R_f + \left(1 + \frac{R_f}{R'}\right) \cdot \frac{\epsilon}{i} \quad (2.28)$$

tem-se

Para $R_L > R_0$, $R_0 < R_f < R'$ e se $R_0 \rightarrow 0$, $A \rightarrow \infty$ e $R' \rightarrow \infty$,

$$Z_{in} = \frac{\epsilon}{i} \approx 0 \quad (2.29)$$

$$\frac{V_0}{i} \approx -R_f \quad (2.30)$$

Com isto tem-se um circuito cuja saída é igual a

$$v_0 = -R_f \cdot i \quad (2.31)$$

e a corrente i independe do circuito, pois $Z_{in} \approx 0$.

Em resumo, uma montagem do tipo mostrado na Figura 2.24

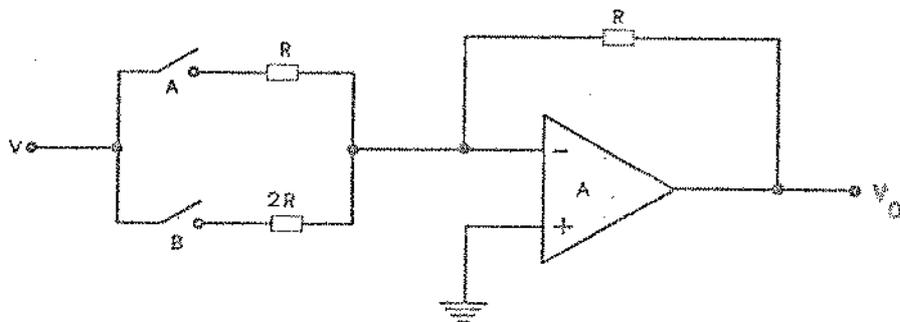


Figura 2.24 - Circuito Somador

é um circuito somador, pois

$$I = A \cdot \frac{V}{R} + B \cdot \frac{V}{2R} \quad (2.32)$$

logo

$$v_o = -R \cdot I = -(A \cdot V + B \cdot \frac{V}{2}) \quad (2.33)$$

Utiliza-se como Amp-Op do circuito somador o integrado - LM318, cujas características de interesse são:

$$\left. \begin{aligned} A &= 5 \cdot 10^4 \leftrightarrow 20 \cdot 10^4 \quad (\text{ganho}) \\ R' &= 1 \leftrightarrow 3 \text{ M}\Omega \quad (\text{impedância de entrada}) \end{aligned} \right\} (2.34)$$

$$\text{"Slew Rate"} = 50 \leftrightarrow 70 \text{ Volts}/\mu\text{seg.}$$

Como o Amp-Op usualmente apresenta necessidade de compensações e estas são fornecidas pelo fabricante para uso em situações de uso normal, necessitou-se de estudos de desempenho. A compensação que resultou deste estudo é apresentada na Figura 2.25.

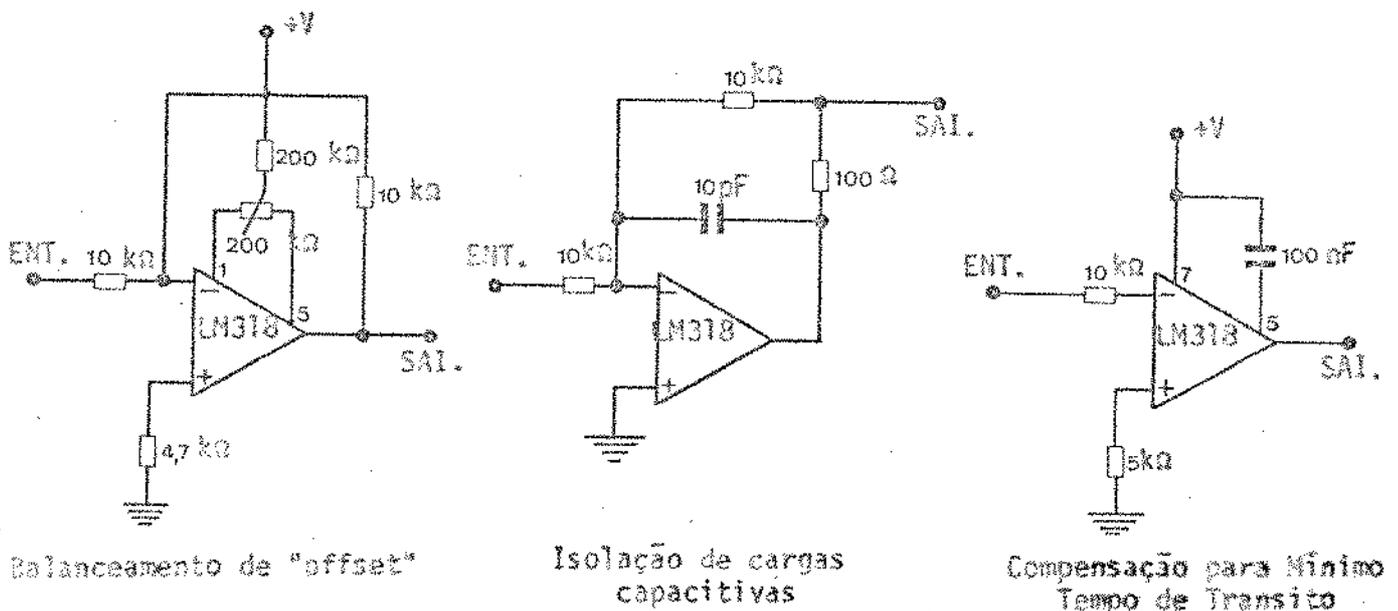


Figura 2.25 - Compensações recomendadas pelo fabricante para o AMP-OP LM318

Resumindo as compensações num único circuito, tem-se

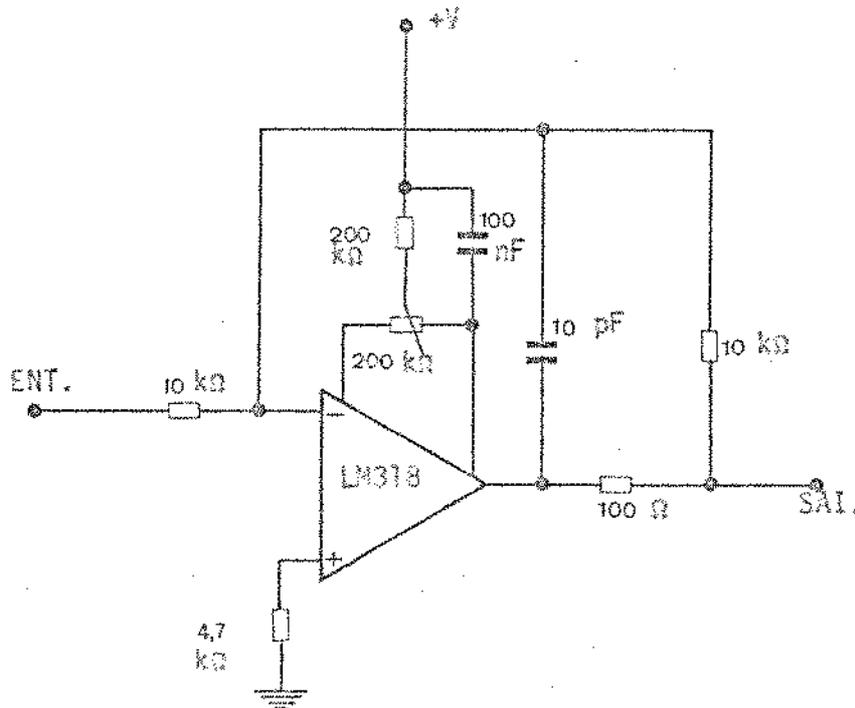


Figura 2.26 - Compensação final para o AMP-OP LM318

II.2.3 - Malha de Resistores de Pasos Binários Equivalentes⁹

Para implementar a função Σ_1 dada na expressão abaixo,

$$V_R \cdot \Sigma_1 = \left\{ 1 \cdot G^- + \frac{1}{2} \cdot B_5 + \frac{1}{4} \cdot B_6 + \frac{1}{8} \cdot B_7 + \frac{1}{16} \cdot B_8 + \frac{1}{32} \right\} \cdot V_R \quad (2.35)$$

pode-se usar o circuito da Figura 2.27, para o qual deve-se especificar a malha de resistores.

Para este circuito pode-se escrever a seguinte equação:

$$\frac{V_O}{V_R} = -R_f \cdot \left\{ \overline{G^-} \cdot R_1^{-1} + B_5 \cdot R_2^{-1} + B_6 \cdot R_3^{-1} + B_7 \cdot R_4^{-1} + \right. \\ \left. + B_8 \cdot R_5^{-1} + R_6^{-1} \right\} \quad (2.36)$$

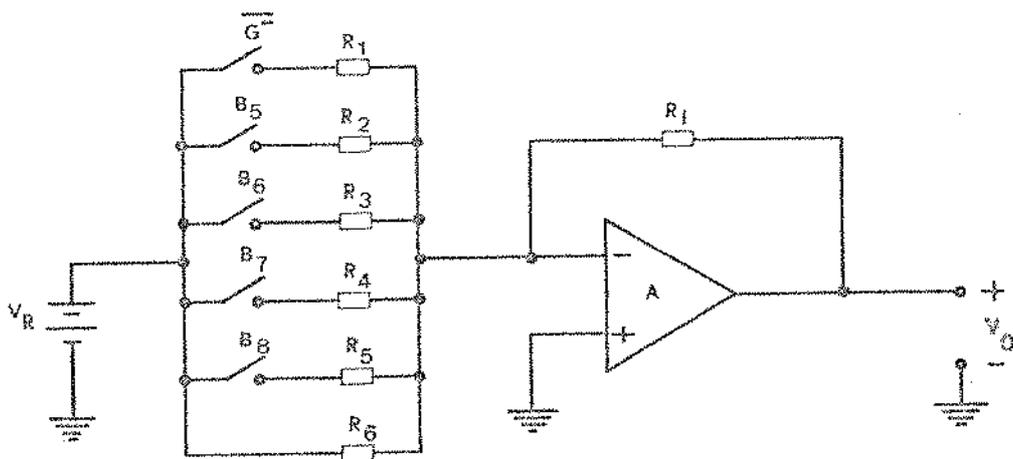


Figura 2.27 - Circuito que Realiza a Função II

a menos do sinal (polaridade), identificando as expressões, tem-se

$$R = R_f = R_1 = \frac{R_2}{2} = \frac{R_3}{4} = \frac{R_4}{8} = \frac{R_5}{16} = \frac{R_6}{32} \quad (2.37)$$

Como a impedância na entrada do Amp-Op é zero (idealmente), as chaves "vêm" impedâncias diferentes, o que é problemático na especificação das chaves. Este problema é resolvido na seção II.2.5.

II.2.4 - Fonte de Referência

Um dos fatores determinantes da qualidade do decodificador é a sua precisão, e a parte que mais a afeta é a fonte de referência. Isto implica

em especificar como fonte de referência um regulador de tensão de precisão.

Escolheu-se para isso o $\mu A723$ que é um Regulador de Tensão de Precisão integrado (V.Figura 2.28) e seu diagrama é o da Figura 2.29.

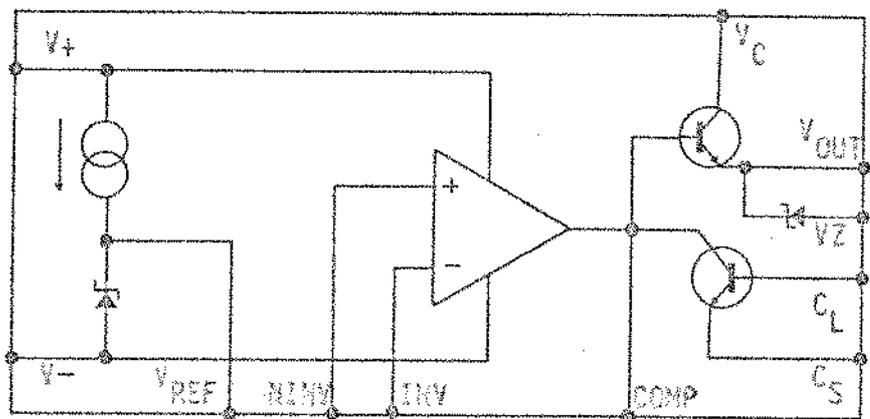
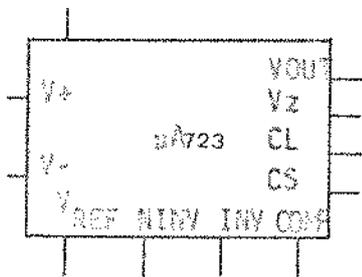


Figura 2.28 - Diagrama de Bloco do $\mu A723$

Figura 2.29 - Diagrama Elétrico do $\mu A723$

A montagem final do regulador conforme especificação do fabricante está mostrada na Figura 2.30 onde

$$V_o = \frac{R_1 + R_2}{R_2} \cdot V_{REF} \text{ e } V_{REF} = 7,2 \text{ volts}$$

II.3 - Esquema Final e Valores Nominais

A Figura 2.43 mostra o circuito com todos os componentes - identificados.

Determinam-se agora os valores nominais de todos os componentes do circuito.

FONTE DE REFERÊNCIA :

$$V_R = 3,200 \text{ Volts}$$

Tensão nominal de saída

$$R_{04} = 10 \Omega \text{ (C.f.)}^*$$

Resistor de proteção contra curto-circuito

$$C_{10} = 100 \text{ pF (C.f.)}$$

Capacitor para compensação em frequência do operacional

$$C_{11} = 4,7 \mu\text{F (C.f.)}$$

Capacitor para filtro de "ripple" da fonte

$$V_{REF} \cong 7,2 \text{ V (C.f.)} ; V_R = \frac{R_{01}}{R_{01} + R_{02}} V_{REF} \text{ para } R_{01} + R_{02} \geq 1,5 \text{ k}\Omega \text{ (C.f.)}$$

$$R_{01} = 2,5 \text{ k}\Omega$$

$$R_{02} = 2,2 \text{ k}\Omega$$

$$P_{01} = 200 \Omega$$

RESISTORES DA MALHA DE SOMA:

Como

$$R_{10} = \frac{R_{11}}{2} = \frac{R_{12}}{4} = \dots = \frac{R_{15}}{32} = R_{17}$$

$$R_{17} = 10 \text{ k}\Omega \text{ (C.f.)}$$

(*) C.f. Indica - "Conforme recomendações do fabricante"

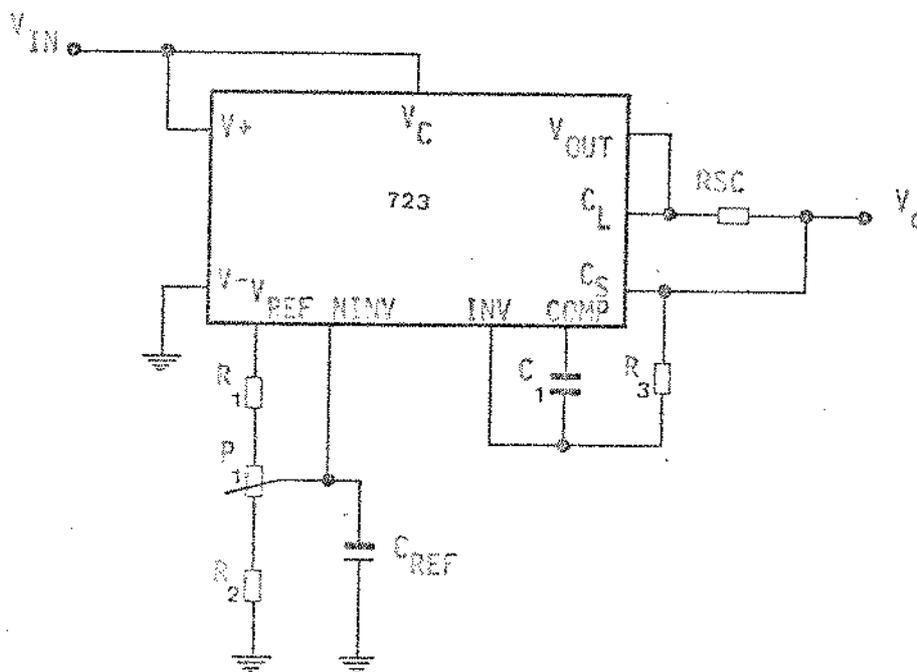


Figura 2.30 - Montagem Final da Referência

$$R_3 = R_1 \parallel R_2$$

C_{REF} = é utilizada para filtrar transitórios e ondulações

R_{SC} = 10Ω e tem a função de limitar a corrente e polarizar o transistor T_2 .

O esquema elétrico correspondente ao diagrama da Figura 2.30 é o que se apresenta na Figura 2.31.

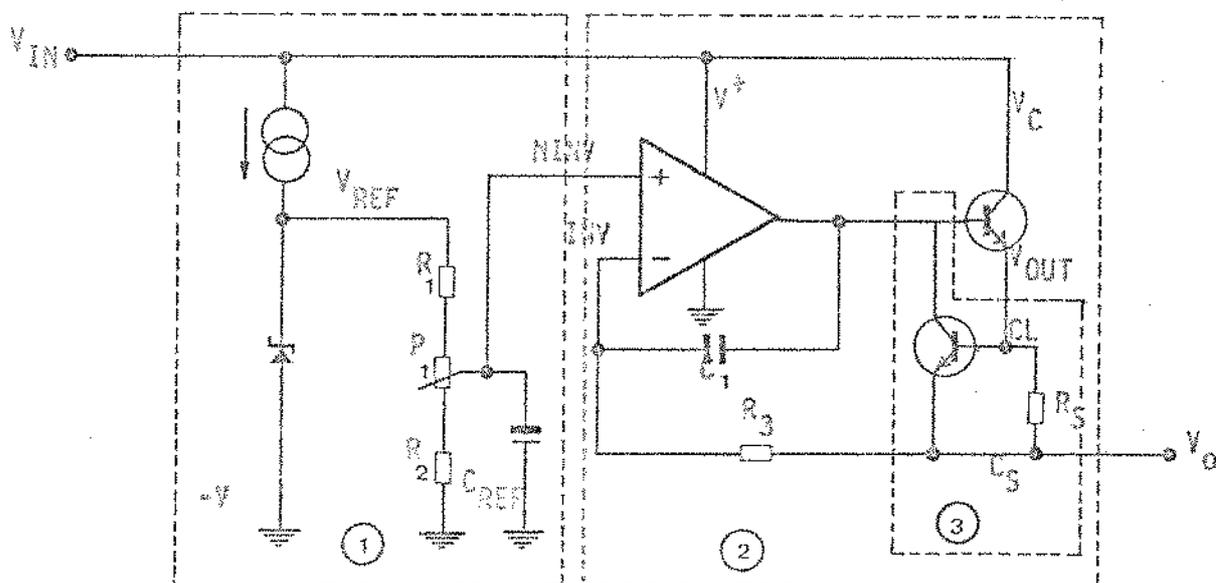


Figura 2.31 - Esquema Elétrico da Referência

Este diagrama pode ser explicado da seguinte forma:

- (1) é uma fonte de referência zener alimentada por corrente constante;
- (2) é um seguidor-operacional que tem a função de isolar a carga da fonte de referência;
- (3) é um circuito de proteção de curto, pois se a corrente de saída aumenta, o transistor T_2 começa a conduzir limitando a corrente de saída.

A resistência R_3 tem a função de equilibrar o "offset" devido à corrente de polarização de entrada do operacional, e seu valor é

$$R_3 = R_1 \parallel R_2.$$

O capacitor C_1 tem a função de compensar em frequência o operacional.

II.2.5 - Chaves Analógicas

As chaves analógicas escolhidas foram a AD7510- QUAD - ANALOG SWITCHES (CMOS) por suas características:

$$r_{on} = 75 \Omega$$

$$\text{Corrente de fuga em aberto} = 500 \text{ pA}$$

$$\left. \begin{array}{l} t_{on} = 1 \text{ useg} \\ t_{off} = 1 \text{ useg} \end{array} \right\} \begin{array}{l} \text{com carga} \\ R_L = 1 \text{ k}\Omega \end{array}$$

$$\text{Corrente máxima em condução} = 10 \text{ mA}$$

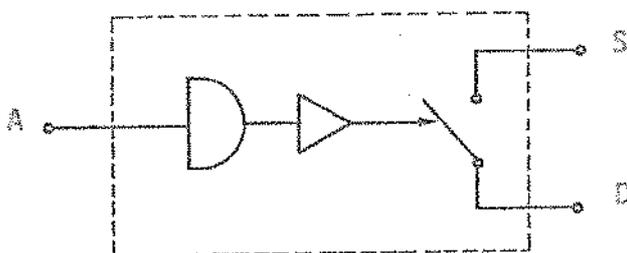


Figura 2.32 - Símbolo da Chave Analógica Utilizada

Ensaio no laboratório demonstraram que t_{off} é excessi-

vamente dependente da carga R_L , o que o tornava incompatível com a velocidade do sistema (3,9 μ seg para decodificação) quando $R_L \geq 10$ k Ω .

Para superar este fato, utilizou-se uma montagem série-shunt de chaveamento, como se ilustra na Figura 2.33.

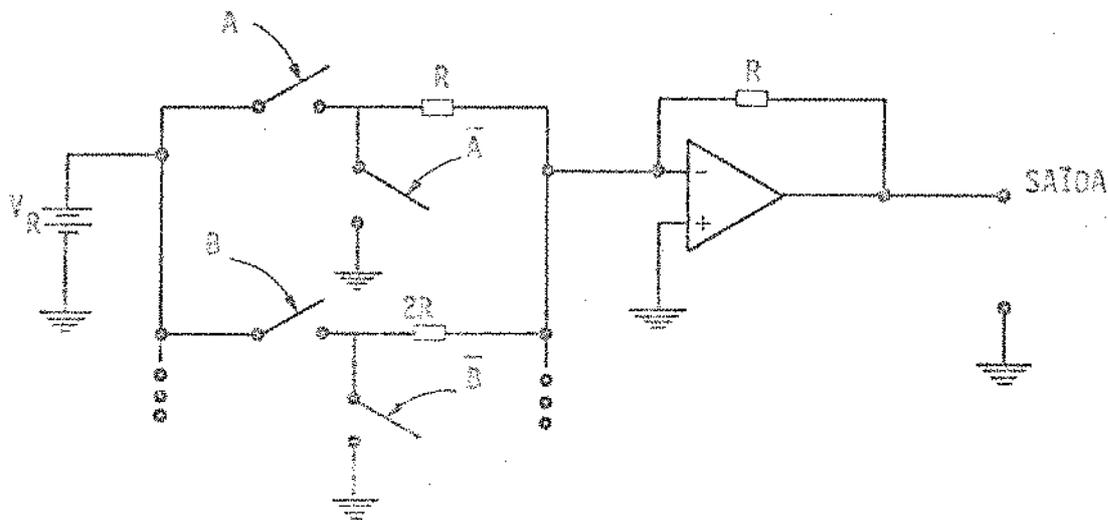


Figura 2.33 - Montagem Série-Shunt do Chaveamento

Com isto superam-se os efeitos da carga R_L nos tempos t_{off} e t_{on} . A solução adotada tem um mecanismo simples: quando a chave série é fechada, ocorre um armazenamento de cargas, e ao se abrir a chave série, as cargas encontram uma impedância muito alta resultando no aumento de t_{off} .

Se agora a chave shunt \bar{e} inserida, esta escoas as cargas armazenadas rapidamente para "terra" fazendo com que o tempo de chaveamento - independa da carga R_L .

II.2.6 - Implementação da Parcela Σ_2

A função Σ_2 , que aqui \bar{e} reescrita,

$$\Sigma_2 = \left[A \cdot 2^0 + B \cdot 2^{-1} + C \cdot 2^{-2} + D \cdot 2^{-3} + E \cdot 2^{-4} + F \cdot 2^{-5} + G \cdot 2^{-6} \right]$$

onde

$$G = G^- + G^+ \quad (2.34)$$

apresenta apenas um termo não nulo para cada código.

A idéia apresentada na seção II.2.2, Fig. 2.24, poderia - ser utilizada. Mas isto exigiria o uso da solução apresentada na seção anterior, chaveamento série-shunt. Esta solução, contudo, não se utiliza do fato de que ape nas uma única chave \bar{e} fechada para cada código.

Analisa-se uma outra montagem, conhecida por malha de resistores de valores R e $2R$ que tem a estrutura mostrada na Figura 2.34.

Como passo inicial de estudo, calculam-se as impedâncias de cada ponto (1, 2, ... etc).

$$Z_1 = \left[\left\{ \left[(R + R) \parallel 2R + R \right] \parallel 2R \right\} + R \right] \parallel R = 2R \parallel R = \frac{2R}{3} \quad (2.35)$$

e assim por diante.

O resultado interessante na estrutura \bar{e} que tódas as impedâncias de entrada são - iguais, ou seja,

$$Z_1 = Z_2 = \dots = Z_n = \frac{2R}{3} \quad (2.36)$$

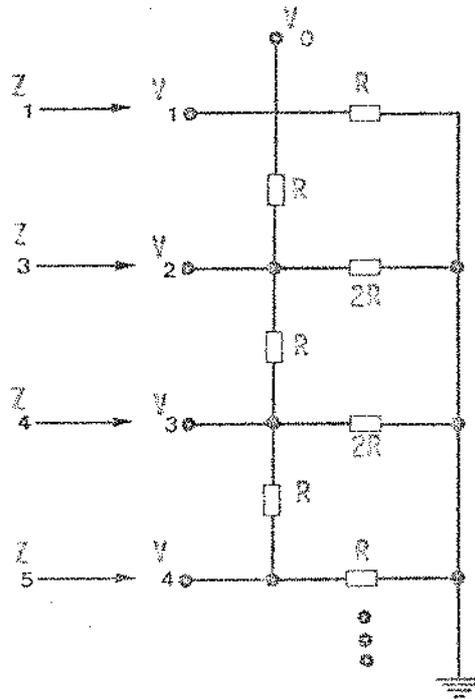


Figura 2.34 - Malha de Resistores de R e $2R$

Óbviamente estas impedâncias são calculadas mantendo-se todos os terminais que não o i -ésimo, em aberto, donde Z_i resulta independente das demais entradas.

Agora calculam-se as relações

$$\frac{V_0}{V_1}, \frac{V_0}{V_2}, \frac{V_0}{V_3}, \dots$$

$$\text{Para } \frac{V_0}{V_1} = 1 = 2^0 \quad (2.37)$$

Para se determinar $\frac{V_0}{V_2}$ tem-se o circuito equivalente da Figura 2.35.

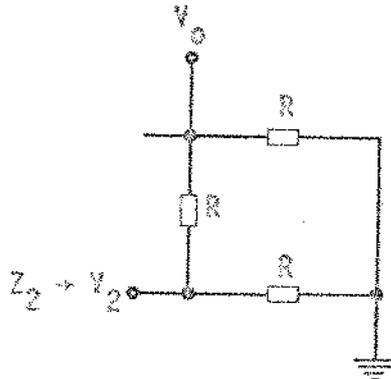


Figura 2.35 - Simplificação da Malha para Cálculo de Z_2

Tem-se

$$\frac{V_0}{V_2} = \frac{R}{R + R} = \frac{1}{2} = 2^{-1} \quad (2.38)$$

Para $\frac{V_0}{V_3}$ tem-se o circuito da Figura 2.36

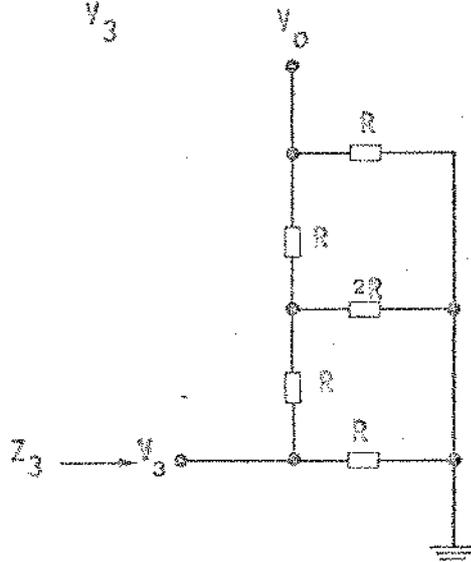


Figura 2.36 - Simplificação da Malha para Cálculo de Z_3

$$\frac{V_0}{V_3} = \frac{(R + R) \parallel 2R}{R + (R + R) \parallel 2R} \cdot \frac{R}{R + R} = \frac{1}{4} = 2^{-2} \quad (2.39)$$

e assim sucessivamente. Portanto, esta estrutura de resistores pode ser usada para implementar a função Σ_2 com grandes vantagens sobre a primeira proposta. As vantagens são quanto à impedância vista pela chave ser constante, e em consequência o uso da característica da função Σ_2 é levada em consideração. Isto também permite o uso de chaveamento série, simplificando substancialmente o circuito.

A chave adotada é o AD7510, e esta tem a particularidade de chavear em tempos da ordem de 1 μ seg sob carga baixa.

Isto implica que no cálculo de R da malha deve-se levar em conta o compromisso de velocidade de chaveamento e da precisão que é afetada pelo r_{on} da chave.

Outro ponto a considerar é o atraso de 1 μ seg no chaveamento. Os dois grupos de chaveamento são realizados simultaneamente, logo o atraso final no chaveamento é de 1 μ seg. Atraso desta ordem é perfeitamente tolerável, uma vez que os demais estágios do decodificador são rápidos (i.e., tempos de transição bem menores que 1 μ seg).

II.2.7 - Controle de Polaridade do Sinal

Com os estágios até aqui projetados, produz-se um sinal - MAP (Modulação por Amplitude de Pulsos) cuja amplitude é proporcional à palavra código. Resta determinar a polaridade do sinal para a completa reconstrução do sinal análogo.

O bit B_1 indica, na decodificação, a polaridade do sinal - segundo a lógica

$B_1 = 1$ polaridade positiva

$B_1 = 0$ polaridade negativa

O uso do Amp-Op como somador, que inverte a polaridade do sinal, e uma fonte de referência positiva resulta em uma tensão negativa na saída da malha Σ_2 . Deve-se, pois, determinar a polaridade correta atuada pela lógica - de B_1 .

Apresenta-se na Figura 2.37, o esquema do controlador de polaridade,

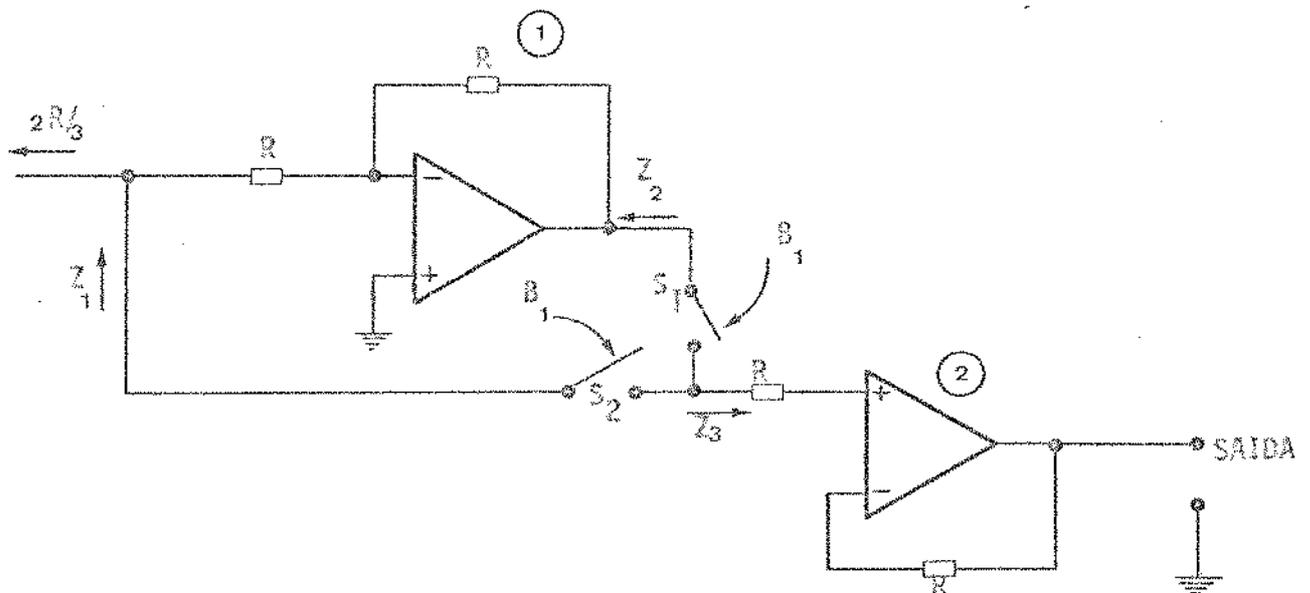


Figura 2.37 - Circuito Controlador de Polaridade

As funções dos Amp-Op são:

(1) é um Amp-Op LM318, cuja função é a de inversor, e as

compensações são as apresentadas em seções anteriores.

- (2) É um LM310 "seguidor de Voltagem" e sua função é a de isolar a carga do sistema da malha. O esquema apresentado caracteriza-se por sua baixa impedância de saída e alta isolamento entre a malha e a carga.

Como se discutiu acima, a malha apresenta em sua saída o sinal sempre com polaridade negativa. Assim, quando a lógica B_1 é igual a "1", fecha-se a chave S_1 de modo que o Amp-Op-1, inversor, troca a polaridade do sinal e se obtém o sinal com polaridade positiva em z. Se por outro lado ocorre a lógica B_1 igual a "0" ; fecha-se a chave S_2 e o sinal é aplicado no seguidor de voltagem obtendo-se o sinal com polaridade negativa em z.

As chaves aqui utilizadas são novamente as AD7510 em montagem "série-paralela degenerada", i.e., duas chaves séries sendo que cada uma funciona como "quase-paralela" para a outra pois as impedâncias Z_1 e Z_2 são relativamente baixas ou seja,

$$Z_1 = \frac{2R}{3} \quad \text{e} \quad Z_2 \cong 0 \quad (2.40)$$

Para uma montagem final, considerou-se que para a malha de atenuação não ser desequilibrada pelo resistor R do conjunto inversor, adotou-se $2R$, o mesmo acontecendo para o elo de realimentação para manter o ganho unitário. Com isto garantiu-se que a primeira resistência da malha se mantivesse em seu valor R pois $2R \parallel 2R = R$.

O circuito final do controle de polaridade é apresentado na Figura 2.38.

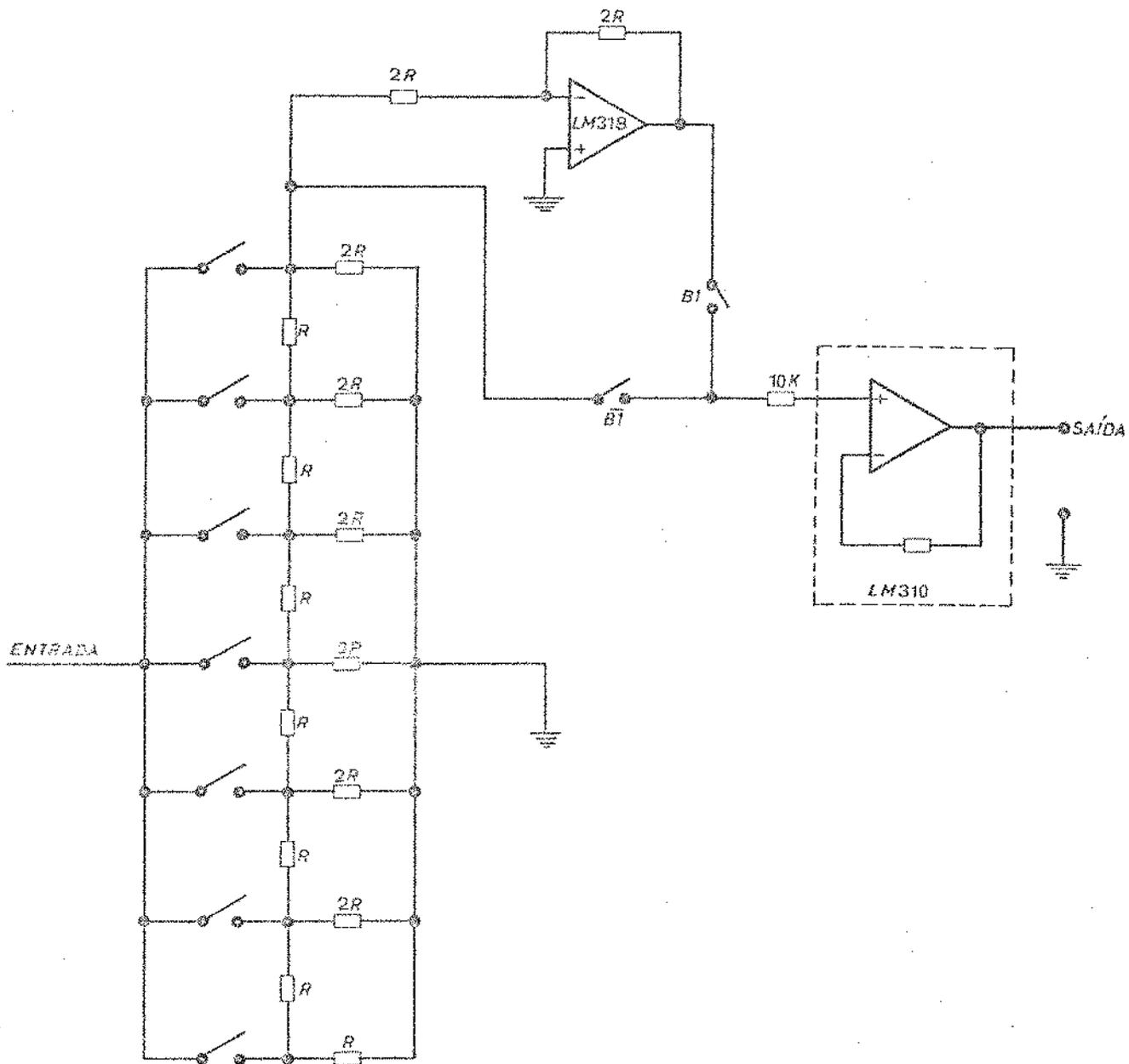


Figura 2.38 - Controle de Polaridade e Malha de Atenuação

Para o Amp-Op LM310 as compensações recomendadas pelo fabricante são as das Figuras 2.39 e 2.40.

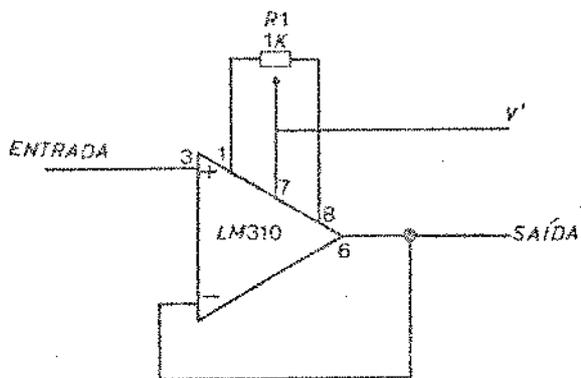


Figura 2.39 - Balançamento de Offset

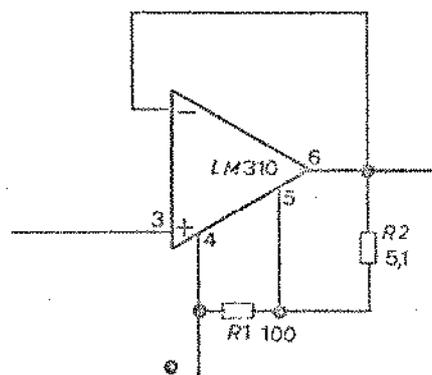


Figura 2.40 - Aumento da excursão da saída negativa sob carga

O Circuito final do seguidor de tensão com compensações é dado na Figura 2.41.

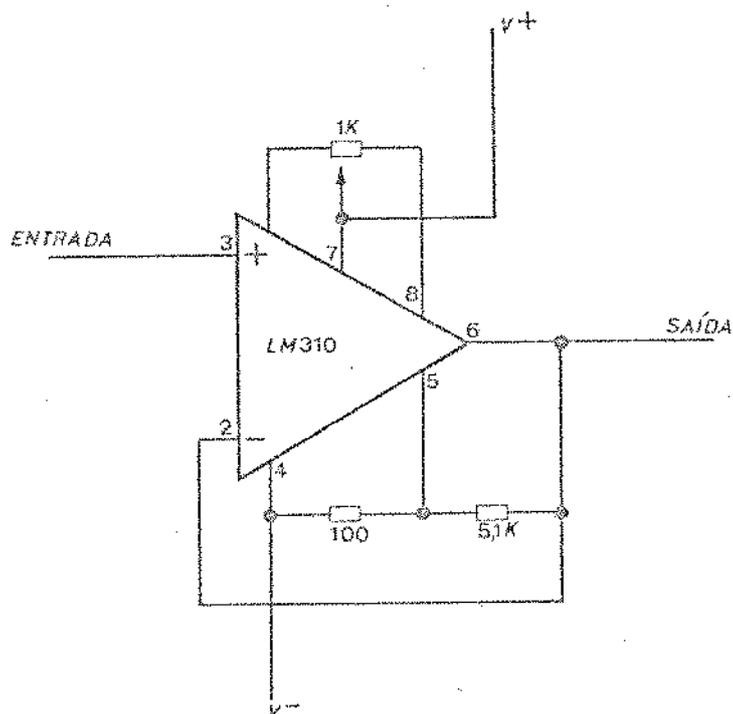


Figura 2.41 - O LM310 com todas as Compensações Utilizadas

A chave AD7510 da Analog Devices, é apresentada em sua forma de diagrama de bloco. (V. Figura 2.42).

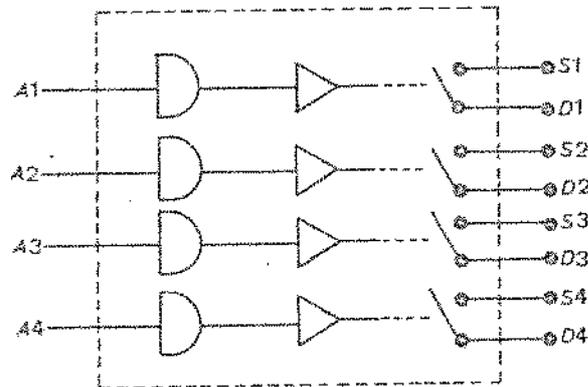


Figura 2.42 - Diagrama de Bloco das Chaves

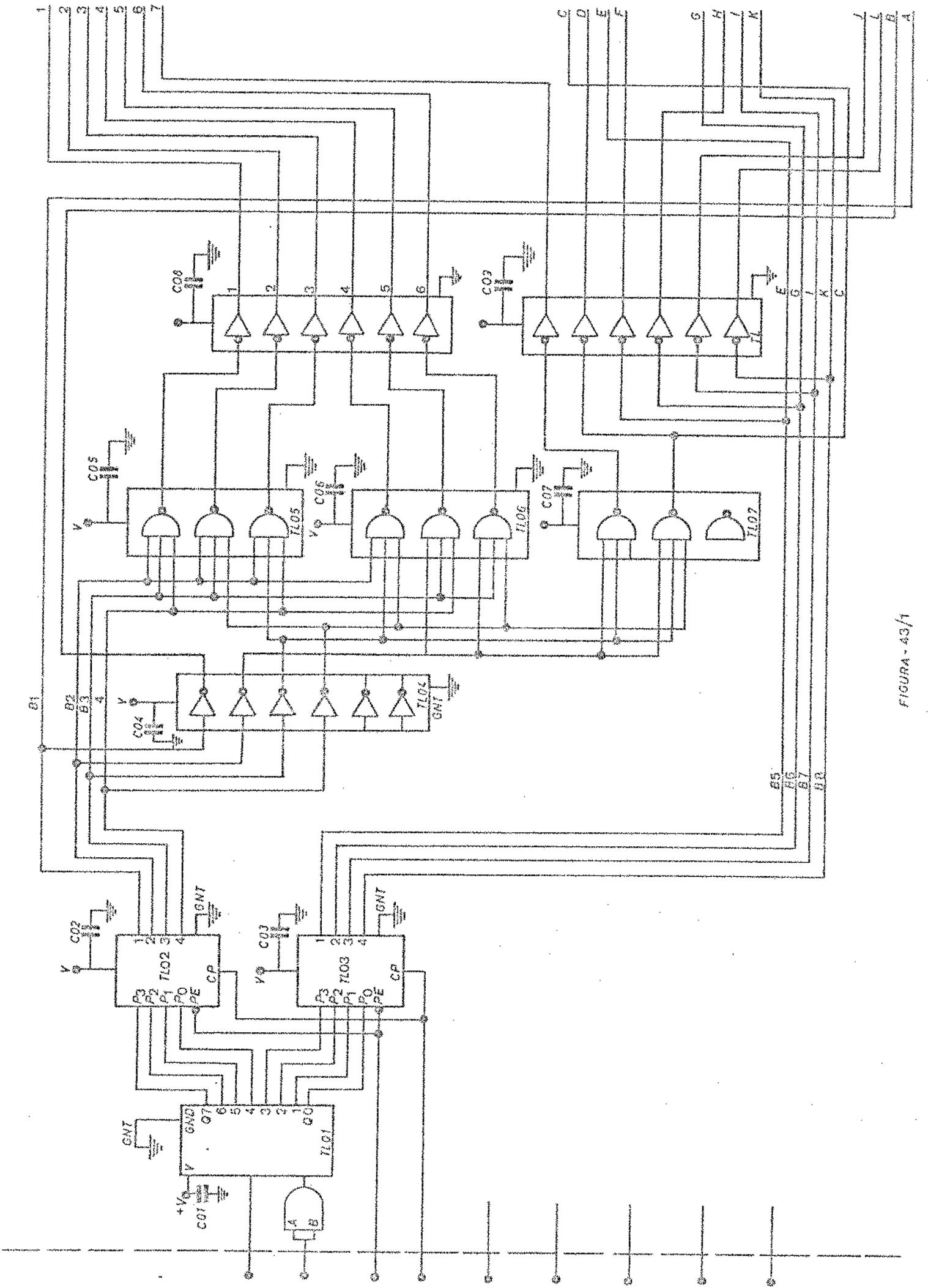


FIGURA - 43/1

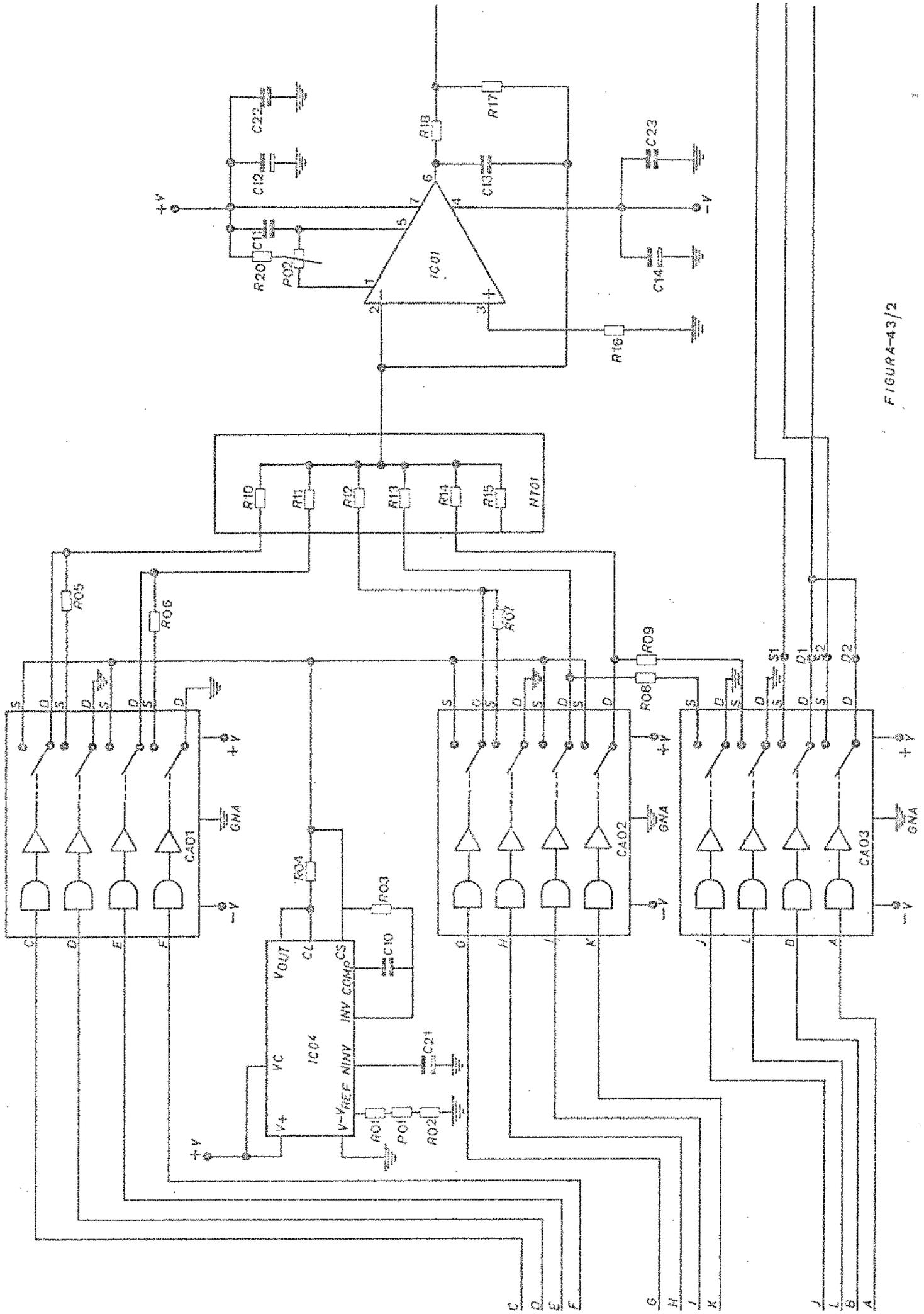


FIGURA-43/2

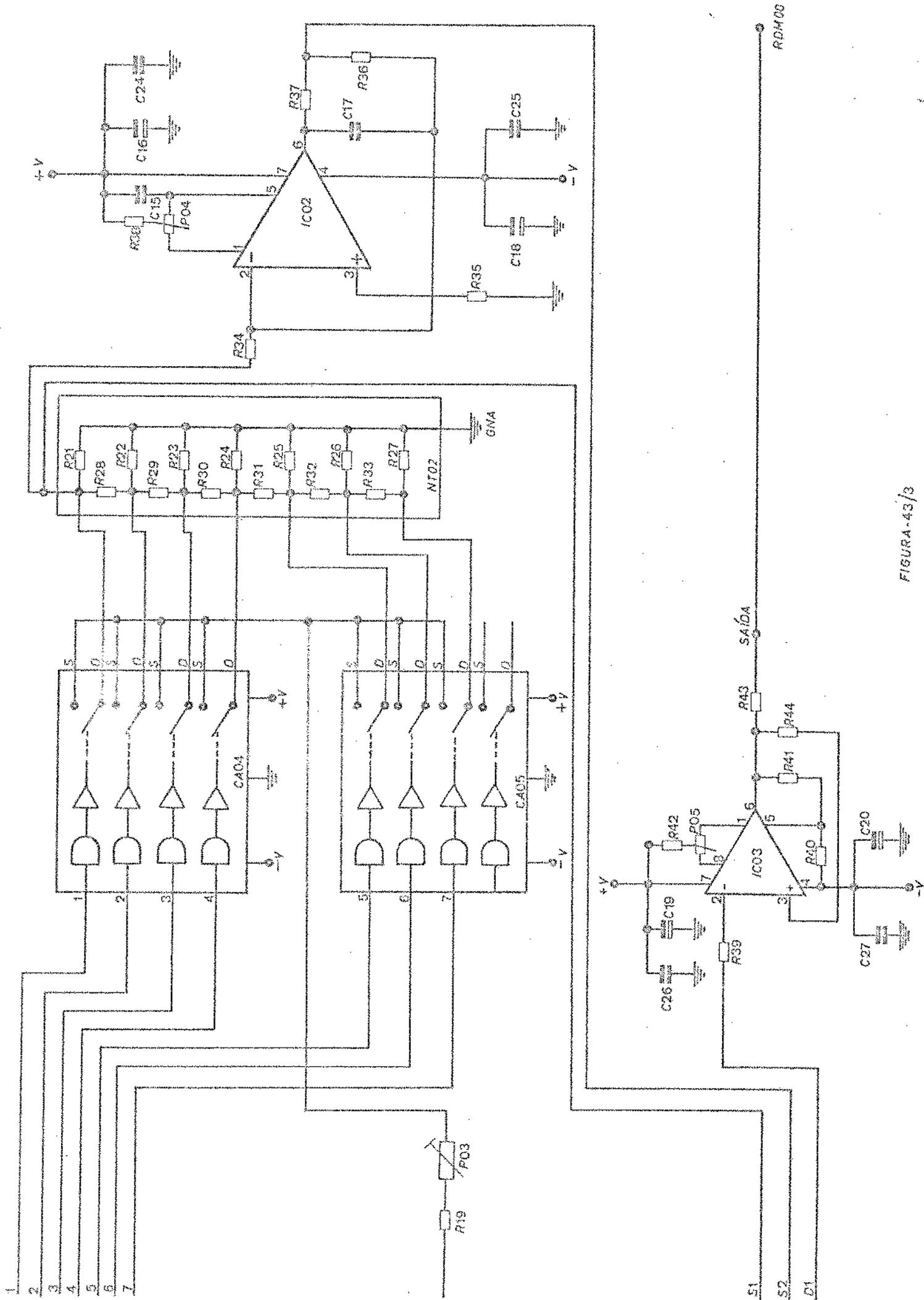


FIGURA 43/3

RESISTORES SHUNT :

$$R_{05} = R_{06} = R_{07} = R_{08} = R_{09} = 430 \Omega$$

Para evitar que a corrente de descarga das chaves ultrapasse 10 mA (c.f.)

AMPLIADORES OPERACIONAIS :

AMP-OP LM318

$$R_{34} = R_{17} = R_{36} = 10 \text{ k}\Omega \text{ (c.f.)}$$

$$R_{16} = R_{35} = 4,7 \text{ k}\Omega \text{ (c.f.)}$$

$$C_{12} = C_{14} = C_{16} = C_{18} = 47 \mu\text{F (c.f.) Desacoplamento}$$

$$R_{18} = R_{37} = 100 \Omega \text{ (c.f.)}$$

$$C_{13} = C_{17} = 5 \text{ pF (c.f.)}$$

$$P_{02} = P_{04} = 200 \text{ k}\Omega \text{ (c.f.)}$$

$$R_{20} = R_{38} = 180 \text{ k}\Omega \text{ (c.f.)}$$

$$C_{11} = C_{15} = 150 \text{ nF (c.f.)}$$

AMP-OP LM310

$$C_{19} = C_{20} = 47 \mu\text{F (c.f.) Desacoplamento}$$

$$P_{05} = 1 \text{ k}\Omega \text{ (c.f.)}$$

$$R_{42} = 100 \text{ k}\Omega \text{ (c.f.)}$$

$$R_{39} = 10 \text{ k}\Omega \text{ (c.f.)}$$

$$R_{41} = 100 \text{ }\Omega \text{ (c.f.)}$$

$$R_{40} = 5,1 \text{ k}\Omega \text{ (c.f.)}$$

MALHA DE ATENUAÇÃO :

$$R_{21} = R_{22} = \dots = R_{27} = 10 \text{ k}\Omega$$

$$R_{28} = R_{29} = R_{30} = \dots = R_{33} = 5 \text{ k}\Omega$$

Para desacoplamento de todos os TTL tem-se:

$$C_{01} = C_{02} = \dots = C_{09} = 0,01 \text{ }\mu\text{F}$$

II.4 - Lay-Out e Discriminação dos Componentes

A Figura 2.44 apresenta a disposição topológica dos componentes com sua identificação.

A Tabela II apresenta os componentes utilizados.

II.5 - Lay-Out do Circuito Impresso

As Figuras 2.45A e 2.45B apresentam as ligações da placa de circuito impresso frente e verso, respectivamente.

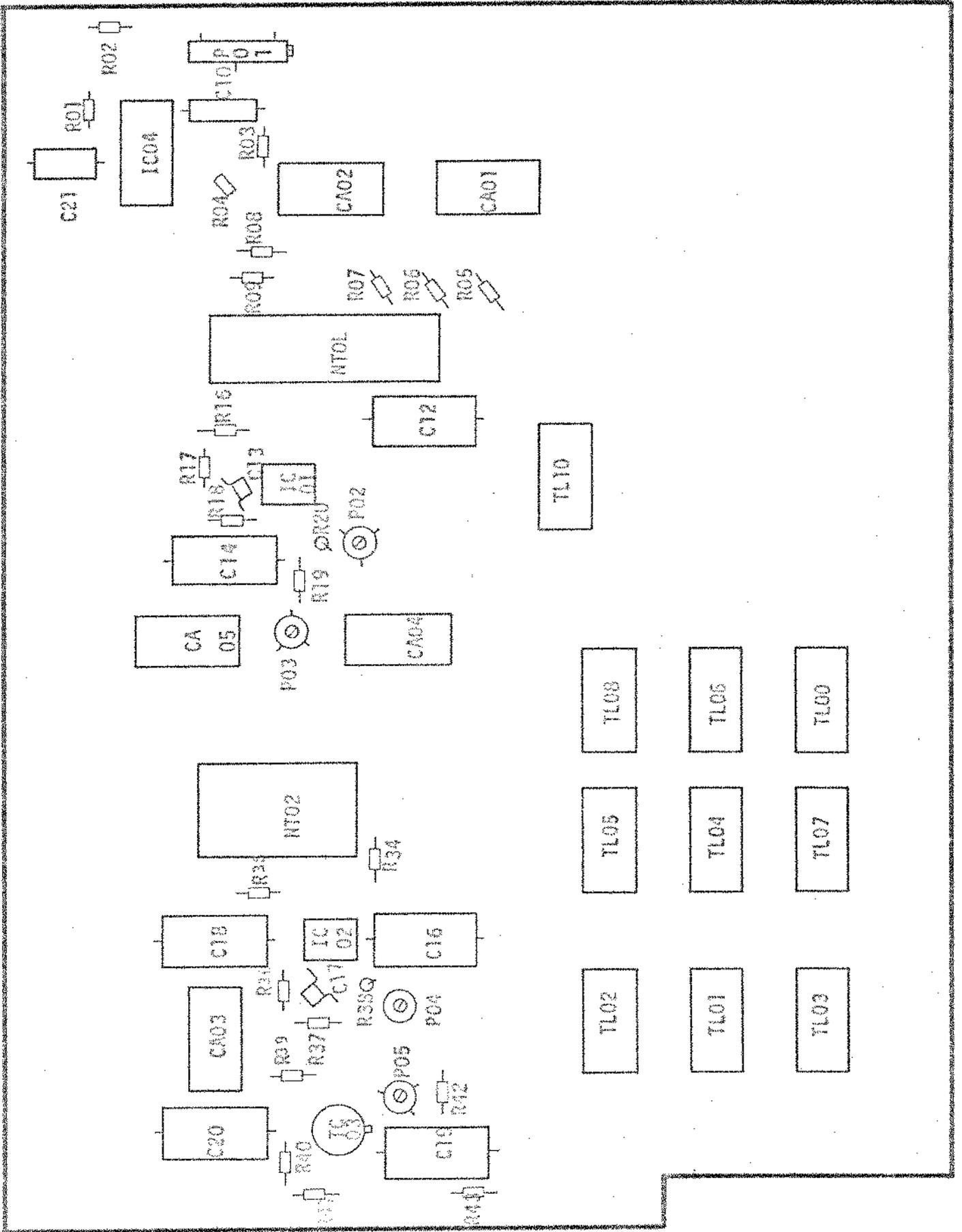


Figura 2.44 - Disposição topológica dos componentes

TABELA II

QUANT.	DENOMINAÇÃO	CÓDIGO	VALOR NOMINAL
2	Amplificador Operacional LM318	IC01, IC02	-
1	Seguidor de Tensão: LM310	IC03	-
5	Chave Integrada:AD7510	CA01 a CA05	-
1	Malha de Resistores de Peso Binário Equivalen te : SN872268	NT01	10 k Ω
1	Malha de Resistores R, 2R : SN 872267	NT02	5 k Ω
1	Regulador de Tensão : μ A 723	IC04	-
5	Resistor	R05 a R09	430 Ω
2	Potenciômetro	P02 , P04	200 k Ω
1	Potenciômetro	P05	1 k Ω
1	Potenciômetro	P03	2 k Ω
3	Resistor	R18, R42, R41	100 Ω
4	Resistor	R17, R34, R36, R39	10 k Ω
2	Resistor	R16, R35	4,7 k Ω
2	Resistor	R20, R38	180 k Ω
1	Resistor	R02	2,2 k Ω
1	Resistor	R01	2,5 k Ω
1	Resistor	R43	56 Ω
1	Resistor	R04	10 Ω
1	Resistor	R19	1 k Ω

QUANT.	DENOMINAÇÃO	CÓDIGO	VALOR NOMINAL
1	Resistor	R03	1,1 k Ω
1	Resistor	R40	5,1 k Ω
1	Resistor	R37	1,2 k Ω
1	Potenciômetro	P01	200 Ω
6	Capacitor Eletrolítico	C12, C14, C16, C18, C19, C20	47 μ F/63 V
1	Capacitor Eletrolítico	C21	4,7 μ F/63 V
1	Capacitor	C10	100 nF
2	Capacitor	C11, C15	150 nF
2	Capacitor	C13, C17	5 pF
16	Capacitor	C01 a C09 e C22 a C27	10 nF
1	Conversor Série/Paralelo 74164	TL01	-
2	Memória : 93H00	TL02, TL03	-
4	Inversor 7404	TL04, TL08, TL09	-
3	Nand 7410	TL05 a TL07	-

Figura 2.45A - Circuito Impresso (Frente)

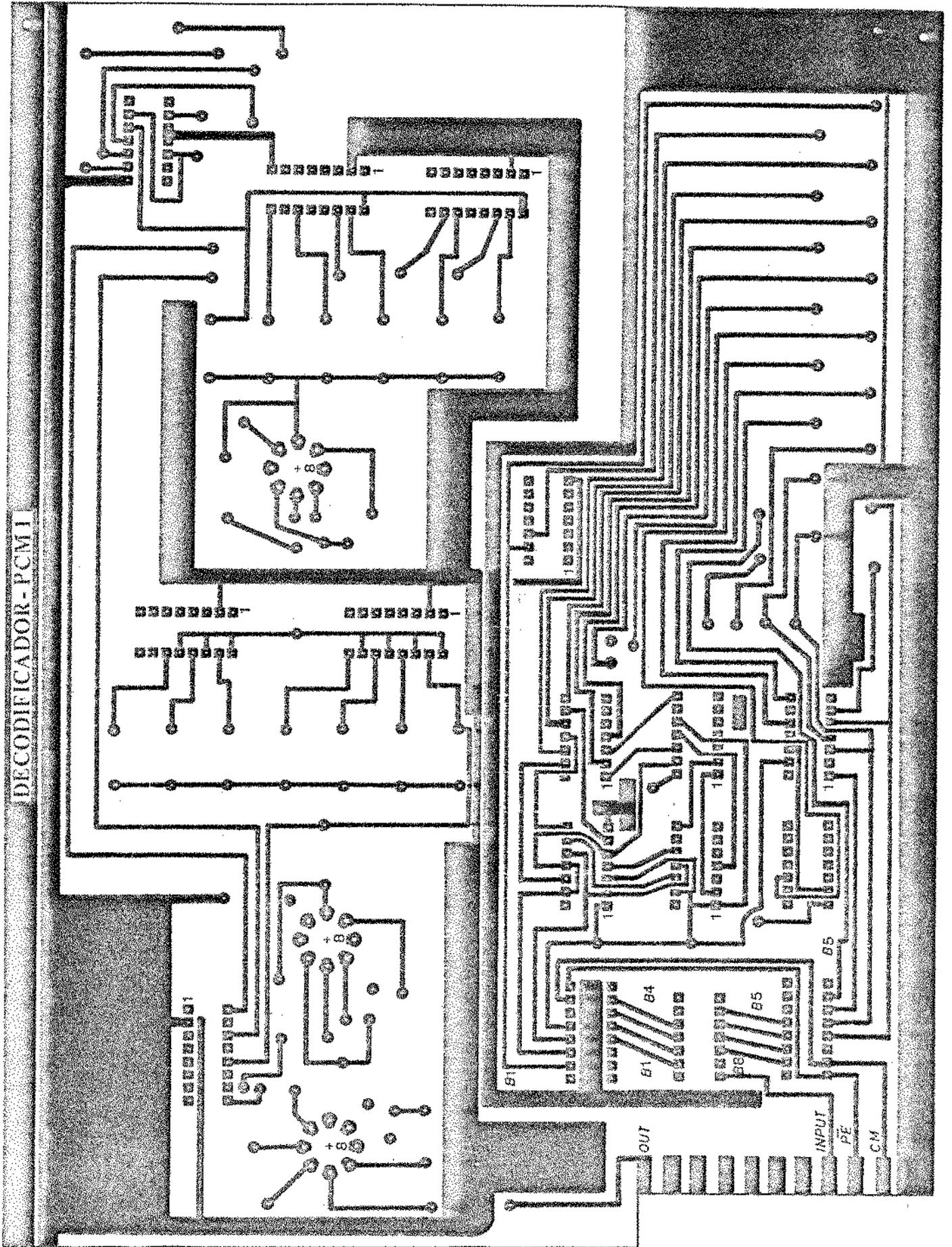
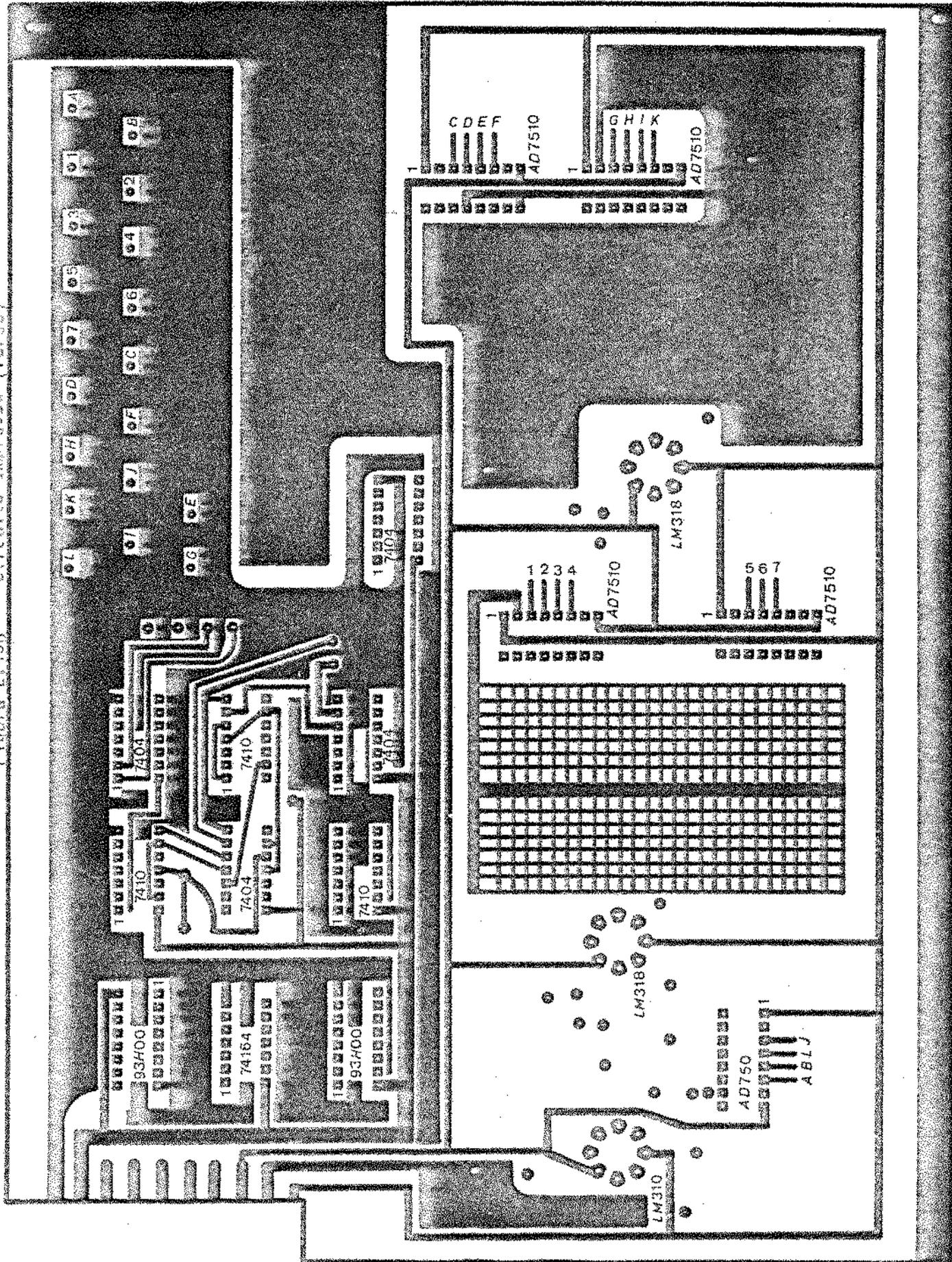


Figure 2.45R - Circuito Impresso (Vorso)



III - ESTUDO DE TOLERÂNCIAS

III.0 - Estudo de Tolerância dos Componentes do Decodificador¹⁰

Este Capítulo é composto de quatro partes básicas, a saber:

III.1 - Justificativas Teóricas

Mostra-se os fundamentos matemáticos e as aproximações em que se baseia o algoritmo de determinação da tolerância.

III.2 - Modelamento do Circuito

A partir do circuito físico obtém-se um modelo matemático - através do qual é obtida a sua simulação.

É importante frisar que a precisão no modelamento deve ser compatível com os resultados que se esperam no estudo de tolerância.

É neste ponto que se estabelece um critério de aceitação de erro, e uma normalização deste.

III.3 - O Programa

A partir dos modelos formula-se o diagrama de blocos, que é a simulação do circuito e através do qual se obtém uma linearização em primeira aproximação através da série de Taylor.

III.4 - Os resultados

Apresenta-se as curvas que relacionam os erros normalizados com as diferentes entradas do decodificador. Mostra-se também a sensibilidade de alguns componentes, e o valor de tolerância dos componentes.

III.1 - Justificativas Teóricas

Algoritmo para simulação e determinação de tolerâncias de componentes de um circuito elétrico.

III.1.1 - Introdução

Este trabalho apresenta um estudo de especificações de tolerâncias, utilizando a técnica de pior caso.

O algoritmo consiste em simular digitalmente o sistema considerado, e a partir deste modelo obter uma linearização (em torno do ponto nominal de operação) através da aproximação de Taylor.

Através do modelo linearizado obtido, determina-se o caso crítico do sistema. De posse do caso crítico, varia-se a tolerância dos componentes, até que as especificações sejam violadas. O conjunto de tolerâncias assim obtido é o procurado. O algoritmo é limitado a circuitos com componentes com confiabilidade de 100%, na especificação de tolerância, e a componentes que são estatisticamente independentes, ou seja, circuitos discretos.

III.1.2 - Conceituação

Sejam x_1, x_2, \dots, x_n n parâmetros de um sistema, por exemplo, um circuito elétrico. Sejam $y_i = f_i(x_1, \dots, x_n)$ $i = 1, \dots, m$ funções escalares dos parâmetros. Por exemplo, para o divisor de tensão da Figura 3.1 tem-se:

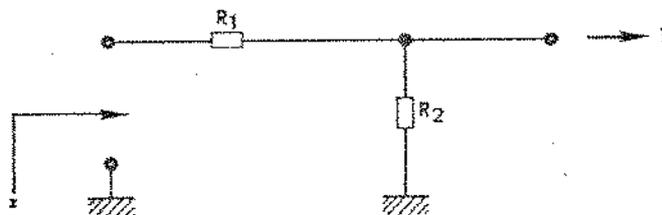


Figura 3.1 - Divisor de Tensão

$$\text{Impedância de entrada } z = R_1 + R_2 \quad (3.1)$$

$$\text{Transferência de Tensão } T = \frac{R_2}{R_1 + R_2} \quad (3.2)$$

$$\text{Aqui tem-se } x_1 = R_1 ; \quad x_2 = R_2$$

$$\left\{ \begin{array}{l} y_1 = x_1 + x_2 \\ y_2 = \frac{x_2}{x_1 + x_2} \end{array} \right. \quad \left\{ \begin{array}{l} m = 2 \\ n = 2 \end{array} \right. \quad (3.3)$$

$$(3.4)$$

$-f_i(x_1, \dots, x_n)$ são funções contínuas com primeira derivada contínua.

Em notação vetorial tem-se:

$$\underline{y} = \underline{f}(\underline{x}) \quad \text{onde} \quad (3.5)$$

$$\underline{x} = (x_1, \dots, x_n)^T ; \quad \underline{y} = (y_1, \dots, y_m)^T$$

$$\underline{x}^0 = \text{Ponto Nominal de Parâmetros}$$

$$\underline{y}^0 = \text{Ponto Nominal de Desempenho}$$

$$\underline{y}^0 = \underline{f}(\underline{x}^0)$$

$$\Delta \underline{y} \Big|_{\underline{x}^0} = \underline{y} - \underline{y}^0 = \underline{f}(\underline{x}) - \underline{f}(\underline{x}^0) \quad (3.6)$$

$$\left. \Delta \underline{x} \right|_{\underline{x}^0} = \underline{x} - \underline{x}^0 = \text{Desvio em relação ao ponto nominal} \quad (3.7)$$

(desvio percentual; será omitida a referência ao fato que o desvio é percentual e não absoluto).

Seja $\underline{\varepsilon}$ um conjunto de restrições simétricas a \underline{y} , tal que

$$\left| \Delta y_i \right| \leq \varepsilon_i \quad i = 1, \dots, m \quad \text{com } \varepsilon_i \geq 0$$

- Critério Passa-Não Passa:

O sistema (Circuito) será considerado falho se pelo menos um desvio $\Delta y_i = y_i - y_i^0$, $i = 1, \dots, m$ não satisfizer a relação $-\varepsilon_i \leq \Delta y_i \leq \varepsilon_i$, para um dado desvio $\Delta \underline{x} \left|_{\underline{x}^0}$

- Os Conceitos:

100% de aceitação a priori;

Pior caso (Worst-Case Design);

Critério Passa-Não Passa, são equivalentes.

- Região de Aceitabilidade (R_A)

$$R_A(\underline{\varepsilon}) = \left\{ \left. \Delta \underline{x} \right|_{\underline{x}^0} \middle/ \left| \Delta y_i \right| \leq \varepsilon_i, \quad i = 1, \dots, m \right\}$$

é a região definida pelo conjunto de todos os pontos $\Delta \underline{x}$ (desvios em relação a \underline{x}^0) tal que as restrições simétricas ε_i , $i = 1, \dots, m$ não sejam violadas.

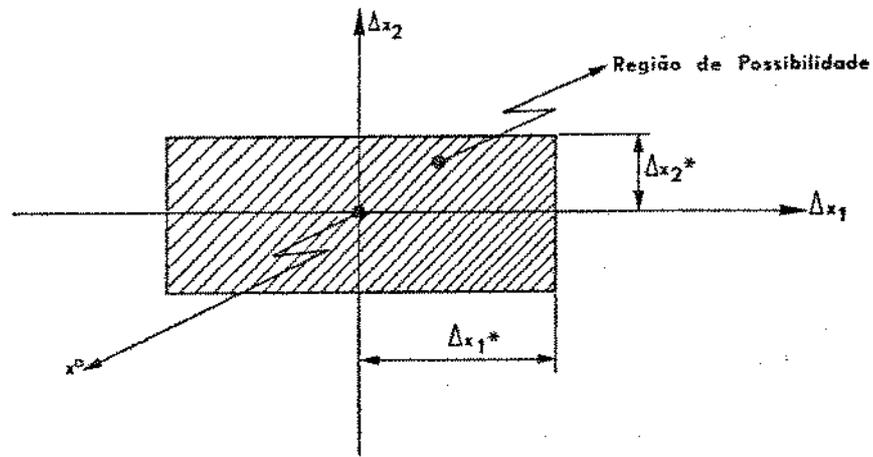


Figura 3.2 - Representação esquemática da região de aceitação no plano (R^2).

Proposição 1

O ponto nominal de parâmetros está contido na região de aceitação para qualquer $\underline{\epsilon}$ tal que $\epsilon_i \geq 0$, $i = 1, \dots, m$; ou seja, $\underline{x}^0 \in R_A(\underline{\epsilon})$. A Figura 3.2 ilustra a proposição 1.

- $\underline{\Delta x}^* \geq \underline{0}$ é uma especificação de tolerância de parâmetros - com confiabilidade de 100% se

$$\underline{x} - \underline{x}^0 \leq \underline{\Delta x}^* \quad \text{para todo } \underline{x} \text{ produzido.}$$

Notação : $\underline{a} < \underline{b} \leftrightarrow |a_i| < b_i ; i = 1, \dots, n.$

- Região de Possibilidade: (R_p)

$$R_p(\Delta x^*) = \left\{ \underline{\Delta x} \mid \frac{\underline{\Delta x}}{\underline{x}^0} \leq \Delta x^* \right\}$$

é a região definida pelo conjunto de todos os pontos $\underline{\Delta x}$ (desvios em relação a \underline{x}^0) que tem uma especificação de tolerância $\Delta x^* > 0$ com 100% de confiabilidade.

- A região de possibilidade $R_p(\Delta x^*)$ é um paralelepípedo n-dimensional.

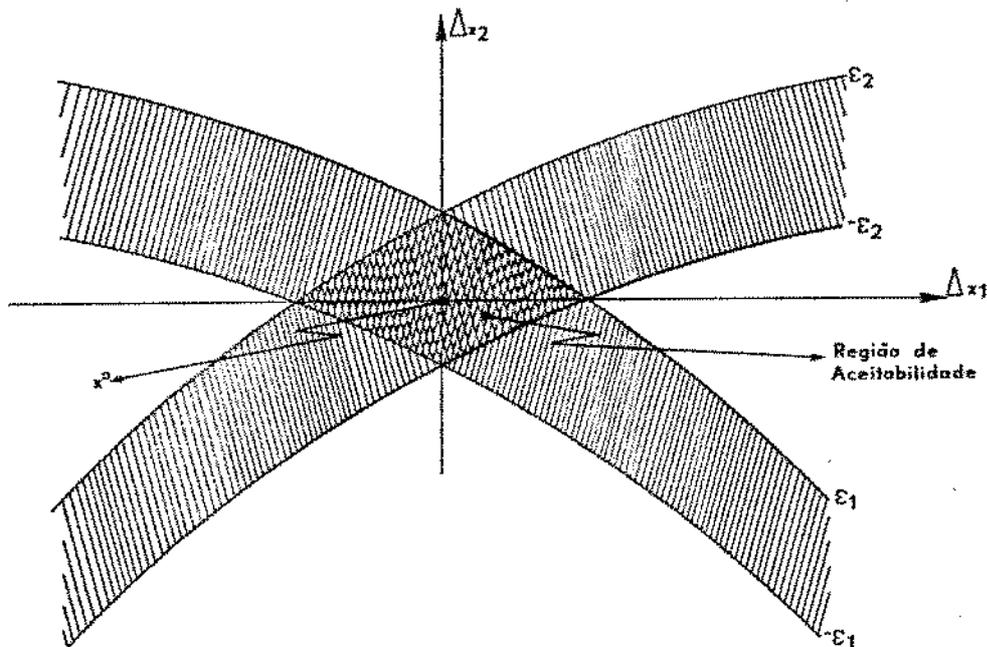


Figura 3.3 - Representação esquemática da região de possibilidade no plano (R^2)

Proposição 2

O ponto nominal \underline{x}^0 está contido na região de possibilidade para qualquer $\Delta x^* \geq 0$, ou seja, $\underline{x}^0 \in R_p(\Delta x^*)$. A Figura 3.3 ilustra a proposição 2.

Como exemplo dos conceitos, analisa-se o divisor de tensão da Figura 3.1.

$$\Delta y_1 = \Delta x_1 + \Delta x_2 \quad (3.8)$$

$$\Delta y_2 = \frac{1}{4} \cdot \frac{\Delta x_2 - \Delta x_1}{1 + \frac{\Delta x_1}{2} + \frac{\Delta x_2}{2}} \quad (3.9)$$

com

$$\left\{ \begin{array}{l} \underline{x}^0 = \begin{pmatrix} 1 \\ 1 \end{pmatrix} \rightarrow \underline{y}^0 = \begin{pmatrix} 2 \\ 0,5 \end{pmatrix} \\ \underline{\varepsilon} = \begin{pmatrix} 0,4 \\ 0,1 \end{pmatrix} \end{array} \right.$$

Na Figura 3.4 pode-se ver $R_A \begin{pmatrix} 0,4 \\ 0,1 \end{pmatrix}$, que é a interseção das regiões definidas pelas restrições ε_1 e ε_2 .

Pode-se ver também que $R_p \begin{pmatrix} 0,25 \\ 0,25 \end{pmatrix}$ não satisfaz o critério - de passa-não passa, enquanto $R_p \begin{pmatrix} 0,15 \\ 0,15 \end{pmatrix}$ satisfaz.

- O critério passa-não passa é equivalente a exigir uma solução $\Delta \underline{x}^* \geq \underline{0}$ tal que

$$R_p(\Delta \underline{x}^*) \subset R_A(\underline{\varepsilon})$$

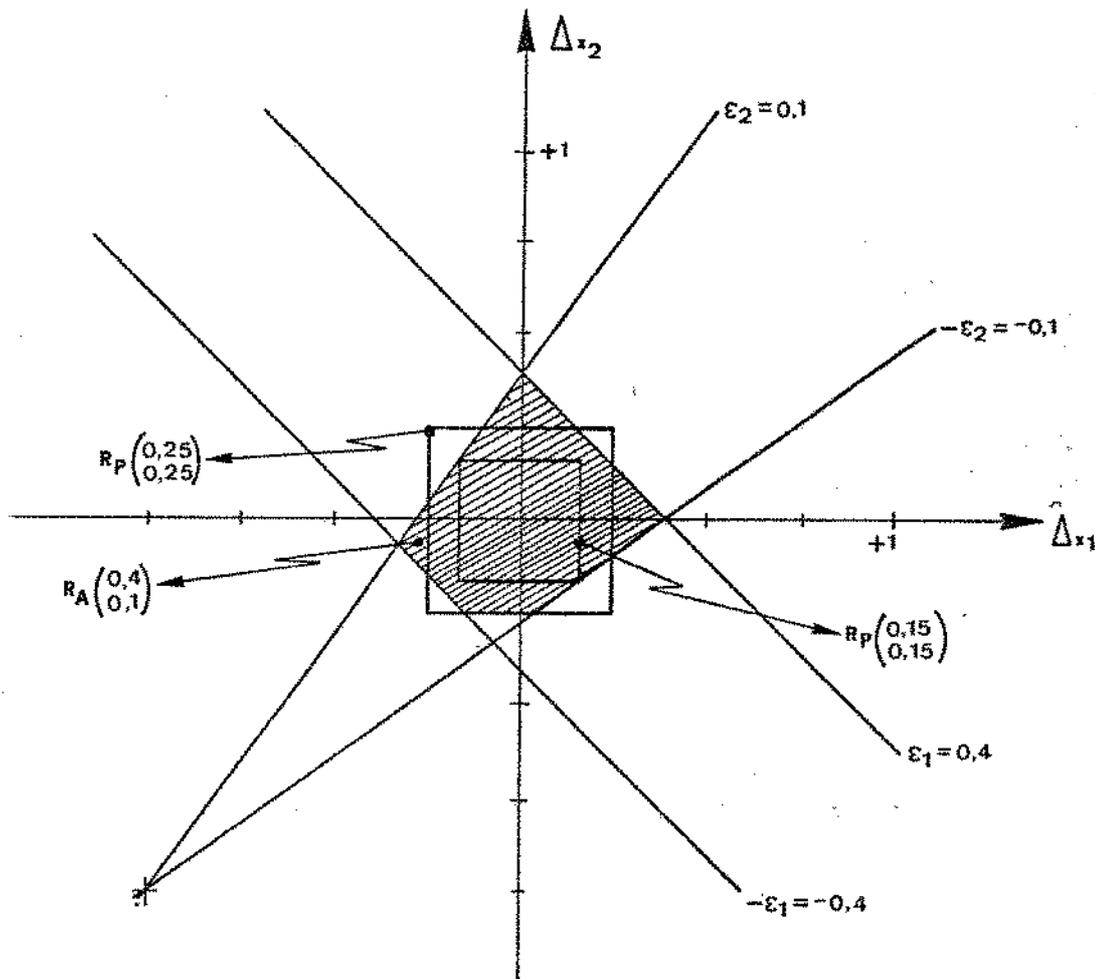


Figura 3.4 - Representação da Região de Aceitação e das Regiões de Possibilidade do Divisor de Tensão.

III.1.3 - A Caracterização do Problema

Dado um conjunto de funções

$y_i = f_{*i}(x_1, \dots, x_n) \quad i = 1, \dots, m$ quer-se determinar um conjunto de tolerâncias $\Delta x_1, \dots, \Delta x_n$ tal que as restrições não sejam violadas e o custo associado ao conjunto de tolerâncias seja mínimo; ou em termos dos conceitos aqui definidos:

Dada uma $R_A(\underline{\epsilon})$, encontrar $\underline{\Delta x}^* \geq 0$ tal que $R_p(\underline{\Delta x}^*) \subset R_A(\underline{\epsilon})$, e $C(\underline{\Delta x}^*)$ (custo associado a $\underline{\Delta x}^*$) seja mínimo.

Este é um problema clássico de otimização com restrições e pode ser resolvido usando as técnicas apropriadas, dependendo das funções restrições e da função objetivo.

- De maneira geral, o custo associado a um vetor tolerância $\underline{\Delta x}^*$ é uma função monotonicamente decrescente em relação a cada uma das componentes Δx_i , e é interessante sob o ponto de vista de produção do sistema que os seus componentes tenham a mesma tolerância, facilitando o controle e estoque de peças de reposição.

Baseado nestas considerações, procura-se soluções $R_p(\underline{\Delta x}^*)$ que sejam hipercubos e não paralelepípedos de dimensão n como no problema original.

Resumindo: O problema inicial se transferiu para:

$$\text{Dado } R_A(\underline{\epsilon}) \text{ e } R_p(\Delta) = \left\{ \underline{\Delta x} \mid \underline{x}^0 / \left| \underline{\Delta x} \right| \leq \Delta \right\},$$

maximizar Δ com a restrição de que

$$R_p(\Delta) \subset R_A(\underline{\epsilon}) \quad \Delta^* = \max. \Delta$$

- Supondo que $R_A(\underline{\epsilon})$ é um conjunto convexo, tem-se que se os vértices de um hipercubo estão contidos em $R_A(\underline{\epsilon})$ então todo o hipercubo está contido em $R_A(\underline{\epsilon})$. Portanto pode-se obter $\underline{\Delta x}^*$ através do seguinte algoritmo:

$$y_i = f_i(\underline{x}) \quad i = 1, \dots, m \text{ e calcula-se } \underline{\Delta y} = \underline{f}(\underline{x}) - \underline{f}(\underline{x}^0) \text{ para}$$

$$\underline{x} = \underline{x}^0 + \Delta(a_1 \dots a_n)^T \text{ com } a_i \in \{-1, +1\} \quad i = 1, \dots, n.$$

Para um dado Δ testam-se se todas as possibilidades $(a_1, \dots, \dots, a_n)^T$, que são ao todo 2^n , satisfazem todas as restrições $|\Delta y_i| \leq \epsilon_i$ $i = 1, \dots, \dots, m$. Em caso positivo dá-se um acréscimo a Δ , o maior valor de Δ para o qual as restrições (y, ϵ) são satisfeitas é a solução Δ^* .

A grande desvantagem deste algoritmo é possuir um processo iterativo no qual calculam-se Δy_i , $m \times 2^n$ vezes para cada valor de Δ .

- Se se possuisse uma identificação para o pior caso (uma determinada distribuição de -1 e +1 para a_1, \dots, a_n) o algoritmo teria que variar apenas Δ para o pior caso e testar se as especificações foram violadas ou não.

III.1.4 - Determinação do Pior Caso

- Direção de pior caso da função $y_i = f_i(\underline{x})$ é a direção $\Delta \underline{x} \Big|_{\underline{x}^0}$ tal que $|\Delta y_i(\Delta \underline{x})|$ é máximo com $\|\Delta \underline{x}\| = \text{cte}$.

Esta definição de pior caso leva a obter soluções R_p que não são necessariamente hipercubos, pois $R_A(\underline{\epsilon})$ não tem necessariamente o seu pior caso em direções de 45° . Portanto vai-se utilizar uma definição de pior caso simétrico.

- Pior caso simétrico de $y_i = f_i(\underline{x})$ é a direção dada por $(a_1, \dots, a_n)^T$ com

$a_i \in \{-1, +1\}$ $i = 1, \dots, n$ tal que $|\Delta y_i|$ é máximo

para $\Delta \underline{x} = \Delta (a_1, \dots, a_n)^T$ com $\Delta = \text{cte}$.

Para tratar o problema através do pior caso simétrico exige-se que $R_A(\underline{\epsilon})$ seja convexa, vai-se através de uma linearização das funções restritivas mostrar que R_A linearizado é convexa.

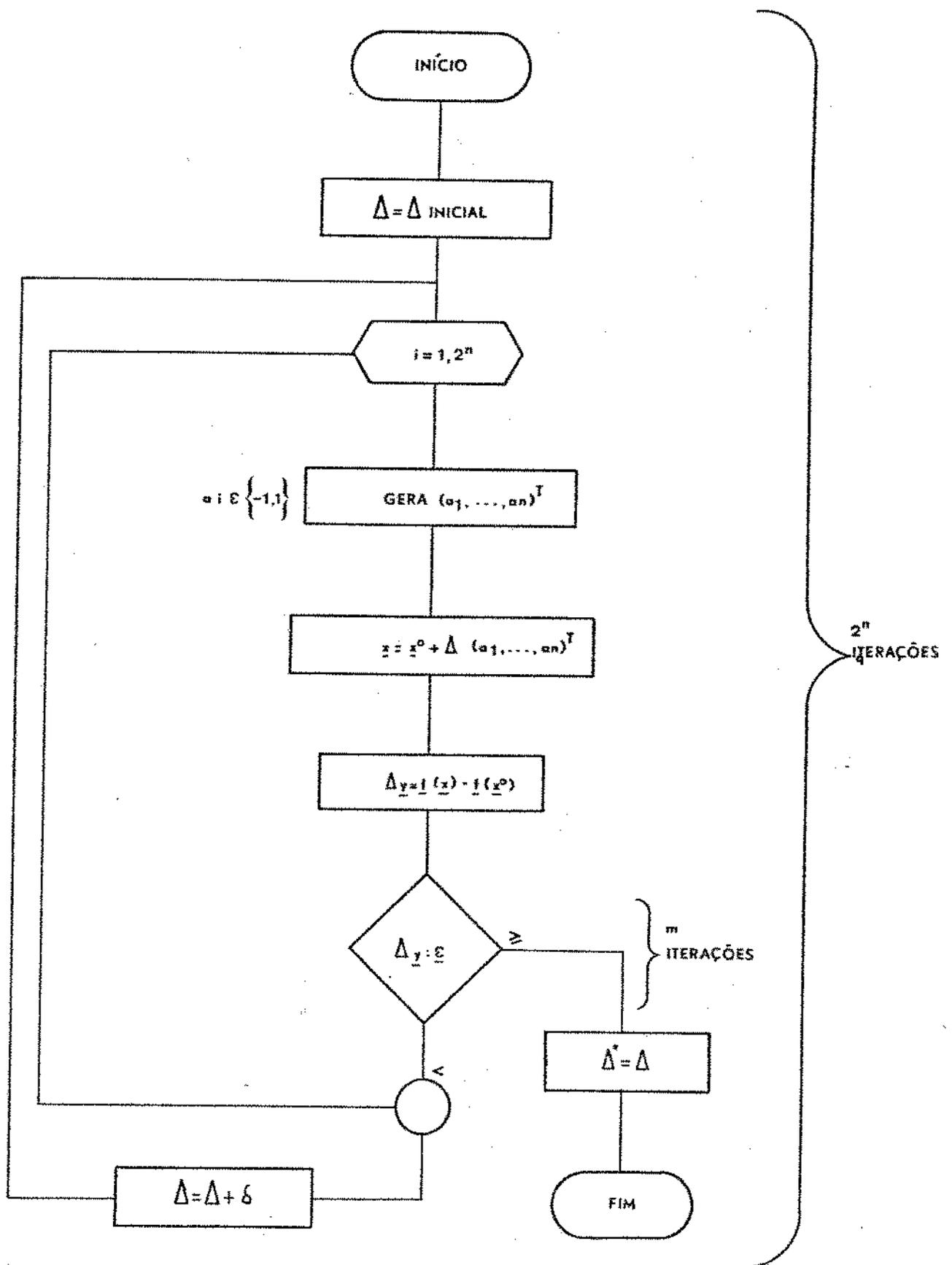


Figura 3.5 - Diagrama de Blocos onde aparecem $m \times 2^n$ iterações

Sejam $y_i = f_i(\underline{x})$ e $\epsilon_i \geq 0$ $i = 1, \dots, m$ o conjunto de restrições, i.ê., $|\Delta y_i| < \epsilon_i$ $i = 1, \dots, m$ $\Delta y_i = f_i(\underline{x}) - f_i(\underline{x}^0)$ e como se exigiu que $f_i \in C_1 = \{\text{Conjunto das Funções com Primeira Derivada Contínua}\}$ $i = 1, \dots, m$ tem-se através da aproximação de primeira ordem da série de Taylor que:

$$\Delta y_i = \left\langle \nabla f_i(\underline{x}^0), \Delta \underline{x} \right\rangle_{\underline{x}^0} \quad (3.10)$$

onde $\nabla f_i(\underline{x}^0)$ é o vetor gradiente de f_i no ponto \underline{x}^0 .

$$\nabla f_i(\underline{x}^0) = \left(\left. \frac{\partial f_i}{\partial x_1} \right|_{\underline{x}^0} \quad \dots \quad \left. \frac{\partial f_i}{\partial x_n} \right|_{\underline{x}^0} \right)^T \quad (3.11)$$

Assim as funções restrições podem ser escritas como:

$$\left. \begin{aligned} \Delta y_1 &= \left. \frac{\partial f_1}{\partial x_1} \right|_{\underline{x}^0} \cdot \Delta x_1 + \dots + \left. \frac{\partial f_1}{\partial x_n} \right|_{\underline{x}^0} \cdot \Delta x_n \\ &\vdots \\ \Delta y_m &= \left. \frac{\partial f_m}{\partial x_1} \right|_{\underline{x}^0} \cdot \Delta x_1 + \dots + \left. \frac{\partial f_m}{\partial x_n} \right|_{\underline{x}^0} \cdot \Delta x_n \end{aligned} \right\} (3.12)$$

que na forma matricial, torna-se:

$$\underline{\Delta y} = A \cdot \underline{\Delta x} \quad \text{onde} \quad (3.13)$$

$$A = (a_{ij})_{m \times n} \quad \text{com} \quad a_{ij} = \left. \frac{\partial f_i}{\partial x_j} \right|_{\underline{x}^0} \quad (3.14)$$

Portanto a região de aceitação $R_A(\underline{\epsilon})$ linearizada pode ser escrita como:

$$R_A(\underline{\epsilon}) = \left\{ \left. \underline{\Delta x} \right|_{\underline{x}^0} / A \cdot \underline{\Delta x} \leq \underline{\epsilon} \right\}$$

Proposição 3

Dado um vetor restrição $\underline{\epsilon} > \underline{0}$, e uma matriz $A_{m \times n}$ o

$$\text{conjunto } R_A(\underline{\epsilon}) = \left\{ \left. \underline{\Delta x} \right|_{\underline{x}^0} / A \cdot \underline{\Delta x} \leq \underline{\epsilon} \right\} \text{ é um conjunto convexo.}$$

- De posse de uma $R_A(\underline{\epsilon})$ convexa quer-se obter um requisito para identificação de pior caso.

Proposição 4

Para um dado $\Delta > 0$ e uma função $y_i = f_i(\underline{x})$, tal que

$$\Delta y_i = \left\langle \nabla f_i(\underline{x}^0), \underline{\Delta x} \right\rangle_{\underline{x}^0} \text{ tem-se}$$

(1). O valor de $|\Delta y_i|$ em seu pior caso simétrico é:

$$|\Delta y_i|_{\max} = \Delta \cdot \sum_{j=1}^n \left| \frac{\partial f_i(\underline{x}^0)}{\partial x_j} \right| \quad (3.15)$$

(2) A identificação do pior caso simétrico é dada por

$$(a_1, \dots, a_n)^T \quad \text{onde} \quad a_J = \text{sign} \left[\frac{\partial f_i(x^0)}{\partial x_J} \right] \quad J = 1, \dots, n \quad (3.16)$$

Vai-se agora estabelecer uma relação entre os desvios Δy_i , $i = 1, \dots, m$.

- Sejam $\Delta^* y_1, \dots, \Delta^* y_m$ os valores de Δy_i em seus respectivos piores casos simétricos para um mesmo $\Delta > 0$ e seja $\underline{\epsilon} > \underline{0}$ o vetor restrição.

O valor máximo de P_i $i = 1, \dots, m$ com

$$P_i = \frac{\Delta^* y_i}{\epsilon_i}$$

é o caso crítico da região $R_A(\underline{\epsilon})$, isto é, y_i e ϵ_i é o pior caso do conjunto de restrições.

Com a definição de caso crítico vamos obter um critério para a determinação da solução $\underline{\Delta x}^*$.

Proposição 5

Seja $R_A(\underline{\epsilon})$ a região de aceitabilidade de um sistema. Se y_i , ϵ_i é o caso crítico de $R_A(\underline{\epsilon})$ e se Δ_i

$$\Delta_i = \frac{\epsilon_i}{\sum_{J=1}^n \left| \frac{\partial f_i(x^0)}{\partial x_J} \right|} \quad (3.17)$$

então

$R_p(\Delta_i) \subset R_A(\underline{\epsilon})$, ou seja, Δ_i é uma solução.

Proposição 6

Nas condições da proposição 5 tem-se:

$\Delta_i = \Delta^*$, ou seja, Δ_i é a solução ótima.

Resumindo:

Seja $R_A(\underline{\epsilon})$ e seja $R_p(\Delta) =$

$$= \left\{ \underline{\Delta x} / |\Delta x_i| \leq \Delta, \quad i = 1, \dots, n \right\}$$

A solução $\Delta^* = \max \{\Delta\}$ com $R_p(\Delta) \subset R_A(\underline{\epsilon})$ pode ser obtida da seguinte forma:

(1) Obtenção $\Delta y \Big|_{x^0}$ através de aproximação em primeira ordem por Taylor.

(2) Cálculo e Ordenação de p_i

$$p_i = \frac{\Delta y_i^*}{\epsilon_i} = \frac{\Delta}{\epsilon_i} \sum_J \left| \frac{\partial f_i(x^0)}{\partial x_J} \right|, \quad i = 1, \dots, m$$

(3) De posse do caso crítico, obtêm-se

$$\Delta^* = \frac{\epsilon_i}{\sum \left| \frac{\partial f_i}{\partial x_J} \right|}$$

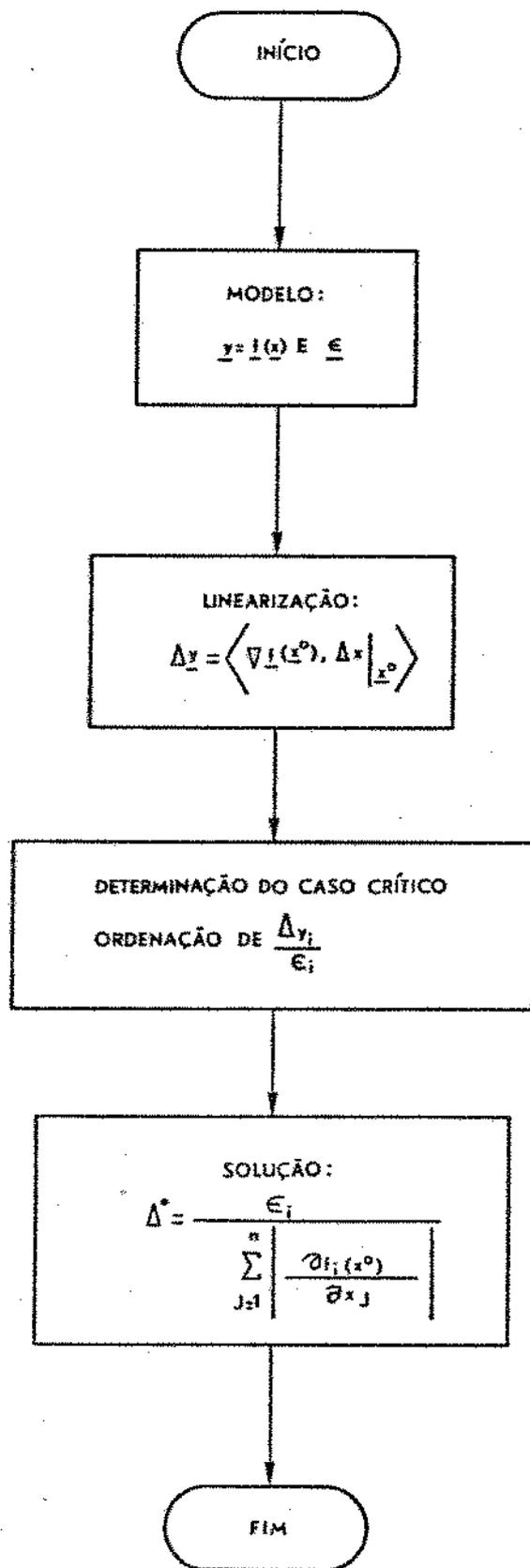


Figura 3.6 - Diagrama de Blocos do algoritmo baseado em critério de pior caso

III.2 - Modelamento do Circuito

III.2.1 - O Modelo

O Decodificador em Diagrama de Blocos pode ser desenhado con forme mostrado na Figura 3.7.

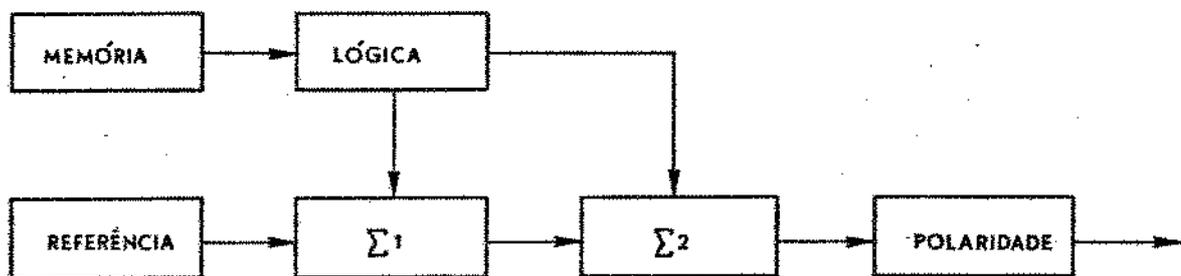


Figura 3.7 - Diagrama de Blocos do Conversor D/A

As únicas partes do circuito que interferem na precisão da saída são:

Referência

Σ^1

Σ^2

Polaridade

A análise de tolerância aqui feita leva em conta apenas Σ^1

e $\Sigma 2$ pois o circuito de referência \bar{e} um integrado de alta precisão e estabilidade e o circuito de polaridade afeta todos os níveis igualmente e portanto pode ser ajustado facilmente.

III.2.1.1 - Malha $\Sigma 1$ em Detalhe

Baseado no esquema de $\Sigma 1$, pode-se escrever as expressões abaixo:

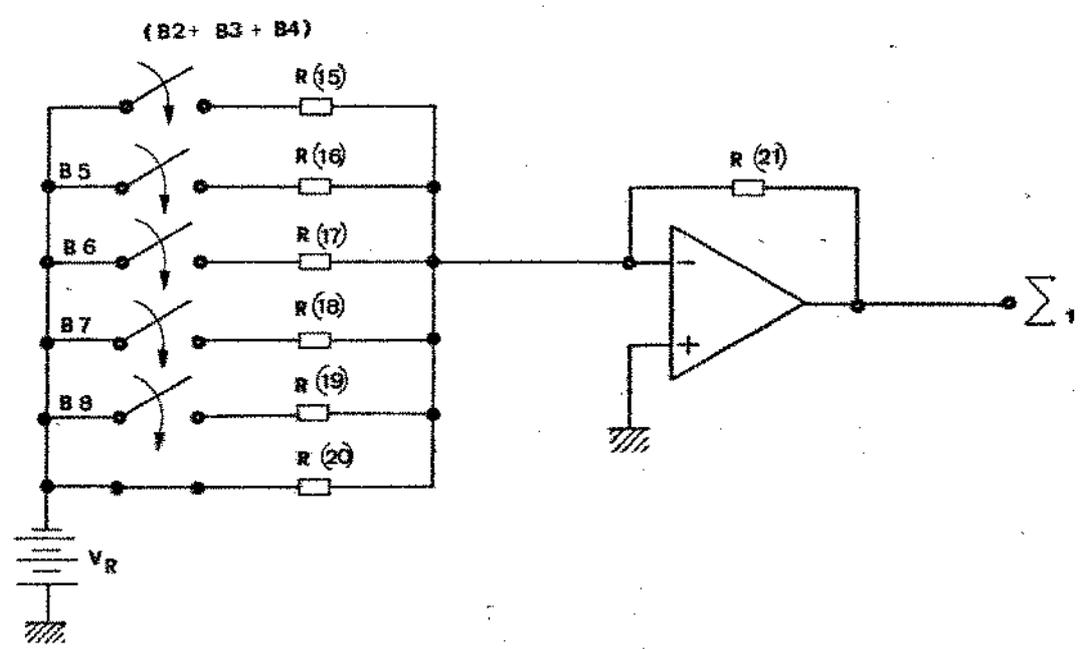


Figura 3.8 - O Circuito que Realiza a Função $\Sigma 1$ mostrado em Detalhes

$$\Sigma 1 = R(21) \left\{ (B_2 + B_3 + B_4) \cdot \frac{1}{R(15)} + \frac{1}{R(20)} + B_8 \cdot \frac{1}{R(19)} + B_7 \cdot \frac{1}{R(18)} + \right.$$

$$\left. + B_6 \cdot \frac{1}{R(17)} + B_5 \cdot \frac{1}{R(16)} \right\} \quad (3.18)$$

onde os valores nominais, são:

$$R(21) = R(15) = \frac{R(16)}{2} = \frac{R(17)}{4} = \frac{R(18)}{8} = \frac{R(19)}{16} = \frac{R(20)}{32} = 10 \text{ K}\Omega$$

III.2.1.2 - Malha $\Sigma 2$ em Detalhe

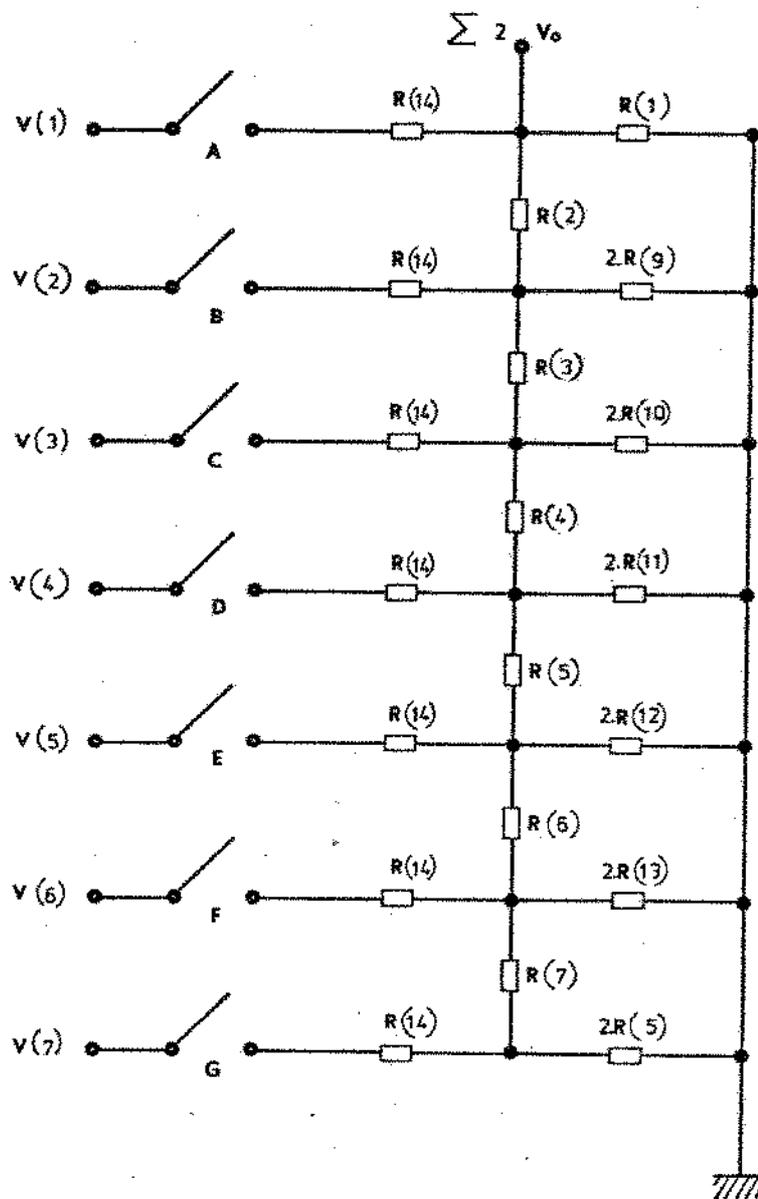


Figura 3.9 - Circuito que Realiza a Função $\Sigma 2$ Mostrado em Detalhe.

Com os valores nominais

$$R(1) = R(2) = \dots = R(13) = 5 \text{ K}\Omega$$

$$R(14) = 75 \Omega$$

$$\text{Definindo-se } \Delta T(i) = \frac{V_0}{V(i)} \quad (3.19)$$

como sendo a atenuação, tem-se

$$\Sigma Z = A \cdot AT(1) + B \cdot \Delta T(2) + C \cdot AT(3) + \dots + G \cdot AT(7) \quad (3.20)$$

Precisa-se obter as expressões que relacionam $AT(i)$ com os parâmetros $R(1), \dots, R(14)$.

Para isso definiu-se:

$$ZPT(i) = \text{Impedância "Vista" no Ponto } i$$

Abrindo-se a malha em duas seções conforme Figura 3.10 tem-se:

$$Z1R(i) = \text{Impedância "Vista" no Ponto } i \text{ na Seção Inferior da Malha} \quad (3.21)$$

$$Z2R(i - 1) = \text{Impedância "Vista" no Ponto } i \text{ na Seção Superior da Malha} \quad (3.22)$$

$$ATR(i) = \text{Atenuação no Ponto } i \quad (3.23)$$

$$ATR(i) = \frac{R(14) + ZPT(i)}{ZPT(i)} \cdot AT(i) \quad (3.24)$$

$$ATR(i) \text{ é a atenuação } \frac{V_0}{V(i)} \text{ quando } R(14) = 0$$

$$\left. \begin{aligned} Z2R(2) &= \left(Z2R(1) // 2R(9) \right) + R(3) \\ Z2R(i+1) &= \left(Z2R(i) // 2R(8+i) \right) + R(i+R) \\ Z2R(6) &= \left(Z2R(5) // 2R(13) \right) + R(7) \end{aligned} \right\} (3.26)$$

$$\left. \begin{aligned} ZPT(1) &= Z1R(1) \\ ZPT(2) &= Z1R(2) // Z2R(1) \\ ZPT(i) &= Z1R(i) // Z2R(i-1) \\ ZPT(7) &= Z1R(7) // Z2R(6) \end{aligned} \right\} (3.27)$$

$$\left. \begin{aligned} ATR(1) &= 1 \\ ATR(2) &= R(1)/Z2R(1) \\ ATR(i) &= \left(1 - \frac{R(i)}{Z2R(i-1)} \right) \cdot ATR(i-1) \end{aligned} \right\} (3.28)$$

$$AT(i) = \frac{ZPT(i)}{R(14) + ZPT(i)} \cdot ATR(i) \quad (3.29)$$

De posse das expressões que relacionam $\Sigma 1$ e $\Sigma 2$ com os parâmetros pode-se definir as funções

$$y_i = f_i(x_1, \dots, x_n) \quad (3.30)$$

onde x_1, \dots, x_n são os parâmetros e o índice i é dado pela decodificação linear dos bits B_2, B_3, \dots, B_8 .

Ou seja, a função:

$$y_0 = f_0 \left(R(1), \dots, R(21) \right) = f_0(x_1, \dots, x_{21}) \quad (3.31)$$

É dada pela relação

$$y_0 = \Sigma 1 \cdot \Sigma 2 \quad \left| \quad B_2 = B_3 = \dots = B_8 = 0 \right. \quad (3.32)$$

ou

$$y_i = \Sigma 1 \cdot \Sigma 2 \quad \left| \quad B_2, B_3, \dots, B_8 \right. \quad (3.33)$$

com

$$i = 2^0 \cdot B_8 + 2^1 \cdot B_7 + 2^2 \cdot B_6 + \dots + 2^6 \cdot B_2 \quad (3.34)$$

tem-se portanto, caracterizado o decodificador na notação da Seção III.1.

y = vetor de desempenho com dimensão $m = 128 = 2^7$

x = vetor de parâmetros $(R(i))$ com dimensão $n = 21$.

Dentro da formulação descrita na Seção III.1 falta caracterizar o vetor de restrição \underline{e} .

III.2.2 - Cr terio de Aceita o de Erro

Para uma dada entrada B_2, \dots, B_8 o decodificador providencia uma sa da $y_i (i = 2^0 \cdot B_8 + \dots + 2^6 \cdot B_2)$, a qual sofre um desvio $\Delta y_i = y_i - y_i^0$ que   fun o dos erros em \underline{x} .

$$y_i^0 = \text{valor nominal de } y_i$$

Para se definir um crit rio passa-n o passa para o circuito, considera-se $L(i) = y_i^0 - y_{i-1}^0$ que   a "dist ncia" entre uma sa da e a adjacente calculada nos pontos nominais.

Assim temos:

$$L_0 = y_0^0 - y_{-1}^0$$

$$L_1 = y_1^0 - y_0^0 \tag{3.35}$$

$$L_{127} = y_{127}^0 - y_{126}^0$$

- Considera-se que houve um erro n o aceit vel nos par metros se para algum $i \in \{0, \dots, 127\}$ $|\Delta y_i|$ for maior que $L_i/2$, ou seja, exige-se que y_i se afaste no m ximo de metade da "dist ncia" entre o seu valor nominal e os adjacentes.

Para o decodificador, dada a sua caracter stica n o linear, tem-se:

se $y_0^0 = 1$ (uma unidade normalizada de tens o), ent o

$$y_1^0 = 3 ; y_2^0 = 5 ; \dots$$

ou seja

$$L_0 = 2 ; L_1 = 2 ; L_2 = 2 ; L_3 = 2 ; \dots, L_{127} = 128$$

Em cada segmento A, B, C, ... da curva característica o valor de $L(i)$ é constante, conforme mostrado na Tabela 3.1.

SEGMENTO	$L(i)$	i	ϵ_i
A	128	111-127	64
B	64	96-111	32
C	32	80- 95	16
D	16	64- 79	8
E	8	48- 63	4
F	4	32- 47	2
G	2	0- 31	1

Tabela 3.1 - Critério de Aceitação do Conversor D/A.

Baseado na Tabela 3.1, pode-se definir o vetor de restrição $\underline{\epsilon}$ cuja dimensão é $m = 128$.

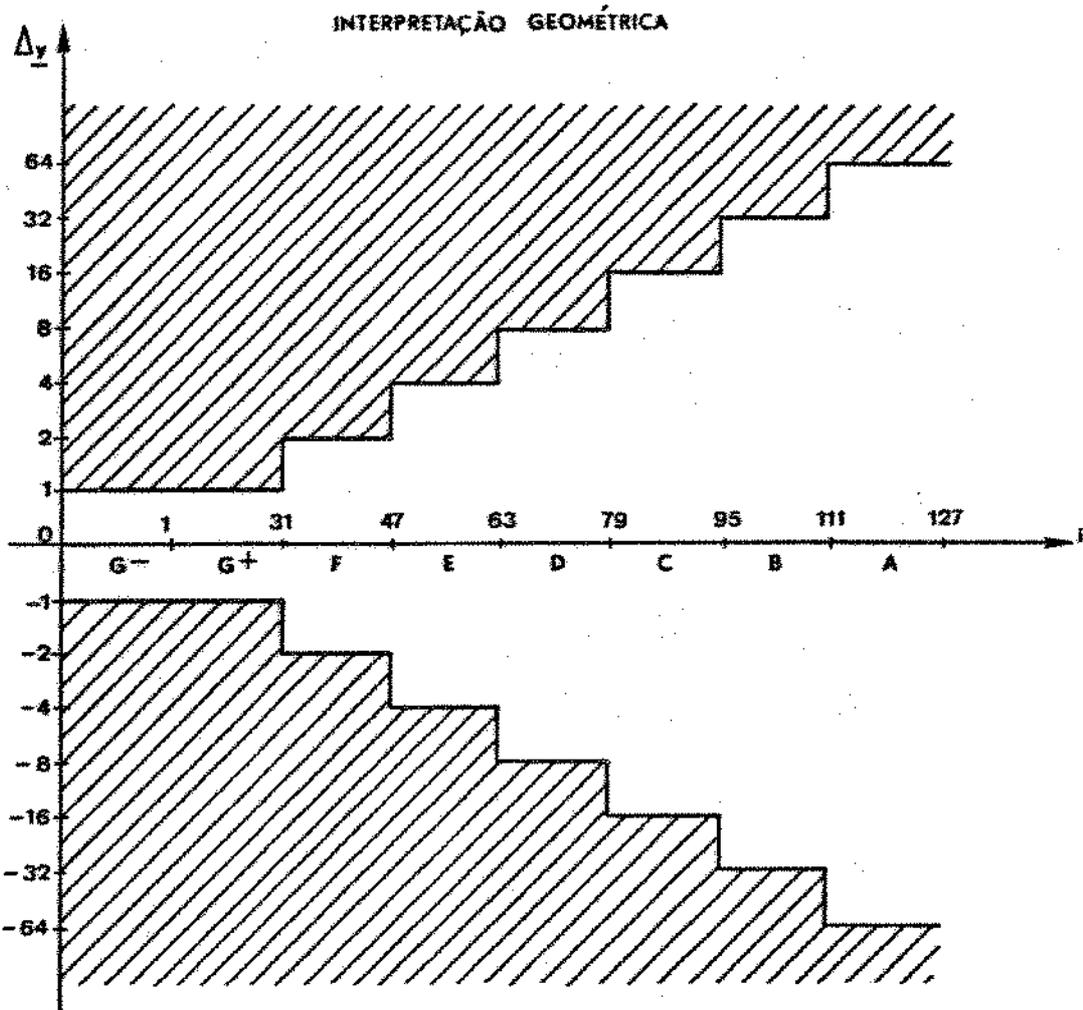


Figura 3.11 - Interpretação Geométrica do Critério de Aceitação do Conversor D/A.

A parte interna do gráfico da Figura 3.11 mostra a região onde os desvios são aceitáveis."

Conforme foi mostrado na Seção III.1 é necessária uma normalização dos erros em relação às restrições, o que é obtido através de $\frac{\Delta y_i}{E_i}$. Esta normalização é mostrada na Figura 3.12.

Resumindo:

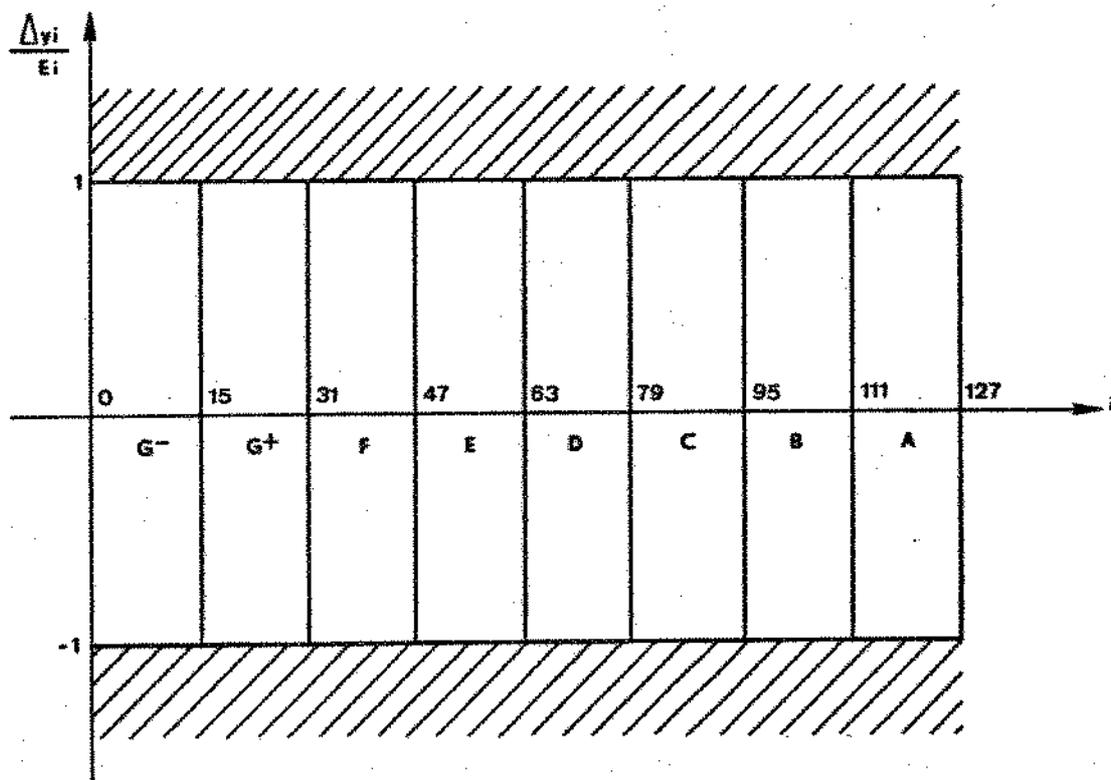


Figura 3.12 - Critério de Aceitação Normalizado Para o Conversor D/A.

O decodificador foi colocado dentro da forma padrão (definida na Seção III.1) para análise das tolerâncias.

$$y_i = f_i(\underline{x}) \quad i = 1, \dots, m \quad m = 128$$

onde f_i é função dos parâmetros \underline{x} ($n = 21$) e $\underline{\epsilon}$ o vetor restrição.

III.2.3 - Considerações Sobre o Cálculo das Derivadas Parciais

O número de operações de determinação das derivadas parciais

na solução do algoritmo é razoavelmente grande.

$m \cdot n = 128 \cdot 21 = 2688$ para o caso do decodificador.

A idéia de se obter as expressões analíticas para o cálculo destas derivadas é totalmente impraticável.

A saída é utilizar uma aproximação numérica para as derivadas.

Tem-se que, por definição:

$$\frac{\partial y_i}{\partial x_j} = \lim_{h \rightarrow 0} \frac{f_i(x_j + h) - f_i(x_j)}{h} \quad (3.36)$$

Tomando por aproximação

$$\frac{\partial y_i}{\partial x_j} \cong \frac{f_i(x_j + h) - f_i(x_j)}{h} \quad (3.37)$$

- O problema que resta é quanto ao valor do incremento h :

Por um lado, pretende-se que seja o mais próximo de zero possível, a fim de que o valor numérico esteja próximo ao teórico.

Por outro lado, dada a precisão finita dos computadores, não se pode usar valores muito pequenos de h .

O compromisso $\bar{\epsilon}$ é obtido através de um processo iterativo no qual se calcula o valor da derivada para um dado h e depois para $h + \Delta h$, se a diferença entre os resultados não for significativa aceita-se o resultado.

III.3 - O Programa

O Programa aqui apresentado foi o utilizado para simular o modelo do decodificador do sistema MCP de 8 dígitos.

A função que expressa o referido sistema $\bar{\epsilon}$ é a apresentada - na Seção III.2. Basicamente as entradas e saídas do programa são:

Entrada:

Δ → DELTA (Desvio Normalizado dos Parâmetros)

Saídas:

$f(x)$ → ZF()

$\Delta f(x)$ → DELTZ()

$\frac{\partial f}{\partial x}$ → ZDERP()

$\Delta f(x)$ NORMALIZADO → DELTZP()

$\Delta f(x)$ NORM. E ORDENADO → DELTZO()

O programa consta de:

- Uma subrotina - ZFUNC - que gera os valores do sinal decodificado.

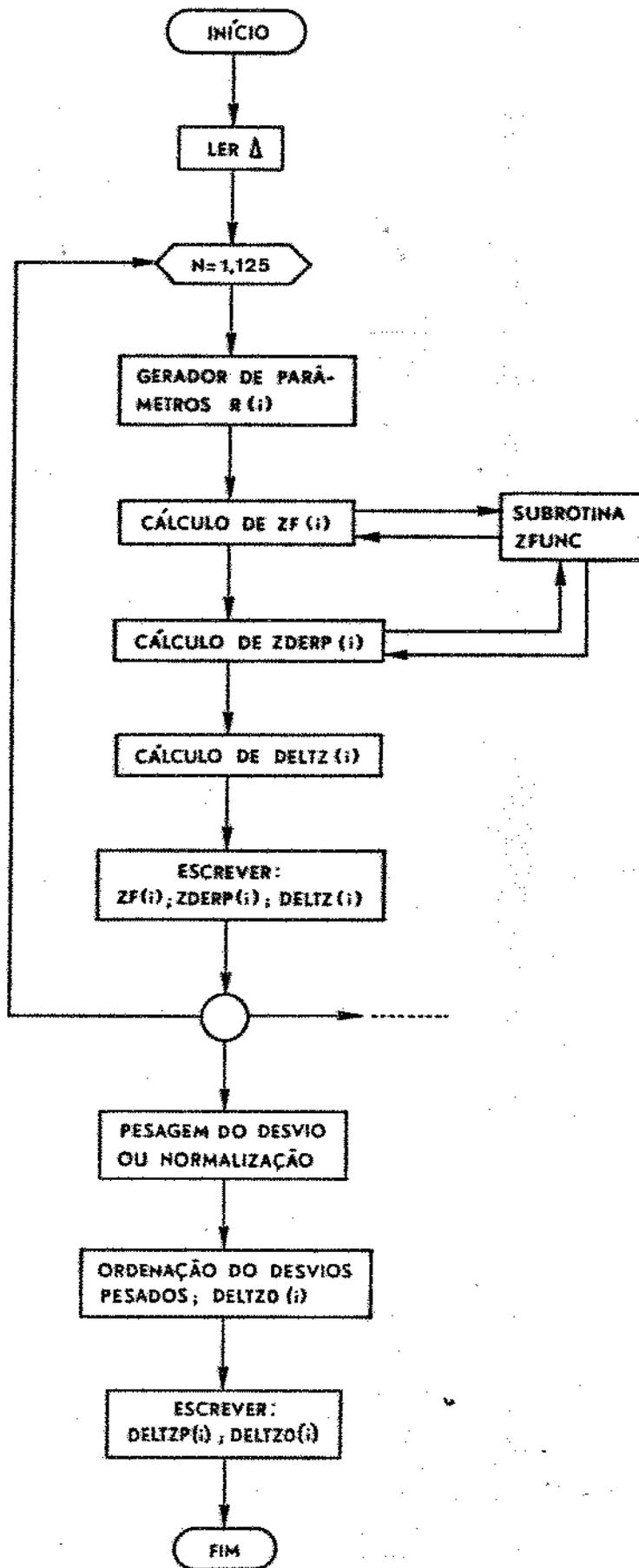


Figura 3.13 - Diagrama de Blocos do Programa em Fortran

- Um gerador de parâmetros do sistema.
- Um gerador de derivadas parciais relativa aos parâmetros.
- Um gerador de desvio da função saída.
- Um programa para normalização dos desvios relativo aos pesos de segmentos A, B, ... , G.

É apresentado no Apêndice A.1, o programa em linguagem FORTRAN.

III.4 - Os Resultados

A Figura 3.14 mostra a curva característica do Conversor D/A obtida a partir da simulação do circuito.

A Figura 3.15 mostra os desvios em valor absoluto da saída - análoga decorrentes de um desvio nos valores nominais dos componentes; esta deve ser observada segundo o ponto de vista da Figura 3.11 que define o critério de aceitação do conversor D/A.

A Figura 3.16 é a obtida a partir da 3.15 segundo o critério de normalização definido na Figura 3.12. Nota-se na Figura 3.16 claramente os diferentes segmentos da curva característica, permitindo identificar o caso crítico do conversor D/A que é a palavra 0011111 (31), isto é, a última do segmento G. Este resultado pode ser compreendido levando-se em conta que para esta palavra todos os resistores do conversor estão sendo ativados.

A Figura 3.17 mostra a influência na variação do conversor - D/A causada por uma variação no resistor R(15) da malha Σ 1.

O resistor R(15) como é mostrado na Figura 3.8 é o que mais contribue para a saída.

Conforme pode-se notar na Figura 3.17 a ordenada vale zero

para as 16 primeiras palavras, isto é devido ao fato de R(15) não ser ativado nestas palavras. Para as demais palavras o comportamento é periódico, pois R(15) está sempre ativado.

As Figuras 3.18 e 3.19 mostram a influência na saída dos resistores R(16) e R(18) respectivamente.

Conforme mostra a Figura 3.8 estes resistores são ativados com períodos diferentes e sua influência relativa é maior, para as primeiras palavras, tornando-se periódica para os segmentos F, E, D, C, B, e A.

O resultado final baseado nos estudos deste Capítulo é uma tolerância da ordem de 0,1% para os componentes.

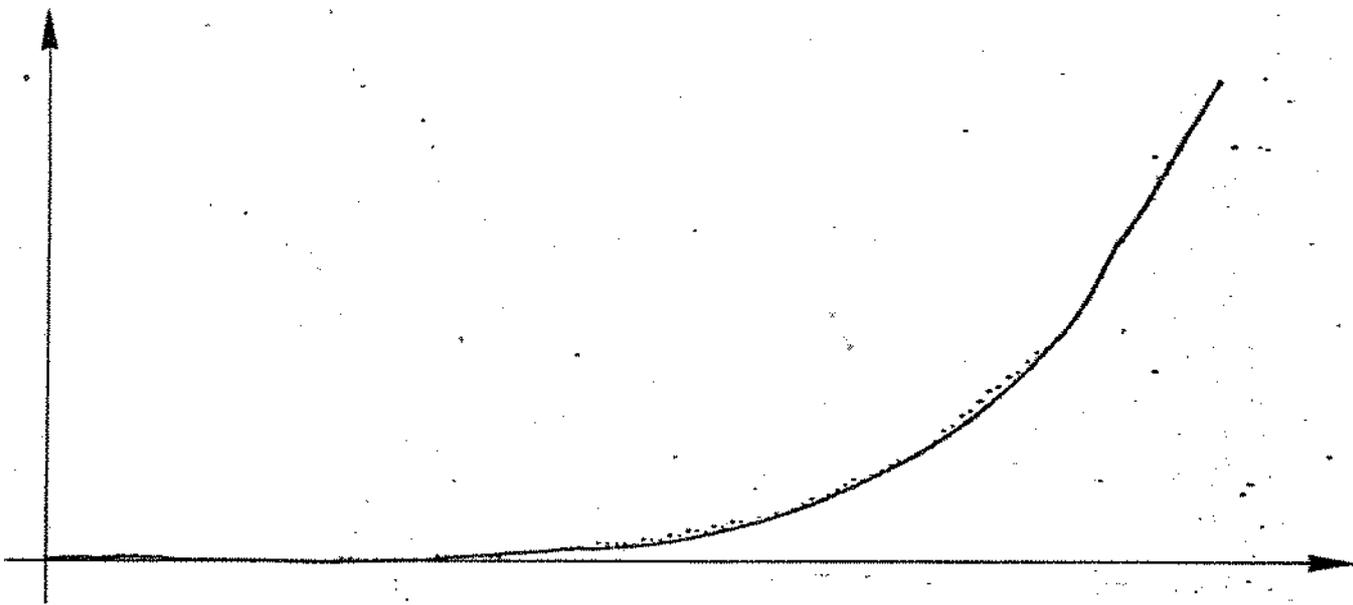


Figura 3.14 - Curva Característica do Conversor D/A. A Ordenada mostra a saída Análoga, e a Abscissa, O Correspondente Decimal da Entrada.

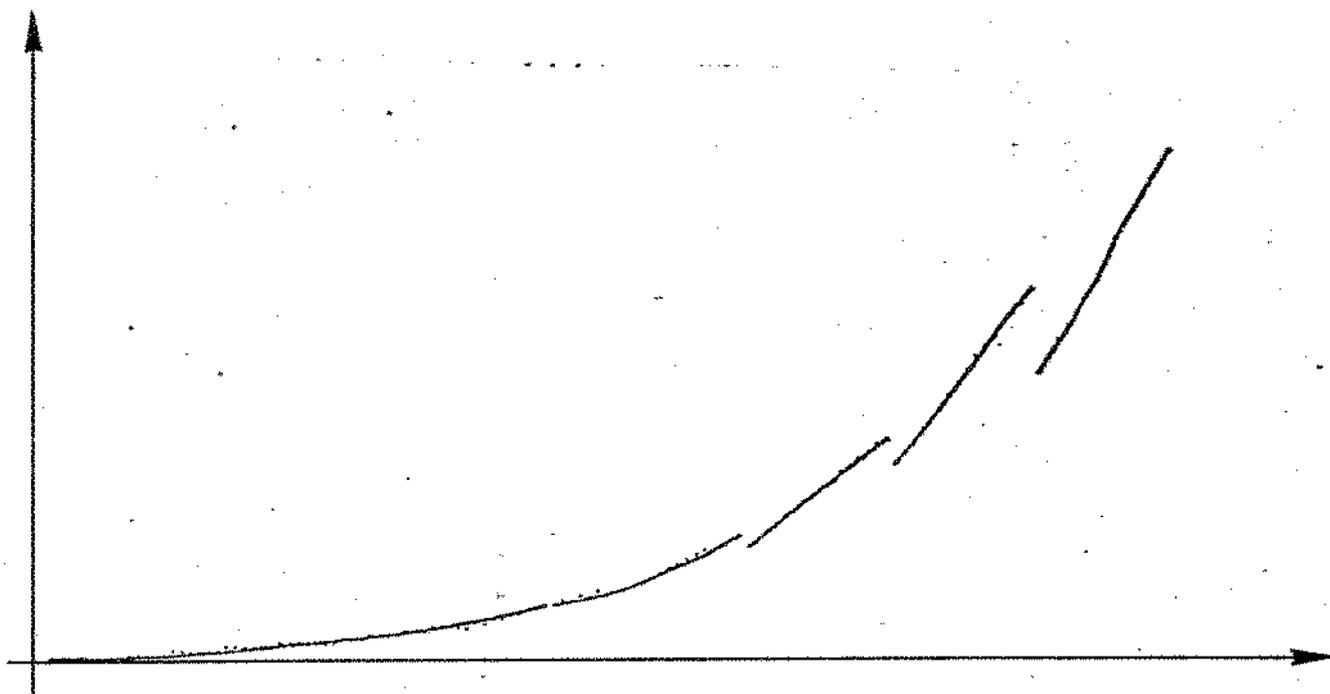


Figura 3.15 - Valor Absoluto do Desvio da Saída em Relação ao Valor Nominal, Calculado no Pior Caso de Cada Saída para Um Desvio nos Componentes de $\Delta = 0,13\%$.

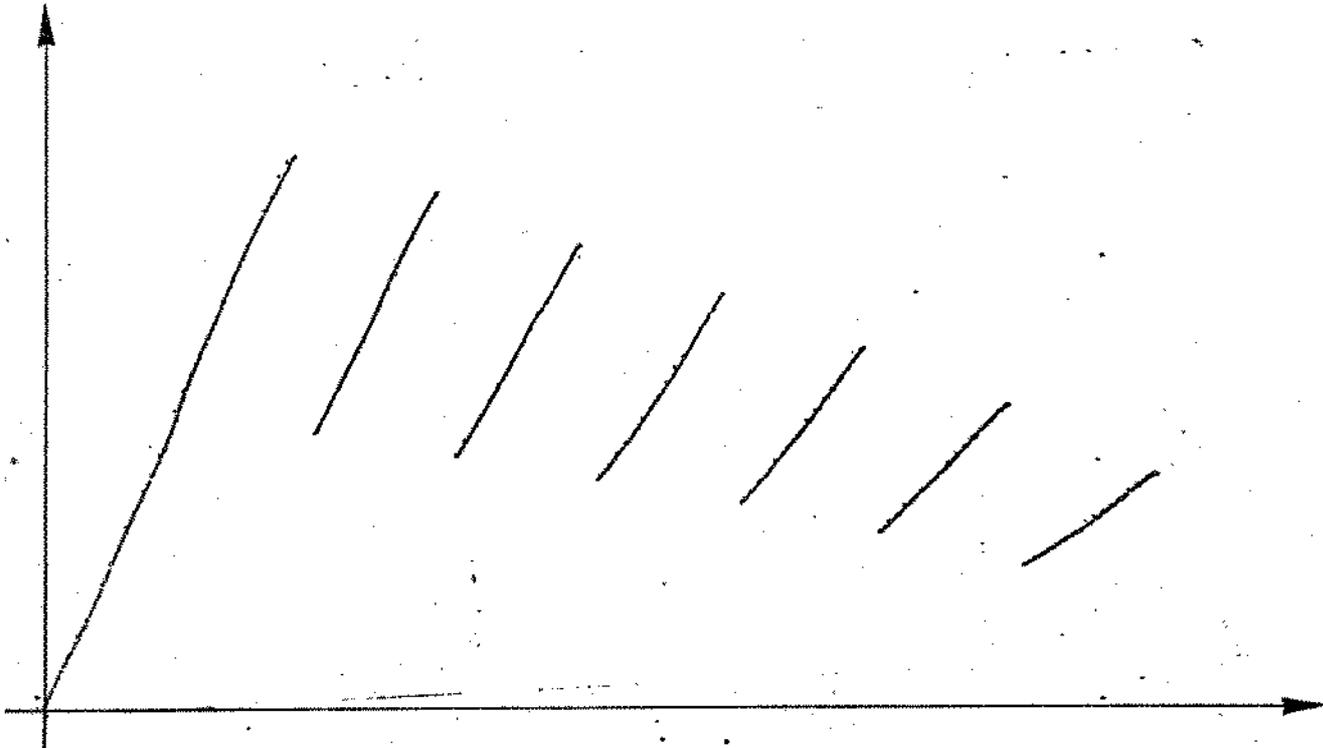


Figura 3.16 - Valor Normalizado do Desvio da Saída em Relação ao Valor Nominal, Calculado no Pior Caso de Cada Saída Para Um Desvio Nos Componentes de $\Delta = 0,13\%$.

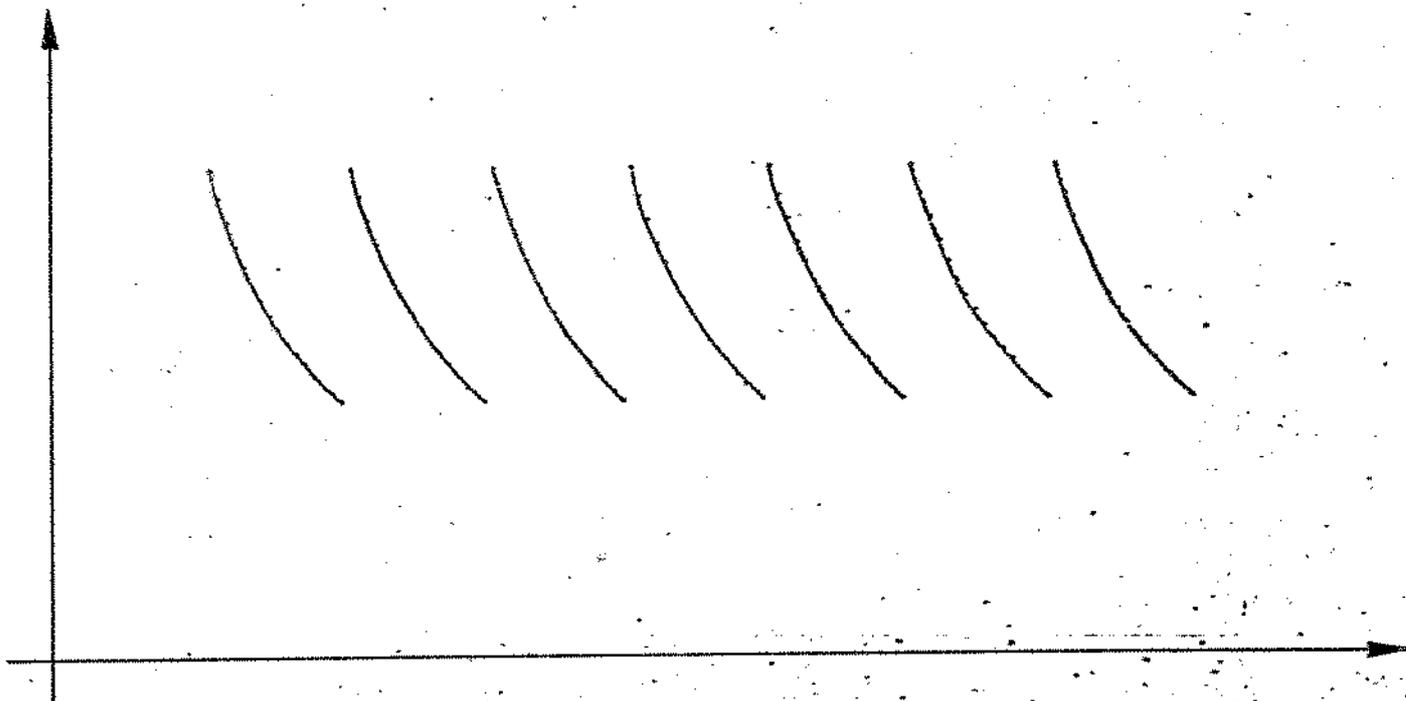


Figura 3.17 - Sensitividade - Derivada Parcial, em Módulo da Saída em Relação ao Resistor (R15), Normalizada em Relação ao Valor da Saída. A Abscissa Corresponde ao Valor Decimal da Entrada do Conversor D/A.

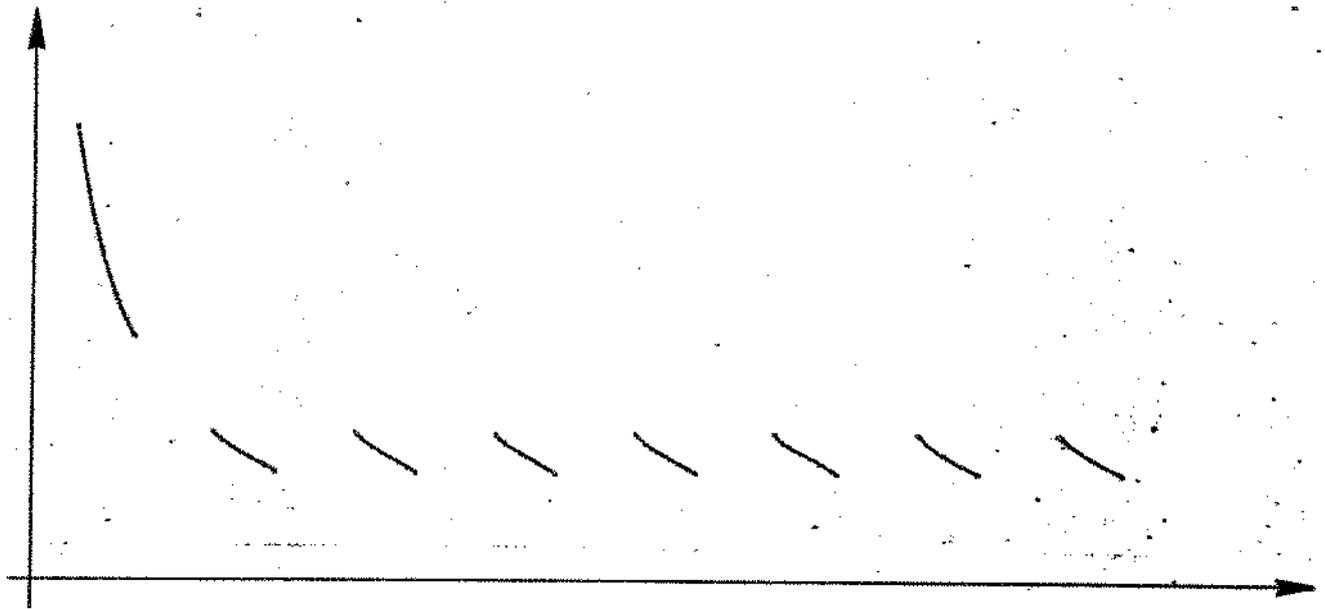


Figura 3.18 - Sensitividade - Derivada Parcial, em Módulo da Saída em Relação ao Resistor (R16), Normalizada em Relação ao Valor da Saída.

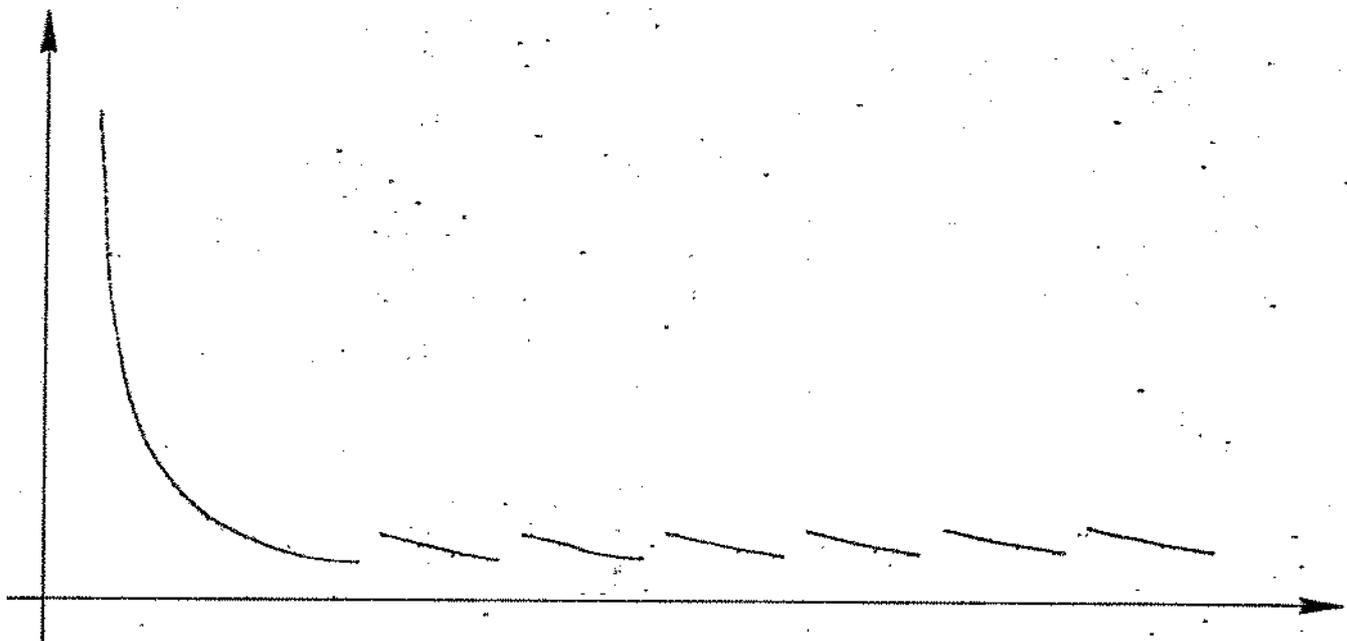


Figura 3.19 - Sensitividade - Derivada Parcial, em Módulo da Saída em Relação ao Resistor (R18), Normalizada em Relação ao Valor da Saída.

IV - TESTES E RESULTADOS

Este Capítulo apresenta os resultados finais de dois protótipos do Conversor D/A.

Os testes feitos foram relativos ao comportamento estático (Precisão) e dinâmico (Rapidez) do sistema.

Analisa-se os resultados em relação aos estudos feitos no Capítulo III.

IV.1 - Montagem de Teste

A Figura 4.1 mostra um Diagrama Esquemático da Montagem - para o teste Estático (DC) e Dinâmico (AC).

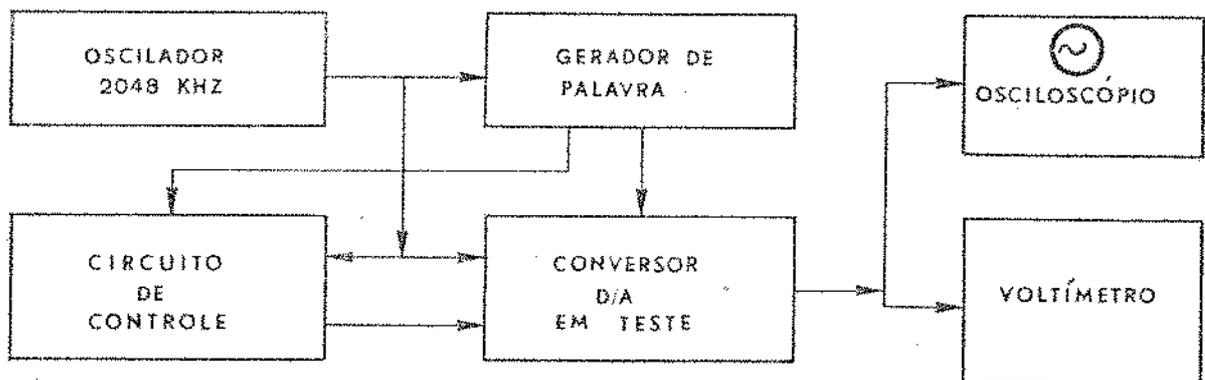


Figura 4.1 - Diagrama da Montagem de Teste

Os equipamentos utilizados no teste do Conversor são:

- (1) Um Oscilador : que simula a onda de relógio.
- (2) Um Gerador de Palavra : que simula o trem de pulsos MCP, o qual deve poder gerar 16 Bits repetitivos.
- (3) Um Circuito de Controle : que gera as ondas C_m e $\overline{E_m}$ a partir do relógio e de um pulso de sincronismo - produzido pelo Gerador de Palavra.
- (4) Um Voltímetro D.C.
- (5) Um Osciloscópio.

Procedimento de Ajuste

O Conversor D/A possui três amplificadores operacionais que necessitam de ajustes de offset (Potenciômetros), uma fonte de referência e um atenuador que também devem ser ajustados.

Procedimento

- (1) Ajusta-se a fonte de referência para obter-se uma tensão de 3200 mV.
- (2) Mantendo na entrada uma palavra 00000000 ajusta-se o operacional da malha $\Sigma 1$ para uma saída de -100 mV.
- (3) Com a palavra 10010000 ajusta-se o operacional da malha $\Sigma 2$ para uma saída igual ao nível de entrada - do sinal. (A menos da Polaridade).
- (4) Com a palavra 00010000 ajusta-se o seguidor de tensão da mesma forma que o anterior.
- (5) Com a palavra 11111111 ajusta-se o atenuador para o nível de tensão requerido na saída. (4032 mV).

Realizados os ajustes pode-se então medir o comportamento do conversor.

IV.2 - Comportamento Estático

Conforme foi mostrado no Capítulo 3, o Conversor deve apresentar um desempenho que satisfaça as curvas dos desvios.

A Figura 4.2 mostra as curvas de desvios em relação aos valores nominais da saída do protótipo 1.

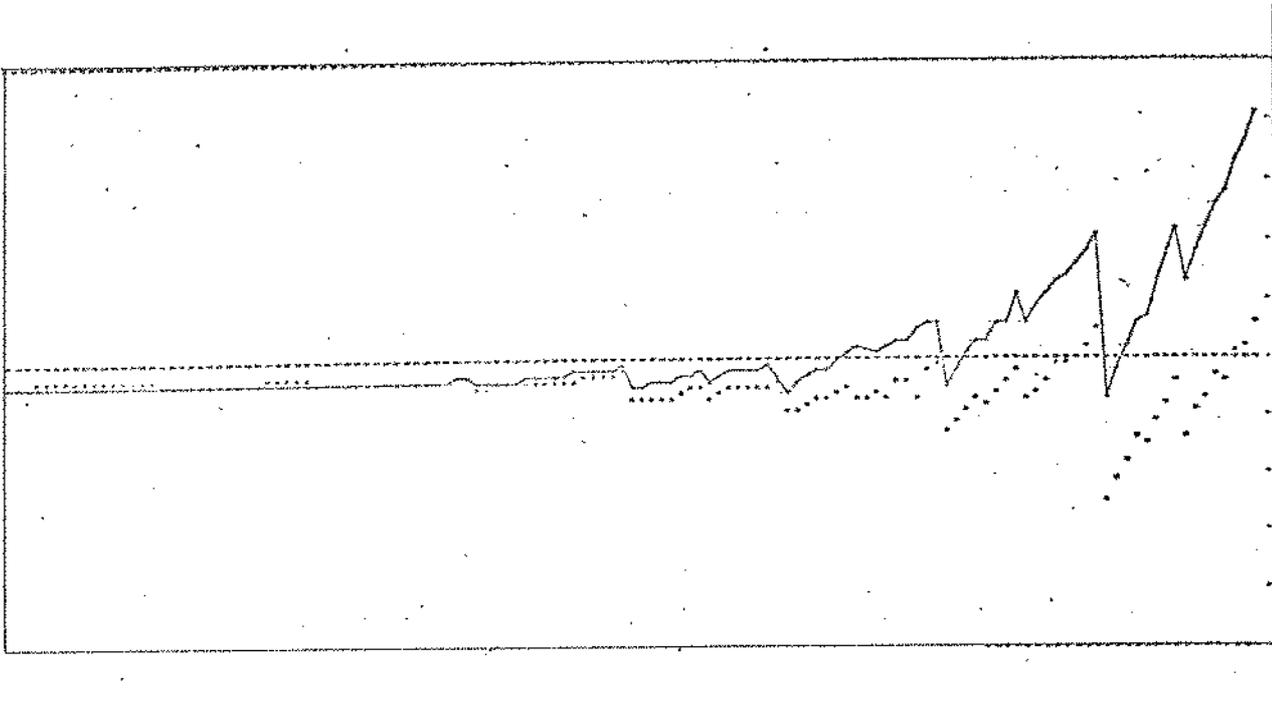


Figura 4.2 - Curva de Desvio em Relação ao Valor Nominal
Esc. Vertical = 2.2 mV/cm
Protótipo 1

A curva cheia \bar{e} a resposta negativa e a pontilhada \bar{e} a positiva. Os limites do gráfico são:

Superior + 8 mV ; Inferior - 8 mV.

- O desvio DC apresentado no começo da curva \bar{e} devido ao offset dos operacionais \bar{e} da ordem de 0,5 mV.
- A medida que o sinal cresce (parte direita da curva) a influência do offset se torna desprezível, e se salienta o efeito das tolerâncias dos resistores.
- O comportamento periódico do desvio \bar{e} devido a mudança de segmento na curva característica da codificação.

A Figura 4.3 mostra os desvios em relação aos pontos nominais normalizados conforme o esquema apresentado no Capítulo III.

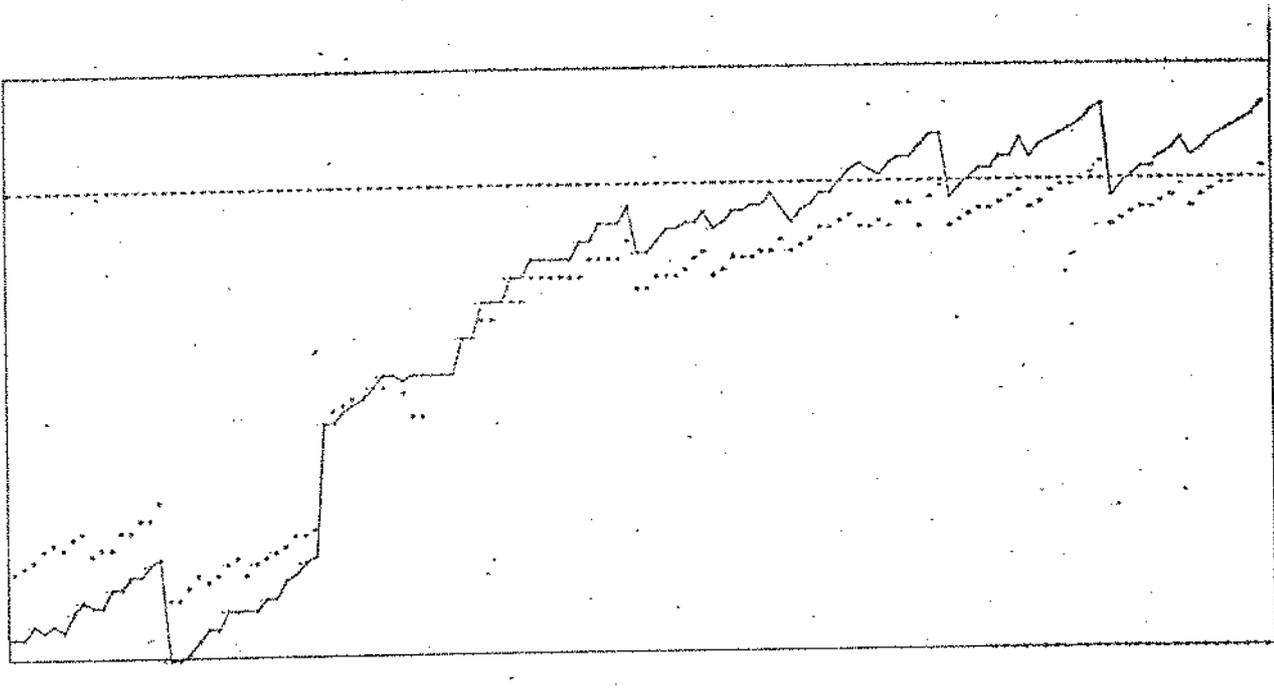


Figura 4.3 - Curva do Desvio Normalizado, em Relação ao Valor Nominal da Saída.

Esc. Vertical = 6.8 mV/cm

Protótipo 1.

A curva cheia é a resposta negativa e a pontilhada é a positiva. Os limites do gráfico são:

Superior em + 10 mV ; Inferior em - 40 mV.

Esta curva mostra que nenhum ponto da curva característica do Conversor violou o critério de aceitação que é + 64 mV (Superior) e - 64 mV (Inferior). Pode-se notar que para os níveis menores de tensão, os desvios têm peso relativo maior, devido ao offset dos operacionais, parcela de erro não computada no Capítulo III.

A Figura 4.4 mostra as curvas de desvios em relação aos valores nominais da saída do protótipo 2.

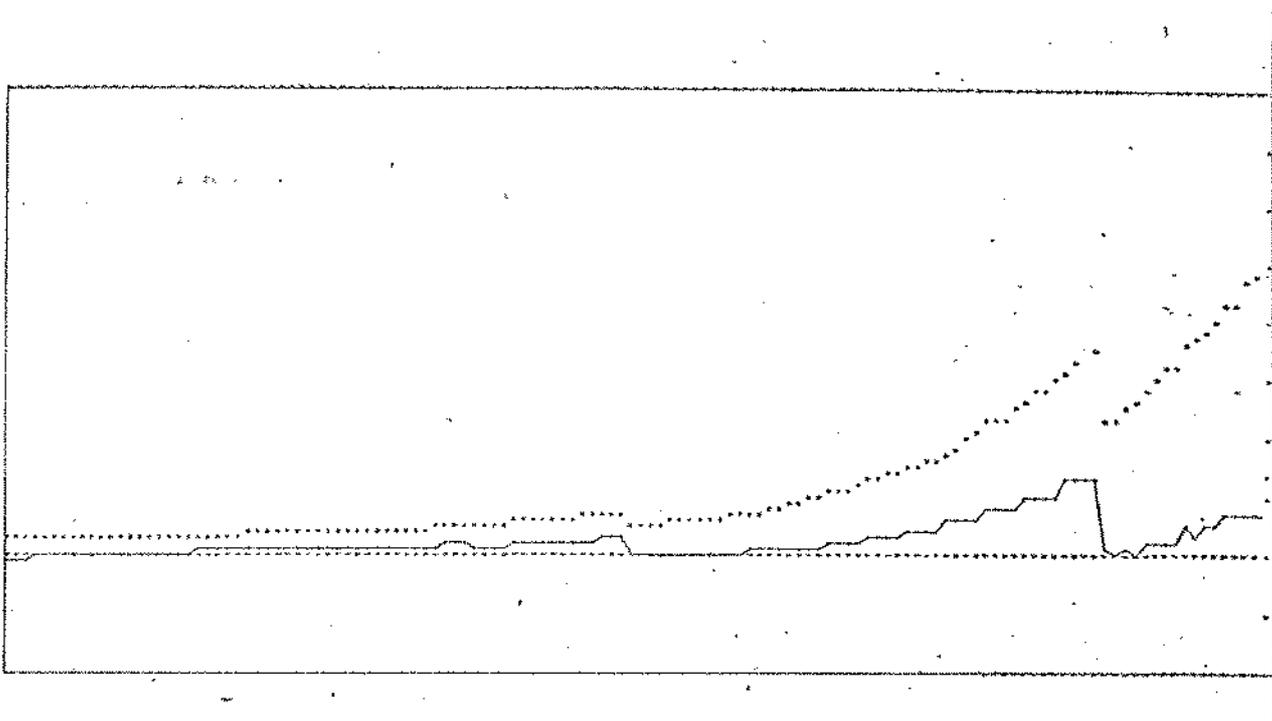


Figura 4.4 - Curva de Desvio em Relação ao Valor Nominal
Esc. Vertical = 1,4 mV/cm
Protótipo 2.

A curva cheia é a resposta positiva e a pontilhada a negativa. Os limites do gráfico são:

Superior em + 8 mV ; Inferior em - 2 mV.

A Figura 4.5 apresenta o equivalente da Figura 4.3 para o protótipo 2.

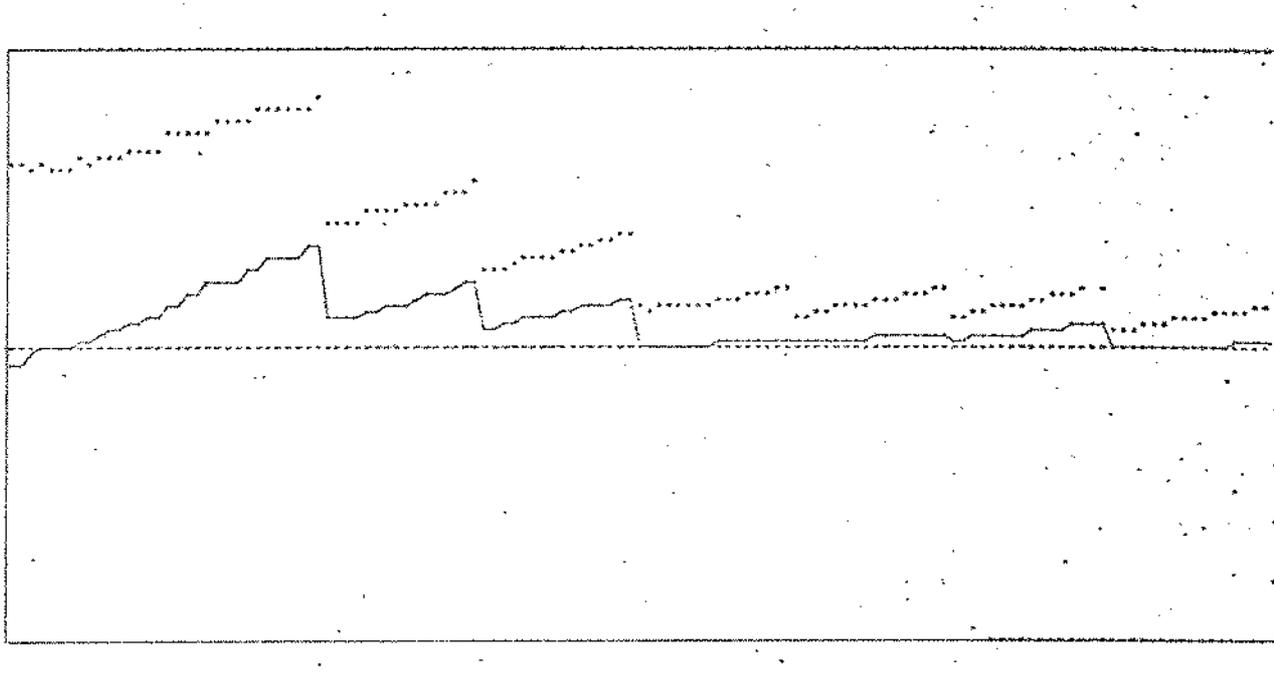


Figura 4.5 - Curva de Desvio Normalizado, em Relação ao Valor Nominal da Saída.

Esc. Vertical = 8.6 mV/cm

Protótipo 2

A curva cheia é a resposta positiva e a curva pontilhada a negativa. Os limites do gráfico são:

Superior em + 32 mV ; Inferior em - 32 mV.

As observações feitas ao protótipo 1 são válidas para o protótipo 2. As diferenças de comportamento são devidas a ajustes diferentes e aos desvios aleatórios dos componentes em relação aos seus valores nominais.

O estudo desenvolvido no Capítulo III relativo à precisão das respostas em comportamento estático se mostrou válido confirmado pelas medidas efetuadas nos dois protótipos implementados.

IV.3 - Comportamento Dinâmico

O Conversor deve realizar a decodificação do sinal MCP em aproximadamente 4 μ seg conforme mostrado no Capítulo I.

O sinal gerado pelo Conversor deve no entanto, se estabilizar em apenas 1,5 μ seg (Settling Time) para que possa ser amostrado e passado pelos filtros passa baixas da recepção nos 2,5 μ seg restantes.

A Figura 4.6 mostra as ondas de controle do Conversor.

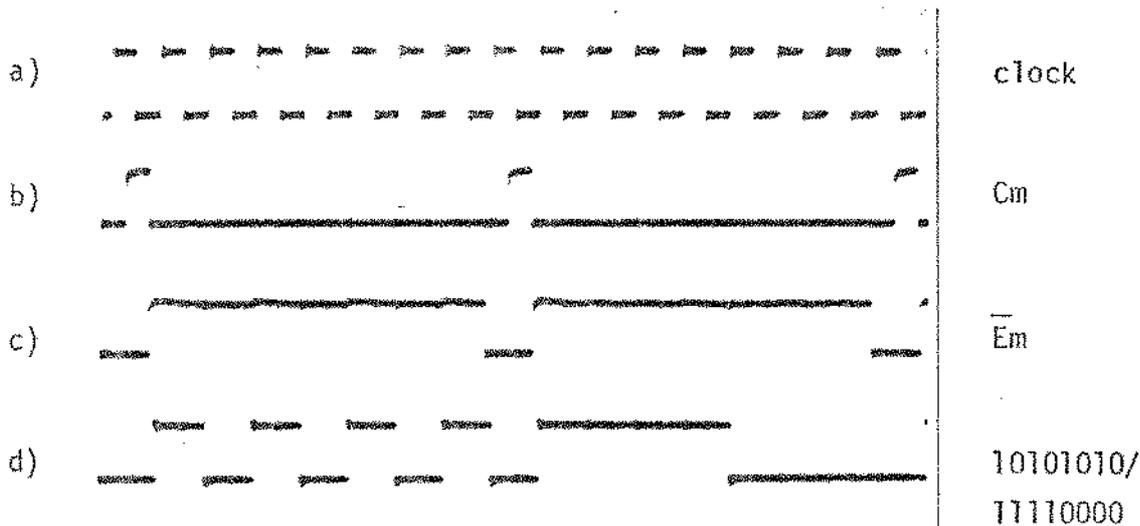


Figura 4.6 - Ondas de Controle do Conversor

- Em a) aparece o sinal de relógio com 2048 KHz.
- Em b) aparece a onda C_m que é o clock da memória e que define o oitavo bit.
- Em c) aparece a onda $\overline{E_m}$ que desinibe a memória (tem duração de 1 bit).
- Em d) aparecem duas palavras código 10101010/11110000.

A Figura 4.7 mostra a saída do Conversor para as entradas 11110000/01110000, ou seja para um sinal no segmento +A e outro no segmento -A.

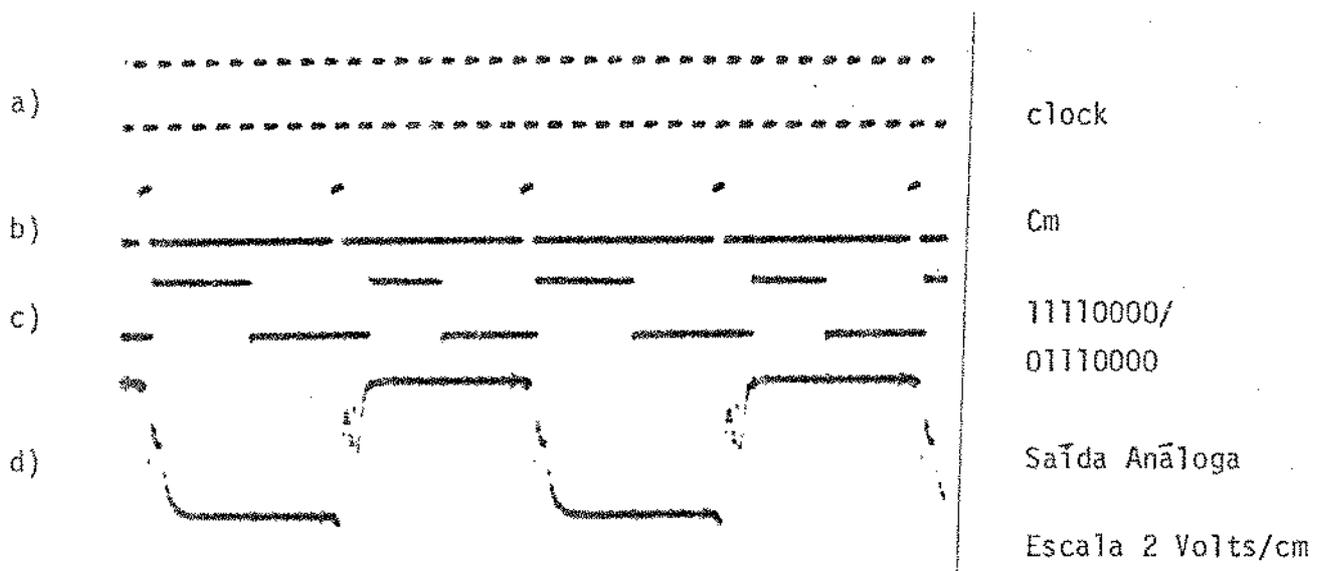


Figura 4.7 - Saída Análoga Mostrando Sinais de Polaridade Oposta

- Em a) aparece o sinal relógio para dar a escala de tempo da Figura.
- Em b) aparece C_m para identificar o começo de cada palavra código.

- Em c) aparecem as palavras código.
- Em d) aparece a saída análoga.

Nota-se que o transitório na saída é menor que a largura de três bits, ou seja, menor que 1,5 μ seg.

O ruído devido aos chaveamentos dos circuitos "TTL" que se sobrepõem ao sinal análogo não constituem grande problema pois, são de altas frequências e portanto atenuados pelos filtros da recepção.

Para mostrar o comportamento dinâmico do Conversor com a variação de nível mostram-se as saídas análogas correspondentes aos segmentos: A, B, C, D, E, F, G⁺ e G⁻ nas Figuras 4.8 a 4.15 respectivamente.

Nota-se o aumento relativo da influência do ruído de chaveamento com a diminuição do nível do sinal.

Este ruído é eliminado no filtro de recepção.

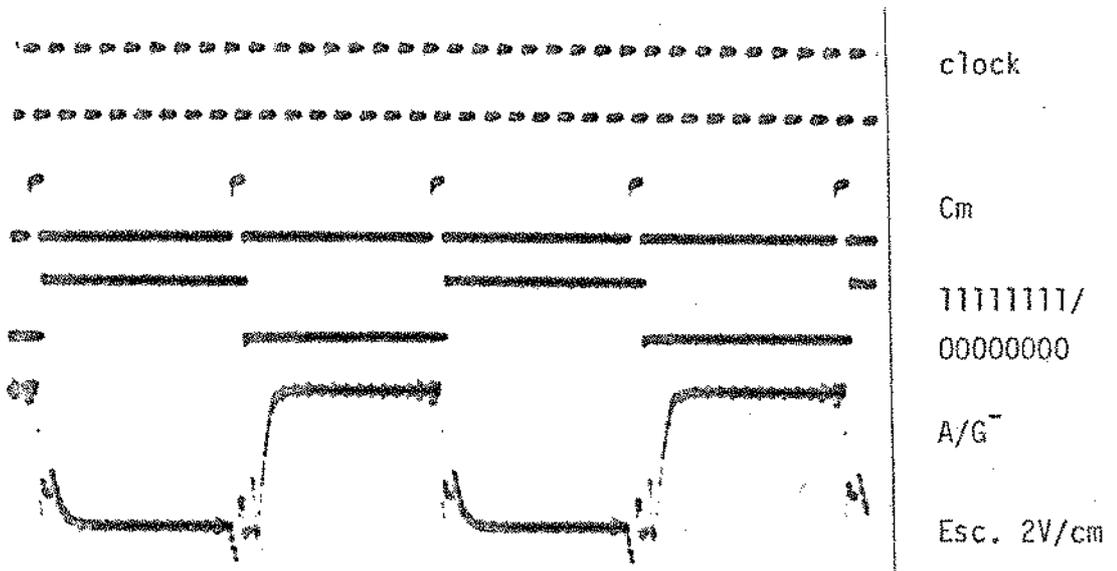


Figura 4.8 - Sinal Análogo Correspondente aos Segmentos A e G⁻

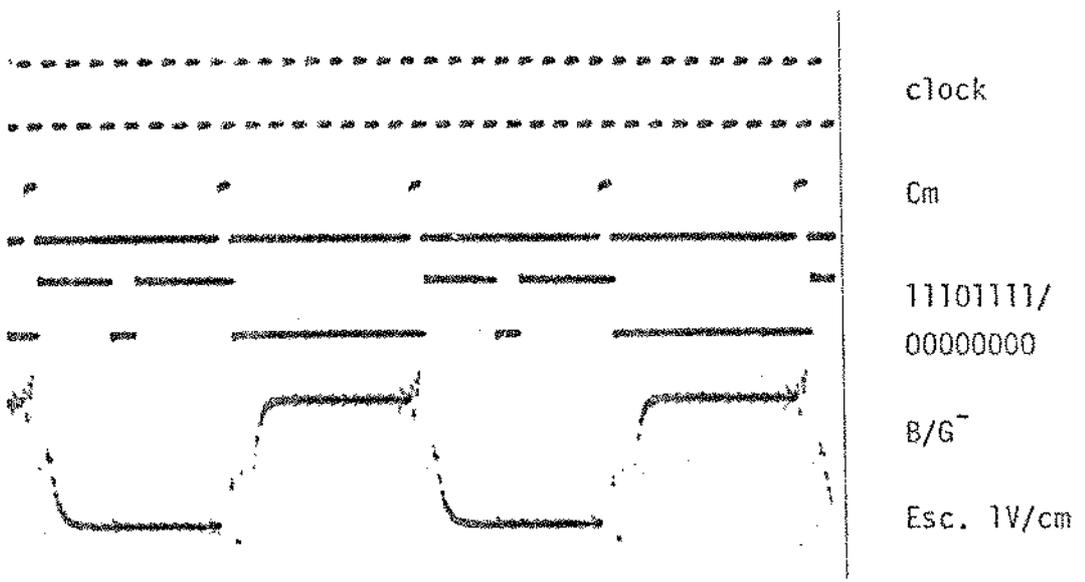
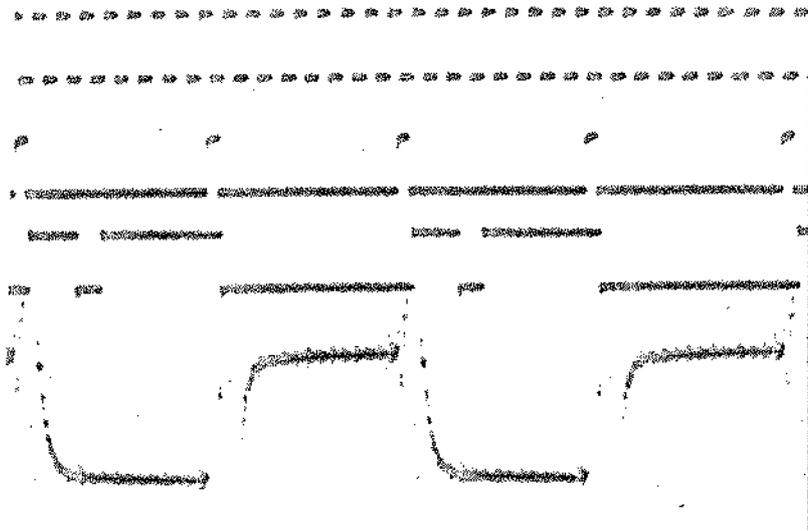


Figura 4.9 - Sinal Análogo Correspondente aos Segmentos B e G⁻



clock

Cm

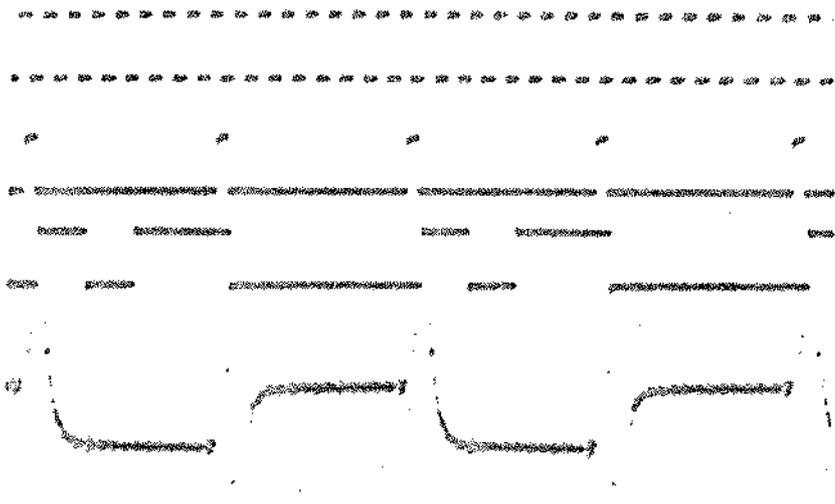
11011111/

00000000

C/G⁻

Esc. 500 mV/cm.

Figura 4.10 -- Idem, C e G⁻



clock

Cm

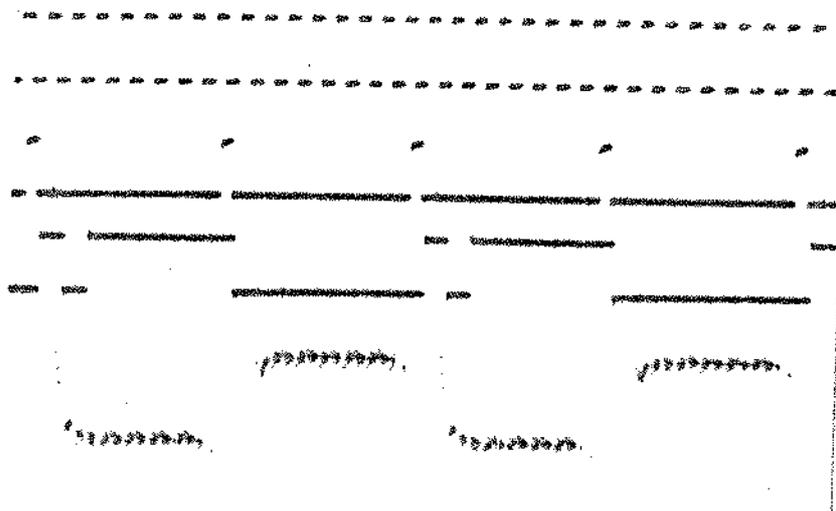
11001111/0

00000000

D/G⁻

Esc. 500 mV/cm

Figura 4.11 -- Idem, D e G⁻



clock

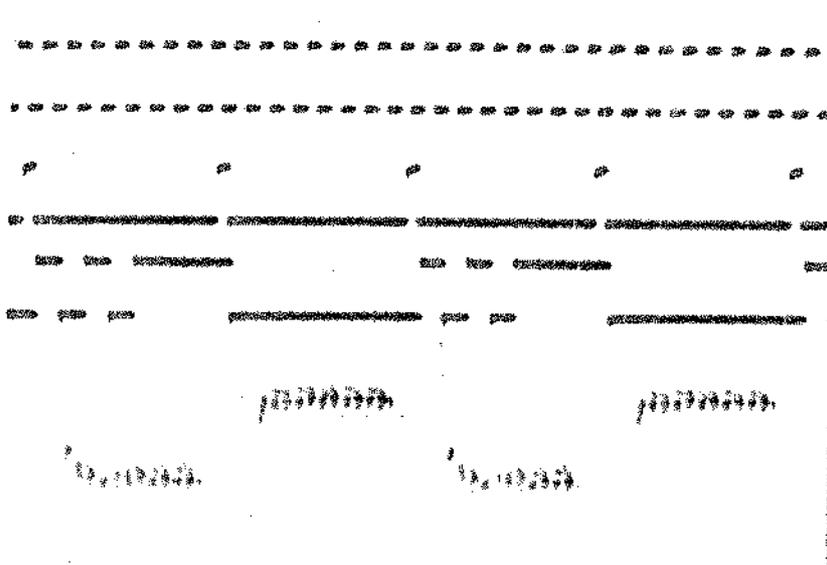
Cm

10111111/0 ...

E/G⁻

Esc. 200 mV/cm

Figura 4.12 - Idem, E e G⁻



clock

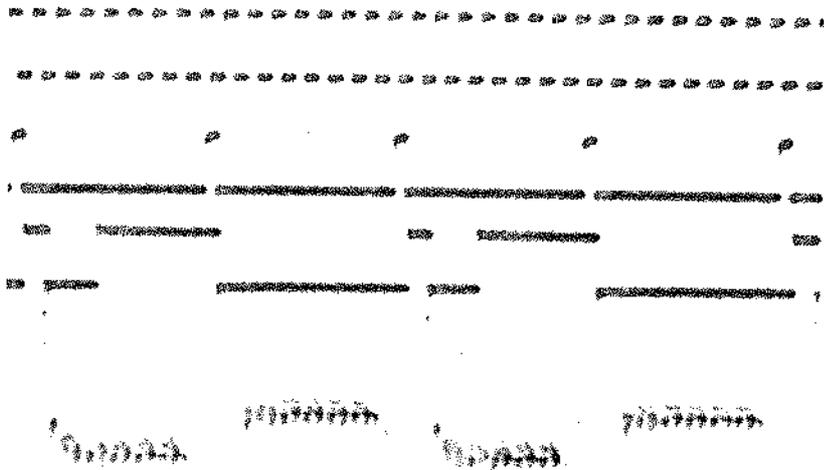
Cm

10101111/0 ...

F/G⁻

Esc. 100 mV/cm

Figura 4.13 - Idem, F e G⁻



clock

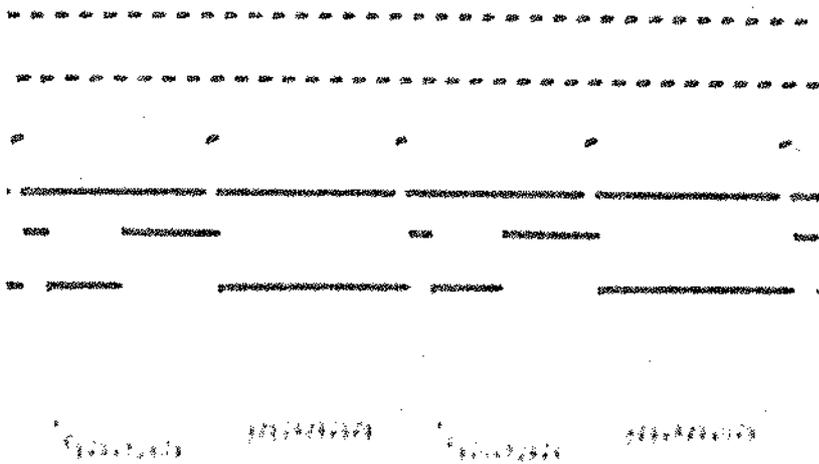
Cm

10011111/0 ...

G^+/G^-

Esc. 100 mV/cm

Figura 4.14 - Idem, G^+ e G^-



clock

Cm

10001111/0 ...

G^-/G^-

Esc. 100 mV/cm

Figura 4.15 - Idem, G^- e G^-

IV.4 - Conclusões

As medidas experimentais realizadas sobre os dois protótipos satisfizeram as exigências do projeto, sendo importante frisar a necessidade de rigor nos ajustes dos amplificadores operacionais.

O comportamento estático do sistema satisfaz às especificações e confirmou os estudos desenvolvidos no Capítulo III.

Os estudos do Capítulo III permitiram que se fixasse as tolerâncias dos resistores a um nível de 0,1% valor este muito superior ao presumido, o que permitiu o barateamento do Conversor.

O comportamento dinâmico do Conversor foi bastante satisfatório com um tempo de estabilização $< 1,5$ useg.

Os ruídos causados pelo chaveamento dos circuitos lógicos não causaram problemas pois foram totalmente atenuados pelos filtros da recepção.

APÊNDICE 1 - PROGRAMA EM LINGUAGEM FORTRAN

```

DIMENSION B(8),BB(8),R(21),ZDERP(21),DELTZ(128),ZF(128),DELIZP(12
*8),DELIZO(128),Z(128)
DO 18 I=2,8
18  B(I)=1.
    NCON=0
    VR=3.2
    READ(6,1800)DELTA
1800  FORMAT(F10.8)
    WRITE(15,1801)DELTA
1801  FORMAT(IX,7HDELTA =,F10.8)
DO 28 I=1,13
28  R(I)=5.
    R(14)=1.875
DO 48 I=15,20
48  R(I)=2.*=(I-15)*18.
    R(21)=18.
DO 88 N2=1,2
    BB(2)=B(2)
    B(2)=1.-B(2)
DO 98 N3=1,2
    BB(3)=B(3)
    B(3)=1.-B(3)
DO 98 N4=1,2
    BB(4)=B(4)
    B(4)=1.-B(4)
DO 98 N5=1,2
    B(5)=1.-B(5)
DO 98 N6=1,2
    B(6)=1.-B(6)
DO 98 N7=1,2
    B(7)=1.-B(7)
DO 98 N8=1,2
    B(8)=1.-B(8)
    NCON=NCON+1
    CALL ZFUNC(B,BB,R,VR,Z)
    ZF(NCON)=Z
    DELTZ(NCON)=0.
DO 200 J=1,21
    RTEMP=R(J)
    DELTAR=R(J)*DELTA
    R(J)=R(J)+DELTAR
    CALL ZFUNC(B,BB,R,VR,Z)
    Z(NCON)=Z
    R(J)=RTEMP
200  ZDERP(J)=(ZF(NCON)-ZF(NCON))/DELTAR
DO 201 J=1,21
201  DELIZ(NCON)=DELIZ(NCON)+ABS(ZDERP(J)*DELTAR)
    NCONX=NCON+1
    WRITE(16,202)NCONX,ZF(NCON),DELTZ(NCON),(ZDERP(J),J=1,21)
202  FORMAT(/IX,13,10X,F10.8,10X,F14.10,/(4X,11E11.3))
48  CONTINUE
C  PESAGEM DO DESVIO
DO 500 I=1,128
    IF(I-32)501,501,502
501  DELIZP(I)=DELIZ(I)*64.
    GO TO 500
502  IF(I-48)503,503,504
503  DELIZP(I)=DELIZ(I)*32.
    GO TO 500
504  IF(I-64)505,505,506

```

```

5.5 DELTZP(I)=DELIZ(I)*16.
GO TO 5.8
5.6 IF(I=57)GOTO 5.97,597,598
5.7 DELIZP(I)=DELIZ(I)*8.
GO TO 5.8
5.8 IF(I=88)GOTO 5.99,599,600
5.9 DELTZP(I)=DELIZ(I)*4.
GO TO 5.8
6.0 IF(I=112)GOTO 6.01,601,602
6.1 DELTZP(I)=DELIZ(I)*2.
GO TO 5.8
6.2 DELTZP(I)=DELIZ(I)
6.3 CONTINUE
C ORDEMacao CRESCENTE DOS DESVIOS PESADOS
DO 700 I=1,128
7.0 DELIZO(I)=DELIZP(I)
DO 701 I=1,128
DO 701 J=1,128
TEMPO=DELIZO(I)
IF(TEMPO-DELIZO(J))GOTO 7.01,701,703
7.01 DELIZO(I)=DELIZO(J)
DELIZO(J)=TEMPO
7.02 CONTINUE
DO 705 I=1,128
DO 705 J=1,128
IF(DELIZO(I)-DELIZP(J))GOTO 7.05,705,705
7.05 N(I)=I-1
CONTINUE
WRITE(16,1061)
FORNATI(/10X,1H*,7X,8HDELIZPES,19X,1H*,7X,8HDELIZPES,19X,1H*,7X,8
*HDELIZPES,19X,1H*,7X,8HDELIZPES,/)
DO 770 I=1,32
IX=I-1
IY=I+31
IZ=I+63
IV=I+95
7.70 WRITE(16,1060)IX,DELIZP(IX+1),IY,DELIZP(IY+1),IZ,DELIZP(IZ+1),IV,
*DELIZP(IV+1)
106. FORNATI(1X,110,5X,F10.5,10X,110,5X,F10.5,10X,110,5X,F10.6,10X,110,
*5X,F10.6)
WRITE(16,707)
7.71 FORNATI(/5X,1H*,4X,1H*,7X,8HDELIZORD,14X,1H*,4X,1H*,7X,8HDELIZORD
*,14X,1H*,4X,1H*,7X,8HDELIZORD,14X,1H*,4X,1H*,7X,8HDELIZORD,/)
DO 708 I=1,32
IX=I-1
IY=I+31
IZ=I+63
IV=I+95
7.72 WRITE(16,800)IX,S(IX+1),DELIZO(IX+1),IY,S(IY+1),DELIZO(IY+1),IZ,S
*(IZ+1),DELIZO(IZ+1),IV,S(IV+1),DELIZO(IV+1)
8.00 FORNATI(1X,215,5X,F10.6,10X,215,5X,F10.6,10X,215,5X,F10.6,10X,215,
*5X,F10.6)
CALL EXIT
END
C SUBROTINA
SUBROUTINE ZFUNCO(B,BN,R,VR,Z)
DIMENSION H(8),N*(8),R(21),Z1R(7),Z2R(7),ATR(7),ZPT(7),AI(7),P(7)
A=B(2)+B(3)+B(4)
IF(A=1.)11,12,12
11 A=B.

```

```

GO TO 13
12  A=1.
13  D=A/R(15)+1./R(25)
    DO 38 I=2,5
38  D=D+B(I+3)/R(I+14)
    Y=R(21)+YR*D
    Z1R(7)=R(15)
    Z2R(1)=R(1)+R(2)
    ATR(1)=1.
    ATR(2)=R(1)/Z2R(1)
    DO 58 I=1,5
    IK7=7-I
    IK8=8-I
    IK14=14-I
    Z1R(IK7)=(Z1R(IK8)+R(IK8))*2./R(IK14)/(Z1R(IK8)+R(IK8)+2./R(IK14))
    Z2R(I+1)=R(I+2)+(Z2R(I)*2./R(I+8))/(Z2R(I)+2./R(I+8))
58  ATR(I+2)=(1.-R(I+2)/Z2R(I+1))*ATR(I+1)
    Z1R(1)=(Z1R(2)+R(2))*R(1)/(Z1R(2)+R(2)+R(1))
    ZPT(1)=Z1R(1)
    DO 68 I=1,6
68  ZPT(I+1)=Z1R(I+1)*Z2R(I)/(Z1R(I+1)+Z2R(I))
    DO 78 I=1,7
78  AI(I)=(ZPT(I)/(R(14)+ZPT(I)))*ATR(I)
    P(1)=B(2)*B(3)*B(4)
    P(2)=B(2)*B(3)*B(4)
    P(3)=B(2)*B(3)*B(4)
    P(4)=B(2)*B(3)*B(4)
    P(5)=B(2)*B(3)*B(4)
    P(6)=B(2)*B(3)*B(4)
    P(7)=B(2)*B(3)
    SOMA=0.
    DO 88 I=1,7
88  SOMA=SOMA+P(I)*AI(I)
98  Z=SOMA*Y
    RETURN
END

```

APÊNDICE 2 - PROVAS DAS PROPOSIÇÕES DO CAPÍTULO III

PROPOSIÇÃO 1

O ponto nominal de parâmetros está contido na região de aceitação para qualquer $\underline{\epsilon}$ tal que $\epsilon_i \geq 0$, $i = 1, 2, \dots, m$; ou seja, $\underline{x}^0 \in R_A(\underline{\epsilon})$.

PROVA

Tem-se que $\underline{\Delta y} = \underline{f}(\underline{x}) - \underline{f}(\underline{x}^0)$

$$\underline{\Delta y}(\underline{x}^0) = \underline{f}(\underline{x}^0) - \underline{f}(\underline{x}^0) = \underline{0}$$

Por outro lado:

$$R_A(\underline{\epsilon}) = \left\{ \begin{array}{l} \underline{\Delta x} \\ \underline{x}^0 \end{array} \middle/ \underline{\Delta y}(\underline{\Delta x}) \leq \underline{\epsilon} \right\}$$

Como $\underline{\epsilon} \geq \underline{0}$ e $\underline{\Delta y}(\underline{x}^0) = \underline{0} \rightarrow \underline{\Delta x}^0 = \underline{0} \in R_A(\underline{\epsilon})$ c.q.d.

PROPOSIÇÃO 2

O ponto nominal \underline{x}^0 está contido na região de possibilidade para qualquer $\underline{\Delta x}^* \geq \underline{0}$, ou seja, $\underline{x}^0 \in R_p(\underline{\Delta x}^*)$.

PROVA

Como $\underline{\Delta x}^0 = \underline{x}^0 - \underline{x}^0 = \underline{0}$ e

$$R_p(\underline{\Delta x}^*) = \left\{ \begin{array}{l} \underline{\Delta x} \\ \underline{x}^0 \end{array} \middle/ \underline{\Delta x} \leq \underline{\Delta x}^* \right\}$$

Tem-se que $\underline{\Delta x}^0 \in R_p(\underline{\Delta x}^*)$ c.q.d.

PROPOSIÇÃO 3

... Dado um vetor restrição $\underline{\varepsilon} > \underline{0}$, e uma matriz $A_{m \times n}$ o conjunto ...
... $R_A(\underline{\varepsilon}) = \left\{ \underline{\Delta x} \mid \underline{x}^0 / A \cdot \underline{\Delta x} \leq \underline{\varepsilon} \right\}$ é um conjunto convexo.

PROVA

$$A = (a_{iJ})_{m \times n}$$

$$A \cdot \underline{\Delta x} \leq \underline{\varepsilon} \iff \left| \sum_{J=1}^n a_{iJ} \cdot \Delta x_J \right| \leq \varepsilon_i$$

$$i = 1, \dots, m$$

$$\text{Sejam } B_i = \left\{ \underline{\Delta x} \mid \underline{x}^0 / \left| \sum a_{iJ} \cdot \Delta x_J \right| < \varepsilon_i \right\}$$
$$i = 1, \dots, m$$

É óbvio que:

$$(1) \quad R_A(\underline{\varepsilon}) = \bigcap_{i=1}^m B_i$$

(2) Se B_i , $i = 1, \dots, m$ é convexo, então $R_A(\underline{\varepsilon})$ é convexo.

PROVA DE QUE B_i É CONVEXO:

Sejam $\underline{\Delta x}^1$ e $\underline{\Delta x}^2 \in B_i$ e seja

$$\underline{\Delta x} = \lambda \cdot \underline{\Delta x}^1 + (1 - \lambda) \underline{\Delta x}^2 \quad \text{com } 0 \leq \lambda \leq 1$$

temos que:

$$\left| \sum_J a_{iJ} \cdot \Delta x_J \right| = \left| \sum a_{iJ} \cdot \left[\lambda \cdot \Delta x_{JJ}^1 + (1 - \lambda) \Delta x_J^2 \right] \right| =$$

$$\leq \left| \lambda \sum a_{iJ} \cdot \Delta x_J^1 \right| + (1 - \lambda) \left| \sum a_{iJ} \cdot \Delta x_J^2 \right| < \lambda \epsilon_i +$$

$$+ (1 - \lambda) \epsilon_i \therefore \left| \sum a_{iJ} \cdot \Delta x_J \right| \leq \epsilon_i, \text{ ou seja,}$$

$\underline{\Delta x} \in B_i \therefore B_i$ é convexo para $i = 1, \dots, m$

c. q. d.

PROPOSIÇÃO 4

Para um dado $\Delta > 0$ e uma função $y_i = P_i(\underline{x})$, tal que

$$\Delta y_i = \left\langle \nabla f_i(\underline{x}^0), \underline{\Delta x} \right\rangle_{\underline{x}^0}, \text{ tem-se}$$

(1) O valor de $|\Delta y_i|$ em seu pior caso simétrico é:

$$\left| \Delta y_i \right|_{\text{máx.}} = \Delta \cdot \sum_{J=1}^n \left| \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \right|$$

(2) A identificação do pior caso simétrico é dada por

$$(a_1, \dots, a_n)^T \text{ onde } a_J = \text{sign} \left[\frac{\partial f_i(\underline{x}^0)}{\partial x_J} \right] \quad J = 1, \dots, n$$

PROVA

$$\Delta y_i = \left\langle \nabla f_i(\underline{x}^0), \Delta \underline{x} \right\rangle_{\underline{x}^0} = \sum_{J=1}^n \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \cdot \Delta x_J$$

Para uma possível (tem 2^n) direção de pior caso simétrico, tem-se:

$$\Delta \underline{x} = \Delta \cdot (a_1, \dots, a_n)^T \text{ com } a_J \in \{-1, +1\}, J = 1, \dots, n$$

$$\therefore \Delta y_i = \Delta \sum_{J=1}^n \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \cdot a_J$$

$$\left| \Delta y_i \right| = \Delta \left| \sum_{J=1}^n \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \cdot a_J \right|$$

$$\left| \Delta y_i \right| \leq \Delta \sum_{J=1}^n \left| \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \right| \quad \text{onde a igualdade ocorre para}$$

$$a_J = \text{sign} \left(\frac{\partial f_i(\underline{x}^0)}{\partial x_J} \right) \quad J = 1, \dots, n$$

$$\text{e } \therefore \left| \Delta y_i \right|_{\max} = \Delta \cdot \sum_{J=1}^n \left| \frac{\partial f_i(\underline{x}^0)}{\partial x_J} \right| \quad \text{c. q. d.}$$

PROPOSIÇÃO 5

Seja $R_A(\underline{\epsilon})$ a região de aceitabilidade de um sistema. Se y_i, ϵ_i é o caso crítico de $R_A(\underline{\epsilon})$ e se

$$\Delta_i = \frac{\epsilon_i}{\sum_{J=1}^n \frac{\partial f_i(\underline{x}^0)}{\partial x_J}}, \quad \text{então}$$

$R_p(\Delta_i) \subset R_A(\underline{\epsilon})$, ou seja, Δ_i é uma solução.

PROVA

$$R_p(\Delta) \subset R_A(\underline{\epsilon}) \iff A \cdot \Delta \begin{pmatrix} a_1 \\ \vdots \\ a_n \end{pmatrix} \leq \underline{\epsilon}$$

Para $\Delta = (a_1, \dots, a_n)^T$ com $a_J \in \{-1, +1\}$, $J = 1, \dots, n$

$$A \cdot \Delta_i \begin{pmatrix} a_1 \\ \vdots \\ a_n \end{pmatrix} = \begin{pmatrix} b_1 \\ \vdots \\ b_n \end{pmatrix} \quad \text{com}$$

$$b_k = \sum_{J=1}^n \frac{\partial f_k(\underline{x}^0)}{\partial x_J} \cdot \Delta_i \cdot a_J$$

Precisamos mostrar que $(b_1 \dots b_n)^T \leq \underline{\epsilon}$ ou que $|b_k| \leq \epsilon_k$ para $k = 1, \dots, n$.

Nos temos que

$$\left| b_k \right| = \left| \sum_J \frac{\partial f_k}{\partial x_J} \Delta_i \cdot a_J \right| \leq \Delta_i \sum_J \left| \frac{\partial f_k}{\partial x_J} \right|$$

mas

$$\Delta_i = \frac{\varepsilon_i}{\sum_J \left| \frac{\partial f_i}{\partial x_J} \right|} \quad \therefore$$

$$\left| b_k \right| \leq \varepsilon_i \cdot \frac{\sum_J \left| \frac{\partial f_k}{\partial x_J} \right|}{\sum_J \left| \frac{\partial f_i}{\partial x_J} \right|}; \quad \text{por outro lado temos}$$

$$\frac{\sum_J \left| \frac{\partial f_k}{\partial x_J} \right|}{\sum_J \left| \frac{\partial f_i}{\partial x_J} \right|} = \frac{\Delta_{yk}^* (\Delta)}{\Delta_{yi}^* (\Delta)} = \frac{P_k \cdot \varepsilon_k}{P_i \cdot \varepsilon_i} \quad \therefore$$

$$\left| b_k \right| \leq \varepsilon_i \cdot \frac{P_k \varepsilon_k}{P_i \varepsilon_i} = \frac{P_k}{P_i} \varepsilon_k$$

mas $P_k/P_i \leq 1$, pois i é o caso crítico \therefore

$$\left| b_k \right| \leq \varepsilon_k \quad \text{para } k = 1, \dots, n \quad \text{ou seja,}$$

$$R_p(\Delta_i) \subset R_A(\underline{\varepsilon})$$

c. q. d.

PROPOSIÇÃO 6

Nas condições da proposição 5, temos:

$$\Delta_i = \Delta^*, \quad \text{ou seja, } \Delta_i \text{ é a solução ótima.}$$

PROVA

$$\text{Vamos supor que } \Delta^* > \Delta_i \rightarrow \Delta_{y_i}^*(\Delta^*) >$$

$$> \Delta_{y_i}^*(\Delta_i) = \varepsilon_i, \text{ pois}$$

$$\Delta_{y_i}^*(\Delta) = \Delta \cdot \sum \left| \frac{\partial f_i}{\partial x_j} \right|, \text{ o que é um absurdo, pois}$$

$$R_p(\Delta^*) \subset R_A(\underline{\varepsilon}).$$

Vamos supor que $\Delta^* < \Delta_i$; mas $R_p(\Delta_i) \subset R_A(\underline{\varepsilon})$, o que é um absurdo,

$$\text{pois } \Delta^* = \max \{ \Delta \} \quad R_p(\Delta) \subset R_A(\underline{\varepsilon});$$

$$\text{Logo temos que } \Delta_i = \Delta^*$$

c. q. d.

REFERÊNCIAS

- 1) Yin, Kin Kwei, Rege R. Scarabucci, "Projeto de um CODEC Não Linear para Sistema Multiplex MCP de 30 Canais Telefônicos", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-03, Março de 1974.
- 2) Yano, Yuzo, "Codificador Não Linear Sequencial para Sistema Multiplex MCP de 30 Canais Telefônicos", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-13, Dezembro de 1974.
- 3) Lopes, A., H. Waldman, H. D. Romano, "Equalização de Pulsos de Sinais MCP de Telefonia Transmítidos Através de Cabos-Tronco", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-08, Julho de 1974.
- 4) Vermeersch, A.H.A., Rege R. Scarabucci, "Controle e Sincronismo no Terminal Receptor de um Sistema MCP de 30 Canais", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-06, Junho de 1974.
- 5) Waldman, H., W. C. Borelli, S. Motoyama, "Extração do Tempo em Repetidores Regenerativos", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-09, Julho de 1974.
- 6) Scarabucci, R.R., "Ruído de Quantização em Sistemas de MCP", Departamento de Eletrônica & Comunicações da Faculdade de Engenharia de Campinas, RT-02, 1974.
- 7) Recomendações da CCITT, Genebra, 1972.
- 8) Klin, George J. "Introduction to the Methodology of Switching Circuits", D. Van Nostrand Company, 1972.
- 9) Hoeschele Jr., David F., "Analog-to-Digital/Digital-to-Analog Conversion Techniques", J. Wiley & Sons Inc., 1968.
- 10) Karafin, B.J., "The Optimum Assignment of Component Tolerances for Electrical Networks", The Bell System Technical Journal, April 1971.