

Campinas, 1992.

## TESE

preparada no

**Laboratório de Eletrônica e Dispositivos - LED  
da Faculdade de Engenharia Elétrica da UNICAMP**

visando a obtenção

**do Título de Mestre em Engenharia Elétrica FEE/UNICAMP**

Especialidade: Eletrônica

por

**Homero Luz Guimarães**

Engenheiro Elétrico

---

# CONVERSOR ANALÓGICO DIGITAL ALGORÍTMICO DE ALTA VELOCIDADE EM TECNOLOGIA BIPOLAR

---

Banca Examinadora:

Prof. Dr. José Antonio Siqueira Dias (Orientador) - LED/DEMIC/FEE/UNICAMP.

Prof. Dr. Yuzo Yano - DECOM/FEE/UNICAMP.

Prof. Dr. Nobuo Oki - DEE/UNESP - Ilha Solteira.

Este exemplar corresponde à relação final da te.  
defendida por Homero Luz Guimarães

..... pela Comissão

Julgadora em .....

José Antonio Siqueira Dias  
Orientador

"Melhor é o fim das cousas do que o princípio delas"

Eclesiastes, Capítulo 7, Vs. 8

À minha esposa Noemi,

pelo seu apoio e carinho, sem os quais esta tese demoraria bem mais.

## **Agradecimentos**

- . Ao diretor de Tecnologia da Vértice Sistemas Integrados - VSI - Eng. Armando Gomes da Silva Jr., por ter gentilmente concedido tempo para ter me dedicado à esta tese;
- . Aos colegas da VSI pelo apoio recebido, e em particular ao técnico em layout Renato Galavotti, pelo auxílio no layout do protótipo e na confecção das figuras deste trabalho;
- . Ao Eng. Vilela da SID Microeletrônica (Contagem, MG) pelo auxílio fornecido durante a fabricação dos protótipos;
- . Ao Prof. Dr. Alberto Martins Jorge do LED/DEMIC, pelas proveitosas discussões e sugestões;
- . Aos funcionários da secretaria do LED, em especial à desenhista Márcia, por alguns dos desenhos dos capítulos 4 e 5;
- . Ao meu orientador, Prof. Dr. José Antonio Siqueira Dias, não só pelos ensinamentos técnicos, como também pela consciência profissional adquirida por este trabalho.

## RESUMO

Neste trabalho apresentamos uma nova técnica de conversão analógico-digital de alta velocidade, que usa processamento em corrente, ao invés de tensão. Este conversor usa um algoritmo baseado no chaveamento de correntes de uma forma híbrida entre o método de aproximação sucessiva e o conversor tipo "flash", sendo necessários apenas  $N$  comparadores para implementar um conversor A/D de  $N$  bits, no lugar dos  $2^N$  comparadores usuais usados em um conversor do tipo "flash" convencional.

O trabalho está dividido em 5 capítulos:

- . No primeiro apresentamos uma revisão sucinta dos métodos usuais de conversão A/D de alta velocidade;
- . No segundo introduzimos o algoritmo empregado, a nova estrutura proposta para implementá-lo e também fazemos uma análise dos erros que afetam o projeto do conversor A/D;
- . No terceiro capítulo é apresentado o projeto de um circuito integrado, em tecnologia bipolar, de um conversor A/D de 6 bits, visando aplicações em vídeo;
- . No quarto capítulo apresentamos o projeto de um conversor A/D de 4 bits experimental, que foi integrado, em tecnologia bipolar, na SID Microeletrônica, no I PMU Bipolar;
- . Finalmente, no quinto capítulo relatamos os resultados experimentais obtidos.

As medidas feitas nos vários blocos do circuito revelaram a viabilidade de operação do conversor com frequências da ordem de 20 MHz, usando um processo bipolar convencional, isolado por junções. Esta velocidade de conversão pode ser bem maior caso se use um processo bipolar moderno, isolado por óxido e com transistores de alta velocidade, que possuem  $f_t$  cerca de 60 vezes maior do que o dos transistores usados na fabricação do protótipo, que era de aproximadamente 300 MHz.

## ABSTRACT

A new current-mode high speed Analog-to-Digital conversion technique is presented. This converter uses an algorithm based on current switching, similar to the Successive Approximation Converter, but with a conversion speed comparable to the flash converter. Only  $N$  comparators are necessary to implement a  $N$ -bit converter, instead of the  $2^N$  comparators used in a standard flash converter.

This thesis is composed of five chapters:

- . In the first chapter we present a concise revision of some architectures for high speed A/D conversion;
- . In the seconde chapter we introduce the algorithm and the new proposed architecture. An error analysis of the parameters that play an important role in the design of the converter;
- . In the third one we present the design of an integrated 6-bit high speed A/D converter for video applications;
- . The fourth chapter is dedicated to the design of a experimental 4-bit A/D converter IC. The Ic was fabricated by SID Microeletrônica, in the I Brazilian Multi-Project Chip (I PMU);
- . In the fifth chapter we present and discuss the experimental results measured in the IC.

The experimental results measured in the integrated circuit shows that the proposed technique can convert signals with frequencies up to 20 MHz using a standard junction isolated bipolar process. This frequency can be much greater if one uses an up-to-date high speed bipolar process, which have transistors with  $f_t$  typically near 60 times larger than those available in the process used to fabricate the prototype (about 300 MHz).

## ÍNDICE

|  |      |
|--|------|
| 1. Conversores A/D Rápidos.  |      |
| 1.1 Características de um conversor A/D  | 1.1  |
| 1.2 Técnicas de conversão A/D rápidas usuais                                       | 1.8  |
| 2. Técnicas de Conversão   |      |
| 2.1 O algoritmo básico   | 2.1  |
| 2.2 Nova arquitetura proposta  | 2.3  |
| 2.3 Chaves de corrente   | 2.4  |
| 2.4 Comparadores de corrente   | 2.6  |
| 2.5 Geração de correntes binárias  | 2.10 |
| 3. Projeto de um Conversor Experimental de 6 bits                                  |      |
| 3.1 Considerações iniciais   | 3.1  |
| 3.2 Arquitetura  | 3.1  |
| 3.3 Projeto do comparador  | 3.2  |
| 3.4 Projeto das fontes de corrente (binárias e de referência) e chaves de corrente | 3.8  |
| 3.5 Características do conversor simulado  | 3.11 |
| 4. Implementação de um Conversor A/D de 4 Bits                                     |      |
| 4.1 Circuito   | 4.1  |
| 4.2 Características do conversor simulado  | 4.3  |
| 4.3 Layout do conversor  | 4.6  |
| 5. Resultados Experimentais e Conclusões   |      |
| 5.1 Teste dos protótipos   | 5.1  |
| 5.2 Medidas realizadas   | 5.2  |
| 5.3 Conclusões   | 5.7  |
| Apêndice 1 - Dedução do Ganho do Comparador  | 5.8  |
| Referências Bibliográficas   | 5.11 |

## Conversores A/D Rápidos

## 1.1 - Características de um Conversor A/D

A função de um Conversor A/D é converter uma grandeza analógica, tal como tensão ou corrente, em uma palavra digital. A figura 1.1.1 mostra um diagrama em blocos simplificado de um Conversor A/D. Eles podem ser considerados como dispositivos codificadores, pois a grandeza analógica é convertida numa palavra digital de comprimento fixo. A saída de um conversor A/D pode ser no formato série ou no formato paralelo. No formato série, a informação digital é transmitida serialmente, ou seja, um bit por vez, começando com o bit mais significativo (MSB, do inglês) até o LSB. No formato paralelo, a saída digital é uma palavra binária em N pinos de saída, cada pino correspondendo a 1 bit da palavra digital. Em quase todas as aplicações, saídas paralelas são preferidas às seriais por razões de velocidade na manipulação dos dados.

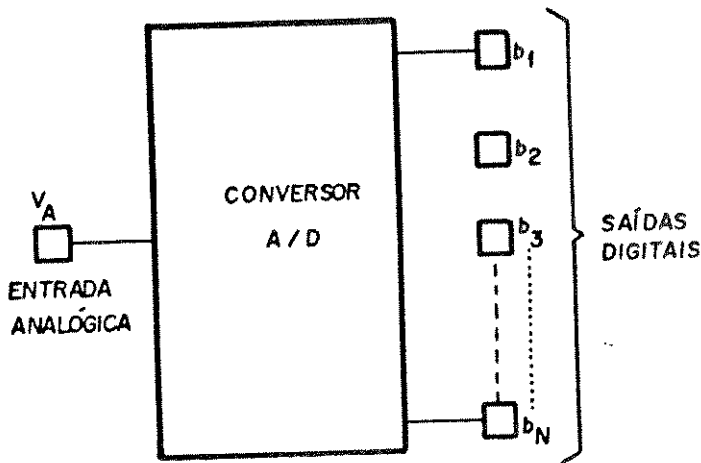


Figura 1.1.1 - Diagrama simplificado de um conversor A/D com saída paralela.

Em muitas aplicações, Conversores A/D são usados em conjunto com circuitos auxiliares de suporte e/ou interface para expandir seus recursos. A figura 1.1.2 ilustra o diagrama em blocos do sistema completo. Um único conversor pode ser usado para servir uma grande quantidade de canais diferentes, através do uso de multiplexação na entrada. Em alguns casos, para evitar que o sinal de entrada analógico sofra mudanças durante o processo de conversão, um amostrador (sample-and-hold) é colocado na entrada do conversor. Como o nome já indica este bloco amostra o sinal e o "congela" na entrada do conversor durante todo o período de conversão.

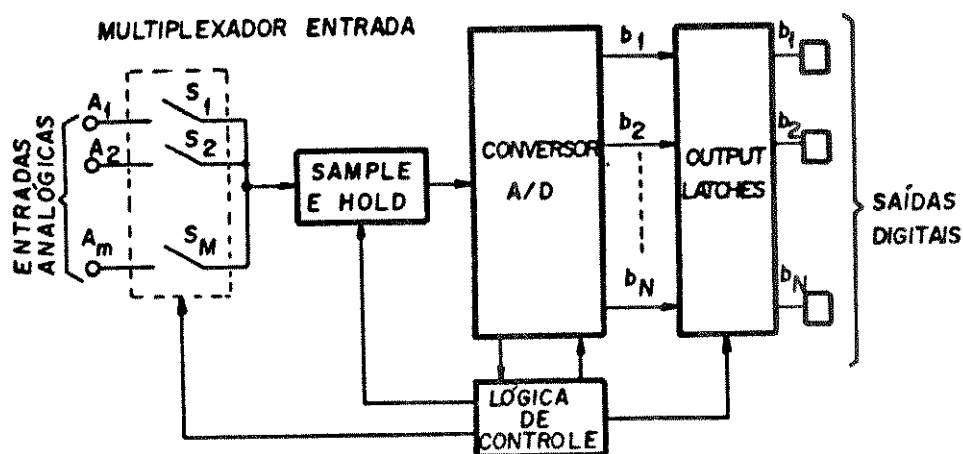


Figura 1.1.2 - Diagrama em blocos de um sistema conversor A/D

Como, em algumas aplicações, a saída do conversor A/D tem que se comunicar com o barramento de dados de um microprocessador, torna-se necessária a inclusão de um conjunto de "latches" na saída do conversor A/D (vide figura 1.1.2), de modo a servir de "buffer" para as saídas, armazenando o resultado da conversão anterior enquanto a conversão da próxima amostra está se processando. Um sistema de conversão A/D completo também requer uma quantidade significativa de lógica de controle para gerenciar o fim do ciclo de conversão, o acionamento dos "latches", o "Sample-hold" e o circuito multiplicador.

Como já foi dito, o conversor A/D aproxima uma grandeza analógica por uma palavra binária em relação a uma tensão de referência (fundo de escala)  $V_{fs}$ . Assim, a saída do conversor corresponde a uma palavra digital de N bits D dada por:

$$D = \frac{V_A}{V_{fs}} = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n}$$

onde  $b_1, b_2 \dots b_n$  são os coeficientes binários de saída, tendo um valor 0 ou 1. Esses coeficientes podem ser obtidos de modo paralelo ou serial. No caso serial, o coeficiente  $b_1$ , correspondente ao MSB, é calculado e enviado em primeiro lugar; a seguir os demais bits, até  $b_n$  (bit menos significativo - LSB).

A figura 1.1.3 mostra a função de transferência ideal de um conversor A/D. Para exemplificar, foi usado um conversor de 3 bits simples. Entretanto, todas as definições e características se aplicam a conversores A/D de qualquer tamanho de palavra. A função de transferência é descontínua, e não tem uma correspondência biunívoca entre a entrada analógica e a saída digital. Ao invés disso, a saída é "quantizada" em relação à entrada analógica. Como resultado, cada código de saída corresponde a uma faixa  $\Delta V_o$  de valores analógicos na entrada. Um conversor A/D de N bits tem  $2^n$  palavras de saída possíveis e  $2^n - 1$  transições entre estas saídas, quando a entrada analógica varia de 0 ao fundo de escala (FS).



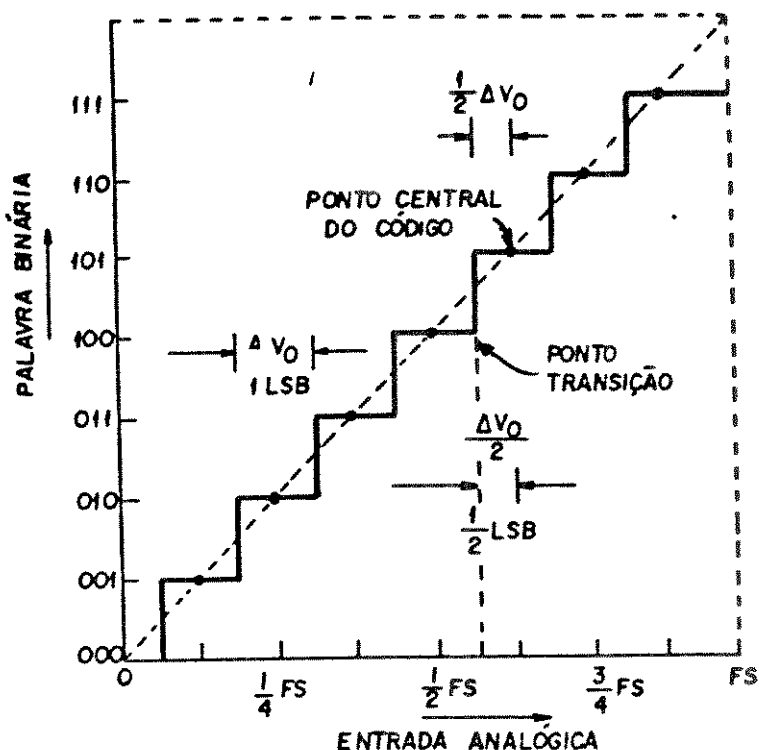


Figura 1.1.3 - Função de transferência ideal.

O menor degrau quantizado ( $\Delta V_0$ ) entre dois códigos binários distintos na saída corresponde a 1 LSB,

$$\Delta V_0 = 1 \text{ LSB} = V_{fs} / 2^n$$

e é a menor variação do sinal de entrada que o Conversor pode reproduzir.

A função de transferência de um Conversor A/D termina 1 LSB antes do valor da tensão de referência fundo de escala ( $V_{fs}$ ). Isto ocorre porque o zero analógico é um dos  $2^n$  estados de saída, restando apenas  $2^n - 1$  estados para os valores acima de zero. Entretanto, por razões de simplicidade, a faixa analógica é sempre definida como o valor da tensão nominal de fundo de escala ( $V_{fs}$ ), ao invés de seu valor real (1 LSB menor).

Em um Conversor A/D ideal, a função de transferência tem o seu ponto central do código (vide figura 1.1.3) localizado num nível analógico perfeitamente correspondente ao código binário específico, e as transições de código ocorrem a  $\pm 1/2$  LSB desse ponto central.

Um Conversor A/D ideal já apresenta um erro intrínseco associado ao próprio processo de conversão: a quantização. Assim, o conversor ideal da figura 1.1.3 não consegue distinguir dois sinais analógicos diferentes entre si de menos de  $\Delta V_0$ , e a sua saída, em qualquer ponto, poderá ter um erro de no máximo  $\pm 1/2 \Delta V_0$  ( $\pm 1/2$  LSB). Este efeito é chamado de erro de quantização, ou ruído de quantização.

A figura 1.1.4 ilustra a presença do ruído de quantização no processo de Conversão A/D. A figura 1.1.4.a mostra um experimento hipotético, onde um sinal analógico é primeiro quantizado por um conversor A/D ideal de N bits e depois convertido de volta para

analgico por um conversor D/A ideal de N bits. A incerteza no processo de conversão A/D produz uma tensão finita de erro  $V_e(t)$ , aparecendo como diferença entre o sinal real e o reconstruído. Se o sinal de entrada for uma rampa, a saída será uma escada com  $2^N$  degraus. A diferença entre os dois sinais corresponderia a uma forma de onda triangular de incerteza na quantização ou um sinal de ruído, mostrado na figura 1.1.4.b. Esta forma de onda triangular tem o valor pico-a-pico de 1 LSB.

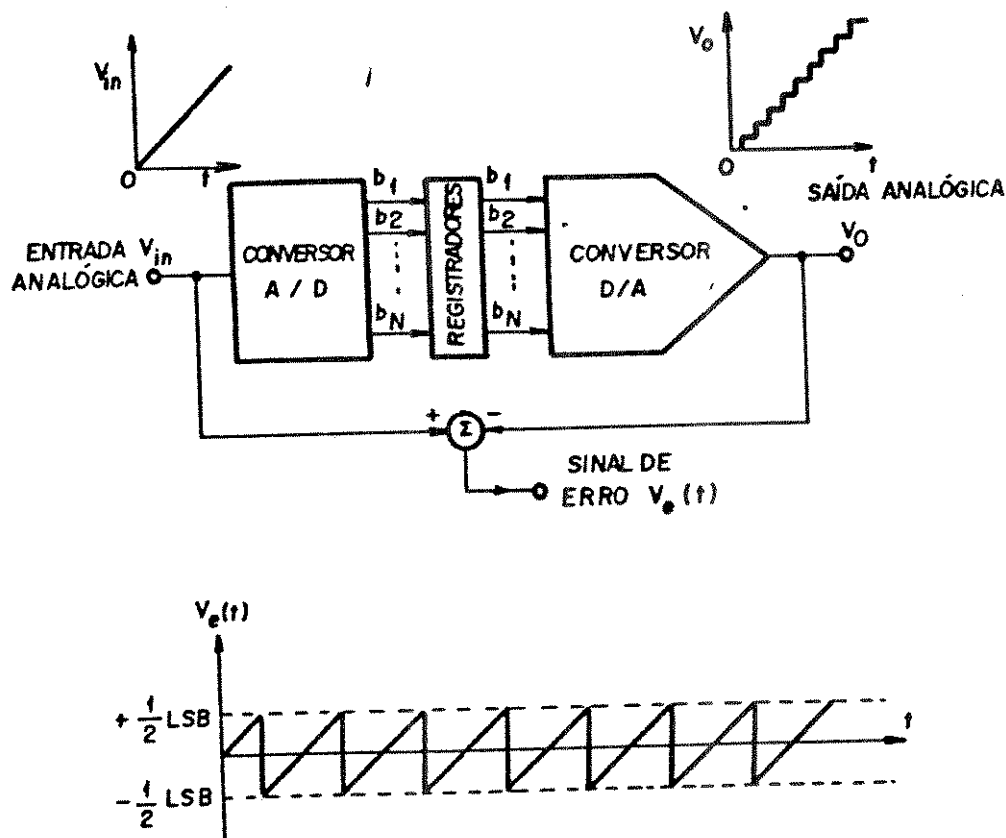


Figura 1.1.4 (a) e (b) - Ruído de quantização

Como é o caso com a maioria das fontes de ruído, o seu valor médio é zero, o seu valor RMS, porém, pode ser determinado da forma de onda triangular como:

$$E_N \text{ (RMS)} = \Delta V_o / \sqrt{12} = V_{FS} / (2^N \cdot \sqrt{12})$$

Como o ruído de quantização é proporcional a  $\Delta V_o$ , ele diminui de um fator 2 (6 dB) para cada bit de resolução acrescentado.

A faixa dinâmica de um Conversor A/D é a razão do maior para o menor sinal analógico que ele pode aceitar. O maior sinal é, obviamente, igual ao valor do fundo de escala  $V_{FS}$ , e o menor sinal que pode ser quantizado é 1 LSB. Assim, a faixa dinâmica pode ser expressa como:

$$\text{faixa dinâmica} = \frac{V_{FS}}{\Delta V_o} = 2^N$$

e é geralmente expressa em decibéis (dB). A faixa dinâmica aumenta de 6 para cada bit de resolução acrescentado.

Todo o processo de conversão A/D requer um tempo finito para realizar a conversão, devido aos atrasos de chaveamento ("Settling times") dos comparadores e outros fatores. Assim, a taxa de conversão de um sistema (número de amostras por segundo) é determinado pelo projeto

do circuito. O tempo de conversão  $T_x$  requerido para completar um ciclo de conversão é chamado tempo de abertura (aperture time) do conversor. Assim, por exemplo, um conversor A/D capaz de efetivar 2.000 conversões por segundo tem um "aperture time" de 500  $\mu$ s. Se o sinal analógico varia com o tempo, a existência desse tempo finito produz uma imprecisão adicional no sinal binário codificado. Esta imprecisão é chamada de erro de abertura (aperture error).

Como exemplo, imaginaremos que a entrada é uma senóide de frequência  $f$  e a amplitude  $A$ :

$$V_s(t) = A \text{ Sen } (2 \cdot \pi \cdot f \cdot t)$$

que tem a sua máxima inclinação (máxima taxa de variação) no ponto de cruzamento com o zero de tensão. Temos neste ponto:

$$\frac{d V_s}{dt} \max = 2 A \pi f$$

Se supusermos que o sinal tenha esta variação durante o tempo de abertura  $T_x$  (o que é um pior caso), o erro de abertura seria dado por:

$$\Delta V_N = 2 \pi f \cdot A \cdot T_x$$

Se um conversor A/D com resolução de  $N$  bits é desejado, o máximo erro de abertura não poderá exceder 1 LSB. Isto implica que o máximo tempo de abertura que o conversor A/D de  $N$  bits pode ter será:

$$T_x = \frac{\Delta V_N}{2A} \cdot \frac{1}{\pi \cdot f} = \frac{1}{2^N} \cdot \frac{1}{\pi \cdot f}$$

Os conceitos de tempo de abertura e erro de abertura estão graficamente ilustrados na fig. 1.1.5.

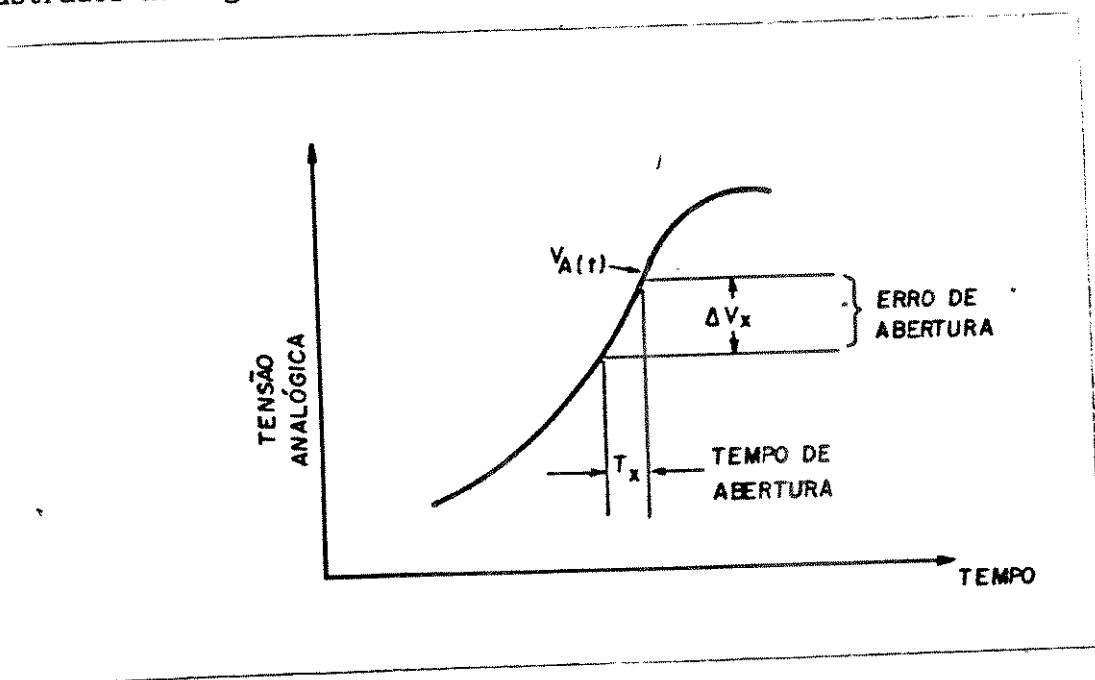


Figura 1.1.5 - Erro de Abertura

Da equação acima conclui-se que, para digitalizar um sinal de 1KHz com 10 bits de resolução, seria necessário um tempo de abertura de no máximo 320 ns, o que é extremamente difícil de obter. Assim, este problema é resolvido usando-se um circuito "Sample e Hold" na entrada do conversor, quando se está trabalhando com sinais com componentes de frequências altas.

Mesmo com o uso de "Sample-and-Hold" na entrada, um outro limite imposto à taxa de conversão é dado pela taxa de Nyquist: a frequência de amostragem do sinal de entrada deve ser, no mínimo, o dobro da componente de maior frequência deste sinal.

Conversores A/D reais possuem várias fontes de erro adicionais, devido às características não ideais e descasamento dos dispositivos ativos e passivos. Os erros mais comuns são:

- Offset
- Ganho
- Linearidade
- Linearidade diferencial

Os efeitos de cada um destes erros na curva de transferência do conversor estão ilustrados nas figuras 1.1.6, 1.1.7 e 1.1.8 (considerando-se um conversor de 3 bits). Num conversor real, todos estes erros se sobrepõem, para formar a curva final.

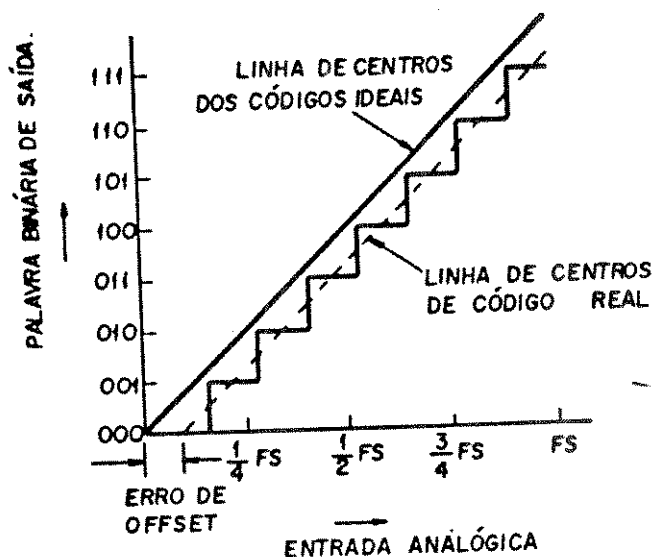


Figura 1.1.6. - Erro de Offset

O erro de offset é definido como o valor do qual a linha central dos códigos está deslocada da origem da curva de transferência (fig.1.1.6). A linha central dos códigos é uma linha hipotética que consta os pontos centrais de cada um dos patamares dos códigos binários. De modo análogo, o erro de ganho é definido como a diferença na inclinação entre a linha central dos códigos ideal e a medida no conversor (fig. 1.1.7). Na prática, é mais fácil medir as posições entre

os códigos sucessivos do que os pontos centrais. Assim, o erro de offset é redefinido como a quantidade da qual a primeira transição difere do valor  $+ 1/2$  LSB. De modo similar, o erro de ganho é medido como a diferença entre a primeira e a última transição da curva de transferência. Idealmente, esta diferença vale  $V_{FS} - 2$  LSB, e qualquer desvio deste valor será devido ao erro de ganho.

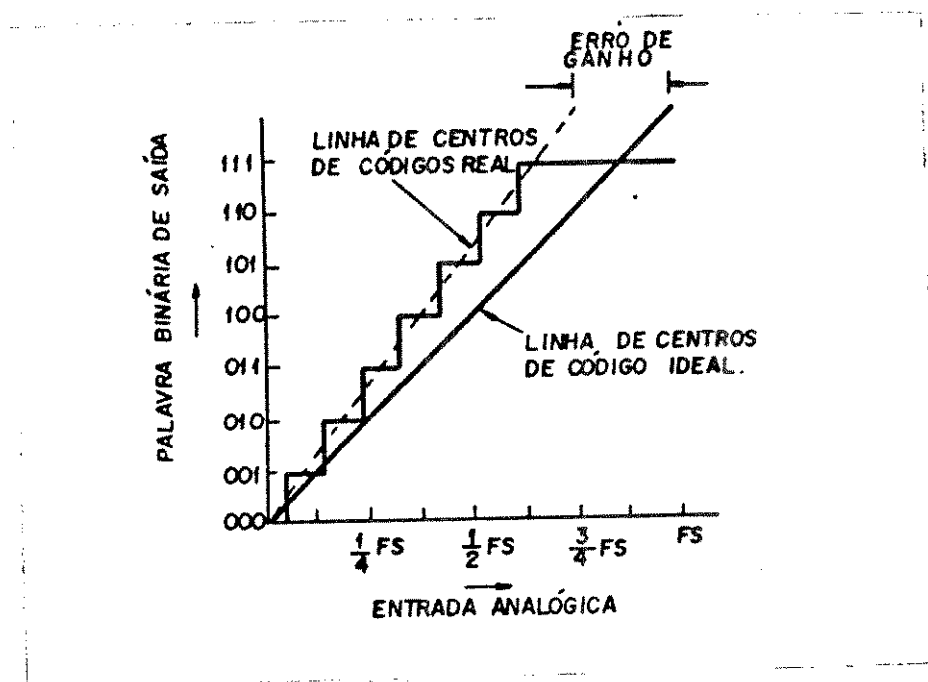


Figura 1.1.7 - Erro de Ganho

O erro de linearidade indica a curvatura da linha central de códigos, em relação a uma reta imaginária ligando os pontos extremos da curva de transferência (entre zero e  $V_{FS}$ ). Este valor é expresso ou como uma porcentagem de  $V_{FS}$  ou como uma fração do LSB. A fig. 1.1.8 mostra o efeito do erro de linearidade na curva de um conversor A/D. Este tipo de erro é chamado de erro de não-linearidade integral, para distingui-lo do erro de não-linearidade diferencial.

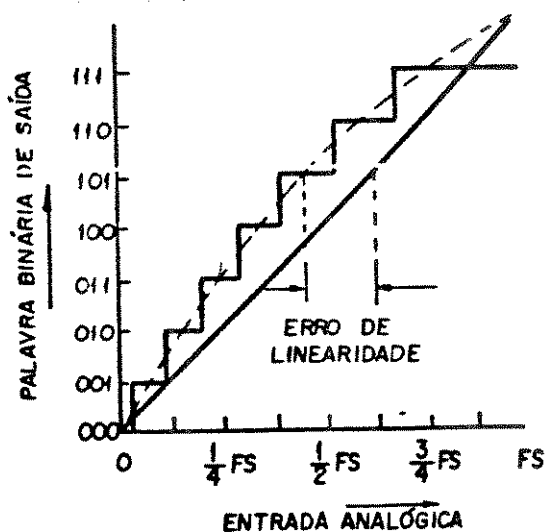


Figura 1.1.8 - Erro de Não-linearidade

O erro de não-linearidade diferencial (DNL) é uma medida da não uniformidade dos degraus entre transições de códigos adjacentes. Idealmente, esse degrau tem como largura 1 LSB. O erro de não-linearidade diferencial é o desvio de cada degrau diferencial deste valor ideal. Assim, se um Conversor A/D tem um erro de não-linearidade diferencial de  $+1/2$  LSB, os degraus de largura máxima e mínima na curva de transferência terão respectivamente  $1/2$  LSB e  $1.5$  LSB. Se o erro de não-linearidade diferencial excede  $+1$  LSB, então 1 ou mais códigos digitais podem nunca aparecer na saída, como ilustra a fig. 1.1.9. Esses códigos perdidos não são aceitáveis na maioria das aplicações dos conversores, uma vez que fornecem valores errados e podem causar instabilidade no sistema.

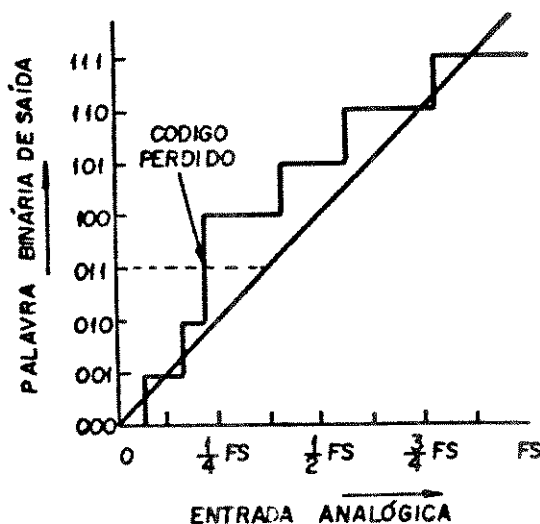


Figura 1.1.9 - Código perdido ( $DNL > 1$  LSB)

Os erros de ganho e offset podem ser ajustados externamente. Entretanto, os erros de linearidade e não-linearidade diferencial não podem ser eliminados por ajustes externos. Eles só podem ser minimizados pela melhoria no casamento dos componentes do circuito, ou por uso de uma arquitetura adequada. Esses são erros, portanto, mais importantes de se considerar ao se projetar um conversor.

## 1.2 - Técnicas de Conversão A/D Rápidas Usuais

Nesta seção descrevemos algumas técnicas de conversão de alta velocidade já usadas comercialmente.

A maior aplicação para conversores A/D rápidos é no processamento digital de vídeo. Eles são usados na compressão da largura de banda do sinal de vídeo, transmissão digital de vídeo (bem como recepção e gravação), análise de sinais de radar, redução de ruído e visão artificial para robôs. Essas aplicações requerem taxas de conversão na faixa de 5 MHz ( $5 \times 10^6$  conversões) até 50 MHz, o que só pode ser conseguido pelo uso de técnicas e arquiteturas especiais.

Os conversores "flash" são os mais rápidos e os mais simples conceitualmente dentre as técnicas de conversão rápida. Este tipo de conversor usa um comparador analógico distinto, com uma tensão de

referência estável para cada nível de quantização possível dentro da palavra binária, de zero até o fundo de escala. As saídas destes comparadores são combinadas por uma lógica codificadora que produz a palavra binária apropriada. A figura 1.2.1 mostra o diagrama em blocos de um sistema conversor A/D paralelo. Para uma resolução de N bits são necessários  $2^N - 1$  comparadores e níveis de tensão de referência. Por esse motivo a complexidade do sistema aumenta excessivamente quando o número de bits paralelos requeridos é maior. Neste tipo de conversor, todos os bits de entrada são processados simultaneamente. Assim, a operação de codificação dos bits pode ser feita dentro de um único ciclo de "clock".

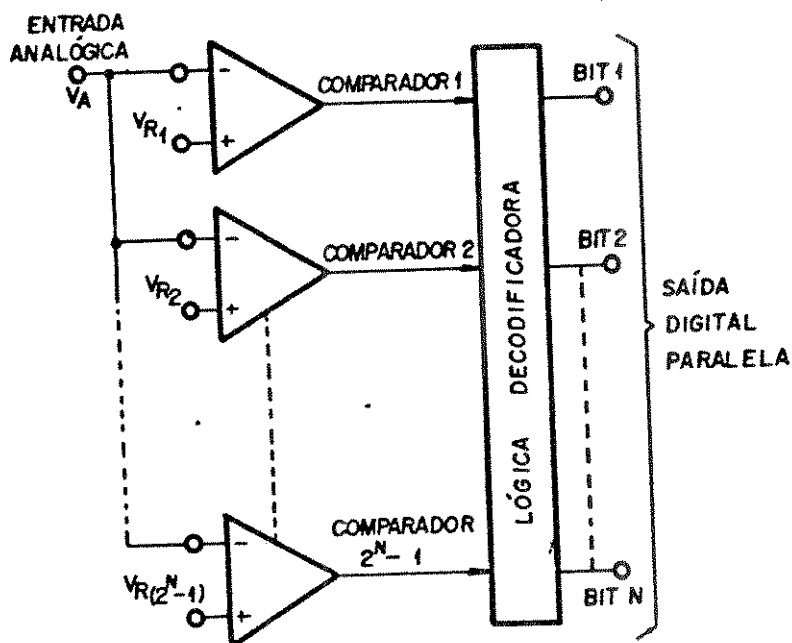


Figura 1.2.1 - Diagrama simplificado do conversor Flash

A figura 1.2.2 mostra a arquitetura de um conversor paralelo de N bits com mais detalhes. Os  $2^N - 1$  níveis de decisão, que correspondem aos níveis de quantização, são gerados por uma cadeia potenciôtrica de resistores, a qual polariza  $2^N - 1$  entradas de comparadores com latch, fornecendo as tensões de referência quantizadas. Todas as entradas superiores são conectadas a um único barramento analógico comum, e são excitadas simultaneamente pela tensão analógica  $V_A$ . Assim, para um dado nível na entrada analógica, as saídas de todos os comparadores que tiverem as tensões de referência abaixo de  $V_A$  estarão no estado lógico "1", e aqueles que tiverem as tensões de referência acima de  $V_A$  estarão no estado lógico "0". Em resumo, a saída do conjunto de comparadores é essencialmente uma saída do tipo termômetro (Bargraph), com um total de  $2^N - 1$  pontos e cuja altura é proporcional a  $V_A$ . A informação resultante é então decodificada através de uma lógica combinatória (ou uma PLA) para formar uma palavra binária de N bits. Normalmente, um comparador adicional é acrescentado para detectar a condição de overflow que ocorre quando  $V_A > V_{ref}$ . Normalmente, esta conversão requer dois ciclos de clock: um ciclo ( $\phi_1$ ) para acionar a comparação nos  $2^N - 1$  comparadores e outro ciclo ( $\phi_2$ ) para ativar os latches nas saídas dos comparadores e, simultaneamente habilitar o "Sample e Hold" para amostrar um novo valor, que será comparado no próximo ciclo  $\phi_1$ .

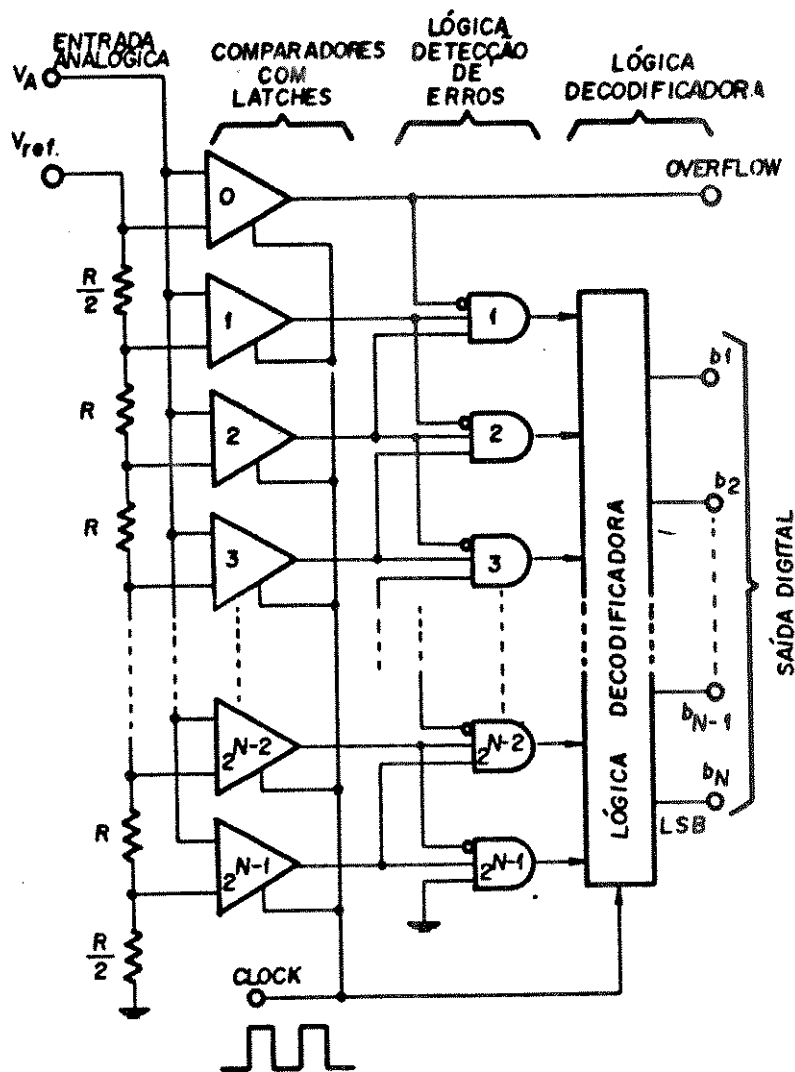


Figura 1.2.2 - Estrutura interna do conversor Flash

Apesar do conceito do Conversor Flash ser extremamente simples, a complexidade do circuito aumenta muito rapidamente. Para uma resolução de  $N$  bits, um mínimo de  $2^N - 1$  comparadores e  $2^N$  resistores são requeridos. Por exemplo, um conversor de 8 bits requereria mais de 250 resistores e 250 comparadores. Assim, a área do chip e a dissipação de potência aumentam de forma rápida ( $2^N$ ) com o aumento da resolução.

Além disso, o projeto e o layout dos conversores flash apresentam problemas para resoluções de 6 bits ou mais. A longa cadeia de  $2^N$  resistores e os  $2^N - 1$  comparadores deve ser localizada com uma cuidadosa simetria no chip, para evitar atrasos de propagação desiguais (devido a caminhos de sinais desiguais), assim como para minimizar os erros de não-linearidade devido aos gradientes térmicos ou de processo ao longo do chip. No caso dos conversores bipolares, a corrente de entrada (bias) dos comparadores individuais introduzem quedas de tensão adicionais ao longo da cadeia de resistores. Para compensar este efeito, a corrente de polarização DC na cadeia resistiva é normalmente escolhida 1.000 vezes maior que as correntes de entrada do comparador.



O barramento analógico da entrada tem que excitar um grande número de entradas de comparadores, cada uma delas tendo uma capacitância finita associada. Assim, para evitar atrasos, o sinal analógico de entrada passa normalmente antes por um Buffer Analógico (seguidor de emissor por exemplo), e tem uma faixa dinâmica reduzida (normalmente 1 a 2V). Para termos uma idéia da complexidade de um conversor flash, podemos citar o CI da TRW, que é um Conversor A/D de 8 bits confeccionado num processo bipolar de alta velocidade [1]. O CI contém 256 comparadores com latch, uma rede resistiva com 255 derivações e a lógica decodificadora num chip que mede 261 x 264 mils, sendo que a maior parte da área é ocupada pelos comparadores. A capacitância combinada de entrada de todo o conjunto de capacitores é da ordem de 300pF, o que faz necessário o uso de um buffer externo. O CI opera com alimentação de +5V e -6V e dissipa 2,5 Watts operando a uma velocidade de 35 milhões de amostras/segundo.

Outros exemplos podem ser encontrados na literatura, por exemplo ( $F_{in}$  representa frequência máxima na entrada):

-[2] implementa um conversor A/D 8 bits de 40MHz ( $F_{in}$ ) usando a arquitetura flash e que dissipa 30 W.

-[3] implementa um conversor A/D flash 6 bits de 100MHz ( $F_{in}$ ) e que dissipa 1,1 watt.

-[4] implementa um conversor A/D flash 8 bits de 10 MHz ( $F_{in}$ ), mas que dissipa apenas 150 mW. Isto é conseguido graças ao uso de um processo bipolar avançado de alta velocidade analógico/digital, e ao projeto do comparador (onde usou-se um pré-amplificador na entrada do comparador para aumentar a velocidade sem aumentar a corrente).

-[5] implementa um conversor A/D flash 8 bits de 125 MHz ( $F_{in}$ ), e que dissipa 12W. Neste projeto foi usado um processo bipolar, usando isolamento por óxido e dupla difusão com um  $F_r$  de pico de 7 GHz.

-[6] introduz um conversor A/D flash 8 bits de 100 MHz ( $F_{in}$ ), e que dissipa 2W apresentando uma área de 3,3 x 4,6 mm. Neste projeto a arquitetura flash sofreu alguns aperfeiçoamentos, sendo que o principal foi o acréscimo de uma lógica corretora de erros. Esta lógica elimina erros no estado de saída dos comparadores devido a diferenças de tempo entre caminho de sinais ou mesmo diferenças no tempo de reposta entre comparadores.

-[7] implementa um conversor A/D com 8 bits de 5 MHz ( $F_{in}$ ), e que dissipa 300 mW com uma área de 6 mm<sup>2</sup>. Isto é conseguido, neste projeto, reduzindo-se o número de latches e comparadores através do uso de pré-processamento analógico ("folding" e interpolação). Uma técnica similar é usada em [8], onde a rede de pré-processamento reduz o número de comparadores de  $2^{N-1}$  para N, porém fornecendo a palavra na saída em código Gray.

-[8] descreve um conversor A/D flash com 4 bits de 16 MHz, usando um processo bipolar especialmente desenvolvido (isolado por óxido, auto-alinhado e com duplo poly), e que dissipa 1,25W. Este projeto usa uma técnica especial para correção de erros de código na saída dos comparadores extremamente simples, chamada "bitswap", que corrige a ordem dos '0' e '1' no código tipo termômetro (ou Johnson).

Todos os exemplos citados têm em comum o fato de usarem processos bipolares avançados e ocuparem uma área respeitável devido à complexidade.

Outras técnicas de conversão A/D rápidas usadas são:

### 1) Conversores Série-Paralelo (Subrange ou Two Step Flash)

Os conversores Série-Paralelo possuem algumas das vantagens de alta velocidade dos conversores flash, porém com alguma redução na complexidade do circuito. A figura 1.2.3 mostra o diagrama em blocos de um conversor Série-Paralelo com (N+k) bits de resolução.

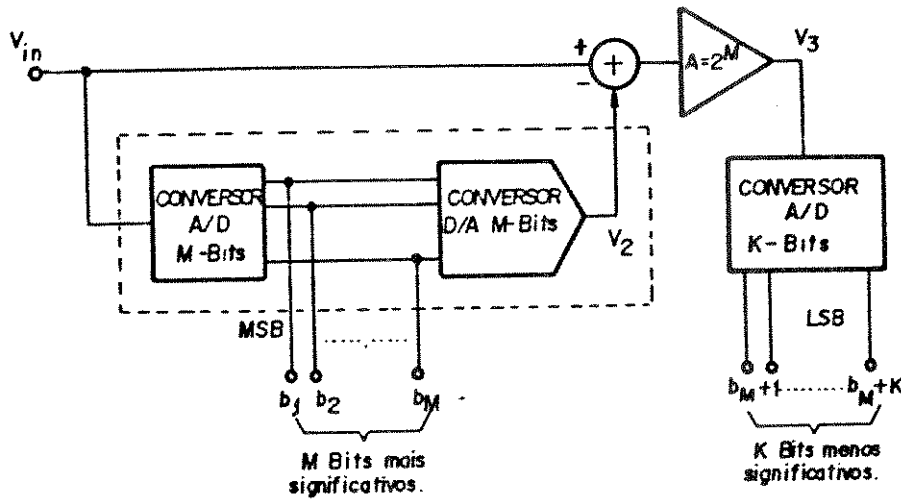


Figura 1.2.3 - Estrutura do conversor Subrange

O circuito opera com o sinal de entrada em duas etapas. Primeiro uma conversão grossa é feita, para determinar os Mbits mais significativos (na fase 01), depois os resultados são convertidos de volta para um sinal analógico V2. A entrada analógica Vin é subtraída de V2 e amplificada por  $2^M$ , e então convertida para os K bits menos significativos (na fase 02). Uma vez que conversores A/D flash são usados nas duas etapas de conversão, este conversor é também chamado Two Step Flash.

O princípio de operação deste tipo de conversor pode ser assim explicado, considerando  $K = M = 3$  (6bits no total). A palavra binária D1 na saída do primeiro conversor A/D pode ser expressa como:

$$D_1 = \frac{V_{in}}{V_{FS}} = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3}$$

Na saída do conversor A/D teremos:

$$V_2 = D_1 V_{FS}$$

Após a subtração ficamos com:

$$V_3 = A (V_{in} - V_2)$$

Na saída do segundo conversor A/D temos:

$$D_2 = \frac{V_3}{V_{FS}} = \frac{b_4}{2^1} + \frac{b_5}{2^2} + \frac{b_6}{2^3}$$

As duas palavras binárias podem ser relacionadas a entrada analógico  $V_{in}$  como:

$$D_1 + \frac{D_2}{A} = \frac{V_{in}}{V_{FS}}, \text{ como } A = 2^M = 2^3$$

$$D = D_1 + \frac{D_2}{A} = \frac{b_1}{2^1} + \frac{b_2}{2^2} \dots + \frac{b_6}{2^6} = \frac{V_{in}}{V_{FS}}$$

que é a função de transferência de um conversor de 6 bits.

Esta técnica tem recebido, recentemente, o interesse de vários pesquisadores, sendo que [10] se descreve um conversor Subrange de 10 bits que, graças a sua arquitetura completamente diferencial, implementada em um processo de alta velocidade, consegue atingir 75 Msamples/s, consumindo 2W ( $F_{in} = 37$  MHz). Esta performance é melhor que a dos conversores flash puros de 10 bits. Usando outra abordagem, [11] apresenta um conversor de 10 bits onde se usa uma conversão subrange de 4 estágios, sendo que, nas etapas intermediárias a subtração é feita em corrente. Isto significa que o sinal  $V_{in}$  é convertido em corrente, e a saída do conversor A/D também é em corrente. Assim, a subtração é feita simplesmente subtraindo-se duas correntes num nó. Isto elimina um subtrator e aumenta a velocidade do circuito. Adicionalmente, estes conversores empregam técnicas de correção de erros analógicas e digitais que possibilitam a sua elevada resolução.

## ii) Conversores Multiplexados no Tempo

Neste tipo de arquitetura, um conjunto de conversores A/D com tempo de amostragem sequenciais é usado como se fossem equivalentes a um único conversor operando numa taxa de conversão mais elevada. O princípio deste conversor está mostrado na fig. 1.2.4. Vamos assumir que o tempo de conversão associado a cada um dos conversores de N bit seja  $t_c$ . Como, neste caso, temos M conversores paralelos, a entrada é amostrada a cada  $t_c/M$  segundos. Enquanto um conversor amostra a entrada, os restantes estão procedendo com o processo de conversão, porém cada um na sua etapa do processo. O sinal de saída é obtido pela amostragem das saídas do conversor, através de uma chave multiplexora, a cada  $t_c/M$  segundos. A taxa de conversão equivalente total é  $t_c/M$ , e assim o sistema funciona como se fosse um conversor de N bits com uma taxa de conversão M vezes maior.

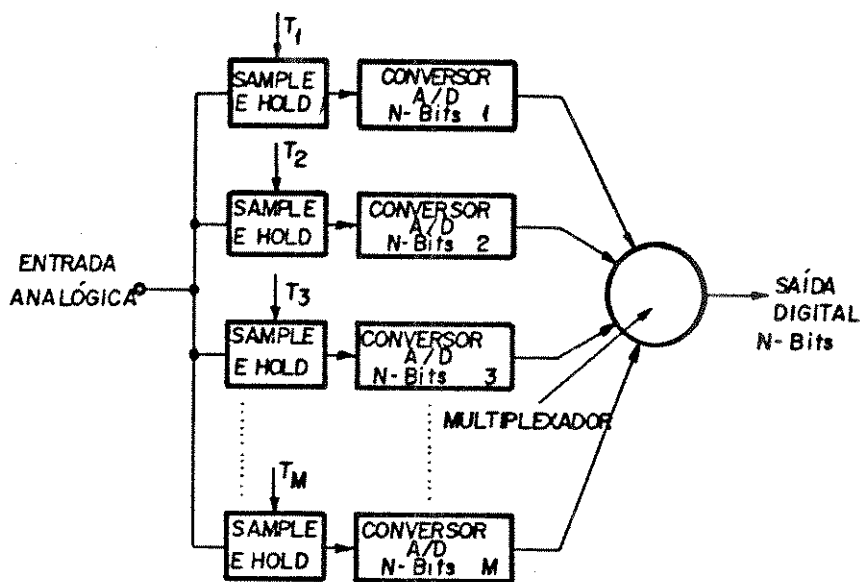


Figura 1.2.4 - Estrutura de um conversor Multiplexado

O princípio de operação do conversor multiplexado depende do casamento e do "tracking" das características de cada um dos conversores paralelos, e requer um rígido controle dos sinais de clock para minimizar o "phase-skew" entre conversores. Qualquer descasamento entre as características dos conversores aparece como ruído adicional na saída e degrada a performance do sistema.

Uma desvantagem adicional do circuito é o elevado número de comparadores, pois cada um dos conversores A/D de  $N$  bits componentes do sistema será do tipo flash (para maior velocidade), o que implica numa maior área.

#### 2.1 - O Algoritmo Básico

Normalmente, a maioria dos circuitos analógicos e digitais opera sobre sinais de tensão. O trabalho aqui desenvolvido faz parte de uma linha de estudo que visa o processamento em corrente [12]. O processamento em corrente apresenta uma série de vantagens para a integração de circuitos:

- Algumas operações algébricas são mais fáceis de serem feitas em corrente do que em tensão (é o caso da soma, subtração e divisão).
- A frequência de operação (largura de banda) do circuito é muito maior, próxima da frequência de transição do transistor ( $F_t$ ). Isto se deve ao fato de que no circuito só há variações de corrente e não de tensão, o que elimina o efeito de capacitâncias parasitas (predominantes em um circuito integrado).

O princípio básico do Conversor em Corrente Proposto parte do Algoritmo de Conversão descrito em [13].

Este conversor se baseia na mistura da arquitetura flash com o algoritmo de aproximações sucessivas, apresentando as seguintes características:

- a) A saída digital é obtida de forma totalmente analógica (não há circuitos digitais).
- b) Não usa pulsos de "Clock" internamente. Os sinais de "Clock" são usados para sincronizar os registradores na saída do conversor. Estes registros guardam a palavra binária a cada pulso de Clock. Assim, um ciclo de conversão é obtido a cada período de Clock.
- c) O uso de um "Sample-and-Hold" na entrada não é indispensável.
- d) O conversor é conceitualmente simples. Isto implica que, além de ocupar pouca área (bem menor que o conversor flash), a sua simplicidade possibilita a operação em frequências elevadas.

Como já foi dito anteriormente, o algoritmo de conversão trabalha com correntes; na verdade, duas correntes. Uma é a corrente de entrada, proporcional no sinal analógico a ser convertido; a outra é a corrente de referência (estável e precisa). Na descrição do algoritmo usaremos o símbolo  $\Leftrightarrow$  para indicar comparação. Além desse símbolo, vamos usar alguns outros, assim definidos.

$I_{in} \Rightarrow$  Corrente Analógica desconhecida que queremos converter.

$B_0, B_1, \dots, B_N \Rightarrow$  Bits de saída do Conversor A/D, que converte  $I_{in}$  em uma palavra binária de N bits.

$\overline{B_0}, \overline{B_1}, \dots, \overline{B_N} \Rightarrow$  Complemento dos bits de saída do Conversor A/D

$I_{ref} \Rightarrow$  Corrente de referência (que corresponde à corrente de fundo de escala do conversor).

Nesta discussão do algoritmo, vamos supor que, se numa comparação,  $I_{in}$  não é maior que uma dada corrente  $I$ , então  $I_{in}$  é menor que  $I$ . Isto implica num comparador com ganho infinito.

O Algoritmo Clássico do Conversor por aproximações sucessivas adaptado para correntes está mostrado abaixo:

bit 1 -  $I_{in} \leq I_{ref}/2 \Rightarrow B_0 = 1$   
bit 2 -  $I_{in} \leq B_0 \cdot I_{ref}/2 + I_{ref}/4$   
bit 3 -  $I_{in} \leq B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 + I_{ref}/8$   
bit N -  $I_{in} \leq B_0 \cdot I_{ref}/2 + B_1 \cdot I_{ref}/4 + B_2 \cdot I_{ref}/8 + \dots + B_{N-1} \cdot I_{ref}/2^{N-1}$

Assim, o primeiro bit é determinado a partir da comparação com  $I_{ref}/2$ ; se for maior  $B_0 = 1$ , se for menor  $B_0 = 0$ . O bit 2 é determinado a partir do estado do bit 1 e de  $I_{in}$ , e assim prossegue sequencialmente, até o bit N. O inconveniente deste método é obrigar o circuito que o implementa a trabalhar com soma e subtração de correntes. Isto ocorre porque, quando somamos uma determinada parcela de corrente para determinar um bit, teremos que subtrair esta mesma parcela na próxima comparação, se o bit determinado tiver nível lógico "0".

A seguir descrevemos um algoritmo que trabalha apenas com soma de correntes, criado por [13]:

MSB  $\rightarrow$  bit 1  $\rightarrow I_{in} \leq I_{ref}/2$   
bit 2  $\rightarrow I_{in} + \overline{B_0} \cdot I_{ref}/2 \leq I_{ref}/2 + I_{ref}/4$   
bit 3  $\rightarrow I_{in} + \overline{B_0} \cdot I_{ref}/2 + \overline{B_1} \cdot I_{ref}/4 \leq I_{ref}/2 + I_{ref}/4 + I_{ref}/8$   
LSB  $\rightarrow$  bit N  $\rightarrow I_{in} + \overline{B_0} \cdot I_{ref}/2 + \overline{B_1} \cdot I_{ref}/4 + \dots + \overline{B_{N-2}} \cdot I_{ref}/2^{N-2} \leq I_{ref}/2 + I_{ref}/4 + \dots + I_{ref}/2^{N-1}$

A conversão começa com a comparação, no primeiro comparador, da corrente  $I_{in}$  com a corrente  $I_{ref}/2$ . O resultado desta comparação determina o bit mais significativo ( $B_0$ ) da seguinte forma:

$B_0 = 1$  se  $I_{in} > I_{ref}/2$  e  $B_0 = 0$  se  $I_{in} < I_{ref}/2$

Após  $B_0$  ter sido determinado, ele é usado para determinar o bit  $B_1$ , no segundo estágio. A corrente  $I_{in} + B_0 \cdot I_{ref}/2$  é gerada e comparada (num segundo comparador) com a corrente  $I_{ref}/2 + I_{ref}/4$ . O resultado desta comparação, de modo análogo ao primeiro estágio, será:

$B_1 = 1$  se  $I_{in} + B_0 \cdot I_{ref}/2 > I_{ref}/2 + I_{ref}/4$ ,  $B_1 = 0$  q.q.

e assim por diante, até definirmos o bit menos significativo.

Este algoritmo exigiria, porém, uma dupla geração de correntes  $I_{ref}/2$ ,  $I_{ref}/4$ , ...,  $I_{ref}/2^N$ . Assim, chega-se ao algoritmo final [13], que foi implementado no nosso conversor.

$$\text{bit 1} - I_{in} < = > I_{ref}/2$$

$$\text{bit 2} - I_{in} + \overline{B_0} I_{ref}/4 < = > I_{ref}/2 + B_0 I_{ref}/4$$

$$(1) \quad \text{bit 3} - I_{in} + \overline{B_0} I_{ref}/4 + \overline{B_1} I_{ref}/8 < = > I_{ref}/2 + B_0 I_{ref}/4 + B_1 I_{ref}/8$$

$$\text{bit N} - I_{in} + \overline{B_0} I_{ref}/4 + \overline{B_1} I_{ref}/8 + \dots + \overline{B_{N-2}} I_{ref}/2^{N-1} < = > I_{ref}/2 + B_0 I_{ref}/4 + \dots + B_{N-2} I_{ref}/2^{N-1}$$

Nesta versão, as correntes binárias são somadas de forma complementar, a cada nova comparação. Assim, uma única fonte de corrente  $I_{ref}/2$  ...,  $I_{ref}/2^N$  é necessária, e esta fonte de corrente será chaveada entre as entradas do comparador, de acordo com o valor lógico do bit de saída do comparador anterior.

## 2.2 - Nova Arquitetura Proposta

A partir do algoritmo já exposto, propomos uma nova arquitetura para implementá-lo. Esta arquitetura elimina os vários pontos fracos do circuito proposto originalmente em [13], por ser totalmente paralela, o que aumenta a sua velocidade e reduz a tensão de alimentação necessária.

A figura 2.2.1 ilustra a arquitetura simplificada para o caso de um conversor de 4 bits. Os blocos Comp 1, Comp 2, Comp 3 e Comp 4 representam os 4 comparadores correspondentes a cada um dos bits de saída. Os vários pares diferenciais ( $Q_1-Q_2$ ,  $Q_3-Q_4$ ,  $Q_5-Q_6$ ,  $Q_7-Q_8$ , ...,  $Q_{11}-Q_{12}$ ) implementam a soma complementar das correntes binárias de referência ( $I_{ref}/2$ ,  $I_{ref}/4$ , ...,  $I_{ref}/2^N$ ). Dependendo do valor de um bit, as tensões da saída diferencial do comparador correspondente a este bit irão chavear as correntes de referência em todos os comparadores subsequentes, de acordo com o algoritmo (1). Assim, o bit  $B_0$  chaveia as fontes de corrente  $I_{ref}/4$  em todos os bits subsequentes ( $B_1$  em diante), entre as duas entradas do comparador. Assim, se compararmos atentamente a arquitetura exemplificada na figura 2.2.1 com a descrição do algoritmo, veremos que o circuito efetivamente implementa o algoritmo (1), de forma altamente eficaz.

A simplicidade do conversor é aparente, bem como o seu alto grau de paralelismo, pois não é necessário aguardar a completa determinação de um bit para que o próximo bit seja determinado, pois, a partir de um determinado instante, o desequilíbrio nas saídas do comparador do bit  $i$  ( $B_i$  e  $\overline{B_i}$ ) é suficiente para chavear a corrente no par diferencial e começar a determinar o próximo bit, sem que a saída do comparador tenha se estabilizado no valor final. Será mostrado, no próximo item, que essa tensão diferencial é baixa (da ordem de 300mV), o que aumenta ainda mais a velocidade de conversão. Uma outra vantagem da arquitetura proposta é que ela requer uma baixa tensão de alimentação para ser utilizada (5V a 7V).

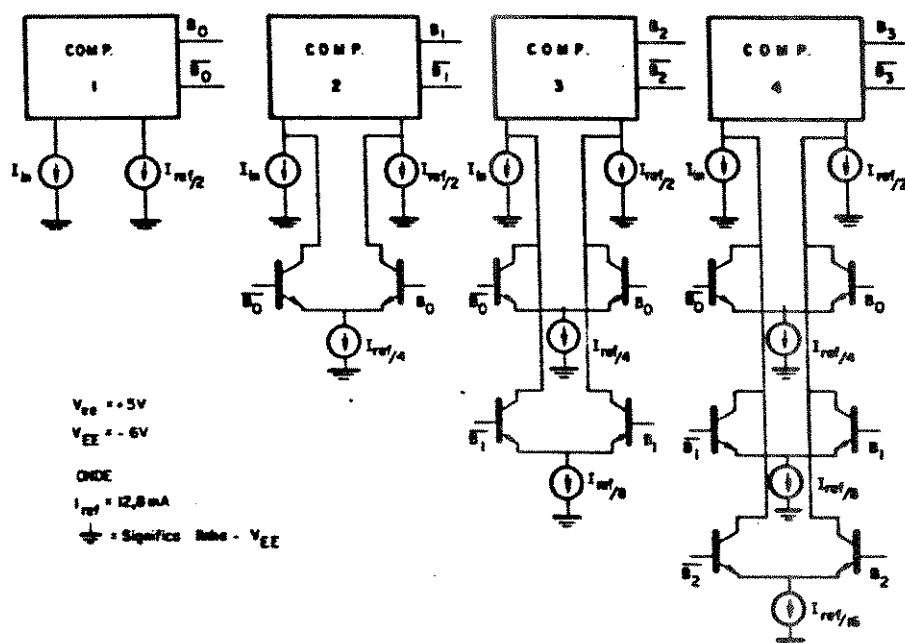


Figura 2.2.1 - Diagrama simplificado da arquitetura proposta

Porém, a característica mais destacada deste conversor é o fato dele operar com correntes ao invés de tensões. Não ocorrem, neste circuito, chaveamentos de tensões, mas sim de correntes, que não são afetadas por capacitâncias parasitas. Este fato ajuda a elevar ainda mais a velocidade de conversão.

Existem muitas fontes de erro no circuito da figura 2.2.1 (como por exemplo o efeito de  $\alpha = I_c/I_E$  do transistor). Estes erros serão abordados em detalhes nas seções seguintes.

### 2.3 - Chaves de Corrente

Na estrutura proposta, o par diferencial é usado como uma chave de corrente sob o comando da saída diferencial de um comparador (vide fig. 2.3.1). Quando a tensão diferencial de saída do comparador for positiva, toda a corrente de emissor (tail current- $I_E$ ) deve fluir em apenas um dos ramos do par diferencial. Caso a tensão diferencial seja negativa, a corrente de emissor deverá fluir pelo outro ramo. Assim, esta corrente  $I_E$  será acrescentada a uma das entradas do comparador.



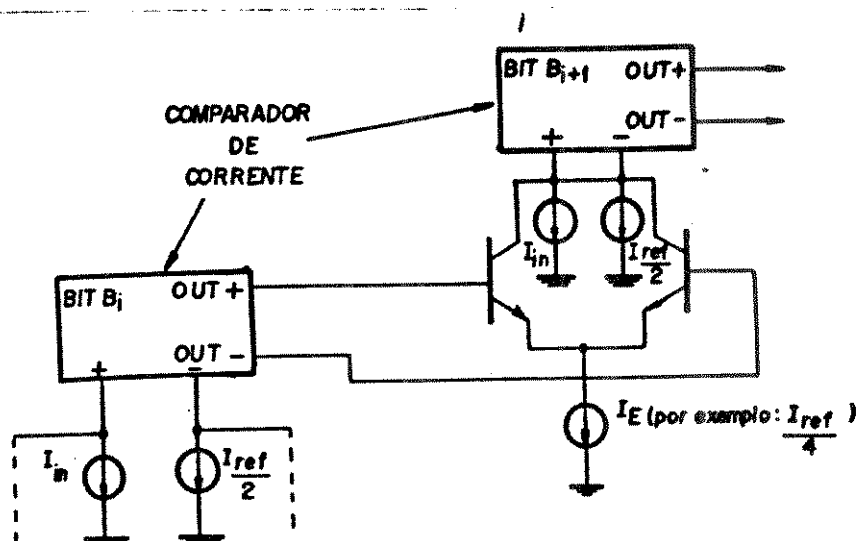


Figura 2.3.1 - Chaves de corrente

O único cuidado que devemos ter neste bloco é o de que a tensão diferencial na saída do comparador seja suficiente para chavear completamente a corrente entre os dois ramos. Podemos estimar este valor a partir da relação básica:

$$I_c = I_s \exp (V_{be}/V_T) \quad (2.3.1)$$

No caso da figura 2.3.2. podemos escrever:

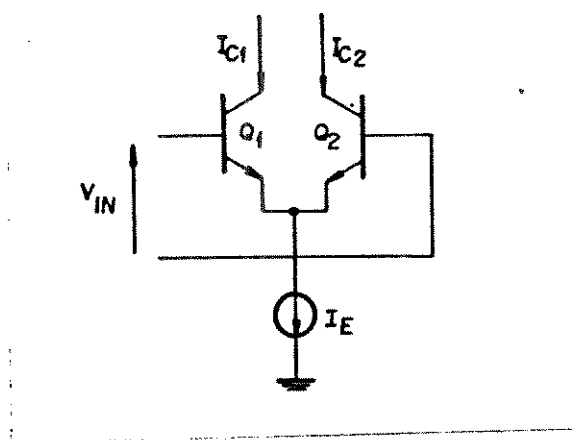


Figura 2.3.2 - Análise do chaveamento

$$\frac{I_{c1}}{I_{c2}} = \exp [(V_{be1} - V_{be2})/V_T]$$

mas  $V_{be1} - V_{be2} = V_{in}$  e  $V_T = 26mV$  (25°C)

Logo  $V_{in} = V_T \ln(I_{c1}/I_{c2})$ , se supusermos que a corrente foi chaveada para  $Q_1$ .

Vamos fazer a seguinte distribuição de correntes:

$$\begin{aligned} I_{c1} &= 0,99 I_E && \text{para um erro de 1\%} \\ I_{c2} &= 0,01 I_E \end{aligned}$$

$$V_{in} = V_T \ln(0,99/0,01) \rightarrow V_{in} = 119 \text{ mV (no mínimo)}$$

Um outro cuidado a ser tomado, na hora do layout, é desenhar  $Q_1$  e  $Q_2$  de forma casada, ou seja, com a mesma geometria, área e orientação no silício.

## 2.4 - Comparadores de Corrente

Os comparadores de corrente são o coração do conversor. De sua precisão e velocidade dependem a precisão e a velocidade do conversor total.

O comparador de corrente, por ser o estágio final do conversor, fornece como saída um valor de tensão proporcional ao valor de bit da saída. Este tipo de saída decorre do fato de que a maior parte das famílias lógicas atuais (TTL-fast, ECL, etc) operam com tensões. Assim, o bloco comparador de corrente, por servir de interface entre o processamento de corrente e a saída em tensão, necessariamente vai operar com tensões. Isto diminui a velocidade do chaveamento de tensão interna ao bloco, limitando a velocidade máxima de conversão.

Para implementarmos este bloco, a escolha mais prática é o uso de dois resistores iguais e um comparador de tensão de alta velocidade. Este esquema está mostrado na figura 2.4.1.

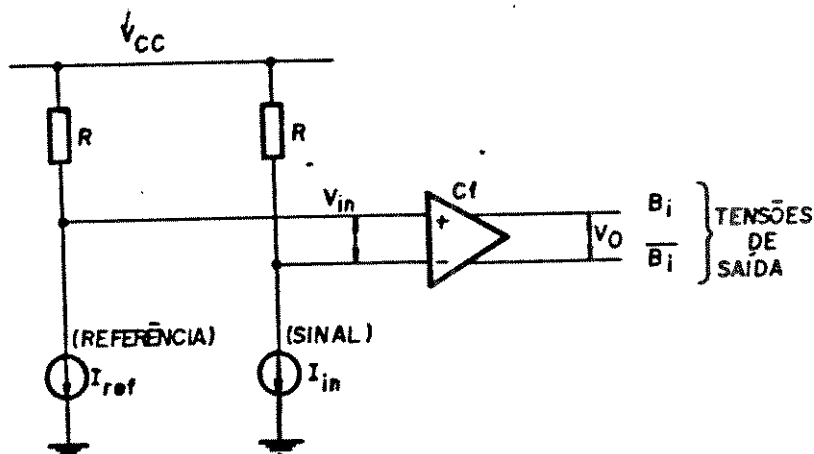


Figura 2.4.1 - Comparador de corrente.

Os dois resistores  $R$  provocam uma queda de tensão proporcional à corrente que passa em cada um deles. A diferença entre estas quedas de tensões é comparada por  $C1$  para gerar uma tensão diferencial proporcional ao valor do Bit  $B_i$ .

Podemos obter uma estimativa do mínimo ganho do comparador, para o caso de um conversor de 6 bits.

$$V_{in} = R (I_{in} - I_{ref}/2^K) \quad (\text{considerando comparador ideal})$$

Supondo uma corrente de fundo de escala  $I_n$ , podemos dizer que uma diferença de 1/2 bit (mínima resolução) entre  $I_{ref}$  e  $I_{in}$  equivale a  $I_n/2^7 = I_{in} - I_{ref}$ .

Assim, o mínimo ganho pode ser dado por:

$$AV_{min} = V_o / \left[ R \cdot (I_{ref}/2^7) \right]$$

onde  $V_o > 119 \text{ mV}$  (para poder comutar completamente as chaves de corrente).

Assim, escolhemos a tensão  $V_o$  alta o suficiente (maior que 119 mV) para comutar as chaves de corrente dos bits subsequentes (conforme já visto no item anterior), e o valor dos resistores  $R$ , baixo o suficiente para não prejudicarmos a velocidade do bloco.

Além do ganho mínimo, outros cuidados que devemos observar no projeto deste bloco são os seguintes:

#### a) Corrente de polarização dos comparadores

As correntes de entrada do comparador se somam às fornecidas pelas fontes de corrente  $I_{in} - I_{ref}$  e produzem erros na conversão. Estas correntes são conduzidas devido ao  $\beta$  finito dos transistores de entrada. Para ilustrar seu efeito, recorreremos à figura 2.4.2, onde incluímos os transistores de entrada do comparador, sua fonte de corrente  $I_{EE}$  e os resistores de carga  $R_c$ .

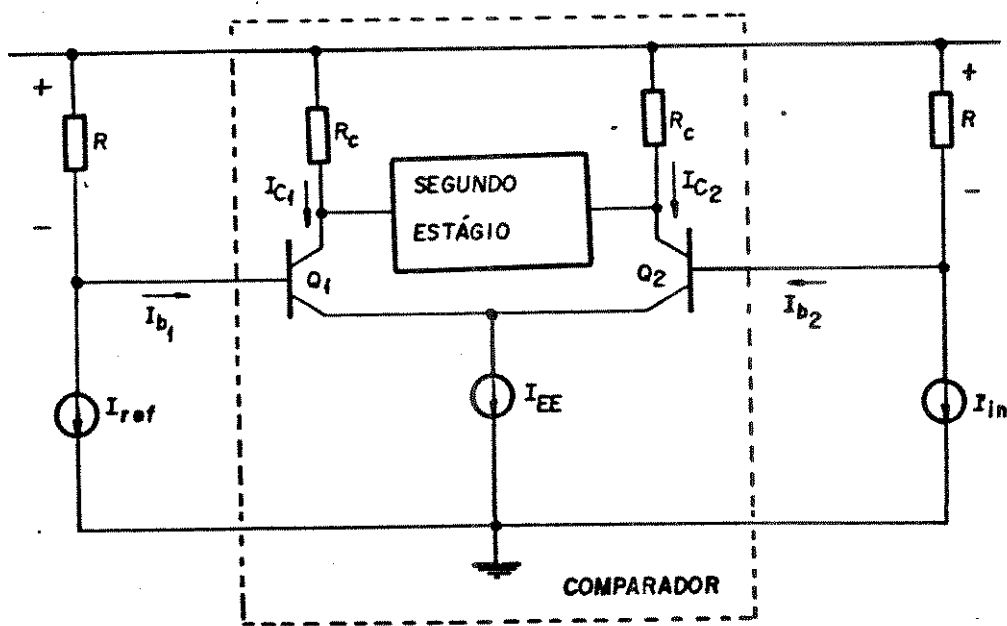


Figura 2.4.2 - Erros devido a  $I_b$  do comparador

Vamos supor que todos os componentes são perfeitamente casados (por enquanto), e que  $I_{in}$  é bem menor do que  $I_{ref}$ . Logo,  $Q_2$  conduz enquanto  $Q_1$  está cortado e, portanto,

$$I_{c2} = I_{EE} \text{ e } I_{c1} = 0$$

$$I_{B2} = (I_{EE}/\beta_F); I_{B1} = 0$$

Podemos dizer que, na verdade, a comparação que é feita, ao invés de ser  $I_{ref} \leq I_{in}$ , é a seguinte:

$$I_{in} + I_{EE}/\beta_F \leq I_{ref} \quad (2.4.1)$$

se tivermos  $I_{ref} \gg I_{in}$ , teremos a comparação

$$I_{in} \leq I_{ref} + I_{EE}/\beta_F \quad (2.4.2)$$

Esta incerteza de valor  $I_{EE}/\beta_F$  deve ser bem menor que  $1/2$  LSB, para que o erro na conversão seja aceitável. Isto se deve ao fato de que a mínima diferença detectável pelo conversor  $|I_{in} - I_{ref}|$  vale 1 LSB ( $I_{ref}/2^N$ , onde  $N$  é o número de bits e  $I_{ref}$  é corrente de fundo de escala).

Das equações dadas, podemos tirar (em função de  $\beta_F$ ,  $I_{rs}$  e  $N$ ) o maior valor possível da corrente de polarização do estágio de entrada do comparador.

#### b) Tensão e corrente de offset nos comparadores

O descasamento dos dispositivos produzem, nos comparadores, outras fontes de erro. As principais são a tensão de offset ( $V_{os}$ ) e a corrente de offset ( $I_{os}$ ). A figura 2.4.3 mostra o estágio de entrada do comparador ideal com as fontes não-ideais  $V_{os}$  e  $I_{os}$ .

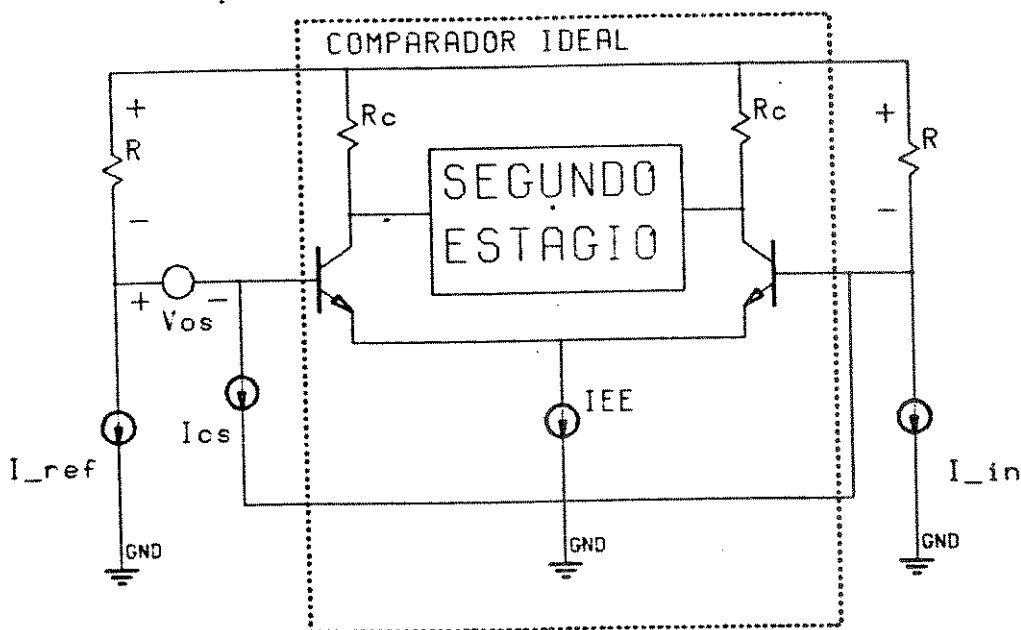


Figura 2.4.3 - Erros devido ao Offset do comparador

O comparador compara as tensões  $V_1$  e  $V_2$ , ou seja:

$$V_1 - V_2 = (V_{os} + I_{os})R + V_{os} - (I_{in} - I_{os})R$$

$$V_1 - V_2 = (V_{os} - I_{os})R + 2 I_{os} + V_{os}$$

Logo, o erro de tensão devido ao offset vale:

$$|E_{offset}| = 2 I_{os} R + V_{os}$$

Levando em consideração que este erro pode se somar ao erro causado pela  $\beta_F$  finito (corrente de polarização), vamos limitar estes dois erros em  $LSB/4$ .

Logo:

$$2 I_{os} R + V_{os} \ll (I_{ref} \cdot R) / 2^{N+2} \quad (\text{erro } V_{os} \text{ e } I_{os}) \quad (2.4.3)$$

$$I_{EE} / \beta_F \ll I_{ref} / 2^{N+2} \quad (\text{erro } \beta_F \text{ finito}) \quad (2.4.4)$$

#### c) Descasamento nos resistores

Até agora consideremos os dois resistores de valor  $R$  perfeitamente iguais entre si. Variações na fotolitografia, no wafer ou no processo de difusão, podem fazer com que eles tenham um pequeno descasamento. É o efeito desta variação que vamos avaliar agora. Supondo um comparador ideal ( $V_{os} = 0$ ,  $I_{os} = 0$ ,  $\beta_F$  finito), vamos determinar a diferença  $V_1 - V_2$  para o caso dos resistores terem valores diferentes (veja a figura 2.4.3).

$$V_1 - V_2 = I_{ref} R - I_{in} R^*$$

Suponha que o casamento entre os resistores para o processo dado seja  $SIGMA$  (%), então podemos escrever:

$$R^* = R (1 + SIGMA)$$

Logo

$$V_1 - V_2 = R [I_{ref} - I_{in}] - I_{in} \cdot R \cdot SIGMA \quad (2.4.5)$$

O máximo valor de  $I_{in}$  (ou  $I_{ref}$  se o resistor for para outro ramo de entrada) vale  $I_{ref}$  (a corrente de fundo de escala). Assim, o valor máximo de erro devido ao descasamento dos resistores ( $E_R$ ) vale:

$$E_R = I_{ref} \cdot R \cdot SIGMA$$

Novamente esta fonte de erro deve ter seu valor abaixo de  $LSB/2$ , ou seja:

$$I_{ref} \cdot R \cdot SIGMA \ll I_{ref} \cdot R / 2^{N+1}$$

$$SIGMA \gg 1/2^{N+1} \quad (2.4.6)$$

É importante notar que estas três fontes de erro: o erro devido ao beta finito, e erro devido a  $V_{os}$  e  $I_{os}$  e o erro devido ao descasamento dos resistores, podem se somar, no pior caso.

Assim, podemos resumir as equações (2.4.3), (2.4.4), e (2.4.5) numa única condição a ser satisfeita.

$$2.I_{os}.R + V_{os} + I_{EE}.R/\text{Beta} + I_{ref}.R.\text{SIGMA} \ll I_{ref}.R/2^{N+1} \quad (2.4.7)$$

ou seja, a soma dos erros na entrada do comparador deve ser bem menor que  $\text{LSB}/2$ .

## 2.5 - Geração das Correntes Binárias

Neste item vamos abordar a questão de como gerar as correntes  $I_{ref}/2$ ,  $I_{ref}/4$ , ..., etc. A maneira mais usada de gerar um conjunto de correntes binárias em um CI (onde uma faixa de valores restritos de resistores pode ser implementada) é usando uma rede  $R - 2R$ . A popularidade deste método vem do fato de que se pode gerar correntes variando uma faixa de mais que 1.000: 1, usando apenas dois valores de resistores integrados. Além disso, o fato de os dois valores de resistor ( $R$  e  $2R$ ) serem múltiplos, permite que eles sejam feitos a partir de um único resistor padrão (Por exemplo, o resistor padrão é  $2R$  e o resistor de valor  $R$  é obtido pelo paralelo de dois resistores padrão). O fato da rede  $R-2R$  ser feita de um único tipo de resistor de mesmo valor melhora bastante o casamento entre os resistores e, portanto, a precisão das correntes geradas.

Para explicar sucintamente a rede  $R-2R$ , vamos partir da figura 2.5.1. Vemos que neste circuito a corrente se divide pelos dois ramos igualmente.

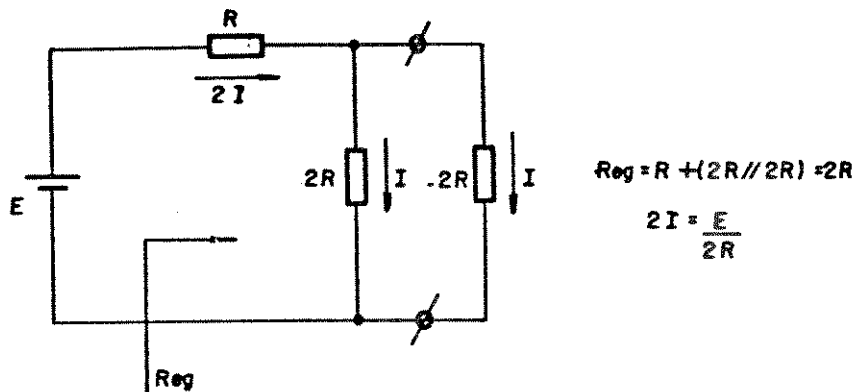


Figura 2.5.1 - Rede  $R-2R$  básica

Como a resistência equivalente vista pela fonte ( $R_{eq}$ ) desta rede vale  $2R$ , podemos substituir o resistor  $2R$  da direita por uma rede igual à da figura 2.5.1, sem maiores problemas. O circuito passa a ter a forma da figura 2.5.2.

Este processo pode continuar indefinidamente, sendo que, a cada passo, crescemos a rede para a direita um pouco mais. A utilidade da rede  $R-2R$  torna-se óbvia quando observarmos que, a cada novo ramo  $2R$  acrescentado, a corrente neste ramo se divide por 2 em relação ao ramo  $2R$  da esquerda. Assim obtemos uma sequência de correntes binárias nos ramos  $2R$  (com exceção dos dois últimos ramos onde as correntes são iguais). Assim, podemos criar a rede geral de  $N$  estágios, mostrada na figura 2.5.3.

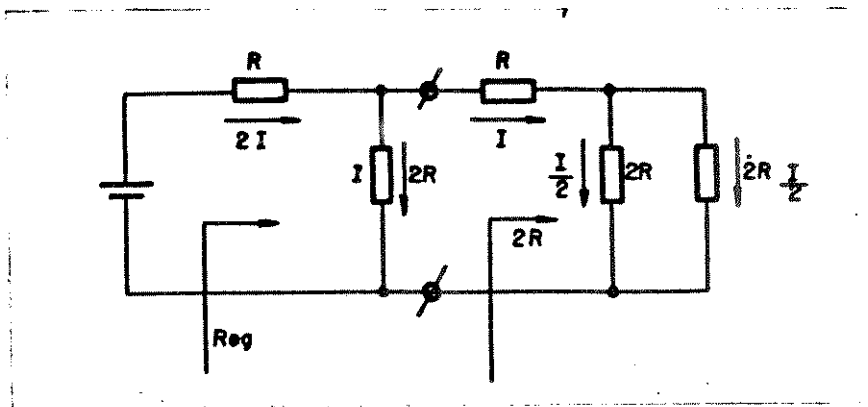


Figura 2.5.2 - Expandindo a rede R-2R básica

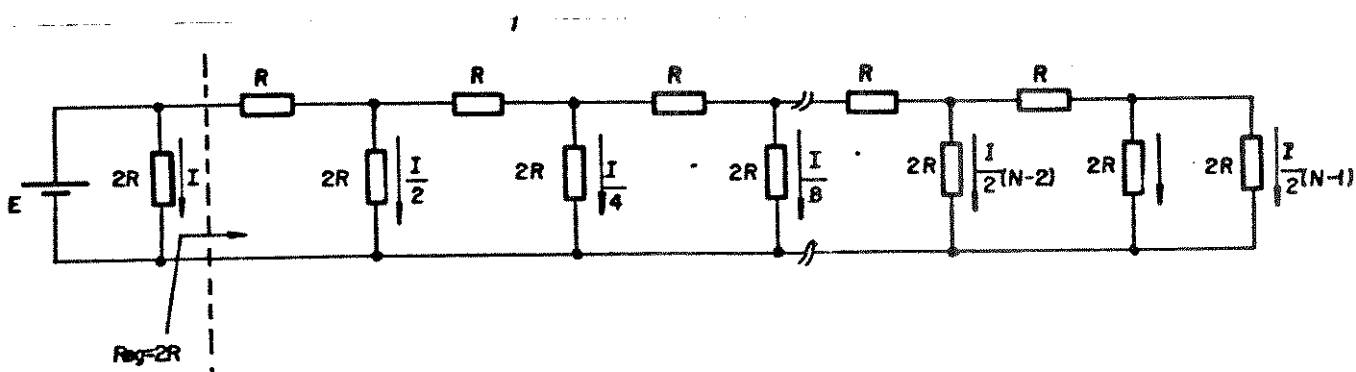


Figura 2.5.3 - Rede R-2R geral

O processo de expansão pode ser repetido simplesmente acrescentando um resistor paralelo  $2R$  e um resistor  $R$ . Após cada acréscimo, a resistência equivalente de entrada vista da fonte  $E$  permanecerá constante. Em resumo, as propriedades básicas da rede R-2R são:

- Uma impedância constante, independentemente do número de estágios da rede.
- Cada estágio adicionado no extremo oposto à fonte  $E$ , opera com metade da corrente em relação ao estágio prévio;

Até este ponto conseguimos obter as correntes binárias de forma precisa, porém estas correntes precisam ser "trazidas" para fora da rede R-2R para serem úteis. A figura 2.5.3 mostra que todos os ramos  $2R$  devem ser ligados numa extremidade a um mesmo potencial, mas não necessariamente ao mesmo ponto do circuito. Esta é a chave para extrair as correntes binárias, conforme mostra a figura 2.5.4. Nesta figura a estrutura R-2R é a mesma, mas virada de ponta cabeça. Os ramos  $2R$  da rede foram ligados por um lado a emissores de um conjunto de transistores que têm um mesmo potencial de base. Como as tensões de base-emissor de todos os transistores são iguais (se fizermos um escalamento de áreas proporcional às correntes de coletor), todos os

ramos  $2R$  foram ligados num mesmo potencial. Como consequência, a rede é equivalente à da figura 2.5.3 (no caso  $n=6$ ), e correntes binárias irão fluir nos emissores dos transistores. As correntes do coletor serão ligeiramente inferiores, reduzidas pelo ganho de corrente Alfa ( $I_c/I_E$ ). Entretanto, como os transistores estão todos integrados num mesmo die e têm a mesma geometria e densidade de corrente, podemos assumir que seus Alfas estão casados. Assim, as correntes de coletores estarão reduzidas por um mesmo fator para todos os transistores, estando mantida, no entanto, a relação binária entre elas.

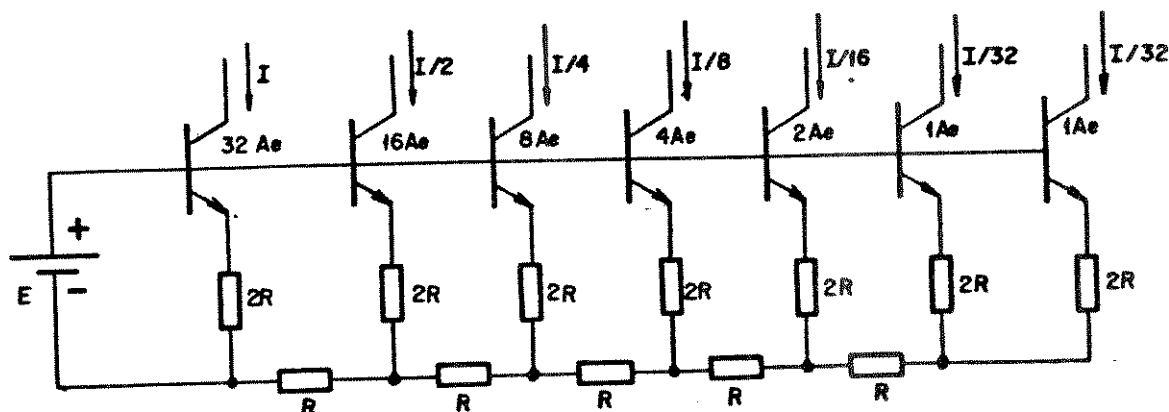


Figura 2.5.4 - Fonte de correntes binárias de referências  $R-2R$

O escalamento das áreas dos transistores é feito para manter a mesma densidade de corrente em todos os transistores ( $I_c/I_s$ ), de forma que todos os  $V_{BE}$  's sejam os mesmos. Pois temos que  $V_{BE} = \frac{KT}{q} \ln(I_c/I_s)$ .

Assim sendo, se queremos um  $V_{BE}$  constante, para cada aumento de  $I_c$  temos que dar um aumento proporcional em  $I_s$ .

$$\text{como: } I_s = \frac{q A E D n}{W_B} N_{p0} = K A E$$

(onde  $K$  é uma constante que depende apenas do processo) para cada aumento em  $I_c$  temos que aumentar a área de emissor ( $A_E$ ) de valor igual. Logo, cada vez que dobramos a corrente que passa por um transistor da rede  $R-2R$ , dobramos a sua área.

Falta agora resolver o problema de geração da corrente  $I_{ref}/2$  básica, a partir da qual todas as demais são obtidas. A fonte  $E$  da figura 2.5.4, apesar de didática, não é prática para se obter. A maneira mais precisa de obtenção de uma corrente básica é usando a propriedade dos circuitos realimentados de comparar um parâmetro com um valor desejado e ajustar um outro relacionado automaticamente, até que o parâmetro atinja o valor desejado. Isto é feito na figura 2.5.5, usando-se um amplificador operacional e mais uma seção  $2R$  adicional ligada a um transistor  $Q_0$  [14]. Nesta figura  $V_B$  é uma tensão DC fixa.



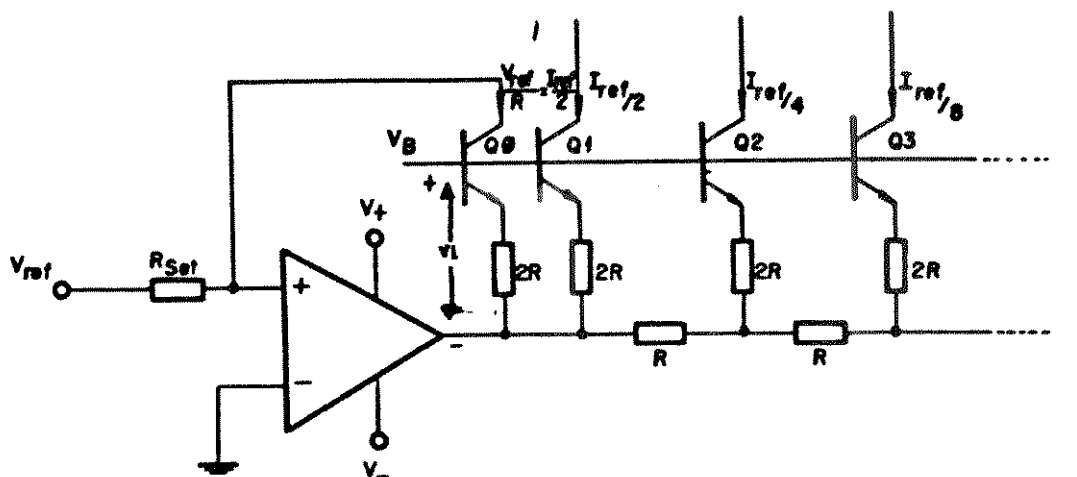


Figura 2.5.5 - Fonte de corrente aperfeiçoada

Este resistor  $2R$  adicional e o transistor  $Q_0$  estão cuidadosamente casados com o resistor e transistor usados para produzir a corrente MSB. Uma vez que a mesma excitação é aplicada aos dois circuitos de modo idêntico, a corrente MSB será bastante próxima da corrente de referência  $I_{ref}/2$ . O amplificador operacional serve como um conversor tensão-corrente. O seu alto ganho e a realimentação fazem com que a entrada não inversora esteja ao potencial da terra (Terra Virtual), assim a corrente que passa pelo resistor  $R_{set}$  vale  $V_{ref}/R_{set}$ , onde  $V_{ref}$  é uma tensão de referência estável (obtida com um bandgap, por exemplo). Como a corrente de entrada do operacional é desprezível, esta corrente é obrigada a passar por  $Q_0$  e pelo resistor de valor  $2R$ , antes de ser absorvida pela saída de amplificador operacional. Isto provoca uma diferença de potencial  $V_1$  (vide figura 2.5.5), que é também aplicada ao ramo que gera o MSB, que é idêntico ao anterior e, portanto, irá conduzir a mesma corrente. A tensão de saída do operacional se ajustará até que a mesma corrente flua em  $Q_0$  e  $Q_1$ , independente de  $\alpha$ ,  $V_{BE}$  e de suas variações com a temperatura. Variações nos valores iniciais dos resistores  $R$  e  $2R$  são de pouca consequência, uma vez que o que importa é a razão entre eles (que tem uma variação bem menor num circuito integrado).

Um último ponto a observar é que a saída do amplificador operacional deve ser robusta o suficiente para absorver a corrente de toda rede  $R$ - $2R$  ( $I_{ref}/2 + I_{ref}/4 + \dots + I_{ref}/2^N$ ).

A estrutura da figura 2.5.5 foi usada na geração das correntes de referência do conversor com ligeiras modificações. Isto vem do fato que a rede original só fornecia uma única saída para cada valor de corrente de referência, enquanto na arquitetura proposta se faziam necessárias várias cópias das correntes de referências. Isto foi conseguido desmembrando-se os transistores da rede original em vários transistores de áreas iguais e menores. Assim, conseguimos dividir a corrente original criando várias cópias de valor menor. Isto está mostrado na figura 2.5.6 para o caso de 4 bits.

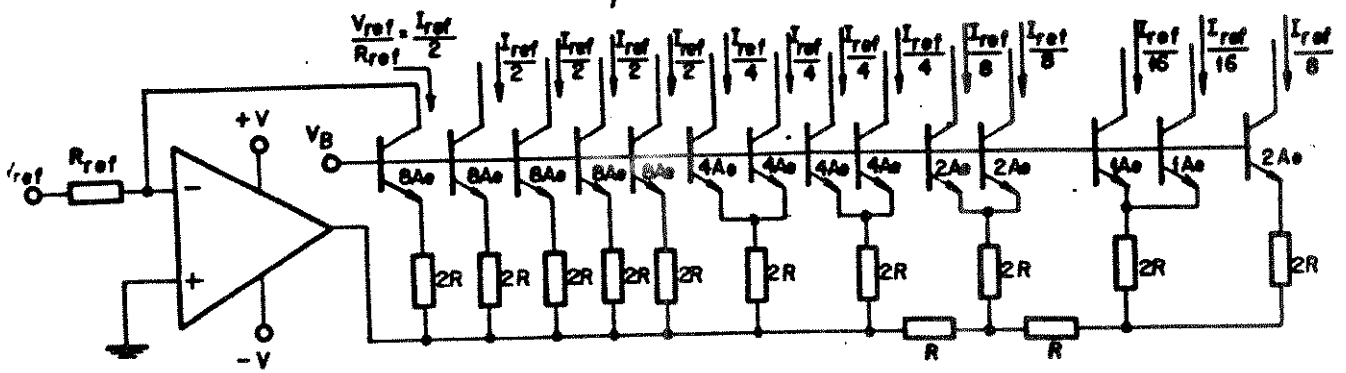


Figura 2.5.6 - Fonte de correntes binárias para 4 bits

O escalonamento das áreas de emissores é consequência de que o menor transistor da rede terá obrigatoriamente de ter 1A<sub>E</sub> (que é o limite da fotolitografia).

Um cuidado especial deve ser tomado no layout deste bloco com o casamento entre os transistores e com o casamento entre os resistores, de modo a minimizar o erro na geração das correntes.

O método descrito acima serve para no máximo 4 bits. Acima deste limite, os tamanhos dos transistores seriam proibitivos para implementação num C.I. Para contornarmos este problema usaremos uma técnica alternativa: introduziremos uma tensão de offset  $\Delta V_{BE}$  entre as bases dos transistores, de forma a ter o  $V_{BE}$  adequado para cada corrente. Esta tensão de offset deve variar com a temperatura, de forma a compensar a variação de  $\Delta V_{BE}$ .

A partir da equação (2.3.1) podemos mostrar que o  $\Delta V_{BE}$  de dois transistores de áreas iguais, trabalhando com correntes binárias vale:

$$\Delta V_{BE} = \frac{KT}{q} \ln 2 \quad (2.4.7)$$

Como esta tensão é proporcional a temperatura absoluta (PTAT), se fizermos uma corrente PTAT passar por um resistor de valor conveniente teremos uma queda de tensão igual a  $\Delta V_{BE}$  e com a mesma variação com a temperatura prevista por (2.4.7). Um método de se gerar esta corrente PTAT está mostrado na figura 2.5.7.

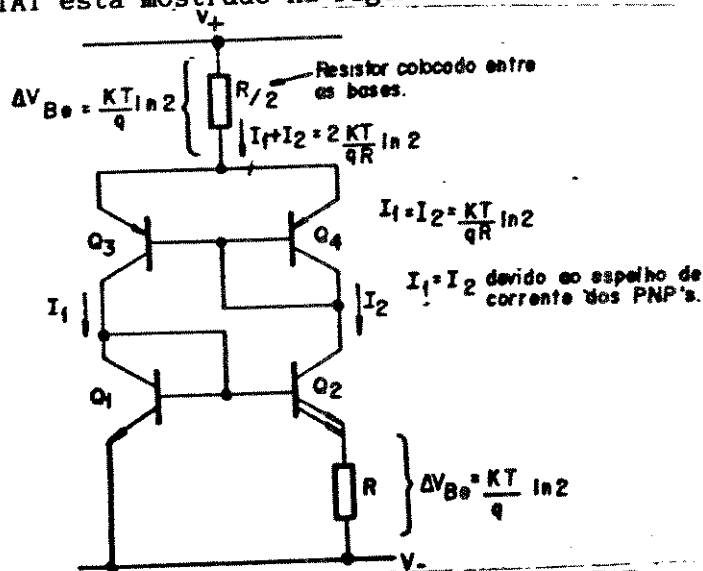


Figura 2.5.7 - Fonte de corrente PTAT

Neste circuito o espelho de corrente formado pelos PNP's superiores força  $I_1 = I_2$  (desprezando nesta análise o efeito de  $\beta_F$  finito). Estas duas correntes iguais, ao circularem pelos transistores  $Q_1$  (de área  $AE$ ) e  $Q_2$  (de área  $2AE$ ), produzem dois  $V_{BE}$ 's diferentes, cuja diferença aparece sobre o resistor  $R$  e vale:

$$\Delta V_{BE} = \frac{KT}{q} \ln \frac{I}{I_s} - \frac{KT}{q} \ln \frac{I}{2I_s} = \frac{KT}{q} \ln 2$$

Portanto, uma corrente  $(KT/qR) \ln 2$  é gerada e, devido ao espelho de corrente aparece na saída multiplicada por dois. Assim, basta introduzir um resistor  $R/2$  em série com essa corrente para criarmos a tensão  $\Delta V_{BE}$  procurada. Este resistor de valor  $R/2$  deve ser do mesmo tipo que o de valor  $R$ , e casado no layout com este.

A figura 2.5.8 exemplifica o uso desta técnica para o caso de um conversor de 6 bits.

Os cuidados que devemos ter ao projetar a fazer o layout deste bloco são:

- a) A corrente fornecida pela fonte PTAT deve ser bem maior (da ordem de 10 vezes ou mais) do que a soma das correntes de base de todos os transistores para tornar desprezível o erro provocado pelas correntes de base.
- b) No layout todos os transistores devem ter a mesma geometria de emissor, por exemplo, se um transistor tiver Área  $2AE$  o desenhamos com dois emissores interligados cada um de Área  $AE$ . Esta técnica melhora o casamento entre os transistores. Os transistores devem estar próximos entre si pelo mesmo motivo.
- c) Para um bom casamento entre os resistores no layout, eles devem ser desenhados com a mesma geometria (valores diferentes são obtidos por associações série/paralelo), estar próximos entre si e ter uma largura grande (bem maior que a mínima - por exemplo 2,0 mil de largura).

Um item importante a ser observado é que o gerador de corrente PTAT da figura 2.5.8 está incompleto, pois falta o circuito de start-up. Além disso, o circuito tem algumas imperfeições, como, por exemplo, o desbalanceamento causado pelas correntes de base, que não foi compensado. Entretanto, o princípio é válido e um gerador PTAT mais sofisticado será apresentado no próximo capítulo, quando discutiremos o projeto de um conversor experimental de 6 bits.

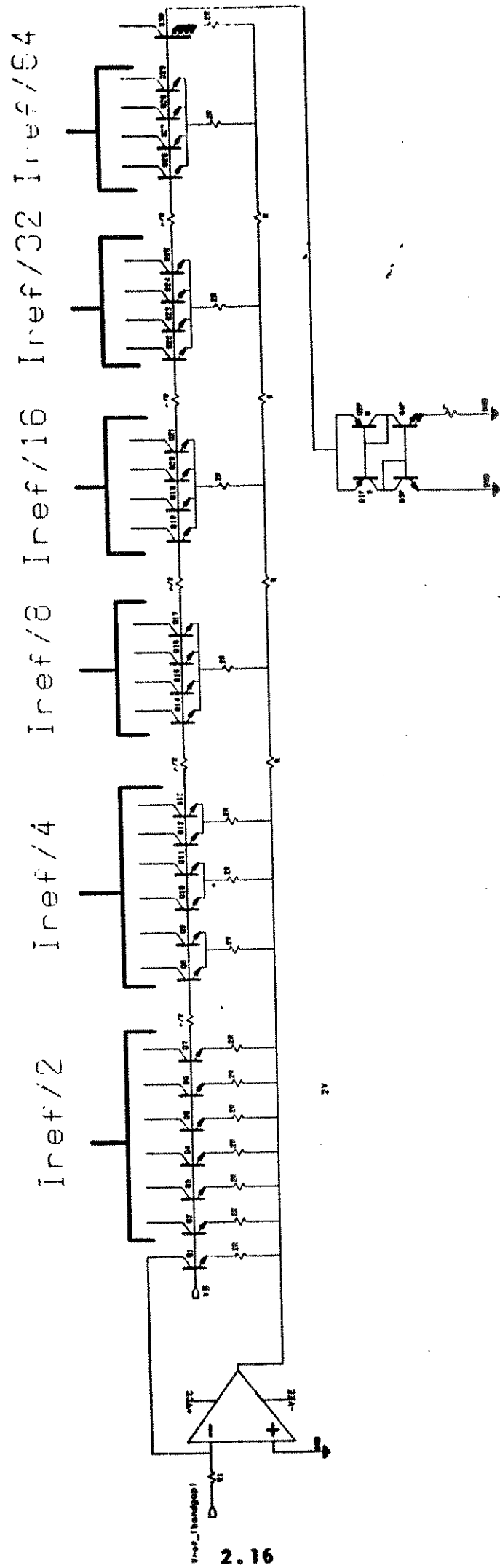


Figura 2.5.8 - Gerador de Correntes de Referência (6 bits)

## CAPÍTULO 3

### Projeto de um Conversor Experimental de 6 Bits

#### 3.1 - Considerações iniciais

Após termos feito uma análise teórica da nova arquitetura, neste capítulo fazemos o projeto prático de um Conversor A/D de 6 bits. Esta resolução foi escolhida por ser utilizada, na prática, no processamento digital de imagens entre outras possíveis aplicações.

No projeto e nas simulações usamos os parâmetros do processo linear compatível com I<sup>2</sup>L disponível na SID Microeletrônica S.A., com transistores NPN com  $f_T = 300$  MHz.

As simulações foram feitas com o programa PSPICE rodado no MicroVax II e SUN 3/80.

#### 3.2. - Arquitetura

A arquitetura do conversor de 6 bits é mostrada na figura 3.2.1. Apenas expandimos a arquitetura básica, acrescentando mais comparadores e chaves de corrente. Como o processo usado não é um processo de alta velocidade, tornou-se necessário usarmos correntes de referências binárias de valor relativamente alto ( $200 \mu A$  até  $6,4$  mA), de forma a obtermos uma velocidade razoável.

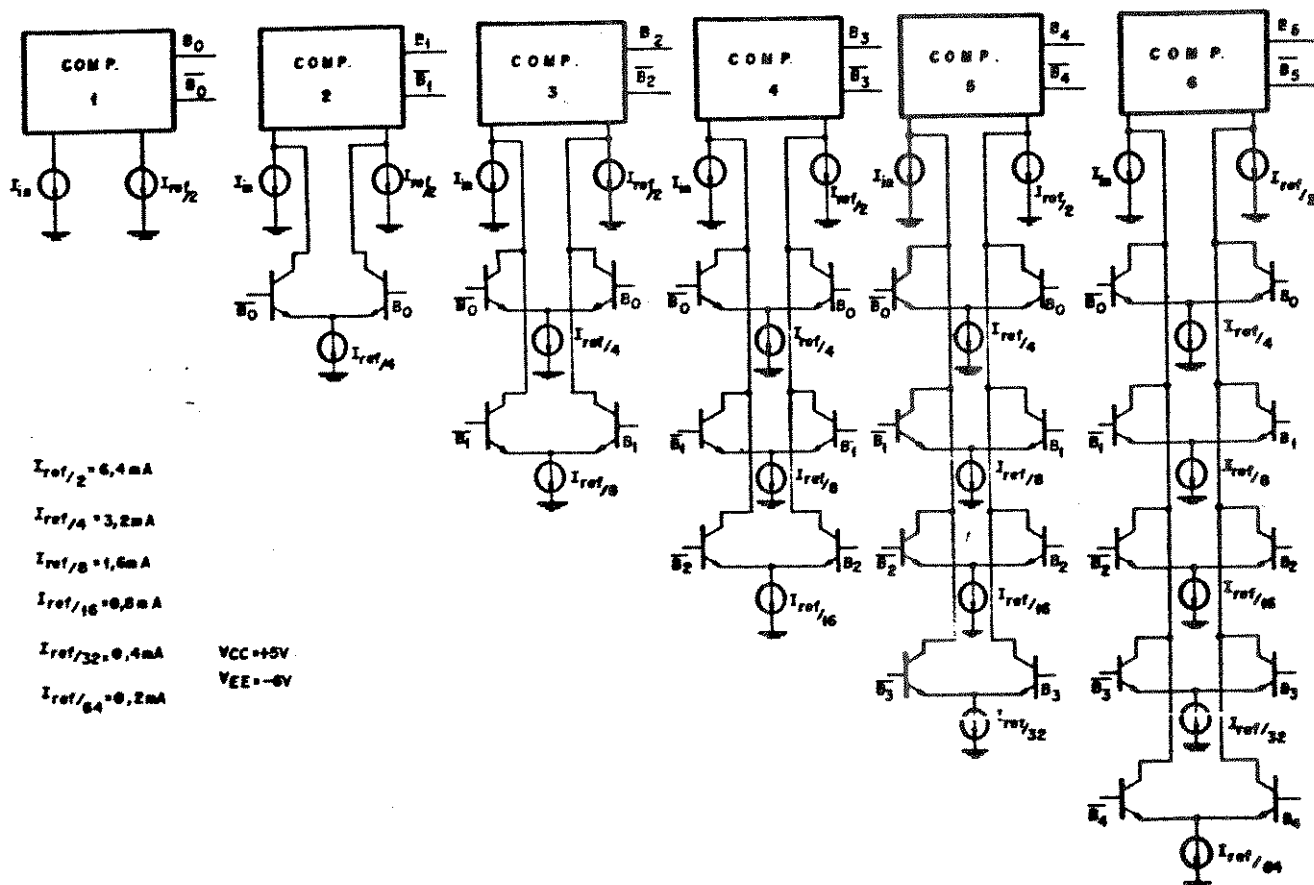


Figura 3.2.1 - Arquitetura conversor de 6 bits

Determinou-se, experimentalmente, que  $200\ \mu\text{A}$  é o limite de corrente abaixo do qual os transistores ficam muito lentos (fr ca), e a partir deste valor chegou-se ao valor 32 vezes maior ( $6,4\ \text{mA}$ ).

Usando-se um processo mais moderno, com um fr elevado e com baixas capacitâncias parasitas, seriam necessárias correntes bem menores para alcançar velocidades de conversão iguais ou maiores.

### 3.3 - Projeto do Comparador

Após a escolha das correntes de referência binárias, partimos para o projeto do bloco chave do circuito: o comparador.

A topologia desenvolvida para este bloco é mostrada na figura 3.3.1.

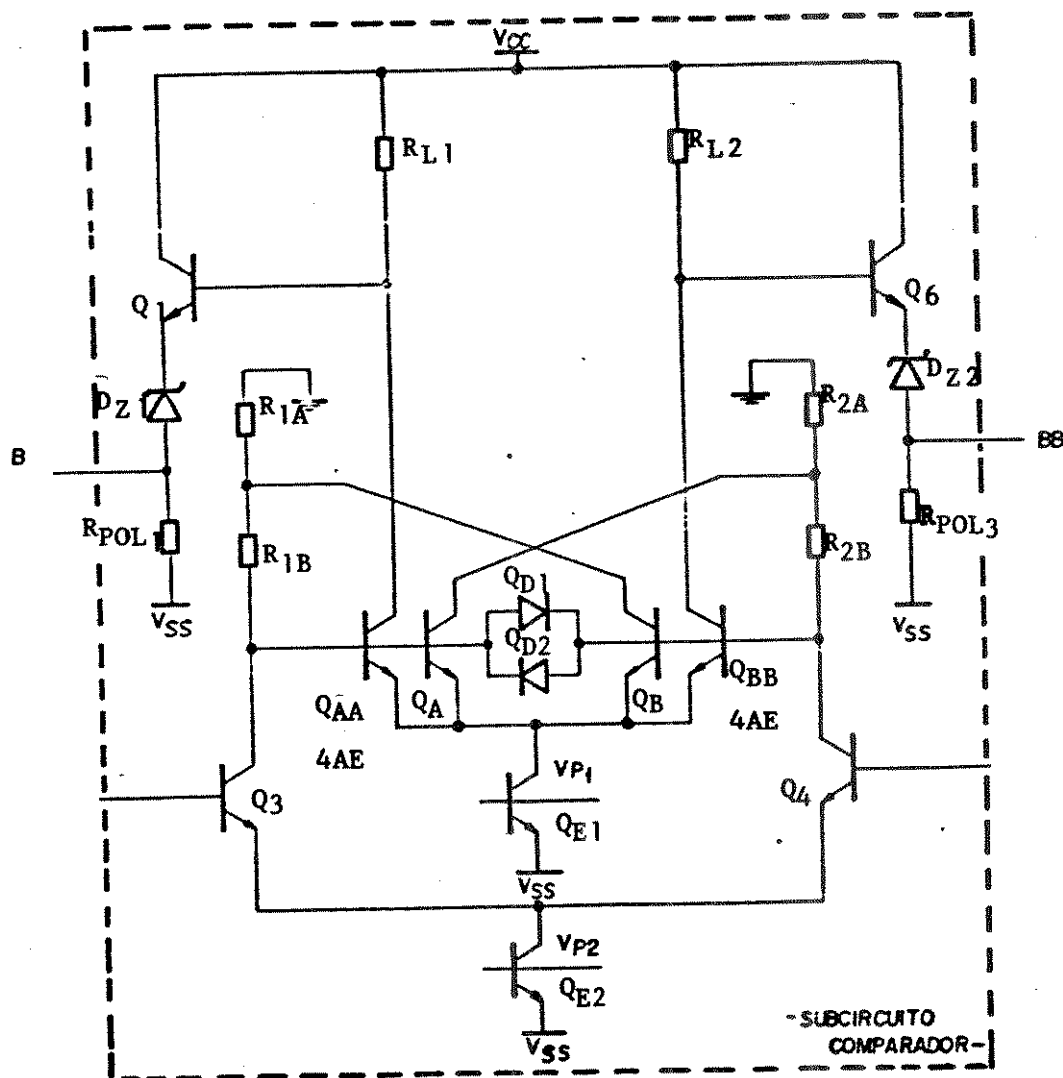


Figura 3.3.1 - Comparador de corrente

O comparador apresentado não necessita de pulsos de "Clock" para sincronização. Q3 e Q4 formam um par diferencial de entrada, tendo como cargas R1A, R1B e R2A, R2B. Este primeiro estágio dá a maior parte do ganho de tensão do comparador. QA e QB produzem uma realimentação positiva, que aumenta a velocidade de chaveamento. QAA e QBB fornecem o ganho final antes do estágio de saída, que consiste num level-shifter e num buffer, formados por Q1, Q6, Dz1 e Dz2. QD1 e QD2 evitam a saturação dos transistores QA e QB, o que aumenta a velocidade de comutação. Cp representa as capacitâncias parasitas principais. A partir da figura 3.3.1, podemos estimar o ganho de tensão do comparador (vide o Apêndice I, como:

$$A_v = \frac{V_{o+}}{V_{in}} = - \frac{V_{o-}}{V_{in}} = \frac{G_{m0} \cdot G_{m0} \cdot R \cdot R_L}{1 - G_{m0} R}$$

onde:  $G_{m0} = G_m (Q2) = G_m (Q3)$

$$G_{m0} = G_m (QAA) = G_m (QBB)$$

$$R_L = R_{L1} = R_{L2}$$

$$R = R_{1A} = R_{1B} = R_{2A} = R_{2B}$$

Ainda usando o modelo para pequenos sinais, a dependência das tensões de saída do comparador podem ser descritas aproximadamente como:

$$V_{B1} = A_v (e^{at} + 1) V_{in}$$

$$V_{B1} = A_v (e^{at} - 1) V_{in}$$

onde:

$$a = \frac{1}{R_{L1} C_p} \text{ é o pólo dominante}$$

Assim, no projeto elétrico do comparador temos que minimizar o valor da capacitância parasita Cp na hora do layout, e precisamos tomar cuidado ao escolher um valor não muito alto do RL1.

O projeto elétrico do comparador é cheio de compromissos do tipo Ganho x Velocidade, Consumo x Velocidade, etc. Um exemplo disso é dado pela determinação dos resistores R2A, R2B e R1A, R1B. Esses resistores têm que ter um valor alto o suficiente para assegurar um ganho mínimo, porém baixo o suficiente para que a constante RC (formada com as capacitâncias parasitas) não tornem o comparador lento demais. Esse mesmo compromisso vale para os resistores RL1 e RL2 que fazem parte do segundo estágio de ganho. Os valores dos resistores Raux2 e Raux5, por sua vez, têm que ser grandes o suficiente para provocar uma diferença de potencial perceptível pelo comparador, sem, contudo, tornar o comparador lento. Todos estes compromissos foram otimizados através de simulações sucessivas, visando obter, por um lado, um ganho suficiente para a resolução desejada, e, por outro lado, um comparador rápido o suficiente para converter sinais de vídeo. Dois arquivos de simulações foram usados para obter estes dados no PSPICE:

#### a) Arquivo Análise de Função de Transferência (Ganho)

A figura 3.3.2 mostra o circuito usado para a obtenção da função de transferência do comparador. Usou-se uma análise transiente,

com uma forma de onda triangular bem lenta na entrada, para evitar problemas de convergência.

Deste arquivo plotamos  $I_{in} \times V(B)$  e  $I_{in} \times V(BB)$  (Transferência Corrente-Tensão do Comparador).

#### b) Arquivo Análise Tempo de Respostas (Velocidade)

Consiste no mesmo circuito elétrico, só que agora o sinal de entrada  $I_x$  é um degrau do tipo mostrado na figura 3.3.3:

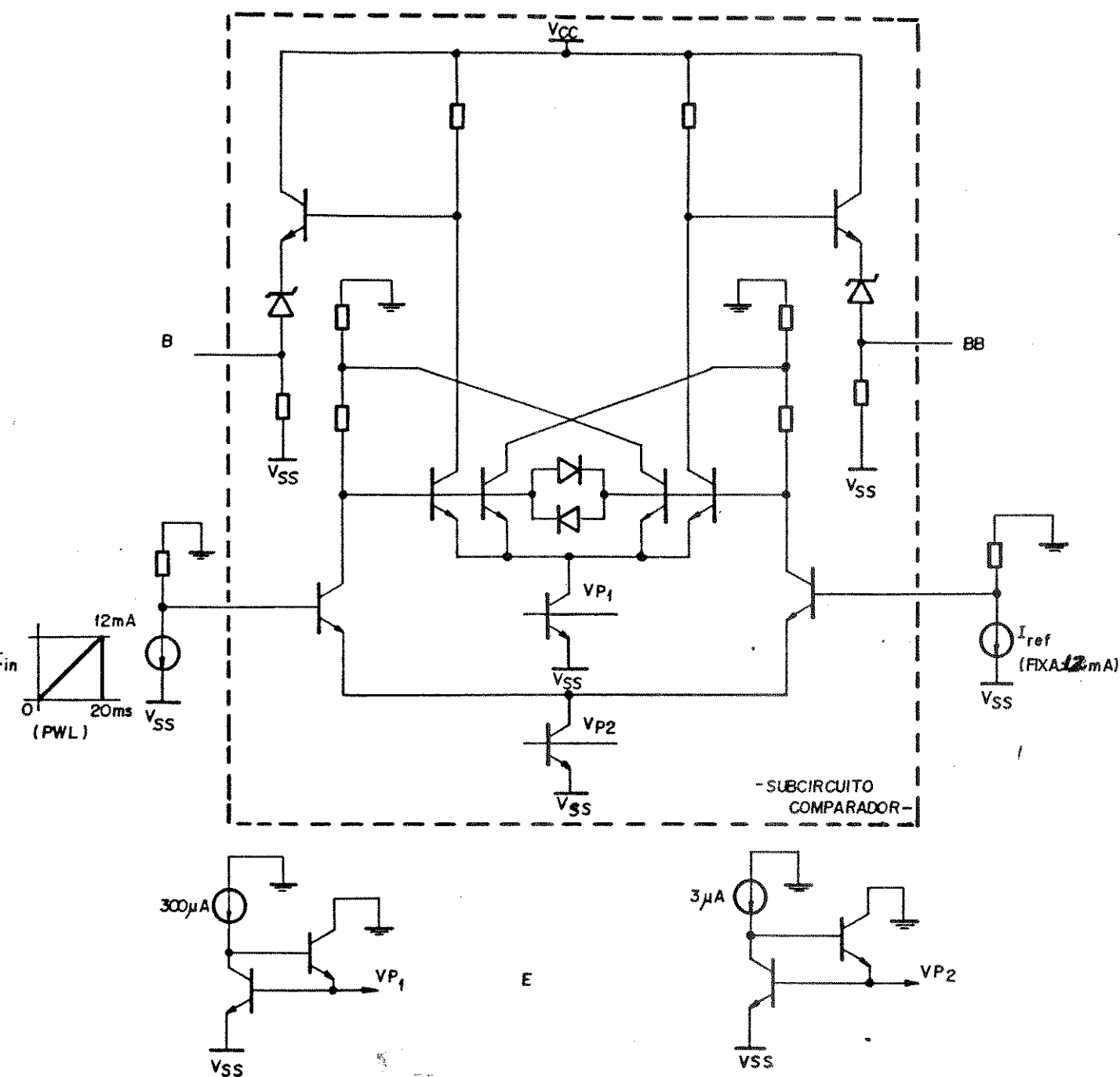


Figura 3.3.2 -Obtenção da função de transferência



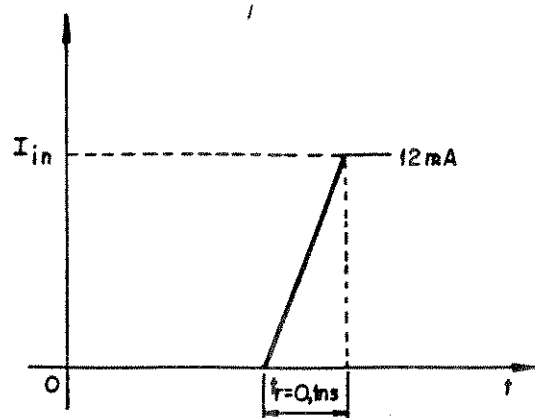


Figura 3.3.3 - Pulso de entrada

Do resultado, medimos o tempo de chaveamento das saídas do comparador. Usando essa técnica iterativa, obtivemos o circuito final mostrado na figura 3.3.4.

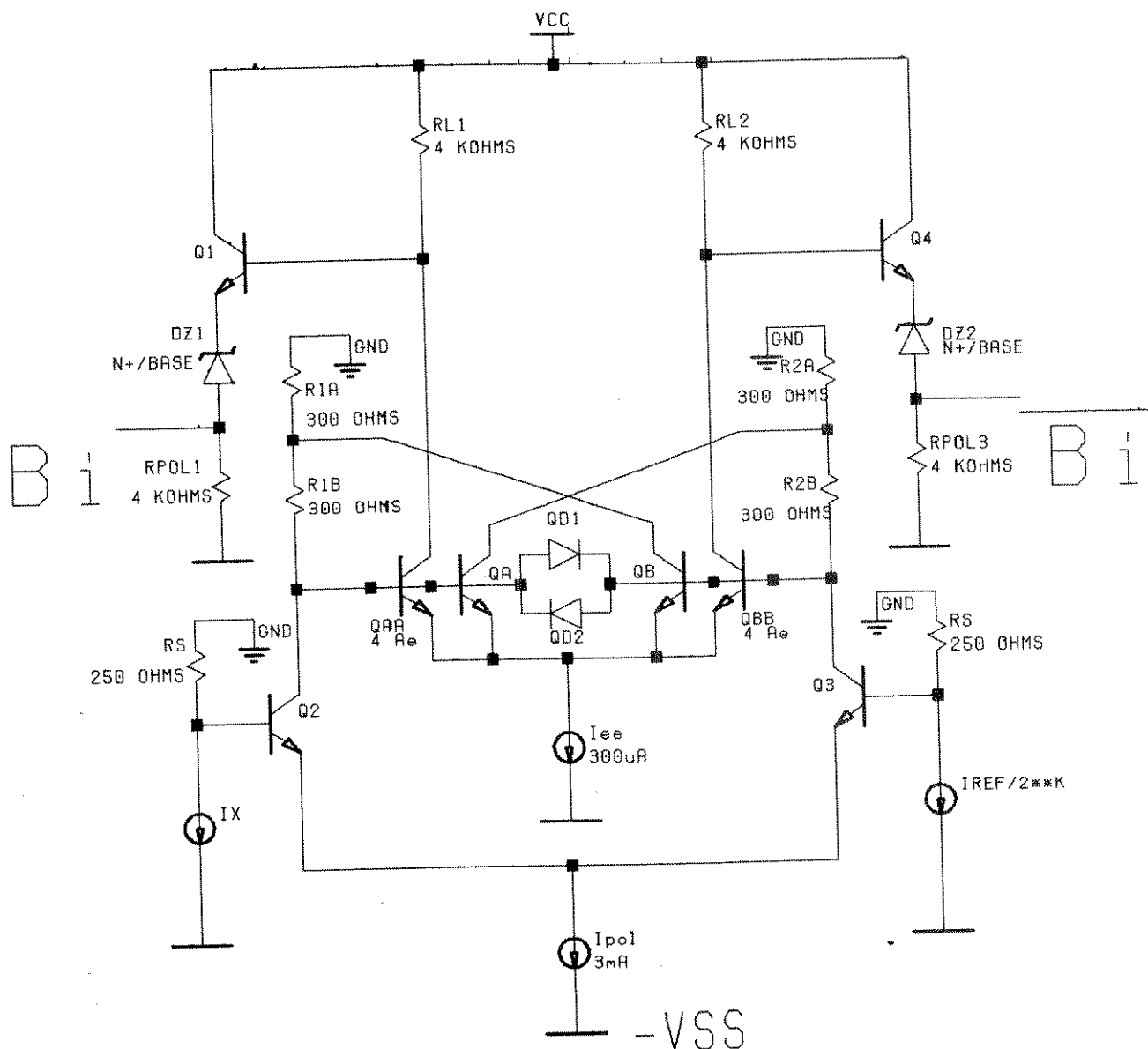


Figura 3.3.4 - Circuito final do comparador.

O ganho total do comparador pode ser descrito como: (Vide Apêndice I)

$$A_v = \frac{G_{mo} \cdot G_{me} \cdot R \cdot R_L}{1 - G_{mf} \cdot R}$$

onde:  $G_{me} = G_{m2} = G_{m3} = (1,5\text{mA})/V_T = 58 \times 10^{-3} \text{ A/V}$

$$G_{mo} = G_{mAA} = G_{mBB} = (120\mu\text{A} / V_T = 4,6 \times 10^{-3} \text{ A/V}$$

$$G_{mf} = G_{mA} = G_{mB} = (30\mu\text{A})/V_T = 1,1538 \times 10^{-3} \text{ A/V}$$

$$R = 300 \text{ ohms e } R_L = 4 \text{ K ohms}$$

$$A_v = 490 \text{ (53,8 dB)}$$

O ganho mínimo necessário, dado pela equação (2.4.1), vale:

$$A_{vmin} = \frac{V_{omin}}{R \cdot I_{ref}/2^7} \cdot \frac{1,0V}{250 \cdot 12,8\text{mA} / 2^7} = 42$$

onde escolhemos  $V_{omin} = 1,0V$  para maior margem de segurança. O cálculo acima serve para confirmar o resultado das simulações, uma vez que esta informação pode ser extraída do gráfico da função transferência. Na figura 3.3.5 está mostrada a função de transferência corrente de entrada x tensão de saída (complementar e normal).

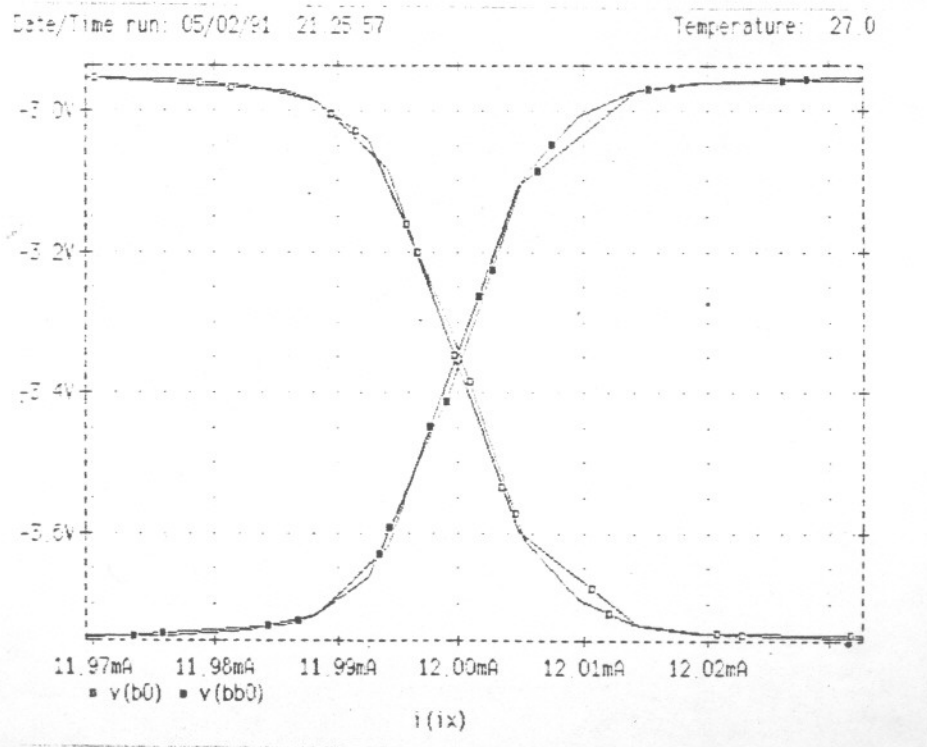


Figura 3.3.5 - Função de transferência

Desta curva podemos observar que, num intervalo menor que

$$\text{LSB}/2 = 200 \mu\text{A}/2 = 100\mu\text{A}$$

ao redor da corrente de referência ( $I_{\text{ref}}$ ), o comparador se estabiliza num nível de tensão. Isto satisfaz a especificação de que a resolução do comparador seja menor que  $\text{LSB}/2$ . A figura 3.3.6 mostra a velocidade de chaveamento do comparador, que é da ordem de 50 ns (o que garante a sua operação em frequências de vídeo).

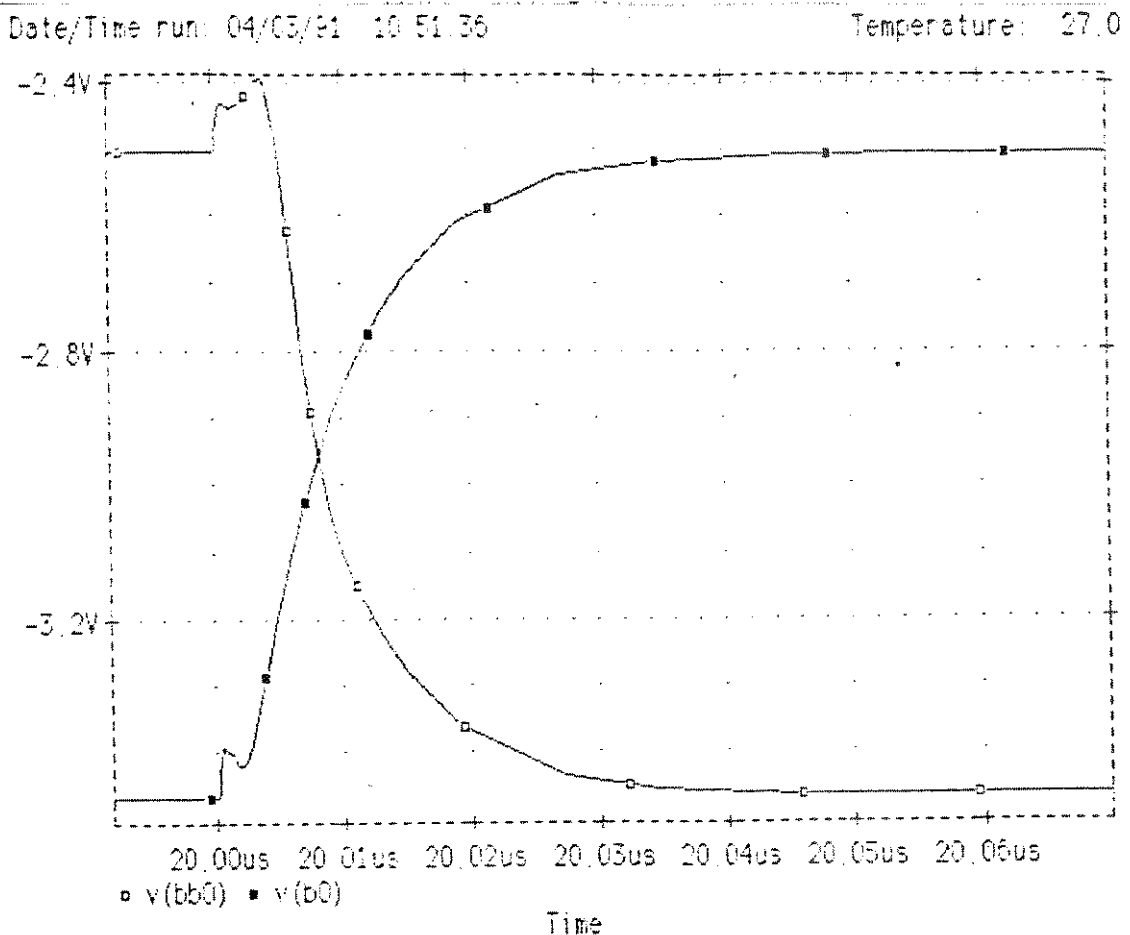


Figura 3.3.6 - Velocidade do comparador

Os erros devidos ao  $\beta F$  finito, a  $V_{\text{os}}$ , a  $I_{\text{os}}$  e ao descasamento dos resistores na entrada do comparador também não prejudicam a precisão pois, de acordo com a equação (2.4.7),

$$2 \cdot I_{\text{os}} \cdot R + V_{\text{os}} + I_{\text{EE}}/\text{Beta} \cdot R + I_{\text{ref}} \cdot R \cdot \text{SIGMA} < I_{\text{ref}}/2^{n+1} \cdot R$$

No projeto em questão, estimando a partir dos dados de processo fornecidos ( $V_{\text{os}} = 1\text{mV}$ ,  $I_{\text{os}} = 8\mu\text{A}$  E  $\text{SIGMA} = 0.1\%$ ), obtemos

$$4\text{mV} + 1\text{mV} + 3.75\text{mV} + 1.6\text{mV} < 12.5\text{mV}$$

O que satisfaz a precisão de  $1/2$  LSB requerida.

### 3.4 - Projeto das Fontes de Corrente (binárias e de referência) e Chaves de Corrente

A fonte de corrente binária usada neste projeto, é do tipo mostrado na figura 2.5.7, com apenas a fonte de corrente PTAT melhorada. O novo esquema da fonte de corrente está ilustrado na figura 3.4.1.

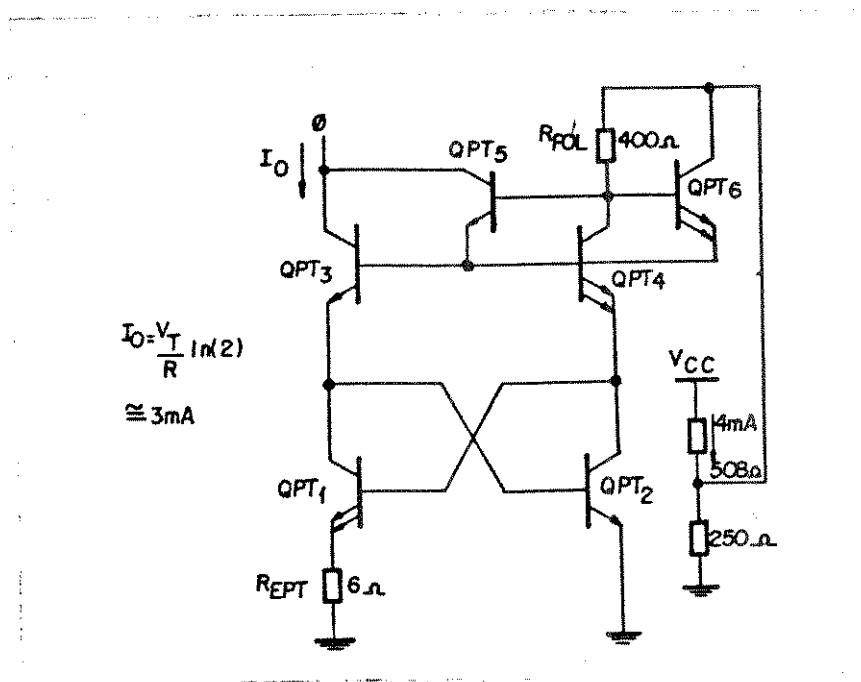


Figura 3.4.1 - Fonte de corrente PTAT modificada

Este circuito usa a célula "Cross-Quad" [15], para compensar o efeito das correntes de base, porém com aperfeiçoamentos introduzidos por [14], para reduzir os desvios provocados pelo comportamento térmico diferente das correntes, nos dois ramos do circuito (o ramo formado por QPT3 e QPT1 e o ramo formado por QPT4 e QPT2). Como a corrente de saída vale  $V_T/REPT \ln(2)$ , o resistor inter-bases na rede R-2R vale REPT (6 ohms). O valor dos resistores R e 2R da rede foram determinados de modo a não saturarem os transistores da rede R-2R e a produzirem uma impedância AC grande, vista nos coletores dos transistores da rede. Os valores obtidos foram  $R = 125$  ohms e  $2R = 250$  Ohms, que fornecem, nos coletores dos transistores da rede R-2R, impedâncias da ordem de 190 Kohms. Essa impedância é a impedância da fonte de corrente de referência vista pelo comparador; como é muito maior que os 250 ohms na entrada do comparador, podem-se considerar as fontes de corrente de referência ideais. A figura 3.4.2 mostra o circuito final.

As fontes de corrente de entrada são bem mais simples de serem implementadas, pois como todas tem o mesmo valor, usamos um conversor tensão corrente, conforme mostra a figura 3.4.3.

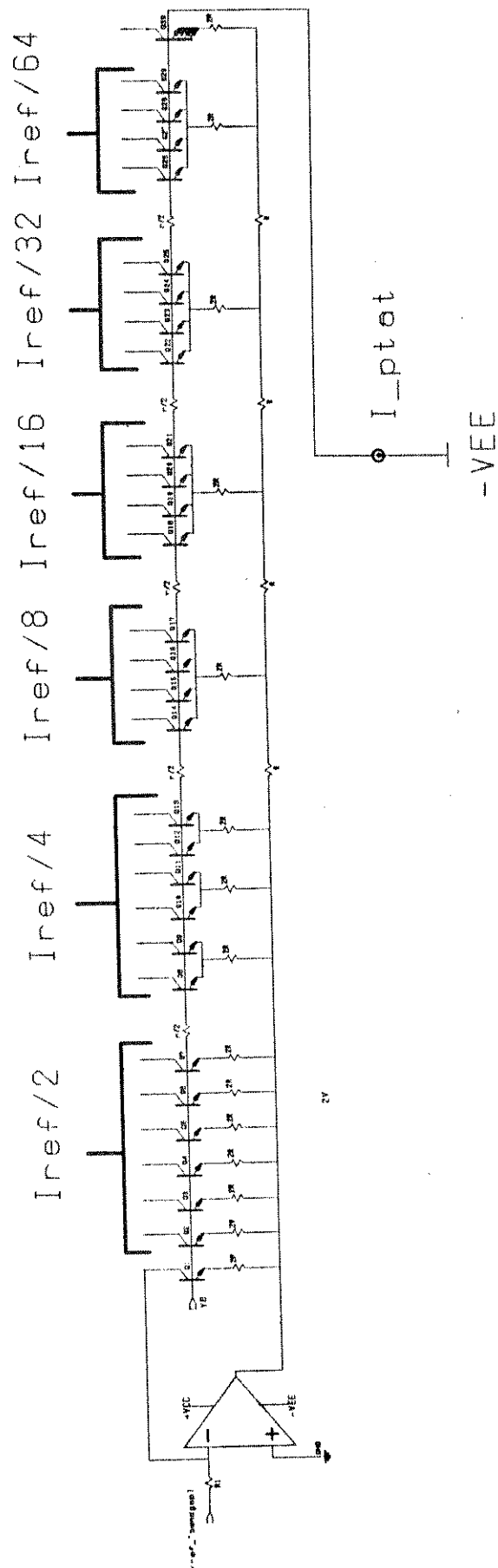


Figura 3.4.2 - Fonte de correntes binárias final

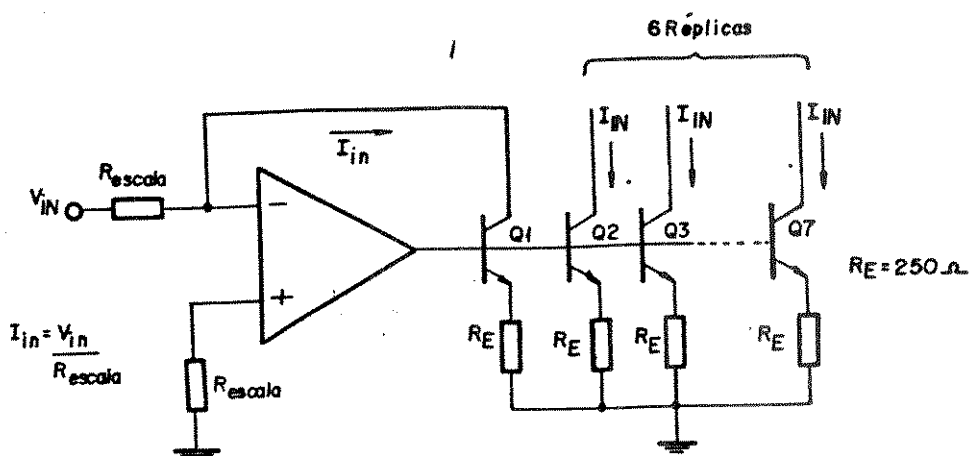


Figura 3.4.3 - Fonte de corrente  $I_{in}$

O único cuidado é que o amplificador operacional seja bem rápido (um alto produto ganho - banda), para poder também operar em vídeo.

Outra alternativa, para gerar o sinal  $I_{in}$ , seria o uso de um amplificador operacional realimentado por corrente, [16,17], como por exemplo AD9611 que, por operar com corrente, apresenta produto ganho-banda da ordem de 200 MHz. Neste caso, o circuito usado no conversor tensão-corrente passa a ser o da figura 3.4.4.

As chaves de corrente do conversor são acionadas com uma tensão diferencial de 0.9V, maior que o limite visto no item 2.3 (=200 mV). Isso garante o total chaveamento da corrente entre os dois ramos da chave. As chaves introduzem um erro devido à corrente de base (isto é  $\alpha < 1$ ), pois  $I_c < I_e$ ; usando-se, porém, um processo de alto  $\beta_F$  (no caso de SID  $\beta_F = 200$ ), esse erro é da ordem de 0,5% da corrente de referência. No caso do conversor de 6 bits, a maior corrente de referência chaveada vale 3,2 mA. Logo o erro devido à corrente de base da chave será de 16  $\mu A$ , que é bem menor que a tolerância máxima de 1/2 LSB (100  $\mu A$ ). Assim, vemos que a corrente de base das chaves não compromete a precisão e linearidade do conversor. Para garantir que  $\beta_F$  não varie com a corrente em cada chave, escalamos as áreas de emissores das chaves de acordo com a corrente.

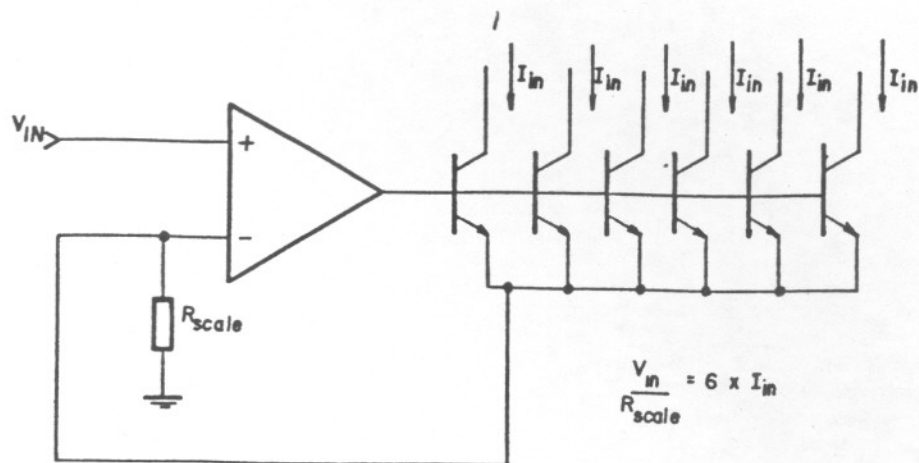


Figura 3.4.4 - Circuito alternativo para gerar  $I_{in}$

### 3.5 - Características do Conversor Simulado

Uma vez terminado o projeto elétrico, passamos à etapa de simulação do conversor de 6 bits como um todo. Para racionalizar o uso de CPU, simulamos inicialmente só a fonte de correntes binárias de referência junto com os resistores de entrada do comparador. De posse dos valores das correntes e das capacitâncias parasitas no nó de entrada dos comparadores fornecidos pelo PSPICE, modelamos a rede R-2R por fontes de corrente ideais (pois a impedância de saída é alta, conforme vimos no item anterior), com capacitâncias parasitas associadas (da ordem de 1,5 pF). Depois disso, o circuito da figura 3.2.1 foi simulado (com os comparadores já projetados), usando-se uma análise transiente com duas formas de ondas sucessivas:

- a) Primeiramente aplicamos uma rampa bem lenta (100 ms de duração), que vai de 0 até 13 mA, através da fonte de corrente  $I_x$ . Desta simulação obtemos a função de transferência do comparador e, portanto, podemos calcular a sua linearidade (que é o mais importante).
- b) Na segunda simulação aplicamos, através da fonte  $I_x$ , um pulso de corrente, conforme a figura 3.5.1., o que ocasiona, na saída do conversor, uma transição dos níveis lógicos de '011111' para '100000', seguida, após micro-segundos, de outra transição de '100000' para '011111'. Estas duas transições representam o pior caso de velocidade, pois a mudança de todos os bits acarreta uma propagação de sinais por todos os conversores de modo sequencial.

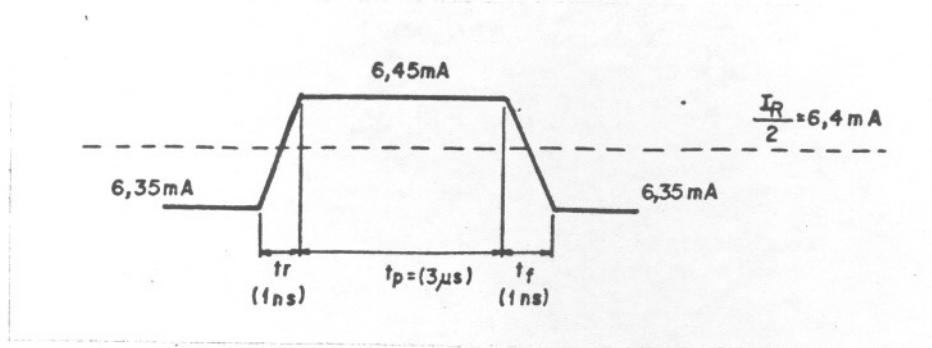


Figura 3.5.1 - Pulso de teste

A partir da segunda simulação obtivemos a figura 3.5.2, onde mostramos o tempo de conversão, que é aproximadamente 60 ns. Este tempo permite ao conversor operar até frequências de amostragem próximas de 16 MHz. Na prática, a este tempo de conversão temos de acrescentar o tempo de resposta do conversor tensão-corrente que gera o sinal  $I_x$ . Porém, usando-se operacionais rápidos com realimentação de corrente, como por exemplo o AD9611 da Analog Devices ( $f_{GB} = 280$  MHz), este tempo é da ordem de apenas 2 ns.

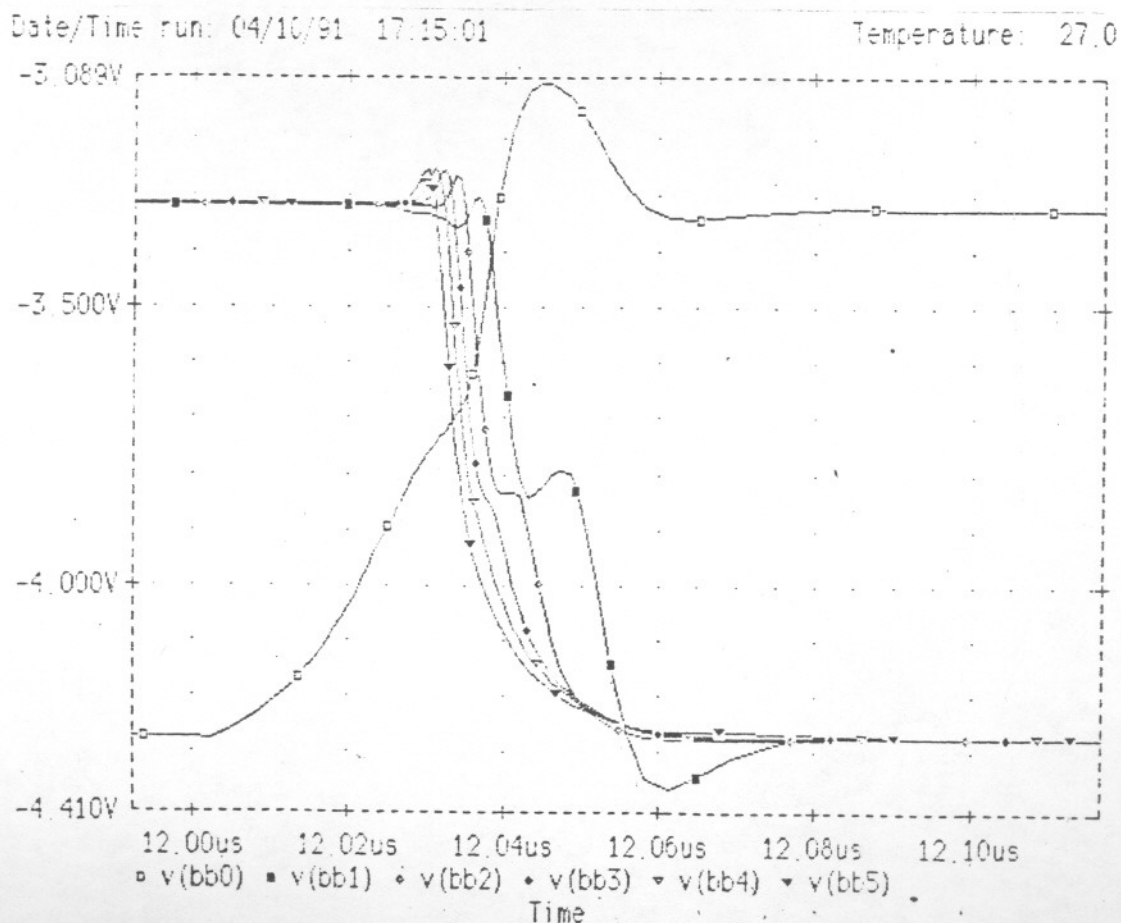


Figura 3.5.2 - Tempo de conversão



Na figura 3.5.3 mostramos os gráficos de erros de não-linearidade, tanto integral quanto diferencial, onde podemos ver que tanto o erro de não-linearidade integral como o erro de não-linearidade diferencial estão abaixo de 0,5 LSB.

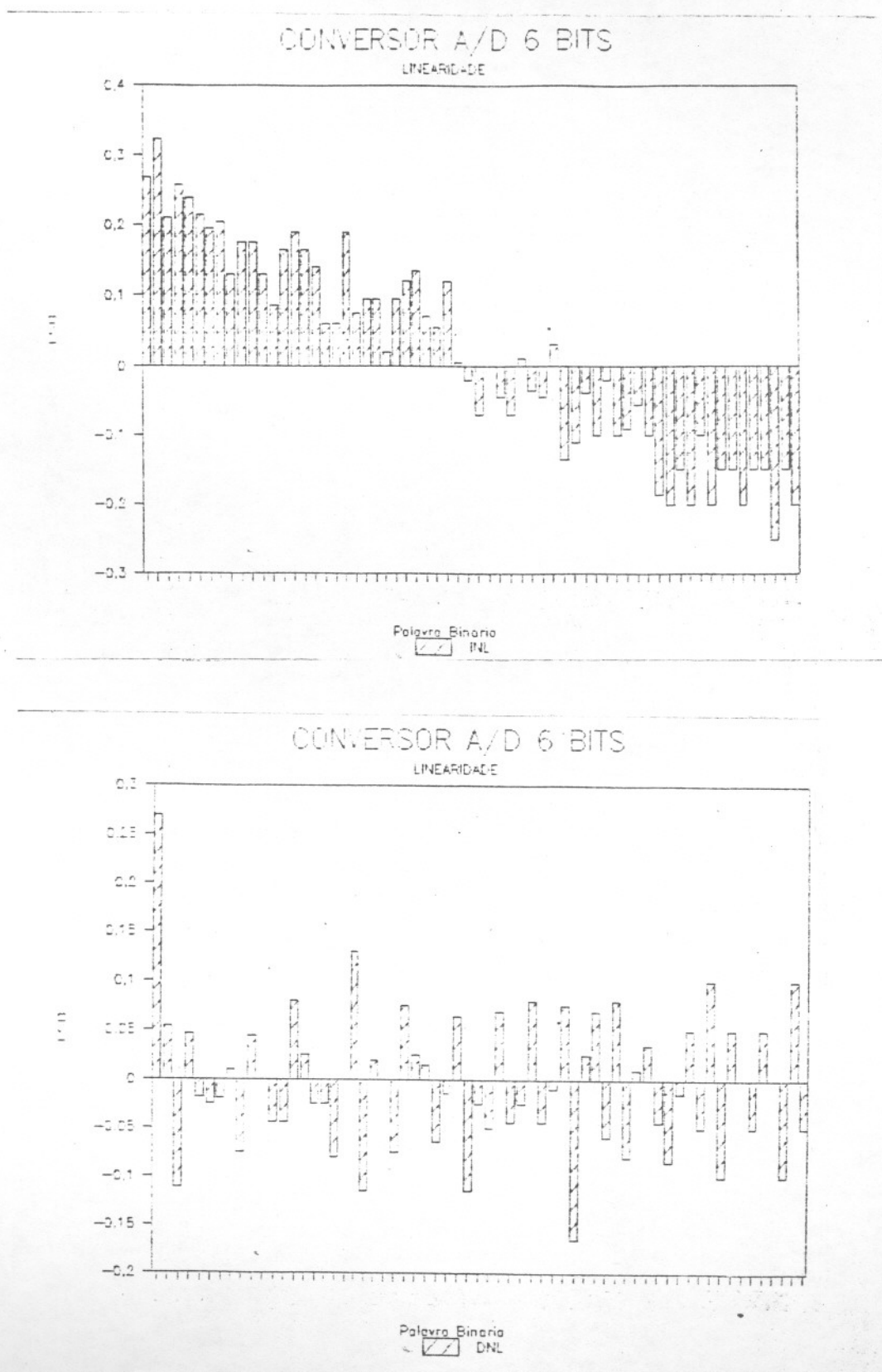


Figura 3.5.3 - Erros de não-linearidade (6 bits)

## Implementação de um Conversor A/D de 4 Bits

## 4.1 - Circuito

Para verificarmos na prática o novo conceito, implementamos um Conversor A/D de 4 bits, no PMU bipolar, que foi fundido no processo SID I<sup>2</sup>L compatível com linear. O circuito deste conversor de 4 bits foi obtido a partir do conversor completo de 6 bits, conforme pode ser visto na figura 4.1.1.

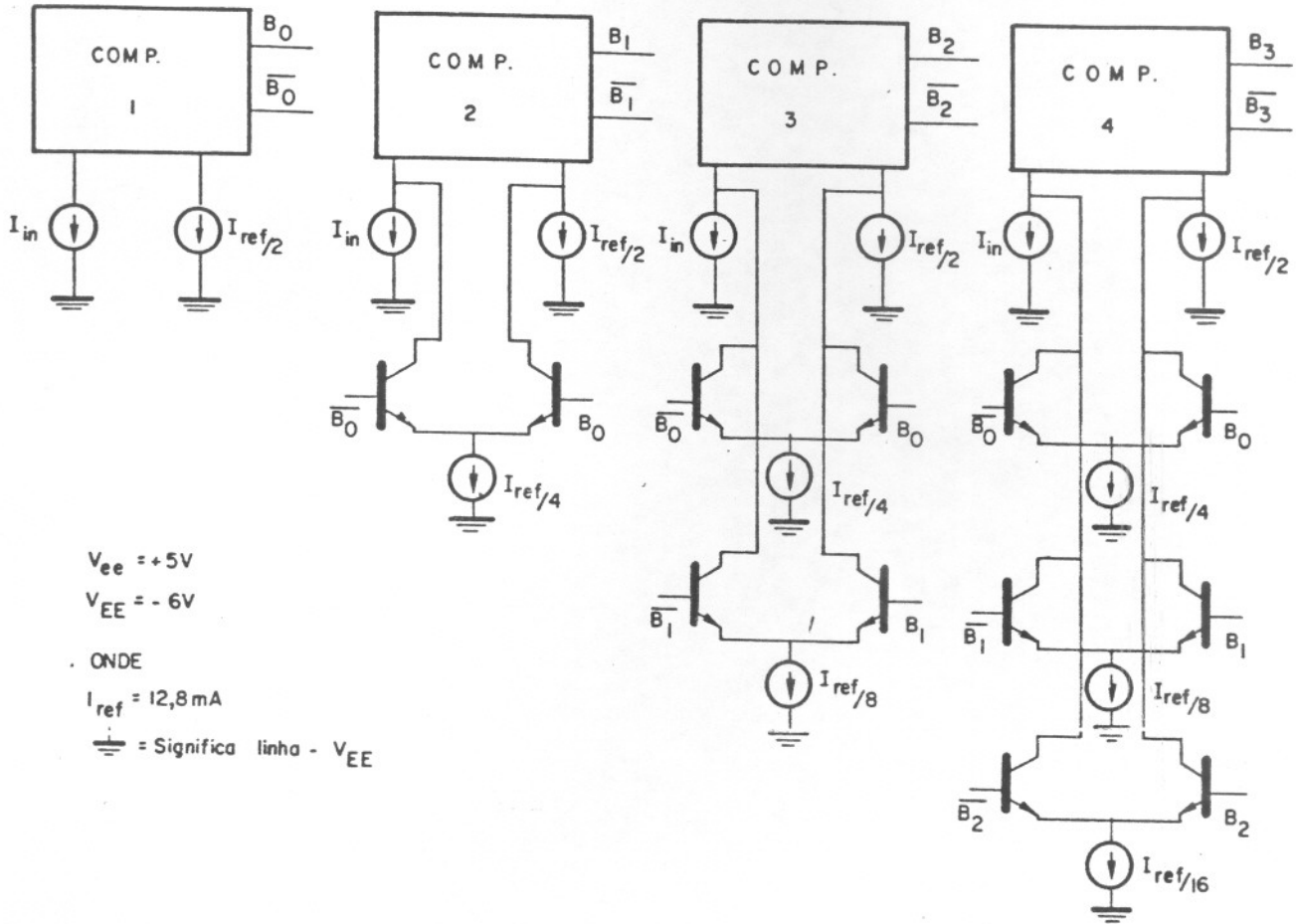
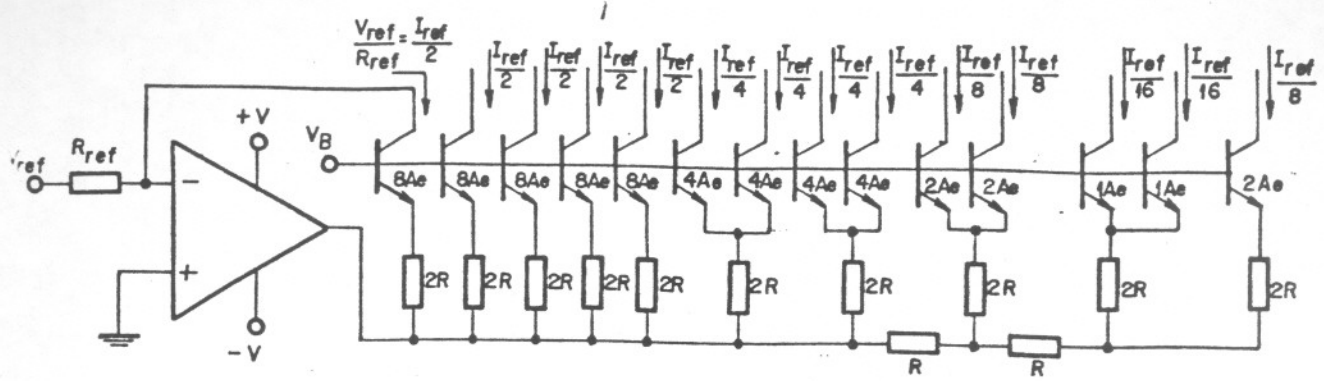


Figura 4.1.1 - Circuito conversor de 4 bits

Os comparadores são os mesmos projetados para a versão de 6 bits; só as fontes de correntes binárias de referência é que foram reprojatadas. Visando diminuir a área do circuito, optou-se por usar o circuito da figura 2.5.6, usando-se a partição dos transistores de saída em dois, para gerar as correntes de referência. Os valores de  $R$  e  $2R$  escolhidos foram  $R = 125 \text{ ohms}$  e  $2R = 250 \text{ ohms}$ . Na implementação da fonte de correntes binárias, o amplificador operacional está externo ao C.I., para maior flexibilidade. A figura 4.1.2 mostra o circuito final da fonte de correntes binárias.



onde  $R = 125 \Omega$   
 $2R = 250 \Omega$

Figura 4.1.2 - Fonte de correntes binárias para 4 bits

O circuito que gera a corrente  $I_{in}$  é mostrado na figura 4.1.3. Note-se que o Amplificador Operacional foi deixado externo ao C.I., de modo que podemos usar tanto operacionais convencionais como também os operacionais realimentados por corrente (AD9611).

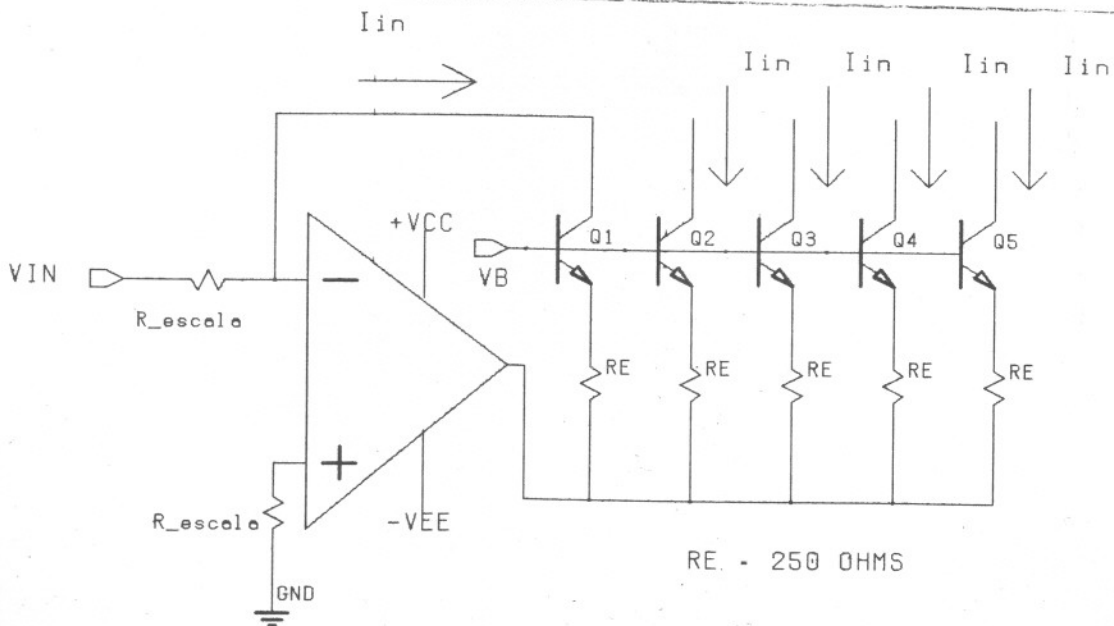


Figura 4.1.3 - Fonte de corrente  $I_{in}$  para 4 bits

## 4.2 - Características do Conversor Simulado

Usando o mesmo esquema de simulações transientes já descrito no item 3.4, obtemos as características do conversor de 4 bits:

- a) Usando um pulso variando de 3,15 mA até 3,25 mA, de formato igual ao da figura 3.4.1, obtemos o tempo de conversão, que é da ordem de 50 nS, conforme mostra a figura 4.2.1.

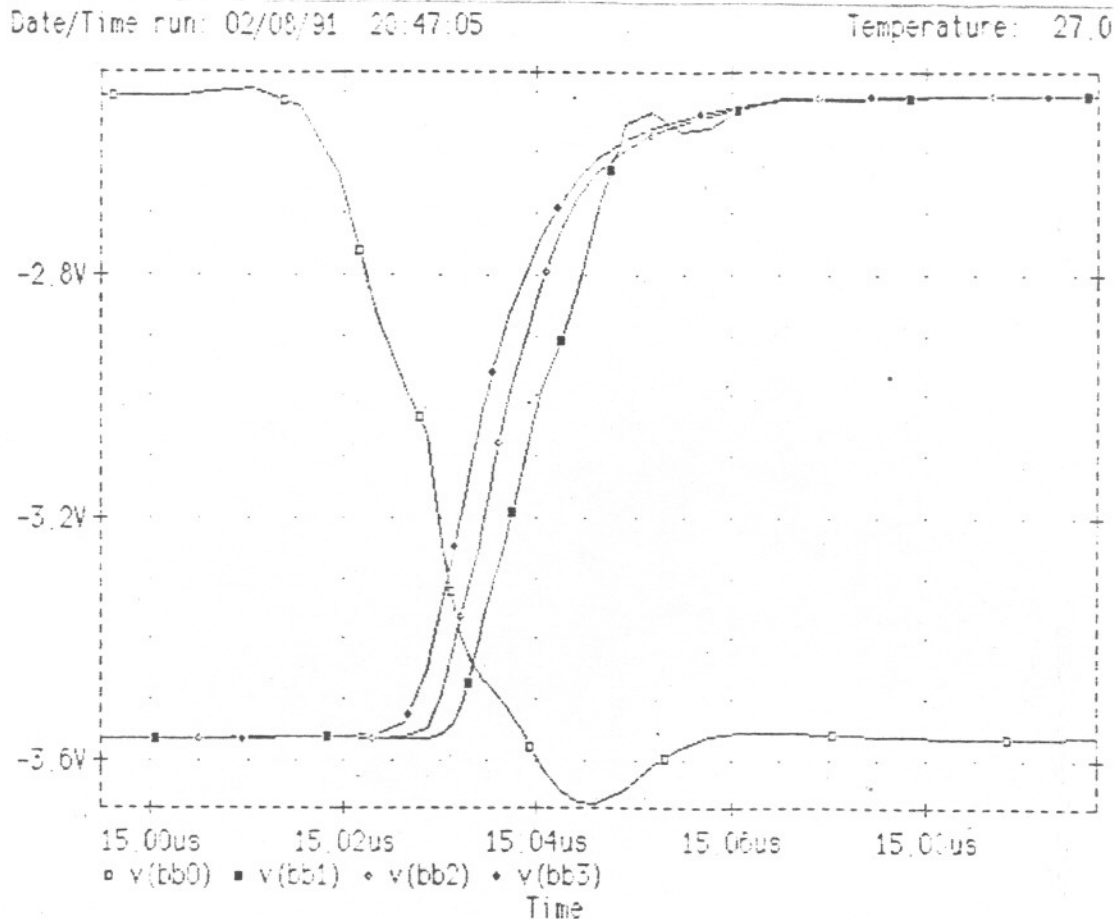


Figura 4.2.1 - Tempo de conversão (4 bits)

- b) Usando uma rampa lenta (100mS), varremos  $I_{in}$  de 0 até 7 mA. Esta varredura, por problemas de convergência do PSPICE, teve de ser feita em partes. O resultado são os gráficos de não-linearidade integral (fig.4.2.2) e o de não-linearidade diferencial (fig.4.2.3). Destes gráficos vemos que os erros de não-linearidade integral e de não-linearidade diferencial são menores do que 0,2 LSB.

# CONVERSOR A/D 4 BITS

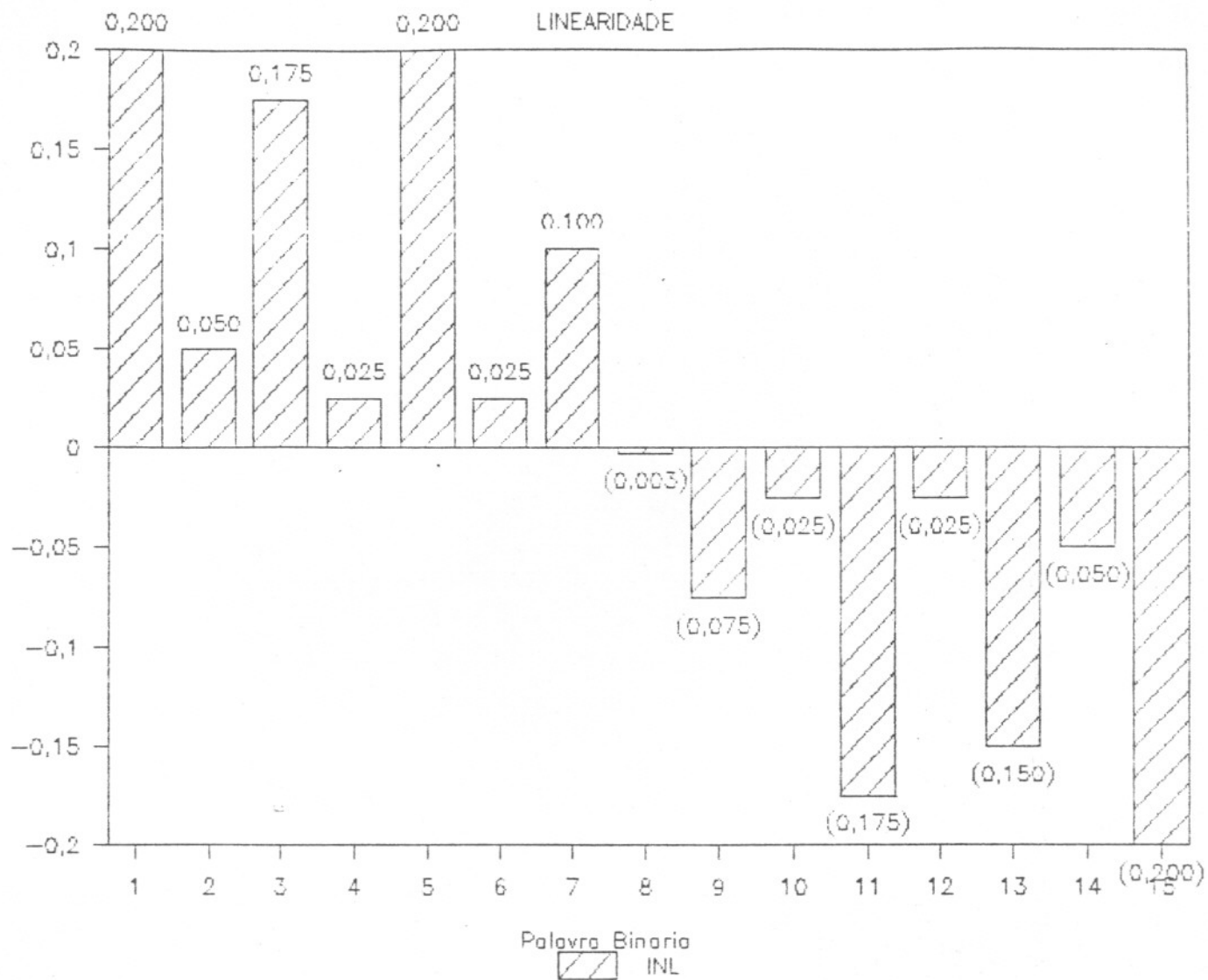


Figura 4.2.2 - Não - Linearidade Integral

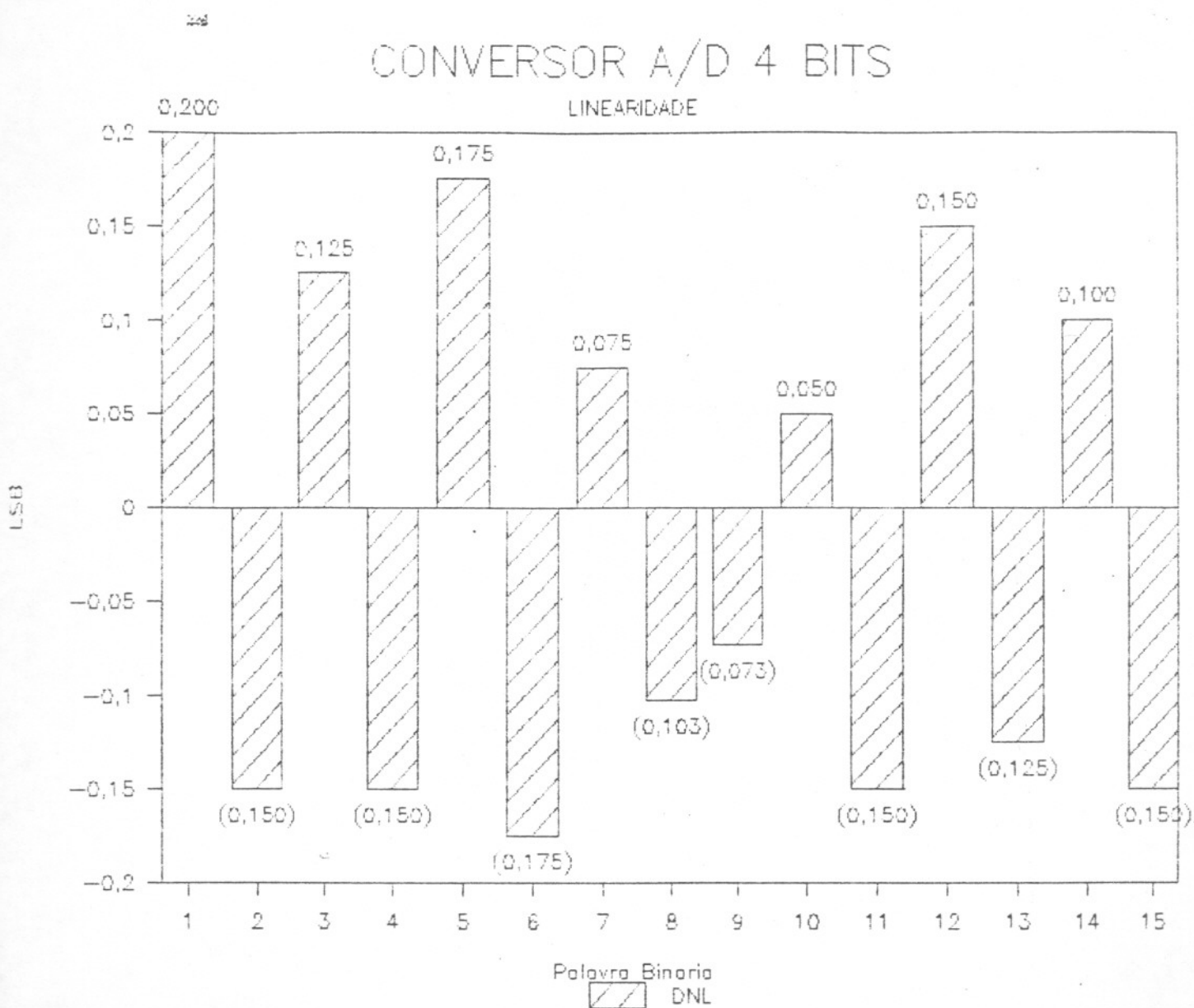


Figura 4.2.3 - Não - Linearidade Diferencial



#### 4.3 - Layout do Conversor

Por falta de tempo, pois fomos informados que a área estaria disponível para nosso uso apenas 1 mês antes de findo o prazo para a entrega das fitas com os layouts, optamos por usar o esquema de células hierárquicas no layout do conversor. Assim, o primeiro bloco a ser desenhado foi a célula comparador (fig.4.3.1). Ele foi desenhado de forma modular, de modo que os comparadores correspondentes aos vários bits se encadêem de forma simples no layout. Devido ao alto grau de cruzamento de linhas no esquemático, foi inevitável usarmos "cross-unders" de difusão de emissor. As capacitâncias parasitas associadas a estes "cross-unders" podem diminuir um pouco a velocidade do circuito.

No layout do bloco gerador das correntes binárias e do bloco gerador da corrente de entrada, tomou-se um cuidado especial com o casamento dos resistores e dos transistores da rede R-2R. Um exemplo disso é que um transistor de Área 8Ae, por exemplo, é feito com 8 difusões de emissor, cada uma de área Ae. Os resistores para melhor casamento foram feitos mais largos ( $W = 2,0$  mils) e com a mesma orientação no layout.

Os pares diferenciais que compõem as chaves de corrente também foram desenhados o mais casados possíveis entre si, inclusive tendo a mesma orientação no layout. O layout completo do conversor experimental de 4 bits é mostrado na Figura 4.3.5. e uma fotografia do chip já encapsulado é apresentada na Figura 4.3.6.

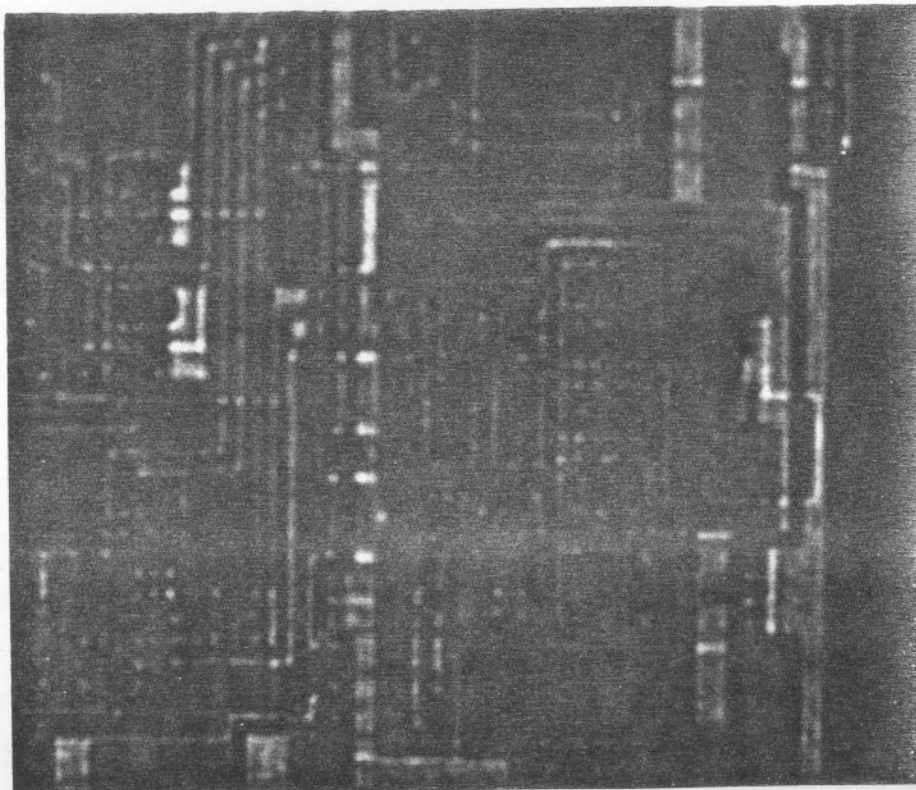


Figura 4.3.1 - Fotomicrografia do Comparador

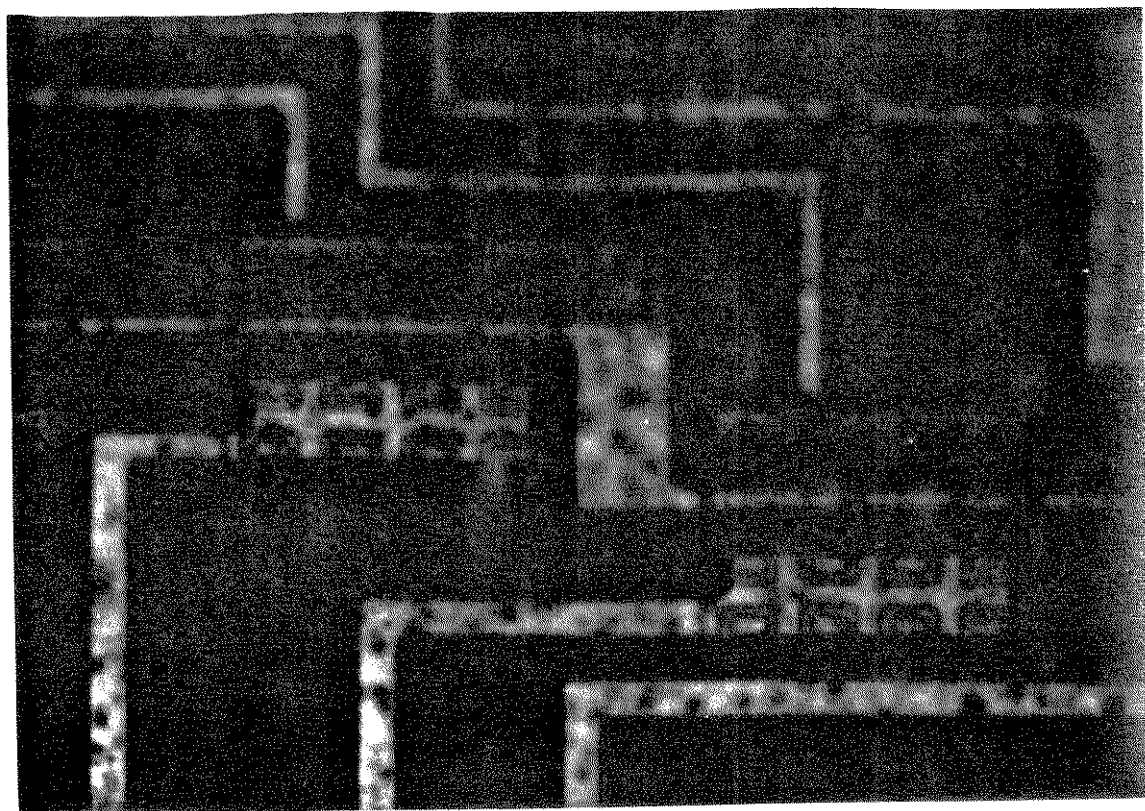


Figura 4.3.2 - Fotomicrografia dos transistores de área 8 A<sub>E</sub>

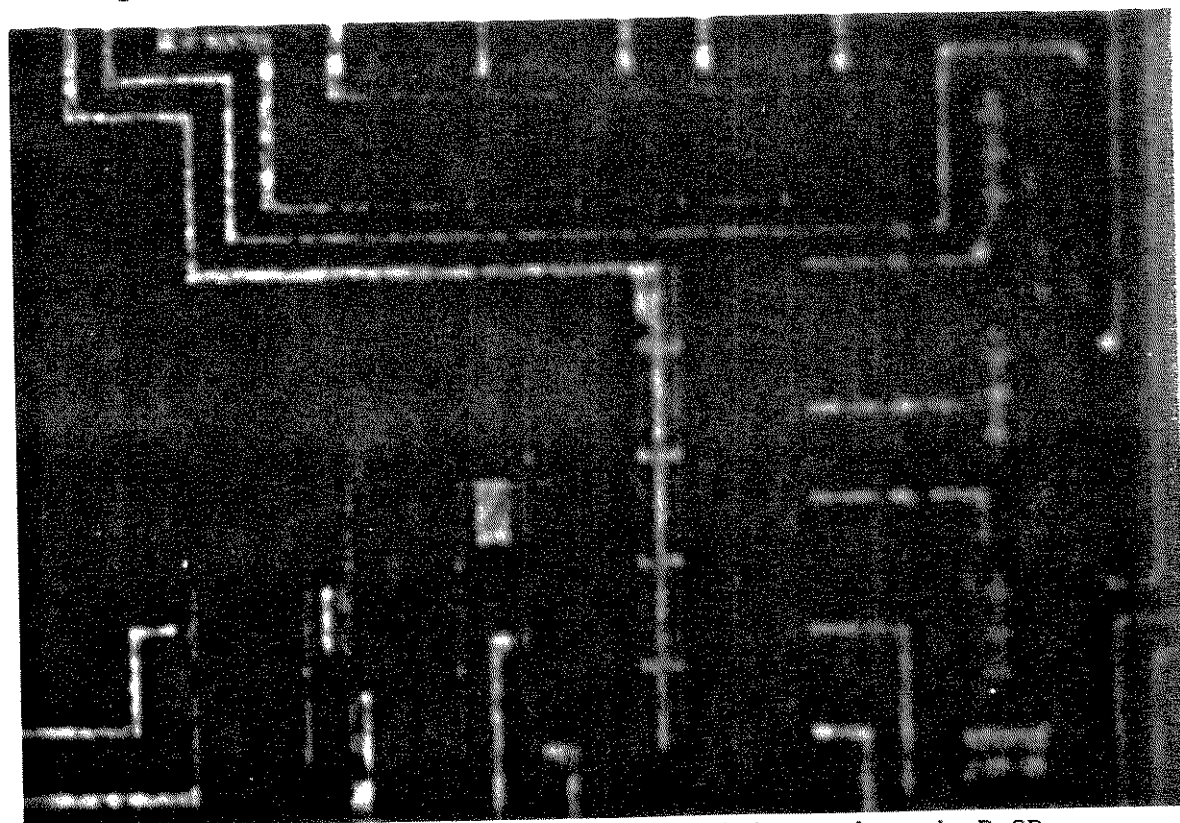


Figura 4.3.3 - Fotomicrografia dos resistores da rede R-2R



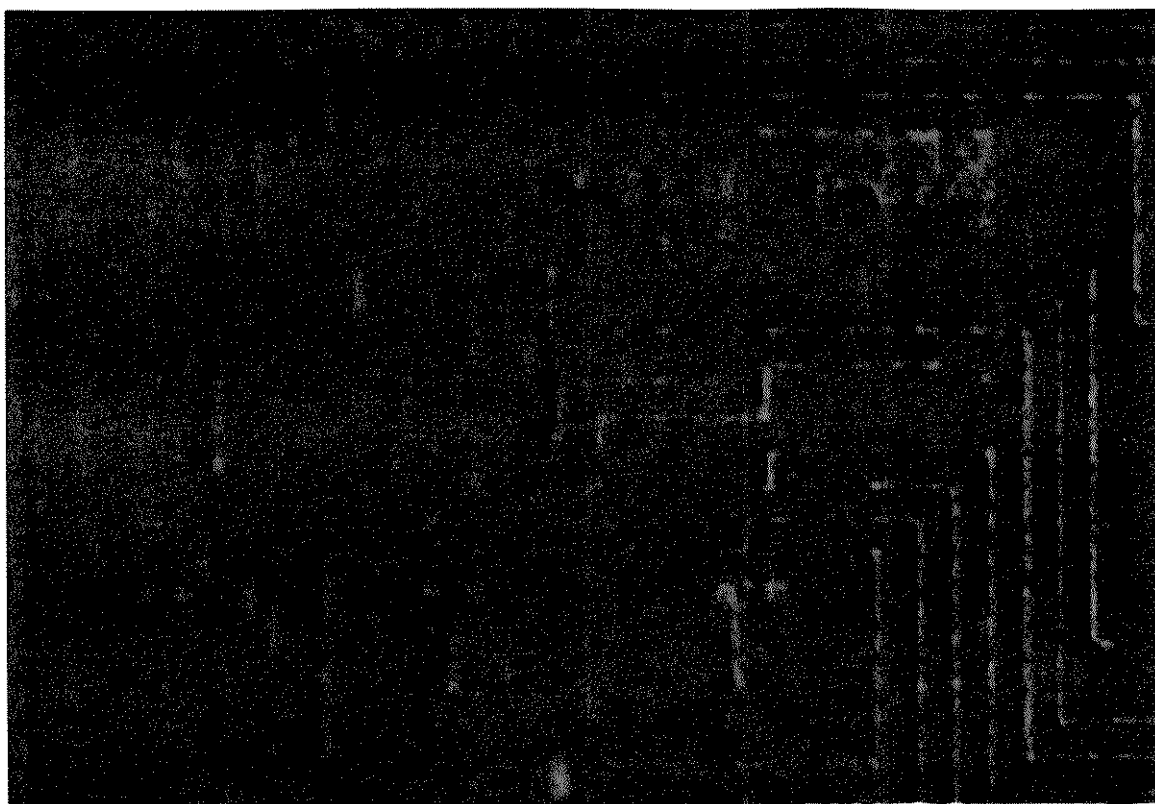


Figura 4.3.4 - Fotomicrografia dos pares diferenciais

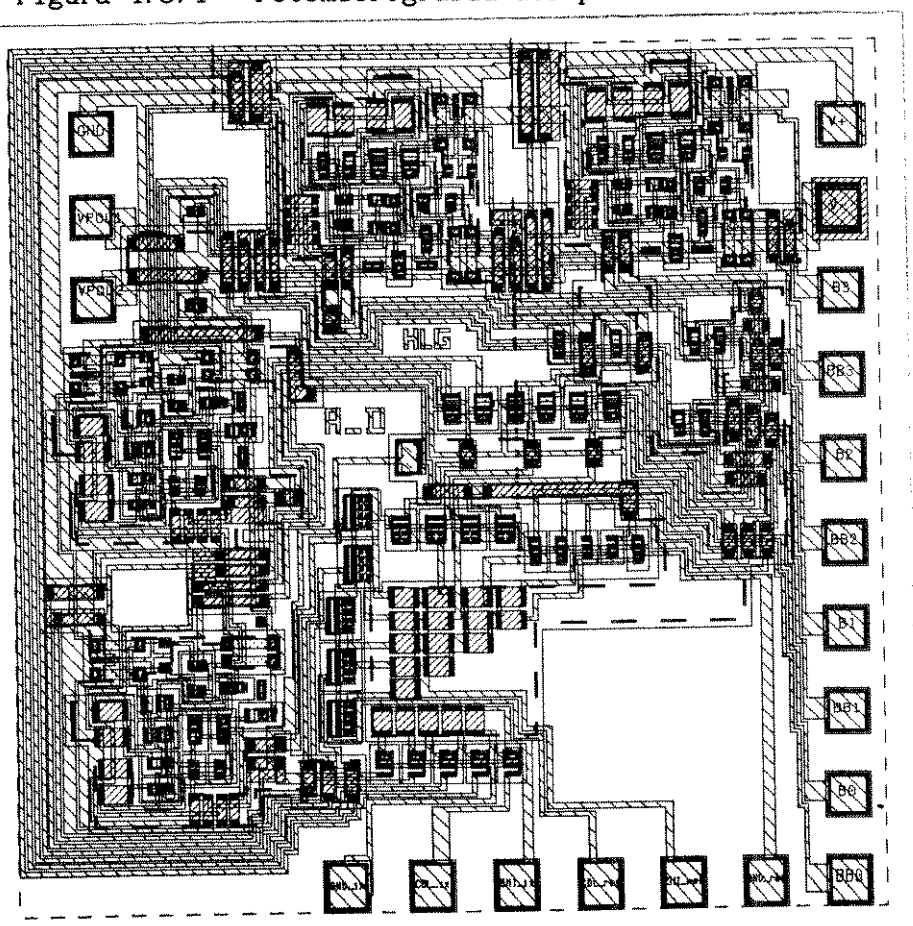


Figura 4.3.5 - Layout do conversor A/D de 4 bits completo

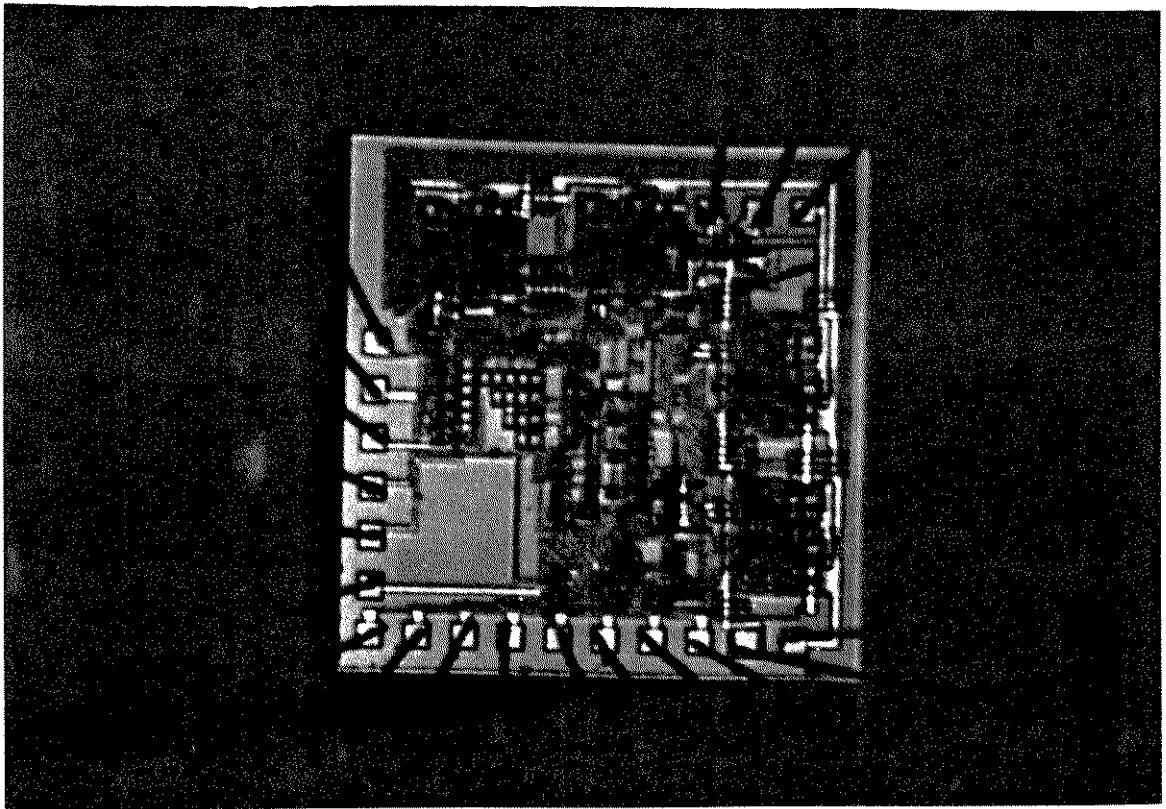


Figura 4.3.6 - Fotografia do conversor D/A de 4 bits encapsulado

## Capítulo 5

### Resultados Experimentais e Conclusões

#### 5.1 Teste dos protótipos

O conversor de 4 bits, como já citado no capítulo 4, foi implementado como parte do II PMU difundido na SID Microeletrônica. Os primeiros protótipos encapsulados ficaram prontos em Abril de 1991.

Durante os testes dos protótipos ficou evidente o erro de layout nos "cross-under" que acarretou o não funcionamento do conversor. A célula básica do "cross-under" de emissor sobre base é apresentada na Figura 5.1.1.

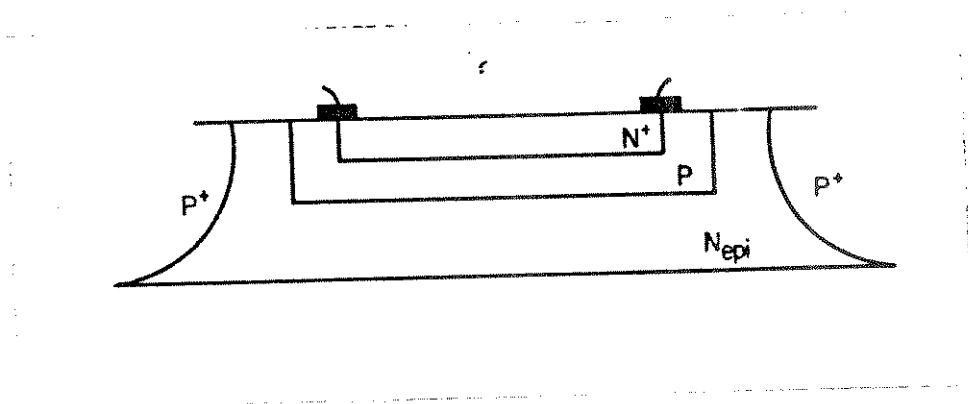


Figura 5.1.1 - Vista em corte do "cross-under"

O processo de montagem do layout consistiu em alocar esta célula nos locais desejados e, então, ajustar o seu comprimento através do comando "stretch" do editor de layout ChipGraph, da Mentor Graphics.

Neste processo de alongar a borda das células foi cometido um erro fatal: as difusões de base dos "cross-under" adjacentes se tocaram, curto-circuitando todas as linhas de sinal que passavam por eles, como indicado na Fig. 5.1.2. Este erro não foi detectado pelo checador de regras de projeto (DRC - DRACULA II) pois não consiste em nenhuma violação das regras de projeto mas sim de um erro na função elétrica desejada para o bloco em questão. Este erro seria detectado caso tivesse sido possível executar o programa Checador de Regras Elétricas (ERC-LVS), que faz uma comparação entre o esquema elétrico do circuito e as ligações extraídas do layout do chip. Isso, no entanto, não pôde ser feito, uma vez que o ERC-LVS não dispõe de

regras de layout em microns, unidade de medida usada no II PMU - somente estavam disponíveis as regras de layout com dimensão em milésimos de polegadas (MILS), como normalmente usado na VSI.

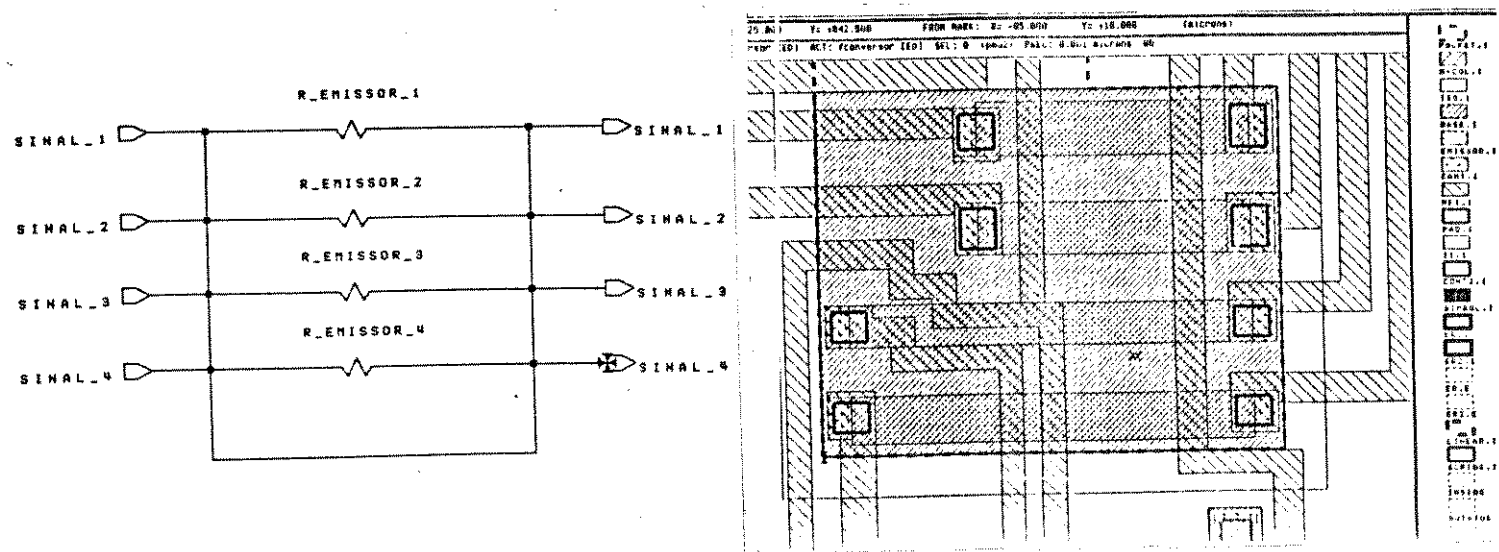


Fig. 5.1.2. - Diagrama representando os curto-circuitos no "cross-under".

O problema de layout verificado nos "cross-under", porém, não impediu que pudéssemos medir, isoladamente, cada um dos blocos do conversor, para verificar se estava funcionando corretamente e medir o seu desempenho. Para isso foi usado um micromanipulador (MZ-6000) e, cortando-se as trilhas de alumínio adequadas no chip já encapsulado, pudemos isolar todos os blocos do conversor.

## 5.2 Medidas Realizadas

O primeiro bloco a ser caracterizado foi o gerador de correntes binárias e de referência. Para medirmos a rede R-2R geradora das correntes binárias foi utilizado o esquema apresentado na Fig. 5.2.1. O potenciômetro externo é ajustado até medirmos  $I_r/2 = 3,2 \text{ mA}$  no amperímetro. Com o auxílio da microponteira do MZ-600, acessamos diretamente os pontos internos ao chip e medimos a tensão na trilha ligada às bases dos transistores e a tensão em cada um dos emissores dos transistores da rede R-2R. Estas medidas nos fornecem as tensões entre base e emissor de todos os transistores, permitindo estimar os valores das correntes de coletor em todos os transistores. Este método de medida indireta foi escolhido uma vez que o corte realizado nas trilhas impedia o acesso aos coletores dos transistores. A partir da queda de tensão sobre os resistores de emissor podemos estimar as correntes e, conseqüentemente, o seu descasamento. As correntes são calculadas usando a lei de ohm, já que o fato de forçarmos a corrente de  $3,2 \text{ mA}$  no "dummy bit" nos permite calcular o valor dos resistores R e 2R.

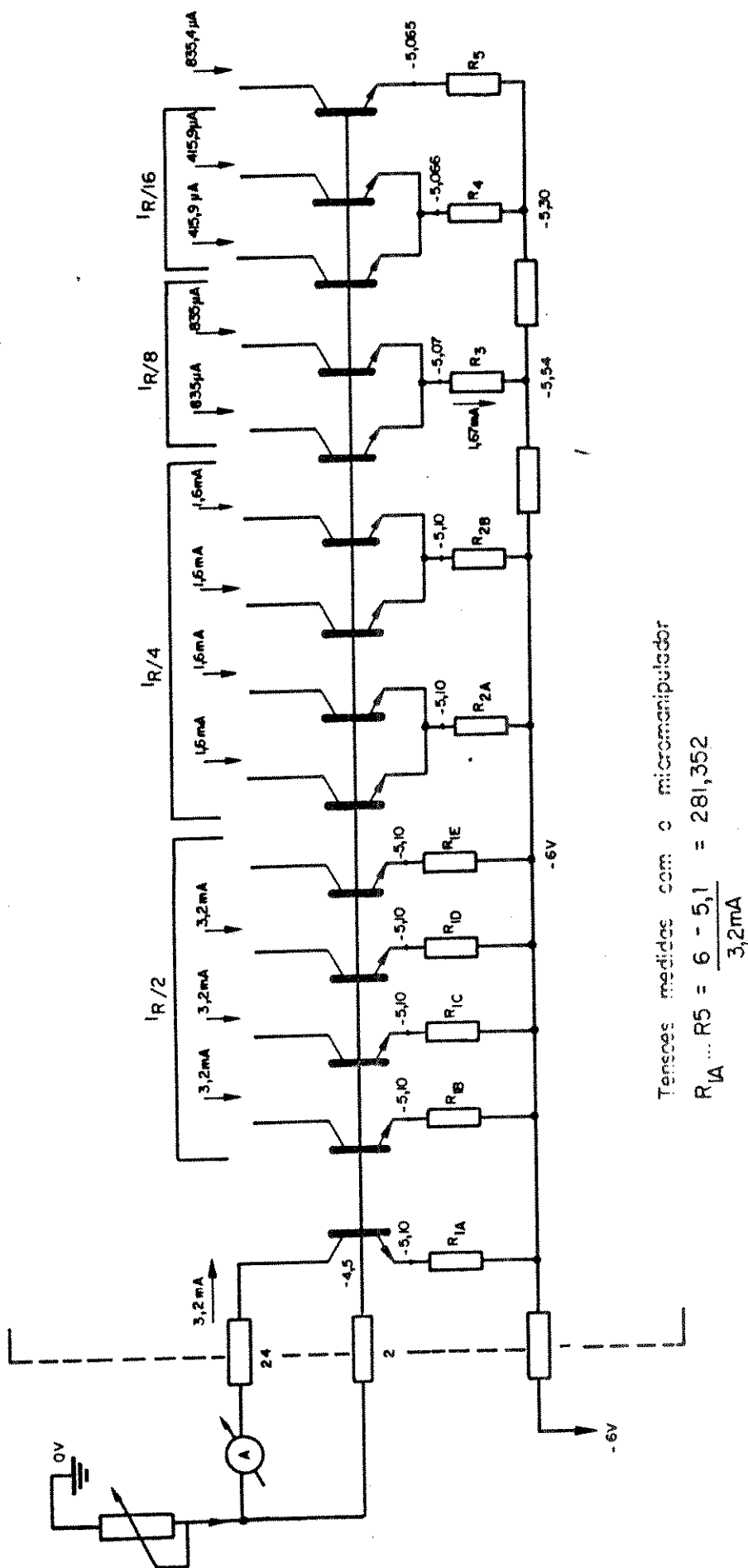
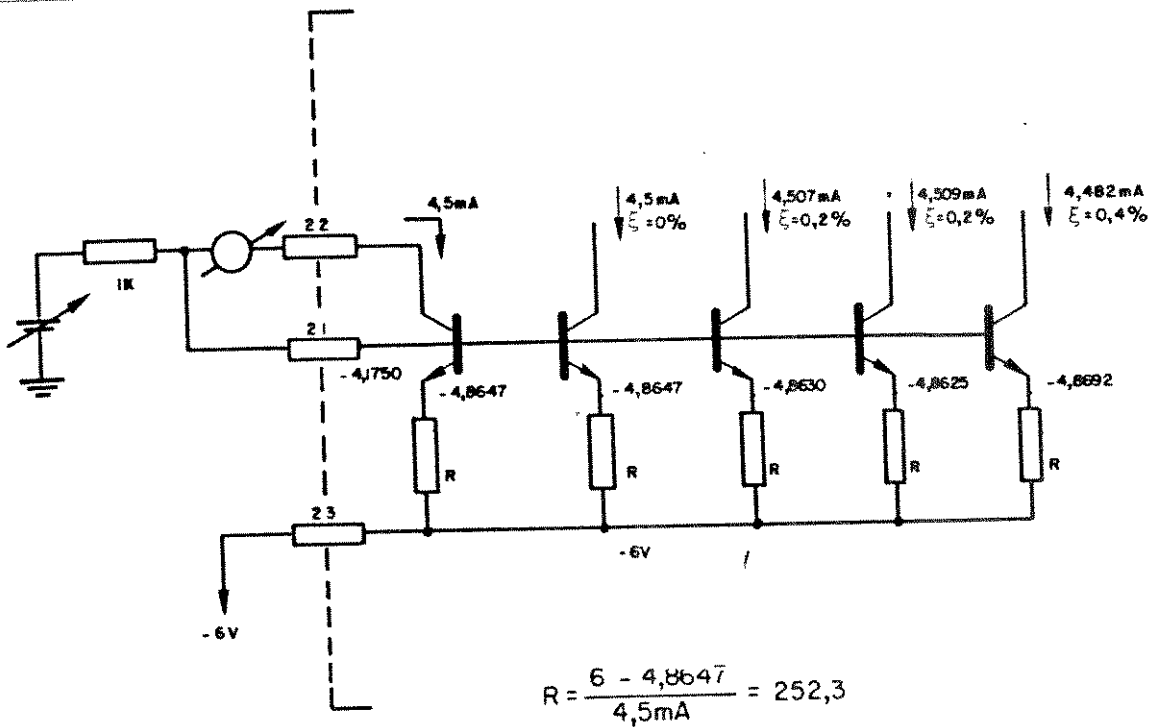


Figura 5.2.1 - Medidas na Rede R - 2R

Verificamos que os ramos geradores de  $I_{r/2}$  e  $I_{r/4}$  estão com o mesmo VBE, o que faz com que a precisão nestes circuitos fique limitada apenas pelo descasamento do alfa dos transistores (que é, tipicamente, menor do que 1%), indicando que as correntes  $I_{r/2}$  e  $I_{r/4}$  estão casadas com um erro menor do que 1%. Os ramos geradores de  $I_{r/8}$  e  $I_{r/16}$  apresentaram um erro de aproximadamente 4% em relação ao valor esperado. Como o erro medido é bem menor do que 1/2 LSB, concluímos que os blocos de geração de correntes de peso binário estão dentro das expectativas de projeto, não comprometendo a precisão do conversor.

Na Fig. 5.2.2 apresentamos o circuito usado para medir a corrente  $I_x$ . O potenciômetro é ajustado de forma a termos uma leitura de 4,5 mA no Amperímetro. A seguir, com auxílio do microprovarador, medimos diretamente as tensões nas trilhas de alumínio do chip. De forma similar à empregada na rede R-2R, podemos estimar as correntes e o seu casamento a partir dessas tensões medidas. As correntes calculadas estão indicadas, junto com o erro em relação ao valor esperado, na própria Fig. 5.2.2. Vemos que o maior erro ocorre no transistor que está mais distante do transistor de referência (erro de 0,4%) e o menor erro encontrado foi no transistor mais próximo ao de referência, onde não foi possível detectar o erro com a instrumentação utilizada. Novamente, o erro absoluto é muito menor do que 1/2 LSB, e as correntes  $I_x$  podem ser utilizadas sem problemas no conversor.



Tensões medidas com o micromanipulador

Fig. 5.2.2 - Medidas nas fontes de corrente  $I_x$ .

Finalmente, fizemos as medidas no bloco comparador de corrente. Para tornar possível a medida, foi também necessário cortar trilhas de alumínio no chip encapsulado. O principal objetivo na medida do comparador de corrente era verificar a sua velocidade de chaveamento.

Após várias tentativas com o corte das trilhas, conseguimos isolar um comparador sem danificá-lo. Aplicando degraus abruptos de tensão na entrada  $I_x$  medimos os tempos de chaveamento na subida ( $t_r$  - rise time) e na descida ( $t_f$  - fall time). Os pulsos de excitação na entrada do comparador tinham amplitude variando entre 0 e -5 volts, e foram aplicados com uma frequência bem baixa (cerca de 1 Hz).

Utilizando-se um osciloscópio de memória digital (HP 5401) fizemos a aquisição dos sinais de entrada e saída do comparador. Na Fig. 5.2.3 (a),(b) e (c) temos o "hard-copy" da tela do osciloscópio para os sinais na entrada e saída do comparador e os dois sinais de saída do comparador.

Os tempos de subida e descida medidos no nosso circuito integrado (a medida é realizada através de uma rotina interna ao próprio osciloscópio) foram de 79,8 ns e 83,8 ns, respectivamente.

Estes valores estão muito próximos aos obtidos na simulação, como apresentado anteriormente. Se considerarmos, porém, que as capacitâncias parasitas devido à microponteira e à fiação necessária para conectar o microprovador ao osciloscópio podem significar alguns pF ligados ao nó  $B_i$ , pode-se concluir que o comparador é capaz de chavear ainda mais rápido do que medido. Isso permitiria ao conversor operar numa frequência maior do que a prevista na simulação.

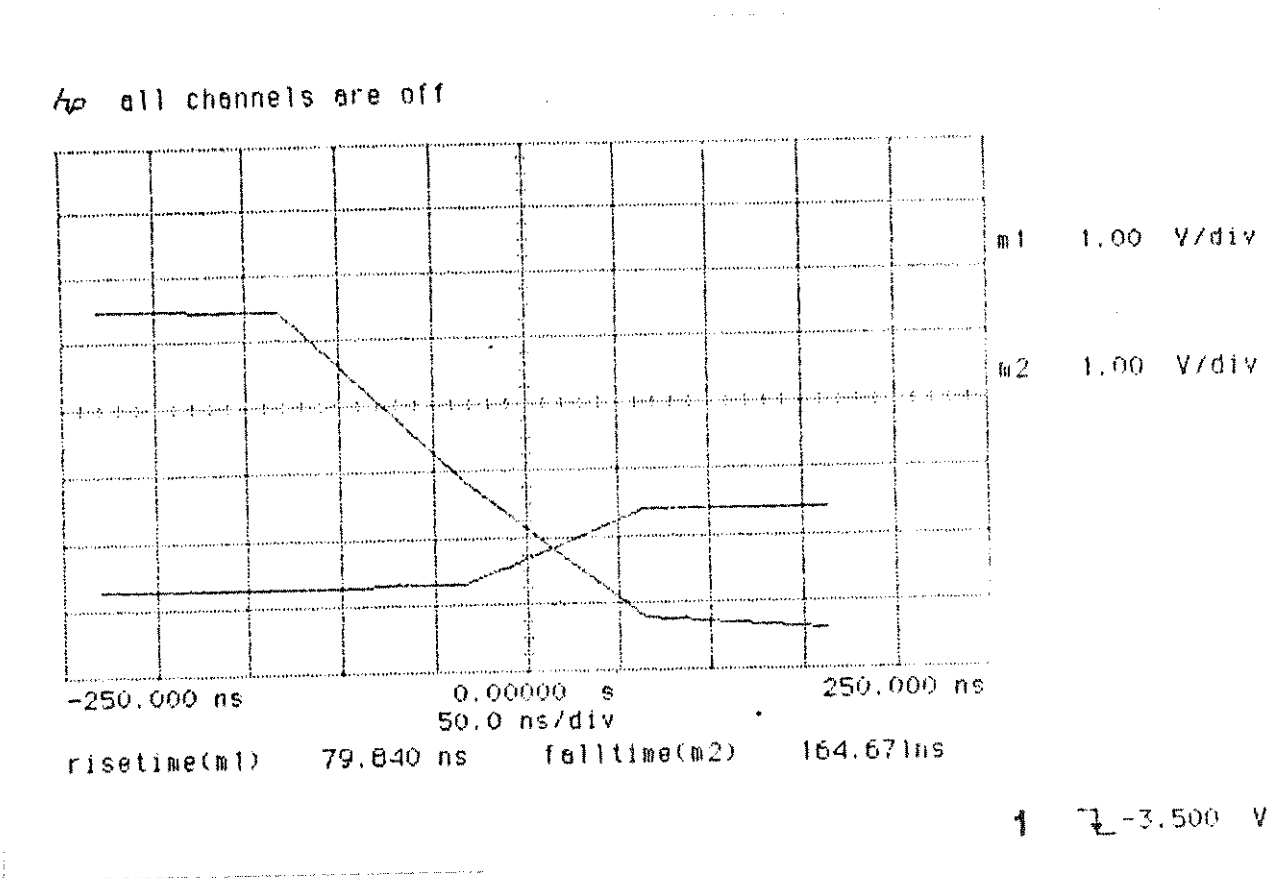


Fig. 5.2.3 (a) - Formas de onda na entrada e na saída do comparador ( $t_r$ )

all channels are off

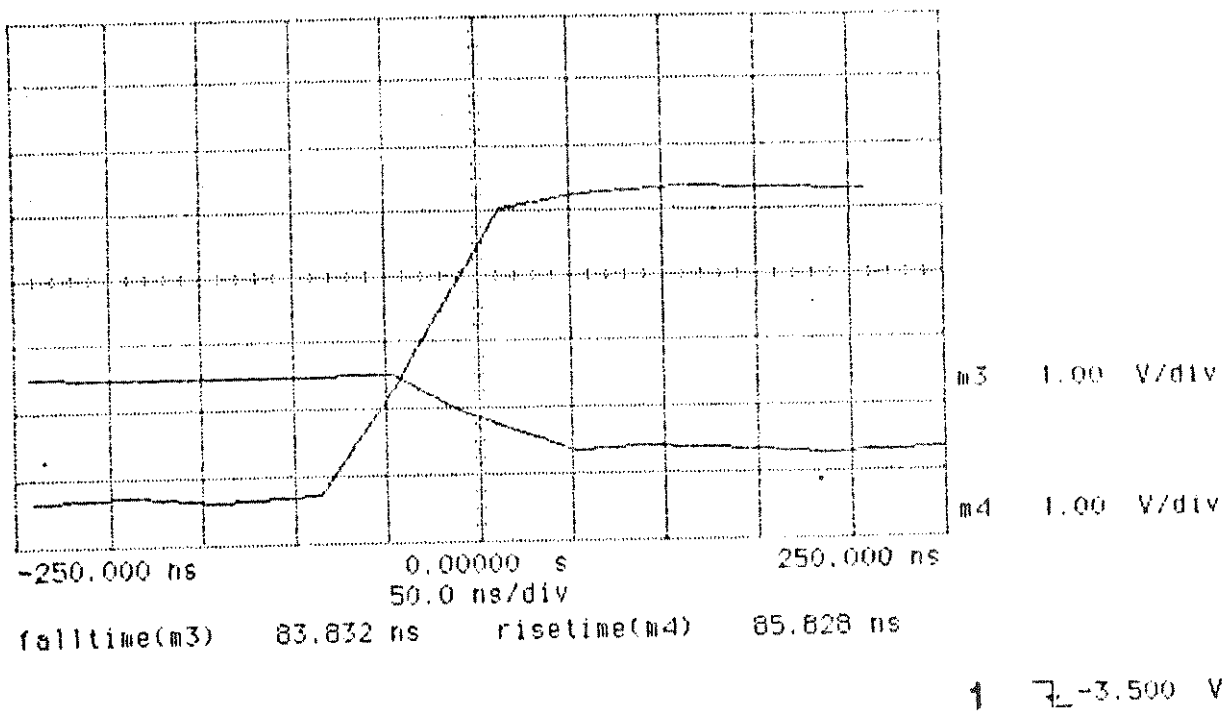


Fig. 5.2.3.(b) - Formas de onda na entrada e na saída do comparador ( $t_f$ )

all channels are off

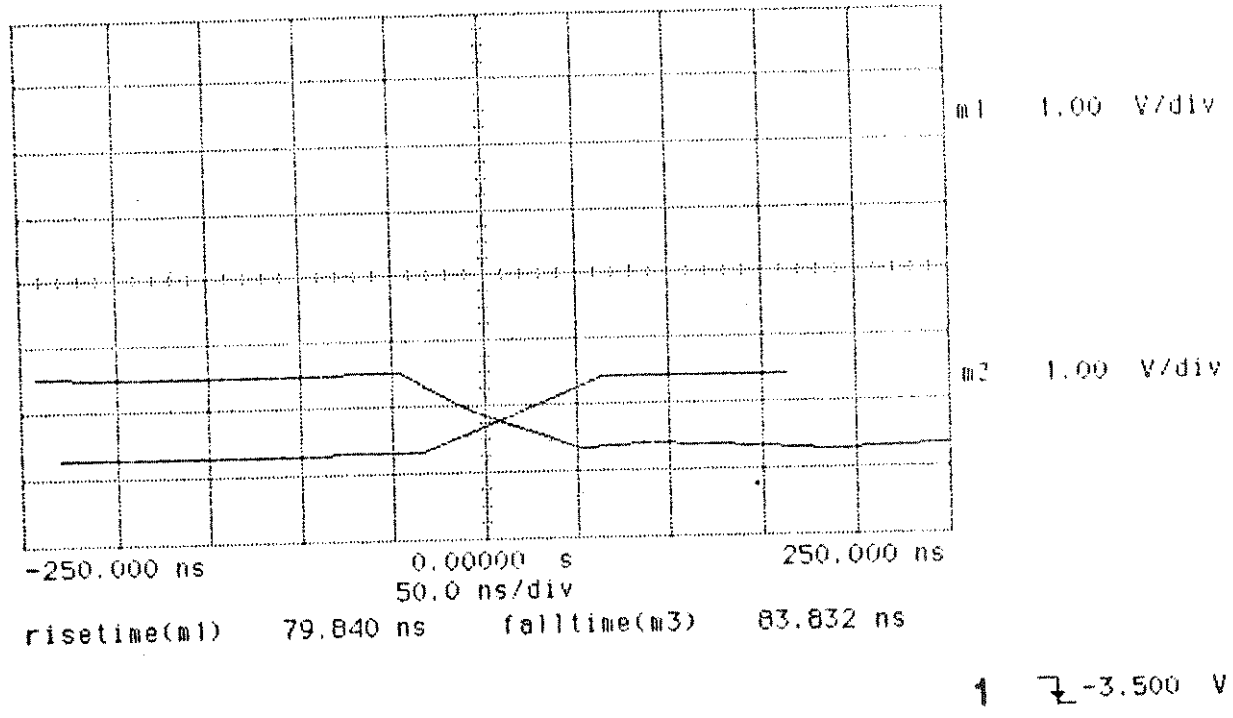


Fig. 5.2.3 (c) - Formas de onda na saída do comparador ( $t_f$  e  $t_r$ )



### 5.3 Conclusões

Uma nova técnica simples de projetar conversores A/D de alta velocidade foi apresentada. A saída digital do conversor é feita de forma diferencial, compatível com níveis de tensão ECL. Apesar do tempo de conversão obtido com esta arquitetura ser comparável ao dos conversores do tipo "flash", somente N comparadores são utilizados para implementar um conversor de N bits. Isso implica em menor área e, também, em menor consumo do conversor.

Os resultados obtidos a partir de simulações de um conversor de 6 bits usando parâmetros de transistores disponíveis em um processo bipolar convencional da SID Microeletrônica, com  $f_T = 300$  MHz, revelaram que o conversor é capaz de operar com frequências de amostragem de até 16 MHz.

Um protótipo do conversor A/D com apenas 4 bits foi difundido com o processo bipolar I<sup>2</sup>L compatível com linear da SID Microeletrônica, no II PMU. Apesar de um erro de layout ter impossibilitado o teste do conversor completo, através de cortes em trilhas de alumínio e utilizando um microprovador foi possível medir, nos chips já encapsulados, cada um dos blocos do conversor A/D, individualmente.

Os resultados das medidas feitas nos blocos do conversor indicaram que o circuito iria funcionar corretamente se não tivesse ocorrido o erro de layout. Além disso, as medidas realizadas no comparador de corrente, bloco fundamental para a operação rápida do conversor, indicaram que o circuito poderia operar com uma frequência de amostragem maior do que a obtida através da simulação.

Esta técnica, se utilizada conjuntamente com um processo bipolar avançado (hoje são disponíveis processos que, além de capacitâncias muito baixas, possuem  $f_T$  cerca de 60 vezes maior que no processo utilizado na fabricação do CI), permitirá a fabricação de conversores A/D extremamente rápidos, de baixo consumo e pequena complexidade no chip.

## Apêndice I

### Dedução do Ganho do Comparador

O circuito do comparador está repetido na figura I.1, para facilidade de análise.

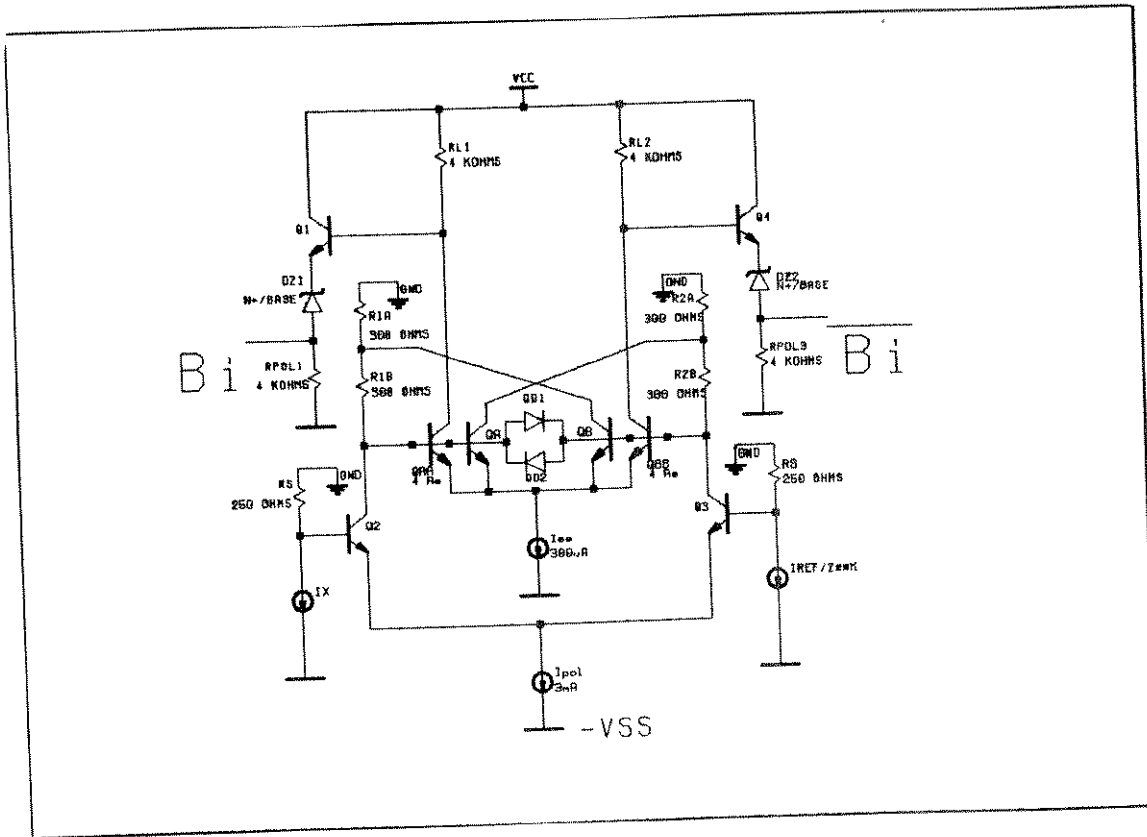


Figura I.1 - Circuito comparador

Aplicando o modelo para pequenos sinais, podemos simplificar o estágio de entrada para o da figura 2:  $G_{m3}$  e  $G_{m2}$  são, respectivamente, a transcondutância dos transistores de entrada  $Q2$  e  $Q3$ ;  $G_{mA}$  e  $G_{mB}$  representam a transcondutância dos transistores de realimentação  $Q4$  e  $Q1$ . O ganho do segundo estágio, formado por  $Q4A$ ,  $RL1$  e  $Q1B$ ,  $RL2$ , é dado simplesmente por:

$$AV_2 = G_{m0} \cdot RL$$

onde:  $G_{m0} = G_{mA} = G_{mB}$

$$RL = RL1 = RL2$$

O estágio de saída é um seguidor de emissor de ganho muito próximo de 1. Só nos resta, portanto, deduzir o ganho do estágio de entrada a partir da figura 2.

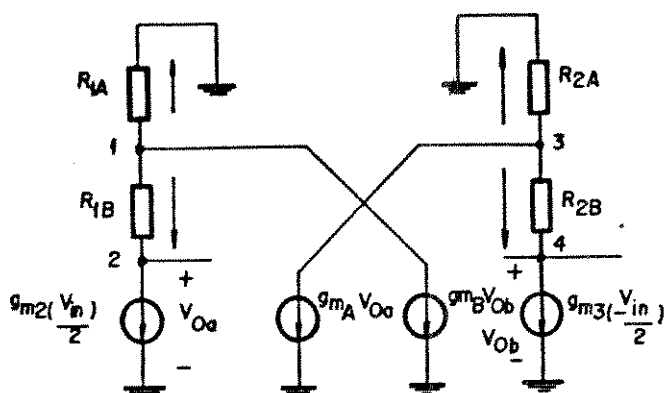


Figura 1.2 - Modelo do comparador para análise

Usando a análise nodal:

$$G_{m2} = G_{m3} \quad (I_c = 1.5\text{mA})$$

$$G_{mA} = G_{mB} \quad (I_c = 30\mu\text{A})$$

$$\begin{bmatrix} G_{1A}+G_{1B} & -G_{1B} & 0 & +g_{mB} \\ -G_{1B} & G_{1B} & 0 & 0 \\ 0 & +g_{mA} & G_{2A}+G_{1B} & -G_{2B} \\ 0 & 0 & -G_{2B} & G_{2B} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix} = \begin{bmatrix} 0 \\ -g_{m2} \frac{V_{in}}{2} \\ 0 \\ -g_{m3} \frac{V_{in}}{2} \end{bmatrix}$$

Como

$$G_{m2} = G_{m3} = G_{me}$$

$$G_{mA} = G_{mB} = G_{mf}$$

$$V_4 = V_{o+}$$

$$V_2 = V_{o-}$$

$$\begin{bmatrix} G_{1A}+G_{1B} & -G_{1B} & 0 & +g_{mf} \\ -G_{1B} & G_{1B} & 0 & 0 \\ 0 & +g_{mf} & G_{2A}+G_{2B} & -G_{2B} \\ 0 & 0 & -G_{2B} & G_{2B} \end{bmatrix} \begin{bmatrix} v_1 \\ v_{O-} \\ v_3 \\ v_{O+} \end{bmatrix} = \begin{bmatrix} 0 \\ -g_{me} \\ 0 \\ -g_{me} \end{bmatrix} \frac{v_{in}}{2}$$

Como  $G_{1A} = G_{1B} = G_{2A} = G_{2B} = G$

$$\begin{bmatrix} 2G & -G & 0 & +g_{mf} \\ -G & G & 0 & 0 \\ 0 & g_{mf} & 2G & -G \\ 0 & 0 & -G & G \end{bmatrix} \begin{bmatrix} v_1 \\ v_{O-} \\ v_3 \\ v_{O+} \end{bmatrix} = \begin{bmatrix} 0 \\ -g_{me} \\ 0 \\ -g_{me} \end{bmatrix} \frac{v_{in}}{2}$$

Resolvendo o sistema, obtemos:

$$v_{O-} = G_{me}.R/(1 - G_{mf}.R) \cdot v_{in}$$

$$v_{O+} = G_{mf}.R/(1 - G_{mf}.R) \cdot v_{in}$$

Onde podemos observar o efeito da realimentação positiva, pois à medida que  $G_{mf}.R$  tende a 1, o ganho de tensão aumenta acentuadamente.

Portanto o ganho de tensão total do comparador vale:

$$V_o = \frac{G_{mo}.G_{me}.R.R_L}{1 - G_{mf}.R} v_{in}$$

## Referências

- [1] - J.G.Peterson "A Monolithic Video A/D Converter"  
IEEE J. Solid State Circuits, SC-14, 912-919, Dec. 79
- [2] - M.Inoue, H.Sadamatsu, A. Matsuzawa, A. Kanda e T. Takamoto "A Monolithic 8-bit A/D Converter with 120 MHz Conversion Rate"  
IEEE J. Solid State Circuits, SC-19, 83-7-841, Dec. 84
- [3] - B. Zojer, R. Petschcher and W. A. Luschnie "A 6 bit/200/MHz full Nyquist A/D Converter"  
IEEE J. Solid State Circuits, SC-20, 780-786, Jun. 85
- [4] - M.Hotta, K. Maio, N.Yokozawa, T.Watanabe and S.Veda "A 150 MW 8-bit Video Frequency A/D Converter"  
IEEE J. Solid State Circuits, SC-21, 318-323, Apr. 86
- [5] - B. Peetz, B. D. Hamilton e J. Kang "A 8 - bit 250 MSPS Analog-to-Digital Converter: Operation Without s Sample and Hold"  
IEEE J. Solid State Circuits, SC-21, 997-1002, Dec. 86
- [6] - C.W. Mangelsdorf "A 400-MHz Input Flash Converter with Error Correction"  
IEEE J. Solid State Circuits, SC-25, 184-191, Fev. 90
- [7] - R.E.J. Vandcriff, W.J.W. Rutten and M. Vanderveen "An 8-bit Video ADC Incorporating Folfing and Interpolation Techniques"  
IEEE J. Solid State Circuits, SC-22, 944-953, Dec. 87
- [8] - D.Daniel, V. Langmann e B. G. Bosch "A Silicon Bipolar 4 - bit 1 Sample/D Full Nyquist A/D Converter"  
IEEE J. Solid State Circuits, SC-23, 742-749, Jun. 88
- [9] - V.E. Caruts, Y.C.S.Yu, E.O.Traa e T. Yamaguchi "A Dual 4 bit 2 Cs/s full Nyquist Analog to Digital Converter Using a 70 ps Silicon Bipolar Technology With Borosenic-Poly Process and Coupling-Base Implant"  
IEEE J. Solid State Circuits, SC-24, 216-222, Apr. 89
- [10] - R.Petschacher, B. Zojer, B. Astegher, H. Jessner and A. Lechner "A 10-bit 75-MSPS Subranguig A/D Converter With Integrated Sample and Hold"  
IEEE J. Solid State Circuits, SC-25, 1339-1346, Dec. 90
- [11] - M. P. V. Kolluri "A 12 - bit 500ns Subranguing ADC"  
IEEE J. Solid State Circuits, SC-24, 1498-1506, Dec. 89
- [12] - C. Toumazou, F. J. Lidgey, D. C. Haigh, "Analogue IC Design - The Current-Mode Approach"  
IEEE Electronics Series IEE press
- [13] - A.S.C. de Menezes "Conversão Analógico - Digital Ultra-Rápida em Corrente em Tecnologia Bipolar - Nova Proposta"  
Dissertação de Doutorado - UNICAMP - Abril de 1990
- [14] - J. A. Siqueira Dias "Projeto de um Conversor D/A não Linear Integrado (LEI A-128) em Tecnologia Bipolar"  
Dissertação de Doutorado - UNICAMP - Junho de 1985

- [15] - G. C. M. Meijer, "A New Configuration for Temperature Transducers and Bandgap References" in Dig. Tech. Papers  
European Solid-State Circuits Conference Sept. 1978 - pp. 142-145
- [16] - D. F. Bowers "A Precision Dual "Current Feedback "Operational Amplifier"  
Digest Tech. Papers, 1988 IEEE Bipolar Circuits and Technology Meeting pag. 68-70 68-70
- [17] - D. F. Bowers, M. Alexander, J. Buxton "Comprehensive Simulation Macromodel for Current Feedback Operational Amplifiers"  
IEEE Proceedings, part C, April 1990