

JOSÉ ANTONIO SIQUEIRA DIAS

Engenheiro Elétrico, modalidade Eletrônica
Universidade Estadual de Campinas, 1979.

"OBTENÇÃO DE UM PROCESSO PARA A CONFECÇÃO DE
CIRCUITOS DIGITAIS I²L (LÓGICA DE INJEÇÃO
INTEGRADA) E CIRCUITOS ANALÓGICOS DE ALTA
VOLTAGEM NA MESMA PASTILHA".

06/82

Dissertação apresentada à Faculdade
de Engenharia de Campinas da UNICAMP
como requisito parcial para a obtenção
do título de "Mestre em Engenharia
Elétrica".

Orientador: Prof. Dr. Carlos Ignacio Zamitti Mammana

Universidade Estadual de Campinas
Faculdade de Engenharia de Campinas
Departamento de Engenharia Elétrica
Laboratório de Eletrônica e Dispositivos

Aos meus pais Walter e Odette e à minha esposa, Fernanda.

Agradecimentos

Ao Prof. Carlos Ignacio Zamitti Mammana pela orientação e organização dada ao trabalho.

Aos professores, pesquisadores e funcionários do LED que contribuíram para a realização deste trabalho e em especial ao Prof. Alberto Martins Jorge, pelas inúmeras sugesões e incentivo.

- Este trabalho contou com o apoio financeiro das seguintes entidades:

CAPES - Coordenação de Aperfeiçoamento de Pessoal de Nível Superior.

TELEBRAS - Telecomunicações Brasileiras S/A.

UNICAMP - Universidade Estadual de Campinas.

RESUMO

Quando apresentada em 1972, uma das principais promessas da tecnologia I^2L era a possibilidade de confeccionar circuitos digitais e analógicos na mesma pastilha. Entretanto, os requisitos necessários para a confecção dos circuitos I^2L limitam severamente o desempenho dos transistores NPN da parte analógica da pastilha, que apresentam tensões de ruptura muito baixas devido ao fenômeno de "punch-through".

Este trabalho apresenta uma nova técnica para a confecção de circuitos digitais I^2L e circuitos de alta tensão de ruptura na mesma pastilha, usando apenas uma máscara adicional em relação ao processo convencional de confecção de circuitos I^2L e analógicos na mesma pastilha.

São apresentados também, além da máscara de teste, os resultados experimentais que fornecem, para uma estrutura I^2L com 6 coletores, $\beta_{eff} \approx 8$, e tempo de atraso mínimo por porta $t_a \approx 75$ ns. Para os transistores da parte analógica, obteve-se $V_{CEO} \approx 35V$ e $V_{CBO} \approx 65V$.

ÍNDICE

0. INTRODUÇÃO	
Introdução	i
1. A LÓGICA DE INJEÇÃO INTEGRADA	
1.1. Princípio de Funcionamento de uma Porta I^2L	1.1
1.2. Tecnologias Convencionais de Confeção de Circuitos I^2L	1.7
1.3. Geometria das Portas I^2L	1.10
2. TECNOLOGIA DE CONFEÇÃO	
2.1. O Processo de Dupla Difusão de Base	2.1
2.2. Perfis de Dopagem	2.3
2.2.1. Transistores de Alta Tensão de Ruptura	2.3
2.2.2. Transistores I^2L	2.14
3. MÁSCARA DE TESTE	
3.1. Projeto da Máscara de Teste	3.1
3.2. Confeção do Conjunto de Máscaras	3.3
4. RESULTADOS EXPERIMENTAIS	
4.1. O Processo Fixado	4.1
4.2. Medidas Realizadas nos Circuitos Digitais I^2L	4.2
4.2.1. Osciladores em Anel	4.2
4.2.2. Injetor (PNP Lateral)	4.4
4.2.3. Portas I^2L com Dois Coletores	4.5
4.2.4. Porta I^2L com Seis Coletores	4.6
4.2.5. Função de Transferência Estática de uma Porta I^2L	4.11
4.2.6. Tensões de Ruptura	4.13
4.3. Medidas Realizadas nos Transistores da Parte Analógica	4.13
4.3.1. Tensões de Ruptura	4.13
4.3.2. Ganho de Corrente em Emissor Comum	4.14
4.3.3. Características dos Diodos Base-emissor e Base-coletor dos Transistores de Base Rasa e Base Profunda	4.17
4.4. Medidas de Parâmetros de Processo	4.23
4.4.1. Medidas de Resistividade e Resistência de Contato	4.23
4.4.2. Medidas de Profundidade da Junção	4.23
5. CONCLUSÃO	
Conclusão	5.1
APÊNDICE A - Programa para Cálculo do Perfil equivalente de emissor	A.1
APÊNDICE B - Programas em LPG para Geração Automática de Máscaras	B.1

APÊNDICE C - Ficha de Programas de Processamento	C.1
REFERÊNCIAS	R.1

INTRODUÇÃO

Dentre as várias tecnologias de confecção de circuitos integrados digitais bipolares, a lógica de Injeção Integrada (I^2L) tem recebido especial atenção dos projetistas devido às suas características de baixo consumo, alta densidade, boa velocidade e, principalmente, por ser compatível com outras tecnologias bipolares.

Entretanto, circuitos I^2L confeccionados com um processo que forneça tensões de ruptura altas ($V_{CEO} \approx 30$ V e $V_{CBO} \approx 60$ V) para os transistores da parte analógica não operam satisfatoriamente, apresentando "fan-out" muito baixo e tempos de atraso muito altos, comparados com o I^2L otimizado.

Neste trabalho apresentaremos um processo em que, usando difusão independente para as bases, obtemos perfis de dopagens diferentes para os transistores dos circuitos analógicos e I^2L , otimizando os seus desempenhos.

Para a implantação do processo, foi projetada e confeccionada uma máscara de teste, que permite analisar os parâmetros tecnológicos e os dispositivos confeccionados nas partes I^2L e analógica da pastilha.

CAPÍTULO 1

A LÓGICA DE INJEÇÃO INTEGRADA - I^2L 1.1. Princípio de funcionamento de uma porta I^2L

A estrutura I^2L pode ser visualizada com a introdução de algumas modificações na estrutura básica dos circuitos da lógica DCTL (Direct Coupled Transistor Logic) [1]. Na figura 1.1 temos uma porta DCTL, que está redesenhada, na figura 1.2, com o "deslocamento" do resistor de coletor de uma porta para a base da porta seguinte. Como podemos notar, a parte que se encontra dentro das linhas tracejadas pode ser simplificada, já que os dois transistores têm em comum as bases e os emissores. Dessa forma podemos substituir os dois transistores por um transistor multi-coletor, como indicado na figura 1.3.

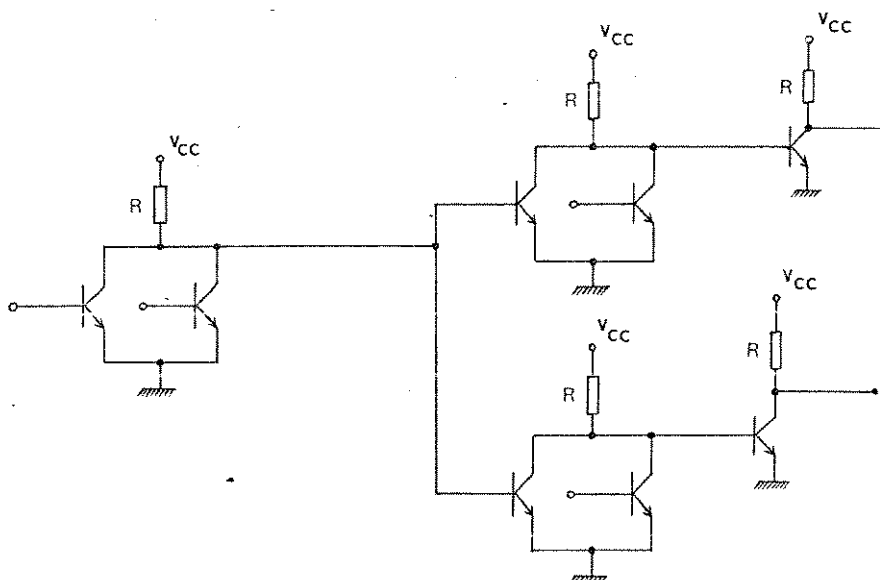


Figura 1.1 - Estrutura de uma Porta DCTL

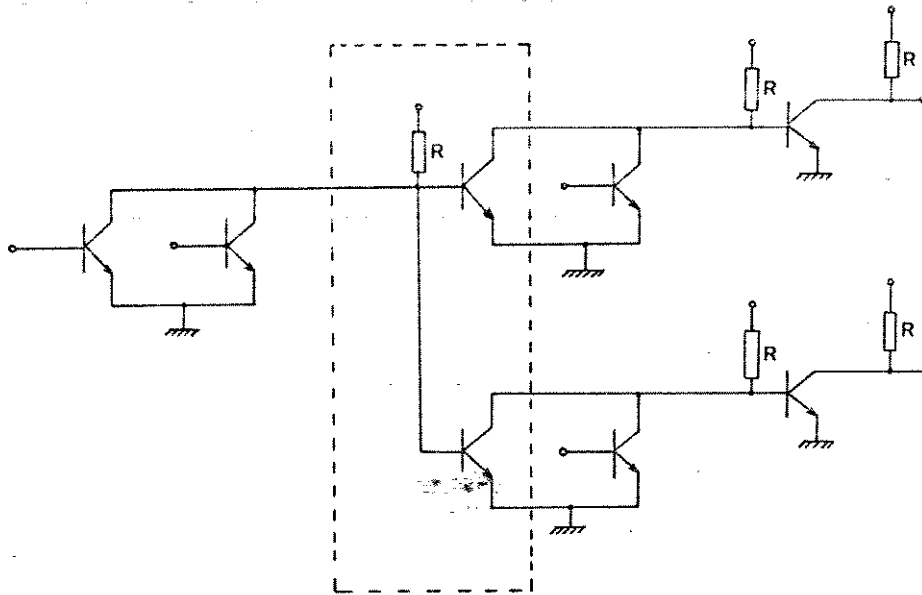


Figura 1.2 - Estrutura DCTL após o "deslocamento" dos resistores

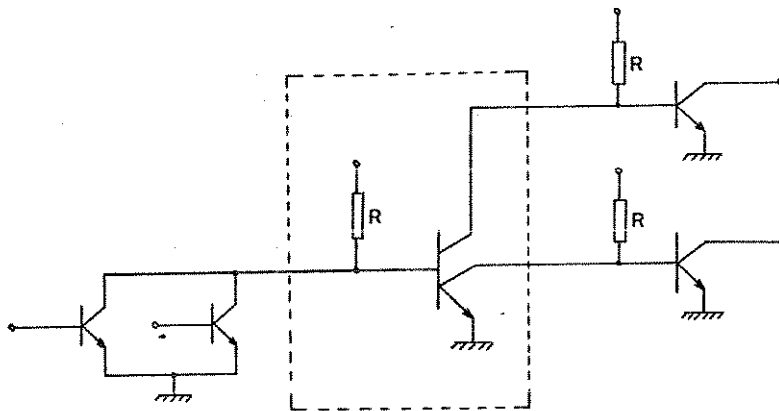


Figura 1.3 - Os transistores que têm as bases e os emissores ligados no mesmo ponto são transformados em um transistor multicoletor.

Um dos principais fatores que limitam a compactação na confecção de circuitos integrados é a utilização de resistores, principalmente os de alto valor, pois ocupam uma grande área e conseqüentemente não permitem obter níveis elevados de compactação. Na lógica I^2L , os resistores são substituídos por cargas ativas, como indicado na figura 1.4.

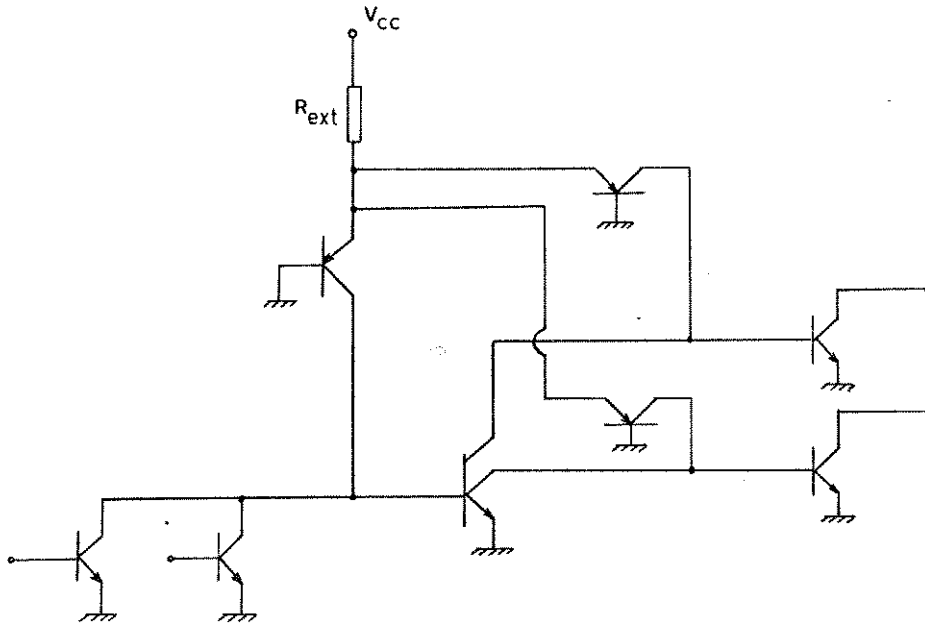


Figura 1.4 - Os resistores são substituídos por transistores PNP.

A carga ativa, constituída pelo transistor PNP, apresenta uma grande vantagem em termos de compactação. Como podemos observar na figura 1.4, todos os transistores PNP têm as bases ligadas em terra e os emissores ligados a um resistor externo. Isso possibilita a confecção de um transistor PNP multi-coletor, o que aumenta consideravelmente a compactação dos circuitos I^2L . Na figura 1.5 temos a estrutura final de duas portas I^2L .

O resistor R_{ext} é dimensionado de acordo com os níveis de corrente desejados para a operação do circuito. O transistor PNP, que funciona como fonte de corrente, é chamado injetor.

Vamos analisar o funcionamento de uma porta I^2L quando submetida a duas entradas diferentes. Para isso, usaremos uma chave S_1 para aterrar ou deixar flutuando a entrada. A carga será outra porta I^2L , como mostra a figura 1.6.

a) Nível lógico "1" na entrada (S_1 aberta).

Com a chave S_1 aberta, toda a corrente de coletor I_{C1} flui para a base de Q_1 , ou seja, $I_{BQ1} = I_{C1}$. Com isso, o transistor Q_1 satura e a tensão de saída V_S é dada pelo VCE de saturação do transistor Q_1 . Vemos também que a corrente de coletor de Q_1 é a

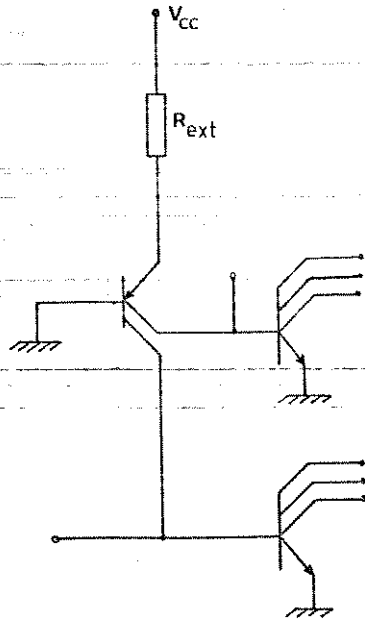


Figura 1.5 - Estrutura I^2L

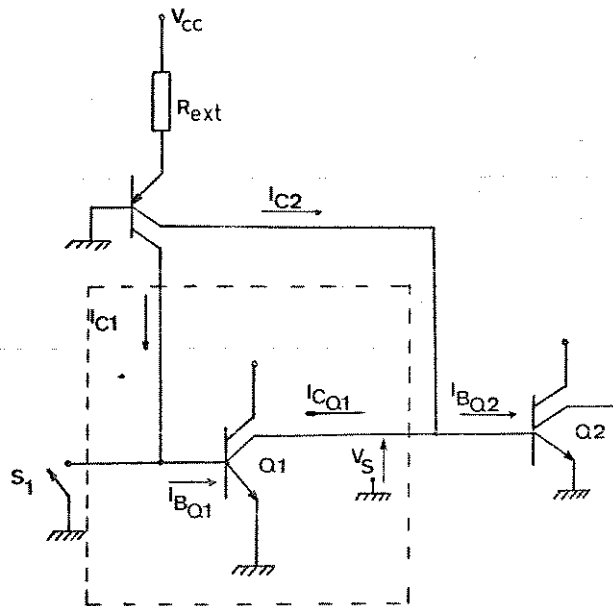


Figura 1.6

corrente I_{C2} do transistor PNP, ou seja, $I_{CQ1} \approx I_{C2}$. Como conseqüência, o transistor Q2 entra na região de corte, pois $I_{BQ2} \approx 0$. Para a determinação do ponto de operação, basta encontrar o ponto onde $V_{CB_PNP} = V_{CE_{Q1}}$. Como o transistor Q1 está saturado, temos $V_S = V_{CB_PNP} = V_{CE_{Q1}} \approx 50$ mV, como mostra a figura 1.7.

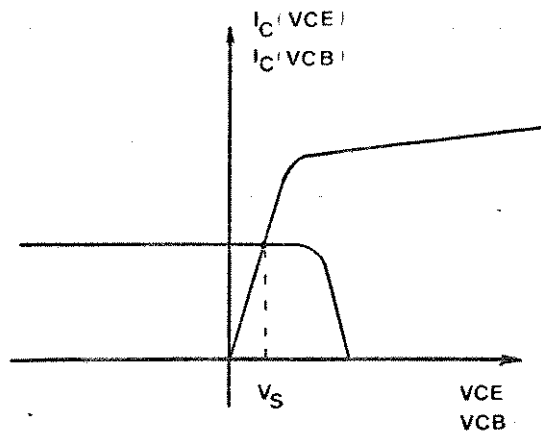


Figura 1.7 - Ponto de operação - nível lógico "0"

b) Nível lógico "0" na entrada (S_1 fechada)

Com a chave S_1 fechada, a corrente de coletor I_{C1} flui toda para terra. Isso faz com que a corrente de base de Q1 seja aproximadamente zero ($I_{BQ1} \approx 0$). Sob essa condição, o transistor Q1 fica na região de corte e toda a corrente I_{C2} é injetada na base do transistor Q2 ($I_{BQ2} \approx I_{C2}$). O ponto de operação é dado por $V_S = V_{BE_{Q2}} = V_{CB_PNP}$. Na figura 1.8 temos as curvas $I_{BQ2} \times V_{BE_{Q2}}$ e $I_{C1} \times V_{CB_PNP}$. O ponto de operação é dado por $V_S \approx 600$ mV.

Temos, portanto, uma porta lógica I^2L que realiza a função de "INVERSOR" e tem níveis lógicos alto e baixo aproximadamente iguais a 600 mV e 50 mV, respectivamente.

Para obter a função lógica "E" (AND) em I^2L , basta conectar os coletores de dois ou mais transistores, como está indicado por meio de linhas tracejadas, na figura 1.9.

A análise deste circuito é trivial. Sempre que um dos transistores estiver na saturação, o outro terá seu coletor no mesmo potencial, fazendo com que a tensão na saída seja dada pelo V_{CE_SAT} do transistor, que corresponde ao nível lógico baixo. Temos, dessa forma, uma porta "E": um circuito lógico cuja saída é baixa sempre que ao menos uma das entradas seja baixa.

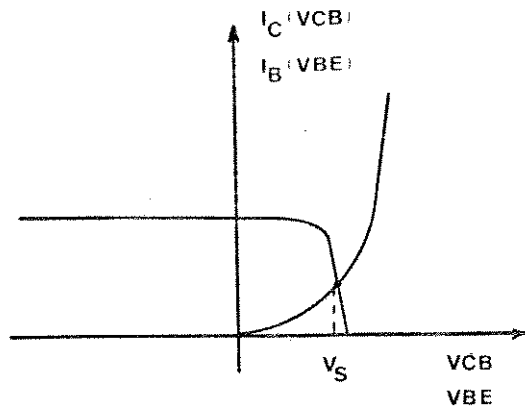


Figura 1.8 - Ponto de operação - nível lógico "1"

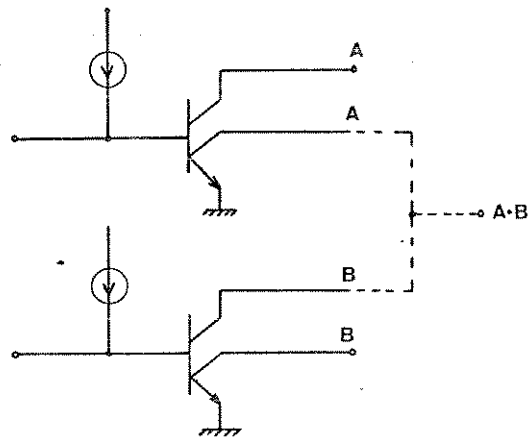


Figura 1.9 - Realização da função lógica "E"

Podemos desenvolver qualquer projeto de circuitos lógicos a partir das estruturas apresentadas, pois, para a implementação de qualquer função lógica, são suficientes as portas "E" e "INVERSOR" [2].

1.2. Tecnologias Convencionais de Confeccção de Circuitos I^2L

Como vimos na secção 1.1, uma estrutura DCTL com vários transistores e resistores é reduzida a um único par de transistores complementares em I^2L : um transistor PNP multi-coletor, que opera como fonte de corrente, e um transistor NPN multi-coletor, que funciona como inversor. Essas modificações já seriam suficientes para tornar os circuitos I^2L extremamente compactos. No que se refere à altíssima compactação obtida em I^2L , porém, o fator mais importante é o fato de que a base e o coletor do transistor PNP são comuns ao emissor e à base do transistor NPN, respectivamente. Dessa forma, a porta I^2L completa ocupa o espaço praticamente de apenas um transistor multi-coletor, já que o transistor PNP (que é lateral) está "fundido" (merged) na estrutura. Na figura 1.10a temos uma vista em corte de uma estrutura I^2L e, na figura 1.10b, o circuito elétrico equivalente.

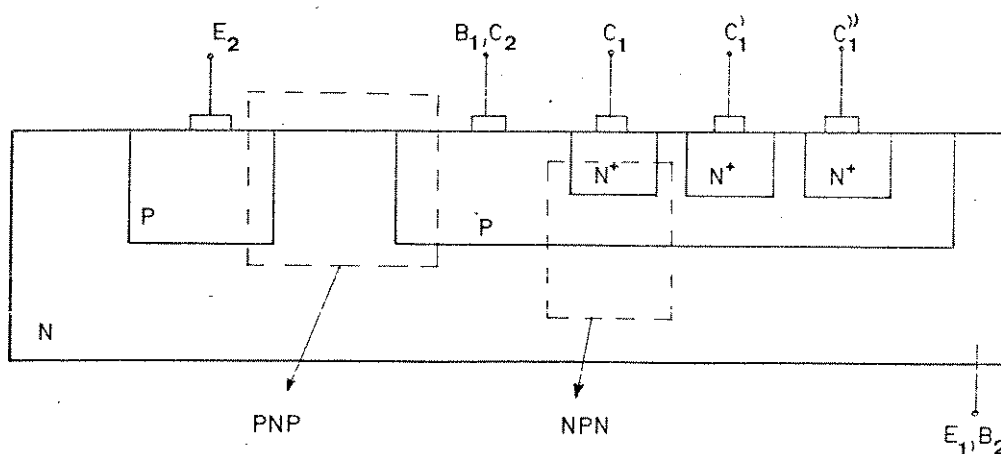


Figura 1.10a - Vista em corte de uma porta I^2L

Entretanto, na confecção de circuitos I^2L é normalmente usada uma estrutura com "isolação" (ou "anéis de guarda"), tal como a apresentada na figura 1.11.

Nessa estrutura é usada uma difusão N^+ para isolar uma porta da outra, anu

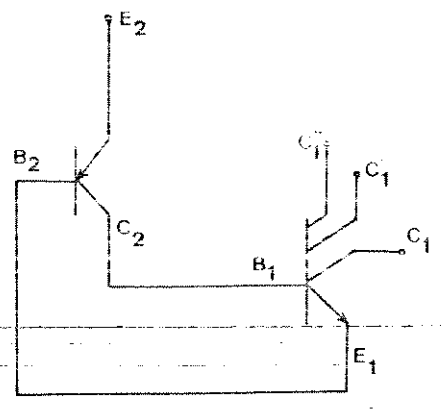


Figura 1.10.b - Circuito elétrico equivalente da estrutura da figura 1.10a

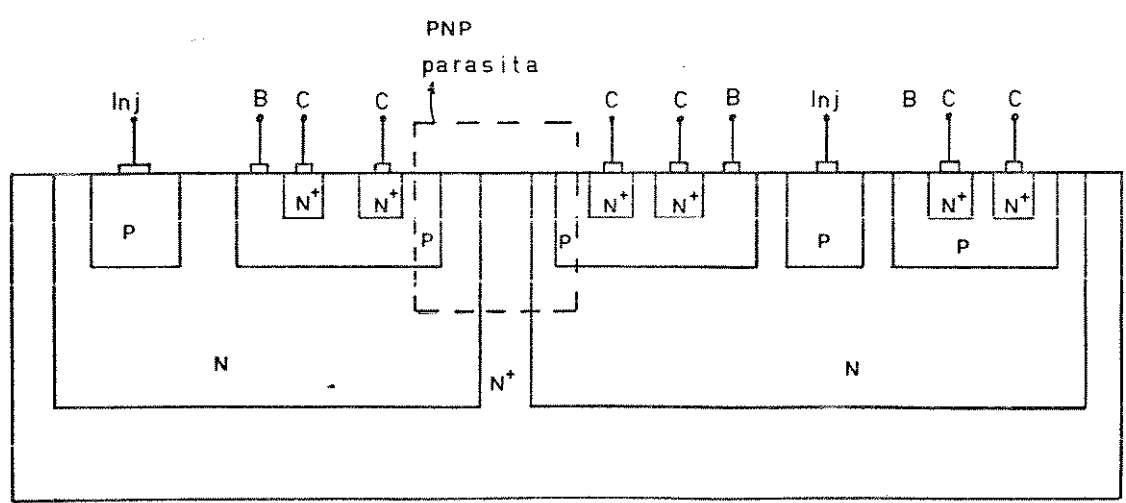


Figura 1.11 - Estrutura I²L com anéis de guarda N⁺

lando, dessa forma, o transistor PNP lateral parasita que aparece entre duas portas adjacentes. Além disso, os anéis de guarda melhoram o desempenho dos transistores NPN verticais, aumentando o seu ganho reverso de corrente [3]. São necessárias apenas 5 máscaras para a confecção de circuitos I^2L com essa estrutura, partindo-se de um substrato N^+ com camada epitaxial tipo N:

- 1 - difusão N^+ - anéis de guarda.
- 2 - difusão P - injetores e bases dos NPN.
- 3 - difusão N^+ - coletores dos NPN.
- 4 - abertura de contato.
- 5 - metalização.

No entanto, esse tipo de estrutura não permite a confecção de circuitos analógicos na mesma pastilha, já que todos os coletores dos transistores dos circuitos analógicos (emissores dos transistores I^2L) estariam aterrados. Para que se possa utilizar toda a potencialidade das estruturas I^2L (ou seja, torná-la compatível com circuitos analógicos), deve-se usar uma estrutura semelhante à apresentada na figura 1.12, onde os circuitos I^2L e os lineares ocupam ilhas N, isoladas umas das outras por regiões tipo P. Para esse processo, que é o convencional na confecção de circuitos integrados bipolares, temos as seguintes etapas:

- Substrato: tipo P.
- 1 - difusão da camada enterrada N^+ .
- 2 - crescimento da camada epitaxial tipo N.
- 3 - difusão P^+ para definição das ilhas N.
- 4 - difusão dos anéis de guarda N^+ .
- 5 - difusão P para formação dos injetores e bases dos transistores NPN (dos circuitos I^2L e analógicos).
- 6 - difusão N^+ para formar os coletores dos transistores I^2L e os emissores dos transistores dos circuitos analógicos.
- 7 - Abertura de contatos.
- 8 - Metalização.

Esse processo, no entanto, apresenta algumas deficiências que serão discutidas no capítulo 2.

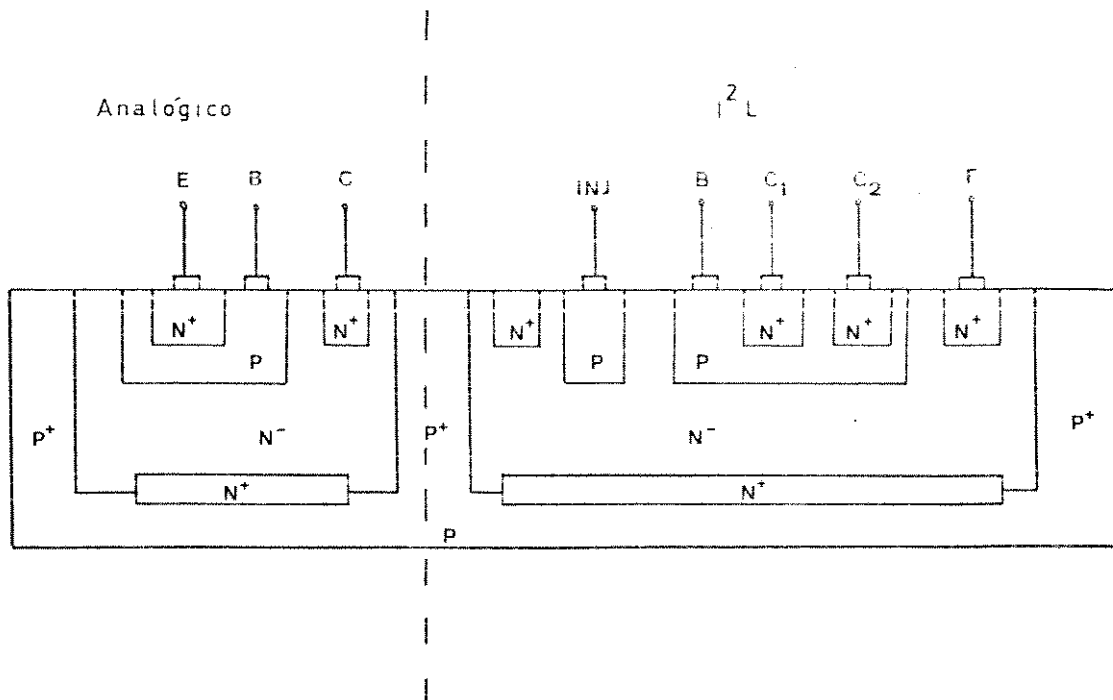


Figura 1.12 - I^2L compatível com analógico

1.3. Geometria das Portas I^2L

A escolha da geometria a ser utilizada na construção de uma porta I^2L é um fator extremamente importante, pois alguns dos principais parâmetros, como tempo de atraso por porta, compactação e consumo de potência, são fortemente dependentes da geometria do circuito. A seguir apresentam-se algumas considerações sobre o desempenho de 3 tipos de geometria muito utilizadas em circuitos I^2L .

A figura 1.13 mostra um transistor multi-coletor perpendicular à fita da difusão de injetor. Nesse caso, o tempo de chaveamento do coletor C_3 será maior que o do coletor C_2 que, por sua vez, será maior que o de C_1 . Isso se deve à diminuição da densidade de corrente na base de C_1 para C_3 , já que as lacunas injetadas na base encontram resistências diferentes, proporcionais às distâncias do injetor até os coletores [4], [5].

Para correntes altas, a diferença de velocidade de chaveamento entre o coletor mais próximo e o mais afastado chega a ser duas vezes e meia [4]. Para melhorar esses atrasos, podemos mudar o "lay-out" do circuito e usar, por exemplo, os circuitos das figuras 1.14 e 1.15.

Na figura 1.14 as distâncias dos coletores C_1 e C_2 ao injetor são as meno-

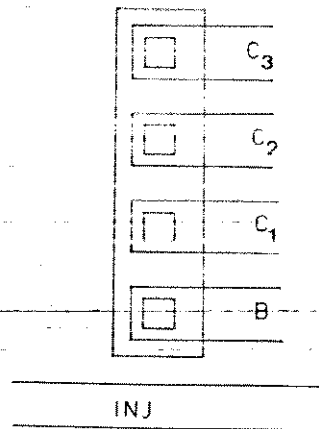


Figura 1.13 - Estrutura I^2L perpendicular

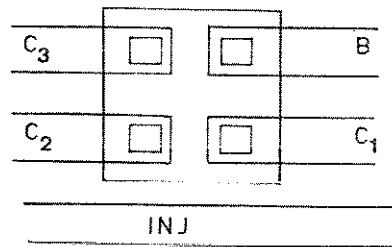


Figura 1.14 - Estrutura I^2L mista

res possíveis, enquanto o coletor C_3 fica mais afastado. Logo, os tempos de atraso são menores para C_1 e C_2 do que para C_3 .

A configuração que apresenta o menor tempo de atraso para todos os coletores é a apresentada na figura 1.15. Nesse caso, as distâncias entre a linha de injetores e os coletores são as menores possíveis e iguais. Logo, os 3 coletores devem chavear

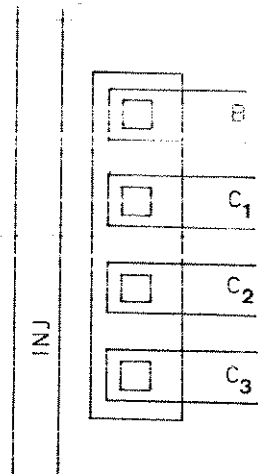


Figura 1.15 - Estrutura I^2L paralela

com a mesma velocidade.

Acontece que, associado a essas formas de "lay-out", temos um outro fator muito importante: a compactação. A compactação é muito maior para a estrutura perpendicular, ou seja: compactação e velocidade são inversamente proporcionais. Portanto, ao se projetar um circuito I^2L , é necessário fazer um compromisso entre a dimensão da pastilha e a máxima frequência de operação do circuito.

A estrutura da figura 1.12, porém, tem tido preferência nos projetos de circuitos I^2L , pois para baixos níveis de corrente, a diferença de velocidade de chaveamento entre o coletor mais próximo e o mais afastado é muito pequena [4]. Além disso, essa estrutura permite um alto grau de compactação, maior facilidade de interconexão das portas na metalização e, ainda, uso dos atrasos para a obtenção de alguns blocos lógicos como "flip-flops" [6].

Temos também um ganho reverso de corrente (β_{up}) nos transistores I^2L maior para a estrutura perpendicular do que para a paralela [7]. Como uma das dificuldades na confecção de circuitos I^2L é obter um valor alto de β_{up} , temos mais um argumento forte para a utilização da estrutura perpendicular.

CAPÍTULO 2

TECNOLOGIA DE CONFEÇÃO

2.1. O Processo de Dupla Difusão de Base

Como pode ser visto na figura 2.1, onde temos uma porta I^2L e seu esquema elétrico equivalente, o transistor NPN vertical trabalha no modo reverso, já que a região mais dopada forma o coletor e a epitaxia forma o emissor. Isso faz com que apresente uma dificuldade tecnológica na confecção de circuitos I^2L , pois devemos ter o β_{up} por coletor maior do que 1.

Para que os transistores I^2L tenham um bom desempenho, dois requisitos são indispensáveis:

- pequena dopagem integral da base (n_0 de Gummel baixo) [8].
- camada epitaxial bem dopada [9], [10].

Essas duas condições praticamente asseguram a obtenção de um valor de β_{up} suficiente para a operação adequada do circuito. Acontece que, junto com β_{up} alto, temos associada a esses dispositivos uma tensão de ruptura VCEO muito baixa (da ordem de 5 volts), devido ao fenômeno de "punch-through". No caso de termos apenas circuitos I^2L , não haverá problemas, pois com VCEO > 0,7 volts os circuitos irão funcionar perfeitamente [11].

A confecção de circuitos analógicos com essas tensões de ruptura é, porém, impraticável. Uma das soluções encontradas para a confecção de circuitos I^2L compatíveis com analógicos de alta tensão de ruptura, é utilizar perfis de dopagem diferentes para os dispositivos I^2L e analógicos variando, dessa forma, a carga na base dos transistores. Assim, na mesma pastilha, construímos transistores com carga na base pequena para os dispositivos I^2L (obtendo-se alto valor de β_{up} e baixo VCEO) e, para os dispositivos analógicos, transistores com carga na base maior, de forma a obter uma tensão VCEO mais alta.

O processo a ser usado é semelhante ao apresentado por Blossfeld [12], com a diferença de não se usar implantação iônica. A carga ativa na base dos transistores I^2L é reduzida por meio de uma difusão de base mais rasa do que a utilizada para os transistores da parte analógica, como indicado na figura 2.2.

O processo, semelhante ao utilizado para a obtenção de transistores super- β em circuitos integrados bipolares, apresenta ainda a vantagem de possibilitar a confecção de dois tipos de transistores na parte analógica: um de alto ganho e baixa tensão de ruptura (transistores de base rasa, operados no modo direto) e outro de alta tensão de ruptura, mas ganho relativamente baixo.

A seqüência de confecção para o processo é apresentada na tabela 2.1.

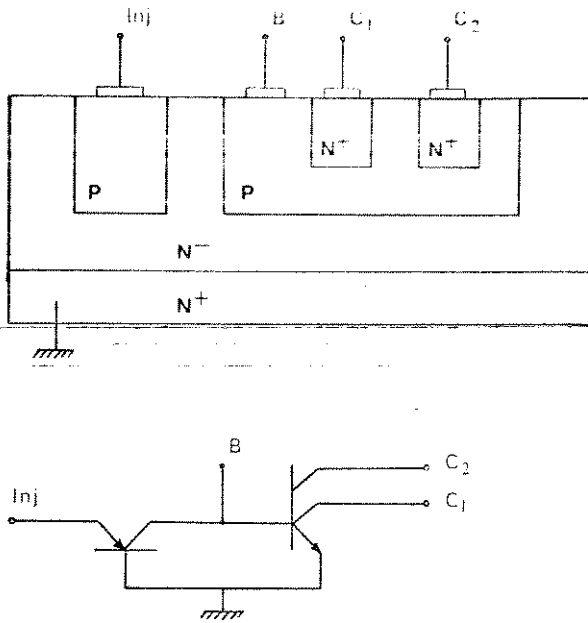


Figura 2.1 - Na porta I^2L , os transistores NPN trabalham no modo reverso.

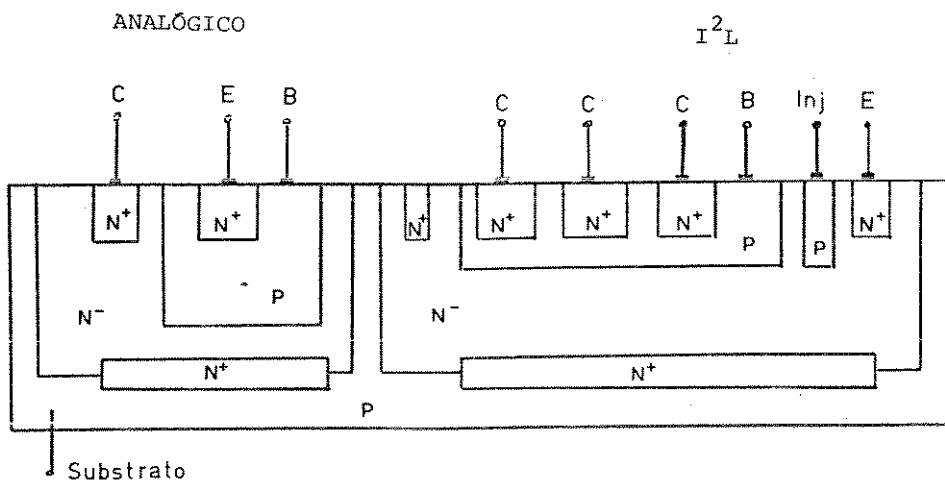


Figura 2.2 Estrutura proposta para a combinação I^2L - Analógico.

TABELA 2.1

Substrato: tipo P.

1. Camada enterrada N^+ .
2. Crescimento epitaxial N.
3. Difusão de isolamento P^+ .
4. Difusão dos anéis de guarda N^+ .
5. Deposição tipo P (base da parte analógica).
6. Penetração parcial da base da parte analógica.
7. Deposição tipo P (base das portas I^2L).
8. Penetração das duas bases.
9. Difusão de emissor.
10. Abertura de contatos.
11. Metalização.

Para a execução do processo é necessária, portanto, a inclusão de apenas uma máscara, em relação ao processo convencional de confecção de circuitos I^2L e analógicos na mesma pastilha.

2.2. Perfis de Dopagem

Os perfis de dopagem serão calculados visando-se a obtenção das seguintes características:

- i) β_{up} por coletor igual a 15 para uma estrutura I^2L com "fan-out" igual a 6, no pior caso.
- ii) Tensões de ruptura $VCBO = 60V$ e $VCEO = 25V$ para os transistores da parte analógica.

2.2.1. Transistores de Alta Tensão de Ruptura

Para que a junção base-coletor apresente uma tensão de ruptura $VCBO = 60V$, no caso de junções abruptas a concentração de impurezas do lado menos dopado (no caso a camada epitaxial) não deve ultrapassar $9 \times 10^{15} \text{ cm}^{-3}$ [13]. Lembrando que a dopagem da camada epitaxial deve ser a mais alta possível (para melhorar o desempenho dos transistores I^2L) e considerando uma margem de segurança em relação à tensão de ruptura, usaremos lâminas com concentração de $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$ na camada epitaxial.

Numa junção confeccionada com a tecnologia planar, em que a difusão tem forma semelhante à apresentada na figura 2.3, as tensões de ruptura são menores do que no caso de uma junção plana infinita. Como uma junção com raio de curvatura R_j tem $VCBO$ menor do que o $VCBO$ de uma junção plana infinita, usando o método de cálculo proposto na ref. [14], para $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$ e $VCBO = 60V$, obtemos $X_{JB} \approx 3,2 \mu\text{m}$ e $VCBO$ de junção plana infinita igual a 110V. Usaremos, dando uma margem de segurança, $X_{JB} = 3,5 \mu\text{m}$.

Com o valor de X_{JB} , podemos determinar qual a largura mínima de camada epi

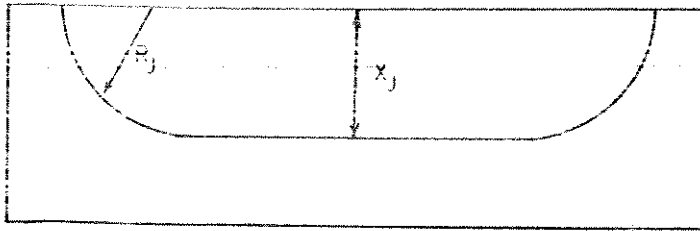


Figura 2.3 - Junção confeccionada com a tecnologia planar.

taxial, para que a junção base-coletor, sob alta polarização reversa, não encoste na camada enterrada ("reach-through").

De acordo com a referência [13] temos

$$X_{JC} - X_{JB} = \left[\frac{2 \cdot c_o \cdot c_r \cdot VCBO}{q \cdot N_{epi}} \right]^{1/2} \quad (1)$$

Para $VCBO = 60V$ e $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$ encontramos $X_{JC} - X_{JB} \cong 4 \mu\text{m}$.

A junção base-coletor deve estar, portanto, a pelo menos $4 \mu\text{m}$ da camada enterrada. Como o valor de X_{JB} já foi determinado ($X_{JB} = 3,5 \mu\text{m}$), a espessura mínima da camada epitaxial deve ser $w_{epi} = 7,5 \mu\text{m}$. Como margem de segurança, usaremos $w_{epi} = 9 \mu\text{m}$.

- Perfil de Base.

Um valor usual para a resistência por quadrado das regiões difundidas de base em circuitos integrados bipolares analógicos é $R_{SB} = 120 \Omega/\square$. A resistividade média é dada por:

$$\rho_m = R_{SB} \cdot X_{JB} \quad (2)$$

$$\rho_m = 0,042 \Omega \cdot \text{cm}. \quad \therefore \quad \sigma_m = 23,8 (\Omega \cdot \text{cm})^{-1}$$

Dado o valor de σ_m , utilizando as curvas de Irvin [15] para $X/X_J = 0$ e $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$, temos $C_S \approx 5 \times 10^{18} \text{ cm}^{-3}$. Ou seja, a concentração superficial de impurezas na base que fornece uma resistência de folha $R_{SB} = 120 \text{ } \Omega/\square$, para uma profundidade de junção $X_{JB} = 3,5 \text{ } \mu\text{m}$, é $C_S \approx 5 \times 10^{18} \text{ cm}^{-3}$.

Com a concentração superficial, a profundidade de junção da base, e admitindo um perfil gaussiano para a distribuição de impurezas [16], temos:

$$N_a(x) = C_S \exp\left(-\frac{x^2}{4 \cdot D_p \cdot t_p}\right) \quad (3)$$

onde D_p = coeficiente de difusão

t_p = tempo de penetração

Com a utilização desse modelo, estamos admitindo várias simplificações, pois além do perfil gaussiano ser apenas uma aproximação, estamos desprezando uma série de efeitos como variação do coeficiente de difusão com a dopagem e coeficiente de segregação do dopante.

Entretanto, como são realizados ajustes experimentais (através de dados obtidos no processamento das lâminas), o modelo, apesar das limitações, fornece resultados bons para uma primeira aproximação.

A junção irá ocorrer onde $N_a(X) = N_{epi}$. Logo

$$D_p t_p = \frac{X_{JB}^2}{4 \cdot \ln \frac{C_S}{N_{epi}}} \quad (4)$$

Com os valores de X_{JB} , C_S e N_{epi} já conhecidos, temos $D_p t_p = 4,43 \times 10^{-9} \text{ cm}^2$.

Dado o valor do produto $D_p t_p$ e conhecendo-se o valor do coeficiente de difusão do Boro D_p , que consideraremos independente da concentração de impurezas, podemos determinar o tempo necessário para realizar a penetração.

Ao escolhermos a temperatura para a difusão, levamos em consideração os seguintes fatores:

- a temperatura deve estar dentro da faixa permitida pelo forno.
- demos preferência a temperaturas para as quais os perfis do forno já estão calibrados [17].
- devemos escolher temperaturas de forma a manter os tempos de difusão dentro de limites razoáveis, evitando tempos excessivamente longos ou curtos.

O forno de difusão de boro tem um perfil de temperatura calibrado em 1150°C . Para essa temperatura, de acordo com a referência [18], o coeficiente de difu

são do boro é $D_p \approx 4,3 \times 10^{-11} \text{ cm}^2/\text{min}$.

Portanto, a partir do valor de $D_p t_p$, temos $t_p = 103$ minutos. Logo, a penetração de base será realizada a 1150°C durante 103 minutos. O perfil resultante, representado na figura 2.4, é dado por:

$$N(x) = 5 \times 10^{18} \exp\left(-\frac{x^2}{1,77 \times 10^{-8}}\right) \quad (\text{cm}^{-3}) \quad (5)$$

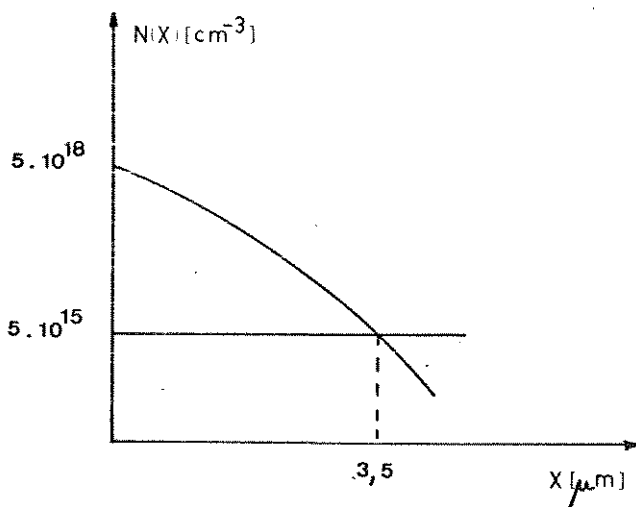


Figura 2.4. Perfil de impurezas na base

Para realizar a penetração de boro, precisamos depositar inicialmente uma quantidade na superfície, de modo que, ao final da penetração, tenhamos uma concentração superficial igual à prevista, ou seja, $C_s = 5 \times 10^{18} \text{ cm}^{-3}$.

De acordo com a referência [13], a concentração superficial é dada por:

$$C_s = \frac{Q}{[\pi \cdot D_p t_p]^{1/2}} \quad (6)$$

Logo, $Q = 5,89 \times 10^{14} \text{ cm}^{-2}$.

Porém, devido ao efeito de redistribuição da carga depositada [16], temos que depositar uma quantidade maior de boro, já que parte deste irá segregar para o óxido. Admitindo-se um fator de 75% na redistribuição [19], temos que depositar $Q = 2,35 \times 10^{15} \text{ cm}^{-2}$, onde a carga depositada é dada por:

$$Q = \frac{2 \cdot N_o}{\sqrt{\pi}} \cdot \sqrt{D_d t_d} \quad (7)$$

onde:

N_o = solubilidade sólida do dopante

D_d = coeficiente de difusão do dopante

t_d = tempo de deposição

Do mesmo modo que foi feito para a penetração, podemos determinar o tempo e a temperatura necessários para depositar essa carga.

$$\sqrt{D_d t_d} = \frac{Q \cdot \sqrt{\pi}}{2 \cdot N_o} \quad (8)$$

O valor da solubilidade sólida do boro, para a temperatura de 960°C (onde temos um perfil de temperatura calibrado), é $N_o = 4,5 \times 10^{20} \text{ cm}^{-3}$. Temos portanto,

$$\sqrt{D_d t_d} = 4,63 \times 10^{-6} \text{ cm}$$

Nessa temperatura, o valor do coeficiente de difusão do boro é $D_d = 4,0 \times 10^{-13} \text{ cm}^2/\text{min}$. Logo, $t_d = 53$ minutos.

Dessa forma, está fixado o processo para a confecção da base dos transistores de alta tensão de ruptura. A seqüência a ser executada é:

1. Deposição de Boro
Temperatura: 960°C
Tempo: 53 minutos
2. Penetração de Boro
Penetração: 1150°C
Tempo: 103 minutos

- Perfil de Emissor

Na determinação do perfil de emissor, devemos calcular qual a máxima pro -

fundidade de junção base-emissor (X_{JE}) a ser obtida, sem que ocorra "punch-through" antes dos 60V desceados para V_{CEO}.

A condição necessária para isso é que a soma dos átomos dopantes ionizados da base e da camada epitaxial seja zero [20]. Admitindo um perfil função complementar de erro (erfc) para o emissor, temos:

$$\int_{X_{JE}}^{X_{JB}} \left[Na(x) - N_{do} \operatorname{erfc} \left[\frac{x}{2\sqrt{D_f t_f}} \right] - N_{epi} \right] dx \geq \underbrace{N_{epi} (X_{JC} - X_{JB})}_{Q_{epi}} \quad (9)$$

Usando os valores de W_{epi} , X_{JB} e N_{epi} já determinados, temos $Q_{epi} = 2,75 \times 10^{12} \text{ cm}^{-2}$.

Como não estamos levando em consideração as regiões de depleção na base e não sendo incomum a variação de um fator de 2 na carga ativa da base em circuitos integrados bipolares, usaremos, como margem de segurança, uma solução de (9) com Q_{epi} multiplicado por 2.

Sabemos que:

$$Nd(x) = N_{do} \operatorname{erfc} \left[\frac{x}{2\sqrt{D_f t_f}} \right] \quad (10)$$

$$Nd(X_{JE}) = Na(X_{JE}) \quad (11)$$

Logo

$$Nd(x) = \underbrace{\frac{Na(X_{JE})}{\operatorname{erfc} \left[\frac{X_{JE}}{2\sqrt{D_f t_f}} \right]}}_{N_{do}} \cdot \operatorname{erfc} \left[\frac{x}{2\sqrt{D_f t_f}} \right] \quad (12)$$

A solução de (9) é obtida numericamente através de algumas iterações, usando a equação (12). Não se deve esquecer que o valor de N_{do} deve ficar abaixo da solubilidade sólida do fósforo, $N_o = 1,1 \times 10^{21} \text{ cm}^{-3}$. Uma solução que fornece $N_{do} = 3,5 \times 10^{20} \text{ cm}^{-3}$, é dada por:

$$X_{JE} = 2,2 \text{ } \mu\text{m}.$$

$$D_f t_f = 0,192 \times 10^{-8} \text{ cm}.$$

O perfil de emissor fica, portanto, determinado:

$$Nd(x) = 8,5 \times 10^{20} \operatorname{erfc} \frac{x}{2\sqrt{0,192 \times 10^{-8}}} \quad (\text{cm}^{-3}) \quad (13)$$

No caso de uma função de erro complementar, a relação entre os comprimentos de difusão da deposição e da penetração pode ser aproximada, de acordo com a referência [21], por:

$$\frac{\sqrt{D_d t_d}}{\sqrt{D_p t_p}} = \operatorname{tg} \left(\frac{\pi}{2} \frac{N_{do}}{N_o} \right) \quad (14)$$

onde

$\sqrt{D_d t_d}$ = Comprimento de difusão da deposição

$\sqrt{D_p t_p}$ = Comprimento de difusão da penetração

N_o = Solubilidade sólida do dopante

N_{do} = Concentração superficial após a penetração

De acordo com a mesma referência podemos aproximar

$$D_f t_f = D_d t_d + D_p t_p \quad (15)$$

Com N_o , N_{do} e $D_f t_f$ conhecidos, podemos determinar

$$D_d t_d = 0,181 \times 10^{-8} \text{ cm}^2$$

$$D_p t_p = 0,011 \times 10^{-8} \text{ cm}^2$$

Usando 1050°C na deposição e 900°C na penetração temos:

$$t_d = 35 \text{ minutos}$$

$$t_p = 40 \text{ minutos}$$

Os perfis de base e emissor são apresentados na figura 2.5.

No entanto, o perfil de átomos eletricamente ativos não é o mesmo, já que a solubilidade elétrica do fósforo é bem menor do que $8,5 \times 10^{20} \text{ cm}^{-3}$. De acordo com a referência [22], a solubilidade elétrica do fósforo é $N_{do} \approx 3 \times 10^{20} \text{ cm}^{-3}$, sendo este valor atingido durante a deposição a 1050°C . O perfil de fósforo eletricamente ativo é apresentado na figura 2.6.

Podemos determinar x^* :

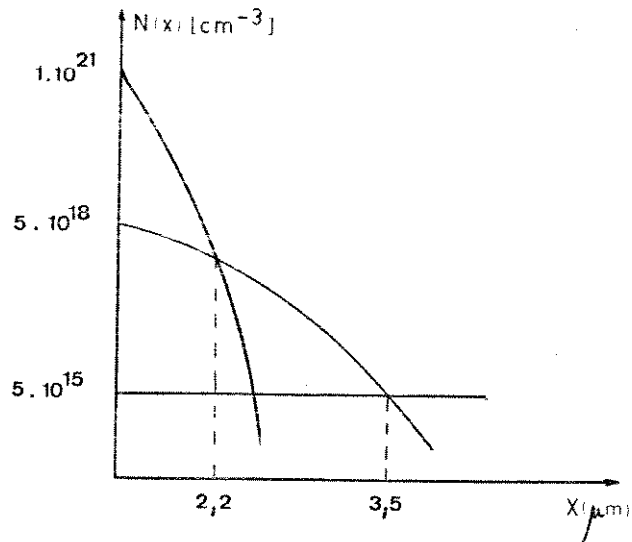


Figura 2.5 - Perfis de dopagem calculados.

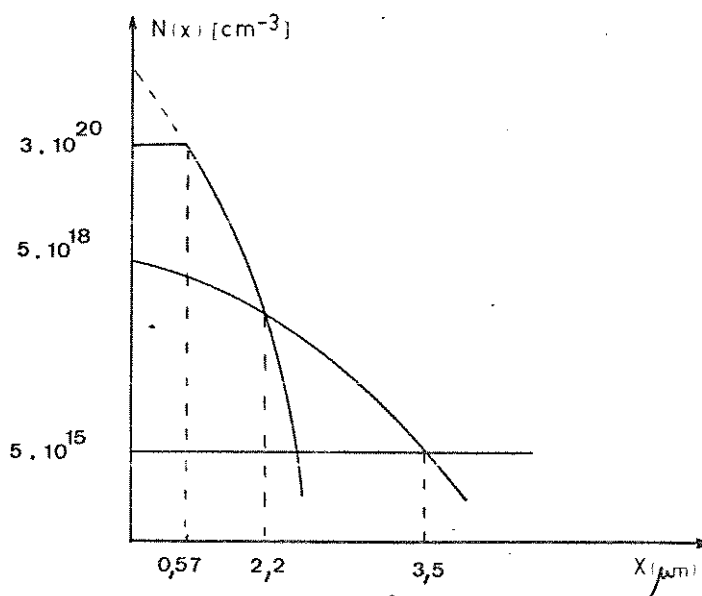


Figura 2.6 - Perfil de impurezas eletricamente ativas

$$3 \times 10^{20} = 8,5 \times 10^{20} \operatorname{erfc} \frac{x^*}{2\sqrt{0,192 \times 10^{-8}}} \quad (16)$$

$$\therefore x^* = 0,57 \mu\text{m}.$$

Conhecidos os perfis de base e de emissor, podemos calcular a eficiência de injeção da junção base-emissor.

A densidade de corrente de lacunas injetadas no emissor, de acordo com a referência [23], é dada por:

$$J_p = q \int_0^{X_{JE}} \frac{D_p(x) n_{iE}^2(x)}{N_d(x) - N_a(x)} dx \cdot \left[\exp\left[\frac{qV_{BE}}{KT}\right] - 1 \right] \quad (17)$$

A densidade de corrente de elétrons injetada na base, de acordo com a mesma referência, é dada por

$$J_e = q \int_{X_{JE}}^{X_{JB}} \frac{D_n(x) n_{iB}^2(x)}{N_a(x) - N_d(x)} dx \cdot \left[\exp\left[\frac{qV_{BE}}{KT}\right] - 1 \right] \quad (18)$$

A eficiência de injeção é dada por

$$\gamma_0 = \frac{J_e}{J_p} \quad (19)$$

$$\gamma_0 = \frac{\int_{X_{JE}}^{X_{JB}} \frac{D_n(x) n_{iB}^2(x)}{N_a(x) - N_d(x)} dx}{\int_0^{X_{JE}} \frac{D_p(x) n_{iE}^2(x)}{N_d(x) - N_a(x)} dx} \quad (20)$$

Admitindo valores médios para D_n e D_p , temos

$$\gamma_0 = \frac{\overline{Dn}}{\overline{Dp}} \frac{\int_{X_{JE}}^{X_{JB}} \frac{n_{iB}^2(x)}{Na(x) - Nd(x)} dx}{\int_0^{X_{JE}} \frac{n_{iE}^2(x)}{Nd(x) - Na(x)} dx} \quad (21)$$

Como a variação de $n_{iB}^2(x)$ é desprezível, podemos simplificar a expressão da eficiência de injeção

$$\gamma_0 = \frac{\overline{Dn}}{\overline{Dp}} \frac{\int_0^{X_{JE}} \frac{Nd(x) - Na(x)}{n_{iE}^2(x)} dx}{\frac{1}{n_{iB}^2} \int_{X_{JE}}^{X_{JB}} Na(x) - Nd(x) dx} \quad (22)$$

A integral que aparece no numerador é chamada "perfil equivalente de emissor" e é muito importante na determinação do ganho de transistores bipolares, quando a dopagem de emissor é suficientemente alta para provocar degenerescência [24].

Usando as expressões derivadas por Bãilbé (ref. [25]) para as variações de n_i^2 em função da dopagem, foi feito um programa que calcula o perfil equivalente de emissor (Apêndice A). O resultado nos fornece

$$\int_0^{X_{JE}} \frac{Nd(x) - Na(x)}{n_{iE}^2(x)} dx = 2.12 \times 10^{-6}$$

Desprezando as variações de $n_{iB}^2(x)$, temos

$$\frac{1}{n_{iB}^2} \int_{X_{JE}}^{X_{JB}} [Na(x) - Nd(x)] dx = 3,37 \times 10^{-8}$$

Usando a equação (18), temos $\gamma_0 \approx 190$. Conhecido γ_0 , podemos calcular β_0 , o ganho de corrente em emissor comum, sem levar em conta o fator de transporte. Supondo que toda injeção na região lateral do emissor é perdida, temos

$$\beta_0 = \gamma_0 \frac{A_{\text{ativa de emissor}}}{A_{\text{emissor}}} \quad (23)$$

Para o transistor de teste temos

$$\begin{aligned} A_{\text{emissor}} &= 1164 \text{ } \mu\text{m}^2 \\ A_{\text{ativa de emissor}} &= 900 \text{ } \mu\text{m}^2 \end{aligned}$$

Logo, $\beta_0 = 145$

Consideramos a área ativa do emissor a projeção da abertura de difusão de emissor, na qual supõe-se corrente uniforme.

O ganho de corrente β_F pode ser determinado usando-se a relação

$$\frac{1}{\beta_F} = \frac{1}{\beta_0} + \frac{W_B^2}{4L_n^2} \quad (24)$$

onde

W_B = largura de base

$L_n = \sqrt{D_n \tau_n}$ = comprimento de difusão dos elétrons na base.

Devemos notar que estamos usando uma aproximação, já que a expressão só é válida para um perfil de base gradual [13].

Com $D_n = 9 \text{ cm}^2/\text{s}$ e $\tau_n = 1 \mu\text{s}$, temos $\beta_F \approx 135$.

Com o valor de β_F , podemos calcular a tensão de ruptura VCEO,

$$V_{CE0} = \frac{V_{CBO}}{\beta_F^{1/n}} \quad (25)$$

com $n \approx 4$ para transistores NPN de silício.

Entretanto, de acordo com a referência [16], a tensão V_{CBO} que deve ser utilizada nessa equação é a de junção plana infinita, pois os fenômenos de avalanche são muito mais importantes nesta região. Usando os valores já calculados para V_{CBO} e β_F temos

$$V_{CE0} \cong \frac{110}{(135)^{1/4}} \quad \therefore$$

$$V_{CE0} \cong 32V.$$

2.2.2. Transistores I^2L

A determinação do perfil a ser usado para os transistores I^2L tem como objetivo a otimização dos transistores de uma estrutura como a apresentada na figura 2.7.

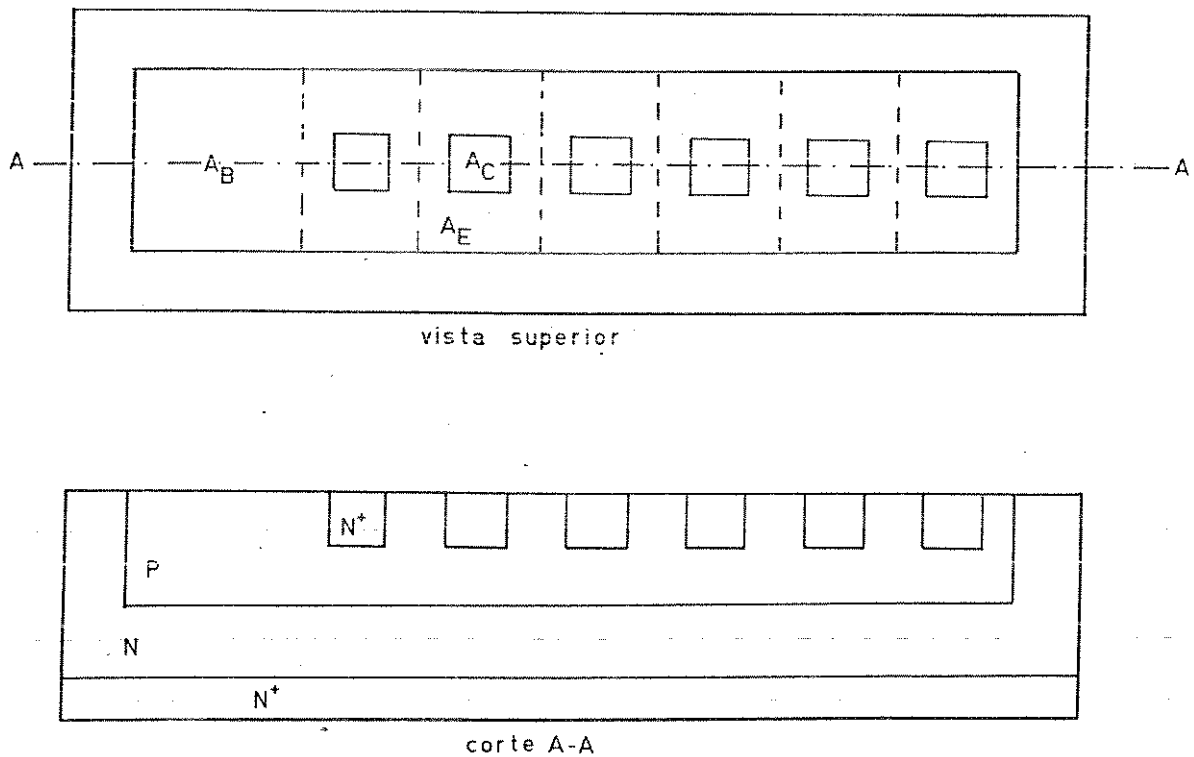


Figura 2.7 - Estrutura I^2L com 6 coletores

Desprezando os efeitos de recombinação na superfície, defocalização e alta injeção, vamos determinar, de forma aproximada, o ganho de uma estrutura com F coleto-

res, semelhante à da figura 2.7 [26].

- Corrente de base intrínseca (lacunas injetadas no emissor).

$$I_B^* = F \cdot A_C \cdot q \frac{1}{\int_0^{w_{\text{epi}}} \frac{n_{\text{iepi}}^2(x) \overline{Dp}_{\text{epi}}}{n_{\text{iepi}}^2(x) \overline{Dp}_{\text{epi}}} dx + \int_{w_{\text{epi}}}^{L_{N+}} \frac{n_{\text{iCE}}^2(x) \overline{Dp}_{\text{CE}}}{n_{\text{iCE}}^2(x) \overline{Dp}_{\text{CE}}} dx} \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (26)$$

onde

- w_{epi} = espessura da camada epitaxial.
- n_{iepi}^2 = valor de n_i^2 na camada epitaxial.
- n_{iCE}^2 = valor de n_i^2 na camada enterrada.
- L_{N+} = comprimento de difusão das lacunas na camada enterrada
($L_{N+} = \sqrt{D_{N+} \tau_{N+}}$)
- $\overline{Dp}_{\text{epi}}$ = coeficiente de difusão média das lacunas na camada enterrada.
- $Nd_{\text{epi}}(x)$ = perfil de dopagem na camada epitaxial.
- $Nd_{\text{CE}}(x)$ = perfil de dopagem na camada enterrada.

- Corrente de base na região passiva de base (elétrons injetados na base passiva e lacunas injetadas no emissor).

$$I_{Bp} = F \cdot q \cdot (A_E - A_C) \left[\frac{\overline{Dn} n_{iB}^2}{\int_{\text{base passiva}} Na(x) dx} + \frac{1}{\int_0^{w_{\text{epi}}} \frac{Nd_{\text{epi}}(x) dx}{n_{\text{iepi}}^2(x) \overline{Dp}_{\text{epi}}} + \int_{w_{\text{epi}}}^{L_{N+}} \frac{Nd_{\text{CE}}(x) dx}{n_{\text{iCE}}^2(x) \overline{Dp}_{\text{CE}}}} \right] \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (27)$$

- Corrente de base devida à célula de contato de base (elétrons injetados na base e lacunas injetadas no emissor).

$$I_{Bb} = q \cdot A_B \left[\frac{\overline{Dn} n_{iB}^2}{\int_{\text{base passiva}} Na(x) dx} + \frac{1}{\int_0^{W_{\text{epi}}} \frac{Nd_{\text{epi}}(x) dx}{n_{i\text{epi}}^2(x) Dp_{\text{epi}}} + \int_{W_{\text{epi}}}^{L_{N^+}} \frac{Nd_{\text{CE}}(x) dx}{n_{i\text{epi}}^2(x) \overline{Dp}_{\text{CE}}} dx} \right] \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (28)$$

A corrente de base total é:

$$I_{BT} = I_B + I_{Bp} + I_{Bb}$$

$$I_{BT} = q \cdot A_E \left[\frac{\overline{Dn} n_{iB}^2}{\int_{\text{base passiva}} Na(x) dx} \left[\frac{A_B}{A_E} + F \left[1 - \frac{A_C}{A_E} \right] \right] + \left[F + \frac{A_B}{A_E} \right] \cdot \frac{1}{\int_0^{W_{\text{epi}}} \frac{Nd_{\text{epi}}(x) dx}{n_{i\text{epi}}^2(x) \overline{Dp}_{\text{epi}}} + \int_{W_{\text{epi}}}^{L_{N^+}} \frac{Nd_{\text{CE}}(x) dx}{n_{i\text{CE}}^2(x) \overline{Dp}_{\text{CE}}} dx} \right] \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (29)$$

Como nos transistores L^2 a largura efetiva de base e a carga da base ativa são pequenas, o fator de transporte pode ser considerado aproximadamente igual a 1. Com isso, a corrente de coletor é dada por:

$$I_C = q \cdot A_C \frac{n_{iB}^2 \overline{Dn}}{\int_{x_{JE}}^{x_{JB}} N(x) dx} \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (30)$$

O ganho dos transistores é definido como

$$\beta_{\text{up}} = \frac{I_C}{I_{BT}} \quad (31)$$

Logo, temos

$$\beta_{up} = \frac{A_C}{A_E} \frac{\overline{Dn} n_{iB}^2}{Na(x) dx} \int_{\text{base passiva}} \frac{\overline{Dn} n_{iB}^2}{Na(x) dx} \left[\frac{A_B}{A_E} + F \left(1 - \frac{A_C}{A_E} \right) \right] + \frac{F + \frac{A_B}{A_E}}{Q_N} \quad (32)$$

onde

$$Q_N = \int_0^{W_{epi}} \frac{Nd_{epi}(x) dx}{n_{iepi}^2(x) \overline{Dp}_{epi}} + \int_{W_{epi}}^{L_{N^+}} \frac{Nd_{CE}(x) dx}{n_{iCE}^2(x) \overline{Dp}_{CE}}$$

Com a geometria da estrutura definida ($A_E = 2000 \mu m^2$; $A_C = 900 \mu m^2$; $A_B = 1750 \mu m^2$), podemos determinar uma relação entre as cargas ativa e passiva da base. Impo-ndo-se $\beta_{up} = 15$, para uma carga na base passiva $\int Na(x) dx = 5 \times 10^{14} \text{ cm}^{-2}$, obtemos

$$\int_{x_{JE}}^{x_{JB}} Na(x) dx \approx 1,8 \times 10^{12} \text{ cm}^{-2}$$

Usando a mesma concentração superficial da parte analógica, o perfil que fornece os resultados calculados é dado por:

$$Na(x) = 5 \times 10^{18} \exp \left[- \frac{x^2}{1,4 \times 10^{-8}} \right] (\text{cm}^{-3}) \quad (33)$$

Podemos determinar o tempo e a temperatura para a difusão da base I^2L . O comprimento de difusão, obtido da equação (33), é $\sqrt{D_p t_p} = 5,92 \times 10^{-5} \text{ cm}$.

Como essa difusão é realizada simultaneamente com a difusão da base analógica, o coeficiente de difusão do boro a 1150°C já foi determinado ($4,3 \times 10^{-11} \text{ cm}^2/\text{min}$.) e o tempo de penetração fica sendo:

$$t_p \approx 81 \text{ minutos.}$$

Na deposição, usando as equações (6), (7) e o mesmo fator de redistribuição de carga, temos:

$$\sqrt{Dtd} = 3,9 \times 10^{-6} \text{ cm}$$

Usando a mesma temperatura de deposição da base dos transistores da parte analógica temos $t_d = 38$ minutos.

- Difusão de Isolação N^+

A difusão de isolamento N^+ é a primeira etapa do processo. A carga depositada é a mesma da difusão de emissor. Como a penetração ocorre durante todo o processo, após a deposição é feita uma pequena penetração, suficiente apenas para permitir o crescimento do óxido necessário para permitir a fotogração da máscara de base.

O processo fica, então, totalmente determinado:

1. Deposição de Isolacão N^+ .
Tempo: 30 minutos
Temperatura: 1050°C
2. Penetracão de Isolacão N^+
Tempo: 30 minutos
Temperatura: 900°C
3. Deposicão de Base (analógica)
Tempo: 53 minutos
Temperatura: 960°C
4. Penetracão Parcial de Base (analógica)
Tempo: 33 minutos
Temperatura: 1150°C
5. Deposicão de Base (I^2L) (e penetracão analógica)
Tempo: 33 minutos
Temperatura: 960°C
6. Penetracão de Base (I^2L e analógica)
Tempo: 81 minutos
Temperatura: 1150°C
7. Deposicão de Emissor
Tempo: 35 minutos
Temperatura: 1050°C
8. Penetracão de Emissor
Tempo: 40 minutos
Temperatura: 900°C

Devemos observar que, no cálculo do tempo de penetração das bases, não estamos levando em consideração as penetrações adicionais que ocorrem devido à execução das difusões de emissor e, no caso da base da porta analógica, também devido à deposição da base I^2L . Como essas etapas são realizadas em temperaturas em que o coeficiente de difusão do boro é muito menor do que durante a penetração de base, o efeito dessas etapas sobre o perfil final de base é desprezível.

Conhecidos os perfis de dopagem, podemos calcular os parâmetros elétricos dos transistores PNP laterais (injetores) e também a influência destes sobre o ganho

da porta I^2L .

Para a estrutura apresentada na figura 2.8, a corrente de lacunas injetada na base do transistor PNP lateral é dada por:

$$I_{po} = \frac{D_p \cdot q \cdot (x_{jB} \cdot L_i) \cdot n_i^2}{W_{IB} \cdot N_{epi}} \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (34)$$

A corrente de lacunas injetada nas regiões do fundo e lateral é dada por:

$$I_{BO} = \frac{D_p \cdot q \cdot n_i^2 \cdot (A_f + A_{lat})}{\int_0^{W_{epi}} \frac{N_{d_{epi}}(x) \cdot dx}{n_{iepi}^2(x) \cdot \overline{D}_{epi}} + \int_{W_{epi}}^{L_{N^+}} \frac{N_{d_{CE}}(x) \cdot dx}{n_{iCE}^2(x) \cdot \overline{D}_{P_{CE}}}} \cdot \left[e^{\frac{qV_{BE}}{KT}} - 1 \right] \quad (35)$$

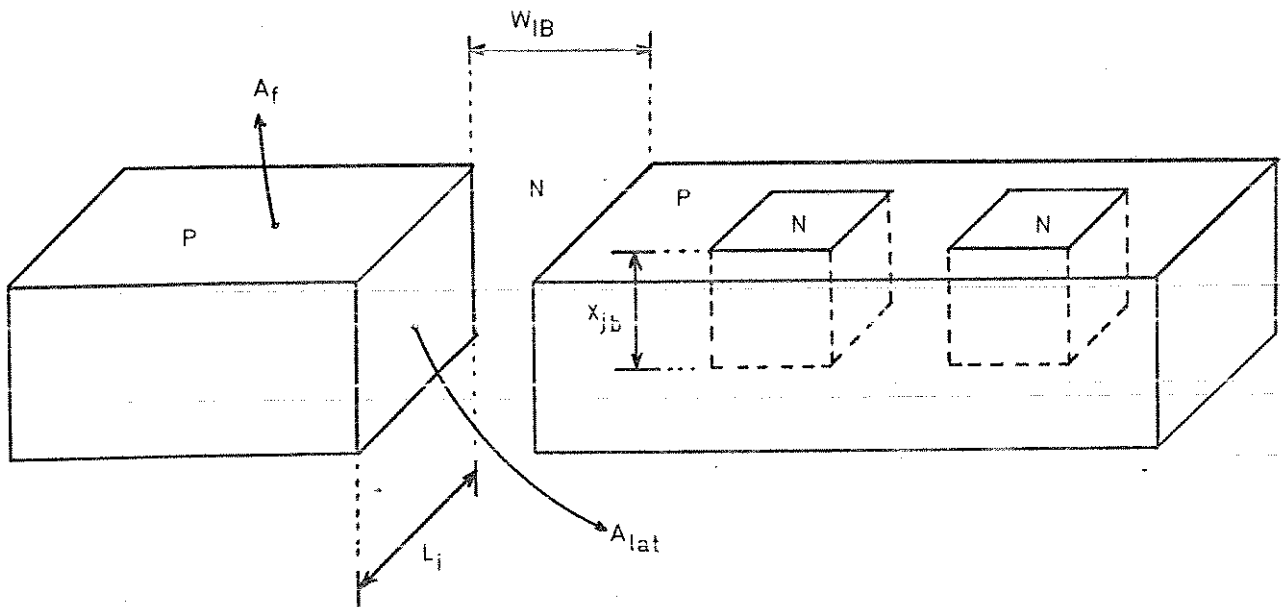


Figura 2.8

O ganho do transistor, de acordo com a referência [27], pode ser aproximado por

$$\frac{1}{\beta_F} = \frac{1}{\beta_0} + \frac{W_B^2}{2 L_p^2} \quad (36)$$

com

$$\beta_0 = \frac{I_{po}}{I_{Bo}} \quad (37)$$

já que a componente de corrente de elétrons injetados na base pode ser desprezada em relação a I_{Bo} . Com

$$\begin{aligned} A_f &= 1500 \text{ } \mu\text{m}^2 \\ A_{lat} &= 350 \text{ } \mu\text{m}^2 \\ L_i &= 50 \text{ } \mu\text{m} \\ W_{IB} &= 10 \text{ } \mu\text{m} \end{aligned}$$

Calculamos $\beta_0 = 8$. Logo, para $W_B \approx 6 \mu\text{m}$ e $L_p \approx 6 \mu\text{m}$ temos

$$\beta_F \approx 1,6.$$

O efeito do transistor PNP lateral sobre o ganho do transistor I^2L é dado, de acordo com a referência [8], por

$$\beta_{eff} = \frac{1}{\frac{1}{\beta_{up}} + \frac{I_{no}}{I_{po}}} \quad (38)$$

O valor de I_{po} é o calculado na expressão (34) e I_{no} é a corrente de saturação da junção base-emissor do transistor I^2L , dada por

$$I_{no} = \frac{q n_{iB}^2 \overline{Dn} A_C}{\int_{x_{JE}}^{x_{JB}} N(x) dx} \quad (39)$$

Logo, temos:

$$\frac{I_{PO}}{I_{no}} = \frac{\overline{Dp}}{\overline{Dn}} \cdot \frac{X_{JB} \cdot I_1}{A_C} \cdot \frac{\int_{X_{JE}}^{X_{JB}} N(x) dx}{N_{epi} W_{FB}} \quad (40)$$

Como todos os parâmetros já foram determinados, temos, para $\beta_{up} = 15$, $\beta_{eff} \approx 11$. Podemos também fazer uma estimativa sobre o comportamento dinâmico das portas I²L. De acordo com Davies [28], o menor tempo de atraso possível de ser obtido para uma estrutura com F coletores é dado por:

$$t_a = 1,7 F \frac{A_E}{A_C} \frac{W_{epi} \int_{X_{JE}}^{X_{JB}} N(x) dx}{\overline{Dn} \cdot N_{epi}} \quad (41)$$

Para o oscilador em anel a ser confeccionado (que possui "fan-out" igual a 3) temos:

$$t_a = 61 \text{ ns.}$$

CAPÍTULO 3

MÁSCARA DE TESTE

3.1. Projeto da Máscara de Teste

Para realizar a implantação do processo há necessidade de uma máscara de teste que forneça dados sobre os parâmetros tecnológicos de confecção e sobre os dispositivos (I^2L e analógicos) confeccionados com o processo. O conjunto de máscaras foi projetado de forma a obter-se todos os dispositivos e estruturas de teste confeccionados com base rasa e base profunda, permitindo uma boa avaliação das propriedades dos dispositivos confeccionados com o processo de dupla difusão de base. O dispositivo de teste é composto por 22 estruturas de teste repetidas (já que cada estrutura é confeccionada com base rasa e profunda) formando uma pastilha de $5 \times 5 \text{ mm}^2$. Para as estruturas de teste e avaliação do processo a serem medidas com microprovadores, foi usado um padrão de metalização, para os "pads" de contato, tipo $2 \times N$ [29], já que isso torna muito mais fácil o procedimento de medida. Nos dispositivos que se pretende medir com a pastilha encapsulada, foi usada uma disposição padrão de encapsulamento, com todos os "pads" na periferia da pastilha. A seguir apresenta-se uma descrição das estruturas de teste contidas na máscara.

- Cadeira de Inversores I^2L (L3-050).

É formada por 3 inversores I^2L ligados em série, com acesso às bases e coletores das 3 portas, e é destinado à obtenção da função de transferência estática da porta I^2L . Também pode ser usado como oscilador em anel, desde que seja feita uma realimentação externa, o que, entretanto, introduz capacitâncias adicionais. Além disso, osciladores em anel com poucos estágios fornecem valores do tempo de atraso por porta muito otimistas [30].

- Oscilador em anel 1 (L3-059).

Oscilador em anel de 15 estágios, sendo usado na saída mais um transistor como "buffer". Cada porta I^2L tem "fan-out" igual a 3, sendo usado como saída o coletor mais próximo do contato de base. A distância base-injetor na máscara é de $20 \mu\text{m}$. É usado para medir o produto potência \times velocidade das portas I^2L .

- Oscilador em anel 2 (L3-058).

O mesmo dispositivo anterior, mas com distância base-injetor igual a $10 \mu\text{m}$.

- Portas I^2L com distância base-injetor igual a $10 \mu\text{m}$ e $20 \mu\text{m}$. (L3-049).

Usados na caracterização das portas I^2L , permitindo uma avaliação da influência do injetor no funcionamento dos transistores I^2L .

- Transistor PNP lateral (L3-047).

Usado para caracterizar os transistores PNP laterais construídos na parte analógica da pastilha e para avaliação das correntes de superfície da lâmina.

- Transistores NPN verticais (L3-046 a L3-067).

Usados para caracterizar os transistores NPN verticais de alta tensão de ruptura e de alto ganho que são obtidos no processo. Um dos transistores (L3-067) é um transistor de "mínimas dimensões" já que é confeccionado com as mínimas dimensões permitidas pela tecnologia.

- Porta I²L com 6 coletores (L4-030).

Usada para medir o desempenho de estruturas com "fan-out" igual a seis.

- Dispositivos para medidas de resistência de contato de emissor (L3-062) [31].

Usado para medir a resistência de contato alumínio-silício, para aberturas de mínimas dimensões (10 x 10 μm^2) na difusão de emissor.

- Dispositivo para medida de resistência de contato da base (L3-063) [31].

Idem ao anterior, mas usado na difusão de base.

Dispositivo para teste de abertura de contatos (L4-031) [32].

Usado para medir a eficiência do processo de abertura de contatos, sendo usados contatos de mínimas dimensões.

- Resistor de Van der Pauw de Base (L3-065) [31], [32].

Usado para medir a resistência de folha na deposição de base.

- Resistor de Van der Pauw de emissor (L3-066) [31], [32].

Usado para medir a resistência de folha na deposição de emissor.

- Resistor de Van der Pauw de base sob o emissor (L3-064) [31], [32].

Usado para medir a resistência de folha da difusão de base que fica sob a difusão de emissor (região de base ativa). É de grande interesse para o processo em desenvolvimento, onde as cargas nas bases dos transistores são parâmetros muito importantes.

- Estrutura de "over etching" (L4-048) [32].

Fornecem dados sobre o "over-etching" durante a decapagem na abertura de janelas de difusão (isolação N⁺, base P emissor N⁺), e de contatos, bem como na metalização.

- Flip-Flop tipo D (L4-029).

Usado para a obtenção da máxima frequência de "Toggle", que pode ser usada com "flip-flops" confeccionados com o processo.

Nas figuras 3.1 e 3.2 são apresentadas as máscaras de teste confeccionadas.

3.2. Confecção do Conjunto de Máscaras

A máscara de teste, confeccionada com auxílio do sistema de PAC do Laboratório de Eletrônica e Dispositivos, permite que sejam feitas alterações na geometria dos dispositivos (como alterações nas regras de projeto devido a avanços tecnológicos) de uma forma extremamente simples e rápida [33]. Os programas usados na geração das máscaras, escritos em linguagem LPG, encontram-se no apêndice B.

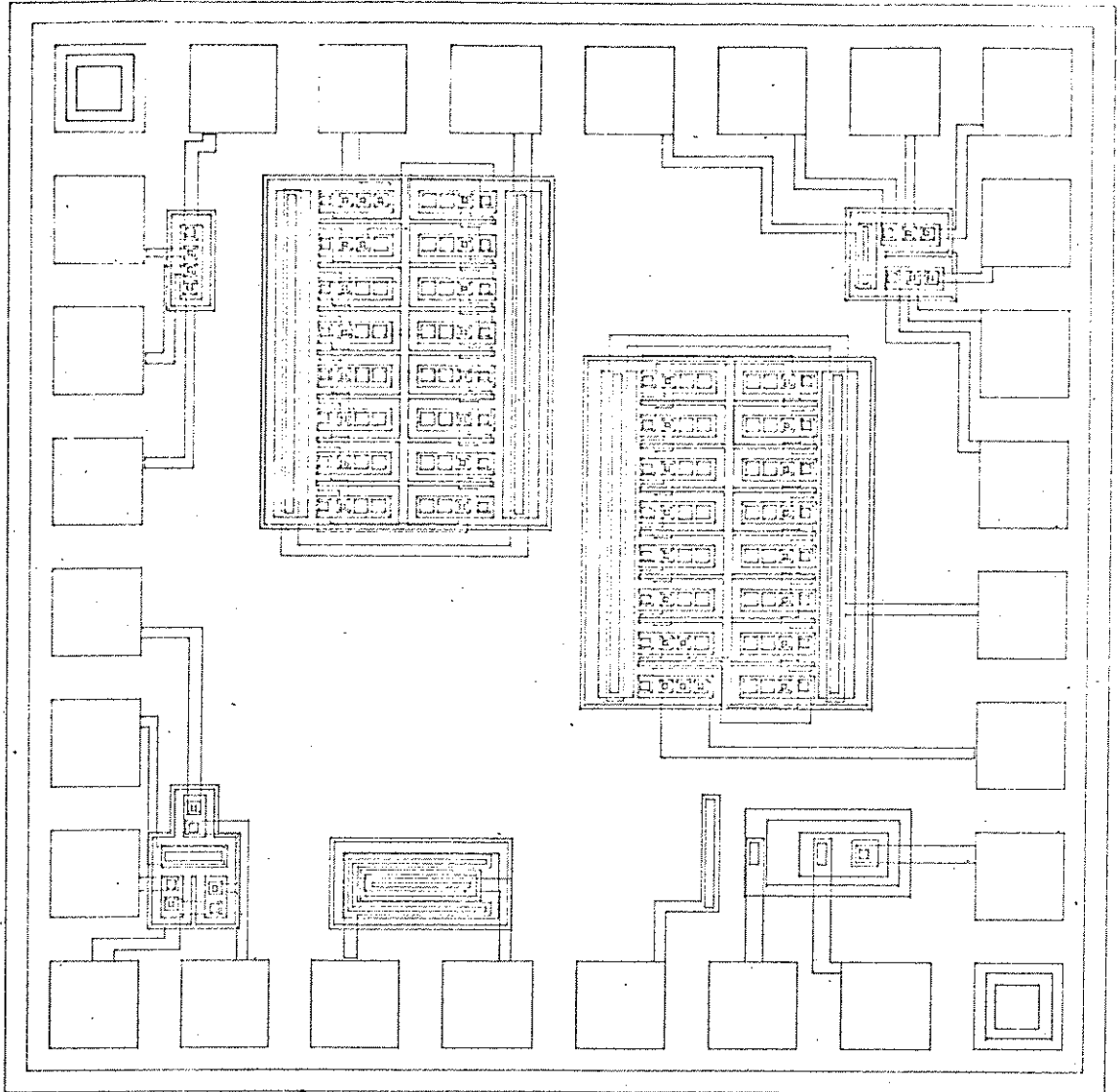


Figura 3.1 - Măscara de teste

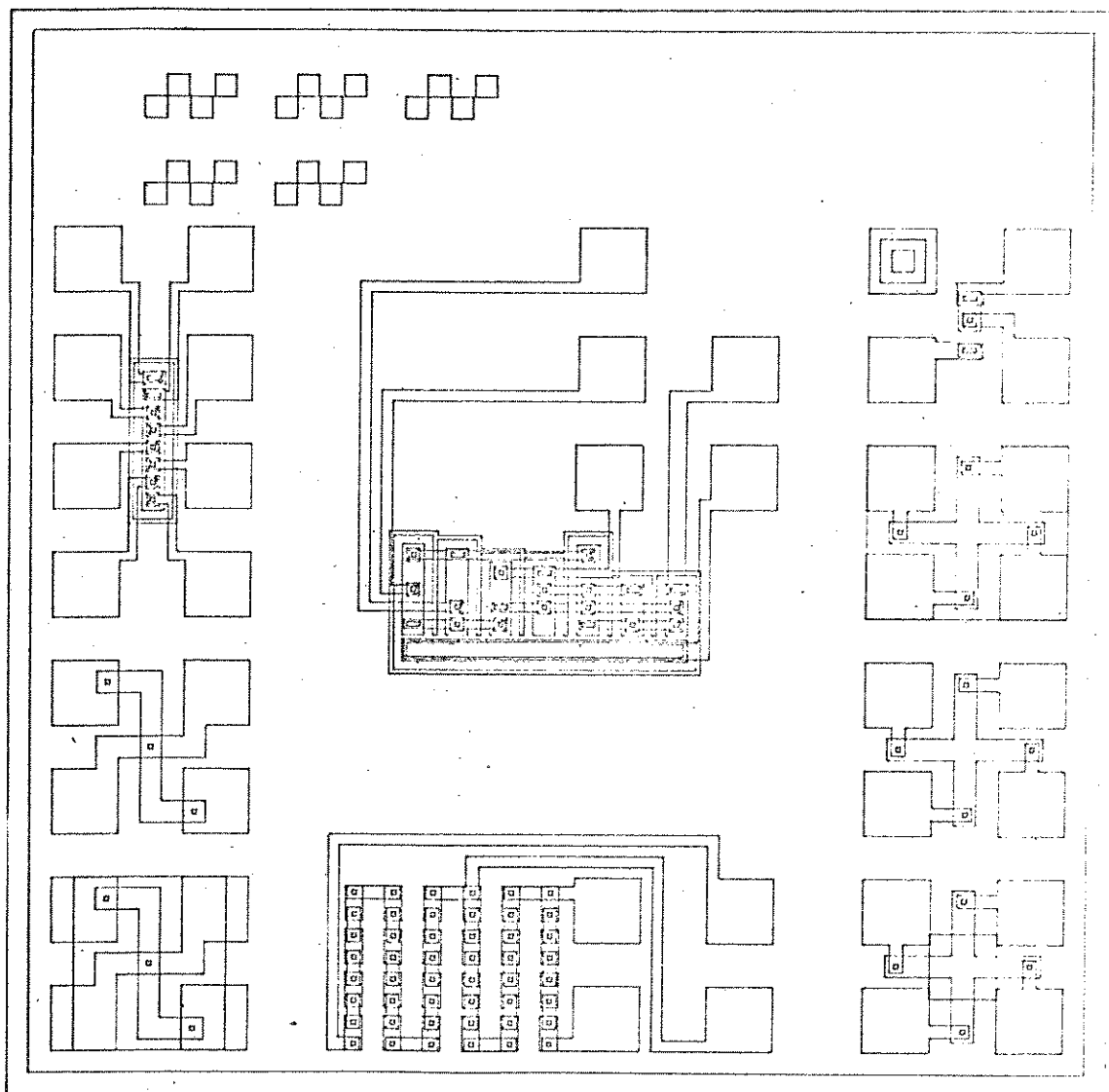


Figura 3.2 - Máscara de teste-padrão 2 X N

CAPÍTULO 4

RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados os principais resultados obtidos na caracterização dos dispositivos confeccionados com o processo de dupla difusão de base. Apresentam-se também medidas realizadas nos dispositivos de teste do processo e nas lâminas de acompanhamento.

4.1. O Processo Fixado

A versão final do processo utilizado é ligeiramente diferente da calculada no capítulo 2, pois, como citado anteriormente, os cálculos realizados naquele capítulo servem apenas para uma primeira aproximação.

A primeira fornada apresentou problemas tanto com os transistores da parte analógica, como com os da parte I²L. Os transistores da parte I²L tiveram a região de base atravessada pela difusão de emissor, e os transistores da parte analógica apresentaram tensões de ruptura muito baixas, com a ruptura ocorrendo por "punch-through". Através de medidas das profundidades de junção, verificamos que os perfis de base não haviam penetrado o previsto e os perfis de emissor, pelo contrário, haviam penetrado muito mais do que o esperado. Executamos uma nova fornada, aumentando-se o tempo de penetração de base e diminuindo os tempos de deposição e penetração do emissor. Os resultados mostraram que os transistores da parte analógica tinham as características desejadas, mas os transistores da parte I²L tinham largura de base muito pequena (da ordem de 0,2 μm), o que tornava difícil o controle do processo. Isso fazia com que vários transistores ainda tivessem as bases atravessadas pelo emissor. Novamente alteramos a difusão de base, desta vez aumentando o tempo de deposição da base I²L, visando, com isso, aumentar o valor da carga ativa na base dos transistores I²L. A seguir apresentamos a versão final do processo.

1. Deposição de fósforo.

Tempo: 30 minutos

Temperatura: 1050°C

2. Penetração de fósforo.

Tempo: 30 minutos

Temperatura: 900°C

3. Deposição de boro.

Tempo: 50 minutos

Temperatura: 960°C

4. Penetração de boro.
Tempo: 45 minutos
Temperatura: 1150°C
5. Deposição de boro.
Tempo: 40 minutos
Temperatura: 960°C
6. Penetração de boro.
Tempo: 70 minutos
Temperatura: 1150°C
7. Deposição de fósforo
Tempo: 30 minutos
Temperatura: 1050°C
8. Penetração de fósforo
Tempo: 30 minutos
Temperatura: 900°C
9. Abertura de contatos.
10. Metalização.

No apêndice C apresentamos os principais itens de uma ordem de serviço (ficha de programa de processamento) usada no Laboratório de Eletrônica e Dispositivos, onde são descritas, em detalhe, cada etapa do processo.

4.2. Medidas Realizadas nos Circuitos Digitais I²L

4.2.1. Osciladores em Anel

Na figura 4.1 apresentamos os resultados obtidos na medida dos osciladores em anel I²L. Temos, no mesmo gráfico, a média dos osciladores em anel com distância base-injetor W_{IB} igual a 10 μm e 20 μm .

O oscilador com $W_{IB} = 10 \mu\text{m}$ apresentou um tempo mínimo de atraso por porta de 75 ns, com um produto potência-velocidade médio de aproximadamente 3,6 pj, enquanto que para o oscilador com $W_{IB} = 20 \mu\text{m}$ o tempo de atraso mínimo foi de 80 ns e o produto potência-velocidade médio foi de aproximadamente 6,5 pj.

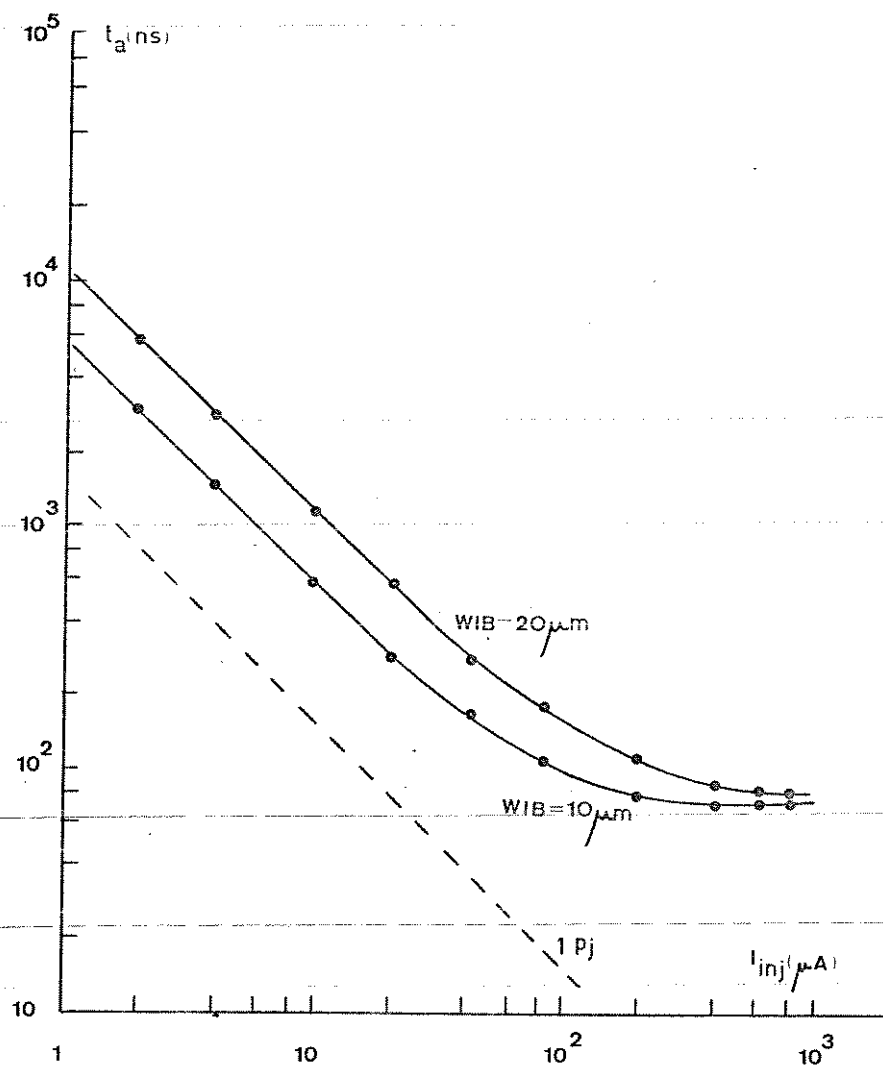


Figura 4.1 - Tempo de atraso por porta em função da corrente de injetor.

4.2.2. Injetor (PNP lateral)

- Ganho do corrente.

A medida do ganho de corrente do transistor PNP lateral foi realizada de acordo com o esquema da figura 4.2. Os resultados são apresentados na figura 4.3, onde temos β_{PNP} em função da corrente de coletor I_C para os injetores com $W_{IB} = 10 \mu\text{m}$ e $W_{IB} = 20 \mu\text{m}$.

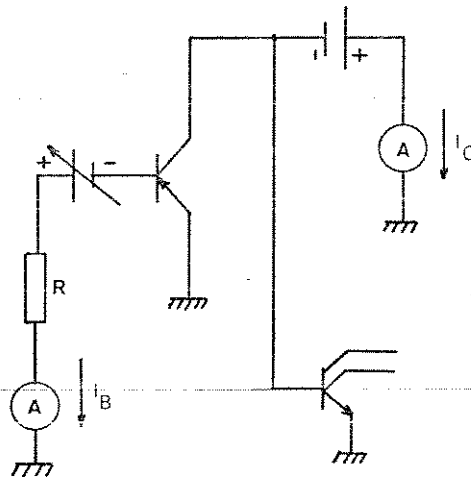


Figura 4.2 - Montagem utilizada para medida do ganho de corrente do injetor.

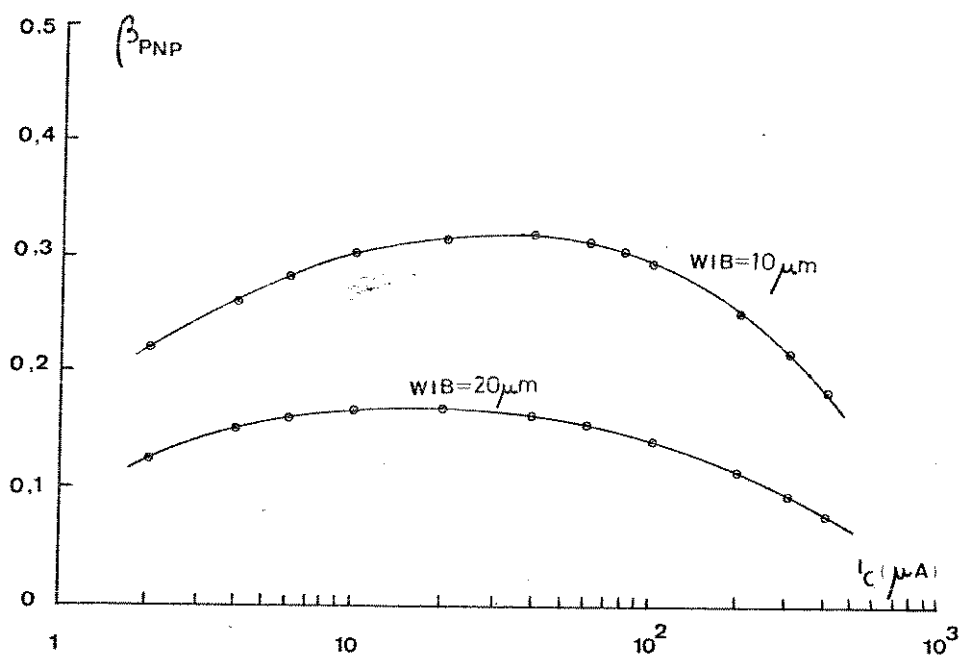


Figura 4.3 - Ganho do PNP lateral em função da corrente de coletor.

4.2.3. Portas I^2L com dois coletores

Para medir o ganho do transistor NPN das portas I^2L foi utilizado o esquema apresentado na figura 4.4. As medidas foram realizadas com o injetor aterrado (S_1 fechada) e flutuando (S_1 aberta). Os resultados são apresentados nas figuras 4.5 e 4.6.

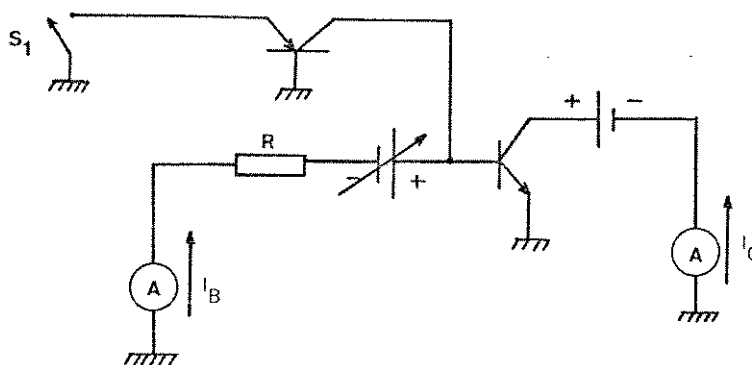


Figura 4.4 - Montagem utilizada para medida do ganho dos transistores NPN.

4.2.4. Porta I^2L com Seis Coletores

Usando o mesmo esquema apresentado na figura 4.4, medimos as portas I^2L com seis coletores e $W_{IB} = 10 \mu\text{m}$. Como vemos no resultado apresentado na figura 4.7, o ganho do 6º coletor é maior do que 1 para correntes I_C até aproximadamente $300 \mu\text{A}$. Portanto, é possível utilizar estruturas com "fan-out" igual a 6, desde que não se ultrapasse o nível de $300 \mu\text{A}$ por porta.

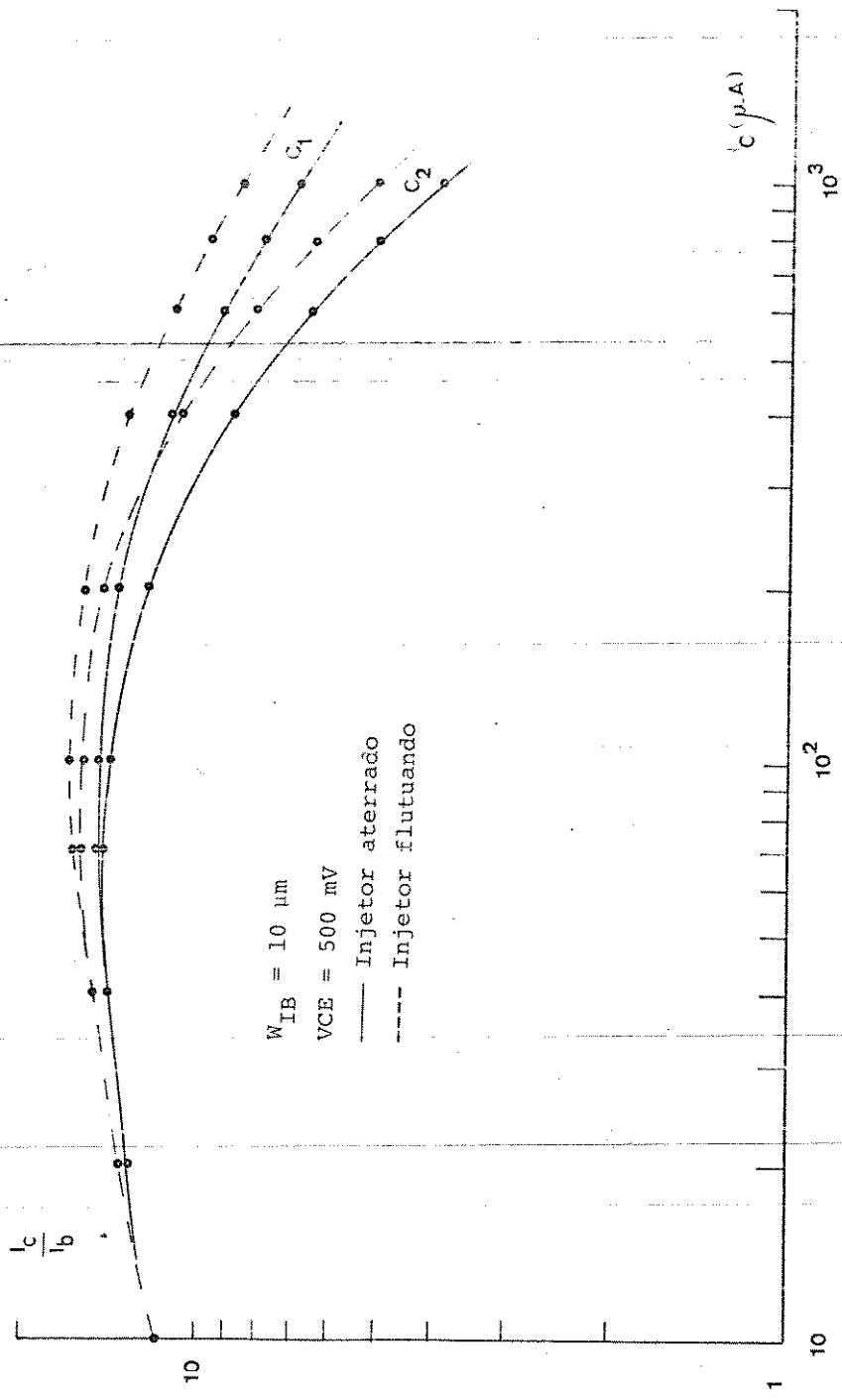


Figura 4.5 - Ganho dos transistores NPN (portas com $W_{IB} = 10 \mu m$).

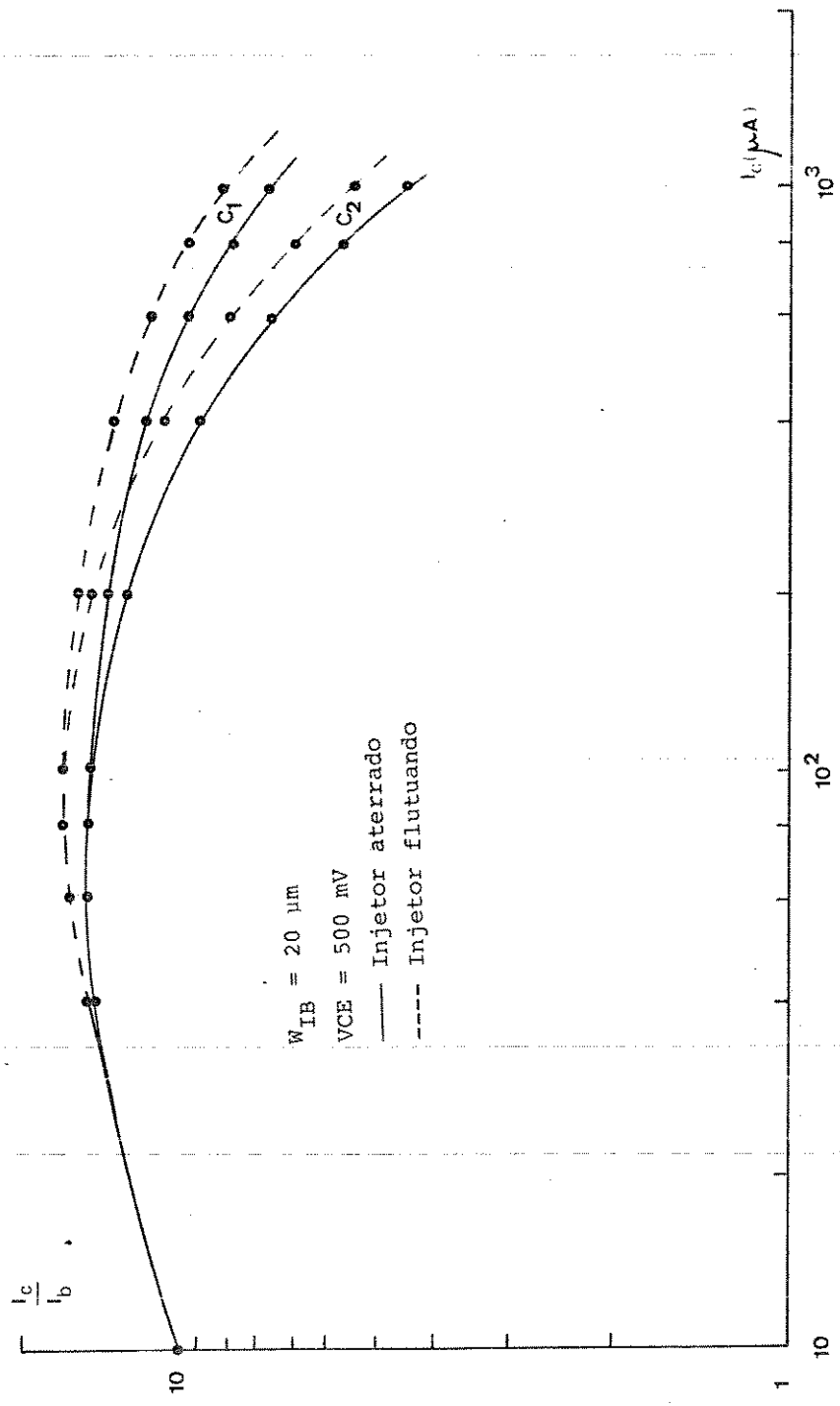


Figura 4.6 - Ganho dos transistores NPN (portas com $W_{IB} = 20 \mu m$).

VCE = 500 mV
Injetor flutuando

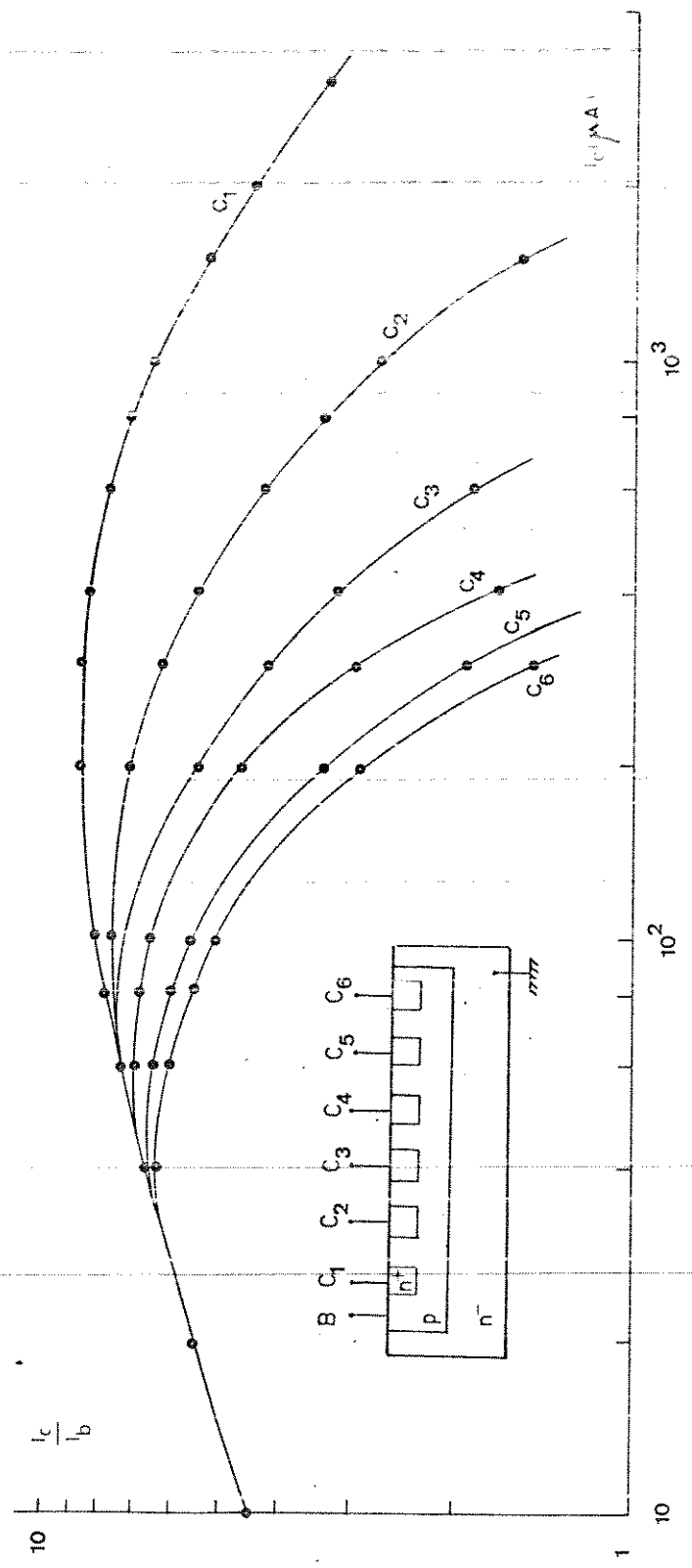


Figura 4.7(a) - Ganho do transistor NPN em uma estrutura com o coletor flutuando (Injetor flutuando).

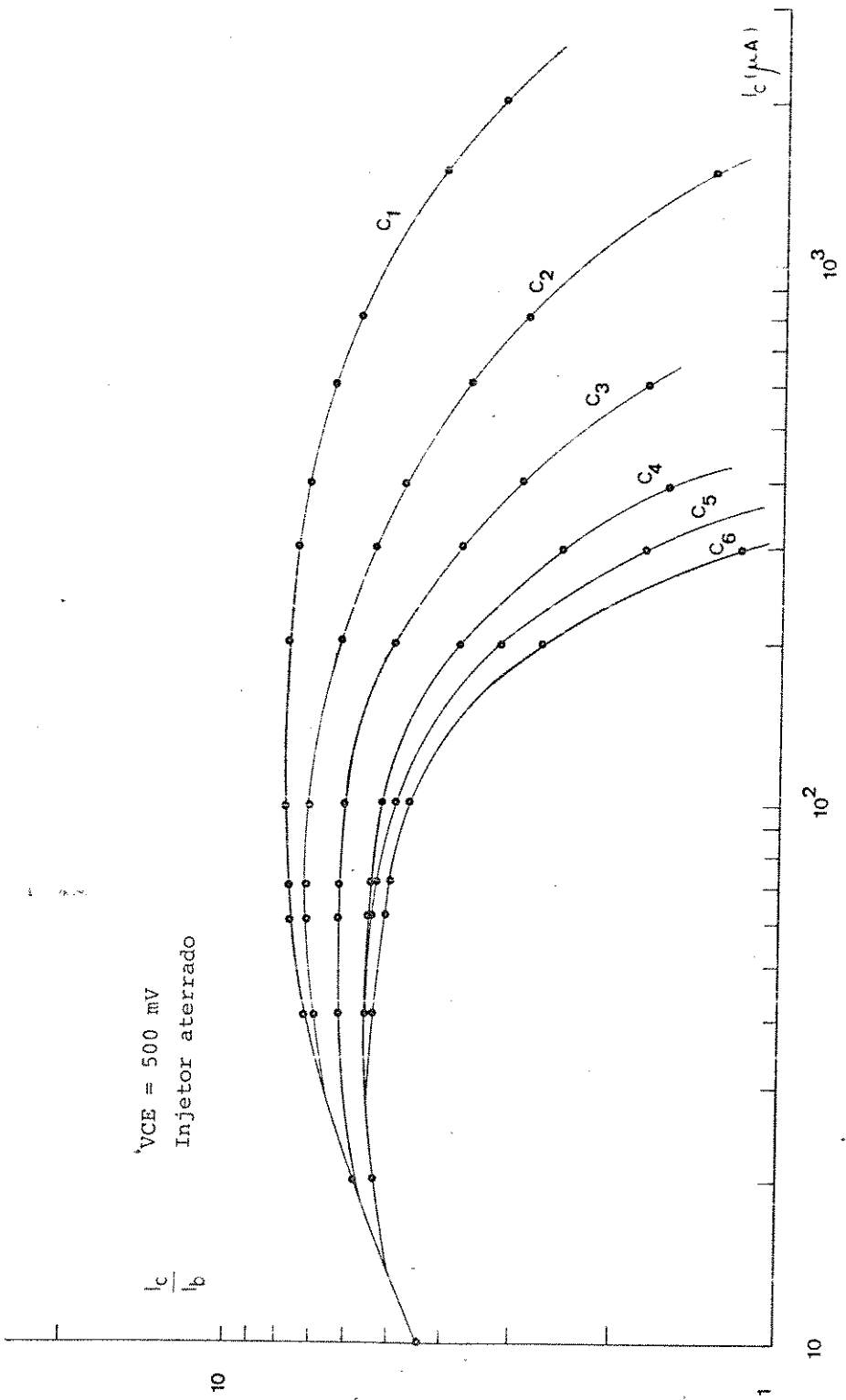


Figura 4.7(b) - Ganho do transistor NPN em uma estrutura com β constantes (Injetor aterrado).

4.2.5. Função de Transferência Estática de uma Porta I^2L

A função de transferência estática para uma porta I^2L foi obtida utilizando-se a montagem da figura 4.8.

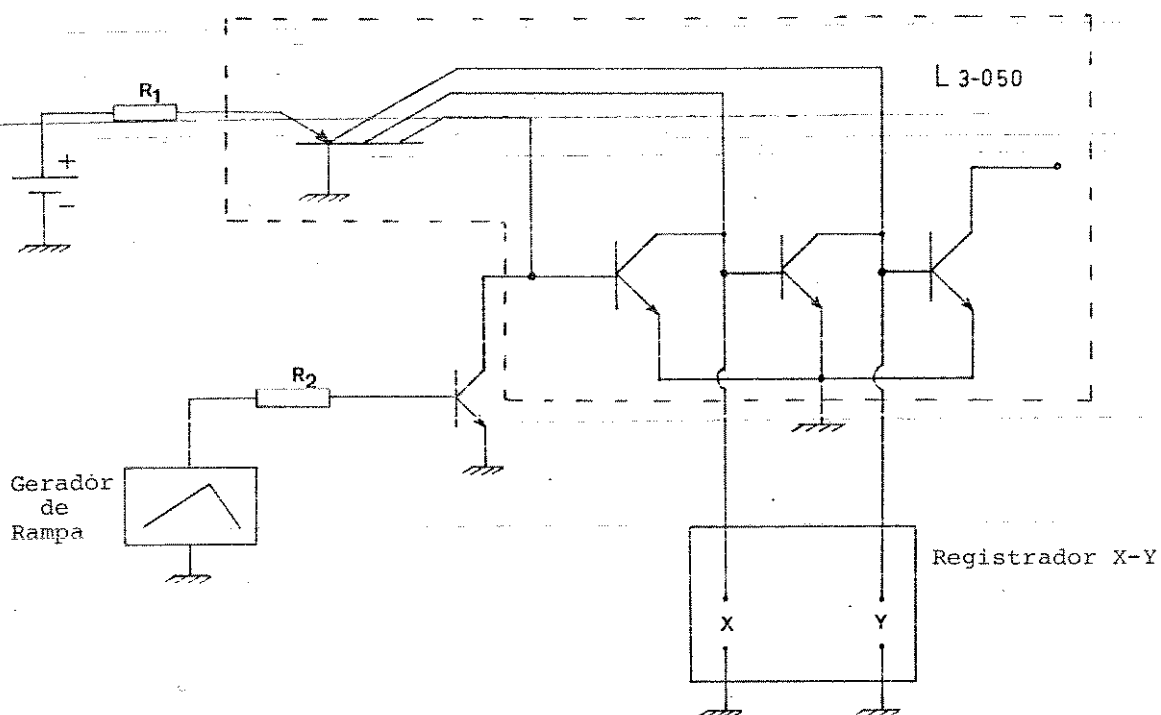


Figura 4.8 - Montagem usada para obtenção da característica estática de transferência das portas I^2L .

A medida foi realizada usando o 1º coletor de cada porta. Os resultados são apresentados na figura 4.9.

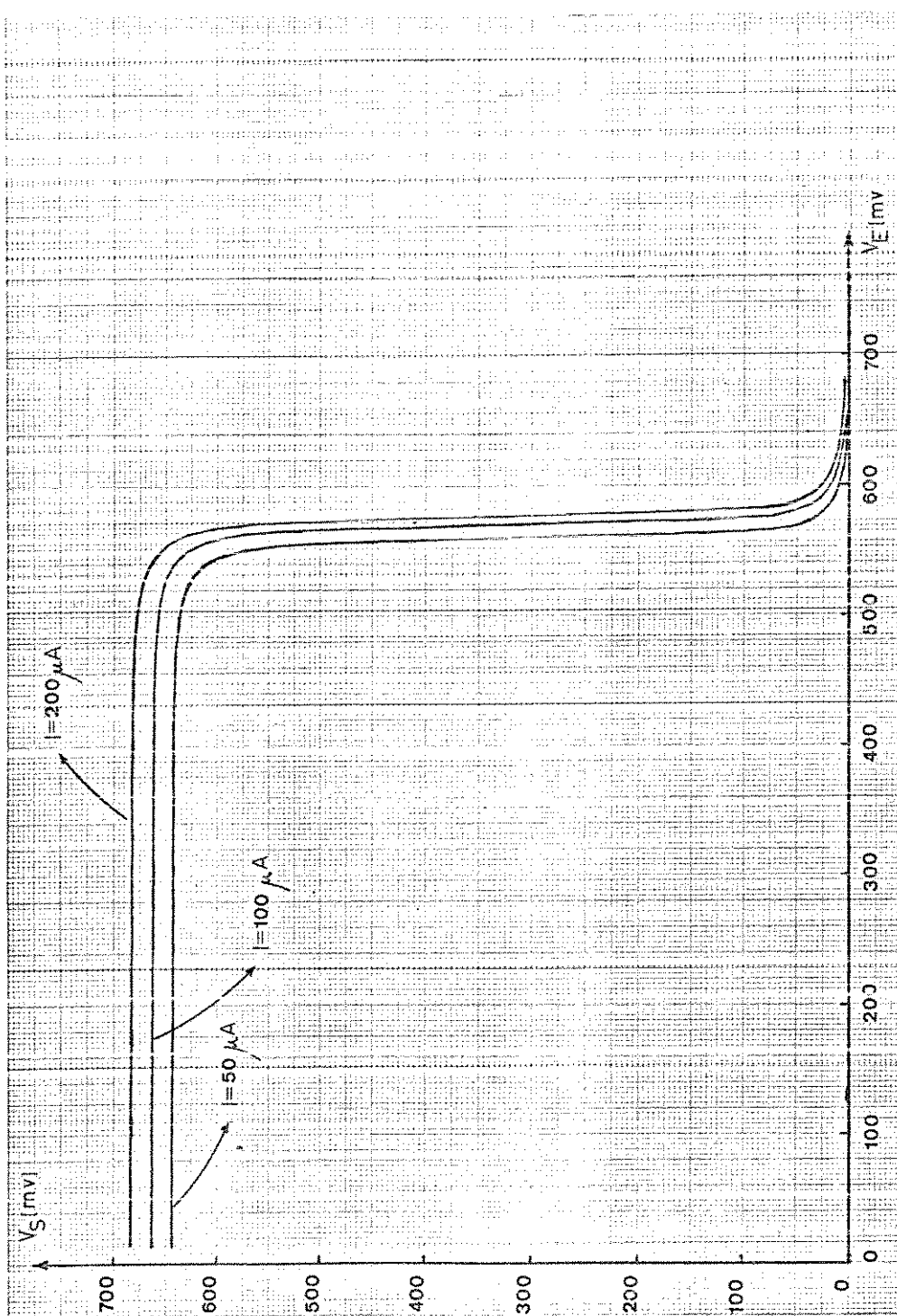


Figura 4.9 - Função de transferência estática.

4.2.6. Tensões de Ruptura

As medidas das tensões de ruptura dos transistores NPN dos circuitos I²T, apresentados na tabela 4.1 foram feitas no traçador de curvas Tektronix/577.

Para a medida das tensões de ruptura, foi utilizado o seguinte critério: será considerada a tensão de ruptura da junção o valor de tensão reversa aplicada à junção, na qual a corrente que flui pela junção atinge o valor de 1 mA.

TABELA 4.1

VCBO	=	8,5V
VCEO	=	3,0V
VBEO	=	17V
VCES	=	3,0V

4.3. Medidas Realizadas nos Transistores da Parte Analógica

4.3.1. Tensões de Ruptura

a) Transistor de base profunda.

Os resultados das medidas das tensões de ruptura (feitas no traçador de curvas) nos transistores de base profunda são apresentadas na tabela 4.2.

TABELA 4.2

VCBO	=	65V
VCEO	=	35V
VCES	=	65V
VBEO	=	8V

b) Transistor de base rasa.

Os resultados são apresentados na tabela 4.3. Como podemos observar, estes transistores apresentam tensões de ruptura muito menores do que os de base profunda.

TABELA 4.3

VCBO	=	20V
VCEO	=	12V
VCES	=	12V
VBEO	=	8V

Vamos fazer algumas considerações sobre a ruptura em transistores bipolares. Imagine-se um transistor bipolar com a junção base-coletor polarizada reversamente. Se o transistor apresenta ruptura por "punch-through", com uma tensão V_{PT} (tensão de "punch-through") aplicada à junção, a região de depleção do coletor atinge o emissor. Se a polarização está sendo aplicada entre coletor e emissor, teremos a ruptura VCEO ocorrendo exatamente para este valor de tensão, já que temos um caminho formado para a circulação de corrente entre coletor e emissor. Caso o contato seja feito entre

base e coletor, ao se atingir a tensão V_{PT} não existe um caminho formado para a circulação de corrente. Ao aumentarmos a polarização, a junção base-emissor passa a ficar sob polarização reversa e rompe quando esta polarização atinge o valor de V_{BE0} . Portanto, quando atingirmos a tensão $V_{PT} + V_{BE0}$, a junção base-coletor rompe. Logo para transistores em que a ruptura ocorre por "punch-through" temos $V_{CBO} = V_{CEO} + V_{BE0}$.

Podemos concluir, a partir dessas observações, que os transistores de base rasa rompem por "punch-through" ($V_{CBO} = V_{CEO} + V_{BE0}$), enquanto que os transistores de base profunda rompem por avalanche.

4.3.2. Ganho de Corrente em Emissor Comum

a) Transistores de base profunda.

Na figura 4.10 apresentamos os resultados da medida de $\beta_F \times I_C$ e $\beta_R \times I_C$, feitas nas condições de $V_{CE} = 5V$

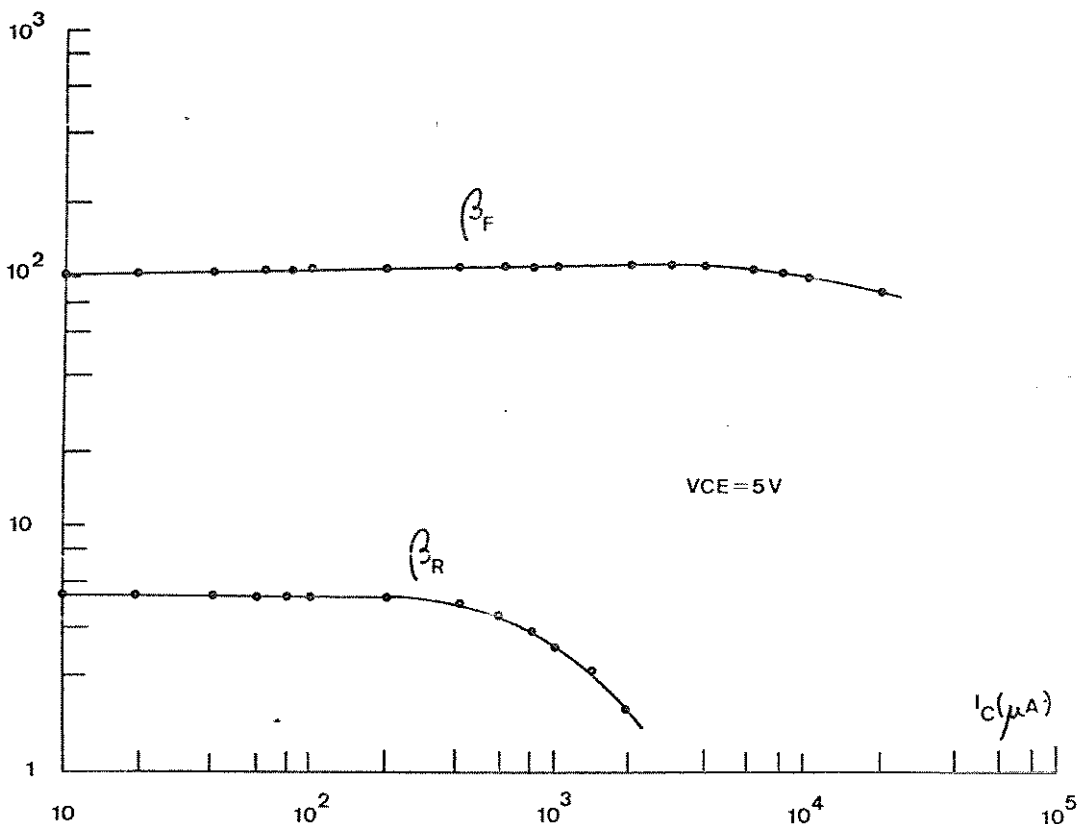


Figura 4.10 - Ganho direto e reverso em função da corrente de coletor.

b) Transistores de base rasa

As mesmas curvas ($\beta_F \times I_C$ e $\beta_R \times I_C$) são apresentadas na figura 4.11. As medidas foram feitas usando a montagem apresentada na figura 4.12.

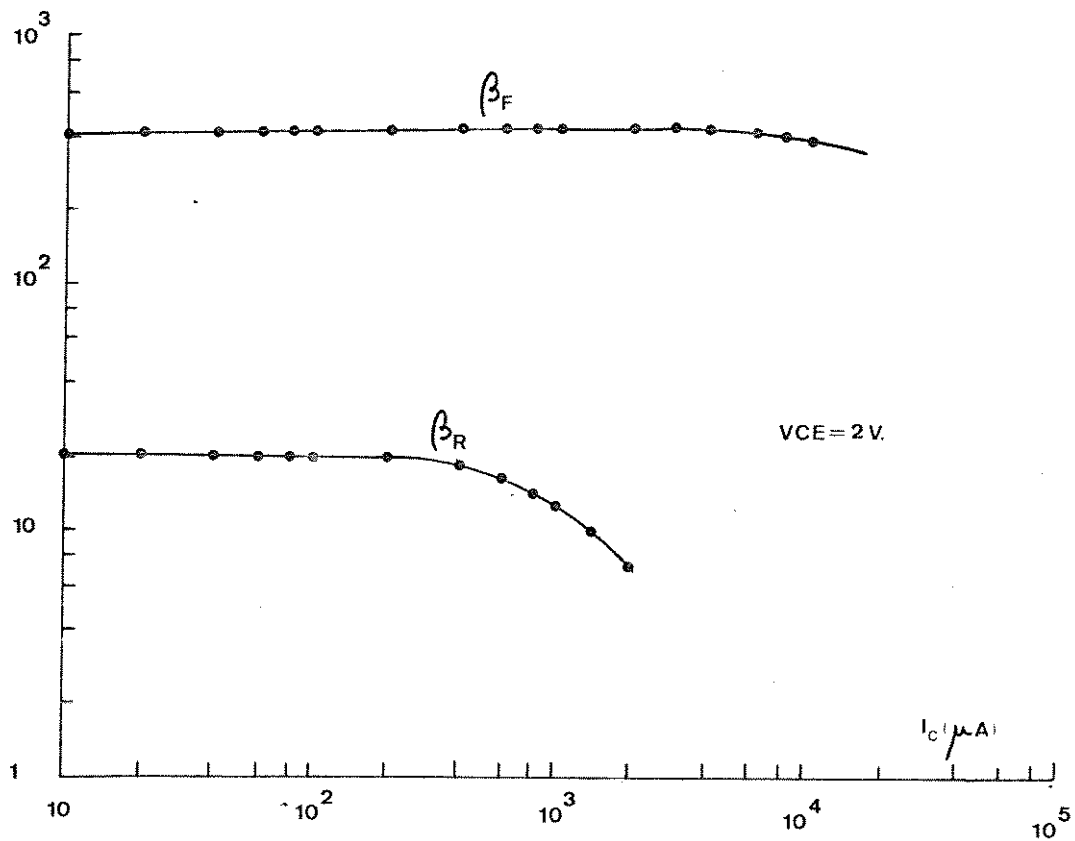


Figura 4.11 - Ganho em função da corrente de coletor para os transistores de base rasa.

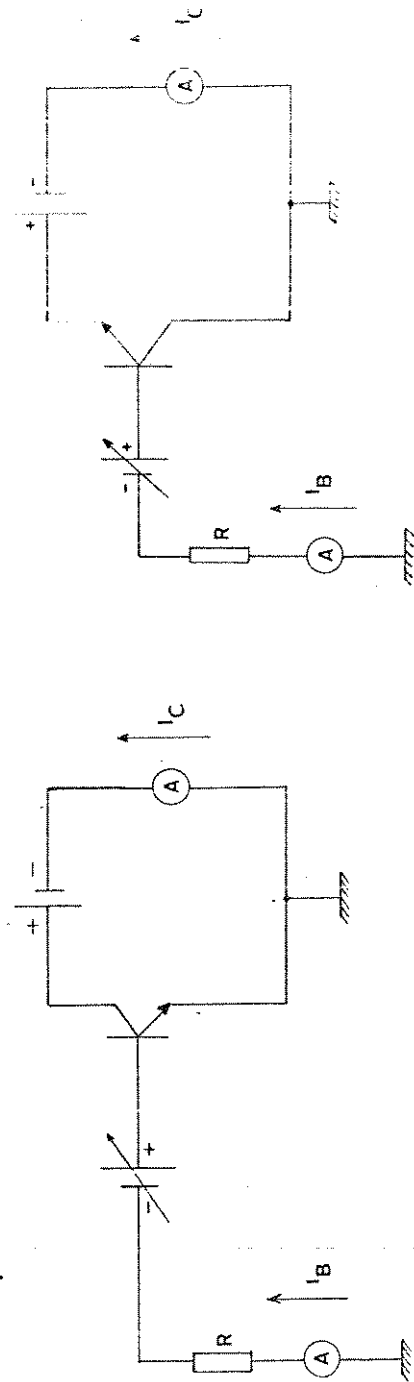


Figura 4.12 - Montagem usada para medida de (a) β_F e I_C , (b) β_R e I_C .

4.3.3. Caracterização dos Diodos Base-emissor e Base-coletor dos Transistores de Base Rasa e Base Profunda

Usando as montagens apresentadas na figura 4.13, realizamos as medições de I_C x V_{BE} , I_B x V_{BE} , I_E x V_{BC} e I_B x V_{BC} nos transistores de base rasa e base profunda. Os resultados obtidos são apresentados nas figuras 4.14 e 4.15.

Das curvas I_C x V_{BE} e I_E x V_{BC} podemos calcular o valor de $\alpha_F I_{ES}$ e $\alpha_R I_{CS}$ extrapolando as curvas para os pontos de $V_{BE} = 0V$ e $V_{BC} = 0V$ [25]. Para isso obtemos:

Transistores de base rasa:

$$\alpha_F I_{ES} = \alpha_R I_{CS} \approx 8,1 \times 10^{-15} A$$

Transistores de base profunda:

~~$$\alpha_F I_{ES} = \alpha_R I_{CS} \approx 1,4 \times 10^{-15} A$$~~

Com os valores de α_F e α_R calculados a partir das figuras 4.10 e 4.11 temos:

Transistor de base rasa:

$$I_{ES} \approx 8,1 \times 10^{-15} A$$

$$I_{CS} \approx 8,5 \times 10^{-15} A$$

Transistor de base profunda:

$$I_{ES} \approx 1,4 \times 10^{-15} A$$

$$I_{CS} \approx 1,8 \times 10^{-15} A$$

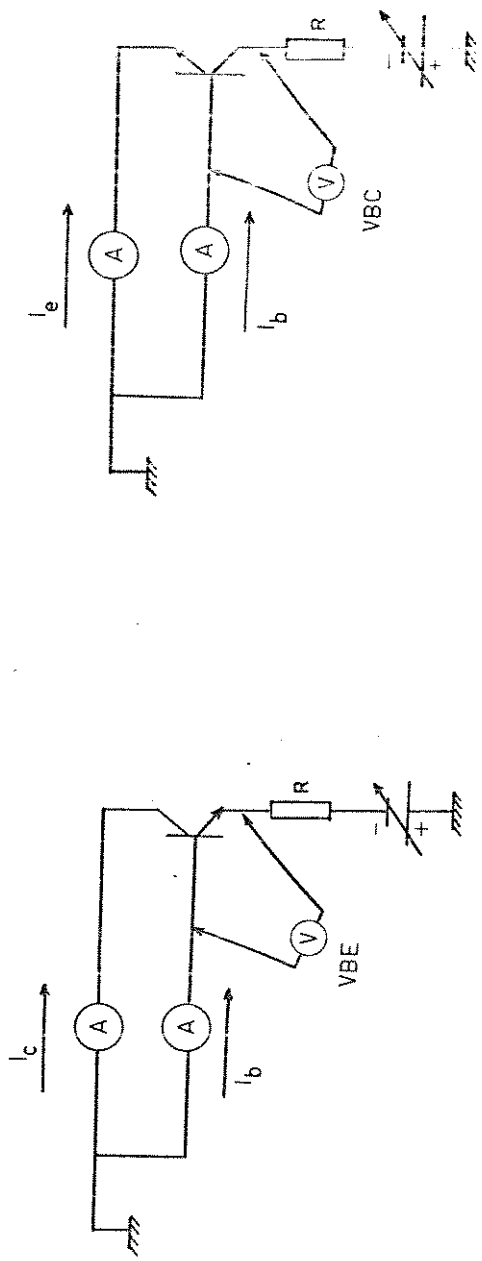


Figura 4.13 - Montagens usadas para a caracterização dos díodos
(a) base-emissor, (b) base-coletor.

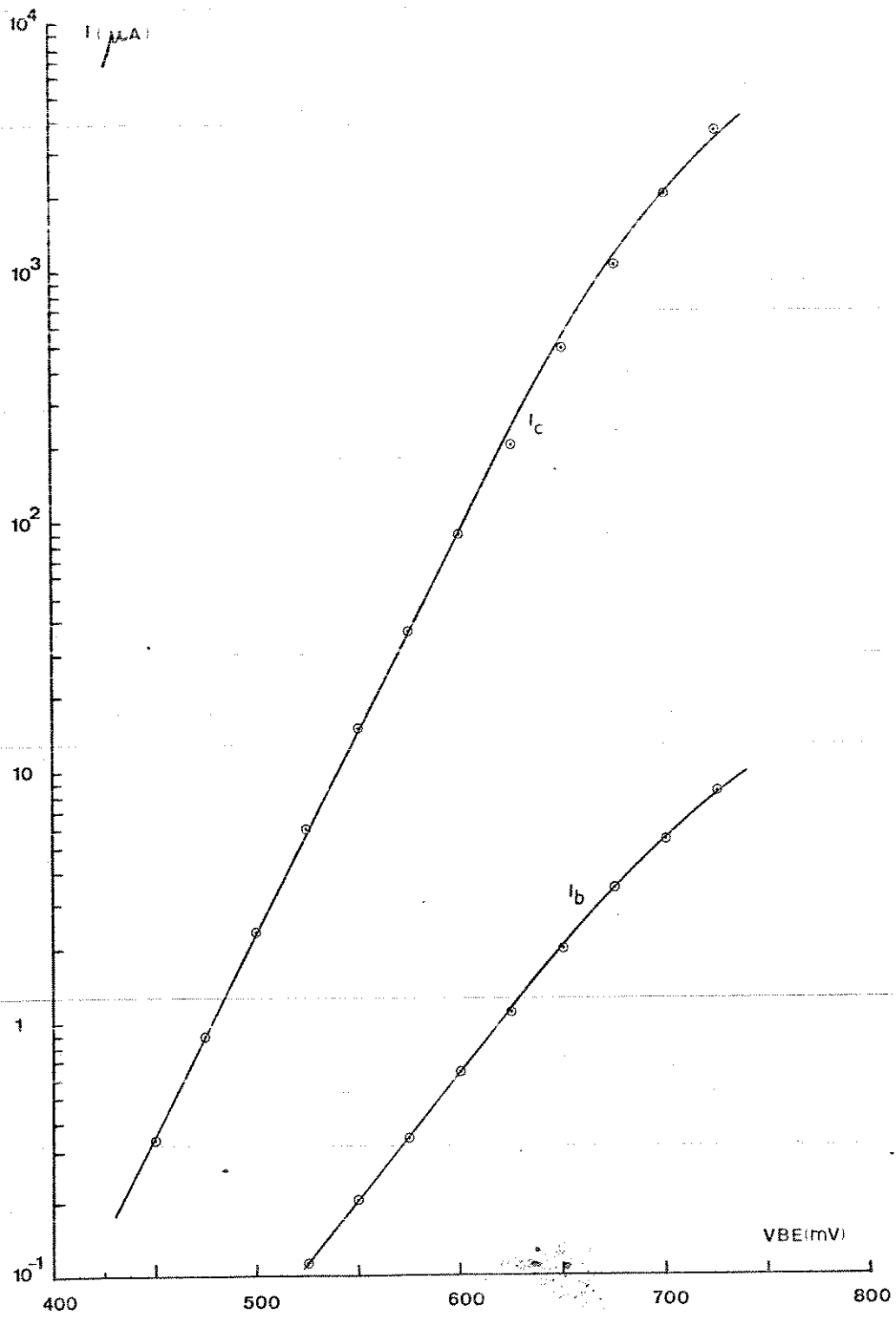


Figura 4.14(a) - Resultados das medidas $I_C \times V_{BE}$; $I_B \times V_{BE}$ para os transistores de base rasa.

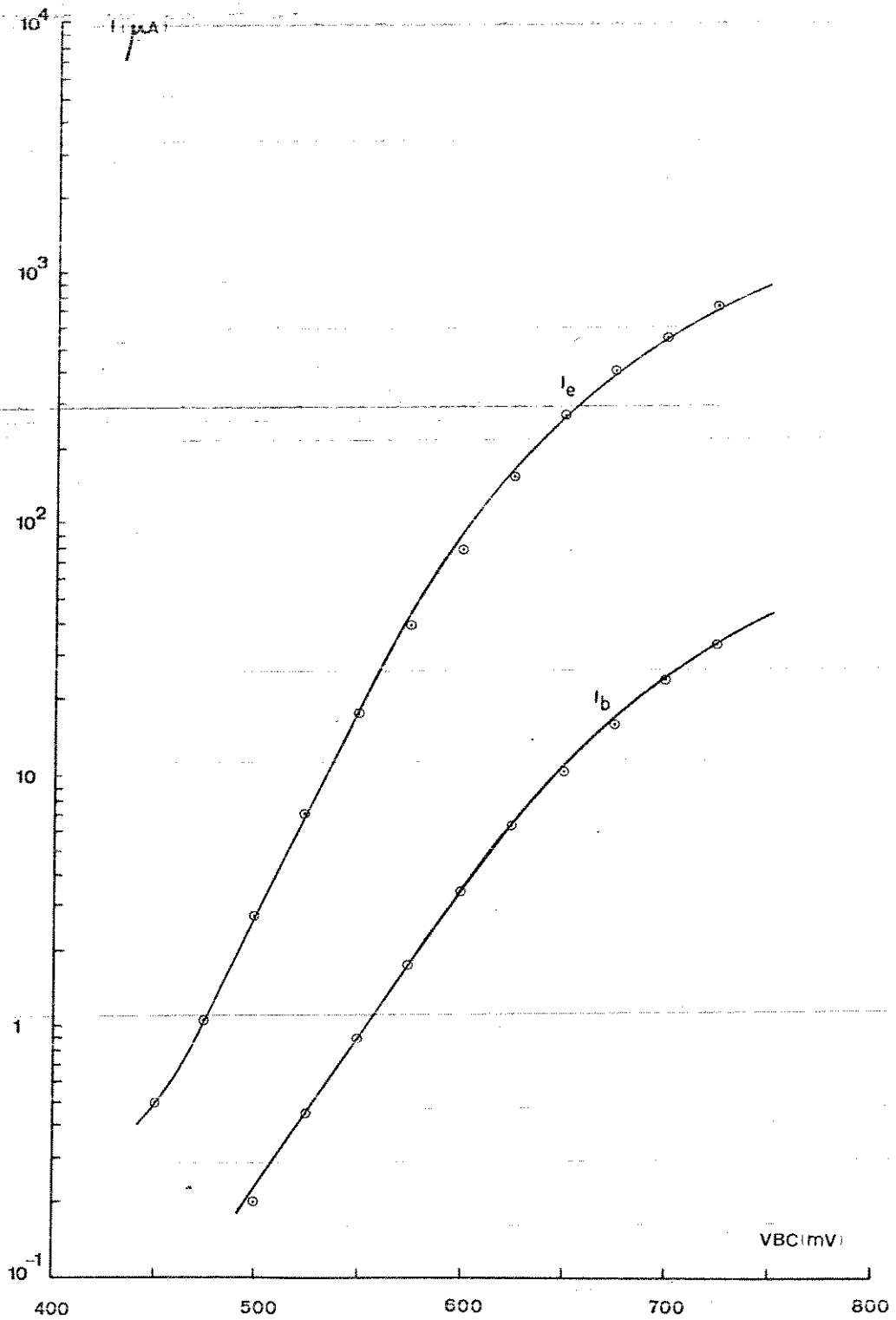


Figura 4.14(b) - Resultados das medidas de $I_E \times V_{BC}$; $I_B \times V_{BC}$ para os transistores de base rasa.

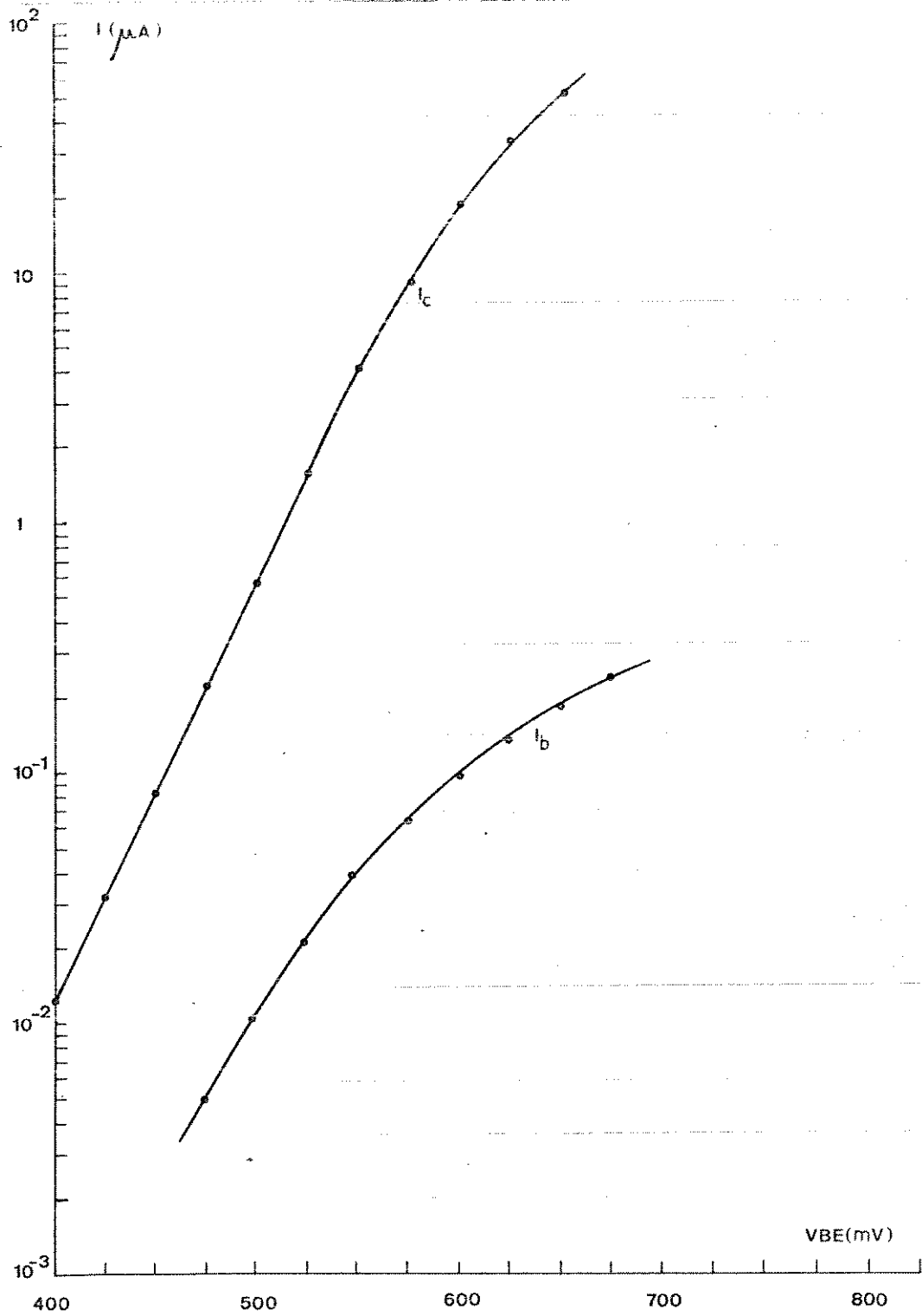


Figura 4.15(a) - Resultados das medidas de I_B x V_{BE} ; I_C x V_{BE} para os transístores de base profunda.

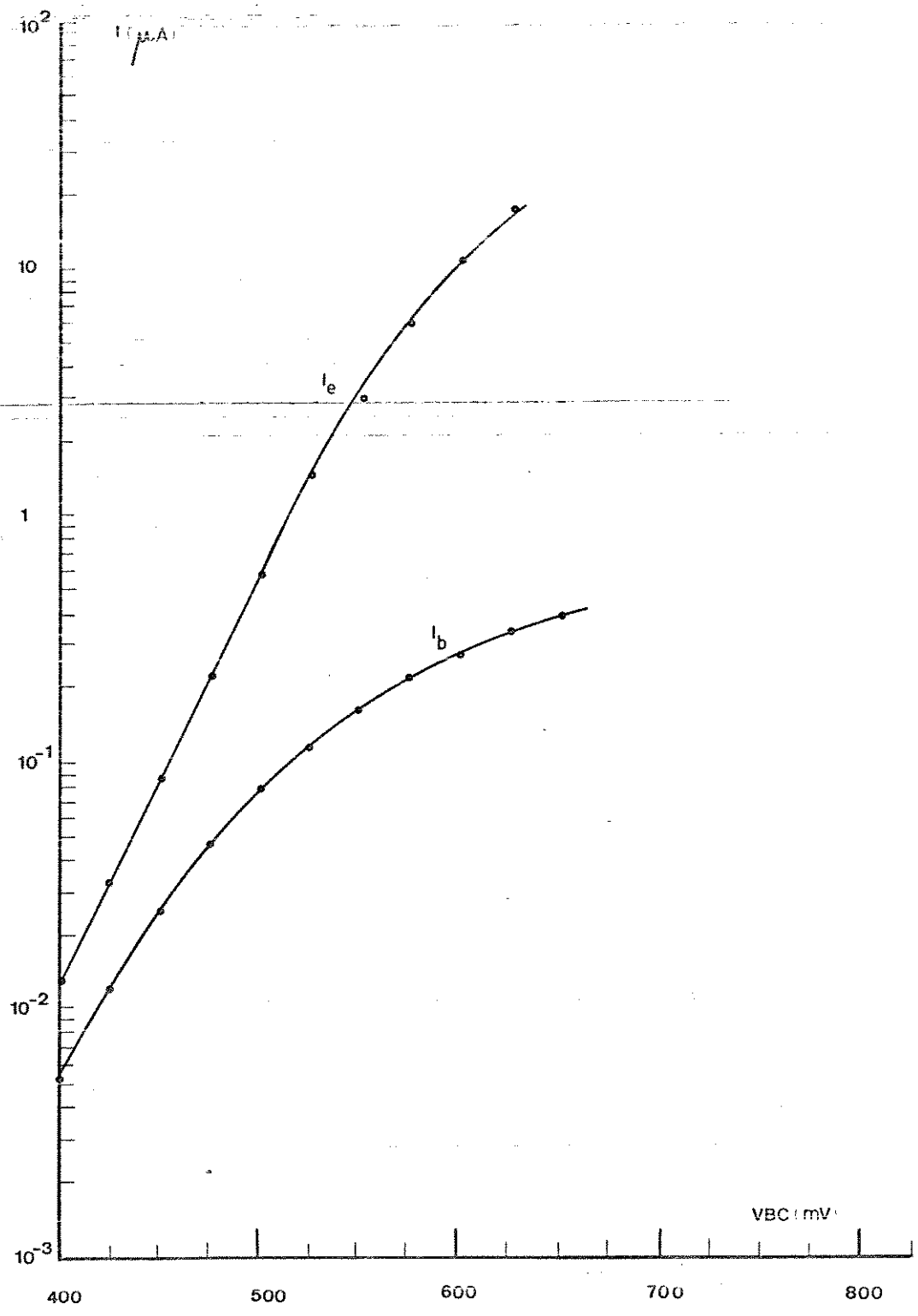


Figura 4.15(b) - Resultados das medidas de I_C x V_{BC} ; I_B x V_{BC} para os transistores de base profunda.

4.4. Medidas de Parâmetros de Processo

Para melhor caracterização do processo estabelecido, realizamos medidas de vários parâmetros do processo, em várias lâminas confeccionadas nas duas últimas fornas realizadas.

4.4.1. Medidas de Resistividade e Resistência de Contato

Na tabela 4.5 são apresentados os resultados obtidos nas medidas de resistividade e resistência de contato. As estruturas e o método usado para a realização das medidas são apresentadas na figura 4.16.

TABELA 4.5

PARÂMETRO	VALOR	DISPOSITIVO USADO NA MEDIDA	PARTE DA PASTILHA
Resistividade de emissor	$6\Omega/\square$	L3-066	I^2L
Resistividade de base	$200\Omega/\square$	L3-065	I^2L
Resistência de contato de base	21Ω	L3-063	I^2L
Resistência de contato de emissor	$0,15\Omega$	L3-062	I^2L
Resistividade de emissor	$6\Omega/\square$	L3-066	Analógica
Resistividade de base	$150\Omega/\square$	L3-065	Analógica
Resistência de contato de base	20Ω	L3-063	Analógica
Resistência de contato de emissor	$0,15\Omega$	L3-062	Analógica

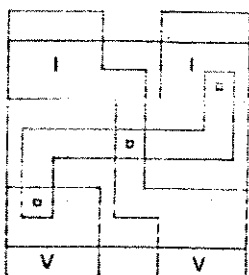
4.4.2. Medidas de Profundidade de Junção

Durante a execução do processo, foram utilizadas lâminas de acompanhamento que, através de desbaste em ângulo e coloração, permitiram a medida da profundidade das junções base-coletor e base-emissor. Os resultados encontram-se na tabela 4.6.

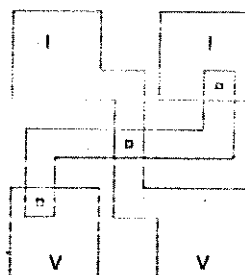
TABELA 4.6

	X_{JB} (μm)	X_{JE} (μm)
Perfil I^2L	2,5	2,0
Perfil Analógico	3,3	2,3

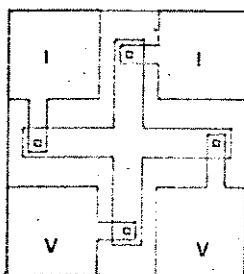
L3-062



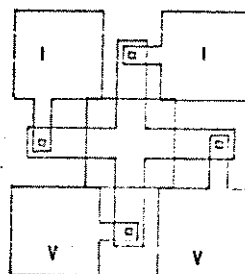
L3-063



L3-066



L3-064



L3-065

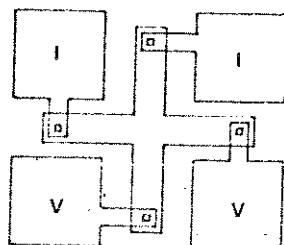


Figura 4.16

CAPÍTULO 5

CONCLUSÃO

Neste trabalho apresentamos um processo de dupla difusão de base, semelhante ao utilizado na confecção de transistores Super- β em circuitos integrados bipolares, usado na confecção de circuitos digitais I^2L compatíveis com analógicos de alta tensão de ruptura. Os resultados obtidos mostram que os dispositivos confeccionados apresentam bom desempenho. Para estruturas I^2L com distância base-injetor de 10 μm , o menor tempo de atraso por porta foi de 75 ns, com um produto potência-velocidade médio de 3,6 pJ. Para estas mesmas portas, foi possível obter um "fan-out" de 6.

Os transistores da parte analógica apresentaram tensões de ruptura altas ($V_{CEO} \approx 35\text{V}$ e $V_{CBO} \approx 65\text{V}$) com um ganho de corrente $\beta_F \approx 120$.

O processo não apresenta nenhum passo crítico (a complexidade não é grande, já que é necessária a inclusão de apenas uma máscara no processo convencional de fabricação de circuitos I^2L e analógicos na mesma pastilha e, de várias fornadas feitas no Laboratório de Eletrônica e Dispositivos, obteve-se um rendimento médio, nas pastilhas de teste, da ordem de 65%. O processo desenvolvido é uma excelente ferramenta para a confecção de circuitos I^2L e analógicos na mesma pastilha, permitindo minimizar as dimensões e o custo de sistemas análogo-digitais.

REFERÊNCIAS

- [1] Hart, C.M., Slob, A., Wulms, H.E.J., "Bipolar LSI takes a new direction with Integrated Injection Logic", Electronics 3 de outubro, 1974.
- [2] Bartoç, T.C., "Digital Computer Fundamentals", McGraw Hill Kogakusha, 1977.
- [3] Hart, K., Slob, A., "Integrated Injection Logic: a new approach to LSI", IEEE JSSC, vol. SC7, nº 5, outubro 1972.
- [4] Troye, N.C. de, "Integrated Injection Logic-Present and Future", IEEE JSSC, vol. SC9, nº 5, outubro 1974.
- [5] Kirschner, N., "The effect of base resistance of the vertical NPN transistor in I²L structures", Solid-State Electronics, vol. 20, pp 641-646, julho 1977.
- [6] Tucci, P.A., Russel, L.K., "An I²L watch chip with direct LED drive", IEEE JSSC, vol. SC11, pp 847-851, dezembro 1976.
- [7] Saltich, J.L., George, W.L., Soderberg, J.S., "Processing Technology and AC/DC Characteristics for Linear Compatible I²L", IEEE JSSC, vol. SC11, pp 478-485, agosto 1975.
- [8] Klassen, F.M., "Devices Physics of Integrated Injection Logic", IEEE Trans. Electron. Devices, vol. ED-22, pp 145-152, março 1975.
- [9] Davies, R.D., Estreich, D.B., Meindl, J.D., Dutton, R.W., "I²L DC Functional Requirements", IEEE JSSC, vol. SC-12, nº 2, pp 208-210, abril 1977.
- [10] Gaffney, D.P., Bhattacharyya, A., "Modeling Device and Lay-out Effects of Performance Driven I²L", IEEE JSSC, vol. SC-12, nº 2, pp 155-162, abril 1977.
- [11] Vicent, W.A., DeMassa, T.A., "The Effect of Downward gain on the Maximum Toggle Frequency of I²L, Linear Compatible Flip-Flops", IEEE JSSC, vol. SC-14, nº 5, outubro 1979.
- [12] Blossfeld, L., "I²L und Standard Bipolartechnik Kombiniert Einneuer Prozess für Digitale und Analoge Schaltungen auf Cinum Chip", Elektronik, Heft 4, pp 57-60, 1977.
- [13] Warner, R.M., Fordemwalt, J.N., "Integrated Circuits: Design, Principles and Fabrication", McGraw Hill, 1965.
- [14] Baliga, B.J., Ghandi, S.K., "Analytical Solutions for the breakdown voltage of abrupt cylindrical and Spherical Junctions", Solid State Electron, vol. 19, pp. 739-744, Setembro 1976.
- [15] Irvin, J.C., "Resistivity of Bulk Silicon and of diffused layers in Silicon", Monografia 4092, Bell Telephone System.
- [16] Grove, A.S., "Physics and Technology of Semiconductor Devices", John Wiley & Sons, 1967.
- [17] Avilez, O.V., "Projeto e Construção de um Controlador de Temperatura para Fornos de Difusão", Tese de Mestrado apresentada à Universidade Estadual de Campinas, Outubro 1978.
- [18] Wolf, H.H., "Silicon Semiconductor Data", Pergamon Press Inc., 1969.

- [19] Jorge, A.M., Bailbé, J.P., Mammama, C.I.Z., "Conversor D/A, I^2L : Simulação e Fixação de Processo de Construção", Codex RP-005.
- [20] Berqmann, G., "Linear Compatible I^2L Technology with High Voltage Transistors", IEEE JSSC, vol. SC-12, pp. 566-572, outubro 1977.
- [21] Runyam, W.R., "Silicon Semiconductor Technology", McGraw-Hill Book Company, 1965.
- [22] Masetti, G., Nobili, D., Solmi, S., "Profiles of Phosphorus predeposited in Silicon and Carrier Concentration in Equilibrium with SIP Precipitates", Semiconductor Silicon, pp. 648, 1977.
- [23] Rey, G., Leturg, P., "Théorie Aprofondie du transistor Bipolaire", Masson et Cie, Paris - 1972.
- [24] Mertons, R.P., Deman, H.J., Van Overstraeten R.J., " Calculation of the Emitter Efficiency of Bipolar Transistors", IEEE Trans. Electron. Devices, vol. ED-20, nº 9, Setembro 1973.
- [25] Bailbé, J.P., "Contribution A L'etude Physique des Transistors Bipolaires", Tese de Doutor de Estado, Universidade P.S. de Toulouse, Fevereiro 1977.
- [26] Vanheck, C., "Sur la Modelisation des Structures a Injection en Regime Statique", Tese de Doutorado de 3º ciclo apresentada à Universidade Paul Sabatier de Toulouse, Setembro 1975.
- [27] Hamilton, D.J., Howard, W.G., Basic Integrated Circuits Engineering", McGraw-Hill, 1975.
- [28] Davies, R.D., Meindl, J.D., "Considerations for High-Speed and Analog-Circuit-Compatible I^2L and the Analysis of Poly I^2L ", IEEE JSSC, vol. SC-14, pp. 876-887, Outubro 1979.
- [29] Buehler, M.G., "Comprehensive Test Patterns with Modular Test Structures: The 2 by N Probe-PAD Array Aproach". Solid State Technology, outubro 1979.
- [30] Lohstroh, J., "Dynamic Behavior of Active Charge in I^2L Transistors", IEEE Int. Solid State Circuits Conf. Digest Tech. Papers, pp. 94-95, Fevereiro 1976.
- [31] Buehler, M.G., David, J.M., Mattis, R.L., Phillips, W.E., Thurber, W.R., "Planar Test Structures for Characterizing Impurities in Silicon", NBS, Janeiro 1976.
- [32] Thurber, W.R., Buehler, M.G., "Semiconductor Measurement Technology: Microelectronic Test Pattern NBS-4", NBS Special Publication, 400-32, Abril 1978.
- [33] Bezerra, P.C., "SPA-D: Um Sistema de Projetos Automatizados de CI's Digitais", Tese de Doutorado apresentada à Universidade Estadual de Campinas, Novembro 1980.

APÊNDICE A

PROGRAMA PARA CÁLCULO DO PERFIL EQUIVALENTE DE EMISSOR

```

C      PROGRAMA PARA CÁLCULO DO PERFIL EQUIVALENTE DE EMISSOR
C      EM UM TUBO CIRCULAR LIDIGAR
C      ----- PERFIL TRIANGULAR: FONDAO DE 300 COMPLETAMENTE.
      #R11E(5,21)
21     #R11E(5,21)X1, XE, DTB, DTE, CONCD, CONCA
      #R11E(5,22)X1, XE, DTB, DTE, CONCD, CONCA
22     #R11E(75)
      #R11E(22,15)X1, XE, DTB, DTE, CONCD, CONCA
      #R11E(23,15)X1, XE, DTB, DTE, CONCD, CONCA
10     #R11E(//,1)X, //LON INICIAL DE X-----X1=
      1', =14,7,
      1/, 10X, 'VALOR FINAL DE X-----XE=' , 114,7,
      1/, 10X, 'NÚMERO DE INTERVALOS-----N=' , 1,
      1/, 10X, 'COMPRIMENTO DE DIFUSÃO NA BASE-----DTB=' , 214,7,
      1/, 10X, 'COMPRIMENTO DE DIFUSÃO NO EMISSOR-----DTE=' , 214,7,
      1/, 10X, 'CONCENTRAÇÃO SUPERFICIAL DE DIÓXIDO-----CONCD=' , 214,7,
      1/, 10X, 'CONCENTRAÇÃO SUPERFICIAL DE ACETILADENO-----CONCA=' , 214,7)
      CDE=2*SQRT(DTE)
      CDB=-(4*DTB)
      DX=(XE-X1)/N
      S=0.
      K=0
C      CONCENTRAÇÃO NA BASE
      Y=X1
75     #=(1*Y)/CDB
      X=W
      FB=CONCA*EXP(X)
C      CONCENTRAÇÃO NO TUBO
      Z=Y/CDE
      X=Z
      FE=ERFC(Y)/CONCD
      ENI=(ALOG(FE/1E17)*1.3E0)+((1+ALOG(FB/1E17))*2.5)*
      10.932+1)*SQRT(FE)
      ENI2=ENI*ENI
      CONCEP=FE/ENI2
      QUAS1=S+CONCEP
      Y=XE
8      K=K+1
      CONCEL=CONCEP
      GO TO 75
17     Y=X1
      T=Y*1.54
      DO 69 I=1,N+1
      W=(Y*Y)/CDB
      X=W
      FB=EXP(X)*CONCA
      Z=Y/CDE
      X=Z
      FE=CONCD*ERFC(X)
      ENI=(ALOG(FE/1E17)*1.3E0)+((1+ALOG(FB/1E17))*2.5)*
      10.932+1)*SQRT(FE)
      ENI2=ENI*ENI
      CONCEP=(FE-FB)/ENI2
      S=S+CONCEP
      #R11E(22,13)T, FE, FB, ENI, ENI2
13     #R11E(//,3)X, F=3, 10, 4(14,7,20)
      Y=X+0X
      Y=Y+1E4
      QEP/=(S-(QUAS1/2))*0X

```

```

DEF1=CONCAL*XI
DEF=DEF1+DEF2
*WRITE(22,10)DEF
*WRITE(23,14)DEF
18  FORMAT(///,10X,'INTEGRAL((N(X)/NIZ(X))DX=',F14.7)
END
REAL FUNCTION ERFC(X)
READ X
LOGICAL UP
READ Y,NORML
Y=X*1.41421356237309
UP=X.GT.0.
ERFC=2.*NORML(Y,UP)
RETURN
END

```

```
REAL FUNCTION NORML(XI,UPPER)
```

```
LOGICAL UPPER
```

```
REAL XI
```

```
DATE CODE: APRIL 27, 1989
```

```

C-----
C
C  NORML  :  CALCULATES THE TAIL AREA OF THE STANDARDIZED NORMAL
C           CURVE.

```

```

C  1/SQRT(2*PI)*INTEGRAL(EXP(-1/2)(T**2))DT

```

```

C  IF UPPER IS TRUE THE LIMITS OF INTEGRATION ARE X AND INFINITY.
C  IF UPPER IS FALSE THE LIMITS ARE MINUS INFINITY AND X.

```

```

C  IF X LIES IN THE CENTRAL AREA OF THE CURVE THE METHOD USED IS
C  THE CONVERGENT SERIES:

```

```

C  X + (X**3)/3 + (X**5)/(3*5) + (X**7)/(3*5*7) + ...

```

```

C  IF X LIES ON ONE OF THE TAILS THE METHOD USED IS THE CONTINUED
C  FRACTION:

```

```

C  1/(X + (1/X + (2/X + (3/X + (4/X + ...

```

```

C  ORIGINAL : JAMES A. GREENFIELD

```

```
APRIL 27, 1989
```

```

C  COPYRIGHT BY TECHNOLOGY MODELING ASSOCIATES

```

```
APRIL 27, 1989
```

```

C-----
C
C  LOCAL VARIABLES

```

```

C-----
C
C  REAL  X,X2,Y,U,M,S,T,P1,P2,Q1,Q2

```

```

C-----
C
C  START OF NORML

```

```

C-----
C
C  IF (XI.EQ.0.) GOTO 1

```

```

C  NORML=.5

```

```

C  RETURN

```

```

C
C  1  X=ABS(XI)

```

```

C  IF(X.GE.13.) GOTO 12

```

```

X2=X*X
Y=0.3789422801014*EXP((-0.5)*X2)
N=1/X
C      0.3789422801014=1/SQRT(2*PI)
C
IF((.NOT.UPPER).AND.(1.-N.EQ.1.)) GOTO 10
IF ((UPPER).AND.(N.LE.0.)) GOTO 11
C
2  IF(X.LE.2.32) GOTO 7
IF((.NOT.UPPER).AND.(X.LE.3.5)) GOTO 7
Q1=X
Q2=X2+1.
P1=Y
P2=Y*X
N=N+1.
IF(UPPER) GOTO 3
S=1.-P1/Q1
T=1.-P2/Q2
GOTO 4
3  S=P1/Q1
T=P2/Q2
4  N=N+1
C
5  IF((N.NE.T).AND.(S.NE.T)) GOTO 6
NORML=T
RETURN
6  N=N+1.
S=X*P2+N*P1
P1=P2
P2=S
S=X*Q2+N*Q1
Q1=Q2
Q2=S
S=N
N=T
T=P2/Q2
IF((.NOT.UPPER) T=1.-T)
GOTO 5
C
7  M=Y*X
S=M
N=1.
T=0.
8  IF(S.EQ.0.T) GOTO 9
N=N+2.
T=S
M=M*X2/N
S=S+M
GOTO 8
C
9  IF(UPPER) S=-S
NORML=.5+S
RETURN
C
12 IF(UPPER) GOTO 11
10 NORML=1.
RETURN
C
11 NORML=0.
RETURN

```

APÊNDICE B

PROGRAMAS EM LINGUAGEM LPG PARA GERAÇÃO AUTOMÁTICA DE MÁSCARAS

```

ARQUIVO[METRIP.ILB]
PAD,DPAD,VPAD,CT,EA,LM,DBC,X0,Y0
!PORTA I2L COM 6 COLETORES!
!
X0=ORIGEM EM X
Y0=ORIGEM EM Y
CT= DIMENSAO MINIMA DE ABERTURA DE CONTATO
DPAD= DISTANCIA VERTICAL ENTRE DOIS "PADS".
EA= ERRO DE ALINHAMENTO
LM= LARGURA MINIMA DE UMA LINHA DE METALIZACAO
DBC= DISTANCIA MINIMA ENTRE A BASE E O CONTATO DE EMISSOR
DE UM TRANSISTOR NPN
VPAD= DISTANCIA VERTICAL ENTRE DOIS "PADS"
PAD= DIMENSAO DO LADO DOS "PADS"
!
FIM
ARITMETICA
EM:=CT+4*EA;
LB:=EM+2*EA;
ISO:=2*EA;
DX:=2*EA;
LBINJ:=80;
GX:=0;
GY:=0;
LOC1:=1100;
LOC2:=100;
FE:=2*EA+CT;
A1:=EM+DX;
HH:=300;
VV:=1500;
L1:=130;
L2:=170;
L3:=65;
L4:=80;
L5:=40;
L6:=250;
L7:=210;
D1:=40;
D2:=65;
D3:=CT+2*EA+L3;
D4:=D3+LM;
D5:=D3-LM+2*EA;
D6:=D5-LM;
D7:=D3-D1;
CB:=3*CT;
X1:=PAD+(PAD-LB)/2;
X2:=PAD+DPAD-EA;
Y2:=PAD+DPAD;
X3:=X1+DX;
LEMI:=EM+DX;
X4:=X2+DX;
COMP:=LBINJ+5*LEMI;
X5:=X2+COMP+DX;
X6:=X3+DX;
X7:=X4+DX;
X8:=2*PAD;
DL:=PAD-LM;
Y9:=2*(PAD+DPAD);
P1:=2*LM;
D40:=D4-LM;

```

```

Y10:=3*(PAD+DPAD);
X15:=X1-30;
Y15:=X2-30;
X16:=X15+DX;
Y16:=Y15+DX;
YISO1:=COMP+10*DX;
XISO1:=LB+6*DX;
XISO2:=XISO1-2*DX;
YISO2:=YISO1-2*DX;
B2:=X5+DX;
X10:=(6*LEMI+2*DX)+X2;
FIM
DECLARACAO
FIGURA ISOLA:=(3:X15,Y15;XISO1;YISO1;-XISO1)/
(3:X16,Y16;XISO2;YISO2;-XISO2);
FIGURA BASE:=(4:X1,X2;LB;COMP;-LB)/(4:X1,X5;LB;EM;-LB);
FIGURA EMISSOR:=(5:X3,X4;EM;EM;-EM);
TRANSF AA:=X0;LEMI;
TRANSF ETA:=LOC2;LOC1;
FIGURA CONTATO:=(6:X6,X7;CT;CT;-CT);
FIGURA CONTRA:=(6:X3,B2;EM;CT;-EM)/(6:X3,X10;CB;CT;-CB);
FIGURA METAL:=(7:X0,Y0;PAD;DL;D1;L2;D7;FE;-D2;-L2;-LM;X0;-PAD)/
(7:X8,Y0;PAD;PAD;-PAD;X0;-LM;L1;-D2;-FE;D7;-L1;D1)/
(7:X0,Y2;PAD;DL;D3;FE;-D3;X0;-PAD)/
(7:X8,Y2;PAD;PAD;-PAD;-P1;-D3;-FE;D3)/
(7:X0,Y9;DL;-L5;D4;FE;-D40;LM;X0;PAD;-PAD)/
(7:X8,Y9;X0;PAD;PAD;-PAD;-DL;-L4;-D4;FE;D40)/
(7:X0,Y10;X0;PAD;PAD;-DL;P1;-L7;D6;-FE;-D5;L7)/
(7:X8,Y10;PAD;PAD;-PAD;-DL;-P1;-L6;-D6;-FE;D5;L6);
FIM
PROCEDIMENTO
BB:=AA[EMISSOR#CONTATO]06#BASE;
TA:=BB#CONTRA#METAL#ISOLA;
SAI:=ETA[TA];
PLOTE 3/4/5/6/7, TA(GX,GY), SAI(GX,GY);
FIM

```

```

!RESISTIVIDADE DE EMISSOR!
ARQUIVO[METEIP.ILB]
PAD,DPAD,VPAD,CT,EA,LM,EM,OBC,X0,Y0
FIM
ARITMETICA
L0:=CT+4*EA;
X1:=PAD/2-CT/2-2*EA;
Y1:=PAD-VPAD/2-L0/2;
L2:=DPAD+DPAD/2+L0/2-X1;
L3:=Y1-PAD+CT+4*EA;
L4:=X1;
X2:=X1+2*EA;
Y2:=Y1+2*EA;
X3:=PAD+DPAD/2+3*EA;
Y3:=X2;
X4:=2*L2+L0-(CT+4*EA);
Y4:=Y2;
X5:=X3;
Y5:=X4;
X6:=PAD+DPAD;
Y6:=Y6;
X7:=X6;
Y7:=PAD+VPAD;
X8:=X0;
Y8:=X7;
P1:=2*PAD+DPAD;
P2:=2*PAD+VPAD;
FIM
DECLARACAO
FIGURA DIF:=(5:X1,Y1;L2;-L2;L0;L2;L2;L0;-L2;L2;-L0;-L2;-L2);
FIGURA CONT:=(6:X2,Y2;CT;CT;-CT)/(6:X3,Y3;CT;CT;-CT)/
(6:X4,Y4;CT;CT;-CT)/(6:X5,Y5;CT;CT;-CT);
FIGURA METAL:=(7:X0,Y0;PAD;PAD;-L4;L3;-L0;-L3;-L4)/
(7:X6,Y5;PAD;PAD;-PAD;-L4;-L3;-L0;L3)/
(7:X7,Y7;L4;-L3;L0;L3;L4;PAD;-PAD)/
(7:X8,Y8;PAD;L4;L3;L0;-L3;L4;-PAD);
FIGURA SUS:=(4:X0,Y0;P1;P2;-P1);
FIM
PROCEDIMENTO
RESIST:=DIF*CONT*METAL*SUS;
PLOTE 3/4/5/6/7, RESIST;
FIM

```

```

IRESISTIVIDADE DE BASE!
ARQUIVOINMET&IP.LIB!
PAD,DPAD,VPAD,CT,EA,LM,EM,DBC,X0,Y0
FIM
ARITMETICA
L0:=CT+4*EA;
X1:=PAD/2+CT/2-2*EA;
Y1:=PAD-VPAD/2-L0/2;
L2:=DPAD+BPAD/2+L0/2-X1;
L3:=Y1-PAD+CT+4*EA;
L4:=X1;
X2:=X1+2*EA;
Y2:=Y1+2*EA;
X3:=PAD+DPAD/2+3*EA;
Y3=X2;
X4:=2*L2+L0-(CT+4*EA);
Y4=Y2;
X5=X3;
Y5=X4;
X6:=PAD+DBAD;
Y6:=Y0;
X7=X6;
Y7:=PAD+VPAD;
X8:=X6;
Y8:=X7;
FIM
DECLARACAO
FIGURA DIF:=(4:X1,Y1;L2;-L2;L0;L2;L2;L0;-L2;L2;-L0;-L2;-L2);
FIGURA CONT:=(6:X2,Y2;CT;CT;-CT)/(6:X3,Y3;CT;CT;-CT);
(6:X4,Y4;CT;CT;-CT)/(6:X5,Y5;CT;CT;-CT);
FIGURA METAL:=(7:X0,Y0;PAD;PAD;-L4;L3;-L0;-L3;-L4)/
(7:X6,Y5;PAD;PAD;-PAD;-L4;-L3;-L0;L3)/
(7:X7,Y7;L4;-L3;L0;L3;L4;PAD;-PAD)/
(7:X8,Y8;PAD;L4;L3;L0;-L3;L4;-PAD);
FIM
PROCEDIMENTO
RESIST:=OIF*CONT#METAL;
PLUTE 3/4/5/6/7, RESIST;
FIM

```



```

!RESISTENCIA DE CONTATO DE BASE!
ARQUIVO(METBIP.ILB)
PAD,DPAD,VPAD,CT,EA,LM,EM,DBC,X0,Y0
FIM
ARITMETICA
X1:=PAD+PAD/2-CT/2;
Y1:=PAD+VPAD/2-CT/2;
Y2:=PAD+VPAD+PAD/2-CT/2-EA;
X2:=PAD-CT+4*EA;
L1:=CT+4*EA;DPAD/2-CT/2-2*EA;
L2:=VPAD+PAD;
L3:=L1+4*EA+CT;
L4:=CT+2*2A;
K1:=VPAD/2-CT/2-3*EA;
K2:=PAD+DPAD;
K3:=PAD/2+3*EA-CT/2;
K4:=K1+CT+6*EA;
M1:=PAD+DPAD;
M2:=PAD+VPAD;
P1:=2*PAD+DPAD;
P2:=2*PAD+VPAD;
X3:=X2+EA;
Y3:=Y2+EA;
X4:=PAD+DPAD+2*EA;
Y4:=PAD/2-CT/2;
FIM
DECLARACAO
FIGURA METAL:=(7:X0,Y0;PAD;PAD;-K3;K1;K2;K4;K3;PAD;
-PAD;-PAD;K3;-K1;-K2;-K4;-K3);
FIGURA CONT:=(6:X1,Y1;CT;CT;-CT)/(6:X3,Y3;CT;CT;-CT)/
(6:X4,Y4;CT;CT;-CT);
FIGURA AAA:=(7:X0,Y0;PAD;PAD;-PAD);
TRANSF T1:=M1;0;
TRANSF T2:=0;M2;
FIGURA DIR:=(4:X2,Y2;L1;-L2;L3;L4;-L1;L2;-L3);
FIM
PROCEDIMENTO
BACON:=METAL#CONT#T1[AAA]#T2[AAA]#DIR;
PLOTE 3/4/5/6/7, BACON;
FIM

```

```

!TRANSISTOR 4PB1
APPROXIMATE TRIP POINT
PAD,HPAD,VPAD,C1,LA,LE,LB,S=0,DBC,XC,YD
FIN
ARITHMETIC
ID=ID+2*EA;
ICB=IC-2*EB;
CB=CB+L+3*FA;
CC=CT+2*GA;
XD=XL;
YD=ID+2*EA+CT+DBC;
XCB=AD+CT;
YCB=IC-2*EB-C1;
XD=AD+EB;
YD=IC+EA;
XCB=AD+EB;
YCB=IC+EA;
XD=AD+EB;
YD=IC+EA;
D=(HPAD-LE)/2;
DI=ID+EB;
LI=IC-LE-C1;
AI=ID+EA+DI;
LI=LI+D*7;
RI=LE+D*40;
OK=(1-PAD-3);
B=AI/D;
YI=IC+EB;
ZI=VPAD+EB;
ZL=HPAD+D;
FIN
DECK A2190
FIGURE 348:=(1;C1,ZC;C1;CB;-10)/(5;XCB,YCB;LI;-10);
FIGURE 349:=(1;C1;YI;-7,T1;-20)/(6;ZL;D;-10);
FIGURE 350:=(1;C1;YI;-7;C1;-10)/(6;ZL;YI;-10);
FIGURE 351:=(7;-K,LI;PAD;L;C1;C1;-10)/(7;X;YI;AI;-10;PAD;PAD;-10;D;-10)/
(C1;L;YI;L;ZL;L;PAD;-PAD;-10;-10);
FIN
PROCP1087E
END;=END;=END;IDBUTYCOLLTYR=40T=0;
PLATE 3/4/5/6/7, 4P4;
FIN

```

```

!RESISTIVIDADE DE BASE SOB EMISSOR!
ARQUIVO[MET#IP.#ILB]
PAD,DPAD,VPAD,CT,EA,LM,EM,DBC,X0,Y0
FIM
ARITMETICA
L0:=CT+4*EA;
X1:=PAD/2-CT/2-2*EA;
Y1:=PAD-VPAD/2-L0/2;
L2:=DPAD+DPAD/2+L0/2-X1;
L3:=Y1-PAD+CT+4*EA;
L4:=X1;
X2:=X1+2*EA;
Y2:=Y1+2*EA;
X3:=PAD+DPAD/2+3*EA;
Y3:=X2;
X4:=2*L2+L0-(CT+4*EA);
Y4:=Y2;
X5:=X3;
Y5:=X4;
X6:=PAD+DPAD;
Y6:=Y0;
X7:=X6;
Y7:=PAD+VPAD;
X8:=X0;
Y8:=X7;
Z0:=4*L0;
XA:=PAD+DPAD/2-2*L0;
YA:=XA;
FIM
DECLARACAO
FIGURA DIF:=(4:X1,Y1;L2;-L2;L0;L2;L2;L0;-L2;L2;-L0;-L2;-L2);
FIGURA CONT:=(6:X2,Y2;CT;CT;-CT)/(6:X3,Y3;CT;CT;-CT)/
(6:X4,Y4;CT;CT;-CT)/(6:X5,Y5;CT;CT;-CT);
FIGURA METAL:=(7:X0,Y0;PAD;PAD;-L4;L3;-L0;-L3;-L4)/
(7:X6,Y5;PAD;PAD;-PAD;-L4;-L3;-L0;L3)/
(7:X7,Y7;L4;-L3;L0;L3;L4;PAD;-PAD)/
(7:X8,Y8;PAD;L4;L3;L0;-L3;L4;-PAD);
FIGURA EMI:=(5:XA,YA;Z0;Z0;-Z0);
FIM
PROCEDIMENTO
RESIST:=DIF*CONT*METAL*EMI;
PLOTE 3/4/5/6/7, RESIST;
FIM

```

```

!RESISTENCIA DE CONTATO DE EMISSOR!
ARQUIVO[METHIP.ILB]
PAD,DPAD,VPAD,CT,EA,LM,EM,DBC,X0,Y0
FIM
ARITMETICA
X1:=PAD+PAD/2-CT/2;
Y1:=PAD+VPAD/2-CT/2;
Y2:=PAD+VPAD+PAD/2-CT/2-EA;
X2:=PAD-CT-4*EA;
L1:=CT+4*EA;OPAD/2-CT/2-2*EA;
L2:=VPAD+PAD;
L3:=L1+4*EA+CT;
L4:=CT+2*2A;
K1:=VPAD/2-CT/2-3*EA;
K2:=PAD+DPAD;
K3:=PAD/2-3*EA-CT/2;
K4:=K1+CT+6*EA;
M1:=PAD+DPAD;
M2:=PAD+VPAD;
P1:=2*PAD+DPAD;
P2:=2*PAD+VPAD;
X3:=X2+EA;
Y3:=Y2+EA;
X4:=PAD+DPAD+2*EA;
Y4:=PAD/2+CT/2;
FIM
DECLARACAO
FIGURA METAL:=(7:X0,Y0;PAD;PAD;-K3;K1;K2;K4;K3;PAD;
-PAD;-PAD;K3;-K1;-K2;-K4;-K3);
FIGURA CONT:=(6:X1,Y1;CT;CT;-CT)/(6:X3,Y3;CT;CT;-CT)/
(6:X4,Y4;CT;CT;-CT);
FIGURA AAA:=(7:X0,Y0;PAD;PAD;-PAD);
TRANSF T1:=M1;0;
TRANSF T2:=0;M2;
FIGURA DIE:=(5:X2,Y2;L1;-L2;L3;L4;-L1;L2;-L3);
FIGURA BASE:=(4:X0,Y0;P1;P2;-P1);
FIM
PROCEDIMENTO
ECUN:=METAL*CONT*T1[AAA]*T2[AAA]*DIF*BASE;
PLOT 3/4/5/6/7, ECUN;
FIM

```

```

!MARCAS DE ALINHAMENTO!
ARQUIVO[METBIP.ILB]
PAO,DPAD,VPAO,CT,EA,LM,EM,DBC,XO,YO
FIM
ARITMETICA
L1:=100;
DX:=25;
L2:=50;
DIS:=50;
LA:=90;
LB:=60;
LOC1:=1400;
LOC2:=2250;
GX:=0;
GY:=0;
D1:=L1+DIS;
D2:=2*D1;
D3:=3*D1;
D4:=4*D1;
D5:=5*D1;
X0:=0;
Y0:=0;
X1:=X0+DX;
Y1:=Y0+DX;
W0:=X0+EA;
Z0:=Y0+EA;
W1:=X1-EA;
Z1:=Y1-EA;
FIM
DECLARACAO
FIGURA NMAIS:=(3:X0,Y0;L1;L1;-L1)/(3:X1,Y1;L2;L2;-L2);
FIGURA BASEL:=(4:X0,Y0;L1;L1;-L1)/(4:X1,Y1;L2;L2;-L2);
FIGURA BASEH:=(4:W0,Z0;LA;LA;-LA)/(4:W1,Z1;LB;LB;-LB);
FIGURA EMISSORL:=(5:X0,Y0;L1;L1;-L1)/(5:X1,Y1;L2;L2;-L2);
FIGURA EMISSORH:=(5:W0,Z0;LA;LA;-LA)/(5:W1,Z1;LB;LB;-LB);
FIGURA CONTL:=(6:X0,Y0;L1;L1;-L1)/(6:X1,Y1;L2;L2;-L2);
FIGURA CONTH:=(6:W0,Z0;LA;LA;-LA)/(6:W1,Z1;LB;LB;-LB);
FIGURA MET:=(7:W0,Z0;LA;LA;-LA)/(7:W1,Z1;LB;LB;-LB);
TRANSF CIMA:=LOC1;LOC2;
TRANSF REP:=0;2500;
TRANSF K1:=D1;X0;
TRANSF K2:=D2;X0;
TRANSF K3:=D3;X0;
TRANSF K4:=D4;X0;
TRANSF K5:=D5;X0;
FIM
PROCEDIMENTO
TRES:=K1[NMAIS]@2;
QUATROA:=BASEH#K2[BASEL];
QUATROB:=K3[BASEL]#K1[K1[BASEH]@2];
CINCO:=K3[EMISSORH]#K4[EMISSORL];
SEIS:=K4[CONTH]#K5[CONTL];
SETE:=K5[MET];
SAI4:=TRES#QUATROA#CINCO#SEIS#SETE;
SAI:=REP[CIMA[SAI4]]@2;
BSAI4:=REP[CIMA[QUATROB]]@2;
PLOTE 3/4/5/6/7, SAI(GX,GY), BSAI4(GX,GY);
FIM

```

!TESTE DE ABERTURA DE CONTATO!

ARQUIVO[METBIP.ILL]

PAD,DPAD,VPAD,CT,EA,LM,EM,DBC,XO,YO

FIM

ARITMETICA

LB:=CT+6*EA;

CB:=2*LB;

LAT:=50+LB;

UP:=-CB+EM);

LOC1:=1225;

LOC2:=100;

LTIRA:=30;

CTIRA:=EM+4*EA+2*CT;

CX:=3*EA;

CY:=3*EA;

CY1:=CB-CY;

XO:=0;

YO:=0;

MY:=CB-(2*EA+CT);

FIM

DECLARACAO

FIGURA BASE:=(4:XO,YO;LB;CB;-LB)/(6:CX,CY;CT;CT;-CT)/(6:CX,CY1;CT;CT;-CT);

FIGURA TIRA:=(7:EA,MY;LTIRA;CTIRA;-LTIRA);

TRANSF REP:=XO;LOC2;

TRANSF REP2:=OP;YO;

TRANSF CIMA:=LOC1;LOC2;

FIGURA UNIAO:=(7:75,0;150;150;-150;-120;-70;-30)/

(7:75,350;0;-100;PAD;PAD;-PAD;-20;-160;-30)/

(7:-175,0;120;30;-120)/

(7:250,0;275;PAD;-PAD;LPAD;-100;425;-450;-70;-90;-30)/

(7:-355,0;120;30;-120)/

(7:-445,350;120;30;-120)/

(7:375,250;PAD;PAD;-LPAD;100;-890;-500;75;30;-50;445;840);FIM

PROCEDIMENTO

X1:=REP[BASE]04;

X2:=REP2[X1]06;

X3:=REP[TIRA]03;

X4:=REP2[X3]06;

CONT1:=X2#UNIAO#X4;

SAI:=CIMA[CONT1];

PLOTE 3/4/5/6/7, SAI;

FIM

APÊNDICE C

FICHA DE PROGRAMA DE PROCESSAMENTO

FICHA DE PROGRAMA DE PROCESSAMENTO

Lâminas

Número	Orientação	Diâmetro (mm)	Espessura (µm)	Resistividade tipo 31x cm	Superfície	Capacidade epitaxial espessura (µm) tipo 31x cm	Material
145	<111>			N/MF 10-2	POLIDA	10	Silício
143	<111>			N/MF 10-2	POLIDA	10	"
142	<111>			N/MF 10-2	POLIDA	10	"
	<111>			N	POLIDA		"

OSLD nº 149
 Página 1 de 5
 Autoridade: [assinatura]
 Comissário: [assinatura]
 Engenheiro: [assinatura]
 Diretor: [assinatura]
 Assessor: [assinatura]
 Responsável: [assinatura]
 Data: [assinatura]
 Início: [assinatura]
 Término: [assinatura]

Sequências dos Processos

Etapa	Data	Descrição	Número da IEP	Observações	Tempo em minutos	Data
0100		CAPACITAZÃO			14.45	15.05
0200		MEDIDA V/I			1	15.14
0300		LIMPEZA INICIAL	LR-023	Todas	15.30	15.42
0400		OXIDAZÃO INICIAL	OX-001	"	15.30	15.42
0500		Fotografar - M&C	FL-005	A, B & C	15.51	16.01
0600		REMOCÃO DO ÓXIDO	FL-005	"	15.51	16.01
0700		REMOCÃO DO KIER	FL-003	"	15.51	16.01

Vol. 1.6 - 11.13

A B C A

FICHA DE PROGRAMA DE PROCESSAMENTO
(FOLHA DE CONTINUAÇÃO)

OSLD nº 1247
Página 2 de 3

Etapa	Descrição	Número do IEP	Observações	Tempo de processamento	DT	Fls.
0800	LIMPEZA E DIFUSÃO DE FÓSFORO	LP-002	A, B e C	14	18/5	15
0900	REPOSIÇÃO DE FÓSFORO - 1050°C, 40 minutos	DF-003	A, B e C	14	18/5	15
1000	REMOÇÃO DO FOSFÓRICO	LP-005	A, B e C	14	18/5	15
1100	PENETRAÇÃO DE FOSFÓRO - 900°C, 40 minutos	DF-	A, B e C	14	18/5	15
1200	Coaxar De em 2 Coaxos: DI e D2		D	11/50/55	17/11/81	57/58
1300	Etanização MAC - DIE-R426 - 097	FL-005	A, B, e C	11/0/11/02	17/11/81	57/58
1400	REMOÇÃO DO ÓXIDO	FL-003	A, B, e C	11/0/11/02	17/11/81	57/58
1500	REMOÇÃO DO KIEF	LP-002	Todas	17/11/81	17/11/81	57/58
1600	Limpeza para injeção de Boro	DF-000	Todas	17/11/81	17/11/81	57/58
1700	DESIÇÃO DE GEP3 - 900°C, 50 minutos	LP-003	Todas	17/11/81	17/11/81	57/58
1800	REMOÇÃO DO FOSFÓRICO	FL-003	"	17/11/81	17/11/81	57/58
1900	MEDIDA VII (GERADO: 13.R)	DF-002	Sub em DI	17/11/81	17/11/81	57/58
2000	GENETRAÇÃO DE BORO - 1150°C, 45 minutos	FL-005	Todas	17/11/81	17/11/81	57/58
2100	REMOÇÃO DO ÓXIDO	MD-008	"	17/11/81	17/11/81	57/58
2200	MEDIDA de VII (GERADO: 25.R)	FL-005	A, P e C	17/11/81	17/11/81	57/58
2300	MEDIDA de XI (GERADO: 20.Fm)	FL-003	A, P e D2	17/11/81	17/11/81	57/58
2400	FORCAGAVAÇÃO MAC DIE-R427-097	LP-002	A, B, C.	17/11/81	17/11/81	57/58
2500	REMOÇÃO DO ÓXIDO	DF-000	Todas	17/11/81	17/11/81	57/58
2600	REMOÇÃO DO KIEF	LP-003	"	17/11/81	17/11/81	57/58
2700	Limpeza para difusão	DF-000	Todas	17/11/81	17/11/81	57/58
2800	REPOSIÇÃO DE BORO: 900°C, 40 minutos	LP-003	"	17/11/81	17/11/81	57/58
2900	REMOÇÃO DO FOSFÓRICO	DF-002	Sub em D2	17/11/81	17/11/81	57/58
3000	MEDIDA DE VE (GERADO: 15.R)	DF-002	Todas	17/11/81	17/11/81	57/58
3100	REMOÇÃO DO ÓXIDO	FL-005	DIE D2	17/11/81	17/11/81	57/58

58

FICHA DE PROGRAMA DE PROCESSAMENTO
(FOLHA DE CONTINUAÇÃO)

OSLD nº 1247
Página 3 de 3

Etapas	Descrição	Número da IEP	Observações	Tipo de Exatidão	Data	Ass.
3300	MEDIDA V/I (DI=45,2; DE=48,2)	MD-001	D e D2	9,5%	13/11/81	mod
3400	MEDIDA X3 (DI=3,3µm; D2=3,0µm)	MD-002	D e D2			
3500	FOTOGRAVACÃO MAS-DIF-R428-099	FA-005	A, B e C	70/100	13/11/81	Estima
3600	REMOÇÃO DO ÓXIDO	FA-003	"	apollito	13/11/81	Estima
3700	" KIFR	RP-002	Todas		13/11/81	Estima
3800	LIMPEZA P/ REUSO	DE-003	"	10/11/81	13/11/81	Estima
3900	DEPÓSITO DE FOSFORO: 1050Å, 30min	RP-005	D e D2	11/05/81	13/11/81	Estima
4000	REMOÇÃO DO FOSFORSILICATO	MD-008	"	11/05/81	13/11/81	Estima
4100	MEDIDA V/I (ESPERADO: 0,15 µ)	DE-	Todas			
4200	MEDIDA X3 (ESPERADO: 2,0µm)	FA-005	D e D2	12/11/81	13/11/81	Estima
4300	REVESTIMENTO DE FOSFORO: 900Å, 30min	MD-007	"	12/11/81	13/11/81	Estima
4400	REMOÇÃO DO ÓXIDO	FA-005	Sd	12/11/81	13/11/81	Estima
4500	MEDIDA V/I (ESPERADO: 0,18 µ)	MD-008	"	12/11/81	13/11/81	Estima
4600	MEDIDA X3 (DI: 2,5/3,5µm - D2: 2,6/3,0µm)	MD-007	"	12/11/81	13/11/81	Estima
4700	FOTOGRAVACÃO MAS-DIF-R429-160	FA-005	A, B e C	12/11/81	13/11/81	Estima
4800	LIMPEZA P/ METALIZAÇÃO	"	"	12/11/81	13/11/81	Estima
4900	DEPÓSITO DE ALUMÍNIO (1µm)	"	"	12/11/81	13/11/81	Estima
5000	FOTOGRAVACÃO EM ALUMÍNIO-DIF-R430-10	"	"	12/11/81	13/11/81	Estima
5100	REMOÇÃO AZOPOLATE	EL-010	"	12/11/81	13/11/81	Estima
5200	RECOZIMENTO	"	"	12/11/81	13/11/81	Estima



FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 1249
Página 1 de 1

Exatidão
C. 12.3
Término

Etapa nº 0400 - Oxidação Imersa

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etapa Condições de Execução

IEP → Ox. 001

t: 1080°C t: 120'

BF - 5' φ O₂ 11/min (not. 11,2 a 14,7 ps)

t - 3' φ H₂ 0,45/min L 8,0 a 1

CF - 120' φ " " " "

CF - 10' φ O₂ 11/min

CF - 10' φ H₂ 11/min (not. 10 a 14,7 ps)

t - 3' " " " "

Observações

As dimensões da peça são
de 10 x 10 x 10 mm
e a peça é de aço
inoxidável.

14/10/81



FICHA DE PROCESSAMENTO E CONTROLE

OSLO nº 12.19
Página 1 de 1

RECETO
Início
FEC
11/02

Etapa nº 4300 FOTOGRAFACAO / TSL ANALOGICO

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etapa Condições de Execução

condição → 15% → 23°C
 FR 747 → 5000 rpm x 30"
 pcc 03 → 90°C x 30'
 cap. UV → 2 seg massa E-A
 montagem → 60" x 10" massa
 pcc 03 → 120°C x 50' *

Observações

* pcc 03 por tempo devido a tecnologia utilizada do subtipo.

externa
J. M. S.

Via Laboratório

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 1249
Página 1 de 1

Exatidão: *0,1%*
Início: *11/12*
Fim: *11/12*

Etapa nº 1400 a 1600 Remoção do ácido / Remoção KFR / Sim. pl. / Fusão P.

Material Necessário					Recomendações de Segurança																												
1	6	11	16	21	26	31	36	41	1	6	11	16	21	2	7	12	17	22	3	8	13	18	23	4	9	14	19	24	5	10	15	20	25
2	7	12	17	22	27	32	37	42																									
3	8	13	18	23	28	33	38	43																									
4	9	14	19	24	29	34	39	44																									
5	10	15	20	25	30	35	40	45																									

Procedimento: _____

Sub-Etapa: _____

Condições de Execução: *Remoção do ácido:*

NH₄F → 150 ml > G.E.

HF → 20 "

Remoção KFR

H₂SO₄ → 220 ml G.E.

limpeza

NH₄OH - 20 ml

HCl - " > G.E.

HF - " > G.E.

H₂O₂ - 40

Observações: *análise de limpeza e*

material para análise

de.

11/12

Via Laboratório

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 149
Página 1 de 1

Elaborado:
F. C. T. M. S. A. / 1980 / 1335

Etapa nº 1700 Desposição de Boro

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etapa

Condições de Execução

Observações

t = 560°C t = 50 minutos

Ativação das lâminas de B¹⁰ → 70'

BF - 5' φ Nz 14/min
t - 5' " " "
CF - 50' φ Nz " "
CF - 10' φ Oz 11/min
t - 9' " " "
BF - 5' φ Nz 14/min

Posição das lâminas

844 Nz
850 → CACO DI
12/11/81

Fátima - niki

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 1249
 Página 1 de 1

Execução
 P.J. 131
 Início 12/15
 Término 15/5

Etapa nº 2000. Penultima de 2000

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etape Condições de Execução

t = 1150° C t = 45'

OF - 5' Ø 02 12/ min (not 11,2)

t - 5' " " " " " "

CF - 45' " " " " " "

t - 5' " " " " " "

OF - 5' " " " " " "

Vapor d' água durante todo o processo.
 O gásamento foi desligado 4' antes de finalizar o gásamento CF.

Observações

12/2/81

not.

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 1249
Página 1 de 1

Executor: [assinatura]
Início: 17/05
Fim: 17/05

Etapa nº 3900 deposição de póssimo
Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

Procedimento

Sub-Etapa

Condições de Execução

t = 1050°C

t = 30'

Saturação do forno c/ $PO_3 \rightarrow 30'$

OF - 5' ϕ N_2 1 l/min (sat 10)

ϕ O_2 200 ml/min (sat 14,2)

t - 30 min OF

CF - 30' ϕ $N_2 + O_2 + N_2(PO_3) \rightarrow 10ml (sat 9,5)$

CF - 10' ϕ $N_2 + O_2$

t - 3' ϕ N_2

OF - 5' ϕ N_2

Observações

Nida 13/11/81

Via Laboratório

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 249
Página 1 de 1

Exatidão
1/6
1/25

Etapa nº 4000-4200 - Remoção fosforossilicada / medida V/I / medida Xf

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etapa Condições de Encruamento

Remoção fosforossilicada:

HF: F20 → 1:10

medida V/I → D1 e D2

D1: apurado: 0,5 μ D2: apurado: 0,5 μ

D1	dados obtido	n obtido	D2: 5 dados	n obtido
	0,87	0,87		0,87
	0,87	0,86		0,85
	0,88	0,86		0,84
				0,80

medida Xf apurado: D1 e D2 (20 μ m)

D1 =

D2 =

Observações

Via Laboratório

FICHA DE PROCESSAMENTO E CONTROLE

OSLD nº 1245
Página 1 de 1

Execução
1/1/81
11/25
12/85

Etapa nº 4300 Penetração de líquido

Material Necessário

1	6	11	16	21	26	31	36	41
2	7	12	17	22	27	32	37	42
3	8	13	18	23	28	33	38	43
4	9	14	19	24	29	34	39	44
5	10	15	20	25	30	35	40	45

Recomendações de Segurança

1	6	11	16	21
2	7	12	17	22
3	8	13	18	23
4	9	14	19	24
5	10	15	20	25

Procedimento

Sub-Etapa

Condições de Execução
t = 300°C t = 30'

SF - 5' φ O₂ 14/min (not. 11,2)

t - 5' φ O₂ "

CF - 30' φ O₂ "

t - 2' φ O₂ "

SF - 5' φ N₂ "

Vapor d' água durante todo o processo
O equipamento foi desligado 5' antes
de voltar a tempo na CF.

Observações

md
13/11/81